



**HAL**  
open science

# Étude des fluctuations locales des transistors MOS destinés aux applications analogiques

Joly Yohan

► **To cite this version:**

Joly Yohan. Étude des fluctuations locales des transistors MOS destinés aux applications analogiques. Micro et nanotechnologies/Microélectronique. Université de Provence - Aix-Marseille I, 2011. Français. NNT: . tel-00765664

**HAL Id: tel-00765664**

**<https://theses.hal.science/tel-00765664>**

Submitted on 15 Dec 2012

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

**Université de Provence Aix-Marseille I**



## **Thèse**

Pour obtenir le grade de

**DOCTEUR DE L'UNIVERSITE DE PROVENCE AIX-MARSEILLE I**

**Spécialité MICRO ET NANOELECTRONIQUE**

dans le cadre de l'**Ecole Doctorale** :

Sciences pour l'Ingénieur : Mécanique, Physique, Micro et Nanoélectronique

préparée au sein de la société **STMMicroelectronics à Rousset**

en collaboration avec l'**Institut Matériaux Microélectronique Nanosciences de Provence**

# **Étude des fluctuations locales des transistors MOS destinés aux applications analogiques**

par

**Yohan JOLY**

Directeur de thèse : **Jean-Michel PORTAL**

Présentée et soutenue publiquement le **16 Décembre 2011** devant le jury composé de :

<b>Pascal MASSON</b>	Professeur, Université de Nice Sophia Antipolis	Président
<b>Gérard GHIBAUDO</b>	DR CNRS, IMEP-LAHC UMR 5130	Rapporteur
<b>Amara AMARA</b>	Professeur, ISEP Paris	Rapporteur
<b>Jean-Michel PORTAL</b>	Professeur, Université Aix-Marseille I	Directeur de thèse
<b>Hassen AZIZA</b>	Maitre de Conférences, Université Aix-Marseille I	Co-directeur de thèse
<b>Laurent LOPEZ</b>	Docteur-Ingénieur, STMMicroelectronics	Examineur



**à Gaëtan...**



## Remerciements

*Les travaux de thèse présentés dans ce manuscrit ont été effectués dans le cadre d'une convention CIFRE entre STMicroelectronics<sup>1</sup> et le laboratoire IM2NP<sup>2</sup> de Novembre 2008 à Novembre 2011. Réaliser une thèse est une expérience très enrichissante tant d'un point de vue scientifique que d'un point de vue humain. Ainsi, je tiens à exprimer ici ma reconnaissance à toutes celles et ceux qui ont contribué, de près ou de loin, au bon déroulement de ces travaux.*

*Mes premiers remerciements s'adressent à Laurent LOPEZ, docteur-ingénieur à STMicroelectronics, qui a été mon tuteur industriel, un guide, un conseiller, une aide permanente durant ces trois années, présent depuis l'origine. Pour tout ce qu'il a fait pour moi, ce qu'il m'a enseigné, pour les idées ou solutions originales qu'il a proposées et pour ses nombreuses relectures, MERCI.*

*Je remercie vivement Jean-Michel PORTAL, professeur à l'université Aix-Marseille I ainsi que Hassen AZIZA, maître de conférences à l'université Aix-Marseille I, respectivement directeur et co-directeur de thèse, pour la totale confiance qu'ils m'ont accordée. Je leur suis particulièrement reconnaissant pour les conseils et la disponibilité qu'ils ont su me donner et qui m'ont, entre autre, permis d'élargir l'horizon de mes recherches.*

*J'exprime toute ma reconnaissance à Gérard GHIBAUDO, DR CNRS IMEP-LAHC UMR 5130 et Amara AMARA, professeur à l'ISEP Paris pour avoir accepté d'être les rapporteurs de mon manuscrit de thèse et pour m'avoir fait l'honneur de juger mes travaux.*

*Ma respectueuse reconnaissance s'adresse également à Pascal MASSON, professeur à l'université de Nice Sophia Antipolis. Je suis sensible à l'honneur qu'il m'a fait de présider mon jury de thèse.*

*J'exprime toute ma gratitude à Franck JULIEN et Pascal FORNARA, mes encadrants au niveau du procédé de fabrication, pour toutes les manipulations que nous avons essayées notamment pour contrer l'effet «hump».*

*Je tiens à remercier tous les membres de l'équipe de caractérisation électrique avec qui j'ai pu travailler. Ces trois années en leur compagnie ont été extraordinaires, merci pour leur aide et leur bonne humeur au quotidien. Merci à Jean-Luc OGIER, le manager, de m'avoir accueilli au sein de cette équipe et à Lionel BERTORELLO pour m'avoir aidé à mettre en place la mesure automatique des fluctuations locales.*

*J'exprime également toute ma gratitude aux membres de l'équipe de conception analogique de la division Microcontrôleurs pour avoir répondu à toutes mes questions relatives à leurs circuits. Merci au manager Yannick BERT de m'avoir intégré dans cette équipe et pour la confiance qu'il m'a accordée.*

*Enfin, afin de préserver la concentration du lecteur pour les pages qui suivent, je ne me lancerai pas dans l'énumération de toutes les personnes avec qui j'ai pu collaborer, échanger et apprendre pendant ces trois années. Que toutes ces personnes (même celles rencontrées dans un cadre sportif...) soient assurées de ma sincère reconnaissance.*

---

<sup>1</sup> STMicroelectronics, 190 Avenue Célestin Coq Zone Industrielle, 13106 Rousset, France

<sup>2</sup> Laboratoire IM2NP (UMR CNRS 6242), 38 rue Frédéric Joliot Curie, 13451 Marseille, France



## ***Table des matières***

Liste des symboles.....	11
Liste des acronymes et anglicismes .....	13
Liste des Figures .....	15
Liste des Tableaux .....	19
Introduction générale.....	21
<b>Chapitre 1 Introduction aux fluctuations locales des transistors MOS.....</b>	<b>23</b>
<b>Introduction .....</b>	<b>25</b>
<b>I Impact des fluctuations locales sur les paramètres du transistor MOS.....</b>	<b>27</b>
I.1 Principe de fonctionnement du transistor MOS .....	27
I.2 Sources de fluctuations locales liées au procédé de fabrication .....	32
I.2.a Fluctuations liées au dopage.....	32
I.2.b Fluctuations liées à la définition de la grille .....	35
I.2.c Fluctuations liées aux paramètres géométriques du transistor MOS.....	36
I.2.d Bilan des fluctuations dans un transistor MOS .....	37
<b>II Mesure des fluctuations locales du transistor MOS.....</b>	<b>38</b>
II.1 Structures de test pour mesurer l'appariement des transistors MOS.....	38
II.1.a Mesure de matrice de transistors MOS .....	38
II.1.b Mesure de circuits.....	39
II.1.c Mesure de paires de transistors MOS appariés .....	40
II.2 Les équipements pour mesurer l'appariement des transistors MOS .....	41
II.3 Méthodes de mesure de l'appariement des transistors MOS .....	42
II.4 Traitement statistique des résultats de mesure .....	44
II.5 Répétitivité de la mesure .....	45
II.6 Extraction du paramètre d'appariement $A_p$ .....	47
<b>III Gestion des fluctuations locales dans la conception de circuits .....</b>	<b>49</b>
III.1 Modélisation des fluctuations locales.....	50
III.2 Simulations électriques de type Monte Carlo (Simulateur Eldo).....	51
III.3 Contraintes environnementales des transistors MOS .....	52
<b>Conclusion.....</b>	<b>54</b>

## Chapitre 2 Etude de l'appariement des transistors MOS dans un circuit analogique utilisant des polarisations sous le seuil ..... 55

<b>Introduction</b> .....	<b>57</b>
<b>I Conception de circuits analogiques</b> .....	<b>57</b>
I.1 Rappels pour la conception analogique .....	57
I.2 Principales structures utilisées en conception analogique .....	58
I.2.a Le miroir de courant .....	58
I.2.b La paire différentielle .....	60
I.3 Simulation et caractérisation d'une paire différentielle polarisée en régime de faible inversion .....	62
<b>II L'effet « hump »</b> .....	<b>63</b>
II.1 Présentation de l'effet « hump » .....	63
II.2 Modélisation de l'effet « hump » .....	65
II.3 Impact de l'effet « hump » sur l'appariement en tension .....	68
II.4 Etude dimensionnelle .....	69
II.5 Etude en fonction de l'effet substrat .....	70
<b>III Etude en température de l'effet « hump » et de son impact au niveau circuit</b> .....	<b>72</b>
III.1 Présentation du circuit étudié .....	72
III.2 Modélisation en température .....	74
III.3 Impact de l'appariement de la paire différentielle au niveau circuit .....	78
<b>Conclusion</b> .....	<b>81</b>

## Chapitre 3 Etude de l'appariement des transistors MOS en fonction du procédé de fabrication ..... 83

<b>Introduction</b> .....	<b>85</b>
<b>I Présentation de la technologie CMOS 90nm avec mémoire Flash embarquée</b> .....	<b>85</b>
I.1 Procédé de fabrication CMOS avec mémoire Flash embarquée .....	85
I.2 Comparaison Mesure/Modèle de l'appariement de la tension de seuil .....	87
<b>II Etude de l'étape de pré-dopage de la grille des transistors NMOS</b> .....	<b>89</b>
II.1 Simulations TCAD .....	89
II.2 Description du plan expérimental .....	91
II.3 Caractérisation électrique .....	91
II.4 Résultats d'appariement de la tension de seuil et discussion .....	94
II.5 Impact de l'énergie d'implantation au niveau circuit .....	95
<b>III Etude de l'effet « hump »</b> .....	<b>96</b>
III.1 Les différentes sources de l'effet « hump » .....	96

III.2	Méthode de mesure paramétrique de l'effet « hump ».....	98
III.3	Analyse expérimentale de l'effet « hump ».....	103
III.4	Solutions pour contrer l'effet « hump ».....	106
III.4.a	Solutions liées à la conception de circuit .....	106
III.4.b	Solutions liées au procédé de fabrication .....	109
III.4.c	Solutions liées à la conception de nouveaux transistors .....	111
<b>Conclusion.....</b>		<b>113</b>
<b>Chapitre 4 Etude de la dégradation de l'appariement des transistors MOS sous stress porteurs chauds.....</b>		<b>115</b>
<b>Introduction .....</b>		<b>117</b>
<b>I Présentation des différents stress électriques.....</b>		<b>117</b>
I.1	Principe du stress électrique par injection de porteurs chauds (HCI).....	117
I.2	Appariement des transistors MOS et stress électriques.....	118
I.3	Protocole expérimental.....	119
<b>II Comparaison de la dégradation des transistors NMOS et PMOS sous stress HC .....</b>		<b>120</b>
II.1	Dégradation des caractéristiques $I_D-V_G$ .....	120
II.2	Dégradation de la tension de seuil $V_T$ .....	120
II.3	Dégradation de l'appariement de la tension de seuil $\Delta V_T$ .....	123
II.4	Corrélation entre les variations de $V_T$ et $\Delta V_T$ .....	124
II.5	Modélisation de la dégradation HC.....	125
II.6	Impact de la dégradation HC sur l'appariement en tension sous le seuil.....	126
II.7	Etude liée au procédé de fabrication du transistor NMOS .....	127
<b>III Etude des transistors octogonaux .....</b>		<b>129</b>
III.1	Présentation des transistors octogonaux.....	129
III.2	Comparaison transistor Standard/Octogonal .....	130
III.3	Dégradation de la tension de seuil.....	132
III.4	Dégradation de l'appariement de la tension de seuil .....	133
III.5	Inversion des sources et drains des transistors octogonaux .....	135
III.6	Etude des transistors PMOS.....	136
<b>Conclusion.....</b>		<b>137</b>
<b>Conclusion générale .....</b>		<b>139</b>
<b>Références bibliographiques .....</b>		<b>143</b>
<b>Références de l'auteur .....</b>		<b>157</b>



## Liste des symboles

Paramètre	Unité	Description
$\mu$		Mobilité des porteurs de charge dans la couche d'inversion
$\mu_0$		Mobilité des porteurs de charge sous faible champ électrique
$A_{Cl}$	mV. $\mu$ m	Paramètre d'appariement obtenu par régression linéaire (« méthode classique »)
$A_{rp}$	mV. $\mu$ m	Paramètre d'appariement obtenu par régression pondérée
$A_{VT}$	mV. $\mu$ m	Paramètre d'appariement de la tension de seuil $V_T$
$A_{VTc}$	mV. $\mu$ m	Paramètre d'appariement de la tension de seuil $V_T$ lié au dopage du canal
$A_{VTc+g}$	mV. $\mu$ m	Paramètre d'appariement de la tension de seuil $V_T$ lié au dopage du canal et de la grille
$A_{VTc+p}$	mV. $\mu$ m	Paramètre d'appariement de la tension de seuil $V_T$ lié au dopage du canal et des poches
$C_{ox}$	F	Capacité de l'oxyde de grille
$C_{sc}$	F	Capacité de la couche de désertion dans le semi-conducteur
$E_C$	eV	Energie du niveau le plus bas de la bande de conduction du silicium
$E_F$	eV	Energie du niveau de Fermi dans le silicium
$E_i$	eV	Niveau d'énergie intrinsèque du silicium
$E_V$	eV	Energie du niveau le plus haut de la bande de conduction du silicium
$g_m$	A/V	Transconductance du transistor MOS
$I_B$	A	Courant substrat
$I_D$	A	Courant de drain du transistor MOS
$K$		Nombre de transistors bipolaires en parallèle
$L$	$\mu$ m	Longueur du transistor MOS
$L_p$	$\mu$ m	Longueur des poches
$m$		Nombre de transistors MOS identiques en parallèle
$M_x$ ou $N_x$		Dénomination d'un transistor MOS
$m_{\Delta P}$		Moyenne de la population des $\Delta P$
$N$		Rapport de courant dans un miroir de courant
$N_C$	atomes.cm <sup>-3</sup>	Concentration de dopants dans le semi-conducteur
$N_G$	atomes.cm <sup>-3</sup>	Concentration de dopants dans la grille
$N_{géo}$		Nombre de géométries différentes testées
$n_i$	m <sup>-3</sup>	Concentration intrinsèque d'électrons dans le silicium
$N_p$	atomes.cm <sup>-3</sup>	Concentration de dopants dans les poches
$N_{paires}$		Nombre de sites mesurés
$N_{S/D}$	atomes.cm <sup>-3</sup>	Concentration de dopants dans les zones de Source et Drain (S/D)
$Q_{it}$	C.m <sup>-2</sup>	Charge due aux états d'interface
$Q_{ox}$	C.m <sup>-2</sup>	Charge fixe équivalente à l'interface Si/SiO <sub>2</sub>
$Q_{sc}$	C.m <sup>-2</sup>	Charge de la zone de désertion dans le semi-conducteur
$Q_{scp}$	C.m <sup>-2</sup>	Charge de la zone de désertion dans les poches

$Q_x$		Dénomination d'un transistor bipolaire
$R_x$	$\Omega$	Dénomination et valeur d'une résistance
$S$	mV/dec	Pente sous le seuil
$T_{ox}$	$\text{\AA}$	Epaisseur de l'oxyde de grille
$U_T=kT/q$	V	Tension thermodynamique
$V_B$	V	Tension de polarisation du substrat (Effet « Bulk »)
$V_{BE}$	V	Tension Base-Emetteur d'un transistor bipolaire
$V_{BG}$	V	Tension de sortie d'une référence de tension « bandgap »
$V_D$	V	Tension de polarisation du drain
$V_{FB}$	V	Flat Band Voltage (Tension de Bandes Plates)
$V_G$	V	Tension de polarisation de la grille
$V_{GB}$	V	Différence de potentiels grille-substrat
$V_{offset}$	V	Tension de décalage en entrée d'une paire différentielle
$V_{ox}$	V	Chute de potentiel aux bornes de l'oxyde de grille du transistor MOS
$V_S$	V	Tension de polarisation de la source
$V_T$	V	Tension de seuil du transistor MOS
$W$	$\mu\text{m}$	Largeur du transistor MOS
$y_G$	nm	Profondeur de la couche de désertion dans la grille
$y_{SC}$	nm	Profondeur de la couche de désertion dans le semi-conducteur
$\beta$		Facteur de courant du transistor MOS
$\delta P$		Décalage dans le temps d'un paramètre P
$\Delta P$		Différence d'un paramètre P entre deux transistors MOS
$\epsilon_{ox}$	$\text{F.m}^{-1}$	Permittivité électrique de l'oxyde de grille
$\epsilon_{Si}$	$\text{F.m}^{-1}$	Permittivité électrique du silicium
$\eta$		Facteur de pente
$\theta_1$		Premier facteur de réduction de la mobilité
$\theta_2$		Deuxième facteur de réduction de la mobilité
$\sigma_{locales}$		Déviations standard liées aux fluctuations locales des transistors MOS uniquement
$\sigma_{mesurées}$		Déviations standard mesurées sur structure de test
$\sigma_{système}$		Déviations standard liées au système de mesure uniquement
$\sigma_{\Delta P}$		Déviations standard (écart-type) de la population des $\Delta P$
$\Phi_F$	V	Potentiel de volume dans le semi-conducteur
$\Phi_{FG}$	V	Potentiel de volume dans la grille
$\Phi_{ms}$	V	Différence des travaux de sortie aux bornes de la structure MOS
$\Psi_G$	V	Potentiel de surface dans la grille
$\Psi_S$	V	Potentiel de surface dans le semi-conducteur

## Liste des acronymes et anglicismes

Acronyme	Description (Traduction)
ADC	Analog to Digital Converter (Convertisseur Analogique-Numérique)
Bandgap	(Référence de tension)
Channeling	(Canalisation)
DAC	Digital to Analog Converter (Convertisseur Numérique-Analogique)
DAHC	Drain Avalanche Hot Carriers
DG	Double Gate (Double Grille)
DIBL	Drain Induced Barrier Lowering (Abaissement de la Barrière de potentiel Induite par la polarisation de Drain)
Dummies	(Transistors factices)
FBB	Forward Body Bias (Polarisation de Substrat Directe)
FD-SOI	Fully Depleted Silicon On Insulator (Silicium Complètement Déserté Sur Isolant)
FinFET	Fin Field Effect Transistor
GAA	Gate All Around (Grille enrobante)
GIDL	Gate Induced Drain Leakage (Fuite de Drain Induite par la Grille)
GO1	Gate Oxide 1 (Oxyde de Grille 1)
GO2	Gate Oxide 2 (Oxyde de Grille 2)
HCI	Hot Carriers Injection (Injection de Porteurs Chauds)
High-k	(Haute permittivité)
Hump	(Epaulement)
HV	High Voltage (Haute Tension)
Layout	(Dessin des masques)
LDD	Lightly Doped Drain (Drain Faiblement Dopé)
LER	Line Edge Roughness (Rugosité de la Grille)
Matching	(Appariement)
MC	Monte Carlo
Mismatch	(Désappariement)
MOSFET	Metal-Oxide-Semiconductor Field Effect Transistor (Transistor à Effet de Champ Métal-Oxyde-Semiconducteur)
N/P BTI	Negative/Positive Bias Temperature Instability degradation (dégradation par Polarisation Négative/Positive Activée en Température)
Embedded NVM	Embedded Non-Volatile Memory (Mémoire Non Volatile Embarquée)
ONO	Diélectrique inter-poly (Oxyde-Nitride-Oxyde)
PTAT	Proportional To Absolute Temperature (Proportionnel à la Température Absolue)
RBB	Reverse Body Bias (Polarisation de Substrat Inversée)
RDD	Random Discrete Dopant (Distribution de Dopants Aléatoire)
S/D	Zones de Source et Drain du transistor MOS
S/H/UH	Standard/High/Ultra High (Standard/Haut/Ultra Haut)
SC	(Semi-Conducteur)

SCE	Short Channel Effect (Effets Canaux Courts)
SEM	Scanning Electron Microscopy (Microscope Electronique à Balayage)
Shift / Drift	(Décalage / Dérive) d'un paramètre électrique P
SMU	Sense-Measure Unit (Unité pour Forcer ou Mesurer une grandeur électrique)
SNM	Static Noise Margin (Marge à l'écriture pour une mémoire SRAM)
SOI	Silicon On Isolant (Silicium sur Isolant)
SON	Silicon On Nothing
SRAM	Static Random Access Memory (Mémoire Statique à Accès Aléatoire)
STI	Shallow Trench Isolation (Tranchée d'Isolation Peu Profonde)
TCAD	Technology Computer-Aided Design (Conception Technologique Assistée par Ordinateur)
TEM	Transmission Electron Microscopy (Microscope Electronique en Transmission)
TFT	Thin Film Transistor (Transistor à Film Mince)
WPE	Well Proximity Effect (Effet de Proximité du Caisson)

## Liste des Figures

Figure 1.1 : Variabilité des dispositifs suivant la distance .....	25
Figure 1.2 : Diagramme de bande d'énergie suivant le régime de fonctionnement d'une structure à substrat de type P.....	27
Figure 1.3 : Diagramme de bande d'énergie lorsque $\psi_s = 2\Phi_F$ d'une structure à substrat de type P.....	29
Figure 1.4 : Mesure d'une capacité MOS sur substrat de type P en fonction de $V_G$ (Mesure « C-V »).....	30
Figure 1.5 : Différents régimes de fonctionnement de la capacité MOS en fonction de $V_G$ .....	30
Figure 1.6 : Vue schématique d'un transistor NMOS pour différents régimes de fonctionnement .....	31
Figure 1.7 : Caractéristiques d'un transistor NMOS .....	32
Figure 1.8 : Coupe schématique d'un transistor MOS montrant l'impact de la position des dopants dans le substrat.....	33
Figure 1.9 : Coupe schématique d'un transistor MOS montrant les poches.....	34
Figure 1.10 : Coupe d'un transistor MOS montrant les problèmes liés à la granularité de la grille .....	35
Figure 1.11 : Représentation de la rugosité de grille (LER) à partir d'une vue SEM d'un transistor MOS .....	36
Figure 1.12 : Représentation des principales sources de variabilité du transistor MOS .....	37
Figure 1.13 : Méthodologie de mesure des fluctuations locales.....	38
Figure 1.14 : Structure de test de paires de transistors MOS .....	40
Figure 1.15 : Système de mesure sur banc de test automatique.....	41
Figure 1.16 : Méthodes de mesure pour étudier l'appariement en courant et en tension des transistors MOS ...	42
Figure 1.17 : Méthodes de mesure de $V_T$ pour étudier l'appariement de la tension de seuil des transistors MOS	43
Figure 1.18 : Procédure du filtre récursif à « $3\sigma$ » .....	45
Figure 1.19 : Etude de la répétitivité du système de mesure automatique par la technique de la double mesure de la plaque (droite de corrélation des mesures en noire et droite de corrélation unitaire en rouge).....	46
Figure 1.20 : Différentes représentations de l'appariement de la tension de seuil des transistors MOS. Les incertitudes (pointillé rouge) et barres d'erreur sont données dans un intervalle de confiance de 99.7%.....	48
Figure 1.21 : Comparaison de l'extraction du paramètre $A_{VT}$ par la méthode du maximum de transconductance (carré bleu) ou à courant constant (triangle vert). Barres d'erreur données dans un intervalle de confiance de 99.7%.....	49
Figure 1.22 : Vue schématique du circuit utilisé pour les simulations d'appariement .....	51
Figure 1.23 : Comparaison entre mesure (■ et trait plein) et simulation (□ et trait en pointillé) de l'appariement de la tension de seuil des transistors NMOS (méthode du maximum de transconductance).....	52
Figure 1.24 : Différentes sources de fluctuation des transistors MOS.....	53
Figure 1.25 : Limitation des effets de WPE et stress STI en utilisant des transistors factices.....	53
Figure 2.1 : Rapport Transconductance $g_m$ / Courant de drain $I_D$ .....	58
Figure 2.2 : Simulation de l'appariement en courant pour un miroir de courant ( $W=10\mu\text{m}/L=1.2\mu\text{m}$ ). Appariement du facteur de courant ( $\circ$ ) et de la tension de seuil $V_T$ ( $\diamond$ ) .....	60
Figure 2.3 : Simulation de l'appariement en tension d'une paire différentielle ( $W=10\mu\text{m}/L=1.2\mu\text{m}$ ). Appariement du facteur de courant ( $\circ$ ) et de la tension de seuil $V_T$ ( $\diamond$ ) .....	61
Figure 2.4 : Comparaison entre mesure ( $\blacklozenge$ ) et simulation MC (en pointillé) de l'appariement en tension de la structure de test étudiée ( $W=10\mu\text{m}/L=1.2\mu\text{m}$ ).....	62
Figure 2.5 : Vue « layout » simplifiée du transistor étudié ( $W=10\mu\text{m}/L=1.2\mu\text{m}$ ).....	63

Figure 2.6 : Coupe TEM dans le sens de la largeur $W$ de la structure de test étudiée ( $W=10\mu\text{m}/L=1.2\mu\text{m}$ ).....	64
Figure 2.7 : Caractéristiques $I_D-V_G$ de la structure de test étudiée ( $W=10\mu\text{m}/L=1.2\mu\text{m}$ ) en fonction de la polarisation de substrat ( $V_B=0V, -1.5V$ et $-3V$ ).....	65
Figure 2.8 : Rapport $g_m/I_D$ de la structure de test étudiée ( $W=10\mu\text{m}/L=1.2\mu\text{m}$ ) avec ( $V_B=-3V$ ) et sans effet substrat ( $V_B=0V$ ).....	65
Figure 2.9 : Macro-modèle pour modéliser l'effet « hump » .....	66
Figure 2.10 : Simulation de la tension de seuil $V_T$ en fonction de la largeur $W$ du transistor MOS.....	66
Figure 2.11 : Comparaison entre mesure (en vert) et la simulation du courant fournit par le transistor principal (en noir) et par les transistors parasites (en bleu) pour $V_B=0V$ et $V_B=-3V$ .....	67
Figure 2.12 : Simulation du courant fourni par le transistor principal (en noir) et par les transistors parasites (en bleu).....	67
Figure 2.13 : Dégradation de l'appariement en tension d'une paire différentielle polarisée sous le seuil .....	68
Figure 2.14 : Appariement en tension dans la zone sous le seuil : Mesure (◆), simulation sans (pointillé) et avec (trait plein) le macro-modèle effet « hump ».....	68
Figure 2.15 : Caractéristiques $I_D-V_G$ pour plusieurs dimensions avec effet substrat ( $V_B=-3.3V$ ).....	69
Figure 2.16 : Mesure de l'appariement en tension pour plusieurs dimensions.....	70
Figure 2.17 : Caractéristiques $I_D-V_G$ de la structure de test étudiée ( $W=10\mu\text{m}/L=1.2\mu\text{m}$ ) en fonction de la polarisation de substrat ( $V_B=-3V, -2V, -1V$ ), ( $V_B=0V$ ), ( $V_B=0.1V, 0.2V, 0.3V$ ).....	71
Figure 2.18 : Appariement en tension de la structure de test étudiée ( $W=10\mu\text{m}/L=1.2\mu\text{m}$ ) en fonction de la polarisation de substrat ( $V_B=-3V, -2V, -1V$ ), ( $V_B=0V$ ), ( $V_B=0.1V, 0.2V, 0.3V$ ).....	71
Figure 2.19 : Vue schématique de la référence de tension « bandgap » et de son amplificateur .....	74
Figure 2.20 : Rapport $g_m/I_D$ de la structure de test étudiée ( $W=10\mu\text{m}/L=1.2\mu\text{m}$ ) avec ( $V_B=-3V$ ) et sans effet substrat ( $V_B=0V$ ) en fonction de la température.....	75
Figure 2.21 : Caractéristiques $I_D-V_G$ de la structure de test étudiée ( $W=10\mu\text{m}/L=1.2\mu\text{m}$ ) en fonction de la température avec effet substrat ( $V_B=-3V$ ).....	76
Figure 2.22 : Appariement en tension de la structure de test étudiée ( $W=10\mu\text{m}/L=1.2\mu\text{m}$ ) en fonction de la température ( $V_B=0V$ ). Mesure (◆), Simulations transistor parasite (points) et parasite modifié (trait plein).....	78
Figure 2.23 : Variation en sortie de la référence de tension « bandgap » en fonction de la température. Mesure (■), simulation sans (pointillé) et avec (trait plein) le macro-modèle d'effet « hump » .....	80
Figure 3.1 : Description des principales étapes du procédé de fabrication des transistors GO1, GO2 et HV.....	86
Figure 3.2 : Comparaison de l'appariement de la tension de seuil $V_T$ des transistors NMOS et PMOS avec les modèles (pointillé) .....	88
Figure 3.3 : Simulation TCAD du profil de concentration en Phosphore après implantation du pré-dopage de la grille pour les cinq procédés de fabrication étudiés.....	90
Figure 3.4 : Vue schématique du comportement des dopants lors de l'étape de pré-dopage de la grille.....	90
Figure 3.5 : Mesure de la résistance poly-silicium pour les quatre procédés de fabrication ayant subi des variations d'énergie et d'angle d'implantation .....	92
Figure 3.6 : Mesure C-V pour les cinq procédés de fabrication étudiés .....	93
Figure 3.7 : Mesure de l'appariement de la tension de seuil $V_T$ des transistors MOS pour les cinq procédés de fabrication étudiés.....	94
Figure 3.8 : Vue « layout » avec des transistors NMOS et PMOS avec poly-silicium commun (cas d'une mémoire SRAM) .....	96
Figure 3.9 : Les différentes sources de l'effet « hump » (coupe en direction de la largeur $W$ ) .....	97
Figure 3.10 : Comparaisons des caractéristiques $I_D-V_G$ et de l'appariement en tension entre les transistors GO2 NMOS et PMOS ( $W=10\mu\text{m}/L=1.2\mu\text{m}$ ) .....	97

Figure 3.11 : Méthode de mesure paramétrique de l'effet « hump » à partir des caractéristiques $I_D-V_G$ d'un transistor (dans le cas présent : Transistor HV NMOS).....	99
Figure 3.12 : Valeurs mesurées de la tension $V_G$ en fonction de la polarisation du substrat ( $ V_B =0V$ et ( $ V_B =5V$ ) pour comparer les transistors HV.....	100
Figure 3.13 : Paramètres pour comparer les transistors HV NMOS et PMOS en fonction de la polarisation du substrat ( $ V_B =0V$ et ( $ V_B =5V$ ).....	101
Figure 3.14 : Caractéristiques $I_D-V_G$ avec effet substrat ( $V_B=0V/1V/2V/3V/4V/5V$ ) et de la pente sous le seuil en fonction de l'effet substrat ( $V_B$ varie de 0V à 5V par pas de 0.5V) d'un transistor HV PMOS.....	101
Figure 3.15 : Paramètre HUMP pour comparer les transistors GO2 NMOS et PMOS .....	102
Figure 3.16 : Paramètre HUMP pour comparer les transistors GO1 NMOS et PMOS en fonction du dopage canal (SVT/HVT/UHVT) .....	102
Figure 3.17 : Comparaisons coupe TEM entre transistors GO2 NMOS et PMOS ( $W=1\mu m/L=1.2\mu m$ ) .....	103
Figure 3.18 : Etude dimensionnelle sur les coupes TEM des transistors GO2 NMOS.....	104
Figure 3.19 : Simulation TCAD du transistor GO2 (vue en coupe dans la direction de la largeur $W$ ) .....	105
Figure 3.20 : Simulation TCAD des transistors GO2 NMOS et PMOS pour deux profondeurs .....	105
Figure 3.21 : Comparaison des mesures de $V_T$ entre NMOS et PMOS en fonction de $W$ ( $L=0.38\mu m$ ).....	106
Figure 3.22 : Vue « layout » simplifiée d'un transistor en « multi-doigts » .....	107
Figure 3.23 : Comparaisons des caractéristiques $I_D-V_G$ et de l'appariement en tension en fonction du nombre de doigt des transistors ( $W=12\mu m/L=1\mu m$ ).....	108
Figure 3.24 : Vue « layout » simplifiée d'un transistor avec la couche ONO .....	109
Figure 3.25 : Vue « layout » simplifiée d'un transistor avec les bords sur-dopés .....	110
Figure 3.26 : Vue « layout » simplifiée d'un transistor avec la grille moins dopée en bord d'active .....	111
Figure 3.27 : Vue « layout » simplifiée d'un transistor en « 8 ».....	112
Figure 3.28 : Vue « layout » simplifiée de transistors sans jonction Active/STI recouverte de Poly-Silicium.....	112
Figure 4.1 : Schéma d'une contrainte électrique par porteurs chauds .....	118
Figure 4.2 : Caractéristiques $I_D-V_G$ avant (vert) et après (rouge) stress .....	120
Figure 4.3 : Evolution du $V_T$ en fonction du stress (NMOS $W=0.6\mu m/L=0.38\mu m$ ).....	121
Figure 4.4 : Evolution du $V_T$ en fonction du stress .....	122
Figure 4.5 : Dérive du $V_T$ par rapport au $V_T$ initial en fonction du stress .....	122
Figure 4.6 : Evolution de $\Delta V_T$ en fonction du stress (NMOS $W=0.6\mu m/L=0.38\mu m$ ).....	123
Figure 4.7 : Comparaison NMOS/PMOS de l'appariement de la tension de seuil en fonction du stress .....	123
Figure 4.8 : Relation entre les variations et l'appariement de $V_T$ . Droite de corrélation (points) et valeur théorique 2 (pointillés).....	124
Figure 4.9 : Rapport des sigmas du décalage de l'appariement au cours du stress et de l'appariement initial en fonction de $\delta V_T$ .....	125
Figure 4.10 : Comparaison NMOS/PMOS de l'appariement en tension en fonction du stress .....	126
Figure 4.11 : Evolution du sigma du décalage de l'appariement au cours du stress en fonction de $\delta V_T$ pour les deux procédés de fabrication étudiés ( $W=10\mu m/L=0.38\mu m$ ) .....	128
Figure 4.12 : Comparaison de l'appariement de la tension de seuil des deux procédés de fabrication étudiés en fonction du stress .....	128
Figure 4.13 : Vue « layout » simplifiée de la structure de test étudiée ( $W=10\mu m/L=0.38\mu m$ ) .....	130
Figure 4.14 : Vue SEM du dessus de la structure de test étudiée ( $W=10\mu m/L=0.38\mu m$ ).....	130
Figure 4.15 : Comparaison des caractéristiques $I_D-V_G$ entre un transistor standard et un transistor octogonal ( $W=10\mu m/L=0.38\mu m$ ).....	131

---

<i>Figure 4.16 : Comparaison de l'appariement en tension et en courant entre un transistor standard et un transistor octogonal (<math>W=10\mu\text{m}/L=0.38\mu\text{m}</math>)</i> .....	131
<i>Figure 4.17 : Evolution du <math>V_T</math> en fonction du stress</i> .....	132
<i>Figure 4.18 : Explications de l'évolution du <math>V_T</math> en fonction du stress</i> .....	132
<i>Figure 4.19 : Comparaison entre transistors standards et octogonaux de l'appariement de la tension de seuil en fonction du stress</i> .....	134
<i>Figure 4.20 : Comparaison des cinétiques de dégradation entre transistors standards et octogonaux en fonction du stress</i> .....	134
<i>Figure 4.21 : Comparaison des deux versions de « layout » des transistors octogonaux</i> .....	135
<i>Figure 4.22 : Evolution du <math>V_T</math> en fonction du stress</i> .....	135

## Liste des Tableaux

Tableau 1.1 : Contribution du système de mesure sur l'appariement des transistors MOS .....	47
Tableau 2.1 : Comparaison des données mesurées et simulées de la référence de tension en fonction de la température .....	74
Tableau 2.2 : Comparaison des variations de la tension de sortie $V_{BG}$ calculées et mesurées en fonction de la température .....	79
Tableau 2.3 : Comparaison des variations de la tension de sortie $V_{BG}$ simulées et mesurées en fonction de la température .....	80
Tableau 3.1 : Présentation des transistors MOS utilisés.....	85
Tableau 3.2 : Dimensions mesurées pour étudier l'appariement de la tension de seuil $V_T$ des transistors MOS ..	88
Tableau 3.3 : Comparaison des valeurs du paramètre d'appariement de la tension de seuil $A_{VT}$ mesurées sur des transistors NMOS et PMOS avec les modèles.....	88
Tableau 3.4 : Plan expérimental décrivant les cinq procédés de fabrication étudiés (la dose de Phosphore implantée est la même pour les quatre procédés) .....	91
Tableau 3.5 : Mesure de la tension de seuil d'un transistor GO2 NMOS ( $W=10\mu\text{m}/L=10\mu\text{m}$ ) pour les cinq procédés de fabrication étudiés .....	92
Tableau 3.6 : Tableau récapitulatif des valeurs $A_{VT}$ de l'appariement de la tension de seuil $V_T$ pour les cinq procédés de fabrication étudiés .....	94
Tableau 3.7 : Mesure de la variation en sortie réalisée sur trois circuits analogiques pour trois procédés de fabrication .....	95
Tableau 3.8 : Tableau récapitulatif de la profondeur de « cuvette » mesurée sur les coupes TEM .....	103
Tableau 3.9 : Description des structures de test « multi-doigts ».....	108
Tableau 4.1 : Méthodes et conditions de stress pour les transistors NMOS et PMOS.....	119
Tableau 4.2 : Séquence de mesure en fonction du stress .....	119
Tableau 4.3 : Comparaison NMOS/PMOS du paramètre d'appariement de la tension de seuil en fonction du stress.....	124
Tableau 4.4 : Comparaison du paramètre d'appariement en $V_T$ des deux procédés de fabrication étudiés en fonction du stress .....	128
Tableau 4.5 : Largeurs $W$ mesurées suivant le type de transistor ( $L=0.38\mu\text{m}$ ).....	129
Tableau 4.6 : Evolution de $V_T$ et $\delta V_T$ en fonction du stress ( $W=10\mu\text{m}/L=0.38\mu\text{m}$ ).....	133
Tableau 4.7 : Comparaison entre transistors standards et octogonaux du paramètre d'appariement en $V_T$ en fonction du stress .....	134
Tableau 4.8 : Comparaison du paramètre d'appariement en $V_T$ entre transistors NMOS octogonaux et octogonaux (drain extérieur) en fonction du stress.....	136
Tableau 4.9 : Comparaison du paramètre d'appariement en $V_T$ entre transistors PMOS standards et octogonaux (drain extérieur) en fonction du stress.....	136



## Introduction générale

La gamme de produits à base de semi-conducteurs n'a cessé de s'amplifier au travers de nouveaux marchés comme les applications nomades (« smartphone », « tablette PC », etc...) ou les applications embarquées (automobile, aéronautique, spatial, médical, etc...). Ce développement ininterrompu n'a été possible que par des progrès technologiques continus suivant en cela la loi de Moore. Ces progrès technologiques ont rendu possible le développement de systèmes complets sur puce (« System on Chip – SoC »). Ces systèmes intègrent de plus en plus de blocs de nature hétérogène, tels que des mémoires volatiles et non-volatiles embarquées, des blocs analogiques et des cœurs de calculs numériques. Il en résulte une intégration sur un même circuit d'un nombre important de transistors MOS aux caractéristiques très différentes. Cette intégration entraîne des difficultés accrues pour maîtriser la fonctionnalité des blocs critiques, tels que les blocs analogiques.

Au niveau des circuits analogiques, les concepteurs font appels à des structures élémentaires pour définir les étages d'adaptation d'impédance ainsi que les étages d'amplification. Ces structures élémentaires sont souvent définies autour de miroirs de courant et de paires différentielles. Un miroir de courant, composé de transistors appariés, a pour fonction de fournir un courant dans une ou plusieurs branche(s) de sortie identique au courant de référence. La paire différentielle sert souvent d'étage d'entrée dans les amplificateurs différentiels afin d'amplifier la différence des signaux d'entrée appliqués sur les grilles des transistors. La minimisation des variations entre les transistors est donc une des clés du bon fonctionnement de ce type de structure. L'étude des variations inter-dispositifs fait appel aux termes d'appariement (« matching ») (ou désappariement (« mismatch »)) qui permettent de quantifier la similitude (ou la différence) entre deux dispositifs.

L'objectif principal de cette thèse est d'analyser et d'optimiser l'appariement des transistors MOS destinés aux applications analogiques faibles consommations, pour une technologie 90nm « embedded Non Volatile Memory ».

Dans ce contexte, les études développées sont décrites aux travers de quatre chapitres couvrant des aspects circuits jusqu'au procédé de fabrication en incluant des notions de fiabilité.

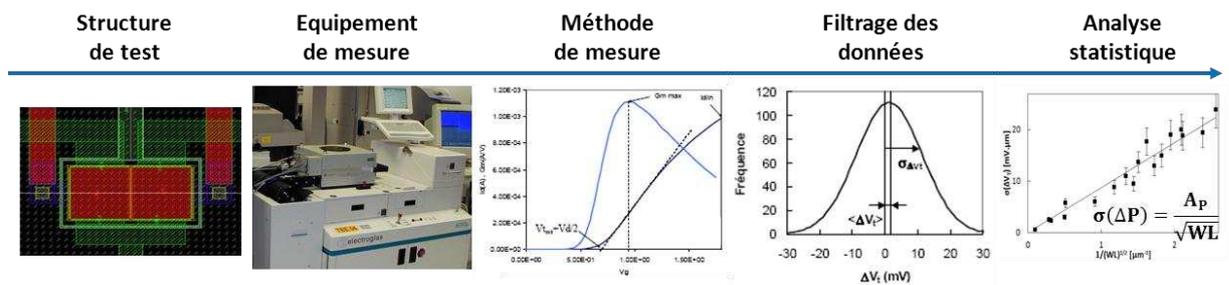
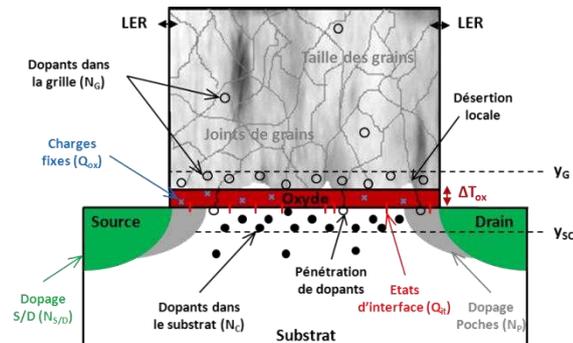
Le premier chapitre débute par un bref rappel sur les transistors MOS avec, leurs différents modes de fonctionnement ainsi que les modèles associés. Dans une deuxième partie, les sources de fluctuations à l'origine des variations aléatoires des paramètres électriques des dispositifs sont décrites. La méthodologie de mesure, des équipements de mesure jusqu'au traitement statistique des données pour aboutir à l'extraction des paramètres d'appariements, est également présentée. La dernière partie de ce chapitre est consacrée à la modélisation du courant de drain vis-à-vis de ces fluctuations locales et à la présentation des sources de variabilité des paramètres électriques externes au transistor.

Le deuxième chapitre démontre, tout d'abord, comment la polarisation d'une paire différentielle sous le seuil permet de respecter avantageusement les contraintes de faible consommation. De plus, cette polarisation sous le seuil est aussi favorable en termes d'appariement en tension. Cependant, un effet parasite appelé effet « hump » apparaît en régime de faible inversion et vient dégrader l'appariement des transistors MOS. Une explication de ce phénomène est donc proposée ainsi qu'un macro-modèle permettant aux concepteurs de simuler cet effet lors de la phase de conception. Pour compléter cette étude, le comportement en température et l'impact sur un circuit analogique de l'effet « hump » sont analysés.

L'impact de l'énergie d'implantation utilisée lors du dopage de la grille sur l'appariement des transistors MOS est présenté dans le troisième chapitre. Ensuite, des études morphologiques liées au dopage du canal des transistors MOS ainsi qu'une analyse paramétrique sont réalisées afin de mieux comprendre les origines de l'effet « hump ». Diverses solutions pour contrer ce phénomène sont proposées en fin de chapitre.

Le quatrième chapitre est consacré à l'étude de la fiabilité de l'appariement des transistors MOS. Dans une première partie, la dégradation des paramètres d'appariement des transistors NMOS et PMOS sous stress porteurs chauds est étudiée. Un modèle de détérioration est ensuite proposé. La deuxième partie de ce chapitre présente les transistors octogonaux conçus pour supprimer l'effet « hump » et démontre l'amélioration de l'appariement en tension et en courant dans la zone sous le seuil obtenue avec ce type de dispositif. La dégradation de ces transistors est comparée à celle des transistors standards.

# Chapitre 1 Introduction aux fluctuations locales des transistors MOS

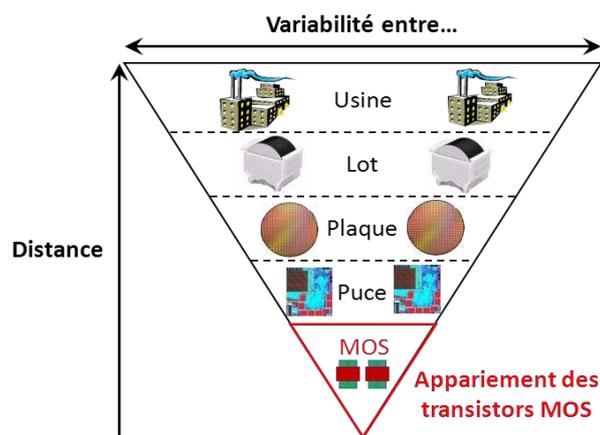


*Il est nécessaire d'étudier les principales sources de fluctuations des paramètres électriques pour remonter aux origines des variations aléatoires inter-dispositifs. De manière expérimentale, trois types de structures de test peuvent être utilisées pour étudier l'appariement des transistors MOS, à savoir les dispositifs isolés, les matrices de dispositifs ainsi que les circuits. Au-delà, les méthodes de mesure doivent être correctement maîtrisées selon la structure de test et l'équipement sélectionné. Enfin, une analyse statistique incluant une étape de filtrage est rendue obligatoire pour extraire les paramètres d'appariement. Enfin, il faut noter que la modélisation du courant de drain est de plus en plus complexe pour prendre en compte un large spectre de fluctuations locales. Ces variations proviennent de différentes étapes du procédé de fabrication mais aussi des contraintes externes aux transistors MOS comme le stress mécanique ou la couverture métallique.*

<b>Introduction</b> .....	<b>25</b>
<b>I Impact des fluctuations locales sur les paramètres du transistor MOS</b> .....	<b>27</b>
I.1 Principe de fonctionnement du transistor MOS .....	27
I.2 Sources de fluctuations locales liées au procédé de fabrication .....	32
I.2.a Fluctuations liées au dopage .....	32
I.2.b Fluctuations liées à la définition de la grille .....	35
I.2.c Fluctuations liées aux paramètres géométriques du transistor MOS .....	36
I.2.d Bilan des fluctuations dans un transistor MOS.....	37
<b>II Mesure des fluctuations locales du transistor MOS</b> .....	<b>38</b>
II.1 Structures de test pour mesurer l'appariement des transistors MOS .....	38
II.1.a Mesure de matrice de transistors MOS.....	38
II.1.b Mesure de circuits .....	39
II.1.c Mesure de paires de transistors MOS appariés .....	40
II.2 Les équipements pour mesurer l'appariement des transistors MOS.....	41
II.3 Méthodes de mesure de l'appariement des transistors MOS .....	42
II.4 Traitement statistique des résultats de mesure.....	44
II.5 Répétitivité de la mesure.....	45
II.6 Extraction du paramètre d'appariement $A_p$ .....	47
<b>III Gestion des fluctuations locales dans la conception de circuits</b> .....	<b>49</b>
III.1 Modélisation des fluctuations locales .....	50
III.2 Simulations électriques de type Monte Carlo (Simulateur Eldo) .....	51
III.3 Contraintes environnementales des transistors MOS.....	52
<b>Conclusion</b> .....	<b>54</b>

## Introduction

De nombreux circuits sont basés sur la possibilité d'avoir le même comportement électrique entre deux dispositifs voire plus. Les principales structures élémentaires souvent utilisés dans les circuits analogiques sont le miroir de courant et la paire différentielle. Pour ces deux structures élémentaires, les variations locales entre les deux transistors MOS appariés peuvent générer des erreurs de copie du courant d'entrée dans le cas du miroir de courant ou introduire une tension de décalage (« offset ») en entrée de la paire différentielle. Ainsi, l'appariement des transistors MOS est très important en conception analogique [Shyu'84] [Lakshmikumar'86] [Kinget'96] [Pelgrom'98]. Le désappariement des dispositifs peut également se faire ressentir sur d'autres circuits comme les convertisseurs Analogiques-Numériques (« ADC ») [Pelgrom'98] [Dollberg'01], les convertisseurs Numériques-Analogiques (« DAC ») [Bastos'98] en impactant le rendement ou la précision par exemple, mais aussi la vitesse et la puissance consommée des références de tension « Bandgap » [Gupta'02] [Gupta'05] [Sengupta'05]. Les sources de variations sont présentes à différents niveaux de la chaîne de fabrication comme le montre la Figure 1.1. L'amplitude de ces variations ou fluctuations dépend de la distance séparant les dispositifs observés.



**Figure 1.1 : Variabilité des dispositifs suivant la distance**

Les variations entre deux usines ou entre deux lots sont plutôt importantes et peuvent être dues à des différences ou dérives d'un ou plusieurs équipements lors du procédé de fabrication. Différentes positions dans un four par exemple sont sources de variabilité de plaque à plaque. Des effets de gradients sur les plaques peuvent augmenter les fluctuations des paramètres électriques. Ces phénomènes de gradient se retrouvent également au sein d'une même puce de manière plus ou moins importante suivant la distance séparant les deux dispositifs (fluctuations intra-puce). Toutes les variations précédentes sont des fluctuations dites « systématiques ». Enfin, les fluctuations entre deux dispositifs dessinés l'un à côté de l'autre sont dites « locales » et sont aléatoires.

Etant donné l'importance que peuvent avoir les fluctuations locales dans les performances des circuits analogiques, le nombre d'articles étudiant le sujet n'a cessé d'augmenter depuis maintenant près de 40 ans. Un des premiers travaux relatant des problèmes de fluctuations du nombre de

dopants dans le canal induisant des variations de tension de seuil a été publié en 1972 [Hoeneisen'72]. Dans [Keyes'75], un modèle de prédiction des fluctuations de tension de seuil est proposé en considérant une distribution de Poisson des dopants dans le canal. La première loi de dépendance dimensionnelle a été étudiée dans [McCreary'81] en s'intéressant aux fluctuations locales des capacités MOS. Ces dépendances sont ensuite expliquées dans [Shyu'82]. C'est à partir de cette publication que les fluctuations systématiques sont associées à la moyenne de la distribution d'un paramètre et les fluctuations stochastiques à sa déviation standard. Peu après dans [Shyu'84], un modèle d'appariement est proposé pour les capacités MOS et transistors MOS. La loi donnant l'amplitude des fluctuations locales en fonction des dimensions d'un dispositif est observée expérimentalement dans [Lakshmikumar'86]. Finalement, c'est dans [Pelgrom'89], un des articles de référence dans le domaine de l'appariement de dispositifs, que cette loi de dépendance dimensionnelle des fluctuations locales est démontrée en séparant les variations locales et globales. Ainsi, les fluctuations locales d'un paramètre P de deux dispositifs appariés ( $\sigma_{\Delta P}$ ) sont inversement proportionnelles à la racine de la surface du dispositif étudié et de la technologie par l'intermédiaire du paramètre  $A_p$  (équation (1.1)). Par la suite, la plupart des travaux relatant des fluctuations locales des dispositifs se sont inspirés de cette loi dimensionnelle (également appelée « loi de Pelgrom »).

$$\sigma_{\Delta P} = \frac{A_p}{\sqrt{WL}} \quad (1.1)$$

Compte tenu de l'importance de ces fluctuations locales concernant les performances de différents circuits, la mesure de l'appariement des transistors MOS ou de tout autre dispositif est nécessaire bien qu'elle soit complexe à mettre en œuvre. Tout d'abord du point de vue de la précision de mesure car les résultats sont basés sur la différence de deux valeurs. Etant donné la précision des résultats à obtenir, il est nécessaire de bien choisir la méthode de mesure, d'effectuer les mesures sur des structures de test appropriées mais également de bien connaître l'équipement de mesure. L'analyse de l'appariement des transistors MOS est basée sur l'étude des moyennes et écarts-type d'une population. Une méthodologie de mesure adaptée et un traitement statistique des données sont donc requis pour analyser correctement les résultats et pouvoir en tirer les bonnes conclusions.

Dans ce contexte, la première partie de ce chapitre est consacrée à de brefs rappels sur les transistors MOS et sur la présentation des principales équations du transistor MOS utilisées dans ce manuscrit. Les principales sources de fluctuations responsables de désappariement sont également présentées. La méthodologie de mesure ainsi que le traitement statistique des données mesurées (filtrage, incertitude de mesure, extraction des paramètres, répétitivité de la mesure...) sont décrits en détail dans la deuxième partie. La troisième partie est consacrée à la modélisation des fluctuations locales particulièrement par rapport au courant de drain et expose les différentes sources de fluctuations environnementales aux transistors MOS pouvant avoir un impact sur leur appariement.

## I Impact des fluctuations locales sur les paramètres du transistor MOS

Il est nécessaire de faire un bref rappel sur les structures MOS, l'effet transistor et les équations utilisées pour modéliser le fonctionnement du MOS avant de s'intéresser à l'appariement des transistors. Les différentes sources de fluctuation pouvant impacter cet appariement sont ensuite abordées.

### I.1 Principe de fonctionnement du transistor MOS

En premier lieu, il faut s'intéresser au fonctionnement d'une capacité MOS (Métal/Oxyde/Semi-conducteur). En effet, en fonction de la polarisation appliquée aux bornes de cette structure MOS, les bandes d'énergie peuvent se courber pour donner quatre principaux régimes. En considérant le substrat à la masse et différents potentiels de grille, les principaux régimes sont représentés Figure 1.2.

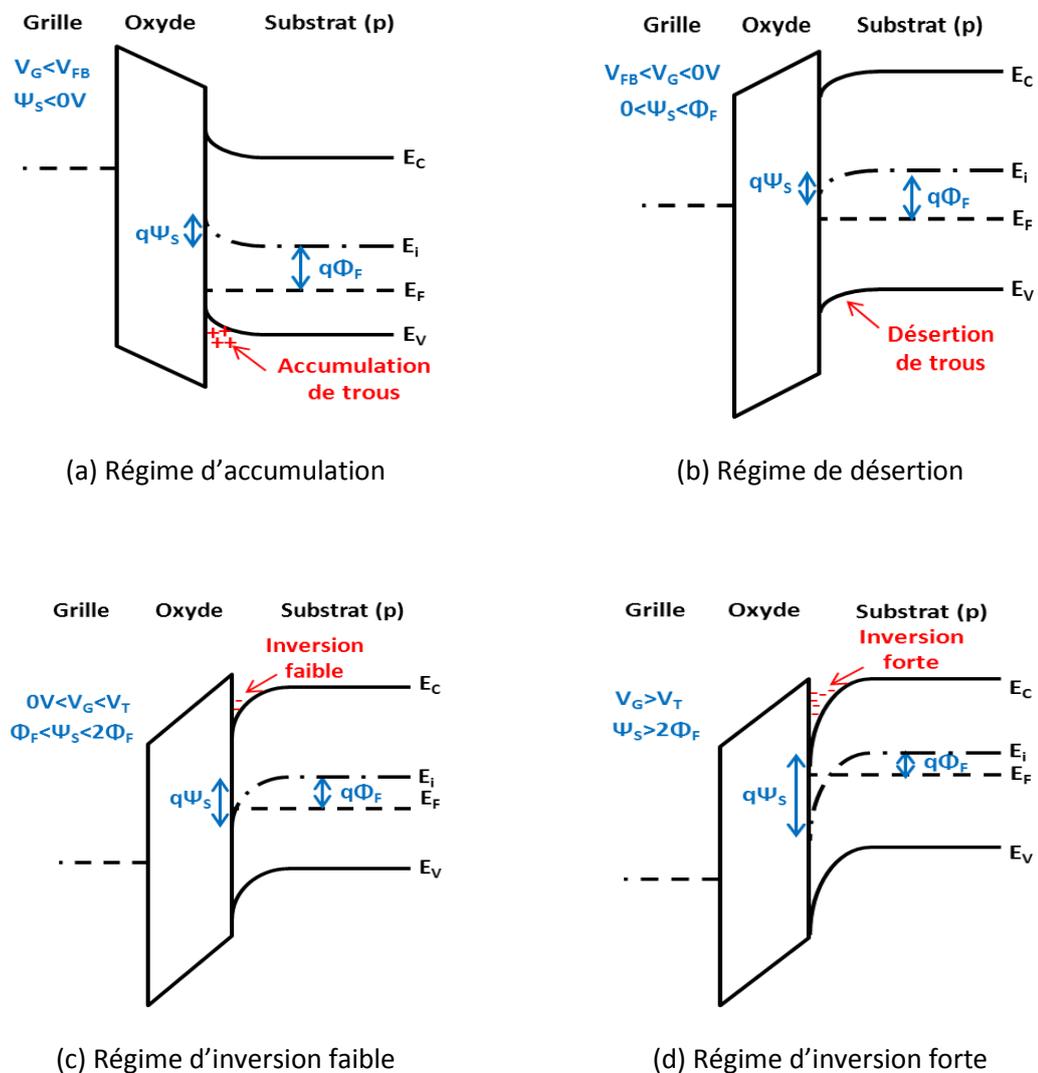


Figure 1.2 : Diagramme de bande d'énergie suivant le régime de fonctionnement d'une structure à substrat de type P

(a) Régime d'accumulation (Figure 1.2a) : En appliquant une polarisation de grille négative, les trous (porteurs majoritaires du substrat P) s'accumulent à la surface du silicium et le potentiel de surface ( $\psi_s$ ) est négatif.

Lorsque le champ électrique à l'interface Si/SiO<sub>2</sub> est nul, le potentiel de surface  $\psi_s$  est également nul et le régime de bandes plates est établi. La tension de grille qui permet d'être dans ce régime est appelée  $V_{FB}$  (« Flat Band »).

(b) Régime de désertion (Figure 1.2b) : Lorsque  $V_G$  est légèrement supérieure à  $V_{FB}$ , les trous initialement présents à l'interface Oxyde/Silicium sont repoussés (désertent l'interface) dans le volume du semi-conducteur et une zone de désertion apparaît.  $\psi_s$  devient positif avec  $0 < \psi_s < \Phi_F$ .

(c) Régime d'inversion faible (Figure 1.2c) : En augmentant encore la polarisation de grille, la courbure des bandes d'énergie s'accroît et au niveau de l'interface Oxyde/Semi-conducteur, le niveau de Fermi intrinsèque ( $E_i$ ) devient inférieur au niveau de Fermi du substrat ( $E_F$ ). Ainsi, la concentration en électrons devient supérieure à celle des trous inversant (faiblement) le silicium de type P au type N. Ce régime apparaît lorsque  $V_G$  permet de valider la relation  $\Phi_F < \psi_s < 2\Phi_F$  ( $\Phi_F = \frac{kT}{q} \ln \frac{N_C}{n_i}$  avec  $kT/q$  représentant la tension thermodynamique,  $N_C$  le dopage du canal et  $n_i$  la concentration intrinsèque).

(d) Régime d'inversion forte (Figure 1.2d) : Le régime d'inversion forte est obtenu avec l'augmentation de la polarisation de grille  $V_G$ , lorsque  $\psi_s > 2\Phi_F$ . Ainsi, un canal de conduction à forte densité d'électrons libres est formé à l'interface Si/SiO<sub>2</sub>.

L'équation aux potentiels de la structure MOS est donnée par l'expression (1.2).

$$V_{GB} = \Phi_{ms} - \frac{Q_{it}}{C_{ox}} - \frac{Q_{ox}}{C_{ox}} + \psi_s + \psi_G + V_{ox} \quad (1.2)$$

Avec  $\Phi_{ms}$  la différence des travaux de sortie aux bornes de la structure MOS ( $\Phi_{ms} = \Phi_{Fg} - \Phi_{Fsc}$ ),  $Q_{it}$  est la charge due aux états d'interface,  $Q_{ox}$  la charge fixe équivalente à l'interface Si/SiO<sub>2</sub> et  $V_{ox}$  la chute de potentiel aux bornes de l'oxyde de grille telle que ( $V_{ox} = Q_{sc}/C_{ox}$ ).  $C_{ox}$  est la capacité de l'oxyde de grille ( $C_{ox} = \epsilon_{ox}/T_{ox}$ ) et  $Q_{sc}$  la charge de la zone de désertion dans le semi-conducteur.

Le passage du régime de faible inversion au régime de forte inversion intervient lorsque  $\psi_s = 2\Phi_F$ . Le diagramme des bandes d'énergie lors de cette transition est donné Figure 1.3.

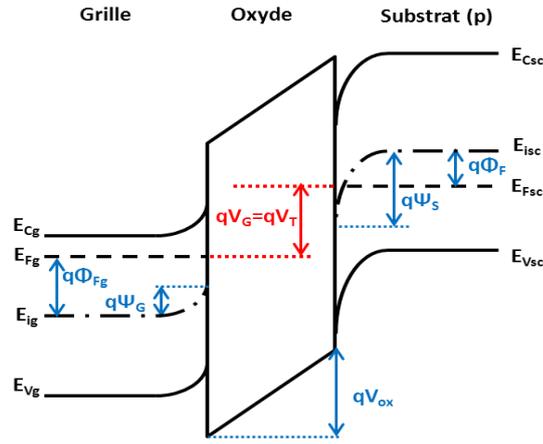


Figure 1.3 : Diagramme de bande d'énergie lorsque  $\psi_s = 2\Phi_F$  d'une structure à substrat de type P

La polarisation de grille correspondant à cette transition est définie comme la tension de seuil  $V_T$  donnée en (1.3).

$$V_T = V_{FB} + 2\Phi_F + \frac{Q_{SC}}{C_{ox}} + \psi_G \quad (1.3)$$

Avec

$$V_{FB} = \Phi_{ms} - \frac{Q_{it}}{C_{ox}} - \frac{Q_{ox}}{C_{ox}} \quad (1.4)$$

$Q_{SC}$  la charge de la zone de désertion dans le semi-conducteur définie en (1.5).

$$Q_{SC} = q \cdot N_C \cdot y_{SC} = \sqrt{2q \cdot \epsilon_{Si} \cdot N_C (2\phi_F - V_B)} \quad (1.5)$$

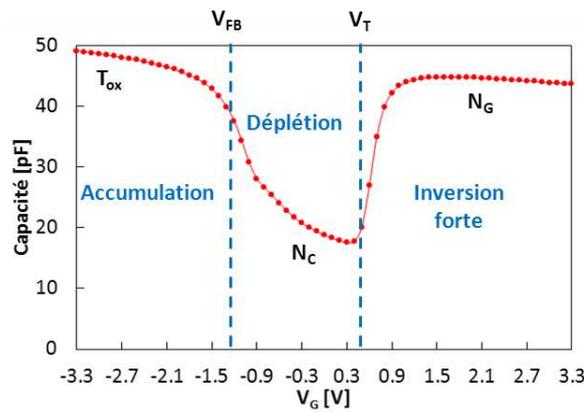
Où  $y_{SC}$  est la profondeur de la zone de désertion dans le semi-conducteur.

En régime d'inversion, une couche de désertion apparaît également dans la grille donnant lieu à une chute de potentiel notée  $\psi_G$  et définie selon la relation (1.6) [Difrenza'02Th].

$$\psi_G = \frac{q \cdot N_G}{2\epsilon_{Si}} y_G^2 = (2\phi_F - V_B) \cdot \frac{N_C}{N_G} \quad (1.6)$$

Avec  $N_C$  le dopage du canal,  $N_G$  le dopage dans la grille,  $V_B$  la polarisation du substrat et  $y_G$  la profondeur de la zone de désertion dans la grille.

Tous ces régimes se retrouvent sur une mesure de capacité en fonction de la polarisation de grille (Mesure « C-V » Figure 1.4) [Monsieur'02Th].

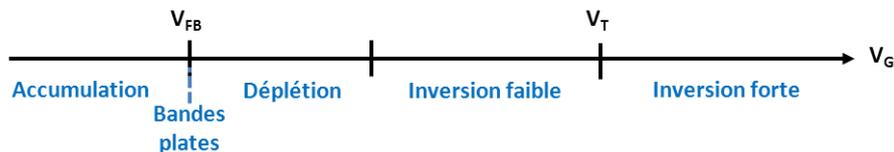


**Figure 1.4 : Mesure d'une capacité MOS sur substrat de type P en fonction de  $V_G$  (Mesure « C-V »)**

De plus, à partir de cette mesure de capacité, il est possible d'extraire les paramètres suivants :

- L'épaisseur d'oxyde  $T_{ox}$  équivalente en régime d'accumulation [Ghibaudo'00].
- La tension de bandes plates  $V_{FB}$ .
- Le dopage moyen du substrat  $N_C$  en régime de déplétion [Maserjian'74].
- La tension de seuil  $V_T$ .
- Le dopage de la grille  $N_G$  en régime d'inversion [Ricco'96].

Les régimes de fonctionnement de la capacité MOS peuvent se représenter de manière simplifiée en fonction de la polarisation de grille  $V_G$ .



**Figure 1.5 : Différents régimes de fonctionnement de la capacité MOS en fonction de  $V_G$**

Le transistor MOS est composé d'une capacité MOS et des zones de Sources et Drains (S/D). Ainsi, les régimes de fonctionnement de la capacité MOS sont à la base du fonctionnement du transistor MOS. En conduction, deux régimes de fonctionnement peuvent être distingués, le régime de forte inversion et le régime de faible inversion. Ces deux régimes évoluent en fonction de la valeur de la tension de grille. Dans le cas de la forte inversion ( $V_G > V_T$ ), le transistor MOS peut être soit en régime linéaire (Figure 1.6a) soit en régime saturé (Figure 1.6b), en fonction de la polarisation de drain  $V_D$ . Dans le cas de la faible inversion ( $V_G < V_T$ ), le transistor MOS travaille sous le seuil limitant ainsi le courant de drain (Figure 1.6c).

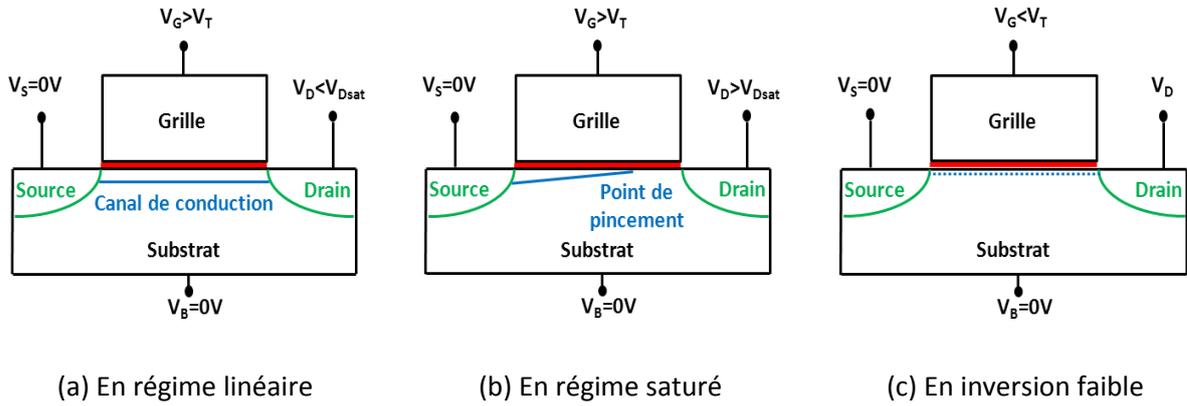


Figure 1.6 : Vue schématique d'un transistor NMOS pour différents régimes de fonctionnement

(a) En régime linéaire : Le transistor est « passant » ( $V_G > V_T$ ), un courant de drain  $I_D$  circule dans le canal de conduction et augmente avec la polarisation de drain ( $V_D$  reste faible). Le transistor MOS est équivalent à une résistance contrôlée linéairement par la grille. En régime linéaire, l'expression de ce courant de drain peut se mettre sous la forme (1.7).

$$I_D = \beta \left( V_G - V_T - \frac{V_D}{2} \right) V_D \quad (1.7)$$

(b) En régime saturé : Lorsque la tension de drain augmente et atteint une certaine valeur de  $V_D$  appelée tension de saturation  $V_{Dsat}$  (définie telle que  $V_{Dsat} = V_G - V_T$ ), le canal est dit « pincé » et le transistor MOS fonctionne en régime non-linéaire. Lorsque  $V_D > V_{Dsat}$ , la couche d'inversion disparaît au voisinage du drain (la zone de pincement se déplace vers la source) et le courant  $I_D$  sature. L'expression du courant de drain en régime de saturation s'écrit selon (1.8).

$$I_D = \frac{\beta}{2} (V_G - V_T)^2 \quad (1.8)$$

(c) En régime de faible inversion : Ce régime de fonctionnement apparaît lorsque la tension de grille est positive mais avec  $V_G < V_T$ . Pour répondre à des contraintes de conception de circuits à faible consommation, les circuits sont de plus en plus polarisés en régime de faible inversion [Vittoz'09]. L'expression du courant de drain en polarisation sous le seuil peut s'écrire [Vittoz'09].

$$I_D = 2 \cdot \eta \cdot \beta \cdot U_T^2 \cdot \exp\left(\frac{V_G - V_T}{\eta U_T}\right) \quad (1.9)$$

$U_T = kT/q$  représente la tension thermodynamique et  $\eta$  un facteur de pente (compris entre 1.1 et 1.5).

Dans les expressions (1.7), (1.8) et (1.9) du courant de drain,  $\beta$  est le facteur de courant :

$$\beta = \mu \cdot C_{ox} \cdot \frac{W}{L} \quad (1.10)$$

Avec  $\mu$  la mobilité des porteurs de charge dans la couche d'inversion dont l'expression est développée en (1.11).

$$\mu = \frac{\mu_0}{1 + \theta_1(V_G - V_T) + \theta_2(V_G - V_T)^2} \quad (1.11)$$

Avec  $\mu_0$  la mobilité des porteurs de charge sous faible champ électrique,  $\theta_1$  et  $\theta_2$  étant des coefficients liés à la réduction de la mobilité des porteurs.

Les régimes de fonctionnement du transistor MOS se retrouvent sur les caractéristiques  $I_D$ - $V_G$  et  $I_D$ - $V_D$  de la Figure 1.7.

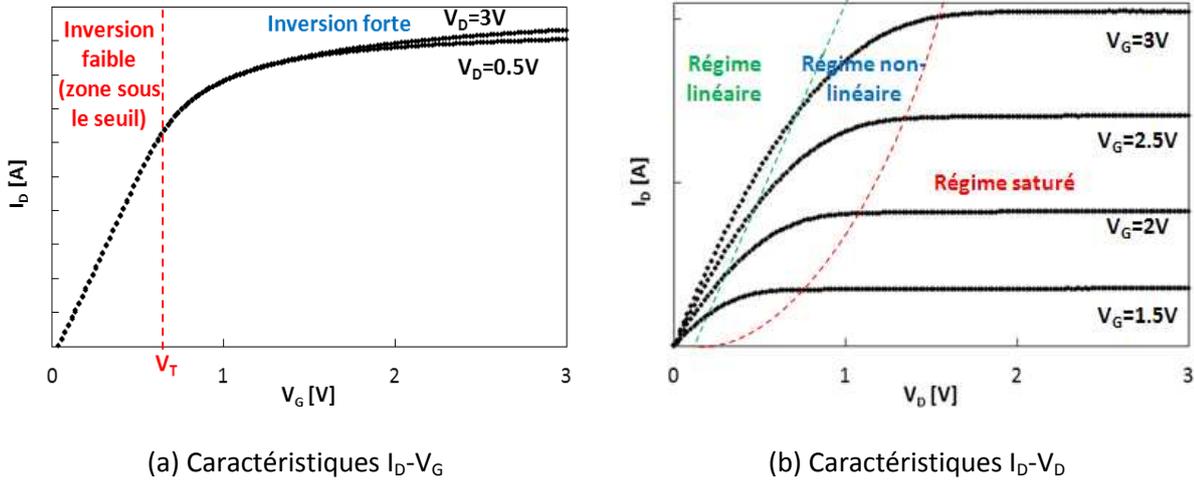


Figure 1.7 : Caractéristiques d'un transistor NMOS

La transconductance  $g_m$  du transistor MOS est définie comme la dérivée partielle du courant de drain par rapport à la tension de grille.

$$g_m = \frac{\partial I_D}{\partial V_G} \quad (1.12)$$

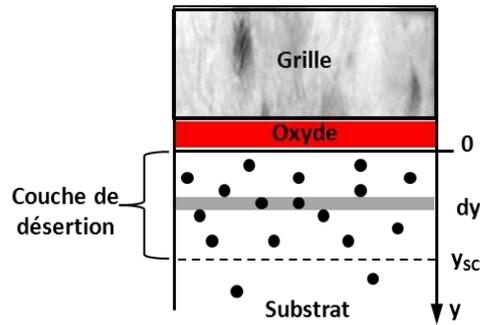
## 1.2 Sources de fluctuations locales liées au procédé de fabrication

La plupart des étapes d'un procédé de fabrication peuvent être sources de fluctuation. Cela est particulièrement le cas des étapes liées au dopage qui sont souvent considérées comme étant les principaux contributeurs des fluctuations des paramètres des transistors MOS et par conséquent de leur appariement. Le deuxième principal contributeur est lié à la définition de la grille. Enfin, les fluctuations liées aux paramètres géométriques du transistor MOS sont également à prendre en compte. Tous ces phénomènes étant aléatoires pour chaque transistor MOS, ils jouent un rôle non négligeable sur leur appariement.

### 1.2.a Fluctuations liées au dopage

Beaucoup de travaux ont été consacrés à l'étude des fluctuations de tension de seuil liées au dopage du canal et cela, principalement à cause de la variation aléatoire du nombre de dopants qui suit une distribution Gaussienne [Mizuno'93] [Mizuno'94] [Mizuno'96]. Dans [Takeuchi'97], une dépendance en fonction de la profondeur des dopants dans la charge de désertion est mise en évidence comme

le montre la Figure 1.8. La diminution de la contribution des dopants du canal sur les fluctuations de tension de seuil en fonction de la profondeur est également démontrée dans [Stolk'98].



**Figure 1.8 : Coupe schématique d'un transistor MOS montrant l'impact de la position des dopants dans le substrat**

Ainsi, en considérant un nombre aléatoire de dopants du canal contrôlant la charge de désertion  $Q_{SC}$ , les fluctuations de la tension de seuil peuvent se mettre sous la forme (1.13) [Takeuchi'97] [Stolk'98].

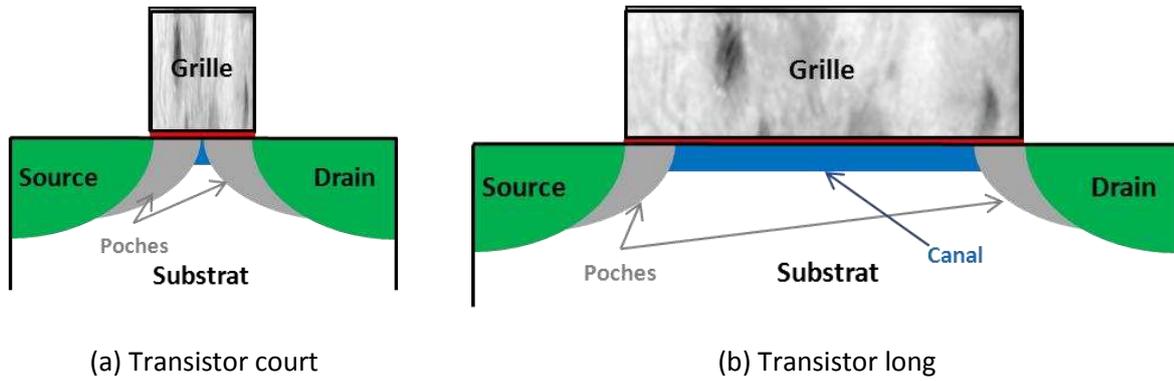
$$\sigma_{VT} = \frac{1}{C_{ox}} \sqrt{\frac{q \cdot Q_{SC}}{3WL}} \quad (1.13)$$

Cette expression permet de voir l'impact du dopage canal  $N_C$  sur le paramètre d'appariement (noté ici  $A_{VTc}$ ) de la tension de seuil d'après l'équation (1.14). L'appariement se dégrade avec l'augmentation du dopage canal.

$$A_{VTc} = \frac{T_{ox}}{\varepsilon_{ox}} \cdot \frac{\sqrt{2}}{\sqrt{3}} \cdot \sqrt[4]{2q^3 \varepsilon_{Si} N_C (2\phi_F - V_B)} \quad (1.14)$$

Cette dépendance en  $N_C^{0.25}$  du paramètre d'appariement de la tension de seuil n'est cependant pas valide pour toutes les géométries de transistors MOS [Croon'00] [Difrenza'03a]. Cette déviation par rapport à la loi de surface est principalement due à l'effet canal court (ou SCE pour « Short Channel Effect ») avec une dégradation accentuée pour les transistors courts [Difrenza'00] [Mc Ginley'04].

Pour limiter l'effet canal court, des régions très dopées près du canal autour des diffusions de drain et de source appelées poches ou « halos » sont utilisées (cf. Figure 1.9). Cependant, les étapes d'implantation nécessaires à la réalisation de ces poches sont elles-mêmes sources de fluctuations pouvant dégrader l'appariement des transistors MOS.



**Figure 1.9 : Coupe schématique d'un transistor MOS montrant les poches**

Plus les transistors sont courts (cf. Figure 1.9a), plus l'impact des poches est important. Le dopage du canal est plus élevé et uniforme car essentiellement constitué des poches induisant une dégradation de l'appariement des transistors MOS [Mc Ginley'04] [Johnson'08]. Ainsi, la dépendance du paramètre  $A_{VT}$  est plus prononcée en  $N_C^{0.4}$  (par rapport à (1.14)) [Roy'06].

Une modélisation de l'impact de ces poches basée sur les contributions du canal et des poches en fonction de leur dopage et de leur longueur a été proposée dans [Difrenza'00] [Rios'02]. Le paramètre d'appariement  $A_{VTc+p}$  (canal + poches) pour un transistor MOS avec poches peut s'écrire par la relation (1.15).

$$A_{VTc+p} = \frac{T_{ox}}{\varepsilon_{ox}} \cdot \frac{\sqrt{2}}{\sqrt{3}} \cdot \sqrt{qQ_{scp} \cdot \frac{2L_p}{L} + qQ_{sc} \cdot \frac{L - 2L_p}{L}} \quad (1.15)$$

Avec  $Q_{scp}$  et  $L_p$  représentant respectivement la charge de désertion et la longueur des poches et  $Q_{sc}$  et  $L$  représentant les mêmes grandeurs mais pour le canal.

Cependant, avec l'augmentation de la longueur  $L$  des transistors MOS (cf. Figure 1.9b), la différence de dopage entre le canal (faiblement dopé) et les poches (fortement dopées) est importante et donc non-uniforme. Cette différence devenant vraiment significative, les barrières de potentiels ainsi formées côté source et côté drain contrôlent les variations de  $V_T$  et ceci indépendamment de la longueur  $L$  [Cathignol'08a]. L'impact des poches est aussi dépendant de la polarisation de grille qui vient abaisser les hauteurs des barrières de potentiel et ainsi diminuer les fluctuations de tension de seuil (l'ensemble canal + poches étant quasi uniforme) [Cathignol'08a]. Ces effets sont confirmés en technologie 32nm avec des grilles métalliques sur isolant à haute permittivité (« high-k ») [Hook'10].

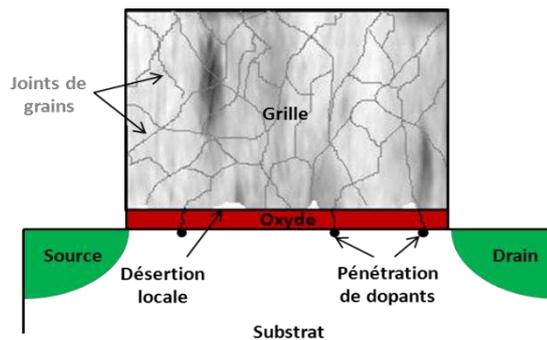
Un modèle d'appariement prenant en compte ces fluctuations de tension de seuil en fonction de la polarisation de grille et pour les transistors longs est proposé dans [Cathignol'09]. Ce dernier modèle ayant également des limitations (pas de diminution de l'appariement pour les transistors très longs et représentation seulement qualitative), un modèle physique amélioré a été développé. Ce modèle prend en compte tous les effets cités précédemment [Mezzomo'10b].

### I.2.b Fluctuations liées à la définition de la grille

L'aspect granulaire de la grille est un contributeur important des fluctuations locales des transistors MOS. Tout d'abord, les variations aléatoires du nombre de dopants dans la grille sont une des raisons de la dégradation de l'appariement des transistors MOS [Asenov'98] [Asenov'99]. Un modèle prenant en compte les fluctuations du nombre de dopants dans la grille en plus des dopants dans le canal ( $A_{VTc+g}$ ) est présenté en (1.16) [Difrenza'01].

$$A_{VTc+g} = \sqrt{\frac{2}{3} \cdot \left(\frac{T_{ox}}{\epsilon_{ox}}\right)^2 q Q_{SC} + (2\phi_F - V_B) \cdot \frac{N_C}{N_G} \cdot \frac{q}{Q_{SC}}} \quad (1.16)$$

Du fait de la pénétration de dopants dans le canal à travers l'oxyde [Tuinhout'97a] [Yu'98] [Schmitz'99] qui se fait essentiellement le long des joints de grains situés dans la grille, le dopage de la grille est par conséquent moins uniforme et certaines zones proche de l'oxyde de grille peuvent se retrouver partiellement désertées de dopants (cf. Figure 1.10). De plus, la tension de seuil peut fluctuer localement suivant la position le long du canal (sous un grain ou sous un joint de grain) [Asenov'00]. Cet aspect est également démontré dans d'autres travaux [Cao'98] [Krisch'96].



**Figure 1.10 : Coupe d'un transistor MOS montrant les problèmes liés à la granularité de la grille**

Partant de l'hypothèse de diffusion des dopants le long des joints de grains, il est concevable de s'attendre à une diminution des fluctuations locales en diminuant la taille des grains par une homogénéisation de la distribution des dopants dans la grille. Dans [Difrenza'01], une amélioration notable de l'appariement des transistors est obtenue en passant d'une grille déposée en silicium amorphe à une grille déposée en silicium poly-cristallin. Après recuit, ces deux procédés conduisent à une grille de type poly-cristalline mais avec une diminution de la taille des grains dans le deuxième cas. A partir de cette observation, un modèle d'appariement de la tension de seuil basé sur les fluctuations aléatoires du nombre de grains a été proposé [Difrenza'03b].

Une autre étude basée sur une grille en poly-silicium de type « nano grains » a démontré une amélioration de l'appariement des transistors MOS [Chen'03]. En plus de présenter des grains encore plus petits que dans une grille poly-silicium de type colonnaire, aucune orientation cristalline n'est privilégiée pour les « nano grains » rendant la diffusion des dopants le long des joints de grains encore plus difficile.

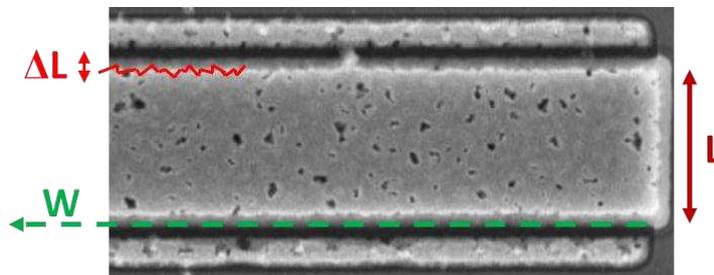
Une solution très simple afin d'éviter toute diffusion le long des joints de grains est de concevoir des grilles amorphes ne présentant pas de grains (et par conséquent pas de joints de grains non plus). Cette manipulation est réalisée dans [Fukutome'06] où les fluctuations de tension de seuil sont réduites en l'absence de grains. Cependant, comme cela est souligné dans [Cathignol'08Th], il est très difficile d'un point de vue du procédé de fabrication de conserver une grille déposée amorphe dans un tel état avec tous les budgets thermiques que subit la grille après dépôt (cristallisation du polysilicium).

### I.2.c Fluctuations liées aux paramètres géométriques du transistor MOS

Un récapitulatif de l'appariement de la tension de seuil en fonction de l'épaisseur d'oxyde  $T_{ox}$  pour les technologies de 0.5 $\mu$ m à 32nm est proposé dans [Mezzomo'11]. Toutes ces données permettent d'obtenir une tendance (1.17) du paramètre d'appariement confirmée par des simulations atomistiques [Asenov'00].

$$A_{VT} = 3.2 \times 10^{-3} \cdot N_C^{0.4} \left( T_{ox} + \frac{\epsilon_{ox}}{\epsilon_{Si}} \cdot y_G \right) \quad (1.17)$$

Un autre facteur responsable de fluctuations des paramètres des transistors MOS est lié à la rugosité de la grille (LER pour "Line Edge Roughness") [Baravelli'07] [Baravelli'08] ayant pour conséquences des variations de longueur (cf. Figure 1.11).



**Figure 1.11 : Représentation de la rugosité de grille (LER) à partir d'une vue SEM d'un transistor MOS**

La variance d'un paramètre électrique  $P$  modifiée par les fluctuations de longueur à cause de la rugosité de la grille peut se mettre sous la forme (1.18) [Croon'02b].

$$\sigma_{\Delta P}^2 \cong \left( \frac{\partial \Delta P}{\partial L} \right)^2 \sigma_{\langle L \rangle}^2 \quad (1.18)$$

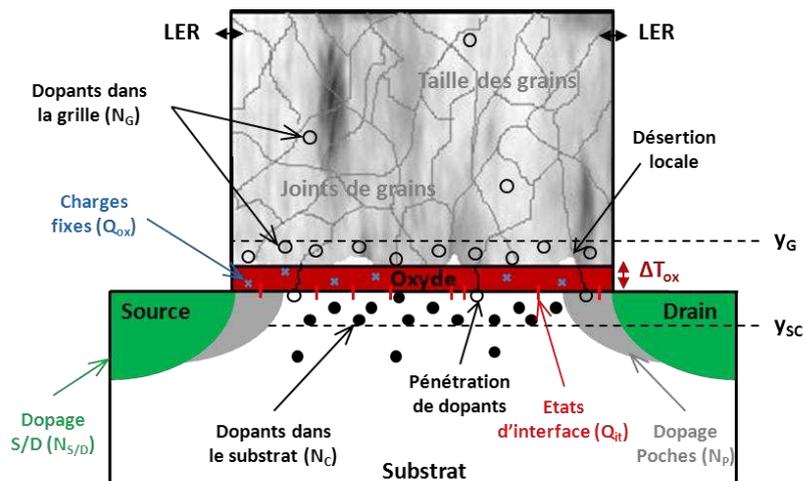
Où  $\sigma_{\langle L \rangle}^2$  représente la déviation standard de la longueur moyenne du transistor MOS.

Cet effet en  $L$  ( $\Delta L$ ) est considéré comme un facteur limitant majeur pour les futures technologies étant donné qu'il prend une part de plus en plus importante par rapport à la diminution des longueurs de grille [Croon'02b] [Croon'03] [Asenov'03].

Enfin, l'importance de prendre en compte les fluctuations aléatoires des états d'interface notamment pour les technologies récentes avec grilles métalliques « high-k » est démontrée dans [Andricciola'09b] et des charges fixes dans l'oxyde [Putra'08].

### I.2.d Bilan des fluctuations dans un transistor MOS

Toutes les sources de fluctuations décrites précédemment peuvent se représenter sur la Figure 1.12.



**Figure 1.12 : Représentation des principales sources de variabilité du transistor MOS**

Ces différentes contributions ayant un impact sur l'appariement des transistors MOS sont difficiles à classer par ordre d'importance. En effet, le poids de chaque contribution peut varier notamment en fonction du nœud technologique, du type de grille, de l'épaisseur d'oxyde... Cependant, il est commun de citer les fluctuations liées au dopage du canal ( $N_c$ ), des sources et drains ( $N_{S/D}$ ) et des poches ( $N_p$ ) comme principales sources de variabilité [Cathignol'08b] [Mezzomo'11]. Ces fluctuations sont souvent regroupées sous le nom de RDD (pour « Random Discrete Dopants ») dans la littérature. Ensuite, les fluctuations liées à la définition de la grille (taille des grains, concentration de dopants dans la grille  $N_G$ , joints de grains, zones localement désertées, pénétration de dopants, etc...) sont la deuxième cause de désappariement des transistors MOS. La rugosité de la grille  $a$ , quant à elle, a un impact mineur sur les fluctuations des transistors MOS. Cet effet LER devient cependant important pour les nœuds technologiques avancés (32nm et 22nm) avec la réduction des dimensions [Roy'06]. Enfin, les fluctuations des états d'interface à l'interface Si/SiO<sub>2</sub> et des charges fixes dans l'oxyde de grille peuvent impacter l'appariement des transistors MOS [Putra'08] [Andricciola'09b].

Pour les futures technologies (32nm, 28nm...), les grilles métalliques « high-k » sont souvent utilisées et, du fait d'une concentration de dopage dans le canal moins importante, peuvent améliorer l'appariement comparativement aux grilles en poly-silicium [Yuan'11]. Afin de continuer la miniaturisation des transistors, de nouvelles architectures doivent être mises en place. Quelques travaux s'intéressent aux fluctuations de ces nouvelles architectures comme les transistors FinFET (« Fin Field Effect Transistor ») [Gustin'06], à double grille (« DG »), à grille enrobante (GAA pour « Gate All Around ») [Cathignol'06a], les transistors silicium sur isolant complètement déserté (FD-SOI pour « Fully Depleted Silicon On Insulator ») ou SON (« Silicon On Nothing »).

## II Mesure des fluctuations locales du transistor MOS

La mesure des fluctuations locales requiert des équipements de mesure précis pour mesurer une différence de paramètres électriques, des structures de test particulières et une méthode d'extraction de ces paramètres adaptée à l'étude choisie. Un nombre conséquent de mesures est nécessaire suivi d'un traitement statistique permettant de conclure sur l'appariement des dispositifs. Le plan de cette partie suit la méthodologie de mesure couramment utilisée pour mesurer les fluctuations locales des transistors MOS illustrée Figure 1.13.

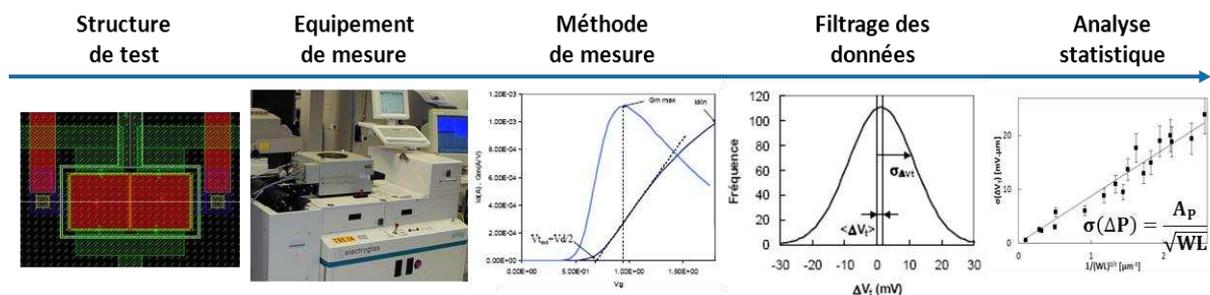


Figure 1.13 : Méthodologie de mesure des fluctuations locales

### II.1 Structures de test pour mesurer l'appariement des transistors MOS

Pour remonter aux causes physiques responsables du désappariement des transistors MOS, il est nécessaire de les caractériser électriquement. Ces caractéristiques électriques permettent d'évaluer les fluctuations locales. Généralement, les mesures électriques peuvent être réalisées sur trois types de structures: Les matrices adressables de transistors MOS, les circuits et les paires de transistors MOS appariés.

#### II.1.a Mesure de matrice de transistors MOS

Le principal avantage que présente la mesure de matrices de transistors est la possibilité de mesurer un très grand nombre de transistors MOS. En effet, les matrices adressables permettent de caractériser plusieurs milliers de transistors, voire plus. Elles peuvent également présenter comme avantages un gain de place avec un nombre de connexions et de plots réduits par rapport aux paires de MOS appariés ainsi qu'un environnement de fonctionnement proche de la réalité (densité importante de transistors dans un même environnement). Ce type de structure de test est utilisé pour l'étude des fluctuations locales depuis la fin des années 80 [Blaes'88] [Portmann'98] [Shimizu'02] [Quarantelli'03] [Shimizu'04] [Agarwal'06] [Fischer'07] [Dimitrov'08]. Même si ce type de structure offre un nombre conséquent de données de mesure, primordial en termes d'analyse statistique, elle présente de nombreux inconvénients [Tuinhout'05Th] :

- Etant large, une telle structure peut être sujette aux gradients du procédé de fabrication et ainsi venir perturber la mesure. Les mesures sont ainsi influencées par la distance entre dispositifs [Portmann'98] [Quarantelli'03].
- Le circuit d'adressage est une source supplémentaire de fluctuation (chemin d'accès, etc...) et nécessite un câblage de type « quatre pointes » pour s'affranchir des différences de résistances d'accès. De plus, un tel circuit est plus difficile à concevoir (des compétences en conception de circuits sont requises) et rend la structure de test inutile si le circuit n'est pas opérationnel.
- Mesurer un seul transistor de la matrice afin d'effectuer une analyse complémentaire peut s'avérer compliqué.
- L'homogénéité (ou symétrie) du « layout » n'est pas forcément assurée et il est reporté que les lignes et colonnes extérieures ne sont pas à prendre en compte dans l'analyse des résultats [Portmann'98].
- Les matrices sont composées de structures élémentaires dupliquées N fois (afin d'avoir une structure de test réutilisable). Ainsi, ces structures disposent souvent d'un pas minimal et maximal limitant la surface des transistors à caractériser et ne permettant pas d'étudier des effets d'environnement proche autour du transistor (non appariement systématique).
- Enfin, la mesure de matrice semble être plus « consommatrice » d'un point de vue matériel tout d'abord avec le besoin d'alimenter et polariser le circuit d'adressage puis en termes de temps de test.

### II.1.b Mesure de circuits

La caractérisation des fluctuations locales peut aussi reposer sur l'étude directe de circuits. Comme suggéré dans [Croon'04Th], une étude au niveau circuit permet d'évaluer l'appariement des transistors MOS dans un environnement réel [Tuinhout'03]. En effet, cette méthode constitue la mesure « idéale » puisqu'elle fournit des résultats plus proches du fonctionnement réel des transistors. Ainsi, des circuits analogiques composés de dispositifs opérant de manière appariée (telles que les paires différentielles, les miroirs de courant, les résistances appariées...) peuvent être caractérisés afin d'étudier l'appariement des transistors MOS. Certaines sources d'erreur lors de la mesure de l'appariement comme la variation de la résistance d'accès d'une carte à pointe au cours du test [Cathignol'07] ou encore le décalage entre deux unités de mesure lors de la mesure simultanée de deux dispositifs appariés sont limitées par un test au niveau circuit. En effet, il « suffit » d'alimenter le circuit et de mesurer les variations sur le nœud de sortie pour avoir une idée de l'appariement des dispositifs qui le compose. Ainsi, la méthodologie de mesure et l'analyse des données sont simplifiées sur un circuit analogique comparativement à une structure de test appariée (mesure simple d'une tension de sortie comparée à une caractérisation complète et un traitement complexe des résultats de mesure du  $V_T$ ). Enfin, ce type de mesure est très bien adapté pour une

surveillance voire une optimisation du procédé de fabrication. Les structures de test peuvent être basées sur des miroirs de courant ou paires différentielles [Conti'97], des registres à décalage avec propagation de signaux [Conti'03], des oscillateurs en anneaux [Balankutty'07] ou des circuits plus complets [Brito'07a] [Brito'07b] [Pileggi'08].

### II.1.c Mesure de paires de transistors MOS appariés

Ces structures basées sur deux transistors MOS appariés ont été proposées en 1986 [Lakshmikumar'86]. Les avantages et inconvénients des paires de transistors MOS appariés correspondent respectivement aux inconvénients et avantages des structures à base de matrice de transistors MOS. En effet, malgré un nombre limité de mesures par plaque (de l'ordre de plusieurs dizaines contre plusieurs milliers pour les matrices de transistors MOS) donnant des incertitudes statistiques relativement élevées mais rarement problématiques, ce type de structure est facile à concevoir. En effet, les paires de transistors permettent d'étudier l'appariement des transistors MOS au travers de nombreuses variantes. De nombreux travaux ont été publiés pour étudier l'appariement des transistors MOS en fonction du « layout » ou des éléments extérieurs aux transistors (couverture métallique, transistors factices, stress mécanique, etc...). Les paires de MOS appariés permettent également de tester de nouvelles méthodes de mesure plus précises [Mezzomo'09] ou encore d'étudier la distance entre dispositifs [Cathignol'08c].

Ainsi, pour des raisons de simplicité et de rapidité de conception, de flexibilité lors de la mesure et de précision dans les résultats, l'appariement des transistors MOS est étudié dans ce manuscrit principalement à partir de structures de test de transistors MOS appariés. Une structure de test contient 22 plots de contacts et plusieurs paires de transistors MOS appariés (cf. Figure 1.14). Un plot permet de réaliser les connexions de source (S) de toutes les paires, et un autre plot relie les prises substrat (B) (permettant une polarisation avec effet substrat). La connexion de grille (G) est également commune à tous les transistors (tous les tests d'appariement présentés dans ces travaux de thèse sont réalisés sur des transistors ayant un oxyde de grille de 65Å). Enfin, toutes les connexions de drain sont propres à chaque transistor (D1 et D2). Un anneau de garde (« Guard ring ») est dessiné autour de chaque paire pour limiter les effets systématiques.

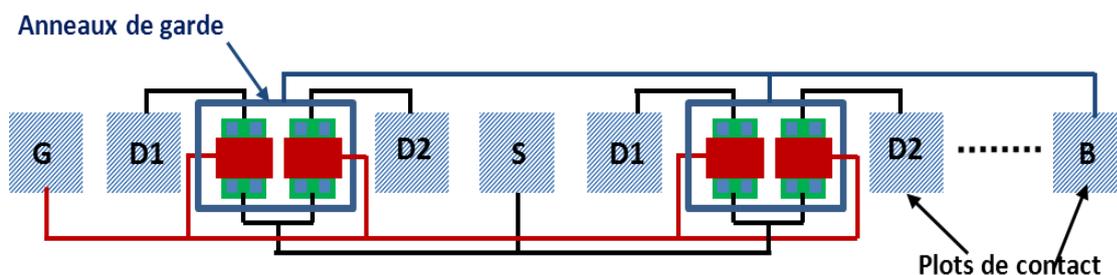


Figure 1.14 : Structure de test de paires de transistors MOS

## II.2 Les équipements pour mesurer l'appariement des transistors MOS

Les mesures d'appariement présentées dans ce manuscrit sont issues d'un système de mesure sur banc de test automatique présenté Figure 1.15.

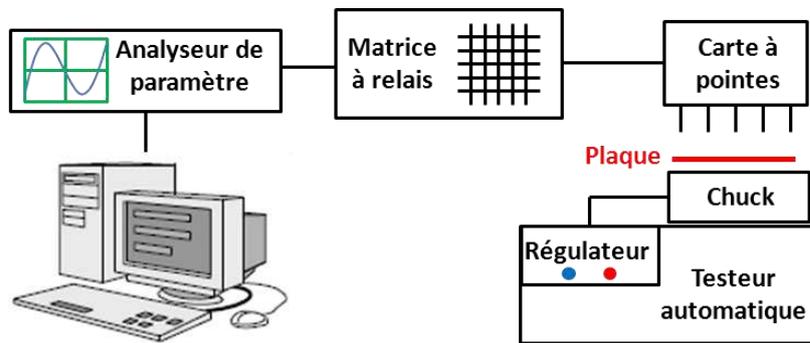


Figure 1.15 : Système de mesure sur banc de test automatique

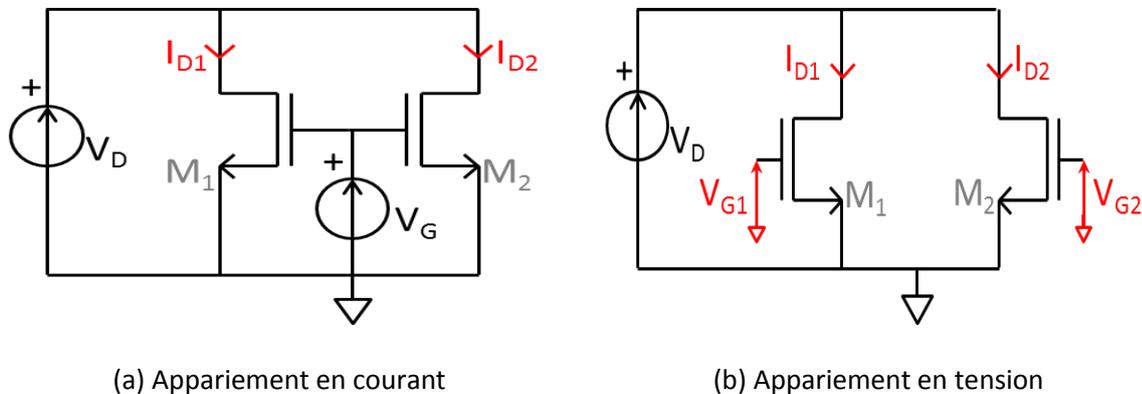
Le système de mesure est composé de :

- Testeur automatique : La nécessité de mesurer un grand nombre de dimensions et de sites afin d'extraire des paramètres de déviation standard impose l'utilisation d'un banc de test automatique (souvent appelé « automatic prober »). Celui-ci permet de se déplacer sur la plaque et donc de poser les pointes d'un site à un autre automatiquement. Un tel testeur permet également de tester automatiquement plusieurs plaques à la suite ce qui est appréciable si l'on souhaite augmenter le nombre de sites à mesurer ou comparer différents procédés de fabrication.
- « Chuck » et régulateur : Le testeur automatique déplace en réalité le « thermochuck » (sur lequel est posée la plaque de silicium) d'un site à l'autre pour chaque plaque. Ce « chuck » est couplé à un régulateur permettant de contrôler la température pendant le test. Cependant, il peut générer du bruit durant la mesure et éventuellement venir perturber celle-ci [Tuinhout'05Th]. Ainsi, pour limiter les perturbations et sauf indication contraire, les mesures sont effectuées à température ambiante sans alimenter l'ensemble « chuck » + régulateur.
- Carte à pointes et matrice à relais: La carte à pointes utilisée contient 22 pointes posées sur les plots de contact de la structure à tester (la connexion se fait en une seule fois sur chaque structure de test). La matrice à relais sert simplement à aiguiller les signaux. Celle-ci peut être source de fluctuations supplémentaires en ajoutant des résistances parasites [Tuinhout'05Th] mais est obligatoire pour une mesure automatique. Cependant, une matrice à relais présente l'avantage d'offrir la possibilité d'utiliser le même équipement de mesure d'un transistor à l'autre. Cela permet de s'affranchir de toute source de fluctuations liée à l'utilisation de deux équipements de mesure différents. L'ensemble carte à pointes-matrice à relais permet de connecter les structures de test à l'analyseur de paramètre.

- Analyseur de paramètre : L'analyseur de paramètre est un HP4142B [ManuelHP'4142B]. Il est composé de quatre équipements de mesure appelés « SMU » (« Sense-Measure Unit ») étant chacun capable d'appliquer une polarisation et de mesurer un signal. La gamme de tension principalement utilisée est la plus basse ( $-2V < V < 2V$ ) et dont la résolution de  $100\mu V$  est suffisamment précise pour ne pas influencer les résultats de mesure.
- Station UNIX : La station est utilisée pour écrire les programmes de test, communiquer avec le système de mesure et collecter les données de mesure.

### II.3 Méthodes de mesure de l'appariement des transistors MOS

Dans ce manuscrit, les appariements en courant et en tension des transistors MOS sont étudiés grâce aux configurations de mesure présentées Figure 1.16. La connexion de source est à la masse ainsi que la polarisation du substrat (sauf indication contraire).



**Figure 1.16 : Méthodes de mesure pour étudier l'appariement en courant et en tension des transistors MOS**

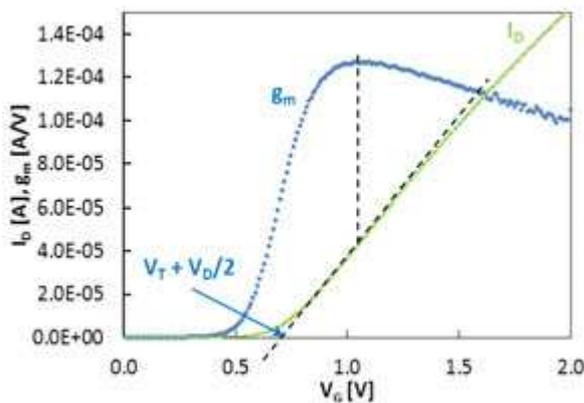
- (a) Méthode de mesure de l'appariement en courant (Figure 1.16a) : Cette méthode consiste simplement à imposer le potentiel de drain  $V_D$ , à faire varier la tension de grille  $V_G$ , et à relever les courants de drain  $I_{D1}$  et  $I_{D2}$  des deux transistors (correspond à une caractéristique  $I_D-V_G$ ). La différence relative des courants  $\Delta I_D/I_D$  est ensuite déterminée par la relation (1.20).
- (b) Méthode de mesure de l'appariement en tension de grille (Figure 1.16b) : La méthode de polarisation d'une paire différentielle consiste à imposer le même courant de drain  $I_D$  dans chaque branche et à venir mesurer les tensions de grille  $V_{G1}$  et  $V_{G2}$  des deux transistors afin d'en déterminer l'appariement. Les connexions de source et de substrat sont à la masse. Cependant, cette méthode nécessite d'imposer le courant  $I_D$  mais également le potentiel de drain des transistors  $M_1$  et  $M_2$  afin de polariser la paire différentielle dans le régime souhaité. La solution utilisée afin de pouvoir mesurer cet appariement consiste à imposer le potentiel de drain et relever les tensions de grille des deux transistors pour chaque valeur de courant de drain  $I_D$  définie (correspond à une caractéristique  $V_G-I_D$ ). La différence des tensions de grille  $\Delta V_G$  est finalement calculée en utilisant la relation (1.19).

De nombreuses définitions de la tension de seuil existant dans la littérature, il est souvent difficile de s'entendre sur la méthode d'extraction du  $V_T$  à utiliser. Cependant, l'étude de l'appariement de la tension de seuil des transistors MOS simplifie le travail en ne s'intéressant uniquement à la dispersion du  $V_T$  et non à sa valeur absolue. Le but final étant de comparer les caractéristiques électriques de deux transistors MOS en utilisant la même méthode de mesure. Les méthodes de mesure les plus utilisées sont listées ci-après :

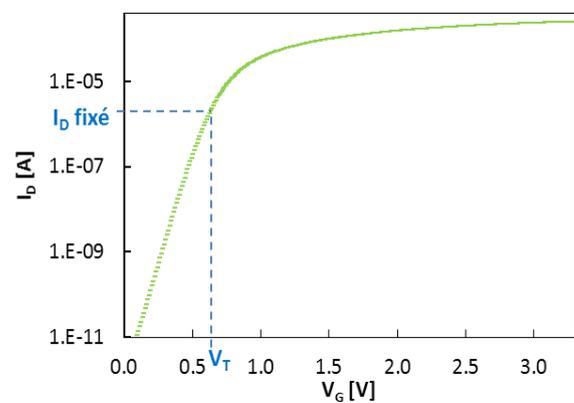
- Maximum de transconductance [Dobrescu'00]
- A courant constant
- 3 points [Hamer'86]
- 4 points [Mourrain'00]
- Fonction Y [Ghibaudo'88]
- Méthode de « fit » de modèle simple [Serrano-Gotarredona'00] [Croon'01].

Une comparaison de toutes ces méthodes de mesure est proposée dans [Croon'02c] (sauf fonction Y). Les résultats obtenus ne présentent pas de différences réellement significatives et toutes ces méthodes peuvent être utilisées en prêtant attention à la mesure tout en connaissant le régime de fonctionnement du transistor.

Les résultats d'appariement présentés dans ce manuscrit sont obtenus par la méthode du maximum de transconductance (Figure 1.17a) ou à courant constant (Figure 1.17b).



(a) Méthode de mesure à  $g_{m_{max}}$



(b) Méthode de mesure à courant constant

**Figure 1.17 : Méthodes de mesure de  $V_T$  pour étudier l'appariement de la tension de seuil des transistors MOS**

Pour les deux méthodes de mesure de la tension de seuil présentées Figure 1.17, l'extraction du paramètre  $V_T$  se fait à partir des caractéristiques  $I_D$ - $V_G$  mesurées en régime linéaire ( $|V_D|=0.1V$ ) en faisant varier la tension de grille  $V_G$  de 0V à  $V_{DD}=3.3V$ .

## II.4 Traitement statistique des résultats de mesure

La mesure de la différence des paramètres électriques entre deux dispositifs ( $P_1$  et  $P_2$ ) se représente généralement soit en valeur absolue (1.19), soit en relatif ou pourcentage (1.20).

$$\Delta_a(P) = P_1 - P_2 \quad (1.19)$$

$$\Delta_{\%}(P) = 200 \cdot \frac{P_1 - P_2}{P_1 + P_2} \quad (1.20)$$

Selon le théorème central-limite (la somme d'un très grand nombre de variables aléatoires de loi quelconque suit une loi normale), la population  $P$  mesurée suit une loi normale. A partir de cette distribution, la moyenne  $\langle m_{\Delta P} \rangle$  et l'écart-type (déviation standard)  $\sigma_{\Delta P}$  sont calculées à l'aide des équations (1.21) et (1.22) respectivement.

$$m_{\Delta P} = \frac{1}{N} \sum_{i=1}^N \Delta P_i \quad (1.21)$$

$$\sigma_{\Delta P} = \sqrt{\frac{1}{N-1} \cdot \sum_{i=1}^N (\Delta P_i - m_{\Delta P})^2} \quad (1.22)$$

La moyenne  $\langle m_{\Delta P} \rangle$  donne une indication sur l'appariement systématique et est théoriquement égale à zéro (distribution centrée sur zéro). L'approximation que l'appariement systématique n'a pas d'impact sur l'appariement stochastique peut se faire en calculant la variable centrée réduite  $Z$  [Pergoot'95]. La déviation standard  $\sigma_{\Delta P}$  représente quant à elle, l'appariement stochastique (ou aléatoire) provenant des variations ou fluctuations aléatoires des paramètres électriques d'un dispositif.

Ensuite, il est important lorsque la mesure concerne une Population ( $P$ ) de valeurs (mesures de plusieurs puces), de réaliser un traitement statistique sur la population étudiée. En effet, si la population  $P$  contient des valeurs erronées, celles-ci sont prises en compte dans le calcul de la moyenne  $m$  et de l'écart-type  $\sigma$  et peuvent ainsi fausser les conclusions. En pratique, il est possible de mesurer des valeurs anormalement éloignées du niveau de fluctuation attendu. Cela peut être le fait d'erreurs de mesure (pointe mal posée sur un plot...) ou liées au procédé de fabrication (nouvel équipement en court d'installation...). Un filtre récursif à «  $3\sigma$  » est appliqué sur les données de mesure car c'est une méthode simple à implémenter, rapide et robuste. En conséquence, les valeurs de  $\Delta V_T$  de la population  $P$  ne se trouvant pas dans l'intervalle  $[m-3\sigma ; m+3\sigma]$  sont supprimées jusqu'à obtenir une population stable comme illustré Figure 1.18.

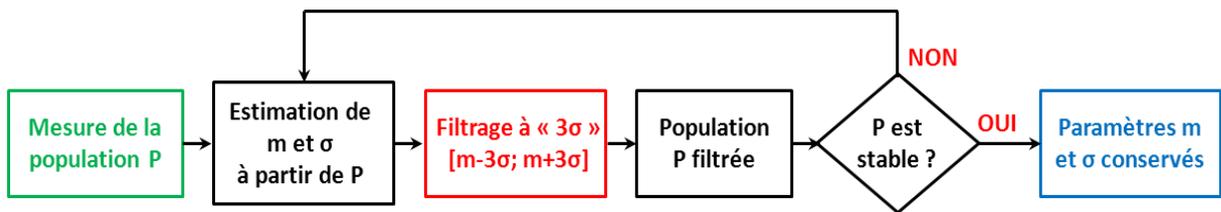


Figure 1.18 : Procédure du filtre récursif à « 3σ »

Ainsi, en appliquant cette procédure, les paramètres  $m$  et  $\sigma$  sont extraits de la population  $P$  filtrée et sont utilisés par la suite pour l'étude de l'appariement des transistors MOS.

L'extraction de l'écart-type est obtenue à partir de mesures sur une population de  $N_{\text{paires}}$  mesurées et, statistiquement, se trouve dans un intervalle de confiance. La dispersion (variance) de ce paramètre  $\sigma$  est donnée par la relation (1.23) [Cathignol'06b].

$$\text{Var}(\sigma_{\Delta P}) = \frac{\sigma_{\Delta P}^2}{2(N_{\text{paires}} - 1)} \quad (1.23)$$

A partir de cette relation et en choisissant un niveau de confiance (ex :  $3\sigma$  représente 99.7%), la dispersion peut s'exprimer en pourcentage par rapport à l'estimation de  $\sigma$  permettant de définir les barres d'erreur sur les différentes représentations d'appariement.

Il est important de noter que, comme cela est suggéré dans [Tuinhout'05Th], les distributions cumulées de chaque population filtrée sont calculées et représentées, ce qui donne un moyen visuel simple et rapide de vérifier la qualité des paramètres  $m$  et  $\sigma$  extraits. Cela permet de détecter une anomalie liée au filtrage comme un filtrage abusif par exemple [Cathignol'08Th].

## II.5 Répétitivité de la mesure

Lors de la mesure des fluctuations locales des transistors MOS, il est primordial de connaître les limites du système de mesure. Tout système de mesure est « bruité », il est donc nécessaire de connaître la part de fluctuation occasionnée par ce bruit de mesure ( $\sigma_{\text{système}}^2$ ) par rapport aux fluctuations locales « vraies » du transistor MOS ( $\sigma_{\text{locales}}^2$ ) dans le résultat de mesure ( $\sigma_{\text{mesurées}}^2$ ). Ces trois termes sont reliés par la relation (1.24).

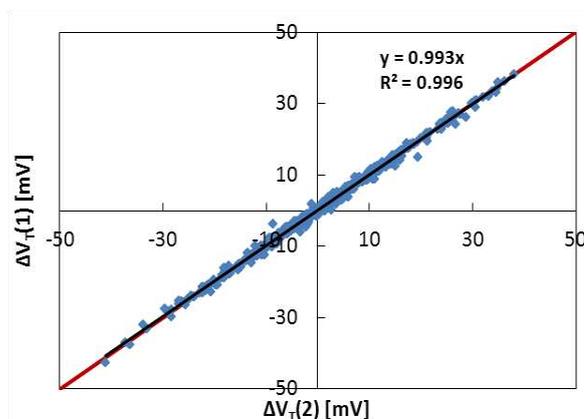
$$\sigma_{\text{mesurées}}^2 = \sigma_{\text{locales}}^2 + \sigma_{\text{système}}^2 \quad (1.24)$$

Les fluctuations induites par le système de mesure se déterminent en étudiant la répétitivité de la mesure. Plusieurs techniques de mesure de répétitivité sont étudiées dans [Tuinhout'05Th] :

- Double mesure d'une plaque
- $N$  mesures d'une paire :  $(1-2)_N$
- Double mesure de chaque paire  $(1-2-1-2)$
- $N$  mesures de chaque paire  $(1-1-2-2)_N$

Chacune de ces techniques présente des avantages et inconvénients. En effet, certaines sont simples à mettre en place et ne requièrent pas de temps de test trop longs. Dans certains cas, il faut différencier la répétitivité à court et long terme. En effet, le temps entre deux mesures successives d'une même paire est de l'ordre de la seconde alors que le temps entre les deux mesures de cette même paire en choisissant la double mesure d'une plaque peut-être de l'ordre de l'heure. Certaines techniques nécessitent plusieurs fois la mesure sur un même dispositif. Ainsi, les fluctuations des résistances d'accès (usure des pointes ou des plots de contact) ne sont pas prises en compte lors de ces mesures (les pointes restent posées entre chaque mesure) alors qu'elles peuvent dégrader la mesure de l'appariement des transistors MOS [Ewert'05] [Cathignol'07].

La technique de la double mesure de la plaque est utilisée pour étudier la répétitivité de la mesure du banc de test automatique sur lequel sont obtenus les résultats présentés dans ce manuscrit car elle constitue une mesure de répétitivité très simple à mettre en place et donne des résultats pour une configuration « pire cas » (réalignement de la plaque, fluctuations des résistances d'accès en reposant les pointes lors du deuxième test, fluctuations supplémentaires des équipements ou en température...). La mesure est réalisée sur 18 géométries de transistors NMOS sur 32 sites en utilisant la méthode du maximum de transconductance. Les écarts site à site mesurés lors du premier test ( $\Delta V_T(1)$ ) sont tracés en fonction du deuxième test ( $\Delta V_T(2)$ ).



**Figure 1.19 : Etude de la répétitivité du système de mesure automatique par la technique de la double mesure de la plaque (droite de corrélation des mesures en noire et droite de corrélation unitaire en rouge)**

Le coefficient et le facteur de corrélation étant proches de 1, cela permet de voir que le système de mesure ne perturbe pas la mesure.

A partir des résultats donnés Figure 1.19, les différences site à site entre les deux tests ( $\Delta\Delta P_i = \Delta V_T(1) - \Delta V_T(2)$ ) permettent de calculer les fluctuations dues au banc de mesure ( $\sigma_{système}$ ) par la relation (1.25) et de les comparer aux fluctuations mesurées lors du premier test ( $\sigma_{mesurées}$ ).

$$\sigma_{système} = \sigma_{\Delta\Delta P} / \sqrt{2} \quad (1.25)$$

L'étude de la contribution du système de mesure sur l'appariement des transistors MOS est résumée Tableau 1.1.

**Tableau 1.1 : Contribution du système de mesure sur l'appariement des transistors MOS**

W [ $\mu\text{m}$ ]	10	10	1	0.4	10	1	0.6	1	0.4	1	1	0.6	0.6	0.6	0.6	0.4	0.4	0.4
L [ $\mu\text{m}$ ]	10	1.2	10	10	0.38	1.2	1.2	0.56	1.2	0.44	0.38	0.56	0.5	0.44	0.38	0.56	0.44	0.38
Surface (WL) [ $\mu\text{m}^2$ ]	100	12	10	4	3.8	1.2	0.72	0.56	0.48	0.44	0.38	0.34	0.3	0.26	0.23	0.22	0.18	0.15
$\sigma_{\text{mes}} / \sigma_{\text{sys}}$	5.0	10.5	10.7	10.0	11.5	13.7	20.2	25.0	22.1	24.8	21.4	25.5	24.9	26.4	25.4	29.6	34.5	38.8

Le rapport  $\sigma_{\text{mesurées}} / \sigma_{\text{système}}$  donne une indication directe sur la contribution des appareils de mesure sur les fluctuations des transistors MOS. En physique, il est souvent considéré qu'une contribution inférieure à 10% peut être considérée comme négligeable. Partant de cette hypothèse, si le rapport des déviations standards est supérieur à 3 (ce qui correspond à une contribution du système de mesure de  $1/3^2 \approx 10\%$  en terme de variance), le système de mesure est considéré comme non perturbant pour l'étude des fluctuations locales des transistors MOS. Le tableau donne un rapport de 5.0 pour le transistor  $W=10\mu\text{m}/L=10\mu\text{m}$ . Cela est normal étant donné le faible appariement mesuré sur ces transistors de grandes dimensions, c'est avec ce type de dispositifs qu'il est possible de voir les limites des équipements de mesure. En conclusion, le système de mesure utilisé pour l'étude des fluctuations locales des transistors MOS ne perturbe pas les valeurs de  $\sigma$  extraites. La contribution maximale du système de mesure est de 4% ( $1/5.0^2$ ) et même inférieure à 1% ( $1/10.5^2$ ) en exceptant ce transistor  $W=10\mu\text{m}/L=10\mu\text{m}$ .

## II.6 Extraction du paramètre d'appariement $A_p$

Le paramètre  $A_p$  qui caractérise l'appariement (de la tension de seuil, du facteur de courant, etc...) des transistors MOS pour une technologie donnée reste à extraire. Sa valeur possède également une incertitude (provenant de l'incertitude des écart-types mesurés). La méthodologie classique pour extraire ce paramètre qui est noté  $A_{cl}$  dans le cas de l'utilisation d'une régression linéaire sur les écart-types ( $\sigma_{\Delta p}$ ) en fonction de l'inverse de la racine de la surface des transistors MOS étudiés ( $1/\sqrt{WL}$ ) est donnée par l'équation (1.26) [Cathignol'06b].

$$A_{cl} = \frac{\sum_{i=0}^{N_{\text{geo}}-1} (\sigma_{\Delta p_i} / \sqrt{W_i L_i})}{\sum_{i=0}^{N_{\text{geo}}-1} (1/\sqrt{W_i L_i})^2} \quad (1.26)$$

Avec  $N_{\text{geo}}$  le nombre de géométries différentes testées,  $i$  représente la  $i^{\text{ème}}$  paire testée (parmi  $N_{\text{paires}}$  au total). La variance (incertitude de ce paramètre  $A_{cl}$ ) peut s'écrire suivant (1.27).

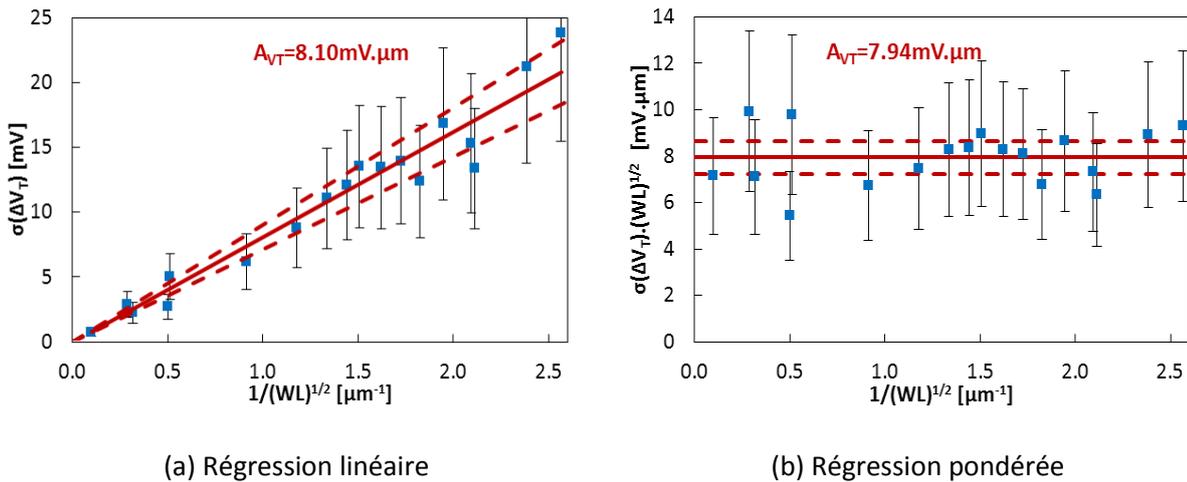
$$\text{Var}(A_{cl}) = \frac{\sum_{i=0}^{N_{\text{geo}}-1} (\sigma_{\Delta p_i} / \sqrt{W_i L_i})^2}{2(N_{\text{paires}} - 1) \left[ \sum_{i=0}^{N_{\text{geo}}-1} (1/\sqrt{W_i L_i})^2 \right]^2} \quad (1.27)$$

Dans [Cathignol'06b], une nouvelle méthode d'estimation du paramètre  $A_p$  par régression pondérée (noté  $A_{rp}$ ) est proposée puis comparée à la méthode classique. Cette technique propose de pondérer les contributions de chacune des variances et ainsi minimiser l'incertitude lors de l'estimation du paramètre  $A_p$ . Cela se fait en moyennant les termes  $\sigma_{\Delta P_i}/\sqrt{W_i L_i}$  (déviations standard normalisées) d'après la relation (1.28) et dont la variance s'exprime selon (1.29).

$$A_{rp} = \frac{1}{N_{geo}} \sum_{i=0}^{N_{geo}-1} \sigma_{\Delta P_i} / \sqrt{W_i L_i} \quad (1.28)$$

$$Var(A_{rp}) = \frac{\sum_{i=0}^{N_{geo}-1} \left( \frac{\sigma_{\Delta P_i}}{1/\sqrt{W_i L_i}} \right)^2}{2(N_{paires} - 1)N_{geo}^2} \quad (1.29)$$

Ces deux méthodes sont représentées Figure 1.20 (a) pour la régression linéaire et (b) pour la régression pondérée. Les mesures sont réalisées sur 18 géométries de transistors NMOS appariés sur 32 sites ( $N_{paires}=32$ ) en utilisant la méthode du maximum de transconductance.



**Figure 1.20 : Différentes représentations de l'appariement de la tension de seuil des transistors MOS. Les incertitudes (pointillé rouge) et barres d'erreur sont données dans un intervalle de confiance de 99.7%**

L'estimation par régression pondérée présente les avantages suivants :

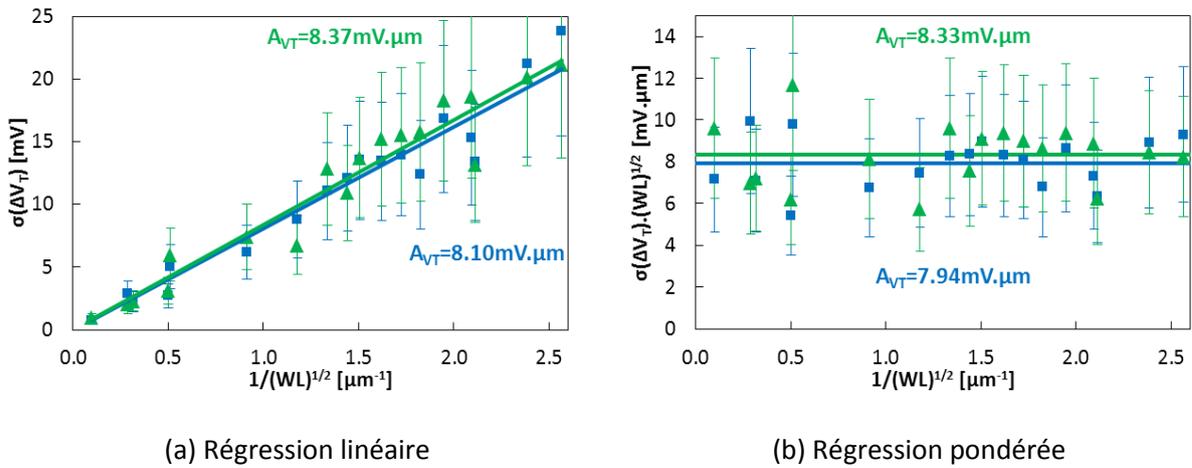
- La méthode par régression pondérée est indépendante des dimensions testées alors que le niveau de fluctuation en utilisant l'estimation par régression classique dépend de la géométrie des transistors étudiés [Cathignol'06b].
- Les écart-types étant normalisés par rapport à la racine de la surface du transistor MOS, ils peuvent se représenter en fonction d'autres grandeurs dimensionnelles. Souvent, une représentation en fonction de W ou L en abscisse permet de révéler des effets non visibles sur une représentation linéaire (l'impact de la dose des poches par exemple [Cathignol'08a]).
- La minimisation de l'incertitude lors de l'estimation du paramètre  $A_p$  peut parfois permettre de comparer deux procédés différents sans ambiguïté en utilisant une régression pondérée

alors que les incertitudes se recouvrent avec une estimation par régression linéaire. Cette minimisation est démontrée par la relation (1.30) à l'aide de l'inégalité de Cauchy-Schwarz [Cathignol'06b].

$$\frac{\text{Var}(A_{rp})}{\text{Var}(A_{cl})} = \frac{\left[ \sum_{i=0}^{N_{geo}-1} (1/\sqrt{W_i L_i})^2 \right]^2}{N_{geo} \sum_{i=0}^{N_{geo}-1} (1/\sqrt{W_i L_i})^4} \leq 1 \quad (1.30)$$

Ainsi pour les résultats présentés Figure 1.20,  $A_{cl}=8.10 \text{ mV}\cdot\mu\text{m}$  et  $A_{rp}=7.94 \text{ mV}\cdot\mu\text{m}$  avec une variance divisée par deux en utilisant la régression pondérée.

Après avoir démontré les deux modes de représentation du paramètre  $A_p$ , il est possible de comparer les deux méthodes de mesure de la tension de seuil présentées §II.3.



**Figure 1.21 : Comparaison de l'extraction du paramètre  $A_{VT}$  par la méthode du maximum de transconductance (carré bleu) ou à courant constant (triangle vert). Barres d'erreur données dans un intervalle de confiance de 99.7%**

Une légère surestimation des fluctuations locales (et donc de l'estimation du paramètre  $A_p$ ) est observée lors de la mesure à courant constant de l'appariement des transistors MOS. Cette surestimation peut s'expliquer par le fait que l'extraction de la tension de seuil à courant fixe se fait à la limite entre le régime d'inversion faible et d'inversion forte [Croon'02c]. Cependant, les valeurs obtenues sur l'une ou l'autre méthode étant relativement proches, les deux méthodes sont utilisées dans ce manuscrit.

### III Gestion des fluctuations locales dans la conception de circuits

Il est nécessaire de modéliser correctement les fluctuations locales des transistors MOS pour que les concepteurs de circuits puissent simuler l'appariement des transistors. Ainsi, la modélisation des fluctuations locales est décrite dans une première partie puis des résultats de simulations Monte Carlo (MC) permettant de vérifier la validité des modèles d'appariement sont présentés. Ensuite, les contraintes liées au dessin des masques (« layout ») et à l'environnement extérieur des transistors MOS vis-à-vis des fluctuations locales sont étudiées.

### III.1 Modélisation des fluctuations locales

Afin de correctement simuler les effets de l'appariement des transistors MOS, il est indispensable de modéliser le plus fidèlement possible les fluctuations des courants d'un transistor MOS.

Les modèles dits « complexes » proposent une modélisation des fluctuations locales du courant de drain très précise basée par exemple sur la propagation inverse de la variance [Drennan'99] [Drennan'03] [Lim'07]. Ce type de modèle nécessite une connaissance préalable des paramètres supposés fluctuer et, du fait d'un nombre très important de paramètres dans le modèle, requiert une quantité importante de mesures. Il faut également mentionner les modèles dits « statistiques » non basés sur les paramètres physiques des transistors MOS [Michael'92a] [Michael'93] [Michael'96] [Conti'99].

La deuxième catégorie de modèles également basés sur la physique sont appelés modèles « compacts ». Cette modélisation repose principalement sur les fluctuations de la tension de seuil  $V_T$  et du facteur de courant  $\beta$  [Lakshmikumar'86]. L'évolution et la précision des modèles se sont améliorées en prenant en compte de plus en plus d'effets physiques et donc en ajoutant aux modèles compacts des paramètres supplémentaires avec trois [Pelgrom'89], quatre [Croon'01] voire même cinq paramètres [Serrano-Gotarredona'00].

Afin de répondre au plus grand nombre d'applications possibles, la modélisation du courant de drain doit être valide dans la plupart des régimes de fonctionnement du transistor et pour une large gamme de polarisation. Ainsi, certains modèles se concentrent sur le régime d'inversion forte [Croon'02a], d'autres en régime d'inversion faible [Vancaillie'03] et certains proposent un modèle valide dans tous les régimes de fonctionnement [Serrano-Gotarredona'04].

Dans les modèles compacts, la modélisation des fluctuations locales est fonction des paramètres dimensionnels des transistors MOS (1.31).

$$\sigma_{\Delta P} = \frac{A_P}{\sqrt{WL}} \quad (1.31)$$

Cependant, de nombreux travaux complètent cette expression en ajoutant des termes en  $W$  ou en  $L$  notamment à cause de l'implantation des poches ou « halos » (Effets canaux courts/longs ou étroits [Wong'97] [Difrenza'00] [Bordez'07] [Cathignol'08a] [Mezzomo'10a] [Hook'11] [Schaper'11]) ou encore des effets quantiques [Asenov'01] [Difrenza'03a]. A l'expression (1.31) peut se rajouter un terme dépendant de la distance inter-dispositifs constituant une paire appariée. En fonction de l'éloignement des transistors MOS appariés, une dégradation de l'appariement est observée [Schaper'00] [Schaper'01b] [Conti'01] [Schaper'03] [Linares-Barranco'07b] [Linares-Barranco'07a] [Cathignol'08c]. Plusieurs travaux se sont intéressés à la modélisation de l'appariement des transistors MOS en fonction de la température [Tan'04a] [Ismail'09] [Andricciola'09a]. Il en découle une légère amélioration de l'appariement avec l'augmentation de la température. Enfin, prédire

l'appariement des transistors MOS dans le temps afin d'anticiper le vieillissement des composants peut s'avérer très utile dans la conception de circuits. Plusieurs groupes ont étudié l'évolution de l'appariement en fonction du temps sous stress NBTI ou porteurs chauds [Michael'92b] [Thewes'94] [Thewes'96] [Thewes'99] [Thewes'01] [Chaparala'00] [Chen'01] [Rauch'02] [Agostinelli'04] [Rauch'07] [Magnone'11].

### III.2 Simulations électriques de type Monte Carlo (Simulateur Eldo)

Les concepteurs de circuits se basent sur les résultats de simulation pour prédire le fonctionnement de leur circuit et vérifier qu'il répond correctement aux cahiers des charges. Ils peuvent également simuler l'impact que peut avoir l'appariement des transistors MOS sur les performances de leur circuit. De nombreux travaux étudient cet appariement à l'aide de simulations de type Monte Carlo (MC) sur des circuits simples (miroirs de courant, paires différentielles...) [Kinget'96] [Kinget'05] [Kinget'07] ou des circuits plus complets [Gupta'02] [Gupta'05] [Sengupta'05] [Rodrigues'06] [Brito'07a] [Brito'07b]. Afin de prendre en compte les fluctuations des paramètres des transistors MOS, des simulations MC sont utilisées. Elles permettent de générer aléatoirement des valeurs de paramètres parmi la distribution gaussienne de chaque paramètre en utilisant l'expression (1.32).

$$P = P_0 + \text{Gaussienne}\left(\frac{A_P}{\sqrt{WL}}\right) \quad (1.32)$$

Avec  $P$  un paramètre électrique ( $V_T$ ,  $\beta$ , etc...) et  $P_0$  ce même paramètre électrique  $P$  ne tenant pas compte des fluctuations. Le terme «  $\text{Gaussienne}\left(\frac{A_P}{\sqrt{WL}}\right)$  » permet de rajouter des fluctuations supplémentaires (dépendant de la surface et de l'appariement du dispositif) au terme initial  $P_0$  en choisissant des valeurs parmi une distribution Gaussienne.

La vue schématique Figure 1.22 est utilisée pour étudier les modèles d'appariement en simulation.

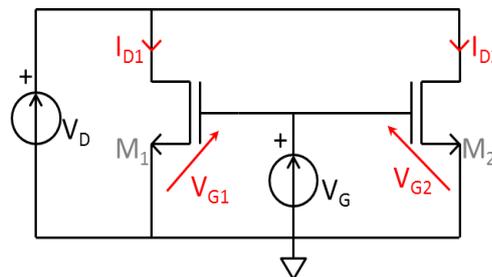
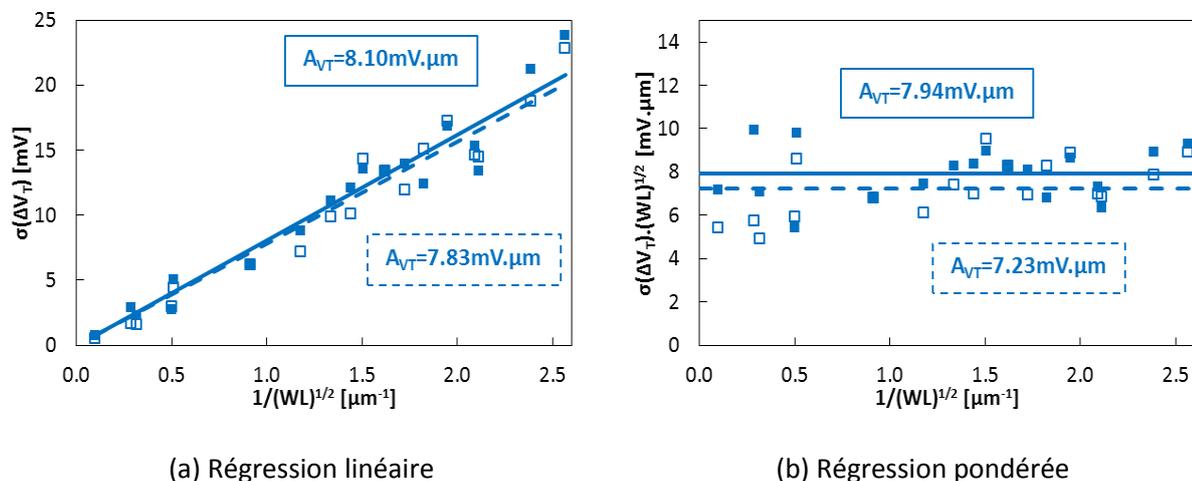


Figure 1.22 : Vue schématique du circuit utilisé pour les simulations d'appariement

A l'aide de cette vue schématique, il est possible de simuler l'appariement de la tension de seuil des transistors MOS (ou tout autre paramètre de la carte modèle). De la même manière que pour la mesure expliquée §II.3, l'appariement en courant se mesure en relevant les valeurs des courants de drain pour chaque valeur de  $V_G$ . Pour mesurer l'appariement en tension, le simulateur Eldo permet de relever la valeur de la tension de grille pour une ou plusieurs valeurs de courant grâce à la commande (« .XYCOND ») [Eldo Manuel]. Cette approche permet d'étudier l'appariement des

transistors MOS en simulation en suivant la même méthodologie que celle utilisée pour la mesure et d'extraire les paramètres d'appariement simulés au travers d'un traitement statistique identique. La comparaison mesure/simulation de l'appariement de la tension de seuil des transistors MOS sur une même population (32 paires mesurées contre 32 « runs » MC) est donnée Figure 1.23.



**Figure 1.23 : Comparaison entre mesure (■ et trait plein) et simulation (□ et trait en pointillé) de l'appariement de la tension de seuil des transistors NMOS (méthode du maximum de transconductance)**

La comparaison mesure/simulation de l'appariement de la tension de seuil permet de constater une bonne modélisation de l'appariement des transistors MOS.

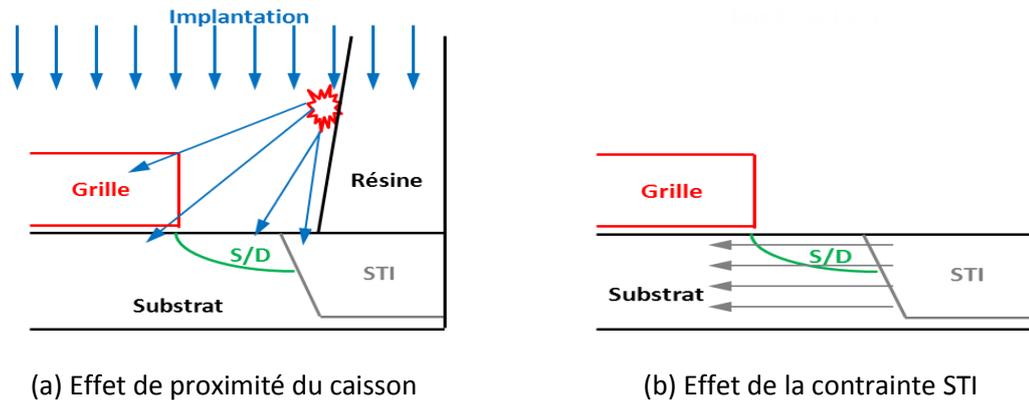
### III.3 Contraintes environnementales des transistors MOS

L'augmentation des fluctuations locales peut parfois être la conséquence de phénomènes de gradients (épaisseur d'oxyde ou profils de dopage non constants sur la plaque, etc...) ou d'erreurs systématiques (couverture métallique non symétrique...). Plusieurs travaux étudient l'appariement des transistors MOS en fonction du « layout » [Gregor'92] [Bastos'96] [Lan'98] [Lan'99] [Conti'02] [Tuinhout'03]. Afin de limiter ces effets de gradient, une méthode très répandue et couramment utilisée en conception de circuit est de disposer les transistors de manière à réaliser une symétrie centrale (méthode très connue sous le nom de « common centroid »). La couverture métallique, si elle n'est pas identique entre les deux transistors MOS appariés peut être source de fluctuations [Tuinhout'96] [Tuinhout'97b] [Chetlur'99] [Wu'07] [Wils'10]. Cela peut être dû à la mauvaise passivation des états d'interface ou à la génération de contraintes mécaniques au-dessus des transistors MOS [Tuinhout'01] [Tuinhout'04]. Ces contraintes mécaniques peuvent également provenir de l'environnement métallique situé autour du transistor [Cathignol'08Th].

Des effets de proximité lithographique lors de la fabrication sont parfois à l'origine du désappariement pour les transistors MOS [Tuinhout'98] ou pour les résistances [Hausser'02] [Hausser'03]. C'est notamment le cas de l'effet de proximité du caisson (« Well Proximity Effect » représenté Figure 1.24a) [Hook'03] [Hook'05] [Drennan'06]. Lors de l'implantation du substrat, une

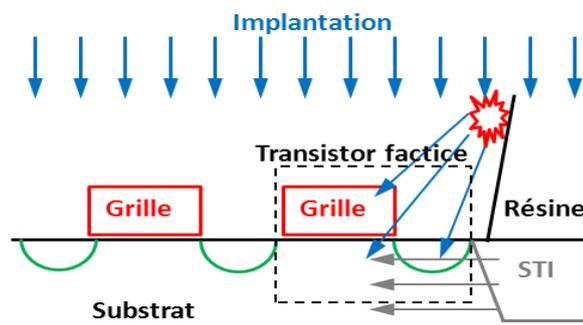
réflexion des ions implantés sur la résine de protection est possible et peut avoir comme conséquence une variation aléatoire supplémentaire du nombre de dopants dans le canal.

Les tranchées d'isolation (STI) exercent une contrainte mécanique sur le transistor MOS (cf. Figure 1.24b) et sont également sources de fluctuations supplémentaires [Schaper'01a] [Bianchi'02] [Tan'04b] [Drennan'06] [Wils'08] [Wils'09]. Ce stress mécanique est d'autant plus fort que la distance MOS/STI est faible et que le STI entourant le transistor est grand. De nombreuses structures de test destinées à étudier ces deux phénomènes sont présentées dans [Cathignol'08Th].



**Figure 1.24 : Différentes sources de fluctuation des transistors MOS**

Afin d'améliorer la lithographie des transistors MOS pour que chaque transistor ait le même environnement, il est commun d'utiliser des transistors factices (« dummies »). Ces transistors factices éloignent les limites du caisson (et par conséquent, les tranchées d'isolation) du transistor réellement utilisé. Cet éloignement a pour avantage de réduire les réflexions des ions implantés (WPE) et la contrainte mécanique (Stress STI) sur le transistor qui est utilisé dans la paire. (Ce sont les transistors factices qui subissent les contraintes cf. Figure 1.25).



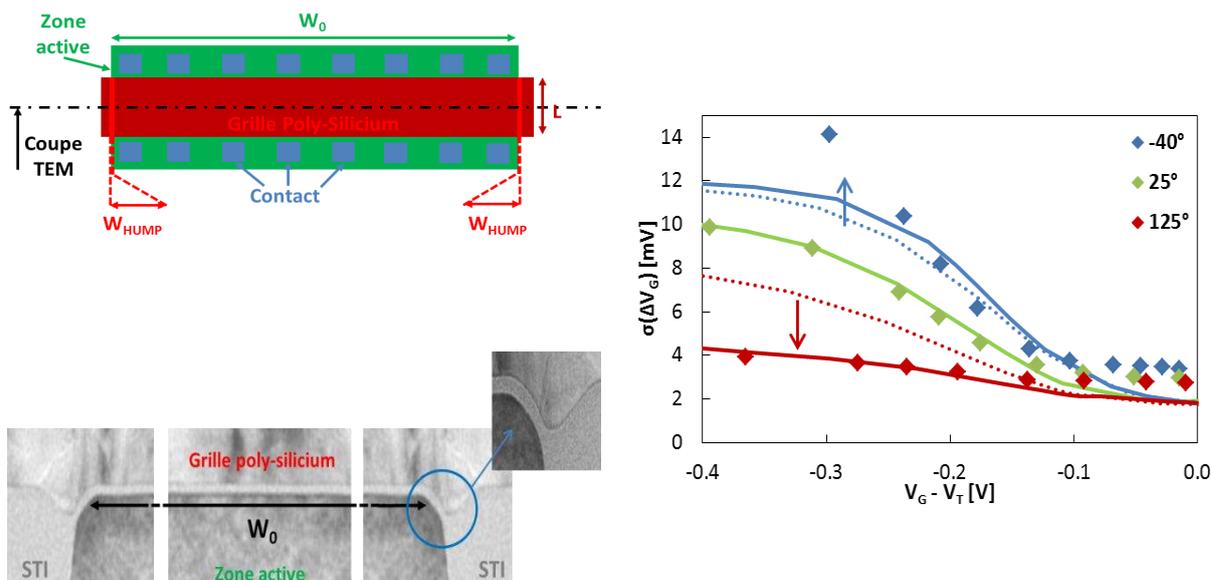
**Figure 1.25 : Limitation des effets de WPE et stress STI en utilisant des transistors factices**

Enfin, quelques études ont démontré que la mise en boîtier peut s'avérer être également une source de fluctuation supplémentaire de l'appariement de transistors MOS [Bastos'97] [Jaeger'97]. Toutes ces études doivent permettre de concevoir des circuits robustes, insensibles aux effets de gradient, contraintes mécaniques, couverture métallique, etc...Un grand nombre de règles à garder à l'esprit lors de la conception sont décrites et détaillées dans [Tuinhout'05Th].

## Conclusion

A partir de la description des régimes de la capacité MOS, les différents modes de fonctionnement du transistor ont été présentés permettant d'établir les équations nécessaires à sa modélisation et utilisées dans ce manuscrit. Il a été montré que les fluctuations des dopants dans le canal, les poches et la grille sont les principales sources de variabilité, responsables de la dégradation de l'appariement des transistors MOS. La méthodologie de mesure appliquée pour mesurer les fluctuations locales des transistors MOS a été étudiée en décrivant les équipements de mesure et les méthodes de mesures utilisés pour la caractérisation de l'appariement des transistors MOS. De plus, l'étude de l'appariement de dispositifs étant basée sur la comparaison d'écart-types, une analyse statistique de tout le processus de mesure est obligatoire. Les limitations des équipements et les incertitudes liées à la mesure ont été représentées sous forme de barre d'erreur données dans un intervalle de confiance. Cela permet de montrer la nécessité d'avoir un nombre de mesures important donnant un niveau de confiance élevé dans un résultat obtenu. Ces intervalles de confiance peuvent permettre de conclure lors de la comparaison entre deux résultats ou plus. L'étape de filtrage a été décrite et permet d'obtenir une population stable à partir de laquelle sont extraits les paramètres d'appariement. Cette extraction peut se faire soit de manière classique par régression linéaire, soit par l'intermédiaire d'une méthode de régression pondérée permettant de mettre en évidence d'éventuels effets dimensionnels. Les différentes modélisations des fluctuations locales des transistors MOS présentées dans la littérature ont été exposées en expliquant les déviations ou ajout de termes par rapport au modèle de Pelgrom. La méthode de simulation de l'appariement des transistors MOS utilisée dans ce manuscrit a été décrite. Les résultats de mesure peuvent ainsi être comparés aux résultats de simulation dans des conditions équivalentes afin de vérifier la validité des modèles. Enfin, les contraintes environnementales des transistors MOS comme les effets de proximité du caisson ou de stress STI ont été présentées. Ces différentes contraintes sont aussi des sources de fluctuations supplémentaires pour l'appariement des transistors MOS.

## Chapitre 2 Etude de l'appariement des transistors MOS dans un circuit analogique utilisant des polarisations sous le seuil



*Les applications analogiques nécessitent des dispositifs de plus en plus fréquemment polarisés sous le seuil, notamment pour des contraintes de faible consommation. En plus de proposer un gain important, les paires différentielles polarisées en régime de faible inversion, présentent un appariement en tension théorique minimal. Dans le cas de technologies incluant des mémoires non volatiles embarquées, des étapes supplémentaires peuvent créer des transistors en bord d'active responsable de l'effet « hump ». Ces transistors parasites fournissent principalement le courant de drain dans la zone sous le seuil à cause de leur tension de seuil plus faible. Ainsi, l'appariement en tension se dégrade en diminuant  $V_G$  et dépend de la surface de ces transistors de bord. Un macro-modèle permettant de modéliser cet effet est utilisé et validé avec des comparaisons entre des mesures et des simulations Monte Carlo. Finalement, pour compléter cette analyse, la modélisation de l'effet « hump » est étudiée en température et au niveau circuit.*

<b>Introduction</b> .....	<b>57</b>
<b>I Conception de circuits analogiques</b> .....	<b>57</b>
I.1 Rappels pour la conception analogique .....	57
I.2 Principales structures utilisées en conception analogique .....	58
I.2.a Le miroir de courant .....	58
I.2.b La paire différentielle .....	60
I.3 Simulation et caractérisation d'une paire différentielle polarisée en régime de faible inversion .....	62
<b>II L'effet « hump »</b> .....	<b>63</b>
II.1 Présentation de l'effet « hump ».....	63
II.2 Modélisation de l'effet « hump » .....	65
II.3 Impact de l'effet « hump » sur l'appariement en tension .....	68
II.4 Etude dimensionnelle .....	69
II.5 Etude en fonction de l'effet substrat.....	70
<b>III Etude en température de l'effet « hump » et de son impact au niveau circuit</b> .....	<b>72</b>
III.1 Présentation du circuit étudié .....	72
III.2 Modélisation en température .....	74
III.3 Impact de l'appariement de la paire différentielle au niveau circuit .....	78
<b>Conclusion</b> .....	<b>81</b>

## Introduction

Avec la diminution des tensions d'alimentation, les concepteurs polarisent leurs structures avec des niveaux de courant de plus en plus faibles. On parle alors d'applications basse consommation ou basse puissance (« low power » ou « ultra low power »). Ainsi, les structures à très faible consommation doivent souvent être polarisées sous le seuil ou en régime d'inversion faible afin de limiter le niveau de courant et donc la consommation [Vittoz'09].

Dans un premier temps, la polarisation du miroir de courant et de la paire différentielle est détaillée au travers du choix du régime de fonctionnement permettant d'améliorer l'appariement et les performances de ces deux circuits. Ensuite, l'effet « hump » et ses conséquences sur les caractéristiques des transistors MOS est présenté ainsi que son impact sur l'appariement en tension, notamment dans la zone sous le seuil. Un macro-modèle permettant la modélisation de ce phénomène est également introduit [Park'08] [Joly'10]. Enfin, l'appariement en tension en fonction de la température est étudié dans la dernière partie. La comparaison entre les données mesurées sur silicium et les simulations Monte Carlo (MC) obtenues au niveau circuit permet de conclure sur l'évolution de l'appariement en tension en régime de faible inversion [Joly'11d].

## I Conception de circuits analogiques

En conception de circuits analogiques, le mode de polarisation et le régime de fonctionnement de chaque transistor MOS peut varier suivant la structure utilisée. Dans un premier temps, les principales équations des transistors MOS sont reprises ainsi que le rapport transconductance/courant de drain ( $g_m/I_D$ ). Cela permet par la suite d'expliquer le mode de fonctionnement et le comportement de l'appariement en courant pour un miroir de courant puis de l'appariement en tension pour une paire différentielle. Enfin, le fonctionnement d'une paire différentielle polarisée en régime de faible inversion est étudié.

### I.1 Rappels pour la conception analogique

Pour réaliser des applications « ultra-faible consommation », un moyen simple est de réduire les tensions d'alimentation en fonction de chaque nœud technologique. Cela se traduit, pour les blocs analogiques, par des courants de l'ordre de la centaine de nano-ampère par branche. En s'intéressant aux équations simplifiés du transistor MOS en régime linéaire (2.1), en régime saturé (2.2) ou en régime de faible inversion (2.3), nous allons analyser comment la réduction des courants est possible.

$$I_D = \beta(V_G - V_T)V_D \quad (2.1)$$

$$I_D = \frac{\beta}{2}(V_G - V_T)^2 \quad (2.2)$$

$$I_D = 2 \cdot \eta \cdot \beta \cdot U_T^2 \cdot \exp\left(\frac{V_G - V_T}{\eta U_T}\right) \quad (2.3)$$

La mobilité  $\mu$ , la capacité de l'oxyde  $C_{ox}$  du facteur de courant  $\beta$  et la tension de seuil  $V_T$  étant définies par la technologie, la réduction des courants de drain ne peut se faire que par une action sur les tensions appliquées aux bornes du transistor ( $V_G$  et  $V_D$ ) et/ou la taille de ces derniers (rapport  $W/L$ ).

D'après l'expression (1.12), le rapport  $g_m/I_D$  peut s'écrire selon (2.4) et dépend de la différence  $V_G - V_T$ .

$$\frac{g_m}{I_D} \approx \frac{1}{(V_G - V_T)} \quad (2.4)$$

En régime de faible inversion, la transconductance  $g_m$  est liée au courant de drain d'après l'équation (2.5).

$$\frac{g_m}{I_D} = \frac{1}{\eta \cdot U_T} \quad (2.5)$$

Le rapport  $g_m/I_D$  est représenté Figure 2.1 en fonction de  $V_G - V_T$  (appelé « overdrive »).

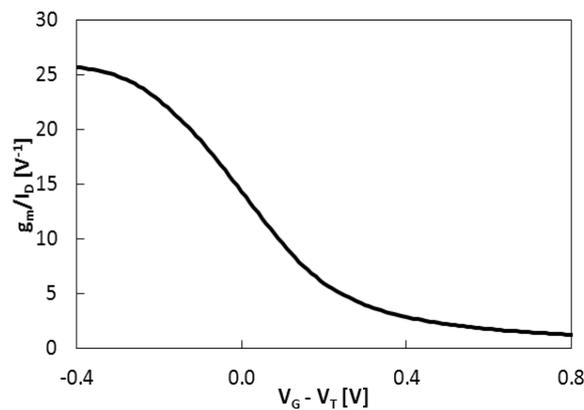


Figure 2.1 : Rapport Transconductance  $g_m$  / Courant de drain  $I_D$

Le rapport transconductance/courant de drain ( $g_m/I_D$ ) est faible pour une forte polarisation de grille, augmente autour de la tension de seuil et devient particulièrement important dans la zone sous le seuil.

## 1.2 Principales structures utilisées en conception analogique

Les circuits analogiques sont majoritairement conçus autour de fonction ayant des caractéristiques de gestion des impédances ou d'amplification. Ces fonctions nécessitent l'utilisation de blocs de base parmi lesquels nous pouvons distinguer les miroirs de courant ainsi que les paires différentielles.

### 1.2.a Le miroir de courant

La fonction première d'un miroir de courant est de recopier un courant de référence dans une (ou plusieurs) autre(s) branche(s) d'un circuit. Il est ainsi souvent utilisé pour la polarisation de circuit ou pour générer des courants de référence.

Dans le cas d'un miroir de courant, le calcul des performances (Bande Passante \* Précision<sup>2</sup> / Puissance consommée) d'une telle structure peut se mettre sous la forme [Kinget'05]:

$$\frac{BP.Précision^2}{Puissance} = \frac{1}{k_1 \cdot \left(\frac{g_m}{I_D}\right) \cdot V_{DD} \cdot C_{ox} \cdot A_{VT}^2} \quad (2.6)$$

$k_1$  une constante et  $A_{VT}$  étant l'appariement de la tension de seuil. La relation (2.6) étant fortement liée à des constantes technologiques, le concepteur n'a que très peu d'influence pour améliorer les performances de ce circuit. Afin de maximiser la bande passante et la précision tout en minimisant la puissance consommée, le rapport transconductance/courant de drain ( $g_m/I_D$ ) constitue un moyen simple pour y parvenir. Le concepteur aura donc tendance à minimiser ce ratio.

De plus, les dispositifs variant avec le procédé de fabrication, il est nécessaire d'évaluer l'impact de l'appariement du courant de drain introduit par ces variations aléatoires sur la copie du courant de référence. Cet appariement en courant peut être évalué en utilisant l'équation de la propagation de la variance [Drennan'99Th] comme décrit en (2.7).

$$\sigma^2(\Delta I_D) = \left(\frac{\partial I_D}{\partial V_T}\right)^2 \sigma^2(\Delta V_T) + \left(\frac{\partial I_D}{\partial \beta}\right)^2 \sigma^2(\Delta \beta) \quad (2.7)$$

Ainsi, en utilisant l'équation du courant de drain du transistor MOS en saturation (2.2) et en divisant chaque terme de l'expression par  $I_D^2$ , l'équation de l'appariement en courant peut s'écrire selon (2.8).

$$\sigma^2\left(\frac{\Delta I_D}{I_D}\right) = \left(\frac{g_m}{I_D}\right)^2 \sigma^2(\Delta V_T) + \sigma^2\left(\frac{\Delta \beta}{\beta}\right) \quad (2.8)$$

Ou encore [Linnenbank'98]:

$$\sigma^2\left(\frac{\Delta I_D}{I_D}\right) = \frac{4}{(V_G - V_T)^2} \sigma^2(\Delta V_T) + \sigma^2\left(\frac{\Delta \beta}{\beta}\right) \quad (2.9)$$

En procédant de la même manière, l'équation (2.8) peut également s'obtenir en régime linéaire à partir de (2.1).

Connaissant le comportement du rapport  $g_m/I_D$  en fonction de  $V_G - V_T$  décrit Figure 2.1, la courbe de l'appariement en courant tracé Figure 2.2 s'obtient à partir de (2.8).

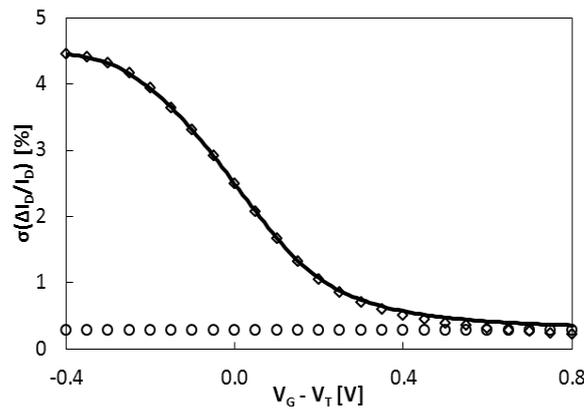


Figure 2.2 : Simulation de l'appariement en courant pour un miroir de courant ( $W=10\mu\text{m}/L=1.2\mu\text{m}$ ).

**Appariement du facteur de courant ( $\circ$ ) et de la tension de seuil  $V_T$  ( $\square$ )**

Comme décrit par l'expression (2.8), l'appariement en courant suit la variation du rapport  $g_m/I_D$  multiplié par l'appariement de la tension de seuil et devient de plus en plus faible avec l'augmentation de  $V_G$ .

Avec une polarisation de grille élevée, le rapport  $g_m/I_D$  est minimisé ce qui permet d'améliorer les performances (cf. (2.6)). De plus, l'erreur de recopie du courant tracée Figure 2.2 et quantifiant la capacité pour un miroir de courant à réaliser sa fonction principale est également minorée. Finalement, pour obtenir des performances élevées et une recopie en courant la meilleure possible, les miroirs de courant sont généralement polarisés en mode saturé avec une tension supérieure à la tension de seuil.

### 1.2.b La paire différentielle

Comme pour le miroir de courant, le calcul des performances pour un amplificateur différentiel est décrit en (2.10) [Kinget'05]:

$$\frac{BP.Precision^2}{Puissance} = \frac{\left(\frac{g_m}{I_D}\right) \cdot V_{DD}}{k_2 \cdot C_{ox} \cdot A_{VT}^2} \quad (2.10)$$

$k_2$  est une constante et  $A_{VT}$  l'appariement de la tension de seuil. Toujours afin d'améliorer les performances d'une telle structure, le concepteur doit, à l'inverse du miroir de courant, maximiser le terme transconductance/courant de drain ( $g_m/I_D$ ).

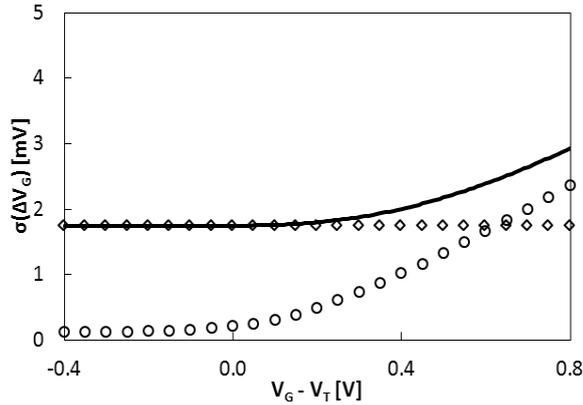
La polarisation se faisant en courant dans le cas d'une paire différentielle, les concepteurs s'intéressent plus particulièrement à la tension de décalage ( $\Delta V_G = V_{G1} - V_{G2}$ ) créée entre les deux tensions de grille de la paire. Comme pour le miroir de courant mais en appliquant l'équation de la propagation de la variance à la différence des tensions de grille de la paire, l'appariement en tension de la paire différentielle est donné par la relation (2.11) [Kinget'05] pour les régimes de forte et faible inversions.

$$\sigma^2(\Delta V_G) = \sigma^2(\Delta V_T) + \frac{1}{(g_m/I_D)^2} \sigma^2\left(\frac{\Delta\beta}{\beta}\right) \quad (2.11)$$

L'équation (2.11) peut aussi se mettre sous la forme [Linnenbank'98]:

$$\sigma^2(\Delta V_G) = \sigma^2(\Delta V_T) + \frac{(V_G - V_T)^2}{4} \sigma^2\left(\frac{\Delta\beta}{\beta}\right) \quad (2.12)$$

La courbe d'appariement des tensions de grille est représentée Figure 2.3.



**Figure 2.3 : Simulation de l'appariement en tension d'une paire différentielle ( $W=10\mu\text{m}/L=1.2\mu\text{m}$ ).**

**Appariement du facteur de courant ( $\circ$ ) et de la tension de seuil  $V_T$  ( $\diamond$ )**

L'équation (2.11) permet de décrire l'appariement de la grille présenté Figure 2.3. Sous le seuil, cet appariement reste constant et égal à celui de la tension de seuil et augmente ensuite avec l'appariement du facteur de courant lorsque  $V_G > V_T$  (multiplié par l'inverse du rapport  $g_m/I_D$ ).

Contrairement au miroir de courant, avec une polarisation de grille faible, le rapport  $g_m/I_D$  est maximisé ce qui permet d'améliorer les performances (cf. (2.10)). De plus, l'appariement en tension à l'entrée de la paire différentielle est à sa valeur minimale (cf. (2.11) et Figure 2.3). Finalement, pour obtenir des performances élevées, un gain important et un appariement le plus faible possible, les paires différentielles sont généralement polarisées sous le seuil.

Dans cette zone, le rapport  $g_m/I_D$  étant important (variation en puissance de 2) dans l'équation (2.11), celle-ci peut se simplifier en négligeant le terme lié au facteur de courant :

$$\sigma(\Delta V_G) = \sigma(\Delta V_T) \quad (2.13)$$

En effet, il est généralement admis que, sous le seuil, l'appariement du courant de drain est lié aux fluctuations locales de la tension de seuil des transistors [Denison'98]. A l'aide de l'expression (2.13) nous pouvons confirmer que l'appariement en tension en entrée d'une paire différentielle polarisée sous le seuil suit la même évolution.

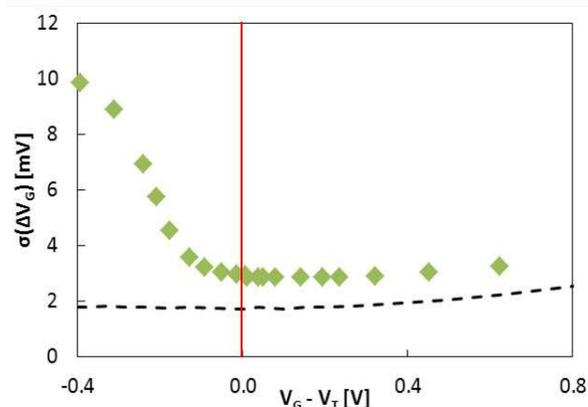
### I.3 Simulation et caractérisation d'une paire différentielle polarisée en régime de faible inversion

En considérant l'expression de l'appariement de la tension de seuil (cf. (1.1)), l'équation (2.13) devient:

$$\sigma(\Delta V_G) = \frac{A_{VT}}{\sqrt{WL}} \quad (2.14)$$

Le paramètre d'appariement  $A_{VT}$  étant défini pour une technologie donnée, l'appariement à l'entrée d'une paire différentielle polarisée sous le seuil dépend directement de la surface des dispositifs utilisés pour constituer cette paire.

Afin d'étudier le comportement de l'appariement en tension d'une paire différentielle polarisée sous le seuil, l'analyse est focalisée sur une structure de test possédant une largeur  $W=10\mu\text{m}$  et une longueur  $L=1.2\mu\text{m}$  car ce rapport  $W/L$  important est souvent utilisé de manière classique en conception analogique pour dimensionner les paires différentielles. De plus, les simulations et les mesures présentées dans la suite de ce chapitre sont comparées avec les données obtenues directement en sortie d'un circuit analogique. Ce circuit, étudié §III.1, est constitué d'une paire différentielle construite à partir du couple de dimension évoqué plus haut ( $W=10\mu\text{m}/L=1.2\mu\text{m}$ ). La Figure 2.4 montre la comparaison entre la mesure sur silicium et les simulations Monte Carlo de la structure de test.



**Figure 2.4 : Comparaison entre mesure (♦) et simulation MC (en pointillé) de l'appariement en tension de la structure de test étudiée ( $W=10\mu\text{m}/L=1.2\mu\text{m}$ )**

La comparaison entre mesure et simulation montre deux zones distinctes :

- $V_G > V_T$  : la simulation modélise assez bien l'appariement de la tension d'entrée mesuré sur la structure de test.
- $V_G < V_T$  (zone sous le seuil) : La simulation démontre bien que l'appariement minimal en tension à l'entrée de la paire est obtenu lorsque les transistors sont polarisés en régime de faible inversion. La valeur minimale vers laquelle tend la simulation pour une tension de grille proche de 0V est en accord avec l'équation (2.14) décrivant l'appariement en tension à

l'entrée d'une paire différentielle polarisée sous le seuil ( $\sigma(\Delta V_G) \approx 1.7 \text{ mV}$ ). Toutefois, les mesures réalisées montrent un mauvais appariement non prévu par la théorie. L'hypothèse d'un effet parasite non pris en compte par le modèle est donc envisagée.

## II L'effet « hump »

L'effet « hump » est un phénomène pouvant apparaître dans les procédés de fabrication à base de STI (« Shallow Trench Isolation »). Cet effet est présenté dans une première partie au travers de l'impact qu'il peut avoir sur les caractéristiques  $I_D-V_G$  et l'appariement en tension des transistors MOS. Dans un second temps, un macro-modèle décrivant le comportement de l'effet « hump » sous le seuil est présenté. L'impact sur l'appariement en tension est ensuite expliqué et argumenté à l'aide d'une étude dimensionnelle. Les conséquences de la polarisation de substrat sur cet appariement sont étudiées dans la dernière partie.

### II.1 Présentation de l'effet « hump »

Les circuits étant de plus en plus complexes, ils intègrent des parties numériques et analogiques ainsi que des blocs de mémoire volatile ou non-volatile (NVM). Afin de réaliser ces mémoires, les procédés de fabrication avec mémoire embarquée présentent des étapes supplémentaires par rapport à un procédé CMOS classique. Ces étapes supplémentaires permettent de réaliser les transistors constituant les points mémoires NVM. Le procédé de fabrication utilise la méthode de Tranchée Isolante peu Profonde (STI) pour augmenter les performances et la densité d'intégration des transistors grâce à une séparation abrupte entre la tranchée d'isolation et la zone d'active [Schwantes'05]. Cette séparation abrupte entre STI et la zone active recouverte de poly-silicium peut être responsable de la création de transistors parasites étroits de largeur  $W_{\text{HUMP}}$  (en rouge vif sur la Figure 2.5) situés de part et d'autre du transistor principal ( $W=10\mu\text{m}/L=1.2\mu\text{m}$ ).

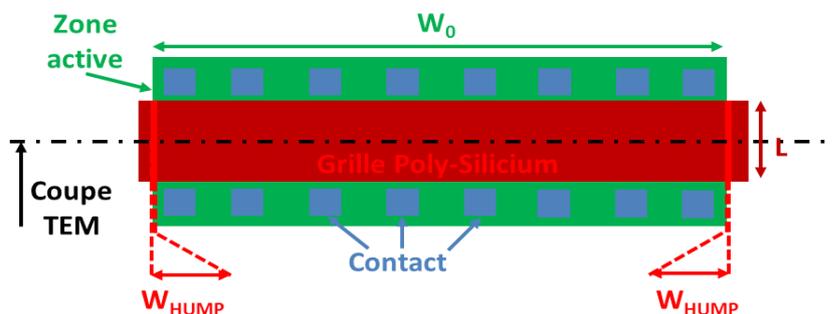
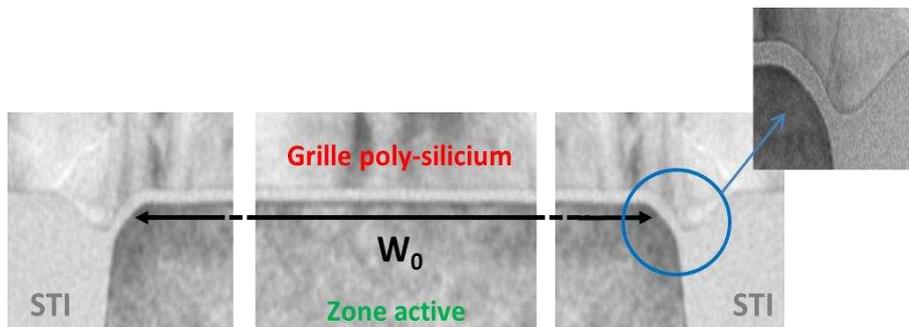


Figure 2.5 : Vue « layout » simplifiée du transistor étudié ( $W=10\mu\text{m}/L=1.2\mu\text{m}$ )

Afin de voir l'aspect morphologique de ces transistors parasites, une coupe TEM (« Transmission Electronic Microscopy ») est réalisée et présentée Figure 2.6 dans la direction de la largeur du transistor comme indiquée sur la vue « layout » de la Figure 2.5.



**Figure 2.6 : Coupe TEM dans le sens de la largeur  $W$  de la structure de test étudiée ( $W=10\mu\text{m}/L=1.2\mu\text{m}$ )**

Comme le montre la coupe TEM, la morphologie des transistors parasites est visible de part et d'autre du transistor principal. Ces derniers se localisent dans une « cuvette » (entourée en bleu) présente dans le STI et remplie de poly-silicium générée lors de différentes étapes du procédé de fabrication.

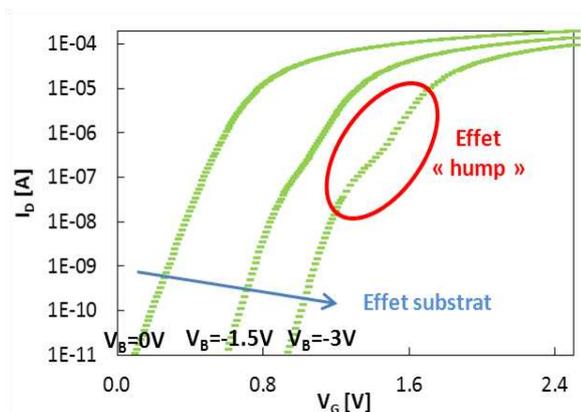
Il est important de noter que ces transistors parasites possèdent une largeur  $W_{HUMP}$  très petite comparée à la largeur  $W_0$  du transistor principal ce qui permet d'établir la relation (2.15) souvent utilisée dans la suite de ce chapitre.

$$W_{HUMP} \ll W_0 \quad (2.15)$$

Les transistors de bord possèdent une largeur très faible et souffrent également d'une réduction du dopage sur les bords du canal [Sallagoity'96] par rapport au transistor principal. Ces transistors parasites, ayant un dopage canal beaucoup plus faible, présentent par conséquent une tension de seuil inférieure à celle du transistor principal [Schwantes'05].

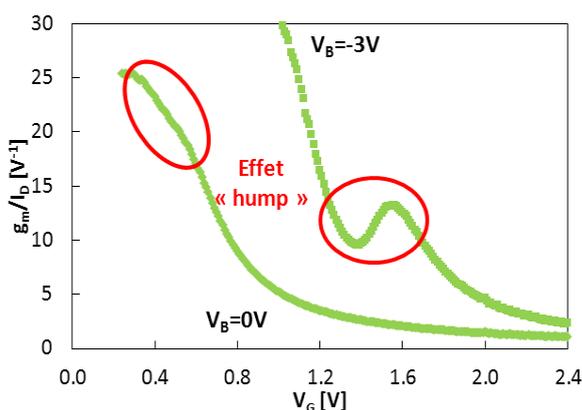
$$V_{THUMP} < V_{T0} \quad (2.16)$$

De plus, ces transistors présentent une sensibilité réduite à la polarisation de substrat du fait de leur tension de seuil plus faible [Sallagoity'96]. Ainsi, l'effet substrat est souvent utilisé pour mettre en évidence cet effet « hump » et distinguer clairement le transistor de bord et les transistors parasites. Les caractéristiques  $I_D$ - $V_G$  avec effet substrat sont présentées Figure 2.7.



**Figure 2.7 : Caractéristiques  $I_D$ - $V_G$  de la structure de test étudiée ( $W=10\mu\text{m}/L=1.2\mu\text{m}$ ) en fonction de la polarisation de substrat ( $V_B=0\text{V}$ ,  $-1.5\text{V}$  et  $-3\text{V}$ )**

Cette déformation de la caractéristique  $I_D$ - $V_G$  est nettement visible avec effet substrat et il est plus compliqué de la déceler lorsque  $V_B=0\text{V}$ . Un autre moyen de voir parfois plus facilement cet effet « hump » est de tracer le rapport  $g_m/I_D$  car le fait de calculer la dérivée du courant de drain  $I_D$  par l'intermédiaire de la transconductance  $g_m$  puis de diviser par ce même courant  $I_D$  accentue encore plus cet effet « hump » :



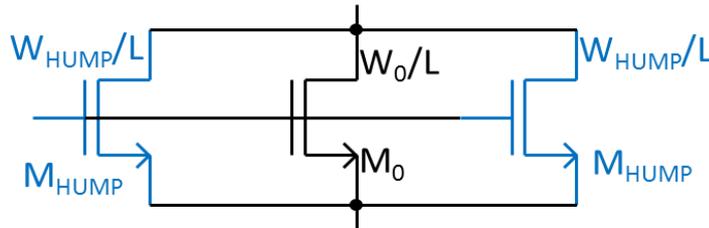
**Figure 2.8 : Rapport  $g_m/I_D$  de la structure de test étudiée ( $W=10\mu\text{m}/L=1.2\mu\text{m}$ ) avec ( $V_B=-3\text{V}$ ) et sans effet substrat ( $V_B=0\text{V}$ )**

Cette méthode peut parfois permettre de déceler un impact de l'effet « hump » sans effet substrat alors qu'il n'est pas visible sur les caractéristiques  $I_D$ - $V_G$ .

## II.2 Modélisation de l'effet « hump »

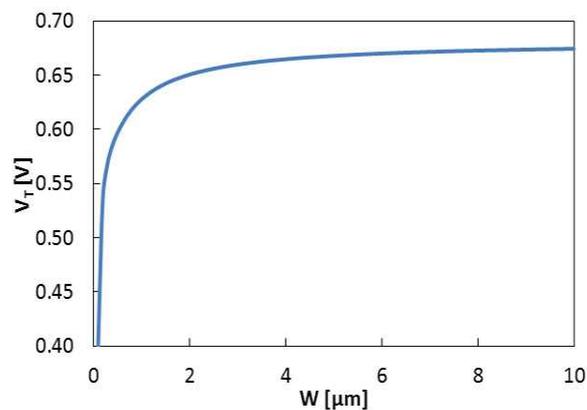
Il est nécessaire d'insister sur le fait que l'objectif est de proposer un macro-modèle décrivant simplement le comportement des transistors parasites. Ce macro-modèle doit être simple à utiliser et offrir la possibilité d'être insérer dans une vue schématique ou une « netlist » pour permettre aux concepteurs d'anticiper les éventuels préjudices liés à ces transistors parasites. En aucun cas il s'agit de proposer une modélisation physique exhaustive de ce phénomène. En effet, les variations induites sur le transistor principal pourraient être liées à diverses caractéristiques du transistor parasite comme l'épaisseur d'oxyde, la mobilité des porteurs surement différente à cause d'une morphologie

arrondie, un plan cristallographique modifié, une capacité variable étant donné la différence des surfaces en regard entre l'électrode supérieure et l'électrode inférieure, etc.... Ces paramètres sont évidemment différents d'un transistor à l'autre et sont donc sources de fluctuations supplémentaires. Il doit aussi exister des différences entre les deux transistors de bord au sein même d'un transistor MOS. Il est composé de trois transistors en parallèle : le transistor principal  $M_0$  et deux transistors modélisant les transistors de bord  $M_{HUMP}$  [Park'08]. Ces deux transistors sont considérés comme identiques en utilisant les propriétés de symétrie d'un transistor. Ce modèle, présenté Figure 2.9 se justifie d'après la coupe TEM présentée Figure 2.6.



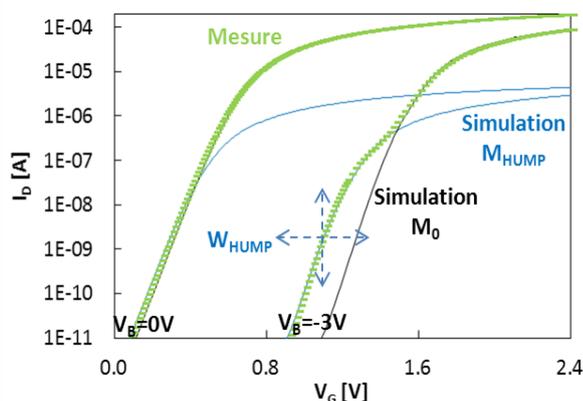
**Figure 2.9 : Macro-modèle pour modéliser l'effet « hump »**

La tension de seuil  $V_T$  d'un transistor augmente en fonction de la largeur  $W$  comme le montre la Figure 2.10. Ainsi, le macro-modèle est simplifié en considérant les deux transistors de bord comme étant identiques et variant de la même manière par l'intermédiaire d'un seul et unique paramètre facilement modifiable : sa largeur  $W_{HUMP}$ . En ajustant ce paramètre, il est possible de déterminer la tension de seuil  $V_{T_{HUMP}}$  de ces transistors de bord.



**Figure 2.10 : Simulation de la tension de seuil  $V_T$  en fonction de la largeur  $W$  du transistor MOS**

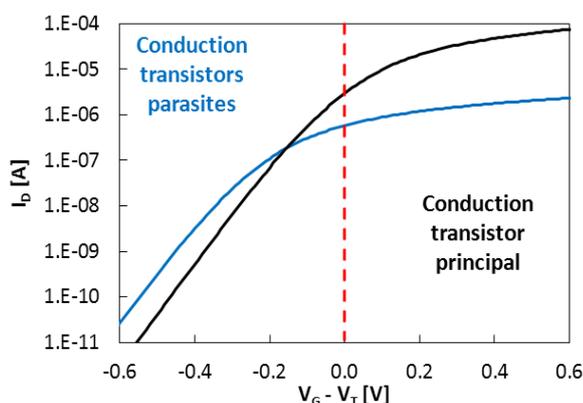
L'ajustement de la largeur  $W_{HUMP}$  permet de faire varier la tension de seuil des transistors parasites. Ainsi, ils conduisent plus ou moins de courant et plus ou moins rapidement par rapport au transistor principal en fonction de la tension de grille appliquée (cf. Figure 2.11).



**Figure 2.11 : Comparaison entre mesure (en vert) et la simulation du courant fourni par le transistor principal (en noir) et par les transistors parasites (en bleu) pour  $V_B=0V$  et  $V_B=-3V$**

Après avoir déterminé le bon compromis entre niveau de courant ( $W_{HUMP}$ ) et conduction plus ou moins rapide ( $V_{T_{HUMP}}$ ), la nécessité d'utiliser ce macro-modèle pour la simulation dans la zone sous le seuil se voit clairement sur la caractéristique avec un effet substrat important mais également, dans une moindre mesure, à  $V_B=0V$ . Afin de superposer la simulation avec les mesures effectuées sur un transistor ayant une largeur  $W_0=10\mu m$ , une largeur  $W_{HUMP}$  telle que  $W_{HUMP} \approx 1\% * W_0$  est utilisée.

La Figure 2.12 propose une comparaison des caractéristiques électriques du transistor principal et des transistors de bord obtenues en simulation. Ces simulations se focalisent dans la zone sous le seuil pour des transistors polarisés en faible inversion et sans effet substrat ( $V_B=0V$ ).



**Figure 2.12 : Simulation du courant fourni par le transistor principal (en noir) et par les transistors parasites (en bleu)**

La Figure 2.12 permet de comprendre les mécanismes de conduction du courant de drain qui entrent en jeu dans la zone sous le seuil. Les transistors parasites fournissent un courant négligeable devant celui délivré par le transistor principal pour des tensions de grille supérieures à 0.5V et au-delà. Cependant, étant donné la tension de seuil  $V_{T_{HUMP}}$  très faible, le courant de drain provient essentiellement de ces transistors de bord avec la diminution de la tension de grille. Autrement dit, plus le transistor est polarisé dans la zone sous le seuil ( $V_G$  faible), plus le courant passe par les transistors de bord.

### II.3 Impact de l'effet « hump » sur l'appariement en tension

Les mécanismes de conduction du courant en régime de faible inversion décrits ci-dessus permettent d'expliquer le comportement de l'appariement des tensions de grille d'une paire différentielle représenté Figure 2.13.

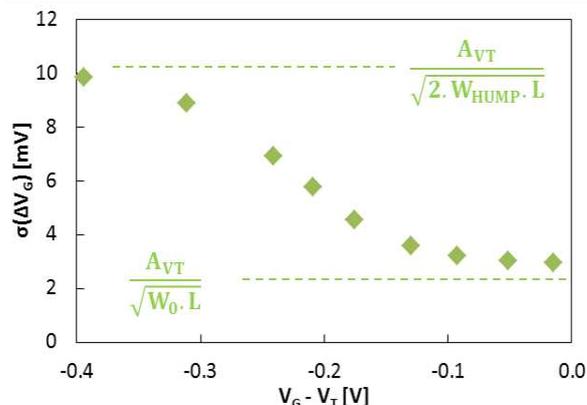


Figure 2.13 : Dégradation de l'appariement en tension d'une paire différentielle polarisée sous le seuil

Autour de la tension de seuil, l'appariement est égal à sa valeur théorique minimale définie par l'équation (2.14). Cependant, au lieu de rester constant dans la zone sous le seuil et égal à ce minimum ( $A_{VT}/\sqrt{W_0L}$ ), l'appariement en  $V_G$  se dégrade à cause de la conduction plus rapide des transistors de bord et tend vers l'appariement en  $V_T$  de ces transistors parasites ( $A_{VT}/\sqrt{2 \cdot W_{HUMP}L}$ ). Le facteur 2 vient de la présence de deux transistors parasites sur chaque bord du transistor principal.

En utilisant le macro-modèle présenté précédemment et calibré sur les courbes  $I_D$ - $V_G$ , la simulation Monte Carlo permet de correctement modéliser l'appariement en tension dans la zone sous le seuil comme le prouve la Figure 2.14.

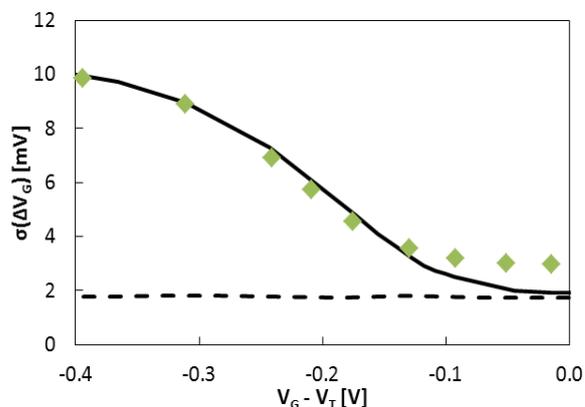


Figure 2.14 : Appariement en tension dans la zone sous le seuil : Mesure (♦), simulation sans (pointillé) et avec (trait plein) le macro-modèle effet « hump »

## II.4 Etude dimensionnelle

Une étude des caractéristiques  $I_D$ - $V_G$  avec effet substrat est nécessaire pour connaître l'impact des transistors de bord en fonction des dimensions du transistor principal :

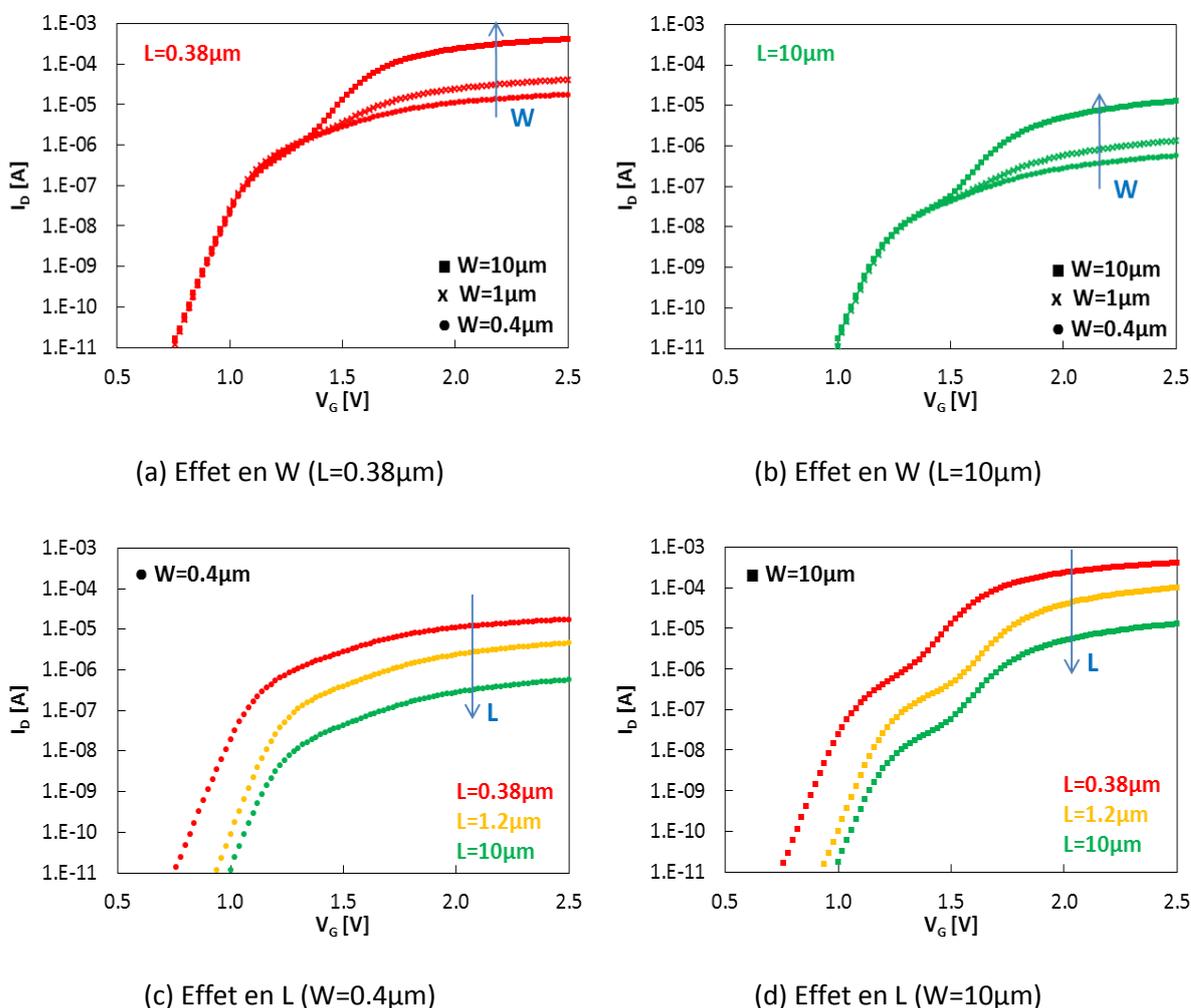
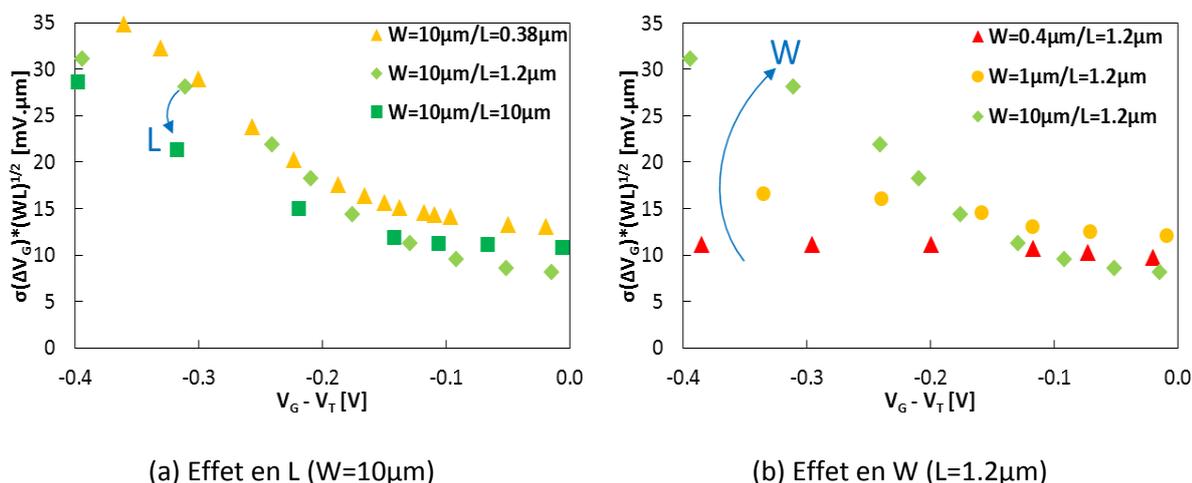


Figure 2.15 : Caractéristiques  $I_D$ - $V_G$  pour plusieurs dimensions avec effet substrat ( $V_B = -3.3V$ )

- Etude en fonction de la largeur  $W$  (Figure 2.15a et b) : Quelle que soit la longueur du transistor, l'étude en fonction de  $W$  permet de confirmer que l'impact des transistors de bord est d'autant plus important que le transistor principal est large. Les courbes étant confondues dans la zone sous le seuil, cela signifie que les transistors de bord se comportent électriquement de la même manière.
- Etude en fonction de la longueur  $L$  (Figure 2.15c et d) : Que ce soit pour une largeur de transistor étroite ( $W=0.4\mu m$ ) ou large ( $W=10\mu m$ ), l'impact de la longueur du transistor sur l'effet « hump » n'est pas significatif.

La Figure 2.16 illustre cette étude dimensionnelle d'appariement en tension en normalisant cette valeur par la racine carrée de la surface. Ce changement d'échelle permet de mettre en avant d'éventuels effets liés aux tailles des transistors étudiés.

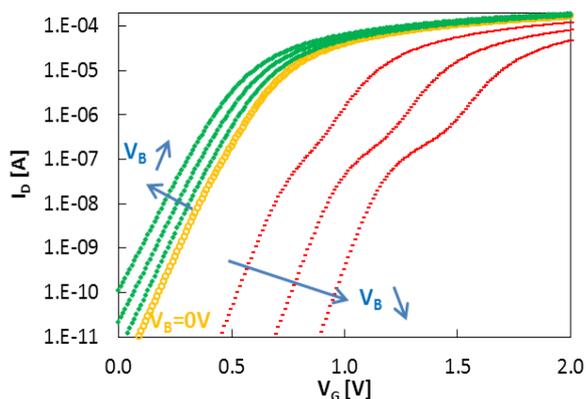


**Figure 2.16 : Mesure de l'appariement en tension pour plusieurs dimensions**

- (a) La mesure de l'appariement est effectuée sur trois structures de test ayant une largeur  $W=10\mu\text{m}$ . La longueur  $L$  du transistor varie en suivant les valeurs suivantes :  $L=0.38\mu\text{m}$ ,  $L=1.2\mu\text{m}$ ,  $L=10\mu\text{m}$  (Variation représentée par une flèche bleue). Comme observé Figure 2.15c et d, l'appariement en tension ne dépend que très peu de la longueur  $L$ .
- (b) La longueur reste constante et égale à  $1.2\mu\text{m}$  et c'est la largeur  $W$  du transistor que l'on fait varier :  $W=0.4\mu\text{m}$ ,  $W=1\mu\text{m}$ ,  $W=10\mu\text{m}$  (Augmentation représentée par une flèche bleue). L'appariement se dégrade clairement pour les transistors larges par une mise en évidence plus prononcée de l'effet « hump » confirmé Figure 2.15a et b. Ce phénomène de remontée sous le seuil est donc d'autant plus important que la différence entre  $W_0$  et  $W_{\text{HUMP}}$  est importante.

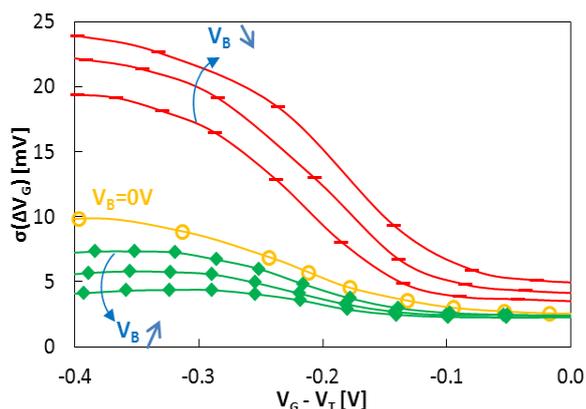
## II.5 Etude en fonction de l'effet substrat

Comme cela est expliqué dans [Sallagoity'96], les transistors parasites présentent une sensibilité réduite à la polarisation de substrat notamment à cause de leur dopage plus faible, c'est pourquoi l'effet substrat est utilisé pour mettre en évidence ce phénomène pas forcément visible à  $V_B=0\text{V}$  (○ orange Figure 2.17). Du fait de cette sensibilité réduite, l'écart des tensions de seuil entre le transistor principal et les transistors de bord augmente avec la polarisation négative du substrat. Cet écart rend de plus en plus visible l'effet « hump » (- rouge Figure 2.17). En suivant le raisonnement inverse, appliquer une tension de substrat légèrement positive (◆ vert Figure 2.17) peut permettre de diminuer l'écart entre  $V_{T_0}$  et  $V_{T_{\text{HUMP}}}$  afin de limiter la conduction des transistors parasites.



**Figure 2.17 : Caractéristiques  $I_D$ - $V_G$  de la structure de test étudiée ( $W=10\mu\text{m}/L=1.2\mu\text{m}$ ) en fonction de la polarisation de substrat ( $V_B=-3\text{V}, -2\text{V}, -1\text{V}$ ), ( $V_B=0\text{V}$ ), ( $V_B=0.1\text{V}, 0.2\text{V}, 0.3\text{V}$ )**

La déformation des caractéristiques  $I_D$ - $V_G$  due aux transistors de bord n'étant pas facilement décelable sans effet substrat, il est difficile de voir une éventuelle amélioration avec une polarisation positive du substrat. L'impact de cette polarisation du substrat directe peut être mis en évidence par l'étude de l'appariement en tension dans la zone sous le seuil comme le montre la Figure 2.18.



**Figure 2.18 : Appariement en tension de la structure de test étudiée ( $W=10\mu\text{m}/L=1.2\mu\text{m}$ ) en fonction de la polarisation de substrat ( $V_B=-3\text{V}, -2\text{V}, -1\text{V}$ ), ( $V_B=0\text{V}$ ), ( $V_B=0.1\text{V}, 0.2\text{V}, 0.3\text{V}$ )**

L'étude de l'appariement en tension confirme le comportement de l'effet « hump » observé sur les caractéristiques  $I_D$ - $V_G$  en fonction de la polarisation du substrat.

- Polarisation de substrat négative : Une telle polarisation augmente la tension de seuil d'un transistor NMOS. A cause d'une sensibilité à la polarisation de substrat réduite, la tension de seuil des transistors parasites augmente mais moins rapidement que le  $V_T$  du transistor principal ce qui accentue l'écart entre les deux et permet de visualiser facilement l'effet « hump ». La conduction des transistors de bord est encore plus précoce par rapport au transistor principal et dégrade l'appariement en tension dans la zone sous le seuil (- rouge). La polarisation de substrat négative (appelée RBB pour « Reverse Body Bias ») augmente la tension de seuil d'un transistor MOS ce qui permet notamment de limiter les fuites. Les

polarisations de substrat appliquées pour une telle utilisation sont cependant moins élevées que celles utilisées Figure 2.17 et Figure 2.18.

- Polarisation de substrat positive : Devant une sensibilité réduite à la polarisation de substrat, lorsque  $V_B$  augmente, la tension de seuil du transistor principal diminue plus rapidement que  $V_{T_{HUMP}}$  et rend de moins en moins important l'impact des transistors de bord avec une amélioration de l'appariement en tension dans la zone sous le seuil (♦ vert). Une polarisation de substrat positive (appelée FBB pour « Forward Body Bias ») est utilisée quant à elle afin de diminuer la tension de seuil du transistor MOS, permettant ainsi d'accélérer la vitesse des transistors MOS et réduire les délais dans les circuits [Narendra'03]. L'inconvénient majeur d'une telle polarisation de substrat est l'augmentation des courants de fuite pouvant aller jusqu'à la polarisation directe des jonctions P/N.

L'étude de l'effet substrat sur l'appariement de la tension de grille aide à la compréhension de l'effet « hump » et de l'appariement en tension dans la zone sous le seuil. En effet, la remontée de cet appariement visible en régime de faible inversion dépend essentiellement de la conduction du courant plus ou moins rapide des transistors parasites par rapport au transistor principal en fonction de la tension de grille (cf. Figure 2.12).

### III Etude en température de l'effet « hump » et de son impact au niveau circuit

Le circuit étudié est une référence de tension « bandgap ». La modélisation de l'effet « hump » est complétée en s'intéressant à la variation en température de l'appariement en tension. Enfin, ce modèle est utilisé pour simuler les variations en sortie de la référence de tension. Pour finir, une comparaison de ces résultats avec des mesures silicium est réalisée.

#### III.1 Présentation du circuit étudié

Une référence de tension « bandgap » est un circuit analogique couramment utilisé pour fournir une tension continue stable en fonction de la température.

Afin de répondre aux spécifications de faible consommation, la référence de tension « bandgap » étudiée utilise une structure conventionnelle représentée Figure 2.19. Ce circuit est un bon compromis pour atteindre de très faibles courants de consommation (autour de 500nA) avec un nombre limité de branche tout en gardant une surface totale raisonnable (taille des résistances limitée, pas de capacité de compensation) et un circuit stable et sûr. La gamme de tension d'alimentation relativement grande (1.6V à 3.6V) permet à la structure d'être composée d'un amplificateur au lieu des deux transistors standards montés en copie de courant. Ce type d'amplificateur permet d'avoir un excellent taux de rejection sur la sortie de ce circuit. Le rôle de cet

amplificateur est de garder le potentiel A égal au potentiel B ce qui revient à imposer des courants dans les trois branches tels que :

$$I_1 = I_2 = \frac{I_3}{N} = \frac{\Delta V_{BE}}{R_1} = \frac{U_T \cdot \ln(K)}{R_1} \quad (2.17)$$

Le courant PTAT  $I_3$  (« Proportional To Absolute Temperature ») traverse la résistance  $R_2$  et le transistor bipolaire PNP  $Q_2$ . Cela génère une tension PTAT aux bornes de  $R_2$  ( $V_2=R_2 \cdot I_3$ ) qui permet de donner l'équation de la sortie de cette référence de tension « bandgap » noté  $V_{BG}$  :

$$V_{BG} = V_{BEQ2} + N \cdot \frac{R_2}{R_1} \cdot U_T \cdot \ln(K) \quad (2.18)$$

En ajustant correctement les paramètres  $R_2/R_1$ ,  $K$  et  $N$  il est possible d'obtenir une tension de référence  $V_{BG}$  stable en température et proche de l'énergie de la bande interdite (« bandgap ») du silicium 1.2V.

Concernant l'amplificateur, sa conception est elle aussi classique avec une paire différentielle NMOS en entrée ayant une charge active PMOS. Etant donné que les potentiels A et B sont très faibles, la polarisation de l'amplificateur à l'aide d'une recopie en courant est impossible car elle n'aurait pas pu rester saturée en tenant compte des variations des tensions d'alimentation, du procédé de fabrication et de la température. Ainsi, la polarisation se fait par la résistance  $R_{amp}$ . L'utilisation d'une paire différentielle PMOS en entrée avec une source de courant de polarisation PMOS est également exclue car cela aurait nécessité une structure auto-polarisée avec une seconde boucle d'asservissement incluant une capacité importante afin de stabiliser toute la structure.

De manière à répondre à des contraintes exigeantes en termes de consommation, cet amplificateur est polarisé en régime de faible inversion (typiquement  $V_G - V_T \approx 300\text{mV}$ ) suivant en cela les principes de conception basse consommation donnés §1.2.b.

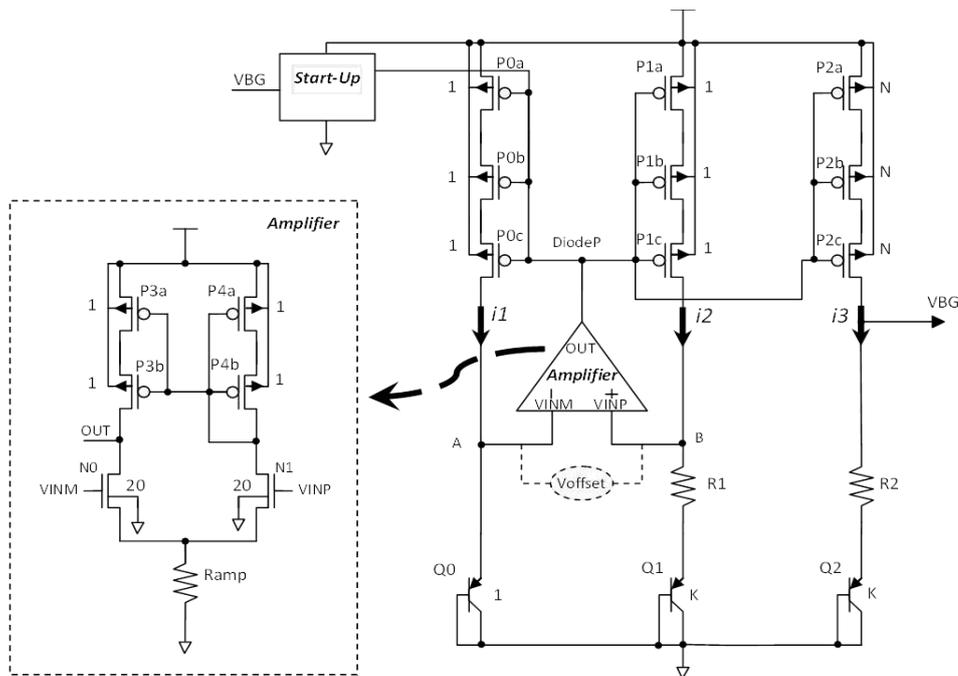


Figure 2.19 : Vue schématique de la référence de tension « bandgap » et de son amplificateur

La tension de sortie  $V_{BG}$  de ce circuit analogique est caractérisée en température (-40°C, 25°C, 125°C). Les valeurs mesurées sont comparées avec la simulation Monte Carlo et reportées Tableau 2.1.

Tableau 2.1 : Comparaison des données mesurées et simulées de la référence de tension en fonction de la température

Température [°C]	-40	25	125
Variation mesurée de $V_{BG}$ [mV]	82.90	59.03	27.95
Variation simulée sans effet "hump" de $V_{BG}$ [mV]	7.72	7.82	7.95

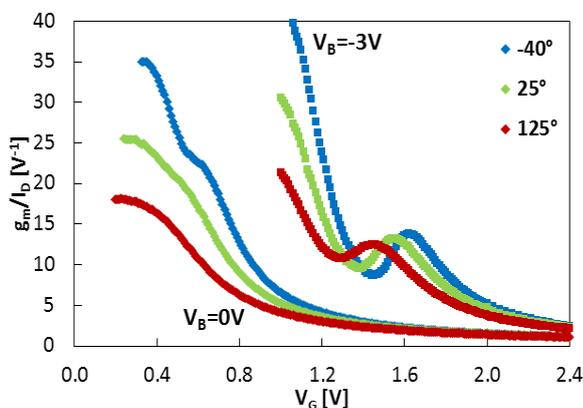
Comme pour la comparaison de l'appariement en tension représenté Figure 2.4, les simulations MC réalisées sur la référence de tension « bandgap » sont très éloignées des valeurs mesurées sur Silicium.

### III.2 Modélisation en température

Devant l'élargissement de la gamme de température de fonctionnement des circuits, il est nécessaire d'étudier le comportement des transistors en fonction de la température. Plusieurs travaux ont étudié le comportement de l'appariement des paramètres des transistors MOS et validé une amélioration avec l'augmentation de la température de quelques pourcents pour l'appariement du  $V_T$  et de l'ordre de 30% pour le facteur de courant [Tan'04a] [Mennillo'09]. Ce dernier propose un modèle décrivant l'évolution des paramètres électriques en température, également étudiée dans [Ismail'09] en regardant l'impact de l'appariement sur des circuits analogiques simples. Des travaux récents retrouvent les tendances énoncées précédemment et montrent une nette amélioration de

l'appariement en courant dans la zone sous le seuil avec l'augmentation de la température [Andricciola'09a].

De manière à déterminer le comportement de l'effet « hump » en fonction de la température, l'observation se fait sur les caractéristiques  $I_D$ - $V_G$ , l'appariement en tension mais également en regardant le rapport  $g_m/I_D$  (cf. §II.1) comme le montre la Figure 2.20.



**Figure 2.20 : Rapport  $g_m/I_D$  de la structure de test étudiée ( $W=10\mu\text{m}/L=1.2\mu\text{m}$ ) avec ( $V_B=-3\text{V}$ ) et sans effet substrat ( $V_B=0\text{V}$ ) en fonction de la température**

Etant donné que la méthode « standard » pour observer l'effet « hump » est d'utiliser l'effet substrat pour mettre en évidence ce phénomène (cf. Figure 2.7), l'impact des transistors parasites est bien visible à  $V_B=-3\text{V}$ . L'effet « hump » se voit également sans effet substrat notamment à  $-40^\circ\text{C}$ .

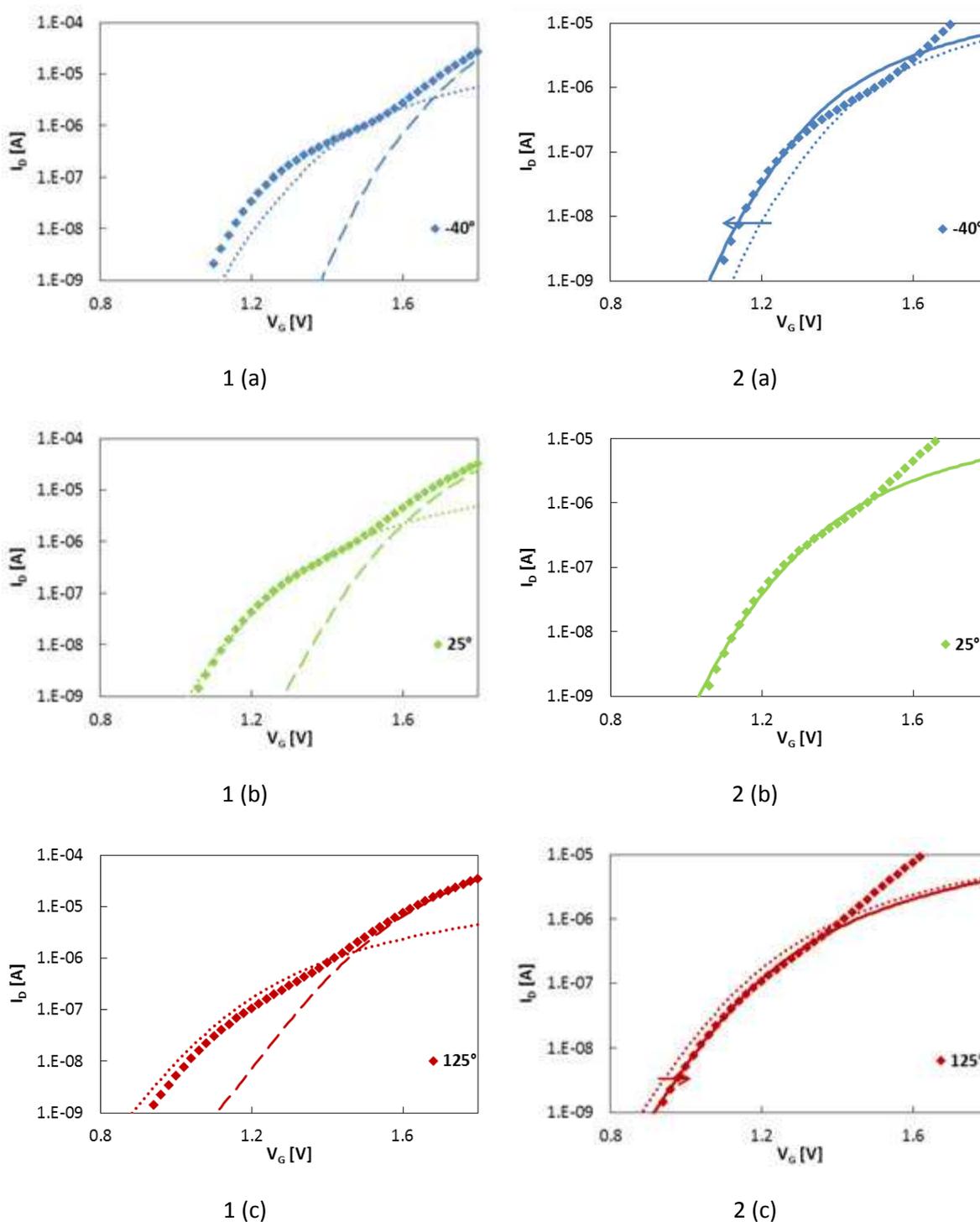
La pente sous le seuil  $S$  (« Swing » définie en mV/décade) peut s'écrire selon (2.19) [Sze].

$$S = \frac{kT}{q} \cdot \ln(10) \cdot \left(1 + \frac{C_{SC}}{C_{ox}}\right) \quad (2.19)$$

Avec  $C_{SC}$  la capacité de la zone de désertion dans le canal.

La pente sous le seuil augmente avec la température (essentiellement avec le terme  $kT/q$ ) ce qui permet de diminuer l'impact des transistors de bord en régime de faible inversion.

Le macro-modèle simulant l'effet « hump » peut à présent être évalué en température ( $-40^\circ\text{C}$  et  $125^\circ\text{C}$ ). Les caractéristiques  $I_D$ - $V_G$  et les simulations du transistor principal et des transistors de bord en utilisant la largeur  $W_{\text{HUMP}}$  utilisée précédemment à  $25^\circ\text{C}$  sont réalisées avec effet substrat ( $V_B=-3\text{V}$ ) afin de mettre en évidence le comportement en température de l'effet « hump ».



Colonne 1 : Mesure (♦), Simulations transistor principal (pointillé) et parasite (points)

Colonne 2 : Mesure (♦), Simulations transistor parasite (points), parasite modifié (trait plein)

**Figure 2.21 : Caractéristiques  $I_D$ - $V_G$  de la structure de test étudiée ( $W=10\mu\text{m}/L=1.2\mu\text{m}$ ) en fonction de la température avec effet substrat ( $V_B=-3V$ ).**

La première colonne (à gauche) représente la superposition mesure/simulation transistor principal/simulation transistor parasite pour trois températures. La simulation considérant le macro-modèle est nécessaire pour modéliser l'effet « hump » dans la zone sous le seuil (cf. Figure 2.21b). Il devrait en être de même pour  $-40^\circ\text{C}$  et  $125^\circ\text{C}$  (cf. Figure 2.21a et c). Cependant, la simulation du

transistor parasite (petits points) ne concorde pas exactement avec les données mesurées sur silicium lorsque le transistor MOS fonctionne en régime de faible inversion. De plus, il est possible de noter que :

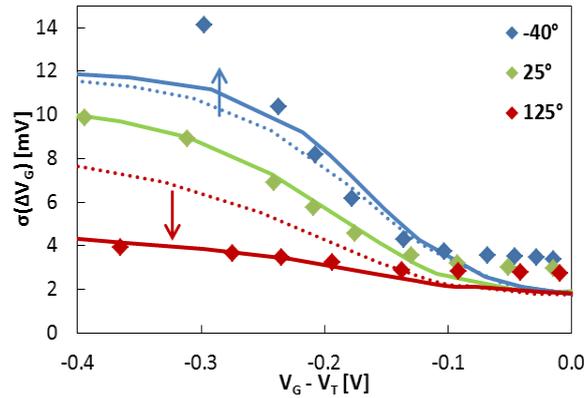
- A  $-40^{\circ}\text{C}$ , la simulation de l'effet « hump » est sous-estimée par rapport à la mesure (la courbe simulée est à droite de la mesure signifiant un  $V_{T_{\text{HUMP}}@-40}$  trop élevé).
- A  $125^{\circ}\text{C}$ , contrairement à la simulation à froid, la simulation des transistors de bord surestime l'effet « hump ». (La courbe se trouve cette fois-ci à gauche de la mesure signifiant un  $V_{T_{\text{HUMP}}@125}$  trop faible).

Une extraction complémentaire est nécessaire pour prendre en compte les variations en température en n'agissant que sur la tension de seuil des transistors parasites. La dépendance en température de la tension de seuil est donnée par la relation (2.20) [Eldo Equation].

$$V_T(T) = V_T(T_{nom}) + (kt1 + kt1(L) + kt2 \cdot V_B) \cdot \left( \frac{T}{T_{nom}} - 1 \right) \quad (2.20)$$

Avec  $T$  la température ( $T_{nom}=27^{\circ}\text{C}$ ),  $kt1(L)$  un coefficient en température dépendant de la longueur et  $kt2$  un coefficient en température dépendant de la polarisation du substrat  $V_B$ . Le seul paramètre modifiant directement la tension de seuil d'un transistor indépendamment des dimensions ou de la polarisation est donc le coefficient  $kt1$ . Ce paramètre est donc modifié uniquement sur les transistors parasites pour que leur tension de seuil varie moins en fonction de la température. La conséquence de cette modification de paramètre sur les caractéristiques  $I_D-V_G$  est illustrée par une flèche dans la colonne deux de la Figure 2.21 (pour plus de clarté, la simulation du transistor principal est supprimée). A température ambiante, la simulation n'est pas modifiée étant donné que les coefficients en température sont normalisés à  $27^{\circ}\text{C}$  ( $T_{nom}$ ). La simulation est ainsi bien en accord avec la mesure dans la zone sous le seuil particulièrement à  $125^{\circ}\text{C}$ . Même si à froid, la courbe est correctement décalée et concorde avec la mesure sous le seuil, la simulation de l'effet « hump » (en termes de niveau de courant) est trop importante par rapport au silicium (cf. Figure 2.21a).

Maintenant que le macro-modèle est calibré ( $W_{\text{HUMP}}$ ) et que le paramètre en température est ajusté correctement, l'appariement en tension d'une paire différentielle dans la zone sous le seuil en fonction de la température peut être étudié. Les résultats présentés ci-dessous sont mesurés sans effet substrat ( $V_B=0\text{V}$ ).



**Figure 2.22 : Appariement en tension de la structure de test étudiée ( $W=10\mu\text{m}/L=1.2\mu\text{m}$ ) en fonction de la température ( $V_B=0\text{V}$ ). Mesure ( $\blacklozenge$ ), Simulations transistor parasite (points) et parasite modifié (trait plein)**

Autour de la tension de seuil ( $V_G - V_T \approx 0\text{V}$ ), l'appariement en tension est égal à l'appariement de la tension de seuil (cf. (2.13)). On retrouve ainsi l'amélioration de l'appariement de la tension de seuil avec l'augmentation de la température mesurée précédemment (cf. Tableau 2.1). Comme déjà démontré Figure 2.14, le macro-modèle modélise correctement l'appariement en tension en régime de faible inversion à 25°C. La modification du paramètre en température permet de bien modéliser l'appariement en tension sous le seuil à 125°C. Cependant, même si la simulation à -40°C remonte plus dans la zone sous le seuil (flèche bleue), elle ne concorde pas exactement avec les valeurs mesurées sur silicium pour les très faibles tensions de polarisation de grille ( $V_G - V_T < 200\text{mV}$ ).

### III.3 Impact de l'appariement de la paire différentielle au niveau circuit

Pour obtenir l'expression de la tension de sortie  $V_{BG}$  de la référence de tension (cf. (2.18)), l'éventuelle tension de décalage entre les entrées  $V_{INM}$  et  $V_{INP}$  de l'amplificateur n'a pas été prise en compte (traduisant l'appariement en tension de la paire différentielle et nommée  $V_{offset}$  dans la vue schématique Figure 2.19). Or il est démontré dans [Kinget'05] que ce décalage sur l'entrée d'une paire différentielle peut fortement dégrader les variations de la sortie d'un circuit analogique. De plus, cette structure présente comme inconvénient un gain de retour important ( $N \cdot \frac{R_2}{R_1}$ ). En considérant cette tension de décalage  $V_{offset}$ , une nouvelle expression de la tension de sortie  $V_{BG}$  peut s'écrire sous la forme (2.21).

$$V_{BG} = V_{BEQ2} + N \cdot \frac{R_2}{R_1} \cdot U_T \cdot \ln(K) + N \cdot \frac{R_2}{R_1} \cdot V_{offset} \quad (2.21)$$

Pour confirmer, le rôle prédominant de l'appariement des transistors  $N_0$  et  $N_1$  et donc de la tension de décalage  $V_{offset}$  sur la tension de sortie de la référence de tension, deux campagnes de simulations sont réalisées à 25°C :

- Dans le premier cas, le circuit complet est simulé en considérant des variations sur l'ensemble des composants y compris  $N_0$  et  $N_1$  (cas standard).

- Dans le deuxième cas, les mêmes simulations sont réalisées mais en considérant maintenant que  $N_0$  et  $N_1$  sont parfaitement appariés.

En comparant les résultats de ces deux campagnes de simulations, il apparaît que les variations sur la tension de sortie  $V_{BG}$  sont dues à 60% au mauvais appariement des transistors  $N_0$  et  $N_1$ . De plus, en faisant la même campagne de simulation mais en prenant en compte l'effet « hump », cela montre que l'appariement en tension de la paire différentielle de l'amplificateur est responsable de plus de 90% des variations totales simulées de  $V_{BG}$ .

En considérant un très bon appariement des transistors bipolaires et des résistances devant celui des transistors MOS, l'expression des variations de la tension de sortie  $V_{BG}$  donnée en (2.22) s'obtient à partir de (2.21). Le facteur 0.9 vient du fait que les variations de  $V_{offset}$  sont responsables de plus de 90% des variations totales de  $V_{BG}$ . (Avec  $N \cdot \frac{R_2}{R_1} = 18$ ).

$$\sigma(V_{BG}) \approx \frac{18}{0.9} \cdot \sigma(V_{offset}) \quad (2.22)$$

Les valeurs d'appariement en tension mesurées sur la structure de test ( $W=10\mu\text{m}/L=1.2\mu\text{m}$ ) pourraient être utilisées pour retrouver les variations mesurées dans le Tableau 2.1. Cela n'est pas encore faisable car les dimensions de la paire différentielle de la référence de tension ne sont pas les mêmes que celles de la structure de test. En effet, la paire différentielle de l'amplificateur est composée de 20 transistors MOS en parallèle ( $W=10\mu\text{m}/L=1\mu\text{m}$ ,  $m=20$ ). La relation de surface entre la structure de test et le circuit est donnée par l'expression (2.23).

$$\sqrt{200 * 1} \cdot \sigma(V_{offset}) = \sqrt{10 * 1.2} \cdot \sigma(\Delta V_G) \quad (2.23)$$

En remplaçant (2.23) dans (2.22), la relation entre les mesures d'appariement en tension de la structure de test et les variations de la tension de sortie  $V_{BG}$  mesurées devient:

$$\sigma(V_{BG}) \approx 4.9 \cdot \sigma(\Delta V_G) \quad (2.24)$$

Pour calculer les valeurs à partir de l'équation (2.24), les valeurs mesurées  $\sigma(\Delta V_G)$  de la structure de test (cf. Figure 2.22) sont reportées pour  $V_G - V_T = -300\text{mV}$  (conditions de polarisation de la paire différentielle dans la référence de tension « bandgap »).

**Tableau 2.2 : Comparaison des variations de la tension de sortie  $V_{BG}$  calculées et mesurées en fonction de la température**

Température [°C]	-40	25	125
Variation mesurée de $\Delta V_G$ [mV]	14.2	8.8	3.9
Variation calculée de $V_{BG}$ [mV]	69.6	43.1	19.1
Variation mesurée de $V_{BG}$ [mV]	82.9	59.0	28.0

A partir de données mesurées sur paire différentielle, les variations d'un circuit analogique complet dont la paire différentielle est polarisée sous le seuil peuvent se calculer avec une relation

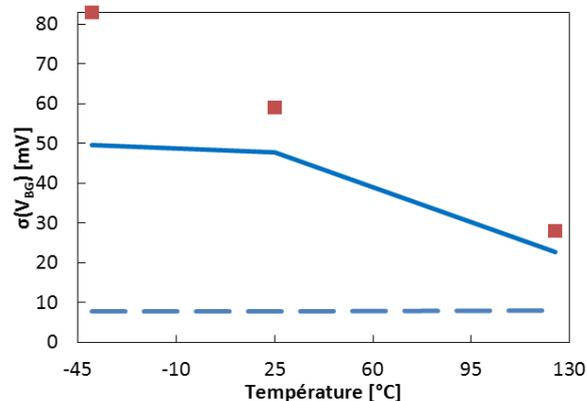
relativement simple. Ce calcul permet de confirmer que cette paire différentielle polarisée en régime de faible inversion est majoritairement responsable des variations totales de  $V_{BG}$ . Ces valeurs calculées se rapprocheraient encore plus des mesures en considérant une dégradation supplémentaire liée à la polarisation substrat (cf. §II.5). En effet, les mesures sont obtenues sans effet substrat alors que le circuit fonctionne avec  $V_{BS}$  légèrement négatif de l'ordre de la centaine de millivolts.

Afin de valider le macro-modèle au niveau circuit, des simulations MC de ce dernier sont réalisées. Les variations de la tension de sortie  $V_{BG}$  simulées sans et avec le macro-modèle effet « hump » sont comparées aux valeurs mesurées Tableau 2.3 pour les trois températures étudiées.

**Tableau 2.3 : Comparaison des variations de la tension de sortie  $V_{BG}$  simulées et mesurées en fonction de la température**

Température [°C]	-40	25	125
Variation simulée de $V_{BG}$ sans effet "hump"	7.7	7.8	7.9
Variation simulée de $V_{BG}$ avec effet "hump"	49.5	47.8	22.7
Variation mesurée de $V_{BG}$ [mV]	82.9	59.0	28.0

En considérant le macro-modèle d'effet « hump » calibré en température, les variations de  $V_{BG}$  sont clairement mieux modélisées. Ces mesures comparées aux résultats de simulation avec et sans effet « hump » sont représentés Figure 2.23.



**Figure 2.23 : Variation en sortie de la référence de tension « bandgap » en fonction de la température.**

**Mesure (■), simulation sans (pointillé) et avec (trait plein) le macro-modèle d'effet « hump »**

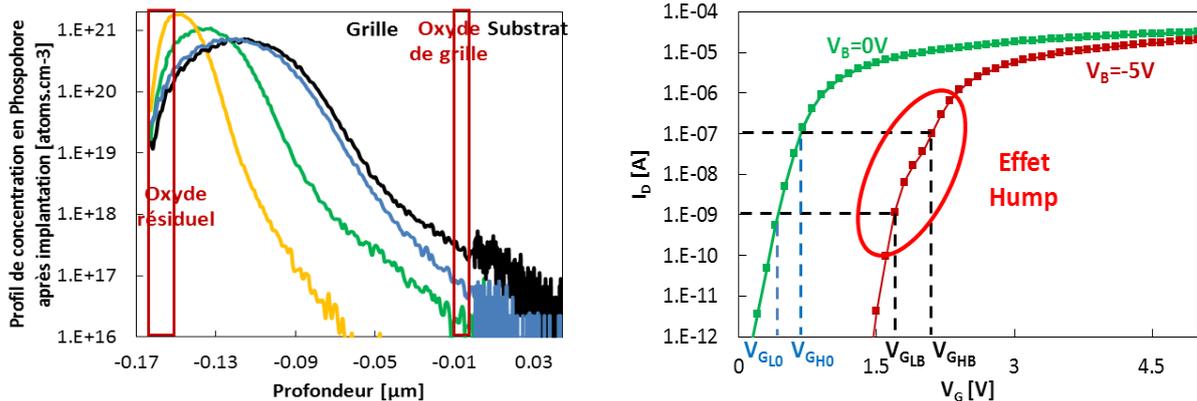
Mis à part les températures très froides, en considérant le macro-modèle d'effet « hump » (en trait plein), la simulation permet de modéliser convenablement le comportement en température. Cela permet également de correctement prédire les données silicium de la référence de tension « bandgap » en comparaison avec la simulation standard sans effet « hump » (pointillés). L'écart observé entre mesure et simulation et avec le macro-modèle peut venir de la limitation du macro-modèle lui-même mais également de l'absence ou de la mauvaise modélisation de l'appariement d'autres dispositifs à basse température (transistors MOS, bipolaires, résistances, etc...).

## Conclusion

Ce chapitre a présenté dans un premier temps, les différents modes de polarisation des transistors selon l'application choisie. Cette étude basée sur l'évolution du rapport  $g_m/I_D$  en fonction de la polarisation, permet d'évaluer rapidement les performances d'un circuit. Il a été démontré que le choix du régime de fonctionnement des transistors MOS d'une structure dépend principalement des performances de celle-ci mais également des contraintes liées à l'appariement des dispositifs. En effet, un bon appariement en courant est privilégié pour une structure polarisée en tension comme un miroir de courant et un bon appariement en tension pour une paire différentielle polarisée en courant. Afin d'avoir un bon appariement en tension et un gain important, les paires différentielles sont souvent polarisées sous le seuil en régime de faible inversion. Il est prouvé que l'effet « hump » est responsable de la dégradation de l'appariement en tension d'une paire différentielle polarisée dans la zone sous le seuil. Ce phénomène est dû à l'apparition de transistors parasites étroits sur les bords du transistor principal à la jonction zone active/STI recouverte par du poly-silicium. Le comportement de cet effet parasite est expliqué en fonction de la polarisation de substrat. Ces transistors de bord, ayant une tension de seuil plus faible, assurent la conduction du courant dans la zone sous le seuil. Etant équivalents à des transistors de très faible largeur, ils dégradent l'appariement en tension sous le seuil. Un macro-modèle a été utilisé pour modéliser ces transistors de bord et simuler correctement la dégradation de l'appariement en tension observé en régime de faible inversion. Le comportement en température de ce macro-modèle a également été évalué. Pour valider les résultats, une étude sur une référence de tension « bandgap » est menée. Cela a permis de voir l'impact très important que peut avoir l'appariement en tension d'une paire différentielle polarisée sous le seuil sur les variations mesurées en sortie d'un circuit. De plus, ces résultats ont confirmé le comportement de l'effet « hump » et montré qu'il est nécessaire pour les concepteurs, d'utiliser le macro-modèle pour prédire le mieux possible l'appariement en tension d'une paire différentielle et les variations en sortie de leur circuit dès l'étape de conception.



## Chapitre 3 Etude de l'appariement des transistors MOS en fonction du procédé de fabrication



Le procédé de fabrication est présenté au travers de son impact sur l'appariement des transistors MOS. L'impact de l'étape de pré-dopage de la grille des transistors NMOS est étudié grâce à cinq recettes de pré-dopage. Avec une énergie d'implantation trop importante, des dopants peuvent traverser la grille poly-silicium ainsi que l'oxyde et venir contre-doper le canal dégradant ainsi l'appariement des transistors MOS. Les résultats de mesure montrent que la déplétion de grille n'a pas d'impact significatif sur l'appariement. Il est également démontré qu'en inclinant l'implantation tout en gardant une énergie élevée permet d'avoir un bon dopage de grille et un bon appariement. Ensuite, les origines physiques de l'effet « hump » sont investiguées par une étude morphologique avec des coupes TEM et par une étude du niveau de concentration de dopants dans le canal grâce à des simulations TCAD. Une ségrégation des atomes du canal est démontrée principalement sur les transistors NMOS. Cette diminution de la concentration de dopants en bord d'active est responsable de l'effet « hump ». Pour contrer cet effet parasite, plusieurs solutions sont proposées.

<b>Introduction</b> .....	<b>85</b>
<b>I Présentation de la technologie CMOS 90nm avec mémoire Flash embarquée</b> .....	<b>85</b>
I.1 Procédé de fabrication CMOS avec mémoire Flash embarquée .....	85
I.2 Comparaison Mesure/Modèle de l'appariement de la tension de seuil.....	87
<b>II Etude de l'étape de pré-dopage de la grille des transistors NMOS</b> .....	<b>89</b>
II.1 Simulations TCAD.....	89
II.2 Description du plan expérimental .....	91
II.3 Caractérisation électrique .....	91
II.4 Résultats d'appariement de la tension de seuil et discussion.....	94
II.5 Impact de l'énergie d'implantation au niveau circuit.....	95
<b>III Etude de l'effet « hump »</b> .....	<b>96</b>
III.1 Les différentes sources de l'effet « hump » .....	96
III.2 Méthode de mesure paramétrique de l'effet « hump » .....	98
III.3 Analyse expérimentale de l'effet « hump » .....	103
III.4 Solutions pour contrer l'effet « hump » .....	106
III.4.a Solutions liées à la conception de circuit .....	106
III.4.b Solutions liées au procédé de fabrication .....	109
III.4.c Solutions liées à la conception de nouveaux transistors.....	111
<b>Conclusion</b> .....	<b>113</b>

## Introduction

La qualité de l'appariement des transistors MOS dépend des variations du procédé de fabrication. De nombreux paramètres technologiques tels que le dopage, l'épaisseur d'oxyde et d'autres peuvent fluctuer et impacter directement l'appariement des dispositifs.

La première partie de ce chapitre est consacrée à la description du procédé de fabrication utilisé pour concevoir les transistors MOS. Ensuite, une comparaison mesure/simulation est réalisée sur les transistors NMOS et PMOS pour évaluer l'appariement et identifier les origines technologiques d'un mauvais appariement. La partie suivante décrit le plan expérimental suivi afin d'étudier l'appariement de la tension de seuil par rapport à l'étape d'implantation de la grille des transistors MOS [Joly'11a]. L'effet « hump » peut dégrader l'appariement des transistors MOS et avoir un fort impact sur la fonctionnalité des circuits analogiques. Pour contrer ce phénomène, l'analyse des différentes étapes du procédé de fabrication à l'origine de ces transistors parasites ou qui accentuent leur impact par rapport au transistor principal est primordiale. La dernière partie propose une analyse de l'effet « hump » en présentant une méthode de mesure paramétrique pour quantifier ce phénomène et quelques solutions pour limiter voire supprimer l'impact de ces transistors de bord [Joly'12].

## I Présentation de la technologie CMOS 90nm avec mémoire Flash embarquée

Les principales étapes du procédé de fabrication sont tout d'abord décrites afin d'étudier l'appariement puis une comparaison mesure/simulation est présentée.

### I.1 Procédé de fabrication CMOS avec mémoire Flash embarquée

La technologie étudiée est une technologie CMOS 90nm avec des étapes de fabrication additionnelles pour réaliser une mémoire non-volatile embarquée de type Flash pour les applications microcontrôleurs. Les trois principaux types de transistors MOS utilisés dans cette technologie et fabriqués sur le site de STMicroelectronics Rousset sont présentés Tableau 3.1.

**Tableau 3.1 : Présentation des transistors MOS utilisés**

Zone de fonctionnement	LV		HV
Dénomination des transistors	GO1	GO2	HV
Principale utilisation	Circuits numériques et SRAM	Circuits analogiques	Circuits haute tension pour la mémoire Flash
Epaisseur d'oxyde [ $\text{\AA}$ ]	21	65	140
Tension d'alimentation $V_{DD}$ [V]	1.2	3.3	5

Concernant la partie composée de transistors MOS LV, les transistors GO1 (« Gate Oxide 1 ») sont principalement utilisés dans les circuits numériques et les mémoires SRAM et présentent une épaisseur d'oxyde de grille de 21 $\text{\AA}$ . Ensuite, les transistors GO2 (« Gate Oxide 2 ») possèdent des

oxydes de grille un peu plus épais (65Å) et peuvent fonctionner jusqu'à 3.3V en tension d'alimentation. Ces transistors sont essentiellement utilisés dans les circuits analogiques et sont donc principalement étudiés dans ce manuscrit. Les circuits haute tension qui alimentent la partie mémoire sont conçus avec des transistors HV possédant une épaisseur d'oxyde de 140Å pour supporter des tensions élevées (jusqu'à 9V). Il existe également les transistors de mémorisation NVM mais ils ne sont pas étudiés dans ce manuscrit.

Le déroulement des principales étapes nécessaires à la fabrication de tous les transistors est présenté Figure 3.1. Les étapes nécessaires à la réalisation des points mémoires sont décrites en bleu.

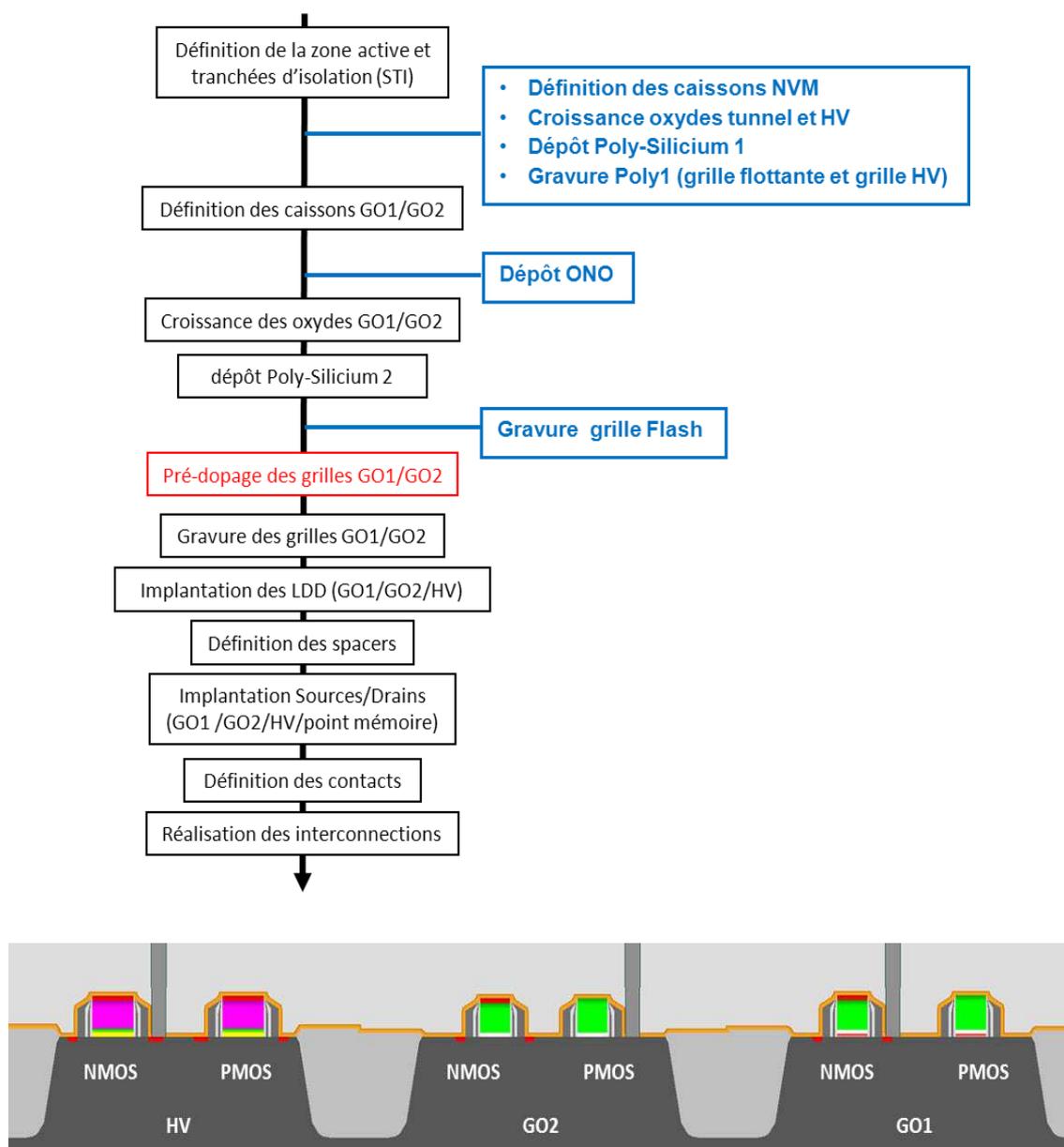


Figure 3.1 : Description des principales étapes du procédé de fabrication des transistors GO1, GO2 et HV

La première étape du procédé de fabrication consiste à définir les zones actives en réalisant les tranchées d'isolation (STI). Ensuite, les étapes de réalisation des points mémoires telles que la

croissance des oxydes tunnel et HV puis du dépôt et de la gravure du Poly-silicium (Poly-silicium 1) sont effectuées. Les caissons « N-well » ou « P-well » sont implantés pour les futurs transistors PMOS et NMOS respectivement. La définition du diélectrique inter-poly (Oxyde/Nitruure/Oxyde) des transistors mémoire est réalisée puis suivie de la croissance des oxydes GO1/GO2. Les oxydes sont nitrurés pour éviter la diffusion des dopants lors des différentes étapes du procédé de fabrication [Ito'82]. La grille des transistors MOS GO1 et GO2 est faite par le dépôt d'une couche de Poly-silicium (Poly-silicium 2) cristallin non dopé de 150nm dans des fours verticaux à plus de 600°C. La structure des grains de poly-silicium obtenus avec une orientation colonnaire est un procédé standard utilisé pour la définition des grilles pour les technologies CMOS.

Sur cette technologie, une étape de pré-dopage de la grille est réalisée uniquement pour les transistors NMOS GO1 et GO2 pour obtenir des valeurs de  $V_T$  assez symétriques entre transistors NMOS et PMOS. Cette étape se fait après le dépôt du poly-silicium et avant la gravure de la grille (les Sources et Drains ne sont donc pas impactés par cette étape) pour réduire l'effet de déplétion poly (concentration de dopage de grille plus faible). La déplétion du poly-silicium a pour conséquences une augmentation de la résistance poly-silicium et de la tension de seuil (cf. (1.3)) qui dégrade les performances des transistors MOS en termes de fréquence de fonctionnement. Pour pallier ce problème, la dose de dopage peut être augmentée lors de l'implantation des S/D afin de doper suffisamment la grille (dans le cas où l'étape de pré-dopage ne serait pas réalisée). Cette étape d'implantation peut créer des problèmes de tension de claquage des jonctions Drain/Substrat [Sze]. Une autre solution consistant à réduire la concentration du dopage canal pour compenser le décalage du  $V_T$  causé par la déplétion de grille peut mener à des effets canaux courts non désirés [Sze]. Finalement, inclure un pré-dopage de la grille juste après le dépôt du poly-silicium est un bon moyen pour réaliser des transistors MOS à hautes performances sur le nœud 90nm étudié.

L'étape de pré dopage est suivie de la gravure de la grille de la mémoire Flash. Les grilles des transistors GO1 et GO2 sont ensuite gravées. Viennent ensuite les étapes d'implantation des LDD (GO1/GO2/HV) puis l'implantation des zones de sources et de drains des transistors GO1/GO2/HV/point mémoire. Le procédé de fabrication se termine par la définition des contacts et par la réalisation des interconnexions.

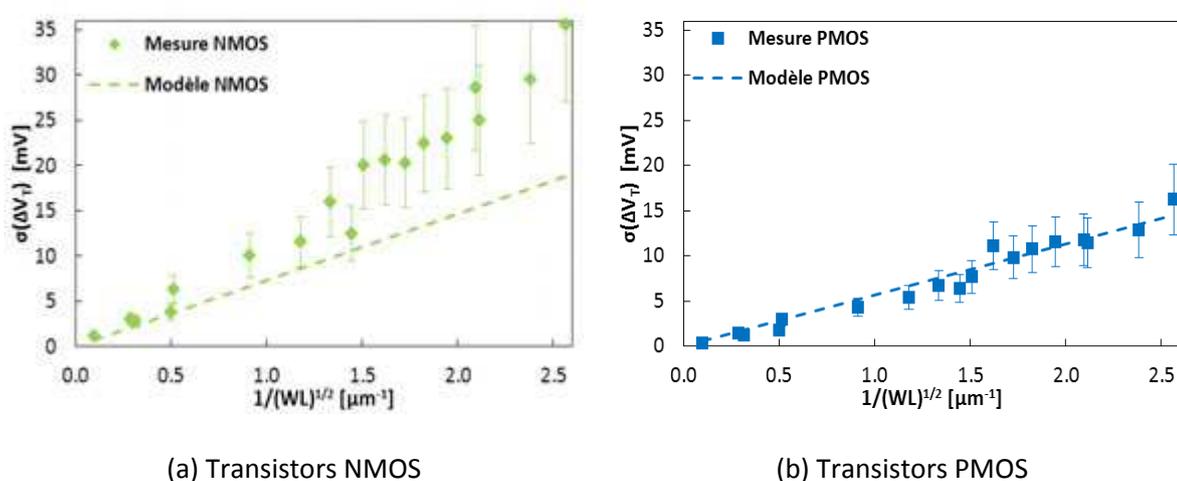
## **I.2 Comparaison Mesure/Modèle de l'appariement de la tension de seuil**

Afin de vérifier la validité des modèles d'appariement par rapport aux variations du procédé de fabrication, une comparaison entre la mesure et la simulation est nécessaire. L'appariement de la tension de seuil  $V_T$  est mesuré sur les transistors GO2 NMOS et PMOS (méthode décrite dans le chapitre 1 (§II.3)). Ces mesures sont faites sur 18 structures appariées disponibles et dont les dimensions sont répertoriées Tableau 3.2.

**Tableau 3.2 : Dimensions mesurées pour étudier l'appariement de la tension de seuil  $V_T$  des transistors MOS**

Largeur W [ $\mu\text{m}$ ]	0.4	0.4	0.4	0.4	0.4	0.6	0.6	0.6	0.6	0.6	1	1	1	1	1	10	10	10
Longueur L [ $\mu\text{m}$ ]	0.38	0.44	0.56	1.2	10	0.38	0.44	0.5	0.56	1.2	0.38	0.44	0.56	1.2	10	0.38	1.2	10

64 sites sont mesurés pour obtenir les valeurs d'appariement en  $V_T$  présentés Figure 3.2. Les barres d'erreurs représentent un intervalle de confiance de 99%. Pour comparer avec les modèles, les valeurs du paramètre d'appariement  $A_{VT}$  des transistors GO2 NMOS et PMOS fournies dans le manuel des règles de dessin sont utilisées. Ces valeurs  $A_{VT}$  sont représentées sous forme de pointillés Figure 3.2.


**Figure 3.2 : Comparaison de l'appariement de la tension de seuil  $V_T$  des transistors NMOS et PMOS avec les modèles (pointillé)**

Les paramètres mesurés d'appariement de la tension de seuil  $A_{VT}$  sont calculés par la méthode classique de régression linéaire. Ces valeurs mesurées et simulées sont reprises Tableau 3.3.

**Tableau 3.3 : Comparaison des valeurs du paramètre d'appariement de la tension de seuil  $A_{VT}$  mesurées sur des transistors NMOS et PMOS avec les modèles**

Type de transistor	NMOS		PMOS	
	Mesure	Modèle	Mesure	Modèle
$A_{VT}$ [mV. $\mu\text{m}$ ]	12.3	7.3	5.6	5.7

Les valeurs du Tableau 3.3 traduisent ce qui est vu Figure 3.2 :

- Transistors PMOS : Les fluctuations de la tension de seuil mesurées sur les structures de test sont en accord avec les modèles.
- Transistors NMOS : Une différence significative est observable entre les modèles et les mesures sur Silicium.

D'après les résultats résumés Tableau 3.3, l'hypothèse qu'une ou plusieurs étapes sont responsables de l'augmentation des fluctuations de l'appariement de la tension de seuil mesurée sur les transistors NMOS peut être avancée. Ces fluctuations n'impactent pas les transistors PMOS. Les principales étapes du procédé de fabrication donnent une indication importante ; En effet, l'étape de pré-dopage de la grille n'est réalisée que sur les transistors NMOS (les PMOS ne voient pas cette étape). Ainsi, une investigation de l'étape de pré-dopage des grilles des transistors NMOS est proposée dans la partie suivante au travers d'un plan expérimental.

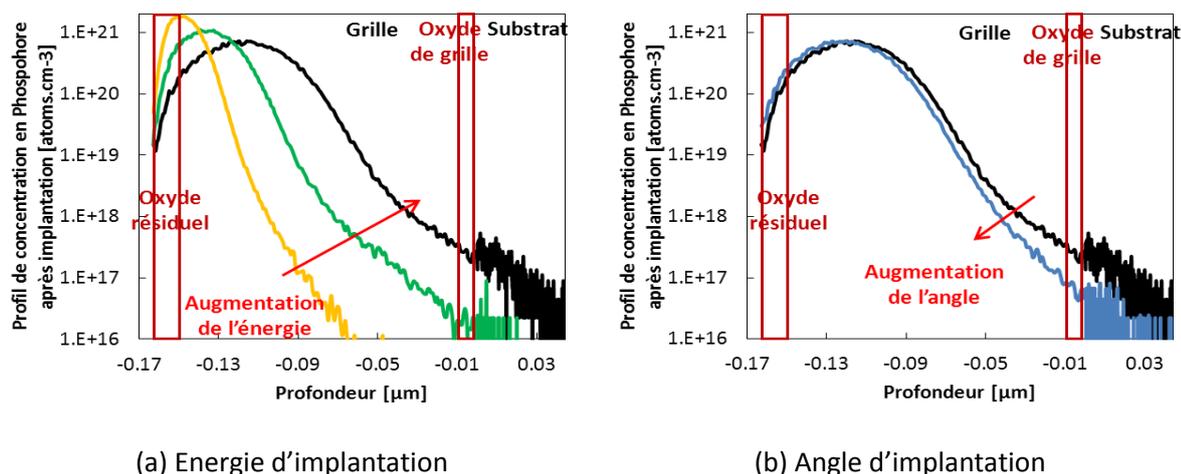
## II Etude de l'étape de pré-dopage de la grille des transistors NMOS

L'investigation de cette étape de pré-dopage des grilles des transistors NMOS se fait en se basant tout d'abord sur des simulations TCAD (« Technology Computer-Aided Design »). Le plan expérimental établi pour confirmer les résultats de simulations TCAD est ensuite décrit suivi des caractérisations électriques issues du plan expérimental. La partie suivante montre les résultats de l'appariement de la tension de seuil mesurés sur les différents procédés de fabrication étudiés. Enfin, une mesure au niveau circuit est décrite dans la dernière partie.

### II.1 Simulations TCAD

De la même manière que les concepteurs simulent le comportement de leurs circuits, il est possible de simuler les différentes étapes d'un procédé de fabrication. Des simulations TCAD sont réalisées de manière à évaluer l'impact de l'énergie et de l'angle d'implantation à l'aide du module Crystal Trim du simulateur Sentaurus [Synopsys Sentaurus]. Il est ici nécessaire de citer les nombreux travaux d'Asenov basés sur les simulations TCAD pour étudier l'appariement des transistors MOS [Asenov'98] [Asenov'00] [Asenov'03] [Asenov'08].

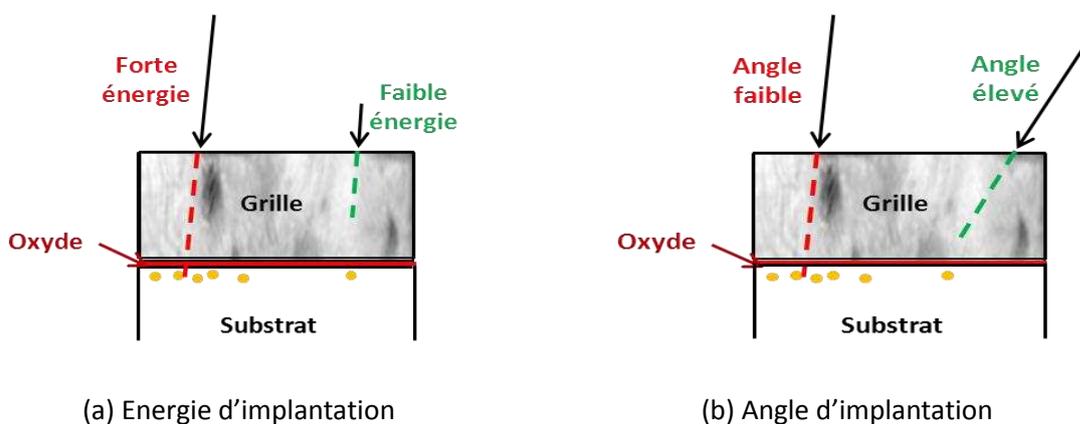
Les différents paramètres d'implantations sont simulés grâce à un empilement Silicium/Oxyde/Poly-silicium en une dimension à travers un oxyde de 80Å qui correspond à l'épaisseur d'oxyde résiduelle présent sur le poly-silicium avant l'implantation. La nature granulaire du poly-silicium est également prise en compte lors des simulations. Les simulations TCAD des profils de concentration de dopants après implantation sont présentées Figure 3.3 pour comparer l'impact de (a) l'énergie d'implantation et (b) l'angle d'implantation.



**Figure 3.3 : Simulation TCAD du profil de concentration en Phosphore après implantation du pré-dopage de la grille pour les cinq procédés de fabrication étudiés**

(a) Etude de l'énergie d'implantation: Les simulations TCAD présentées Figure 3.3a montrent une implantation des dopants de plus en plus profonde dans la grille (et donc une concentration de dopants plus importante) avec l'augmentation de l'énergie. Cependant, avec une énergie trop élevée (en noir), la simulation montre que des dopants peuvent acquérir une énergie suffisamment importante pour traverser la grille et l'oxyde et venir contre-doper le canal comme le schématise la Figure 3.4a.

(b) Etude de l'angle d'implantation: Le fait de modifier l'angle d'implantation de l'étape de pré-dopage de la grille permet de limiter le contre-dopage du canal tout en gardant un dopage relativement homogène de la grille. En regardant la Figure 3.4b, on peut penser qu'avec un angle plus élevé, le chemin à parcourir pour un dopant est plus important diminuant ainsi sa probabilité d'atteindre le canal.



**Figure 3.4 : Vue schématique du comportement des dopants lors de l'étape de pré-dopage de la grille**

Il faut souligner que ce contre-dopage se fait par la queue de distribution (zone de la distribution de dopant pouvant facilement varier d'une implantation à l'autre) du profil de concentration implanté.

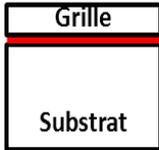
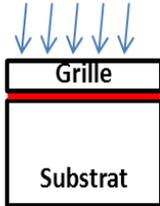
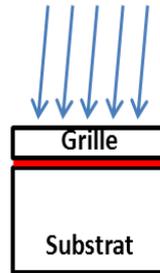
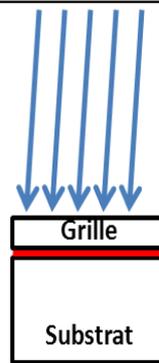
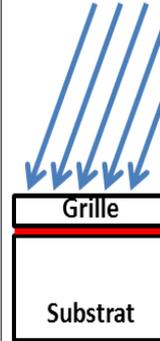
## II.2 Description du plan expérimental

Afin de confirmer l'impact de l'énergie et de l'angle d'implantation sur les transistors MOS, cinq recettes différentes de cette étape de pré-dopage ont été mises en place, nommés de A à E et reposent sur trois variations principales :

- Suppression de cette étape de pré-dopage (comme pour les transistors PMOS) : Procédé A.
- Augmentation de l'énergie d'implantation (de 10KeV à 35KeV) : Procédés B, C et D.
- Augmentation de l'angle d'implantation (25° contre 7° précédemment) : Procédé E.

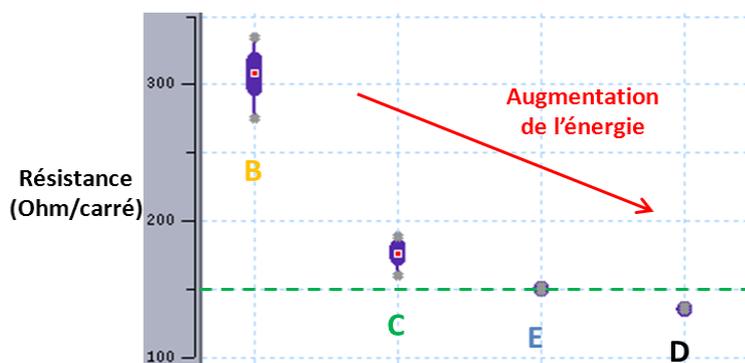
Pour être sûr de se focaliser uniquement sur l'énergie et l'angle d'implantation, la dose de Phosphore implantée est la même pour les quatre procédés. Ces cinq versions sont résumées Tableau 3.4.

**Tableau 3.4 : Plan expérimental décrivant les cinq procédés de fabrication étudiés (la dose de Phosphore implantée est la même pour les quatre procédés)**

Procédé de fabrication	A	B	C	D	E
Energie d'implantation [KeV]	étape supprimée	10	20	35	35
Angle d'implantation [°]		7	7	7	25
Description					

## II.3 Caractérisation électrique

L'étape de pré-dopage de la grille ayant un impact direct sur la valeur de la résistance poly-silicium ( $R_{poly}$  varie en fonction de l'inverse de la concentration de dopage de grille), cette dernière est mesurée pour voir l'impact de cette implantation de grille mis en évidence à partir des simulations TCAD (cf. Figure 3.3) :



**Figure 3.5 : Mesure de la résistance poly-silicium pour les quatre procédés de fabrication ayant subi des variations d'énergie et d'angle d'implantation**

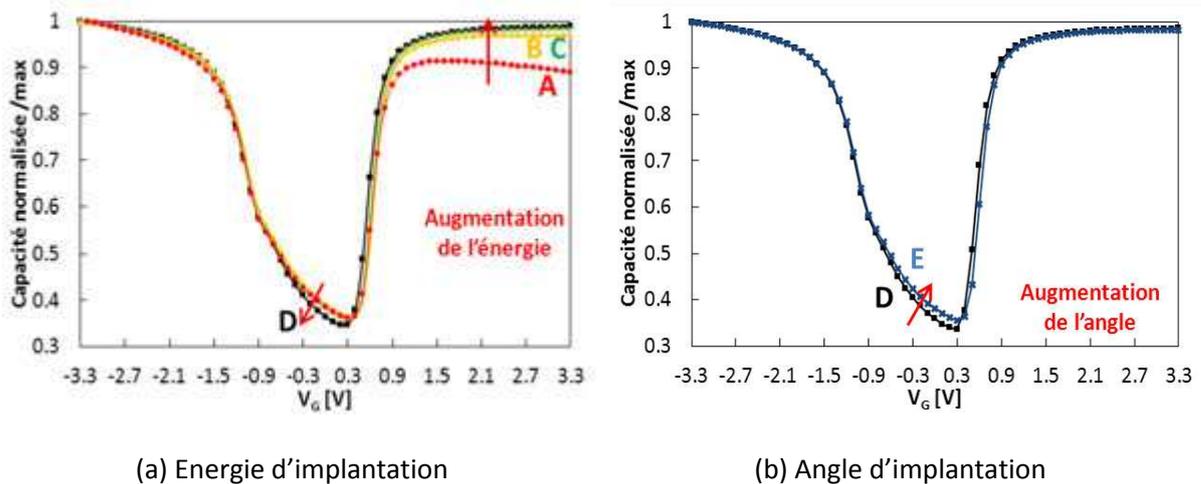
Avec l'augmentation de l'énergie d'implantation, le dopage de grille devient plus important ce qui diminue la valeur de la résistance. Les valeurs de résistance élevées, particulièrement visibles pour les procédés B et C proviennent d'un dopage moins uniforme dans la grille. Le fait d'augmenter l'angle d'implantation (procédé E) permet de garder une valeur de résistance encore acceptable pour la technologie étudiée.

Les mesures de la tension de seuil  $V_T$  d'un transistor GO2 NMOS de grande surface ( $W=10\mu\text{m}/L=10\mu\text{m}$  pour éviter toute variation supplémentaire due à un éventuel effet dimensionnel) sont données Tableau 3.5 pour chaque procédé de fabrication.

**Tableau 3.5 : Mesure de la tension de seuil d'un transistor GO2 NMOS ( $W=10\mu\text{m}/L=10\mu\text{m}$ ) pour les cinq procédés de fabrication étudiés**

Procédé de fabrication	A	B	C	D	E
Energie d'implantation [KeV]	étape	10	20	35	35
Angle d'implantation [°]	supprimée	7	7	7	25
Tension de seuil $V_T$ ( $W=10\mu\text{m}/L=10\mu\text{m}$ ) [V]	0.716	0.711	0.689	0.654	0.685

Cette mesure de tension de seuil permet de se rendre compte que la tension de seuil diminue avec l'augmentation de l'énergie d'implantation. D'après les simulations TCAD, lorsque l'énergie d'implantation augmente, la concentration de dopants dans la grille  $N_G$  augmente ce qui, d'après (1.3), permet d'expliquer la diminution de  $V_T$ . Cependant, cette expression dépend également de la concentration de dopants  $N_C$  dans le canal. Or, il est démontré que certains dopants peuvent venir contre doper le canal et ainsi, faire varier  $N_C$ . Les mesures de la résistance et de la tension de seuil ne permettent pas d'expliquer avec certitude les effets au niveau électrique de cette étape d'implantation de la grille observé sur les simulations TCAD. Afin d'apporter des réponses supplémentaires, des mesures de capacités GO2 NMOS sont faites par la méthode C-V haute fréquence [Lopez'04Th]. Les allures normalisées des courbes C-V par rapport à la valeur maximale de la capacité sont présentées Figure 3.6.



**Figure 3.6 : Mesure C-V pour les cinq procédés de fabrication étudiés**

Une courbe C-V permet d'obtenir beaucoup d'informations sur le transistor MOS. Dans le cas de la Figure 3.6, la première phase correspond au régime d'accumulation (tensions de grille négatives) et le comportement de la capacité rend compte de l'épaisseur d'oxyde. Pour s'affranchir des variations de  $T_{ox}$  entre les plaques mesurées, les courbes sont normalisées. La deuxième phase (régime de désertion), autour de 0V permet de voir l'évolution du dopage canal  $N_C$ . Ensuite, la remontée visible sur la Figure 3.6 entre 0.3V et 0.9V environ constitue la troisième phase et montre les variations de la tension de seuil. En effet, en prêtant attention à cette zone, le comportement des valeurs mesurées du  $V_T$  (cf. Tableau 3.5) peut être retrouvé avec le décalage vers la gauche (diminution de  $V_T$ ) des courbes C-V avec l'augmentation de l'énergie d'implantation. Enfin, la dernière phase qui se situe au-delà de 1V, doit son évolution essentiellement au dopage de grille  $N_G$  et correspond au régime d'inversion forte.

Les comportements particuliers observés en fonction de l'énergie et de l'angle d'implantation dans les phases 2 et 4 sont décrits :

- (a) Etude de l'énergie d'implantation: Avec l'augmentation de l'énergie d'implantation, la quatrième phase indique une augmentation du dopage de grille  $N_G$ . Sans étape de pré-dopage, une déplétion de grille importante est visible pour le procédé A. Ces résultats sont en accord avec les variations de  $V_T$  observées Tableau 3.5. Concernant la zone autour de 0V, le contre-dopage du canal mis en évidence par les simulations TCAD est confirmé par l'augmentation de la déplétion du substrat signifiant une concentration de dopants  $N_C$  moins importante (à cause du contre-dopage).
- (b) Etude de l'angle d'implantation: Concernant le dopage de grille, aucune différence significative n'est visible en augmentant l'angle d'implantation. A l'inverse, dans la région autour de 0V, la concentration de dopants augmente ce qui correspond à un contre-dopage moins important (voire nul) au même niveau que les procédés A, B et C.

Trois points sont à retenir de l'analyse de ces mesures de capacités :

- Le contre-dopage mis en évidence en simulation TCAD n'est électriquement visible que sur le procédé D (forte énergie et faible angle).
- Supprimer complètement cette étape de pré-dopage (Procédé A) a pour conséquence une très forte déplétion de grille et donc un dopage de grille faible (non désiré).
- Le fait d'incliner plus l'implantation de la grille (Procédé E) peut être une solution intéressante car elle permet de garder un dopage de grille élevé tout en supprimant l'effet de contre-dopage du canal.

## II.4 Résultats d'appariement de la tension de seuil et discussion

Après avoir étudié les simulations TCAD et le comportement électrique pour différentes versions de pré-dopage de la grille, une analyse de l'appariement de la tension de seuil est menée. Pour cela, les mêmes structures de test utilisées précédemment ont été mesurées (cf. Tableau 3.2) et sont représentées Figure 3.7 de manière normalisée.

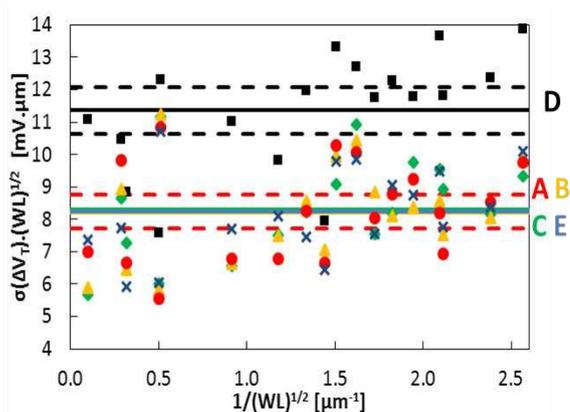


Figure 3.7 : Mesure de l'appariement de la tension de seuil  $V_T$  des transistors MOS pour les cinq procédés de fabrication étudiés

Les 18 différentes géométries ainsi que les 64 sites mesurés permettent d'extraire le paramètre d'appariement de la tension de seuil  $A_{VT}$  (ligne continue) et de représenter leurs limites (ligne pointillée) avec un intervalle de confiance de 99.7% pour comparer les cinq procédés de fabrication étudiés. Les valeurs du paramètre  $A_{VT}$  sont récapitulées Tableau 3.6.

Tableau 3.6 : Tableau récapitulatif des valeurs  $A_{VT}$  de l'appariement de la tension de seuil  $V_T$  pour les cinq procédés de fabrication étudiés

Procédé de fabrication	A	B	C	D	E
Energie d'implantation [KeV]	étape	10	20	35	35
Angle d'implantation [°]	supprimée	7	7	7	25
$A_{VT}$ [mV.µm]	8.2	8.2	8.3	11.4	8.2

Deux conclusions peuvent être tirées de ces résultats d'appariement et des observations énoncées précédemment :

- En comparant les valeurs du paramètre  $A_{VT}$  dans le Tableau 3.6 des procédés A, B, C et E, celles-ci sont du même ordre de grandeur (8.2 à 8.3 mV.μm). Or, en comparant les C-V Figure 3.6, la seule différence entre ces quatre versions de l'étape de pré-dopage de la grille se situe au niveau du dopage de grille. Etant donné que le niveau de fluctuation de  $V_T$  mesuré est le même, nous pouvons dire que la déplétion de grille diminue la valeur de  $V_T$  (cf. Tableau 3.5) mais ne modifie pas de manière significative son appariement.
- En comparant cette fois-ci les cinq procédés de fabrication étudiés mais sans considérer le dopage de grille, la seule différence observée sur les C-V Figure 3.6 est le contre-dopage du canal. La conclusion est que l'implantation de la grille avec une énergie trop importante et un angle réduit est responsable du contre-dopage du canal et que les fluctuations du nombre de dopants de cette queue de distribution ont pour conséquence une dégradation (de près de 40%) de l'appariement de la tension de seuil des transistors MOS.

## II.5 Impact de l'énergie d'implantation au niveau circuit

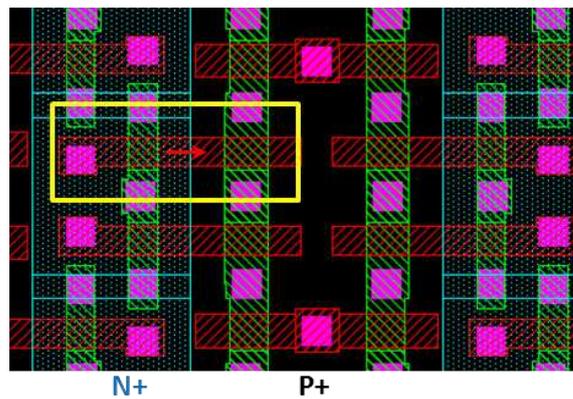
Une mesure de la variation en sortie de trois circuits analogiques pour les procédés B, C et D est présentée Tableau 3.7 pour confirmer les résultats montrés et expliqués précédemment.

**Tableau 3.7 : Mesure de la variation en sortie réalisée sur trois circuits analogiques pour trois procédés de fabrication**

	Procédé de fabrication	B (10KeV)	C (20KeV)	D (35KeV)
Variation [mV]	Bandgap	2,9	2,9	3,1
	Régulateur	5,2	5,4	6,5
	PLL	9,5	9,9	12,6

Le Tableau 3.7 montre que les 650 mesures effectuées pour chaque circuit et chaque procédé sont en accord avec les résultats d'appariement obtenus. Ces valeurs confirment l'amélioration de l'appariement de la tension de seuil des transistors MOS en diminuant l'énergie d'implantation du pré-dopage de la grille (dégradation de 6 à 25% suivant le circuit avec une énergie d'implantation trop élevée).

L'orientation de type colonnaire des grains de poly-silicium doit influencer sur le passage des dopants (« channeling ») durant l'implantation. Ainsi, un pré-dopage de la grille avec un angle d'implantation élevé semble être la meilleure façon d'avoir une forte concentration de dopants sans dégrader l'appariement des transistors MOS. Cette solution doit cependant être complétée avec des règles de dessin adéquates pour éviter des problèmes de proximité entre les transistors NMOS et PMOS limitrophes, notamment dans le cas d'inverseurs dont le poly-silicium est commun entre les transistors NMOS et PMOS (cf. Figure 3.8).



**Figure 3.8 : Vue « layout » avec des transistors NMOS et PMOS avec poly-silicium commun (cas d'une mémoire SRAM)**

Le rectangle jaune sur la Figure 3.8 représente le « layout » d'un inverseur. Les deux transistors NMOS et PMOS constituant cet inverseur ont leur grille en commun. La grille du transistor NMOS est dopée de type N (bande en bleue représentant le dopage N+) et de type P pour les transistors PMOS. Cette vue « layout » met en évidence qu'une implantation de grille avec un angle trop incliné (lors de l'étape de pré-dopage des transistors NMOS par exemple) peut conduire à une implantation de type N dans une zone P (flèche rouge).

### III Etude de l'effet « hump »

L'impact de l'effet « hump » sur les caractéristiques et surtout l'appariement en tension des transistors MOS est décrit et modélisé dans le chapitre 2. Dans la partie qui va suivre, le comportement de l'effet « hump » en fonction des principaux paramètres technologiques est rappelé. Puis, une méthode de mesure paramétrique de l'effet « hump » est introduite et expliquée. Dans la troisième partie, nous étudierons et analyserons les principales caractéristiques physiques de ce phénomène (morphologie et dopage). Quelques solutions pour limiter, voire supprimer l'effet « hump » sont proposées dans une dernière partie.

#### III.1 Les différentes sources de l'effet « hump »

Pour rappel, l'effet « hump » est dû à la présence de transistors parasites sur chaque bord du transistor principal. Ces transistors parasites sont visibles par exemple sur une coupe TEM réalisée dans le sens de la largeur  $W$  (cf. Figure 2.6). L'étude de l'impact de ce phénomène sur les caractéristiques des transistors MOS, notamment avec effet substrat, a souligné le fait que ces transistors parasites possèdent une tension de seuil plus faible que le transistor principal. Il est donc nécessaire de se focaliser sur les causes de cette tension de seuil plus faible.

La tension de seuil des transistors parasites peut être plus faible principalement pour deux raisons (cf. Figure 3.9) :

- La première est due à la morphologie de la « cuvette » des transistors de bord influant sur la courbure ( $C_{ox}$ ) ou l'amincissement d'oxyde ( $T_{ox}$ ) [Sallagoity'96]. La courbure augmente localement le champ électrique ce qui correspond à une augmentation de la capacité. L'augmentation de  $C_{ox}$  et/ou une diminution de  $T_{ox}$  ont pour conséquences directes une diminution de la tension de seuil de ces transistors parasites (cf. équation (1.3)).
- La seconde raison de cette tension de seuil plus faible est liée à une différence de dopage entre le bord et le centre du transistor à cause de la ségrégation des dopants [Schwantes'05] [Nouri'00].

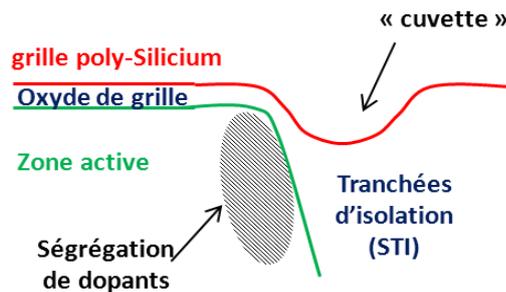


Figure 3.9 : Les différentes sources de l'effet « hump » (coupe en direction de la largeur  $W$ )

Une comparaison entre les transistors GO2 NMOS et les transistors PMOS est réalisée. Les caractéristiques  $I_D-V_G$  avec effet substrat mais également au niveau de l'appariement en tension sont comparées afin de mettre en évidence une éventuelle remontée sous le seuil pour les transistors PMOS comme celle observée sur les transistors NMOS (cf. Figure 2.4).

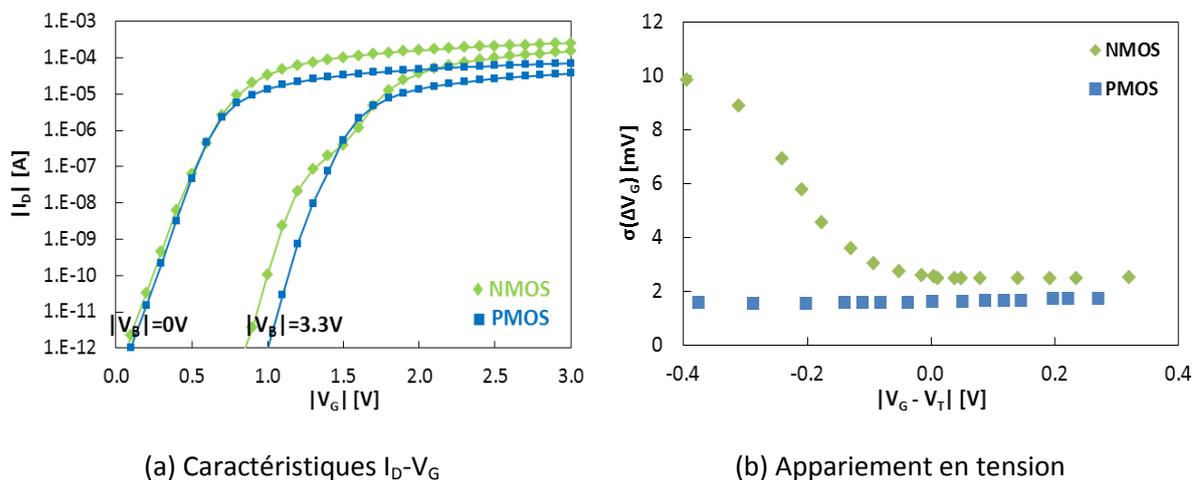


Figure 3.10 : Comparaisons des caractéristiques  $I_D-V_G$  et de l'appariement en tension entre les transistors GO2 NMOS et PMOS ( $W=10\mu\text{m}/L=1.2\mu\text{m}$ )

L'analyse des caractéristiques  $I_D-V_G$  avec effet substrat montre clairement l'impact des transistors parasites sur les transistors NMOS alors qu'il est faible (voire nul) sur les transistors PMOS. Cette observation est confirmée avec la mesure de l'appariement en tension sous le seuil (cf. Figure 3.10b)

qui reste à son minimum en régime de faible inversion pour les transistors PMOS, contrairement aux transistors NMOS.

La comparaison entre les transistors NMOS et PMOS est donc utilisée dans la suite de ce manuscrit pour aider à comprendre quels sont les paramètres à l'origine de l'apparition et de la mise en évidence de l'effet « hump ».

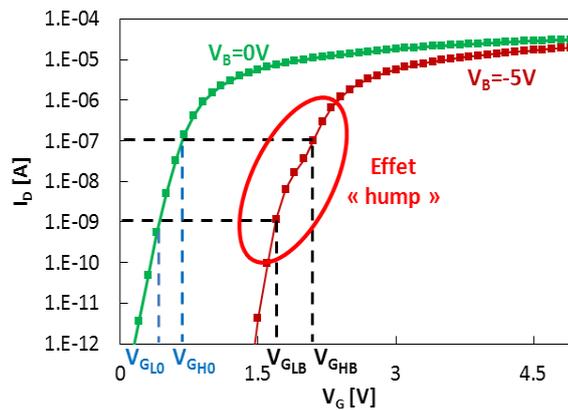
### III.2 Méthode de mesure paramétrique de l'effet « hump »

Une méthode très complète a été proposée dans [Brut'99] afin d'analyser l'effet « hump » de manière fiable. Même si de très bons résultats sont obtenus avec cette méthode, une méthode de mesure paramétrique est mise en place permettant de quantifier rapidement et simplement l'effet « hump ». Cette méthode est basée sur celle proposée par [Schwantes'05]. En effet, les autres méthodes basées sur les caractéristiques  $I_D-V_G$  avec effet substrat (cf. Figure 3.10a ainsi que sa variante utilisée dans le chapitre 2, à savoir le rapport  $g_m/I_D$ ) ou encore la mesure de l'appariement en tension (cf. Figure 3.10b) sont relativement complexes et ne permettent pas de quantifier l'effet « hump » de manière simple et rapide.

L'étude de l'effet « hump » est réalisée sur un transistor de grande surface ( $W=10\mu\text{m}/L=10\mu\text{m}$ ) pour plusieurs raisons :

- Etant donné les dimensions, les mesures effectuées ne subissent pas d'effets dimensionnels indésirables pouvant perturber l'analyse des résultats.
- Ce couple de dimension est présent pour les trois types de transistors étudiés (GO1, GO2 et HV).
- Ce couple de dimension typique est de plus, présent sur toutes les technologies fabriquées par STMicroelectronics.

La première étape de la méthode consiste à mesurer la tension de grille nécessaire pour obtenir un courant de drain situé au-dessus de l'épaule et un autre situé en dessous de l'épaule dans la zone sous le seuil comme l'indique la Figure 3.11.



**Figure 3.11 : Méthode de mesure paramétrique de l'effet « hump » à partir des caractéristiques  $I_D$ - $V_G$  d'un transistor (dans le cas présent : Transistor HV NMOS)**

Les valeurs de courant de drain retenues respectivement au-dessus (correspond à la mesure du  $V_T$  à courant constant) et au-dessous de l'épaulement (deux décades de moins que la mesure supérieure pour ne pas avoir à mesurer des courants trop faibles) sont :

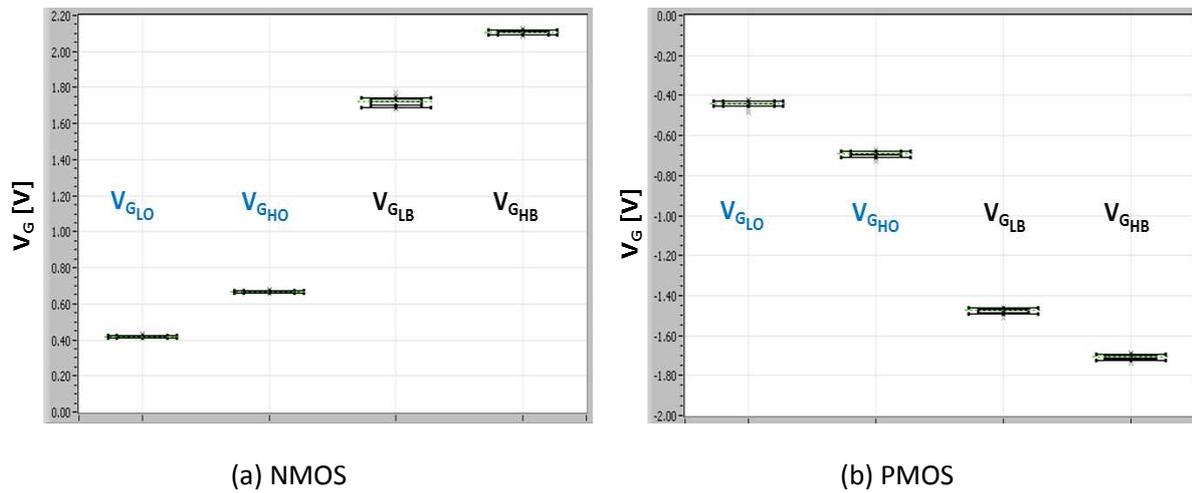
- pour les transistors GO2 et HV :  $|I_D|=100\text{nA}$  et  $|I_D|=1\text{nA}$ ,  $|V_D|=100\text{mV}$ .
- pour les transistors GO1 :  $|I_D|=40\text{nA}$  et  $|I_D|=0.4\text{nA}$ ,  $|V_D|=25\text{mV}$ .

Evidemment, ces mesures sont faites sans ( $|V_B|=0\text{V}$ ) et avec effet substrat ( $|V_B|=V_{DD}$ ) pour mettre en évidence la présence ou non de l'effet « hump ».

Ces quatre mesures de courant (deux niveaux de courant pour deux polarisations de substrat) donnent quatre valeurs de tensions de grille  $V_G$  ayant pour dénomination :

- $V_{G0/B}$  : sans/avec effet substrat.
- $V_{GL/H}$  : valeur au-dessous/au-dessus de l'épaulement.

Ces quatre ensembles de valeurs de tensions peuvent se mettre sous la forme de distributions ou « boxplot » (Figure 3.12). L'axe des ordonnées sur les « boxplot » représente une valeur en tension. Ces valeurs n'ont pas de signification réelle, elles permettent uniquement d'obtenir au final un paramètre permettant de quantifier l'effet « hump ».



**Figure 3.12 : Valeurs mesurées de la tension  $V_G$  en fonction de la polarisation du substrat ( $|V_B|=0V$  et  $|V_B|=5V$ ) pour comparer les transistors HV**

Ensuite, la différence entre la valeur au-dessous et la valeur au-dessus est calculée avec les équations (3.1) et (3.2).

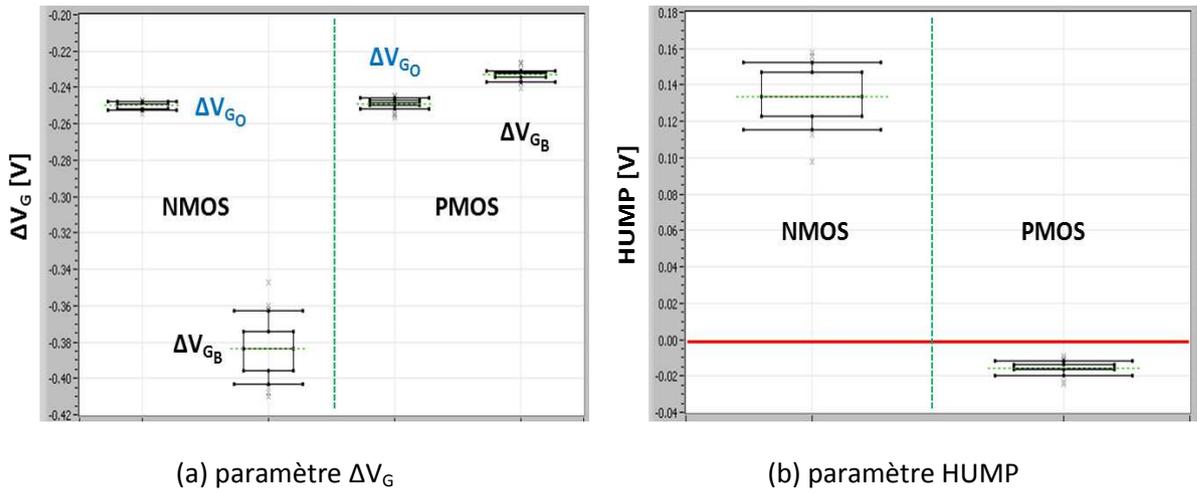
$$\Delta V_{G_0} = V_{G_{L0}} - V_{G_{H0}} \quad (3.1)$$

$$\Delta V_{G_B} = V_{G_{LB}} - V_{G_{HB}} \quad (3.2)$$

L'analyse paramétrique doit être la plus simple possible et ne doit générer qu'un seul paramètre représentatif de l'effet « hump ». A partir des équations précédentes, un dernier paramètre nommé HUMP est introduit d'après la relation (3.3).

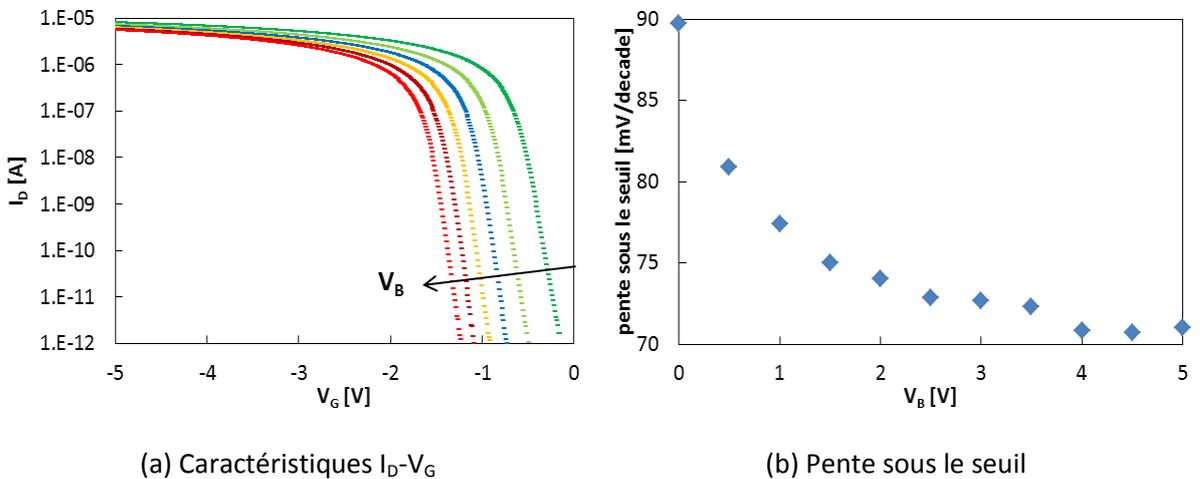
$$HUMP = \Delta V_{G_0} - \Delta V_{G_B} \quad (3.3)$$

Ce seul paramètre permet de déterminer si les dispositifs étudiés présentent un effet « hump » mais également de quantifier ce dernier comme le montre les fluctuations Figure 3.13b.



**Figure 3.13 : Paramètres pour comparer les transistors HV NMOS et PMOS en fonction de la polarisation du substrat ( $|V_B|=0V$  et  $|V_B|=5V$ )**

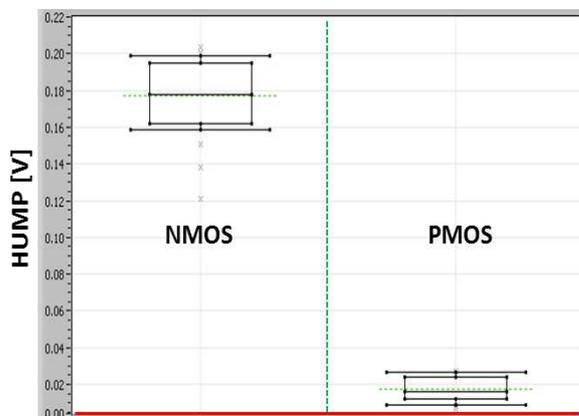
Le « boxplot » représentant le paramètre HUMP des transistors HV NMOS est positif, cela signifie que ces transistors sont impactés par l'effet « hump ». A l'inverse, le paramètre HUMP des transistors HV PMOS est négatif ce qui signifie que les transistors de bord n'ont pas d'impact sur le transistor principal. En effet, le paramètre HUMP doit être théoriquement négatif lorsque les transistors parasites n'ont pas d'impact (transistors HV PMOS). La mesure  $I_D-V_G$  en fonction de la polarisation du substrat sur le transistor HV PMOS permet de le confirmer (cf. Figure 3.14a).



**Figure 3.14 : Caractéristiques  $I_D-V_G$  avec effet substrat ( $V_B=0V/1V/2V/3V/4V/5V$ ) et de la pente sous le seuil en fonction de l'effet substrat ( $V_B$  varie de  $0V$  à  $5V$  par pas de  $0.5V$ ) d'un transistor HV PMOS**

L'évolution de la pente sous le seuil en fonction de  $V_B$  peut être tracée à partir de ces caractéristiques  $I_D-V_G$  (cf. Figure 3.14b). Une diminution de la pente sous le seuil peut être observée à cause de la diminution de la capacité de la zone de désertion  $C_{SC}$  (cf. (2.19)) [Sze] donnant lieu à une pente sous le seuil de plus en plus abrupte ce qui correspond à un paramètre HUMP négatif.

Les transistors GO2 NMOS sont impactés par l'effet « hump » à l'inverse des transistors PMOS. Ceci est confirmé par le paramètre HUMP (cf. Figure 3.15) obtenu à partir de caractéristiques  $I_D-V_G$  et des mesures de l'appariement en tension.

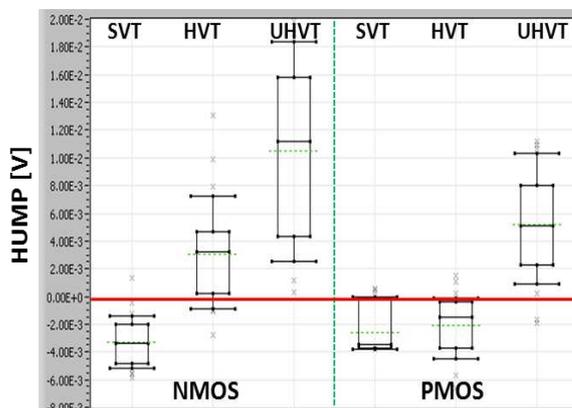


**Figure 3.15 : Paramètre HUMP pour comparer les transistors GO2 NMOS et PMOS**

Une étude du paramètre HUMP est aussi réalisée sur les transistors GO1 NMOS et PMOS. Ces dispositifs ont la particularité de se décliner en trois versions où seul le dopage du canal varie, modifiant ainsi la tension de seuil  $V_T$  des transistors :

- SVT : Transistor avec un  $V_T$  standard.
- HVT : Transistor avec un  $V_T$  élevé. Ce transistor est conçu pour les applications devant limiter leur consommation.
- UHVT : Transistor avec un  $V_T$  très élevé pour les applications à très faible consommation.

En étudiant les transistors GO1, les transistors NMOS et PMOS peuvent être comparés. Il est également possible de voir l'impact du dopage canal et de confirmer ou non le fait que, plus le dopage canal est élevé, plus l'effet « hump » est visible.



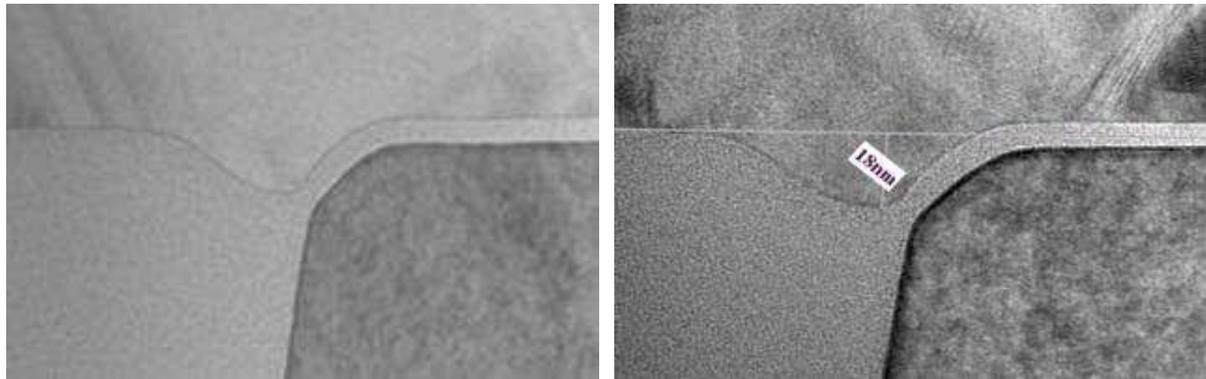
**Figure 3.16 : Paramètre HUMP pour comparer les transistors GO1 NMOS et PMOS en fonction du dopage canal (SVT/HVT/UHVT)**

Le paramètre HUMP indique que les transistors GO1 SVT NMOS et SVT/HVT PMOS ne sont pas impactés par l'effet « hump » (cf. Figure 3.16). Cette analyse confirme également que l'effet

« hump » est accentué quand le dopage canal augmente (augmentation de la différence entre les transistors de bord et le transistor principal expliquée dans [Sallagoity'96]).

### III.3 Analyse expérimentale de l'effet « hump »

L'étape suivante consiste à étudier la morphologie des transistors parasites en réalisant une coupe TEM afin de trouver d'éventuelles différences de forme d'active et/ou « cuvette ».



(a) NMOS

(b) PMOS

**Figure 3.17 : Comparisons coupe TEM entre transistors GO2 NMOS et PMOS ( $W=1\mu\text{m}/L=1.2\mu\text{m}$ )**

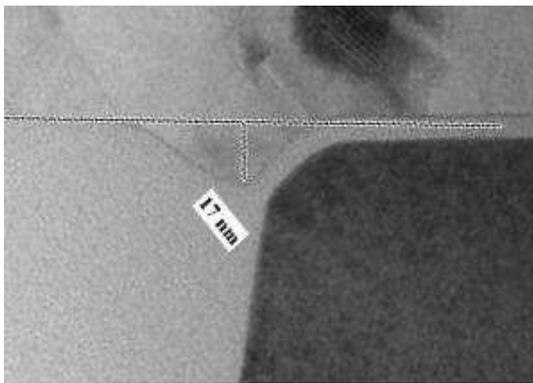
L'analyse morphologique présentée Figure 3.17 ne montre pas de différences significatives pouvant expliquer l'impact de l'effet « hump » sur les transistors NMOS et pas sur les PMOS.

Etant donné que l'effet « hump » dépend essentiellement de la largeur  $W$ , une étude dimensionnelle de la morphologie des transistors de bord est réalisée (cf. Figure 3.18 qui montre la morphologie des transistors NMOS uniquement car nous avons montré Figure 3.17 que la morphologie est la même pour les PMOS). Les différentes profondeurs de la « cuvette » mesurées sur les coupes TEM présentées Figure 3.18 sont reportées Tableau 3.8 afin de trouver un effet en fonction de la taille du transistor.

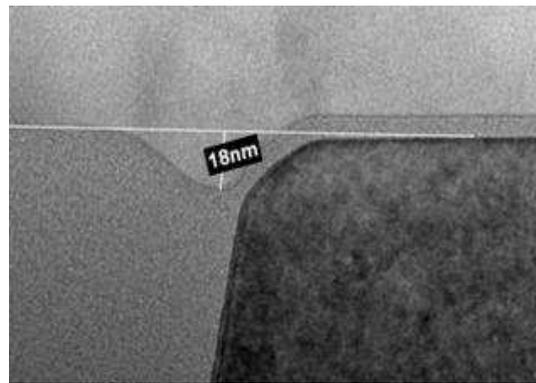
**Tableau 3.8 : Tableau récapitulatif de la profondeur de « cuvette » mesurée sur les coupes TEM**

Largeur $W$ [ $\mu\text{m}$ ]	0.4	0.4	0.4	1	10
Longueur $L$ [ $\mu\text{m}$ ]	0.38	1.2	10	1.2	1.2
Profondeur mesurée sur la coupe TEM [nm]	17	18	18	17	18

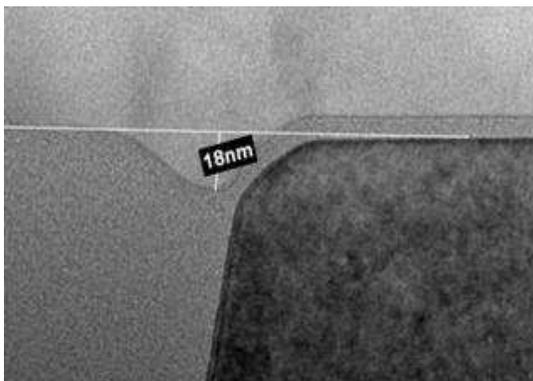
L'analyse morphologique entre les transistors NMOS et PMOS pour différentes dimensions ne permet pas de conclure quant à l'impact de la fabrication des transistors MOS sur l'effet « hump ». Il en découle que la tension de seuil de ces transistors parasites est vraisemblablement plus faible à cause d'un dopage canal moins important que le transistor principal.



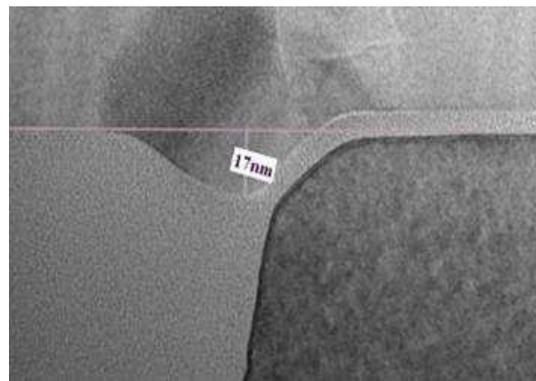
(a)  $W=0.4\mu\text{m} / L=0.38\mu\text{m}$



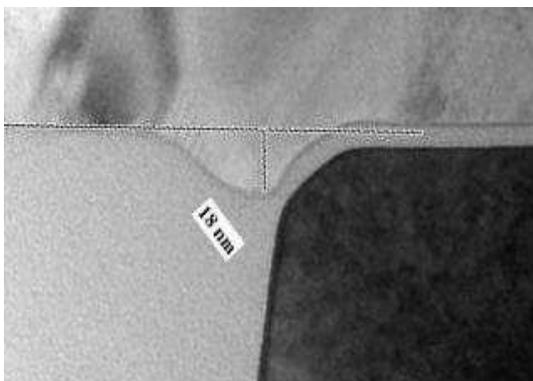
(d)  $W=0.4\mu\text{m} / L=1.2\mu\text{m}$



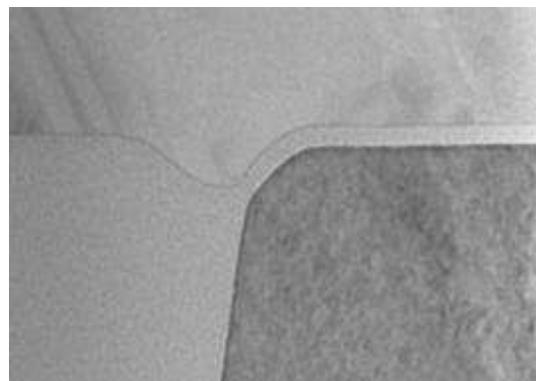
(b)  $W=0.4\mu\text{m} / L=1.2\mu\text{m}$



(e)  $W=1\mu\text{m} / L=1.2\mu\text{m}$



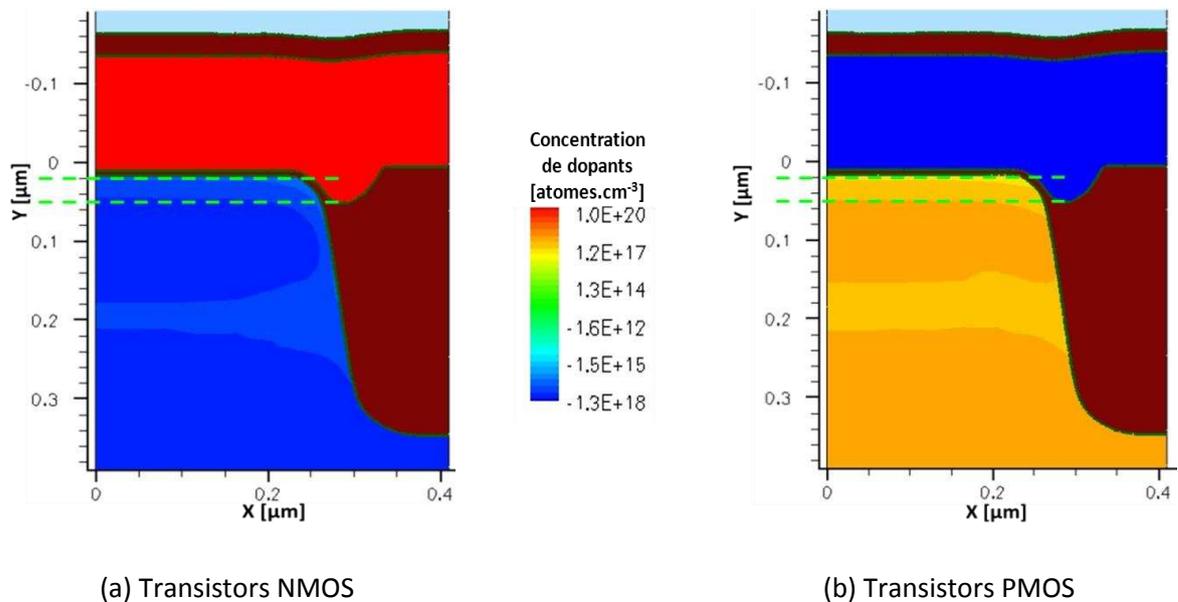
(c)  $W=0.4\mu\text{m} / L=10\mu\text{m}$



(f)  $W=10\mu\text{m} / L=1.2\mu\text{m}$

**Figure 3.18 : Etude dimensionnelle sur les coupes TEM des transistors GO2 NMOS**

Nous allons donc nous intéresser à une deuxième hypothèse pour expliquer le  $V_T$  plus faible des transistors parasites : le dopage du canal. Une simulation TCAD des transistors GO2 est effectuée de manière à évaluer la concentration de dopants dans la structure.

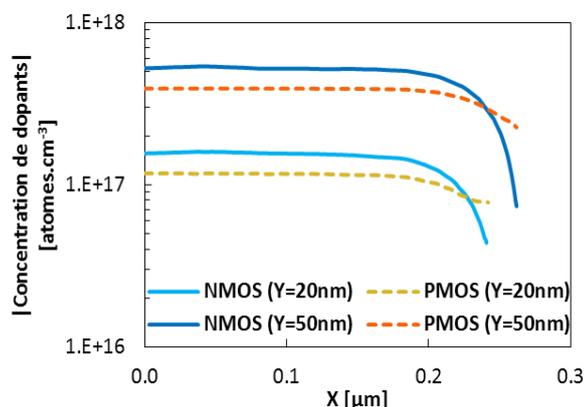


**Figure 3.19 : Simulation TCAD du transistor GO2 (vue en coupe dans la direction de la largeur W)**

La Figure 3.19 présente une distribution des dopants dans la zone active des transistors, l'échelle de concentration s'interprète de la manière suivante :

- pour les valeurs négatives (couleurs froides), les atomes sont de type donneurs comme le Bore et Indium pour doper le canal de type P afin de concevoir un transistor NMOS.
- pour les valeurs positives (couleurs chaudes), les atomes sont de type accepteurs comme le Phosphore ou l'Arsenic pour doper le canal de type N afin de concevoir un transistor PMOS.

Pour pouvoir comparer les concentrations de dopants entre les transistors NMOS et PMOS, ces concentrations sont représentées Figure 3.20 en valeurs absolues pour deux profondeurs (coupe en pointillés verts). L'une proche de la surface (Y=20nm) et l'autre plus en profondeur (Y=50nm).



**Figure 3.20 : Simulation TCAD des transistors GO2 NMOS et PMOS pour deux profondeurs**

Contrairement aux analyses morphologiques réalisées sur les coupes TEM, les simulations TCAD montrent clairement une différence entre les transistors NMOS et PMOS vis à vis des transistors de bord. En effet, la concentration de dopants chute significativement sur les bords du transistor principal NMOS alors que cette différence est nettement moins prononcée pour les transistors

PMOS. Cela peut s'expliquer par une ségrégation plus prononcée des atomes de Bore (dopants dans le canal des transistors NMOS) que les atomes de Phosphore des transistors PMOS (cf. Figure 3.20) [Nouri'00].

C'est cette différence de concentration de dopants entre le centre et le bord du transistor, nettement visible sur les transistors NMOS, qui peut être à l'origine de l'écart important entre les tensions de seuil du transistor principal et des transistors parasites responsable de l'effet « hump ». Ce comportement (différence de  $V_T$  entre le centre et le bord) accentué sur les transistors NMOS et vu en simulation TCAD est confirmé par les mesures de tension de seuil en fonction de la largeur  $W$  (cf. Figure 3.21).

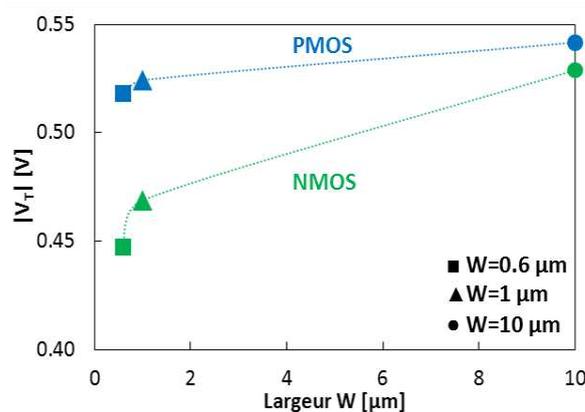


Figure 3.21 : Comparaison des mesures de  $V_T$  entre NMOS et PMOS en fonction de  $W$  ( $L=0.38\mu\text{m}$ )

La comparaison des mesures de tension de seuil entre NMOS et PMOS en fonction de  $W$  confirme l'effet accentué sur les transistors NMOS vu en simulation TCAD. En diminuant la largeur  $W$ , la différence de dopage canal et donc de tension de seuil entre les transistors de bord et le transistor principal est de plus en plus faible, ce qui a pour conséquence de diminuer l'effet « hump ».

### III.4 Solutions pour contrer l'effet « hump »

L'impact de l'effet « hump » sur l'appariement des transistors MOS ainsi que son comportement et ses origines physiques sont démontrés. En conséquence, quelques solutions pour limiter voire même supprimer ces transistors parasites peuvent être proposées avec comme objectif principal d'augmenter la tension de seuil des transistors de bord. Elles s'appliquent aussi bien au niveau circuit, au niveau du procédé de fabrication ou encore, en concevant de nouveaux transistors. Toutes les propositions sont présentées dans le cas de transistors NMOS mais peuvent très bien être appliquées aux transistors PMOS.

#### III.4.a Solutions liées à la conception de circuit

- « Forward Body Bias » ou polarisation du substrat directe

Cette solution est peut-être la plus simple à mettre en œuvre. Etant donné que l'effet « hump » est mis en évidence avec effet substrat, l'idée est tout simplement d'utiliser le comportement inverse

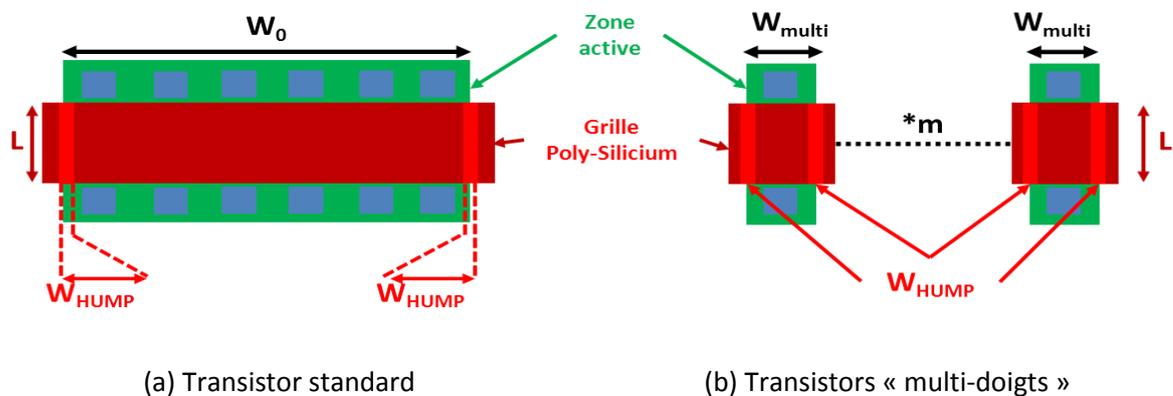
(polarisation du substrat positive dans le cas des transistors NMOS) afin de rendre inactif ces transistors parasites. Cette méthode donne d'excellents résultats (chapitre 2 §II.5) sans avoir besoin d'appliquer une tension de substrat élevée. Cependant, le circuit doit être conçu de manière à avoir une tension  $V_B$  positive et le concepteur doit prendre en compte les fuites supplémentaires générées en utilisant ce mode de polarisation ce qui peut aller à l'encontre d'une conception ultra-basse consommation.

➤ Les transistors « multi-doigts » (ou doigt d'active)

L'appariement en tension d'une paire différentielle polarisée sous le seuil est lié à l'appariement en  $V_T$  des transistors parasites d'après l'équation (3.4).

$$\sigma(\Delta V_G) = \frac{A_{VT}}{\sqrt{2 \cdot W_{HUMP} \cdot L}} \quad (3.4)$$

Les transistors parasites pouvant être modélisés avec des transistors ayant une largeur  $W_{HUMP}$  très faible, leur surface est donc petite et l'appariement se dégrade. L'idée de ces transistors est donc d'augmenter cette largeur  $W_{HUMP}$  en « découpant » le transistor principal en « m » transistors plus étroits en parallèle. m étant le nombre de transistors identiques placés en parallèle. La Figure 3.22, illustre le concept de configuration « multi-doigts ».



**Figure 3.22 : Vue « layout » simplifiée d'un transistor en « multi-doigts »**

Le but est de limiter au maximum l'effet « hump » en augmentant la largeur équivalente des transistors parasites tout en gardant les mêmes caractéristiques pour le transistor principal. A l'aide du paramètre m introduit précédemment, la largeur du transistor principal est donnée par la relation (3.5).

$$W_0 = m * W_{multi} \quad (3.5)$$

Comme cela est utilisé dans le chapitre 2 et démontré morphologiquement dans ce chapitre, une seule et même valeur  $W_{HUMP}$  est considérée quelles que soient les dimensions et le type de transistor MOS étudiés. L'équation (3.4) qui décrit la valeur théorique vers laquelle tend l'appariement en tension sous le seuil devient, dans le cas d'un transistor « multi-doigts », la relation (3.6).

$$\sigma(\Delta V_G) = \frac{A_{VT}}{\sqrt{m \cdot 2 \cdot W_{HUMP} \cdot L}} \quad (3.6)$$

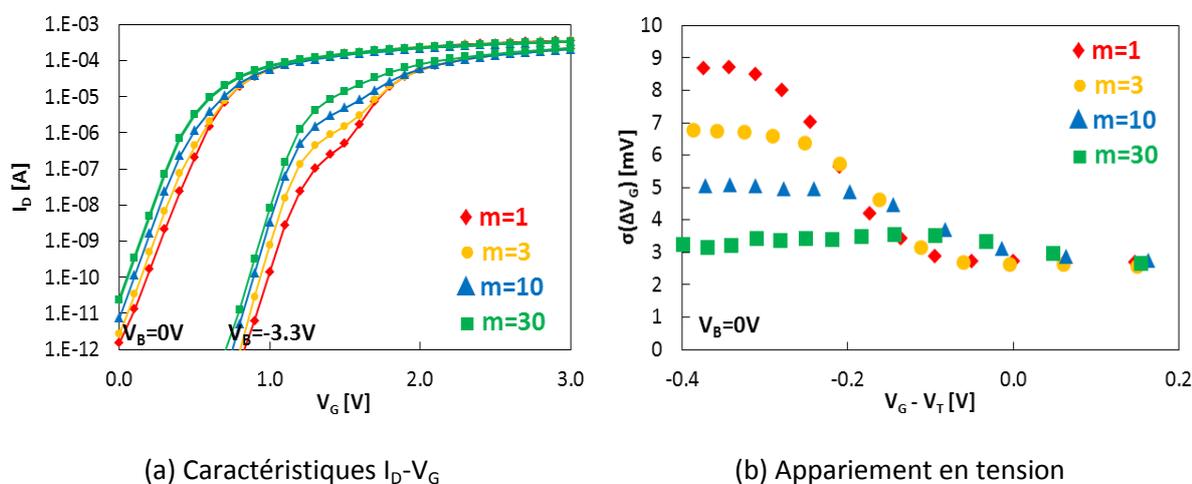
D'après cette équation (3.6), plus le nombre de transistors placés en parallèle est important (plus  $m$  est grand), meilleur sera l'appariement en tension dans la zone sous le seuil (diminué d'un facteur  $\sqrt{m}$ ).

Pour valider cette hypothèse de manière expérimentale, plusieurs structures de test d'appariement ont été mesurées mettant en jeu des transistors MOS GO2 dont les dimensions totales restent constantes ( $W=12\mu\text{m}/L=1\mu\text{m}$ ) mais dont la zone d'active est plus ou moins « découpée » (mise en parallèle des transistors) afin de réaliser des transistors « multi-doigts » (cf. Tableau 3.9).

**Tableau 3.9 : Description des structures de test « multi-doigts »**

Largeur $W$ [ $\mu\text{m}$ ]	12	4	1.2	0.4
Nombre de transistor en parallèle $m$	1	3	10	30

Les caractéristiques  $I_D$ - $V_G$  sans et avec effet substrat sont représentées Figure 3.23a et l'appariement en tension dans la zone sous le seuil Figure 3.23b.



**Figure 3.23 : Comparaisons des caractéristiques  $I_D$ - $V_G$  et de l'appariement en tension en fonction du nombre de doigt des transistors ( $W=12\mu\text{m}/L=1\mu\text{m}$ )**

Plus le nombre de transistors en parallèle est important ( $m$  grand), plus la largeur totale équivalente du dispositif est grande ( $m$  transistors parasites en parallèle), plus le niveau de courant est élevé comme le montre le décalage des courbes  $I_D$ - $V_G$  vers le haut. Ce niveau de courant plus élevé dû aux transistors de bord « efface » l'épaulement normalement visible avec effet substrat. Même si les transistors parasites conduisent le courant de plus en plus tôt avec l'augmentation de  $m$ , l'appariement en tension est nettement amélioré grâce à la surface équivalente totale du dispositif beaucoup plus grande (cf. Equation (3.6)).

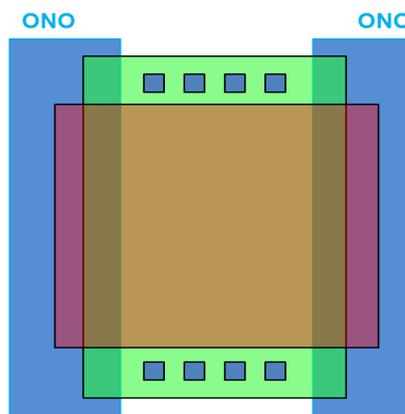
Le « découpage » du transistor principal et la mise en parallèle de transistors plus étroits est, au même titre que la polarisation du substrat inversée, une méthode simple qui permet de limiter l'impact de l'effet « hump ».

### III.4.b Solutions liées au procédé de fabrication

L'effet « hump » est mis en évidence à cause d'un  $V_T$  des transistors en bord d'active plus faible. Ainsi, trois méthodes sont présentées et permettent d'augmenter la tension de seuil des transistors parasites en augmentant (localement) l'épaisseur d'oxyde ou le dopage canal ou en diminuant le dopage de la grille.

#### ➤ Épaisseur oxyde

Une solution utilisant l'oxyde ONO généralement utilisé pour les transistors NVM est proposée par [Schwantes'05]. Cette méthode, qui n'a pas besoin de masque supplémentaire, consiste à déposer la couche ONO au-dessus de la jonction abrupte zone active/STI (cf. Figure 3.24), zone d'apparition des transistors parasites.



**Figure 3.24 : Vue « layout » simplifiée d'un transistor avec la couche ONO**

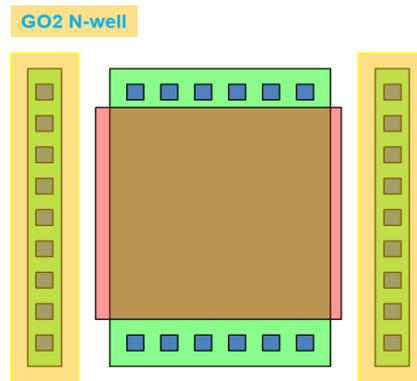
Les résultats satisfaisants obtenus avec cette couche ONO sont dus à l'épaississement local de l'oxyde des transistors parasites ce qui a pour effet de diminuer la capacité d'oxyde en bord d'active et ainsi augmenter le  $V_T$  des transistors de bord (cf. équation (1.3)).

#### ➤ Dopage du canal

La diminution de l'effet « hump » en augmentant le dopage canal des transistors parasites peut se faire de deux manières, soit en évitant que les dopants désertent, soit en sur-dopant les bords d'active.

La première solution consiste à éviter la désertion des dopants en utilisant des oxydes nitrurés qui limitent la diffusion des dopants [Ito'82]. Dans [Kim'00], de bons résultats sont obtenus en nitrurant l'interface STI/zone active afin de réduire cette diminution de  $V_T$  en fonction de la largeur  $W$  (phénomène appelé « Reverse Narrow Width Effect » responsable de l'effet « hump »).

La deuxième solution est de sur-doper en bord d'active pour compenser la ségrégation des dopants. L'effet de la proximité du caisson (« Well Proximity Effect ») peut faire varier le dopage du canal par l'intermédiaire de la réflexion des ions sur la résine lors des étapes d'implantation (cf. §III.3 du chapitre 1). Ce phénomène modifiant le dopage du canal essentiellement en bord d'active, une solution possible est d'utiliser ce phénomène de réflexion pour augmenter le dopage du canal en bord d'active.



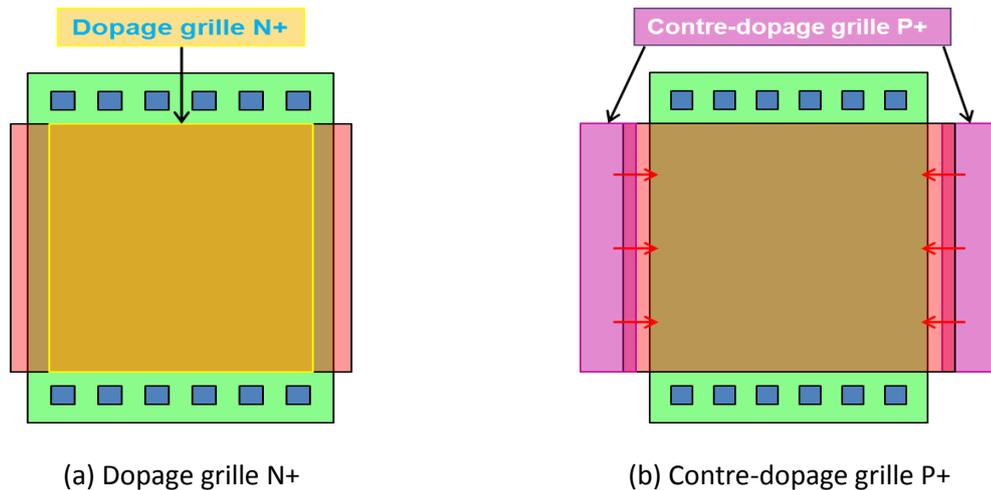
**Figure 3.25 : Vue « layout » simplifiée d'un transistor avec les bords sur-dopés**

Le fait de sur-doper les transistors parasites a pour conséquence d'augmenter leur dopage canal et donc leur tension de seuil. Avec un  $V_T$  plus élevé, l'effet « hump » est moins visible. Cependant, l'implantation étant déjà source de fluctuations, ces effets de rebond et de réflexion de dopants génèrent encore plus de variations, ce qui est problématique pour l'appariement des transistors MOS [Cathignol'08Th].

Une autre méthode pour sur-doper les transistors parasites est d'implanter le canal par les bords de tranchée d'isolation. Cette technique donne également de bons résultats [Fuse'87].

#### ➤ Dopage de la grille

Le dopage de la grille peut également permettre de limiter l'effet « hump ». En effet, en diminuant le dopage de grille  $N_G$ , une tension de seuil plus importante peut être obtenue comme démontré §II avec l'étude du pré-dopage de la grille ( $V_T=0.654V$  avec un fort pré-dopage et  $V_T=0.716V$  avec une grille moins dopée sans étape de pré-dopage). Cette méthode est démontrée dans [Park'08] et permet de supprimer l'effet « hump » en utilisant une zone de dopage canal réduite (ne recouvrant pas les bords d'active) comme illustré Figure 3.26a.



**Figure 3.26 : Vue « layout » simplifiée d'un transistor avec la grille moins dopée en bord d'active**

Ainsi, la surface de dopage de la grille est volontairement réduite pour ne pas doper la grille recouvrant la jonction STI/zone active. En procédant ainsi, la partie de la grille qui contrôle les transistors parasites est moins dopée, ce qui permet d'augmenter leur tension de seuil et donc limiter leur impact.

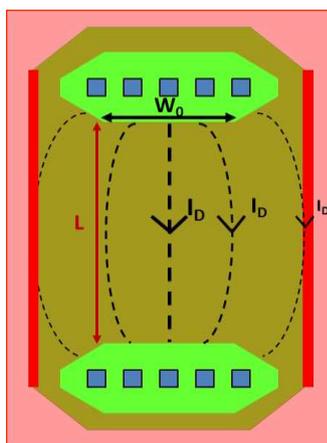
En gardant l'objectif de diminuer localement (là où se trouvent les transistors parasites) le dopage de grille  $N_G$ , une deuxième solution est de garder le procédé de fabrication standard du transistor et de réaliser un contre-dopage (volontaire) de type P+ sur les bords de la grille N+. Afin de ne pas impacter directement les caractéristiques du transistor, ce contre-dopage est réalisé uniquement sur le poly-silicium sans atteindre les zones actives (cf. Figure 3.26b). L'idée est de profiter de la diffusion des dopants (représentée par une flèche rouge) qu'il est possible d'accentuer avec un angle d'implantation élevé (§II.5).

### III.4.c Solutions liées à la conception de nouveaux transistors

La troisième famille de solutions qui permet de s'affranchir des problèmes d'effet « hump » est liée à la conception de nouveaux transistors.

#### ➤ Transistor en « 8 »

L'idée principale du concept de transistor en « 8 » présenté Figure 3.27, est d'éloigner le chemin du courant des transistors parasites.

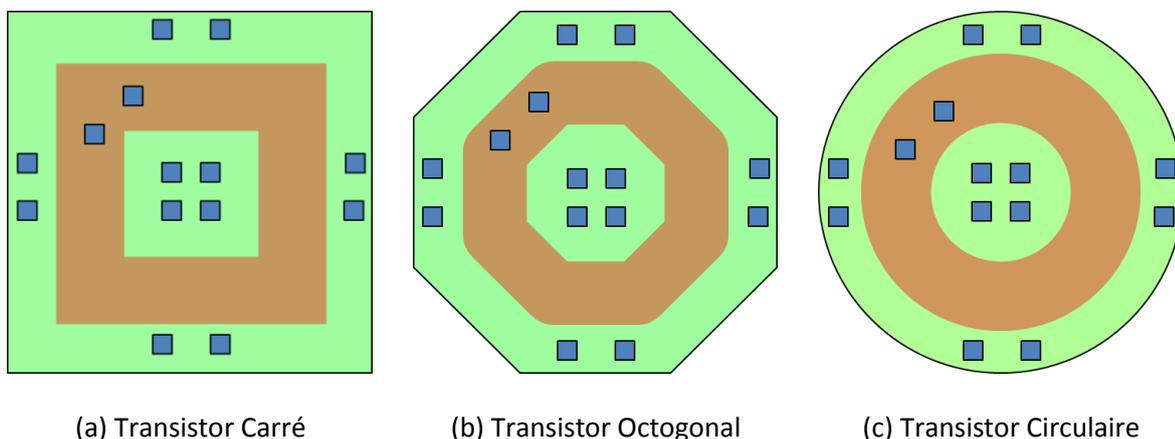


**Figure 3.27 : Vue « layout » simplifiée d'un transistor en « 8 »**

Contrairement aux transistors standards où le courant passe par les transistors parasites à cause de leur  $V_T$  plus faible, le principe de ce type de transistor est, par construction, de déporter les transistors parasites (rouge vif) le plus loin possible du chemin de courant privilégié (pointillés noirs) pour qu'ils aient le moins d'influence possible.

➤ Transistors carrés, octogonaux et circulaires

Le dernier type de dispositif que nous proposons est sans aucun doute le plus robuste par rapport aux transistors parasites. En effet, les trois versions décrites Figure 3.28 (carrée, octogonale ou circulaire), ne présentent pas par construction de jonction active/STI recouverte par du poly-silicium et n'ont, par conséquent, pas de transistors de bord à l'origine de l'effet « hump ».



**Figure 3.28 : Vue « layout » simplifiée de transistors sans jonction Active/STI recouverte de Poly-Silicium**

Les transistors carrés ont été utilisés dans [Sallagoity'96] et les transistors circulaires dans [De Lima'09] pour supprimer l'effet « hump ». L'amélioration apportée par ces transistors sans bord est discutée dans le chapitre 4 (§III) où une comparaison transistors standards/transistors octogonaux est menée.

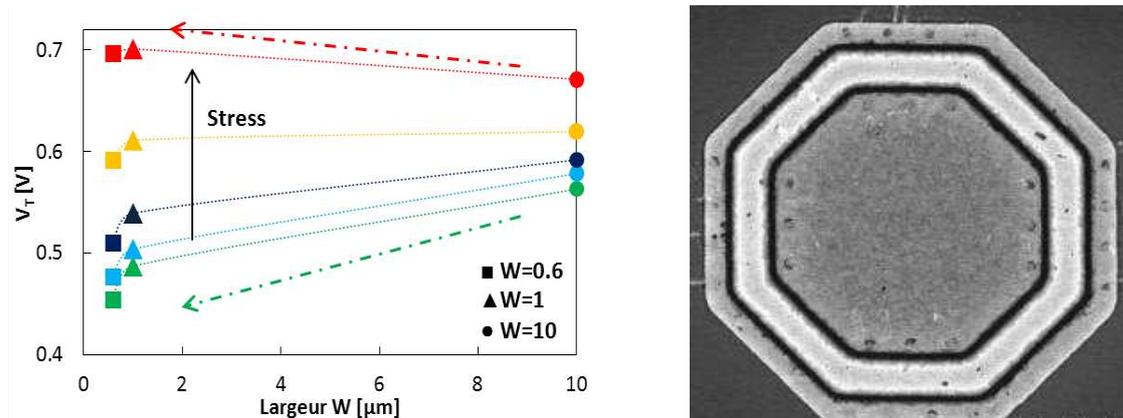
## Conclusion

Le procédé de fabrication est présenté et permet de mettre en évidence l'étape de pré-dopage de la grille des transistors NMOS comme source de désappariement. L'impact de l'énergie et de l'angle d'implantation lors de l'étape de pré-dopage de la grille des transistors MOS a été étudié. Cette analyse, basée sur des simulations TCAD, des mesures électriques effectuées sur des structures de test et des circuits analogiques est réalisée au travers de cinq recettes de pré-dopage de la grille. Si l'énergie d'implantation est trop élevée, l'implantation peut traverser la grille poly-silicium ainsi que l'oxyde et venir contre-doper le canal. Dans ce cas, les fluctuations de dopants dans le canal sont importantes et peuvent conduire à une dégradation de l'appariement des transistors MOS. Les résultats de mesure ont également indiqué que la concentration des dopants dans la grille n'a pas d'impact significatif sur l'appariement des transistors. Enfin, l'étude de l'angle d'implantation a prouvé que réaliser l'étape de pré-dopage avec une inclinaison plus importante semble être une solution efficace pour limiter le contre-dopage du canal tout en gardant une énergie d'implantation élevée permettant un fort dopage de grille.

Une analyse complète de l'effet « hump » a été menée. Après avoir expliqué la méthode paramétrique mise en place pour analyser cet effet induit par les transistors parasites, plusieurs comparaisons entre transistors NMOS et PMOS ont confirmé que l'effet « hump » est plus visible sur les transistors NMOS. L'étude morphologique réalisée sur plusieurs dimensions n'a pas montré de différences significatives permettant d'expliquer la différence entre les transistors NMOS et PMOS. A l'inverse, les simulations TCAD des concentrations de dopants ont permis de révéler une ségrégation des atomes de Bore (canal de type P pour les transistors NMOS) plus importante que sur les transistors PMOS. Ce phénomène de ségrégation, accentué pour les transistors NMOS, a pour conséquence un niveau de concentration de dopants très faible sur les bords du transistor. Cette différence de dopage est responsable de la différence de tension de seuil entre les transistors parasites et le transistor principal. L'étude des transistors GO1 (SVT, HVT, UHVT) a mis en évidence un impact des transistors de bord plus prononcé avec l'augmentation du dopage canal (différence de dopage plus prononcée entre le centre et le bord). Enfin, plusieurs solutions découlant des études précédentes ont été proposées afin de réduire voire supprimer l'effet « hump » au niveau du procédé de fabrication, de l'utilisation et de la polarisation des transistors ou encore grâce à la conception de nouveaux dispositifs.



## Chapitre 4 Etude de la dégradation de l'appariement des transistors MOS sous stress porteurs chauds



La fiabilité de l'appariement des transistors MOS est étudiée sous stress porteurs chauds mettant en évidence une dépendance en fonction de la largeur du transistor. Les transistors parasites se dégradant plus vite et ayant une contribution plus importante sur les transistors étroits, ces derniers se dégradent plus vite. Un modèle reliant la dégradation de l'appariement de la tension de seuil avec la dérive de la tension de seuil au cours du temps est validé. Les transistors octogonaux sont introduits pour supprimer l'effet « hump » du fait de l'absence de jonction STI/zone active recouverte par du poly-silicium. En conséquence, un appariement en tension stable et minimal est obtenu dans la zone sous le seuil. Il est également démontré que ces transistors octogonaux se dégradent moins que les transistors standards. Enfin, des transistors octogonaux ayant le drain à l'extérieur de la grille poly-silicium sont étudiés et donnent de meilleurs résultats de fiabilité en limitant les effets de coin lorsque le drain est à l'intérieur.

<b>Introduction</b> .....	<b>117</b>
<b>I Présentation des différents stress électriques</b> .....	<b>117</b>
I.1 Principe du stress électrique par injection de porteurs chauds (HCI) .....	117
I.2 Appariement des transistors MOS et stress électriques .....	118
I.3 Protocole expérimental .....	119
<b>II Comparaison de la dégradation des transistors NMOS et PMOS sous stress HC</b> .....	<b>120</b>
II.1 Dégradation des caractéristiques $I_D$ - $V_G$ .....	120
II.2 Dégradation de la tension de seuil $V_T$ .....	120
II.3 Dégradation de l'appariement de la tension de seuil $\Delta V_T$ .....	123
II.4 Corrélation entre les variations de $V_T$ et $\Delta V_T$ .....	124
II.5 Modélisation de la dégradation HC .....	125
II.6 Impact de la dégradation HC sur l'appariement en tension sous le seuil .....	126
II.7 Etude liée au procédé de fabrication du transistor NMOS .....	127
<b>III Etude des transistors octogonaux</b> .....	<b>129</b>
III.1 Présentation des transistors octogonaux.....	129
III.2 Comparaison transistor Standard/Octogonal .....	130
III.3 Dégradation de la tension de seuil .....	132
III.4 Dégradation de l'appariement de la tension de seuil .....	133
III.5 Inversion des sources et drains des transistors octogonaux.....	135
III.6 Etude des transistors PMOS .....	136
<b>Conclusion</b> .....	<b>137</b>

## Introduction

La fiabilité est définie comme la propriété d'un composant électronique à conserver sa fonctionnalité dans le temps. A partir de modèles de vieillissement ou de tests expérimentaux accélérés, il est possible d'estimer la durée de vie d'un composant. Lorsque le transistor MOS est soumis à une contrainte électrique (également appelée stress tout au long de ce chapitre), des charges peuvent être piégées principalement à l'interface Si/SiO<sub>2</sub> ou dans l'oxyde de grille, et ainsi faire dériver les principaux paramètres de fonctionnement du dispositif. Ces tests de fiabilité peuvent être également des tests irréversibles permettant de déterminer les tensions de claquage des oxydes ou de mettre en évidence des phénomènes physiques comme le « snapback » [Schroder]. L'objectif de ces différents tests de fiabilité est de calculer les durées de vie des composants ou de proposer des modèles de dégradation pour les concepteurs et leurs permettre ainsi de changer les géométries ou les polarisations pour augmenter la durée de fonctionnement de leurs circuits.

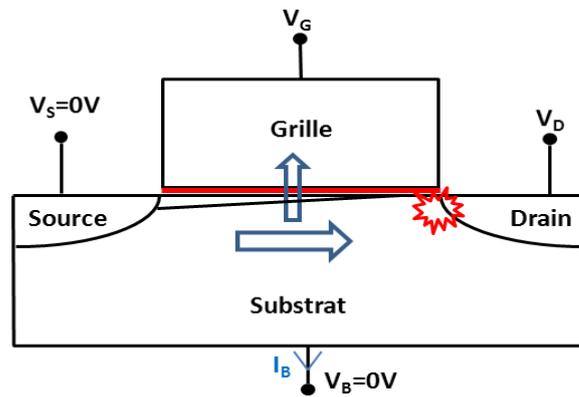
Une présentation du stress porteurs chauds pouvant apparaître pendant le fonctionnement d'un dispositif est donnée dans la première partie de ce chapitre ainsi qu'un état de l'art des différents travaux portant sur la dégradation de l'appariement des transistors MOS. Dans la seconde partie, une comparaison de la dégradation des transistors NMOS et PMOS est menée. L'analyse de la dégradation de l'appariement de la tension de seuil permet de valider un modèle de dégradation pour les concepteurs [Joly'11c]. Les effets de bord peuvent avoir un impact important sur la dégradation des transistors. Ainsi, une étude de fiabilité comparative est présentée entre les transistors octogonaux et les transistors standards [Joly'11b].

## I Présentation des différents stress électriques

Pour étudier la fiabilité des composants, un stress par injection de porteurs chauds (HCI pour « Hot Carriers Injection ») est utilisé et expliqué. Un état de l'art des travaux sur la dégradation de l'appariement des transistors MOS est ensuite exposé. La dernière partie est consacrée à la présentation du stress utilisé pour réaliser les comparaisons décrites §II et §III.

### I.1 Principe du stress électrique par injection de porteurs chauds (HCI)

Lorsque le transistor MOS est polarisé en régime saturé (forte valeur de la tension de drain  $V_D$ ), un champ électrique très important est présent dans la zone de pincement entre l'extrémité du canal et le drain. Ce champ électrique élevé accélère fortement les porteurs libres du canal qui acquièrent alors une énergie suffisante (« porteurs chauds ») pour induire le phénomène d'ionisation par impact en générant des paires électron-trou additionnelles (cf. Figure 4.1). Ce processus peut devenir cumulatif et conduire au phénomène d'avalanche au niveau du drain (DAHC « Drain Avalanche Hot Carriers »). La présence de porteurs chauds peut être à l'origine de la dégradation de l'oxyde et de l'apparition d'un courant substrat  $I_b$  constitué de trous issus de l'ionisation par impact dans le cas des transistors NMOS ou d'électrons pour les PMOS.



**Figure 4.1 : Schéma d'une contrainte électrique par porteurs chauds**

Dans le cas d'un stress porteurs chauds, la dégradation des paramètres d'un transistor MOS peut avoir pour effets [Benard'08Th] :

- Une augmentation de la tension de seuil  $V_T$ .
- Une dégradation de la mobilité des porteurs.
- Une diminution du courant de drain  $I_D$  et de la transconductance  $g_m$ .
- Une diminution de la pente sous le seuil due à l'influence des états d'interface.
- Une augmentation du GIDL [Lopez'04Th].

La dégradation par stress porteurs chauds est asymétrique, les défauts se trouvent principalement du côté du drain.

## 1.2 Appariement des transistors MOS et stress électriques

Les premiers travaux sous contraintes électriques datent des années 60 [Deal'67] et fin des années 80 pour l'étude de l'appariement des transistors MOS [Lakshmikumar'86] [Pelgrom'89]. Un des premiers travaux étudiant l'évolution de l'appariement des transistors MOS sous stress électrique montre clairement une dégradation accentuée sur les transistors courts et les transistors PMOS [Michael'92b]. A la fin des années 90, il faut souligner les nombreux travaux liés aux étages différentiels [Thewes'94], aux miroirs et sources de courant [Thewes'96], et plus généralement aux applications analogiques [Thewes'99] [Thewes'01]. Dans [Chen'01], une étude porteurs chauds portant sur les transistors NMOS et une étude NBTI (« Negative Bias Temperature Instabilities ») pour les PMOS montre qu'une légère variation de la tension de drain ou de grille lors du stress accentue le désappariement des transistors. L'appariement des transistors NMOS et PMOS sous stress porteurs chauds est également étudié dans [Lin'05] et sous stress NBTI [Wu'08]. Un modèle de dégradation NBTI est introduit dans [Rauch'02] et permet de prédire l'évolution de l'appariement des transistors en fonction du décalage de la tension de seuil. Ce modèle est repris dans [Agostinelli'04] qui confirme le modèle avec de nouvelles mesures. Dans [Rauch'07], ce modèle est complété et étendu à une étude sur les mémoires SRAM.

### I.3 Protocole expérimental

D'après l'état de l'art existant, l'étude de la dégradation des paramètres des transistors MOS se focalise particulièrement sur l'évolution de l'appariement sous stress porteurs chauds. Sachant que ce stress porteurs chauds est accéléré avec la diminution de la longueur  $L$  [Benard'08Th], l'analyse est faite sur trois transistors GO2 (oxyde de grille de  $65\text{\AA}$ ) de différentes largeurs ( $W= 0.6, 1$  et  $10\mu\text{m}$ ) et ayant une longueur fixe  $L=0.38\mu\text{m}$ . Les conditions les plus dégradantes (déterminées pour la technologie 90nm étudiée) sont utilisées pour stresser les transistors. A savoir, la méthode du courant de substrat maximum pour les transistors NMOS et la condition de polarisation  $V_G=V_D$  pour les transistors PMOS comme présenté Tableau 4.1.

**Tableau 4.1 : Méthodes et conditions de stress pour les transistors NMOS et PMOS**

	NMOS	PMOS
Méthode	$I_b$ maximum	$V_G=V_D$
$V_G$ [V]	2.5	-5.4
$V_D$ [V]	5.4	-5.4

Même si la probabilité de voir fonctionner les transistors dans de telles conditions de polarisation dans un circuit analogique est extrêmement faible, ces tensions de grille et de drain sont utilisées afin d'obtenir une dégradation significative avec un temps de stress limité permettant une analyse statistique correcte. Le nombre de puces testées pour chaque étude est de 64. Le temps total de stress est de 3000s avec trois séquences de mesures intermédiaires telles que présentées dans le Tableau 4.2 (le code couleur en fonction des séquences de stress est utilisé dans ce chapitre).

**Tableau 4.2 : Séquence de mesure en fonction du stress**

Temps de stress [s]	0	100	300	1000	3000
---------------------	---	-----	-----	------	------

Toutes les mesures de la tension de seuil (valeur et appariement) présentées dans ce chapitre sont obtenues en utilisant une routine de test à courant constant (équation (4.1)).

$$I_D = 100nA \cdot \frac{W}{L} \quad (4.1)$$

Afin d'étudier les cinétiques de dégradation d'un paramètre  $P$  ( $I_D, g_m, \dots$ ), le paramètre de dégradation  $DP$  (en pourcentage) se calcule à l'aide de l'expression (4.2).

$$DP(\%) = \frac{P - P_0}{P_0} \quad (4.2)$$

Par contre, le décalage de la tension de seuil dans le temps à cause de la contrainte électrique noté  $\delta V_T$  est calculé en valeur absolue par rapport à la valeur initiale telle que :

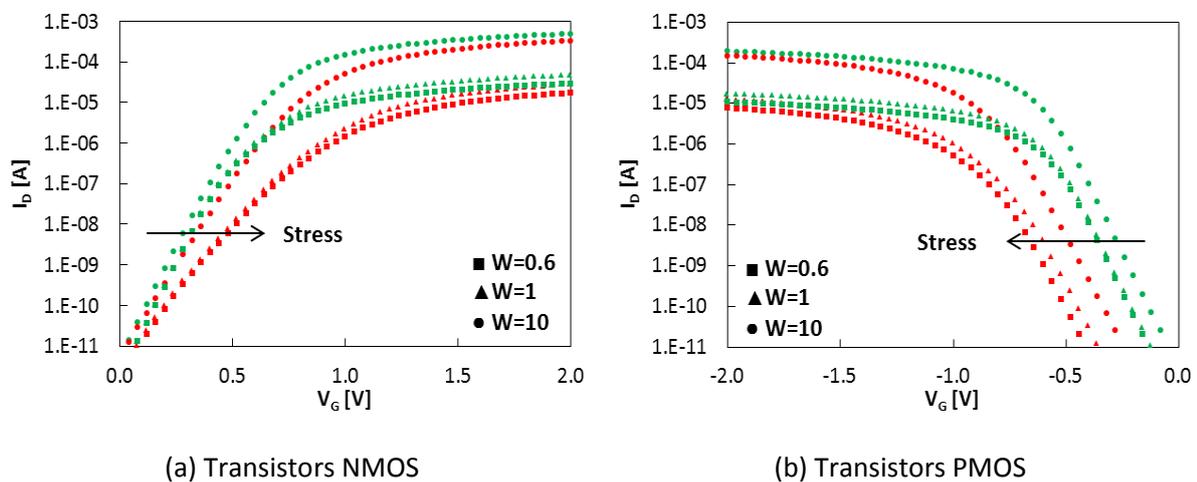
$$\delta V_T = V_T - V_{T0} \quad (4.3)$$

## II Comparaison de la dégradation des transistors NMOS et PMOS sous stress HC

En utilisant les contraintes électriques précédemment décrites, nous allons étudier le comportement des transistors NMOS et PMOS soumis à un stress porteurs chauds pour les trois largeurs  $W$  sélectionnées. Tout d'abord l'évolution des caractéristiques  $I_D-V_G$  et de la tension de seuil  $V_T$  puis de la dégradation de l'appariement de  $V_T$  sont étudiées au cours du stress. La corrélation entre les variations de  $V_T$  et  $\Delta V_T$  est ensuite précisée ainsi que le modèle de dégradation associé. La dernière partie est consacrée à une étude liée au procédé de fabrication basée sur l'analyse réalisée dans le chapitre 3.

### II.1 Dégradation des caractéristiques $I_D-V_G$

L'évolution des caractéristiques  $I_D-V_G$  avant (vert) et après (rouge) stress est donnée Figure 4.2.

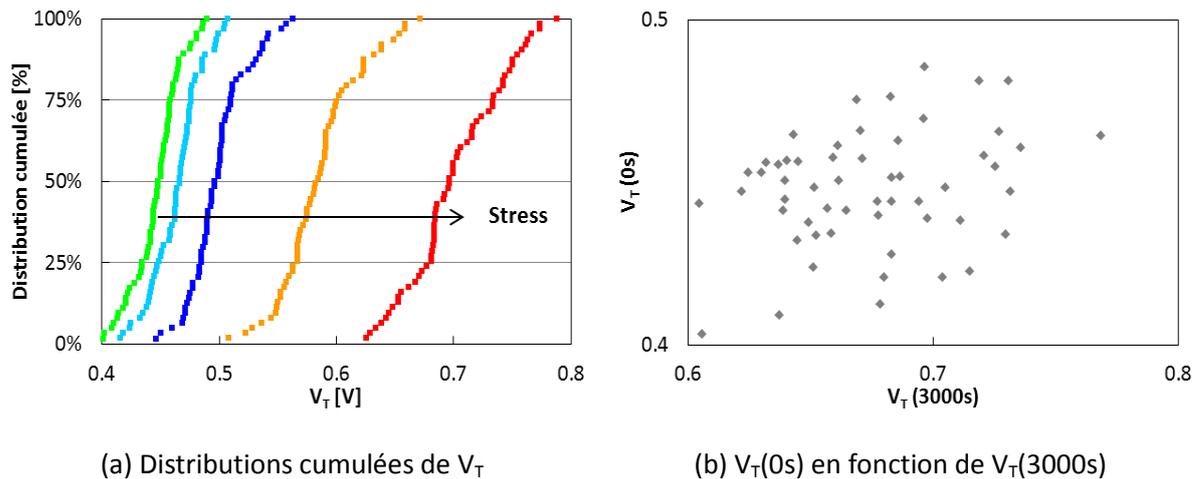


**Figure 4.2 : Caractéristiques  $I_D-V_G$  avant (vert) et après (rouge) stress**

- (a) Transistors NMOS : L'évolution au cours du stress permet de voir une dégradation de la pente sous le seuil essentiellement due à la création d'états d'interface [Goguenheim'06HDR].
- (b) Transistors PMOS : Un décalage des courbes  $I_D-V_G$  peut être observé lié aux charges fixes positives piégées dans l'oxyde par injection de trous chauds [Goguenheim'06HDR].

### II.2 Dégradation de la tension de seuil $V_T$

D'après la dégradation observée sur les caractéristiques  $I_D-V_G$ , les distributions cumulées des valeurs de la tension de seuil en fonction du stress peuvent être tracées Figure 4.3a.



**Figure 4.3 : Evolution du  $V_T$  en fonction du stress (NMOS  $W=0.6\mu\text{m}/L=0.38\mu\text{m}$ )**

De l'observation de la distribution cumulée des valeurs de  $V_T$  mesurées sur un transistor NMOS ( $W=0.6\mu\text{m}/L=0.38\mu\text{m}$ ) ressort deux constatations :

- La tension de seuil augmente à cause des charges fixes et des états d'interface générés pendant le stress (cf. équation (1.3)).
- Ces charges fixes et états d'interface surviennent de manière aléatoire d'un transistor à un autre. En effet, il n'y a aucune raison physique à ce que la quantité de charges fixes ou d'états d'interface générés durant le stress soit strictement la même pour tous les transistors. Aucune corrélation entre la tension de seuil avant et après stress n'est visible (cf. Figure 4.3b). Ainsi, partant de cette constatation, une nouvelle source de fluctuation introduite par le stress porteurs chauds vient s'ajouter aux variations intrinsèques des transistors MOS (en vert). Cela a pour conséquence une augmentation des fluctuations de tensions de seuil avec le nombre de défauts générés (cf. Figure 4.3a).

En prenant les valeurs médianes (valeurs à 50%) de ces distributions cumulées pour les transistors NMOS et PMOS de chaque dimensions, l'évolution du  $V_T$  en fonction de la largeur est tracée Figure 4.4.

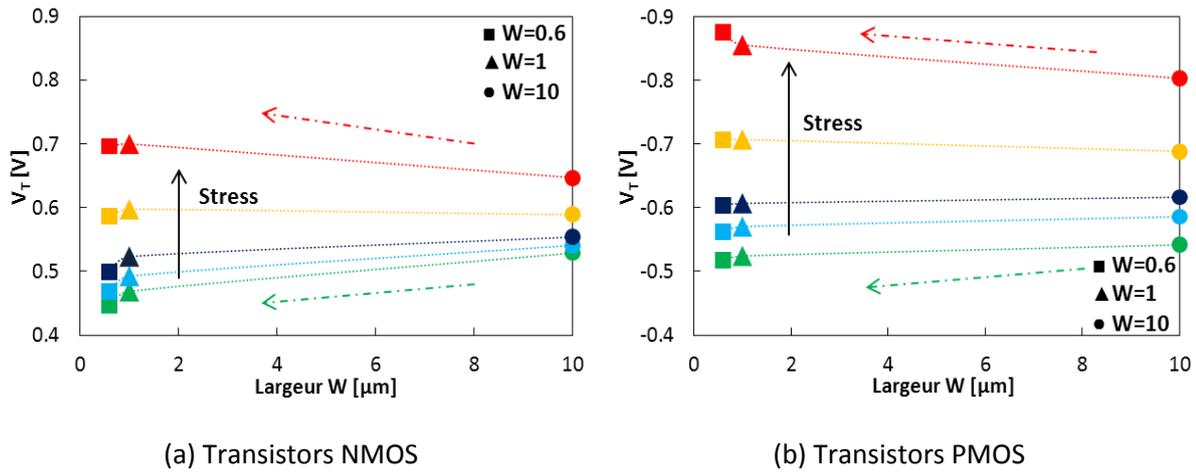


Figure 4.4 : Evolution du  $V_T$  en fonction du stress

Un autre effet en fonction de la largeur  $W$  est visible sur les transistors NMOS et PMOS. Au cours du stress, la dégradation est d'autant plus importante que  $W$  est petit. Cette constatation a déjà été observée dans [Nishigohri'96] sous stress porteurs chauds puis plus tard dans [Math'08] sous stress NBTI ou sur transistors TFT (« Thin Film Transistor ») [Huang'08]. Cet effet est attribué aux transistors de bord se dégradant plus vite que le transistor principal. Ainsi, à cause d'une dégradation plus importante sur les transistors étroits, la tension de seuil des dispositifs  $W=0.6\mu\text{m}$  et  $W=1\mu\text{m}$  augmente plus rapidement et devient supérieure au  $V_T$  du transistor  $W=10\mu\text{m}$  après un stress porteurs chauds : la diminution de la tension de seuil avec  $W$  (flèches vertes) s'inverse donc au cours de la contrainte électrique (flèches rouges).

Ce décalage (« shift ») également appelé dérive (« drift ») est représenté en fonction du temps de stress pour les trois dimensions étudiées NMOS et PMOS d'après l'expression (4.3).

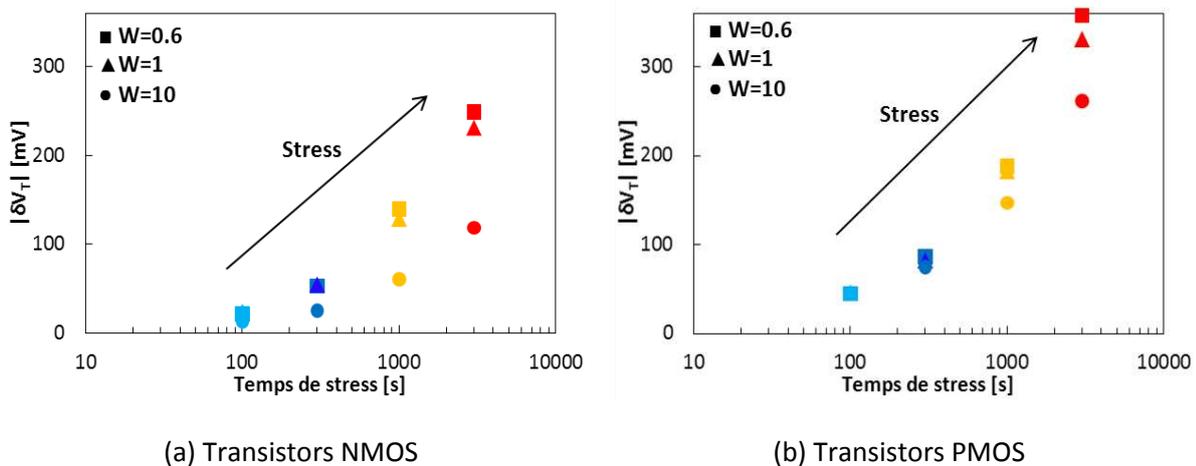


Figure 4.5 : Dérive du  $V_T$  par rapport au  $V_T$  initial en fonction du stress

La dégradation plus importante sur les transistors PMOS et accentuée pour les  $W$  faibles se retrouve dans la dérive du  $V_T$  et peut devenir problématique pour les applications analogiques précises nécessitant une valeur de tension de seuil stable au cours du temps.

### II.3 Dégradation de l'appariement de la tension de seuil $\Delta V_T$

La Figure 4.6a montre l'évolution de l'appariement du  $V_T$  des transistors MOS au cours du stress HC.

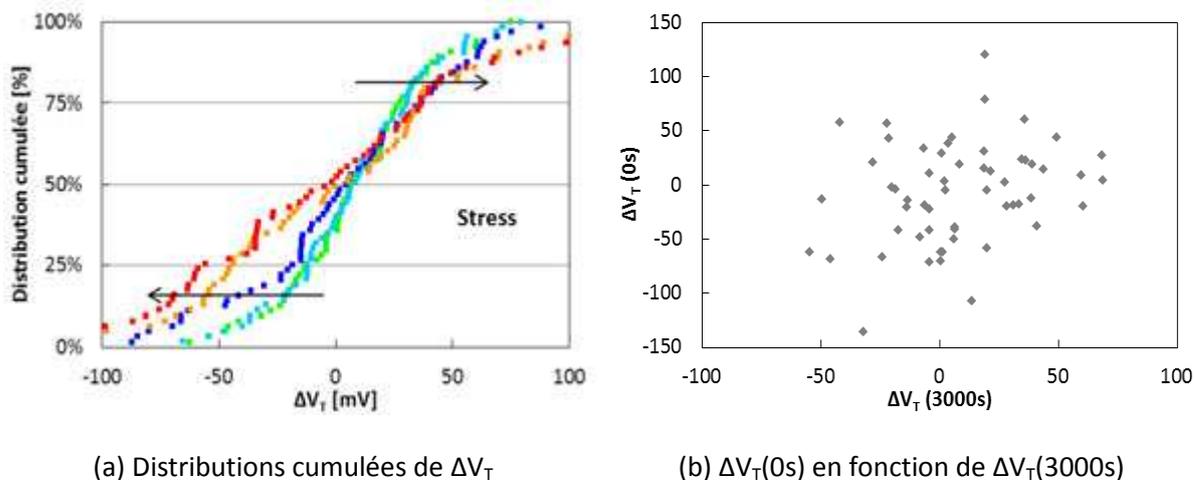


Figure 4.6 : Evolution de  $\Delta V_T$  en fonction du stress (NMOS  $W=0.6\mu m/L=0.38\mu m$ )

Comme pour le  $V_T$ , la dégradation du  $\Delta V_T$  augmente de manière aléatoire avec le nombre de défauts générés (cf. Figure 4.6b).

Cela se traduit par une augmentation des fluctuations locales avec le stress représentées Figure 4.7 sur les transistors NMOS et PMOS pour les trois largeurs étudiées.

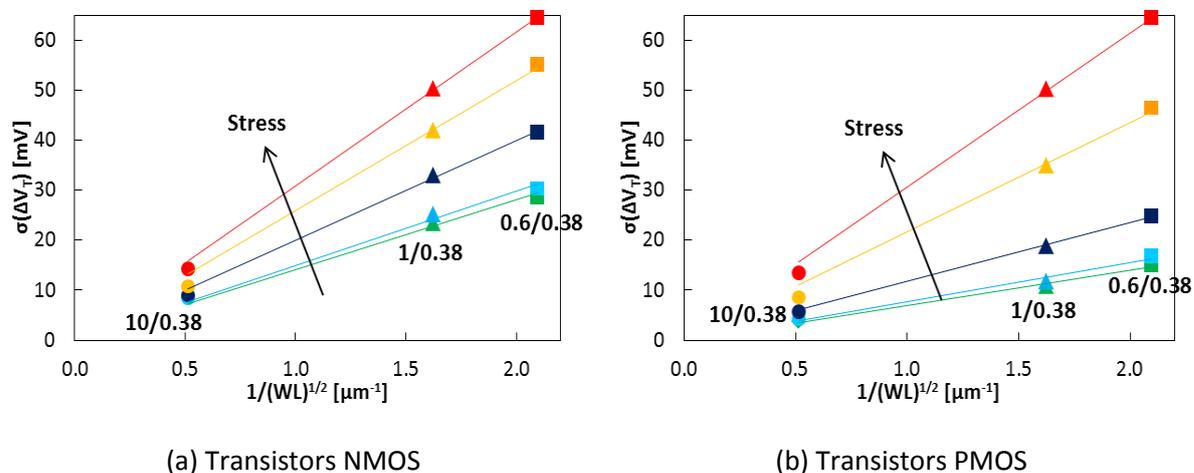


Figure 4.7 : Comparaison NMOS/PMOS de l'appariement de la tension de seuil en fonction du stress

La loi d'appariement définie par [Pelgrom'89] est également tracée (traits pleins) afin de représenter le comportement de l'appariement de la tension de seuil au cours du stress. Cela permet de constater que, pour un stress donné, les données de mesure sont toujours en accord avec la règle d'appariement.

Les valeurs du paramètre d'appariement  $A_{V_T}$  obtenues à partir des données de la Figure 4.7 sont reprises Tableau 4.3.

**Tableau 4.3 : Comparaison NMOS/PMOS du paramètre d'appariement de la tension de seuil en fonction du stress**

$A_{VT}$ [mV.μm]	Temps de stress [s]				
	0	100	300	1000	3000
Transistors NMOS	14.1	15.0	20.0	26.0	30.8
Transistors PMOS	7.0	7.8	11.8	21.8	30.7

Comme pour les valeurs de  $V_T$ , l'appariement de la tension de seuil est également fortement dégradé par le stress HC. Cette dégradation est également plus importante sur les transistors PMOS.

### II.4 Corrélation entre les variations de $V_T$ et $\Delta V_T$

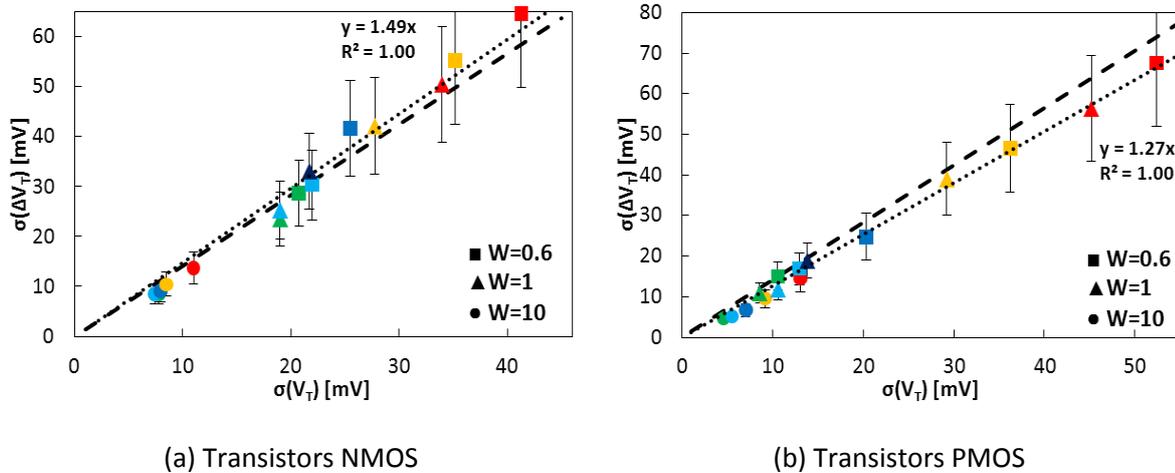
Après avoir étudié les variations de  $V_T$  et de  $\Delta V_T$  pendant le stress HC, il est possible de vérifier la corrélation qui existe entre ces deux grandeurs. En effet, la différence des deux paramètres est mesurée (en l'occurrence les tensions de seuil  $V_{T1}$  et  $V_{T2}$ ) pour les deux transistors constituant la structure de test puis calculée afin d'obtenir  $\Delta V_T$ . Ces deux valeurs sont liées par la relation (4.4).

$$\sigma(\Delta V_T) = \sqrt{\sigma^2(V_{T1}) + \sigma^2(V_{T2}) - 2\rho \cdot \sigma(V_{T1})\sigma(V_{T2})} \tag{4.4}$$

Où  $\rho$  est le facteur de corrélation entre les fluctuations de  $V_{T1}$  et  $V_{T2}$ . Or, les variations  $\sigma(V_{T1})$  et  $\sigma(V_{T2})$  étant égales et indépendantes (les fluctuations de l'un n'ayant aucune raison d'influer ni même d'avoir des valeurs inférieures ou supérieures à l'autre), l'équation précédente peut se simplifier ( $\rho=0$ ) et devient :

$$\sigma(\Delta V_T) = \sqrt{2} \cdot \sigma(V_T) \tag{4.5}$$

Afin de vérifier cette relation, les valeurs de  $\sigma(\Delta V_T)$  sont tracées en fonction de  $\sigma(V_T)$  dans un intervalle de confiance de 99% pour les transistors NMOS et PMOS au cours du stress :



**Figure 4.8 : Relation entre les variations et l'appariement de  $V_T$ . Droite de corrélation (points) et valeur théorique  $\sqrt{2}$  (pointillés)**

Une bonne corrélation (aux incertitudes de mesure près) est visible pour les transistors NMOS et PMOS au cours du stress électrique et proche de la valeur théorique  $\sqrt{2}$  (cf. (4.5)). En effet, la dégradation reste un phénomène aléatoire et il n'y a pas de dégradation systématique introduite par le stress HC.

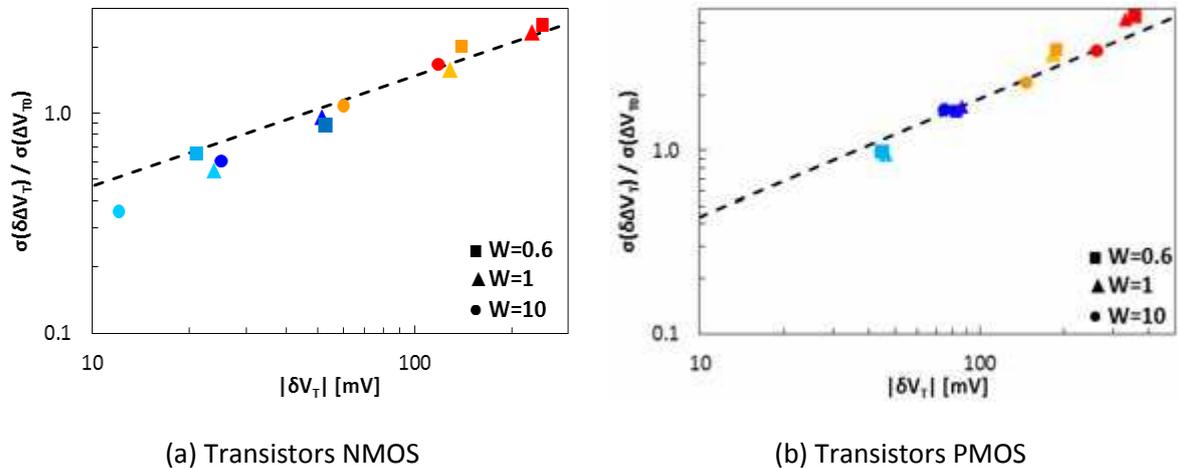
## II.5 Modélisation de la dégradation HC

Un travail dédié à l'impact du stress électrique NBTI sur les transistors PMOS a démontré une corrélation entre la dégradation de l'appariement de la tension de seuil et le décalage du  $V_T$  [Rauch'02]. Ainsi, en utilisant les propriétés uniformes de dégradation sous contraintes NBTI et en émettant l'hypothèse que le nombre de charges induites par le stress suit une loi de Poisson, la variance de l'appariement induit pendant le stress peut se mettre sous la forme (4.6) [Rauch'02].

$$\sigma^2(\delta\Delta V_T) = K \cdot \frac{2qT_{ox}}{\epsilon_{ox} \cdot WL} \cdot \langle \delta V_T \rangle \quad (4.6)$$

Où  $\langle \delta V_T \rangle$  représente le décalage moyen de la tension de seuil dû au stress (valeurs de la Figure 4.5) et K est un paramètre d'ajustement défini dans [Rauch'02].

Une tendance similaire peut s'observer en cas de stress porteurs chauds. De plus, le modèle de dégradation présenté précédemment et confirmé dans [Agostinelli'04] est utilisé Figure 4.9 (pointillé) pour illustrer la corrélation.



**Figure 4.9 : Rapport des sigmas du décalage de l'appariement au cours du stress et de l'appariement initial en fonction de  $\delta V_T$**

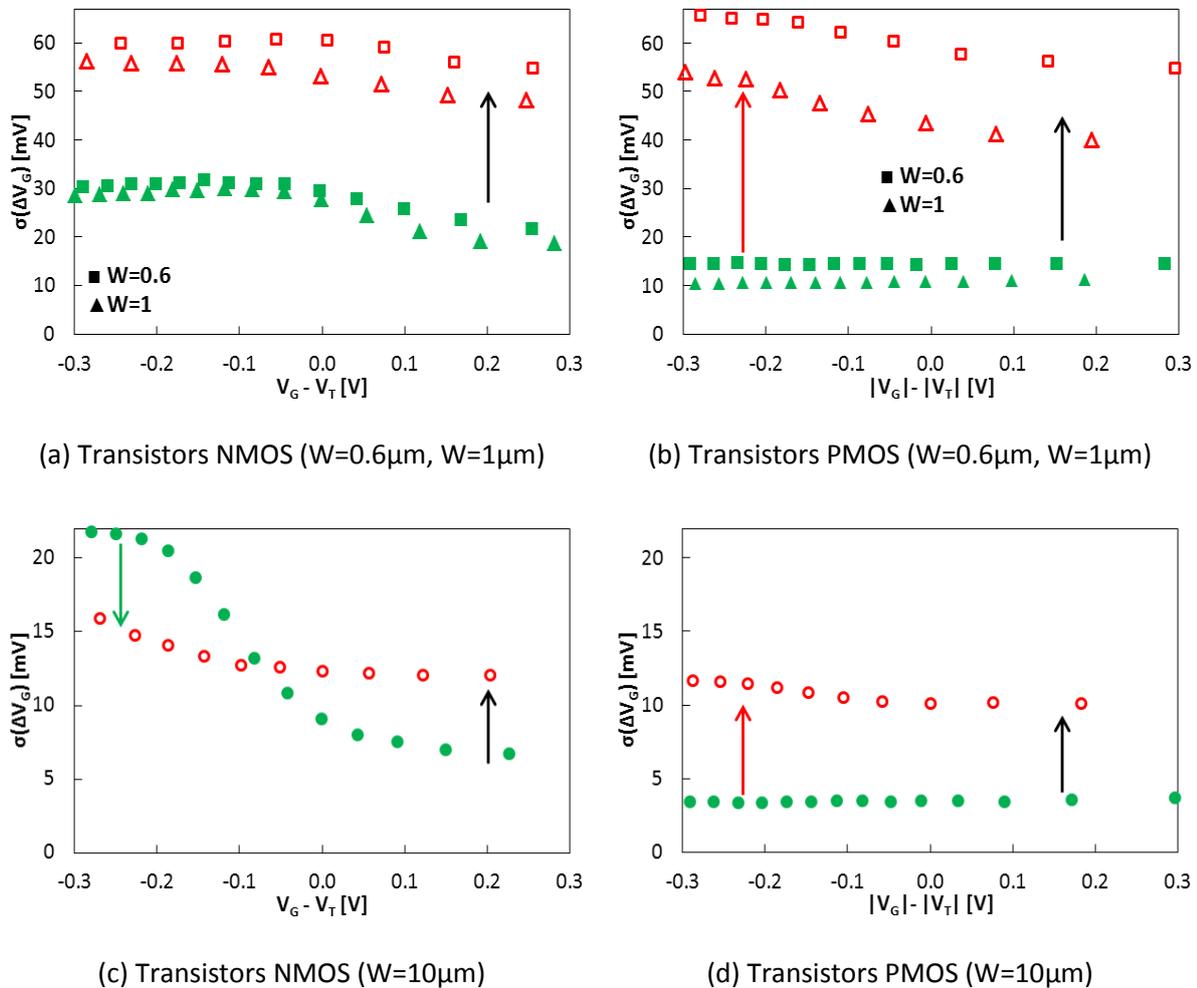
Le modèle décrivant l'évolution de l'appariement de la tension de seuil des transistors PMOS sous stress NBTI peut également être utilisé en cas de stress HC.

Finalement, le stress HC dégrade la valeur de tension de seuil  $V_T$  mais également les fluctuations locales en fonction du  $\delta V_T$ . Le modèle de dégradation proposé peut aider à modéliser et prédire la dégradation de la tension de seuil et ainsi améliorer la fiabilité des circuits lors de leur conception.

## II.6 Impact de la dégradation HC sur l'appariement en tension sous le seuil

L'appariement en tension dans la zone sous le seuil dépend de l'appariement de la tension de seuil  $V_T$ . Or, l'appariement en tension est dégradé dans la zone sous le seuil à cause des transistors parasites responsables de l'effet « hump ». En effet, à cause d'une tension de seuil plus faible que le transistor principal, la conduction du courant de drain est assurée par les transistors parasites avec la diminution de  $V_G$ . Ces transistors de bord peuvent être modélisés par un transistor ayant un  $W$  très faible (par rapport au transistor central) et disposent donc d'une valeur d'appariement en tension élevée due à leur surface réduite. Cette valeur élevée est responsable de la remontée de l'appariement en tension en régime de faible inversion. Les transistors GO2 étudiés présentent de l'effet « hump » sur les transistors NMOS et quasiment pas sur les PMOS.

L'appariement en tension avant (en vert) et après stress HC (en rouge) est montré Figure 4.10.



**Figure 4.10 : Comparaison NMOS/PMOS de l'appariement en tension en fonction du stress**

Pour les valeurs situées juste au-dessus du seuil ( $|V_G| - |V_T| > 0$ ), l'appariement en tension dépend principalement de  $V_T$ . Or, l'appariement de la tension de seuil se dégrade pendant le stress HC (cf. Figure 4.7). En conséquence, cette dégradation (augmentation de l'appariement en  $V_T$ ) se retrouve

dans la partie  $|V_G| - |V_T|$  positive quelle que soit la dimension et sur les transistors NMOS et PMOS (flèche noire).

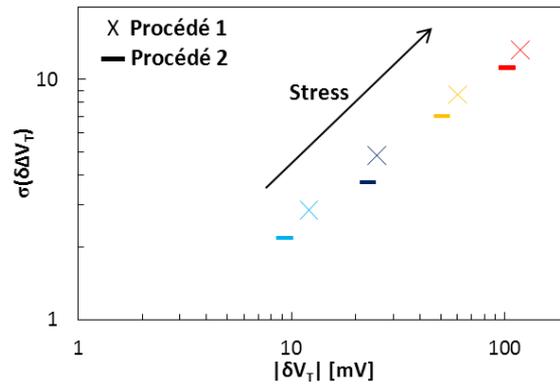
Pour décrire le comportement de l'appariement en tension dans la zone sous le seuil, il est nécessaire de se servir de l'évolution de  $V_T$  en fonction de la largeur au cours du stress (cf. Figure 4.4) :

- Transistors NMOS : pour  $W=0.6\mu\text{m}$  et  $W=1\mu\text{m}$ , l'appariement en  $V_T$  se dégrade, donc l'appariement en tension est dégradé également. Pour  $W=10\mu\text{m}$  (cf. Figure 4.10c), la remontée sous le seuil à cause des transistors parasites est moins prononcée à la fin du stress HC (flèche verte). cette remontée est causée par la conduction des transistors parasites plus rapide que le transistor principal. Or, la dérive du  $V_T$  est nettement plus forte sur les transistors de faible largeur (et par conséquent sur les transistors parasites). Ainsi, l'impact de l'effet « hump » sur l'appariement en tension diminue avec le stress porteurs chauds, diminuant donc la remontée sous le seuil.
- Transistors PMOS : Dans le cas des transistors PMOS, les transistors de bords conduisent encore moins le courant (même explication que pour les transistors NMOS). Cependant, la dégradation très importante de l'appariement en  $V_T$  observée Figure 4.7b est responsable de la légère remontée sous le seuil visible pour les trois dimensions Figure 4.10b et d (flèches rouges).

Cette étude montre une dégradation différente des transistors de bord des transistors NMOS et PMOS.

## II.7 Etude liée au procédé de fabrication du transistor NMOS

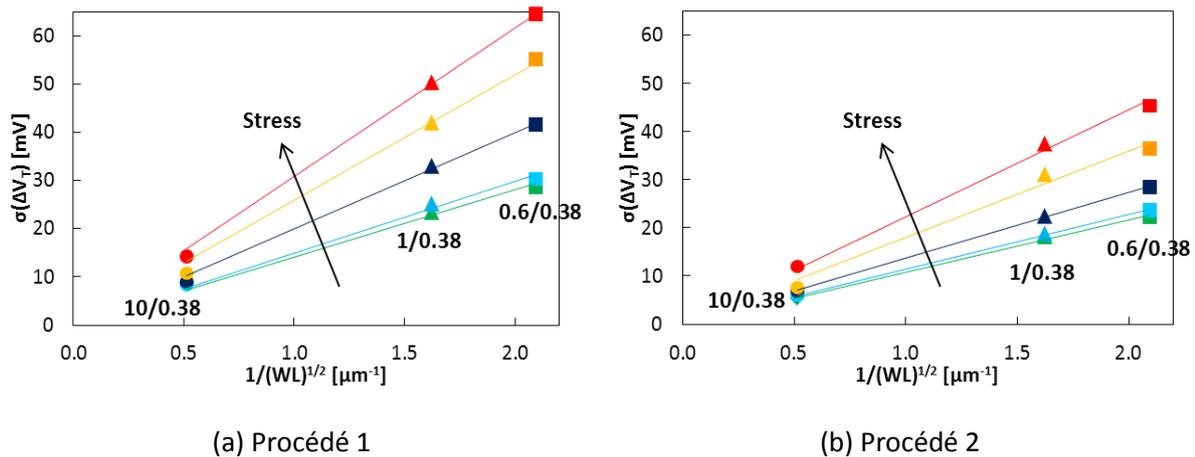
Cette partie est consacrée à l'étude de la fiabilité de l'appariement de la tension de seuil sur deux procédés de fabrication. Suite aux résultats et observations donnés dans le chapitre 3 §II et obtenus sur le procédé 1, quelques étapes du procédé de fabrication sont modifiées. Ainsi, pour le procédé 2, l'énergie d'implantation lors du pré-dopage de la grille des transistors NMOS est réduite pour être sûr de ne pas contre-doper le canal (la dose implantée est augmentée pour compenser cette réduction d'énergie et avoir le même niveau de dopage dans la grille). La dose du canal est quant à elle réduite.



**Figure 4.11 : Evolution du sigma du décalage de l'appariement au cours du stress en fonction de  $\delta V_T$  pour les deux procédés de fabrication étudiés ( $W=10\mu\text{m}/L=0.38\mu\text{m}$ )**

La Figure 4.11 montre que la dégradation de la tension de seuil ( $\delta V_T$ ) induit une dégradation de l'appariement du  $V_T$  suivant la même cinétique pour les deux procédés de fabrication. Cependant, cette dégradation est plus faible dans le cas du procédé 2.

L'étude de l'appariement de la tension de seuil en fonction du stress est donnée Figure 4.12.



**Figure 4.12 : Comparaison de l'appariement de la tension de seuil des deux procédés de fabrication étudiés en fonction du stress**

Les valeurs de  $A_{VT}$  calculées à partir des régressions linéaires sont reportées Tableau 4.4.

**Tableau 4.4 : Comparaison du paramètre d'appariement en  $V_T$  des deux procédés de fabrication étudiés en fonction du stress**

$A_{VT}$ [mV· $\mu\text{m}$ ]	Temps de stress [s]				
	0	100	300	1000	3000
Procédé 1	14.1	15.0	20.0	26.0	30.8
Procédé 2	10.9	11.4	13.7	18.0	22.2

Comme attendu, cette étude en fonction du stress HC confirme l'amélioration de l'appariement de la tension de seuil en diminuant l'énergie d'implantation (pas de contre-dopage à cause d'une énergie trop importante) et offre ainsi une cinétique de dégradation moins prononcée sur le procédé 2 que sur le procédé 1.

### III Etude des transistors octogonaux

La dégradation sous stress HC est accentuée à cause des transistors de bord. Ces transistors de bord, à l'origine de l'effet « hump », peuvent être supprimés avec une conception octogonale. Dans ce contexte, une comparaison entre les transistors standards et octogonaux est proposée dans cette partie. Cette comparaison est menée sur des transistors NMOS car l'impact des transistors parasites est plus important sur des dispositifs de type N. Les transistors sont présentés dans le paragraphe suivant puis leurs performances sont comparées avec les transistors standards. Ensuite, une comparaison de la dégradation de la tension de seuil puis de l'appariement du  $V_T$  est réalisée. Une comparaison de transistors octogonaux ayant leurs drains à l'intérieur avec des transistors octogonaux ayant leurs drains à l'extérieur est également proposée. Enfin, une étude sur les transistors PMOS permet de confirmer la meilleure fiabilité obtenue avec des transistors octogonaux.

#### III.1 Présentation des transistors octogonaux

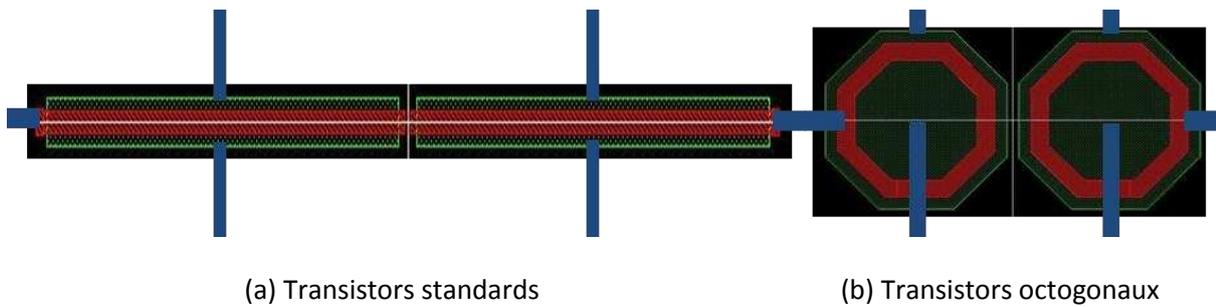
Les transistors octogonaux ne présentent pas, par conception, de poly-silicium recouvrant une jonction Active/STI et donc de transistors de bord. Ils sont composés d'une zone d'active sur laquelle est dessiné un anneau octogonal de poly-silicium pour définir la grille du transistor. Le drain correspond à la surface d'active au centre du dispositif et la source à la zone d'active à l'extérieur de l'anneau octogonal de poly-silicium. Les contacts de grille sont placés directement sur la grille en poly-silicium sur active. Ce « layout » de contact n'est généralement pas autorisé dans les circuits standards. Cependant, aucun problème de fiabilité n'a été détecté lors de nos mesures.

La largeur  $W$  est donnée par la valeur du périmètre moyen de l'anneau octogonal de poly-silicium mesuré en son milieu. Pour des raisons simples de proportions géométriques, la conception de tels transistors impose une largeur  $W$  minimale en fonction de la longueur choisie. Ainsi, pour  $L=0.38\mu\text{m}$ , les dimensions données Tableau 4.5 sont étudiées :

**Tableau 4.5 : Largeurs  $W$  mesurées suivant le type de transistor ( $L=0.38\mu\text{m}$ )**

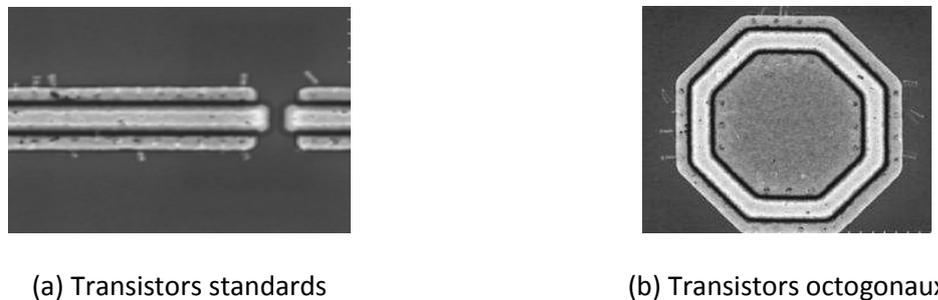
Transistor	Largeur $W$ [ $\mu\text{m}$ ]
Standard	0.6, 1, 10
Octogonal	4.5, 7.2, 10, 20

Ces valeurs permettront d'obtenir le paramètre d'appariement de  $V_T$ . Cependant, l'étude se focalise sur la seule largeur commune pour comparer les transistors standards et les transistors octogonaux :  $W=10\mu\text{m}/L=0.38\mu\text{m}$ . La Figure 4.13 présente le « layout » des structures d'appariement étudiées.



**Figure 4.13 : Vue « layout » simplifiée de la structure de test étudiée ( $W=10\mu\text{m}/L=0.38\mu\text{m}$ )**

Afin de vérifier l'intégrité des transistors (surtout les transistors octogonaux), des photos SEM en vue de dessus (« Scanning Electron Microscopy ») sont réalisées en enlevant au fur et à mesure les différentes couches pour finalement ne laisser apparaître que le poly-silicium et l'active (cf. Figure 4.14).

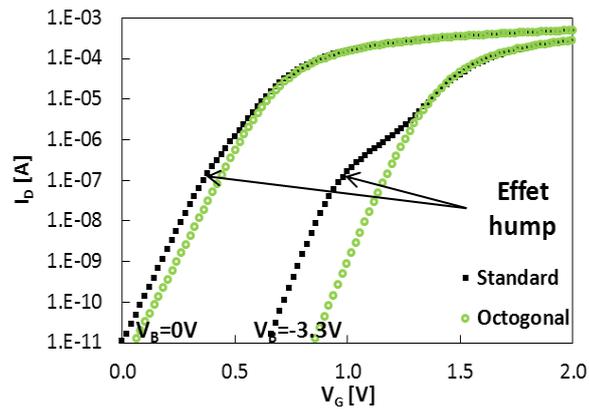


**Figure 4.14 : Vue SEM du dessus de la structure de test étudiée ( $W=10\mu\text{m}/L=0.38\mu\text{m}$ )**

Après avoir vérifié que les transistors étudiés sont physiquement bien réalisés, ils sont caractérisés. Les contraintes électriques et les mesures réalisées sur ces transistors sont les mêmes que celles décrites §1.3.

### III.2 Comparaison transistor Standard/Octogonal

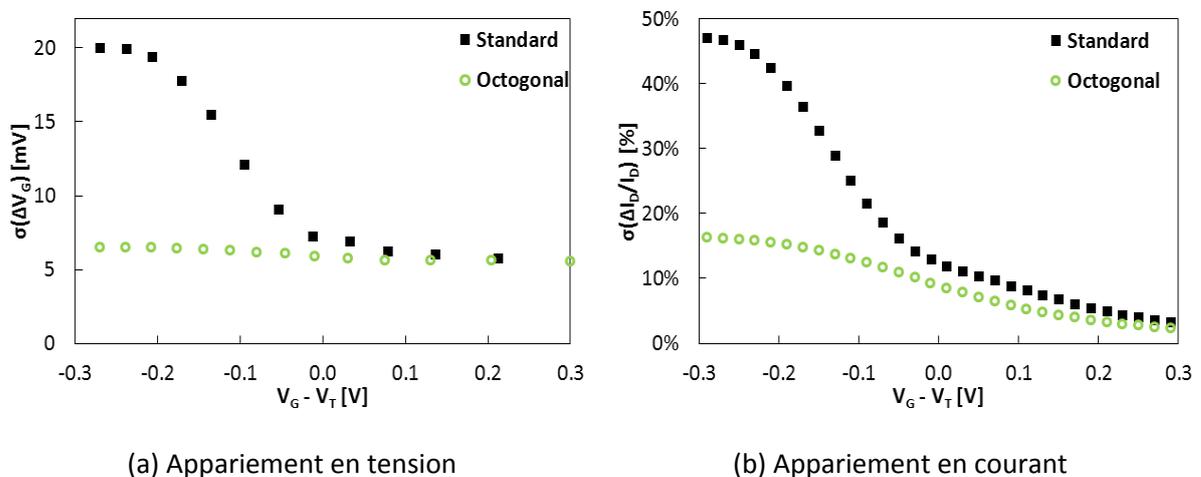
L'effet « hump » étant visible avec effet substrat, la première caractérisation à faire pour comparer les transistors standards et octogonaux est de tracer les caractéristiques de ces dispositifs avec effet substrat (cf. Figure 4.15).



**Figure 4.15 : Comparaison des caractéristiques  $I_D$ - $V_G$  entre un transistor standard et un transistor octogonal ( $W=10\mu\text{m}/L=0.38\mu\text{m}$ )**

La déformation présente sur la caractéristique du transistor standard avec une polarisation du substrat négative est clairement supprimée sur le transistor octogonal étant donné qu'il ne possède pas de transistors parasites. De plus, sans polarisation du substrat, la superposition des deux courbes permet de voir la légère déformation due à l'effet « hump » sur le transistor standard.

L'impact de ces transistors octogonaux sur les appariements en tension et en courant autour du  $V_T$  et dans la zone sous le seuil est donné Figure 4.16.



**Figure 4.16 : Comparaison de l'appariement en tension et en courant entre un transistor standard et un transistor octogonal ( $W=10\mu\text{m}/L=0.38\mu\text{m}$ )**

La remontée sous le seuil, conséquence de la conduction du courant assurée par les transistors parasites, n'est plus présente sur le transistor octogonal car il ne présente pas d'effet « hump ». De plus, comme présenté dans le chapitre 2 (cf. équation (2.13)), le meilleur appariement en tension est obtenu en régime de faible inversion et reste constant suivant la tension de grille.

L'augmentation de l'appariement en courant dans la zone sous le seuil à cause des transistors de bord est également démontrée en étudiant les fluctuations locales du courant de drain. En effet, les variations changent clairement autour de 0V et augmentent par rapport aux fluctuations des

transistors parasites. Ce phénomène n'est bien sûr pas présent sur le transistor octogone où l'appariement en courant est nettement amélioré dans la zone sous le seuil par rapport au transistor standard.

### III.3 Dégradation de la tension de seuil

L'évolution de la tension de seuil en fonction de la largeur des transistors est tracée au cours du stress Figure 4.17.

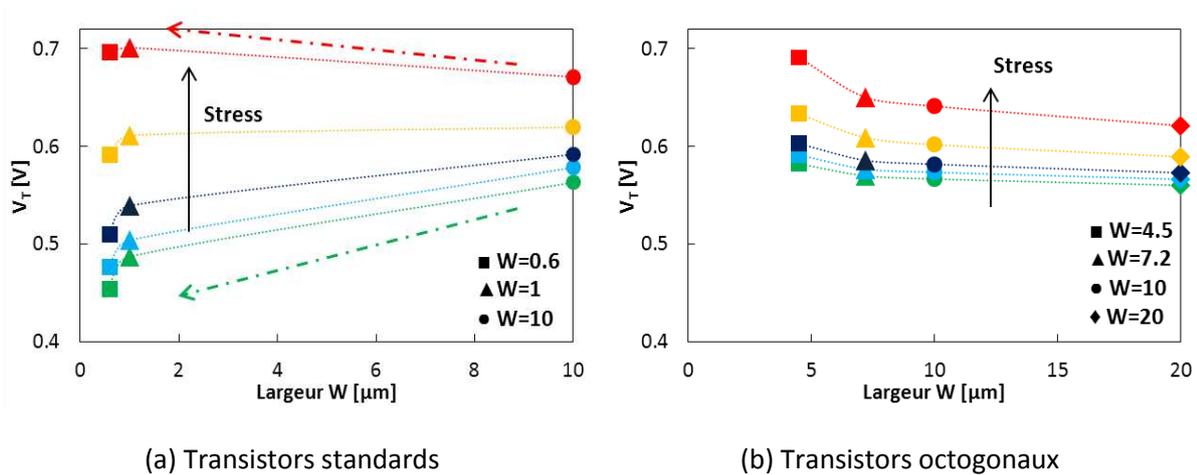


Figure 4.17 : Evolution du  $V_T$  en fonction du stress

- (a) Transistors standards : Sans stress, le  $V_T$  diminue avec la diminution de  $W$  (flèche verte). Au cours du stress, la dégradation étant plus importante pour les  $W$  faibles, la tendance s'inverse (flèche rouge) et la tension de seuil des transistors étroits devient supérieure aux transistors larges.
- (b) Transistors octogonaux : Une très légère augmentation de la tension de seuil avec la diminution de la largeur est observable sans stress. Avec les défauts générés pendant le stress, cette tendance est amplifiée et peut devenir significative.

Ces deux effets peuvent s'expliquer avec la Figure 4.18.

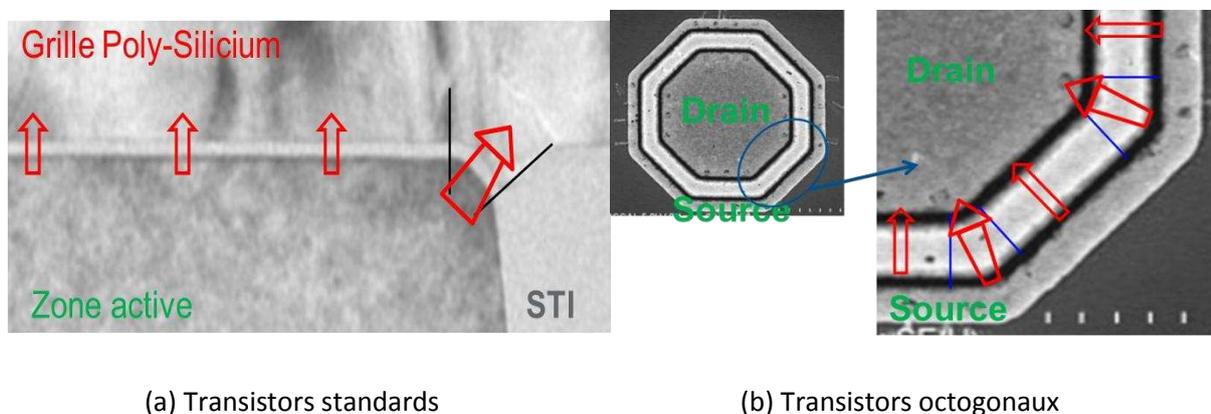


Figure 4.18 : Explications de l'évolution du  $V_T$  en fonction du stress

- (a) Transistors standards : Les transistors de bord présentent une morphologie différente de celle du transistor principal (courbure de  $C_{ox}$  par exemple). Cet effet de bord donne lieu localement à un champ électrique plus important par rapport à celui présent sur le transistor principal (flèches rouges) [Nishigohri'96] [Math'08] [Huang'08].
- (b) Transistors octogonaux : Dans ce cas-là, il faut parler d'effet de « coin » car la section du côté drain est plus étroite que celle coté source. De la même manière que pour les transistors standards, il en résulte un champ électrique côté drain plus fort dans les huit coins du transistor.

Dans les deux cas, le champ électrique plus fort induit une dégradation plus prononcée des transistors de bord sur les transistors standards et des transistors de coin sur les transistors octogonaux. Avec la diminution de la largeur des transistors (standards ou octogonaux), la contribution de ces effets est de plus en plus importante. Ces observations expliquent la dégradation plus importante des transistors de faible largeur.

Le Tableau 4.6 reprend les valeurs de  $V_T$  des transistors standards et octogonaux ( $W=10\mu\text{m}/L=0.38\mu\text{m}$ ) et donne le  $\delta V_T$  au cours du stress.

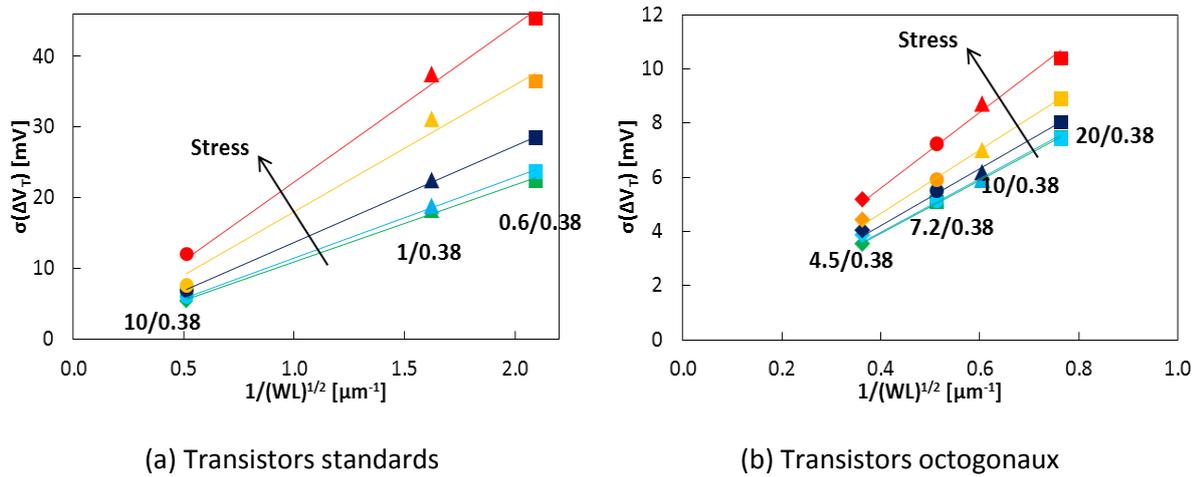
**Tableau 4.6 : Evolution de  $V_T$  et  $\delta V_T$  en fonction du stress ( $W=10\mu\text{m}/L=0.38\mu\text{m}$ )**

	Temps de stress [s]	0	100	300	1000	3000
$V_T$ [V]	Standard	0.563	0.578	0.592	0.620	0.671
	Octogonal	0.567	0.573	0.582	0.602	0.641
$\delta V_T$ [mV]	Standard		15.3	28.8	56.6	108.0
	Octogonal		6.9	15.1	35.1	74.5

Comme vu précédemment, l'évolution de  $V_T$  est moins importante sur les transistors octogonaux étant donné l'absence de transistors de bord. Ainsi, le décalage de  $V_T$  est donc plus faible et confirme une nouvelle fois qu'une amélioration de la fiabilité des circuits peut être obtenue avec l'utilisation de transistors sans effet « hump ».

### III.4 Dégradation de l'appariement de la tension de seuil

L'étude de l'appariement de la tension de seuil durant la contrainte électrique HC pour les transistors standards et octogonaux est donnée Figure 4.19.



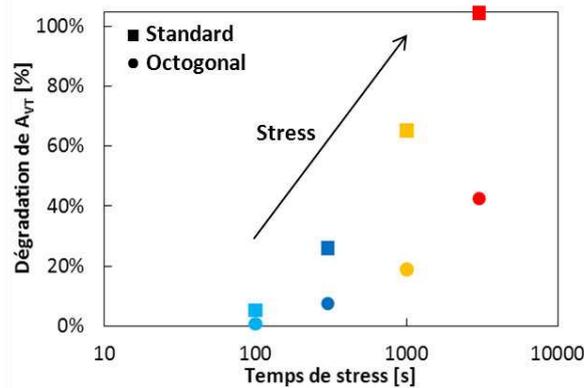
**Figure 4.19 : Comparaison entre transistors standards et octogonaux de l'appariement de la tension de seuil en fonction du stress**

Les valeurs du paramètre d'appariement de la tension de seuil  $A_{VT}$  obtenues à partir de la Figure précédente sont résumées Tableau 4.7.

**Tableau 4.7 : Comparaison entre transistors standards et octogonaux du paramètre d'appariement en  $V_T$  en fonction du stress**

$A_{VT}$ [mV.μm]	Temps de stress [s]				
	0	100	300	1000	3000
<b>Transistors standards</b>	10.9	11.4	13.7	18.0	22.2
<b>Transistors octogonaux</b>	9.8	9.9	10.5	11.7	14.0

Afin de mieux se rendre compte du gain en performance et en fiabilité atteint avec les transistors octogonaux, la cinétique de dégradation du paramètre  $A_{VT}$  est calculée pour les deux types de transistors et représentée Figure 4.20.



**Figure 4.20 : Comparaison des cinétiques de dégradation entre transistors standards et octogonaux en fonction du stress**

L'étude de l'appariement de la tension de seuil (Figure 4.19 et Tableau 4.7) et la cinétique de dégradation du paramètre  $A_{VT}$  confirment la meilleure fiabilité des transistors octogonaux sous stress électrique. Cela vient du fait que la détérioration des transistors standards est principalement due

aux transistors parasites. Etant donné que les transistors octogonaux n'ont pas de transistors de bord, ils présentent intrinsèquement un meilleur appariement en  $V_T$  et bénéficient d'une dégradation sous stress HC plus faible ce qui leur confère un avantage pour la conception de circuits analogiques précis et fiables.

### III.5 Inversion des sources et drains des transistors octogonaux

L'impact d'une zone active de drain à l'intérieur ou à l'extérieur de la grille poly-silicium est étudié sur les mêmes dimensions. Les connexions de drain et de source sont simplement inversées comme le montre la Figure 4.21.

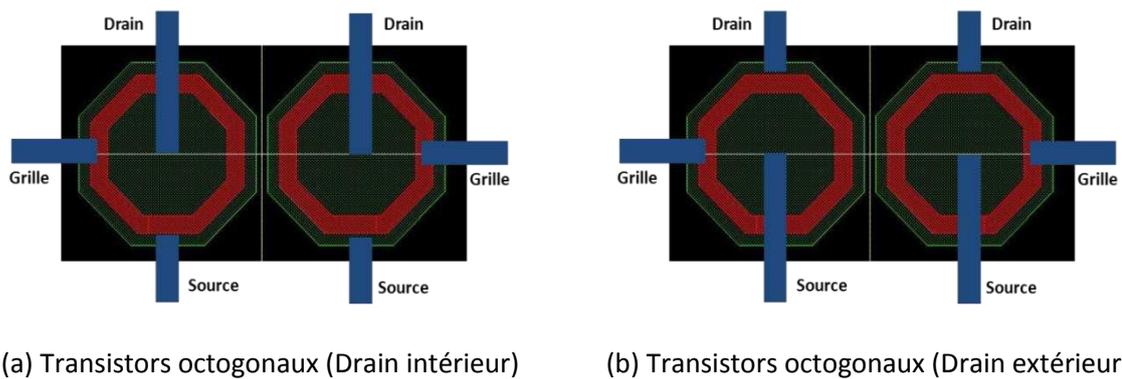


Figure 4.21 : Comparaison des deux versions de « layout » des transistors octogonaux

Précédemment réalisée entre les transistors standards et octogonaux, l'évolution de la tension de seuil en fonction de la largeur des transistors octogonaux est comparée cette fois-ci entre les structures ayant la zone de drain à l'intérieur et à l'extérieur. Cette comparaison est illustrée au cours du stress Figure 4.22.

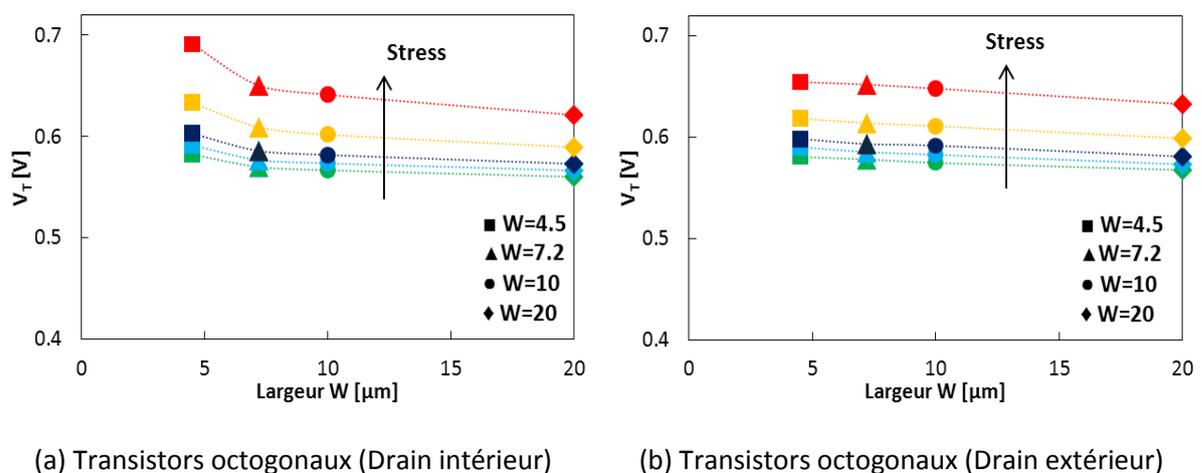


Figure 4.22 : Evolution du  $V_T$  en fonction du stress

Lors d'un stress porteurs chauds, la zone la plus stressée se situe proche du drain (cf. Figure 4.1). Ainsi, en utilisant une connexion de drain à l'extérieur, les effets de coin expliqués Figure 4.18b lorsque le drain est à l'intérieur sont significativement atténués. En effet, lorsque le drain se trouve à

l'extérieur, la section des huit coins proche du drain est plus importante ce qui dans ce cas, donne lieu à une dégradation moins prononcée.

De plus, la très légère augmentation de la tension de seuil avec la diminution de  $W$  (et qui reste constante au cours du stress) observée sur le transistor avec drain extérieur peut s'expliquer par le fait que localement, toujours avec ces effets de coin, la longueur du transistor est légèrement plus grande. Ainsi, pour les très faibles longueurs (comme celle de la structure de test étudiée), la tension de seuil se trouve localement augmentée.

Les valeurs du paramètre d'appariement de la tension de seuil  $A_{VT}$  pour les transistors octogonaux avec les drains intérieurs et avec les drains extérieurs sont données Tableau 4.8.

**Tableau 4.8 : Comparaison du paramètre d'appariement en  $V_T$  entre transistors NMOS octogonaux et octogonaux (drain extérieur) en fonction du stress**

$A_{VT}$ [mV.μm]	Temps de stress [s]				
	0	100	300	1000	3000
Transistors octogonaux (Drain intérieur)	9.8	9.9	10.5	11.7	14.0
Transistors octogonaux (Drain extérieur)	9.3	9.5	9.9	10.5	11.4

En supprimant l'impact de ces effets de coin avec le drain situé à l'extérieur, l'appariement en  $V_T$  s'en trouve moins dégradé que celui des transistors octogonaux avec le drain au centre.

### III.6 Etude des transistors PMOS

Afin de voir l'amélioration apportée en utilisant des transistors octogonaux avec le drain situé à l'extérieur, l'étude est menée sur les transistors PMOS en comparant directement les transistors standards avec des transistors octogonaux ayant le drain à l'extérieur. Les résultats sont donnés Tableau 4.9.

**Tableau 4.9 : Comparaison du paramètre d'appariement en  $V_T$  entre transistors PMOS standards et octogonaux (drain extérieur) en fonction du stress**

$A_{VT}$ [mV.μm]	Temps de stress [s]				
	0	100	300	1000	3000
Transistors standards	7.0	7.8	11.8	21.8	30.7
Transistors octogonaux (Drain extérieur)	7.1	7.3	7.6	11.9	16.7

Comme démontré sur les transistors NMOS, l'appariement en  $V_T$  des transistors PMOS est clairement moins dégradé par un stress porteurs chauds en utilisant des transistors octogonaux (drain extérieur).

## Conclusion

Le stress porteurs chauds utilisé dans ce chapitre pour étudier la fiabilité des transistors MOS a été détaillé. La courbure morphologique des transistors de bord donne lieu localement à un champ électrique plus important notamment par rapport à celui présent sur le transistor principal augmentant la dégradation de ces transistors de bord. Cela a permis de mettre en évidence une dépendance de la dégradation porteurs chauds avec la largeur du transistor : plus le transistor est étroit, plus il est sensible aux transistors de bords ce qui augmente sa dégradation. A partir de ces résultats, une corrélation entre la dégradation de l'appariement de la tension de seuil et de la dérive de la tension de seuil au cours du temps est démontrée. Cette étude a validé, sous stress porteurs chauds, un modèle de dégradation initialement introduit en cas de stress « BTI ». Ce modèle peut permettre aux concepteurs de prédire le vieillissement de l'appariement des transistors MOS afin d'améliorer leur durée de vie dès la phase de conception.

Des transistors octogonaux ont finalement été introduits et comparés avec des transistors standards. Ces transistors octogonaux permettent de supprimer l'effet « hump » du fait de l'absence de jonction STI/zone active recouverte par du poly-silicium. Cette suppression a été confirmée sur des caractéristiques  $I_D-V_G$  avec effet substrat. Par conséquent, ils présentent également un appariement en tension stable et minimal dans la zone sous le seuil. De plus, il a été démontré que la dégradation de l'appariement des transistors standards est accentuée pour les faibles largeurs à cause des transistors parasites. Ainsi, l'évolution de l'appariement de ces transistors octogonaux en fonction du stress porteurs chauds a montré une amélioration significative en utilisant des transistors sans effet « hump ». Enfin, l'analyse des transistors octogonaux ayant le drain à l'extérieur de la grille poly-silicium a permis d'améliorer encore la fiabilité de ce type de transistors en supprimant des effets de coin de la grille octogonale. Tous ces résultats font des transistors octogonaux, en particulier ceux ayant le drain situé à l'extérieur, une solution prometteuse pour les applications analogiques faible consommation.



## Conclusion générale

En conception analogique, les performances de structures élémentaires comme les miroirs de courant ou les paires différentielles dépendent de l'appariement des dispositifs. Dans ce contexte, les travaux de ce manuscrit ont permis d'analyser et d'optimiser l'appariement des transistors MOS destinés aux applications analogiques. Cette étude a été réalisée dans un contexte de circuits faibles consommations fabriqués en technologie CMOS 90nm incluant une option de mémoire non-volatile embarquée.

L'état de l'art de l'appariement des dispositifs a permis de connaître les principales sources de fluctuations des paramètres électriques à l'origine des variations aléatoires inter-dispositifs. La description de la méthodologie de mesure de l'appariement des dispositifs permet de se rendre compte de sa complexité. En effet, il est nécessaire de bien choisir la méthode de mesure et l'équipement pour ne pas introduire de variabilité supplémentaire pouvant fausser la mesure. Etant principalement basée sur la comparaison de déviation standard, l'étude de l'appariement de dispositifs requiert un nombre important de données afin d'extraire les paramètres d'appariement. Ainsi, un traitement statistique robuste accompagné d'un filtrage adapté permet de conserver une population de données stable de laquelle sont extraits les paramètres et leurs intervalles de confiance. Plusieurs types de structure de test comme les matrices de dispositifs, les dispositifs isolés ou les circuits peuvent être utilisés pour la caractérisation de l'appariement des transistors MOS. La modélisation du courant de drain est de plus en plus complète pour prendre en compte toutes ces fluctuations locales. Ces variations proviennent de différentes étapes du procédé de fabrication mais aussi des contraintes externes aux transistors MOS comme le stress mécanique ou la couverture métallique.

Les contraintes de faible consommation obligent parfois les concepteurs à polariser leurs structures sous le seuil. Cela est particulièrement vrai dans le cas des paires différentielles qui, en plus de proposer un gain important dans ce régime, présentent un appariement en tension théorique minimal. Cependant, la comparaison entre la mesure et la simulation des dispositifs étudiés a mis en évidence une nette dégradation attribuée à l'effet « hump » de cet appariement en tension en diminuant  $V_G$ . Cet effet parasite se traduit par la présence de transistors en bord d'active de chaque côté du transistor principal. Avec la diminution de la polarisation de grille, le courant passe de plus en plus par ces transistors parasites à cause de leur tension de seuil plus faible. L'appariement en tension ne dépend donc plus de la surface du transistor principal mais de celle des transistors parasites qui est beaucoup plus faible ayant pour conséquence une dégradation de l'appariement sous le seuil. Un macro-modèle basé sur trois transistors en parallèle permet de modéliser cet effet. Pour compléter cette analyse, une étude en température d'un circuit analogique a également été menée.

Les origines physiques de l'effet « hump » ont ensuite été investiguées. L'étude de la concentration de dopants dans le canal a montré que cet effet parasite est lié à une ségrégation des atomes du canal en bord d'active. Différentes études ont été menées sur plusieurs types de transistor en introduisant une mesure paramétrique simple pour mieux appréhender ce phénomène. Finalement, à partir de toutes ces observations plusieurs solutions pour contrer cet effet parasite ont été proposées.

L'étude des différentes étapes du procédé de fabrication a mis en évidence une dégradation possible de l'appariement des transistors MOS lors du pré-dopage de la grille des transistors NMOS. Ainsi, l'impact de l'énergie et de l'angle d'implantation lors du pré-dopage de la grille des transistors NMOS est étudié au travers de cinq étapes différentes de pré-dopage. Lors de cette étude, il est démontré que si l'énergie d'implantation est trop élevée, les dopants peuvent traverser la grille poly-silicium ainsi que l'oxyde et venir contre-doper le canal. Les variations de dopants dans le canal induites par la queue de distribution d'implantation dégradent clairement l'appariement des transistors. De plus, la déplétion du poly-silicium visible sur un des procédés étudiés n'a pas d'impact significatif sur l'appariement des transistors. Les résultats de mesure ont également montré qu'un bon dopage de grille est obtenu en inclinant l'implantation ce qui évite un contre-dopage du canal et permet donc de ne pas dégrader l'appariement des dispositifs.

Afin d'étudier le vieillissement de l'appariement des transistors MOS, une étude sous stress porteurs chauds a été réalisée. Ce stress, bien connu pour son effet en fonction de la longueur, a mis en évidence une dépendance en fonction de la largeur du transistor : les transistors étroits se dégradent plus vite. La contribution des transistors de bord est plus importante sur les transistors étroits et ils se dégradent plus vite que le transistor principal à cause d'un champ électrique plus élevé en bord d'active. Une corrélation entre la dégradation de l'appariement de la tension de seuil et de la dérive de la tension de seuil au cours du temps a également été démontrée permettant de valider un modèle de dégradation. Afin de limiter les problèmes liés à la présence de transistors de bord, des transistors octogonaux ont été introduits pour supprimer l'effet « hump » du fait de l'absence de jonction STI/zone active recouverte par du poly-silicium. Par conséquent, ils présentent un appariement en tension stable et minimal dans la zone sous le seuil. De plus, les transistors octogonaux se dégradent nettement moins sous stress HC que les transistors standards et sont ainsi une solution prometteuse pour les applications analogiques basses consommations.

Pour aller plus avant dans les résultats obtenus lors de ces travaux, plusieurs pistes de recherche peuvent être envisagées.

Tout d'abord, la mesure de l'appariement des dispositifs peut être améliorée. En effet, à partir des caractéristiques  $I_D-V_G$  et  $V_G-I_D$ , il est possible d'obtenir l'appariement des paramètres  $V_T$ ,  $\beta$ ... mais également les appariements en courant et en tension pour tous les régimes de fonctionnement des transistors MOS. Cette étude pouvant s'avérer relativement longue et complexe pour caractériser une technologie en production, ces mesures peuvent être limitées à quelques points particuliers afin de réaliser une analyse paramétrique rapide et suffisante pour détecter d'éventuelles dégradations de l'appariement (« monitoring » au test paramétrique). La mesure de circuits pouvant être la structure de test idéale, de nouveaux circuits donnant un résultat simple, rapidement et représentant au mieux l'appariement des dispositifs restent à concevoir. Une idée de structure de test d'appariement peut être basée sur le fonctionnement du pont de Wheatstone où le résultat final serait une différence entre deux dispositifs traduisant directement leur appariement.

Concernant l'effet « hump », l'objectif principal est de supprimer la ségrégation des dopants en bord d'active. Plusieurs solutions proposées dans ce manuscrit pour contrer cet effet parasite sont à évaluer et caractériser afin de trouver le meilleur compromis pour améliorer les performances de la technologie. Une étude plus complète sur d'autres dimensions, toujours avec effet substrat et en température, permettrait de mieux connaître le comportement de cet effet parasite. Ainsi, des effets complémentaires pourraient éventuellement être mis en évidence permettant d'affiner la précision du macro-modèle. Une autre étude basée sur une méthodologie permettant de faire des cartographies en courant entre les zones de source et de drain dans la zone sous le seuil pourrait s'avérer très instructive. Avec un fort effet substrat afin de mettre en évidence les transistors parasites, l'idée est d'arriver à illustrer grâce au laser, le passage du courant de drain par les transistors de bord à faible  $V_G$  au transistor principal pour des potentiels de grille plus élevés.

Les études de fiabilité de l'appariement des transistors MOS peuvent également être complétées par les mêmes analyses en cas de stress électrique de type « BTI » (« Bias Temperature Instabilities »). Les transistors de conception octogonale donnant d'excellents résultats, les transistors circulaires devraient limiter les effets de coin des transistors octogonaux et apparaissent donc comme la meilleure solution possible pour les applications analogiques nécessitant une polarisation sous le seuil. L'impact des contacts de grille sur active pour la fiabilité des oxydes reste néanmoins à évaluer.



## Références bibliographiques

- [Agarwal'06] K. Agarwal, F. Liu, C. McDowell, S. Nassif, K. Nowka, M. Palmer, D. Acharyya, and J. Plusquellic, "A Test Structure for Characterizing Local Device Mismatches", Symposium on VLSI Circuits, 2006, pp. 67-68, <http://dx.doi.org/10.1109/vlsic.2006.1705315>
- [Agostinelli'04] M. Agostinelli, S. Lau, S. Pae, P. Marzolf, H. Muthali, and S. Jacobs, "PMOS NBTI-induced circuit mismatch in advanced technologies", IEEE International Reliability Physics Symposium, 25-29 April 2004, pp. 171-175, <http://dx.doi.org/10.1109/relphy.2004.1315319>
- [Andricciola'09a] P. Andricciola and H. P. Tuinhout, "The Temperature Dependence of Mismatch in Deep-Submicrometer Bulk MOSFETs", IEEE Electron Device Letters, vol. 30, 2009, pp. 690-692, <http://dx.doi.org/10.1109/led.2009.2020524>
- [Andricciola'09b] P. Andricciola, H. P. Tuinhout, B. De Vries, N. A. H. Wils, A. J. Scholten, and D. B. M. Klaassen, "Impact of interface states on MOS transistor mismatch", IEEE International Electron Devices Meeting, 7-9 Dec. 2009, pp. 1-4, <http://dx.doi.org/10.1109/iedm.2009.5424239>
- [Asenov'98] A. Asenov, "Random dopant induced threshold voltage lowering and fluctuations in sub-0.1 $\mu$ m MOSFETs: A 3-D atomistic simulation study", IEEE Transactions on Electron Devices, vol. 45, 1998, pp. 2505-2513, <http://dx.doi.org/10.1109/16.735728>
- [Asenov'99] A. Asenov and S. Saini, "Suppression of random dopant-induced threshold voltage fluctuations in sub-0.1  $\mu$ m MOSFETs with epitaxial and delta-doped channels", IEEE Transactions on Electron Devices, vol. 46, 1999, pp. 1718-1724, <http://dx.doi.org/10.1109/16.777162>
- [Asenov'00] A. Asenov and S. Saini, "Polysilicon gate enhancement of the random dopant induced threshold voltage fluctuations in sub-100 nm MOSFETs with ultrathin gate oxide", IEEE Transactions on Electron Devices, vol. 47, 2000, pp. 805-812, <http://dx.doi.org/10.1109/16.830997>
- [Asenov'01] A. Asenov, G. Slavcheva, A. R. Brown, J. H. Davies, and S. Saini, "Increase in the random dopant induced threshold fluctuations and lowering in sub-100 nm MOSFETs due to quantum effects: a 3-D density-gradient simulation study", IEEE Transactions on Electron Devices, vol. 48, 2001, pp. 722-729, <http://dx.doi.org/10.1109/16.915703>
- [Asenov'03] A. Asenov, A. R. Brown, J. H. Davies, S. Kaya, and G. Slavcheva, "Simulation of intrinsic parameter fluctuations in decananometer and nanometer-scale MOSFETs", IEEE Transactions on Electron Devices, vol. 50, 2003, pp. 1837-1852, <http://dx.doi.org/10.1109/ted.2003.815862>
- [Asenov'08] A. Asenov, A. Cathignol, B. Cheng, K. P. McKenna, A. R. Brown, A. L. Shluger, D. Chanemougame, K. Rochereau, and G. Ghibaudo, "Origin of the Asymmetry in the Magnitude of the Statistical Variability of n- and p-Channel Poly-Si Gate Bulk MOSFETs", IEEE Electron Device Letters, vol. 29, 2008, pp. 913-915, <http://dx.doi.org/10.1109/led.2008.2000843>
- [Balankutty'07] A. Balankutty, T. C. Chih, C. Y. Chen, and P. R. Kinget, "Mismatch Characterization of Ring Oscillators", IEEE Custom Integrated Circuits Conference, 16-19 Sept. 2007, pp. 515-518, <http://dx.doi.org/10.1109/cicc.2007.4405784>
- [Baravelli'07] E. Baravelli, A. Dixit, R. Rooyackers, M. Jurczak, N. Speciale, and K. De Meyer, "Impact of Line-Edge Roughness on FinFET Matching Performance", IEEE Transactions on Electron Devices, vol. 54, 2007, pp. 2466-2474, <http://dx.doi.org/10.1109/ted.2007.902166>

- [Baravelli'08] E. Baravelli, M. Jurczak, N. Speciale, K. De Meyer, and A. Dixit, "Impact of LER and Random Dopant Fluctuations on FinFET Matching Performance", IEEE Transactions on Nanotechnology, vol. 7, 2008, pp. 291-298, <http://dx.doi.org/10.1109/tnano.2008.917838>
- [Bastos'96] J. Bastos, M. Steyaert, B. Graindourze, and W. Sansen, "Matching of MOS transistors with different layout styles", IEEE International Conference on Microelectronic Test Structures, 25-28 Mar 1996, pp. 17-18, <http://dx.doi.org/10.1109/icmts.1996.535615>
- [Bastos'97] J. Bastos, M. S. J. Steyaert, A. Pergoot, and W. M. Sansen, "Influence of die attachment on MOS transistor matching", IEEE Transactions on Semiconductor Manufacturing, vol. 10, 1997, pp. 209-218, <http://dx.doi.org/10.1109/66.572070>
- [Bastos'98] J. Bastos, A. M. Marques, M. S. J. Steyaert, and W. Sansen, "A 12-bit intrinsic accuracy high-speed CMOS DAC", IEEE Journal of Solid-State Circuits, vol. 33, 1998, pp. 1959-1969, <http://dx.doi.org/10.1109/4.735536>
- [Benard'08Th] C. Benard, PhD Thesis, "Etude de phenomenes de degradation des transistors MOS de type porteurs chauds et negative bias temperature instability (NBTI)", University of Provence, FRANCE, 2008.
- [Bianchi'02] R. A. Bianchi, G. Bouche, and O. Roux-dit-Buisson, "Accurate modeling of trench isolation induced mechanical stress effects on MOSFET electrical performance", International Electron Devices Meeting, 2002, pp. 117-120, <http://dx.doi.org/10.1109/iedm.2002.1175792>
- [Blaes'88] B. R. Blaes, M. G. Buehler, Y. S. Lin, and K. A. Hicks, "A CMOS matrix for extracting MOSFET parameters before and after irradiation", IEEE Transactions on Nuclear Science, vol. 35, 1988, pp. 1529-1535, <http://dx.doi.org/10.1109/23.25492>
- [Bordez'07] S. Bordez, A. Cathignol, and K. Rochereau, "A Continuous Model for MOSFET VT Matching Considering Additional Length Effects", IEEE International Conference on Microelectronic Test Structures, 19-22 March 2007, pp. 226-229, <http://dx.doi.org/10.1109/icmts.2007.374489>
- [Brito'07a] J. P. M. Brito, S. Bampi, and H. Klimach, "A 4-Bits Trimmed CMOS Bandgap Reference with an Improved Matching Modeling Design", IEEE International Symposium on Circuits and Systems, 27-30 May 2007, pp. 1911-1914, <http://dx.doi.org/10.1109/iscas.2007.378348>
- [Brito'07b] J. P. M. Brito, H. Klimach, and S. Bampi, "A Design Methodology for Matching Improvement in Bandgap References", International Symposium on Quality Electronic Design, 26-28 March 2007, pp. 586-594, <http://dx.doi.org/10.1109/isqed.2007.9>
- [Brut'99] H. Brut and R. M. D. A. Velghe, "Contribution to the characterization of the hump effect in MOSFET submicronic technologies", IEEE International Conference on Microelectronic Test Structures, 1999, pp. 188-193, <http://dx.doi.org/10.1109/icmts.1999.766241>
- [Cao'98] M. Cao, P. Vande Voorde, M. Cox, and W. Greene, "Boron diffusion and penetration in ultrathin oxide with poly-Si gate", IEEE Electron Device Letters, vol. 19, 1998, pp. 291-293, <http://dx.doi.org/10.1109/55.704403>
- [Cathignol'06a] A. Cathignol, C. Antoine, H. Samuel, C. Robin, C. Philippe, P. Arnaud, R. Krysten, S. Thomas, and G. Gerard, "High Threshold Voltage Matching Performance on Gate-All-Around MOSFET", European Solid-State Device Research Conference, Sept. 2006, pp. 379-382, <http://dx.doi.org/10.1109/essder.2006.307717>
- [Cathignol'06b] A. Cathignol, K. Rochereau, S. Bordez, and G. Ghibaudo, "Improved methodology for better accuracy on transistors matching characterization", IEEE International Conference on Microelectronic Test Structures, 6-9 March 2006, pp. 173-178, <http://dx.doi.org/10.1109/icmts.2006.1614298>

- [Cathignol'07] A. Cathignol, S. Bordez, K. Rochereau, and G. Ghibaudo, "From MOSFET Matching Test Structures to Matching Data Utilization: Not an Ordinary Task", IEEE International Conference on Microelectronic Test Structures, 19-22 March 2007, pp. 230-233, <http://dx.doi.org/10.1109/icmts.2007.374490>
- [Cathignol'08a] A. Cathignol, S. Bordez, A. Cros, K. Rochereau, and G. Ghibaudo, "Abnormally High Current Local Fluctuations in Heavily Pocket-implanted Bulk Long MOSFET", International Symposium on VLSI Technology, Systems and Applications, 21-23 April 2008, pp. 167-168, <http://dx.doi.org/10.1109/vtsa.2008.4530850>
- [Cathignol'08b] A. Cathignol, B. Cheng, D. Chanemougame, A. R. Brown, K. Rochereau, G. Ghibaudo, and A. Asenov, "Quantitative Evaluation of Statistical Variability Sources in a 45-nm Technological Node LP N-MOSFET", IEEE Electron Device Letters, vol. 29, 2008, pp. 609-611, <http://dx.doi.org/10.1109/led.2008.922978>
- [Cathignol'08c] A. Cathignol, S. Mennillo, S. Bordez, L. Vendrame, and G. Ghibaudo, "Spacing impact on MOSFET mismatch", IEEE International Conference on Microelectronic Test Structures, 24-27 March 2008, pp. 90-95, <http://dx.doi.org/10.1109/icmts.2008.4509320>
- [Cathignol'08Th] A. Cathignol, PhD Thesis, "Caractérisation et modélisation des fluctuations locales des paramètres électriques du transistor des filières CMOS sub-65nm", INP Grenoble, FRANCE, 2008.
- [Cathignol'09] A. Cathignol, S. Bordez, A. Cros, K. Rochereau, and G. Ghibaudo, "Abnormally high local electrical fluctuations in heavily pocket-implanted bulk long MOSFET", Solid-State Electronics, vol. 53, pp. 127-133, <http://dx.doi.org/10.1016/j.sse.2008.09.017>
- [Chaparala'00] P. Chaparala, J. Shibley, and P. Lim, "Threshold voltage drift in PMOSFETS due to NBTI and HCI", IEEE International Integrated Reliability Workshop, 2000, pp. 95-97, <http://dx.doi.org/10.1109/irws.2000.911908>
- [Chen'03] K.-C. Chen, S. Hsueh-Hao, H. Yaw-Lin, H. Cheng-Chen, H. Chung, S. Pan, and L. Chih-Yuan, "Applications of single-wafer rapid-thermal processing to the manufacture of advanced flash memory", IEEE Transactions on Semiconductor Manufacturing, vol. 16, 2003, pp. 128-137, <http://dx.doi.org/10.1109/tsm.2003.810942>
- [Chen'01] Y. Chen, Z. Jonathon, S. Tedja, H. Frank, and A. S. Oates, "Stress-induced MOSFET mismatch for analog circuits", IEEE International Integrated Reliability Workshop, 2001, pp. 41-43, <http://dx.doi.org/10.1109/.2001.993914>
- [Chetlur'99] S. Chetlur, S. Sen, E. Harris, H. Vaidya, I. Kizilyalli, R. Gregor, and B. Harding, "Influence of passivation anneal position on metal coverage dependent mismatch and hot carrier reliability", International Symposium on the Physical and Failure Analysis of Integrated Circuits, 1999, pp. 21-24, <http://dx.doi.org/10.1109/ipfa.1999.791266>
- [Conti'97] M. Conti, G. F. Dalla Betta, S. Orcioni, G. Soncini, C. Turchetti, and N. Zorzi, "Test structure for mismatch characterization of MOS transistors in subthreshold regime", IEEE International Conference on Microelectronic Test Structures, 17-20 Mar 1997, pp. 173-178, <http://dx.doi.org/10.1109/icmts.1997.589380>
- [Conti'99] M. Conti, P. Crippa, S. Orcioni, and C. Turchetti, "Statistical modeling of MOS transistor mismatch based on the parameters' autocorrelation function", IEEE International Symposium on Circuits and Systems, Jul 1999, pp. 222-225, <http://dx.doi.org/10.1109/iscas.1999.780135>
- [Conti'01] M. Conti, P. Crippa, S. Orcioni, C. Turchetti, F. Ricciardi, and G. B. Vece, "A new test structure for short and long distance mismatch characterization of submicron MOS transistors", IEEE Midwest Symposium on Circuits and Systems, 2001, pp. 656-660, <http://dx.doi.org/10.1109/mwscas.2001.986274>

- [Conti'02] M. Conti, P. Crippa, S. Orcioni, and C. Turchetti, "Layout-based statistical modeling for the prediction of the matching properties of MOS transistors", IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications, vol. 49, 2002, pp. 680-685, <http://dx.doi.org/10.1109/tcsi.2002.1001958>
- [Conti'03] M. Conti, P. Crippa, F. Fedecostante, S. Orcioni, F. Ricciardi, C. Turchetti, and L. Vendrame, "A modular test structure for CMOS mismatch characterization", International Symposium on Circuits and Systems, 25-28 May 2003, pp. 569-572, <http://dx.doi.org/10.1109/iscas.2003.1206376>
- [Croon'00] J. A. Croon, M. Rosmeulen, S. Decoutere, W. Sansen, and H. E. Maes, "A Simple and Accurate Deep Submicron Mismatch Model", European Solid-State Device Research Conference, 11-13 September 2000, pp. 356-359, <http://dx.doi.org/10.1109/essderc.2000.194788>
- [Croon'01] J. A. Croon, M. Rosmeulen, S. Decoutere, W. Sansen, and H. E. Maes, "A simple characterization method for MOS transistor matching in deep submicron technologies", IEEE International Conference on Microelectronic Test Structures, 2001, pp. 213-218, <http://dx.doi.org/10.1109/icmts.2001.928664>
- [Croon'02a] J. A. Croon, M. Rosmeulen, S. Decoutere, W. Sansen, and H. E. Maes, "An easy-to-use mismatch model for the MOS transistor", IEEE Journal of Solid-State Circuits, vol. 37, 2002, pp. 1056-1064, <http://dx.doi.org/10.1109/jssc.2002.800953>
- [Croon'02b] J. A. Croon, G. Storms, S. Winkelmeier, I. Pollentier, M. Ercken, S. Decoutere, W. Sansen, and H. E. Maes, "Line edge roughness: characterization, modeling and impact on device behavior", International Electron Devices Meeting, 2002, pp. 307-310, <http://dx.doi.org/10.1109/iedm.2002.1175840>
- [Croon'02c] J. A. Croon, H. P. Tuinhout, R. Difrenza, J. Knol, A. J. Moonen, S. Decoutere, H. E. Maes, and W. Sansen, "A comparison of extraction techniques for threshold voltage mismatch", IEEE International Conference on Microelectronic Test Structures, 8-11 April 2002, pp. 235-240, <http://dx.doi.org/10.1109/icmts.2002.1193202>
- [Croon'03] J. A. Croon, L. H. A. Leunissen, M. Jurczak, M. Benndorf, R. Rooyackers, K. Ronse, S. Decoutere, W. Sansen, and H. E. Maes, "Experimental investigation of the impact of line-edge roughness on MOSFET performance and yield", Conference on European Solid-State Device Research, 16-18 Sept. 2003, pp. 227-230, <http://dx.doi.org/10.1109/essderc.2003.1256855>
- [Croon'04Th] J. A. Croon, PhD Thesis, "Matching properties of deep sub-micron MOS transistors", Katholieke Universiteit Leuven, BELGIUM, 2004.
- [De Lima'09] J. A. De Lima and S. P. Gimenez, "A novel Overlapping Circular-Gate Transistor (O-CGT) and its application to analog design", Argentine School of Micro-Nanoelectronics, Technology and Applications, 1-2 Oct. 2009, pp. 11-16,
- [Deal'67] B. E. Deal, M. Sklar, A. S. Grove, and E. H. Snow, "Characteristics of the Surface-State Charge ( $Q_{ss}$ ) of Thermally Oxidized Silicon", Journal of The Electrochemical Society, vol. 114, 1967, pp. 266-274, <http://dx.doi.org/10.1149/1.2426565>
- [Denison'98] M. Denison, A. Pergoot, and M. Tack, "Prediction of MOS Matching in Weak and Moderate Inversion from Threshold Matching in Strong Inversion", European Solid-State Device Research Conference, 8-10 Sept. 1998, pp. 648-651,
- [Difrenza'00] R. Difrenza, P. Llinares, G. Ghibaudo, E. Robillard, and E. Granger, "Dependence of Channel Width and Length on MOSFET Matching for 0.18  $\mu\text{m}$  CMOS Technology", European Solid-State Device Research Conference, 11-13 September 2000, pp. 584-587, <http://dx.doi.org/10.1109/essderc.2000.194845>

- [Difrenza'01] R. Difrenza, P. Llinares, G. Morin, E. Granger, and G. Ghibaudo, "A New Model for Threshold Voltage Mismatch Based on the Random Fluctuations of Dopant Number in the MOS Transistor Gate", European Solid-State Device Research Conference, 11-13 September 2001, pp. 299-302, <http://dx.doi.org/10.1109/essderc.2001.195260>
- [Difrenza'02Th] R. Difrenza, PhD Thesis, "Impact des fluctuations technologiques sur l'appariement du transistor MOS des filières 0.18 et 0.12 $\mu$ m", INP Grenoble, FRANCE, 2002.
- [Difrenza'03a] R. Difrenza, P. Llinares, and G. Ghibaudo, "The impact of short channel and quantum effects on the MOS transistor mismatch", Solid-State Electronics, vol. 47, 2003, pp. 1161-1165, [http://dx.doi.org/10.1016/s0038-1101\(03\)00033-9](http://dx.doi.org/10.1016/s0038-1101(03)00033-9)
- [Difrenza'03b] R. Difrenza, J. C. Vildeuil, P. Llinares, and G. Ghibaudo, "Impact of grain number fluctuations in the MOS transistor gate on matching performance", IEEE International Conference on Microelectronic Test Structures, 17-20 March 2003, pp. 244-249, <http://dx.doi.org/10.1109/icmts.2003.1197469>
- [Dimitrov'08] D. P. Dimitrov, "Deep-Submicron MOS Transistor Matching: A Case Study", IEEE Workshop on Design and Diagnostics of Electronic Circuits and Systems, 16-18 April 2008, pp. 1-4, <http://dx.doi.org/10.1109/ddecs.2008.4538744>
- [Dobrescu'00] L. Dobrescu, M. Petrov, D. Dobrescu, and C. Ravariu, "Threshold voltage extraction methods for MOS transistors", International Semiconductor Conference, 2000, pp. 371-374, <http://dx.doi.org/10.1109/smicnd.2000.890257>
- [Dollberg'01] A. Dollberg, J. Oehm, R. Wunderlich, and K. Schumacher, "Influence of local matching effects on the accuracy of a sequential A/D-converter", IEEE International Conference on Electronics, Circuits and Systems, 2001, pp. 389-392, <http://dx.doi.org/10.1109/icecs.2001.957761>
- [Drennan'99] P. G. Drennan and C. C. McAndrew, "A comprehensive MOSFET mismatch model", International Electron Devices Meeting, 1999, pp. 167-170, <http://dx.doi.org/10.1109/iedm.1999.823871>
- [Drennan'99Th] P. G. Drennan, PhD Thesis, "Integrated Circuit Device Mismatch Modeling And Characterization For Analog Circuit Design", Arizona State University, UNITED STATES, 1999.
- [Drennan'03] P. G. Drennan and C. C. McAndrew, "Understanding MOSFET mismatch for analog design", IEEE Journal of Solid-State Circuits, vol. 38, 2003, pp. 450-456, <http://dx.doi.org/10.1109/jssc.2002.808305>
- [Drennan'06] P. G. Drennan, M. L. Kniffin, and D. R. Locascio, "Implications of Proximity Effects for Analog Design", IEEE Custom Integrated Circuits Conference, 10-13 Sept. 2006, pp. 169-176, <http://dx.doi.org/10.1109/cicc.2006.320869>
- [Eldo Equation] *Eldo Device Equations Manual*, Mentor Graphics.
- [Eldo Manuel] *Eldo User's Manual*, Mentor Graphics.
- [Ewert'05] T. Ewert, H. Tuinhout, N. Wils, and J. Olsson, "Design and implementation of an ultra high precision parametric mismatch measurement system", IEEE International Conference on Microelectronic Test Structures, 4-7 April 2005, pp. 149-154, <http://dx.doi.org/10.1109/icmts.2005.1452249>
- [Fischer'07] T. Fischer, C. Otte, D. Schmitt-Landsiedel, E. Amirante, A. Olbrich, P. Huber, M. Ostermayr, T. Nirschl, and J. Einfeld, "A 1 Mbit SRAM test structure to analyze local mismatch beyond 5 sigma variation", IEEE International Conference on Microelectronic Test Structures, 19-22 March 2007, pp. 63-66, <http://dx.doi.org/10.1109/icmts.2007.374456>

- [Fukutome'06] H. Fukutome, Y. Momiyama, T. Kubo, E. Yoshida, H. Morioka, M. Tajima, and T. Aoyama, "Suppression of Poly-Gate-Induced Fluctuations in Carrier Profiles of Sub-50nm MOSFETs", International Electron Devices Meeting, 11-13 Dec. 2006, pp. 1-4, <http://dx.doi.org/10.1109/iedm.2006.346762>
- [Fuse'87] G. Fuse, M. Fukumoto, A. Shinohara, S. Odanaka, M. Sasago, and T. Ohzone, "A new isolation method with boron-implanted sidewalls for controlling narrow-width effect", IEEE Transactions on Electron Devices, vol. 34, 1987, pp. 356-360, <http://dx.doi.org/10.1109/t-ed.1987.22930>
- [Ghibaudo'88] G. Ghibaudo, "New method for the extraction of MOSFET parameters", Electronics Letters, vol. 24, 1988, pp. 543-545,
- [Ghibaudo'00] G. Ghibaudo, S. Bruyere, T. Devoivre, B. DeSalvo, and E. Vincent, "Improved method for the oxide thickness extraction in MOS structures with ultrathin gate dielectrics", IEEE Transactions on Semiconductor Manufacturing, vol. 13, 2000, pp. 152-158, <http://dx.doi.org/10.1109/66.843630>
- [Goguenheim'06HDR] D. Goguenheim, HDR, "Contribution à l'étude de la fiabilité des oxydes minces dans les structures MOS", University of Provence, FRANCE, 2006.
- [Gregor'92] R. W. Gregor, "On the relationship between topography and transistor matching in an analog CMOS technology", IEEE Transactions on Electron Devices, vol. 39, 1992, pp. 275-282, <http://dx.doi.org/10.1109/16.121683>
- [Gupta'02] V. Gupta and A. Rincon-Mora, "Predicting the effects of error sources in bandgap reference circuits and evaluating their design implications", Midwest Symposium on Circuits and Systems, 4-7 Aug. 2002, pp. 575-578, <http://dx.doi.org/10.1109/mwscas.2002.1187105>
- [Gupta'05] V. Gupta and G. A. Rincon-Mora, "Predicting and designing for the impact of process variations and mismatch on the trim range and yield of bandgap references", International Symposium on Quality of Electronic Design, 21-23 March 2005, pp. 503-508, <http://dx.doi.org/10.1109/isqed.2005.99>
- [Gustin'06] C. Gustin, A. Mercha, J. Loo, V. Subramanian, B. Parvais, M. Dehan, and S. Decoutere, "Stochastic Matching Properties of FinFETs", IEEE Electron Device Letters, vol. 27, 2006, pp. 846-848, <http://dx.doi.org/10.1109/led.2006.882524>
- [Hamer'86] M. F. Hamer, "First-order parameter extraction on enhancement silicon MOS transistors", IEEE Solid-State and Electron Devices, vol. 133, 1986, pp. 49-54, <http://dx.doi.org/10.1049/ip-i-1:19860011>
- [Hausser'02] S. Hausser, S. Majoni, H. Schligtenhorst, and G. Kolwe, "Systematic mismatch in diffusion resistors caused by photolithography", IEEE International Conference on Microelectronic Test Structures, 8-11 April 2002, pp. 247-250, <http://dx.doi.org/10.1109/icmts.2002.1193204>
- [Hausser'03] S. Hausser, S. Majoni, H. Schligtenhorst, and G. Kolwe, "Mismatch in diffusion resistors caused by photolithography", IEEE Transactions on Semiconductor Manufacturing, vol. 16, 2003, pp. 181-186, <http://dx.doi.org/10.1109/tsm.2003.811584>
- [Hoeneisen'72] B. Hoeneisen and C. A. Mead, "Current-voltage characteristics of small size MOS transistors", IEEE Transactions on Electron Devices, vol. 19, 1972, pp. 382-383, <http://dx.doi.org/10.1109/t-ed.1972.17428>
- [Hook'03] T. B. Hook, J. Brown, P. Cottrell, E. Adler, D. Hoyniak, J. Johnson, and R. Mann, "Lateral ion implant straggle and mask proximity effect", IEEE Transactions on Electron Devices, vol. 50, 2003, pp. 1946-1951, <http://dx.doi.org/10.1109/ted.2003.815371>

- [Hook'05] T. B. Hook, J. Brown, and T. Xiaowei, "Proximity effects and VLSI design", International Conference on Integrated Circuit Design and Technology, 9-11 May 2005, pp. 167-170, <http://dx.doi.org/10.1109/iccidt.2005.1502622>
- [Hook'10] T. B. Hook, J. B. Johnson, H. Jin-Ping, A. Pond, T. Shimizu, and G. Tsutsui, "Channel Length and Threshold Voltage Dependence of Transistor Mismatch in a 32-nm HKMG Technology", IEEE Transactions on Electron Devices, vol. 57, 2010, pp. 2440-2447, <http://dx.doi.org/10.1109/ted.2010.2057193>
- [Hook'11] T. B. Hook, J. B. Johnson, A. Cathignol, A. Cros, and G. Ghibaudo, "Comment on "Channel Length and Threshold Voltage Dependence of a Transistor Mismatch in a 32-nm HKMG Technology"", IEEE Transactions on Electron Devices, vol. 58, 2011, pp. 1255-1256, <http://dx.doi.org/10.1109/ted.2011.2104962>
- [Huang'08] C.-F. Huang, P. Cheng-Yi, Y. Ying-Jhe, S. Hung-Chang, C. Hung-Chih, K. Ping-Sheng, C. Huan-Lin, L. Chee-Zxaing, and L. Chee Wee, "Stress-Induced Hump Effects of p-Channel Polycrystalline Silicon Thin-Film Transistors", IEEE Electron Device Letters, vol. 29, 2008, pp. 1332-1335, <http://dx.doi.org/10.1109/led.2008.2007306>
- [Ismail'09] M. A. Ismail, I. M. Nasir, and R. Ismail, "Modeling of temperature variations in MOSFET mismatch for circuit simulations", Asia Symposium on Quality Electronic Design, 15-16 July 2009, pp. 357-362, <http://dx.doi.org/10.1109/asqed.2009.5206238>
- [Ito'82] T. Ito, T. Nakamura, and H. Ishikawa, "Advantages of Thermal Nitride and Nitroxide Gate Films in VLSI Process", IEEE Journal of Solid-State Circuits, vol. 17, 1982, pp. 128-132, <http://dx.doi.org/10.1109/jssc.1982.1051704>
- [Jaeger'97] R. C. Jaeger, A. T. Bradley, J. C. Suhling, and Y. Zou, "FET mobility degradation and device mismatch due to packaging induced die stress", European Solid-State Circuits Conference, 16-18 Sept. 1997, pp. 272-275, <http://dx.doi.org/10.1109/esscir.1997.186159>
- [Johnson'08] J. B. Johnson, T. B. Hook, and L. Yoo-Mi, "Analysis and Modeling of Threshold Voltage Mismatch for CMOS at 65 nm and Beyond", IEEE Electron Device Letters, vol. 29, 2008, pp. 802-804, <http://dx.doi.org/10.1109/led.2008.2000649>
- [Joly'10] Y. Joly, L. Lopez, J. M. Portal, H. Aziza, Y. Bert, F. Julien, and P. Fornara, "Impact of hump effect on MOSFET mismatch in the sub-threshold area for low power analog applications", IEEE International Conference on Solid-State and Integrated Circuit Technology, 1-4 Nov. 2010, pp. 1817-1819, <http://dx.doi.org/10.1109/icsict.2010.5667684>
- [Joly'11a] Y. Joly, J. Delalleau, L. Lopez, J. M. Portal, H. Aziza, Y. Bert, F. Julien, and P. Fornara, "Poly-Silicon gate pre-doping implantation impact on MOSFET matching performances", International Conference on Design & Technology of Integrated Systems in Nanoscale Era, 6-8 April 2011, pp. 1-4, <http://dx.doi.org/10.1109/dtis.2011.5941437>
- [Joly'11b] Y. Joly, L. Lopez, J. M. Portal, H. Aziza, P. Masson, J. L. Ogier, Y. Bert, F. Julien, and P. Fornara, "Octagonal MOSFET: Reliable device for low power analog applications", European Solid-State Device Research Conference, 12-16 Sept. 2011, pp. 295-298, <http://dx.doi.org/10.1109/essderc.2011.6044176>
- [Joly'11c] Y. Joly, L. Lopez, J. M. Portal, H. Aziza, J. L. Ogier, Y. Bert, F. Julien, and P. Fornara, "Matching degradation of threshold voltage and gate voltage of NMOSFET after Hot Carrier Injection stress", Microelectronics Reliability, vol. 51, 2011, pp. 1561-1563, <http://dx.doi.org/10.1016/j.microrel.2011.07.027>
- [Joly'11d] Y. Joly, L. Truphemus, L. Lopez, J. M. Portal, H. Aziza, F. Julien, and P. Fornara, "Temperature and hump effect impact on output voltage spread of low power bandgap designed in the sub-threshold area", IEEE International Symposium on Circuits and Systems, 15-18 May 2011, pp. 2549-2552, <http://dx.doi.org/10.1109/iscas.2011.5938124>

- [Joly'12] Y. Joly, L. Lopez, J. M. Portal, H. Aziza, Y. Bert, F. Julien, and P. Fornara, "Active "multi-fingers": Test structure to improve MOSFET matching in sub-threshold area", IEEE International Conference on Microelectronic Test Structures, accepted for publication, 19-22 March. 2012,
- [Keyes'75] R. W. Keyes, "Effect of randomness in the distribution of impurity ions on FET thresholds in integrated electronics", IEEE Journal of Solid-State Circuits, vol. 10, 1975, pp. 245-247, <http://dx.doi.org/10.1109/jssc.1975.1050600>
- [Kim'00] J. Kim, K. Taewoo, P. Jaebeom, K. Woojin, H. Byungseop, and Y. Gyuhan, "A shallow trench isolation using nitric oxide (NO)-annealed wall oxide to suppress inverse narrow width effect", IEEE Electron Device Letters, vol. 21, 2000, pp. 575-577, <http://dx.doi.org/10.1109/55.887470>
- [Kinet'96] P. Kinet and M. Steyaert, "Impact of transistor mismatch on the speed-accuracy-power trade-off of analog CMOS circuits", IEEE Custom Integrated Circuits Conference, 5-8 May 1996, pp. 333-336, <http://dx.doi.org/10.1109/cicc.1996.510569>
- [Kinet'05] P. R. Kinet, "Device mismatch and tradeoffs in the design of analog circuits", IEEE Journal of Solid-State Circuits, vol. 40, 2005, pp. 1212-1224, <http://dx.doi.org/10.1109/jssc.2005.848021>
- [Kinet'07] P. R. Kinet, "Device Mismatch: An Analog Design Perspective", IEEE International Symposium on Circuits and Systems, 27-30 May 2007, pp. 1245-1248, <http://dx.doi.org/10.1109/iscas.2007.378336>
- [Krisch'96] K. S. Krisch, M. L. Green, F. H. Baumann, D. Brasen, L. C. Feldman, and L. Manchanda, "Thickness dependence of boron penetration through O<sub>2</sub> and N<sub>2</sub>O-grown gate oxides and its impact on threshold voltage variation", IEEE Transactions on Electron Devices, vol. 43, 1996, pp. 982-990, <http://dx.doi.org/10.1109/16.502134>
- [Lakshmikummar'86] K. R. Lakshmikummar, R. A. Hadaway, and M. A. Copeland, "Characterisation and modeling of mismatch in MOS transistors for precision analog design", IEEE Journal of Solid-State Circuits, vol. 21, 1986, pp. 1057-1066, <http://dx.doi.org/10.1109/jssc.1986.1052648>
- [Lan'98] M.-F. Lan and R. Geiger, "Matching performance of current mirrors with arbitrary parameter gradients through the active devices", IEEE International Symposium on Circuits and Systems, 31 May-3 Jun 1998, pp. 555-558 vol.1, <http://dx.doi.org/10.1109/iscas.1998.704569>
- [Lan'99] M.-F. Lan, A. Tammineedi, and R. Geiger, "A new current mirror layout technique for improved matching characteristics", Midwest Symposium on Circuits and Systems, 1999, pp. 1126-1129, <http://dx.doi.org/10.1109/mwscas.1999.867835>
- [Lim'07] G. H. Lim, X. Zhou, K. Khu, Y. K. Yoo, F. Poh, G. H. See, Z. M. Zhu, C. Q. Wei, S. H. Lin, and G. J. Zhu, "Physics based scalable MOSFET mismatch model for statistical circuit simulation", IEEE Conference on Electron Devices and Solid-State Circuits, 20-22 Dec. 2007, pp. 1063-1066, <http://dx.doi.org/10.1109/edssc.2007.4450311>
- [Lin'05] J. C. Lin, S. Y. Chen, H. W. Chen, H. C. Lin, Z. W. Zhou, S. Chou, J. Ko, T. F. Lei, and H. S. Huang, "Matching variation after HCI stress in advanced CMOS technology for analog applications", IEEE International Integrated Reliability Workshop, 17-20 Oct. 2005, pp. 107-110, <http://dx.doi.org/10.1109/irws.2005.1609575>
- [Linares-Barranco'07a] B. Linares-Barranco and T. Serrano-Gotarredona, "On an Efficient CAD Implementation of the Distance Term in Pelgrom's Mismatch Model", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 26, 2007, pp. 1534-1538, <http://dx.doi.org/10.1109/tcad.2007.893546>

- [Linares-Barranco'07b] B. Linares-Barranco and T. Serrano-Gotarredona, "A Physical Interpretation of the Distance Term in Pelgrom's Mismatch Model results in very Efficient CAD", IEEE International Symposium on Circuits and Systems, 27-30 May 2007, pp. 1561-1564, <http://dx.doi.org/10.1109/iscas.2007.378710>
- [Linnenbank'98] C. G. Linnenbank, W. Weber, U. Kollmer, B. Holzapfl, S. Sauter, U. Schaper, R. Brederlow, S. Cyrusian, S. Kessel, R. Heinrich, E. Hoefig, G. Knoblinger, A. Hesener, and R. Thewes, "What Do Matching Results of Medium Area MOSFETs Reveal for Large Area Devices in Typical Analog Applications", European Solid-State Device Research Conference, 8-10 Sept. 1998, pp. 104-107,
- [Lopez'04Th] L. Lopez, PhD Thesis, "Modelisation et caracterisation de cellules memoires eDRAM", University of Provence, FRANCE, 2004.
- [Magnone'11] P. Magnone, F. Crupi, N. Wils, R. Jain, H. Tuinhout, P. Andricciola, G. Giusi, and C. Fiegna, "Impact of Hot Carriers on nMOSFET Variability in 45- and 65-nm CMOS Technologies", IEEE Transactions on Electron Devices, vol. 58, 2011, pp. 2347-2353, <http://dx.doi.org/10.1109/ted.2011.2156414>
- [ManuelHP'4142B] Manuel HP4142B, Agilent Technologies.
- [Maserjian'74] J. Maserjian, G. Petersson, and C. Svensson, "Saturation capacitance of thin oxide MOS structures and the effective surface density of states of silicon", Solid-State Electronics, vol. 17, 1974, pp. 335-339, [http://dx.doi.org/10.1016/0038-1101\(74\)90125-7](http://dx.doi.org/10.1016/0038-1101(74)90125-7)
- [Math'08] G. Math, C. Benard, J. L. Ogier, and D. Goguenheim, "Geometry effects on the NBTI degradation of PMOS transistors", IEEE International Integrated Reliability Workshop, 12-16 Oct. 2008, pp. 60-63, <http://dx.doi.org/10.1109/irws.2008.4796087>
- [Mc Ginley'04] J. Mc Ginley, O. Noblanc, C. Julien, S. Parihar, K. Rochereau, R. Difrenza, and P. Linares, "Impact of pocket implant on MOSFET mismatch for advanced CMOS technology", IEEE International Conference on Microelectronic Test Structures, 22-25 March 2004, pp. 123-126, <http://dx.doi.org/10.1109/icmts.2004.1309464>
- [McCreary'81] J. L. McCreary, "Matching properties, and voltage and temperature dependence of MOS capacitors", IEEE Journal of Solid-State Circuits, vol. 16, 1981, pp. 608-616, <http://dx.doi.org/10.1109/jssc.1981.1051651>
- [Mennillo'09] S. Mennillo, A. Spessot, L. Vendrame, and L. Bortesi, "An Analysis of Temperature Impact on MOSFET Mismatch", IEEE International Conference on Microelectronic Test Structures, 30 March-2 April 2009, pp. 56-61, <http://dx.doi.org/10.1109/icmts.2009.4814610>
- [Mezzomo'09] C. M. Mezzomo, M. Marin, C. Leyris, and G. Ghibaudo, "Mismatch Measure Improvement Using Kelvin Test Structures in Transistor Pair Configuration in Sub-Hundred Nanometer MOSFET Technology", IEEE International Conference on Microelectronic Test Structures, March 30 2009-April 2 2009, pp. 62-67, <http://dx.doi.org/10.1109/icmts.2009.4814611>
- [Mezzomo'10a] C. M. Mezzomo, A. Bajolet, A. Cathignol, and G. Ghibaudo, "Drain current variability in 45nm heavily pocket-implanted bulk MOSFET", European Solid-State Device Research Conference, 14-16 Sept. 2010, pp. 122-125, <http://dx.doi.org/10.1109/essderc.2010.5618468>
- [Mezzomo'10b] C. M. Mezzomo, A. Bajolet, A. Cathignol, E. Josse, and G. Ghibaudo, "Modeling local electrical fluctuations in 45 nm heavily pocket-implanted bulk MOSFET", Solid-State Electronics, vol. 54, pp. 1359-1366, <http://dx.doi.org/10.1016/j.sse.2010.06.010>
- [Mezzomo'11] C. M. Mezzomo, A. Bajolet, A. Cathignol, R. Di Frenza, and G. Ghibaudo, "Characterization and Modeling of Transistor Variability in Advanced CMOS Technologies", IEEE Transactions on Electron Devices, vol. 58, pp. 2235-2248, <http://dx.doi.org/10.1109/ted.2011.2141140>

- [Michael'92a] C. Michael and M. Ismail, "Statistical modeling of device mismatch for analog MOS integrated circuits", IEEE Journal of Solid-State Circuits, vol. 27, 1992, pp. 154-166, <http://dx.doi.org/10.1109/4.127338>
- [Michael'92b] C. Michael, H. Wang, C. S. Teng, J. Shibley, L. Lewicki, C. M. Shyu, and R. Lahri, "Mismatch drift: a reliability issue for analog MOS circuits", International Reliability Physics Symposium, 31 March-2 April 1992, pp. 81-84, <http://dx.doi.org/10.1109/relphy.1992.187627>
- [Michael'93] C. Michael, C. Abel, and C. S. Teng, "A flexible statistical model for CAD of submicrometer analog CMOS integrated circuits", International Conference on Computer-Aided Design, 7-11 Nov 1993, pp. 330-333, <http://dx.doi.org/10.1109/iccad.1993.580077>
- [Michael'96] C. Michael, S. Hua, M. Ismail, A. Kankunen, and M. Valtonen, "Statistical techniques for the computer-aided optimization of analog integrated circuit", IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications, vol. 43, 1996, pp. 410-413, <http://dx.doi.org/10.1109/81.502212>
- [Mizuno'93] T. Mizuno, J. Okamura, and A. Toriumi, "Experimental Study Of Threshold Voltage Fluctuations Using An 8k MOSFET's Array", Symposium on VLSI Technology, 1993, pp. 41-42, <http://dx.doi.org/10.1109/vlsit.1993.760235>
- [Mizuno'94] T. Mizuno, J. Okumtura, and A. Toriumi, "Experimental study of threshold voltage fluctuation due to statistical variation of channel dopant number in MOSFET's", IEEE Transactions on Electron Devices, vol. 41, 1994, pp. 2216-2221, <http://dx.doi.org/10.1109/16.333844>
- [Mizuno'96] T. Mizuno, "Influence of Statistical Spatial-Nonuniformity of Dopant Atoms on Threshold Voltage in a System of Many MOSFETs", Japanese Journal of Applied Physics, vol. 35, 1996, pp. 842-848, <http://dx.doi.org/10.1143/JJAP.35.842JF>
- [Monsieur'02Th] F. Monsieur, PhD Thesis, "Etude des mecanismes de degradation lors du claquage des oxydes de grille ultra minces application a la fiabilité des technologies CMOS sub-0.12µm", INP Grenoble, FRANCE, 2002.
- [Mourrain'00] C. Mourrain, B. Cretu, G. Ghibaudo, and P. Cottin, "New method for parameter extraction in deep submicrometer MOSFETs", IEEE International Conference on Microelectronic Test Structures, 2000, pp. 181-186, <http://dx.doi.org/10.1109/icmts.2000.844428>
- [Narendra'03] S. Narendra, A. Keshavarzi, B. A. Bloechel, S. Borkar, and V. De, "Forward body bias for microprocessors in 130-nm technology generation and beyond", IEEE Journal of Solid-State Circuits, vol. 38, 2003, pp. 696-701, <http://dx.doi.org/10.1109/jssc.2003.810054>
- [Nishigohri'96] M. Nishigohri, K. Ishimaru, M. Takahashi, Y. Unno, Y. Okayama, F. Matsuoka, and M. Kinugawa, "Anomalous hot-carrier induced degradation in very narrow channel nMOSFETs with STI structure", International Electron Devices Meeting, 8-11 Dec. 1996, pp. 881-884, <http://dx.doi.org/10.1109/iedm.1996.554120>
- [Nouri'00] F. Nouri, G. Scott, M. Rubin, M. Manley, and P. Stolk, "Narrow Device Issues in Deep-Submicron Technologies-the Influence of Stress, TED and Segregation on Device Performance", European Solid-State Device Research Conference, 11-13 September 2000, pp. 112-115, <http://dx.doi.org/10.1109/essderc.2000.194727>
- [Park'08] B.-C. Park, L. Sung-Young, C. Dong-Ryul, B. Kee-In, K. Sung-Jun, Y. Sang-Bae, and J. Eun-Seung, "A Fermi Level Controlled High Voltage Transistor preventing subthreshold hump", IEEE International Conference on Solid-State and Integrated Circuit Technology, 20-23 Oct. 2008, pp. 172-175, <http://dx.doi.org/10.1109/icsict.2008.4734501>
- [Pelgrom'89] M. J. M. Pelgrom, A. C. J. Duinmaijer, and A. P. G. Welbers, "Matching properties of MOS transistors", IEEE Journal of Solid-State Circuits, vol. 24, 1989, pp. 1433-1439, <http://dx.doi.org/10.1109/jssc.1989.572629>

- [Pelgrom'98] M. J. M. Pelgrom, H. P. Tuinhout, and M. Vertregt, "Transistor matching in analog CMOS applications", International Electron Devices Meeting, 6-9 Dec 1998, pp. 915-918, <http://dx.doi.org/10.1109/iedm.1998.746503>
- [Pergoot'95] A. Pergoot, B. Graindourze, E. Janssens, J. Bastos, M. Steyaert, P. Kinget, R. Roovers, and W. Sansen, "Statistics for matching", IEEE International Conference on Microelectronic Test Structures, 22-25 Mar 1995, pp. 193-197, <http://dx.doi.org/10.1109/icmts.1995.513971>
- [Pileggi'08] L. Pileggi, G. Keskin, L. Xin, M. Ken, and J. Proesel, "Mismatch analysis and statistical design at 65 nm and below", IEEE Custom Integrated Circuits Conference, 21-24 Sept. 2008, pp. 9-12, <http://dx.doi.org/10.1109/cicc.2008.4672006>
- [Portmann'98] L. Portmann, C. Lallement, and F. Krummenacher, "A high density integrated test matrix of MOS transistors for matching study", IEEE International Conference on Microelectronic Test Structures, 23-26 Mar 1998, pp. 19-24, <http://dx.doi.org/10.1109/icmts.1998.688028>
- [Putra'08] A. T. Putra, T. Tsunomura, A. Nishida, S. Kamohara, K. Takeuchi, and T. Hiramoto, "Impact of fixed charge at MOSFETs SiO<sub>2</sub>/Si interface on V<sub>th</sub> variation", International Conference on Simulation of Semiconductor Processes and Devices, 9-11 Sept. 2008, pp. 25-28, <http://dx.doi.org/10.1109/sispad.2008.4648228>
- [Quarantelli'03] M. Quarantelli, S. Saxena, N. Dragone, J. A. Babcock, C. Hess, S. Minehane, S. Winters, C. Jianjun, H. Karbasi, and C. Guardiani, "Characterization and modeling of MOSFET mismatch of a deep submicron technology", IEEE International Conference on Microelectronic Test Structures, 17-20 March 2003, pp. 238-243, <http://dx.doi.org/10.1109/icmts.2003.1197468>
- [Rauch'02] S. E. Rauch, "The statistics of NBTI-induced V<sub>t</sub> and Beta mismatch shifts in pMOSFETs", IEEE Transactions on Device and Materials Reliability, vol. 2, 2002, pp. 89-93, <http://dx.doi.org/10.1109/tdmr.2002.805119>
- [Rauch'07] S. E. Rauch, "Review and Reexamination of Reliability Effects Related to NBTI-Induced Statistical Variations", IEEE Transactions on Device and Materials Reliability, vol. 7, 2007, pp. 524-530, <http://dx.doi.org/10.1109/tdmr.2007.910437>
- [Ricco'96] B. Ricco, R. Versari, and D. Esseni, "Characterization of polysilicon-gate depletion in MOS structures", IEEE Electron Device Letters, vol. 17, 1996, pp. 103-105, <http://dx.doi.org/10.1109/55.485181>
- [Rios'02] R. Rios, S. Wei-Kai, A. Shah, S. Mudanai, P. Packan, T. Sandford, and K. Mistry, "A three-transistor threshold voltage model for halo processes", International Electron Devices Meeting, 2002, pp. 113-116, <http://dx.doi.org/10.1109/iedm.2002.1175791>
- [Rodrigues'06] S. Rodrigues and M. S. Bhat, "Impact of Process Variation Induced Transistor Mismatch on Sense Amplifier Performance", International Conference on Advanced Computing and Communications, 20-23 Dec. 2006, pp. 497-502, <http://dx.doi.org/10.1109/adcom.2006.4289943>
- [Roy'06] G. Roy, R. B. Andrew, A.-L. Fikru, R. Scott, and A. Asen, "Simulation Study of Individual and Combined Sources of Intrinsic Parameter Fluctuations in Conventional Nano-MOSFETs", IEEE Transactions on Electron Devices, vol. 53, 2006, pp. 3063-3070, <http://dx.doi.org/10.1109/ted.2006.885683>
- [Sallagoity'96] P. Sallagoity, M. Ada-Hanifi, M. Paoli, and M. Haond, "Analysis of width edge effects in advanced isolation schemes for deep submicron CMOS technologies", IEEE Transactions on Electron Devices, vol. 43, 1996, pp. 1900-1906, <http://dx.doi.org/10.1109/16.543025>
- [Schaper'00] U. Schaper, C. Linnenbank, and R. Thewes, "A novel approach for precise characterization of long distance mismatch of CMOS-devices", IEEE International Conference on Microelectronic Test Structures, 2000, pp. 148-152, <http://dx.doi.org/10.1109/icmts.2000.844422>

- [Schaper'01a] U. Schaper, C. Linnenbank, U. Kollmer, H. Mulatz, T. Mensing, R. Schmidt, R. Tilgner, and A. R. Thewes, "Evaluation of the impact of mechanical stress on CMOS device mismatch", IEEE International Conference on Microelectronic Test Structures, 2001, pp. 1-5, <http://dx.doi.org/10.1109/icmts.2001.928627>
- [Schaper'01b] U. Schaper, C. G. Linnenbank, and R. Thewes, "Precise characterization of long-distance mismatch of CMOS devices", IEEE Transactions on Semiconductor Manufacturing, vol. 14, 2001, pp. 311-317, <http://dx.doi.org/10.1109/66.964318>
- [Schaper'03] U. Schaper and C. Linnenbank, "Comparison of distance mismatch and pair matching of CMOS devices", European Solid-State Circuits Conference, 16-18 Sept. 2003, pp. 703-705, <http://dx.doi.org/10.1109/esscirc.2003.1257232>
- [Schaper'11] U. Schaper and J. Einfeld, "Matching Model for Planar Bulk Transistors With Halo Implantation", IEEE Electron Device Letters, vol. 32, 2011, pp. 859-861, <http://dx.doi.org/10.1109/led.2011.2150194>
- [Schmitz'99] J. Schmitz, H. P. Tuinhout, A. H. Montree, Y. V. Ponomarev, P. A. Stolk, and P. H. Woerlee, "Gate polysilicon optimization for deep-submicron MOSFETs", European Solid-State Device Research Conference, 13-15 Sept. 1999, pp. 156-159,
- [Schroder] D. K. Schroder, "Semiconductor material and device characterization", 2nd ed., Wiley-interscience, 1998.
- [Schwantes'05] S. Schwantes, J. Fuerthaler, T. Stephan, M. Graf, V. Dudek, T. Barry, G. Miller, and J. Shen, "Characterisation of a new hump-free device structure for smart power and embedded memory technologies", Microelectronic Engineering, vol. 81, 2005, pp. 132-139, <http://dx.doi.org/10.1016/j.mee.2005.04.007>
- [Sengupta'05] S. Sengupta, L. Carastro, and P. E. Allen, "Design considerations in bandgap references over process variations", IEEE International Symposium on Circuits and Systems, 23-26 May 2005, pp. 3869-3872, <http://dx.doi.org/10.1109/iscas.2005.1465475>
- [Serrano-Gotarredona'00] T. Serrano-Gotarredona and B. Linares-Barranco, "A new five-parameter MOS transistor mismatch model", IEEE Electron Device Letters, vol. 21, 2000, pp. 37-39, <http://dx.doi.org/10.1109/55.817445>
- [Serrano-Gotarredona'04] T. Serrano-Gotarredona, B. Linares-Barranco, and J. Velarde-Ramirez, "A precise CMOS mismatch model for analog design from weak to strong inversion", International Symposium on Circuits and Systems, 23-26 May 2004, pp. 753-756, <http://dx.doi.org/10.1109/iscas.2004.1328304>
- [Shimizu'02] Y. Shimizu, M. Nakamura, T. Matsuoka, and K. Taniguchi, "Test structure for precise statistical characteristics measurement of MOSFETs", IEEE International Conference on Microelectronic Test Structures, 8-11 April 2002, pp. 49-54, <http://dx.doi.org/10.1109/icmts.2002.1193170>
- [Shimizu'04] Y. Shimizu, M. Nakamura, T. Matsuoka, and K. Taniguchi, "Test structure for precise measurement of MOSFET matching properties", Electronics and Communications in Japan (Part II: Electronics), vol. 87, 2004, pp. 21-28, <http://dx.doi.org/10.1002/ecjb.10178>
- [Shyu'82] J. B. Shyu, G. C. Temes, and K. Yao, "Random errors in MOS capacitors", IEEE Journal of Solid-State Circuits, vol. 17, 1982, pp. 1070-1076, <http://dx.doi.org/10.1109/jssc.1982.1051862>
- [Shyu'84] J. B. Shyu, G. C. Temes, and F. Krummenacher, "Random error effects in matched MOS capacitors and current sources", IEEE Journal of Solid-State Circuits, vol. 19, 1984, pp. 948-956, <http://dx.doi.org/10.1109/jssc.1984.1052250>

- [Stolk'98] P. A. Stolk, F. P. Widdershoven, and D. B. M. Klaassen, "Modeling statistical dopant fluctuations in MOS transistors", IEEE Transactions on Electron Devices, vol. 45, 1998, pp. 1960-1971, <http://dx.doi.org/10.1109/16.711362>
- [Synopsys Sentaurus] Synopsys, "Sentaurus Process User Guide version 2010.03".
- [Sze] S. M. Sze, "Physics of Semiconductor Devices", 2nd ed., Wiley-interscience, 1981.
- [Takeuchi'97] K. Takeuchi, T. Tatsumi, and A. Furukawa, "Channel engineering for the reduction of random-dopant-placement-induced threshold voltage fluctuation", International Electron Devices Meeting, 7-10 Dec 1997, pp. 841-844, <http://dx.doi.org/10.1109/iedm.1997.650512>
- [Tan'04a] P. B. Y. Tan, A. V. Kordesch, and O. Sidek, "CMOS transistor mismatch model with temperature effect for HSPICE and SPECTRE", International Conference on Solid-State and Integrated Circuits Technology, 18-21 Oct. 2004, pp. 1139-1142, <http://dx.doi.org/10.1109/icsict.2004.1436718>
- [Tan'04b] P. B. Y. Tan, A. V. Kordesch, and O. Sidek, "Effect of shallow trench isolation induced stress on CMOS transistor mismatch", IEEE International Conference on Semiconductor Electronics, 7-9 Dec. 2004, pp. 189-192, <http://dx.doi.org/10.1109/smelec.2004.1620867>
- [Thewes'94] R. Thewes, K. Goser, and W. Weber, "Characterization and model of the hot-carrier-induced offset voltage of analog CMOS differential stages", International Electron Devices Meeting, 11-14 Dec 1994, pp. 303-306, <http://dx.doi.org/10.1109/iedm.1994.383407>
- [Thewes'96] R. Thewes, K. F. Goser, and W. Weber, "Hot carrier induced degradation of CMOS current mirrors and current sources", International Electron Devices Meeting, 8-11 Dec. 1996, pp. 885-888, <http://dx.doi.org/10.1109/iedm.1996.554121>
- [Thewes'99] R. Thewes, R. Brederlow, C. Schlunder, P. Wiczorek, A. Hesener, B. Ankele, P. Klein, S. Kessel, and W. Weber, "Device reliability in analog CMOS applications", International Electron Devices Meeting, 1999, pp. 81-84, <http://dx.doi.org/10.1109/iedm.1999.823851>
- [Thewes'01] R. Thewes, R. Brederlow, C. Schlunder, P. Wiczorek, B. Ankele, A. Hesener, J. Holz, S. Kessel, and W. Weber, "Evaluation of MOSFET Reliability in Analog Applications", European Solid-State Device Research Conference, 11-13 September 2001, pp. 73-80, <http://dx.doi.org/10.1109/essderc.2001.195207>
- [Tuinhout'96] H. Tuinhout, M. Pelgrom, R. Penning de Vries, and M. Vertregt, "Effects of metal coverage on MOSFET matching", International Electron Devices Meeting, 8-11 Dec. 1996, pp. 735-738, <http://dx.doi.org/10.1109/iedm.1996.554085>
- [Tuinhout'97a] H. P. Tuinhout, A. H. Montree, J. Schmitz, and P. A. Stolk, "Effects of gate depletion and boron penetration on matching of deep submicron CMOS transistors", International Electron Devices Meeting, 7-10 Dec 1997, pp. 631-634, <http://dx.doi.org/10.1109/iedm.1997.650463>
- [Tuinhout'97b] H. P. Tuinhout and M. Vertregt, "Test structures for investigation of metal coverage effects on MOSFET matching", IEEE International Conference on Microelectronic Test Structures, 17-20 Mar 1997, pp. 179-183, <http://dx.doi.org/10.1109/icmts.1997.589386>
- [Tuinhout'98] H. P. Tuinhout and W. C. M. Peters, "Measurement of lithographical proximity effects on matching of bipolar transistors", IEEE International Conference on Microelectronic Test Structures, 23-26 Mar 1998, pp. 7-12, <http://dx.doi.org/10.1109/icmts.1998.688025>
- [Tuinhout'01] H. P. Tuinhout and M. Vertregt, "Characterization of systematic MOSFET current factor mismatch caused by metal CMP dummy structures", IEEE Transactions on Semiconductor Manufacturing, vol. 14, 2001, pp. 302-310, <http://dx.doi.org/10.1109/66.964317>
- [Tuinhout'03] H. P. Tuinhout, A. Bretveld, and W. C. M. Peters, "Current mirror test structures for studying adjacent layout effects on systematic transistor mismatch", IEEE International Conference on

- Microelectronic Test Structures, 17-20 March 2003, pp. 221-226, <http://dx.doi.org/10.1109/icmts.2003.1197465>
- [Tuinhout'04] H. P. Tuinhout, A. Bretveld, and W. C. M. Peters, "Measuring the span of stress asymmetries on high-precision matched devices", IEEE International Conference on Microelectronic Test Structures, 22-25 March 2004, pp. 117-122, <http://dx.doi.org/10.1109/icmts.2004.1309463>
- [Tuinhout'05Th] H. P. Tuinhout, PhD Thesis, "Electrical characterisation of matched pairs for evaluation of integrated circuit technologies", Delft University of Technology, NETHERLANDS, 2005.
- [Vancaillie'03] L. Vancaillie, F. Silveira, B. Linares-Barranco, T. Serrano-Gotarredona, and D. Flandre, "MOSFET mismatch in weak/moderate inversion: model needs and implications for analog design", European Solid-State Circuits Conference, 16-18 Sept. 2003, pp. 671-674, <http://dx.doi.org/10.1109/esscirc.2003.1257224>
- [Vittoz'09] E. A. Vittoz, "Weak inversion for ultra low-power and very low-voltage circuits", IEEE Asian Solid-State Circuits Conference, 16-18 Nov. 2009, pp. 129-132, <http://dx.doi.org/10.1109/asscc.2009.5357240>
- [Wils'08] N. Wils, H. Tuinhout, and M. Meijer, "Influence of STI stress on drain current matching in advanced CMOS", IEEE International Conference on Microelectronic Test Structures, 24-27 March 2008, pp. 238-243, <http://dx.doi.org/10.1109/icmts.2008.4509345>
- [Wils'09] N. Wils, H. P. Tuinhout, and M. Meijer, "Characterization of STI Edge Effects on CMOS Variability", IEEE Transactions on Semiconductor Manufacturing, vol. 22, 2009, pp. 59-65, <http://dx.doi.org/10.1109/tsm.2008.2010731>
- [Wils'10] N. Wils, H. Tuinhout, and M. Meijer, "Influence of metal coverage on transistor mismatch and variability in copper damascene based CMOS technologies", IEEE International Conference on Microelectronic Test Structures, 22-25 March 2010, pp. 182-187, <http://dx.doi.org/10.1109/icmts.2010.5466825>
- [Wong'97] S.-C. Wong, P. Kuo-Hua, and M. Dye-Jyun, "A CMOS mismatch model and scaling effects", IEEE Electron Device Letters, vol. 18, 1997, pp. 261-263, <http://dx.doi.org/10.1109/55.585349>
- [Wu'07] X. Wu, J. Trogolo, F. Inoue, C. Zhenwu, P. Jones-Williams, I. Khan, and P. Madhani, "Impact of Sinter Process and Metal Coverage on Transistor Mismatching and Parameter Variations in Analog CMOS Technology", IEEE International Conference on Microelectronic Test Structures, 19-22 March 2007, pp. 69-73, <http://dx.doi.org/10.1109/icmts.2007.374457>
- [Wu'08] X. Wu, C. Zhenwu, and P. Madhani, "Physics and modeling of transistor matching degradation under matched external stress", IEEE International Conference on Microelectronic Test Structures, 24-27 March 2008, pp. 233-237, <http://dx.doi.org/10.1109/icmts.2008.4509344>
- [Yu'98] B. Yu, J. Dong-Hyuk, L. Wen-Chin, N. Kepler, K. Tsu-Jae, and H. Chenming, "Gate engineering for deep-submicron CMOS transistors", IEEE Transactions on Electron Devices, vol. 45, 1998, pp. 1253-1262, <http://dx.doi.org/10.1109/16.678529>
- [Yuan'11] X. Yuan, T. Shimizu, U. Mahalingam, J. S. Brown, K. Z. Habib, D. G. Tekleab, S. Tai-Chi, S. Satadru, C. M. Olsen, L. Hyunwoo, P. Li-Hong, T. B. Hook, H. Jin-Ping, P. Jae-Eun, N. Myung-Hee, and K. Rim, "Transistor Mismatch Properties in Deep-Submicrometer CMOS Technologies", IEEE Transactions on Electron Devices, vol. 58, 2011, pp. 335-342, <http://dx.doi.org/10.1109/ted.2010.2090159>

## Références de l'auteur

### Publications :

- [Joly'10] Y. Joly, L. Lopez, J. M. Portal, H. Aziza, Y. Bert, F. Julien, and P. Fornara, "*Impact of hump effect on MOSFET mismatch in the sub-threshold area for low power analog applications*", in 10th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT 2010), Shanghai, CHINA, 1-4 Nov. 2010, pp. 1817-1819, <http://dx.doi.org/10.1109/icsict.2010.5667684>
- [Joly'11a] Y. Joly, J. Delalleau, L. Lopez, J. M. Portal, H. Aziza, Y. Bert, F. Julien, and P. Fornara, "*Poly-Silicon gate pre-doping implantation impact on MOSFET matching performances*", in 6th International Conference on Design & Technology of Integrated Systems in Nanoscale Era (DTIS 2011), Athens, GREECE, 6-8 April 2011, pp. 1-4, <http://dx.doi.org/10.1109/dtis.2011.5941437>
- [Joly'11b] Y. Joly, L. Lopez, J. M. Portal, H. Aziza, P. Masson, J. L. Ogier, Y. Bert, F. Julien, and P. Fornara, "*Octagonal MOSFET: Reliable device for low power analog applications*", in Solid-State Device Research Conference (ESSDERC 2011), Helsinki, FINLAND, 12-16 Sept. 2011, pp. 295-298, <http://dx.doi.org/10.1109/essderc.2011.6044176>
- [Joly'11d] Y. Joly, L. Truphemus, L. Lopez, J. M. Portal, H. Aziza, F. Julien, and P. Fornara, "*Temperature and hump effect impact on output voltage spread of low power bandgap designed in the sub-threshold area*", in IEEE International Symposium on Circuits and Systems (ISCAS 2011), Rio de Janeiro, BRASIL, 15-18 May 2011, pp. 2549-2552, <http://dx.doi.org/10.1109/iscas.2011.5938124>
- [Joly'12] Y. Joly, L. Lopez, J. M. Portal, H. Aziza, Y. Bert, F. Julien, and P. Fornara, "*Active "multi-fingers": Test structure to improve MOSFET matching in sub-threshold area*", accepted for publication, (ICMTS 2012), San Diego, UNITED STATES, 19-22 March 2012

### Revues:

- [Joly'11c] Y. Joly, L. Lopez, J. M. Portal, H. Aziza, J. L. Ogier, Y. Bert, F. Julien, and P. Fornara, "*Matching degradation of threshold voltage and gate voltage of NMOSFET after Hot Carrier Injection stress*", *Microelectronics Reliability*, vol. 51, 2011, pp. 1561-1563, <http://dx.doi.org/10.1016/j.microrel.2011.07.027>

## Étude des fluctuations locales des transistors MOS destinés aux applications analogiques

Les fluctuations électriques des composants sont une limitation à la miniaturisation des circuits. Malgré des procédés de fabrications en continuelle évolution, les variations des caractéristiques électriques dues au désappariement entre deux dispositifs limitent les performances des circuits. Concernant les applications à faible consommation, ces fluctuations locales peuvent devenir très critiques. Dans le contexte du développement d'une technologie CMOS 90nm avec mémoire Flash embarquée pour des applications basse consommation, l'appariement de transistors MOS est étudié. Une analyse de l'impact du dopage de grille des transistors NMOS est menée. L'étude se focalise sur l'appariement en tension des paires différentielles polarisées dans la zone de fonctionnement sous le seuil. Il est démontré que cet appariement peut être dégradé à cause de l'effet « hump », c'est-à-dire la présence de transistors parasites en bord d'active. Un macro-modèle permettant aux concepteurs de modéliser cet effet est présenté. Il est étudié au niveau composant, au niveau circuit et en température. Enfin, une étude de la dégradation de l'appariement des transistors MOS sous stress porteurs chauds est réalisée, validant un modèle de dégradation. Des transistors octogonaux sont proposés pour supprimer l'effet « hump » et donnent d'excellents résultats en termes d'appariement ainsi qu'en fiabilité.

**Mots clés :** *Fluctuations électriques, appariement (désappariement), conception analogique, inversion faible, effet « hump », macro-modèle, contre-dopage, fiabilité, transistors octogonaux.*

---

## Local fluctuations study of MOS transistors for analog applications

Electrical fluctuations of devices limit chip miniaturization. Despite manufacturing processes in continuous evolution, circuit performances are limited by electrical characteristics variations due to mismatch between two devices. Concerning low power applications, local fluctuations can become very critical. In the context of development of a 90nm CMOS technology with Embedded Flash memory for low power applications, MOS transistors matching is studied. A study of NMOS transistors gate doping impact is conducted. Study focuses on voltage matching of differential pairs biased under threshold. It is demonstrated that this matching can be degraded due to « hump » effect, meaning presence of parasitic devices on active edge. A macro-model allowing designers to model this effect is presented. It is studied at device level, circuit level and for different temperatures. Finally, a degradation study of MOS transistors mismatch under Hot Carriers Injection stress is performed, validating a degradation model. Octagonal devices are proposed to suppress « hump » effect and give good results in terms of matching as well as reliability.

**Keywords:** *Electrical fluctuations, matching (mismatch), analog design, weak inversion, « hump » effect, macro-model, counter doping, reliability, octagonal devices.*