



**HAL**  
open science

# Nouvelles chaînes d'instrumentation intégrées multivoies pour l'astrophysique

Florent Bouyjou

► **To cite this version:**

Florent Bouyjou. Nouvelles chaînes d'instrumentation intégrées multivoies pour l'astrophysique. Micro et nanotechnologies/Microélectronique. Institut National Polytechnique de Toulouse - INPT, 2011. Français. NNT: . tel-00766655v1

**HAL Id: tel-00766655**

**<https://theses.hal.science/tel-00766655v1>**

Submitted on 18 Dec 2012 (v1), last revised 13 Oct 2023 (v2)

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



# THÈSE

En vue de l'obtention du

## DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par *l'Institut National Polytechnique de Toulouse (INP Toulouse)*

**Discipline ou spécialité :** *Conception des circuits Microélectroniques et Microsystèmes (CCMM)*

---

**Présentée et soutenue par** *Florent BOUYJOU*  
Le *lundi 5 décembre 2011*

**Titre :** *Nouvelles chaînes d'instrumentation intégrées multivoies pour l'astrophysique*

---

### JURY

*MME Hélène TAP-BETEILLE, Directrice de thèse*  
*M. Jean-André SAUVAUD, Co-directeur de thèse*  
*M. Jean-Didier LEGAT, Président du jury*  
*M. Pascal FOUILLAT, Rapporteur*  
*M. Pascal NOUET, Rapporteur*  
*M. Olivier BERNAL, Examineur*  
*M. Jean-Marc BIFFI, Invité*

---

**Ecole doctorale :** *Génie Electrique, Electronique et Télécommunications (GEET)*

**Unité de recherche :** *LAAS - CNRS et IRAP - CNRS*

**Directeur(s) de Thèse :** *MME. Hélène TAP-BETEILLE et M. Jean-André SAUVAUD*

**Rapporteurs :** *Noms des rapporteurs (s'ils ne font pas partie des membre du jury)*



# **THESE**

Docteur de l'institut national polytechnique de Toulouse

**Par :**

Florent BOUYJOU

Equipe d'accueil : LAAS – OSE et IRAP - CNRS

Ecole doctorale : GEET

Spécialité : MicroNano Systèmes

**Titre :**

Nouvelles chaînes d'instrumentation intégrées multivoies pour l'astrophysique

**Présentée et soutenue le :**

Lundi 5 décembre 2011

MME	Hélène	TAP-BETEILLE	Directrice de thèse
M.	Jean-André	SAUVAUD	Co-directeur de thèse
M.	Jean-Didier	LEGAT	Président du jury
M.	Pascal	FOUILLAT	Rapporteur
M.	Pascal	NOUET	Rapporteur
M.	Olivier	BERNAL	Examineur
M.	Jean-Marc	BIFFI	Invité



# Nouvelles chaînes d'instrumentation intégrées multivoies pour l'astrophysique

## Mots clés

- Environnement spatial
- Chaînes d'instrumentation intégrées
- Détecteurs MCP et Semi-conducteurs
- Technologie CMOS
- ASIC analogique / numérique.

## Résumé

L'exploration du système solaire et l'étude de l'univers lointain sont principalement basées sur la mesure d'ions et de particules in-situ. Les détecteurs, utilisés pour convertir l'énergie en charges électriques mesurables, sont étroitement liés à leur électronique analogique Analog-Front-End (AFE) et cette combinaison forme des chaînes astrophysiques de détection appelées "sensor heads". La nécessité d'améliorer les résolutions spatiales et spectrales des détecteurs nécessite la conception d'une électronique intégrée multivoies. Par ailleurs, pour s'adapter au mieux à chaque détecteur, une instrumentation spécifique devra être mise en œuvre. Ainsi, le développement d'une électronique spatiale de type Application Specific Integrated Circuit (ASIC) doit être développée, nécessitant un savoir faire spécifique.

La première partie de la thèse est consacrée à décrire les différentes méthodes de mesure des particules en environnement spatial.

Le deuxième chapitre présente l'architecture d'un détecteur constitué de MicroChannel Plates (MCP), puis l'architecture d'un détecteur à base de semi-conducteurs pour la spectrométrie d'électrons énergétique. Le premier détecteur est utilisé pour la détection de particules alors que le deuxième permet de mesurer le niveau d'énergie déposé par les électrons dans des semi-conducteurs (Si et CdZnTe). Le simulateur GEANT 4 a permis de déterminer la géométrie optimale du détecteur en quantifiant le nombre de paires électron-positron créées dans les semi-conducteurs en fonction de l'énergie des particules incidentes.

Le troisième chapitre présente une méthodologie de conception des chaînes d'instrumentation en technologie CMOS permettant de s'adapter aux différents détecteurs. Une étude succincte des effets de l'environnement spatial sur l'électronique CMOS est également réalisée. La structure analogique permettant de convertir une charge en tension est présentée et des pistes sont proposées afin de l'optimiser en vitesse, en bruit et en consommation.

Le quatrième et cinquième chapitres de la thèse traitent du développement de deux ASICs, l'un permettant d'instrumenter un détecteur à MCP, l'autre un détecteur à semi-conducteurs.

Enfin, le dernier chapitre présente les validations expérimentales et les performances des chaînes de détection pour la MCP et les semi-conducteurs. Les résultats de ces mesures ont permis de montrer la faisabilité de l'intégration multivoies de deux chaînes d'instrumentation spatiale validant ainsi la méthodologie de conception. Les performances obtenues sont meilleures que celles obtenues en électronique discrète et sont adaptées à l'environnement spatial. Ces nouvelles chaînes multivoies réalisées ouvrent donc de nouvelles perspectives dans les futures missions en astrophysique.



# Remerciements

---

Je tiens d'abord à remercier chaleureusement ma directrice de thèse Hélène TAP pour avoir encadré ces travaux de thèse. Ses nombreuses qualités, précieux conseils et appuis continus m'ont énormément aidé et motivé pendant toute cette durée et cela m'a permis de me surpasser de jour en jour.

Je tiens aussi à exprimer ma profonde reconnaissance à Jean-André SAUVAUD pour son aide, les conseils qu'il m'a prodigués et ses nombreuses connaissances dans le domaine de l'astrophysique qui m'ont permis de progresser.

Je souhaite remercier fortement Olivier BERNAL pour son aide et sa forte implication dans ces travaux. Ses conseils et ses nombreuses connaissances dans le domaine de la conception de circuits analogiques m'ont permis d'enrichir abondamment mes travaux de recherche.

J'exprime ma reconnaissance à Jean-Didier LEGAT pour l'honneur qu'il m'a fait en acceptant de présider le jury de cette thèse de doctorat ainsi qu'à Pascal FOUILLAT et Pascal NOUET pour avoir acceptés de juger ce travail de thèse en tant que rapporteurs.

Je remercie Jean-Marc BIFFI pour son soutien et d'avoir accepté de juger ce travail de thèse en tant qu'examineur.

Je souhaite aussi remercier Romain MOLINA et Guillaume PICAUT avec qui j'ai eu la chance de travailler pendant ces trois années et pour leur esprit collectif hors du commun.

Je tiens aussi à remercier Pierre JEAN pour son aide et pour les compétences qu'il a mises en œuvre lors de la modélisation du détecteur sous GEANT4.

Je souhaite aussi témoigner toute ma gratitude à Thierry BOSCH, Pascal TANNOU, Danielle ANDREU, Annie DUCROIX et Catherine MONTELS pour leurs encouragements et soutiens permanents qu'ils m'ont apportés tout au long de ces trois années.

Un très grand merci à Philippe BOURDEU d'AGUERRE pour l'aide qu'il m'a apportée lors de la conception des ASICs.

Je tiens à remercier tous les gens avec qui j'ai eu la chance et le plaisir de travailler ou que j'ai côtoyé au sein de l'IRAP : Nicolas ANDRE, Claude Aoustin, Olivier CHASSELA, Pierre DEVOTO, Xavier HORSOT, Qiu-Mei LEE, Guillaume ORTTNER, Yann PAROT, Mathieu PETIOT, Philippe ROUGER, Henry-Claude SERAN, Jean-Jacques THOCAVEN et Vincent WAEGEBAERT,



ainsi qu'au sein du groupe OSE : Zakariaa ADZAOUIA, Xavier BENOIT-GONIN, Francis BONY, Yann CARGOUET, Olivier CARRAZ, Michel CATTOEN, Malika CHERFAOUI, Lavinia CIOTIRCA, Jean-Claude CSONT, Joseph EL ASSAD, Chiara FILIPPINI, Laurent GATET, Francis JAYAT, khadidja KHELOUFI, Marc LESCURE, Françoise LIZION, Gilles LUGAN, Emmanuel MOUTAYE, Julien PERCHOUX, Saroj PULLTEAP, Han-Cheng SEAT, Todor STANCHEV, Maha SULLEMAN, Cristina TANASOIU, Clément TRONCHE, Emmanuelle TRONCHE, King-Wah WONG et Usman ZABIT,

et à l'ensemble des doctorants : Lucie CAMPAGNOLO, Antonio LUNA-ARRIAGA, Blaise MULLIEZ, Lucas PERBET, Binh PHAM THANH, Bendy TANIOS, Raphael TEYSSEYRE, tous les doctorants de l'IRAP et autres personnels des laboratoires pour le sérieux et la bonne humeur qu'ils amènent ou ont amené au jour le jour.

Je tiens à saluer les personnes du foot du mardi midi ainsi que Francesca pour ces repas qui redonnent de l'énergie pour travailler.

Un merci aussi particulier à tous mes amis! Thibaut pour son soutien moral et nos repas au feeling! Alex, Amandine, Elodie, Franck, Guillaume, Kristina, Nicolas, Olivier, Sandy, Seb, Thaïng, Yann...

Je souhaiterais finalement remercier ma famille d'avoir toujours été là et sans qui rien n'aurait été possible.



*La Grande Vague de Kanagawa* (1831) **Hokusai Katsushika**

*« Je connais mes limites. C'est pourquoi je vais au-delà. »*  
de Serge Gainsbourg



# Table des matières

---

<b>Introduction générale</b> .....	<b>1</b>
<b>Chapitre I</b> .....	<b>5</b>
<b>La mesure des particules en environnement spatial</b> .....	<b>5</b>
I.1. Présentation de l'environnement spatial .....	5
I.1.1. Introduction.....	5
I.1.2. Les plasmas .....	5
I.1.3. Vent solaire .....	7
I.1.4. Sprites et Elves.....	8
I.2. Système de détection et de mesure d'un plasma.....	9
I.2.1. Caractérisation d'un plasma.....	9
I.2.2. L'instrumentation.....	10
I.2.3. Principes de mesure des particules chargés .....	11
I.2.4. Systèmes de détection associés à la mesure des électrons et des ions de faible énergie .....	11
a) Principe .....	11
b) L'analyseur électrostatique de type « top hat » .....	12
I.2.5. Systèmes de détection associés à la mesure des électrons et des ions de grandes énergies.....	13
a) Principe .....	13
b) Spectromètre à temps de vol .....	14
I.3. Conclusion .....	16
I.1. Références .....	17
<b>Chapitre II</b> .....	<b>19</b>
<b>Les détecteurs utilisés pour la mesure en environnement spatial</b> .....	<b>19</b>
II.1. Présentation des détecteurs .....	19
II.2. La Microchannel plate .....	20
II.2.1. Description.....	20
II.2.2. Principe de fonctionnement .....	21
II.2.3. Le chevron et le Z-stack .....	22
II.2.4. Réponse en gain.....	22
II.2.5. Modèle électrique équivalent.....	23

II.3. Les détecteurs à semi-conducteur .....	25
II.3.1. Les interactions matière - particules chargées .....	25
a) Pertes d'énergie par collisions .....	26
b) Perte d'énergie radiative .....	27
c) Pertes totales d'énergie.....	28
d) Effets de déviation sur les parcours .....	29
e) Génération de paires électron-trou .....	30
f) Choix du semi-conducteur.....	31
II.3.2. Description de l'instrument .....	32
II.3.3. Réponse simulée du détecteur sous GEANT4.....	34
a) Construction .....	34
b) Simulation .....	34
c) Réponse .....	36
II.3.4. Temps de collecte de la charge.....	38
II.3.5. Capacité équivalente.....	40
II.3.6. Le courant de fuite.....	41
II.3.7. Résumé des paramètres du détecteur.....	41
II.4. Conclusion .....	42
II.5. Références .....	43

## **Chapitre III..... 45**

### **Chaînes d'instrumentation en technologie CMOS pour détecteurs spatiaux ..... 45**

III.1. Généralités.....	45
III.1.1. L'électronique spatiale embarquée.....	45
III.1.2. L'environnement spatial radiatif .....	46
a) Le rayonnement cosmique .....	46
b) Le vent solaire et éruption solaire.....	47
c) Ceintures de radiation .....	47
III.1.3. Tenue aux radiations de l'électronique .....	48
III.1.4. Effets des radiations sur l'électronique MOS.....	49
a) L'effet de dose cumulée (TID).....	49
b) Les évènements transitoires (SEE's) .....	51
III.1.5. Choix d'une technologie .....	53
III.1.6. Durcissement par design (RHBD).....	53
a) Le durcissement à la TID .....	53
b) Le durcissement aux SEE .....	54
c) Conclusion.....	55
III.1.7. Circuits CMOS basse consommation.....	55
a) Mode opératoire .....	56
b) Modélisation en faible inversion.....	57
III.2. L'intégration de la charge.....	58
III.2.1. Principe.....	58
III.2.2. Le préamplificateur de charge (CPA) .....	59
III.2.3. Préamplificateur de charge amélioré.....	62
III.3. Mise en forme et filtrage .....	65
III.3.1. Principe.....	65
III.3.2. Pulse shaper.....	67
III.4. Chaîne de conversion CPA + PS .....	68
III.4.1. Etat de l'art .....	68

III.4.2. Gain de conversion.....	69
III.4.3. Bande passante en bruit et ENC.....	71
III.5. Etude en bruit.....	72
III.5.1. Les différents types de bruit.....	72
a) Le bruit thermique (thermal noise).....	72
b) Le bruit en $1/f$ (flicker noise).....	73
c) Le bruit de grenaille (shot noise).....	73
III.5.2. Modèle de bruit dans un transistor MOS.....	73
III.5.3. Bruit engendrés par le CPA.....	75
a) Bruits de l'amplificateur à transconductance.....	75
b) Bruits du CPA.....	75
III.5.4. ENC de la chaîne complète.....	77
III.5.5. Evolution de l'ENC en fonction des paramètres du circuit.....	78
a) ENC en fonction du MOS d'entrée.....	79
b) ENC en fonction des autres paramètres.....	80
III.6. Conclusion.....	82
III.7. Références.....	83

## **Chapitre IV ..... 87**

### **Intégration en technologie CMOS 0.35 $\mu\text{m}$ d'une chaîne d'instrumentation pour la détection de particules par un détecteur spatial..... 87**

IV.1. Technologie CMOS 0.35 $\mu\text{m}$ .....	87
IV.1.1. Tenue aux radiations.....	87
IV.1.2. Présentation de la technologie AMS CMOS 0.35 $\mu\text{m}$ .....	88
IV.2. Détection de la charge.....	88
IV.2.1. Principe.....	89
IV.2.2. Système de détection pour la MCP.....	89
IV.3. Spécifications de l'instrumentation.....	91
IV.4. Les miroirs de courant.....	92
IV.4.1. Le miroir de base.....	92
IV.4.2. Source de polarisation indépendante.....	93
IV.4.3. Le miroir cascode.....	94
IV.4.4. Le Wide-Swing Cascode.....	95
IV.5. Conception du CPA.....	96
IV.5.1. Calcul des composants passifs.....	96
IV.5.2. Produit gain bande passante.....	97
IV.5.3. Choix de l'OTA.....	97
a) La source commune.....	98
b) Le cascode.....	98
c) Le cascode télescopique.....	99
d) Le folded cascode.....	100
IV.5.4. Etude petits signaux.....	100
IV.5.5. L'ENC total.....	101
IV.5.6. Structure du CPA.....	102
IV.5.7. Stabilité.....	103
IV.6. Conception du PS.....	104
IV.6.1. Calcul des composants passifs.....	105
IV.6.2. Produit gain bande passante.....	106

IV.6.3. Structure .....	106
IV.7. Performances de la chaîne analogique .....	107
IV.7.1. Réponse temporelles .....	107
IV.7.2. Consommation .....	109
IV.7.3. Simulation en bruit.....	109
IV.8. Le comparateur .....	109
IV.8.1. Définition .....	109
IV.8.2. L'amplificateur à deux étages .....	111
a) La paire différentielle .....	111
b) L'amplificateur source commune .....	112
IV.8.3. Le comparateur à deux étages .....	113
IV.8.4. Conception .....	115
a) Limitation de la réponse temporelle.....	115
b) Temps de propagation.....	116
IV.9. Le monostable .....	117
IV.10. Performances de la chaîne globale.....	119
IV.10.1. Simulations.....	119
IV.10.2. Consommation .....	119
IV.11. Conclusion .....	120
IV.12. Références .....	120

**Chapitre V..... 123**

**Intégration en technologie CMOS HV 0.35  $\mu\text{m}$  de chaînes d'instrumentation pour la mesure de l'énergie de particules par un détecteur spatial..... 123**

V.1. Technologie CMOS HV 0.35 $\mu\text{m}$ .....	123
V.1.1. Sensibilité du substrat.....	123
V.1.2. Présentation de la technologie AMS CMOS HV 0.35 $\mu\text{m}$ .....	124
V.2. Quantification de la charge.....	124
V.2.1. Principe.....	124
V.2.2. Système de détection pour le Si et CdZnTe .....	127
V.3. Spécifications de l'instrumentation .....	129
V.3.1. Dimensionnement de l'instrumentation du Si .....	130
V.3.2. Dimensionnement de l'instrumentation du CdZnTe .....	131
V.4. L'amplificateur opérationnel à 2 étages .....	132
V.4.1. Réponse fréquentielle .....	132
V.4.2. Compensation en fréquence simple.....	133
V.4.3. Compensation par l'effet Miller .....	134
a) Retard de phase .....	134
b) Retard-avance de phase.....	135
V.4.4. Bruit de l'OTA à 2 étages.....	137
V.5. Chaîne de conversion pour Si de type A .....	138
V.5.1. Conception du CPA pour Si de type A.....	138
a) Calcul des composants passifs .....	138
b) Produit gain bande passante.....	138
c) Conception de l'OTA à deux étages du CPA.....	139
d) Stabilité .....	141
V.5.2. Conception du PS pour le Si de type A .....	142
V.5.3. Performances de la chaîne analogique pour le SiA.....	143

a) Réponse temporelles .....	143
b) Consommation .....	145
c) Simulation en bruit .....	145
V.6. Chaîne de conversion pour Si de type B .....	146
V.6.1. Conception du CPA pour Si de type B .....	146
a) Calcul des composants passifs .....	146
b) Produit gain bande passante .....	146
c) Conception de l'OTA à deux étages du CPA .....	146
d) Stabilité .....	148
V.6.2. Conception du PS pour le Si de type B .....	148
V.6.3. Performances de la chaîne analogique pour le Si de type B .....	149
a) Réponse temporelles .....	149
b) Consommation .....	151
c) Simulation en bruit .....	151
V.7. Chaîne de conversion pour le CdZnTe .....	152
V.7.1. Conception du CPA pour le CdZnTe .....	152
a) Calcul des composants passifs .....	152
b) Structure du CPA à interrupteur .....	152
c) Produit gain bande passante .....	154
d) Conception de l'OTA à deux étages du CPA .....	154
e) Stabilité .....	156
V.7.2. Conception du PS pour le CdZnTe .....	156
a) Composants passifs .....	156
b) Les filtres à capacités commutées .....	157
c) Le PS à capacités commutées .....	159
V.7.3. Association du CPA+PS pour le CdZnTe .....	163
V.7.4. Performances de la chaîne analogique pour le CdZnTe .....	164
a) Réponse temporelles .....	164
b) Consommation .....	166
c) Simulation en bruit .....	166
V.8. Système de discrimination .....	166
V.8.1. Principe de discrimination .....	166
V.8.2. Le bloc de commande .....	169
V.8.3. Le comparateur à hystérésis .....	170
a) Principe .....	170
b) Simulation .....	172
V.8.4. Le détecteur de pic .....	173
a) Détecteur de pic par blocage par diode .....	173
b) Détecteur de pic par blocage par switch .....	174
c) Le comparateur « clamped push-pull » .....	175
d) Simulation .....	176
V.8.5. L'ADC .....	176
a) Fonctionnement .....	177
b) Simulation .....	178
V.9. Performances des chaînes globales .....	178
V.9.1. Simulations .....	178
a) Si de type A et B .....	178
b) CdZnTe .....	179
V.9.2. Consommation .....	180
V.10. Conclusion .....	181



V.11. Références .....	181
<b>Chapitre VI .....</b>	<b>183</b>
<b>Validations expérimentales des chaînes de détection pour le spatial .....</b>	<b>183</b>
VI.1. Chaîne de détection pour la MCP .....	183
VI.1.1. L'ASIC CDIC16 .....	183
VI.1.2. Tests fonctionnels de la chaîne analogique .....	184
a) Mesures .....	184
b) Performances du CDIC16 par rapport à l'état de l'art .....	186
VI.1.3. Tests fonctionnels de la partie numérique.....	188
VI.1.4. Tests de la chaîne de détection.....	189
a) Test fonctionnel MCP+CDIC16 .....	189
b) Test de la diaphonie .....	189
VI.1.5. Qualification en environnement spatial .....	191
a) Performances en température .....	191
b) Tolérances aux radiations .....	191
VI.1.6. Performances globales .....	195
VI.1.7. Conclusion .....	195
VI.2. Chaîne de détection pour les SCs.....	196
VI.2.1. L'ASIC à SCs.....	196
VI.2.2. Tests fonctionnels de la partie analogique des chaînes d'instrumentation pour le Si.....	197
a) Banc de test .....	197
b) Mesure.....	197
VI.2.3. Tests fonctionnels de la partie analogique de la chaîne d'instrumentation pour le CdZnTe.....	200
VI.2.4. Tests fonctionnels de la partie numérique.....	202
a) Le comparateur à hystérésis .....	202
b) Le détecteur de pic .....	203
c) L'ADC.....	205
VI.2.5. Performances globales .....	206
VI.2.6. Conclusion .....	207
VI.3. Conclusion .....	208
VI.4. Références.....	208
<b>Conclusion générale .....</b>	<b>211</b>
<b>Glossaire .....</b>	<b>213</b>
<b>Abréviations .....</b>	<b>214</b>
<b>Annexe .....</b>	<b>217</b>
Récapitulatif des 4 résistances en modèle de capacité commutée.....	217

# Introduction générale

---

## ➤ Motivations

L'exploration du système solaire et l'étude de l'univers lointain sont encore sources de découvertes et de mystère pour la communauté scientifique et pour l'humanité en général.

Ces observations sont actuellement principalement basées sur la **mesure d'ions et de particules in-situ** qui constituent ces milieux. Les instruments d'observation intègrent des **détecteurs spatiaux**, utilisés pour convertir l'énergie des particules en **charges électriques mesurables**. Ces derniers sont étroitement liés à leur **électronique analogique ou Analog-Front-End** (AFE) et cette combinaison forme des chaînes astrophysiques de détection appelées « sensor heads ».

Depuis quelques années, la volonté d'améliorer les résolutions spatiale et spectrale des détecteurs nécessite la conception d'une électronique intégrée multivoies. Ainsi, une électronique spatiale de type **Application Specific Integrated Circuit** (ASIC) doit être développée. Cela permet d'une part de s'adapter au mieux à chaque détecteur pour en optimiser les performances ; et d'autre part de bénéficier des multiples avantages inhérents à l'utilisation d'une technologie CMOS : diminuer les dimensions et les temps de transit des signaux [1], intégration multifonctions [2], réduction des coûts pour une fabrication de masse [3] et effets parasites étudiés et bien connus [4; 5].

Cependant les **contraintes spatiales** exigent une qualification draconienne du circuit. En effet, ces **environnements radiatifs** peuvent endommager les systèmes électroniques embarqués à bord des missions spatiales. Grâce à la réduction des dimensions, il ne semble plus opportun aujourd'hui d'utiliser des technologies dédiées au spatial (type SOI ou biCMOS spécifiques) mais plutôt de mettre en œuvre des **techniques de durcissement par design** (RHBD) sur des technologies standards qui sont moins onéreuses et plus performantes.

## ➤ Objectifs

L'objectif de cette thèse est la conception de nouvelles chaînes d'instrumentations intégrées multivoies pour le spatial. Ce travail, co-financé par le CNES et le CNRS, s'est inscrit dans le cadre d'un projet soutenu par le Réseau Thématique de Recherche Avancée Sciences et Technologies pour l'Aéronautique et l'Espace (RTRA STAE) entre 2008 et 2011, intitulé

CASA (Chaines ASTrophysiques et leur instrumentation Associée). Au cours de cette thèse nous avons **conçu 2 ASICs associés à 2 types de détecteurs spatiaux** bien distincts. Le premier permet de **compter les électrons** en sortie d'une **microchannel plate** (MCP) tandis que le deuxième permet de **quantifier le niveau d'énergie** perdu par les  $e^-$  en l'énergie qu'ils perdent en pénétrant dans un **semi-conducteur** (SC).

L'étude de ces différents détecteurs doit d'abord être faite afin de les modéliser pour une parfaite adéquation avec leur électronique de détection. Ensuite, une optimisation des chaînes de conversion en **vitesse, bruit et consommation** est réalisée.

Enfin, une méthodologie de savoir faire au niveau du traitement des informations doit être développée pour pérenniser l'expérience emmagasinée durant ces travaux.

### ➤ **Organisation du document**

Le **chapitre I** présente le contexte scientifique de la mesure en environnement spatial. Nous exposons les caractéristiques de plasmas présents dans notre environnement spatial et notamment celles du vent solaire, émis continuellement par le soleil et celles des sprites et elves créés explosivement pendant les orages atmosphériques en association avec les éclairs. Nous détaillons, ensuite, les divers systèmes de détection et de mesure des particules présentes dans ces plasmas.

Le **chapitre II** présente les MCPs pour le comptage de particules et ensuite un détecteur à base de semi-conducteurs (SCs) pour la spectrométrie de masse. L'étude approfondie d'un détecteur à SCs pour la spectrométrie de masse passe par la modélisation des divers effets physiques subis par une particule dans la matière. Nous utiliserons pour cela le simulateur GEANT 4 qui a permis de déterminer la géométrie du détecteur. Les estimations des temps de collecte, capacité équivalente et courant de fuite sont abordées afin d'établir le modèle équivalent du détecteur.

Dans le **chapitre III**, nous développons le principe de conversion d'une charge par l'électronique. Nous choisissons une technologie CMOS et indiquons des solutions de design permettant de limiter l'effet des radiations. Aussi, nous utilisons les MOS en régime de faible inversion pour diminuer la consommation. Nous décrivons la chaîne analogique alliant un pré-amplificateur de charges et un circuit de mise en forme (pulse shaper). Cette partie permet d'estimer la vitesse, le gain, le bruit et la consommation du système global.

Le **chapitre IV** aborde la conception de la chaîne d'instrumentation intégrée en technologie CMOS pour une MCP. L'utilisation de technologie CMOS basse-tension nécessite d'étudier les circuits de polarisation tels que les miroirs de courant, les différents étages d'amplification

ainsi que la logique utilisée pour le comptage des charges. Une étude sur les temps de réponse du comparateur doit aussi être faite pour optimiser la vitesse du système.

Le **chapitre V** porte sur la conception de chaînes d'instrumentation intégrées en technologie CMOS pour différents SCs (Si et CdZnTe). Pour cela la technologie HV est introduite. Ensuite la logique de discrimination de la charge y est développée pour permettre de retrouver le niveau d'énergie de la particule incidente avec une logique de contrôle autonome.

Pour finir, le **chapitre VI** présente les résultats de mesures effectuées sur les 2 ASICs respectivement présentés dans les chapitres IV et V. L'ASIC pour la MCP est testé fonctionnellement, puis associé à une MCP et qualifié à l'environnement spatial. Concernant l'ASIC pour les SCs, seuls les tests fonctionnels sont présentés.

## Références

- [1] Orton, D.E., "Small, smart, intelligent and interactive handheld devices." *VLSI Design, 2006. Held jointly with 5th International Conference on Embedded Systems and Design., 19th International Conference on.* pp1, 2006.
- [2] Baltes, H., et al., "CMOS MEMS - present and future." *Micro Electro Mechanical Systems, 2002. The Fifteenth IEEE International Conference on.* pp 459 – 466, 2002.
- [3] Qu, H. and Xie, H., "Process Development for CMOS-MEMS Sensors With Robust Electrically Isolated Bulk Silicon Microstructures." *Microelectromechanical Systems, Journal of.* vol 16, Issue 5, pp 1152 – 1161, 2007.
- [4] Caignet, F., Delmas-Bendhia, S. and Sicard, E., "The challenge of signal integrity in deep-submicrometer CMOS technology." *Proceedings of the IEEE.* Volume 89, Issue 4, pp 556 - 573, 2001.
- [5] Ando, B., et al., "Characterization of parasitic behaviors in CMOS microsensors." *Instrumentation and Measurement Technology Conference, 2001. IMTC 2001. Proceedings of the 18th IEEE.* Volume 3, pp 1459 - 1462, 2001.



# Chapitre I

## La mesure des particules en environnement spatial

---

*D*ans ce premier chapitre, nous présentons une brève description de plasmas de l'environnement terrestre ainsi que de l'instrumentation embarquée en satellites qui permet de les analyser. Nous exposons, dans un premier temps, des plasmas très différents présents dans notre environnement spatial et notamment ceux du vent solaire, émis continuellement par le soleil et ceux des sprites et elves créés explosivement pendant les orages atmosphériques en association avec les éclairs. Nous détaillons, ensuite, les divers détecteurs des particules présentes dans ces plasmas.

### I.1. Présentation de l'environnement spatial

#### ***I.1.1. Introduction***

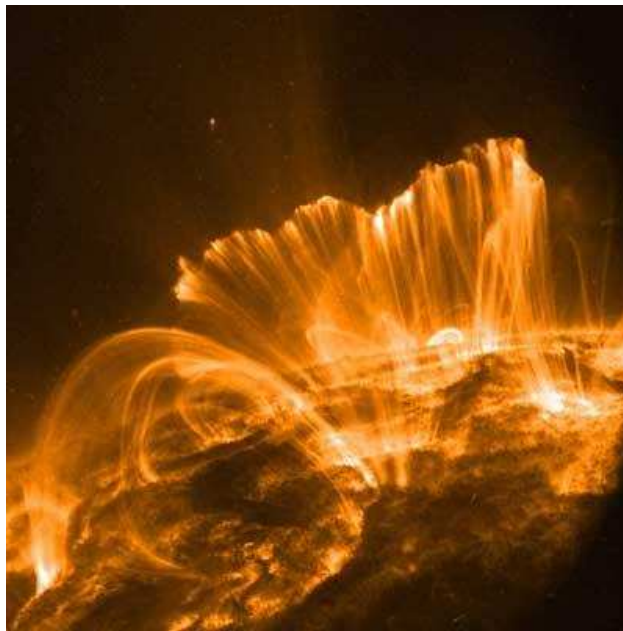
L'environnement spatial nous laisse souvent imaginer des étendues noires et vides, s'étendant dans les confins de l'univers. Mais ce n'est pas tout à fait le cas. En effet, ce volume de l'espace n'est pas inoccupé, mais baigne dans des champs et ondes électromagnétiques et est peuplé de particules, à la fois chargées et neutres. Cette matière est le plus souvent dans un état dit plasma qui est présent dans plus de 99% de l'univers. La détermination des processus physiques qui régissent cet état de la matière et la composition de cette dernière aide les scientifiques à valider ou à rejeter les théories existantes, à formuler de nouvelles questions, et à élargir notre compréhension de l'univers.

#### ***I.1.2. Les plasmas***

Le terme plasma, qui qualifie un « quatrième état de la matière », a été utilisé en physique pour la première fois par le physicien américain Irving Langmuir dès 1928 [6]. Un plasma est une phase différente des solides, des liquides et des gaz. C'est un ensemble de particules

chargées (et neutres) qui répond collectivement aux champs électromagnétiques et qui, à son tour, les modifie. Les particules d'un plasma sont majoritairement chargées, électrons et ions de densité de charges égales, il s'agit en première approximation d'un gaz partiellement ou totalement ionisé dont la température élevée empêche les recombinaisons d'ions et d'électrons. Les collisions entre particules peuvent jouer également un rôle important, mais de nombreux plasmas spatiaux sont sans collisions, les ondes jouant alors un rôle prépondérant. Le plasma présente des espèces de particules différentes, qui ont des gammes de vitesse, de températures et de flux très variées [7].

Dans l'univers proche, des mécanismes 'plasma', pourtant fondamentaux, restent énigmatiques. C'est par exemple le cas de celui qui chauffe l'atmosphère solaire (la couronne) jusqu'à des températures supérieures à  $1.10^6$  K, alors que sa température de surface n'excède pas 6 000 K. Par ailleurs, d'importantes quantités de plasma sont projetées dans l'univers suite à une éruption solaire (éjection de masse coronale).



*figure I-1 : Le plasma est projeté dans l'univers suite à une éruption solaire (éjection de masse coronale) [8].*

Sur la Terre, le plasma n'est rencontré à l'état naturel qu'aux très hautes températures, quand l'énergie est telle qu'elle réussit à arracher des électrons aux atomes. C'est le cas par exemple dans les flammes, les éclairs d'orages. Dans l'univers lointain, de nombreux objets astrophysiques sont faits de matière ionisée qui possède une densité de charges suffisante pour présenter un comportement collectif, résultant du mouvement des charges en réponse à des champs électriques et magnétiques. Ces plasmas concernent les atmosphères des étoiles, le

milieu interstellaire, les disques d'accrétion autour des trous noirs, les galaxies radio, les quasars, les supernovae rémanentes...

Pour décrire le comportement d'un plasma, il faut à la fois des outils pour décrire le comportement d'un fluide (statistique de Boltzmann, ou équations de dynamique des fluides) et des outils qui décrivent les lois de l'électromagnétisme (équations de Maxwell). Il faut également savoir coupler ces équations.

Nous nous concentrerons ici sur les plasmas spatiaux, d'une part de l'espace interplanétaire (vent solaire) et d'autre part de la haute atmosphère et de l'ionosphère terrestre.

### ***1.1.3. Vent solaire***

Le système solaire est le siège de nombreux processus plasmas initiés principalement par le vent de particules chargées émis continuellement par l'astre.

Le soleil perd en effet environ  $1.10^9$  kg (soit un million de tonnes) de matière par seconde, sous forme de vent solaire. Dans la couronne surchauffée du soleil (2 millions de degrés), les atomes d'hydrogène sont ionisés, mais aussi les éléments minoritaires plus lourds, carbone, oxygène, azote, fer. Ce plasma d'ions et d'électrons est ensuite expulsé à une vitesse considérable. La vitesse du vent solaire varie de 400 à 800 km/s environ, la moyenne étant de 450 km/s et sa température est de l'ordre de 100 000 K à l'orbite de la Terre, pour une densité moyenne de quelque particules/cm<sup>3</sup>.

Le vent solaire étant un plasma, il subit l'influence du champ magnétique solaire (à proximité du soleil, là où le champ magnétique est fort) mais, de par son mouvement, déforme aussi les lignes de champ magnétique solaire (là où le champ magnétique est faible). À cause de la combinaison du mouvement radial des particules et de la rotation du soleil, les lignes de champ magnétique solaires forment une spirale : la spirale de Parker (figure I-2) [9; 10].





figure I-2 : Le vent solaire représenté par la spirale de Parker dans le système solaire.

La composition du vent solaire reflète les caractéristiques de la région du soleil d'où il provient, la couronne solaire. Le vent solaire balaie aussi les matériaux des régions du milieu interplanétaire où il s'écoule. Les particules ainsi entraînées proviennent par exemple des comètes, des astéroïdes, des atmosphères, des planètes et des satellites. Elles comprennent également les constituants ionisés du milieu interstellaire local. En permettant de distinguer les matériaux entraînés et solaires, les mesures de composition ionique effectuées dans le milieu interplanétaire ou au voisinage des corps célestes, fournissent des informations sur les sources et leur probable évolution temporelle. En outre, les atmosphères des planètes s'échappent sous l'effet du rayonnement ultra-violet du soleil et des impacts des particules solaires sur les très hautes atmosphères. Les environnements planétaires sont ainsi formés de plasmas différents, tant d'origine solaire que planétaire. La composition en ions du plasma permet de différencier les sources. La connaissance des états de charge des ions aide à caractériser les processus d'accélération agissant autour de ces objets, souvent magnétisés et où de l'énergie magnétique est souvent convertie sporadiquement en énergie thermique et cinétique des particules.

#### ***1.1.4. Sprites et Elves***

Dans les basses couches de l'atmosphère de la Terre, les orages atmosphériques constituent un des phénomènes perturbateurs les plus importants de l'environnement terrestre. Deux mille orages sont en permanence actifs dans le monde, produisant 50 à 100 éclairs par seconde. Des observations récentes d'émissions lumineuses dans l'atmosphère moyenne et supérieure et d'émissions de rayons gamma d'origine atmosphérique témoignent d'un couplage vertical

impulsif et violent de l'atmosphère avec l'ionosphère et la magnétosphère de la Terre au dessus des cellules orageuses actives. Ce couplage direct et les énergies considérables mises en jeu font intervenir, au niveau des plasmas spatiaux, de la chimie et de la dynamique de l'atmosphère moyenne, des processus qui n'avaient pas été envisagés jusqu'à présent. Il peut être déclenché par le rayonnement cosmique, le vent solaire et les processus météorologiques et volcaniques affectant les couches inférieures de l'atmosphère.

La découverte de ces phénomènes étant très récente, les connaissances actuelles se limitent à celles des émissions lumineuses observées dans le spectre visible du sol ou à partir de détecteurs optiques embarqués sur satellite et orientés vers l'horizon. Les études théoriques montrent que ces émissions ne sont qu'une partie d'un phénomène beaucoup plus complexe qui fait aussi intervenir des émissions  $X$  et  $\gamma$ , des émissions d'ondes électromagnétiques s'étendant dans une gamme large (0,1 Hz à plusieurs dizaines de MHz) et un couplage atmosphère/ionosphère qui conduit à la génération de champs électriques intenses et à l'accélération d'électrons jusqu'à des énergies considérables (pouvant atteindre 30 MeV) [11]. Ces effets sont schématiquement représentés sur la figure I-3.

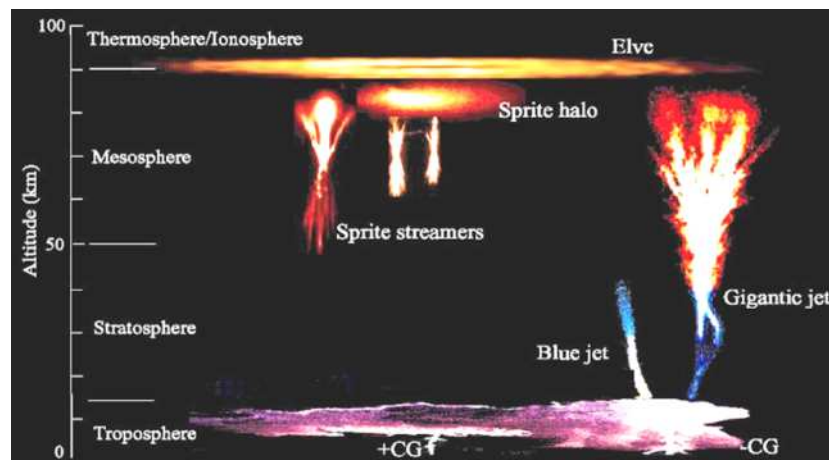


figure I-3 : Sprites et Elves en environnement terrestre.

## I.2. Système de détection et de mesure d'un plasma

### I.2.1. Caractérisation d'un plasma

Comme nous l'avons vu précédemment, l'objectif scientifique de nombreuses missions spatiales nécessite la mesure des propriétés du plasma de l'environnement local. Il est ainsi indispensable de mesurer la distribution en énergie/vitesse des ions et des électrons (leur fonction de distribution sur les trois dimensions de l'espace des vitesses). Ces mesures permettent de calculer la vitesse d'écoulement de la majeure partie du plasma, sa densité, ses

températures parallèle et perpendiculaire au champ magnétique, son tenseur de pression et son vecteur flux de chaleur. Par ailleurs, le flux différentiel d'énergie peut être déduit du taux de comptage des instruments (voir figure I-4).

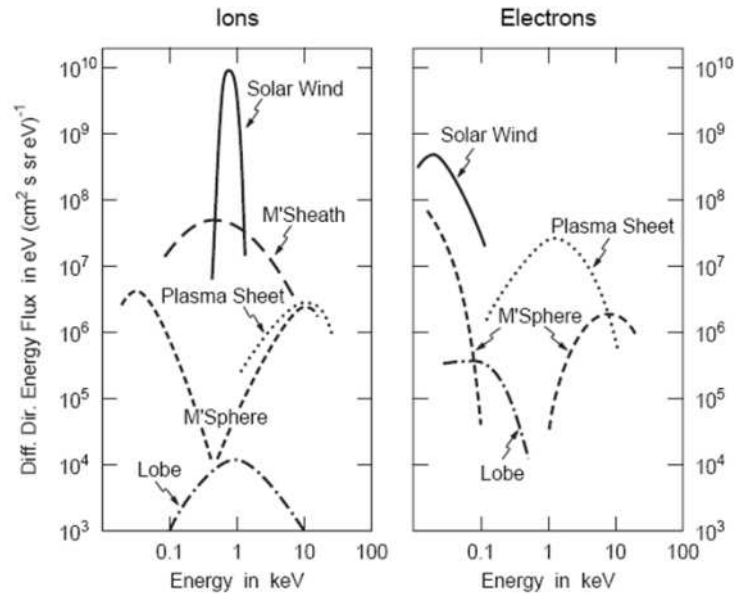


figure I-4 : Flux d'énergie différentiel et directionnel d'ions (à gauche) et d'électrons (à droite) observés dans diverses régions de la magnétosphère terrestre et le vent solaire adjacent. Proposé par l'instrument plasma Cluster, reproduit dans [12].

En outre, les propriétés du plasma doivent être déterminées sur une large gamme d'énergies et de flux des particules et souvent avec une résolution temporelle très élevée.

## 1.2.2. L'instrumentation

Par définition, l'instrumentation est une technique de mise en œuvre de dispositifs de mesures, en vue de créer un système d'acquisition de données. Un instrument est donc un ensemble de composants permettant de réaliser cette fonction. Par exemple pour la mesure des particules des plasmas spatiaux l'instrument de mesure est souvent constitué d'un analyseur électrostatique, d'un détecteur, et de l'électronique associée, analogique au plus près du capteur et numérique pour l'interface avec la télémétrie.

Cette instrumentation est conçue pour recueillir des données quantitatives qui permettront aux scientifiques de valider des hypothèses ou d'observer de nouveaux phénomènes. Toutefois, pour être efficace, il est essentiel que l'instrumentation soit bien dimensionnée de sorte que les mesures obtenues fournissent une caractérisation précise de l'environnement. L'approche fondamentale pour la conception d'un instrument, basé sur un capteur de particules, est de déterminer en laboratoire la réponse de l'instrument à des faisceaux de particules dont on connaît parfaitement les caractéristiques. La calibration au sol des réponses des instruments

(propriétés en masse, énergie, angle, charge des particules) permet d'effectuer dans l'espace des mesures de qualité [13].

### ***1.2.3. Principes de mesure des particules chargés***

La sélection en énergie/vitesse des particules peut être réalisée de plusieurs façons. Il est par exemple possible pour les particules de grande énergie de les arrêter dans un semi-conducteur et de mesurer l'énergie déposée en recueillant l'impulsion créée par l'arrivée des paires électrons-trous que la particule incidente crée dans le matériau. L'énergie ainsi mesurée fournit, en cas d'arrêt complet, l'énergie de la particule incidente.

Cependant, les particules de basse ou très basse énergie, sont arrêtées par les premières couches du matériau et ne donnent naissance à aucun signal détectable. Il faudra alors sélectionner leur énergie en courbant leurs trajectoires pour qu'elles atteignent un multiplicateur de charge fournissant un signal mesurable. L'énergie est déduite de la valeur des champs électromagnétiques appliqués pour amener la particule à atteindre le multiplicateur. Pour cela il est en principe possible d'utiliser soit des champs électriques, soit des champs magnétiques (ou une combinaison des deux) pour l'analyse des particules chargées ou l'analyse des particules neutres préalablement ionisées. Cependant, ce sont les analyseurs électrostatiques qui sont utilisés dans la majorité des missions spatiales en raison de leur plus faible encombrement et de leur faible masse.

Les analyseurs de plasma évoluent constamment afin d'obtenir de meilleures couverture spatiale et résolution temporelle. Dans cette étude, nous nous intéresserons en particulier à deux types d'analyseurs de plasma qui ont été utilisés dans des missions spatiales pour l'étude du soleil et des environnements planétaires. Le premier analyseur est utilisé pour le comptage des ions et électrons de faible énergie et le second est utilisé pour détecter les particules de plus hautes énergies et aussi pour connaître leur masse.

### ***1.2.4. Systèmes de détection associés à la mesure des électrons et des ions de faible énergie***

#### *a) Principe*

La détection des particules de faible énergie (<100 keV) est généralement faite en utilisant un déflecteur électrostatique associé à un multiplicateur de charges. Le champ électrique appliqué au déflecteur est variable afin de sélectionner successivement des énergies différentes dans une vaste gamme d'énergies. Ce type de détecteur permet également de mesurer simultanément des particules arrivant depuis toutes les directions d'un plan. Ces

particules sont ensuite récoltées par une chaîne de détection alliant le multiplicateur et son électronique associée.

*b) L'analyseur électrostatique de type « top hat »*

Ce type d'analyseur a rendu possible la mesure simultanée de la fonction de distribution en énergie des particules sur un champ de 360°, avec une réponse uniforme quelle que soit la direction d'arrivée des particules. L'analyseur électrostatique « Top hat » a, comme son nom l'indique, la forme d'un chapeau. Il est composé d'une ouverture cylindrique qui permet de laisser entrer les particules afin de les mesurer simultanément sur un angle polaire de 360°. Les analyseurs de type « Top hat » ont été proposés au début des années quatre-vingt par [13; 14]. Les particules chargées y sont déviées sous l'influence d'un champ électrique (créé par la différence de potentiel appliquée entre les plaques d'un condensateur), pour sélectionner en sortie celles ayant un rapport énergie/charge  $E_c/q$  proportionnel à la tension  $V$  appliquée à la plaque interne du condensateur :

$$\frac{E_c}{q} = kV \quad (\text{I-1})$$

où le facteur  $k$ , qui ne dépend que de la géométrie de l'analyseur est en général de l'ordre de 8 à 10. La force subie par les particules étant centrale, elles effectuent des trajectoires dans un plan passant par le point central. A une direction d'arrivée donnée correspond ainsi une seule abscisse curviligne à la sortie de l'analyseur. Les particules d'énergie différentes de  $E_c/q \pm \Delta E_c$  sont absorbées par les parois de l'analyseur.

La bande d'énergie transmise pour une tension donnée,  $\Delta E_c$  (typiquement de 5 à 20%) est fixée par la géométrie de l'analyseur, qui possède la propriété de présenter une résolution en énergie  $\Delta E_c/E_c$  indépendante de l'énergie sélectionnée. Les particules sélectionnées sont recueillies par un multiplicateur de charges qui permet, grâce à l'électronique associée, de compter chaque impulsion de charge. Cet analyseur est présenté sur la figure I-5.

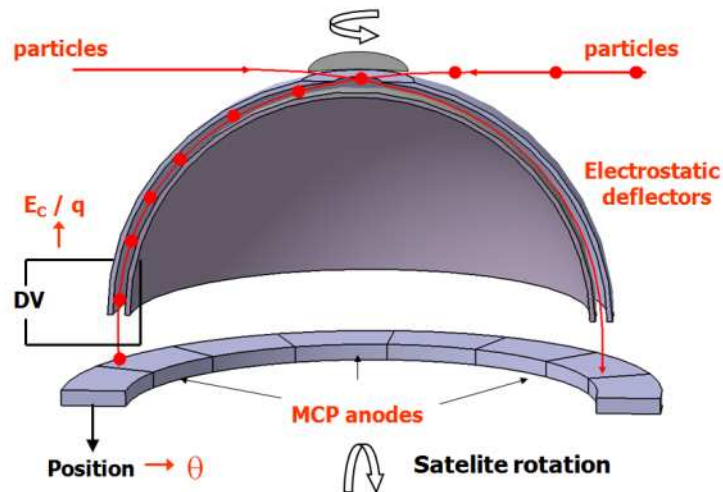


figure I-5 : Vue en coupe simplifiée d'un analyseur électrostatique de type « top hat » [15].

Généralement, les multiplicateurs de charges en forme de couronne utilisés sont des galettes à micro-canaux, ou « Microchannel Plates » (MCP), en verre dopé [16] qui multiplie chaque charge par un facteur de l'ordre de  $10^4$  lorsqu'une tension de l'ordre de 2300 V leur est appliquée. Le fonctionnement d'une MCP est détaillé dans le chapitre II. L'anode qui recueille les charges à la sortie de la MCP est segmentée en secteurs (16 à 64 en général) qui correspondent aux différentes directions d'arrivée des particules, regroupées en secteurs de 22.5 à 5.25 degrés, suivant la précision requise.

### **1.2.5. Systèmes de détection associés à la mesure des électrons et des ions de grandes énergies**

#### *a) Principe*

La détection des particules de grande énergie ( $>100$  keV) est généralement faite grâce à un détecteur de type semi-conducteur associé ou non à un analyseur électrostatique. En l'absence d'analyseur électrostatique, le semi-conducteur permet de connaître seulement l'énergie cinétique de la particule incidente. C'est le détecteur utilisé préférentiellement pour détecter les électrons. Dans ce cas il est précédé d'une feuille de métal qui arrête les ions jusqu'à plusieurs centaines de keV.

L'association analyseur électrostatique/semi-conducteur permet de déterminer, l'énergie par charge et l'énergie cinétique des ions, et ainsi de remonter à  $E_c$  et à  $q$ . Des arrangements plus ou moins complexes d'analyseurs, de semi-conducteurs, de MCP peuvent être utilisés pour déterminer l'énergie, la charge et la masse des ions. Les spectromètres de masse utilisent la vitesse différente des ions de même énergie mais de masse différente pour les séparer. La spectrométrie de masse est l'une des techniques d'analyse les plus sensibles disponibles.

Plusieurs méthodes de mesures existent mais nous allons nous intéresser à la spectrométrie à temps de vol qui est la plus adaptée pour les particules de forte énergie du milieu spatial.

### b) Spectromètre à temps de vol

La spectrométrie à temps de vol ou Time of Flight (TOF) permet de mesurer le temps que met une particule d'énergie connue pour parcourir une distance donnée et ainsi de déterminer sa vitesse et donc sa masse [17; 18; 19].

Les ions incidents traversent un collimateur situé en amont de l'appareil puis sont séparés par un analyseur électrostatique qui courbe les trajectoires en ne laissant passer que les particules ayant un rapport énergie/charge ( $E_c/q$ ) donné. Quand un ion sort de l'analyseur électrostatique, il est post-accéléré par un potentiel accélérateur  $V_a$  avant d'entrer dans la section de temps de vol. Il pénètre à l'intérieur d'un tube dans lequel il traverse deux feuilles de carbone très fines (de quelques  $\mu\text{g}\cdot\text{cm}^{-2}$ ).

Quand un ion traverse une feuille de carbone, des électrons secondaires sont éjectés de cette dernière. Ces électrons secondaires, qui ont une vitesse très supérieure à celle des ions, sont captés par des détecteurs de type MCP situés très près des feuilles. Ces détecteurs vont permettre de déclencher des signaux de chronométrage (« Start » pour la première MCP et « Stop » pour la seconde). Entre ces deux feuilles de carbone, l'ion parcourt une distance  $d$  (typiquement 10 cm) pendant un temps  $\Delta\tau$  appelé TOF. Ce temps représente la différence des instants de passage de l'ion  $\Delta\tau = T_{STOP} - T_{START}$  et est de l'ordre de quelques dizaine de nanosecondes. Plusieurs instruments à temps de vol sont présentés dans [13]. La figure I-6 montre le principe de fonctionnement d'un instrument à temps de vol.

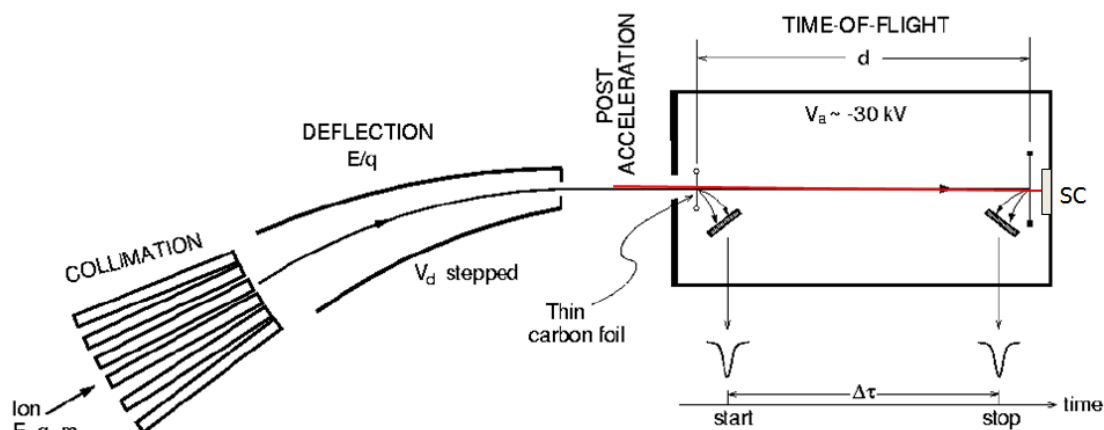


figure I-6 : Vue en coupe simplifiée d'un spectromètre de masse à temps de vol  $E_c/q$  (TOF) d'après [20].

La vitesse de l'ion est alors définie par  $v = d/\tau$ . Connaissant  $E_c/q$  grâce à l'analyseur électrostatique, on détermine le rapport  $m/q$  par :

$$\frac{m}{q} = 2 \frac{\frac{E_c}{q} + |V_a| - \Delta E_f}{v^2} \quad (\text{I-2})$$

où  $\Delta E_f$  représente la perte d'énergie de la particule par unité de charge lors des collisions avec les feuilles de carbone.

Pour déterminer  $E_c$ , on place un SSD (Solid State Detector) à la suite de la seconde MCP qui stoppe la particule afin d'en déduire son énergie. La réponse de ce dernier détecteur en paires électron-trou est proportionnelle à l'énergie perdue par la particule incidente.

Au final, l'énergie, la masse, et la charge de chaque particule entrant dans le détecteur sont déterminées sans ambiguïté.

Les mesures du plasma de l'environnement terrestre réalisées avec ce type de spectromètre montrent par exemple la prépondérance de l'ion hydrogène d'origine solaire, la présence d'ions  $\text{He}^{++}$  solaires et  $\text{He}^+$  terrestre, celle des ions lourds très ionisés dans la couronne solaire ( $\text{Ne}^{8+}$ ,  $\text{Fe}^{6+-16+}$ ) et les ions terrestres  $\text{N}^+$ ,  $\text{O}^+$  (figure I-7).

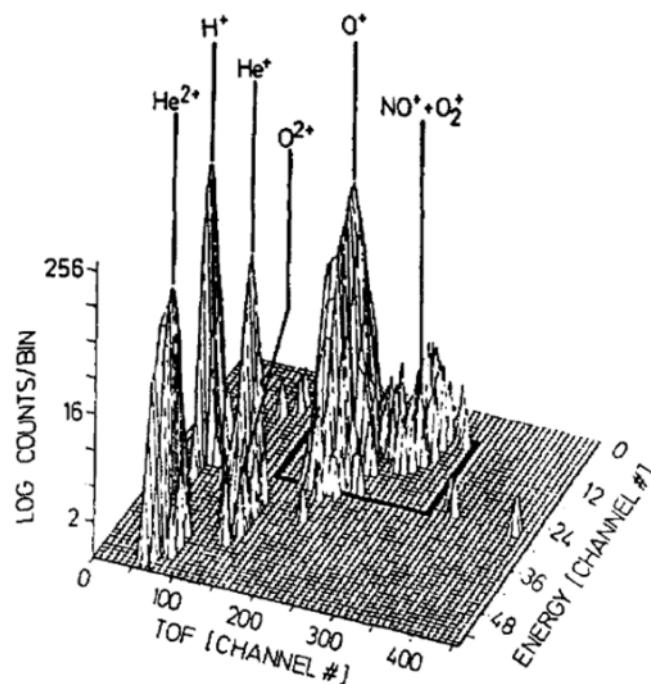


figure I-7 : Distribution des flux d'ions de l'environnement terrestre en période d'orage magnétique, à une distance d'environ 5 rayons terrestres, dans un diagramme temps de vol (TOF)-Energie. Les ions  $\text{H}^+$  (solaire) et  $\text{O}^+$  (terrestre) sont les plus abondants. L'ion  $\text{He}^+$  est d'origine planétaire ainsi que les ions  $\text{NO}^+$  et  $\text{O}_2^+$ .

Par ailleurs, la spectrométrie de masse permet d'étudier les autres environnements planétaires. C'est ainsi que le spectre illustré par la figure I-8 donne la composition de l'environnement d'Encelade (un satellite de Saturne observé par la sonde Cassini) grâce à un spectromètre de



masse couvrant la gamme de 1 à 99 daltons (unité de masse unifiée). Les spectres de masse individuels qui ont été utilisés pour former le spectre ont été acquis toutes les 4.6 s lorsque le satellite était à moins de 500 km de surface d'Encelade [21].

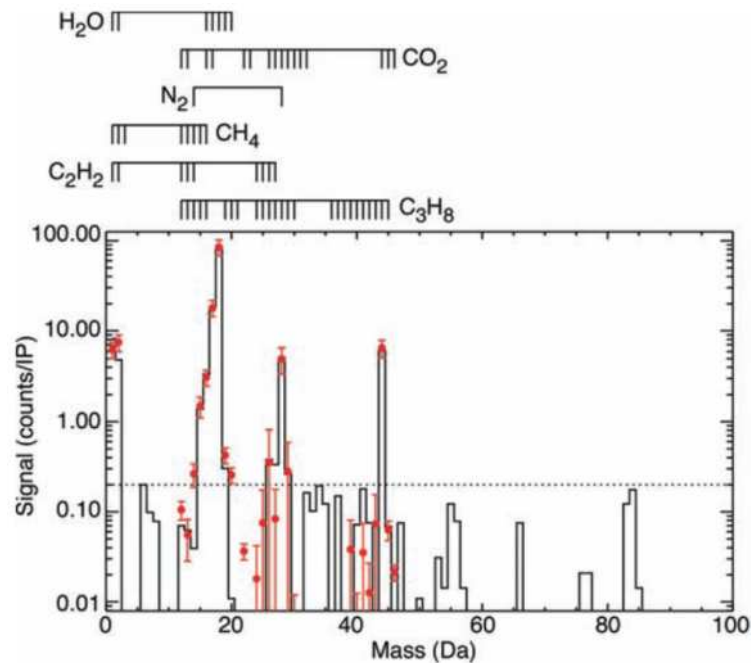


figure I-8 : Le spectre de masse moyenné de 1 à 99 Da mesuré par l'instrument Cassini INMS à moins de 500 km de la surface d'Encelade. Les symboles en rouge représentent la reconstruction du spectre [21].

Les constituants primaires observés sont H<sub>2</sub>O, CO<sub>2</sub>, N<sub>2</sub> ou CO, et CH<sub>4</sub> déduit à partir des pics de masse primaire à 18, 44, 28, et 16 daltons, respectivement.

### I.3. Conclusion

Dans ce premier chapitre, nous avons décrit, succinctement, le contexte scientifique de cette thèse et présenté, les principes de détection des particules d'un plasma à l'aide de spectromètres de particules chargées embarquables en satellites. Nous avons décrit plusieurs méthodes et systèmes de détection, spécialement ceux associés à la mesure des électrons et des ions de faibles et de grandes énergies. Nous avons présenté plus particulièrement des détecteurs génériques : l'analyseur électrostatique de type « Top-hat » et un spectromètre à temps de vol.

Quel que soit le principe de détection choisi, il est fondamental de définir avec précision l'instrument afin de pouvoir en déterminer les performances et l'adapter au milieu à caractériser. Sa modélisation servira par la suite de base indispensable dans le choix et le dimensionnement de l'ensemble constitué par le détecteur et l'électronique associée.

Il apparaît que le choix des détecteurs (MCP, semi-conducteurs) est crucial pour effectuer des mesures de qualité et que les performances des spectromètres dépendront de la précision de leur construction : concentricité des sphères des « top-hat », qualité des feuilles de carbone dans le cas du spectromètre de type « TOF », etc. Néanmoins c'est l'électronique associée aux spectromètres qui déterminera pour une large part leurs performances : linéarité des réponses, absence de diaphonie entre voies, tenue aux radiations,...

## I.1. Références

- [6] Langmuir, I., "Oscillations in Ionized Gases." *Proc Natl Acad Sci U S A*. 1928, Vol. 14(8): 627–637.
- [7] OBSPM., <http://www.luth.obspm.fr>. *Introduction à la physique spatiale*. [En ligne]
- [8] NASA., <http://www.nasa.gov/home/index.html>. [En ligne]
- [9] Parker, E. N., "Dynamics of the Interplanetary Gas and Magnetic Fields." *Astrophysical Journal*. 1958, Vol. 128, p.664.
- [10] Observatory, The Wilcox Solar., <http://wso.stanford.edu/>. *Heliospheric Current Sheet*. [En ligne]
- [11] CNES., <http://smc.cnes.fr/TARANIS/Fr/index.htm>. *TARANIS*. [En ligne]
- [12] Baumjohann, W. et Treumann, R.A., "Basic Space Plasma Physics." London : Imperial College Press, 1996.
- [13] Wüest, M., Evans, D. S. et Steiger, R. von., *Calibration of Particle Instruments in Space Physics*. The Netherlands : The International Space Science Institute Scientific Report, ESA Publication Division, Keperlann, 2007.
- [14] Carlson, C. W., et al., "An instrument for rapidly measuring plasma distribution functions with high resolution." *Adv. Space Res.* 1983, Vol. 2, 67–70.
- [15] Carlson, C. W. et McFadden, J. P., "Design and application of imaging plasma instruments." *Measurement techniques in space plasmas, Geophys. Mongr. Ser.* R. F. Pfaff, J. E. Borovsky, and D. T. Young, AGU, 1998, Vol. 102, 125.
- [16] Wiza, J., "Microchannel plate detectors." *Reprinted from Nuclear Instruments and Methods*. 1979, Vol. 162, pp. 587–601.
- [17] Farmer, J.B., "Types of mass spectrometers." *Mass Spectrometry*. C.A. McDowell, Ed., McGraw-Hill, New York, 7–44, 1963.
- [18] Wollnik, H., "Time-of-flight mass analyzers." *Mass Spec. Rev.* 12, 89–114, 1993.

[19] Wüest, M., "Time-of-flight ion composition measurement techniques for space plasmas." *Measurement Techniques in Space Plasmas: Particles*. R. Pfaff, J. Borovsky, and D.T. Young, Eds., Geophys. Monogr. Ser., 102, American Geophysical Union, Washington, D.C., 1998.

[20] Gloeckler, G., "Ion composition measurement techniques for space plasmas." *Review of Scientific Instruments*. 61, p.3613, 1990.

[21] Waite, J.H., Michael R. Combi, Wing-Huen Ip, Thomas E. Cravens, Ralph L. McNutt, Jr., Wayne Kasprzak, Roger Yelle, Janet Luhmann, Hasso Niemann, David Gell, Brian Magee, Greg Fletcher, Jonathan Lunine, and Wei-Ling Tseng., "Cassini Ion and Neutral Mass Spectrometer: Enceladus Plume Composition and Structure." *Science*. 311 (5766), 1419-1422, 2006.

# Chapitre II

## **Les détecteurs utilisés pour la mesure en environnement spatial**

*E*n environnement spatial comme dans beaucoup d'autres domaines, il est nécessaire de comprendre et d'analyser le principe de fonctionnement des détecteurs que nous allons instrumenter pour la mesure des particules. Une étude de leur architecture et des différents paramètres qui influencent leurs caractéristiques doit être mise en œuvre. Ce chapitre présente, dans un premier temps, un détecteur à base de MCP pour le comptage de particules et ensuite un détecteur à base de semi-conducteurs (SCs) pour la spectrométrie de masse. L'étude approfondie d'un détecteur à SCs pour la spectrométrie de masse passe par la modélisation des divers effets physiques subis par la particule dans la matière. Nous utilisons pour cela le simulateur GEANT 4 qui permet de déterminer la géométrie du détecteur. Les estimations des temps de collecte, capacité équivalente et courant de fuite sont abordées afin d'établir le modèle équivalent du détecteur.

### **II.1. Présentation des détecteurs**

Lors de l'étape de sélection de l'instrumentation pour une future mission spatiale, une comparaison entre les différents instruments existants s'avère indispensable. Le choix est notamment fait en fonction de la gamme d'énergie des particules à détecter, de la résolution en énergie/vitesse nécessaire et du facteur géométrique qui détermine la gamme de flux mesurables ainsi que la résolution temporelle du spectromètre.

Il y a relativement peu de détecteurs utilisés en physique spatiale pour détecter les particules chargées ou neutres. Il s'agit, notamment pour mesurer le courant associé aux distributions de particules chargées de faibles énergies, des coupelles de Faraday (Faraday Cups), des Channels Electron Multipliers ou 'channeltrons' (CEM), des Discrete Electron Multipliers (DEM) et des Microchannel Plates (MCP). Ces dernières permettant uniquement de compter

les particules dont l'énergie a été sélectionnée par un analyseur électrostatique. Pour la mesure des particules de plus hautes énergies, ce sont les Solid-State Detectors (SSD) et les scintillateurs qui sont utilisés [22]. Nous avons vu dans le chapitre précédent que les MCPs sont aussi utilisées pour générer le « Start » et le « Stop » en spectrométrie de masse. Aujourd'hui, ce sont les MCPs et les Solid-State qui sont les plus utilisés dans les dispositifs d'instrumentation des plasmas spatiaux. Nous allons donc étudier leurs caractéristiques, structure et fonctionnement en réponse aux particules.

## II.2. La Microchannel plate

### II.2.1. Description

Les Microchannel plates (MCP) sont des multiplieurs d'électrons à gain élevé. Elles sont utilisées dans un large éventail de systèmes de détection de particules et de photons [23]. Une MCP est composée de plusieurs millions de canaux parallèles. Typiquement, le diamètre de chaque canal est d'environ 10  $\mu\text{m}$ . Les axes des canaux peuvent être perpendiculaires au plan de la MCP ou être légèrement inclinés, de 8 à 12°. Une MCP est fabriquée à partir de verre traité au plomb pour optimiser l'émission d'électrons secondaires de chaque canal et rendre les parois des canaux semi-conductrices. Chaque canal est indépendant et fonctionne comme une dynode continue. Les faces avant et arrière de la MCP sont métallisées et servent d'électrodes pour polariser la MCP avec une haute tension. La figure II-1 schématise la vue en coupe d'une MCP.

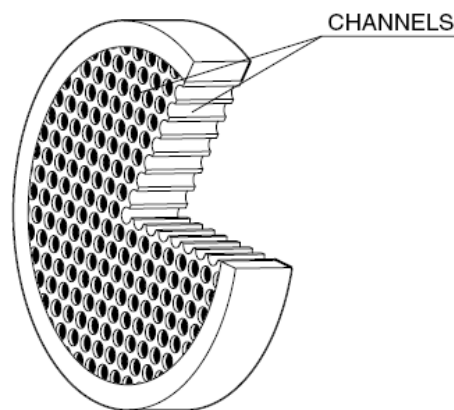


figure II-1 : Vue en coupe d'une MCP.

La MCP fut un détecteur de choix lors des débuts de la détection des ions et électrons de faible énergie des plasmas spatiaux. En effet, la détection des particules de faible énergie (< 10-100 keV) ne peut pas se faire à l'aide de détecteurs conventionnels (photomultiplicateurs,

détecteurs à semi-conducteurs, compteurs Geiger-Muller) à cause de la présence d'une enveloppe ou d'une fenêtre protégeant les détecteurs, élevant donc le seuil de détection en énergie au delà de quelques dizaines de keV. Cela implique l'emploi de détecteurs sans fenêtre d'entrée. Cependant, une MCP ne permet pas de mesurer l'énergie de la particule mais seulement de la détecter.

### II.2.2. Principe de fonctionnement

Lorsque qu'une particule (ion, électron ou photon) pénètre dans un canal et frappe une paroi, il y a production de  $\delta$  électrons secondaires. Ces électrons secondaires sont accélérés par un champ électrique formé par la tension appliquée entre les deux extrémités de la MCP. Ils dérivent alors selon une trajectoire parabolique jusqu'à ce qu'à leur tour ils frappent la paroi du canal, produisant ainsi  $\delta^2$  électrons secondaires (figure II-2). Ce processus est répété plusieurs fois tout le long du canal. Le nombre d'électrons ainsi produit en sortie du canal est déterminé par :

$$G = \delta^n \quad (\text{II-1})$$

avec  $n$  le nombre d'impacts d'une gerbe d'électrons secondaires et  $\delta$  le coefficient d'émission (supposé constant à chaque réflexion).

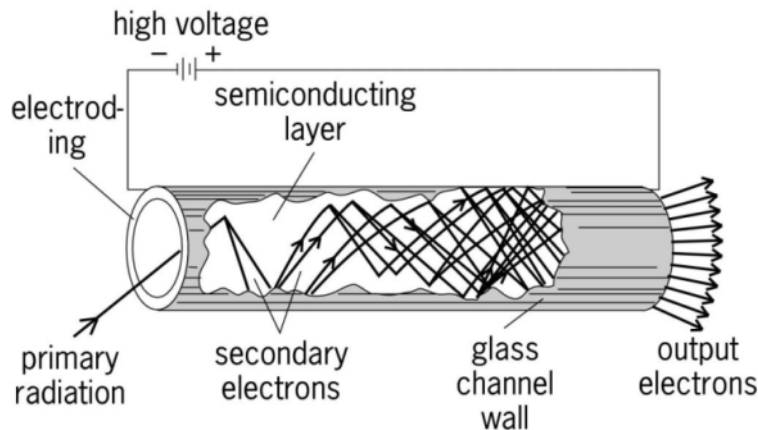


figure II-2 : Principe du canal multiplicateur d'électrons.

Ce principe appelé phénomène d'avalanche permet d'obtenir un gain maximum de l'ordre de  $10^4$ . Si l'on augmente la tension afin d'avoir un meilleur gain (au delà de  $10^5$ ), la probabilité d'émettre un ion positif à l'intérieur d'un canal augmente. Ces ions peuvent dériver jusqu'à l'entrée du canal et former des impulsions parasites. Si l'on veut augmenter le gain, il faut plutôt utiliser plusieurs MCPs montées les unes sur les autres.

### II.2.3. Le chevron et le Z-stack

Le montage en chevron permet d'augmenter significativement le gain et est couramment utilisé pour supprimer le problème des retours d'ions sur l'entrée. Le principe est de juxtaposer plusieurs MCP les unes sur les autres afin d'amplifier le phénomène d'avalanche. Les MCPs sont orientées de sorte que les angles de polarisation des canaux (généralement  $8^\circ/8^\circ$  ou  $0^\circ/15^\circ$ ) fournissent suffisamment de changements de direction pour empêcher l'ion positif d'atteindre la précédente MCP. Typiquement, les MCPs sont espacées de 20 à 150  $\mu\text{m}$ . Les deux configurations connues sont le chevron combinant 2 MCPs et le Z-stack combinant 3 MCPs [23; 24]. Elles sont présentées sur la figure II-3.

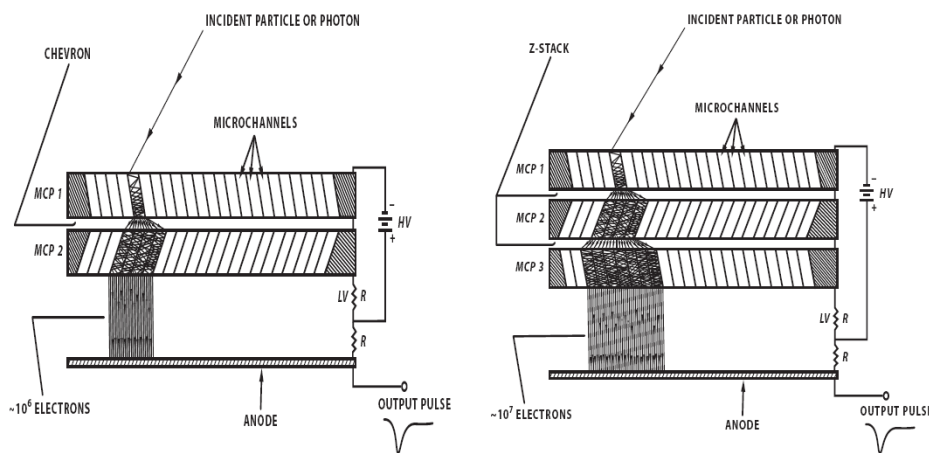


figure II-3 : Vue en coupe des montages des MCPs. À gauche le montage en chevron de 2 MCPs. À droite le montage en Z-stack de 3 MCPs. Une particule incidente génère des électrons secondaires dans la MCP1 qui sont ensuite envoyés dans la MCP2 suivante [22].

Le chevron permet d'atteindre des gains significatifs de l'ordre de  $10^6$  à  $10^7$  et le Z-stack plusieurs  $10^7$ . Les électrons secondaires sont recueillis par une ou plusieurs anodes reliées à un circuit d'instrumentation.

### II.2.4. Réponse en gain

Les très bonnes performances des MCPs en termes de rapidité et de gain cachent en fait un défaut 'majeur'. En effet, le nombre d'électrons secondaires produits par une particule n'est jamais le même. Leurs parcours et leurs collisions dans un canal sont imprévisibles et une dispersion importante du gain de sortie est alors observée. Sur la figure II-4 nous illustrons la réponse d'un chevron à un faisceau d'électrons de même énergie et provenant de la même direction. Ces mesures sont effectuées pour des HTs (Hautes Tensions) variant de 2100 V à 2400 V.

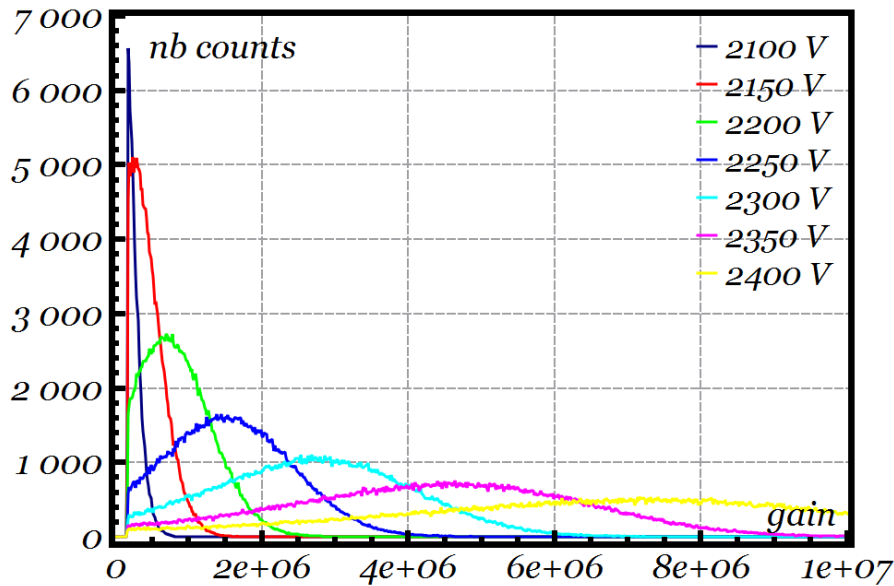


figure II-4 : Distribution du gain du chevron en réponse à des électrons de 300eV pour différentes valeurs de HV allant de 2100V à 2400V.

Nous remarquons que les différentes dispersions sont gaussiennes. Cela montre qu'il existe bien une loi normale pour ces gains, donc une espérance mathématique équivalente en probabilité à la moyenne de la série statistique. Nous voyons aussi que ces moyennes et écarts types varient selon la HT appliquée. Les « faibles » HTs donnent des variances très faibles et des gains moyens. Au contraire, les « fortes » HTs donnent des variances très grandes avec des gains plus élevés.

Ces réponses sont aussi affectées par le vieillissement des MCPs. Le gain diminue avec le temps d'utilisation des MCPs, ce qui nécessite d'augmenter la tension de polarisation. De même, il est aussi très compliqué de connaître par avance le gain d'une MCP car il faut prendre en compte les variations process lors de leur fabrication.

### II.2.5. Modèle électrique équivalent

Le modèle électrique équivalent de la MCP permet de connaître sa réponse en utilisant des objets connus et faciles à dimensionner. Cette étape permettra par la suite d'intégrer ce modèle dans des calculs ou simulations.

Nous avons vu qu'une certaine quantité d'électrons est délivrée par la MCP lors d'une détection. Cette quantité d'électrons est recueillie par une anode afin de recueillir une charge. Par définition, une charge représente un déplacement de courant  $I$  observé pendant un temps  $T$ . L'utilisation d'une source impulsionnelle de courant peut donc représenter cette



charge. Typiquement, la durée maximale d'une impulsion en sortie de MCP est de 1 ns avec un temps de montée inférieur à 500 ps [23].

Un autre paramètre est aussi à prendre en considération : Le temps mort effectif  $T_{eff}$  représente la non disponibilité d'un canal ayant reçu une particule. En effet, la capacité équivalente d'un canal doit être rechargée avant de détecter une nouvelle particule (il faut renouveler les électrons des parois). Ce temps de charge noté  $\tau_c$  se calcule à partir de la capacité effective d'un canal  $C_c$  qui se recharge à travers la résistance du canal  $R_c$  [25] :

$$\tau_c = \frac{OAR}{1 - OAR} \frac{1}{\pi} R_c C_c \quad (\text{II-2})$$

avec  $OAR$  (open area ratio) qui vaut à peu près 0.5. Ce temps est typiquement de quelques ms (si  $C_c = 7.4 \cdot 10^{-17} F$  et  $R_c = 2.75 \cdot 10^{14} \Omega$ ) alors  $\tau_c = 6.5$  ms. Une MCP étant composée de plusieurs millions de canaux, on peut dire que le temps mort effectif est de  $T_{eff} = \tau_c / nc$  avec  $nc$  le nombre de canaux. Pour une galette d'un million de canaux, on trouve un  $T_{eff}$  de 6.5 ns. Dans un montage en chevron, les électrons secondaires de la première MCP vont activer plusieurs canaux de la seconde. Typiquement, 64 canaux sont activés en moyenne, alors le temps mort effectif du chevron est de  $T_{MCP\_eff} = 64 \times T_{eff} = 416$  ns. Ainsi, nous pouvons dire que la fréquence effective de fonctionnement d'un montage en chevron est de 2.5 MHz.

D'autre part, lorsque la MCP est en fonctionnement, sa température augmente rapidement, ce qui engendre une élévation de  $T_{eff}$  et une diminution du gain [26]. Un système de refroidissement thermique est alors nécessaire pour la maintenir à la température constante et ainsi maintenir les performances.

Le modèle équivalent d'une MCP peut être représenté par une source de courant  $I_{det}$  modélisant la charge  $Q_{in}$  en parallèle à une capacité du détecteur  $C_{det}$  (figure II-5) :

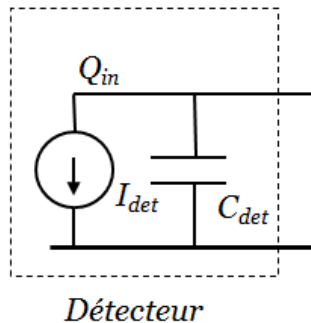


figure II-5 : Modèle équivalent de la MCP.

La capacité du détecteur  $C_{det}$  correspond à quelques pF.

La première étude de l'instrumentation à base de MCPs montées en chevron présente les caractéristiques présentées dans le tableau II-1 :

tableau II-1 : Caractéristiques du détecteur à MCPs montées en chevron utilisé dans l'instrument

Paramètres	MCPs montées en Chevron
Diamètre (mm)	25.4
Nombre d'anode	16
Haute Tension (V)	2300
Gamme du gain	0 à $6.2 \times 10^6$
Charge équivalente (pC)	0 à 1
Temps de collecte (ns)	0 à 1
Capacité équivalente (pF)	3
Fréquence de fonctionnement maximale (MHz)	2.5

## II.3. Les détecteurs à semi-conducteur

Dans ce paragraphe, nous nous limiterons aux processus d'interaction électromagnétique des ions et des électrons avec la matière. Le noyau atomique est supposé fixe, la matière est décrite comme étant homogène et isotrope, nous étudierons les phénomènes d'interaction ainsi que l'énergie perdue par l'ion et électron énergétique dans les matériaux de type semi-conducteur (SC) tels que le silicium (Si) et le tellure de zinc-cadmium (CdZnTe).

### II.3.1. Les interactions matière - particules chargées

Comprendre les processus de perte d'énergie des particules dans la matière est important afin de mieux appréhender la réponse des détecteurs de particules de hautes énergies. Les particules chargées, telles que les ions ou électrons, interagissent avec le matériau qu'ils traversent par une série d'interactions avec les éléments de ce matériau. Ce sont principalement trois processus de type coulombien qui se traduisent tous par une perte d'énergie des particules chargées traversant la matière :

- L'interaction inélastique sur les électrons environnants,
- L'interaction inélastique nucléaire,
- Le choc nucléaire élastique.

Dans ce paragraphe nous étudions principalement les interactions d'une particule chargée lourde (ion) et d'un électron avec les atomes et les électrons du milieu (détecteur) [27; 28; 29]. Ces interactions se traduisent par une perte d'énergie que l'on peut classer dans 2 catégories : Les pertes par collisions et les pertes radiatives.

a) Pertes d'énergie par collisions

La perte d'énergie par collisions résulte essentiellement de l'ionisation et de l'excitation des atomes du matériau suite à l'interaction inélastique avec les électrons du milieu. Et aussi, en fin de trajet, cette perte d'énergie est quasiment uniquement due aux chocs nucléaires élastiques. Le champ électromagnétique d'une particule chargée en mouvement accélère les électrons des atomes avoisinant sa trajectoire. Les atomes sont alors ionisés par la perte d'un électron. Dans ce processus, la particule chargée lourde continue sa trajectoire mais une partie de son énergie est absorbée par le milieu. L'électron, quant à lui, est partiellement dévié par ces chocs mais son parcours est très différent d'un électron à l'autre. La figure II-6 présente les collisions inélastiques entre une particule chargée et les électrons du noyau atomique. Ces interactions conduisent soit à l'éjection d'un électron périphérique ce qui correspond à l'ionisation de l'atome et à la génération d'un électron secondaire, soit à l'excitation de l'atome conduisant au transfert d'un électron périphérique sur une couche externe.

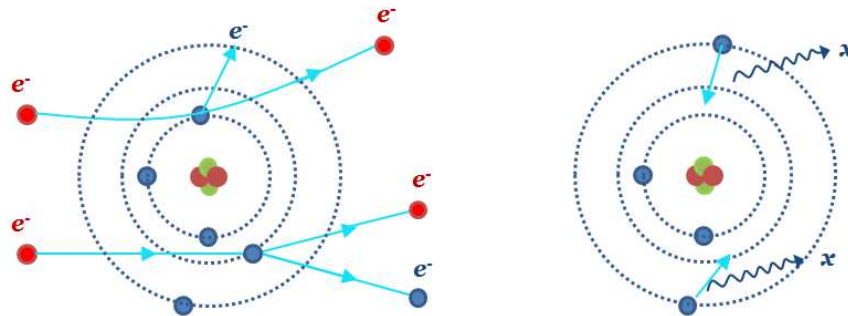


figure II-6 : Principe d'une collision inélastique entre une particule chargée et les électrons du noyau atomique. Ces interactions conduisent soit à l'éjection d'un électron périphérique, ce qui correspond à l'ionisation de l'atome et à la génération d'un électron secondaire, soit à l'excitation de l'atome conduisant au transfert d'un électron périphérique sur une couche externe (à gauche). Au cours de la relaxation de l'atome, cette lacune sera comblée par un électron plus externe avec émission simultanée d'un rayonnement très faiblement énergétique (à droite).

Ces interactions font perdre de l'énergie à la particule et se répètent tout le long du trajet jusqu'à ce que la particule soit stoppée. La théorie permet de très bien prédire le taux de ces pertes qui sont principalement dues à la diffusion coulombienne par des électrons atomiques. Le processus de collision induit par les particules chargées massives (particules au repos dont la masse est beaucoup plus grande que celle de l'électron) est à l'origine de la formule de Bethe-Bloch [30; 31; 32] qui exprime la perte d'énergie en fonction de la profondeur de pénétration  $x$  :

$$-\left(\frac{dE}{dx}\right)_{\text{col}} = \frac{4\pi z^2 q^4 Z \rho N_A}{m_e v^2 A} \left[ \text{Ln} \left( \frac{2m_e v^2 \gamma^2}{I} \right) - \beta^2 - \frac{\delta}{2} - \frac{U}{2} \right] \quad (\text{II-3})$$

où  $z$  et  $v$  sont respectivement la charge effective et la vitesse ( $v = \beta c$ ) de la particule énergétique primaire, avec  $m_e$  la masse de l'électron et  $q$  la charge électrique.  $I$  est l'énergie d'excitation du milieu absorbant et  $\gamma$  le facteur de Lorentz. Le nombre d'électrons par  $cm^3$  du milieu absorbant est défini par  $(Z\rho N_A)/A$  où  $Z, N_A, A$  et  $\rho$  sont respectivement le nombre atomique, le nombre d'Avogadro, la masse atomique et la densité électronique. Finalement,  $\delta$  est la correction de l'effet de densité et  $U$  le terme de correction du shell.

Pour les électrons, l'interaction avec la matière est plus complexe car ils interagissent directement avec les électrons du milieu qui ont la même masse. De ce fait, la particule perd une grande partie de son énergie par collision et est aussi largement déviée. De plus, des interactions nucléaires peuvent aussi avoir lieu avec le noyau. A partir de l'équation de Bethe-Bloch, l'équation de la perte d'énergie d'un électron en fonction de la profondeur de pénétration  $x$  s'écrit :

$$-\left(\frac{dE}{dx}\right)_{col}^{e^-} = \frac{2\pi q^4 Z\rho N_A}{m_e^2 v^2 A} \times \left[ \text{Ln}\left(\frac{m_e v^2 E}{2I^2(1-\beta^2)}\right) + 1 - \beta^2 + \left(\frac{2\gamma-1}{\gamma^2}\right) \text{Ln}2 - \frac{1}{8}\left(\frac{\gamma-1}{\gamma}\right)^2 - \delta \right] \quad (\text{II-4})$$

Le pouvoir d'arrêt des électrons augmente aux faibles énergies où peuvent se produire des phénomènes de capture atomique.

### *b) Perte d'énergie radiative*

Lors des collisions entre les électrons et les atomes, les interactions donnent aussi lieu à des chocs radiatifs et les particules chargées peuvent aussi perdre une partie de leur énergie par émission de rayonnement électromagnétique sous forme d'un photon, en particulier lorsqu'un électron est décéléré dans le champ coulombien d'un noyau. L'intensité rayonnée est proportionnelle au carré de l'accélération. Cet effet prend beaucoup d'importance pour les électrons des matériaux de numéro atomique élevé. Comme l'énergie liée à la décélération des électrons est quantifiée suivant des valeurs fortement rapprochées, cela produit un photon. Cette émission de photon, c'est à dire la perte d'énergie radiative aussi appelée « bremsstrahlung » est dominante lorsque l'électron atteint un certain niveau d'énergie. La figure II-7 représente le rayonnement de freinage d'une particule incidente qui va alors produire un photon.

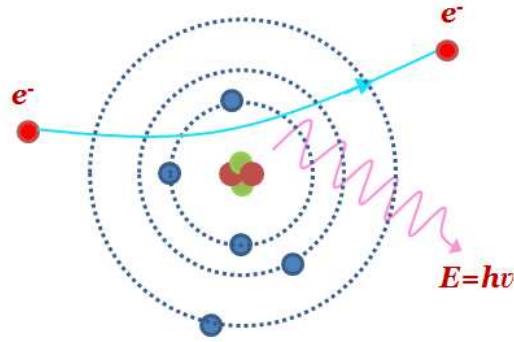


figure II-7 : Principe de l'émission d'un photon bremsstrahlung par le rayonnement de freinage généré par un électron et le noyau atomique.

L'énergie du photon est proportionnelle à l'énergie perdue par la particule. A partir du formalisme concernant l'interaction des photons avec la matière, Heitler [33] a obtenu une estimation du pouvoir d'arrêt des particules chargées dans un matériau. La perte linéaire d'énergie radiative par profondeur de pénétration  $x$  s'écrit :

$$-\left(\frac{dE}{dx}\right)_{\text{rad}} = \frac{q^4 E}{137 m_e^2 c^4} \frac{Z(Z+1) \rho N_A}{A} \left[ 4 \ln \left( \frac{2E}{m_e c^2} \right) - \frac{4}{3} \right] \quad (\text{II-5})$$

Cette perte est d'autant plus importante que le numéro atomique du milieu traversé est élevé, et que l'énergie de la particule incidente est grande.

### c) Pertes totales d'énergie

Les pertes d'énergie peuvent donc être dues aux collisions avec les électrons périphériques (ionisation et excitation) et à des émissions de rayonnements photoniques.

La perte d'énergie d'une particule par unité de profondeur de pénétration  $x$  peut alors s'écrire de la façon suivante :

$$\left(\frac{dE}{dx}\right)_{\text{tot}} = \left(\frac{dE}{dx}\right)_{\text{col}} + \left(\frac{dE}{dx}\right)_{\text{rad}} \quad (\text{II-6})$$

où le premier terme correspond à la relation (II-3) pour les ions ou (II-4) pour les électrons pour les pertes par collisions. Concernant le second terme, il correspond à la relation (II-5) pour les pertes radiatives.

Les bases de données ESTAR, PSTAR, and ASTAR [34] permettent de calculer les différentes pertes en énergies pour les électrons, les protons ou les ions d'hélium dans différents matériaux. Par exemple, nous pouvons visualiser, sur la figure II-8, les pertes d'énergie de l'électron incident dans du silicium pour une grande gamme d'énergie.

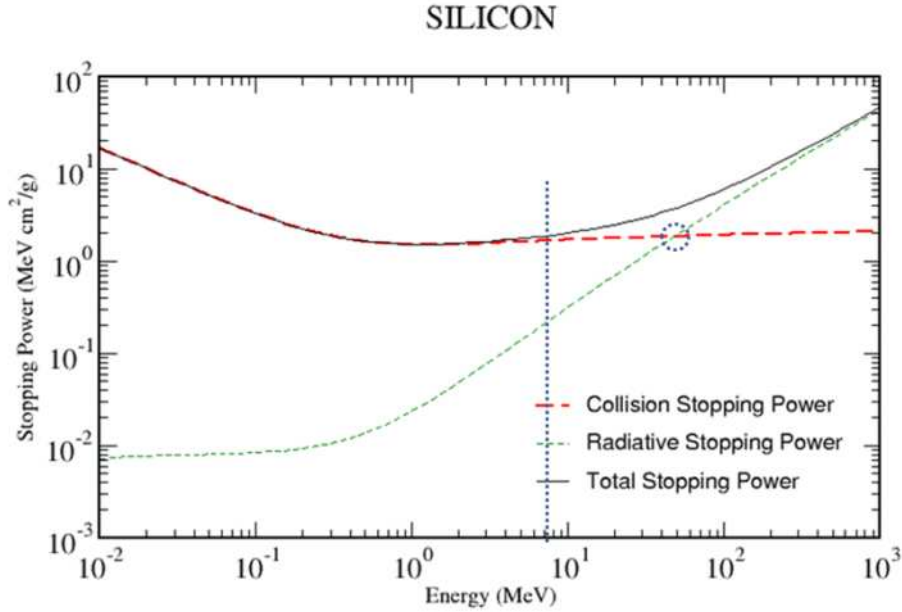


figure II-8 : Perte d'énergie totale, par collision et par radiation en fonction de l'énergie de l'électron incident dans du silicium.

Dans le silicium, nous pouvons observer que les pertes en énergies par collision sont dominantes pour les électrons faiblement énergétiques (de quelque keV à 45 MeV) et la perte radiative devient prépondérante pour les plus fortes énergies. Les pertes par rayonnement et les pertes par ionisation s'équilibrent, pour une énergie  $E = 1600m_e c^2 / Z$ . La plage où l'énergie totale stoppée est faite exclusivement par des pertes par collision, se situe entre quelque keV et quelques MeV. C'est dans cette zone, où les pertes par collision sont supérieures aux pertes radiatives et égales, que nous utiliserons notre détecteur.

#### d) Effets de déviation sur les parcours

Nous avons vu qu'en traversant un milieu, une particule chargée est sujette à de nombreuses interactions dans le champ coulombien des noyaux et des électrons. Pour les particules de faible masse (électrons), lorsqu'elles entrent en « collision » avec un électron du cortège atomique, elles sont déviées de leurs trajectoires. On appelle cet effet la diffusion coulombienne (ou scattering). Même si cette déviation est petite, la somme de toutes ces contributions ajoute une composante aléatoire à la trajectoire de la particule (multiple scattering) comme montré sur la figure II-9 à gauche. La section efficace différentielle de diffusion  $d\sigma^{Rut}$  par unité d'angle solide  $d\Omega$  est donnée par la formule de Rutherford [35] :

$$\frac{d\sigma^{Rut}}{d\Omega} = \left( \frac{zZq^2}{4E_k} \right)^2 \frac{1}{\sin^4(\theta/2)} \quad (\text{II-7})$$

où  $E_k$  est l'énergie cinétique de la particule incidente en MeV et  $\theta$  l'angle sur la section efficace de diffusion.

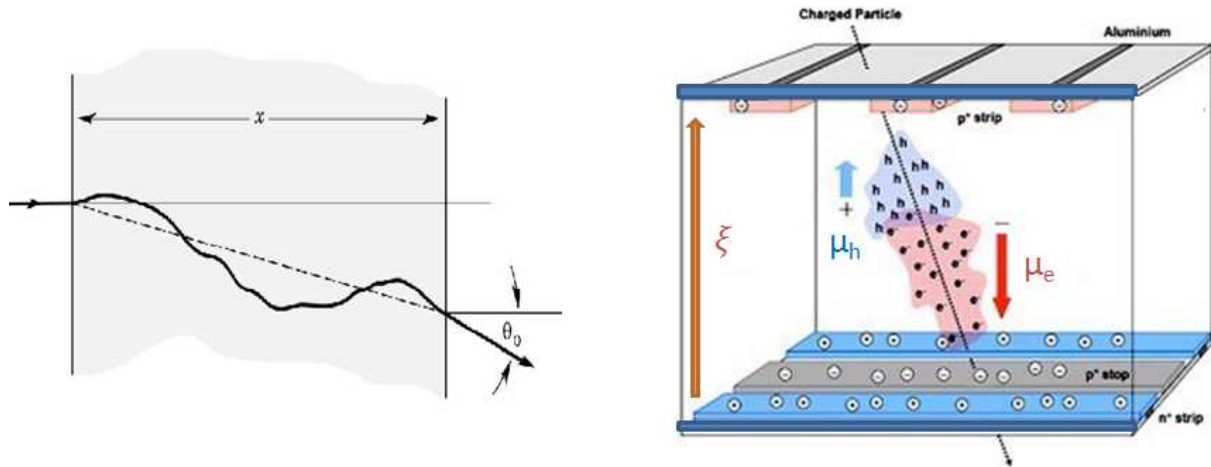


figure II-9 : Effet de déviation du parcours de l'électron dans un milieu (diffusion ou multiple scattering) à gauche. Génération de paires électron-trou d'une particule chargée (ion) dans un SC à droite.

La distance parcourue  $R$  par la particule dans un matériau jusqu'à son arrêt est fonction de la perte d'énergie totale (II-6) [36] :

$$R = \int_{E_0}^0 \left( - \left( \frac{dx}{dE} \right)_{\text{tot}} \right)^{-1} dE \quad (\text{II-8})$$

Pour les particules lourdes (ions), la probabilité de diffusion est très faible. La trajectoire est donc rectiligne et les pertes se font sur une distance égale à l'épaisseur du détecteur (figure II-9 à droite). Pour les électrons, le trajet est toujours supérieur à l'épaisseur du détecteur [37] et est donc à prendre en compte dans son dimensionnement.

#### e) Génération de paires électron-trou

Nous avons vu que tous les mécanismes exposés dans les paragraphes précédents aboutissaient à un dépôt d'énergie dans le matériau. Dans le cas d'un semi-conducteur, ce gain d'énergie se matérialise par la génération de paires électron-trou (figure II-9 à droite). L'énergie nécessaire à la génération d'une paire électron-trou est appelée énergie d'ionisation. Elle est largement supérieure à celle de la bande interdite. L'énergie de la particule incidente fait passer des électrons de la bande de valence dans la bande de conduction et forme de manière couplée des phonons optiques (phonons Raman). Ces électrons « chauds » sont hors équilibre thermodynamique. Ils sont ensuite thermalisés : de nouvelles paires électron-trou sont produites en cascade et l'énergie cinétique résiduelle est transférée au réseau cristallin. L'énergie moyenne  $E$  pour générer une paire électron-trou est donc la somme de trois termes [38] :

$$E = E_G + E_r + E_k \quad (\text{II-9})$$

où  $E_G$  est l'énergie de la bande interdite,  $E_r$  l'énergie des phonons optiques et  $E_k$  l'énergie cinétique résiduelle. La perte moyenne d'énergie par phonon  $E_r$  est liée au nombre moyen de phonons constitués par paire électron-trou (entre 10 et 20 selon le semi-conducteur).  $E_r$  est indépendante de la bande interdite et vaut, selon le semi-conducteur, entre 0.5 et 1 eV. La perte moyenne d'énergie par thermalisation  $E_k$  est le double du seuil d'ionisation  $E_r$ . Dans le cas d'un semi-conducteur à gap direct (ce qui est le cas du CdZnTe), le seuil d'ionisation vaut  $3/2 E_G$ . En supposant que la quantité de mouvement des porteurs est plus ou moins distribuée de manière isotrope,  $E_k = 9/5 E_G$ . On peut donc écrire  $E = 14/5 E_G + E_r$ . Cette théorie correspond bien aux mesures présentées dans [38] : l'énergie d'ionisation évolue linéairement avec la bande interdite, à une constante près ( $E_r$  dans le modèle qui dépend du semi-conducteur), indépendamment du type de radiation et de la température. La fluctuation sur l'énergie consommée pour produire une paire ne suit pas strictement la loi de Poisson car les mécanismes mis en jeu ne sont pas indépendants. Si  $N$  paires sont engendrées, la fluctuation sur ce nombre est  $\sigma = FN$  avec  $F$  le facteur de Fano qui est inférieur à 1 et est lié aux fluctuations de générations de phonons [39].

#### f) *Choix du semi-conducteur*

Le matériau semi-conducteur à utiliser est choisi en fonction de ses paramètres physiques influant sur les performances de détection. L'efficacité de détection du matériau est liée à sa densité et à son numéro atomique qui doivent être élevés pour présenter un bon pouvoir d'arrêt des particules incidentes. Pour que le signal mesuré soit le plus intense possible, l'énergie de génération de paires électron-trou doit être la plus faible possible, ce qui signifie que la bande interdite doit être petite. Par ailleurs, le bruit dû aux fluctuations du courant de fuite doit être faible, ce qui signifie que la résistivité du semi-conducteur doit être élevée. Or, la résistivité du matériau est inversement proportionnelle à la mobilité des porteurs, à la largeur de la bande interdite et à la température. Par ailleurs, pour qu'un SC puisse être utilisé à température ambiante, sa bande interdite doit être importante, pour réduire la concentration en porteurs libres. Nous voyons ici qu'il faut trouver un compromis concernant la bande interdite. Le tableau II-2 récapitule les caractéristiques des principaux SCs utilisés pour la détection [40].



tableau II-2 : Propriétés des SCs utilisés en détection [40]

Symbole	Ge	Si	GaAs	CdTe	Cd <sub>0.8</sub> Zn <sub>0.2</sub> Te	Hgl2
Numéro atomique (Z)	32	14	31/33	48/52	48/30/52	80/53
Densité (g.cm <sup>-3</sup> )	5.33	2.33	5.32	6.06	6	6.4
Température d'utilisation (K)	77	295	295	295	295	295
Band gap (eV)	0.72	1.12	1.424	1.52	1.6	2.13
Energie par paire (eV)	2.98	3.6	4.3	4.43	5	4.3
Mobilité des électrons (cm <sup>2</sup> .V <sup>-1</sup> .s <sup>-1</sup> )	36000	1450	>8000	1000	1350	100
Mobilité des trous (cm <sup>2</sup> .V <sup>-1</sup> .s <sup>-1</sup> )	42000	450	400	80	120	4
Résistivité (Ohm.cm)	50	10 <sup>6</sup>	>10 <sup>8</sup>	>10 <sup>9</sup>	>10 <sup>10</sup>	10 <sup>13</sup>

### II.3.2. Description de l'instrument

Le deuxième instrument étudié dans cette thèse est un spectromètre de masse à base de semi-conducteurs. Cet instrument est destiné à l'étude des interactions atmosphère-ionosphère-magnétosphère lors des orages atmosphériques afin d'appréhender les mécanismes physiques responsables des couplages impulsifs verticaux entre l'atmosphère et l'ionosphère. Le but final est d'établir l'impact de ces processus sur l'environnement de la Terre.

L'objectif de l'instrument est de fournir les spectres des électrons énergétiques de haute résolution ainsi que les distributions en angle. Il est destiné à mesurer des électrons dans une large gamme de flux allant de  $\sim 10^6 \text{ cm}^{-2} \cdot \text{s}^{-1} \cdot \text{keV}^{-1}$  à 60 keV (ceintures de radiation) à  $0.2 \text{ cm}^{-2} \cdot \text{s}^{-1} \cdot \text{keV}^{-1}$  à 4 MeV (runaway electron beams).

L'instrument se compose de deux spectromètres, chacun avec un champ maximal de vue de  $140^\circ \times 150^\circ$ . Les têtes de détection sont constituées de deux plans de semi-conducteurs, le plan supérieur est en Si et le plan inférieur en CdZnTe. Ce choix est fait pour mesurer les électrons sur une plus grande plage d'énergie. Chaque spectromètre mesure un spectre d'énergie des électrons allant de 60 keV à 4 MeV. Le taux de comptage maximum enregistrable est de  $10^7 \text{ s}^{-1}$ . L'instrument sera alors capable de détecter très rapidement les événements transitoires ( $< 10 \text{ ms}$ ) avec une petite fluence [41].

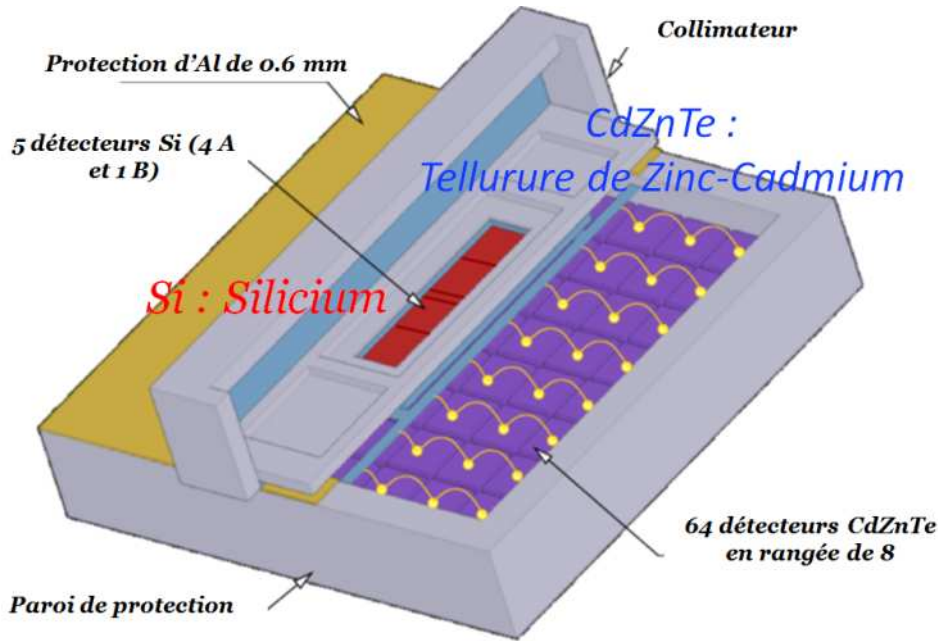


figure II-10 : Ebauche du détecteur. L'instrument est composé de deux détecteurs successifs : une matrice Si de  $1 \times 5$  éléments et une matrice CdZnTe de  $8 \times 8$  éléments (regroupés en 8 canaux). La matrice Si est utilisée pour détecter les électrons de basse énergie et pour générer la première impulsion de coïncidence.

Le détecteur est recouvert d'une feuille d'aluminium de  $6 \mu\text{m}$  d'épaisseur pour éviter toute intrusion de photon parasite ( $\sim 100\%$  d'atténuation des X mous de 1 keV et  $\sim 70\%$  pour ceux de 5 keV) [29]. Cette feuille arrête également les protons d'énergie inférieure à 600 keV. Le détecteur utilisé est composé de 2 types de SCs qui comprennent deux matrices de détecteurs semi-conducteurs (Si et CdZnTe) en vue d'obtenir l'énergie et la direction d'arrivée des électrons à détecter. Le Si permet de détecter les énergies à partir de 60 keV et le CdZnTe a un pouvoir d'arrêt des particules plus énergétiques, au delà de 500 keV. La partie Si comporte 5 cellules : 4 cellules de type A correspondant aux grandes cellules de Si ( $1 \text{ cm} \times 1 \text{ cm}$ ) et une cellule de type B correspondant à la cellule centrale du Si ( $0.4 \text{ mm} \times 1 \text{ cm}$ ). La plus faible dimension de Si permet d'avoir une plus grande précision sur la position d'arrivée. La partie CdZnTe est constituée de 64 cellules de CdZnTe de  $1.6 \text{ cm} \times 1.6 \text{ cm}$ . Cette matrice CdZnTe est utilisée pour détecter les électrons qui ont traversé la matrice Si en générant une impulsion de coïncidence (« Start » dans le Si et « Stop » dans le CdZnTe). La position des cellules ayant déclenchées dans les deux matrices permet d'obtenir le vecteur vitesse de la particule. Nous avons vu que la réponse d'un matériau à une particule énergétique est assez difficile à prévoir car beaucoup d'effets physiques entrent en jeu. On est confronté à un domaine probabiliste. Or, il existe un logiciel sophistiqué permettant de prévoir toutes ces interactions par avance : GEANT-4, développé par le CERN. Le calcul de la géométrie de l'instrument et de l'épaisseur des SCs ont été réalisés au moyen de simulations de type Monte Carlo sur toute

la gamme d'énergie : de quelques dizaines de keV jusqu'à environ 6 MeV. Les résultats de cette étude effectuée avec le logiciel GEANT 4 sont présentés dans la partie suivante, consacrée à la simulation numérique du spectromètre.

### II.3.3. Réponse simulée du détecteur sous GEANT4

#### a) Construction

Nous avons utilisé le logiciel GEANT4 (pour GEometry ANd Tracking) [42; 43] pour simuler le spectromètre en prenant en compte l'environnement, la feuille d'aluminium et les cellules Si et CdZnTe. Le but est de dimensionner les épaisseurs des différents composants afin de détecter les particules énergétiques dans la gamme souhaitée. La première étape consiste à créer la géométrie du détecteur dans l'espace en trois dimensions grâce à l'utilisation de volumes élémentaires. Ensuite, nous devons définir les matériaux qui composent les différents volumes (voir tableau II-2) ainsi que celui de l'environnement (le vide). Sur la figure II-11, nous visualisons, en 3D et en coupe, les 2 cellules qui composent le détecteur. Un volume de Si en rouge superposé à un volume de CdZnTe en bleu, le tout recouvert par une feuille d'aluminium en noir.

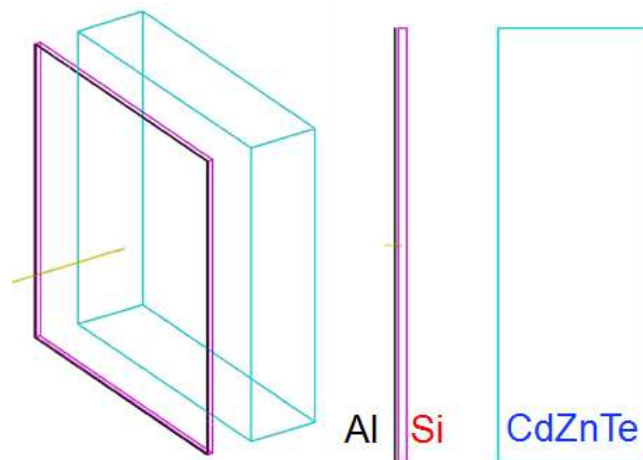


figure II-11 : Visualisation 3D (à gauche) et en coupe (à droite) des 2 cellules SCs composant le détecteur. La couche d'aluminium est représentée en noir, celle de Si en rouge et celle de CdZnTe en bleu.

#### b) Simulation

Une fois le détecteur construit nous avons envoyé des particules en direction du détecteur. La définition de ces particules se fait en genre ( $e^-$ ,  $H^+$ , ion, photon...), en énergie (eV) et en direction d'arrivée dans le volume. Cette simulation permet de visualiser chaque processus physique se manifestant au cours du transport des particules dans les différentes régions du dispositif expérimental. On connaît les probabilités de chacun des phénomènes possibles à

partir de la section efficace par tirage de nombres aléatoires équi-répartis (méthode statistique de Monte Carlo). Le calcul des trajectoires consiste à intégrer pas à pas l'équation du mouvement des particules primaires et des particules secondaires dans un matériau donné, en tenant compte des contraintes imposées sur la longueur maximale du pas d'intégration spatial, de la fraction maximale d'énergie perdue au cours d'un pas, et de la traversée d'une frontière entre deux volumes. Toutes les données pertinentes des particules (direction, énergie perdue...) sont stockées dans un fichier afin d'être traitées par la suite. La figure II-12 montre les différentes propagations et épiphénomènes engendrés par des électrons envoyés dans le détecteur à différentes énergies (60 keV, 500 keV, 4 MeV et 10 MeV).

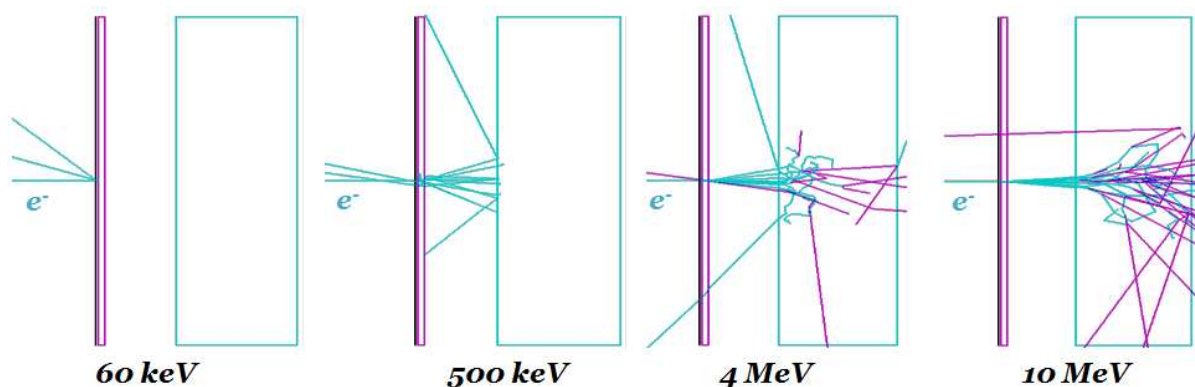


figure II-12 : Suivi graphique des parcours de 10 électrons à différentes énergies de gauche à droite : 60 keV, 500 keV, 4 MeV et 10 MeV, envoyés dans la même direction (parallèlement à la vue en coupe du détecteur). Les électrons sont visualisés en bleu et les photons en rouge.

Ce suivi graphique des parcours des électrons (en bleu) a été paramétré en émettant 10 électrons au centre et perpendiculairement à la surface d'entrée du détecteur pour 4 énergies incidentes distinctes. Les cheminements de ces 10 électrons à l'intérieur de l'instrument montrent la répartition des effets en fonction des différentes énergies (ionisation, excitation, émission d'un photon bremsstrahlung et diffusion multiple). L'émission d'un photon est distinguée par une trace rouge. Grâce à ces simulations, nous pouvons alors jouer sur les épaisseurs des 2 détecteurs afin d'obtenir la gamme de détection d'énergie voulue sans ambiguïté. Ainsi, l'épaisseur du Si est de 0.3 mm et celle du CdZnTe est de 5 mm. Les électrons inférieurs à 10 keV ne parviennent pas à traverser la feuille d'aluminium. A 500 keV, les électrons traversent le Si et certains déposent de l'énergie dans le CdZnTe. A 4 MeV, tous les électrons ont des interactions avec le Si et le CdZnTe. Dans ce cas, l'épaisseur du CdZnTe permet de capturer toute l'énergie d'un électron effectuant un cheminement rectiligne (diffusion verticale). Aussi, nous pouvons observer que l'effet bremsstrahlung commence à être observé à partir de cette énergie. Pour les électrons plus

énergétiques, l'émission du rayonnement de freinage est dominant et les électrons sortent du CdZnTe, donc la détection de l'énergie est faussée. Les simulations prennent aussi en compte les effets d'interaction du photon dans la matière (diffusion Compton, photoélectrique...) mais ils sont trop rarement présents pour être étudiés.

Une fois le détecteur dimensionné, nous nous intéressons au nombre de paires électron-trou produites dans les semi-conducteurs par ionisation. Le nombre de paires électron-trou  $n_{e-h}$  formées par unité d'énergie perdue  $\Delta E_{perdue}$  est donnée par :

$$n_{e-h} = \frac{\Delta E_{perdue}}{W} \quad (\text{II-10})$$

avec  $W$  l'énergie d'ionisation (énergie par paire) du matériau absorbant, donnée dans le tableau II-2.

### c) Réponse

En exploitant les données de GEANT 4, nous pouvons traduire les pertes par ionisation sur le trajet qu'a effectué la particule pour en déduire le nombre de paires électron-trou total générées dans chaque détecteur sur toute la gamme d'énergie. La figure II-13 montre le nombre de paires électron-trou en fonction de l'énergie incidente des électrons dans les 2 SCs.

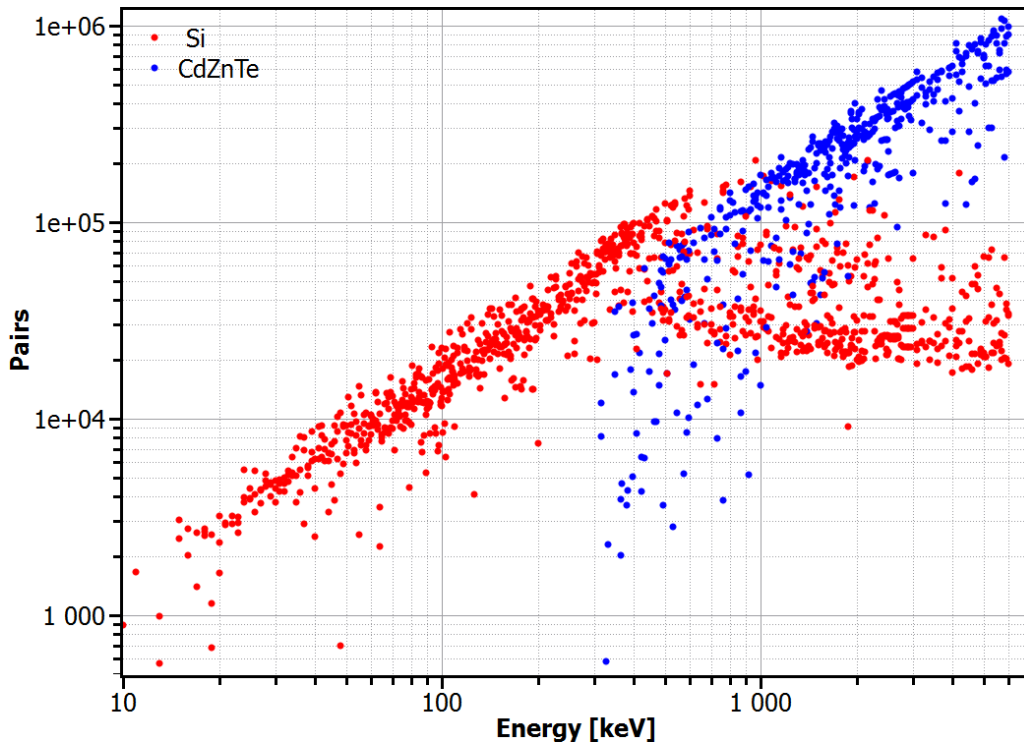


figure II-13 : Nombre de paires électron-trou générées en fonction de l'énergie initiale des électrons dans une cible de silicium de 300  $\mu\text{m}$  d'épaisseur (indiquée par des points rouges) au dessus d'une cible en CdZnTe de 5 mm d'épaisseur (indiquée par des points bleus). Le tout est protégé par une feuille d'aluminium de 6  $\mu\text{m}$  d'épaisseur.

Il apparaît une répartition diffuse et une faible corrélation entre l'énergie cinétique initiale des électrons et le nombre de paires produites. Néanmoins, nous observons une linéarité dans certaines gammes d'énergies pour les 2 SCs. Cela s'explique par une forte absorption des électrons incidents qui perdent toute leur énergie incidente. Afin de quantifier les plages d'énergie en fonction de la génération de paires, nous effectuons une étude statistique Monte Carlo de 100 points de mesure pour chaque énergie. Sur la figure II-14, 100 électrons de même énergie sur une gamme allant 10 keV à 6 MeV sont envoyées sur le détecteur. La moyenne, écart type, valeur maximale et minimale du nombre de paires générées en fonction de leur énergie dans chaque SCs y sont représentés.

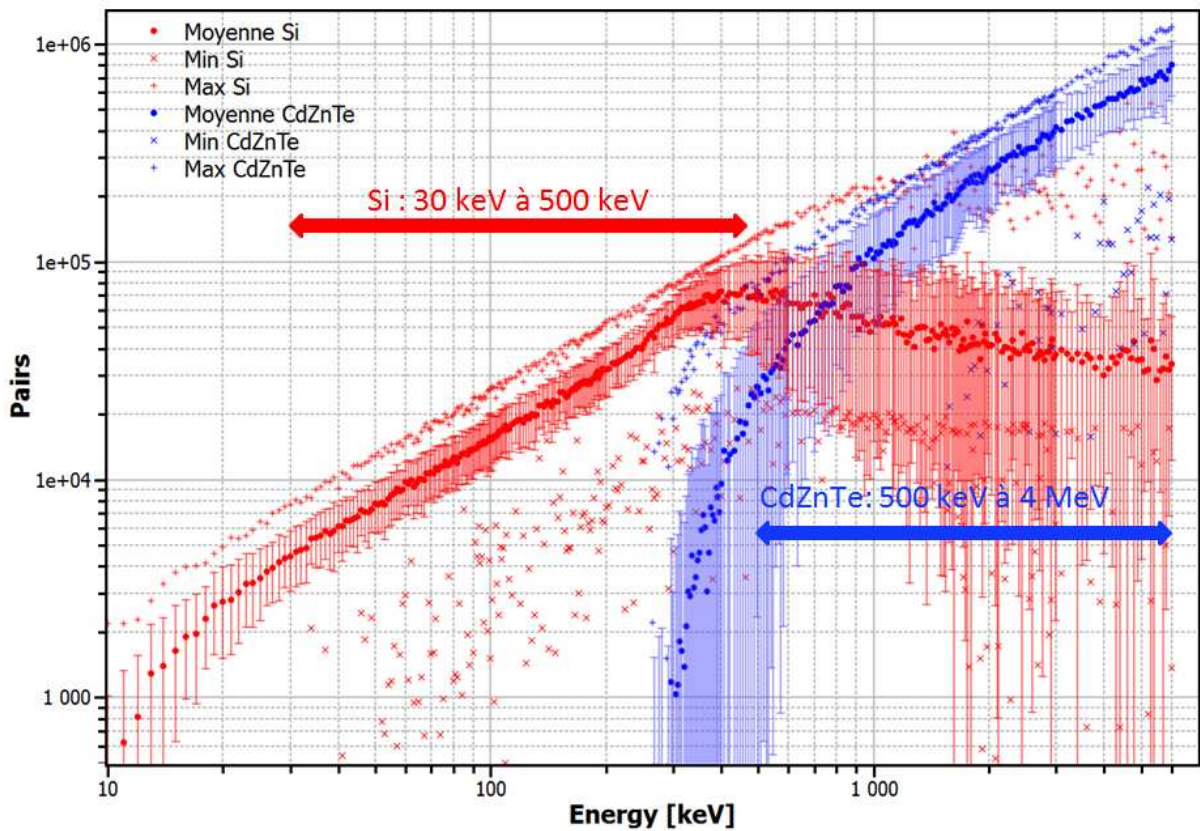


figure II-14 : Moyennes (points), écarts type (barres d'erreur), valeurs maximale (+) et minimale (x) d'une simulation statistique de type Monte-Carlo de 100 runs, sur la génération de paires électron-trou en fonction de l'énergie initiale des électrons dans une cible de silicium de 300  $\mu\text{m}$  d'épaisseur (indiqués par les signes rouge) au dessus d'une cible de CdZnTe de 5 mm d'épaisseur (indiqués par les signes bleu). Le tout est protégé par une feuille d'aluminium de 6  $\mu\text{m}$  d'épaisseur.

Les régions semblent suffisamment linéaires pour pouvoir définir correctement la réponse en nombre de paires formées dans le détecteur en fonction de l'énergie incidente. La région linéaire de génération de paires dans le Si est située entre 20 keV et 500 keV et le nombre moyen de paires  $n_{pairs\_Si}$  produit est défini par :

$$n_{pairs\_Si} = 166 E_{in} - 683 \quad (\text{II-11})$$

où  $E_{in}$  est l'énergie incidente de l'électron en keV.

La région linéaire de génération de paires dans le CdZnTe est située entre 500 keV et 6 MeV et le nombre moyen de paires  $n_{pairs\_CdZnTe}$  produit est défini par :

$$n_{pairs\_CdZnTe} = 137 E_{in} - 21400 \quad (\text{II-12})$$

Pour établir les gammes de paires à détecter par l'électronique, nous utilisons les valeurs extrêmes minimale et maximale observées dans chaque SCs pour ne pas perdre d'information. Les gammes choisies sont de  $1.10^4$  à  $2.10^5$  pour le Si et  $2.10^4$  à  $1.10^6$  pour le CdZnTe.

### II.3.4. Temps de collecte de la charge

Le temps de collecte des charges permet d'avoir un ordre d'idée sur la fréquence de fonctionnement maximale du circuit d'instrumentation. Une fois les paires générées, il faut toutes les collecter afin de garder l'information de l'énergie perdue dans le SC. Le principe est d'utiliser un champ électrique afin de transporter les électrons vers l'anode et les trous vers la cathode. Les paires ne seront pas récoltées en même temps sur l'électrode car cela va dépendre de l'endroit où elles ont été constituées. Cela va représenter un ensemble d'électrons ou trous arrivant au bout d'un temps  $t$ . Par définition, une charge  $Q$  est une quantité d'électrons ou de trous  $q_o$  observée pendant une durée  $\tau$  (figure II-15) selon la relation :

$$Q = \int_0^{\tau} q_o \cdot dt \quad (\text{II-13})$$

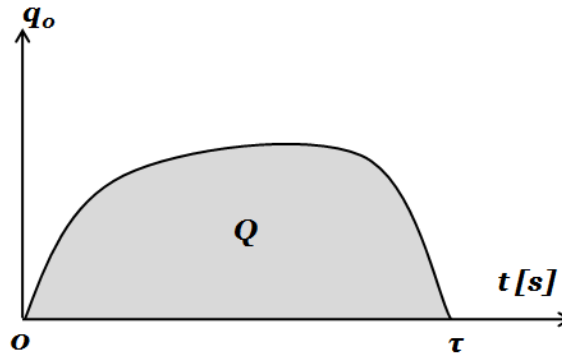


figure II-15 : Représentation temporelle d'une charge.

Le temps  $\tau$  requis pour la collecte totale de ces charges dépend de la mobilité du porteur de charges considéré dans le SC, de la largeur de la zone dépeuplée et de la distance reliant la charge à l'électrode. La figure II-16 expose les différents cas possibles de collecte des paires dans un détecteur planaire de longueur  $d$  [27].

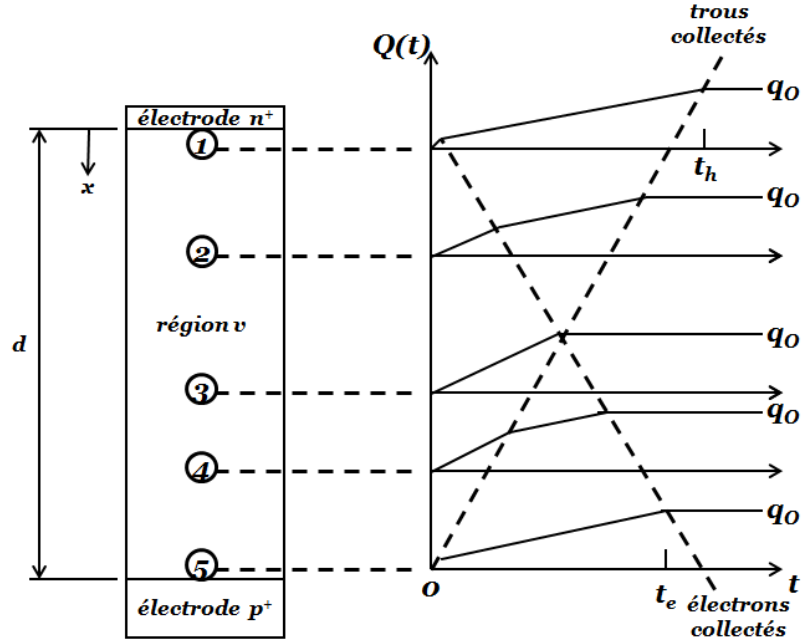


figure II-16 : Formes temporelles de la charge récoltée  $Q(t)$  observées à différents lieux d'arrivée de la particule incidente (de 1 à 5). Les électrons et trous sont respectivement recueillis sur les électrodes  $p^+$  et  $n^+$  où ils sont amenés par un champ électrique intense appliqué entre ces 2 bornes [27].

Les chiffres 1 à 5 indiquent les endroits où la particule interagit dans la zone dépeuplée du détecteur. Ainsi, on peut constater les différentes formes d'établissement de la charge. La quantité de charge  $Q(t)$  récoltée dans le temps, se note :

$$Q(t) = \frac{q_0}{d} \left( \text{distance des } e^- + \text{distance des trous} \right) \quad (\text{II-14})$$

On considère que ces charges sont produites à une distance  $x$  du contact  $n^+$  du détecteur. On peut alors définir les deux temps de collecte suivant :

Temps de collecte des électrons :

$$t_e = \frac{x}{v_e} \quad (\text{II-15})$$

Temps de collecte des trous :

$$t_h = \frac{d-x}{v_h} \quad (\text{II-16})$$

Ces temps sont définis à partir de la vitesse des porteurs de charges  $v_e$  et  $v_h$  pour les électrons et les trous respectivement. Nous pouvons donc écrire que :

$$Q(t) = q_0 \left( \frac{v_e}{d} t + \frac{v_h}{d} t \right) \quad (\text{II-17})$$

Cherchons à trouver quel sera le plus long temps de collecte. Ce temps dépend de la vitesse des porteurs de charges  $v$  en m/s :

$$v = \frac{\partial r}{\partial t} = \mu \times \xi \quad (\text{II-18})$$



avec  $\xi$  le champ électrique et  $\mu$  la mobilité des porteurs.

Sachant que le champ électrique est le même pour les électrons et les trous tout dépend donc de la mobilité des porteurs. Le temps le plus long est celui d'une particule qui est générée en 1 car la mobilité des trous est plus faible que celle des électrons (tableau II-2).

En 1, on a  $x = 0$  donc  $t_e = 0$  et  $t_h = d/v_h$ .

On établit donc un temps de collecte maximal  $T_{c\_max}$  de :

$$T_{c\_max} = \frac{d}{v_h} = \frac{d}{\mu_h \times \xi} \quad (\text{II-19})$$

En général, l'énergie  $dE$  produite par une charge  $q_o$  à travers une différence de potentielle  $d\phi$  est égales à :

$$dE = -q_o \times d\phi \quad (\text{II-20})$$

avec un champ électrique associé  $\xi(x)$  :

$$\xi(x) = -\frac{d\phi}{dx} \quad (\text{II-21})$$

On peut dire que :

$$\frac{dE}{dx} = q_o \times \xi(x) = q_o \frac{V_0}{d} \quad (\text{II-22})$$

où  $V_0$  est la tension de polarisation inverse du détecteur. On trouve donc un temps de collecte maximum :

$$T_{c\_max} = \frac{d}{\mu_h \times \frac{V_0}{d}} = \frac{d^2}{\mu_h \times V_0} \quad (\text{II-23})$$

### **II.3.5. Capacité équivalente**

L'expression de la capacité équivalente est un élément à prendre en compte dans la modélisation du détecteur. En effet, cette valeur doit être calculée afin de l'intégrer dans les modèles pour le dimensionnement de l'électronique. Elle joue sur la bande passante et le bruit du circuit.

Physiquement, les cellules de SCs sont placées entre deux plaques parallèles conductrices servant d'électrodes. Ces deux plaques sont donc séparées par le diélectrique du SC ayant une permittivité noté  $\varepsilon = \varepsilon_0 \varepsilon_r$ ,  $\varepsilon_r$  est la permittivité relative au matériau et  $\varepsilon_0$  la permittivité du vide ( $8.854 \times 10^{-12} \text{.F.m}^{-1}$ ). Les surfaces  $A$  de ces dernières sont supposées identiques et une densité de charge notée  $\sigma = Q/A$  existe. En supposant que la largeur des plaques est beaucoup plus grande que leur séparation  $d$ , nous pouvons dire que le champ électrique à l'intérieur du détecteur est à peu près uniforme et vaut  $\xi = \sigma/(\varepsilon_0 \varepsilon_r)$ . La tension  $V_0$  est définie comme l'intégrale du champ électrique entre les 2 électrodes :

$$V_0 = \int_0^d \xi \cdot dz = \int_0^d \frac{\sigma}{\epsilon_0 \epsilon_r} \cdot dz = \frac{\sigma d}{\epsilon_0 \epsilon_r} = \frac{Qd}{\epsilon_0 \epsilon_r A} \quad (\text{II-24})$$

Sachant que la capacité équivalente du détecteur  $C_{det} = Q/V_0$ , alors :

$$C_{det} = \epsilon_0 \epsilon_r \frac{A}{d} \quad (\text{II-25})$$

L'augmentation de la valeur de la capacité va proportionnellement élever le bruit. Nous pouvons jouer sur les surfaces et distance afin de diminuer la capacité comme pour le Si de type B qui est plus étroit que le Si de type A.

### II.3.6. Le courant de fuite

Comme pour la capacité équivalente, le courant de fuite influe sur le bruit du circuit d'instrumentation. Il est fonction du choix du SC. Le courant de fuite est généré par le mouvement interne des porteurs de charge qui cause le bruit intrinsèque du détecteur [39]. Les porteurs génèrent des signaux électriques et l'accumulation de ces mouvements engendre un bruit poissonien. Nous pouvons calculer le courant de fuite  $I_{fuite}$  dû à la tension appliquée  $V_0$  à partir de la résistivité  $\rho$  du détecteur, de son épaisseur  $d$  et de sa surface  $A$  :

$$I_{fuite} = \frac{V_0 A}{\rho d} \quad (\text{II-26})$$

### II.3.7. Résumé des paramètres du détecteur

Pour bien synthétiser les caractéristiques du détecteur, nous allons les résumer en présentant les schémas des différentes connexions entre les alimentations (anodes et cathodes), les matrices du détecteur et l'électronique « front-end » (figure II-17). Cela permettra aussi de d'introduire le prochain chapitre portant sur le traitement de la charge par l'électronique.

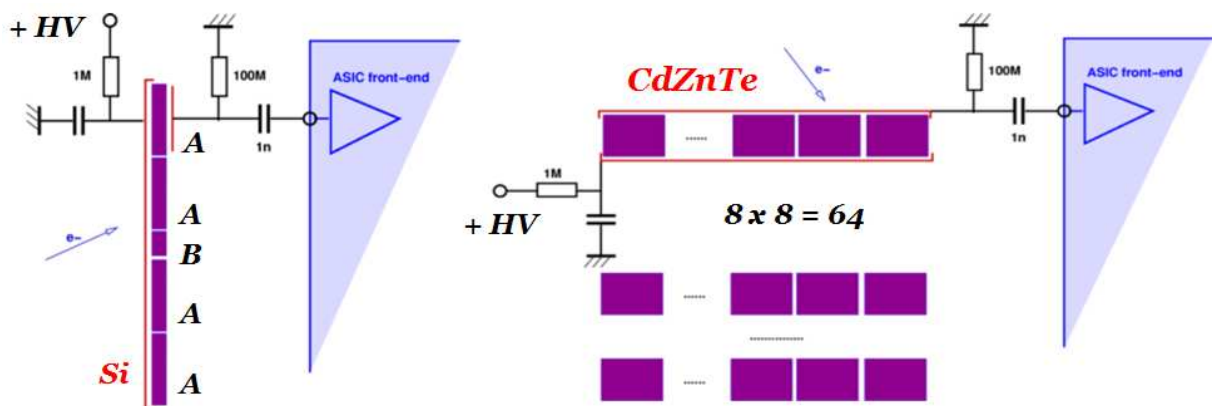


figure II-17 : Circuit de connexion de la cellule (type A) de Si vers l'électronique front-end (à gauche). Circuit de connexion de 8 cellules de CdZnTe vers l'électronique front-end (à droite)

La partie Si est composée de 4 cellules de Si de type A avec une cellule Si de type B intercalée au centre. La HV est appliquée sur l'anode qui est commune aux 5 Si et les cathodes sont référencées à la masse. Le champ électrique permet ainsi de déplacer les trous générés dans les différentes cellules sur les cathodes et les électrons vers l'anode. Ces charges positives vont ensuite être traitées par l'électronique. La partie CdZnTe est composée de 64 cellules de CdZnTe agencées dans une matrice de 8×8 (figure II-17 à droite). L'anode et la cathode sont communes pour chaque rangée de 8 cellules. De ce fait, les charges positives des 8 cellules d'une même rangée vont être traitées par la même entrée du circuit d'instrumentation. Le tableau II-3 résume les caractéristiques des différents types de SCs utilisés par le détecteur.

tableau II-3 : Caractéristiques des SCs utilisés dans l'instrument

Type de cellule	Si de type A	Si de type B	CdZnTe
Dimension L×l×e (mm)	1×1×0.3	1×0.4×0.3	1.6×1.6×5
Gamme de paire (e <sup>-</sup> ou trous)	1.10 <sup>4</sup> à 2.10 <sup>5</sup>	1.10 <sup>4</sup> à 2×10 <sup>5</sup>	2.10 <sup>4</sup> à 1.10 <sup>6</sup>
Charge équivalente (fC)	1.6 à 32	1.6 à 32	3.2 à 160
Temps de collecte (ns)	< 50	< 50	< 7700
Capacité équivalente (pF)	34.5	1.38	4.94
Courant de fuite (nA)	10	0.5	162.5

Comme pour le modèle équivalent d'une MCP présenté sur la figure II-5, les SCs sont représentés par une source de courant  $I_{det}$  modélisant une charge  $Q_{in}$  en parallèle avec la capacité équivalente de la cellule  $C_{det}$ .

## II.4. Conclusion

Dans ce chapitre, nous avons décrit les deux principaux détecteurs permettant d'effectuer de la détection de particules en environnement spatial. Une étude détaillée de leurs caractéristiques afin d'en déduire leur réponse en fonction de l'énergie des particules à détecter pour une mission spécifique a été réalisée.

Le premier détecteur étudié est la MCP qui permet de compter les particules de faible énergie. Un modèle électrique associé à sa réponse a été établi. Dans une seconde phase, nous sommes intéressés à la détection de particules par des semi-conducteurs. L'objectif est de mesurer l'énergie de la particule incidente déposée dans les semi-conducteurs afin de faire de la spectrométrie de masse. Pour cela, une approche des effets physiques des particules dans un matériau a été accomplie. Une simulation du détecteur sous GEANT 4 a été réalisée afin

d'en déduire les paramètres géométrique nécessaires à notre instrumentation. Aussi, la réponse en paires électron-trou des semi-conducteurs a été évaluée, et permettra le futur dimensionnement de l'électronique « front end ». D'autres paramètres tels que le temps de collecte, la capacité équivalente et le courant de fuite ont été étudiés pour compléter le modèle électrique du détecteur.

Le principal résultat de cette étude est d'établissement d'un modèle électrique associé à chaque détecteur. Cette étape de dimensionnement d'un détecteur est essentielle pour la suite de l'étude sur les chaînes d'instrumentation. En effet, une mauvaise estimation des caractéristiques du détecteur peut remettre en cause les performances du capteur.

## II.5. Références

[22] Wüest, M., Evans, D. S. et Steiger, R. von., *Calibration of Particle Instruments in Space Physics*. The Netherlands : The International Space Science Institute Scientific Report, ESA Publication Division, Keperlann, 2007.

[23] Wiza, J.L., "Microchannel plate detectors." *Nucl. Instrum. Methods*. 162, 587–601, 1979.

[24] Siegmund, O.H., M.A. Gummin, T. Sasseen, P.N. Jelinsky, G.A. Gaines, J. Hull, J.M. Stock, M.L. Edgar, B.Y. Welsh, S.R. Jelinsky, and J.V. Vallerga., "Microchannel plates for the UVCS and SUMER instruments on the SOHO satellite." *The International Society for Optical Engineering EUV, X-Ray, and Gamma-Ray Instrumentation for Astronomy VI*. O.H. Siegmund and J.V. Vallerga, Proc. SPIE, 2518, 344–355, 1995.

[25] Anacker, D. C. et Erskine, J. L., "Analysis of microchannel plate response in relation to pulsed laser time-of-flight photoemission spectroscopy." 1991, pp. 1246 - 1255.

[26] Kume, H., et al., "Ultrafast microchannel plate photomultipliers." s.l. : Applied Optics, Vol. 27, Issue 6, pp. 1170-1178, 1988.

[27] Knoll, G.F., *Radiation Detection and Measurement - 3rd Edition*. New York : John Wiley & Sons, 1999.

[28] Leroy, C. et Rancoita, P.G., *Principles of Radiation Interaction in Matter and Detection*. Hackensack, N. J. : World Sci., 2004.

[29] Moreau, Thomas., *Etude numérique et développement de spectromètres embarquables de particules chargées*. Toulouse : Université Toulouse III – Paul Sabatier U.F.R. Physique, Chimie, Automatique, 2003.

[30] Bohr, N., *Phil. Mag.* 25. 1913.

- [31] Bethe, H.A., *Ann. Physik* 5, 325. 1930.
- [32] Bloch, F., *Z. Physik* 81, 363 and *Ann. Phys.* 16, 285. 1933.
- [33] Heitler, W., *The Quantum Theory of Radiation - 3rd Edition*. Oxford : Clarendon Press, 1954. reproduced as unaltered replication in agreement with Oxford University Press by Dover Publications, Inc., New York (2000).
- [34] Berger, M.J., Coursey, J.S., Zucker, M.A. and Chang, J., Databases ESTAR, PSTAR, and ASTAR : Stopping-Power and Range Tables for Electrons, Protons, and Helium Ions. <http://www.nist.gov/pml/data/star/index.cfm>. [En ligne] The National Institute of Standards and Technology (NIST) is an agency of the U.S. Department of Commerce, Date created: October 7, 2009.
- [35] Rutherford, E., *Phil. Mag.* [6] 21, 669. 1911.
- [36] Krane, K.S., *Introductory nuclear physics*. New York : John Wiley and Sons Inc, 1987.
- [37] Mukoyama, T., "Range of electrons and positrons." *Nuclear Instruments and Methods*. Volume 134, Issue 1, Pages 125-127, 1976.
- [38] Klein, Claude A., "Bandgap Dependence and Related Features of Radiation Ionization Energies in Semiconductors." *Journal of Applied Physics*. vol.39, no.4, pp.2029-2038, 1968.
- [39] Gros d'Aillon, Eric., *Etude des performances spectrométriques des détecteurs gamma CdZnTe / CdTe monolithiques*. Grenoble : Université Joseph Fourier - Grenoble I Sciences Et Géographie, 2005.
- [40] McGregor, D. S. et Hermon, H., "Room-temperature compound semiconductor radiation detectors." *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*. Volume 395, Issue 1, Pages 101-124, 1997.
- [41] Lefeuvre, F., Elisabeth Blanc, Jean-Louis Pinçon, Robert Roussel-Dupré, David Lawrence, Jean-André Sauvaud, Jean-Louis Rauch, Hervé de Feraudy and Dominique Lagoutte., "TARANIS—A Satellite Project Dedicated to the Physics of TLEs and TGFs." *Space Science Reviews*. Volume 137, Numbers 1-4, 301-315, 2008.
- [42] Agostinelli, S., Allison, J. et all., "GImage 4—a simulation toolkit." *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*. Volume 506, Issue 3, Pages 250-303, 2003, Vol. , .
- [43] Allison, J. et all., "Geant4 developments and applications." *Nuclear Science. IEEE Transactions* vol.53, no.1, pp.270-278, 2006.

# Chapitre III

## Chaînes d'instrumentation en technologie CMOS pour détecteurs spatiaux

---

*Une observation générale faite dans le chapitre II nous montre que la réponse à une particule des détecteurs les plus largement utilisés en environnement spatial est une charge. De ce fait, nous développons dans ce chapitre le principe de conversion d'une charge en tension. Notre objectif est d'intégrer l'électronique en utilisant une technologie CMOS classique. Ces dernières n'étant pas naturellement immunes aux radiations, la première tâche à effectuer est donc d'évaluer les effets des radiations sur les transistors. Cette première étape permettra de nous orienter dans le choix d'une technologie plutôt qu'une autre. De plus, cela nous indiquera des solutions de design permettant de limiter leurs effets. De plus, comme tout système embarqué, la réduction de la puissance consommée est une priorité. Dans ce but, nous polarisons les MOS en régime de faible inversion pour diminuer la consommation. Pour cela le modèle EKV utilisé pour dimensionner les circuits est présenté. Nous décrivons ici la chaîne analogique constituée d'un pré-amplificateur de charges et d'un circuit de mise en forme (pulse shaper). Cette partie permet d'estimer la vitesse, le gain, le bruit et la consommation du système global.*

### III.1. Généralités

#### III.1.1. L'électronique spatiale embarquée

La conception et le développement d'équipements électroniques embarqués en environnement spatial demandent une approche spécifique, tenant compte des spécificités du milieu. En effet, au-delà des performances attendues, ces équipements doivent répondre à de nombreux critères liés à l'environnement spatial : sûreté de fonctionnement, faible encombrement, basse

consommation, tenue aux radiations, tenue thermiques et mécaniques. De nos jours, l'électronique utilisée dans l'instrumentation spatiale est plutôt constituée de composants discrets. Le choix de cette électronique pré-qualifiée pour le spatial permet certes de répondre aux spécifications demandées mais limite grandement les performances. Aujourd'hui, suite à la maturité des technologies CMOS, nous pouvons intégrer de nombreuses fonctionnalités sur un même composant, ce qui permet de réduire l'encombrement et la consommation. Cependant, pour utiliser un ASIC (Application-Specific Integrated Circuit) dans l'espace, il doit être durci contre les rayonnements provenant des milieux spatiaux. Pour expliquer les effets des radiations sur l'électronique, nous allons maintenant présenter l'origine et la composition de ces dernières.

### ***III.1.2. L'environnement spatial radiatif***

En environnement spatial, les perturbations ainsi que les dégradations induites par les rayonnements ionisants sont source de dysfonctionnements dans les circuits. Ces troubles dépendent énormément des caractéristiques (énergie et flux) des rayonnements incidents ainsi que de leur probabilité d'apparition. L'environnement radiatif spatial est constitué de particules couvrant un spectre très large en énergie. Ceci s'explique par l'origine diverse de ces sources ionisantes. Dans le milieu spatial, les principales sources de rayonnement peuvent être classées en trois catégories [44; 45; 46; 47] :

- Le rayonnement cosmique provenant de sources galactiques et extragalactiques,
- L'activité solaire constituée de deux phénomènes qui sont les éruptions solaires et le vent solaire,
- Les ceintures de radiation formées de particules piégées par le champ magnétique terrestre.

#### ***a) Le rayonnement cosmique***

Le rayonnement cosmique est un rayonnement provenant des sources galactiques et extragalactiques [48]. Ce rayonnement est composé de protons (87%), d'hélium (12%) et d'ions (1%) ayant de très grandes énergies (allant de 1 GeV et jusqu'à  $10^{11}$  GeV) [46]. La probabilité de rencontrer des particules diminue avec l'énergie de ces dernières. Par exemple, le flux de particules d'une énergie de  $10^{11}$  GeV est très faible, de l'ordre d'une particule par kilomètre carré et par an. Toutefois, elles sont à prendre en compte dans le cas de missions spatiales longues de plusieurs années car la probabilité d'apparition d'un évènement potentiellement destructif n'est pas négligeable.

### *b) Le vent solaire et éruption solaire*

Le vent solaire a déjà été introduit dans le chapitre I, mais bien que ce soit l'un des plasmas que nous avons pour mission d'étudier, il est aussi source potentielle de dysfonctionnement de l'électronique.

Le flux continu de particules provenant de l'activité solaire est composé principalement d'électrons, de protons et d'atomes d'hélium ayant une énergie inférieure à 100 keV. En période d'activité faible, les flux rencontrés sont d'environ  $2.10^8$  particules.cm<sup>-2</sup>.s<sup>-1</sup>.

L'activité solaire se matérialise par la présence de taches à la surface de celui-ci. Certaines de ces taches peuvent évoluer de manière assez violente entraînant une éjection de masse coronale. Ce sont les éruptions solaires. L'observation de ces taches a permis de mettre en évidence des périodes d'activité de onze années en moyenne, alternant sept ans d'activité maximum et quatre ans d'activité minimum [45; 46].

### *c) Ceintures de radiation*

Des particules, principalement des protons et des électrons, peuvent être piégées par le champ magnétique terrestre. Ces zones de particules piégées sont appelées ceintures de radiation ou ceinture de Van Allen et ont une forme toroïdale. Il existe principalement trois ceintures. Deux de ces ceintures formées d'électrons sont situées à 9 000 km et 30 000 km de la surface terrestre. La troisième ceinture est formée principalement de protons et se trouve à 12 000 km de la surface terrestre [49]. Les protons piégés ont des énergies allant de 100 keV à plusieurs centaines de MeV. Les électrons, quant à eux, ont des énergies comprises entre quelques dizaines d'eV et 7 MeV. Ces particules chargées sont injectées en grande partie par la queue de la magnétosphère. La figure III-1 représente la magnétosphère de la Terre dans laquelle les champs magnétiques terrestres réagissent avec le plasma du vent solaire en incluant une représentation de ces ceintures.



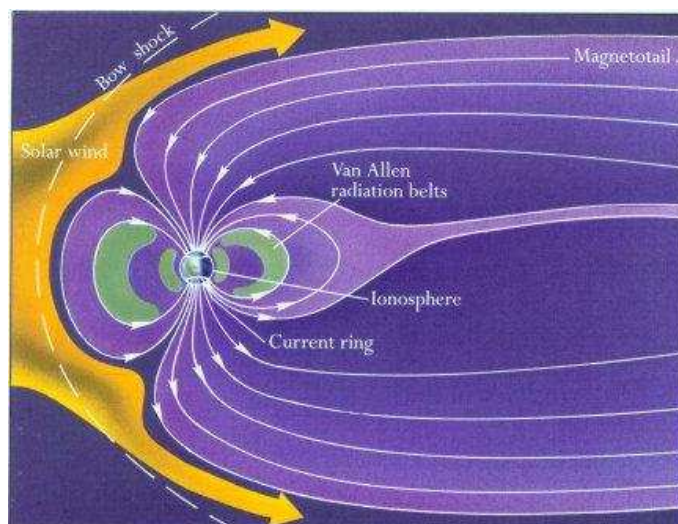


figure III-1 : Représentation schématique de la magnétosphère de la Terre dans laquelle les champs magnétiques terrestres réagissent avec le plasma du vent solaire. Les ceintures de radiation terrestres sont visualisées en vert.

Les ceintures internes sont peuplées par la désintégration radioactive de neutrons qui conduisent à la formation d'un proton et d'un électron. Ces neutrons sont le résultat de réactions nucléaires entre des ions issus des éruptions solaires ou du rayonnement cosmique avec des noyaux d'oxygène et d'azote de la haute atmosphère. Ces réactions prennent place au niveau des zones polaires et peuvent être contemplées. Ce sont les aurores boréales visibles de la surface de la terre.

### III.1.3. Tenue aux radiations de l'électronique

Les premières études des effets des radiations spatiales sur les composants électroniques datent de la fin des années 70. La première publication relatant l'implication plausible des radiations dans la perturbation du fonctionnement des composants logiques embarqués à bord d'un satellite date de 1975 [50]. En 1978, Intel est le premier à signaler des problèmes de fiabilité de circuits intégrés sur terre due à des traces de radioéléments. En 1979, Ziegler et Lanford attirent l'attention des communautés scientifiques et techniques sur la possibilité d'observer des effets similaires aux altitudes avioniques ainsi qu'au niveau du sol dus aux interactions entre les neutrons et le silicium [51]. Depuis cette découverte, la prise en compte des effets des radiations est un point crucial pour garantir la sûreté de fonctionnement des satellites, ainsi que dans l'atmosphère terrestre, aussi bien aux hautes altitudes qu'au niveau du sol. Des solutions spécifiques pour rendre l'électronique plus immune aux radiations, ont été alors développées. Par exemple, la technologie SOI est utilisée pour des applications militaires et spatiales dans les années 80-90 [52]. La principale différence entre le SOI et le

bulk classique est l'insertion d'un oxyde enterré entre le substrat et les transistors MOS. Cette isolation permet d'éviter les effets de latchup en supprimant les transistors bipolaire parasites qui se forment avec le substrat.

Cependant, le SOI présente quelques désavantages comme l'augmentation de la tension du substrat interne qui induit une élévation du courant de drain ou la dissipation thermique qui est moins efficace à cause de la couche d'oxyde enterré qui est un mauvais conducteur thermique [53]. Par la suite, certains fondeurs ont aussi proposé des technologies BiCMOS soumis aux radiations [54; 55].

Au cours des dernières années, le choix de la technologie utilisée pour intégrer des circuits destinés à aller dans l'espace a évolué vers les technologies standards (CMOS / BiCMOS) et cela pour 4 raisons : moins consommatrices, moins onéreuses, plus performantes avec un meilleur niveau d'intégration [56; 57; 58; 59]. C'est pour ces raisons que nous allons utiliser des technologies CMOS standards. Nous allons maintenant étudier les effets des radiations sur ces dernières.

### ***III.1.4. Effets des radiations sur l'électronique MOS***

Les radiations peuvent provoquer des effets temporaires, permanents ou destructifs dans les matériaux qu'elles traversent. Les mécanismes d'interaction particules / matière, abordés dans le chapitre II, entrent alors en jeu. On peut d'ores et déjà classer deux effets distincts : la dose totale cumulée appelée TID (Total Ionizing Dose) qui est liée aux interactions entre le transistor et les particules piégées sur la durée considérée ; et les événements transitoires appelés SEE (Single Event Effects) résultant de particules hautement énergétiques et d'apparition aléatoires. Ces effets sur le transistor MOS sont largement détaillés dans la littérature [60; 61; 62; 63; 64; 65].

#### ***a) L'effet de dose cumulée (TID)***

Trois effets peuvent être dus à l'effet de dose cumulée ou TID [64]. Le premier effet est localisé dans la l'oxyde de grille et/ou à l'interface oxyde de grille/silicium. La figure III-2 (à gauche) représente les effets induits par les rayonnements ionisants dans l'oxyde de silicium d'un transistor NMOS en régime d'inversion.

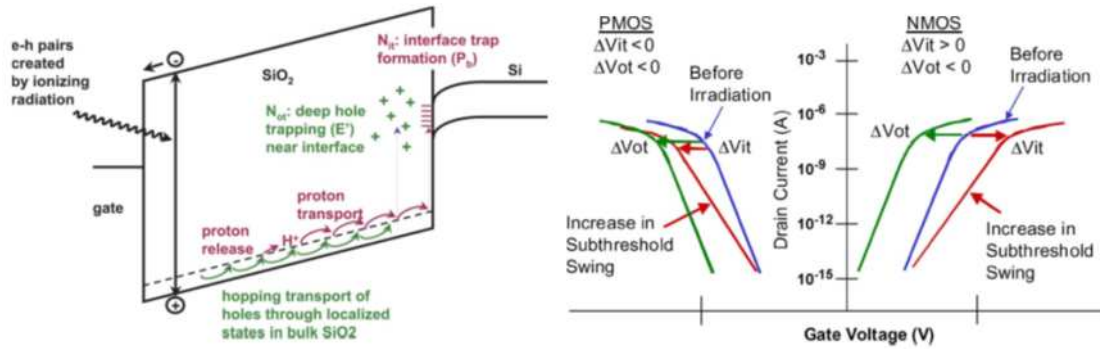


figure III-2 : Diagramme illustrant l'effet de la radiation dans la capacité du transistor NMOS avec une polarisation de grille positive (à gauche). Les principaux procédés de génération de charges et de leurs transports y sont illustrés. Illustration des déplacements et changements des tensions de seuil pour les NMOS et PMOS par rapport aux courbes des pré-irradiations (à droite).  $\Delta V_{ot}$  correspond aux charges positives collectées et  $\Delta V_{it}$  aux charges d'interface [63].

Une paire électron-trou peut être générée dans l'oxyde par une radiation ionisante incidente et les deux composantes se séparent et se déplacent sous l'effet du champ électrique appliqué. L'électron est rapidement éliminé de l'oxyde par la grille, tandis que le trou, qui est transporté par le mécanisme de saut, est capturé en profondeur près de l'interface Si/SiO<sub>2</sub>. Cette accumulation de trous peut engendrer une dérive des tensions de seuil des NMOS et donc un dysfonctionnement de certaines fonctions comme le montre la figure III-2 (à droite). Le phénomène est le même pour les PMOS (accumulations d'électrons à l'interface).

Le deuxième effet est localisé dans les bordures présentes dans le transistor intégré en technologie LOCOS : les transistors sont électriquement isolés les uns des autres par un oxyde de champ épais (FOX) qui diminue progressivement jusqu'à l'oxyde de grille fin du transistor. De ce fait, des trous peuvent être piégés dans le bec ainsi formé. La figure III-3 (à gauche) illustre les zones de piégeage du courant de drain dans ces zones.

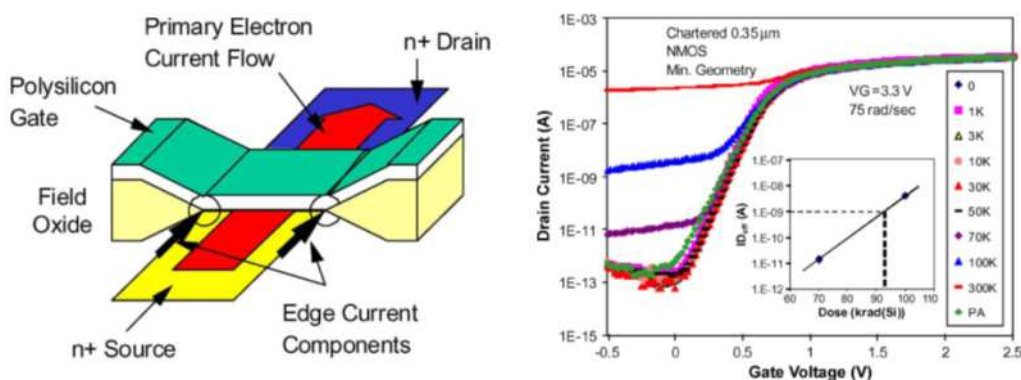


figure III-3 : Vue 3D de la forme d'un transistor avec les zones de piégeage du courant de drain dans les bordures (à gauche). Tracé du courant de drain en fonction de la tension de grille d'un transistor NMOS 0.35 μm à différentes valeurs de dose (à droite), incluant le courant de fuite  $ID_{off}$  [63].

La combinaison de la grille en polysilicium, de l'épaisseur d'oxyde dans la région de transition et de la sous-couche de diffusion N+ forment des transistors de bordure NMOS parasites, qui peuvent piéger les trous après l'exposition aux rayonnements. Le résultat est que le courant de fuite du transistor augmente significativement avec la dose cumulée comme le montre la figure III-3 (à droite) et cela entraîne donc une surconsommation du circuit. Le troisième effet se situe dans l'oxyde d'isolation FOX entre deux diffusions identiques. Ce dernier est présenté sur la figure III-4 (à gauche).

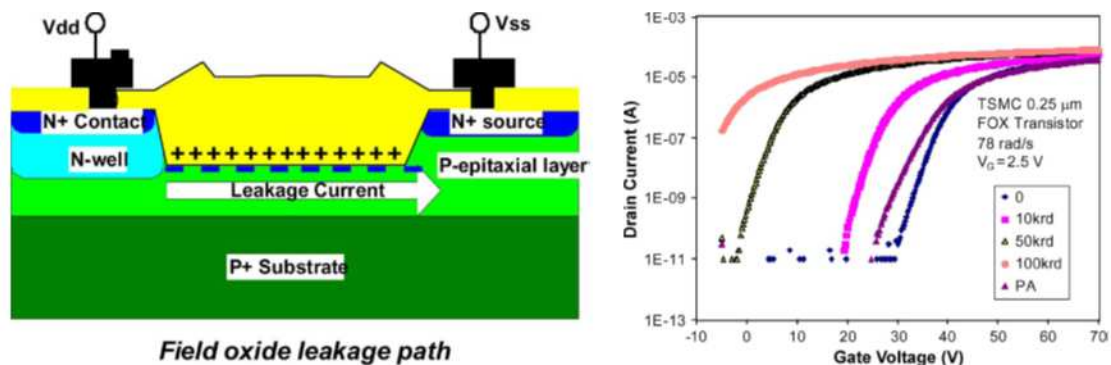


figure III-4 : Piégeage des trous dans une épaisseur d'oxyde d'isolement pouvant conduire le transistor de l'oxyde du champ parasite en inversion (à gauche). Courbes du courant de drain en fonction de la tension de grille d'un transistor 0.25 µm pour différentes doses dans le FOX. Le transistor a été exposé à 500 krad avant le processus post-anneal (à droite).

Comme indiqué précédemment, l'oxyde d'isolement est beaucoup plus épais que l'oxyde de grille. En cas d'exposition à un champ électrique lors de l'irradiation, un nombre considérable de trous peuvent être piégés dans la couche d'isolement oxyde/silicium. Il y a donc apparition d'un champ électrique dans cette couche, ce qui entraîne la création d'un transistor de l'oxyde de champ parasite en inversion. Le FOX devient alors une ligne conductrice provoquant des fuites de courant entre deux MOS voisins et donc un manque d'isolation périphérique. L'influence de la dose cumulée dans le FOX est montrée sur la figure III-4 (à droite).

#### b) Les événements transitoires (SEE's)

Un SEE est une erreur momentanée du circuit causée par une frappe d'ions dans un nœud sensible. Ce nœud sensible est généralement un drain de transistor. Si la charge déposée est assez grande, elle peut modifier par exemple le niveau logique et corrompre le fonctionnement du circuit. Le principe physique du SEE est présenté sur la figure III-5.

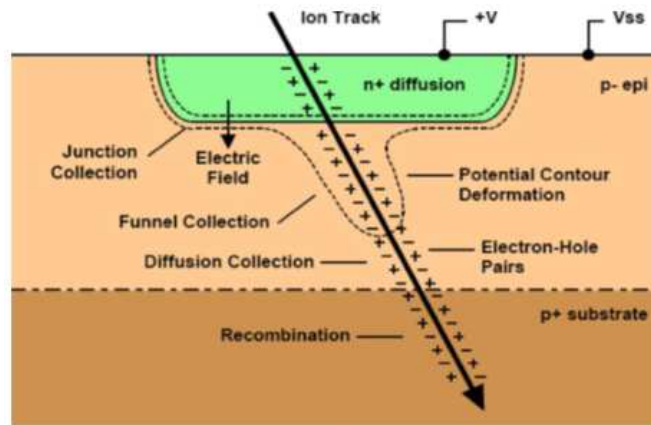


figure III-5 : Principe physique d'une particule énergétique frappant une jonction PN [64].

Quand une particule énergétique frappe une jonction PN, une raie de paires électron/trou est alors créée. Cela allonge la zone de dépeuplement, comme un entonnoir, et augmente la charge collectée par la jonction.

Ces frappes de particules peuvent également causer des dommages irréversibles comme du SEL (Single Event Latchup) et pour les circuits à haute tension du SEB (Single Event Burnout). En effet, une structure parasite composée des jonctions drain ou source de deux transistors NMOS et PMOS forment un thyristor entre l'alimentation et la masse (figure III-6). Ainsi, si ce thyristor se déclenche, il court-circuite l'alimentation et cause des dégâts irréversibles sur le circuit intégré.

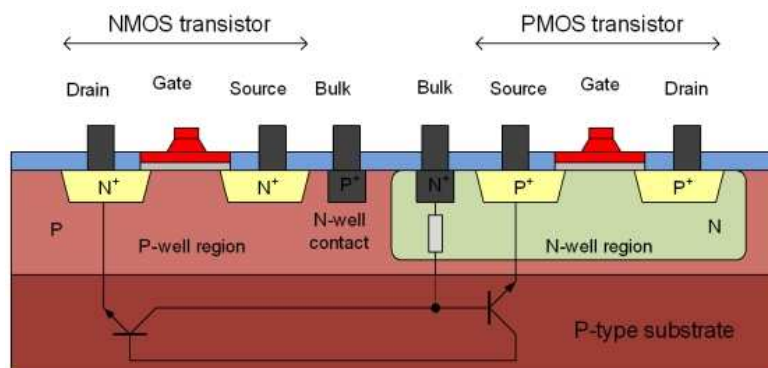


figure III-6 : Coupe transversale des transistors NMOS et PMOS dans un substrat de type P avec leur thyristor parasite schématisé pouvant causer l'effet de latch-up.

Aujourd'hui avec la diminution des dimensions en technologie CMOS, les circuits intègrent des tensions de polarisation plus faible, de plus petits transistors, des vitesses de fonctionnement plus élevées, un espacement plus serré entre transistors... Malheureusement, lorsque la taille d'une technologie rétrécit, l'effet de la charge déposée par un ion augmente et donc la technologie va être plus sensible à un SEE [66]. Des règles de dimensionnement spécifiques doivent alors être mises en œuvre.

### III.1.5. Choix d'une technologie

Ce choix est fait par rapport à la durée de la mission et des environnements radiatifs qu'elle traverse. Afin de remplir cette condition, nous nous basons sur des études de tenue aux radiations déjà effectuées par la communauté scientifique [60]. La figure II-8 montre la tenue au TID et le LET (Linear Energy Transfer) des seuils des SEU et SET des technologies numériques CMOS en fonction de la taille de la technologie (bulk et SOI).

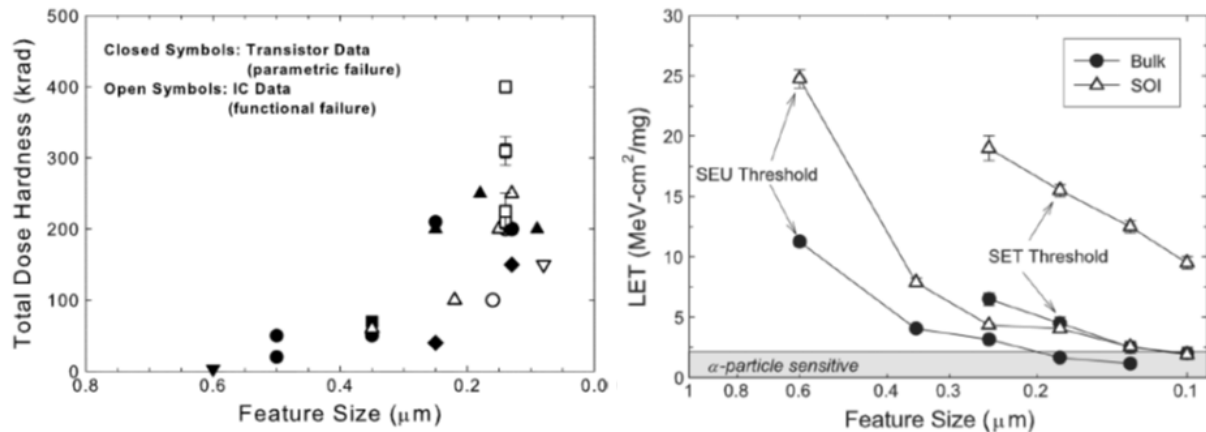


figure III-7 : Tenue au TID des technologies numériques CMOS en fonction de la taille de la technologie. Ces données ont été compilées par [60] à partir de nombreux articles (symboles) apparus dans IEEE NSREC Radiation Effects Data Workshop Records (à gauche). LET (Linear Energy Transfer) des seuils des SEU et SET en fonction de la taille de la technologie (bulk et SOI) (à droite).

La réduction de la technologie entraîne une meilleure tenue aux radiations comme attendu. De plus, en utilisant les techniques de conception présentées dans le paragraphe suivant, nous espérons améliorer encore la tolérance aux radiations du circuit.

### III.1.6. Durcissement par design (RHBD)

Pour protéger les circuits des radiations en utilisant une technologie CMOS commerciale, nous devons utiliser des méthodes de durcissement par design appelées RHBD (Radiation Hardening By Design). En effet, des techniques de dessin permettent d'atténuer les effets des radiations. Durant les dernières années, beaucoup de techniques RHBD ont été développées pour rendre les technologies CMOS standards compétitives face à celles qui sont dédiées au spatial [64]. Dans cette partie, nous nous concentrons sur les méthodes de durcissement aux rayonnements par design pour les processus CMOS commerciaux.

#### a) Le durcissement à la TID

L'utilisation de technologies ayant des couches d'oxyde de grille fines est favorable. Ceci s'explique par le fait que, d'une part, plus la couche d'oxyde de grille est fine et moins les

charges piégées ont de chemin à parcourir pour être évacuées et, d'autre part, l'évacuation des charges est effectuée majoritairement par effet tunnel. Ainsi, le phénomène de dérive de la tension de seuil dû à la dose reçue devient peu important [67; 68].

Il existe deux méthodes de durcissement à la TID qui sont : le transistor rond et l'anneau de garde. Le transistor rond dont la grille entoure le drain (ou la source) permet d'éliminer les zones de piégeage du courant de drain dans les bordures du NMOS et donc les courants de fuites [67]. Les anneaux de garde sont ajoutés entre des transistors de même type pour que le canal du transistor FOX parasite soit bloqué et donc réduire les courants de fuite entre les mêmes type de diffusion. La figure III-8 présente la vue layout d'un transistor rond et les anneaux de garde utilisés dans un inverseur.

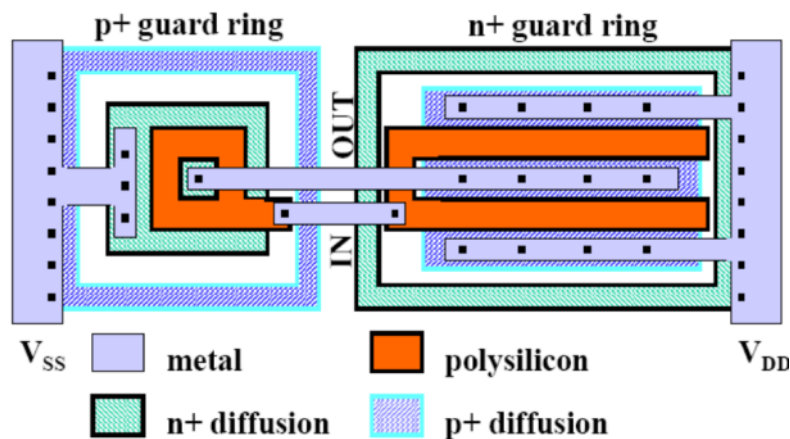


figure III-8 : Layout d'un inverseur avec un NMOS rond ou carré (à gauche) et des anneaux de garde [67].

#### b) Le durcissement aux SEE

La première méthode est d'atténuer la charge SEE en augmentant la taille de la grille car elle aura une plus grande force d'entraînement des charges. Ensuite, pour une protection accrue au latchup, la méthode est d'utiliser les anneaux de garde dans les cellules standards. Pour cela, les anneaux de gardes sont placés entre les transistors NMOS et PMOS comme le montre la figure III-8. En RHBD, les anneaux de garde sont principalement utilisés pour réduire l'amplification bipolaire au niveau du nœud frappé, ce qui est seulement préoccupant pour les transistors dans un puits. Aussi, un anneau de garde autour d'un nœud voisin empêche également d'amplification bipolaire causée par partage de charges.

Une autre méthode permettant de corriger les effets d'erreurs des blocs logiques dues au SEE est la redondance. La redondance spatiale permet de prendre une décision sur plusieurs circuit identiques fonctionnant en parallèle et donc, en comparant plusieurs résultats, il est moins probable de générer des erreurs lors d'un SEE [66].

### c) Conclusion

Nous avons montré que des techniques de design permettent d'atténuer considérablement les effets des radiations sur les technologies CMOS standard. Mais toute modification de design a des répercussions sur le circuit. Les transistors ronds et les anneaux de garde vont augmenter la surface utile et générer des capacités parasites. Aussi les transistors ronds ne sont pas symétriques et n'ont pas toujours de modèle de simulation associé [65].

### III.1.7. Circuits CMOS basse consommation

Les nouvelles missions spatiales intègrent des systèmes d'observation avec des résolutions de plus en plus fines. La multiplication de cellules que cela entraîne, nécessite d'utiliser une électronique basse consommation. La technologie CMOS est compétitive pour les parties numériques mais demande plus d'attention pour les parties analogiques. La figure III-10 présente la géométrie intrinsèque du transistor NMOS en technologie monolithique implanté dans un substrat P avec son symbole correspondant.

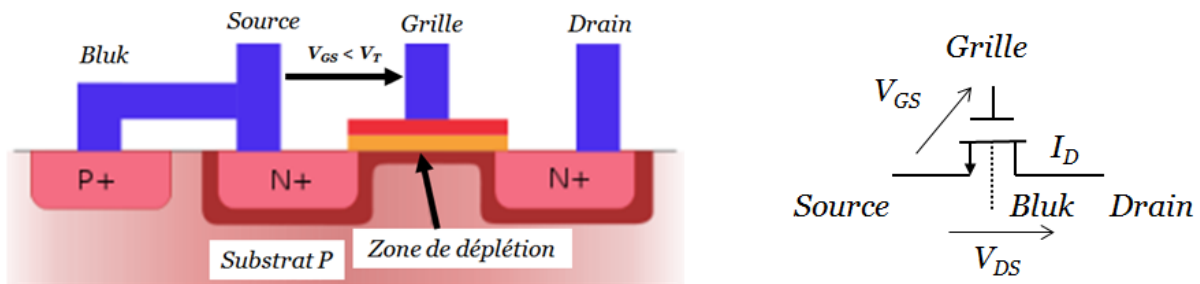


figure III-9 : Vue en coupe d'un NMOS en technologie monolithique implanté dans un substrat P (à gauche) avec son symbole correspondant (à droite).

Le moyen le plus efficace pour réduire la consommation électrique des circuits est certainement de réduire la tension d'alimentation, puisque la consommation dynamique moyenne des circuits CMOS est proportionnelle au carré de la tension d'alimentation. D'autre part, la réduction de la tension d'alimentation est également nécessaire pour maintenir le champ électrique à un niveau acceptable [69]. Pour les applications grand-gain/basse-fréquence, il est alors très intéressant de faire fonctionner les transistors sous la tension de seuil  $V_T$  soit ( $V_{GS} \leq V_T$ ).

Le fonctionnement d'un étage d'amplification dans la région de faible inversion ou inversion modérée présente plusieurs avantages pour les applications grand-gain/basse-fréquence : Un gain supérieur, moins de dissipation thermique, moins de distorsion, et une plus petite valeur de capacité de compensation. Le seul inconvénient est que le slew rate diminue légèrement dans ces régions d'inversion [70].



### a) Mode opératoire

Nous connaissons généralement bien le domaine en forte inversion car c'est la zone où la charge d'inversion est linéaire avec la tension de canal de grille. Longtemps délaissé, le mode faible inversion (weak inversion) est encore peu utilisé car beaucoup de modèles n'en tiennent pas compte et donnent donc un courant nul. Alors que le courant de drain  $I_D$  a une variation en loi quasiment quadratique en zone de forte inversion, la relation approximative entre  $I_D$  et  $V_{GS}$  en faible inversion est donnée par :

$$I_D = \frac{W}{L} I_{D0} e^{q \frac{V_{GS}}{nkT}} \quad (\text{III-1})$$

où  $n$  correspond au Slope factor et  $I_{D0}$  au courant de drain où  $V_{GS} = V_T$ . Ces paramètres peuvent être extraits à partir des données expérimentales. Cette variation exponentielle est également valable dans la région sous le seuil « subthreshold » où  $V_{GS}$  est légèrement inférieure à  $V_T$  (soit  $V_{eff} = V_{GS} - V_T < 0$ ) et où le courant de drain, très faible, est toujours détectable. Cette région est alors considérée comme étant incluse dans la région de faible inversion.

La figure III-10 trace l'allure du courant  $I_D$  d'un transistor NMOS avec un  $W/L = 1000 \mu\text{m}/0.5 \mu\text{m}$  en technologie CMOS  $0.35 \mu\text{m}$  (tableau III-1) en fonction de  $V_{eff}$ .

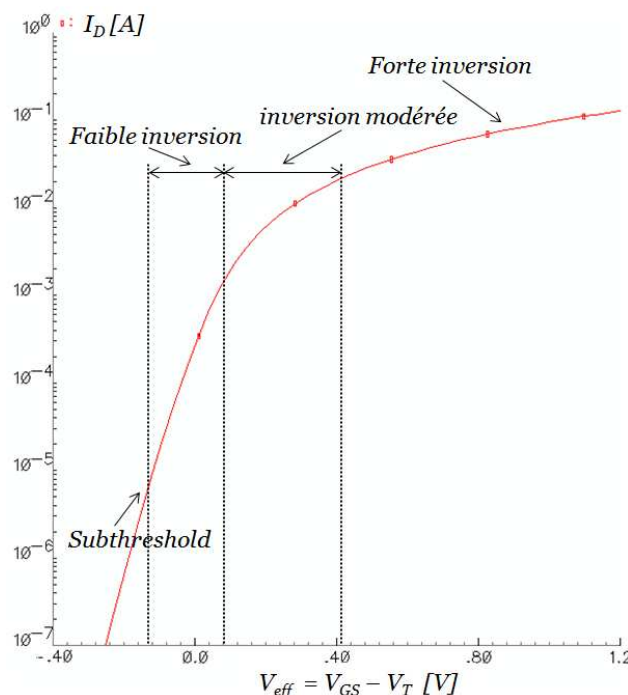


figure III-10 : Courant de drain  $I_D$  en fonction de la tension effective  $V_{eff}$  d'un transistor NMOS avec un  $W/L = 1000 \mu\text{m}/0.5 \mu\text{m}$  en technologie CMOS  $0.35 \mu\text{m}$  (tableau III-1).

$I_D$  ne s'annulant pas instantanément quand  $V_{GS} < V_T$ , il faut prendre en compte les modes de transitions aussi appelés inversion modérée et faible inversion. Par conséquent, on doit utiliser

un modèle décrivant avec précision le comportement du transistor MOS dans ce régime. Le modèle Enz, Krummenacher, Vittoz (EKV) [71] est utilisé pour assurer la continuité entre la faible, la modérée et la forte inversions.

En faible inversion, le transistor MOS va pouvoir fonctionner avec de très faibles courants de polarisation et donc diminuer fortement la consommation. Le model EKV permet de retrouver les paramètres et facteurs du transistor dans la région d'opération voulue afin d'en déduire la transconductance  $g_m$  et les capacités intrinsèques.

*b) Modélisation en faible inversion*

La transconductance  $g_m$  d'un transistor MOS en faible inversion ou inversion modérée [69] en fonction du courant de drain  $I_D$  avec  $V_{DS}$  (tension drain-source) et  $V_{BS}$  (tension bulk-source) constantes, est donnée par :

$$g_m = \left( \frac{\partial I_D}{\partial V_{GS}} \right) = G(I_f) \frac{I_D}{nU_T} \quad \text{(III-2)}$$

où  $U_T = kT/q$  et  $G(I_f)$  la fonction d'interpolation entre la forte et faible inversion. Pour un courant  $I_D$  donné elle est définie par :

$$G(I_f) = \frac{1}{\sqrt{I_f + \frac{1}{2}\sqrt{I_f} + 1}} \quad ; \quad I_f = \frac{I_D}{I_S} \quad \text{(III-3)}$$

Le courant spécifique  $I_S$  est déterminé par :

$$I_S = 2n\beta U_T^2 \quad ; \quad \beta = K_P \frac{W}{L} \quad \text{(III-4)}$$

avec  $K_P$  le paramètre de la transconductance égal à  $\mu C_{OX}$  et  $C_{OX} = \epsilon_{OX}/t_{OX}$  la capacité d'oxyde de grille par unité de surface.

Les simulations sont effectuées pour une techno standard AMS CMOS 0.35  $\mu\text{m}$  pour laquelle les transistors ont les paramètres suivants (tableau III-1) :

tableau III-1 : Caractéristiques des transistors MOS d'AMS CMOS 0.35  $\mu\text{m}$

Symbole	Définition	NMOS	PMOS
$k$	Constante de Boltzmann (J/K)	1.38.10 <sup>-23</sup>	
$T$	Température ambiante (K)	298.15	
$q$	Charge de l'électron (C)	1.6.10 <sup>-19</sup>	
$C_{OX}$	Capacité d'oxyde (F.m <sup>-2</sup> )	4.48.10 <sup>-3</sup>	
$K_f$	Constante du process (C <sup>2</sup> .m <sup>-2</sup> )	8.5.10 <sup>-27</sup>	
$K_p$	Paramètre de transconductance ( $\mu\text{A.V}^{-2}$ )	181.10 <sup>-6</sup>	58.10 <sup>-6</sup>
$\gamma$	Paramètre d'effet de substrat	1.3	1.25
$n$	Slope factor	1.22	1.17

La figure III-11 représente l'évolution de la transconductance  $g_m$  de l'équation (III-2) en fonction du courant de drain  $I_D$  des transistors NMOS et PMOS de  $W/L = 1000/0.5$ .

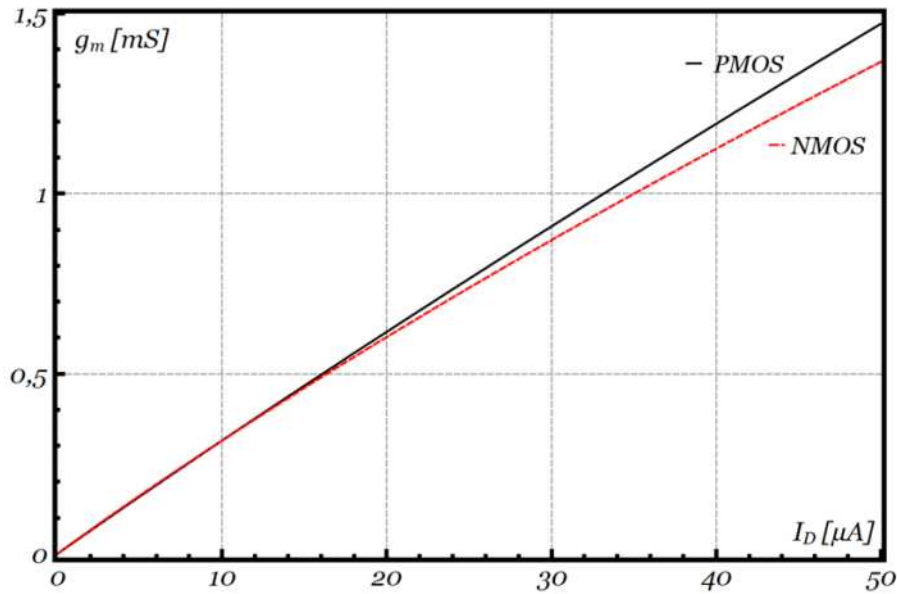


figure III-11 : Simulation du  $g_m$  des transistors MOS en fonction du courant de drain grâce au model EKV pour un  $W/L = 1000/0.5$  dans une technologie CMOS  $0.35 \mu m$ .

Ici, nous voyons que dans la région de faible inversion le  $g_m$  des transistors est quasi proportionnel au courant  $I_D$ .

Les autres paramètres importants sont les capacités de grille. Pour un transistor MOS en régime de saturation, nous devons prendre en compte les capacités grille-source ( $C_{GS}$ ) et grille-bulk ( $C_{GB}$ ) :

$$C_{GS} = C_{OX} \left( \frac{1}{I_f G(I_f)} + \frac{3}{2} \right)^{-1} WL \quad (\text{III-5})$$

$$C_{GB} = C_{OX} \frac{n-1}{n} \left( 1 - \frac{I_f G(I_f)}{1 + \frac{3}{2} I_f G(I_f)} \right) WL \quad (\text{III-6})$$

$$C_{GD} = C_{OX} WL \quad (\text{III-7})$$

Les autres capacités parasites ne sont pas prises en compte car elles sont négligeables.

## III.2. L'intégration de la charge

### III.2.1. Principe

Dans le cadre des détecteurs spatiaux, ce sont des charges très faibles (quelques fC) et très brèves (quelques ns) qui sont délivrées lors de la détection d'une particule. Notre objectif est de transformer et d'amplifier ces charges en une grandeur mesurable et exploitable. Par

définition, une charge électrique  $Q$  (ou nombre d'électrons libres multiplié par leur charge élémentaire  $q$ ) est une quantité de courant électrique  $I$  circulant pendant une durée  $\tau$ . Elle peut être décrite par l'équation suivante (figure III-12) :

$$Q = \int_0^{\tau} I \cdot dt \quad (\text{III-8})$$

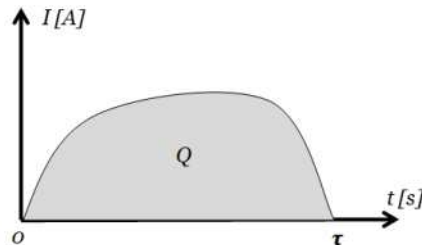


figure III-12 : Représentation temporelle d'une charge.

La charge peut classiquement être intégrée dans une capacité selon la relation suivante :

$$Q = \int_0^{\tau} C \frac{dV}{dt} dt = C \int_0^{\tau} dV = C \times V \quad (\text{III-9})$$

La tension aux bornes de la capacité est donc proportionnelle à la charge. Cependant, chaque détecteur a une capacité équivalente  $C_{det}$ . Dans ce cas, la tension du signal de conversion est aussi dépendante de cette capacité. Le principe d'une collection de charge dans une capacité  $C$  est présenté sur la figure III-13.

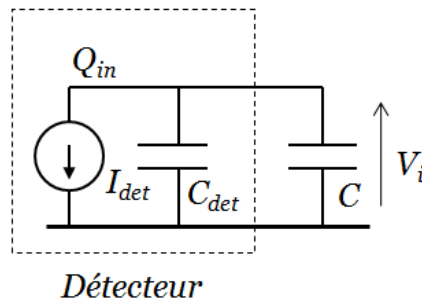


figure III-13 : Principe de la collection de charges dans une capacité  $C$ .

La tension  $V_i$  aux bornes de la capacité s'écrit alors :

$$V_i = \frac{Q_{in}}{C_{det} + C} \quad (\text{III-10})$$

Fréquemment, la valeur que l'on calcule pour  $C$  est beaucoup plus petite que  $C_{det}$  car on veut avoir un gain élevé. Ce type de conversion est alors inapproprié pour nos applications.

### III.2.2. Le préamplificateur de charge (CPA)

Un système de conversion qui soit indépendant des paramètres du détecteur est alors à envisager. La solution est d'utiliser un préamplificateur de charge ou CPA (Charge Pre-Amplifier) qui est basé sur le principe de la rétroaction [72]. Cela consiste à utiliser un

amplificateur opérationnel AO associé à une capacité  $C_f$  en contre réaction, visualisé sur la figure III-14.

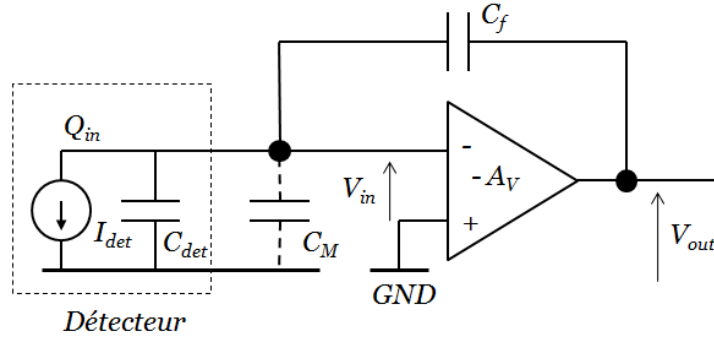


figure III-14 : Principe de la collection de charge dans un préamplificateur de charge.

Pour démontrer le bon fonctionnement de ce transimpédance, simplifions les calculs théoriques en régime linéaire en supposant que l'AO a une impédance d'entrée infinie, donc que  $i^+ = i^- = 0 A$ . Lorsque la charge  $Q_{in}$  arrive sur l'entrée du CPA, elle est alors entièrement intégrée dans la capacité  $C_f$  donc  $Q_{in} = Q_f = C_f \times v_f$ ,  $v_f$  étant la tension de contre-réaction. Par définition, une variation de tension  $v_{in}$  sur l'entrée du CPA provoque une variation de tension  $v_{out} = -A_v \times v_{in}$  en sortie. Cette différence de potentiel aux bornes de la capacité s'écrit  $v_f = -v_{out} + v_{in} = (1 + A_v)v_{in}$  et donc nous pouvons écrire que  $Q_{in} = C_f \times (1 + A_v)v_{in}$ .

Appelons  $C_M$  la capacité  $C_f$  ramenée à l'entrée (ou capacité de Miller) :  $C_M = C_f \times (1 + A_v)$ .

Nous pouvons maintenant exprimer la sortie  $v_{out}$  en fonction de  $Q_{in}$  :

$$H_{V/Q} = \frac{v_{out}}{Q_{in}} = \frac{-A_v v_{in}}{C_M v_{in}} = \frac{-A_v}{C_M} = \frac{-A_v}{1 + A_v C_f} \approx -\frac{1}{C_f} \text{ si } A_v \gg 1 \quad (\text{III-11})$$

Ainsi nous avons montré que le gain de conversion charge/tension ne dépend que de la capacité de contre réaction  $C_f$  si  $A_v$  est grand devant 1.

Une autre condition doit être vérifiée afin d'éviter un problème de modélisation : la charge totale  $Q_{in}$  est distribuée entre  $C_{det}$  et  $C_M$ . Or, il faut que toute la charge  $Q_{in}$  soit transmise à  $C_M$ . Si on appelle  $Q_M$  la charge intégrée dans  $C_M$ , il faut que  $Q_{in} = Q_M$ . Le rapport entre la charge du détecteur  $Q_{in}$  et celle de la capacité Miller  $Q_M$  est exprimé de la façon suivante :

$$\frac{Q_M}{Q_{in}} = \frac{C_M}{C_{det} + C_M} = \frac{1}{1 + \frac{C_{det}}{C_M}} = \frac{1}{1 + \frac{C_{det}}{C_f(A_v + 1)}} \approx 1 \quad (\text{III-12})$$

Pour que ce rapport tende vers 1, il faut s'assurer que  $C_M$  est bien supérieur à  $C_{det}$ .

Nous avons montré que la solution du CPA parfait marche mais, dans la réalité, les temps de réponse sont aussi à prendre en compte car ils peuvent influencer sur la mesure. Il existe un retard

entre l'arrivée de la charge et son intégration car l'AO a son propre temps de réponse. La bande passante du circuit est alors à définir. Dans notre application, nous nous intéressons à un amplificateur constitué de transistors de type MOS soit un montage à amplificateur à transconductance aussi appelé OTA. L'étage de sortie permet de fournir un courant  $i_{out}$  dans l'impédance de charge en sortie  $Z_L$  lors d'une variation d'entrée  $v_{in}$  tel que :

$$A_v = \frac{dv_{out}}{dv_{in}} = \frac{di_{out}}{dv_{in}} \times Z_L = g_m Z_L \quad (\text{III-13})$$

avec  $g_m$  la transconductance de l'OTA.

L'impédance de charge  $Z_L$  est composée d'une résistance  $R_L$  généralement égale à l'impédance de sortie de l'AO et de  $C_L$  représentant les capacités sur ce nœud de sortie :

$$\frac{1}{Z_L} = \frac{1}{R_L} + j\omega C_L \quad (\text{III-14})$$

Nous pouvons donc en déduire le gain de l'OTA avec (III-13) par :

$$A_v = g_m / \left( \frac{1}{R_L} + j\omega C_L \right) \quad (\text{III-15})$$

Sa fréquence de coupure  $f_c$  est égale à :

$$f_c = \frac{1}{2\pi R_L C_L} \quad (\text{III-16})$$

La constante de temps en sortie de l'OTA est égale à  $\tau_L = R_L C_L$ . Si l'on applique un échelon de tension sur  $v_{in}$  la réponse de l'amplificateur ne se fera pas immédiatement car la capacité  $C_L$  doit d'abord se charger. La sortie  $v_{out}$  s'exprime alors par  $v_{out} = v_{in}(1 - e^{-t/\tau_L})$ .

Nous pouvons maintenant utiliser cette réponse temporelle afin de calculer l'impédance d'entrée  $Z_{in}$  et en déduire le temps de réponse en entrée. Or  $Z_{in} = Z_f / (1 + A_v)$  mais si  $A_v \gg 1$  alors  $Z_{in} \approx Z_f / A_v$ .

A basse fréquence, le gain et la phase sont constants, donc l'impédance de sortie est de même nature que l'impédance de contre réaction, soit capacitive. Le domaine qui nous intéresse est celui de l'intégration. Le gain  $A_v$  (III-15) dépend de la fréquence et s'écrit :

$$A_v = -j \frac{g_m}{\omega C_L} = -j \frac{\omega_0}{\omega} \quad (\text{III-17})$$

Dans le régime où le gain augmente linéairement avec la fréquence, le produit gain-bande est constant et est égal à la fréquence au gain unitaire  $\omega_0 = g_m / C_L$ .

L'impédance de contre-réaction est de la forme :

$$Z_f = -j \frac{1}{\omega C_f} \quad (\text{III-18})$$

Donc l'impédance d'entrée peut s'écrire par :

$$Z_{in} = -j \frac{1}{\omega C_f} \times \frac{1}{-j \frac{\omega_0}{\omega}} = \frac{1}{\omega_0 C_f} \quad (\text{III-19})$$

La partie imaginaire disparaît donc l'impédance d'entrée est réelle. Lorsque  $f \gg f_c$ , on peut noter cette résistance  $R_{in}$ . Un amplificateur a sa fréquence de coupure bien en dessous de celle du détecteur, donc son impédance d'entrée est résistive. Le produit de la capacité du détecteur  $C_{det}$  avec cette impédance d'entrée (III-19) forment la constante de temps d'entrée du CPA :

$$\tau_{in} = R_{in} C_{det} = \frac{1}{\omega_0 C_f} C_{det} = \frac{C_L}{g_m} \frac{C_{det}}{C_f} \quad (\text{III-20})$$

Cette formule va nous permettre de calculer le produit gain-bande de l'OTA en fonction des paramètres de base du CPA tels que le gain de conversion et le temps d'intégration de la charge pour une capacité de détecteur donnée.

### **III.2.3. Préamplificateur de charge amélioré**

Dans ce type de configuration, avec une capacité de contre-réaction  $C_f$ , on peut affirmer que la partie réelle de la boucle est infinie. Le premier problème observé est que le domaine d'intégration s'étend vers les basses fréquences qu'il faut absolument éviter d'intégrer. De plus, nous avons montré que la réponse du CPA à une charge est un échelon de tension égale à  $Q_f/C_f$ . La capacité reste indéfiniment chargée jusqu'à ce qu'une autre charge arrive et augmente encore plus la tension et ainsi de suite jusqu'à saturation du circuit. Pour contrôler cet effet, deux solutions s'offrent alors à nous, l'une est de réduire cette partie réelle et l'autre est de court-circuiter cette capacité afin de la décharger. Dans cette thèse, les deux solutions seront utilisées dans des cas bien distincts.

La première solution purement analogique est de décharger cette capacité grâce à une résistance en parallèle dans la contre réaction (figure III-15 à gauche) et la deuxième est d'utiliser un interrupteur (à droite).

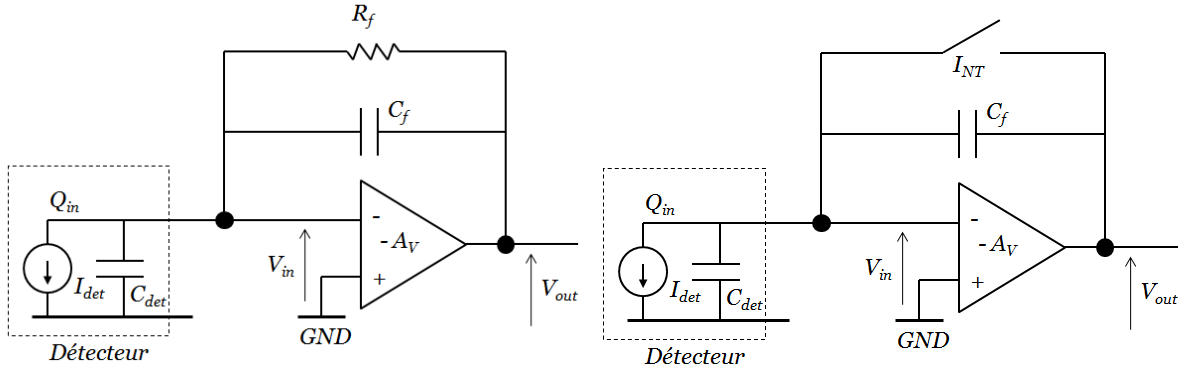


figure III-15 : Principes de décharge de la capacité de contre-réaction dans un préamplificateur de charge. Par une résistance  $R_f$  (à gauche) ou par un interrupteur  $I_{INT}$  (à droite).

Afin de montrer l'effet de la résistance  $R_f$  dans ce circuit, nous faisons une étude fréquentielle du transimpédance avec une contre réaction  $R_f C_f$  :

$$H_{CPA} = \frac{V_{out}}{I_d} = \frac{R_f}{\frac{1}{A_v} (1 + (R_f C_f + R_f C_{det})p) + 1 + R_f C_f p} \approx \frac{R_f}{1 + R_f C_f p} = \frac{A_f}{1 + \tau_f p} \quad (\text{III-21})$$

Lorsque  $A_v$  est grand, un nouveau pôle apparaît que l'on trouve à la fréquence de coupure notée  $f_{C1} = 1/(2\pi\tau_f)$ . Avant cette fréquence, il n'y a pas d'intégration et après cette fréquence les charges sont bien intégrées dans  $C_f$ . Il faut bien choisir la valeur de la constante de temps  $\tau_f$  car elle va fixer la durée maximale de l'impulsion à intégrer. En effet, si la charge est plus longue que  $\tau_f$  alors la capacité commencera à se décharger avant d'avoir tout intégré donc la conversion sera faussée. Nous avons vu dans le chapitre précédent que la durée de la charge n'est pas fixe mais la valeur du temps de collecte maximal est bien déterminée. La figure III-16 présente le domaine d'intégration du CPA dans un diagramme de bode.



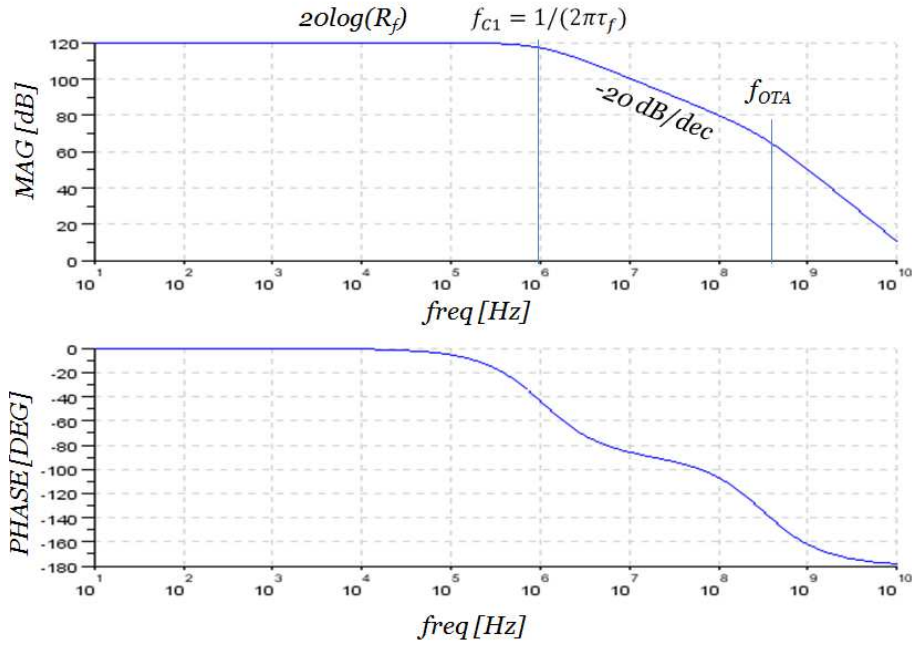


figure III-16 : Diagramme de bode du CPA en boucle fermée.

Un autre paramètre à prendre en compte est le temps de décharge de la capacité. Pendant ce temps, appelé temps mort, le système est inapte à effectuer une conversion. Si une charge arrive dans ce laps de temps, elle sera aussitôt intégrée et additionnée à la tension de sortie. L'utilisation de la transformée inverse de Laplace, nous permet de retrouver ce temps:

$$\mathcal{L}^{-1}\{H_{CPA}(p)\} = \frac{A_f}{\tau_f} e^{-\frac{t}{\tau_f}} = \frac{1}{C_f} e^{-\frac{t}{\tau_f}} \quad (\text{III-22})$$

Ainsi la tension de sortie s'exprime de la façon suivante :

$$v_{out} = \frac{Q_{in}}{C_f} e^{-\frac{t}{\tau_f}} \quad (\text{III-23})$$

Pour être plus précis, en prenant en compte toutes les constantes de temps du circuit, la réponse temporelle est décomposée en 3 expressions décrivant le comportement du préamplificateur à l'égard du déphasage de la boucle de rétroaction [73]. Selon le signe de la variable  $D$ , la réponse du préamplificateur peut être asymptotique (expressions (III-24) et (III-25)) ou périodique (III-26) lorsque le préamplificateur est près de l'oscillation.

$$v_{out} = A \frac{e^{-\frac{t}{B}} \sinh(t\sqrt{D})}{\sqrt{D}} \text{ pour } D > 0 \quad (\text{III-24})$$

$$v_{out} = A \frac{e^{-\frac{t}{B}} \sinh(t\sqrt{-D})}{\sqrt{-D}} \text{ pour } D < 0 \quad (\text{III-25})$$

$$v_{out} = A e^{-\frac{t}{B}} t \text{ pour } D = 0 \quad (\text{III-26})$$

avec :

$$A = \frac{K_v}{C_{det}\tau_L}, \quad B = \frac{2\tau_L}{1 + C_f/C_{det}K_v}, \quad D = \frac{(\tau_D + \tau_f K_v)^2 - 4\tau_D\tau_L K_v}{(2\tau_D\tau_L)^2}, \quad \tau_D = R_f C_{det}$$

où  $K_v$  est le gain de l'OTA en basse fréquence.

Par exemple, la figure III-17 est la réponse temporelle asymptotique du CPA à une charge pour le cas d'une non-oscillation ( $D \neq 0$ ).

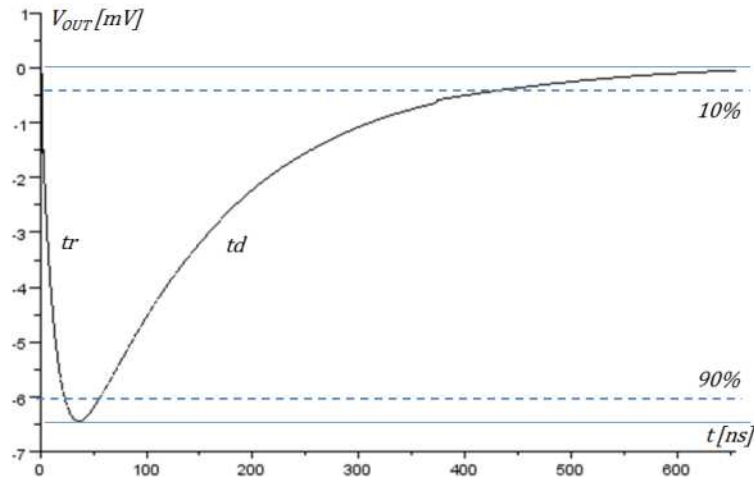


figure III-17 : Réponse temporelle du CPA à une charge en prenant en compte la bande passante de l'AO.

Le temps de décharge est pris entre 10% et 90% de la variation du pic et est égal à  $t_d = 2.2\tau_f$ . Aussi le temps de montée est calculé grâce à la seconde fréquence de coupure et est égal à  $t_r = 2.2\tau_{in}$ .

Après avoir converti la charge en tension, il s'agit maintenant de mettre en forme cette dernière.

### III.3. Mise en forme et filtrage

#### III.3.1. Principe

Dans cette partie, nous allons montrer l'intérêt de placer un circuit de mise en forme appelé PS (Pulse Shaper) derrière le CPA. Nous avons vu que l'amplitude du pic en sortie du CPA correspond à la quantité de charges et donc à l'énergie de la particule. La durée de l'amplitude du pic étant très brève, cette information va être très difficilement exploitable. Un des intérêts du PS se situe dans sa capacité à changer la forme du signal d'entrée tout en gardant l'information afin de faciliter son acquisition par les systèmes suivants. De plus, il pourra augmenter le gain de conversion, qui n'est pas toujours suffisant avec le seul étage d'amplification du CPA. Un autre intérêt est de pouvoir améliorer le SNR (Signal-to-Noise Ratio) en plaçant un circuit de filtrage derrière le CPA afin de limiter la bande-passante du

circuit. Par définition, le bruit est l'ensemble de toutes les perturbations indésirables qui se superposent au signal utile et ont tendance à en masquer le contenu. Il convient maintenant de nous intéresser à la nature et à l'origine physique du bruit dans un système de détection de charges. Ainsi, en revenant sur les principes physiques de fonctionnement mis en jeu dans la conception d'un circuit électronique, nous comprendrons comment établir le modèle équivalent en bruit du circuit. Cette étude permettra de fixer la résolution de la chaîne en jouant sur certains paramètres tels que la vitesse et la consommation.

L'étude du bruit passe par une étape de description du circuit dans le domaine temporel et fréquentiel. La contribution de tous les bruits de la chaîne de mesure est modélisée par des sources de bruit équivalentes ramenées en entrée. La figure III-18 présente le système de détection associé à ces sources ( $v_{in}^2$  pour la densité spectrale de bruit en tension et  $i_{in}^2$  pour la densité spectrale de bruit en courant).

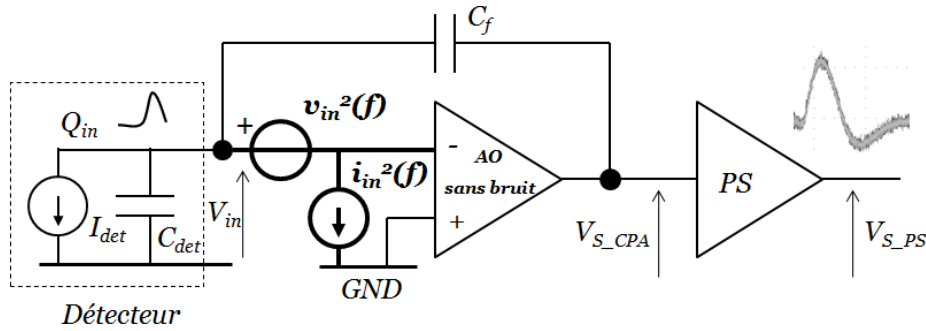


figure III-18 : Sources de bruit ramenées à l'entrée dans un système de détection de charge.

Pour le moment, afin de simplifier l'analyse, seules les sources de bruit blanc et non-corrélées sont prises en considération. L'influence de la résistance de contre réaction sur le fonctionnement du préamplificateur est aussi négligée et sa contribution en bruit est représentée dans la source de bruit  $i_{in}^2$ . En supposant que l'OTA est parfait, nous pouvons en déduire la densité spectrale de bruit en sortie du CPA  $v_{S\_CPA}^2$  :

$$v_{S\_CPA}^2(p) = v_{in}^2 \left| \frac{(C_{det} + C_f)}{C_f} \right|^2 + i_{in}^2 \left| \frac{1}{C_f p} \right|^2 \quad (III-27)$$

Dans l'étude du CPA, nous avons montré que le signal de sortie du CPA est une réponse exponentielle liée à la constante de temps  $\tau_{in}$  qui est proportionnelle à la capacité du détecteur et inversement proportionnelle au produit gain-bande de l'OTA. Cette réponse mono temporelle en sortie du CPA permet d'utiliser un filtre de type passe-bande centré sur cette fréquence pour diminuer la bande-passante donc le bruit. Nous allons voir dans les paragraphes suivants comment diminuer le bruit de la partie analogique.

### III.3.2. Pulse shaper

Afin de trouver un compromis entre la performance, la consommation et la simplicité de la conception, il est préférable d'utiliser des filtres passe-bande classiques, tels que les filtres continus de type  $CR - (RC)^n$ . Ils se composent d'une étape de dérivation, qui filtre le bruit basse fréquence et de  $n$  étapes d'intégration afin d'atténuer les composantes de bruit haute fréquence. La fonction de transfert  $H_{PS}(p)$  du PS s'écrit :

$$H_{PS}(p) = \left( \frac{\tau_d p}{1 + \tau_d p} \right) A_s \left( \frac{1}{1 + \tau_i p} \right)^n \quad (\text{III-28})$$

avec  $\tau_d$  la constante de temps de dérivation,  $\tau_i$  la constante de temps d'intégration et  $A_s$  le gain dc des  $n$  intégrateurs. Prenons par exemple un filtre passe-bande actif du 2<sup>nd</sup> ordre ayant l'architecture présentée sur la figure III-19.

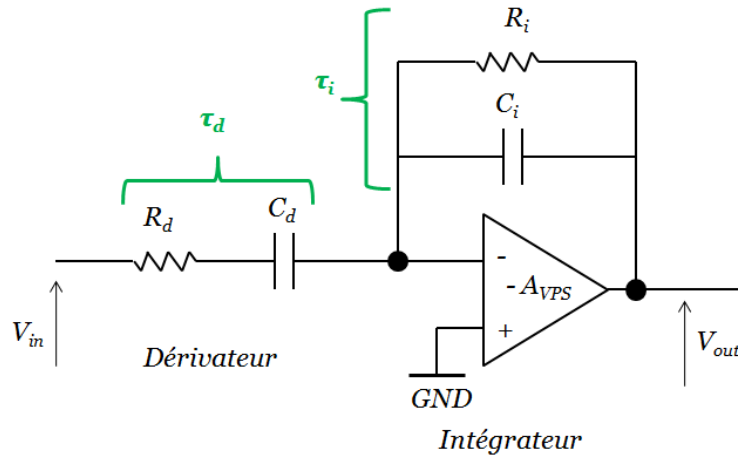


figure III-19 : Filtre passe-bande du 2<sup>nd</sup> ordre.

La fonction de transfert s'écrit de la façon suivante :

$$H_{PS} = \frac{V_{out}}{V_{in}} = \frac{-R_i C_d \left( \frac{A_v}{A_v + 1} \right) p}{1 + (R_d C_d + R_i C_i) p + R_d R_i C_d C_i p^2} = \frac{-A_s / \tau_i p}{p^2 + \frac{\omega_s}{Q} p + \omega_s^2} \quad (\text{III-29})$$

Avec la pulsation propre notée :

$$\omega_s = \frac{1}{\sqrt{\tau_d \tau_i}} \quad (\text{III-30})$$

et le facteur de qualité noté :

$$Quality = \frac{1}{\omega_s (\tau_d + \tau_i)} \quad (\text{III-31})$$

avec  $\tau_d = R_d C_d$  la constante de temps de dérivation,  $\tau_i = R_i C_i$  la constante de temps d'intégration et le gain  $A_s = R_i / R_d$ . L'objectif est d'avoir un filtre le plus sélectif possible centré sur la réponse du CPA. Les constantes de temps doivent donc être égales pour former

la constante de temps du shaper appelée  $\tau_s = \tau_d = \tau_i$ . Le diagramme de bode de la figure III-20 montre le gain et la phase d'un PS de type  $CR - (RC)^1$  en boucle fermée.

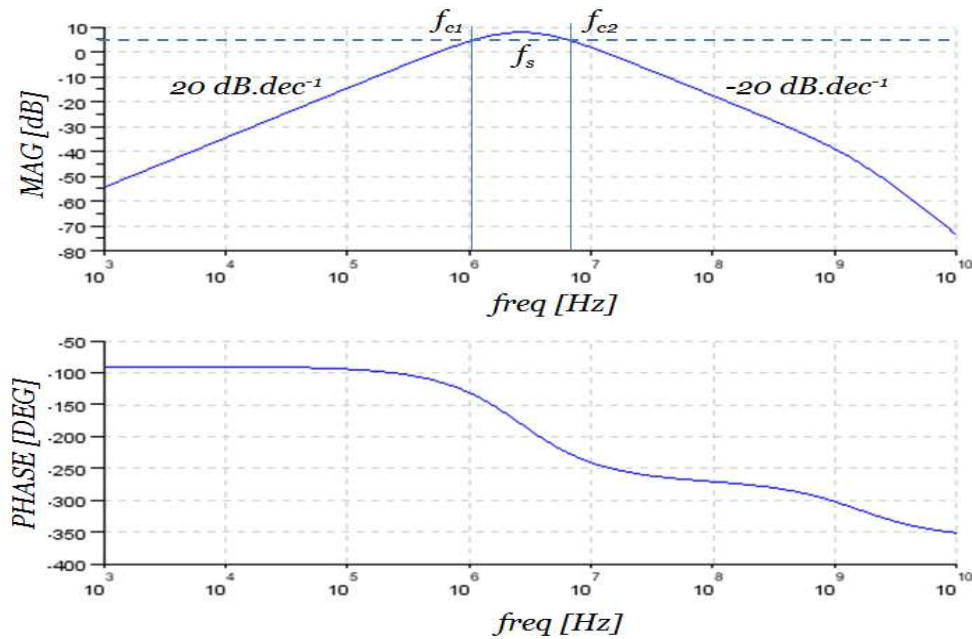


figure III-20 : Diagramme de bode du PS type  $CR - (RC)^1$  en boucle fermée.

Nous observons la fréquence de résonance du filtre  $f_s$ , la fréquence de coupure basse  $f_{c1} = 1/(2\pi R_d C_d)$  et haute  $f_{c2} = 1/(2\pi R_i C_i)$ .

## III.4. Chaîne de conversion CPA + PS

L'association du préamplificateur de charge et du pulse shaper présage d'énormes avantages sur les performances de la chaîne de conversion analogique mais seulement si certaines règles sont bien respectées. L'objectif est de convertir une charge en une tension dont le pic est proportionnel à sa valeur. Lors de cette conversion le bruit est aussi à prendre en considération. Connaissant la valeur max qu'une charge peut déposer nous pouvons en déduire le gain de conversion de la chaîne.

### III.4.1. Etat de l'art

Après avoir présenté le CPA et le PS, nous pouvons faire un état de l'art des différentes utilisations et structures qui existent. Les chaînes de type « analog front end » composée d'un CPA+PS permettent de s'adapter à une grande variété de détecteurs et sont utilisées dans de nombreux domaines. Par exemple, dans le milieu médical avec les systèmes d'imagerie aux rayons X à base de SSD (silicon strip detector) qui permettent d'extraire les informations sur l'énergie des rayons traversant le corps [56; 59]. De même en tomographie par émission de

positons (PET) où l'annihilation des photons est accomplie par un scintillateur en Crystal couplé à un transducteur afin de convertir la lumière en signal électrique [74]. Des APD (avalanche photodiode) ou bien des MSGC (Microstrip Gas Chamber) permettent ensuite de détecter ces signaux [57].

En physique nucléaire également avec le Grand collisionneur de hadrons du CERN utilisant aussi des SSDs où une étude en technologie BiCMOS est effectuée afin de rendre le circuit moins sensible aux radiations [75; 73].

L'« analog front end » est aussi employé dans l'observation des photons gamma avec des télescopes Compton en utilisant les détecteurs pixélisés DSSD (double-sided silicon strip detector) et CdTe [76]. L'étude des particules cosmiques de forte énergie dans l'atmosphère est réalisée à l'aide d'un calorimètre Si-W (Silicium-tungstène) [77]. Ici, un CPA à double gain sur le principe de 2 capacités en contre réaction que l'on peut commuter, est utilisé.

En astrophysique, l'étude des rayons X et rayons gamma dans l'espace est faite en utilisant des détecteurs en bandes ou pixels en Si et CdTe [78]. L'étude des plasmas spatiaux chauds est effectuée avec le détecteur de particules à MCP [79] sans utiliser de PS.

Ces diverses études se basent sur la conversion d'une charge en tension pour différentes gammes de conversion et des capacités équivalentes de détecteurs différentes. L'instrumentation demande parfois d'atteindre des vitesses de traitement élevées (quelques dizaines de ns). Les diverses caractéristiques nécessaires pour dimensionner un CPA+PS sont présentées dans les parties suivantes.

### III.4.2. Gain de conversion

Généralement le signal en sortie du CPA n'a pas le gain de conversion attendu. En effet, nous avons vu que ce gain est limité par la valeur de la capacité  $C_f$  et par la plage de tension acceptable par la technologie choisie. Cette plage est prise entre la tension de polarisation d'entrée de l'OTA ( $V_{ref}$ ) et la tension maximale admissible par la techno  $V_{DD}$ , ce qui correspond typiquement aux trois-quarts de la tension  $V_{DD}$ . La figure III-21 symbolise l'association du CPA + PS aux valeurs limites.

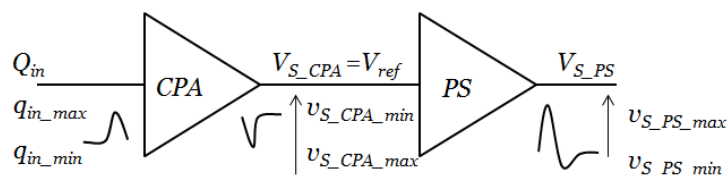


figure III-21 : Association du CPA et du PS aux valeurs limites.

La tension maximale disponible en sortie du PS doit correspondre à la charge maximale à intégrer, on peut donc en déduire le gain de conversion du système :

$$G_T = \frac{\Delta v_{S\_PS\_max}}{q_{in\_max}} = \frac{v_{S\_PS\_max} - v_{S\_PS\_min}}{q_{in\_max}} \quad (\text{III-32})$$

La fonction de transfert du système s'écrit :

$$H_T = H_{CPA} \times H_{PS} \quad (\text{III-33})$$

La tension en sortie du PS s'exprime de la façon suivante avec (III-21) et (III-28) :

$$H_T(p) = \frac{v_{S\_PS}(p)}{Q_{in}} = \left( \frac{A_f}{1 + \tau_f p} \right) \left( \frac{\tau_d p}{1 + \tau_d p} \right) A_s \left( \frac{1}{1 + \tau_i p} \right)^n \quad (\text{III-34})$$

Dans le domaine d'intégration nous pouvons écrire que :

$$v_{S\_PS}(p) = Q_{in} \left( \frac{1}{C_f p} \right) \left( \frac{\tau_d p}{1 + \tau_d p} \right) A_s \left( \frac{1}{1 + \tau_i p} \right)^n \quad (\text{III-35})$$

Et si le filtre est le plus sélectif possible alors  $\tau_d = \tau_i$  et on peut écrire :

$$v_{S\_PS}(p) = \frac{Q_{in}}{C_f} \frac{\tau_s A_s}{(1 + \tau_s p)^{n+1}} \quad (\text{III-36})$$

avec  $\tau_s$  la constante de temps du PS.

La transformée de Laplace inverse permet de trouver la fonction temporelle de (III-36) :

$$v_{S\_PS}(t) = \frac{Q_{in} A_s}{C_f n!} \left( \frac{t}{\tau_s} \right)^n e^{-\frac{t}{\tau_s}} \quad (\text{III-37})$$

Nous retrouvons la forme d'un signal semi-gaussien dans le domaine temporel. La figure III-22 présente la réponse temporelle du CPA et PS à un seul intégrateur  $n = 1$  pour une charge  $Q_{in}$  positive.

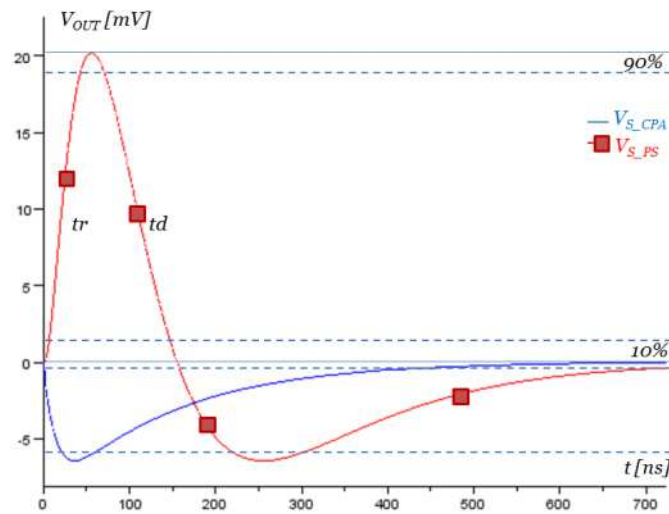


figure III-22 : Réponses temporelles du CPA (en bleu) et PS à un seul intégrateur  $n = 1$  (en rouge) à une charge positive  $Q_{in}$ .

Nous observons que la forme semi-gaussienne en sortie du PS est plus facilement exploitable que celle en sortie du CPA. Cependant, un dépassement négatif apparaît lorsque  $C_f$  se décharge. Ce dépassement n'est pas gênant car il est de signe opposé à la charge mais dans certaines applications il faut l'enlever. Une solution est de placer une résistance ajustable (MOS en régime ohmique) en parallèle avec  $C_d$  de façon à rajouter un zéro dans la fonction de transfert du PS ce qui compense le pole de contre réaction  $R_i C_i$  [80]. Généralement, le temps de décharge du PS suit le temps de décharge du CPA et donc le temps mort est égal au temps de décharge  $t_d$  qui vaut  $5\tau_s/n$ . La fréquence maximale de répétition de traitement d'une charge correspondant à la non disponibilité de la chaîne est notée :

$$F_{Utile} = \frac{n}{(n+5)\tau_s} \quad (III-38)$$

L'amplitude du pic en sortie du PS est calculable en prenant la dérivée de l'équation (III-37) au moment où elle atteint son maximum c'est-à-dire au peaking time  $\tau_{Peak} = n\tau_s$ . On trouve alors :

$$v_{S\_PS\_Peak} = \frac{Q_{in} A_s}{C_f} \frac{\left(\frac{n}{e}\right)^n}{n!} \quad (III-39)$$

Cette amplitude est bien proportionnelle à la charge  $Q_{in}$  (ainsi qu'à la valeur  $A_s$ ).

### III.4.3. Bande passante en bruit et ENC

Le fait d'utiliser un intégrateur d'ordre supérieur permet de réduire la bande passante du circuit et donc de diminuer le bruit. La figure III-23 montre les réponses temporelles en sortie du PS décrites par l'équation (III-37) (à gauche) ainsi que les tracés fréquentiels du gain décrites par l'équation (III-34) (à droite) pour différents ordres du filtre  $CR - (RC)^n$  et après normalisation du shapping time  $\tau_s$  et du gain  $A_s$ .

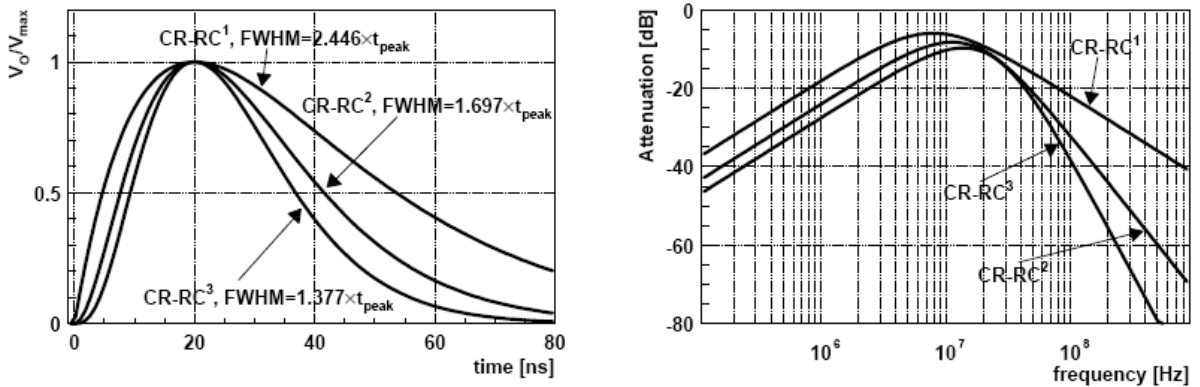


figure III-23 : Formes temporelles en sortie du PS (à gauche) et tracés fréquentiels du gain (à droite) pour différents ordres du filtre et après normalisation du shapping time et du gain [75].



La figure III-23 montre également la largeur à mi-hauteur ou Full Width at Half Maximum (FWHM). On peut voir que les filtres d'ordre supérieur fournissent des valeurs de FWHM plus basses et par conséquent une meilleure rapidité de traitement  $F_{Utile}$  de la charge. Nous voyons aussi l'intérêt du filtrage d'ordre  $n$  du filtre  $CR - (RC)^n$ . En effet, la bande passante se réduit avec l'ordre d'intégration. En reprenant le circuit de la figure III-18, nous pouvons maintenant déduire le bruit rms en sortie du PS avec l'équation (III-27) et (III-28). Cette valeur quadratique moyenne en sortie du PS vaut :

$$\overline{v_{S\_PS}^2} = \int_0^{\infty} |v_{S\_CPA}(j2\pi f)|^2 |H_{PS}(j2\pi f)|^2 \Delta f \quad (III-40)$$

avec  $\Delta f$  représentant la bande passante équivalente de bruit. Le fait que l'entrée reçoive une charge  $Q_{in}$ , nous impose d'utiliser une notation en entrée qui corresponde à cette dernière. Généralement la notation ENC (equivalent noise charge) est utilisée dans le monde des détecteurs de charges. Son unité en électrons permet de situer le bruit de détection en nombre de charges ramenées sur l'entrée. L'ENC est définie par la racine carrée du rapport du bruit rms en sortie (III-40) par le module au carré de l'amplitude maximale de sortie (III-39) et le tout pour un électron reçu en entrée :

$$ENC = \sqrt{\frac{\overline{v_{S\_PS}^2}}{|v_{S\_PS\_Peak}|^2}} \quad (III-41)$$

Après avoir posé les bases des architectures des chaînes analogiques à utiliser, intéressons-nous aux différentes sources de bruit présentes au niveau transistors.

## III.5. Etude en bruit

### III.5.1. Les différents types de bruit

Nous nous intéressons ici à trois types de bruits indépendants et majoritairement présents dans les circuits CMOS. Les premières études sur le bruit dans les circuits « analog front end » ont été développées dans [81] pour la région de forte inversion et [75] pour la région de faible inversion.

#### a) Le bruit thermique (*thermal noise*)

Il est dû au mouvement brownien (agitation thermique donc aléatoire), des porteurs de charges qui s'entrechoquent. Leur accélération étant constante, leur vitesse varie en permanence. La tension fluctue en fonction de ces variations de vitesse : c'est le bruit thermique. Un dipôle au repos a une tension non nulle à ses bornes. La densité spectrale en

tension du bruit thermique s'exprime en fonction de la constante de Boltzmann  $k$ , de la température en Kelvin  $T$  et de la résistance du dipôle  $R$  :

$$v_{th}^2(f) = 4kTR \quad (\text{III-42})$$

On peut noter que le bruit thermique est un bruit blanc car il ne dépend pas de la fréquence.

*b) Le bruit en 1/f (flicker noise)*

Son origine est mal connue, il n'y a pas de mécanisme universel. On sait cependant qu'il est lié à la nature granulaire de certains matériaux, et aussi, au piégeage des porteurs à la surface des composants. Il apparaît surtout dans les semi-conducteurs de type MOS. Le bruit en 1/f décroît avec la fréquence et le facteur  $K_f$  qui correspond à la qualité de fabrication du composant. La densité spectrale en tension du bruit en 1/f s'exprime par :

$$v_{1/f}^2(f) = \frac{K_f}{f} \quad (\text{III-43})$$

La bande de fréquences où il est supérieur au bruit thermique tend à se rétrécir au fur et à mesure des progrès technologiques et ne dépasse pas quelques dizaines de Hz pour les meilleures technologies actuelles.

*c) Le bruit de grenaille (shot noise)*

Son origine vient du saut de barrières de potentiel à des instants aléatoires par des porteurs de charges. De ce fait, le courant fluctue très légèrement autour de sa valeur moyenne : c'est le bruit de grenaille. Ce type de phénomène suit une loi de probabilité de Poisson. La variance est égale à la valeur moyenne. La densité spectrale en courant du bruit de grenaille est proportionnelle au courant continu  $I_o$  et à la charge de l'électron  $q$  :

$$i_{sh}^2(f) = 2qI_o \quad (\text{III-44})$$

Il s'agit là aussi d'un bruit blanc.  $I_o$  est aussi le courant de fuite du détecteur  $I_{fuite}$  associé vu dans le chapitre II.

### **III.5.2. Modèle de bruit dans un transistor MOS**

Dans cette partie, la méthode de raisonnement est identique pour toutes les régions de fonctionnement du transistor MOS en faible, modérée et forte inversion. La figure III-24 représente le modèle petit signal d'un transistor MOS [82] avec ses 3 principales sources de bruit : le bruit thermique du canal, le bruit GIC (Gate-Induced Current ) et le bruit en 1/f.

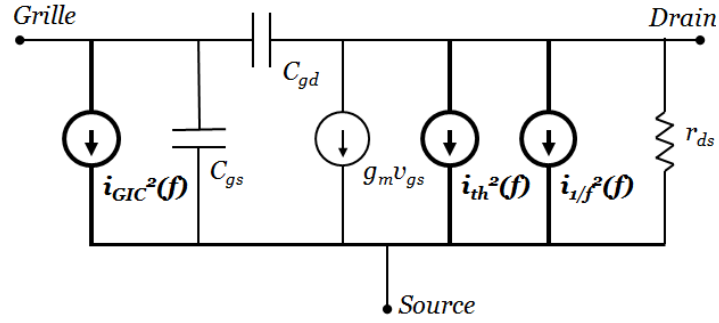


figure III-24 : Schéma petits-signaux en bruit d'un transistor MOS.

Le canal d'un transistor MOS se comporte comme une résistance. Il génère donc du bruit thermique. On le représente par une source équivalente de bruit entre drain et source notée  $i_{th}^2$  :

$$i_{th}^2 = 4kT\gamma n g_m \quad (\text{III-45})$$

où le paramètre  $\gamma$  est pris à 1/2 pour le transistor au canal long fonctionnant en faible inversion et à 2/3 en forte inversion [71]. Pour le canal court, il faut introduire un facteur d'excès de bruit noté  $\Gamma$ . Le paramètre  $\gamma$  fonction de  $I_f$  prend alors la forme suivante :

$$\gamma = \frac{1}{1 + I_f} \left( \frac{1}{2} + \frac{2}{3} I_f \right) \Gamma \quad (\text{III-46})$$

avec  $\Gamma$  calculé selon la technologie choisie et pour les diverses régions d'inversion [67].

Pour un transistor d'entrée relativement large, il faut inclure le bruit GIC dont la densité spectrale est proportionnelle à la capacité de grille  $C_{OX}$ . Couplé aux fluctuations du bruit thermique  $i_{th}^2$ , le bruit de GIC a pour conséquence d'induire une source équivalente de bruit notée  $i_{GIC}^2$  en fonction de la fréquence  $f$ , indépendante de la région de fonctionnement :

$$i_{GIC}^2 = 8\gamma kT g_{gs} \text{ avec } g_{gs} = \frac{4}{45} \frac{(2\pi f W L C_{OX})^2}{n g_m} \quad (\text{III-47})$$

L'évaluation complète du bruit thermique est effectuée en faisant la corrélation entre le bruit du canal  $i_{th}^2$  de (III-45) et le bruit de grille GIC  $i_{GIC}^2$  de (III-47) qui donne le terme suivant :

$$i_{corr}^2 = i_{ng} i_{nd}^* = \frac{\gamma}{6} 2\pi f W L C_{OX} 4kT \quad (\text{III-48})$$

L'autre source de bruit, à prendre en considération, est celle en  $1/f$  qui est représentée par une source équivalente de bruit entre la source et le drain notée  $i_{1/f}^2$  :

$$i_{1/f}^2 = \frac{K_f}{f} \frac{g_m^2}{C_{OX}^2 W L} \quad (\text{III-49})$$

Une fois ces sources de bruit définies, nous pouvons les prendre en compte dans le pré-amplificateur de charges.

### III.5.3. Bruit engendrés par le CPA

#### a) Bruits de l'amplificateur à transconductance

L'entrée de contre-réaction d'un amplificateur opérationnel est en fait la grille d'un transistor MOS (nous présenterons les différentes structures dans le chapitre IV). Les études nous montrent que la plus grande partie du bruit est générée dans ce transistor d'entrée [81]. En effet leur grille est directement liée à la charge à intégrer. Nous modélisons l'OTA avec un transistor d'entrée et  $A$  qui représente les étages l'amplification suivant. La première étape, est de ramener les sources de bruit sur l'entrée afin de simplifier les calculs des fonctions de transfert de bruit. La figure III-25 présente l'équivalence des modèles que l'on propose d'établir dans le CPA.

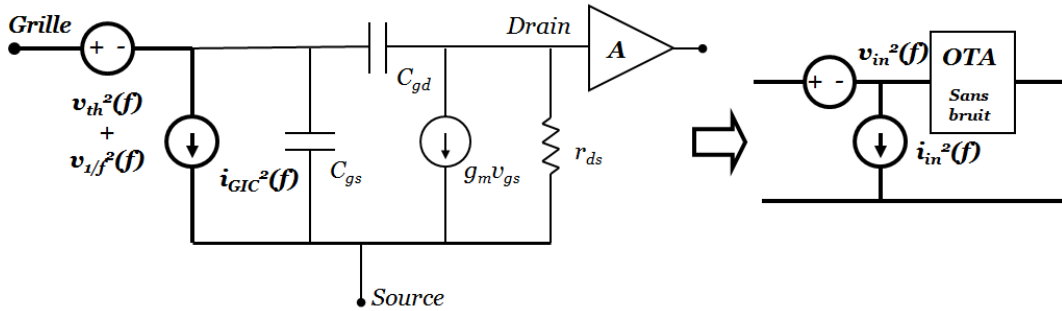


figure III-25 : Schéma petit-signal en bruit de l'OTA du CPA (à gauche) que l'on ramène sur la grille d'entrée du MOS du CPA (à droite).

La méthodologie de calcul des modèles équivalents ramenés en entrée, se base sur la détermination de  $v_{in}^2$  et  $i_{in}^2$  tels qu'ils génèrent le même courant de court-circuit de bruit en sortie que le modèle de bruit d'origine du composant, suivant qu'il est chargé, en entrée, par une impédance infinie, puis par une impédance nulle.

$$v_{in}^2 = v_{th}^2 + v_{1/f}^2 = \frac{i_{th}^2}{g_m^2} + \frac{i_{1/f}^2}{g_m^2} = \frac{4kT\gamma n}{g_m} + \frac{K_f}{f} \frac{1}{C_{OX}^2 WL} \quad (\text{III-50})$$

et

$$i_{in}^2 = i_{GIC}^2 + v_{in}^2 Y_g^2 = \frac{32}{45} kT\gamma \frac{(2\pi f W L C_{OX})^2}{ng_m} + v_{in}^2 ((C_{GS} + C_{GD})p)^2 \quad (\text{III-51})$$

avec  $Y_g = C_g p$  l'admittance complexe des capacités de la grille d'entrée du MOS.

#### b) Bruits du CPA

Intégrons ce modèle dans le CPA afin d'en déduire la densité spectrale de bruit en sortie du CPA. La figure III-26 montre le CPA et le PS en incluant toutes les sources de bruit précédemment énoncées.

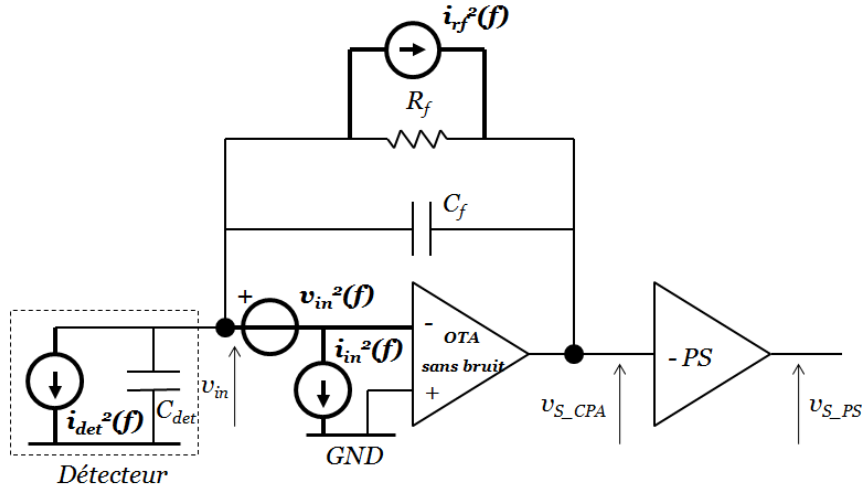


figure III-26 : Schéma du CPA et le PS en incluant toutes les sources de bruit.

Le détecteur génère lui aussi un bruit de grenaille  $i_{det}^2$  qui est fonction du courant de fuite  $I_o$  de ce dernier. La densité spectrale en courant du bruit du détecteur est notée :

$$i_{det}^2 = 2qI_o \quad (\text{III-52})$$

La résistance de contre-réaction  $R_f$  génère un bruit thermique qui est représenté par une source équivalente de bruit en parallèle. La densité spectrale en courant du bruit de cette résistance est notée:

$$i_{Rf}^2 = 4kT \frac{1}{R_f} \quad (\text{III-53})$$

La densité spectrale totale en sortie du CPA est calculée à partir de :

$$v_{S\_CPA\_TOT}^2(p) = v_{in}^2 |Y_t Z_f|^2 + (i_{in}^2 + i_{det}^2 + i_{Rf}^2) |Z_f|^2 \quad (\text{III-54})$$

où

$$Y_t = Y_f + Y_d + Y_g, \quad Z_f = \frac{1}{Y_f} = \frac{R_f}{1 + \tau_f p} \quad \text{et} \quad Y_d = C_{det} p$$

Ainsi, nous pouvons déduire les expressions des densités spectrales de toutes les contributions en bruit en sortie du CPA. Pour le bruit thermique, l'équivalence est obtenue par :

$$v_{S\_CPA\_Thermal}^2 = v_{S\_CPA\_Th}^2 + v_{S\_CPA\_GIC}^2 + v_{S\_CPA\_corr}^2 + v_{S\_CPA\_Rf}^2 \quad (\text{III-55})$$

avec

$$v_{S\_CPA\_Th}^2 = \frac{4kT\gamma n}{g_m} \left( (C_f + C_{det} + C_g)^2 (2\pi f)^2 + \frac{1}{R_f^2} \right) \frac{R_f^2}{1 + (\tau_f 2\pi f)^2} \quad (\text{III-56})$$

$$v_{S\_CPA\_GIC}^2 = \frac{32}{45} kT\gamma \frac{(WLC_{OX})^2}{ng_m} (2\pi f)^2 \frac{R_f^2}{1 + (\tau_f 2\pi f)^2} \quad (\text{III-57})$$

$$v_{S\_CPA\_corr}^2 = \frac{8\gamma WLC_{OX}kT}{6g_m} (C_f + C_{det} + C_g)(2\pi f)^2 \frac{R_f^2}{1 + (\tau_f 2\pi f)^2} \quad (\text{III-58})$$

$$v_{S\_CPA\_Rf}^2 = 4kT \frac{R_f}{1 + (\tau_f 2\pi f)^2} \quad (\text{III-59})$$

La contribution du bruit en  $1/f$  en sortie du CPA est obtenue par :

$$v_{S\_CPA\_1/f}^2 = \frac{K_f}{f} \frac{1}{C_{OX}^2 WL} \left( (C_f + C_{det} + C_g)^2 (2\pi f)^2 + \frac{1}{R_f^2} \right) \frac{R_f^2}{1 + (\tau_f 2\pi f)^2} \quad (\text{III-60})$$

Enfin, la contribution du bruit de grenaille en sortie du CPA est obtenue par :

$$v_{S\_CPA\_d}^2 = 2qI_o \frac{R_f^2}{1 + (\tau_f 2\pi f)^2} \quad (\text{III-61})$$

On peut déjà remarquer que ces densités spectrales en sortie du CPA sont reliées aux paramètres physiques des composants : La capacité du détecteur, la constante de temps du CPA, la transconductance, les capacités parasites...

### III.5.4. ENC de la chaîne complète

Dans cette étude, nous avons utilisé un étage de filtrage appelé PS. Il permet en premier lieu d'avoir un signal facilement exploitable par sa forme semi-gaussienne, ainsi que de pouvoir rajouter du gain dc et enfin d'optimiser l'ENC. En effet, les performances recherchées en bruit pour instrumenter une MCP ne sont pas très élevées car nous voulons juste effectuer du comptage d'événement. Par contre, cela peut se discuter pour la mesure de l'énergie déposée dans un semi-conducteur car cette donnée doit être traitée par un ADC qui a sa propre résolution. Dans un premier temps, par souci de bon fonctionnement du circuit, nous avons choisi de nous limiter à un filtre  $CR - (RC)^1$ . Dans l'étude qui suit, nous allons voir que l'optimisation de l'ENC dépend de la consommation et de la vitesse du circuit.

Afin de déduire l'ENC grâce à l'équation (III-41), utilisons le calcul de valeur quadratique moyenne en sortie du PS (III-40) pour un PS d'architecture  $CR - (RC)^1$  :

$$\overline{v_{S\_PS}^2} = \int_0^\infty v_{S\_CPA}^2 \left| \frac{\tau_s A_s p}{(1 + \tau_s p)^2} \right|^2 \Delta f \quad (\text{III-62})$$

L'amplitude du pic en sortie du PS due à un électron de charge  $q$  sur l'entrée (III-39) est égale à :

$$|V_{S\_PS\_Peak}|^2 = \left( \frac{q A_s}{C_f e} \right)^2 \quad (\text{III-63})$$

Ainsi nous pouvons écrire séparément les contributions en ENC des différentes sources de bruit de notre chaîne de conversion. L'ENC du bruit thermique est calculé grâce aux équations (III-56) - (III-59) par :

$$ENC_{Th}^2 = \frac{e^2 kT\gamma n}{q^2 g_m} \frac{1}{8\tau_f} \left( 3(C_f + C_{det} + C_g)^2 + C_f^2 \right) \quad (III-64)$$

$$ENC_{GIC}^2 = \frac{e^2}{q^2} \frac{1}{15} kT\gamma \frac{(WLC_{ox})^2}{ng_m} \quad (III-65)$$

$$ENC_{corr}^2 = \frac{e^2}{q^2} \frac{1}{8\tau_f} \frac{\gamma WLC_{ox} kT}{g_m} (C_f + C_{det} + C_g) \quad (III-66)$$

$$ENC_{Rf}^2 = \frac{e^2}{q^2} \frac{1}{8} kTC_f \quad (III-67)$$

L'ENC en  $1/f$  est obtenu par l'équation (III-60) par :

$$ENC_{1/f}^2 = \frac{e^2}{q^2} \frac{1}{4} \frac{K_f}{C_{ox}^2 WL} \left( (C_f + C_{det} + C_g)^2 + C_f^2 \right) \quad (III-68)$$

Enfin, l'ENC du bruit de grenaille est donné par l'équation (III-61) selon :

$$ENC_d^2 = \frac{e^2}{q} \frac{1}{16} \tau_f I_o \quad (III-69)$$

Une multitude d'études de bruit par rapport aux paramètres physiques et aux valeurs des composants peut être effectuée. Nous pouvons observer que la contribution en bruit du circuit est fonction des paramètres imposés par l'instrumentation, comme  $\tau_f, C_f, C_{det} \dots$  mais aussi des paramètres du transistor d'entrée  $g_m, W$  et  $L$  qui vont aussi agir sur les capacités de grille. Le  $g_m$  va non seulement déterminer la bande-passante du CPA mais aussi le bruit.

### **III.5.5. Evolution de l'ENC en fonction des paramètres du circuit**

Essayons de visualiser l'effet que provoque le transistor d'entrée sur les différents ENC. Les simulations sont effectuées pour une technologie standard AMS CMOS 0.35  $\mu m$  pour laquelle les transistors sont décrits par les paramètres du tableau III-1.

Prenons par exemple l'étude du détecteur à MCP avec une capacité de détecteur  $C_{det}$  de 3 pF et une capacité parasite sur le nœud d'entrée  $C_p \approx 2$  pF qui donnent une capacité d'entrée  $C_{in} \approx 5$  pF et un courant de fuite  $I_o$  associé de 10 nA. Utilisons pour le CPA une capacité d'intégration  $C_f$  de 1 pF avec un temps de shaping  $\tau_f = \tau_s$  fixé à 50 ns pour le CPA et le PS. Pour une longueur de grille  $L$  du NMOS d'entrée égale à 2  $\mu m$  nous pouvons maintenant tracer l'ENC en fonction de la largeur de grille  $W$  et du courant de drain  $I_D$  du transistor d'entrée.

a)  $ENC$  en fonction du MOS d'entrée

L'ENC total de bruit thermique est défini par la racine carrée de la somme des carrés des contributions en bruit (III-64) - (III-67), suivant :

$$ENC_{Thermal} = \sqrt{ENC_{Th}^2 + ENC_{GIC}^2 + ENC_{corr}^2 + ENC_{Rf}^2} \quad (III-70)$$

L'ENC total de bruit en 1/f est définie grâce à (III-68) par :

$$ENC_{1/f} = \sqrt{ENC_{1/f}^2} \quad (III-71)$$

La figure III-27 montre l'évolution de l' $ENC_{Thermal}$  (III-70) (à gauche) et  $ENC_{1/f}$  (III-71) (à droite) en fonction de la largeur du canal  $W$  et du courant de drain  $I_D$  du transistor d'entrée.

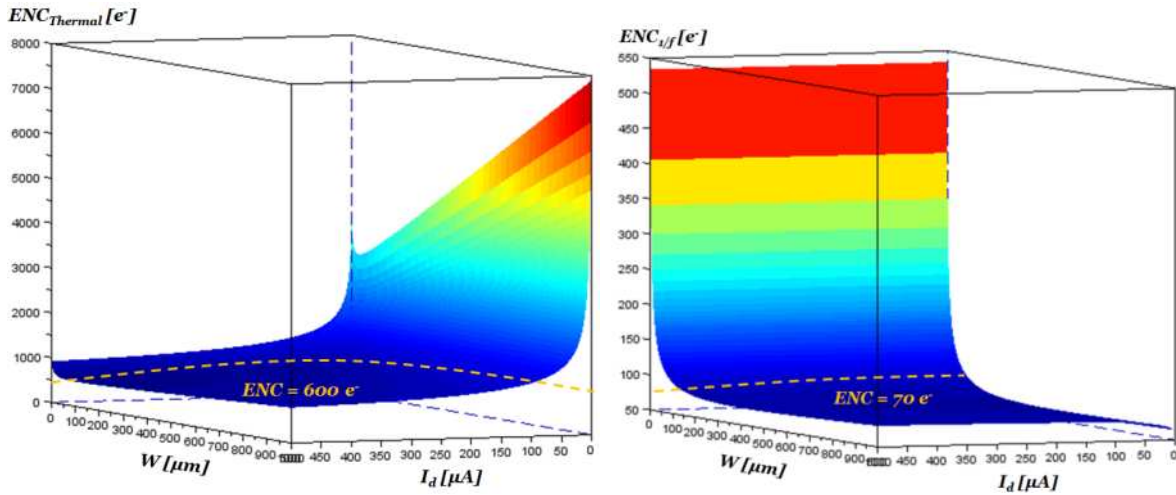


figure III-27 : Tracés 3D de l' $ENC_{Thermal}$  (à gauche) et de l' $ENC_{1/f}$  (à droite) en fonction de la largeur du canal et du courant de drain  $I_D$  du transistor d'entrée avec  $C_{in} = 5$  pF,  $C_f = 1$  pF,  $\tau_s = 50$  ns et  $L = 2$   $\mu m$  pour une techno 0.35  $\mu m$ .

Ces courbes sont calculées avec le modèle EKV en utilisant (III-2) pour le calcul de  $g_m$ , et (III-5) - (III-7) pour le calcul des capacités parasites de grille.

Nous pouvons observer différents effets qui font varier l'ENC en fonction des différentes entrées. Pour l' $ENC_{Thermal}$ , nous observons les plus fortes valeurs de bruit pour les faibles valeurs de courant de drain ( $< 20$   $\mu A$ ) jusqu'à 8000  $e^-$  pour  $I_D = 1$   $\mu A$ . Cela s'explique par la présence du facteur  $1/g_m$  dans les formules de l' $ENC_{Th}^2$ ,  $ENC_{GIC}^2$  et  $ENC_{corr}^2$ . Cet effet est aussi légèrement amplifié pour les faibles valeurs de  $W$  toujours expliquée par la présence de ce dernier facteur dans la formule de l' $ENC_{Th}^2$  (III-64). Nous pouvons donc observer que la zone où le bruit thermique est minimal ( $\approx 600$   $e^-$ ) est située pour  $W > 100$   $\mu m$  et  $I_D > 100$   $\mu A$ . Mais attention, le fait d'augmenter trop  $W$  va augmenter le bruit car les capacités de grille vont augmenter en surface et donc générer plus de bruit.



Pour la courbe représentant l' $ENC_{1/f}$ , les plus fortes valeurs de bruit sont observées pour les faibles valeurs de  $W$ . Le facteur  $1/(WL)$  de l'équation (III-68) justifie ce résultat. A partir de  $W \geq 150 \mu m$ , l' $ENC_{1/f}$  diminue légèrement en dessous des  $70 e^-$ .

Pour le bruit de grenaille  $ENC_d$ , il est identique ( $48 e^-$ ) sur tout le volume car il ne dépend pas du transistor d'entrée.

Nous pouvons maintenant examiner l' $ENC_{Total}$  de la chaîne de conversion défini par :

$$ENC_{Total} = \sqrt{ENC_{Thermal}^2 + ENC_{1/f}^2 + ENC_d^2} \quad (III-72)$$

La figure III-28 montre l' $ENC_{Total}$  en fonction de la largeur du canal  $W$  et du courant de drain  $I_D$  du transistor d'entrée.

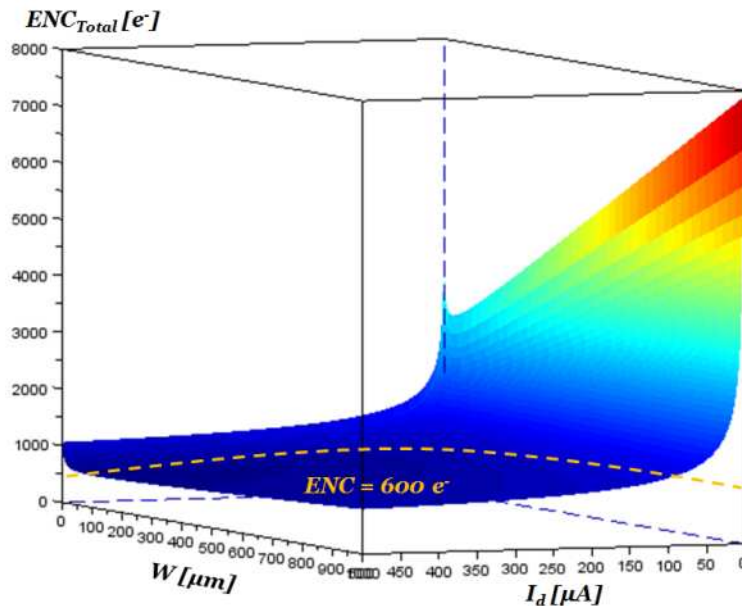


figure III-28 : Tracés 3D de l' $ENC_{Total}$  en fonction de la largeur du canal  $W$  et du courant de drain  $I_D$  du transistor d'entrée avec  $C_{in} = 5 pF$ ,  $C_f = 1 pF$ ,  $\tau_s = 50 ns$ ,  $I_o = 10 nA$  et  $L = 2 \mu m$  pour une techno  $0.35 \mu m$ .

L'évolution de l' $ENC_{Total}$  concorde avec les résultats observés pour  $ENC_{Thermal}$  et  $ENC_{1/f}$ . Une première conclusion est que l'effet de  $ENC_{Thermal}$  est prédominant par rapport aux autres sources de bruit. C'est lui qui va donc définir le bruit minimal ( $\approx 600 e^-$ ) de la chaîne observable pour des valeurs de  $W > 100 \mu m$  et des valeurs de courant de drain  $I_D > 100 \mu A$ .

#### b) $ENC$ en fonction des autres paramètres

Pour diminuer le bruit  $ENC_{Total}$ , nous pouvons jouer sur les paramètres suivants mais ils vont sensiblement dégrader les performances du système :

- Augmenter le nombre d'intégrateurs. L'étude [81], montre qu'un nombre  $n = 4$  est optimal car le fait de trop intégrer dégrade fortement le bruit thermique car  $\tau_{Peak} = n\tau_s$  et la consommation.
- Augmenter la constante de temps du pic  $\tau_{Peak}$ , qui va donc diminuer le bruit thermique mais rendre le système plus lent (figure III-29). Attention car en augmentant trop ce temps, le bruit de grenaille peut devenir dominant.
- Diminuer la longueur  $L$  du transistor, mais attention au matching pour les faibles valeurs de grille.

La figure III-29 présente l'évolution de  $ENC_{Total}$ ,  $ENC_{Thermal}$ ,  $ENC_{1/f}$  et  $ENC_d$  en fonction du temps de shaping  $\tau_s$  pour différentes valeurs de  $W/L$  du transistor d'entrée avec  $C_{in} = 5$  pF,  $C_f = 1$  p,  $I_o = 10$  nA et  $I_D = 320$   $\mu$ A.

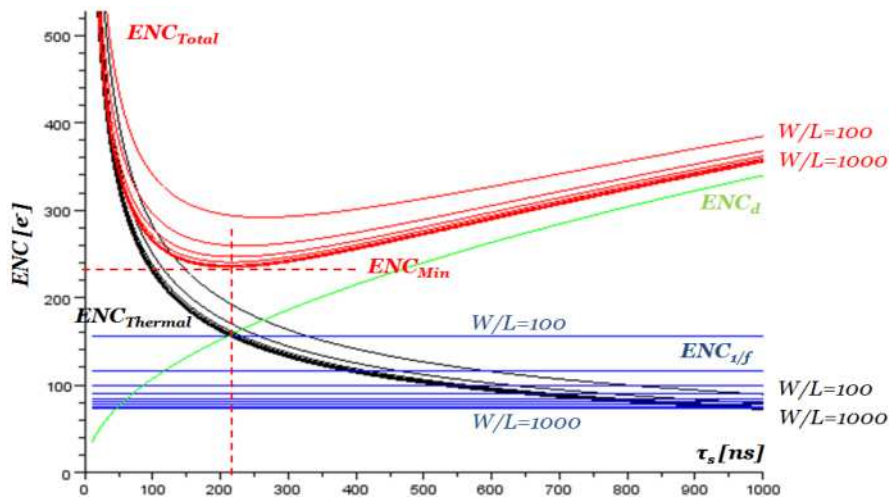


figure III-29 : Tracés de l' $ENC_{Total}$  (rouge), l' $ENC_{Thermal}$  (noir), l' $ENC_{1/f}$  (bleu) et l' $ENC_d$  (vert) en fonction du temps de shaping  $\tau_s$  pour différentes valeur de  $W/L$  du transistor d'entrée avec  $C_{in} = 5$  pF,  $C_f = 1$  p,  $I_o = 10$  nA et  $I_D = 320$   $\mu$ A.

Pour un courant de drain fixé  $I_D = 320$   $\mu$ A, la variation du peaking time montre un minimum pour l' $ENC_{Total}$ . Ce bruit de 240  $e^-$  est trouvé pour  $\tau_{Peak} = 220$  ns et pour un  $W/L$  de 1000. Ainsi, jouer sur ce temps peut être une solution non négligeable pour des systèmes demandant des performances très bas bruit au détriment de la vitesse d'analyse. En résumé, un peaking time trop faible donne un bruit élevé à cause de l' $ENC_{Thermal}$  et un peaking time trop lent donne un bruit élevé à cause de l' $ENC_d$ .

Pour finir cette étude sur le bruit nous pouvons monter l'influence de la capacité du détecteur  $C_{det}$  sur l' $ENC_{Total}$ . L'effet de cette capacité d'entrée est présenté sur la figure III-30.

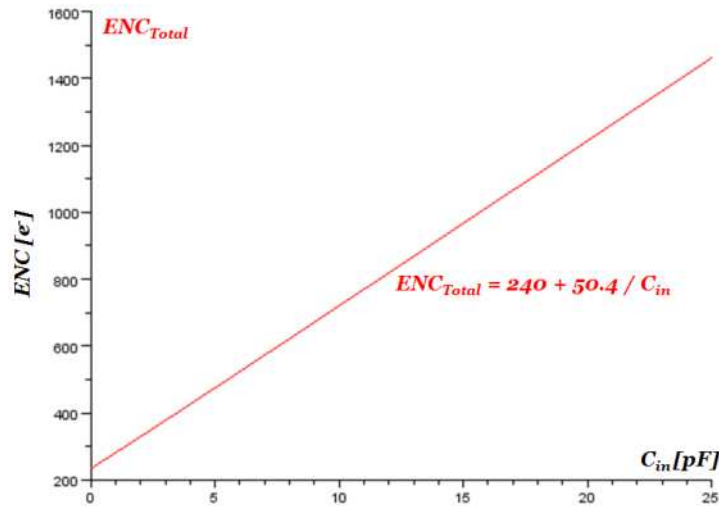


figure III-30 : Tracé de  $ENC_{Total}$  en fonction de la capacité d'entrée  $C_{in}$  avec  $\tau_s = 50$  ns,  $C_f = 1$  p,  $I_o = 10$  nA et  $I_D = 320$   $\mu$ A et  $W/L = 278$ .

Cette réponse linéaire permet d'exprimer l' $ENC_{Total}$  en fonction de la capacité  $C_{in}$  grâce à la relation suivante :

$$ENC_{Total} = ENC_{C_{in}=0} + ENC/pF \times C_{in} \quad (\text{III-73})$$

Le bruit va donc augmenter linéairement avec la valeur de la capacité d'entrée  $C_{in}$ .

Des travaux sur des technologies plus fines (130 et 90 nm) [83] montrent que les performances en bruit sont améliorées dans les applications où une grande dynamique n'est pas nécessaire. La miniaturisation peut donc alors être un atout. Cependant, en technologie 90 nm, les courants de fuite dans les grilles peuvent devenir un problème quand la durée  $\tau_{Peak}$  grandit.

Pour résumer cette étude en bruit, nous avons montré que la valeur de l' $ENC_{Total}$  peut être optimisée au détriment de la consommation en jouant sur  $I_D$  ou au détriment de la vitesse du circuit en jouant sur  $\tau_{Peak}$ . Aussi la valeur du courant de drain et le dimensionnement du transistor d'entrée sont décisifs.

## III.6. Conclusion

Dans ce chapitre, nous avons montré qu'une chaîne d'instrumentation pour des détecteurs astrophysiques peut être réalisée en technologie CMOS standard. L'objectif de ce chapitre a été d'introduire les principes de la détection de charges en utilisant une technologie CMOS classique. Nous avons étudié les différents effets des radiations sur ce type de technologie et montré qu'il existe des solutions de design permettant de les atténuer. Les principales solutions retenues sont l'utilisation d'anneaux de garde et de transistors ronds. Afin de

diminuer la consommation de notre circuit, nous avons choisi d'utiliser nos MOS en régime de faible inversion en utilisant le model EKV pour leurs dimensionnements. En rentrant dans l'étude du système, nous avons établi une étude approfondie basée sur le principe de la conversion d'une charge provenant des détecteurs à MCP et SCs. Nous avons détaillé le principe de fonctionnement du pré-amplificateur de charge et du pulse shaper. Cette étude nous a permis de montrer que la vitesse, le gain, le bruit et la consommation de notre système sont corrélés. Ainsi, selon les performances visées par l'instrumentation, il faudra trouver un compromis entre ces différents éléments.

### III.7. Références

- [44] Stassinopoulos, E.G. et Raymond, J.P., "The space radiation environment for electronics." *IEEE Trans. Nucl. Sci.* 76(11):1423–1442, 1988.
- [45] Boscher D., J.L. Bougeret, J. Breton, P. Lantos, J.Y. Prado, M. Romero,, *Météorologie de l'environnement spatial : rapport final du groupe d'évaluation des besoins.* s.l. : RF CNES/DP/CM 98-252, 1998.
- [46] Leroy, C. et Rancoita, P.G., *Principles of Radiation Interaction in Matter and Detection.* Hackensack, N. J. : World Sci., 2004.
- [47] Peronnard, P., *Méthodes et outils pour l'évaluation de la sensibilité de circuits intégrés avancés face aux radiations naturelles.* Grenoble : Université Joseph Fourier, 2009.
- [48] Toptygin, I.N., *Cosmic Rays in Interplanetary Magnetic Fields.* Dordrecht : D.Reidel Publishing Company, 1985.
- [49] Knecht, D.J. et Shuman, B.M., *The Geomagnetic Field, Chapter 4 of Handbook of Geophysics and the Space Environment.* Springfield : Editor Jursa, A.S., Air Force Geophysics Lab, 1985.
- [50] Binder, D., Smith, E. C. et Holman, A. B., "Satellite Anomalies from Galactic Cosmic Rays." *Nuclear Science, IEEE Transactions.* vol.22, no.6, pp.2675-2680, 1975.
- [51] J.F., Ziegler et W.A., Lanford., "Effect of Cosmic Rays on Computer Memories ." *Science.* 206 (4420), 776-788., 1979.
- [52] Musseau, O., et al., "SEU in SOI SRAMs-a static model." *Nuclear Science, IEEE Transactions.* vol.41, no.3, pp.607-612, Jun 1994, 1994.

- [53] Lambert, .D., *Analyse par simulation monte carlo de la sensibilité aux aleas logiques des memoires SRAM soumises a un environnement protonique spatial ou neutronique terrestre.* Montpellier : Université Montpellier II, Sciences et techniques du Languedoc, 2006.
- [54] A., Baschirotto, et al., "Effects of neutron fluences up to 1016 n/cm<sup>2</sup> and gamma doses up to 5 Mrad on monolithic fast preamplifiers." *Nucl. Instr. and Meth. in Phys. Res.* 122, 73, 1997.
- [55] Consolandi, C., et al., "Systematic investigation of monolithic bipolar transistors irradiated with neutrons, heavy ions and electrons for space applications." *Nucl. Instr. and Meth. in Phys. Res.* 252, 276, 2006.
- [56] Grybos, P., et al., "RX64DTH - a fully integrated 64-channel ASIC for a digital X-ray imaging system with energy window selection." *Nuclear Science, IEEE Transactions.* vol.52, no.4, pp. 839-846, 2005.
- [57] Yeom, J.Y., et al., "A 12-Channel CMOS Preamplifier-Shaper-Discriminator ASIC for APD and Gas Counters." *Nuclear Science, IEEE Transactions .* vol.53, no.4, pp.2204-2208, 2006.
- [58] Oo, K.T.Z., Mandelli, E. et Moses, W.W., "A High-Speed Low-Noise 16-Channel CSA With Automatic Leakage Compensation In 0.35- $\mu$ m CMOS Process for APD-Based PET Detectors." *Nuclear Science, IEEE Transactions.* vol.54, no.3, pp.444-453, 2007.
- [59] Noulis, T., Siskos, S. et Sarrabayrouse, G., "Noise optimised charge-sensitive CMOS amplifier for capacitive radiation detectors." *Circuits, Devices & Systems, IET.* vol.2, no.3, pp.324-334, 2008.
- [60] Dodd, P.E., et al., "Current and Future Challenges in Radiation Effects on CMOS Electronics." *Nuclear Science, IEEE Transactions.* vol.57, no.4, pp.1747-1763, 2010.
- [61] Oldham, T.R. et McLean, F.B., "Total ionizing dose effects in MOS oxides and devices." *Nuclear Science, IEEE Transactions.* vol.50, no.3, pp. 483- 499, 2003.
- [62] Hughes, H.L. et Benedetto, J.M., "Radiation effects and hardening of MOS technology: devices and circuits." *Nuclear Science, IEEE Transactions.* vol.50, no.3, pp. 500- 521, 2003.
- [63] Schwank, J.R., et al., "Radiation Effects in MOS Oxides." *Science, IEEE Transactions.* vol.55, no.4, pp.1833-1853, 2008.
- [64] Lacoë, R.C., "Improving integrated circuit performance through the application of hardness-by-design methodology." *IEEE Trans. Nucl. Sci.* vol. 55, no. 4, pp. 1903–1925, 2008.
- [65] Faccio F., Velazco R., Fouillat P., Reis R., *Radiation Effects on Embedded Systems.* s.l. : Springer-Verlag, 2007.

- [66] Hopkins, T., *An Automated Approach to a 90-nm CMOS DRFM DSSM Circuit Design, A thesis*. Wright State University : A.M.S. Egr., Department of Electrical Engineering, 2010.
- [67] Anelli, G., *Design and characterization of radiation tolerant integrated circuits in deep submicron CMOS technologies for the LHC experiments*. Grenoble : Institut National Polytechnique de Grenoble, 2000.
- [68] Bernal, O., *Conception de Convertisseurs Analogique-Numérique en technologie CMOS basse tension pour chaînes Vidéo CCD Spatiales*. Toulouse : Institut National Polytechnique de Toulouse, 2006.
- [69] Enz, C.C. et Vittoz, E.A., *Charge-Based MOS Transistor Modeling: The EKV Model for Low-Power and RF IC Design*. s.l. : Wiley, 2006.
- [70] Comer, D.J. et Comer, D.T., "Using the weak inversion region to optimize input stage design of CMOS op amps." s.l. : Circuits and Systems II: Express Briefs, IEEE Transactions on, 2004, Vol. vol.51, no.1, pp. 8- 14.
- [71] Enz, C. C., Krummenacher, F. et Vittoz, E. A., "An analytical MOS transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications." *Analog Integrated Circuits and Signal Processing*. Vol. 8, pp. 83-114, 1995.
- [72] Spieler, H., *Semiconductor Detector Systems*. s.l. : Oxford University Press, USA, 2005.
- [73] Kapłon, J., *Fast Bipolar and CMOS Rad-Hard Front End Electronics for Silicon Strip Detectors*. Cracow : AGH UNIVERSITY OF SCIENCE AND TECHNOLOGY CRACOW, POLAND, 2004.
- [74] Weng, M., et al., "A high-speed low-noise CMOS 16-channel charge-sensitive preamplifier ASIC for APD-based PET detectors." *Nuclear Science, IEEE Transactions*. vol.50, no.4, pp. 898- 902, 2003.
- [75] Kaplon, J. et Dabrowski, W., "Fast CMOS binary front end for silicon strip detectors at LHC experiments." *Nuclear Science, IEEE Transactions*. vol.52, no.6, pp.2713-2720, 2005.
- [76] Tajima, H., et al., "Performance of a low noise front-end ASIC for Si/CdTe detectors in Compton gamma-ray telescope." *Nuclear Science, IEEE Transactions*. vol.51, no.3, pp. 842-847, 2004.
- [77] Bonvicini, V., et al., "A Double-Gain, Large Dynamic Range Front-end ASIC With A/D Conversion for Silicon Detectors Read-Out." *Nuclear Science, IEEE Transactions*. vol.57, no.5, pp.2963-2970, 2010.
- [78] Kishishita, T., et al., "Low-Noise Analog ASIC for Silicon and CdTe Sensors." *Nuclear Science, IEEE Transactions*. vol.57, no.5, pp.2971-2977, 2010.

- [79] Cajipe, V.B., et al., "Multi-Channel Charge Amplifier-Discriminator-Counter IC for the Space Sciences." *Nuclear Science Symposium Conference Record*. vol.3, no., pp.1605-1608, 2006.
- [80] Vandebussche, J., et al., "A fully integrated low-power CMOS particle detector front-end for space applications." s.l. : Nuclear Science, *IEEE Transactions on*, 1998, Issue 4, Vol. 45. pp.2272-2278.
- [81] Sansen, W.M.C. et Chang, Z.Y., "Limits of low noise performance of detector readout front ends in CMOS technology." *Circuits and Systems, IEEE Transactions*. vol.37, no.11, pp.1375-1382, 1990.
- [82] Tsividis, Y., *Operation and Modeling of the MOS Transistor 2nd ed.* New York : McGraw-Hill, 1999.
- [83] Manghisoni, M., et al., "Resolution Limits in 130 nm and 90 nm CMOS Technologies for Analog Front-End Applications." s.l. : Nuclear Science, *IEEE Transactions on*, 2007, Vol. 54, no.3, pp.531-537.

# Chapitre IV

## Intégration en technologie CMOS 0.35 $\mu\text{m}$ d'une chaîne d'instrumentation pour la détection de particules par un détecteur spatial.

---

*L*a chaîne d'instrumentation pour la MCP à mettre en œuvre va permettre de faire de la détection d'ions et d'électrons issus des plasmas spatiaux (voir Chapitre I, II et III).

*Pour améliorer les performances de détection, il faut augmenter les résolutions spatiales et spectrales ce qui engendre une augmentation du nombre de voies donc de l'encombrement et de la consommation.*

*La première partie de ces travaux a été de concevoir une chaîne d'instrumentation intégrée en technologie CMOS pour une MCP. Le principal objectif est de démontrer que l'utilisation d'une technologie intégrée permet d'améliorer sensiblement les performances de détection par rapport à une solution à éléments discrets qualifiés pour le spatial.*

*L'utilisation de technologie CMOS basse-tension nécessite d'étudier les circuits de polarisation tels que les miroirs de courant, les différents étages d'amplification ainsi que la logique utilisée pour la détection de la charge. Une étude sur les temps de réponse doit aussi être faite pour optimiser la vitesse du système.*

### IV.1. Technologie CMOS 0.35 $\mu\text{m}$

#### IV.1.1. Tenue aux radiations

La première étape du développement est de choisir une technologie. Nous avons vu dans le chapitre III que les technologies fines permettent d'avoir une meilleure tenue aux radiations.



Cependant, le choix d'une technologie trop fine pénalise la dynamique de tension, ce qui a tendance à augmenter le bruit de commutation de la partie numérique.

Pour les missions en faible orbite terrestre, les systèmes électroniques doivent tolérer une dose totale ionisante minimale de 20 krad pour une durée de la mission de deux années [44]. Afin de remplir cette condition, nous nous basons sur des études de tenue aux radiations [60] (figure III-7). Nous choisissons donc une technologie 0.35  $\mu\text{m}$  car on voit qu'elle peut tenir plus de 50 krad et tolère une tension d'alimentation de 3.3 V. De plus, en utilisant les techniques de conception présentées au chapitre III, nous espérons améliorer encore la tolérance aux radiations du circuit.

### IV.1.2. Présentation de la technologie AMS CMOS 0.35 $\mu\text{m}$

Par définition, un ASIC permet d'implémenter, des fonctions électroniques complexes sur silicium, à condition de respecter les règles de dessin (DRC) imposées par le fabricant. Le choix de la technologie standard d'AMS CMOS 0.35  $\mu\text{m}$ , s'est fait car, outre le fait qu'elle possède le bon compromis tension d'alimentation/tenue aux radiations, cette technologie est mature, facile d'utilisation et peu onéreuse. La vue en coupe est présentée sur la figure IV-1.

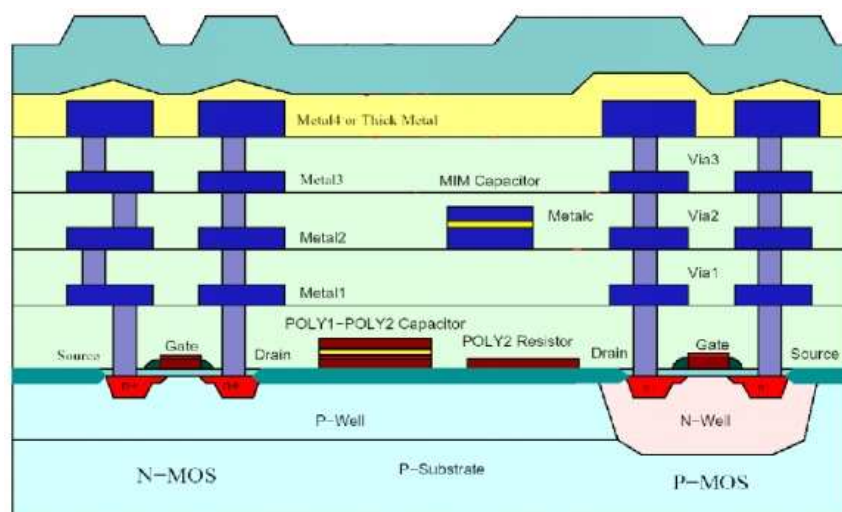


figure IV-1 : Vue en coupe du die incluant les transistors et les composants passifs du processus d'AMS CMOS 0.35  $\mu\text{m}$ .

## IV.2. Détection de la charge

Convertir une charge en tension (CPA+PS) est une étape nécessaire mais il reste maintenant à exploiter cette tension. Aujourd'hui, l'apport de fonctions numériques dans ce type de système est décisif pour faciliter le traitement des données (calculs, stockage...). L'architecture à utiliser pour cela dépendra de l'application souhaitée et du détecteur utilisé.

### IV.2.1. Principe

Déjà présent dans de nombreux systèmes, le comptage d'événements permet de discriminer une charge. La structure utilisée est souvent à base de comparateur. Ce dernier permet de comparer le signal présent en sortie du bloc analogique CPA+PS avec une référence ajustable. Ces comparateurs permettent de détecter des charges, comme utilisé dans les architectures [75; 76; 79]. Dans d'autres systèmes plus complexes, on peut aussi discerner la valeur de charges en changeant le niveau de la référence de tension de deux comparateurs [56; 57]. Dans ces systèmes de double comparaison, on modifie les niveaux de déclenchement haut et bas pour cibler au plus près la tension de sortie du PS et ainsi obtenir avec plus ou moins de précision la valeur de la charge.

Dans la figure IV-2, nous présentons une architecture classique de détection d'événements à l'aide d'un comparateur à seuil ajustable.

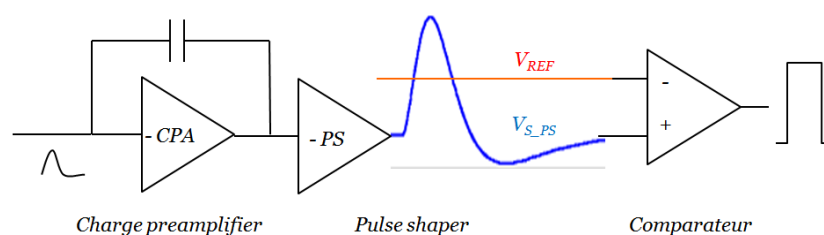


figure IV-2 : Architecture classique de détection d'événements à l'aide d'un comparateur à seuil ajustable.

Certaines structures proposent aussi un balayage du seuil en utilisant un DAC (digital-to-analog converter) [79] afin d'automatiser la détection d'amplitude.

### IV.2.2. Système de détection pour la MCP

Dans cette étude, nous allons détecter les électrons secondaires émis par la MCP afin de les compter. Nous avons vu précédemment que la MCP ne permet pas de retrouver l'énergie déposée par la particule. L'identification de cette énergie est effectuée en amont par un déflecteur électrostatique dont on peut modifier la HT (haute tension).

La chaîne de conversion choisie est la suivante : Le bloc analogique CPA+PS, un comparateur à seuil réglable et un monostable (figure IV-3).

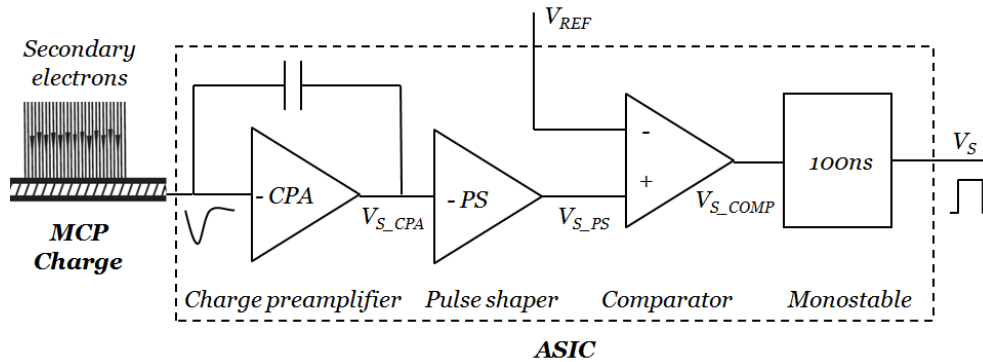


figure IV-3 : Système de conversion analogique-numérique permettant de détecter la charge générée par une particule dans une MCP.

Le bloc analogique CPA+PS permet de convertir la charge en tension. Le comparateur permet de détecter la charge en plaçant le seuil juste au dessus du niveau de bruit du PS. Ici, le comptage des évènements est fait à l'extérieur de la chaîne pour être synchronisé avec la valeur de la HT. La donnée doit donc être normalisée afin de s'adapter au système numérique suivant. L'utilisation d'un monostable permet d'obtenir la même largeur d'impulsion logique en sortie de la chaîne quelque soit la valeur de la charge. Cela permet aux systèmes de comptage de ne pas perdre d'information. La figure IV-4 montre l'effet de correction du monostable sur la largeur d'impulsion du comparateur.

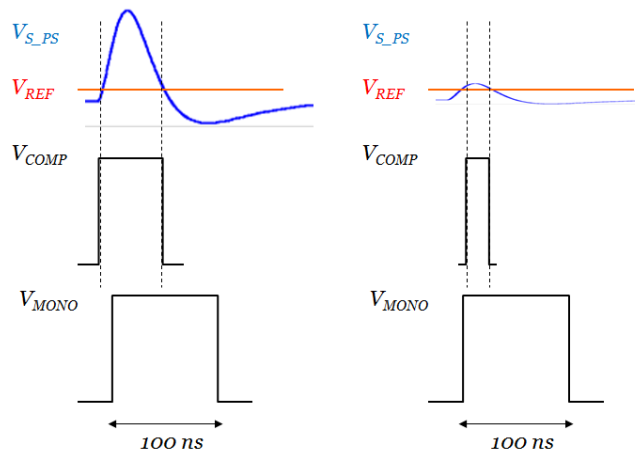


figure IV-4 : Ajustement de la durée d'impulsion du comparateur par un monostable. Pour une forte charge (à gauche) et une faible charge (à droite) d'après la figure IV-3.

Ce bloc est aussi utilisé dans [76] et [79]. Le problème qui peut survenir dans cette architecture est que, lorsqu'un deuxième évènement arrive sur une même anode pendant la durée de l'impulsion générée par le premier, il est perdu. Or, si la vitesse de conversion du système est rapide, la probabilité pour que cet effet survienne devient négligeable. Nous avons calculé avec la formule (III-39) que la durée de non disponibilité du PS est de  $1/F_{Utile}$ . Il faut

donc choisir une durée d'impulsion plus courte que cette valeur en prenant en compte les temps de retard pour que les systèmes suivant puissent la détecter.

### IV.3. Spécifications de l'instrumentation

Le tableau II-1 présente un récapitulatif des caractéristiques de la MCP montée en chevron du Chapitre II.

tableau IV-1 : Caractéristiques du détecteur à MCPs montées en chevron.

Caractéristiques	Symboles	MCPs montées en Chevron
Gamme du gain	-	0 à $6.2 \times 10^6$
Charge équivalente (pC)	$Q_{in}$	0 à 1
Temps de collecte (ns)	$t_c$	0 à 1
Capacité équivalente (pF)	$C_{det}$	3
Courant de fuite (nA)	$I_S$	10
Fréquence de fonctionnement maximale (MHz)	$F_{Utile}$	2.5
Nombre d'anodes	-	16

La plage en tension de sortie du système est définie à partir de la technologie du process utilisée (ici 3.3 V). Cette valeur est réduite de moitié pour laisser une dynamique en tension suffisante permettant de bien polariser les transistors des OTAs. La sortie du PS doit donc avoir une dynamique linéaire de 1.65 V. En reprenant la réponse probabiliste en charge des MCPs à une particule, nous pouvons lui faire correspondre la linéarité en tension du circuit (figure IV-5).

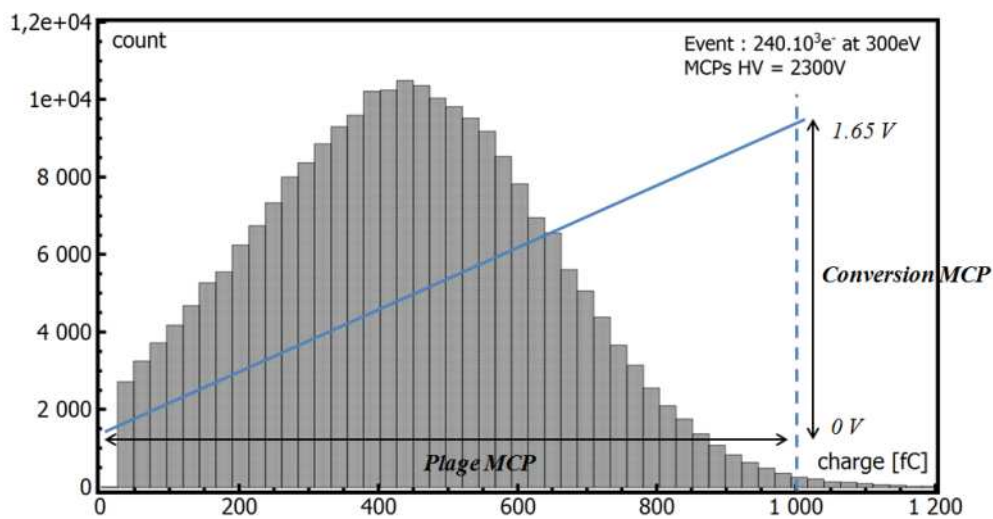


figure IV-5 : Réponse probabiliste en charge de la MCP à une particule (histogramme) pour une HV de 2300 V avec la linéarité en tension voulue pour notre système (bleu).

La résolution du système est égale à :

$$\text{Résolution} = \frac{\Delta V_{S\_PS\_MAX}}{\Delta Q_{MAX}} = \frac{1.65}{1.10^{-12}} = 1.65 \text{ mV/fC} \quad (\text{IV-1})$$

La fréquence de fonctionnement de la MCP est de 2.5 MHz. Nous pouvons calculer le peaking time maximal de la partie analogique en n'utilisant qu'une seule intégration définie par (III-39) :

$$t_{S\_MAX} = \frac{1}{(1 + 5) F_{Utile}} = 66 \text{ ns.} \quad (\text{IV-2})$$

En respectant cette spécification, nous allons concentrer nos efforts sur la réduction du bruit et de la consommation.

## IV.4. Les miroirs de courant

La conception des miroirs de courant est une étape primordiale dans la conception d'un circuit analogique car elle détermine en partie la polarisation des transistors. Une source de courant réelle est modélisée par une source de courant idéale en parallèle avec une résistance qui, dans l'idéal, est infinie. Aboutir à une résistance de sortie élevée (ce qui signifie que le courant de sortie ne varie presque pas avec la tension aux bornes de la source de courant) est l'objectif de ce paragraphe [84].

### IV.4.1. Le miroir de base

Le miroir de base est composé de 2 transistors MOS M1 et M2 (figure IV-6 (à gauche)).

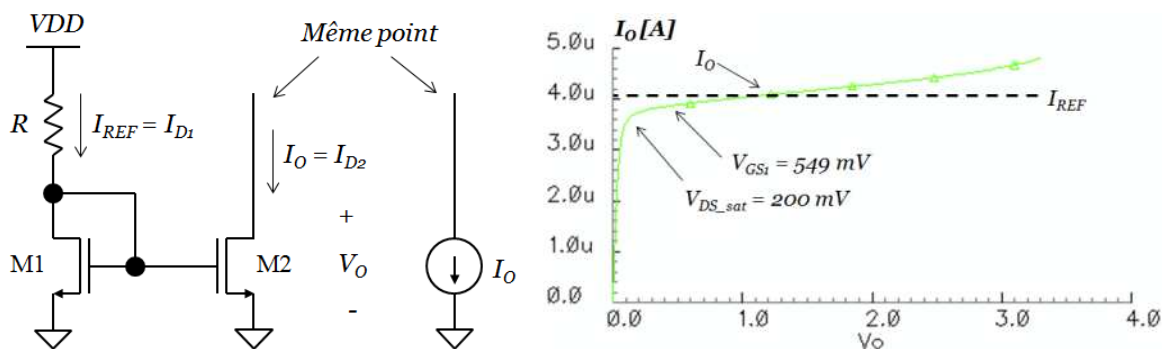


figure IV-6 : Le miroir de courant de base NMOS associé à son modèle idéal (à gauche). Tracé de  $I_O$  en fonction de  $V_O$  en sortie du miroir (à droite) avec des  $W/L$  de 10/0.7.

La résistance  $R$  sert de référence de courant et de polarisation du miroir. Nous remarquons que  $V_{GS1} = V_{GS2} = V_{DS1}$ . En négligeant la modulation de la longueur du canal ( $\lambda = 0$ ), le rapport des courants de chaque nœud donne :

$$\frac{I_O}{I_{REF}} = \frac{W_2/L_2}{W_1/L_1} \quad (\text{IV-3})$$

$I_0$  est la copie de  $I_{REF}$  au rapport des dimensions des transistors (ici 10/0.7). La simulation du miroir de courant pour obtenir 4 µA est représentée sur la figure IV-6 (à droite). Nous voyons que le courant  $I_0$  n'est pas exactement de 4 µA et dépend fortement de  $V_0$ . Aussi, en dessous de  $V_{DS\_sat}$  (200 mV), M2 passe en régime ohmique et le courant de sortie  $I_0$  tend vers zéro. Cette source ne peut être utilisée qu'entre  $V_{DS\_sat}$  et  $VDD$ .

Le premier défaut de cette structure provient de la résistance  $R$  qui sert à régler le courant de polarisation. Elle entraîne des courants qui sont trop dépendants de la valeur d'alimentation et de la température. En effet, le courant de sortie dépend à la fois du courant de référence  $I_{REF}$  et de  $V_{DS2}(\lambda)$  qui vont être sensibles aux variations d'alimentation et au bruit. Le deuxième défaut provient de l'utilisation d'un seul MOS en sortie qui donne une impédance de sortie  $R_0 = r_{ds2}$  assez faible et provoque donc une grande variation de pente  $I_0/V_0$ . Si nous pouvions maintenir la tension drain-source des MOS constante, alors le courant ne varierait pas et l'incertitude sur la polarisation serait moindre.

#### IV.4.2. Source de polarisation indépendante

Afin de rendre le courant de polarisation  $I_{REF}$  indépendant vis-à-vis des valeurs d'alimentation et de la température, nous allons utiliser un circuit capable de remplacer la résistance de polarisation  $R$ . La structure sur la figure IV-7 est utilisée pour avoir le même courant dans M1 et M2 et ainsi permettre d'utiliser ses références miroitées  $V_{biasp}$  et  $V_{biasn}$ .

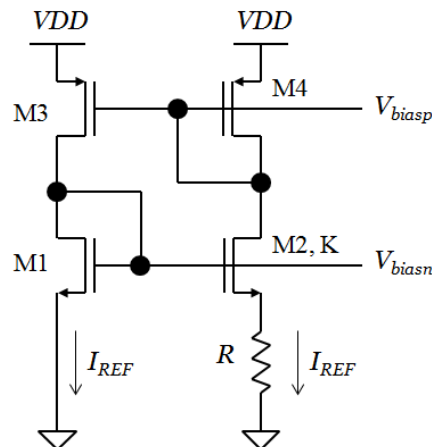


figure IV-7 : Source de polarisation indépendante « Beta-multiplier reference ».

Pour montrer l'indépendance à  $VDD$  de ce circuit, partons de  $V_{GS1}$  qui est défini par :

$$V_{GS1} = V_{GS2} + RI_{REF} \text{ avec } V_{GS} = \sqrt{\frac{2I_D}{\beta}} + V_{THN} \quad (\text{IV-4})$$

Cela n'est valable que si  $V_{GS1} > V_{GS2}$ . Pour s'assurer que c'est toujours le cas, nous utilisons une plus grande valeur de  $\beta = K_p W/L$  sur M2 par rapport à M1 ( $\beta_2 = K\beta_1$ ) de sorte que moins de  $V_{GS}$  soit nécessaire pour conduire  $I_{REF}$ . Cela se fait simplement en utilisant un plus grand  $W$  à M2 qu'à M1 ( $W_2 = KW_1$ ). Ce type de circuit est alors appelé circuit de référence « Beta-multiplier reference ». Ainsi nous pouvons écrire que :

$$I_{REF} = \frac{2}{R^2 K_{p,n} \frac{W_1}{L_1}} \left(1 - \frac{1}{\sqrt{K}}\right)^2 \quad \text{et} \quad V_{DS_{sat}} = V_{GS} - V_{TH,n} = \frac{2}{RK_{p,n} \frac{W_1}{L_1}} \left(1 - \frac{1}{\sqrt{K}}\right) \quad (\text{IV-5})$$

Dans ces formules, nous voyons que  $I_{REF}$  et  $V_{DS_{sat}}$  sont indépendants de VDD.  $g_m$  est constant quel que soit la valeur de  $K$ . On prend en général un carré parfait et souvent la valeur 4 qui donne par la formule (IV-5) :

$$g_m = \sqrt{2K_{p,n} \frac{W_1}{L_1} I_{REF}} = \frac{1}{R} \quad (\text{IV-6})$$

Ce paramètre est indépendant des variations de process du MOS. Aussi, la résistance  $R$  utilisée est beaucoup plus faible que celle utilisée dans le miroir classique de la figure IV-6.

### IV.4.3. Le miroir cascode

Pour améliorer l'impédance de sortie  $R_0$  d'un miroir, le principe est de cascode le miroir de courant basique avec deux transistors M3 et M4 (figure IV-8 (à gauche)).

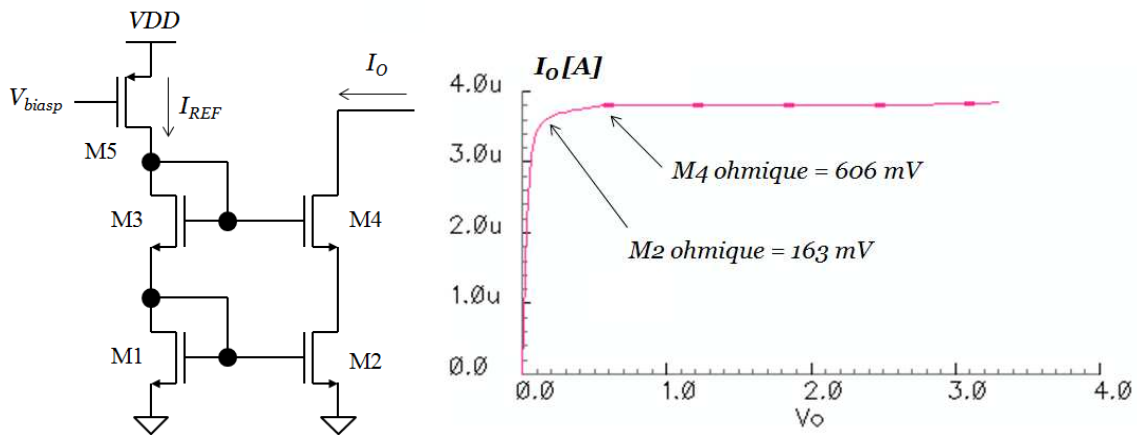


figure IV-8 : Le miroir de courant cascodé NMOS (à gauche). Tracé de  $I_0$  en fonction de  $V_0$  en sortie du miroir (à droite) avec des  $W/L$  de 10/0.7.

Dans ce type de montage l'impédance de sortie  $R_0$  est exprimée par :

$$R_0 = (1 + g_{m4} r_{ds2}) r_{ds4} + r_{ds2} = (2 + g_m r_0) r_0 \approx g_m r_0^2 \quad (\text{IV-7})$$

avec  $r_0 = r_{ds2} = r_{ds4}$  dans le cas où l'on utilise les mêmes transistors. Cette structure permet alors d'atteindre des valeurs de  $R_0$  de l'ordre de plusieurs dizaines de  $\text{M}\Omega$  pour une longueur

de grille de 0.7 µm dans ce cas. Le problème que l'on peut remarquer est que le  $V_{0\_min}$  est amplement augmenté :

$$V_{0\_min} = V_{DS4\_sat} + V_{GS} = 2V_{DS4\_sat} + V_{TH\_n} \quad (IV-8)$$

Ce  $V_{0\_min}$  devient plus important que celui du miroir de base (ici supérieur à 0.6 V sur la figure IV-8 (à droite)) et donc réduit la gamme de tension disponible pour le système. On n'utilisera cette architecture que pour des applications avec de faibles variations de tension.

#### IV.4.4. Le Wide-Swing Cascode

Afin de diminuer le  $V_{0\_min}$  du montage cascode, on part sur le principe d'ajuster les tensions de drain de M2 et M4 à leur minimum de saturation  $V_{DS\_sat}$  (figure IV-9 à gauche).

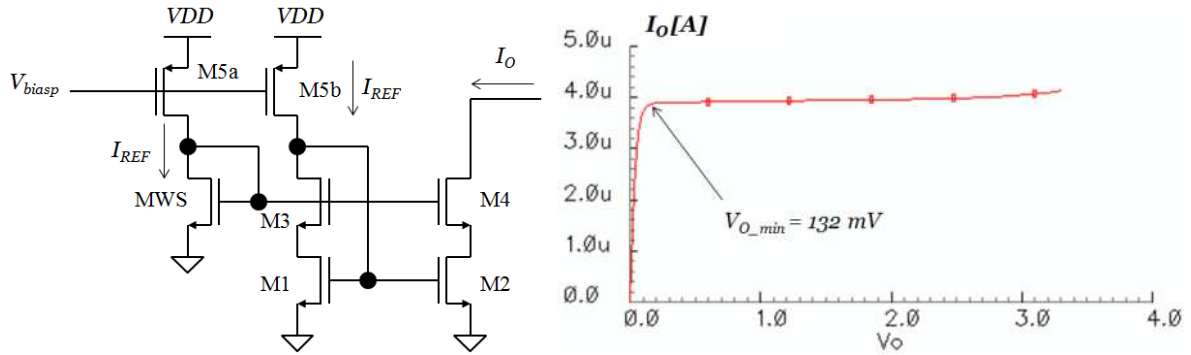


figure IV-9 : Le miroir de courant Wide-Swing Cascode NMOS (à gauche). Tracé de  $I_o$  fonction de  $V_o$  en sortie du miroir (à droite) avec des  $W/L$  de 10/0.7 et 2.5/0.7 pour MWS.

Pour cela nous utilisons une diode pour générer la tension de grille de M2. Pour régler la tension de référence de M4, un transistor (MWS) dont on peut faire varier le  $W/L$  est utilisé.

Le courant  $I_{REF}$  traversant le transistor M2 est donné par :

$$I_{REF} = \frac{K_{p-n} W_2}{2 L_2} (V_{GS} - V_{TH\_n})^2 \quad (IV-9)$$

Et le courant  $I_{REF}$  traversant le transistor MWS :

$$I_{REF} = \frac{K_{p-n} W_{MWS}}{2 L_{MWS}} (2(V_{GS} - V_{TH\_n}))^2 \quad (IV-10)$$

Ainsi nous pouvons définir la taille du transistor MWS par rapport aux autres en utilisant les équations (IV-9) et (IV-10) :

$$\frac{W}{L} = 4 \times \frac{W_{MWS}}{L_{MWS}} \quad (IV-11)$$

Pour finir, l'ajout du transistor M3 permet de diminuer le  $V_{DS}$  de M1 et donc celui de M2. La résistance en sortie du miroir est notée par :

$$R_0 = (1 + g_{m4} r_{ds2}) r_{ds4} + r_{ds2} \approx (2 + g_m r_o) r_o \approx g_m r_o^2 \quad (IV-12)$$



Cette source a donc un  $V_{0\_min}$  inférieur au cascode classique, ici de l'ordre de 0.1 V (figure IV-9 à droite) et une résistance de sortie supérieure à la dizaine de  $\text{M}\Omega$ . Sa structure n'est pas très compliquée et ne prend pas beaucoup de place. C'est donc cette dernière que nous allons utiliser dans nos applications.

## IV.5. Conception du CPA

Dans ce chapitre, nous allons dimensionner le CPA pour la MCP en prenant en compte la vitesse, le bruit et la consommation. La figure IV-10 propose la schématique du CPA associée au modèle de la MCP.

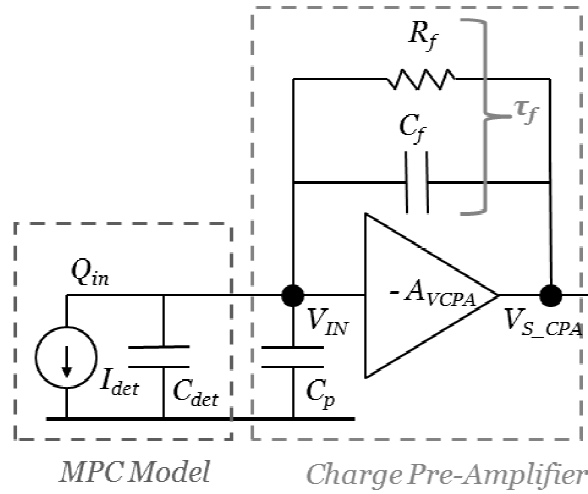


figure IV-10 : Représentation du modèle de la MCP avec le CPA.

$C_p = 2 \text{ pF}$  représente les capacités parasites d'entrée dans l'ASIC.

### IV.5.1. Calcul des composants passifs

La capacité  $C_f$  est calculée à partir de la dynamique que nous voulons donner en sortie du CPA. En nous référant sur une composante continue de 1.65 V en sortie du CPA, nous choisissons une dynamique de 1 V pour éviter toute saturation ou sortir du domaine de linéarité de l'OTA.  $C_f$  est alors égale à :

$$C_f = \frac{\Delta Q_{MAX}}{\Delta V_{S\_CPA}} = \frac{1 \text{ pC}}{1 \text{ V}} = 1 \text{ pF}. \quad (\text{IV-13})$$

La résistance  $R_f$  est calculée à partir de la fréquence maximale de répétition du circuit  $F_{Utile}$  afin de décharger totalement  $C_f$  dans le laps de temps correspondant :

$$\tau_f = R_f C_f = \frac{1}{2\pi F_{Utile}} - \frac{t_r}{2\pi} = 56 \text{ ns}. \quad (\text{IV-14})$$

$t_r$  représente le temps de montée du CPA qui doit être égal au temps de shapping  $t_s$ . Nous fixons alors les temps  $t_r = t_s = 50 \text{ ns} < t_{S\_MAX}$  pour prendre une marge d'erreur. Ainsi  $R_f$  est fixée à moins de 56 k $\Omega$ .

### IV.5.2. Produit gain bande passante

Afin de déterminer le gain en boucle ouverte de l'OTA, nous utilisons la formule du produit gain bande passante (GBW) en boucle ouverte du CPA d'après l'équation (III-20) :

$$GBW_{CPA} = \frac{1}{2\pi\tau_{in}} \frac{C_{in}}{C_f} = 35 \text{ MHz} \quad (\text{IV-15})$$

avec  $t_r = 2.2\tau_{in}$ . Ainsi le produit gain bande passante du CPA est de 35 MHz si l'on considère  $C_{in} = C_{det} + C_p = 5 \text{ pF}$ .

La bande passante à prendre en compte dans le calcul du CPA est fonction du SR (Slew Rate). En effet, la sortie doit être capable d'atteindre la valeur attendue à 0.1 % près en un temps de  $t_{0.1}$ . Dans ce cas, le temps mis par l'OTA pour atteindre cette valeur est de 7 constantes de temps ( $\text{Ln}(1000) \approx 7$ ). La bande passante  $BW_{0.1}$  de l'OTA est alors définie par :

$$BW_{0.1} = \frac{7}{2\pi t_{0.1}} = \frac{1}{2\pi\tau_{in}} \quad (\text{IV-16})$$

Ainsi, il faut vérifier que le SR soit au minimum de :

$$SR = \frac{I_{OUT}}{C_{L2}} > \frac{\Delta V_{max}}{\Delta t} = \frac{1.65}{50 \cdot 10^{-9}} = 33 \text{ V}/\mu\text{s} \quad (\text{IV-17})$$

où  $C_{L2}$  représente l'impédance complexe du nœud de sortie du CPA et  $I_{OUT}$  le courant maximal disponible en sortie de l'OTA. La fréquence de coupure en boucle fermée  $f_{C2}$  est égale à  $BW_{0.1}$  :

$$f_{C2} = \frac{GBW_{CPA}}{A_v} \approx GBW_{CPA} \frac{C_f}{C_{in}} = \frac{1}{2\pi\tau_{in}} = 7 \text{ MHz} \quad (\text{IV-18})$$

### IV.5.3. Choix de l'OTA

L'amplificateur opérationnel à transconductance idéal a une bande passante infinie avec une impédance d'entrée et de sortie infinies. Dans cette première étude nous utiliserons une architecture qui permet d'avoir un grand gain DC avec une large bande passante adaptée à notre application. Afin de choisir la structure d'amplification la plus adéquate, nous allons commencer par étudier les amplificateurs à un seul étage [85; 86].

## a) La source commune

L'amplificateur à source commune convertit une tension d'entrée  $v_{IN}$  en un courant de sortie  $i_{OUT}$ , au moyen de la transconductance  $g_m$  du transistor M1 (figure IV-11 à gauche).

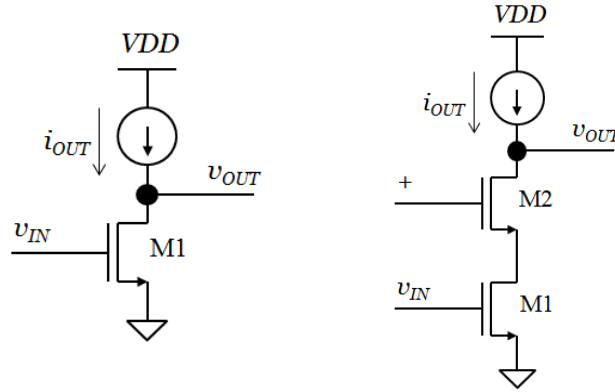


figure IV-11 : L'amplificateur à source commune (à gauche) et cascode (à droite).

L'amplification en courant de sortie  $i_{OUT}$  s'écrit :

$$i_{OUT} = g_{m1}v_{IN} \quad (IV-19)$$

Le gain en tension est noté  $A_{v\_sc} = g_{m1}R_{OUT\_sc}$  avec l'impédance de sortie  $R_{OUT\_sc} = r_{ds1}$ . Dans le cas où l'on place un transistor MS pour générer le courant, l'impédance est alors définie par  $R_{OUT\_sc} = r_{ds1}/r_{dsS}$ . La valeur quadratique moyenne du bruit en tension d'une source commune ramenée sur l'entrée du transistor M1 est donnée par :

$$\overline{v_{ieq}^2} = \overline{v_1^2} + \overline{v_{SC}^2} \left( \frac{g_{mS}}{g_{m1}} \right)^2 \approx \overline{v_1^2} \quad (IV-20)$$

où  $\overline{v_x^2}$  est la valeur quadratique moyenne du bruit en tension de MX en série avec la grille. Pour réduire le bruit, il faut diminuer  $g_{m2}$  donc diminuer son W/L et augmenter son  $V_{GS} - V_T$ .

## b) Le cascode

En ajoutant un transistor M2 cascodé celui-ci agit alors comme un amplificateur à grille commune et son gain en tension est  $A_{v\_sc} = g_{m2}r_{ds2}$  (figure IV-11 à droite). Le gain en tension total est maintenant égal au produit des gains de ces 2 transistors :

$$A_{v\_cas} = g_{m1}r_{ds1}g_{m2}r_{ds2} \quad (IV-21)$$

En conséquence, il y a augmentation de la résistance de sortie qui vaut maintenant  $R_{OUT\_cas} = (1 + g_{m2}r_{ds1})r_{ds2} + r_{ds1}$ . Ce type de structure est utilisé chaque fois qu'il faut augmenter le gain. Le problème est que le produit gain-bande est toujours le même que le montage à un seul transistor qui est défini par :

$$GBW = \frac{g_{m1}}{2\pi C_L} \quad (IV-22)$$

avec  $C_L$  la capacité sur le nœud de sortie. Cela signifie que le gain sera important au détriment de la bande passante. De plus, le fait que le gain soit important peut rendre le pôle du transistor M1 dominant par rapport à celui de sortie. En effet, l'effet Miller veut que la capacité  $C_M$  soit  $A_{v\_cas}$  fois plus grande que  $C_{gd1}$  et donc provoquer une constante de temps indésirable en entrée. La valeur quadratique moyenne du bruit ramené en entrée d'un cascode est donnée par :

$$\overline{v_{ieq}^2} = \overline{v_1^2} + \overline{v_2^2} \frac{1}{(g_{m1}r_{ds1})^2} \approx \overline{v_1^2} \quad (\text{IV-23})$$

Par conséquent, le bruit d'un cascode est le même que pour un seul transistor mais pour un gain supérieur. C'est l'un des avantages du cascode.

### c) Le cascode télescopique

Une source de courant parfaite n'existe pas (voir partie sur les miroirs). Le cascode télescopique utilise un miroir de courant en série avec l'étage de gain cascodé. Il doit son nom au fait que tous les transistors sont en série entre le VDD et la masse (figure IV-12 à gauche).

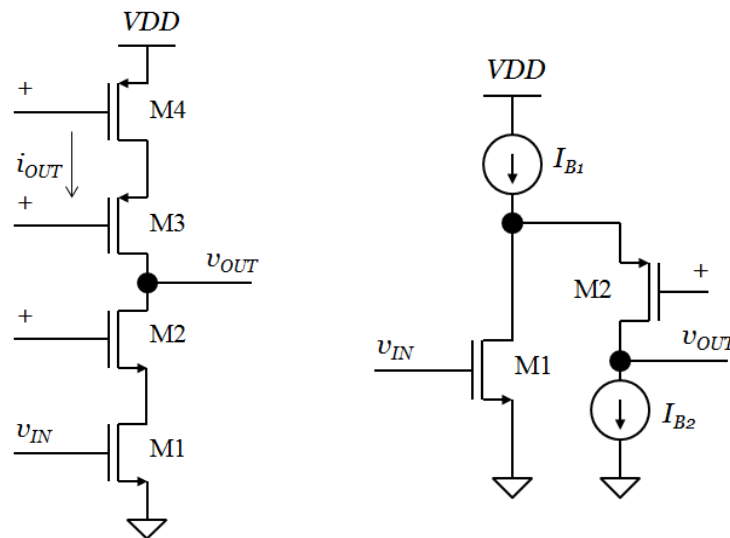


figure IV-12 : L'amplificateur cascode télescopique (à gauche) et folded cascode (à droite).

En utilisant un amplificateur cascodé, nous pouvons définir la résistance de sortie par :

$$R_{OUT\_cas\_t} = R_{OUT\_cas} // R_O \quad (\text{IV-24})$$

Dans le meilleur des cas, la résistance de sortie des transistors M1 et M2 est la même que la résistance de sortie des transistors M3 et M4. La résistance de sortie  $R_{OUT\_cas\_t}$  sera alors réduite de moitié (IV-24) pour un même GBW (IV-22) par rapport aux structures présentées précédemment. Mais le principal inconvénient de cette topologie est que tous les transistors doivent être dans la région de saturation. Cela signifie que la tension minimale  $V_{DS}$  de chaque

transistor est d'environ  $V_{GS} - V_T$ . La plage de tension utilisable en sortie est donc de  $V_{DD} - 4(V_{GS} - V_T)$  ce qui est une perte importante pour des tensions d'alimentation basse.

#### d) Le folded cascode

Le folded cascode est appelé folded car le transistor cascode est maintenant un transistor de type inverse, ici PMOS (figure IV-12 à droite). De ce fait, le courant  $i_{ds1}$  du transistor M1 d'entrée est le même que celui du transistor cascode M2. Le courant de polarisation  $I_{B1}$  est commun aux 2 transistors de telle sorte que  $I_{DS1} = I_{B1} - I_{B2}$ . Cette configuration permet d'atténuer l'effet Miller car l'impédance de la source de courant  $I_{B1}$  est directement sur le drain de M1. Toutes les autres caractéristiques telles que le gain, la bande passante et le GBW, sont les mêmes que pour un cascode télescopique. Notons, cependant que la consommation est supérieure à celle d'un cascode télescopique car il y a 2 mailles. Par ailleurs, la plage maximum de sortie de tension est la même. La valeur quadratique moyenne du bruit en tension ramenée sur l'entrée du transistor M1 est donné par :

$$\overline{v_{ieq}^2} = \overline{v_1^2} + \overline{v_2^2} \frac{1}{(g_{m1}R_{OUT1})^2} + \overline{v_3^2} \left( \frac{g_{m3}}{g_{m1}} \right)^2 \approx \overline{v_1^2} \quad (IV-25)$$

Pour réduire le bruit il faut diminuer le  $g_{m3}$  donc diminuer son W/L ou augmenter son  $V_{GS} - V_T$ . En conclusion, nous choisissons le folded cascode pour son gain, sa bande passante et son faible bruit.

### IV.5.4. Etude petits signaux

Dans la structure choisie « folded cascode » un transistor PMOS est placé en entrée pour diminuer le bruit en 1/f et un NMOS est utilisé en grille commune. Les sources de courant  $I_1$  et  $I_2$  sont représentées par leurs impédances  $R_{0_1}$  et  $R_{0_2}$  et capacités  $C_{0_1}$  et  $C_{0_2}$  respectivement. L'étude du comportement fréquentiel passe par l'établissement du modèle petits signaux du folded cascode présenté sur la figure IV-13 :

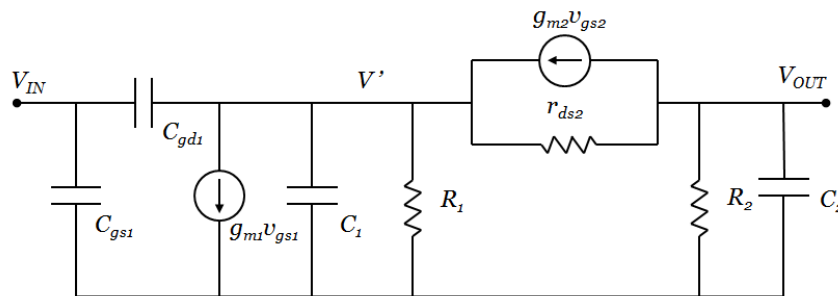


figure IV-13 : Schéma petits signaux de l'amplificateur folded cascode

où  $R_1 = r_{ds1} // R_{0_1}$ ,  $R_2 = R_{0_2}$ ,  $C_1 = C_{db1} + C_{gs1} + C_{0_1}$  et  $C_2 = C_{db2} + C_{gd2} + C_{0_2}$

La fonction de transfert est définie par :

$$A_V = \frac{V_{OUT}}{V_{IN}} = \frac{-g_{m1}R_2(1 + g_{m2}r_{ds2})(1 - C_{gd1}p/g_{m1})}{(1 + R_2C_2p) \left[ 1 + g_{m2}r_{ds2} + \left[ (1 + R_1(C_1 + C_{gd1})p) \left( 1 + \frac{r_{ds2}}{R_2}(1 + R_2C_2p) \right) \right] / R_1 \right]} \quad (IV-26)$$

La transconductance DC de l'OTA  $g_{m\_OTA}$  est définie par :

$$g_{m\_OTA} = g_{m1} \frac{g_{m2}}{\frac{1 + g_{m2}R_{ds2}}{R_{0,2}} + g_{m2}} \approx g_{m1} \quad (IV-27)$$

Nous voyons que le  $g_{m\_AO}$  du folded cascode dépend essentiellement du  $g_{m1}$  du transistor d'entrée M1 si l'impédance de sortie de la source de courant  $I_2$  est élevée  $R_{0,2} > g_{m2}R_{ds2}$  (miroir cascodé). Le GBW de l'OTA est alors égal à  $g_{m1}/(2\pi C_{L2})$ . Dans ces conditions, le  $g_{m1}$  du transistor d'entrée doit être d'au moins 1.1 mS si  $C_{L2} = 5$  pF.

### IV.5.5. L'ENC total

Une fois le  $g_{m1}$  du transistor trouvé, il va falloir le dimensionner. La théorie du bruit (CPA+PS) présentée dans le chapitre III permet de mettre en équation la taille du transistor d'entrée en fonction de son courant de drain  $I_D$  et de l'ENC<sub>total</sub>. L'ENC<sub>Total</sub> du circuit en forte inversion avec un filtre CR – (RC)<sup>1</sup> est calculé avec :

$$ENC_{Total} = \frac{e}{q} \sqrt{\left( \frac{1}{3} kT \frac{1}{g_{m1}} \frac{1}{\tau_s} + \frac{K_f}{2C_{OX}^2(WL)_1} \right) \left( \frac{C_{in} + C_{gs1} + C_{gd1} + C_f}{C_f} \right)^2 + \frac{qI_0\tau_s}{4}} \quad (IV-28)$$

Le courant  $I_D$  est fixé à 320 µA afin de sortir de la zone où l'ENC fluctue quand le courant de drain est trop faible (bruit thermique). Le  $g_m$  du transistor d'entrée doit être supérieur à 1.1 mS et est défini par :

$$g_{m1} = \sqrt{2K_{p,p} \frac{W_1}{L_1} I_D} > 1.1 \text{ mS} \quad (IV-29)$$

avec  $K_{p,p} = 58 \mu A.V^{-2}$ . La simulation de l'ENC<sub>Total</sub> en fonction de  $W_1$  sur la figure IV-14 permet d'ajuster M1 en fixant  $I_D = 320 \mu A$ ,  $L_1 = 2 \mu m$ ,  $\tau_s = 50$  ns,  $C_{in} = 5$  pF et  $I_0 = 10$  nA.

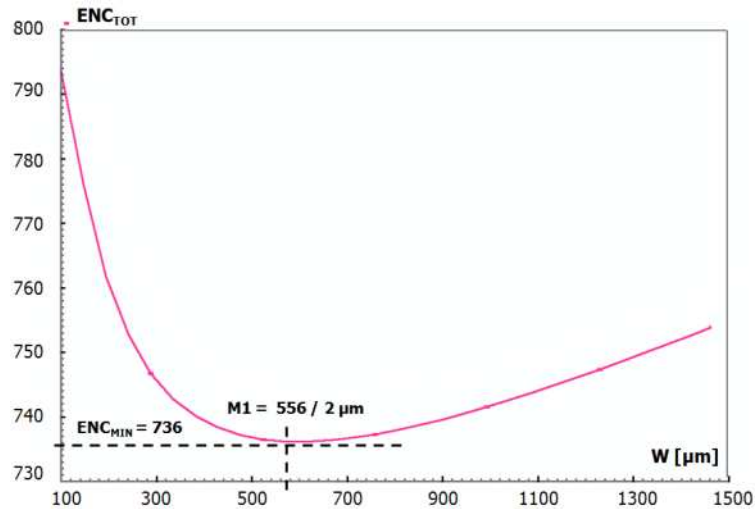


figure IV-14 : Simulation de l' $ENC_{Total}$  en fonction de la largeur de grille  $W_1$  avec  $I_D = 320 \mu\text{A}$ ,  $L_1 = 2 \mu\text{m}$ ,  $\tau_s = 50 \text{ ns}$ ,  $C_{in} = 5 \text{ pF}$  et  $I_0 = 10 \text{ nA}$ .

Nous observons un minimum de bruit de  $736 e^-$  pour  $W_1 = 556 \mu\text{m}$ . Le  $g_{m1}$  est alors de  $3.2 \text{ mS}$ , ce qui est bien supérieur à la valeur limite (soit  $GBW_{CPA} = 102 \text{ MHz}$ ). Ici nous aurions pu chercher à optimiser ce transistor afin d'ajuster le  $g_m$  calculé mais le bruit aurait augmenté énormément. L' $ENC_{Total}$  en fonction de la capacité d'entrée est calculé avec :

$$ENC_{Total} = 685 e^- + 10.2 e^- / \text{pF} \quad (\text{IV-30})$$

#### IV.5.6. Structure du CPA

L'architecture complète du CPA est présentée sur la figure IV-15.

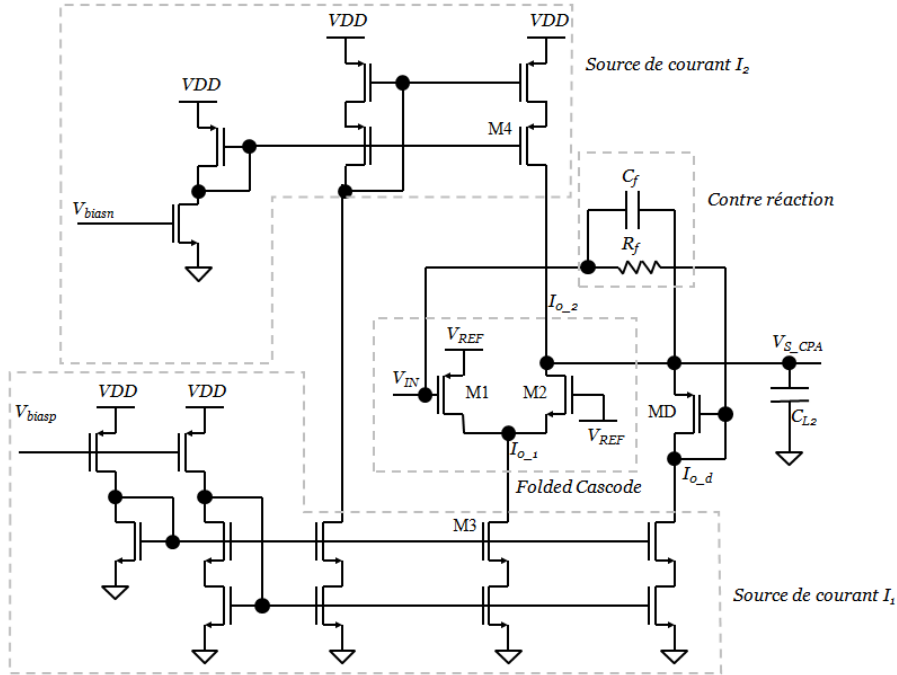


figure IV-15 : Vue au niveau transistors du CPA.

Ce circuit est composé du folded cascode (M1 et M2) polarisé avec 2 miroirs (P et N) de type wide-swing cascode et de la contre réaction  $R_f C_f$ . Le transistor MD est monté en diode pour fixer la tension de sortie à  $V_{DD}/2$  et ainsi correctement polariser la grille du transistor M1 à travers la résistance  $R_f$ . En outre, MD est polarisé par une source de courant  $I_{0,d}$  pour obtenir une résistance équivalente dynamique de MD beaucoup plus petite que  $R_f$ . Le courant  $I_{0,d}$  est donné par :

$$I_{0,d} = \frac{K_{PP}W_2}{2L_2} (V_{GSD} - V_T)^2 \quad (\text{IV-31})$$

Le transistor M2 est ajusté de telle sorte que  $g_{m2} < g_{m1}/10$  et que le courant maximum que peut délivrer ce transistor soit de  $I_{OUT} = SR \times C_{L2} = 165 \mu\text{A}$ .

### IV.5.7. Stabilité

La stabilité en boucle ouverte du CPA est validée en traçant le gabarit de sa réponse en fréquence. Ce circuit a naturellement une marge de phase inférieure à  $45^\circ$ . Elle est compensée par la capacité  $C_L = 2 \text{ pF}$  qui permet d'ajuster cette marge à  $45^\circ$ . La figure IV-16 montre l'effet de cette correction sur le diagramme de bode du CPA en boucle ouverte et figure IV-17 en boucle fermée.



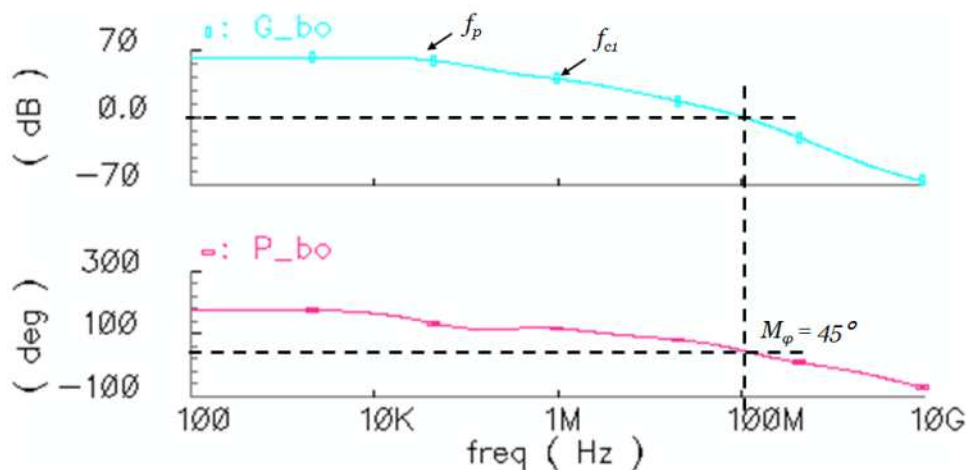


figure IV-16 : Diagramme de bode du CPA en boucle ouverte avec la capacité de compensation  $C_L = 2$  pF en sortie.

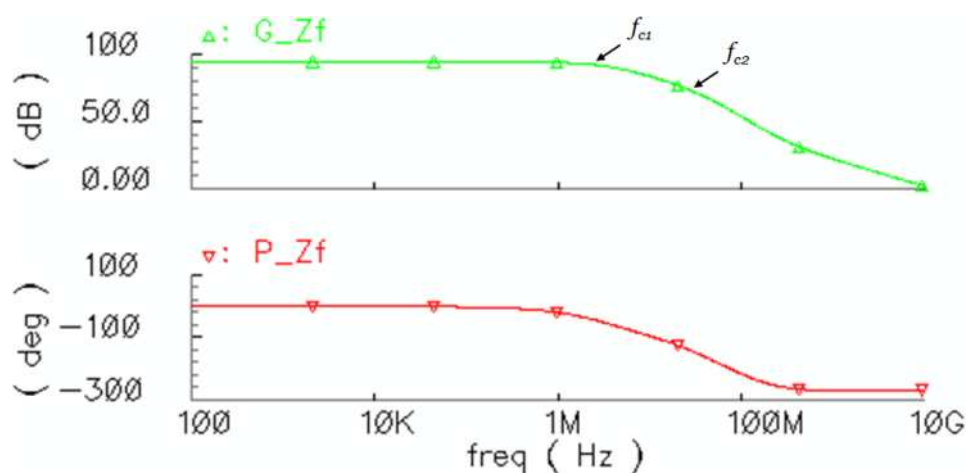


figure IV-17 : Diagramme de bode du CPA en boucle fermée avec la capacité de compensation  $C_L = 2$  pF en sortie.

Le tracé de bode du CPA en boucle fermée permet d'observer les deux pôles du circuit :

$$f_{c1} = \frac{1}{2\pi\tau_f} = 2.8 \text{ MHz} \quad (\text{IV-32})$$

$$f_{c2} = \frac{1}{2\pi\tau_{in}} = \frac{GBW_{CPA}}{A_v} = 14.6 \text{ MHz} \quad (\text{IV-33})$$

## IV.6. Conception du PS

La figure IV-18 présente la vue schématique du PS.

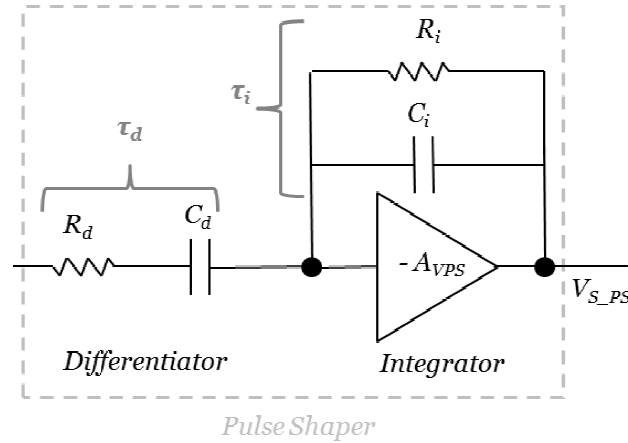


figure IV-18 : Représentation du PS de la chaîne.

Nous utilisons un filtre de type  $CR - (RC)^1$  composé d'un pôle d'intégration  $\tau_i$  et d'un pôle de dérivation  $\tau_d$  qui sont égaux à  $\tau_s$  pour avoir un filtre le plus sélectif possible.

#### IV.6.1. Calcul des composants passifs

Le gain du PS est choisi à partir de la formule (III-39) selon la relation suivante :

$$A_s = \frac{C_f}{\Delta Q_{MAX}} \Delta V_{S\_PS\_MAX} \left(\frac{e}{n}\right)^n n! = C_f \times e \times \text{"Résolution"} \quad (\text{pour } n = 1) \quad (\text{IV-34})$$

avec une "Résolution" définie par (IV-1) à  $1.65 \text{ mV} \cdot \text{fC}^{-1}$ , nous trouvons un gain  $A_s = 4.48$ . En reprenant l'étude de ce type de filtre effectuée dans le chapitre III, nous pouvons utiliser les formules suivantes (III-30 et III-31) afin de dimensionner les composants passifs :

$$\tau_s = R_i C_i = R_d C_d \quad \text{et} \quad A_s = \left| -\frac{R_i}{R_d} \right| = \left| -\frac{C_d}{C_i} \right| \quad (\text{IV-35})$$

La capacité  $C_f$  est calculée à partir de la dynamique que nous voulons donner en sortie du CPA. Le dimensionnement commence par le calcul de la valeur de la capacité  $C_i$  qui est choisie assez faible (150 fF dans notre cas). Ainsi, le raisonnement est le suivant :

$$C_d = A_s C_i = 672 \text{ fF}, \quad R_d = \frac{\tau_s}{C_d} = 74 \text{ k}\Omega, \quad R_i = \frac{\tau_s}{C_i} = 333 \text{ k}\Omega \quad (\text{IV-36})$$

Ces composants sont intégrables en techno 0.35  $\mu\text{m}$  mais la résistance  $R_i$  prend beaucoup de place. Pour faciliter son intégration, il est judicieux d'utiliser un transistor MOS en régime ohmique  $V_{GS} > V_T$  et  $V_{DS} < V_{GS} - V_T$  et ainsi utiliser sa résistance  $R_{ds}$  :

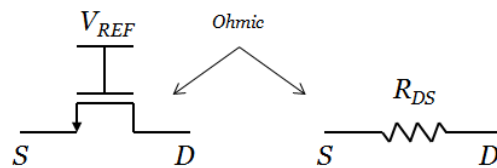


figure IV-19 : L'équivalence entre un MOS en régime ohmique et une résistance.

La valeur de la résistance équivalente du MOS est donnée par l'équation suivante :

$$R_{ds} = \frac{L}{K_P W (V_{GS} - V_T)} \quad (IV-37)$$

Pour  $V_T = 0.6 V$  et  $V_{GS} = 1.2 V$  on trouve :

$$\frac{W}{L} = \frac{1}{K_{P_n} R_{ds} (V_{GS} - V_T)} = \frac{1}{36} \quad (IV-38)$$

Un transistor de cette taille est 10 fois plus petit qu'une résistance intégrée standard comme le poly-silicium.

### **IV.6.2. Produit gain bande passante**

Le PS doit avoir un produit gain bande passante en boucle ouverte de :

$$GBW_{PS} = \frac{1}{2\pi\tau_S} = 3.18 \text{ MHz} \quad (IV-39)$$

Le gain de l'OTA  $g_{m\_OTA}$  est défini par (IV-27) et le GBW de l'OTA est alors égal à  $g_{m1}/(2\pi C_{L2})$ . Dans ces conditions, le  $g_{m1}$  du transistor d'entrée doit être d'au moins 20 µS si  $C_{L2} = 1 \text{ pF}$ .

Aussi le transistor M2 est ajusté de telle sorte que  $g_{m2} < g_{m1}/10$  et que son courant maximum soit au moins égal à  $I_{OUT} = SR \times C_{L2} = 33 \text{ µA}$ .

### **IV.6.3. Structure**

La même structure d'OTA que celle du CPA « folded cascode » est utilisée pour la conception du PS. Nous n'avons pas besoin de refaire une optimisation en bruit car nous avons vu qu'il est généré principalement par le CPA. La figure IV-20 présente le diagramme de bode du CPA en boucle ouverte et la figure IV-21 en boucle fermée.

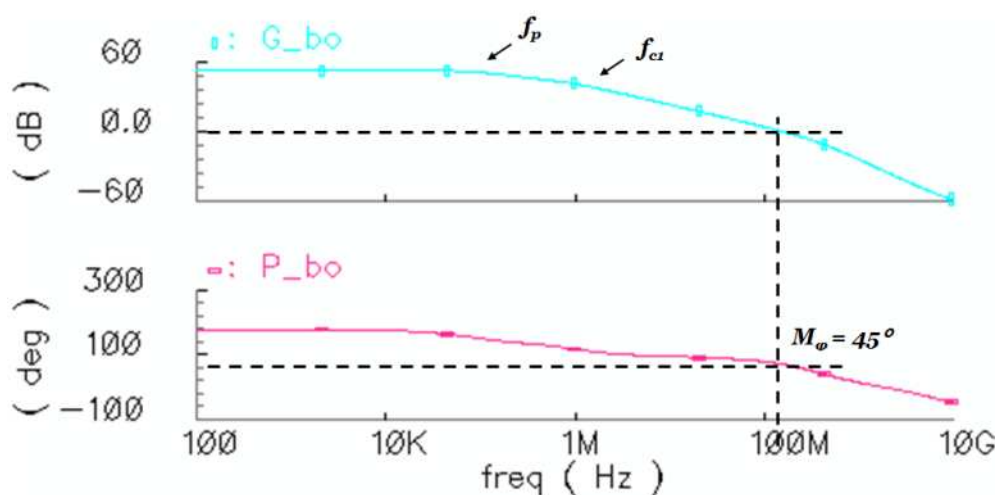


figure IV-20 : Diagramme de bode du PS en boucle ouverte avec une capacité de charge de 500 fF en sortie.

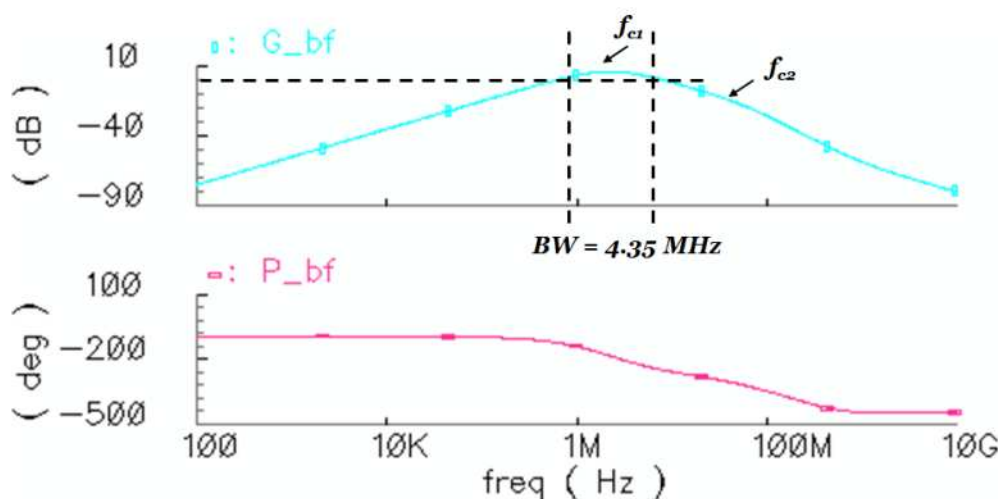


figure IV-21 : Diagramme de bode du PS en boucle fermée avec une capacité de charge de 500 fF en sortie.

La fréquence de résonance  $f_{c1}$  du filtre est observée à 3 MHz avec une bande passante de 4.35 MHz et un gain de 9 dB.

## IV.7. Performances de la chaîne analogique

### IV.7.1. Réponse temporelles

Le tracé temporel est effectué afin d'observer les amplitudes et temps d'établissement correspondants à la conversion des charges. La figure IV-22 représente les réponses temporelles en sortie du CPA (à gauche) et du PS (à droite) pour différentes charges envoyées en entrée de la chaîne analogique :

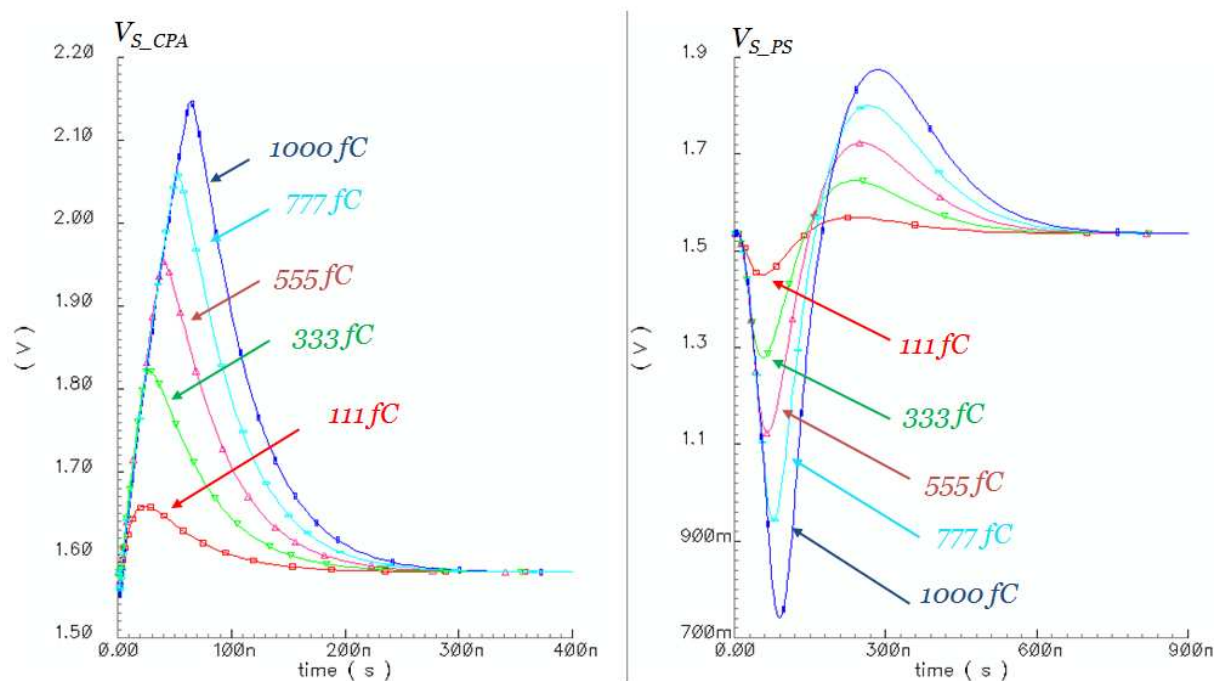


figure IV-22 : Réponses temporelles en sortie du CPA (à gauche) et du PS (à droite) pour différentes charges envoyées en entrée de la chaîne analogique.

Pour une charge typique de 450 fC, le temps de montée du CPA est de 24 ns et le temps de descente de 114 ns. Pour le PS, le temps de montée est de 40 ns et le temps de descente de 438 ns (over-shoot compris).

A partir de ces tracés temporels, nous pouvons visualiser la linéarité de la chaîne analogique. La linéarité correspondant à l'amplitude du pic de tension en sortie du CPA et du PS est tracée sur la figure IV-23 en fonction de la charge.

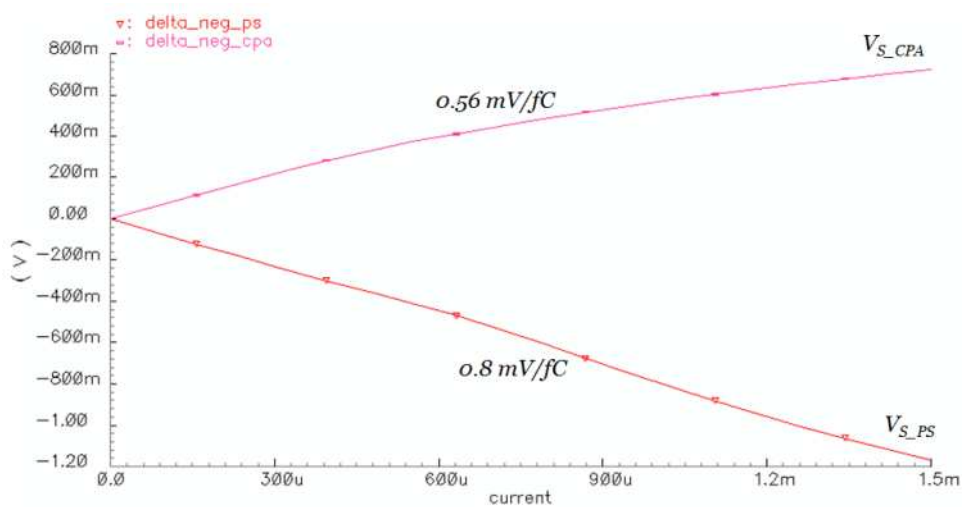


figure IV-23 : Linéarité en sortie du CPA et du PS en fonction de la charge.

La conversion est quasi linéaire dans la plage de conversion voulue (0 à 1 pC). Mais, la résolution attendue est légèrement inférieure à nos attentes. Le gain de conversion en sortie du CPA est de  $0.56 \text{ mV.fC}^{-1}$  et de  $0.8 \text{ mV.fC}^{-1}$  en sortie du PS.

### IV.7.2. Consommation

La partie analogique consomme 1.725 mW. Cette dernière est majoritairement due au CPA qui consomme 1.322 mW soit 3 fois plus que le PS qui utilise seulement  $403 \mu\text{W}$ .

### IV.7.3. Simulation en bruit

La simulation du bruit de la chaîne analogique est effectuée en évaluant la densité spectrale de bruit en sortie du PS pour une capacité  $C_{in}$  de 5 pF (figure IV-24).

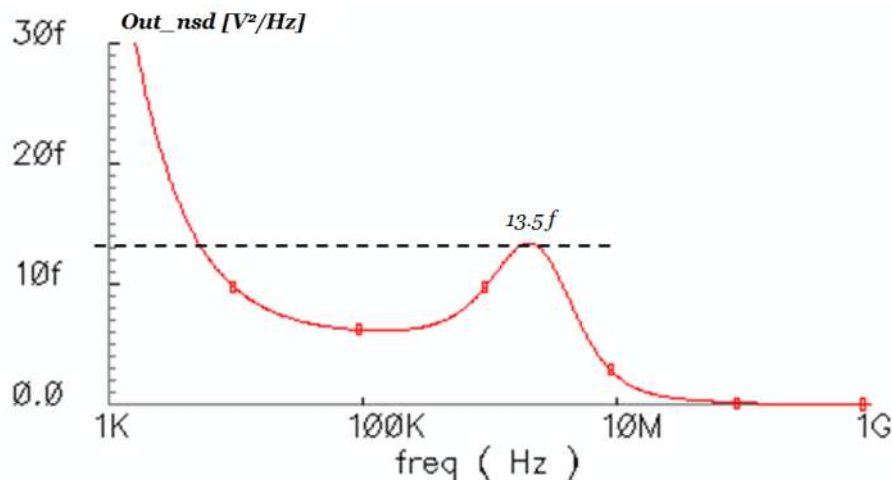


figure IV-24 : Densité spectrale de bruit en sortie du PS pour une capacité  $C_{in} = 5 \text{ pF}$ .

Nous trouvons un bruit équivalent à un ENC de  $736 e^-$  se qui est assez proche de la valeur théorique de  $600 e^-$ . L'effet du filtre passe bande est visible dans ce tracé car nous pouvons distinguer sa fréquence de résonance aux alentours de 3 MHz.

## IV.8. Le comparateur

L'objectif est de concevoir un comparateur rapide. Une technique d'optimisation est présentée en [87].

### IV.8.1. Définition

Le comparateur permet de détecter la présence du signal en sortie du PS pour ensuite la convertir en un niveau logique. Il est réalisé par un AO en boucle ouverte qui fonctionne donc

en régime de saturation. La figure IV-25 présente le modèle du comparateur (à gauche) et le tracé de sa fonction de transfert en tension (à droite).

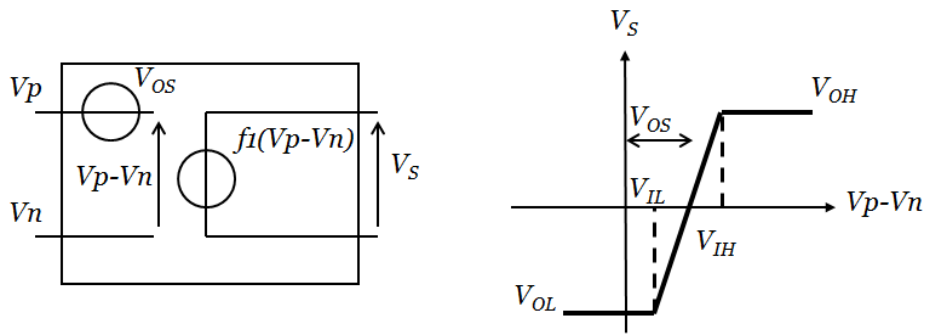


figure IV-25 : Modèle du comparateur (à gauche) et tracé de sa fonction de transfert en tension (à droite).

Si  $V_p > V_n$  alors  $V_s$  est au niveau haut  $V_{OH}$  et si  $V_p < V_n$  alors  $V_s$  est au niveau bas  $V_{OL}$ . La sortie  $V_s$  commute à  $(V_{OH} - V_{OL})/2$  pour les comparateurs symétriques. Dans cette étude, le modèle utilisé incorpore les effets de non-idéalité du comparateur. Le premier de ces effets est que le gain DC ( $A_{v0}$ ) de l'AO n'est pas idéal. Cela introduit une commutation à  $V_p - V_n < V_{IL}$  pour avoir un niveau bas et  $V_p - V_n > V_{IH}$  pour avoir un niveau haut. Cette plage est aussi appelée *Résolution* du comparateur. Elle correspond à la tension minimale à appliquer en entrée pour faire basculer la sortie. Cette tension minimale est définie par :

$$\text{Résolution} = V_{IN1}(\text{min}) = \frac{V_{OH} - V_{OL}}{A_{v0}} \quad (\text{IV-40})$$

Le deuxième de ces effets est l'introduction d'un offset  $V_{OS}$  sur l'entrée qui fait varier aléatoirement d'un comparateur à l'autre la valeur moyenne de commutation. Il va donc jouer sur le niveau de détection et est donc à calibrer.

Le troisième effet provient du temps de réponse du comparateur. En effet un délai de propagation entre l'entrée et la sortie est à prendre en compte. Ce temps s'exprime en fonction d'un échelon de tension appliqué sur l'entrée  $V_{IN1}$  par :

$$t_p(\text{max}) = \tau_c \ln(2) = 0.693\tau_c \quad (\text{IV-41})$$

avec  $\tau_c$  qui correspond au pôle dominant du comparateur. Ce temps est vrai pour le passage à l'état haut et bas. Si l'on applique un signal d'entrée  $k$  fois plus grand que  $V_{in}(\text{min})$  alors nous pouvons écrire que :

$$t_p = \tau_c \ln\left(\frac{2k}{2k-1}\right) \quad (\text{IV-42})$$

avec  $k = V_{IN1}/V_{IN1}(\text{min})$ . Le temps de propagation  $t_p$  d'un comparateur à un étage correspond à son temps de réponse et est défini par :

$$t_p = \frac{\Delta V_S}{SR} = \frac{V_{OH} - V_{OL}}{2SR} \quad (\text{IV-43})$$

Le slew rate est utilisé pour indiquer la vitesse maximale de variation de la tension de sortie du comparateur. Physiquement, il est limité par la quantité de courant que peut fournir l'AO pour charger les capacités du nœud de sortie  $SR = I_S/C_L$ . Il est très important de calculer le SR en fonction de l'application car il va limiter la vitesse. Ici, on s'impose de pouvoir détecter au moins un signal de 10 mV à l'entrée (ce qui correspond à une charge de 16.5 fC).

L'architecture utilisée pour ce comparateur est une paire différentielle et un étage de type source commune pour atteindre le SR désiré. Cette configuration simple est généralement utilisée pour obtenir une grande bande passante et donc une réponse rapide (figure IV-26).

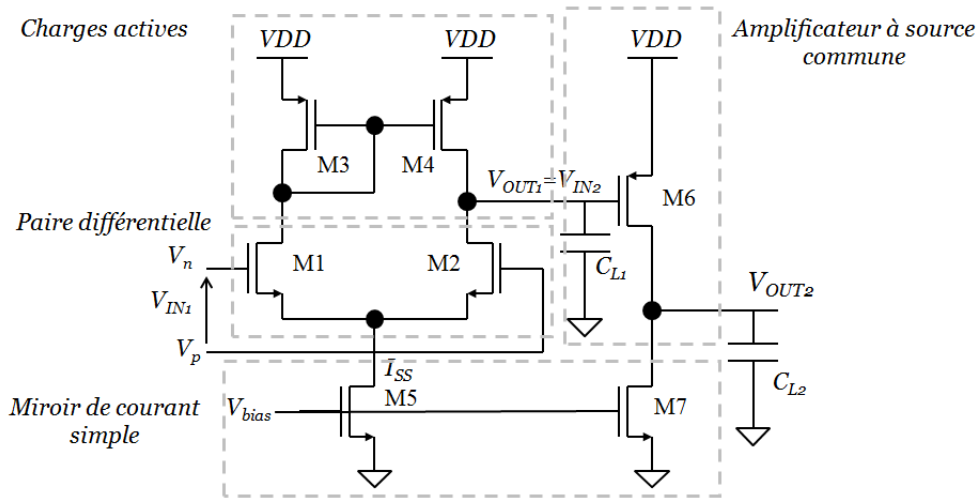


figure IV-26 : Comparateur à deux étages (paire différentielle plus un étage à source commune).

Les capacités  $C_{L1}$  et  $C_{L2}$  symbolisent respectivement les charges vues sur les nœuds de sortie de la paire différentielle et de l'étage source commune.

## IV.8.2. L'amplificateur à deux étages

### a) La paire différentielle

La paire différentielle est composée de 2 transistors M1 et M2 identiques montés en « sources couplées » et polarisées par le courant  $I_{SS}$  provenant du transistor M5 de telle sorte que ( $I_{SS} = I_1 + I_2$ ). Une charge active (M3 et M4) est placée sur les drains de M1 et M2. La plage de tension d'entrée en mode commun (ICMR) se trouve entre  $V_{IC\_MAX}$  et  $V_{IC\_MIN}$ . Elle est limitée par la zone de polarisation en source de courant des transistors de la paire différentielle :

$$V_{IC\_MAX} = V_{DD} - V_{SG3} + V_{TN1} \quad (\text{IV-44})$$



$$V_{IC\_MIN} = V_{SS} + V_{DS5(SAT)} + V_{GS2} \quad (IV-45)$$

L'analyse petits signaux de la paire différentielle de la figure IV-26 permet de déterminer le gain et la vitesse (figure IV-27).

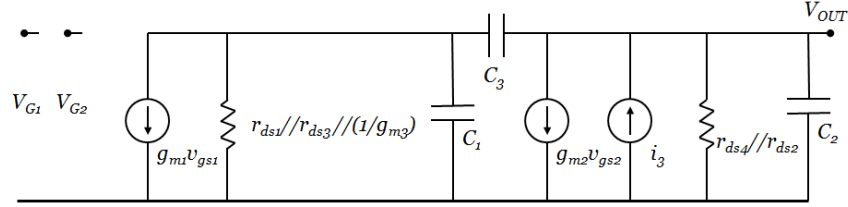


figure IV-27 : Schéma petits signaux de la paire différentielle de la figure IV-26.

avec  $C_1 = C_{gd1} + C_{bd1} + C_{bd3} + C_{gs3} + C_{gs4}$ ,  $C_3 = C_{O1} = C_{bd2} + C_{bd4} + C_{gd2} + C_{L1}$  et  $C_2 = C_{gd4}$ . Ce modèle simplifié est valide si les 2 branches de l'amplificateur sont parfaitement identiques, c'est-à-dire si la différence de charge entre les drains de M1 et M2 est nulle. Par la suite, nous utiliserons toujours cette approximation pour faciliter les calculs.

En supposant que  $g_{m1} = g_{m2}$ , le gain en tension simplifié est défini par :

$$A_{v1} = \frac{V_{OUT1}}{V_p - V_n} \cong \left( \frac{-g_{m1}}{g_{ds2} + g_{ds4}} \right) \left( \frac{\omega_1}{\omega_1 + p} \right) \quad (IV-46)$$

où  $\omega_1$  est le pôle égal à  $-(g_{ds2} + g_{ds4})/C_{O1}$  en supposant que  $g_{m3}/C_1 \gg (g_{ds2} + g_{ds4})/C_{O1}$ .

#### b) L'amplificateur source commune

Cet amplificateur inverseur déjà introduit dans le paragraphe sur les OTAs permet de convertir une tension en un courant par M6 qui est polarisé en courant par le transistor M7. La plage de variation de la tension de sortie, qui correspond à une bonne polarisation des transistors est de  $V_{OUT2\_MAX} - V_{OUT2\_MIN}$  avec :

$$V_{OUT2\_MIN} = (V_{DD} - V_{T1}) \left\{ 1 - \left[ 1 - \left( \frac{\beta_2}{\beta_1} \right) \left( \frac{V_{SG2} - |V_{T2}|}{V_{DD} - V_{T1}} \right)^2 \right]^{1/2} \right\} \quad (IV-47)$$

$$V_{OUT2\_MAX} = V_{DD} \quad (IV-48)$$

L'analyse petits signaux de la source commune de la figure IV-26 permet de déterminer le gain et la vitesse (figure IV-28).

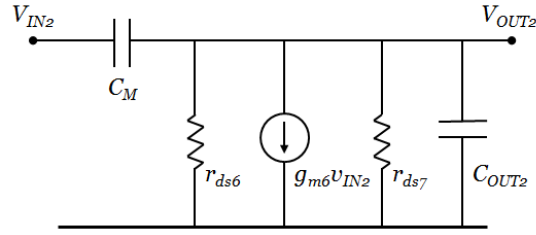


figure IV-28 : Schéma petits signaux de la source commune de la figure IV-26.

La capacité  $C_{gd6}$  est amplifiée par un effet Miller, ce qui donne  $C_M = C_{gd6}$  et  $C_{OUT2}$  représente l'ensemble des capacités parasites telles que  $C_{O2} = C_{gd7} + C_{bd6} + C_{bd7}$ .

Le gain en tension simplifié est défini par :

$$A_{v2} = \frac{V_{OUT2}}{V_{IN2}} \cong \left( \frac{-g_{m6}}{g_{ds6} + g_{ds7}} \right) \left( \frac{\omega_2}{\omega_2 + p} \right) \quad (IV-49)$$

Avec le pôle  $\omega_2$  égal à  $-(g_{ds6} + g_{ds7})/(C_{out2} + C_M + C_{L2})$  et en supposant que  $g_{m7} \gg (g_{ds6} + g_{ds7})$ .

### IV.8.3. Le comparateur à deux étages

En associant la paire différentielle (IV-46) et l'amplificateur source commune (IV-49), on obtient la réponse fréquentielle suivante :

$$A_v = \frac{V_{OUT2}}{V_{IN1}} = A_{v1}A_{v2} = \frac{A_{v0}}{\left(1 + \frac{p}{\omega_1}\right)\left(1 + \frac{p}{\omega_2}\right)} \quad (IV-50)$$

avec la capacité équivalente de sortie du premier étage  $C_{OUT_1} = C_{O1} + C_M$ .

Le gain DC  $A_{v0}$  est égal à :

$$A_{v0} = \left( -\frac{g_{m1}}{g_{ds2} + g_{ds4}} \right) \left( -\frac{g_{m6}}{g_{ds6} + g_{ds7}} \right) \quad (IV-51)$$

La réponse temporelle de ce comparateur soumis à un échelon de tension  $V_{IN1}$  s'écrit alors :

$$V_{OUT2}(t) = A_{v0}V_{IN1} \left[ 1 + \frac{\omega_2 e^{-t\omega_1}}{\omega_1 - \omega_2} - \frac{\omega_1 e^{-t\omega_2}}{\omega_1 - \omega_2} \right] \quad (IV-52)$$

avec  $\omega_1 \neq \omega_2$ . Cette équation est vraie si la vitesse de montée ou de descente de la sortie est inférieure au slew rate du comparateur. Dans le nœud de sortie, on peut exprimer 2 slew rate, un négatif créé par  $I_7$  :  $SR^- = I_7/C_{OUT2}$  et un positif créé par la différence entre  $I_6$  et  $I_7$  :  $SR^+ = (I_6 - I_7)/C_{OUT2}$ .

En prenant comme hypothèse que le slew rate permet de respecter les temps de montée et de descente du comparateur alors la réponse temporelle en sortie (IV-52) peut s'écrire en normalisant l'amplitude et le temps comme il suit :

$$V'_{OUT2}(t) = \frac{V_{OUT2}(t_n)}{A_{v0}V_{IN1}} = 1 - \frac{m}{m-1}e^{-t_n} + \frac{1}{m-1}e^{-mt_n} \quad (IV-53)$$

où  $m = \omega_2/\omega_1 \neq 1$  et  $t_n = t\omega_1 = t/\tau_1$ .

La figure IV-29 représente la tension de sortie normalisée (IV-53) du comparateur à 2 étages en fonction du délai de propagation normalisé pour différentes valeurs de  $m$ .

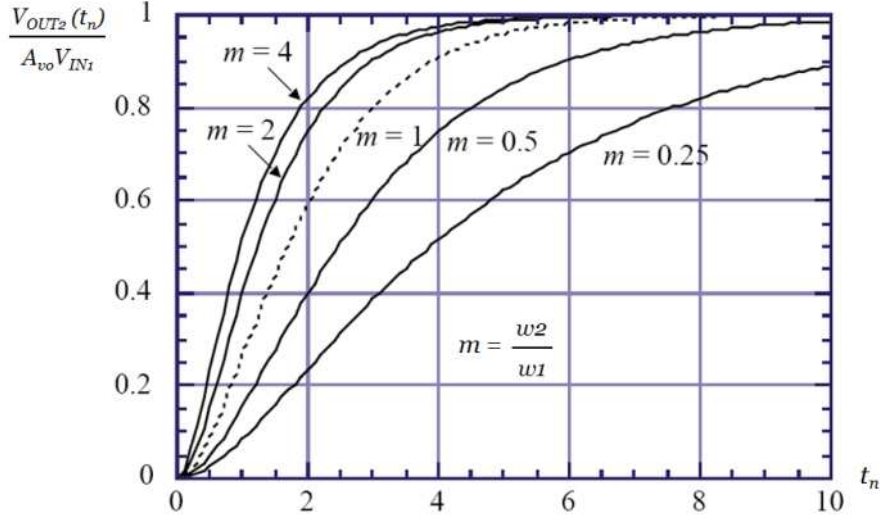


figure IV-29 : Tension de sortie normalisée (IV-53) du comparateur à 2 étages en fonction du délai de propagation normalisé pour différentes valeurs de  $m$  [87].

Ces résultats ne sont vrais que si la réponse linéaire normalisée ne dépasse pas le slew rate du comparateur. Si le step d'entrée est supérieur à  $V_{IN1}(min)$  alors l'amplitude devient limitée par  $V_{OH}$ . La pente la plus rapide de l'équation (IV-53) est trouvée à :

$$t_n(max) = \frac{\ln(m)}{m-1} \quad (IV-54)$$

En dérivant l'équation (IV-53) par  $t_n$ , nous trouvons une pente à  $t_n(max)$  maximale à :

$$\frac{dV'_{OUT2}(t_n(max))}{dt_n} = \frac{m}{m-1}e^{-t_n(max)} - \frac{1}{m-1}e^{-mt_n(max)} \quad (IV-55)$$

Pour avoir la plus grande vitesse de propagation possible dans le circuit, nous cherchons à avoir un  $t_n$  le plus faible possible. Celui-ci passe alors par l'augmentation de  $m$  ou l'augmentation du pôle  $\omega_2$  par rapport à  $\omega_1$ . L'optimisation du temps de propagation  $t_p$  peut s'écrire ainsi en prenant l'équation (IV-53) égale à  $(V_{OH} + V_{OL})/2$  :

$$V_{OUT2}(t_n) \approx \frac{mt_n^2 A_{v0} V_{IN1}}{2} \quad (IV-56)$$

avec  $V_{OUT2}(t_n)$  égale à  $(V_{OH} + V_{OL})/2$  résolue avec  $t_n$ , le temps de propagation normalisé est égal à :



Ainsi, si la capacité équivalente  $C_{OUT_2} \geq 25 \mu\text{A}/19 \text{V} \cdot \mu\text{s}^{-1}$  soit 1.3 pF le comparateur dérive.

### b) Temps de propagation

Le calcul du temps de propagation passe par la détermination de la résolution (IV-40) :

$$V_{IN1}(\text{min}) = \frac{V_{OH} - V_{OL}}{A_{v0}} = \frac{3.3}{112} = 29 \text{ mV} \quad (\text{IV-59})$$

Pour le cas où le step d'entrée  $V_{IN1}$  est de 10 mV, nous trouvons  $k = V_{IN1}/V_{IN1}(\text{min}) = 0.35$ .

Dans ce cas (IV-57) :

$$t_{pn} = \frac{1}{\sqrt{mk}} = 0.53 \quad (\text{IV-60})$$

Divisé par  $\omega_1$ , le temps de propagation théorique est de  $t = t_{pn}/|\omega_1| = 21 \text{ ns}$ . Ce temps est tout à fait adapté à la vitesse de notre système et peut être réévalué en changeant la valeur de  $m$  ou en réajustant les pôles. La simulation sur la figure IV-31 permet de conforter le calcul théorique en traçant la réponse du comparateur à un échelon de 10 mV.

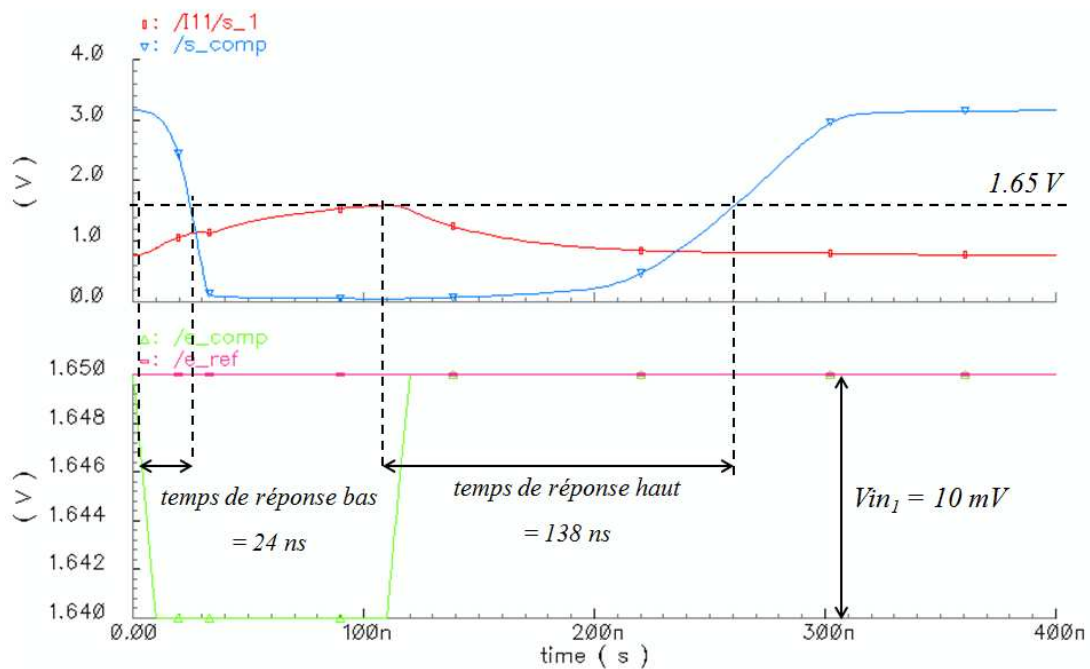


figure IV-31 : Simulation de la réponse du comparateur à un échelon de  $V_{IN1} = 10 \text{ mV}$ .

Nous trouvons un temps de réponse bas de 24 ns et un temps de réponse haut de 138 ns. Il est normal que le temps de réponse haut soit plus élevé car le slew rate est défini dans ce cas par  $SR^+ = (I_6 - I_7)/C_{OUT2}$ . Ainsi, en respectant ces relations, nous avons optimisé le temps de propagation en fonction du slew rate et donc de la consommation du comparateur à deux

étages. Inutile de s'assurer de la stabilité de cet AO à double étage, car il fonctionne en boucle ouverte, donc en saturation.

## IV.9. Le monostable

Il s'agit de mettre en forme le signal provenant du comparateur en le standardisant par un signal carré compris entre 0 et 3.3V avec un temps à l'état haut de 100 ns. Une solution parmi d'autres est d'utiliser un monostable qui est capable de générer un niveau logique de période fixe lorsqu'il reçoit un front montant sur son entrée. Sur la figure IV-32 est présentée la structure du monostable qui est réalisée par une porte NOR, un inverseur et une constante de temps RC qui va permettre de fixer la période désirée.

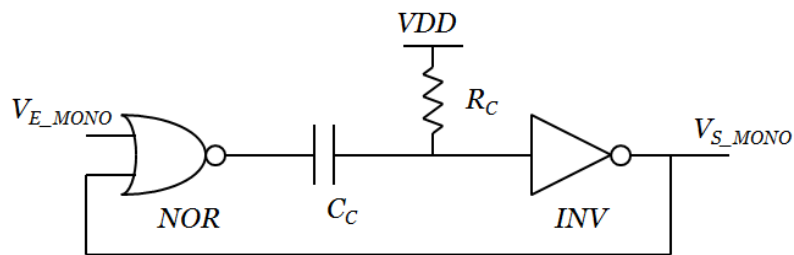


figure IV-32 : Structure du monostable réalisée par une porte NOR, un inverseur et une constante de temps RC.

Lorsque  $V_{E\_MONO}$  devient supérieur à  $V_{DD}/2$  (seuil de basculement de la porte NOR), la porte NOR passe instantanément à l'état bas et donc la sortie  $V_{S\_MONO}$  à l'état haut. Le condensateur  $C_C$  se charge à travers  $R_C$  selon la relation :

$$V_{RC} = V_{DD}(1 - e^{-t/R_C C_C}) \quad (\text{IV-61})$$

Quand  $V_{RC}$  atteint  $V_{DD}/2$ , ce qui correspond au seuil de basculement de la porte inverseuse, la sortie passe à l'état bas et la porte NOR passe à l'état haut. Le condensateur  $C_C$  se décharge quasi instantanément dans la résistance  $R_C$  et  $V_{RC}$  est à peu près égale à  $V_{DD}$ . La durée de l'impulsion de sortie  $\tau_C$  est alors définie par la constante de temps  $R_C C_C$  selon :

$$\tau_C = R_C C_C \ln(2) \quad (\text{IV-62})$$

La vue transistors du monostable est présentée sur la figure IV-33.

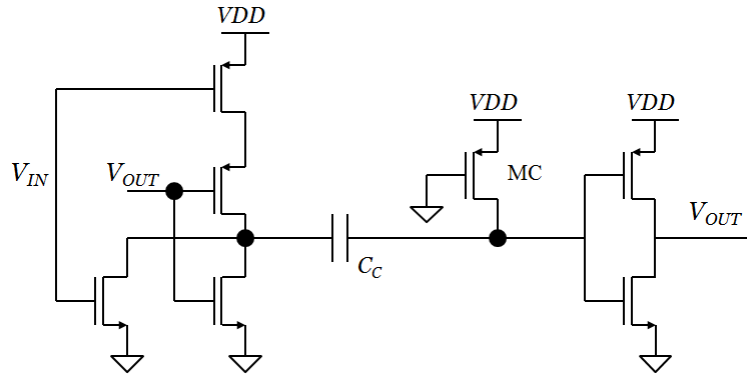


figure IV-33 : Vue transistor du monostable CMOS.

Avec une capacité  $C_C$  de 250 fF, cela engendre une résistance de  $R_C = 577 \text{ k}\Omega$ . Le choix d'un transistor monté en régime ohmique (MC) permet d'implémenter cette résistance sur une surface réduite de silicium ( $W/L = 0.4 \mu\text{m} / 9.65 \mu\text{m}$  après ajustement pour avoir une durée de 100 ns). La figure IV-34 représente la simulation du monostable sous Cadence Spectre.

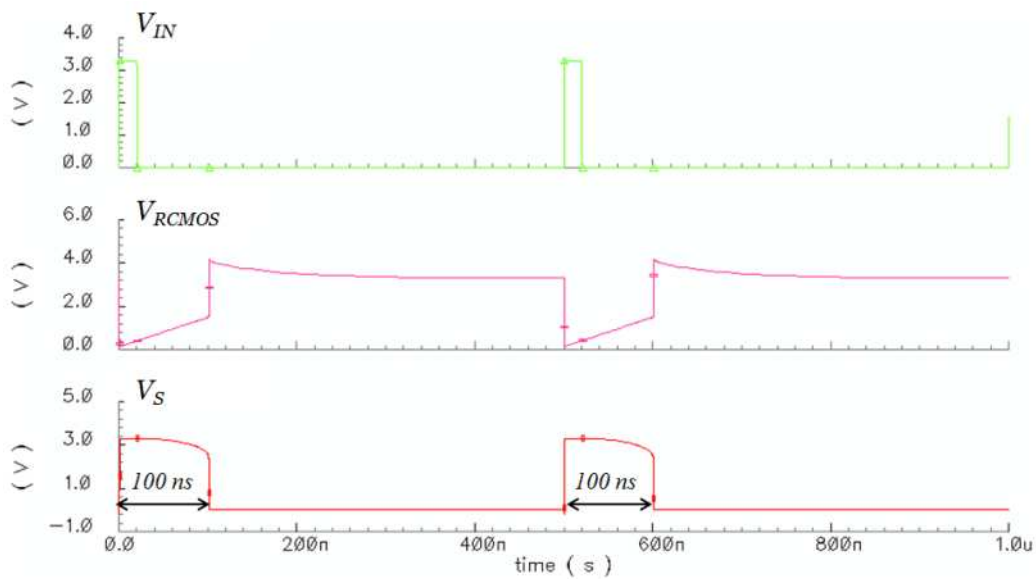


figure IV-34 : Simulation du monostable sous Spectre.

Un front montant supérieur à  $V_{DD}/2$  sur  $V_{E\_MONO}$  enclenche le processus de détection.  $V_{RC}$  passe à 0 et se charge jusqu'à  $V_{DD}/2$  pendant une durée de 100 ns. Après cela, la sortie passe à 0 et le système est prêt à recevoir un autre événement. Il faut noter que nous utilisons un buffer après le dernier inverseur pour permettre de s'adapter aux systèmes suivants.

## IV.10. Performances de la chaîne globale

### IV.10.1. Simulations

La simulation temporelle présentée sur la figure IV-35 est effectuée pour une charge de 450 fC avec un seuil de détection positionné à 1.5 V.

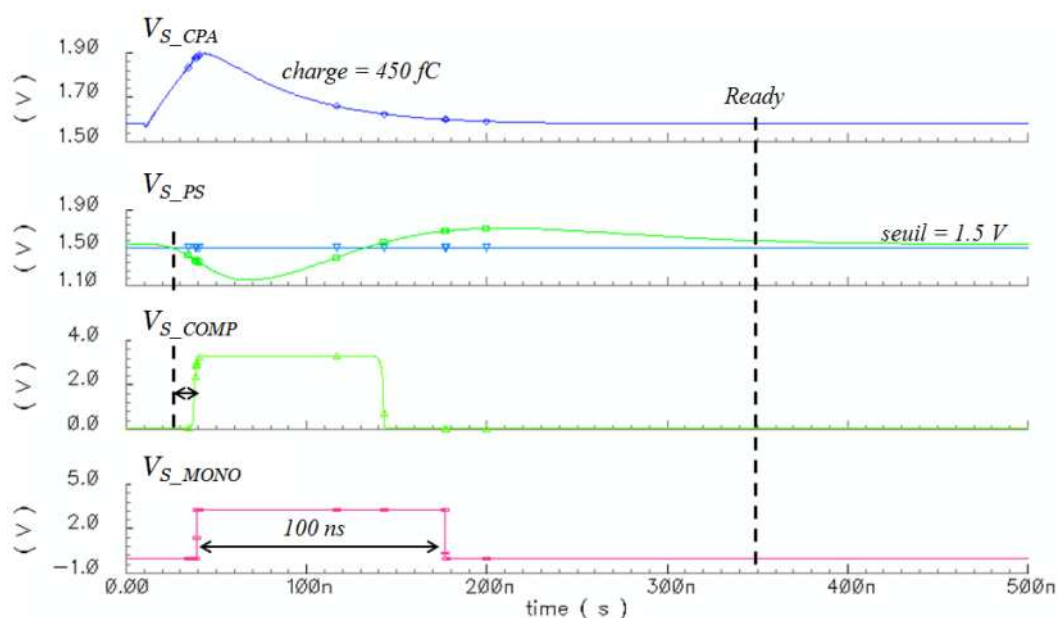


figure IV-35 : Simulation temporelle de la chaîne pour une charge de 450 fC et un seuil de détection positionné à 1.5 V.

Le système a détecté la charge d'entrée en générant une impulsion logique de 100 ns. Nous observons aussi que le circuit est capable de redétecter une nouvelle charge à partir de 180 ns (temps nécessaire au monostable pour se remettre à 0) mais dans ce cas le PS n'est pas complètement déchargé, ce qui peut provoquer la saturation du circuit. Nous considérerons donc une période minimale d'utilisation du circuit aux alentours de 350 ns (à 90% du temps de décharge du PS). Ceci correspond à une fréquence maximale de 2.8 MHz, ce qui est conforme au cahier des charges.

### IV.10.2. Consommation

La consommation des différents blocs est résumée dans le tableau IV-2.



tableau IV-2 : Simulation de la consommation du circuit

Caractéristiques	VDD (mW)	1.65 V (mW)	Total (mW)
CPA + PS	0.466	1.26	1.726
Comparateur	0.394	0	0.394
Monostable	0	0	0
Chaîne	0.86	1.26	2.12
16 Chaînes	13.76	20.16	33.92

## IV.11. Conclusion

Dans ce chapitre, nous avons conçu une chaîne d'instrumentation intégrée pour la MCP en technologie CMOS 0.35 µm. Une étude sur les miroirs de courant a été réalisée pour avoir des références de courant les plus performantes possible. Le choix de l'amplificateur « folded cascode » a été fait pour sa grande bande passante et son faible bruit. La chaîne analogique a été réalisée en optimisant le bruit, la vitesse et la consommation pour s'adapter au mieux aux caractéristiques de la MCP. La réalisation du comparateur passe par l'étude de l'amplificateur à 2 étages afin d'optimiser son temps de réponse tout en limitant la consommation. Les simulations sont conformes au cahier des charges Les tests expérimentaux sont présentés dans le chapitre VI.

## IV.12. Références

- [44] Stassinopoulos, E.G. et Raymond, J.P., "The space radiation environment for electronics." *IEEE Trans. Nucl. Sci.* 76(11) :1423–1442, 1988.
- [60] Dodd, P.E., et al., "Current and Future Challenges in Radiation Effects on CMOS Electronics." *Nuclear Science, IEEE Transactions.* vol.57, no.4, pp.1747-1763, 2010.
- [75] Kaplon, J. et Dabrowski, W., "Fast CMOS binary front end for silicon strip detectors at LHC experiments." *Nuclear Science, IEEE Transactions.* vol.52, no.6, pp.2713-2720, 2005.
- [76] Tajima, H., et al., "Performance of a low noise front-end ASIC for Si/CdTe detectors in Compton gamma-ray telescope." *Nuclear Science, IEEE Transactions.* vol.51, no.3, pp. 842-847, 2004.
- [79] Cajipe, V.B., et al., "Multi-Channel Charge Amplifier-Discriminator-Counter IC for the Space Sciences." *Nuclear Science Symposium Conference Record.* vol.3, no., pp.1605-1608, 2006.

- [56] Grybos, P., et al., "RX64DTH - a fully integrated 64-channel ASIC for a digital X-ray imaging system with energy window selection." *Nuclear Science, IEEE Transactions*. vol.52, no.4, pp. 839-846, 2005.
- [57] Yeom, J.Y., et al., "A 12-Channel CMOS Preamplifier-Shaper-Discriminator ASIC for APD and Gas Counters." *Nuclear Science, IEEE Transactions* . vol.53, no.4, pp.2204-2208, 2006.
- [84] Jacob Baker, R., *CMOS: Circuit Design, Layout, and Simulation, 3rd Revised edition*. s.l. : Wiley-Blackwell, 2010.
- [85] Sansen, Willy., *Analog Design Essentials*. s.l. : Springer-Verlag New York Inc., 2006.
- [86] David, A. Johns., Kenneth, W. Martin., *Analog Integrated Circuit Design*. s.l. : John Wiley and Sons, 1996.
- [87] Allen, Phillip E., Holberg, Douglas R., *CMOS Analog Circuit Design, 2 edition*. New York : Oxford University Press, USA, 2002.



# Chapitre V

## Intégration en technologie CMOS HV 0.35 $\mu\text{m}$ de chaînes d'instrumentation pour la mesure de l'énergie de particules par un détecteur spatial.

---

*Les chaînes d'instrumentation à mettre en œuvre vont permettre de faire de la discrimination d'électrons énergétiques issus des interactions atmosphère-ionosphère-magnétosphère lors des orages atmosphériques (Chapitre I, II et III).*

*La deuxième partie de mes travaux a donc été de concevoir des chaînes d'instrumentation intégrées en technologie CMOS pour différents SCs (Si et CdZnTe). Pour cela la techno HV est introduite. Ensuite la logique de discrimination de la charge y est développée pour permettre de retrouver le niveau d'énergie de la particule incidente avec une logique de contrôle autonome.*

### V.1. Technologie CMOS HV 0.35 $\mu\text{m}$

#### V.1.1. Sensibilité du substrat

Pour limiter au maximum les effets des variations d'alimentation, il est intéressant de séparer les masses et les alimentations analogiques des masses et alimentations numériques. AMS propose une technologie appelée HV (High Voltage) qui permet d'utiliser des caissons indépendants et isolés du substrat. Cette 2<sup>ème</sup> application demandant de mesurer des charges extrêmement faible, il est impératif de gommer tous les défauts qui pourraient perturber les entrées. C'est donc cette technologie que nous avons choisie.

### V.1.2. Présentation de la technologie AMS CMOS HV 0.35 $\mu\text{m}$

La technologie HV permet d'intégrer des transistors isolés (NMOSI et PMOSI) dans un substrat de type N (DNTUB) placé dans le substrat P de base (figure V-1).

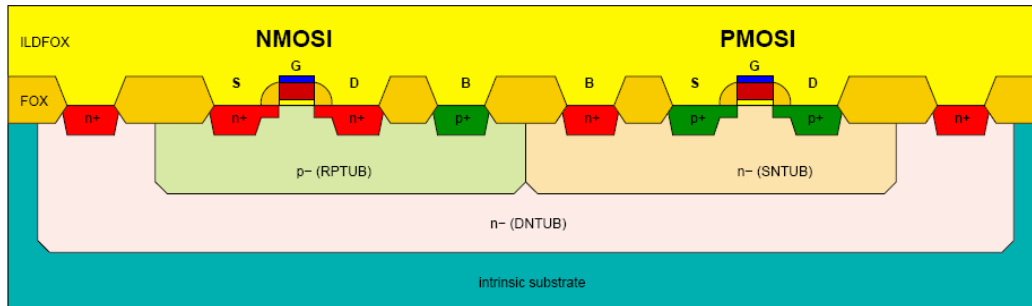


figure V-1 : Vue en coupe du die incluant les transistors isolés NMOSI et PMOSI inclus dans le processus d'AMS CMOS HV 0.35  $\mu\text{m}$ .

Ainsi nous pouvons utiliser des polarisations différentes dans chaque caisson isolé et donc séparer la partie analogique de la partie numérique. Cette technologie propose 4 niveaux de métaux et la plage de tension disponible sur les MOS standard est de 0 à 3.3 V.

## V.2. Quantification de la charge

Un système de quantification permet de connaître la valeur de la charge détectée. On peut ainsi reconstituer un spectre de charge. L'objectif est d'avoir un signal linéaire en sortie du PS afin de quantifier la charge incidente. Cette opération nécessite une étude des techniques actuellement utilisées afin de choisir celle qui est la mieux adaptée.

### V.2.1. Principe

Quantifier une charge permet de récupérer des informations sur cette dernière. Par exemple l'énergie qu'elle a perdue, qui correspond à la valeur de la tension du pic dans notre cas. Le principe sera par exemple de numériser la charge pour en retrouver la valeur maximale. Les signaux de détection se produisent le plus souvent de façon aléatoire, contrairement aux systèmes où les signaux sont échantillonnés à intervalles réguliers. Diverses architectures d'ADC peuvent être utilisées : [77] fait appel à un ADC cyclique à capacités commutées de 12 bits et [88] intègre un ADC à approximations successives de 8 bits.

Une numérisation engendre une approximation, car elle transforme une distribution continue du signal en un ensemble de valeurs discrètes. La résolution de l'ADC doit être calculée en fonction du bruit en sortie du PS [72]. En effet, pour éviter tout problème de conversion intempestive, la résolution de l'ADC doit être nettement supérieure au niveau de bruit du

signal analogique entrant. La figure V-2 montre la tension bruitée en sortie du PS comparée au pas de quantification de l'ADC noté  $\Delta V_{ADC} = V/2^n$  où  $V$  correspond à la plage de tension disponible en entrée et  $n$  au nombre de bits utilisés.

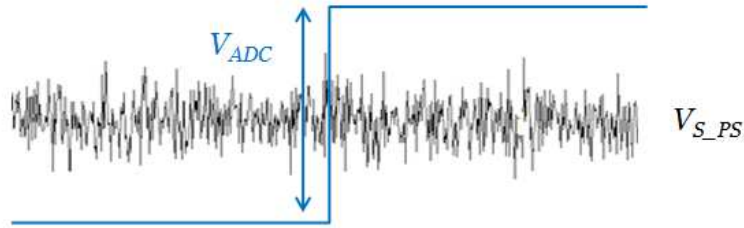


figure V-2 : Comparaison de la tension bruitée en sortie du PS avec le pas de quantification de l'ADC.

Pour un calcul exact de ce pas, on dit que l'impulsion varie avec le pas de numérisation  $\Delta V_{ADC}$ , et donc l'erreur quadratique moyenne de numérisation se note :

$$\overline{v_{ADC}^2} = \int_{-\Delta V_{ADC}/2}^{\Delta V_{ADC}/2} \frac{v^2}{\Delta V_{ADC}} dv = \frac{\Delta V_{ADC}^2}{12} \quad (\text{V-1})$$

Pour un ADC de  $n$  bits pouvant convertir sur une plage de tension  $V$ , on a :

$$\overline{v_{ADC}^2} = \frac{1}{2^{2n}} \frac{V^2}{12} \quad (\text{V-2})$$

Plusieurs architectures d'ADC sont utilisées afin de retrouver l'amplitude de la tension en sortie du PS. Le choix de la structure est fait en fonction des performances voulues (précision, vitesse et consommation). Dans le paragraphe suivant, nous présentons plusieurs architectures de conversion analogique-numérique [72; 89].

Conceptuellement, l'ADC Flash est la technique de conversion la plus simple (figure V-3). Le signal est envoyé sur plusieurs entrées de comparateurs montés en parallèle. Les seuils individuels de comparaison sont fixés par un pont diviseur résistif. Les sorties des comparateurs sont encodées de telle sorte à retrouver la valeur de l'entrée numérisée.

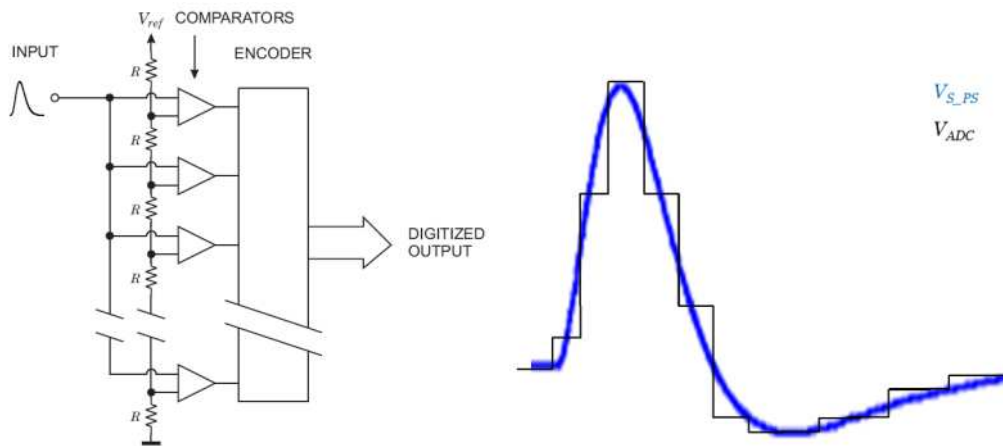


figure V-3 : Numérisation de la sortie du PS par un ADC de type Flash.

Le gros avantage de ce principe est la vitesse. La conversion est faite en une seule étape de comparaison et le temps de conversion correspond à un seul clock d'horloge. La conversion est toujours monotone et la non-linéarité est déterminée par l'appariement des résistances dans le diviseur de tension de seuil. Cette topologie a un bon matching car en technologie CMOS les résistances varient de la même manière. Ses principaux inconvénients sont la puissance consommée et la surface occupée car un comparateur par pas de quantification est requis. Par exemple, un convertisseur de 8 bits requiert 256 comparateurs.

Une autre technique (la plus couramment utilisée) est l'ADC à approximations successives. Le principe d'une conversion analogique-numérique par approximations successives est présenté sur la figure V-3.

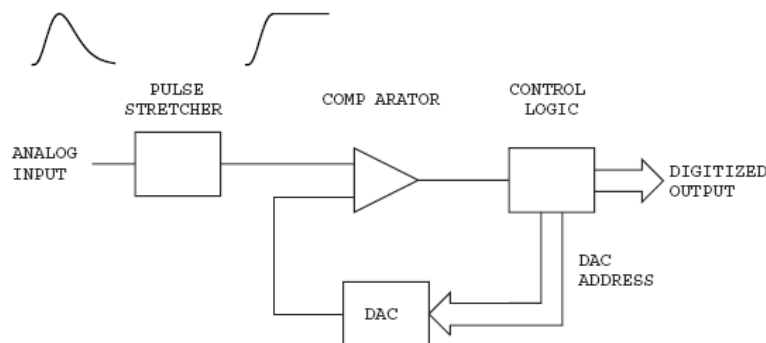


figure V-4 : La conversion analogique-numérique par approximations successives.

Dans ce système, l'impulsion de sortie du PS doit d'abord passer dans un système de mémorisation de la valeur maximale. Cela est réalisé par un détecteur de pic (PD) qui copie le signal jusqu'à ce qu'il atteigne la valeur maximale pour ensuite conserver cette valeur crête. Cette valeur est ensuite comparée au seuil d'un comparateur dont la valeur est générée par un convertisseur numérique-analogique (DAC). Le DAC commence à convertir avec les bits les

plus significatifs (poids forts). Le bit de poids correspondant à un comparateur donné passe à '1' lorsque le comparateur passe à l'état haut, ce qui implique que la sortie du DAC est inférieure à la valeur crête. Par contre, si la sortie du DAC est supérieure à la valeur crête, le bit passe à zéro et la sortie du DAC est diminuée d'une valeur correspondant au poids concerné. Ensuite, le DAC fait défiler les bits moins significatifs avec la même méthode de traitement jusqu'aux poids faibles. Ainsi, cet ADC avec une résolution de  $n$  bits requiert  $n$  étapes de conversion. Cette technique est rapide (mais  $n$  fois plus lente que l'ADC Flash), consomme très peu et est peu encombrante (un seul comparateur). De bonnes résolutions (10 - 12 bits) peuvent être atteintes avec des temps de conversion de l'ordre la  $\mu\text{s}$ . Comparé à l'ADC Flash, il est moins rapide ( $n$  cycles par conversion) et la non linéarité est plus importante.

D'autres techniques de conversion sont détaillées dans [72] comme l'ADC Wilkinson, l'ADC pipeline et les TDCs (Time-to-digital converters).

### ***V.2.2. Système de détection pour le Si et CdZnTe***

Après une étude de différentes architectures, nous avons choisi d'utiliser la chaîne de conversion suivante : Le bloc analogique CPA+PS, un comparateur à seuil réglable, un PD et un ADC à approximations successives. Le bloc analogique CPA+PS permet de convertir la charge en tension. Le comparateur, à ne pas confondre avec celui de l'ADC, permet de détecter la charge en plaçant le seuil juste au dessus du niveau de bruit du PS. Le PD permet de mémoriser la valeur de pic du PS. Et l'ADC à approximations successives permet de numériser cette tension quand le comparateur l'a détectée.

Sur le papier, un tel système est relativement simple à comprendre mais la combinaison de toutes ces fonctions demande une réflexion approfondie. Un bloc logique de contrôle du système (command) doit être développé afin de gérer l'ensemble. La figure V-5 présente le système de conversion analogique-numérique permettant de quantifier l'énergie d'une particule stoppée dans un SC.



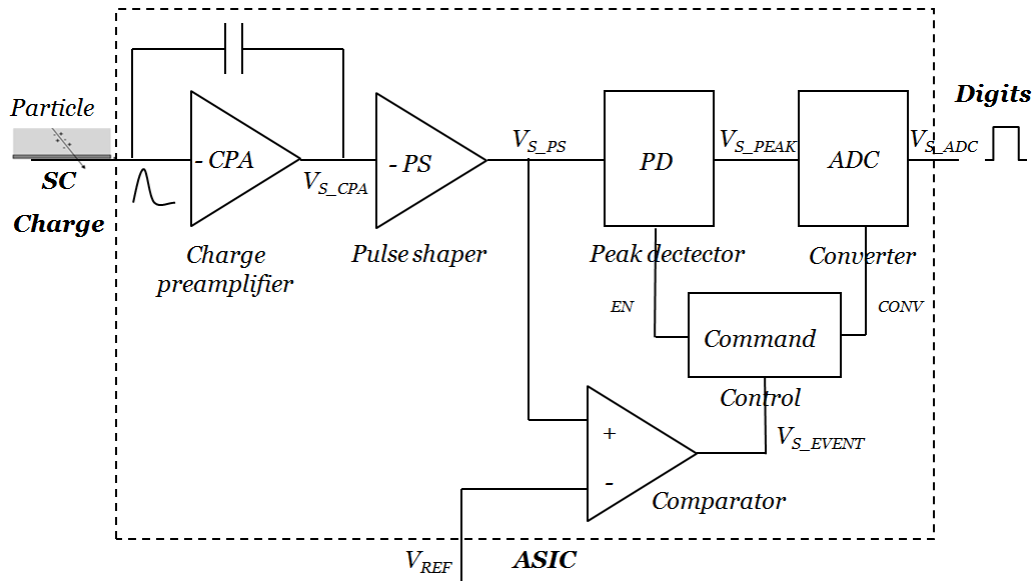


figure V-5 : Système de conversion analogique-numérique permettant de mesurer l'énergie d'une particule stoppée dans un SC.

Le bloc logique reçoit l'information de la présence d'une charge par le comparateur. Parallèlement, le PD copie la sortie du PS pour mémoriser la valeur du pic. Le bloc de contrôle bloque alors cette valeur et envoie un « read » à l'ADC qui commence sa conversion. Une fois fini l'ADC envoie un « end conversion » au bloc de contrôle qui remet alors le PD à zéro. Le système est donc prêt à recevoir une nouvelle charge. La figure V-6 montre les tracés temporels conceptualisés de cette conversion.

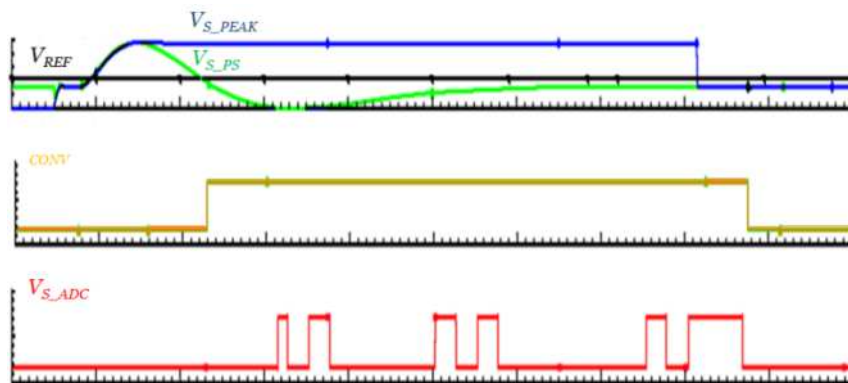


figure V-6 : Tracés temporels de la conversion analogique-numérique d'une charge selon le système présenté sur la figure V-5.

Ici nous voyons que le temps de conversion de l'ADC laisse un temps de décharge de la partie analogique suffisant pour recommencer une nouvelle conversion.

### V.3. Spécifications de l'instrumentation

Le tableau V-1 résume l'étude des caractéristiques des SCs calculées dans le Chapitre II.

tableau V-1 : Caractéristiques des détecteurs à SCs utilisés dans l'instrument.

Caractéristiques	Symboles	Si de type A	Si de type B	CdZnTe
Dimension (mm)	$L \times l \times e$	1×1×0.3	1×0.4×0.3	1.6×1.6×5
Gamme de paire (e- ou e+)	-	$1 \times 10^4$ à $2 \times 10^5$	$1 \times 10^4$ à $2 \times 10^5$	$2 \times 10^4$ à $1 \times 10^6$
Charge équivalente (fC)	$Q_{in}$	1.6 à 32	1.6 à 32	3.2 à 160
Temps de collection (ns)	$t_c$	< 50	< 50	< 7700
Capacité équivalente (pF)	$C_{det}$	34.5	1.38	4.94
Courant de fuite (nA)	$I_0$	10	0.5	162.5
Fréquence de fonctionnement minimale (MHz)	$F_{Utile}$	20	20	0.130
Nombre d'anodes	-	4	1	8

Dans cette application, ce sont les trous qui vont être recueillis par 13 cathodes placées sur les SCs. Il y a en tout 4 Si de type A, 1 Si de type B et 8 rangées de 8 CdZnTe. Cela signifie que l'on doit intégrer 3 chaînes de conversion différentes dans l'ASIC (13 en tout). Le principe des chaînes de conversion à intégrer dans l'ASIC est présenté sur la figure V-5. Il y a donc une entrée pour recevoir la charge issue d'un SC, une entrée pour adapter le seuil du comparateur de l'extérieur et la sortie numérique image de la charge.

Pour avoir le moins de perte d'informations sur la collecte des charges en sortie des SCs, la plage de détection la plus large possible doit être choisie. Cette plage en paires électrons-trous ou Coulomb est déduite de la réponse des SCs du chapitre II. Nous choisissons donc le pire cas (maximal) de la création de paires que peut transmettre la particule incidente dans les SCs. Ce choix de la valeur maximale est fait pour prendre une marge de sécurité au niveau de la future hypothétique dispersion de l'électronique et aussi pour ne pas saturer le système qui doit détecter les charges en limite haute.

La plage de tension de sortie du système est définie à partir de la tension d'alimentation de la technologie utilisée (3.3 V). Cette plage est réduite de moitié pour laisser une dynamique en tension suffisante permettant de bien polariser les transistors des AOs. Aussi, l'ADC choisi est à approximations successives. Il a besoin de tensions de références haute et basse pour effectuer la conversion. En fixant une référence basse à 0.8 V et une haute à 2.45 V, la sortie du PS a alors une dynamique linéaire de 1.65 V. En reprenant la réponse probabiliste

maximale à un électron énergétique, nous pouvons la faire correspondre à la gamme de linéarité en tension du circuit, comme cela est représenté sur la figure V-7.

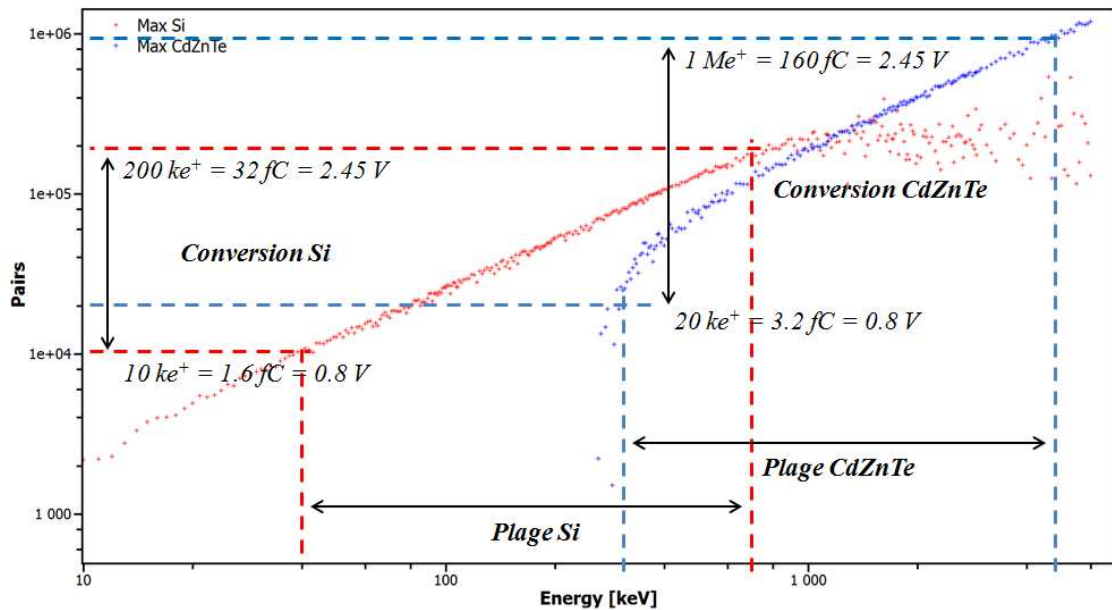


figure V-7 : Réponse probabiliste maximale en nombre de paires électron trou dans le Si (rouge) et dans le CdZnTe (bleu) à un électron énergétique pour la faire correspondre avec la gamme de tension du système.

Comme présenté dans le chapitre II, ces gammes sont choisies dans la zone où la dispersion est la plus faible afin d'éviter autant que possible de rajouter des erreurs provenant de la physique de conversion dans les SCs sur les erreurs de conversion de l'électronique. Il est important de noter que la valeur de la charge minimale à détecter doit être la plus petite possible (valeur de bruit de la chaîne en ENC) et toujours inférieure à celle imposée par la gamme de détection.

### V.3.1. Dimensionnement de l'instrumentation du Si

La résolution des Si (type A et B) est égale à :

$$Résolution_{Si} = \frac{\Delta V_{S\_PS\_MAX}}{\Delta Q_{MAX}} = \frac{1.65}{32 \cdot 10^{-15}} = 51.56 \text{ mV/fC} \quad (\text{V-3})$$

La fréquence de fonctionnement minimale  $F_{Utile}$  du Si est de 20 MHz. Elle correspond au temps de collecte de la charge la plus lente possible. Donc le Si peut travailler à des fréquences beaucoup plus élevées si la charge est plus rapide. Nous devons donc intégrer les charges qui peuvent arriver sur l'électrode de quelques ps à 50 ns. Le peaking time du système doit être au minimum centré sur le temps d'intégration maximum soit 60 ns pour avoir une marge de sécurité. Pour calculer le temps de relaxation de la chaîne, nous devons prendre en compte le temps de conversion de l'ADC. Nous utilisons un ADC à

approximations successives de  $n = 10$  bits fonctionnant à une fréquence  $F_{ADC} = 10$  MHz. Nous pouvons calculer le temps de conversion mis par la chaîne pour faire la discrimination à :

$$t_{CONV\_Si} = \frac{1}{F_{Utile}} + \frac{n}{F_{ADC}} = 1.06 \mu\text{s} \quad (\text{V-4})$$

Ce temps ne prend pas en compte les temps de propagation des différents blocs mais ils seront négligeables. Le temps maximal d'intégration est défini par :

$$t_{S\_MAX} = \frac{t_{CONV\_Si}}{(1 + 5)} \quad (\text{V-5})$$

Les formules (V-4) et (V-5) montrent que l'on doit effectuer une intégration sur 60 ns minimum mais que l'on peut augmenter jusqu'à  $t_{S\_MAX} = n/(5F_{ADC}) = 200$  ns sans influencer sur la vitesse de conversion du système. Cela va permettre de réduire la bande passante et le bruit lors de la conception.

Par rapport aux spécifications de la chaîne pour la MCP, nous observons que la résolution demandée est 34 fois plus importante, que la capacité d'entrée du Si de type A est 30 fois plus élevée pour un temps d'intégration quasi égal. Ceci engendrera une pénalité sur la consommation et le bruit.

### V.3.2. Dimensionnement de l'instrumentation du CdZnTe

La résolution des CdZnTe est égale à :

$$Résolution_{CdZnTe} = \frac{\Delta V_{S\_PS\_MAX}}{\Delta Q_{MAX}} = \frac{1.65}{160 \cdot 10^{-15}} = 10.31 \text{ mV/fC} \quad (\text{V-6})$$

La fréquence de fonctionnement minimale  $F_{Utile}$  du CdZnTe est de 130 kHz. Dans ce cas nous devons intégrer les charges qui peuvent atteindre l'électrode de quelques ps à 7.7  $\mu\text{s}$ . Le peaking time du système doit être au moins égale au temps d'intégration maximum, soit 8  $\mu\text{s}$  pour avoir une marge de sécurité. Nous pouvons calculer le temps de conversion mis par la chaîne pour faire la discrimination :

$$t_{CONV\_CdZnTe} = \frac{1}{F_{Utile}} + \frac{n}{F_{ADC}} = 9 \mu\text{s}. \quad (\text{V-7})$$

Plus lente que la chaîne Si, nous allons rencontrer un problème d'intégration physique de cette constante de temps de 8  $\mu\text{s}$ . Une solution différente sera alors présentée dans les paragraphes correspondants.

## V.4. L'amplificateur opérationnel à 2 étages

L'OTA « folded cascode » utilisé dans le chapitre IV est de type « Single-Ended ». Or, les circuits différentiels sont moins sensibles aux injections de charges (théoriquement et par simulations électriques) [84]. Donc en utilisant un OTA dont l'étage d'entrée est une paire différentielle (chapitre IV), la structure va être plus naturellement immunisée aux injections de charges.

L'objectif de ce paragraphe est d'étudier la stabilité d'un tel OTA qui sera utilisé en régime linéaire. Ainsi, différentes solutions de compensation sont exposées afin de le stabiliser tout en atteignant des performances élevées [90]. Commençons par étudier la réponse fréquentielle d'un OTA à 2 étages.

### V.4.1. Réponse fréquentielle

En reprenant le schéma de l'OTA à deux étages de la figure IV-26, nous pouvons comparer et étudier les positions relatives des 2 pôles. Pour effectuer cette étude nous choisissons de mettre tous les transistors à la même dimension pour nous donner un ordre d'idée sur ses performances. La simulation Spectre permet d'obtenir les caractéristiques des transistors en se mettant en régime de faible inversion (tableau V-2).

tableau V-2 : Caractéristiques des transistors de l'OTA (AMS CMOS HV 0.35  $\mu\text{m}$ ).

$W$	$L$	$I_D$	$g_m$	$g_{ds}$
50 $\mu\text{m}$	0.7 $\mu\text{m}$	5 $\mu\text{A}$	110 $\mu\text{S}$	500 nS

Dans l'hypothèse que l'ensemble des transistors ont une géométrie identique et après avoir vérifié que tous sont correctement polarisés en régime de faible inversion, nous pouvons tracer un gabarit de la réponse en fréquence de chacun des étages de cet amplificateur en supposant que la charge capacitive de sortie  $C_L$  soit nulle (figure V-8).

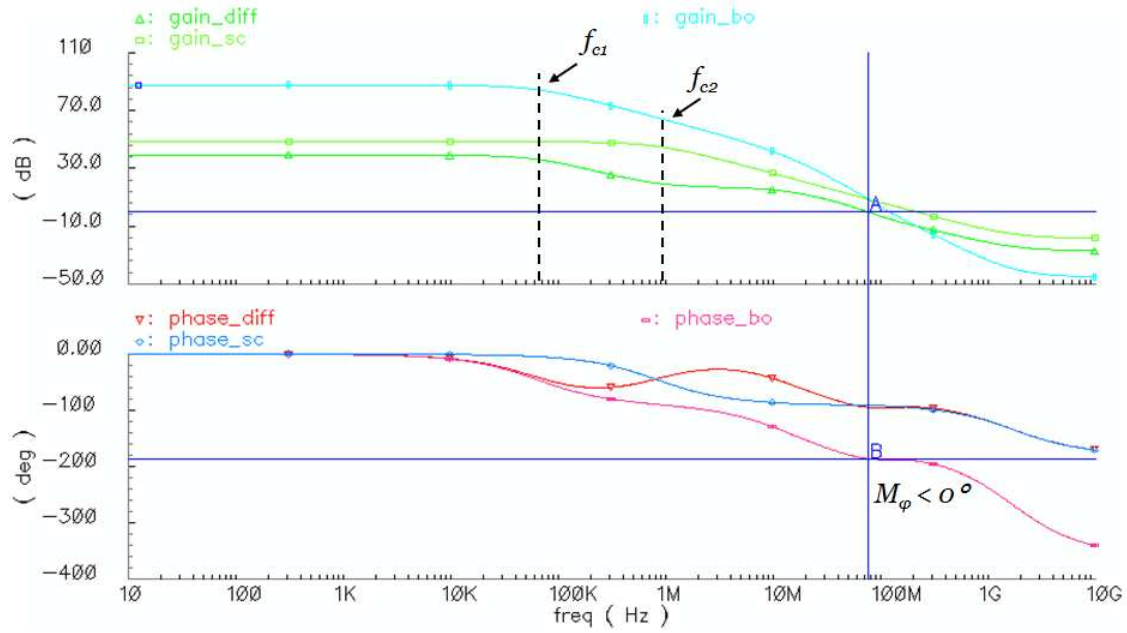


figure V-8 : Tracé du gabarit de la réponse en fréquence de chacun des étages de amplificateur de la ( ) avec  $C_L = 0$ .

Nous observons la fréquence de coupure du premier étage  $f_{c1} = \omega_1/2\pi = 66 \text{ kHz}$  et du deuxième étage  $f_{c2} = \omega_2/2\pi = 817 \text{ kHz}$ . Avec des transistors identique nous trouvons un gain DC de l'ordre de  $(g_m/(2g_{ds}))^2 \cong 90 \text{ dB}$ . Par ailleurs, le circuit est naturellement instable car il a une marge de phase en boucle ouverte  $M_\varphi < 0^\circ$ . Pour utiliser un tel circuit, il va falloir effectuer une compensation en fréquence.

#### V.4.2. Compensation en fréquence simple

La méthode classique pour stabiliser un amplificateur à deux pôles consiste à abaisser la fréquence du pôle dominant  $f_{c2}$  de façon à ce que le module du gain global soit égal à 1 à la fréquence du deuxième pôle. Dans le cas présent, cela reviendrait à ajouter une capacité  $C_{Comp2}$  sur le nœud de sortie du deuxième étage pour diminuer ce pôle (cette capacité pouvant aussi être celle de la charge  $C_{L2}$  du dispositif) (voir figure V-9). La valeur de cette capacité de compensation et la nouvelle pulsation sont données par les équations suivantes :

$$C_{Comp2} = C_{O2} \frac{g_m}{2g_{ds}} \quad (\text{V-8})$$

$$\omega'_2 = 2 \frac{g_{ds6}}{C_{O2}} \left( \frac{g_{ds}}{g_m} \right)^2 \quad (\text{V-9})$$

En prenant un ensemble des capacités  $C_{O2} = 100 \text{ fF}$ , il faudrait au moins une capacité  $C_{Comp2} = 11 \text{ pF}$  à intégrer pour compenser cet OTA ou  $C_{Comp2} > 600 \text{ pF}$  pour avoir  $M_\varphi > 45^\circ$ . Cela est bien sûr irréalisable en technologie intégré car par exemple si nous l'intégrons

en cpoly elle occupera une surface près de 1000  $\mu\text{m}^2$ ! Un tel circuit donnerait un produit gain-bande passante  $f_{C1} = 1.6 \text{ MHz}$ , ce qui n'est pas satisfaisant pour nos applications, tant au niveau de la bande passante qu'au niveau du slew-rate car la capacité  $C_{Comp2}$  est énorme. Une autre solution est alors à envisager.

### V.4.3. Compensation par l'effet Miller

#### a) Retard de phase

Le principe est d'ajouter une capacité  $C_{Comp1}$  entre le drain et la grille du transistor M6 afin de bénéficier de l'effet Miller, ainsi que le montrent les équations des pulsations de l'amplificateur :

$$\omega_1 \approx \frac{2g_{ds2}}{C_{Comp1}(1 - A_{v2})} \quad (\text{V-10})$$

$$\omega_2 \approx \frac{2g_{ds6}}{C_{O2} + C_{Comp1}} \frac{g_{ds6}}{g_{m6}} \quad (\text{V-11})$$

Le schéma de l'OTA à deux étages avec compensation par effet Miller  $C_{Comp1}$  est présenté sur la figure V-9 avec  $R_{Comp1} = 0$  et  $C_{Comp2} = 0$  pour le moment.

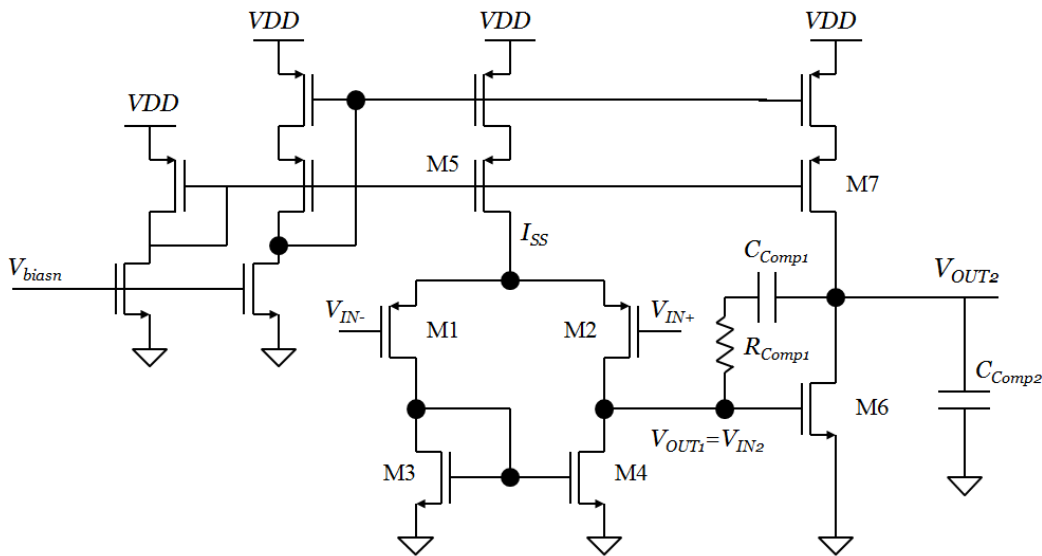


figure V-9 : Schéma de l'OTA à deux étages avec compensation par effet Miller ( $R_{Comp1}$  et  $C_{Comp1}$ ) et simple  $C_{Comp2}$ .

Avec quelques approximations sur l'expression du gain différentiel de l'OTA, nous pouvons écrire l'équation suivante :

$$A_v(p) = A_{v0} \frac{1 - \frac{C_{Comp1}}{g_m} p}{\left(1 + \frac{g_m C_{Comp1}}{g_{s1} g_{s6}} p\right) \left(1 + \frac{C_{O1} + C_{O2}}{g_m} p\right)} \quad (\text{V-12})$$

où :

$$g_{s1} = 2g_{ds2} \quad (\text{V-13})$$

$$g_{s6} = g_{ds6} \quad (\text{V-14})$$

Le pôle dominant correspond à celui du premier étage est donné par la capacité de Miller  $C_{Comp1}$ . Il y a apparition d'un zéro négatif qui est aussi fonction de cette capacité de compensation effectuant un court-circuit à travers le deuxième étage aux fréquences élevées. Enfin, le deuxième pôle contribue à la réponse fréquentielle lorsque l'approximation de Miller n'est plus valable sur le premier étage. Le deuxième pôle et le zéro négatif étant à peu près environ aux mêmes fréquences, cela réduit notablement la bande passante atteignable.

#### b) Retard-avance de phase

La solution pour éliminer ce zéro consiste à ajouter une résistance de compensation  $R_{Comp1}$  en série avec la capacité  $C_{Comp1}$ , pour servir de « butée » aux hautes fréquences comme cela est présenté sur la figure V-9. On peut noter que  $R_{Comp1}$  peut être un transistor MOS en régime ohmique ce qui améliore le matching. A nouveau, il est nécessaire de chercher à simplifier l'expression globale du gain de l'OTA pour qu'elle soit exploitable. Une approximation raisonnable est la suivante :

$$A_v(p) = A_{v0} \frac{1 - \left(R_{Comp1} C_{Comp1} - \frac{C_{Comp1}}{g_m}\right) p}{\left(1 + \frac{g_m C_{Comp1}}{g_{s1} g_{s6}} p\right) \left(1 + \frac{C_{O1} + C_{O2}}{g_m} p\right) \left(1 + R_{Comp1} \frac{C_{O1} C_{O2}}{C_{O1} + C_{O2}} p\right)} \quad (\text{V-15})$$

On peut voir que le zéro négatif dû à la capacité de compensation n'a pas été éliminé mais remplacé par un zéro positif, si la condition suivante est respectée :

$$R_{Comp1} > 1/g_m \quad (\text{V-16})$$

La résistance  $R_{Comp1}$  ajoute également un troisième pôle et ce zéro maintenant positif va pouvoir compenser l'un d'entre eux. Deux solutions s'offrent donc à nous. Si l'on admet pour simplifier les calculs, que  $C_{O1} \cong C_{O2}$ , les deux derniers pôles ont pour constante de temps associées  $2C_{O1}/g_m$  et  $R_{Comp1}C_{O1}/2$ .

Nous allons dans un premier temps chercher à compenser le pôle lié à la résistance de compensation. A partir de (V-15), l'égalité entre pôle et zéro conduit à :



$$\begin{aligned} \frac{R_{Comp1}C_{O1}}{2} &= R_{Comp1}C_{Comp1} - \frac{C_{Comp1}}{g_m} \\ \rightarrow R_{Comp1} &= \frac{1}{g_m} \frac{1}{1 - \frac{C_{O1}}{C_{Comp1}}} \end{aligned} \quad (\text{V-17})$$

Pour que l'amplificateur soit stable en boucle fermée au gain unitaire, il faut que son gain soit unitaire à la fréquence du deuxième pôle non-compensé. La condition s'écrit comme suit :

$$\begin{aligned} \left( \frac{g_m C_{Comp1}}{g_{s1} g_{s6}} \right) / \left( \frac{2C_{O1}}{g_m} \right) &= \frac{g_m^2}{g_{s1} g_{s6}} \\ \rightarrow C_{Comp1} &= 2C_{O1} \end{aligned} \quad (\text{V-18})$$

On en déduit notre premier jeu de condition possible :

$$R_{Comp1} = \frac{4}{3} \frac{1}{g_m} \quad C_{Comp1} = 2C_{O1} \quad (\text{V-19})$$

Dans un deuxième temps, nous analysons la compensation du pôle lié aux capacités des transistors. A partir de (V-15), l'égalité entre pôle et zéro conduit cette fois-ci à :

$$\begin{aligned} \frac{2C_{O1}}{g_m} &= R_{Comp1}C_{Comp1} - \frac{C_{Comp1}}{g_m} \\ \rightarrow R_{Comp1} &= \frac{1}{g_m} \left( 1 + \frac{2C_{O1}}{C_{Comp1}} \right) \end{aligned} \quad (\text{V-20})$$

La condition de stabilité s'écrit alors :

$$\begin{aligned} \left( \frac{g_m C_{Comp1}}{g_{s1} g_{s6}} \right) / \left( \frac{R_{Comp1}C_{O1}}{2} \right) &= \frac{g_m^2}{g_{s1} g_{s6}} \\ \rightarrow C_{Comp1} &= C_{O1} \frac{\sqrt{17} + 1}{4} \end{aligned} \quad (\text{V-21})$$

On en déduit le deuxième jeu de condition possible :

$$R_{Comp1} = \frac{1}{g_m} \frac{\sqrt{17} + 1}{2} \cong \frac{2.56}{g_m} \quad C_{Comp1} = C_{O1} \frac{\sqrt{17} + 1}{4} \cong 1.28 C_{O1} \quad (\text{V-22})$$

La capacité de compensation nécessaire est plus faible dans ce deuxième cas que dans le premier, c'est donc le deuxième cas qui est préférable. Pour le circuit de la figure V-9, cela donnerait  $C_{Comp1} = 128 \text{ fF}$  et  $R_{Comp1} = 23 \text{ k}\Omega$ . Le tracé fréquentiel de l'OTA à compensation  $R_{Comp1}$  et  $C_{Comp1}$  est présenté sur la figure V-10.

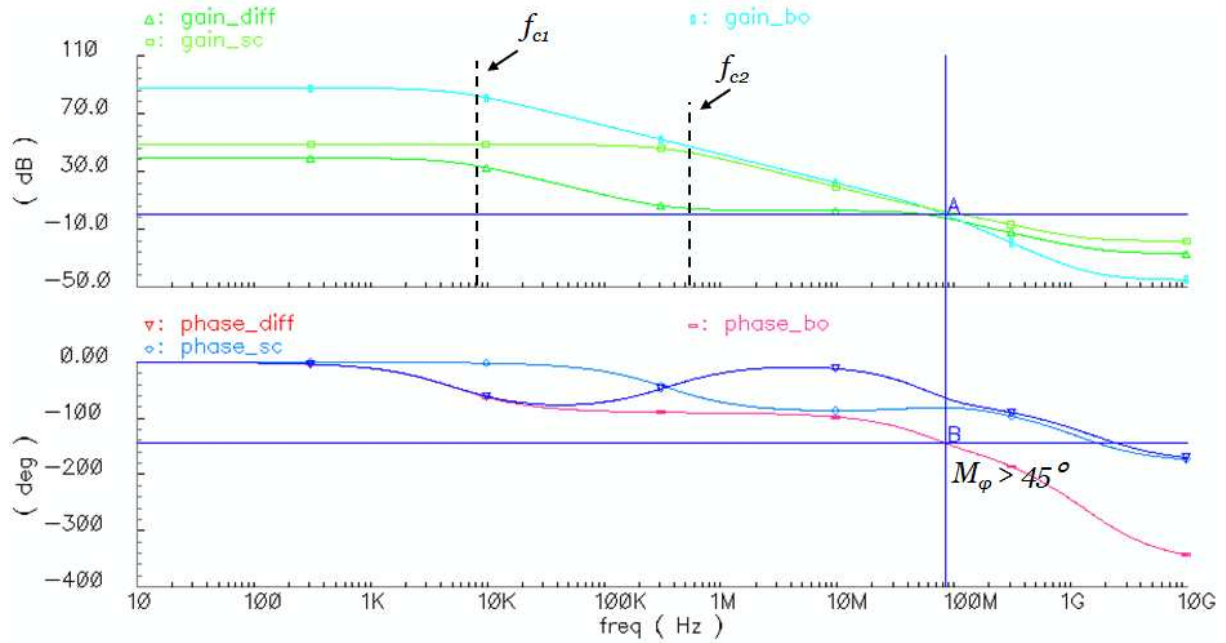


figure V-10 : Tracer du gabarit de la réponse en fréquence de chacun des étages de amplificateur de la figure V-9 compensée par  $R_{Comp1} = 23 \text{ k}\Omega$  et  $C_{Comp1} = 128 \text{ fF}$ .

L'amplificateur est bien compensé car nous trouvons une marge de phase de  $45^\circ$ . La simulation indique qu'avec de telles valeurs, l'amplificateur présente un produit gain-bande passante de 84 MHz. Cette étude prévoyait une valeur  $f = 1/(2\pi(1.28C_{O1}/g_m)) = 136 \text{ MHz}$ . Cela peut facilement s'expliquer par les différentes approximations effectuées dans les calculs ainsi que par la difficulté à obtenir des valeurs correctes pour les capacités parasites des transistors. Cette bande passante peut largement être améliorée en jouant sur les tailles des transistors et courant de polarisation des deux étages.

#### V.4.4. Bruit de l'OTA à 2 étages

La valeur quadratique moyenne du bruit en tension d'une paire différentielle ramenée sur l'entrée du transistor M1 est donnée par :

$$\overline{v_{ieq1}^2} = 2\overline{v_1^2} \left( 1 + \frac{g_{m3}}{g_{m1}} \right) \quad (\text{V-23})$$

où  $\overline{v_1^2}$  est la valeur quadratique moyenne du bruit en tension entre le drain et la source de M1 et en négligeant le bruit de la source de courant. Il faut donc absolument réduire  $g_{m3}$ , soit en réduisant le W/L ou en augmentant le  $V_{gs3} - V_T$ . En conséquence, la source équivalente de bruit en entrée est tout simplement doublée par rapport à celle d'un étage d'amplification à un seul transistor (comme le folded cascode) et cela donne une augmentation de  $\sqrt{2}$ , soit 41 %. Le bruit de la source commune est donné dans le chapitre IV et est égal à  $\overline{v_{ieq2}^2} = \overline{v_6^2}$ . En

conclusion les amplificateurs les plus faibles faible bruit sont à un seul transistor. Cependant, ils sont plus sensibles aux bruits des masses et alimentations.

## V.5. Chaîne de conversion pour Si de type A

### V.5.1. Conception du CPA pour Si de type A

#### a) Calcul des composants passifs

Le calcul de la capacité  $C_f$  est effectué à partir de la dynamique que nous voulons donner en sortie du CPA soit 1.65 V et  $C_f$  est alors égale à :

$$C_f = \frac{\Delta Q_{MAX}}{\Delta V_{S\_CPA}} = \frac{32 \text{ fC}}{1.65 \text{ V}} = 19 \text{ fF}. \quad (\text{V-24})$$

Cette valeur est vraiment faible et est très proche des valeurs parasites des composants. Nous choisirons un  $C_f$  dix fois supérieur, soit 200 fF afin de s'en démarquer. Cela donne un gain de conversion de  $5 \text{ mV} \cdot \text{fC}^{-1}$  et donc il faudra que le PS amplifie le signal de 10.3 (pour avoir la résolution de  $51.56 \text{ mV} \cdot \text{fC}^{-1}$  voulue).

La résistance  $R_f$  est calculée à partir du temps de conversion du circuit  $t_{CONV\_Si}$  afin de décharger totalement  $C_f$  dans ce laps de temps :

$$\tau_f = R_f C_f = \frac{t_{CONV\_Si}}{2\pi} - \frac{t_r}{2\pi} = 159 \text{ ns}. \quad (\text{V-25})$$

avec  $t_r$  qui représente le temps de montée du CPA qui doit être égal au temps de shapping  $t_s$ . Nous fixons alors les temps  $t_r = t_s = 60 \text{ ns} < t_{S\_MAX}$  pour avoir une marge d'erreur. Ainsi  $R_f$  est fixé à moins de 795 k $\Omega$ .

#### b) Produit gain bande passante

Afin de déterminer le gain en boucle ouverte de l'OTA, nous utilisons la formule du produit gain bande passante (GBW) en boucle ouverte du CPA (III-20) :

$$GBW_{CPA} = \frac{1}{2\pi\tau_{in}} \frac{C_{in}}{C_f} \quad (\text{V-26})$$

avec  $t_r = 2.2\tau_{in}$  le produit gain bande passante du CPA est de 1.167 GHz si l'on donne  $C_{in} = C_d + C_p = 40 \text{ pF}$ . Par avance, cette bande passante est assez difficile à atteindre et afin de simplifier la réalisation, nous choisissons d'augmenter le temps de montée du système  $t_r = 100 \text{ ns}$ . Ainsi,  $GBW_{CPA} = 700 \text{ MHz}$ , ce qui est faisable avec un OTA à 2 étages. La fréquence de coupure en boucle fermée est de :

$$f_{C2} = \frac{GBW_{CPA}}{A_v} \approx GBW_{CPA} \frac{C_f}{C_{in}} = \frac{1}{2\pi\tau_{in}} = 3.5 \text{ MHz} \quad (\text{V-27})$$

## c) Conception de l'OTA à deux étages du CPA

Comme précédemment décrit, nous utilisons l'OTA à deux étages compensé de la figure V-9 pour la conception du CPA, à la seule différence que nous utilisons un transistor d'entrée de type NMOS. L'étude du temps de réponse et de la stabilité est toujours identique dans cette configuration. Il est polarisé par miroir Wide-Swing Cascode (figure IV-9). La méthodologie de conception est basée sur l'étude séparée du gain de chaque étage en fonction de la bande passante demandée et des capacités de charge. La figure V-11 montre le schéma de principe simplifié utilisé pour le dimensionnement des étages.

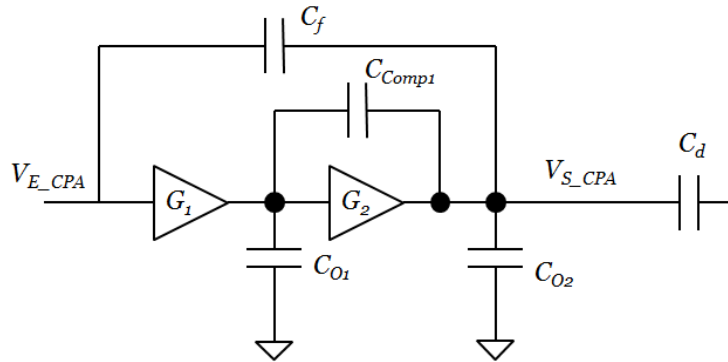


figure V-11 : Schéma de principe utilisé pour le dimensionnement des étages.

Grace à l'étude du comparateur, nous avons vu que la réponse d'un système à deux étages peut être améliorée en utilisant un  $m = \omega_2/\omega_1$  élevé et avec l'étude de la stabilité nous avons aussi remarqué que le pôle  $\omega_2$  est toujours supérieur à  $\omega_1$  dans la configuration retard-avance de phase avec  $C_{Comp1}$  et  $R_{Comp1}$ . La condition de stabilité montre qu'il faut prendre une bande passante 3 fois plus élevée sur le deuxième étage [85]. Ce qui reviendrait à écrire l'approximation suivante :

$$\frac{g_{m6}}{g_{m1}} \approx 4 \frac{C_{L2}}{C_{L1}} \quad (\text{V-28})$$

Cela montre que  $m = 4$  et que dans ces conditions il doit être toujours supérieur à 4. Avec les différents GBW des étages nous pouvons écrire que :

$$\frac{g_{m1}}{(C_{O1} + C_{Comp1})} = \frac{1}{m} \frac{g_{m6}}{(C_{Comp1} + C_{O2} + C_f + C_d)} \quad (\text{V-29})$$

avec :

$$\frac{g_{m1}}{2\pi(C_{O1} + C_{Comp1})} = GBW_{CPA} = 700 \text{ MHz} \quad (\text{V-30})$$

où  $C_{Comp1} = 175 \text{ fF}$  et  $R_{Comp1} = 6 \text{ k}\Omega$  soit  $C_{O1} + C_{Comp1} = 250 \text{ fF}$ , nous trouvons donc  $g_{m1} = 1.1 \text{ mS}$ . En weak inversion  $g_{m1} = I_{D1}/U_T$  donc  $I_{D1}$  vaut :

$$I_{D1} = g_{m1}U_T = 1.1 \text{ mS} \times 25 \text{ mV} = 27.5 \text{ }\mu\text{A} \quad (\text{V-31})$$

Avant de continuer, il faut vérifier que ce courant soit en accord avec les simulations du bruit ENC. Pour cela, nous introduisons le bruit généré par la paire différentielle décrit par l'équation (V-23). La figure V-12 est la simulation 3D de l'  $ENC_{Total}$  du circuit CPA+PS en faible inversion en fonction du  $W$  et du courant de drain  $I_D$  du transistor d'entrée avec un filtre  $CR - (RC)^1$ ,  $C_d = 40 \text{ pF}$ ,  $C_f = 200 \text{ fF}$ ,  $\tau_s = 100 \text{ ns}$ ,  $I_0 = 10 \text{ nA}$  et  $L = 0.7 \mu\text{m}$ .

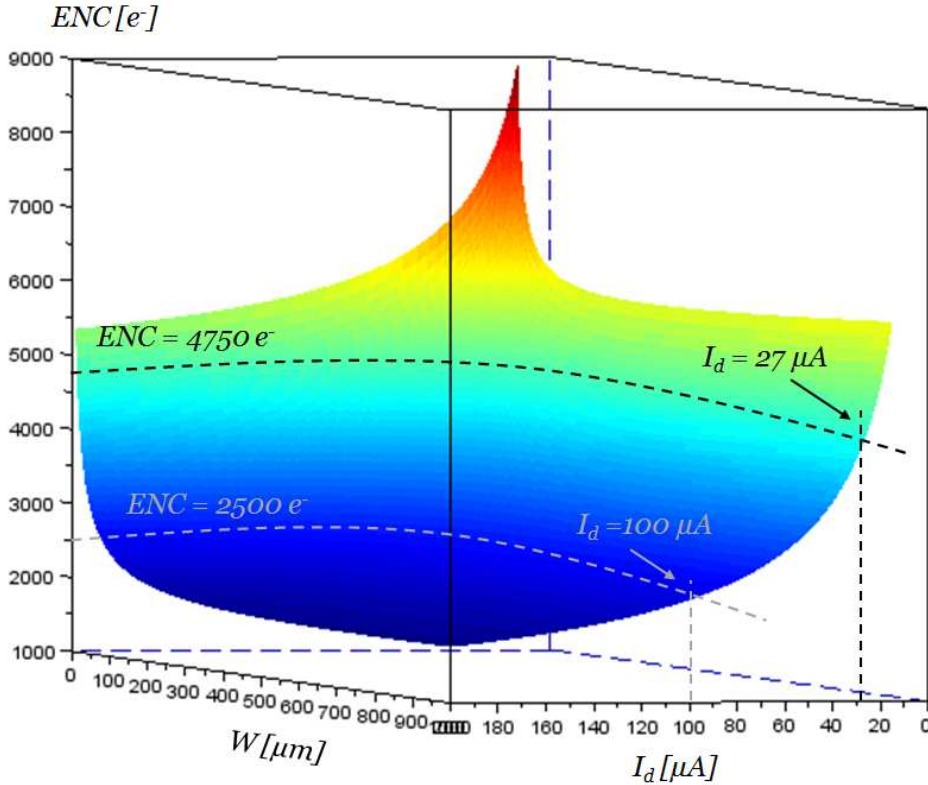


figure V-12 : Simulation de l'  $ENC_{Total}$  3D en fonction du  $W$  et du courant de drain  $I_D$  du transistor d'entrée avec un filtre  $CR - (RC)^1$ ,  $C_d = 40 \text{ pF}$ ,  $C_f = 200 \text{ fF}$ ,  $\tau_s = 100 \text{ ns}$ ,  $I_0 = 10 \text{ nA}$  et  $L = 0.7 \mu\text{m}$ .

Nous voyons que l'  $ENC_{Total}$  pour un courant  $I_{D1} = 27.5 \mu\text{A}$  est de l'ordre de  $4750 e^-$ . Nous sommes à côté d'une zone de forte évolution de l'  $ENC_{Total}$  car le courant est trop faible. Nous préférons alors augmenter ce courant autour de  $100 \mu\text{A}$  afin d'optimiser la chaîne en bruit ( $2500 e^-$  théorique) au détriment de la consommation. On note que la simulation Spectre permet de trouver un  $ENC_{Total}$  minimal à  $W_1 = 556 \mu\text{m}$ . Dans ce cas, le  $g_{m1} = 4 \text{ mS}$  et le  $GBW_1$  du premier étage vaut maintenant  $2.5 \text{ GHz}$ . La bande passante du second étage est calculée avec :

$$\frac{g_{m6}}{2\pi(C_{Comp1} + C_{O2} + C_f + C_d)} = 4 \times GBW_1 = 10 \text{ GHz} \quad (\text{V-32})$$

Avec  $C_{L2} = C_{Comp1} + C_{O2} + C_f + C_d = 3.25 \text{ pF}$ , avec  $C_d$  la capacité d'entrée du PS calculée par la formule (V-37). Nous trouvons donc  $g_{m6} = 204 \text{ mS}$ . En faible inversion  $g_{m6} = I_{D6}/U_T$  donc  $I_{D6}$  vaut :

$$I_{D6} = g_{m6}U_T = 57 \text{ mS} \times 25 \text{ mV} = 5.1 \text{ mA} \quad (\text{V-33})$$

Nous allons montrer que nous pouvons diminuer ce courant.

d) *Stabilité*

La stabilité en boucle ouverte du CPA est vérifiée par le tracé du gabarit de la réponse en fréquence de cet amplificateur. L'étude [91] permet de montrer que l'utilisation de la capacité du détecteur dans la formule de la stabilité (V-28) permet de jouer sur la compensation de l'OTA à deux étages selon :

$$g_{m6} \approx m \frac{C_{L2} g_{m1}}{C_{L1} G_{CL}} \quad (\text{V-34})$$

avec  $G_{CL} = C_{in} / C_f$  le gain en boucle fermée du CPA. Ce calcul de  $g_{m6}$  montre que l'on peut retrancher un facteur  $G_{CL}$  à  $g_{m6}$  pour que la bande passante soit toujours correcte. Dans ces conditions, cela permet de consommer moins et de stabiliser plus facilement l'OTA. Ainsi, les paramètres du second étage peuvent être réduits à  $g_{m6} = 1.04 \text{ mS}$  et  $I_{D6} = 26 \mu\text{A}$ . Il faut vérifier que le SR soit au minimum de :

$$SR = \frac{I_{D6}}{C_{L2}} > \frac{\Delta V_{max}}{\Delta t} = \frac{1.65}{100.10^{-9}} = 16.5 \text{ V}/\mu\text{s} \quad (\text{V-35})$$

$I_{D6}$  doit donc être ajusté à  $53.6 \mu\text{A}$ , ce qui donne  $\text{GBW} = 104 \text{ MHz}$ . La figure V-13 montre la réponse fréquentielle de l'OTA en boucle ouverte.

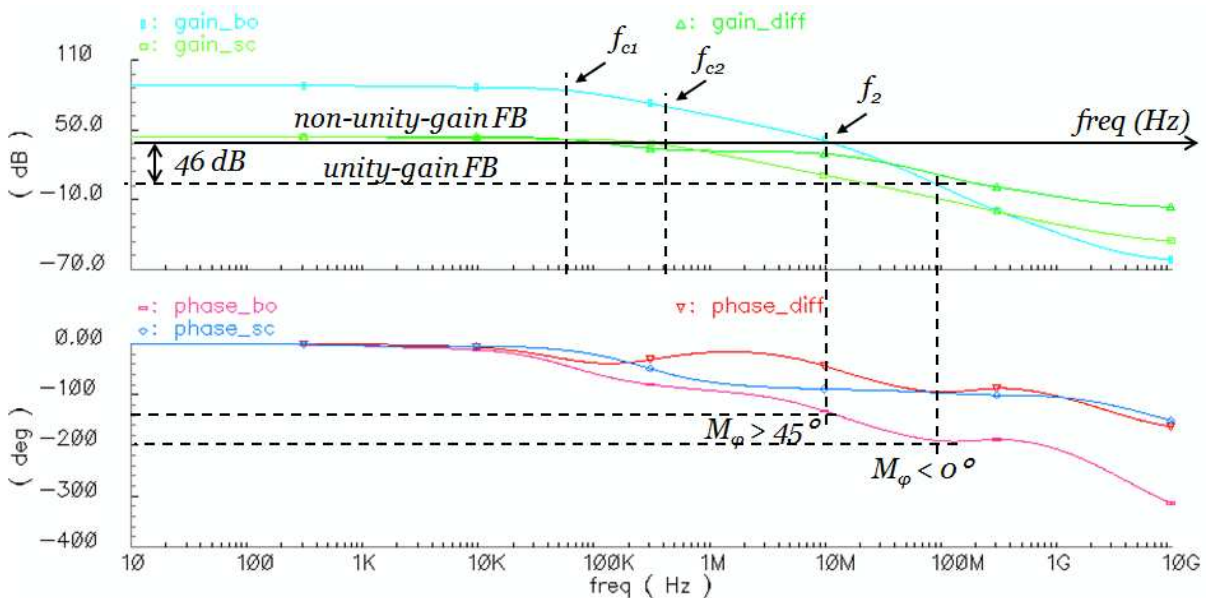


figure V-13 : Diagramme de bode du CPA Si de type A en boucle ouverte.

Ce circuit a une marge de phase inférieure à  $0^\circ$ . En prenant en compte l'auto compensation de  $G_{CL} = 46 \text{ dB}$ , nous nous plaçons sur la plage de gain non unitaire qui donne une marge de phase supérieure à  $45^\circ$ .

### V.5.2. Conception du PS pour le Si de type A

Nous utilisons la même structure que proposée dans la conception du PS pour la MCP (figure IV-18). Le gain du PS est choisi à partir de la formule (III-39) selon la relation suivante :

$$A_s = C_f e^1 \text{Résolution}_{Si} = 200 \text{ fF} \times e^1 \times 51.56 \text{ mV} \cdot \text{fC}^{-1} = 28 \quad (\text{V-36})$$

Nous pouvons en déduire les formules suivantes afin de dimensionner les composants passifs avec le raisonnement suivant en posant  $C_i = 100 \text{ fF}$  :

$$C_d = A_s C_i = 2.8 \text{ pF}, \quad R_d = \frac{\tau_s}{C_d} = 35 \text{ k}\Omega, \quad R_i = \frac{\tau_s}{C_i} = 1 \text{ M}\Omega \quad (\text{V-37})$$

Ces composants sont intégrables en technologie 0.35  $\mu\text{m}$  mais sont gourmands en surface silicium. On utilise la structure de l'OTA de la figure V-9 mais avec un transistor d'entrée de type PMOS avec une valeur de polarisation sur l'entrée + de 0.8 V. En effet il faut que la sortie  $V_{S\_PS}$  soit entre 0.8 V et 2.5 V comme voulu. Le PS doit avoir un produit gain bande passante en boucle ouverte de :

$$GBW_{PS} = \frac{1}{2\pi\tau_s} = 1.59 \text{ MHz} \quad (\text{V-38})$$

Comme pour la méthode proposée pour le CPA, les différents GBW des 2 étages s'écrivent :

$$\frac{g_{m1}}{(C_{O1} + C_{Comp1})} = \frac{1}{m} \frac{g_{m6}}{(C_{Comp1} + C_{O2} + C_f + C_L)} \quad (\text{V-39})$$

avec :

$$\frac{g_{m1}}{2\pi(C_{O1} + C_{Comp1})} = GBW_{PS} \quad (\text{V-40})$$

où  $C_{Comp1} = 100 \text{ fF}$  et  $R_{Comp1} = 33 \text{ k}\Omega$  soit  $C_{O1} + C_{Comp1} = 140 \text{ fF}$  et  $C_L$  représente l'impédance complexe dans le nœud de sortie du PS. Nous trouvons donc  $g_{m1} = 2.28 \mu\text{S}$ . En faible inversion  $g_{m1} = I_{D1}/U_T$  donc  $I_{D1}$  vaut :

$$I_{D1} = g_{m1} U_T = 2.28 \mu\text{S} \times 25 \text{ mV} = 57 \text{ nA} \quad (\text{V-41})$$

Le GBW du second étage est calculé par :

$$\frac{g_{m6}}{2\pi(C_{Comp1} + C_{O2} + C_f + C_L)} = 4 \times GBW_{SL} = 6.36 \text{ MHz} \quad (\text{V-42})$$

Les fonctions suivantes sont le comparateur et surtout le peak detector qui intègre une capacité de stockage de l'ordre de 500 fF. Nous posons  $C_{Comp1} + C_{O2} + C_f + C_L = 1 \text{ pF}$ , nous trouvons donc  $g_{m6} = 40 \mu\text{S}$ . En faible inversion  $g_{m6} = I_{D6}/U_T$  donc  $I_{D6}$  vaut :

$$I_{D6} = g_{m6} U_T = 1 \text{ mS} \times 25 \text{ mV} = 1 \mu\text{A} \quad (\text{V-43})$$

Mais il faut vérifier que le SR soit au minimum de :

$$SR = \frac{I_{D6}}{C_{L2}} > \frac{\Delta V_{max}}{\Delta t} = \frac{1.65}{100 \cdot 10^{-9}} = 16.5 \text{ V}/\mu\text{s} \quad (\text{V-44})$$

$I_{D6}$  doit donc être ajusté à 53.6  $\mu\text{A}$ .

### V.5.3. Performances de la chaîne analogique pour le SiA

#### a) Réponse temporelles

Le tracé temporel est effectué afin d'observer les amplitudes et temps d'établissement correspondants à la conversion des charges. Sur la figure V-14 sont représentées les réponses temporelles en sortie du CPA (à gauche) et du PS (à droite) aux différentes charges (de 1.6 à 32 fC) de 1 ns de durée envoyées en entrée.

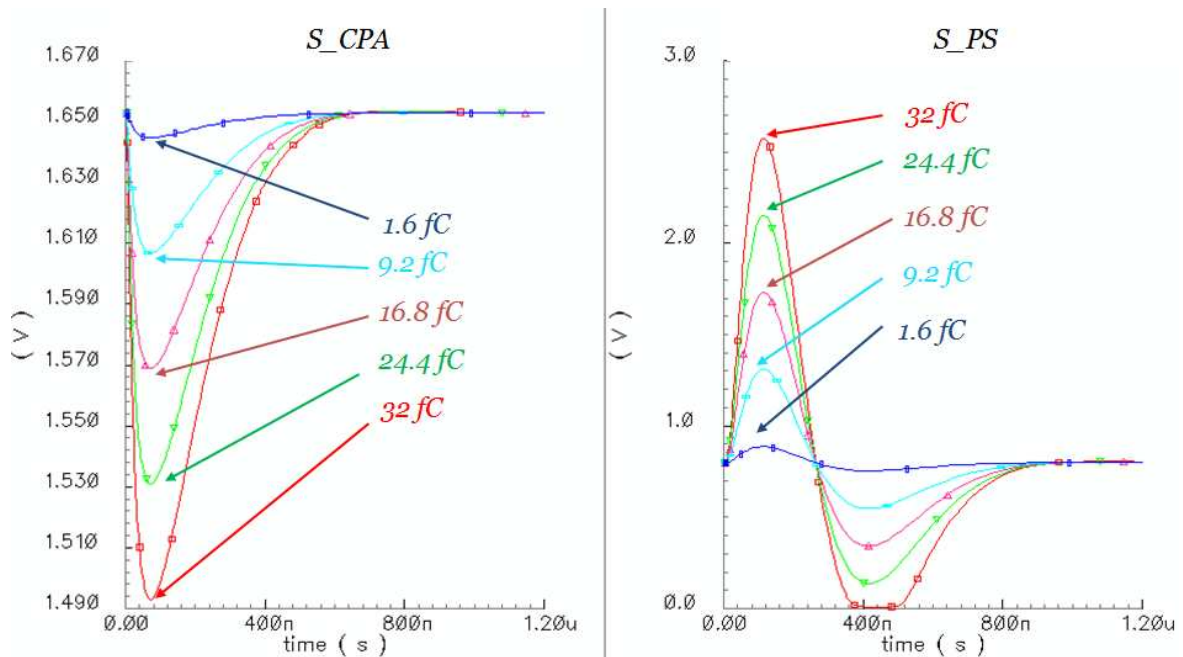


figure V-14 : Réponses temporelles en sortie du CPA (à gauche) et du PS (à droite) aux différentes charges (de 1.6 à 32 fC) de 1 ns de durée envoyées en entrée.

Pour les trous provenant du Si de type A, nous obtenons un temps de montée du CPA de 23 ns et un temps de descente de 464 ns. Pour le PS, nous obtenons un temps de montée de 67 ns et un temps de descente de 881 ns (over-shoot compris). Le pic de tension est exactement à 110 ns ( $\tau_s = 100 \text{ ns}$ ). A partir de ces tracés temporels, nous pouvons visualiser la linéarité de la chaîne analogique. Sur la figure V-15, nous traçons la valeur absolue de l'amplitude du pic de tension en sortie du CPA et du PS en fonction de la charge (de 1.6 à 50 fC) sur une durée de 1 ns.



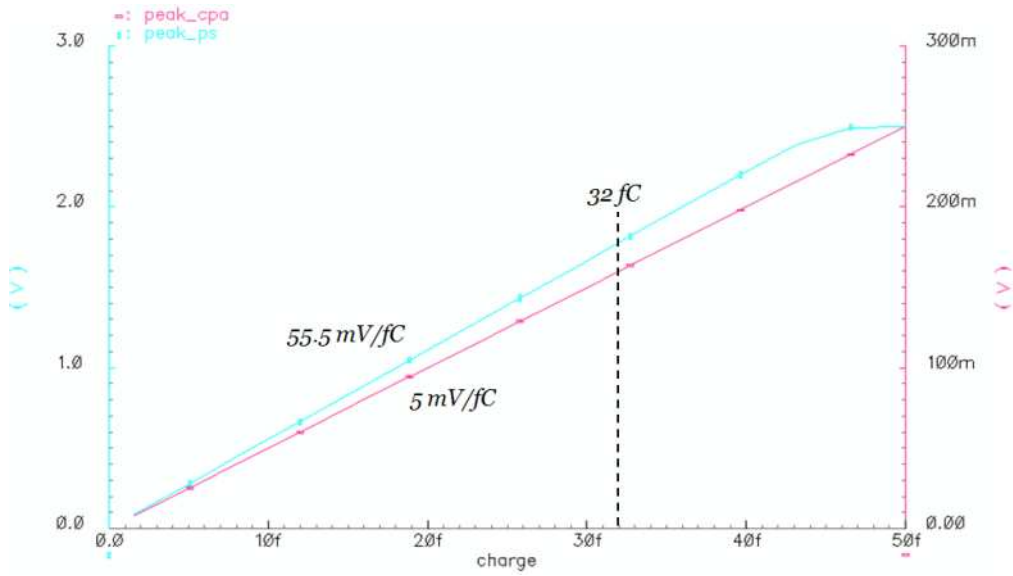


figure V-15 : Tracé de la valeur absolue de l'amplitude du pic de tension en sortie du CPA et du PS en fonction de la charge (de 1.6 à 50 fC) sur une durée de 1 ns.

La conversion est linéaire sur la plage de conversion voulue (de 1.6 à 32 fC). La résolution du système est bien celle attendue en sortie du CPA on obtient  $5 \text{ mV} \cdot \text{fC}^{-1}$  et en sortie du PS, on obtient  $55 \text{ mV} \cdot \text{fC}^{-1}$  proche des  $51.5 \text{ mV} \cdot \text{fC}^{-1}$  théorique. Dans ce système, nous avons vu que la durée de la charge est très variable (quelques ps à 60 ns). Nous devons donc vérifier la linéarité du gain du système en fonction de diverses durées de la charge. La figure V-16 présente la valeur du module du pic en sortie du CPA et du PS en fonction de la durée de la charge et pour différentes valeurs de charge.

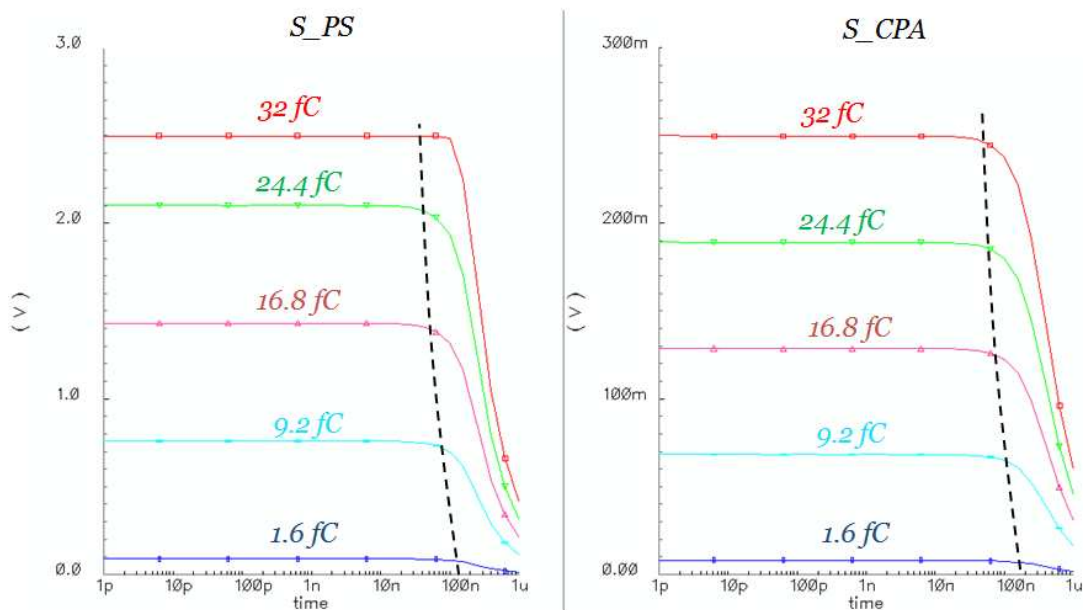


figure V-16 : Valeur du module du pic en sortie du CPA et du PS en fonction de la durée de la charge et pour différentes valeurs de charge.

Le système effectue une conversion linéaire dans la plage de 80 ns à quelques ps comme prévu. La limite haute (à droite des 2 graphes) montre l'action des constantes de temps d'intégration et de filtrage ( $\tau_f$  et  $\tau_s$ ) sur le système. Le gain augmente pour des charges courtes (à gauche des 2 graphes), car on s'approche alors trop des temps de montée et de descente de la charge (1 fs ici). Ces derniers, sont aussi intégrés dans l'aire totale et deviennent alors prédominants.

### b) Consommation

La partie analogique consomme un total de 349  $\mu\text{A}$  soit 1.152 mW. Le CPA consomme 291  $\mu\text{A}$  alors que le PS utilise seulement 58  $\mu\text{A}$ . Polariser les transistors en faible inversion a permis de bien limiter la consommation.

### c) Simulation en bruit

La densité spectrale de bruit en sortie du PS pour une capacité  $C_{in} = 40 \text{ pF}$  est présentée sur la figure V-17.

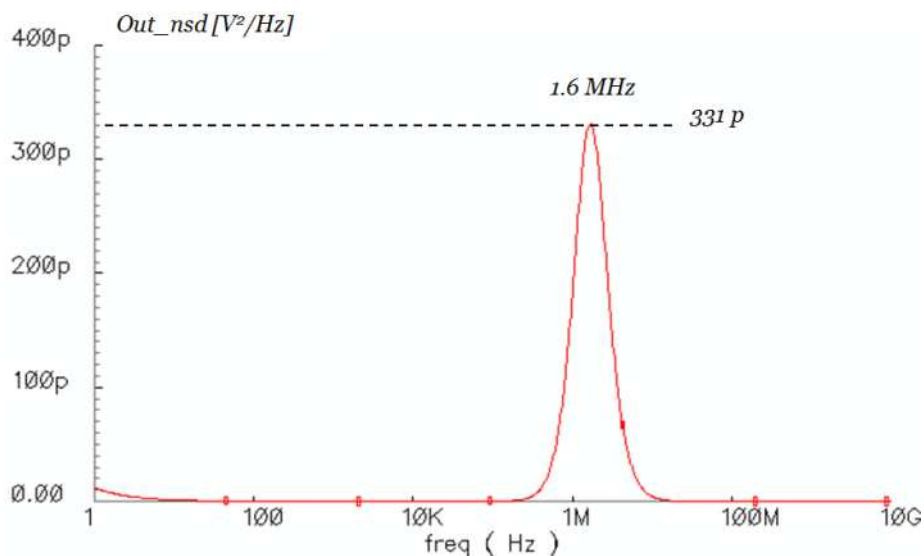


figure V-17 : Densité spectrale de bruit en sortie du PS pour une capacité  $C_{in} = 40 \text{ pF}$ .

Le bruit rms de sortie est de 29.1 mV soit un ENC de 3277  $e^-$ . Cette valeur est supérieure au bruit théorique de 2500  $e^-$  calculé précédemment. Il faut dire que la simulation est plus complète que notre valeur du bruit calculée car elle intègre le modèle de bruit de chaque composant. Le calcul a cependant donné un bon ordre de grandeur afin de correctement déterminer le courant de polarisation. Nous observons donc une charge minimale détectable de  $29.1 \text{ mV} / 55.5 \text{ mV.fC}^{-1} = 0.53 \text{ fC}$ . Cela montre que nous sommes à 2/3 en dessous des 1.6 fC minimum à détecter donc ce bruit simulé est convenable. Si nous regardons ce bruit par rapport à l'ADC, la formule (V-2) nous dit que :

$$n = \frac{1}{2\text{Ln}2} \text{Ln} \left( \frac{1}{v_{ADC}^2} \frac{V^2}{12} \right) = 4.03 \quad (\text{V-45})$$

Un ADC de 4 bits aurait été suffisant dans la conception de cette chaîne. Les études en bruits nous ont aussi permis de montrer que l'on peut encore le diminuer en augmentant  $\tau_s$  ou en rajoutant d'autres étages d'intégrations au préjudice de la consommation et de la rapidité du système.

## V.6. Chaîne de conversion pour Si de type B

### V.6.1. Conception du CPA pour Si de type B

La structure du CPA de type B est identique à celle du type A. Il faut cependant la dimensionner pour optimiser ses performances en fonction des caractéristiques du SiB.

#### a) Calcul des composants passifs

Pour le calcul de la capacité  $C_f$  du Si de type B nous posons  $C_f = 200 \text{ fF}$  ce qui donne une conversion de  $5 \text{ mV} \cdot \text{fC}^{-1}$  :

$$C_f = \frac{\Delta Q_{MAX}}{\Delta V_{S\_CPA}} = \frac{1}{5 \text{ mV} \cdot \text{fC}^{-1}} = 200 \text{ fF} \quad (\text{V-46})$$

Nous choisissons un temps de montée du système  $t_r = 100 \text{ ns}$ . Ainsi  $R_f$  est fixée à moins de  $795 \text{ k}\Omega$ .

#### b) Produit gain bande passante

Le produit gain bande passante du CPA  $GBW_{CPA} = 52 \text{ MHz}$  si l'on donne  $C_{in} = C_d + C_p = 3 \text{ pF}$  ce qui est beaucoup moins contraignant que le Si A. La fréquence de coupure en boucle fermée est de :

$$f_{C2} = \frac{GBW_{CPA}}{A_v} \approx GBW_{CPA} \frac{C_f}{C_{in}} = \frac{1}{2\pi\tau_{in}} = 3.5 \text{ MHz} \quad (\text{V-47})$$

#### c) Conception de l'OTA à deux étages du CPA

La structure d'OTA à 2 étages est la même que pour le SiA (figure V-9). Avec les différents GBW des étages (V-29), nous pouvons alors écrire que :

$$\frac{g_{m1}}{2\pi(C_{O1} + C_{Comp1})} = GBW_{CPA} = 52 \text{ MHz} \quad (\text{V-48})$$

où  $C_{Comp1} = 175 \text{ fF}$  et  $R_{Comp1} = 6 \text{ k}\Omega$  soit  $C_{O1} + C_{Comp1} = 250 \text{ fF}$ , nous trouvons donc  $g_{m1} = 82 \mu\text{S}$ . En weak inversion  $g_{m1} = I_{D1}/U_T$  donc  $I_{D1}$  vaut :

$$I_{D1} = g_{m1}U_T = 82 \mu\text{S} \times 25 \text{ mV} = 2 \mu\text{A} \quad (\text{V-49})$$

On vérifie que ce courant soit en accord avec les simulations du bruit  $ENC$ . La figure V-18 représente la simulation 3D de l'  $ENC_{Total}$  du circuit CPA+PS en faible inversion en fonction du  $W$  et du courant de drain  $I_D$  du transistor d'entrée avec un filtre  $CR - (RC)^1$ ,  $C_d = 3 \text{ pF}$ ,  $C_f = 200 \text{ fF}$ ,  $\tau_s = 100 \text{ ns}$ ,  $I_0 = 0.5 \text{ nA}$  et  $L = 0.7 \mu\text{m}$ .

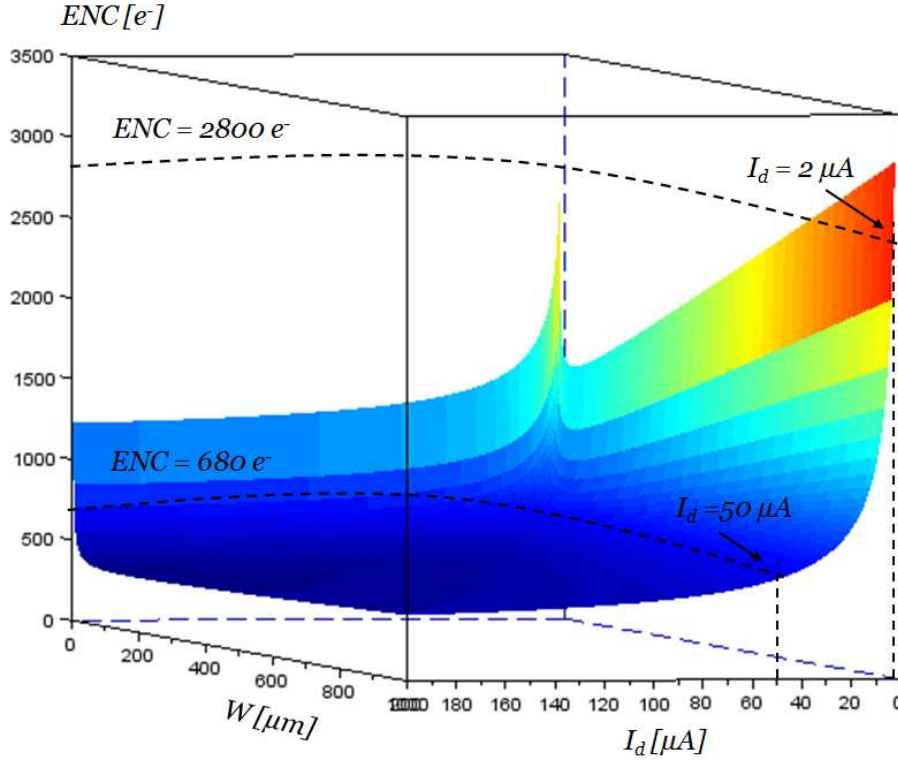


figure V-18 : Simulation de l'  $ENC_{Total}$  3D en fonction du  $W$  et du courant de drain  $I_D$  du transistor d'entrée avec un filtre  $CR - (RC)^1$ ,  $C_d = 3 \text{ pF}$ ,  $C_f = 200 \text{ fF}$ ,  $\tau_s = 100 \text{ ns}$ ,  $I_0 = 0.5 \text{ nA}$  et  $L = 0.7 \mu\text{m}$ .

L'  $ENC_{Total}$  pour un courant  $I_{D1} = 2 \mu\text{A}$  est dans la zone rouge ( $2800 e^-$ ) ce qui est déjà plus faible que le minimum de bruit du Si de type A. Cela est normal car la capacité du détecteur influe beaucoup sur le bruit de la chaîne. Nous préférons alors augmenter ce courant autour de  $50 \mu\text{A}$  afin d'optimiser la chaîne en bruit ( $680 e^-$  théorique). On note que la simulation spectre permet de trouver un  $ENC_{Total}$  minimal à  $W_1 = 280 \mu\text{m}$ . Dans ce cas, le  $g_{m1} = 2 \text{ mS}$  et le  $GBW_1$  du premier étage vaut maintenant  $1.27 \text{ GHz}$ . La bande passante du second étage est donnée par :

$$\frac{g_{m6}}{2\pi(C_{Comp1} + C_{O2} + C_f + C_d)} = 4 \times GBW_1 = 5 \text{ GHz} \quad (\text{V-50})$$

Avec  $C_{Comp1} + C_{O2} + C_f + C_d = 3.25 \text{ pF}$ , nous trouvons un  $g_{m6} = 104 \text{ mS}$ . En weak inversion  $g_{m6} = I_{D6}/U_T$  donc  $I_{D6}$  vaut :

$$I_{D6} = g_{m6}U_T = 102 \text{ mS} \times 25 \text{ mV} = 2.6 \text{ mA} \quad (\text{V-51})$$

#### d) Stabilité

La stabilité en boucle ouverte du CPA est vérifiée en traçant le gabarit de la réponse en fréquence de cet amplificateur. Avec  $G_{CL} = C_{in} / C_f$ , le gain en boucle fermée du CPA peut être retranché à  $g_{m6}$  pour stabiliser plus facilement l'OTA. Ainsi, les paramètres du second étage peuvent être réduit à  $g_{m6} = 6.9 \text{ mS}$  et  $I_{D6} = 173 \mu\text{A}$ . Mais le SR doit être au minimum de :

$$SR = \frac{I_{D6}}{C_{L2}} > \frac{\Delta V_{max}}{\Delta t} = \frac{1.65}{100 \cdot 10^{-9}} = 16.5 \text{ V}/\mu\text{s} \quad (\text{V-52})$$

Soit  $I_{D6\_MIN} = 53.6 \mu\text{A}$ . Nous choisissons  $I_{D6} = 173 \mu\text{A}$  et  $\text{GBW} = 338 \text{ MHz}$ . La figure V-19 montre la réponse fréquentielle de l'OTA en boucle ouverte.

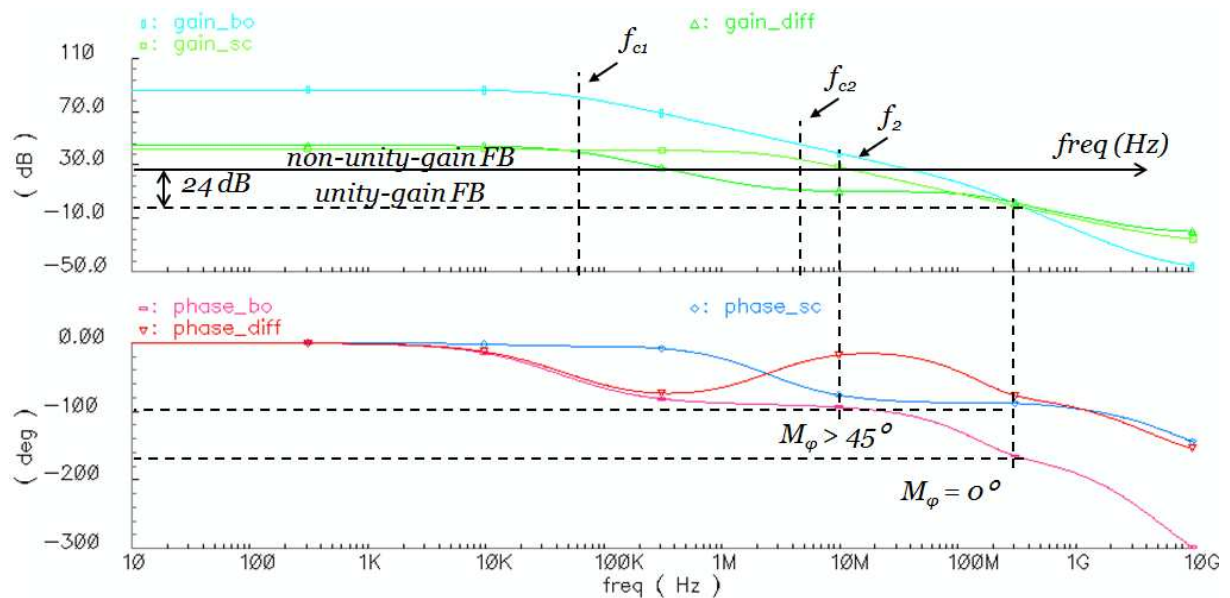


figure V-19 : Diagramme de bode du CPA Si de type B en boucle ouverte.

Ce circuit a une marge de phase de  $0^\circ$ . En prenant en compte l'auto compensation de  $G_{CL} = 24 \text{ dB}$ , nous nous plaçons sur la plage de gain non unitaire qui donne une marge de phase supérieure à  $45^\circ$ .

### V.6.2. Conception du PS pour le Si de type B

Nous utilisons exactement la même structure que celle du PS pour le Si de type A.

### V.6.3. Performances de la chaîne analogique pour le Si de type B

#### a) Réponse temporelles

Sur la figure V-20 sont représentées les réponses temporelles en sortie du CPA (à gauche) et du PS (à droite) aux différentes charges (de 1.6 à 32 fC) de 1 ns de durée envoyées en entrée de la chaîne.

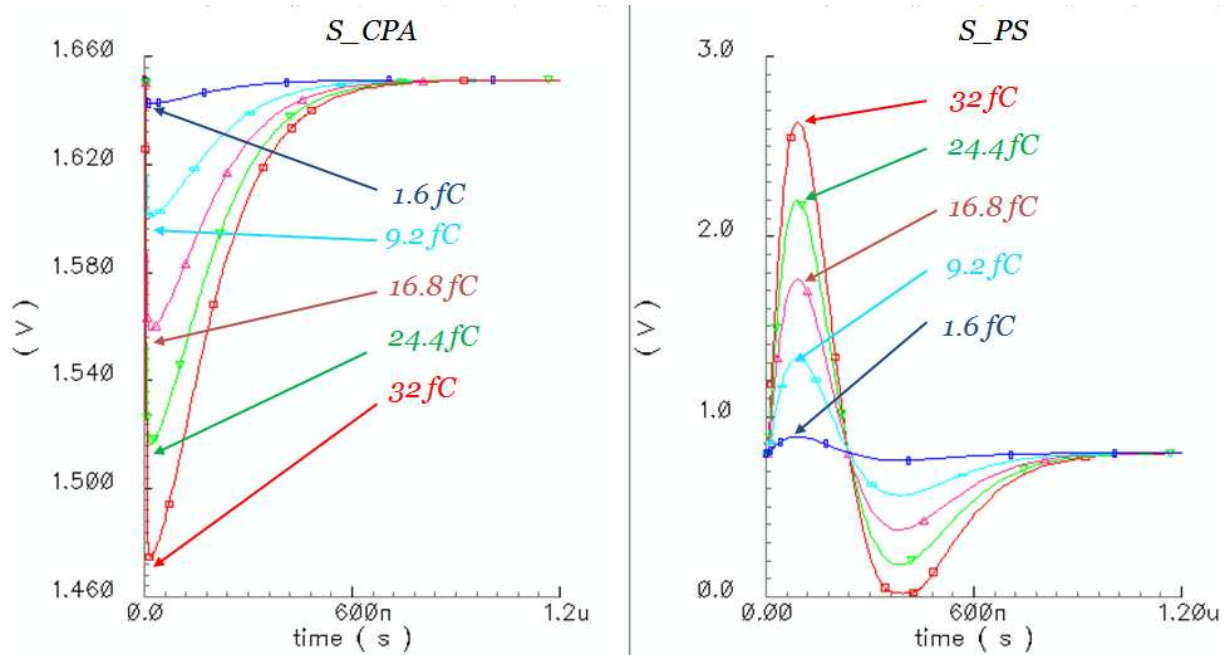


figure V-20 : Réponses temporelles en sortie du CPA (à gauche) et du PS (à droite) aux différentes charges (de 1.6 à 32 fC) de 1 ns de durée envoyées en entrée de la chaîne.

Pour les trous provenant du Si de type B, nous obtenons un temps de montée du CPA de 6 ns et un temps de descente de 521 ns. Pour le PS, nous obtenons un temps de montée de 60 ns et un temps de descente de 722 ns (over-shoot compris). Le pic de tension est exactement à 91 ns ( $\tau_s = 100 \text{ ns}$ ). A partir de ces tracés temporels, nous pouvons visualiser la linéarité de la chaîne analogique. Sur la figure V-21, nous traçons la valeur absolue de l'amplitude du pic de tension en sortie du CPA et du PS en fonction de la charge (de 1.6 à 50 fC) sur une durée 1 ns.

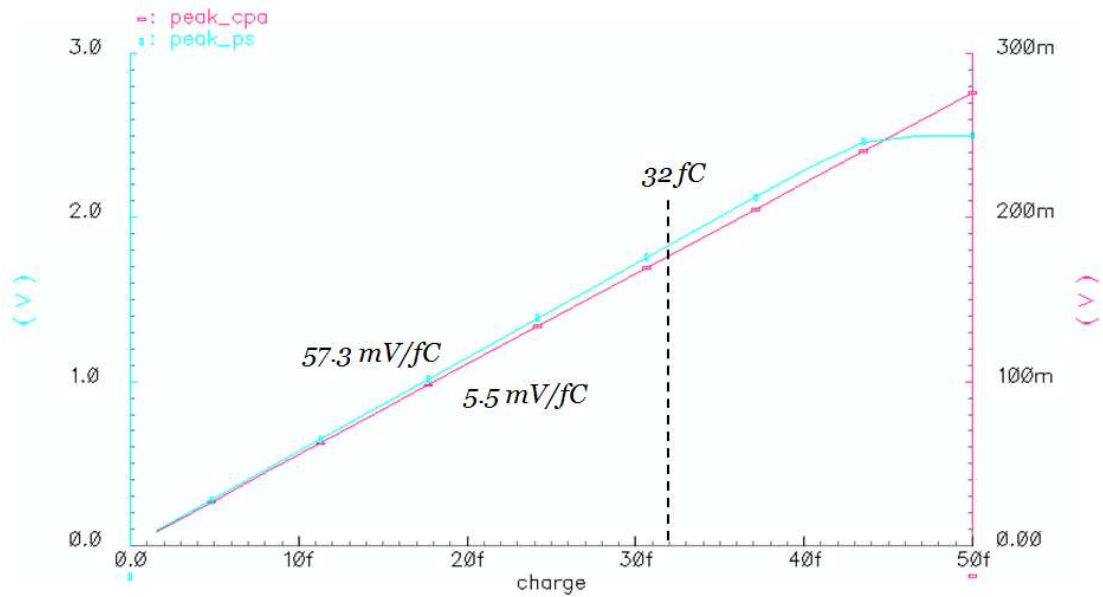


figure V-21 : Tracé de la valeur absolue de l'amplitude du pic de tension en sortie du CPA et du PS en fonction de la charge (de 1.6 à 50 fC) sur une durée de 1 ns.

La conversion est linéaire dans la plage de conversion voulue (de 1.6 à 32 fC). La résolution du système est bien celle attendue en sortie du CPA soit  $5.5 \text{ mV.fC}^{-1}$  au lieu de  $5 \text{ mV.fC}^{-1}$  et en sortie du PS  $57.3 \text{ mV.fC}^{-1}$  au lieu de  $51.5 \text{ mV.fC}^{-1}$ . La figure V-22 présente la valeur du module du pic en sortie du CPA et du PS en fonction de la durée de la charge et pour différentes valeurs de charge.

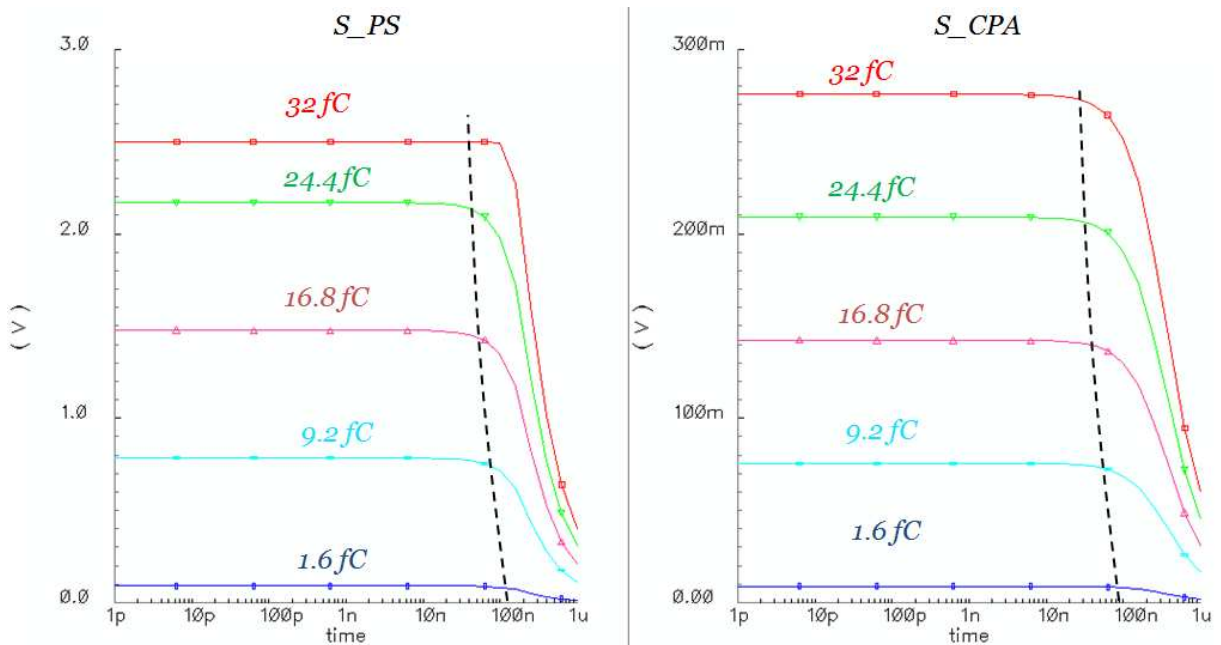


figure V-22 : Valeur du module du pic en sortie du CPA et du PS en fonction de la durée de la charge et pour différentes valeurs de charge.

Le système effectue une conversion linéaire dans la plage de quelques ps à 100 ns comme prévu.

*b) Consommation*

La partie analogique consomme un total de 249  $\mu\text{A}$  soit 0.822 mW. Le CPA consomme 191  $\mu\text{A}$  et le PS 58  $\mu\text{A}$ . Nous avons réduit la consommation de 30 % par rapport à la chaîne pour Si de type A.

*c) Simulation en bruit*

La densité spectrale de bruit en sortie du PS pour une capacité  $C_{in} = 3 \text{ pF}$  est présentée sur la figure V-23.

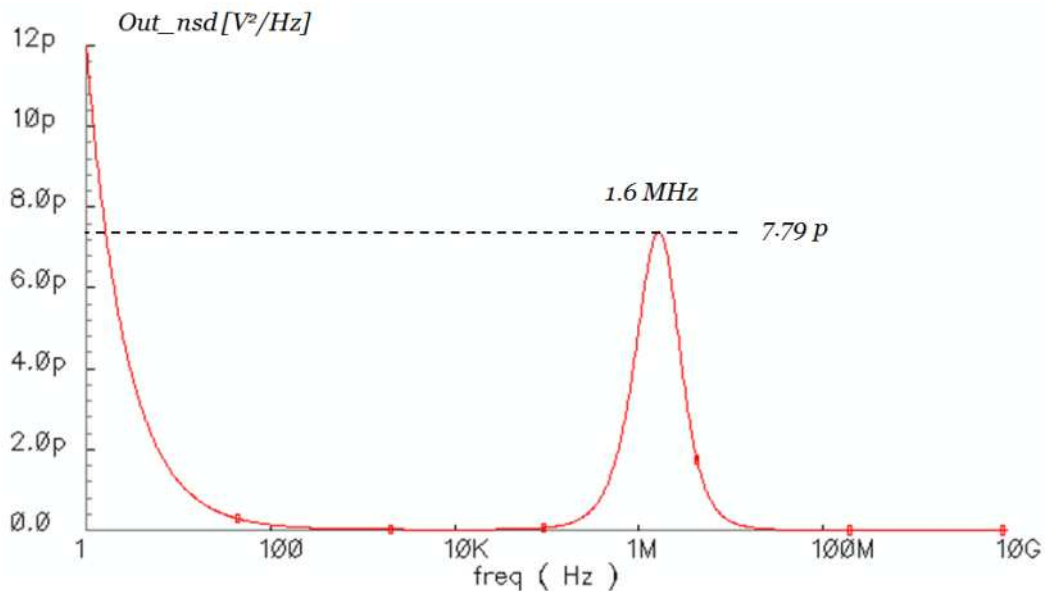


figure V-23 : Densité spectrale de bruit en sortie du PS pour une capacité  $C_{in} = 3 \text{ pF}$ .

Le bruit rms de sortie est de 4.77 mV soit un ENC de 520  $e^-$ . Nous avons calculé précédemment un bruit théorique de 680  $e^-$ , ce qui nous avait donné un bon ordre de grandeur. Nous observons donc une charge minimale détectable de  $4.77 \text{ mV} / 57.3 \text{ mV.fC}^{-1} = 83 \text{ aC}$ . Cela montre que nous sommes très en dessous des 1.6 fC minimum à détecter donc ce bruit simulé est très convenable. Si nous regardons cette résolution par rapport à l'ADC avec l'équation (V-45) on trouve  $n = 6.64$ . Un ADC de 7 bits aurait été suffisant dans la conception de la chaîne.



## V.7. Chaîne de conversion pour le CdZnTe

### V.7.1. Conception du CPA pour le CdZnTe

L'architecture du CPA+PS doit être modifiée pour s'adapter aux caractéristiques du CdZnTe.

#### a) Calcul des composants passifs

Comme pour le calcul de la capacité  $C_f$  du Si de type A et B, si nous posons  $C_f = 200$  fF cela donne une conversion de  $5 \text{ mV} \cdot \text{fC}^{-1}$ . Nous choisissons un temps de montée du système  $t_r = 8 \mu\text{s}$ , donc  $R_f = 40 \text{ M}\Omega$ . Cette valeur est trop grande pour être intégrée. De plus, le temps de décharge de la capacité serait de  $48 \mu\text{s}$ , ce qui est trop lent. La solution est donc d'utiliser un interrupteur à la place de la résistance (figure III-15 à droite). Cela permet de charger la capacité lorsqu'il est ouvert ( $Z \cong \infty$ ) et d'utiliser un signal de remise à '0' (*rst*) pour ouvrir l'interrupteur afin de la décharger rapidement ( $Z \cong 0$ ).

#### b) Structure du CPA à interrupteur

L'utilisation d'un interrupteur dans la contre réaction de l'OTA nécessite quelques précautions particulières lors de sa conception. La première est que la commutation de l'interrupteur favorise l'instabilité du système. En effet, court-circuiter une capacité entraîne une oscillation parasite lors des fermetures et ouvertures de l'interrupteur, qu'il faut amortir. Une impédance élevée en parallèle avec l'interrupteur est la solution la plus efficace. Le deuxième problème est qu'un offset apparait en sortie directement proportionnel à la valeur de la résistance de contre-réaction. L'utilisation d'un pont diviseur pour diminuer cet effet est donc nécessaire. La figure V-24 présente la solution retenue pour la conception du CPA pour le CdZnTe.

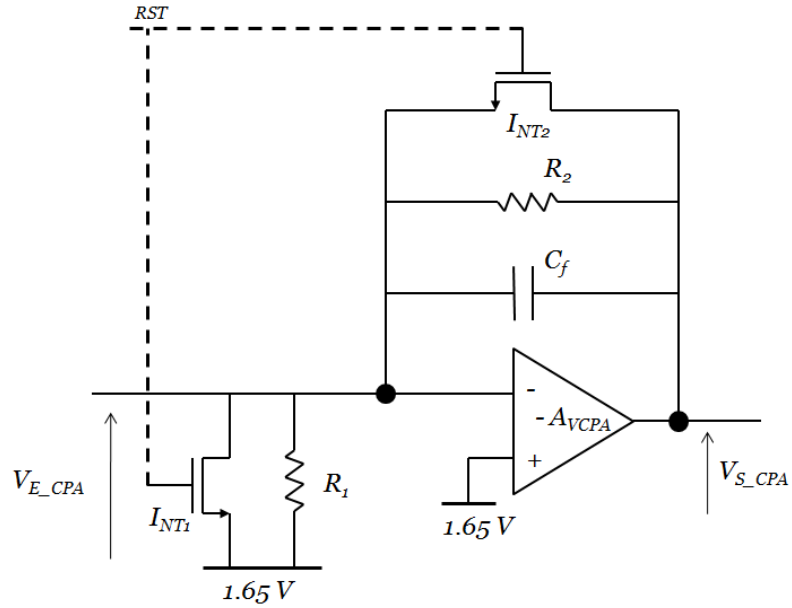


figure V-24 : Vue schématique du CPA pour le CdZnTe.

Les interrupteurs  $I_{NT1}$  et  $I_{NT2}$  sont des NMOS commandés par le signal  $RST$  pour les rendre passants ou bloqués. La décharge de la capacité  $C_f$  se fait à travers  $R_{ds2}$  de  $I_{NT2}$  fermé et l'offset est donc défini par :

$$V_{S\_CPA\_OFFSET} = V_{E\_CPA} \frac{R_{ds2}}{R_{ds1}} \quad (V-53)$$

où  $R_{ds1}$  est la résistance de l'interrupteur fermé de  $I_{NT1}$ . Pour réduire l'offset, il faut  $R_{ds1} > R_{ds2}$ . Ici nous prendrons  $R_{ds1}$  10 fois plus grand que  $R_{ds2}$ . Le problème d'instabilité est corrigé en rajoutant une résistance  $R_2$  de forte valeur sur la contre-réaction de telle sorte qu'elle crée un pôle de compensation lors de la charge de  $C_f$  car  $R_{ds1} = R_{ds2} \approx \infty$  lorsque les interrupteurs sont ouverts. La figure V-25 montre la résistance de contre-réaction réalisée par des PMOS.

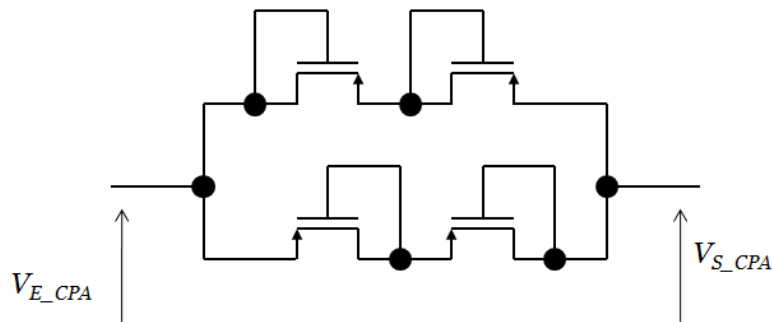


figure V-25 : Résistance de grande valeur réalisée par des PMOS.

Cette configuration permet d'obtenir plusieurs  $\text{G}\Omega$  avec des transistors identiques de  $5/0.5$   $\mu\text{m}$ . Comme le gain du CdZnTe doit être de  $10.31 \text{ mV/fC}$ , nous poserons  $C_f = 1 \text{ pF}$  ce qui donne une conversion de  $1 \text{ mV.fC}^{-1}$ . Nous choisissons un temps de décharge  $t_d = 50 \text{ ns}$ . Ainsi,  $R_{ds2} = 10 \text{ k}\Omega$  et donc  $R_{ds1} = 100 \text{ k}\Omega$ . La réponse temporelle d'un tel CPA correspond à la durée de la charge arrivant sur l'entrée et est donc aléatoire.

### c) Produit gain bande passante

Le produit gain bande passante du CPA ( $GBW_{CPA}$ ) est de  $1.84 \text{ MHz}$  si l'on donne  $C_{in} = C_d + C_p = 42 \text{ pF}$ . Le produit gain bande passante en boucle fermée est de :

$$f_{c2} = \frac{GBW_{CPA}}{A_v} \approx GBW_{CPA} \frac{C_f}{C_{in}} = \frac{1}{2\pi\tau_{in}} = 43.7 \text{ kHz} \quad (\text{V-54})$$

### d) Conception de l'OTA à deux étages du CPA

La structure de l'OTA est toujours à 2 étages pour réaliser la CPA (figure V-9). Avec les différents GBW des étages (V-29), nous pouvons écrire que :

$$\frac{g_{m1}}{2\pi(C_{O1} + C_{Comp1})} = GBW_{CPA} = 1.84 \text{ MHz} \quad (\text{V-55})$$

où  $C_{Comp1} = 500 \text{ fF}$  et  $R_{Comp1} = 6 \text{ k}\Omega$  soit  $C_{O1} + C_{Comp1} = 650 \text{ fF}$ , nous trouvons donc  $g_{m1} = 7.5 \mu\text{S}$ . En weak inversion  $g_{m1} = I_{D1}/U_T$  donc  $I_{D1}$  vaut :

$$I_{D1} = g_{m1}U_T = 6 \mu\text{S} \times 25 \text{ mV} = 188 \text{ nA} \quad (\text{V-56})$$

On vérifie que ce courant soit en accord avec les simulations du bruit ENC. La figure V-26 est la simulation 3D de l' $ENC_{Total}$  du circuit CPA+PS en faible inversion en fonction du  $W$  et du courant de drain  $I_D$  du transistor d'entrée avec un filtre  $CR - (RC)^1$ ,  $C_d = 42 \text{ pF}$ ,  $C_f = 1 \text{ pF}$ ,  $\tau_s = 8 \mu\text{s}$ ,  $I_0 = 1.3 \mu\text{A}$  et  $L = 0.7 \mu\text{m}$ .

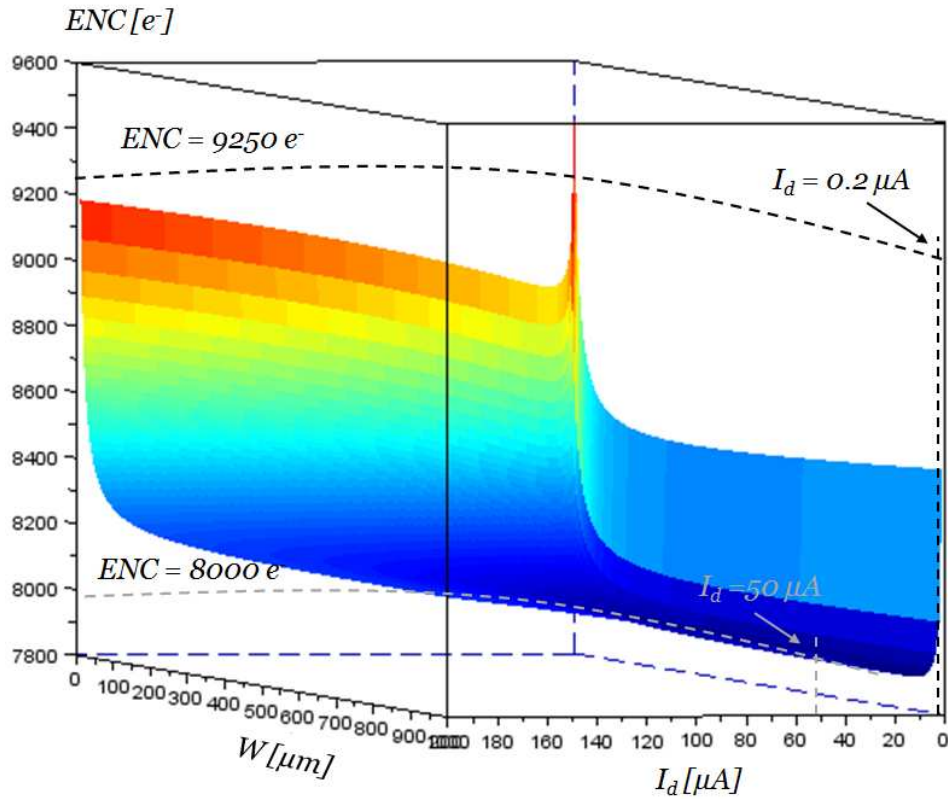


figure V-26 : Simulation de l'  $ENC_{Total}$  3D en fonction du  $W$  et du courant de drain  $I_D$  du transistor d'entrée avec un filtre CR –  $(RC)^1$ ,  $C_d = 42 \text{ pF}$ ,  $C_f = 1 \text{ pF}$ ,  $\tau_s = 8 \mu\text{s}$ ,  $I_0 = 1.3 \mu\text{A}$  et  $L = 0.7 \mu\text{m}$ .

L'  $ENC_{Total}$  pour un courant  $I_{D1} = 0.2 \mu\text{A}$  est de l'ordre de  $9250 e^-$ . Nous observons que l'ENC augmente aussi avec le bruit de grenaille. Le minimum d'ENC est trouvé à  $7900 e^-$  pour un  $I_{D1} = 16 \mu\text{A}$  et pour un  $W_1 > 200 \mu\text{m}$ . Nous préférons alors augmenter ce courant autour de  $50 \mu\text{A}$  afin d'être assez loin de la zone où l'ENC augmente rapidement avec la diminution du courant et donc optimiser la chaîne en bruit ( $8000 e^-$  théorique). Ces valeurs sont très élevées car la capacité du détecteur et le courant de fuite sont grands. Il faut aussi noter que cette simulation ne prend pas en compte les bruits engendrés par les commutations des interrupteurs qui peuvent être parfois non négligeables. On note que la simulation Spectre permet de trouver un  $ENC_{Total}$  minimal à  $W_1 = 614 \mu\text{m}$ . Ce qui fait un  $g_{m1} = 2 \text{ mS}$  soit  $GBW_1 = 489 \text{ MHz}$ . La bande passante du second étage est donnée par :

$$\frac{g_{m6}}{2\pi(C_{Comp1} + C_{O2} + C_f + C_L)} = 4 \times GBW_1 = 1.95 \text{ GHz} \quad (\text{V-57})$$

avec  $C_{Comp1} + C_{O2} + C_f + C_L = 2 \text{ pF}$ , nous trouvons un  $g_{m6} = 24 \text{ mS}$ . En weak inversion  $g_{m6} = I_{D6}/U_T$  donc  $I_{D6}$  vaut :

$$I_{D6} = g_{m6}U_T = 24 \text{ mS} \times 25 \text{ mV} = 612 \mu\text{A} \quad (\text{V-58})$$

### e) Stabilité

La stabilité en boucle ouverte du CPA est donnée par le tracé du gabarit de la réponse en fréquence de cet amplificateur. Avec  $G_{CL} = C_{in} / C_f$  le gain en boucle fermée du CPA peut être retranché à  $g_{m6}$  pour réduire la consommation. Ainsi  $I_{D6} = 50 \mu\text{A}$  est utilisé pour stabiliser l'OTA. Les paramètres du second étage peuvent donc être réduits à  $g_{m6} = 586 \mu\text{S}$  et  $I_{D6} = 14.6 \mu\text{A}$ . Il faut vérifier que le SR soit au minimum de :

$$SR = \frac{I_{D6}}{C_{L2}} > \frac{\Delta V_{max}}{\Delta t} = \frac{1.65}{8.10^{-6}} = 0.2 \text{ V}/\mu\text{s} \quad (\text{V-59})$$

$I_{D6}$  est donc laissé à  $14.6 \mu\text{A}$  et le GBW est de 46 MHz. La figure V-19 montre la réponse fréquentielle de l'OTA en boucle ouverte.

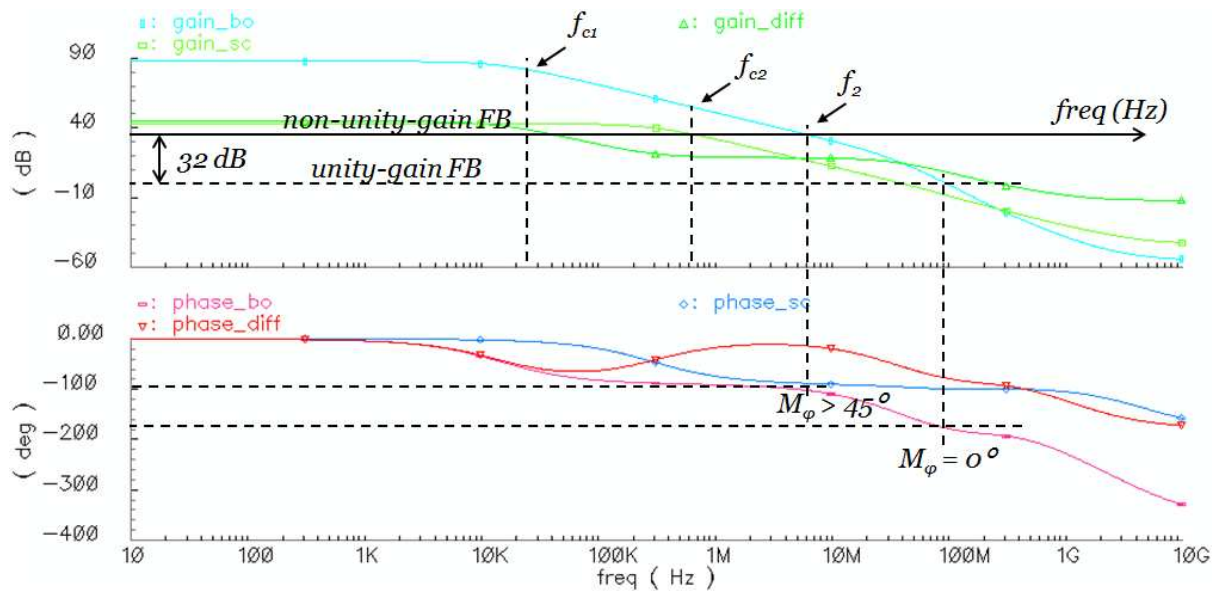


figure V-27 : Diagramme de bode du CPA CdZnTe en boucle ouverte.

Ce circuit a une marge de phase de  $0^\circ$ . En prenant en compte l'auto compensation de  $G_{CL}$ , nous nous plaçons sur la plage de gain non unitaire qui donne une marge de phase supérieure à  $45^\circ$ .

## V.7.2. Conception du PS pour le CdZnTe

### a) Composants passifs

Le gain du PS est choisi à partir de la formule (III-39) selon la relation suivante :

$$A_s = C_f e^1 \text{Résolution}_{\text{CdZnTe}} = 1 \text{ pF} \times e^1 \times 10.31 \text{ mV} \cdot \text{fC}^{-1} = 28 \quad (\text{V-60})$$

Nous reprenons l'étude du PS afin de dimensionner les composants passifs en posant  $C_i = 100 \text{ fF}$  et  $\tau_s = 8 \mu\text{s}$  :

$$C_d = A_s C_i = 2.8 \text{ pF}, \quad R_d = \frac{\tau_s}{C_d} = 2.8 \text{ M}\Omega, \quad R_i = \frac{\tau_s}{C_i} = 80 \text{ M}\Omega \quad (\text{V-61})$$

$R_i$  et  $R_d$  sont impossibles à intégrer en techno 0.35  $\mu\text{m}$ . Deux autres techniques d'intégration du PS sont alors possibles. La première méthode se base sur la technique des filtres de Leapfrog capables de transcrire un filtre à éléments passifs en C et L pour créer un circuit actif avec des valeurs de capacités intégrables. Des convoyeurs de courant de deuxième génération (CCII) et AOs sont utilisés afin de contrôler les capacités en courant [92]. La deuxième solution est d'utiliser la technique des filtres à capacités commutées capables de remplacer des éléments passifs R et C pour réaliser un circuit actif avec des valeurs de capacités intégrables. Des AOs et des switches sont utilisés afin de contrôler les capacités à commuter [87]. La première méthode utilise plus de courant et de surface silicium que la seconde. De plus l'ADC intégré dans l'ASIC dispose d'une horloge que nous pouvons utiliser pour le PS à capacités commutées.

*b) Les filtres à capacités commutées*

Cette technique permet de remplacer une résistance  $R_S$  par une capacité équivalente  $C_S$  contrôlée par des switches [87]. Le principe des filtres à capacités commutées est présenté sur la figure V-28.

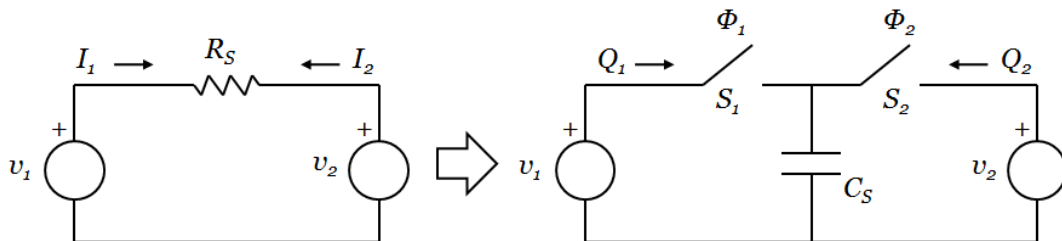


figure V-28 : Résistance  $R_S$  (à gauche) équivalente à une capacité  $C_S$  contrôlée par 2 switches  $S_1$  et  $S_2$  (à droite).

Des switches  $S_1$  et  $S_2$  sont utilisés afin de charger et décharger la capacité par  $v_1$  et  $v_2$ .  $\Phi_1$  et  $\Phi_2$  sont les temporisations données aux switches de telle sorte qu'elles soient alternées sans interférences. Ce type de gestion des phases est appelée non-overlapping clock (figure V-29).

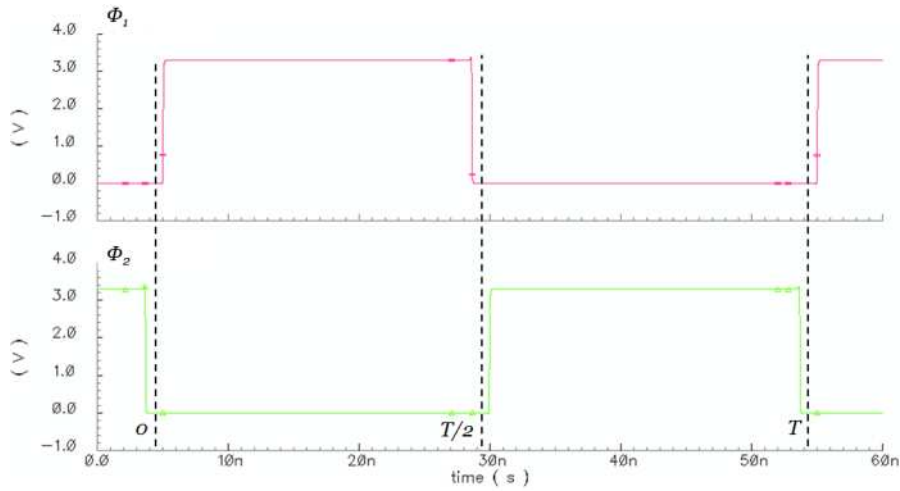


figure V-29 : Gestion des phases alternées  $\Phi_1$  et  $\Phi_2$  ou non-overlapping clock.

$T$  est la période de l'horloge. Un délai est introduit entre 2 coups d'horloges de telle sorte qu'il n'y est pas de court circuit entre  $v_1$  et  $v_2$ . La circulation de charge  $Q_1$  entre  $0 \leq t \leq T/2$  permet décrire la valeur du courant moyen  $I_1$  tel que :

$$I_1 = \frac{1}{T} \int_0^{T/2} dq_1(t) = \frac{q_1(T/2) - q_1(0)}{T} \quad (\text{V-62})$$

En posant  $v_1$  et  $v_2$  approximativement constants sur la période  $T$ , nous pouvons écrire que :

$$I_1 = \frac{V_1 - V_2}{R_S} = \frac{C_S(V_1 - V_2)}{T} \rightarrow R_S = \frac{T}{C_S} \quad (\text{V-63})$$

La résistance  $R_S$  à implémenter est proportionnelle à la période d'horloge et à la capacité  $C_S$ . Par exemple, pour générer une résistance  $R_S = 80 \text{ M}\Omega$  avec une période d'échantillonnage de 50 ns, il faudrait une capacité de 0.6 fF. Cette valeur trop faible donc difficilement intégrable. Le switch à intégrer est un interrupteur qui doit être capable de laisser passer le signal ou de le bloquer rapidement selon le signal  $\Phi$  envoyé. Nous utilisons la structure de switch présentée sur la figure V-30.

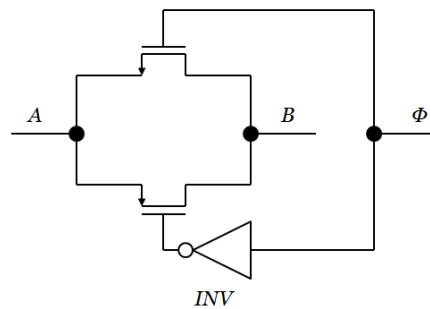


figure V-30 : Switch utilisé dans le circuit à capacités commutées.

Les 2 transistors NMOS et PMOS sont commandés par  $\Phi$  et  $\bar{\Phi}$  respectivement. Cette symétrie permet de diminuer l'impédance entre A et B quand  $\Phi$  est rapide et donc améliorer la vitesse de commutation du circuit. Les résistances  $R_{ON}$  et  $R_{OFF}$  sont calculées à partir de  $r_{dsN}$  en parallèle avec  $r_{dsP}$ . La résistance décroît le rapport W/L :

$$R_{ON,N} = R_{ON,P} = \frac{L_N}{W_N K_N} = \frac{L_P}{W_P K_P} \quad (\text{V-64})$$

On choisit W/L = 6  $\mu\text{m}$  / 0.4  $\mu\text{m}$  pour le NMOS et 18  $\mu\text{m}$  / 0.4  $\mu\text{m}$  pour le PMOS. La résistance  $R_{ON}$  est alors de l'ordre de 200  $\Omega$ .

### c) Le PS à capacités commutées

La réponse temporelle du CPA correspond à la durée de la charge arrivant sur son entrée et est donc aléatoire. Néanmoins, nous savons quelle a une durée maximale de  $t_{C\_MAX} = 8 \mu\text{s}$  et  $t_{C\_MIN}$  est choisi le plus petit possible admissible par le PS.

#### ➤ Réalisation du circuit

La fonction de transfert du filtre passe-bande actif du 2<sup>nd</sup> ordre (III-30), peut être réécrite sous la forme suivante :

$$p^2 V_{OUT}(p) + \frac{\omega_0}{Q} p V_{OUT}(p) + \omega_0^2 V_{OUT}(p) = -\frac{A_s}{\tau_i} p V_{IN}(p) \quad (\text{V-65})$$

En divisant le tout par  $p^2$ ,  $V_{OUT}(p)$  devient :

$$V_{OUT}(p) = \frac{-1}{p} \left[ \frac{A_s}{\tau_i} V_{IN}(p) + \frac{\omega_0}{Q} V_{OUT}(p) + \frac{1}{p} \omega_0^2 V_{OUT}(p) \right] \quad (\text{V-66})$$

On définit la tension  $V_1(p)$  par :

$$V_1(p) = \frac{-1}{p} [\omega_0 V_{OUT}(p)] \quad (\text{V-67})$$

(V-66) s'écrit alors sous la forme :

$$V_{OUT}(p) = \frac{-1}{p} \left[ \frac{A_s}{\tau_i} V_{IN}(p) + \frac{\omega_0}{Q} V_{OUT}(p) - \omega_0 V_1(p) \right] \quad (\text{V-68})$$

Ces 2 équations (V-67) et (V-68) sont les tensions à intégrer et peuvent être simplement réalisées par 2 intégrateurs synthétisant ces formules (figure V-31).



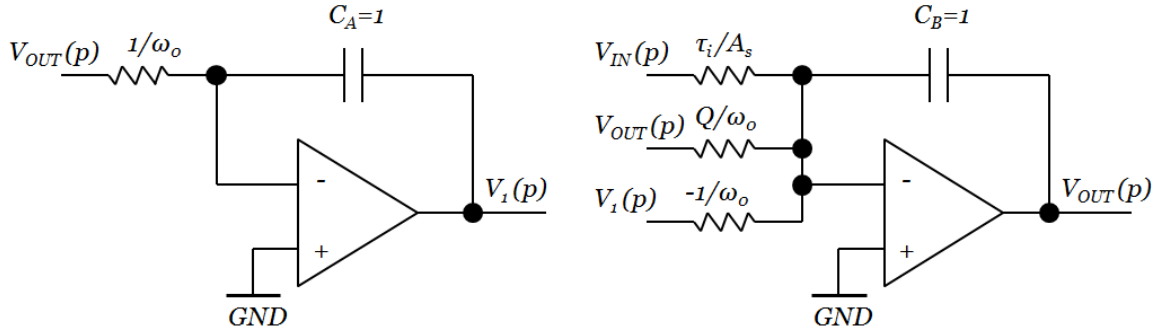


figure V-31 : Réalisation du circuit de l'équation (V-67) (à gauche) et de l'équation (V-68) (à droite).

On peut noter que l'intégration d'une résistance négative  $-1/\omega_0$  est possible en utilisant les capacités commutées.

➤ Réalisation

En remplaçant ces composants passifs par leurs modèles équivalents en capacités commutées [Annexe 1], nous construisons les circuits équivalents de la figure V-31 sur la figure V-32.

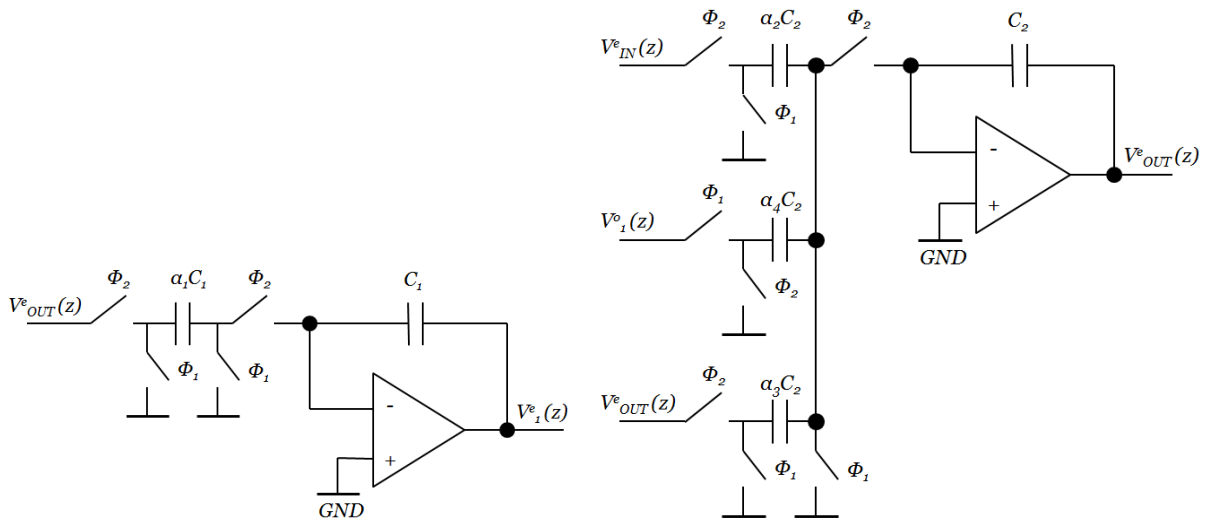


figure V-32 : Circuit équivalent en capacités commutées de la figure V-31 de gauche (à gauche) et de la figure V-31 de droite (à droite).

On note que les expressions des transformées en  $z$  comportent un  $e$  (even) pour les phases paires et un  $o$  (odd) pour les phases impaires. Les  $\alpha_x$  sont les coefficients de la transformée normalisés par rapport à la capacité de leur intégrateur. La sortie de la figure V-32 (à gauche) s'exprime par :

$$V_1^e(z) = -\frac{\alpha_1}{1 - z^{-1}} V_{OUT}^e(z) \tag{V-69}$$

et la sortie de la figure V-32 (à droite) par :

$$V_{OUT}^e(z) = -\frac{\alpha_2}{1 - z^{-1}} V_{IN}^e(z) - \frac{\alpha_3}{1 - z^{-1}} V_{OUT}^e(z) + \frac{\alpha_4 z^{-1}}{1 - z^{-1}} V_1^e(z) \tag{V-70}$$

En multipliant  $V_1^o(z)$  de la figure V-32 (à droite) par  $z^{-1/2}$  on peut le convertir en  $V_1^e(z)$ . Aussi, en assumant que  $\omega T \ll 1$  alors  $1 - z^{-1} \cong Tp$  et les équations (V-69) et (V-70) peuvent être approximées par :

$$V_1^e(p) = -\frac{\alpha_1}{Tp} V_{OUT}^e(p) \quad (\text{V-71})$$

et

$$V_{OUT}^e(p) = \frac{-1}{p} \left[ \frac{\alpha_2}{T} V_{IN}^e(p) + \frac{\alpha_3}{T} V_{OUT}^e(p) - \frac{\alpha_4}{T} V_1^e(p) \right] \quad (\text{V-72})$$

Les équations (V-71) et (V-72) permettent de retrouver l'équation de transfert  $H^{ee}(p)$  selon :

$$H^{ee}(p) = \frac{V_{OUT}^e(p)}{V_{IN}^e(p)} = \frac{-\frac{\alpha_2}{T} p}{p^2 + \frac{\alpha_3}{T} p + \frac{\alpha_1 \alpha_4}{T^2} p} \quad (\text{V-73})$$

Les coefficients  $\alpha_n$  sont retrouvés en comparant (V-67) et (V-68) avec (V-71) et (V-72) et sont placés dans le tableau V-3.

tableau V-3 : Calcul des coefficients du PS à capacités commutées.

Coefficient	Expression	Valeur	$C_1 = C_2 = 100 \text{ fF}$	$C_1 = C_2 = 1 \text{ pF}$	$C_1 = C_2 = 2 \text{ pF}$
$\alpha_1$	$\omega_0 T$	0.055	$\alpha_1 C_1 = 5.5 \text{ fF}$	$\alpha_1 C_1 = 55 \text{ fF}$	$\alpha_1 C_1 = 110 \text{ fF}$
$\alpha_2$	$\frac{A_s}{\tau_i} T$	5.15	$\alpha_2 C_2 = 515 \text{ fF}$	$\alpha_2 C_2 = 5.15 \text{ pF}$	$\alpha_2 C_2 = 10.3 \text{ pF}$
$\alpha_3$	$\frac{\omega_0}{Q} T$	0.5	$\alpha_3 C_2 = 50 \text{ fF}$	$\alpha_3 C_2 = 500 \text{ fF}$	$\alpha_3 C_2 = 1 \text{ pF}$
$\alpha_4$	$ \omega_0 T $	0.055	$\alpha_4 C_2 = 5.5 \text{ fF}$	$\alpha_4 C_2 = 55 \text{ fF}$	$\alpha_4 C_2 = 110 \text{ fF}$

En utilisant un filtre à capacités commutées, le coefficient  $e^n$  de la formule (III-38) ne doit pas être présent. Le gain du PS est calculé selon la nouvelle relation suivante :

$$A_s = C_f \text{Résolution}_{CdZnTe} = 1 \text{ pF} \times 10.31 \text{ mV.fC}^{-1} = 10.31 \quad (\text{V-74})$$

Nous ajustons les constantes de temps  $t_{C\_MIN} = \tau_i = 100 \text{ ns}$ , soit 2 fois plus que la période d'horloge de l'ASIC afin de satisfaire aux critères du théorème de Shannon soit  $T = 1/20 \text{ MHz} = 50 \text{ ns}$ ,  $t_{C\_MAX} = \tau_d = 8 \mu\text{s}$  et  $A_s = 10.31$ . Le calcul de  $\omega_0$  est donné par (III-30) :

$$\omega_0 = \frac{1}{\sqrt{\tau_d \tau_i}} = 1.1 \text{ Mrad.s}^{-1} \quad (\text{V-75})$$

et  $Q_{quality}$  par (III-31) :

$$Q_{quality} = \frac{1}{\omega_0(\tau_d + \tau_i)} = 0.11 \quad (\text{V-76})$$

Les coefficients sont calculés pour différentes valeurs de  $C_1$  et  $C_2$  de 100  $fF$ , 1  $pF$  et 2  $pF$  (tableau V-3). Nous voyons que l'utilisation de  $C_1$  et  $C_2 = 1 \text{ pF}$  est la plus adaptée car une valeur trop faible donne  $\alpha_1 C_1$  et  $\alpha_4 C_2$  trop faibles et une valeur trop élevée donne  $\alpha_2 C_2$  trop grand. La figure V-33 représente le PS à capacités commutées implémentant les circuits de la figure V-32.

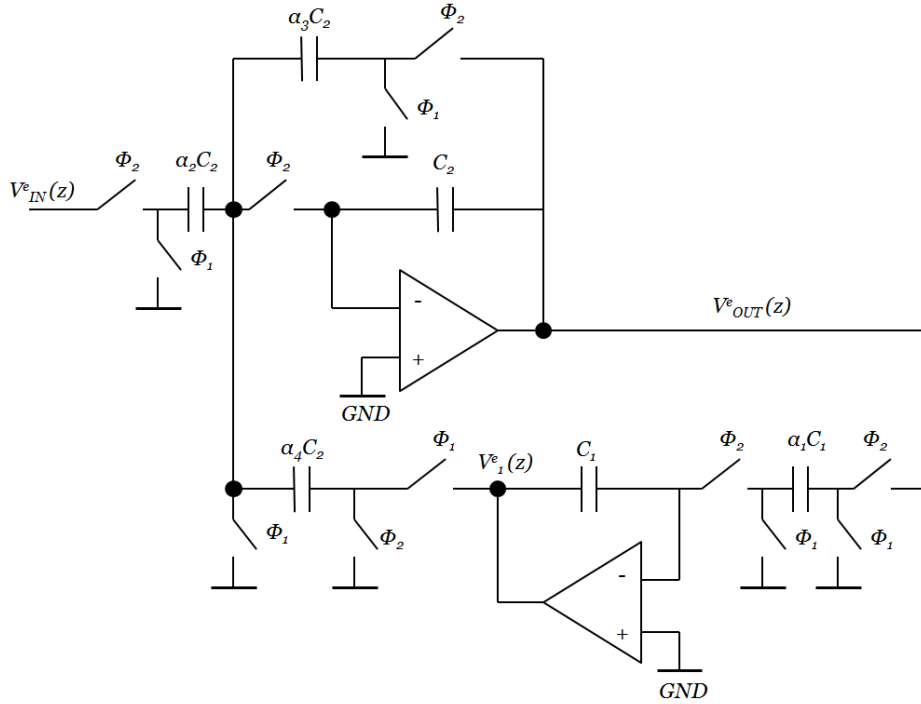


figure V-33 : PS à capacités commutées implémentant les circuits de la figure V-32.

Les AOs des intégrateurs sont des amplificateurs à 2 étages (figure V-9) dimensionnés par rapport aux charges présentes sur leurs nœuds de sortie respectifs.  $C_{OUT2\_AO1} = C_{Comp1\_AO1} + C_{O2\_AO1} + C_1 + \alpha_4 C_2$  et  $C_{OUT2\_AO2} = C_{Comp1\_AO2} + C_{O2\_AO2} + C_2 + \alpha_3 C_2 + \alpha_1 C_1$ .

➤ Simulation

La réponse fréquentielle du PS à capacités commutées de la figure V-33 est présentée sur la figure V-34.

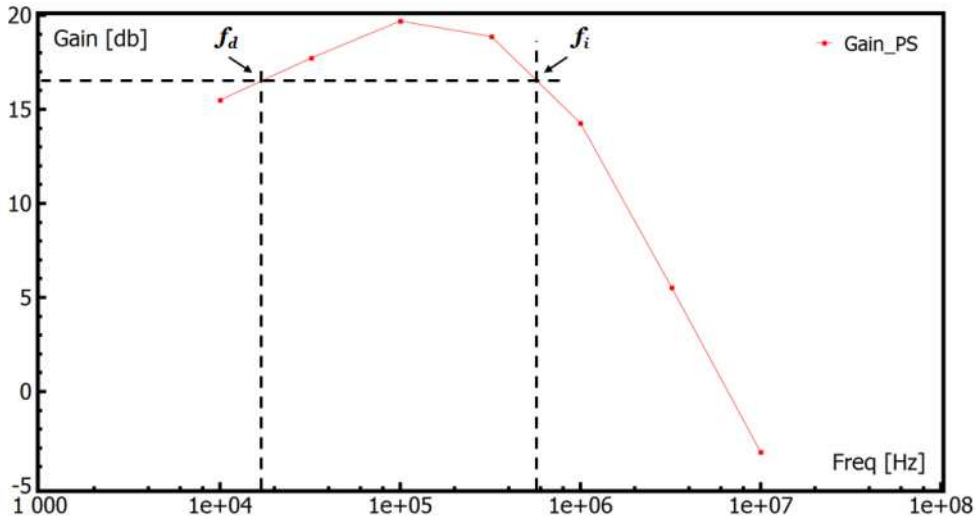


figure V-34 : Réponse fréquentielle du PS de la figure V-33.

Nous trouvons  $f_i = 600 \text{ kHz}$  et  $f_d = 18 \text{ kHz}$  soit  $\tau_i = 265 \text{ ns}$  et  $\tau_d = 8.84 \mu\text{s}$ . Le gain maximal vaut 19.7 dB, ce qui correspond à un  $A_s = 9.66$ .

### V.7.3. Association du CPA+PS pour le CdZnTe

Le CPA et le PS sont reliés par un étage de reset et un suiveur de tension comme cela est représenté sur la figure V-35.

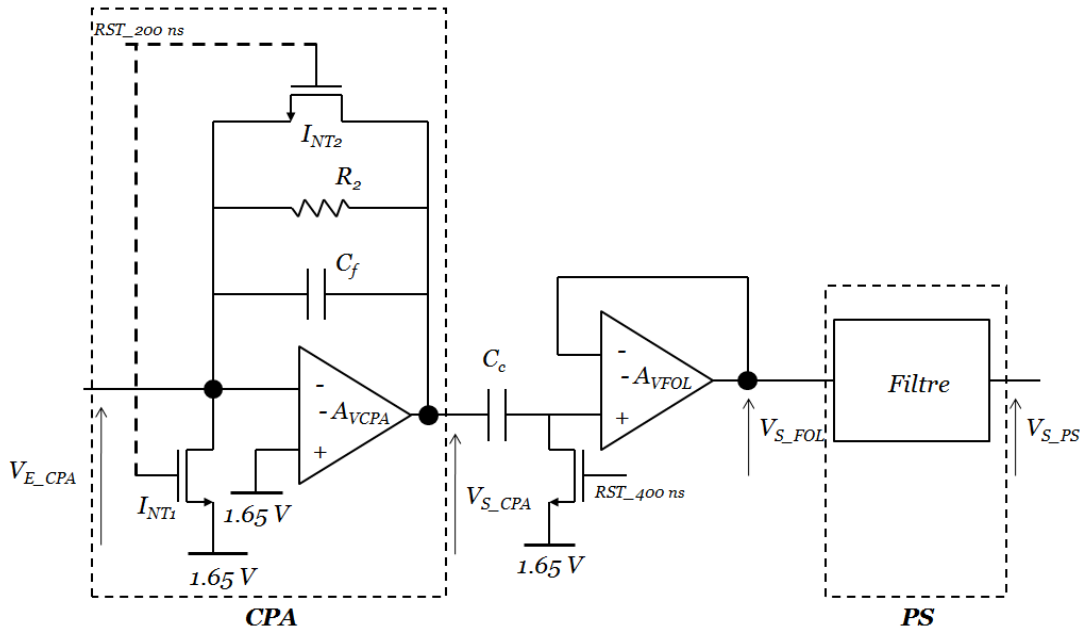


figure V-35 : Le CPA et le PS liés par un étage de reset et un suiveur de tension.

Cet étage intermédiaire est mis en oeuvre afin d'éviter les problèmes d'injections de charges ou d'instabilités engendrées par la remise à zéro (reset) du système. Les simulations ont montré que l'offset en sortie du CPA  $V_{S\_CPA}$  peut provoquer de la pollution de charges dans la

capacité  $\alpha_2 C_2$  d'entrée du PS (figure V-33) car la tension n'est pas exactement à 1.65 V (existence d'un  $\Delta V$ ). La solution est d'utiliser une capacité de couplage  $C_c$  et un étage suiveur de tension dont l'entrée est connectée à 1.65 V lors du reset grâce à un interrupteur. Ce problème de pollution est alors supprimé. Mais si les 2 resets (CPA et suiveur) sont faits en même temps, une perturbation due à l'ouverture de l'interrupteur du CPA se traduit par un signal et le PS l'amplifie. Pour éliminer ce problème, 2 temporisations de reset  $RST_{200\text{ ns}}$  pour le CPA et  $RST_{400\text{ ns}}$  pour le suiveur sont utilisées. Ainsi l'ouverture de l'interrupteur se fait lorsque  $RST_{400\text{ ns}}$  est toujours activé. La figure V-36 présente la simulation temporelle des resets générés pour un fonctionnement correct du CPA et du PS.

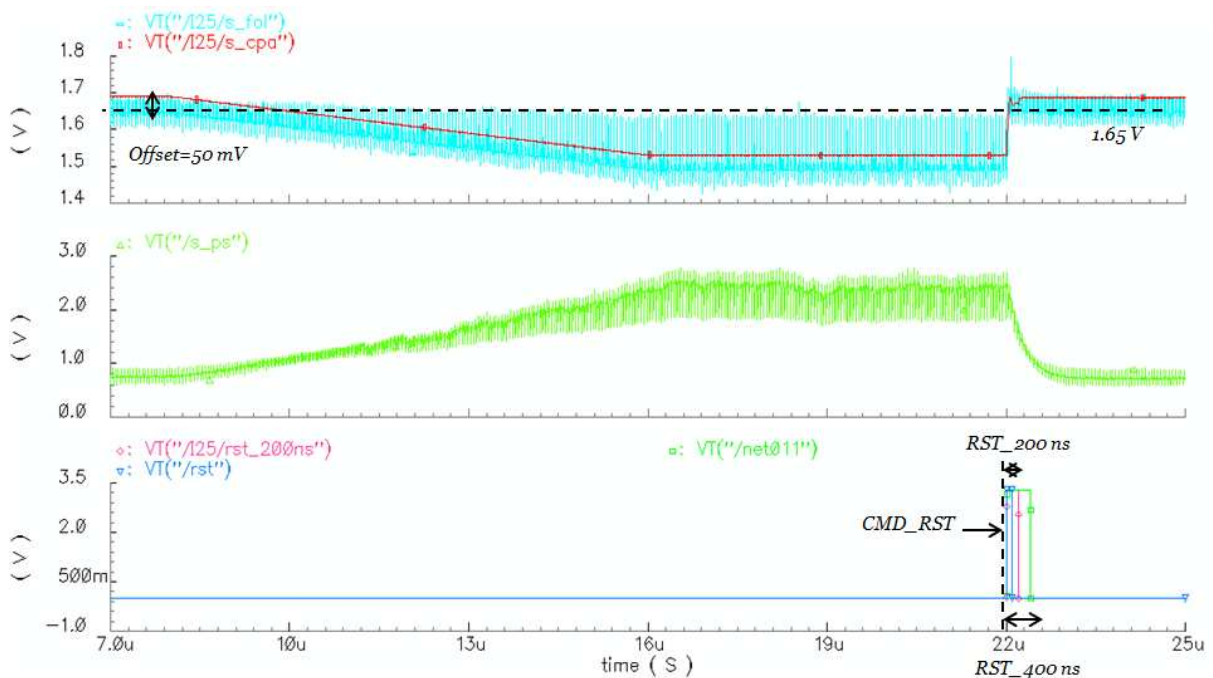


figure V-36 : Simulation temporelle des resets générés pour un fonctionnement correct du CPA et du PS.

Nous observons que l'offset de 50 mV est corrigé par l'étage suiveur. La sortie du PS et du suiveur sont bruités par les glitches de commutations des switches à la fréquence d'horloge de 20 MHz. Le fait d'avoir mis un suiveur de tension permet de protéger la sortie du CPA.

#### V.7.4. Performances de la chaîne analogique pour le CdZnTe

##### a) Réponse temporelles

Le tracé temporel est effectué afin d'observer les amplitudes et temps d'établissement correspondants à la conversion des charges. Sur la figure V-37 sont représentées les réponses temporelles en sortie du CPA (à gauche) et du PS (à droite) aux différentes charges (de 3.2 à 160 fC) d'une durée de 4  $\mu\text{s}$  envoyées en entrée de la chaîne.

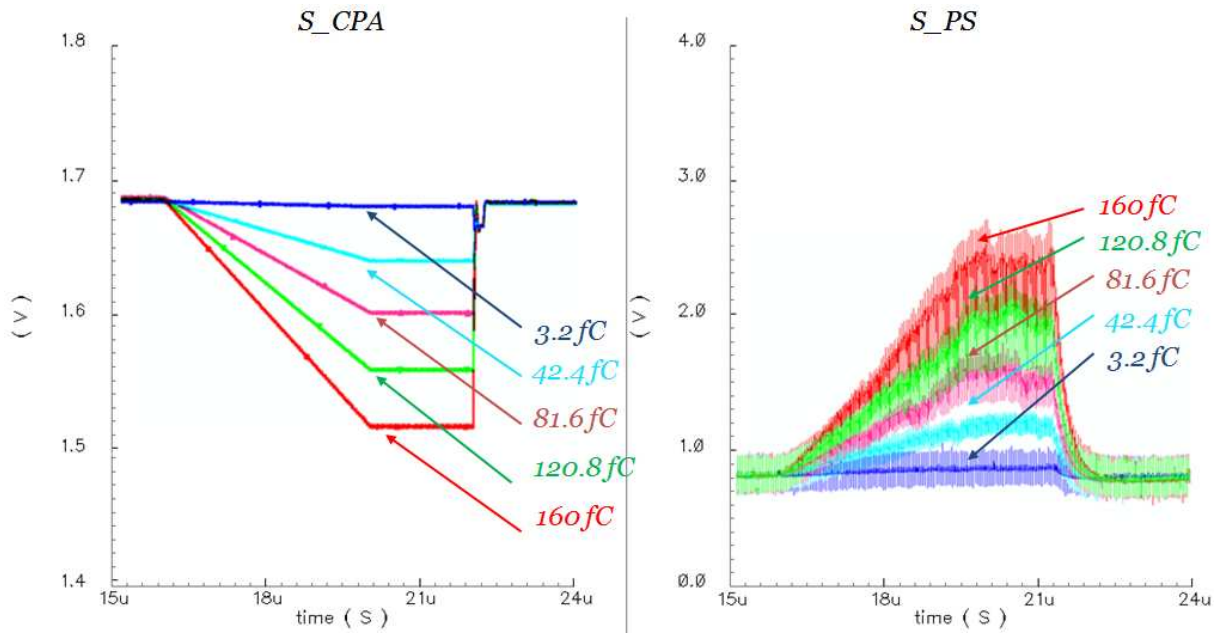


figure V-37 : Réponses temporelles en sortie du CPA (à gauche) et du PS (à droite) aux différentes charges (de 3.2 à 160 fC) d'une durée de 4  $\mu\text{s}$  envoyées en entrée de la chaîne.

Pour les trous provenant du CdZnTe, nous obtenons un temps de montée du CPA de 4  $\mu\text{s}$  (durée de la charge envoyée) et un temps de descente de 53 ns ( $RST_{200\text{ ns}}$ ). Pour le PS, le temps de montée est de 4  $\mu\text{s}$  et le temps de descente est de 400 ns ( $RST_{400\text{ ns}}$ ). A partir de ces tracés temporels, nous pouvons visualiser la linéarité de la chaîne de conversion. Sur la figure V-38, nous traçons la valeur absolue moyennée de l'amplitude du pic de tension en sortie du CPA et du PS en fonction de la charge (de 3.2 à 260 fC) d'une durée de 4  $\mu\text{s}$ .

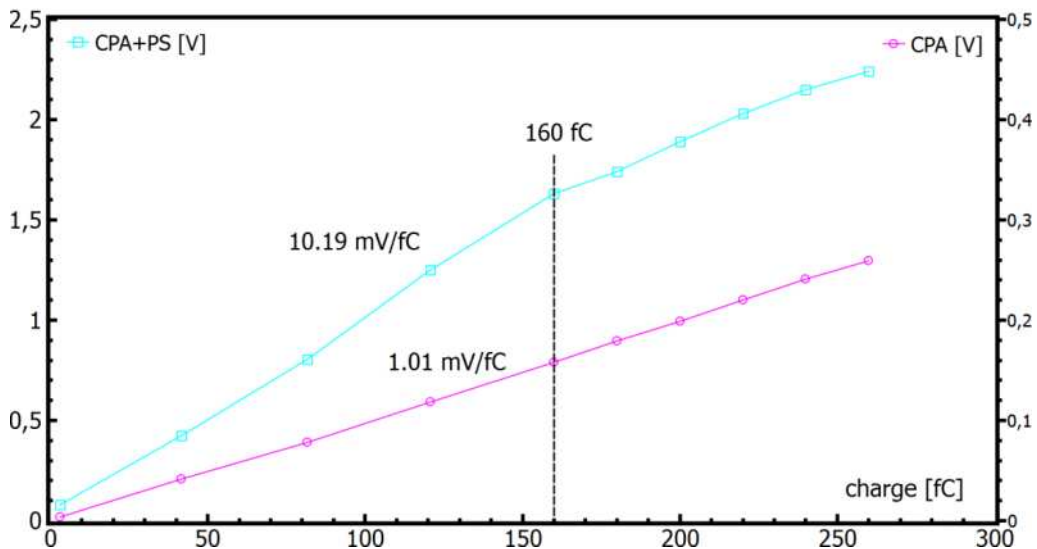


figure V-38 : Tracé de la valeur absolue moyennée de l'amplitude du pic de tension en sortie du CPA et du PS en fonction de la charge (de 3.2 à 260 fC) d'une durée de 4  $\mu\text{s}$ .

La conversion est linéaire dans la plage de conversion voulue (de 3.2 à 160 fC). La résolution du système est bien celle attendue en sortie du CPA ( $1\text{ mV}\cdot\text{fC}^{-1}$ ) et en sortie du PS ( $10.19$

$\text{mV}\cdot\text{fC}^{-1}$ ). Nous observons maintenant la linéarité du gain du système en fonction de divers temps de charge. La figure V-39 présente la valeur absolue moyennée du module du pic en sortie du CPA et du PS en fonction de la durée d'une charge de 160 fC.

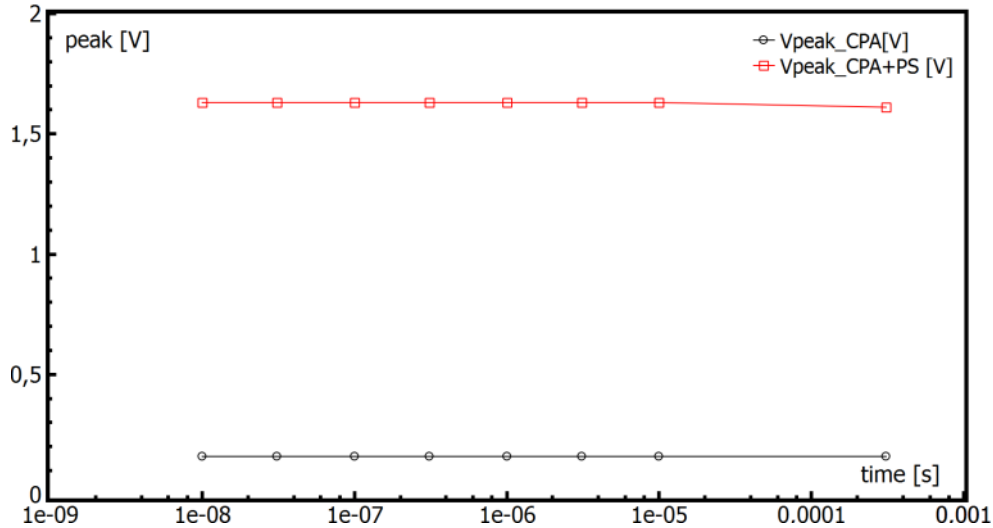


figure V-39 : Tracé de la valeur absolue moyennée du module du pic de tension en sortie du CPA et du PS en fonction d'une charge de 160 fC d'une durée de 1 ns à 31  $\mu\text{s}$ .

Le système effectue une conversion linéaire dans la plage de 1 ns à 31  $\mu\text{s}$ , ce qui valide la plage de conversion demandée.

### b) Consommation

Le CPA et le PS consomment 424  $\mu\text{A}$  soit 1.4 mW (statique + dynamique) avec 165  $\mu\text{A}$  pour le CPA et 259  $\mu\text{A}$  pour le PS.

### c) Simulation en bruit

La simulation du bruit de ce circuit n'a pas pu être effectuée (filtre à capacités commutées).

## V.8. Système de discrimination

Dans cette partie, nous présentons la logique mise en œuvre afin de discriminer puis numériser la sortie du PS pour retrouver la charge d'entrée.

### V.8.1. Principe de discrimination

Dans ce paragraphe nous présentons le principe de discrimination mis en œuvre pour les chaînes Si. La discrimination du CdZnTe est basée sur le même principe mais quelques subtilités y sont rajoutées. Le système intègre un comparateur pour détecter la présence d'un événement, d'un détecteur de crête pour mémoriser la valeur maximale de cet événement, un

ADC et un bloc logique de commande qui gère les temps de mémorisation et de reset du système. La figure V-40 présente la configuration utilisée pour discriminer et numériser le signal analogique pour une application Si.

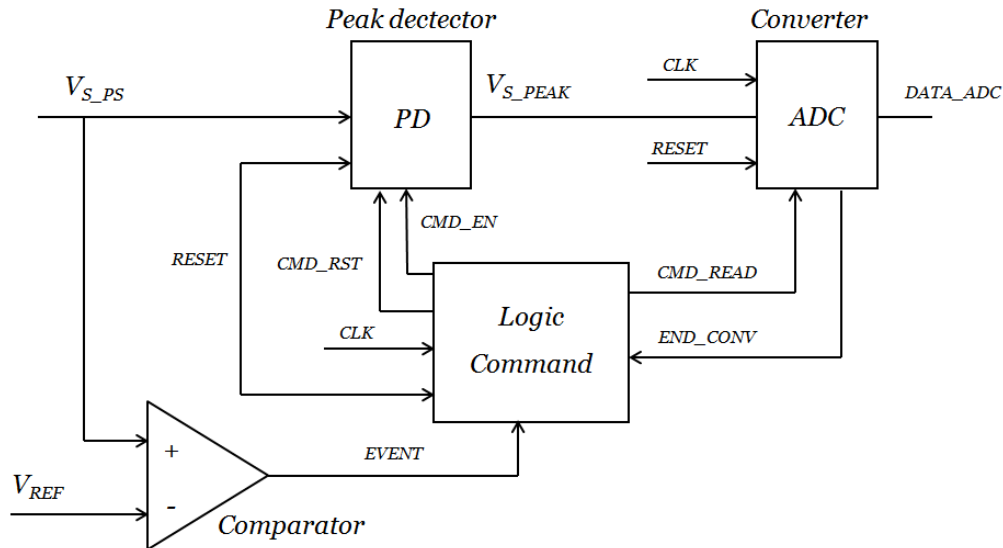


figure V-40 : Configuration choisie pour discriminer et numériser le signal analogique pour une application Si.

Dans cette architecture, six étapes sont nécessaires pour convertir le signal en sortie du PS.

- 1ère étape : mémoriser la charge présente

Le PD (détecteur de crête) capture et mémorise le pic du PS en temps réel.

- 2ème étape : détecter la présence d'une charge

Parallèlement et indépendamment de l'action de détection du PD, le comparateur permet de signaler au bloc de commande  $EVENT = '1'$  qu'une charge d'une valeur supérieure à celle correspondant à un seuil réglable, est présente à la sortie du PS. Il est important de noter que ce signal est envoyé quand le comparateur passe à l'état bas, c'est-à-dire lorsque l'amplitude du pic passe en dessous de  $V_{REF}$  (après le pic) pour être sûr que le PD ait fini la mémorisation.

- 3ème étape : mémoriser la charge

Le bloc de commande recevant  $EVENT = '1'$  envoie un niveau logique '1' sur  $CMD\_EN$ . Cette action bloque le PD qui mémorise la valeur  $V_{S\_PEAK}$ .  $CMD\_READ = '1'$  est aussi envoyé à l'ADC pour lui dire qu'il peut commencer la conversion et  $END\_CONV = '0'$ .

- 4ème étape : conversion A/N de l'ADC

L'ADC convertit la valeur  $V_{S\_PEAK}$  du PD. Tous les autres systèmes sont bloqués durant cette période et les niveaux que peut prendre  $EVENT$  ne sont pas reçus par le bloc de commande



durant cette phase de traitement. Quand la conversion est finie, l'ADC envoie un signal  $END\_CONV = '1'$  au bloc de commande.

- 5ème étape : gérer les remises à zéro

Le bloc de commande envoie un  $CMD\_RST = '1'$  au PD pour décharger la capacité de mémorisation. Cette durée de décharge est fixée par des bascules pour être assuré que la capacité soit totalement déchargée.  $CMD\_READ = '0'$  pour permettre à l'ADC de se remettre à l'état initial.

- 6ème étape : réinitialisation

Le système de commande se réinitialise lui même et fixe  $CMD\_EN = '0'$  et  $CMD\_RST = '0'$ . Il est donc prêt à commander une nouvelle conversion.

Sur la figure V-41 sont tracés les signaux de la figure V-40 pour les étapes décrites précédemment.

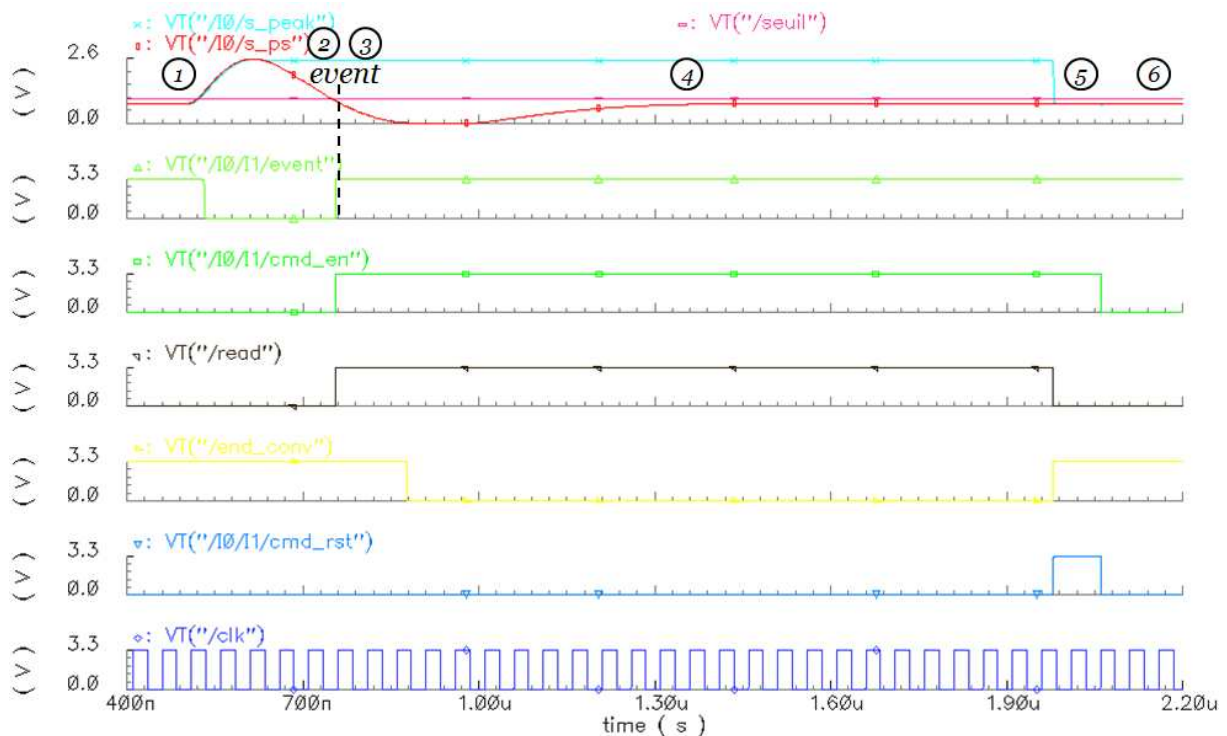


figure V-41 : Tracé des signaux de la figure V-40 aux étapes de 1 à 6.

Un signal  $RESET$  est prévu pour remettre à zéro les fonctions logiques depuis l'extérieur de l'ASIC.

La configuration choisie pour discriminer et numériser le signal analogique pour une application CdZnTe est d'intercaler, entre la sortie du comparateur et le bloc de commande de

la figure V-40, un compteur pendant une durée  $t_{comp} = 8 \mu\text{s}$ . Le comparateur doit alors détecter la présence d'un front montant en sortie du PS de CdZnTe pour déclencher ce comptage. Cette option est intégrée car le temps de décharge du filtre à capacités commutées est trop long, ce qui diminue la fréquence de fonctionnement de la chaîne. Après ce comptage, le comparateur envoie  $EVENT = '1'$  au bloc logique qui déclenche les 4 1<sup>ères</sup> étapes précédemment énumérées. Lors des étapes 5 et 6,  $CMD\_RST = '1'$  est aussi envoyé sur le bloc CPA+PS pour les remettre à zéro. C'est à la fin de la durée de  $RST_{400\text{ ns}}$  envoyé par la partie analogique que le système de commande va se réinitialiser et placer  $CMD\_EN = '0'$  et  $CMD\_RST = '0'$ . Ceci permet de s'assurer de la décharge complète du PS avant de libérer le système.

### V.8.2. Le bloc de commande

Cette partie logique est composée de bascules  $D$  synchrones permettant de mémoriser une situation de conversion. La table de vérité d'une bascule  $D$  est présentée dans le tableau V-4.

tableau V-4 : Table de vérité d'une bascule  $D$ .

$D$	$C$	$Q_{n+1}$	$\bar{Q}_{n+1}$	état
0	$\uparrow$	0	1	recopie
1	$\uparrow$	1	0	recopie
x	0,1 ou $\downarrow$	$Q_{n+1}$	$\bar{Q}_{n+1}$	mémorisation

La bascule  $D$  à synchronisation sur front montant permet à la sortie  $Q$  de prendre la valeur de l'entrée  $D$  quand le signal d'horloge  $C$  passe à '1'. La valeur de  $D$  est mémorisée jusqu'au front montant d'horloge suivant. Une entrée prioritaire asynchrone  $\overline{RN}$  est aussi disponible pour remettre à zéro la bascule à n'importe quel moment.

Pour concevoir le système, plusieurs simulations ont été effectuées sous Simulink afin de valider le fonctionnement du bloc logique. L'architecture retenue pour effectuer les 6 étapes de commande est présentée sur la figure V-42.

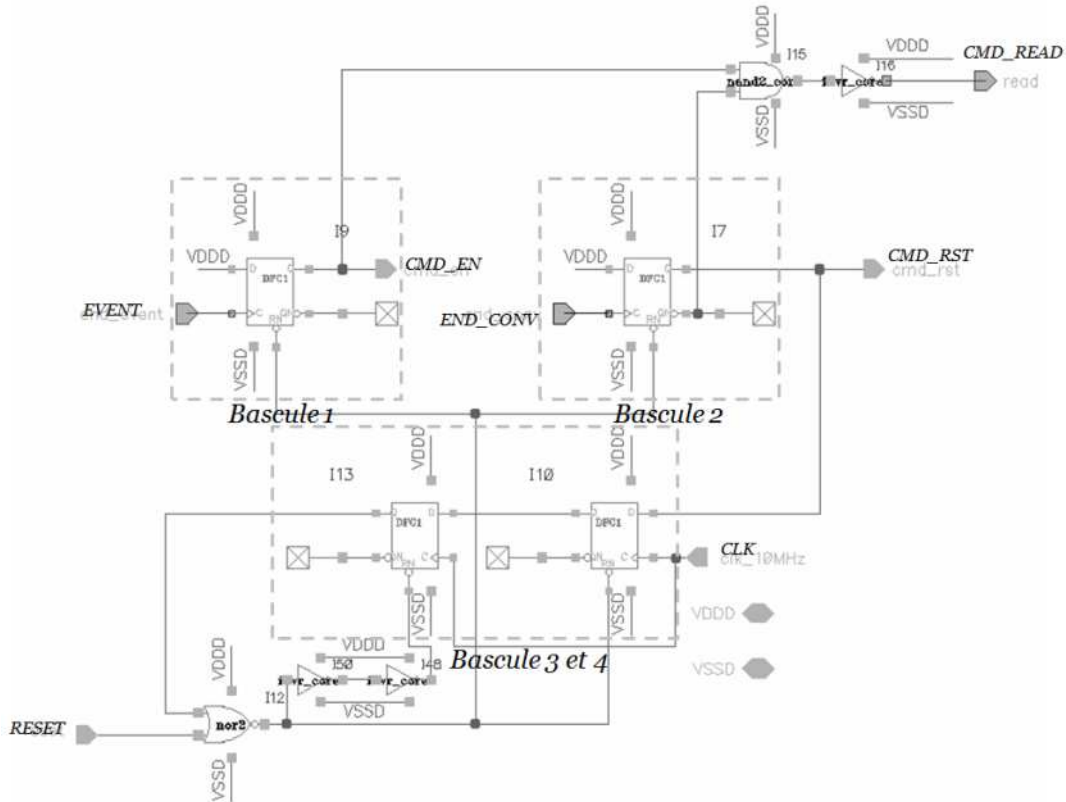


figure V-42 : Architecture du bloc logique de commande pour le Si.

La Bascule 1 permet de détecter la présence d'un événement en sortie du comparateur. Si c'est le cas,  $CMD\_EN = '1'$  et  $CMD\_READ = CMD\_EN \times \overline{END\_CONV} = '1'$ . Ainsi quand la bascule 2 renvoie  $END\_CONV = '1'$ ,  $CMD\_READ$  peut repasser à '0' pour que l'ADC puisse se réinitialiser.  $CMD\_RST = '1'$  et  $CMD\_EN = '1'$  pour décharger la capacité du PD quant il n'est pas fonctionnel. L'auto reset se fait par l'intermédiaire des bascules 3 et 4.  $CMD\_RST = '1'$  est recopié en sortie de la bascule 3 au front montant d'une horloge de 10 MHz et envoyé sur la bascule 4 qui recopie aussi cette état sur le front montant de l'horloge. De ce fait, une temporisation de 100 à 200 ns est mise en œuvre afin de maintenir  $CMD\_RST = '1'$  assez longtemps. Ensuite, toutes les bascules sont remises à zéro par l'intermédiaire de la bascule 4 qui est connectée aux  $\overline{RN}$ . Les 2 inverseurs permettent de créer une nano-temporisation de reset pour que toutes les bascules aient le temps de le recevoir. Une porte NOR permet de réinitialiser toutes les bascules par le signal *RESET* depuis l'extérieur de l'ASIC.

### V.8.3. Le comparateur à hystérésis

#### a) Principe

Nous avons vu que le signal en sortie du PS est beaucoup plus bruité (29.1 mV) que celui en sortie de la chaîne pour la MCP (< 1 mV). Si nous voulons détecter correctement un

évènement, nous devons placer  $V_{REF}$  prêt du bruit. Selon l'offset, le seuil peut rentrer dans le bruit et peut entrainer des commutations parasites en sortie du comparateur. Pour minimiser ce problème, nous utilisons un comparateur à hystérésis. Nous préférons en choisir un qui n'utilise pas de composants passifs pour une question d'encombrement et de matching. Il est composé d'un comparateur à deux étages d'amplification déséquilibré par une paire différentielle (M11 -M12) et d'un inverseur en sortie [93]. Le comparateur à hystérésis choisi est présenté sur la figure V-43.

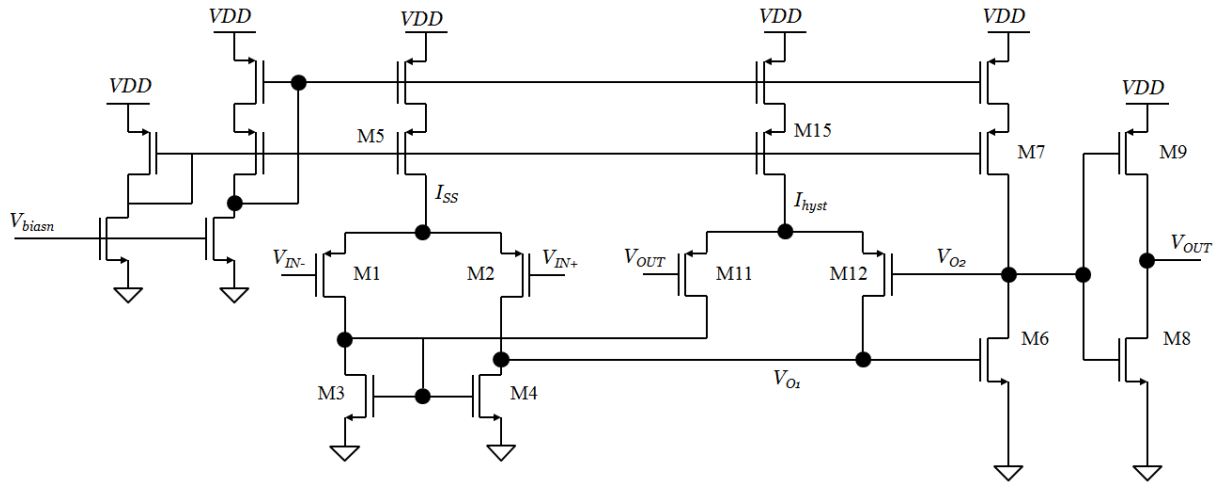


figure V-43 : Comparateur à hystérésis composé d'un comparateur à deux étages d'amplification déséquilibré par une paire différentielle (M11 -M12) et d'un inverseur en sortie.

La deuxième petite paire différentielle (M11-M12) permet de déséquilibrer la paire différentielle d'entrée (M1-M2), comme indiqué dans [94]. Les grilles de la seconde paire différentielle sont liées aux signaux de sortie de telle manière à introduire des contre réactions positives et donc une hystérésis. Le transistor M15 du miroir de courant fournit un courant d'hystérésis  $I_{hyst}$  à la deuxième paire différentielle. En faible inversion, l'hystérésis  $V_{TH} - V_{TL}$  est donné par :

$$V_{TH} - V_{TL} = 4nU_T \tanh^{-1} \left( \frac{I_{hyst}}{I_{SS}} \right) \quad (V-77)$$

avec  $n$  le Slope factor (tableau III-1). Le fonctionnement de ce circuit est le suivant.  $V_{OUT}$  est initialement à GND et la tension d'entrée  $V_{IN+}$  augmente au-dessus de  $V_{IN-}$ , les tensions aux nœuds  $V_{O1}$  et  $V_{OUT}$  commencent à augmenter, alors que la tension au nœud  $V_{O2}$  diminue. Comme  $V_{O2}$  tend vers GND et  $V_{OUT}$  tend vers VDD, le transistor M12 est passant et M11 est bloqué. Le courant  $I_{hyst}$  circule dans le nœud  $V_{O1}$ , engendrant une augmentation de tension à ce nœud et donc une augmentation similaire de  $V_{OUT}$ . Ce processus de régénération continue jusqu'à ce que la sortie sature à VDD. Dans cet état, l'entrée de la paire différentielle est

déséquilibrée par le courant  $I_{hyst}$ . Pour que la sortie puisse revenir à GND,  $V_{IN+}$  doit descendre en dessous de  $V_{IN-}$  avec un niveau suffisant pour dépasser ce déséquilibre. Pour avoir une hystérésis de 8 mV avec un courant  $I_{SS} = 20 \mu\text{A}$ , on trouve un courant de polarisation  $I_{hyst} = 1 \mu\text{A}$  (V-77).

### b) Simulation

La figure V-44 présente la caractéristique de transfert du comparateur à hystérésis de la figure V-43.

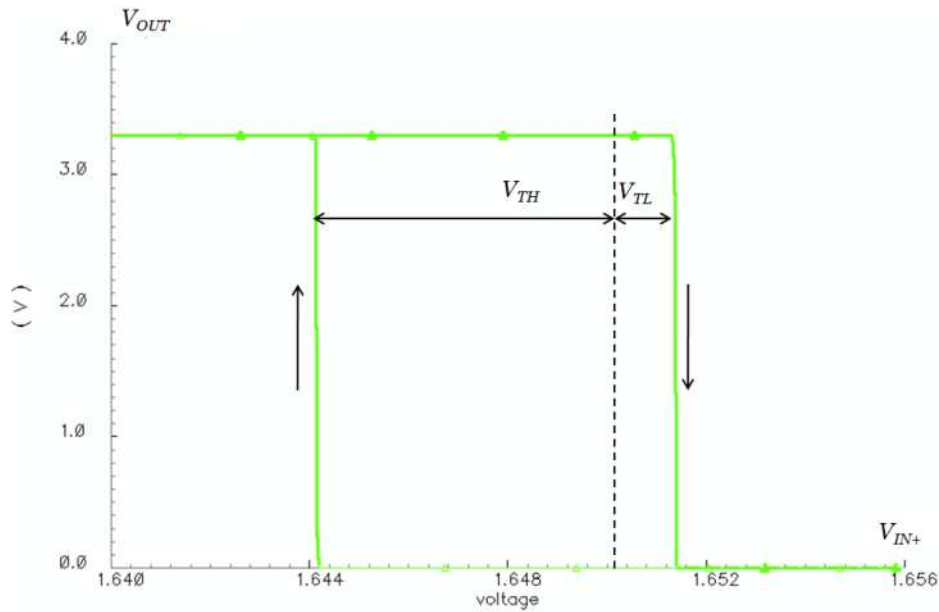


figure V-44 : Caractéristique de transfert du comparateur à hystérésis de la figure V-43.

La tension d'entrée  $V_{IN+}$  varie d'abord de 1.640 V à 1.656 V, puis de 1.656 V à 1.640 V tandis que que  $V_{IN-} = 1.65 \text{ V}$ . La sortie passe du niveau '0' à '1' ( $V_{TH}$ ) lorsque  $V_{IN+} = V_{IN-} - 6 \text{ mV}$  et du niveau '1' à '0' ( $V_{TL}$ ) lorsque  $V_{IN+} = V_{IN-} + 2 \text{ mV}$ . La somme de ces hystérésis est de 8 mV.

En reprenant l'étude du temps de propagation du comparateur faite dans le chapitre IV, nous pouvons calculer dans un premier temps la résolution (IV-40) de ce dernier :

$$V_{IN+}(\text{min}) = \frac{V_{OH} - V_{OL}}{A_{v0}} = \frac{3.3}{83.22 \text{ dB}} = 0.23 \text{ mV} \quad (\text{V-78})$$

Dans le cas où le step d'entrée  $V_{IN+}$  est de 1 Vpp, nous trouvons  $k = V_{IN+}/V_{IN+}(\text{min}) = 4347$ . Le calcul de  $m$  (IV-53) passe par la détermination des pôles du comparateur soit  $\omega_1 = 109 \text{ Mrad.s}^{-1}$  et  $\omega_2 = 202 \text{ krad.s}^{-1}$  dans ce cas :

$$t_{pn} = \frac{1}{\sqrt{mk}} = 0.35 \quad (\text{V-79})$$

Divisé par  $\omega_1$ , le temps de propagation théorique est de  $t = t_{pn}/|\omega_1| = 3.2 \text{ ns}$ . Sur la figure V-45, nous simulons les temps de réponse haut et bas du comparateur à hystérésis de la figure V-43.

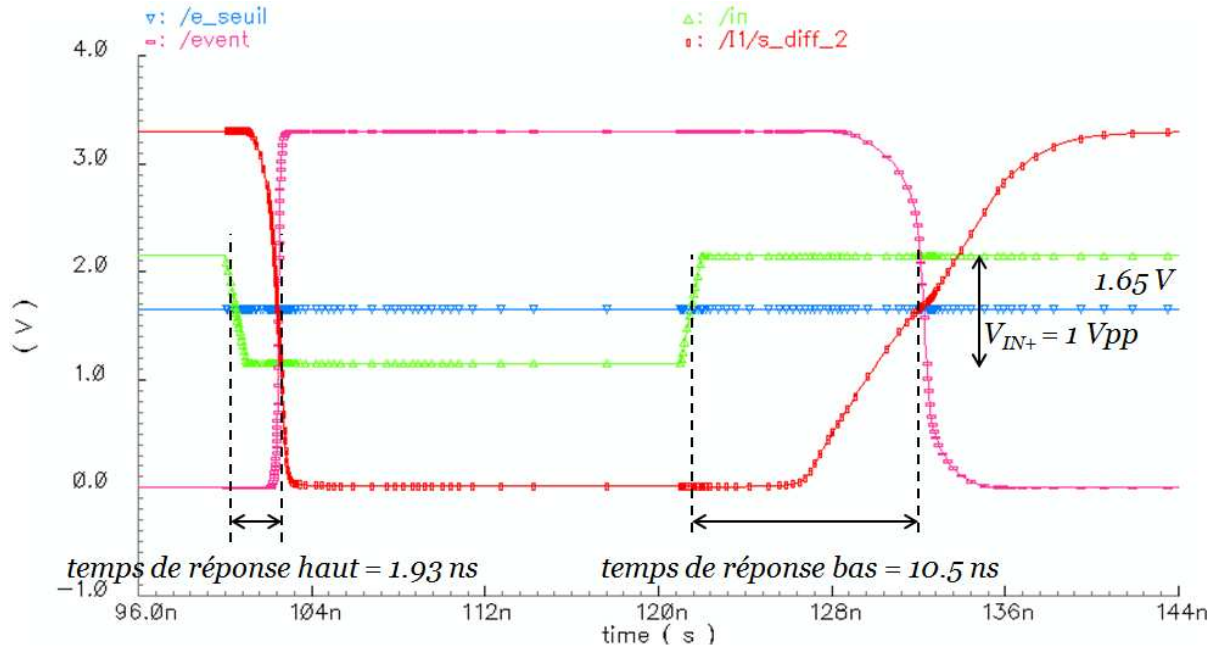


figure V-45 : Temps de réponse du comparateur à hystérésis de la figure V-43 pour  $V_{IN-} = 1.65 \text{ V}$  et  $V_{IN+} = 1.65 \pm 0.5 \text{ V}$ .

Cette mesure est effectuée pour  $V_{IN-} = 1.65 \text{ V}$  et  $V_{IN+} = 1.65 \pm 0.5 \text{ V}$ . Dans ces conditions, le temps de réponse haut est de 1.93 ns et le temps de réponse bas de 10.5 ns (SR différent) en sortie du 2<sup>ème</sup> étage. Nous pouvons aussi observer l'effet de l'inverseur de sortie qui améliore le temps de commutation du comparateur  $< 1 \text{ ns}$ .

#### V.8.4. Le détecteur de pic

Le PD doit discerner et conserver la valeur de l'amplitude du pic de tension en sortie du PS. Cette valeur est proportionnelle à l'énergie déposée par la particule.

##### a) Détecteur de pic par blocage par diode

Dans la littérature [95], le PD le plus courant est constitué d'un OTA monté en suiveur avec une diode sur sa sortie et un circuit RC capable de conserver la tension en sortie. Le détecteur de pic par blocage par diode est présenté sur la figure V-46.

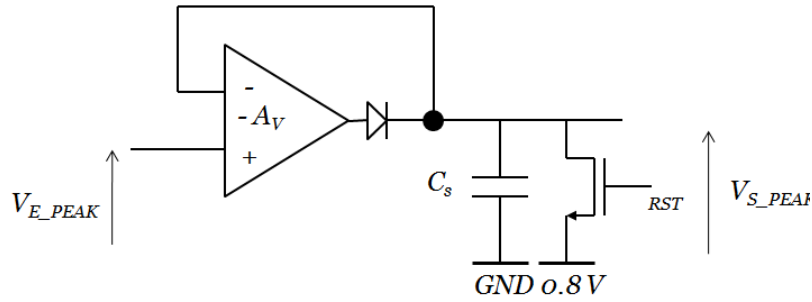


figure V-46 : Détecteur de pic par blocage par diode.

L'OTA est monté en suiveur donc tant que  $V_{E\_PEAK} > V_{S\_PEAK}$  alors la valeur de  $V_{E\_PEAK}$  est recopiée sur  $V_{S\_PEAK}$ . Par contre si  $V_{E\_PEAK} < V_{S\_PEAK}$  la tension de sortie ne peut pas suivre  $V_{E\_PEAK}$  car la diode bloque le courant qu'a emmagasiné la capacité  $C_s$  et ainsi la tension est conservée. Elle est déchargée par l'intermédiaire d'un interrupteur commandé par  $RST$ . L'inconvénient de cette structure est que la plage de détection est réduite par la tension de seuil de la diode. Mais surtout, les commutations passant-bloqué de la diode provoquent des erreurs de stockage de tension. En effet, la capacité de transition de la diode  $C_T$  ne peut pas être négligeable par rapport à  $C_s$  aux vitesses où nous fonctionnons. L'erreur est alors définie par :

$$\varepsilon = E_2 \frac{C_T}{C_s} \quad (\text{V-80})$$

où  $E_2$  correspond à la tension d'entrée à atteindre.

#### b) Détecteur de pic par blocage par switch

Une autre solution consiste à utiliser un switch commandé par un comparateur [96]. Le détecteur de pic par blocage par switch est présenté sur la figure V-47.

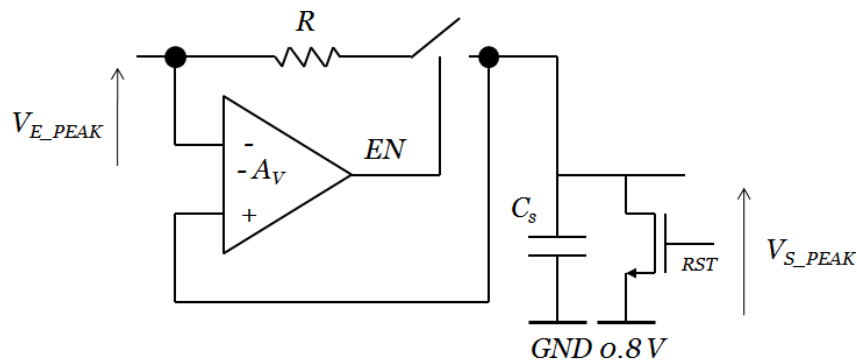


figure V-47 : Détecteur de pic par blocage par switch.

L'OTA est monté en suiveur et tant que  $V_{E\_PEAK} > V_{S\_PEAK}$  alors la valeur de  $V_{E\_PEAK}$  est recopiée sur  $V_{S\_PEAK}$  car le switch commandé par  $EN$  est fermé. Par contre si  $V_{E\_PEAK} <$

$V_{S\_PEAK}$  alors  $EN = '0'$  et le switch s'ouvre, bloquant ainsi la charge qu'a emmagasinée la capacité  $C_s$ , et ainsi la tension est conservée. Ensuite, elle est déchargée par l'intermédiaire d'un interrupteur commandé par  $RST$ .

c) Le comparateur « clamped push-pull »

Ici, la rapidité du comparateur va être prédominante car un trop grand temps de propagation de ce dernier donnera un  $V_{S\_PEAK}$  faussé. Pour optimiser en vitesse ce dernier, nous utilisons l'étude du comparateur à 2 étages « clamped push-pull output » (figure V-48) [87].

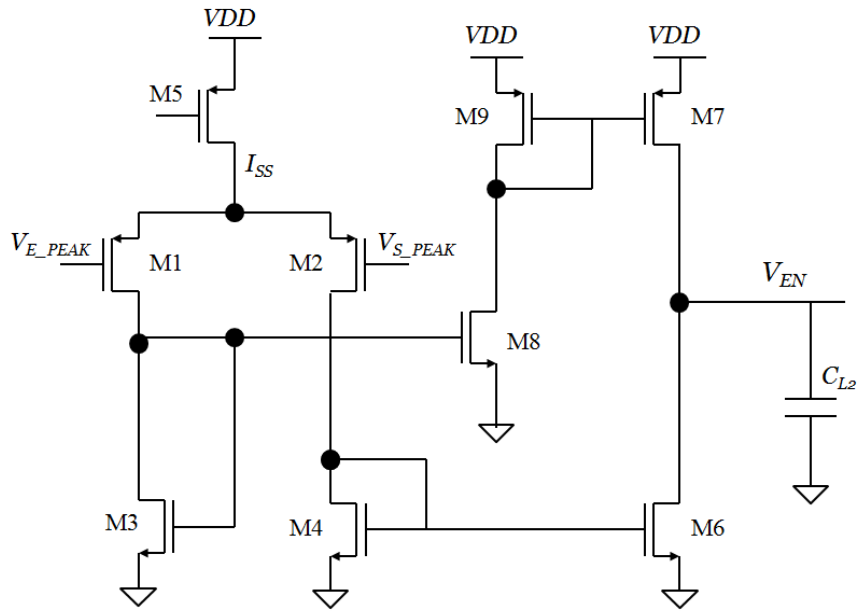


figure V-48 : Comparateur à 2 étages « clamped push-pull output ».

Par rapport à la figure IV-30 la charge active du premier étage est remplacée par un MOS monté en diode, donc le signal en sortie est réduit en amplitude (clamped). Ainsi, nous avons une plus grande résolution en entrée. La sortie est un push-pull, le courant y est élevé tout comme le SR. La simulation de la réponse de ce comparateur à un échelon de 200 mV permet de trouver un temps de réponse bas de 7 ns et un temps de réponse haut de 9.5 ns. Dans le PD de la figure V-48, il y a 2 constantes de temps à prendre en compte. La première est la constante de temps de maintien de la valeur  $V_{S\_PEAK}$  et est calculée par :

$$\tau_M = C_s R_{RST\_O} = \frac{-T_M}{\text{Ln}\left(\frac{V_{S\_PEAK}}{V_{S\_PEAK\_MAX}}\right)} \quad (\text{V-81})$$

où  $T_M$  est la durée de maintien et  $R_{RST\_O}$  la résistance du switch ouvert. En fait, il faut que l'on ait une perte inférieure à 1% sur une durée de 1  $\mu\text{s}$  pour que l'ADC convertisse soit  $\tau_M = 99 \mu\text{s}$  et  $R_{RST\_O} = 200 \text{ M}\Omega$  si  $C_s = 500 \text{ fF}$ . Un MOS bloqué a généralement une



résistance de plusieurs  $G\Omega$ , ce qui est utile. La deuxième constante est celle de la décharge de la capacité  $C_s$  et est calculée par :

$$\tau_D = C_s R_{RST\_F} = \frac{-T_D}{\text{Ln}\left(\frac{0.8}{V_{S\_PEAK\_MAX}}\right)} \quad (\text{V-82})$$

où  $T_D$  est la durée de décharge et  $R_{RST\_F}$  la résistance du switch fermé. En fait, il faut que l'on ait une décharge maximale  $V_{S\_PEAK\_MAX} = 2.45 \text{ V}$  pendant une durée réduite à 10 ns soit  $\tau_D = 9 \text{ ns}$  et  $R_{RST\_F} = 18 \text{ k}\Omega$  si  $C_s = 500 \text{ fF}$ . On utilise alors un MOS de  $6 \mu\text{m} / 1 \mu\text{m}$  pour le PD.

#### d) Simulation

La figure V-49 présente la simulation du PD de la figure V-47 aux différentes charges (de 1.6 à 32 fC) d'une durée de 1 ns envoyées en entrée de la chaîne.

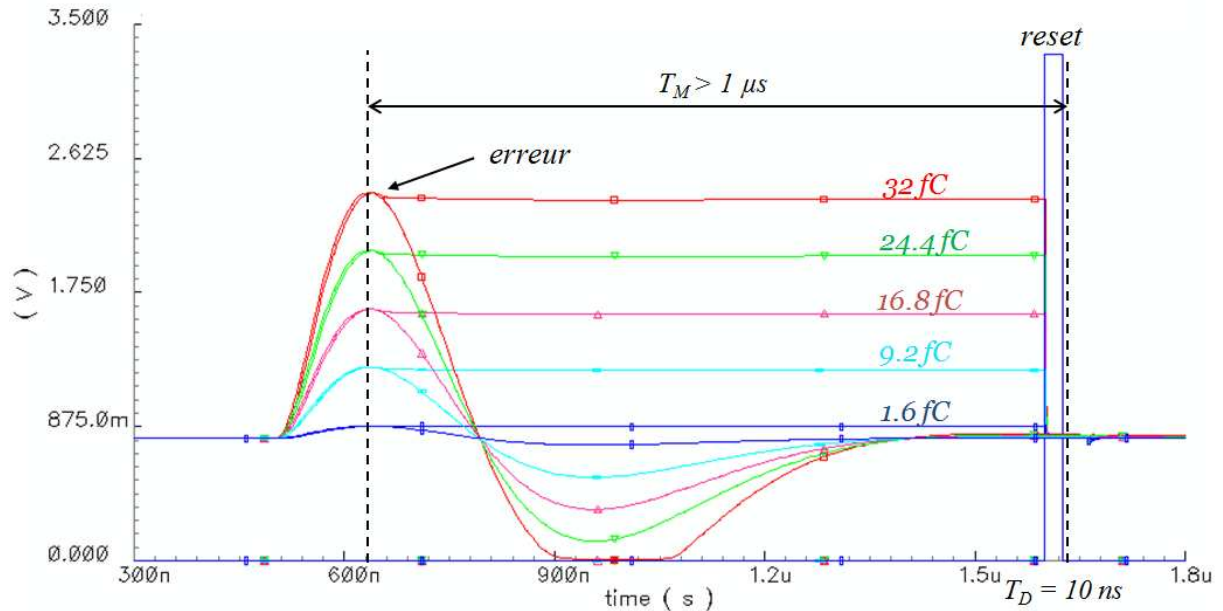


figure V-49 : Simulation du PD de la figure V-47 aux différentes charges (de 1.6 à 32 fC) d'une durée de 1 ns envoyées en entrée de la chaîne CPA + PS.

La valeur maximale est bien mémorisée. Nous pouvons observer une erreur de mémorisation surtout visible pour les fortes tensions. C'est en effet le temps de réponse du comparateur qui joue sur l'activation du switch en créant un retard de quelques ns et donc une erreur.

### V.8.5. L'ADC

Ce chapitre a pour but de présenter très succinctement le fonctionnement de l'ADC utilisé dans les chaînes de conversion. Son développement n'a, en effet, pas fait l'objet de ma thèse.

### a) Fonctionnement

L'ADC utilise une conversion analogique-numérique par approximations successives (chapitre III). Sa plage de tension d'entrée est 0.8-2.5 V, la même que la plage de tension en sortie du PS. Il a une résolution de 10 bits soit un quantum de 1.66 mV. Il fonctionne avec une horloge de 10 MHz, ce qui engendre un temps de conversion de 1  $\mu\text{s}$ . Son architecture est présentée sur la figure V-50.

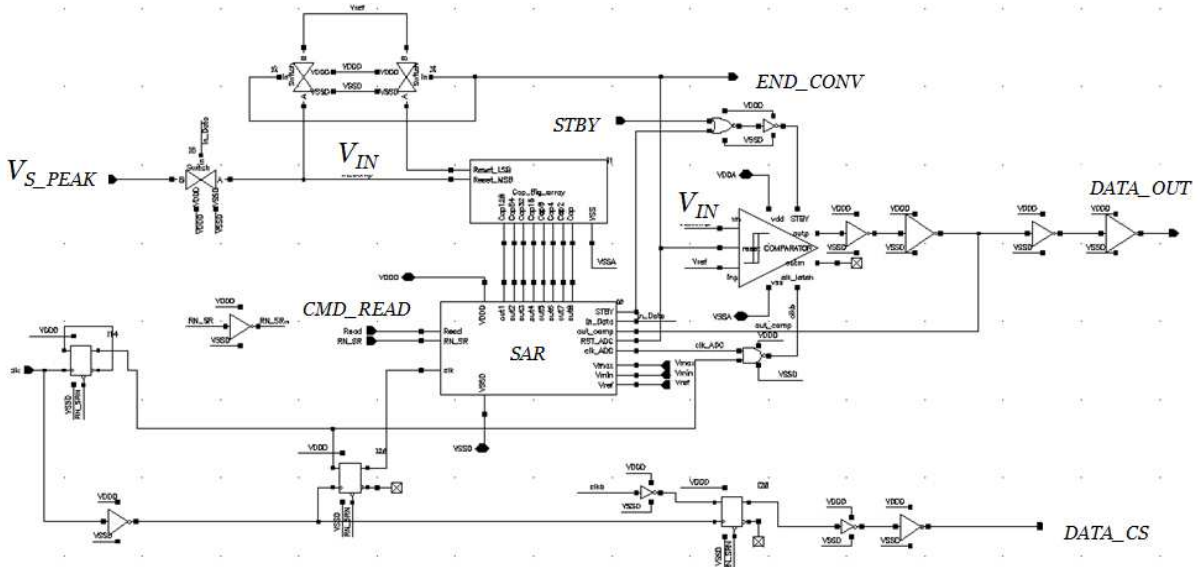


figure V-50 : Architecture de l'ADC à approximations successives.

Le principe de fonctionnement est le suivant [84] : Lorsque  $CMD\_READ$  passe à '1', la commande  $END\_CONV$  passe à '0', alors le signal  $V_{S\_PEAK}$  est échantillonné sur un réseau de capacités. On peut noter que ce réseau de capacités connecté à  $V_{IN}$  nécessite l'introduction d'un étage suiveur entre le PD et l'ADC pour correctement adapter  $V_{S\_PEAK}$  sur  $V_{IN}$ . La tension ainsi échantillonnée  $V_{IN}$  peut alors être comparée à  $V_{REF} = 1.65\text{ V}$  par le comparateur. Si  $V_{S\_PEAK} < V_{REF}$  alors  $DATA\_OUT = '0'$  et si  $V_{S\_PEAK} > V_{REF}$  alors  $DATA\_OUT = '1'$ . Suivant la sortie du comparateur, le SAR (Successive approximation register) diminue ou augmente la valeur de  $V_{IN}$  de  $V_{REF}/2^i$  (où  $i$  est le numéro de la conversion en cours). Ces soustractions/additions de tension se font par l'intermédiaire d'un réseau de capacités à poids binaire ( $2^n C$  où  $C$  est la capacité de référence). Cette opération est répétée jusqu'à ce que les  $n$  bits soient déterminés par :

$$V_{REF} = V_{S\_PEAK} + V_{OS} + D_{n-1} \frac{V_{REF}}{2^1} + D_{n-2} \frac{V_{REF}}{2^2} + \dots + D_1 \frac{V_{REF}}{2^{n-2}} + D_0 \frac{V_{REF}}{2^{n-1}} \quad (V-83)$$

avec  $V_{OS}$  l'offset sur  $V_{IN}$  et  $D$  le poids en sortie du comparateur (-1 si  $DATA\_OUT = '1'$  et +1 si  $DATA\_OUT = '0'$ ). Une fois que la conversion est terminée, la commande  $END\_CONV$

passé à '1'. La sortie *DATA\_OUT* envoie les bits de conversion en série cadencés par l'horloge de 10 MHz.

### b) Simulation

Les résultats de simulation sont présentés sur la figure V-51 pour une tension à convertir de 2.31 V.

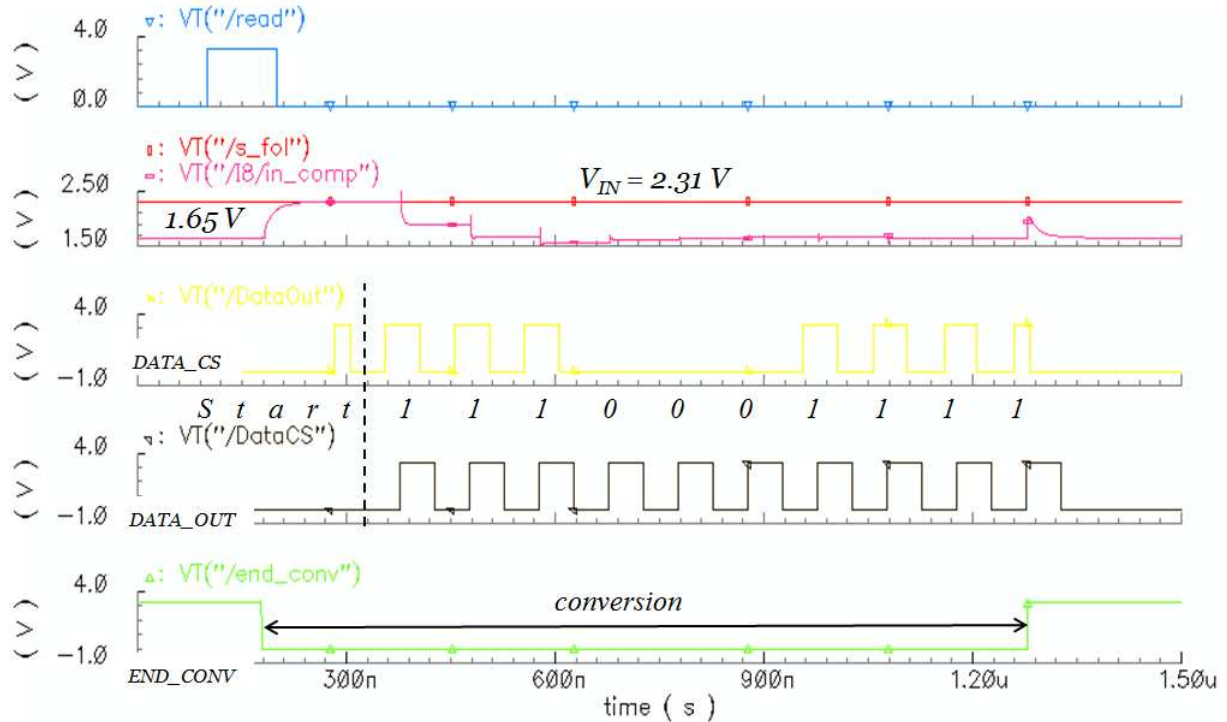


figure V-51 : Conversion de l'ADC à approximations successives d'une tension de 2.31 V.

Pour une tension de 2.31 V sur  $V_{S\_PEAK}$ , l'ADC présente '1110000011' en sortie, soit  $1.512 + 0.8 = 2.312$  V ce qui correspond à une erreur de 2 mV. La simulation post-process de l'ADC montre qu'il n'est effectif que sur 8 bits (bits 9 et 10 aléatoires) soit un quantum ramené à 6.64 mV. On peut noter qu'une autre sortie *DATA\_CS* permet de synchroniser parallèlement la présence des données de conversion de *DATA\_OUT*. Son déphasage de  $90^\circ$  sur *DATA\_OUT* permet de récupérer exactement le niveau logique de ce dernier sur front montant.

## V.9. Performances des chaînes globales

### V.9.1. Simulations

#### a) Si de type A et B

La simulation temporelle de la chaîne Si de type A est effectuée sur la figure IV-35 pour une charge de 32 fC avec un seuil de détection positionné à 1 V.

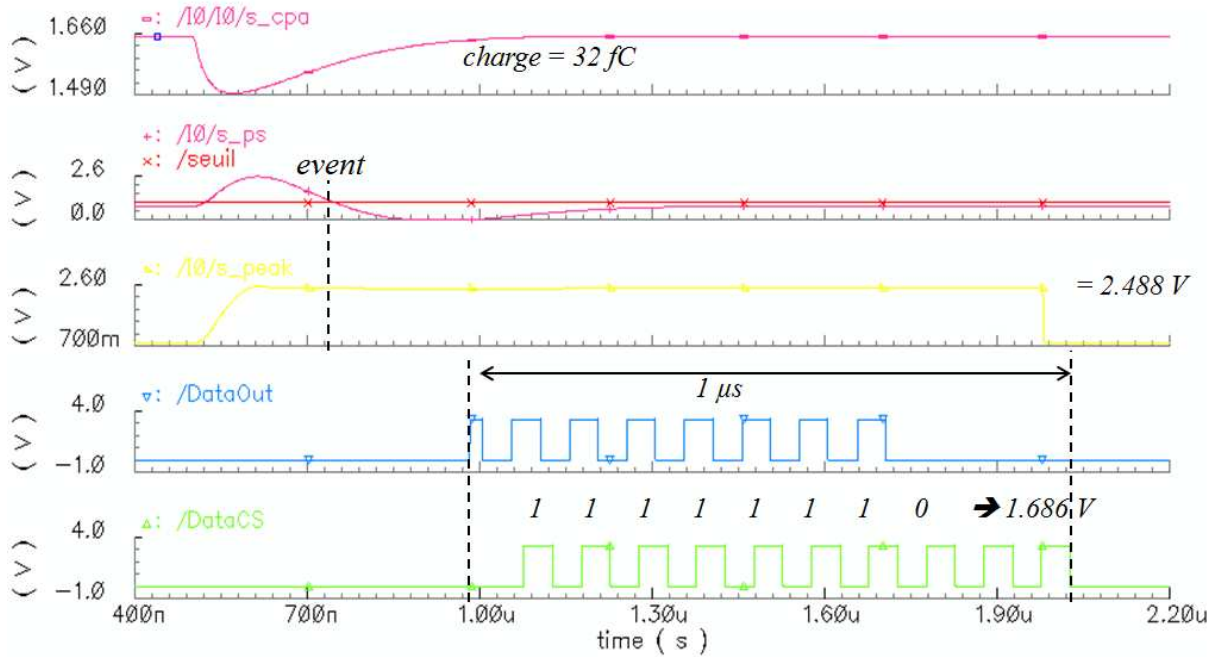


figure V-52 : Simulation temporelle de la chaîne Si de type A avec une charge de 32 fC et un seuil de détection positionné à 1 V.

Le système a détecté la charge d'entrée en la mémorisant et la numérisant puis il a effectué sa propre remise à 0. Pour une charge d'entrée de 32 fC, une tension de 2.488 V est mémorisée par le PD. La valeur en sortie de l'ADC de 8 bits est de '11111110' = 254 soit 1.686 V, soit une erreur de 0.08 %. Nous observons aussi que le circuit est capable de redétecter une nouvelle charge au bout de 1.52  $\mu\text{s}$ . Le circuit est donc capable de fonctionner à une fréquence maximale de 658 kHz.

### b) CdZnTe

La simulation temporelle de la chaîne CdZnTe est présentée sur la figure V-53 pour une charge de 160 fC avec un seuil de détection positionné à 1 V.

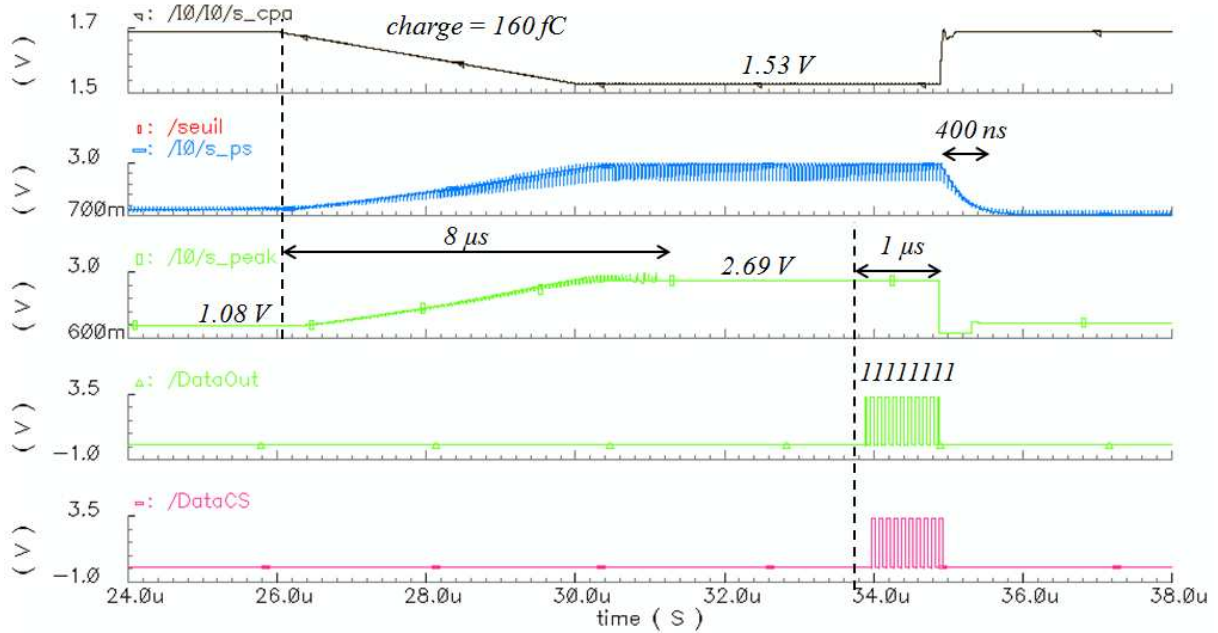


figure V-53 : Simulation temporelle de la chaîne CdZnTe avec une charge de 160 fC et un seuil de détection positionné à 1 V.

Le système a détecté la charge d'entrée en la mémorisant et la numérisant puis il a effectué sa propre remise à 0. Quand  $V_{S\_PS} > V_{REF}$ , le PD recopie le signal en sortie du PS pendant une durée de 8  $\mu\text{s}$ , ensuite la conversion de l'ADC est lancée, ainsi que le RESET de 400 ns. Le circuit est capable de détecter une nouvelle charge à partir de 9.4  $\mu\text{s}$ . Il a donc une fréquence maximale de 106 kHz. La valeur de conversion trouvée est de '11111111' = 256 pour un ADC de 8 bits, c'est à dire 1.7 V. Ici le PS n'a pas eu le temps de se stabiliser à 0.8 V avant l'arrivée de la charge (simulation transitoire très longue), donc on commence alors à une référence de 1.08 V. Le PD enregistre une tension de 2.69 V donc un delta de tension de 1.61 V. Ici, la simulation n'est pas optimale car très longue et nous utilisons le mode « Analog » pour les blocs analogiques et « Digital fast mode » pour les parties numériques.

### V.9.2. Consommation

La consommation de tous les blocs est détaillée dans le tableau IV-2.

tableau V-5 : Simulation de la consommation du circuit

Blocs	VDD ( $\mu\text{W}$ )	1.65 V ( $\mu\text{W}$ )	0.8 V ( $\mu\text{W}$ )	2.5 V ( $\mu\text{W}$ )	Total ( $\mu\text{W}$ )
CPA+PS SiA	1152	0	0	0	1152
CPA+PS SiB	822	0	0	0	822
CPA+PS CdZnTe	1396	0.36	1.34	0	1397
Comparateur	150	0	0	0	150
PD	424	0	0	0	424
Follower	581	0	0	0	581
ADC	217.8	4.13	1.56	0.87	224
Chaîne SiA	2525	4.13	1.56	0.87	2532
Chaîne SiB	2195	4.13	1.56	0.87	2202
Chaîne CdZnTe	2769	4.49	2.9	0.87	2777
13 chaînes (1/4/8)	33 457	56.57	31	11.31	33 556

Ces mesures sont la somme des consommations statique et dynamique pour un CPA+PS du CdZnTe fonctionnant à 20 MHz et un ADC fonctionnant à 10 MHz. L'ASIC consomme 33 mW.

## V.10. Conclusion

Dans ce chapitre, nous avons conçu des chaînes d'instrumentation pour les SCs en technologie CMOS HV 0.35. Une étude des amplificateurs à 2 étages a été réalisée pour les stabiliser tout en minimisant leur consommation. La chaîne analogique a été conçue en optimisant la vitesse, le bruit et la consommation pour s'adapter au mieux aux caractéristiques des SCs. La réalisation de la chaîne CdZnTe passe par l'utilisation de filtres à capacités commutées pour rendre possible son intégration sur un temps élevé. Le système de discrimination est intégré à la fin de la chaîne pour numériser la valeur de la charge sur l'entrée. Pour cela, un comparateur à hystérésis, un détecteur de crête et un ADC ont été implantés. Un système numérique de commande a été intégré afin de gérer la numérisation sans intervention extérieure. Les simulations montrent que les performances des chaînes de conversion sont conformes aux cahiers des charges.

## V.11. Références

[72] Spieler, H., *Semiconductor Detector Systems*. s.l. : Oxford University Press, USA, 2005.

- [77] Bonvicini, V., et al., "A Double-Gain, Large Dynamic Range Front-end ASIC With A/D Conversion for Silicon Detectors Read-Out." *Nuclear Science, IEEE Transactions*. vol.57, no.5, pp.2963-2970, 2010.
- [84] Jacob Baker, R., *CMOS: Circuit Design, Layout, and Simulation, 3rd Revised edition*. s.l. : Wiley-Blackwell, 2010.
- [85] Sansen, Willy., *Analog Design Essentials*. s.l. : Springer-Verlag New York Inc., 2006.
- [87] Allen, Phillip E., Holberg, Douglas R., *CMOS Analog Circuit Design, 2 edition*. New York : Oxford University Press, USA, 2002.
- [88] Schemm, N., Balkir, S. et Hoffman, M.W., "A 4- $\mu\text{W}$  CMOS Front End for Particle Detection Applications." *Circuits and Systems II: Express Briefs, IEEE Transactions*. vol.57, no.2, pp.100-104, 2010.
- [89] Johns, D.A. et Martin, K., *Analog integrated circuit design*. s.l. : John Wiley & Sons, Inc., 1997.
- [90] Laquerre, Pierre., *Conception d'une chaîne de traitement analogique de signaux vidéo en technologie CMOS basse tension pour applications aux instruments d'observation de la Terre*. Toulouse : PhD thesis, Institut National Polytechnique de Toulouse, 2007.
- [91] Bernal, Olivier, et al., *A method for converting a sensor capacitance under parasitic capacitance conditions and a capacitance-to-voltage converter circuit*. WO/2010/033078 Singapore, 25 03 2010. WIPO.
- [92] Noulis, T., et al., "Advanced Low-Noise X-Ray Readout ASIC for Radiation Sensor Interfaces." s.l. : Circuits and Systems I: Regular Papers, IEEE Transactions on, 2008, Issue 7, Vol. 55. pp.1854-1862.
- [93] Furth, P.M., et al., "On the design of low-power CMOS comparators with programmable hysteresis." s.l. : Circuits and Systems (MWSCAS), 2010 53rd IEEE International Midwest Symposium on, 2010, Vol. vol., no., pp.1077-1080.
- [94] Wei, Dazhi, Garg, Vaibhav et Harris, J.G., "An asynchronous delta-sigma converter implementation." s.l. : Circuits and Systems, 2006. ISCAS 2006. Proceedings. 2006 IEEE International Symposium on, Vol. vol., no., pp.4 pp., 0-0 0.
- [95] Robert, G. Irvine., *Operational Amplifier: Characteristics and Applications*. s.l. : Prentice Hall; 3 Fac Sub edition, 1994.
- [96] Luong, M.Y.F., *CMOS peak detector and AC filter*. 4,634,895 USA, 11 07 1987. US Patent.

# Chapitre VI

## Validations expérimentales des chaînes de détection pour le spatial

---

*Ce chapitre présente les résultats de mesures effectuées sur les 2 ASICs respectivement présentés dans les chapitres IV et V afin de valider la méthodologie de conception du chapitre III. L'ASIC CDIC16 a été testé fonctionnellement, puis associé à une MCP et qualifié en environnement spatial. Concernant l'ASIC pour les SCs seuls les tests fonctionnels seront présentés.*

### VI.1. Chaîne de détection pour la MCP

Dans cette partie, nous validons la chaîne d'instrumentation CMOS 0.35  $\mu\text{m}$  pour la détection des électrons avec les MCP montées en chevron (chapitre IV). Tout d'abord, nous réalisons les tests fonctionnels de la partie analogique (CPA+PS) [97] et numérique (discriminateur) [98]. Ensuite, nous testons l'ensemble de la chaîne de détection (MCP+ASIC) ainsi qu'une estimation de la diaphonie entre les voies. Pour finir, nous présentons des mesures en température et de tolérance au TID pour qualifier l'ASIC en environnement spatial.

#### VI.1.1. L'ASIC CDIC16

La figure V-1 (à gauche) montre la vue du layout de l'ASIC CDIC16 incluant les 16 chaînes de conversion ainsi qu'une chaîne de test.



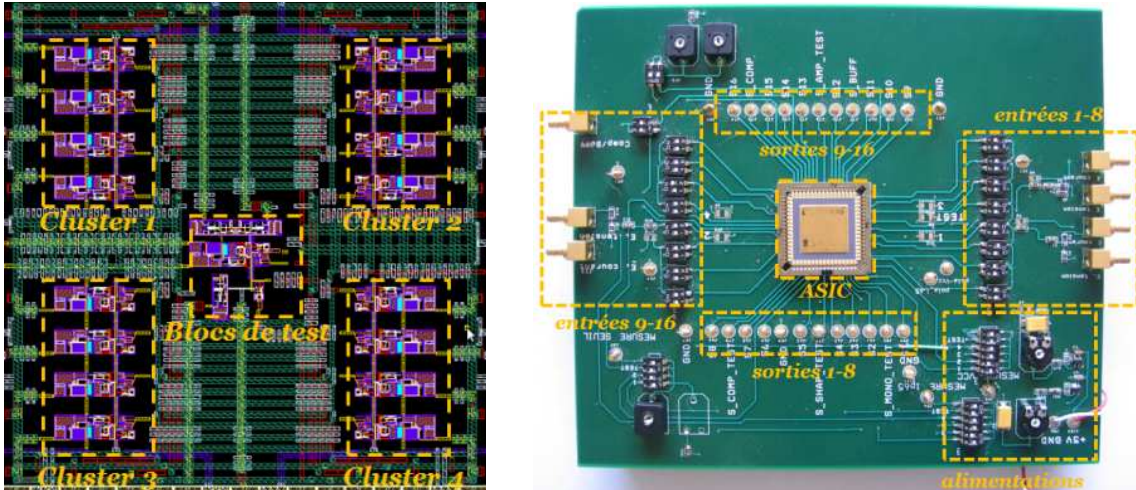


figure VI-1 : Vue du layout de l'ASIC CDIC16 incluant 16 chaînes de conversion et un bloc de test (à gauche) et la carte de test de l'ASIC (à droite).

Le CDIC16 occupe une surface de  $5.67 \text{ mm}^2$  (I/O pads compris) et est intégré dans un boîtier de 68 broches (JLCC 68). Afin de réduire la diaphonie, les 16 canaux sont séparés en 4 groupes (clusters) de 4 chaînes chacun. En outre, chaque cluster possède ses propres alimentations VDD et seuil de référence. Une chaîne de test est également intégrée au centre pour observer les sorties analogiques de la chaîne. Cet ASIC est testé avec la carte présentée sur la figure V-1 (à droite).

### VI.1.2. Tests fonctionnels de la chaîne analogique

#### a) Mesures

Les réponses transitoires simulées et mesurées sont indiquées sur la figure VI-2 pour  $C_{det} = 1 \text{ pF}$  et  $Q_{in} = 450 \text{ fC}$  à une fréquence de  $1 \text{ MHz}$ .

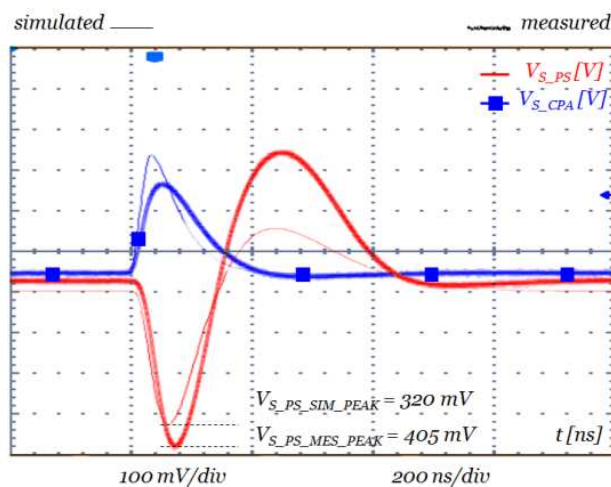


figure VI-2 : Réponse transitoire simulée et mesurée pour  $C_{det} = 1 \text{ pF}$  et  $Q_{in} = 450 \text{ fC}$  à une fréquence de  $1 \text{ MHz}$ .

Les formes des signaux mesurés et simulés sont identiques. Pour une charge  $Q_{in} = -450 \text{ fC}$  les amplitudes valent :  $V_{S\_CPA\_SIM} = 298 \text{ mV}$ ,  $V_{S\_CPA\_MES} = -220 \text{ mV}$ ,  $V_{S\_PS\_SIM} = -335 \text{ mV}$  et  $V_{S\_PS\_MES} = -430 \text{ mV}$ . Les différences s'expliquent par les variations process des composants passifs (résistance et capacité)  $\approx \pm 20 \%$ .

Le taux de comptage maximal du circuit est obtenu lorsque le PS est déchargé à + de 90 % de son overshoot (environ 400 ns mesuré). En outre, lorsque le signal arrive à saturation, la fréquence de comptage maximale diminue, à cause de l'augmentation de la largeur de la semi-gaussienne en sortie du PS. La fréquence de comptage maximale est obtenue pour la plus petite charge détectable qui correspond à 0.15 fC (seuil de bruit) jusqu'à la charge qui fait saturer la sortie. Dans ces conditions, la fréquence de comptage maximale est d'environ 2.7 MHz. Cependant, vu que la charge d'entrée moyenne est de 450 fC, la fréquence moyenne de la numération se situe autour de 2.6 MHz (figure VI-2).

La linéarité du système est tracée sur la figure VI-3 définie par les amplitudes de sortie du CPA et du PS mesurées pour des impulsions de charge d'entrée variant entre 0 et 1.90 pC pour  $C_{det} = 10 \text{ pF}$ .

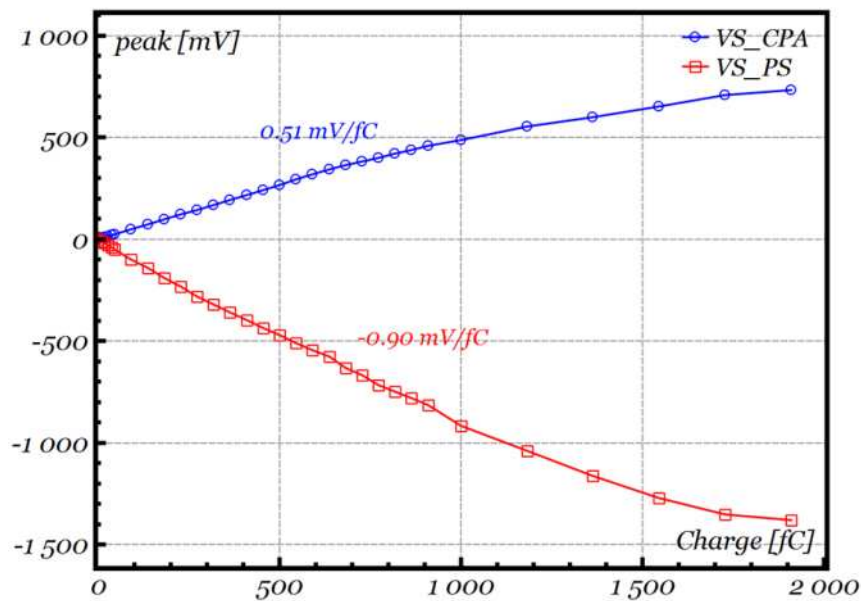


figure VI-3 : Linéarité du système définie par les amplitudes de sortie du CPA et du PS mesurées pour des impulsions de charge d'entrée variant entre 0 et 1.90 pC et  $C_{det} = 10 \text{ pF}$ .

Les gains de conversion (charge/tension) du CPA seul et du CPA+PS ont été calculés en utilisant un ajustement linéaire. Le gain de conversion du CPA+PS est de  $0.9 \text{ mV.fC}^{-1}$  et la valeur de saturation est d'environ 1.5 pC, ce qui n'empêche pas le circuit de détecter une charge d'entrée  $Q_{in} > 1.5 \text{ pC}$ . Nous retrouvons un gain presque identique aux simulations ( $0.8 \text{ mV.fC}^{-1}$ ). Aussi, une erreur de non-linéarité de 0.7% est mesurée entre 0 et 1 pC.

Pour la mesure du bruit de la chaîne, nous utilisons le LDS Nicolet Sigma (avec une résolution de 12 bits et une bande passante de 25 MHz). Le spectre de bruit de la sortie du PS a été mesuré et comparé au spectre du bruit simulé pour une capacité  $C_{det} = 1 \text{ pF}$  (figure VI-4).

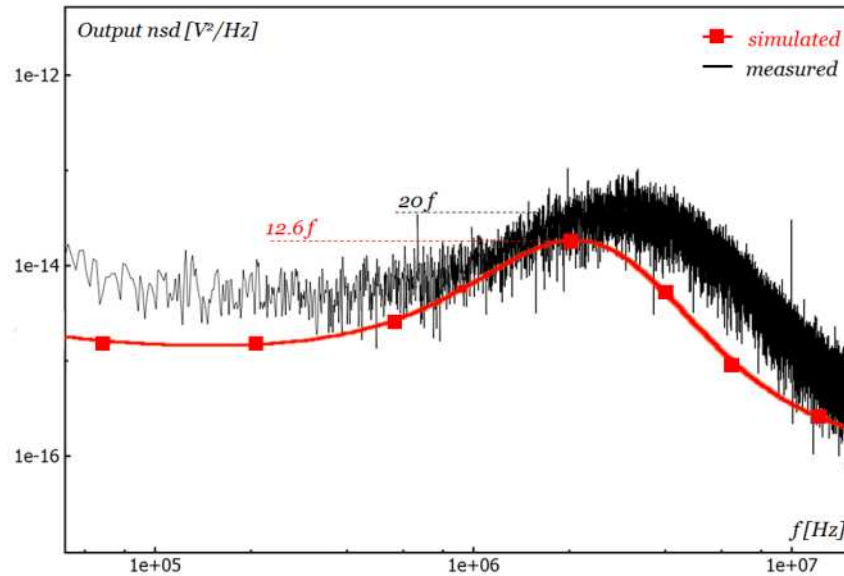


figure VI-4 : Spectre de bruit de la sortie du PS mesuré et comparé au spectre du bruit simulé pour une capacité  $C_{det} = 1 \text{ pF}$ .

La fréquence de résonance est observée à 3.65 MHz et la densité spectrale de bruit de sortie mesurée est de  $20 \text{ fV}^2 \cdot \text{Hz}^{-1}$ . L' $ENC_{Total}$  est à environ  $954 \text{ e}^-$  pour un  $C_{det} = 1 \text{ pF}$ , ce qui est assez proche de la valeur de la simulation de  $736 \text{ e}^-$  pour  $C_{in} = 5 \text{ pF}$ . La valeur minimale de charge détectable est alors de  $0.15 \text{ fC}$ .

#### b) Performances du CDIC16 par rapport à l'état de l'art

L'IRAP utilise actuellement des composants discrets (AMPTEK A111 [99]) pour convertir les charges de la MCP en impulsions numériques. 16 A111 sont nécessaires pour contrôler les 16 anodes de la MCP. Les performances de l'A111, de quelques chaînes analogiques CMOS optimisées en bruit pour les détecteurs de rayonnement capacitif trouvées dans la littérature [75; 59] et d'une chaîne analogique du CDIC16 sont résumées dans le tableau II-1 pour  $C_{det} = 5 \text{ pF}$ .

tableau VI-1 : Récapitulatif des performances d'une voie analogique CPA+PS.

	AMPTEK A111 [99]	[Noulis, T., Circuits, Devices & Systems, IET, 2008] [59]	[Kaplon, J., Nuclear Science, IEEE , 2005] [75]	CDIC16
Process ( $\mu\text{m}$ )	-	0.35	0.25	0.35
Power supplies (V)	4.7	3.3	2.5	3.3
Consumption (mW)	6	0.165 (CPA)	1.5	1.73
Noise ENC ( $e^-$ ) pour $C_{in}=5\text{pF}$	3312	321	< 1500	954
Detector max capacitor (pF)	0 – 250	0 – 10	0 – 25	0 – 25
Input transistor	-	NMOS	NMOS	PMOS
Transistor Size ( $\mu\text{m}$ )	-	W = 310 L = 0.9	W = 2000 L = 0.5	W = 550 L = 2
Peaking Time (ns)	-	1000	22	55
Silicon area ( $\mu\text{m}^2$ )	-	4212	84000	77000
Count rate (MHz)	2.5	0.8	-	2.6
Temperature accepted ( $^{\circ}\text{C}$ )	- 55 à 85	-	-	- 20 à 80
Radiation tolerance	> 100 krad (CO60)	-	10 Mrad (X-ray)	> 360 krad (CO60)

Comparés à l'AMPTEK A111, la consommation et le bruit du CDIC16 sont réduits d'un facteur 3 pour un même taux de comptage (figure VI-5).

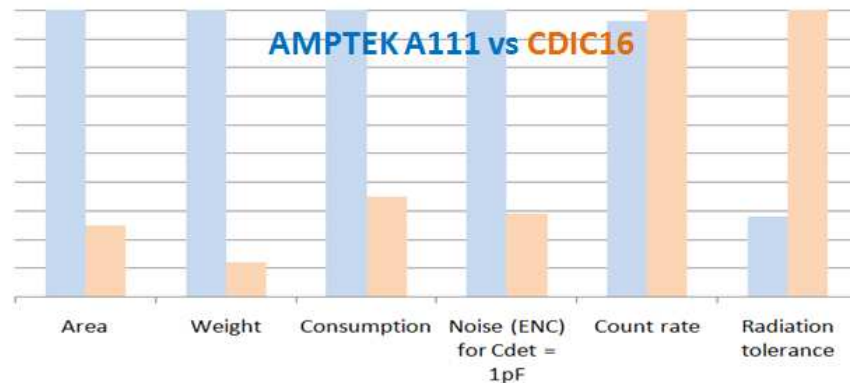


figure VI-5 : Comparaisons des performances de l'AMPTEK A111 (bleu) et du CDIC16 (orange).

De plus, dans l'objectif d'une intégration embarquée dans un satellite, nous avons fortement réduit l'encombrement et le poids tout en améliorant la tenue au TID > 360 krad (voir paragraphe suivant).

Comme indiqué dans le tableau II-1 et comme prévu, les applications avec temps de shipping lent ont un bruit et une consommation plus faibles. Néanmoins, une comparaison équitable ne peut pas être réalisée facilement puisque les performances d'un CPA dépendent grandement de l'application visée et du détecteur utilisé.

### VI.1.3. Tests fonctionnels de la partie numérique

La partie numérique des chaînes intégrées dans le CDIC16 est composée d'un comparateur et d'un monostable. Sur la figure VI-6, nous mesurons les temps de propagation du comparateur et la durée du niveau haut du monostable pour une charge d'entrée de 450 fC.

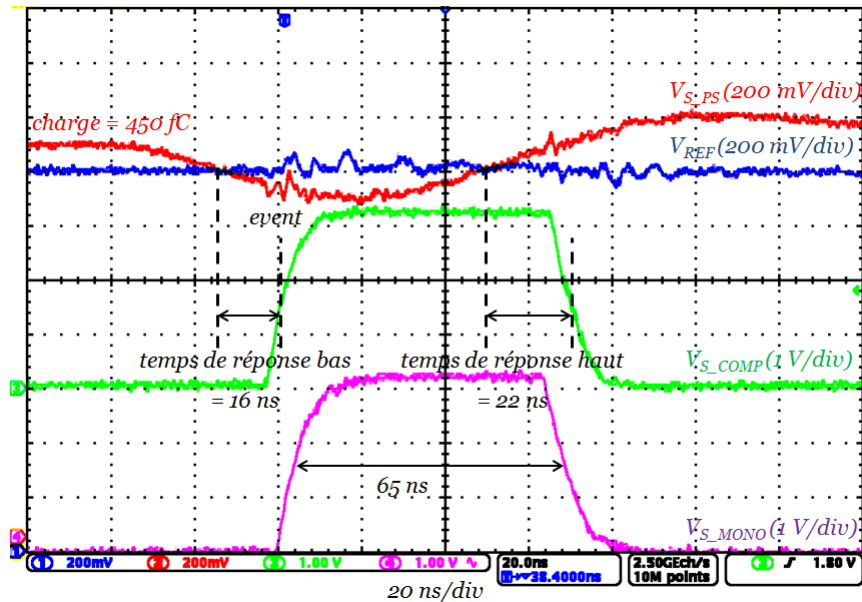


figure VI-6 : Temps de propagation du comparateur et durée du niveau haut du monostable pour une charge d'entrée de 450 fC.

Cette mesure est effectuée pour  $V_{REF} = 1.4 V$  et  $V_{S\_PS\_DC} = 1.51 V$ . Avec un gain de conversion du CPA+PS de  $0.9 mV.fC^{-1}$  et une charge de 450 fC, on trouve  $V_{IN1} \approx 295 mV$ . Les temps de réponse bas et haut sont respectivement de 16 ns et 22 ns. Ces temps de propagation sont plus rapides que ceux de la partie théorique car ici nous avons un  $V_{IN1} \approx 295 mV$  au lieu du cas critique étudié où  $V_{IN1} = 10 mV$ , ce qui aurait donné un  $t_{400 mV} = t_{pn}/|\omega_1| = 3.94 ns$  d'après l'étude du chapitre IV. La durée de l'impulsion logique en sortie du monostable est mesurée à 65 ns au lieu des 100 ns attendu. Malgré ces petites variations de coïncidence, le système est tout à fait opérationnel.

Nous pouvons observer de légères perturbations sur les signaux analogiques lors des commutations des signaux numériques. Elles sont dûes aux pollutions d'alimentation qui créent des variations parasites dans les VDD et la masse de l'ASIC et du PCB. Cela va jouer sur la valeur minimale de détection de la chaîne car elles sont plus élevées que le seuil de bruit minimal mesuré (diaphonie).

### VI.1.4. Tests de la chaîne de détection

#### a) Test fonctionnel MCP+CDIC16

Les résultats des mesures précédentes ont été obtenus avec une charge d'entrée créée en appliquant une impulsion de tension dans un condensateur équivalent à  $C_{det}$ . Ici, les mesures de la chaîne complète de l'instrument ont été réalisées dans une chambre à vide afin de valider le fonctionnement de l'ASIC avec des MCPs montées en Chevron. Dans une chambre à vide, il est possible de générer les électrons à l'aide d'un canon à électrons. Ces électrons peuvent alors être détectés par les MCPs. L'anode est connectée à l'entrée de la chaîne de test du CDIC16. Un schéma de l'ensemble du système est présenté sur la figure VI-7 (à gauche).

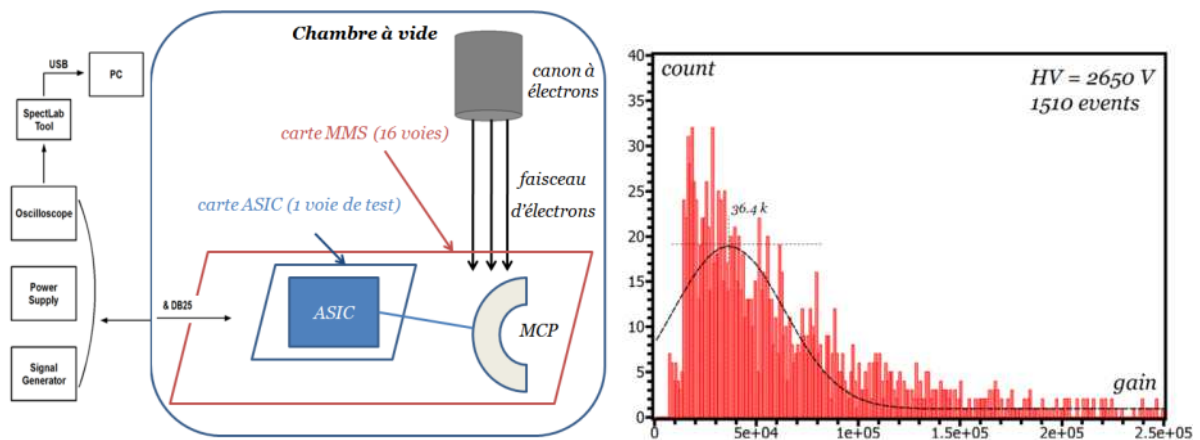


figure VI-7 : Banc d'essai dans la chambre à vide (à gauche) avec la distribution en gain des MCPs montées en Chevron et polarisées à 2650 V mesurée par la voie de test de l'ASIC CDIC16.

La séquence d'impulsions en sortie du PS est utilisée pour confirmer le bon fonctionnement de l'ASIC en retraçant la distribution des MCPs polarisées à 2650 V (figure VI-7 à droite). Ce test est effectué dans un cas critique c'est-à-dire avec des MCPs de gain faible : gain moyen de 36.4 k à une tension de 2650 V au lieu des  $10^6$  habituel.

#### b) Test de la diaphonie

Intégrer 16 canaux de conversion sur un même substrat silicium est intéressant car la taille de la chaîne de détection est considérablement réduite. Toutefois, leur proximité peut induire des couplages d'une chaîne à l'autre. Ainsi, la technologie CMOS standard utilisée ici, intègre l'ensemble des transistors NMOS dans le même caisson, ce qui nécessite d'avoir une seule masse. En outre, les 4 canaux de conversion au sein d'un même cluster ont une tension d'alimentation VDD. Par conséquent, le déclenchement de la sortie numérique peut générer quelques perturbations dans le circuit (voir figure VI-6). Tous ces phénomènes pourraient augmenter la charge minimale détectable.

Quand une charge est correctement détectée par la partie analogique, elle déclenche le discriminateur. Des signaux indésirables peuvent alors être injectés dans les chaînes voisines à travers les segments d'alimentation et le substrat (bulk). Si les seuils de comparaison des comparateurs de ces chaînes sont trop près du seuil de bruit, les signaux parasites générés peuvent déclencher le comparateur et donc être interprétés à tort comme une charge à l'entrée. Ainsi, la diaphonie peut générer des faux événements. Toutefois, afin d'éviter que les comparateurs soient déclenchés par diaphonie, une tension de seuil minimale doit être établie. Pour ce faire, pour chaque cluster, des mesures ont été faites pour définir la tension de seuil minimale pour laquelle la diaphonie ou le bruit ne peuvent pas déclencher d'événement erroné. Parmi ces 4 valeurs, la tension de seuil la plus élevée est conservée. Sur la figure VI-8, 3 échantillons d'ASICs ont été testés pour établir la charge minimale détectable.

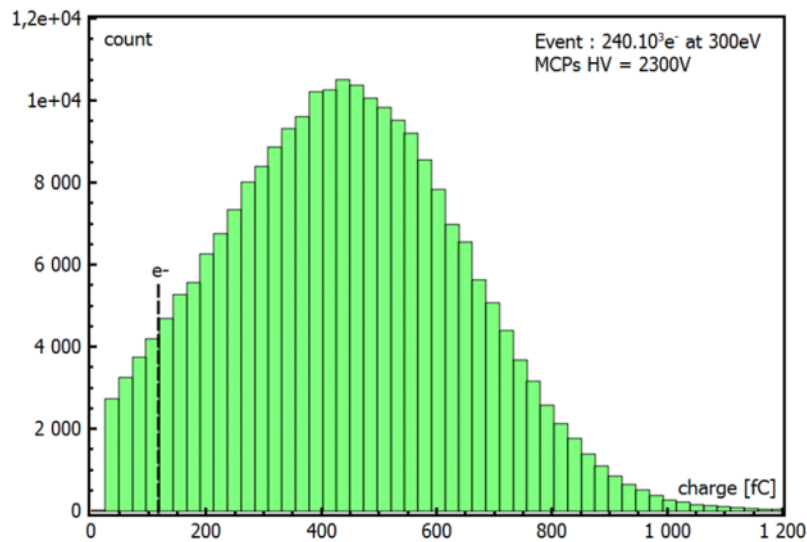


figure VI-8 : Distribution du gain de la MCP à 2300 V avec la charge minimale détectable mesurée en prenant en compte la diaphonie.

La charge d'entrée minimale détectable devient alors 122 fC. Cette erreur est calculée en utilisant la fonction de densité de probabilité pour les électrons :

$$P_{e^-}(X \geq \text{seuil}_{e^-}) = \int_{122 \text{ fC}}^{+\infty} f(u).du \quad (\text{VI-1})$$

avec  $f(u)$  la fonction de distribution de la MCP. Ces résultats montrent une perte de donnée de 6% pour les électrons. Cela implique que la tension de seuil minimum est limitée à ces valeurs soit 762.5 keV.

### VI.1.5. Qualification en environnement spatial

#### a) Performances en température

Pour qualifier le circuit en température, le CDIC16 est placé dans une enceinte thermique. Premièrement, la tension de sortie du CPA+PS a été simulée et mesurée pour différentes valeurs de température (-20 à 80°C) sur une plage de charge d'entrée de 45 à 450 fC (figure VI-9).

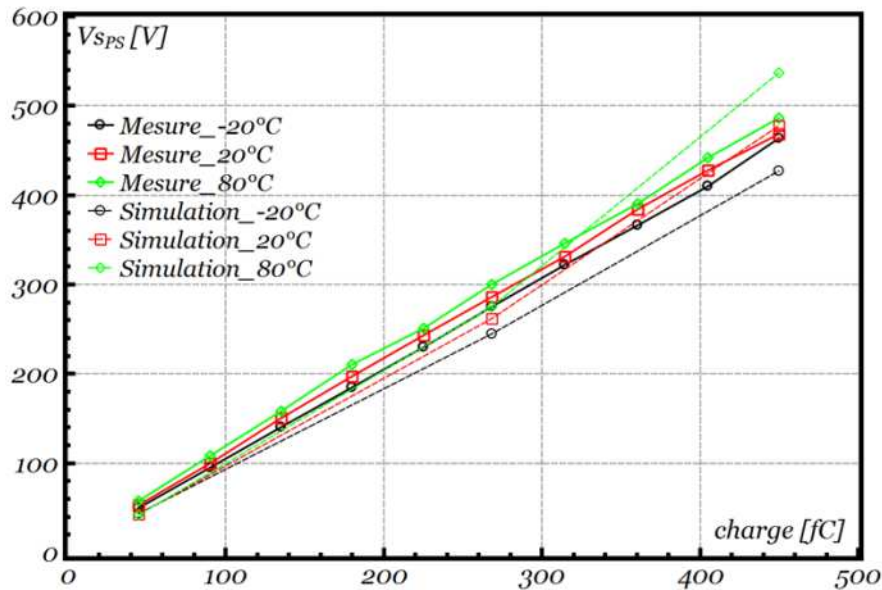


figure VI-9 : Tension de sortie du CPA+PS mesurée (solide) et simulée (trait) en fonction de la charge d'entrée allant de 45 à 450 fC avec  $C_{det} = 1$  pF pour une plage de température variant de -20 à 80°C.

Sur toute la gamme de température, les variations d'amplitude sont linéaires avec la charge d'entrée. Cependant, le gain augmente légèrement avec la température ce qui n'est pas critique dans cette application de comptage. Cette variation s'explique par le fait que la résistance en poly-silicium augmente avec la température. En outre, dans le PS, un MOS est utilisé comme résistance dans la boucle de rétroaction de l'amplificateur. Une telle résistance dépend exponentiellement de la température. Ces résultats sont conformes aux simulations et montrent qu'il n'y a pas de disfonctionnement pour ces gammes de température.

#### b) Tolérances aux radiations

La tenue au TID est évaluée en utilisant des rayons gamma ( $\gamma$ ). Quand un transistor MOS est exposé à ces photons à haute énergie, des paires électron-trou sont créées dans l'oxyde de grille (chapitre III). Cette accumulation de charges peut conduire à des dégradations périphériques.



➤ Description du protocole d'irradiation

Les tests aux rayonnements des ASICs ont été réalisés dans le cyclotron de l'institut nucléaire de physique de l'UCL (Université Catholique de Louvain). L'installation permettant d'effectuer les tests de rayonnement à l'intérieur du cyclotron est présentée sur la figure VI-10.

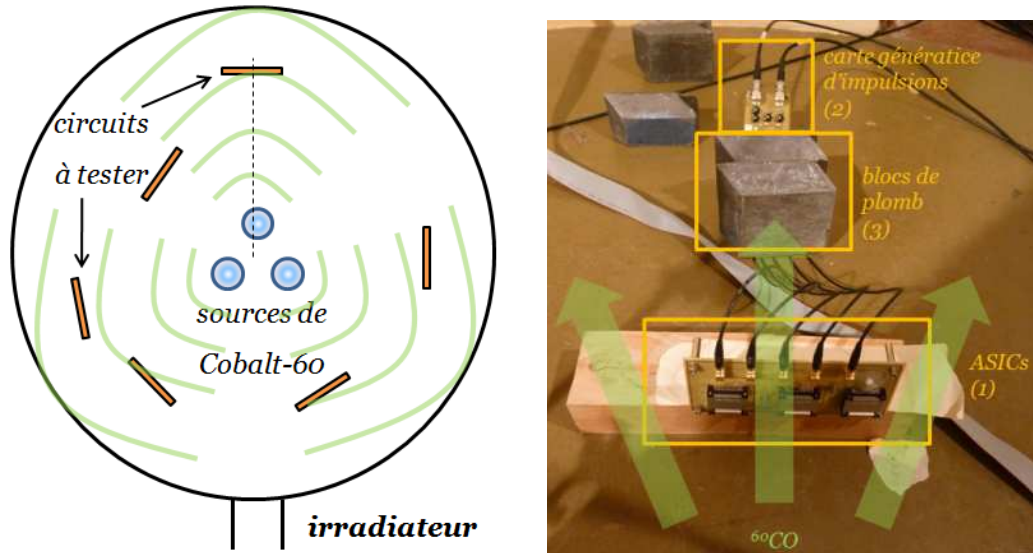


figure VI-10 Irradiateur permettant d'effectuer les tests de rayonnement à l'intérieur du cyclotron (à gauche). Trois sources de Cobalt 60 sont placées dans le cœur de l'irradiateur et les circuits électroniques à tester sont placés autour de ces sources. PCB des ASICs à irradier avec sa carte d'alimentation protégée par un blindage de plomb (à droite).

Les circuits qui doivent être testés aux rayonnements sont placés dans l'irradiateur afin de cumuler une dose de rayonnement émis par les 3 sources de  $^{60}\text{Co}$  [100] à un taux d'environ 140 rad/h. 3 CDIC16 sont irradiés en même temps (figure VI-10 à droite (1)). Le CDIC16<sub>1</sub> et le CDIC16<sub>2</sub> sont alimentés et leurs 16 entrées sont électriquement stimulées par des charges provenant de la carte (2) qui est, quant à elle, protégée des radiations par des blocs de plomb (3). Le CDIC16<sub>3</sub> est aussi alimenté mais ses entrées sont mises à la masse. Tous les CDIC16s sont testés jusqu'à une dose de 103 krad par pas de 5 krad. Puis, le CDIC16<sub>1</sub> a été irradié jusqu'à 220 krad et le CDIC16<sub>2</sub> jusqu'à 360 krad.

➤ Résultats

Jusqu'à 103 krad, les mesures sont faites entre chaque étape d'irradiation de 5 krad pour observer les effets de la dérive de tension de seuil et l'augmentation des courants de fuites. Le plus important est de vérifier que tous les canaux sont encore opérationnels après l'irradiation. Pour ce faire, des charges sont injectées au niveau des entrées après chaque step d'irradiation afin de valider fonctionnellement les CDIC16s. Ces tests ont montré que le CDIC16 tolère au

moins une dose de 360 krad car aucune des chaînes n'a été endommagée et aucun impact significatif sur les performances n'a été observé. Les tests suivants montrent les différents effets du TID sur la conversion de la charge. L'évolution des gains du CPA et du CPA+PS des 3 CDIC16s en fonction de la dose sont présentés sur la figure VI-11 pour une charge d'entrée de 450 fC.

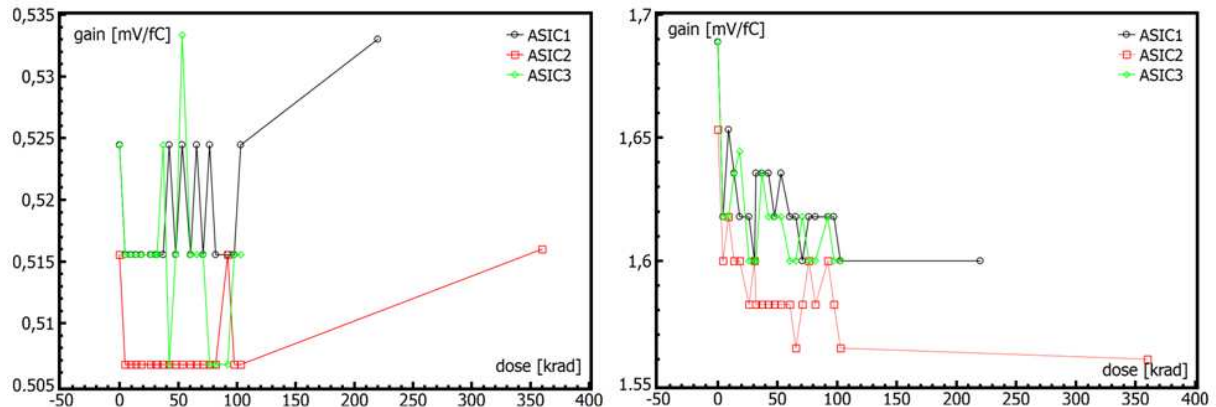


figure VI-11 : Evolution des gains du CPA (à gauche) et du CPA+PS (à droite) des 3 CDIC16s en fonction de la dose pour une charge d'entrée de 450 fC.

Il n'y a pas de dysfonctionnement constaté dans la partie analogique CPA et PS. Pour le CPA, le gain est très stable ( $\sim 0.516 \text{ mV.fC}^{-1}$ ) et est presque le même pour les 3 CDIC16s. Le PS est aussi fonctionnel après un TID de 360 krad. La tendance est une légère diminution de l'amplitude (environ  $1.68 \mu\text{V.fC}^{-1}.\text{kRad}^{-1}$ ) soit -7.5 % à 360 krad.

En outre, afin de valider le bon fonctionnement du discriminateur à la dose cumulée, un comparateur et monostable isolés identiques à ceux utilisés dans la chaîne sont testés. L'évolution du temps de délai du comparateur des 3 CDIC16s en fonction de la dose est présentée sur la figure VI-12 (à gauche).

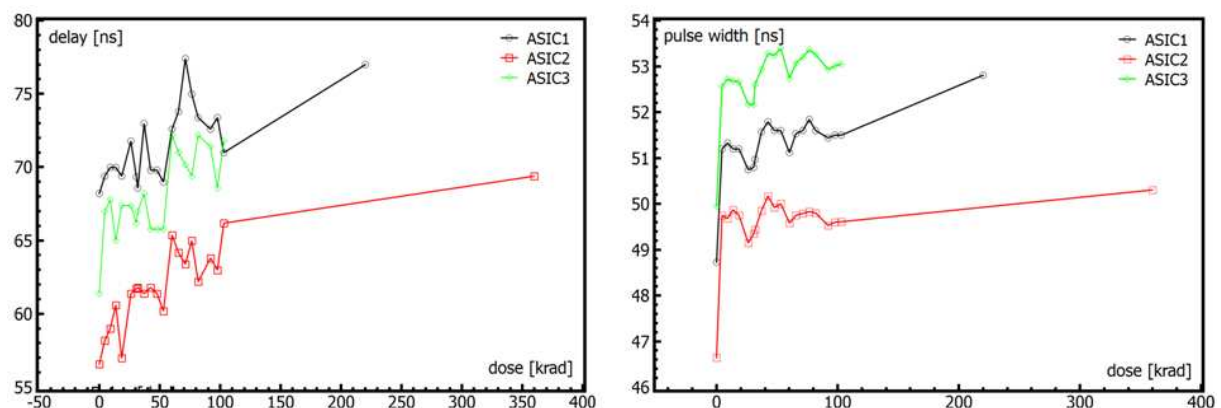


figure VI-12 : Evolution du temps de délai du comparateur des 3 CDIC16s en fonction de la dose (à gauche). Mesure de la largeur d'impulsion en fonction de la dose en sortie du monostable (à droite).

La tendance est que le temps de propagation du comparateur augmente avec le TID de +16.5 % à 360 krad. Ceci peut être expliqué par la diminution du slew-rate du comparateur.

La mesure de la largeur d'impulsion en fonction de la dose est effectuée en sortie du monostable (figure VI-12 à droite). Un artefact est observé au début d'irradiation car la largeur d'impulsion positive augmente alors d'un coup. Une augmentation de 0.6 % est constatée à 360 krad.

Pour finir, un dernier test important est la mesure de la consommation du circuit. Après irradiation, le CDIC16<sub>1</sub> et CDIC16<sub>2</sub> ont été recuits à 100°C pendant 168 heures et les consommations actuelles des 4 clusters des 3 CDIC16s sont présentées sur la figure VI-13.

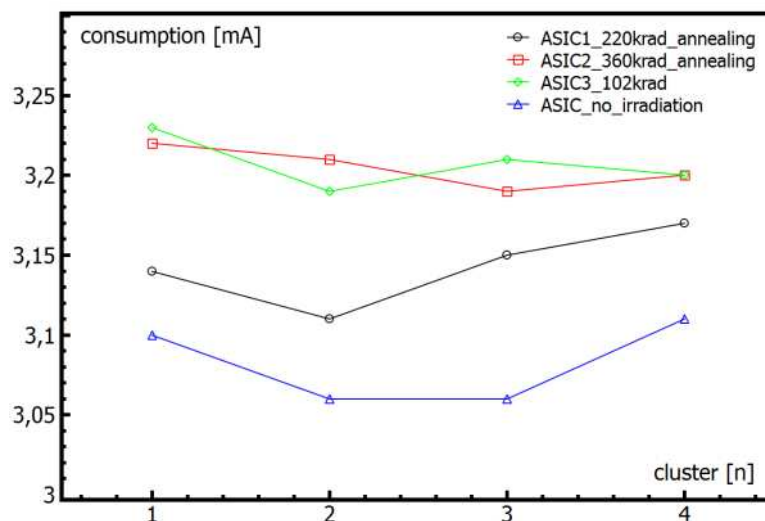


figure VI-13 : Consommation en courant des 4 clusters des 3 CDIC16s pour différentes doses.

Le recuit permet d'enlever partiellement les effets de dose pour retrouver un circuit presque aussi performant qu'avant d'être soumis aux radiations. Le recuit permet donc d'observer les effets de dose qui ne peuvent plus être guéris et donc permanents. Les résultats montrent que les 4 clusters d'un même CDIC16 ont presque les mêmes variations de consommation en courant. Cela prouve que la dose reçue sur une puce est uniforme. Mais il est intéressant de noter qu'il y a encore quelques différences entre les trois CDIC16s en fonction de leur degré d'irradiation et du recuit. Avant l'irradiation, tous les clusters des 3 CDIC16s ont une consommation en courant d'environ 3.07 mA. La consommation des clusters de CDIC16<sub>3</sub> monte jusqu'à 3.22 mA après 102 krad. Puis, après une irradiation de 220 krad du CDIC16<sub>1</sub> et 360 krad du CDIC16<sub>2</sub>, le courant augmente de plusieurs centaines de  $\mu$ A. Les mesures sur CDIC16<sub>1</sub> et CDIC16<sub>2</sub> ont été faites après recuit et montrent une consommation de 3.15 mA pour CDIC16<sub>2</sub> et 3.22 mA pour CDIC16<sub>3</sub> par cluster. Ces résultats prouvent également

qu'après recuit, la consommation électrique d'un circuit irradié est partiellement retrouvée et nous observons ici une consommation augmentée de 4 % par rapport à une puce non-irradiée.

### VI.1.6. Performances globales

Dans le tableau VI-2, nous récapitulons les données théoriques, simulées et mesurées de la chaîne d'instrumentation de la MCP.

tableau VI-2 : Récapitulatif des performances de la chaîne MCP.

	Cahier des charges	Simulation	Mesure
Charges d'entrées (pC)	0 à 1	0 à 1.5	0 à 1.5
Capacité du détecteur (pF)	3	3	~ 3
Peaking Time (ns)	50	50	55
Gain (mV.fC <sup>-1</sup> )	1.65	0.8	0.9
Taux de comptage (MHz)	2.5	2.5	2.6
Consommation (mW)	> 3m	2.12	2.15
Bruit ENC (e <sup>-</sup> )	600	736	954

Les mesures, simulations et études théorique sont en adéquation.

### VI.1.7. Conclusion

La première partie de ces travaux a été de concevoir et de tester une chaîne d'instrumentation intégrée 16 voies en technologie CMOS associée à une MCP pour la détection d'ions et d'électrons. La chaîne de conversion a été mise en œuvre dans un ASIC en technologie CMOS standard 0.35  $\mu\text{m}$ . Le gain de conversion de la chaîne est de 0.9 mV.fC<sup>-1</sup> et ne consomme que 2.15 mW. L'ENC est de 954 e<sup>-</sup> pour  $C_{det} = 1 \text{ pF}$ . Le circuit proposé permet de détecter des événements à un taux de 2.6 MHz (voir tableau II-1).

La chaîne d'instrumentation CMOS a été qualifiée pour fonctionner dans une chambre à vide qui a validé la chaîne de détection complète (MCP+CDIC16). Ensuite, le test de la diaphonie a montré que le CDIC16 a un seuil de détection de 122 fC sans générer de détections parasite. Un test en température a démontré que le CDIC16 est fonctionnel pour des températures allant de -20°C à 80°C. Enfin, une irradiation aux rayons gamma a été réalisée avec du <sup>60</sup>Co pour valider la tenue au TID du CDIC16, qui est supérieure à 360 krad. Pour compléter la qualification spatiale de l'ASIC, des tests de latch up devraient être également menés. Pour conclure, nous avons démontré que le CDIC16 est plus performant que l'AMPTEK A111.

## VI.2. Chaîne de détection pour les SCs

Dans cette partie, nous validons la chaîne d'instrumentation CMOS HV 0.35  $\mu\text{m}$  pour la détection des électrons avec des SCs (chapitre V). Seuls des tests fonctionnels ont été réalisés à l'heure actuelle.

### VI.2.1. L'ASIC à SCs

L'ASIC pour les SCs est composé de 2 chaînes de type SiA, de 2 chaînes de type SiB et de 4 chaînes de type CdZnTe. Des blocs de tests indépendants ont aussi été implantés. L'ASIC a été intégré en technologie CMOS HV 0.35  $\mu\text{m}$  (voir chapitre V). La figure VI-14 (à gauche) présente la vue du layout de l'ASIC à SCs incluant les 8 chaînes de conversion.

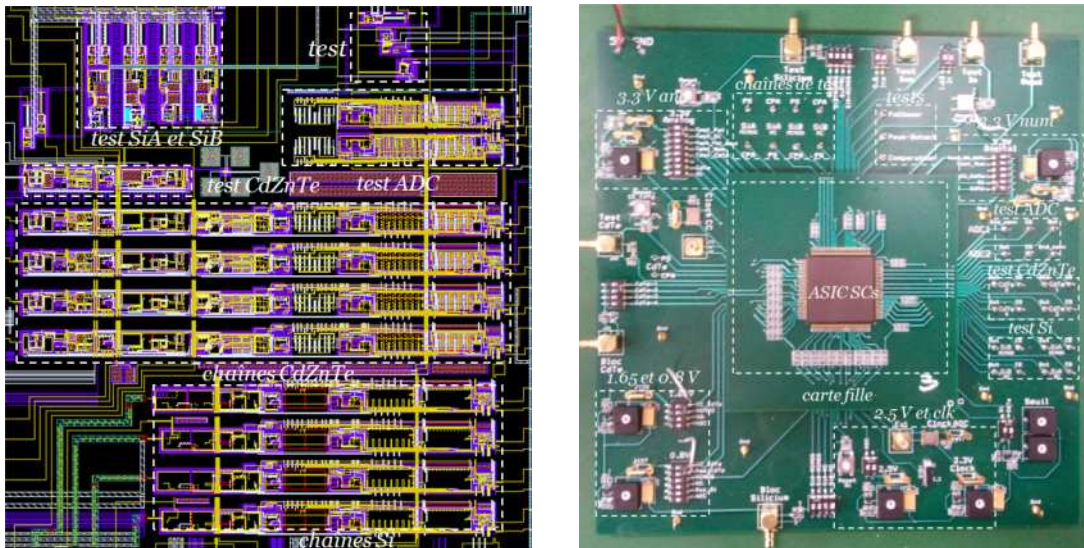


figure VI-14 : Vue du layout de l'ASIC à SCs incluant 8 chaînes de conversion et des blocs de test (à gauche) et la carte de test de l'ASIC (à droite).

L'ASIC occupe 11.56 mm<sup>2</sup> (I/O pads compris) et est intégré dans un boîtier CQFP de 120 broches. Afin de réduire la diaphonie, tous les canaux sont séparés les uns des autres et ont leur propre alimentation VDD et GND (mise en œuvre de caissons isolés propres à la technologie HV). Cet ASIC est validé fonctionnellement avec la carte de test de la figure VI-14 (à droite). La carte mère intègre les fonctions d'alimentation et d'horloge ainsi que les diverses entrées/sorties de tests. En son centre, 4 connecteurs concentriques permettent d'accueillir les cartes filles qui supportent les ASICs à SCs.

## VI.2.2. Tests fonctionnels de la partie analogique des chaînes d'instrumentation pour le Si

### a) Banc de test

Afin de tester les chaînes analogiques, nous devons utiliser un circuit amont qui modélise le détecteur associé comme (figure VI-15 à gauche). Pour cela, nous utilisons un générateur de tension capable de produire une rampe de tension  $v_d$  (adapté à  $50 \Omega$  avec  $R_1$  et  $R_2$ ) et des capacités ( $C_1$  et  $C_2$ ) dont la somme doit être égale à  $C_{det}$  (voir figure VI-15 (à droite)).

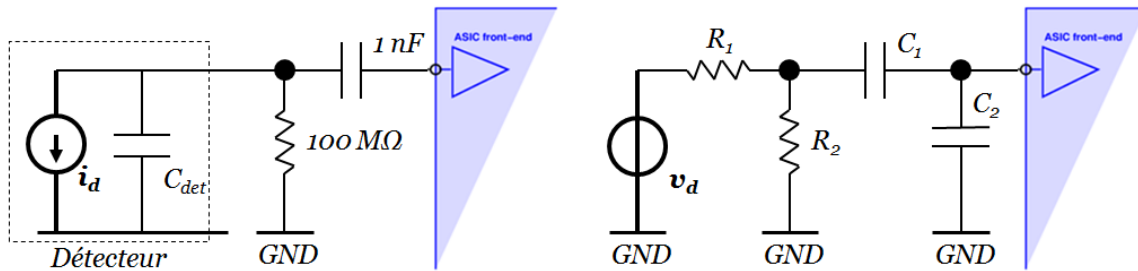


figure VI-15 : Branchement du détecteur avec l'ASIC (à gauche) et le circuit équivalent de mesure utilisé pour tester les chaînes d'instrumentation à l'aide d'un générateur de tension (à droite).

La capacité  $C_1$  permet de générer une charge  $Q_{in}$  grâce à la tension en sortie du pont diviseur  $R_1$  et  $R_2$ .  $C_2$  permet ensuite d'ajuster la valeur de la capacité équivalente au détecteur utilisé. Nous fixons la conversion de la tension  $v_d$  en charge  $Q_{in}$  par :

$$v_d = \frac{R_1 + R_2}{R_2} \frac{Q_{in}}{C_1} \quad (\text{VI-2})$$

avec  $R_1 = 47 \Omega$ ,  $R_2 = 2.2 \Omega$  et  $C_1 = 1 pF$ , nous trouvons un gain de conversion de  $44.7 \mu V.fC^{-1}$ .

### b) Mesure

Les réponses transitoires en sortie du CPA et du PS n'ont pas pu être mesurées car les blocs de tests sont pollués par une chaîne de test qui n'est pas fonctionnelle. Malgré cela, la linéarité du système peut être retrouvée sur la chaîne complète en sortie de l'ADC. Les sorties de la chaîne de conversion SiA ( $DATA\_OUT$  et  $DATA\_CS$ ) sont mesurées pour une charge en entrée de  $22.35 fC$  sur une durée de  $8 ns$  (figure VI-16).

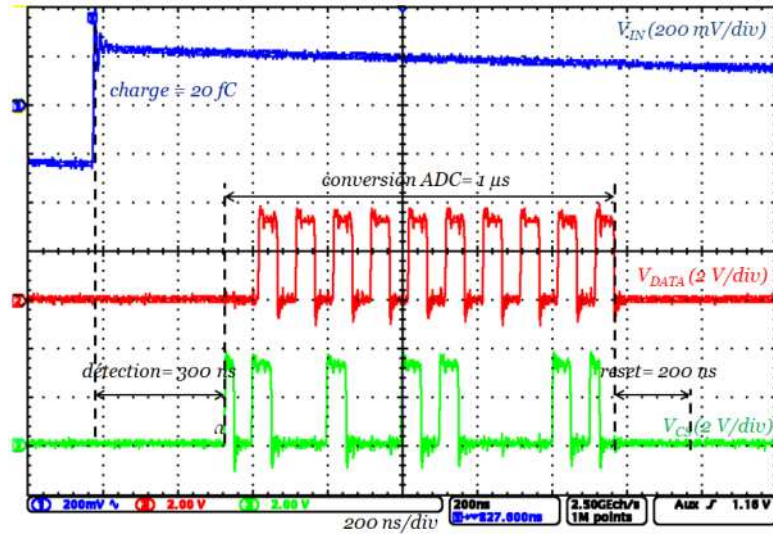


figure VI-16 : Mesure des sorties de la chaîne de conversion SiA (DATA\_OUT et DATA\_CS) pour une charge de 20 fC en entrée sur une durée de 8 ns et pour  $C_{det} = 40$  pF.

Pour une charge de 22.35 fC, on trouve un poids de '10101100' = 172 en sortie de l'ADC, soit 1.142 V pour un ADC effectif de 8 bits. En prenant la valeur de  $1.142 + 0.8 = 1.94$  V et en la comparant à la valeur  $V_{s\_peak}$  de la figure VI-16, nous trouvons une charge de 21.6 fC. Le temps de détection se situe entre l'arrivée de la charge et sa détection par la lecture de l'ADC ( $CMD\_READ = '1'$ ) et est mesuré à 300 ns. Le temps de conversion de l'ADC est de 1  $\mu$ s et le temps de reset de la partie numérique est de 200 ns. Cela nous permet de trouver une fréquence de fonctionnement effective de la chaîne d'environ 650 kHz.

La linéarité du Si de type A de la chaîne totale est tracée sur la figure VI-17 grâce à la caractérisation de l'ADC sur 8 bits (6.64 mV de pas de quantification) pour 50 acquisitions par pas de charge  $Q_{in}$  et moyennée pour 3 ASICs différents.

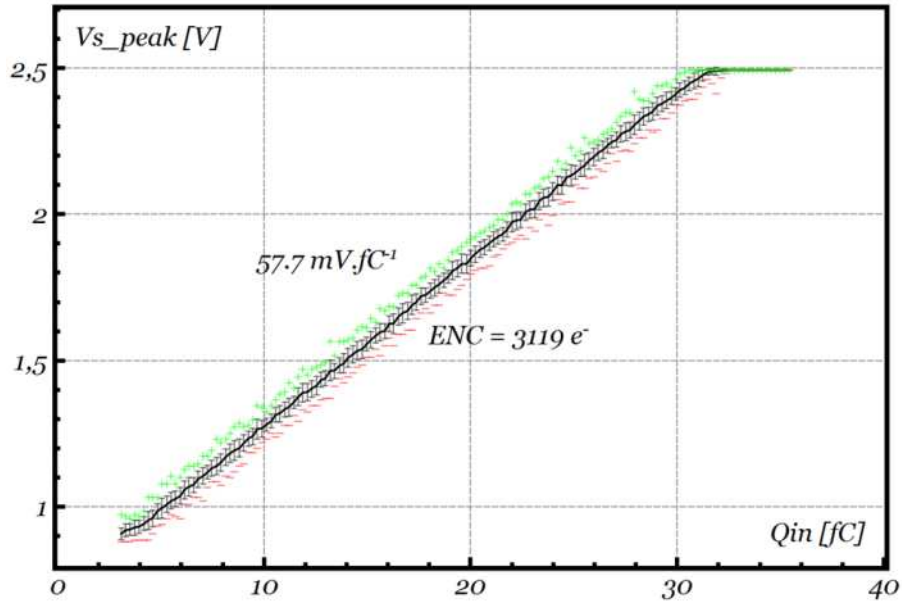


figure VI-17 : Linéarité du Si de type A de la chaîne totale trouvée grâce à la caractérisation de l'ADC sur 8 bits, pour 50 acquisitions et pour une charge  $Q_{in}$  variant entre 2.34 fC et 35 fC ( $C_{det} = 40$  pF).

Le gain de conversion de la chaîne entière du Si de type A est de  $57.7 \text{ mV.fC}^{-1}$  avec un ENC de  $3119 e^-$  dans la zone linéaire. Nous observons aussi que la valeur minimale de détection est de 2.24 fC et la valeur de saturation est d'environ 32 fC. Cette valeur de seuil minimum élevée s'explique par le fait que l'entrée du CPA peut être polluée par la capacité  $C_2 = 39$  pF (figure VI-15). En effet, la masse de la carte de test est suffisamment bruitée pour générer des charges parasites à travers la capacité. La densité spectrale générée de bruit en tension dans la masse est donnée par :

$$v_{gnd}^2 = \left| \frac{Q_{in,min}}{C_2} \right|^2 = 3.3 \text{ nV}^2/\text{Hz} \quad (\text{VI-3})$$

En enlevant cette capacité  $C_2$ , nous trouvons un seuil bas de l'ordre 35 mV se qui correspond à une charge minimale détectable de 0.6 fC. Cette dernière valeur est plus juste car en configuration « détecteur », il n'y a pas de capacité entre l'entrée et la masse.

La linéarité du Si de type B de la chaîne totale est tracée grâce à la caractérisation de l'ADC sur 8 bits (6.64 mV de pas de quantification) pour 50 acquisitions par pas de charge  $Q_{in}$  et moyennée pour 3 ASIC différents.



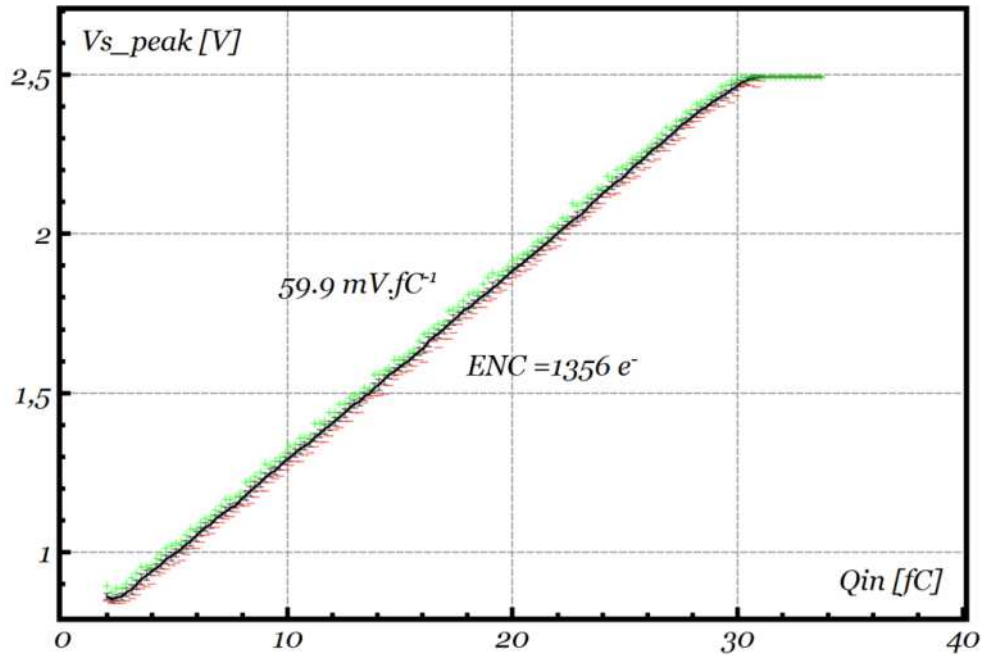


figure VI-18 : Linéarité du Si de type B de la chaîne totale établie grâce à la caractérisation de l'ADC sur 8 bits et pour 50 acquisitions pour une charge  $Q_{in}$  variant entre 1.06 fC et 35 fC pour  $C_{det} = 3$  pF.

Le gain de conversion est de l'ordre de  $59.9 \text{ mV.fC}^{-1}$ , l'ENC est de  $1356 e^-$ , la valeur minimale de détection est de 1.06 fC et la valeur de saturation est d'environ 31 fC. En enlevant la capacité  $C_2$ , nous retrouvons un seuil bas de 35 mV identique à la chaîne SiA soit une charge minimale détectable de 0.6 fC. Aussi, nous retrouvons des gains presque identiques aux simulations.

### VI.2.3. Tests fonctionnels de la partie analogique de la chaîne d'instrumentation pour le CdZnTe

Ici, les mesures présentées correspondent à la chaîne analogique de test. Sur la figure VI-19, nous observons les réponses transitoires mesurées en sortie du CPA et du PS de la chaîne analogique CdZnTe de test pour  $C_{det} = 42$  pF et  $Q_{in} = 90$  fC à une fréquence de 10 kHz.

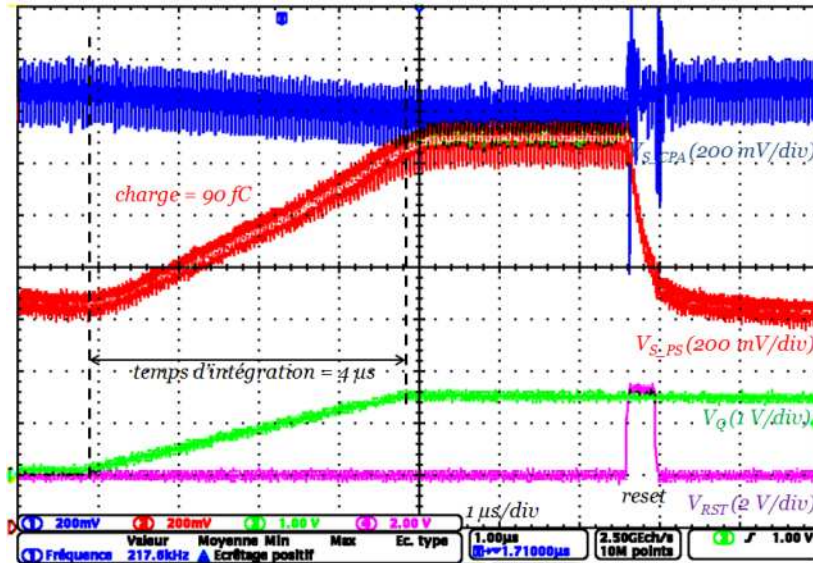


figure VI-19 : Réponses transitoires mesurées en sortie du CPA et du PS de la chaîne de test CdZnTe pour  $C_{det} = 42 \text{ pF}$  et  $Q_{in} = 90 \text{ fC}$  à une fréquence de 10 kHz.

Pour une charge  $Q_{in} = 90 \text{ fC}$  d'une durée de  $4 \mu\text{s}$ , les amplitudes des pics valent :  $V_{S\_CPA} = -90 \text{ mV}$  et  $V_{S\_PS} = 720 \text{ mV}$ . Un reset de 500 ns est effectué pour décharger les capacités. Le temps de décharge du CPA est de quelques ns et le temps de décharge du PS est d'environ de 500 ns. La linéarité de la chaîne CdZnTe est définie par les amplitudes de sortie du CPA et du PS mesurées pour des charges d'entrées variant entre  $4 \text{ fC}$  et  $250 \text{ fC}$  sur une durée de  $4 \mu\text{s}$  pour  $C_{det} = 42 \text{ pF}$  (figure VI-20).

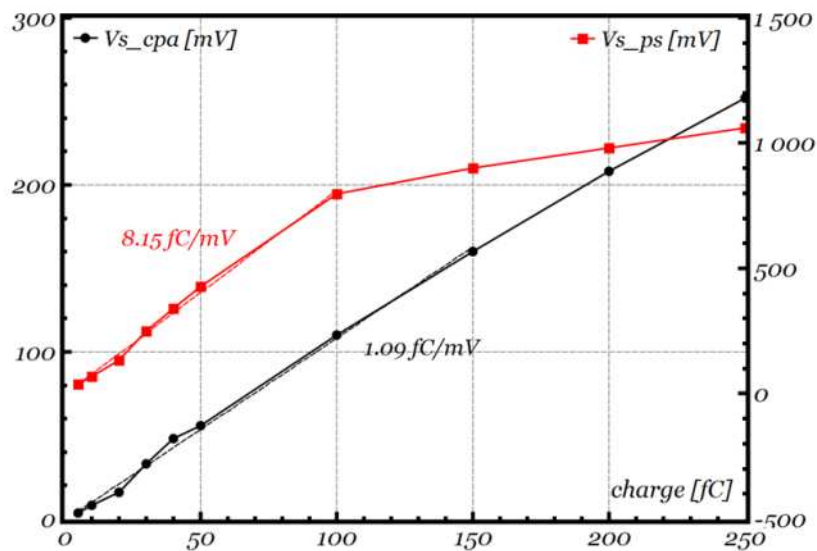


figure VI-20 : Linéarité de la chaîne CdZnTe définie par les amplitudes de sortie du CPA et du PS mesurées pour des charges d'entrée variant entre  $5 \text{ fC}$  et  $250 \text{ fC}$  sur une durée de  $4 \mu\text{s}$  pour  $C_{det} = 42 \text{ pF}$ .

Le gain de conversion du CPA est de  $1.09 \text{ mV.fC}^{-1}$  et de  $8.15 \text{ mV.fC}^{-1}$  pour le CPA+PS sur une plage en charge d'entrée variant de 0 à 100 fC. Le gain du PS est donc de 7.48 au lieu des 10 attendu.

La chaîne CdZnTe entière n'a pas pu être qualifiée car la structure de commande des blocs numériques crée des erreurs au niveau du reset de la partie analogique. Nous avons observé que le temps de décharge du filtre à capacités commutées est bien plus long que prévu et cela provoque une double conversion si le seuil du comparateur est trop bas. Aussi le compteur est mal remis à zéro et ne s'arrête jamais de compter.

#### VI.2.4. Tests fonctionnels de la partie numérique

Examinons maintenant les performances des blocs de test intégrés dans l'ASIC.

##### a) Le comparateur à hystérésis

Sur la figure VI-21, nous mesurons les seuils d'hystérésis du comparateur pour 40 périodes d'acquisitions avec  $V_{in-} = 1.65 \text{ V}$  et  $V_{in+}$  un signal triangulaire de 100 mV d'amplitude centré sur 1.65 V.

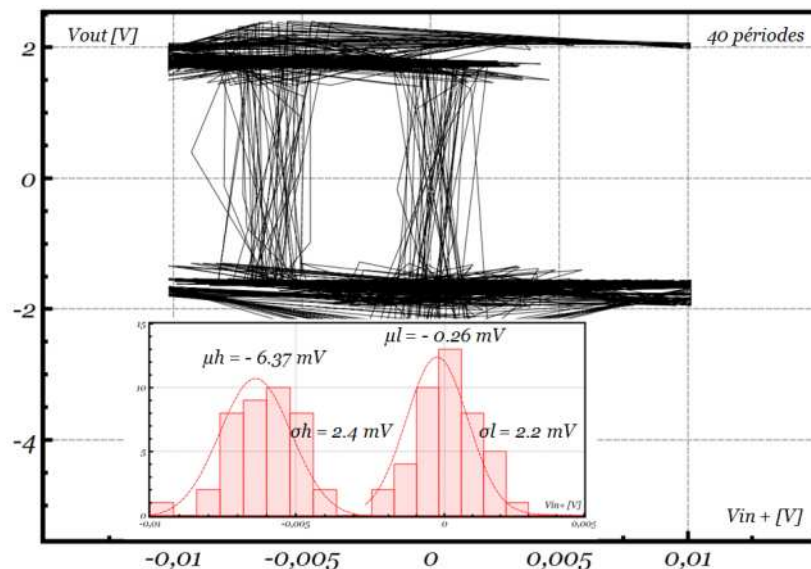


figure VI-21 : Seuils d'hystérésis du comparateur pour 40 périodes d'acquisitions avec  $V_{in-} = 1.65 \text{ V}$  et  $V_{in+}$  un signal triangulaire de 100 mV d'amplitude centré sur 1.65 V.

La figure indique les valeurs ac de la sortie en fonction de l'entrée  $V_{in+}$  (mode XY). La sortie passe du niveau '0' à '1' ( $V_{TH}$ ) à  $V_{IN+} = -6.37 \text{ mV}$  (avec un écart type de 2.4 mV) et du niveau '1' à '0' ( $V_{TL}$ ) à  $V_{IN+} = -0.26 \text{ mV}$  (avec un écart type de 2.2 mV). La somme de ses seuils d'hystérésis est de 6 mV se qui est assez proche de la valeur simulée de 8 mV.

Dans la figure VI-22, nous mesurons les temps de réponses bas et haut du comparateur à hystérésis avec  $V_{IN+}$  un signal carré de 1 Vpp centrée sur  $V_{IN-}$  signal continu de 1.65 V.

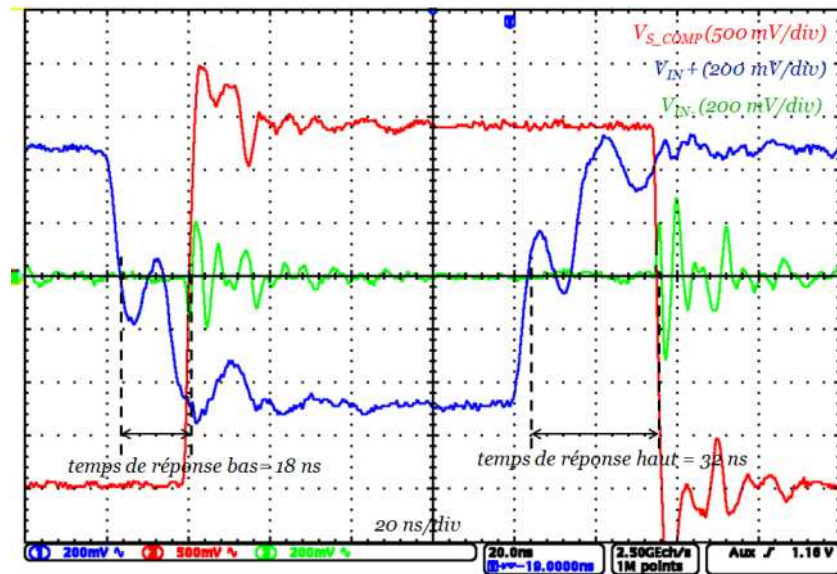


figure VI-22 : Temps de réponse bas et haut du comparateur à hystérésis avec  $V_{IN+}$  un signal carré de 1 Vpp centrée sur  $V_{IN-}$  signal continu de 1.65 V.

Le temps de réponse bas est de 18 ns et le temps de réponse haut de 32 ns, respectivement contre 2 ns et 10.5 ns pour la simulation.

#### b) Le détecteur de pic

Le test du PD est réalisé sans l'étage buffer de sortie. De ce fait, les performances du PD intégré dans la chaîne sont différentes de celles du bloc seul mesuré car il faut qu'il charge la capacité du plot et de la sonde en sortie. Malgré cela, nous pouvons observer son fonctionnement et comparer la simulation et la mesure pour ce cas de figure. La figure VI-23 présente la réponse temporelle de la sortie du PD  $V_{S\_PEAK}$  pour un front montant  $V_{IN}$  de 200 mV et un *reset* de 300 ns effectué 800 ns plus tard avec une capacité de charge en sortie estimée à 10 pF.

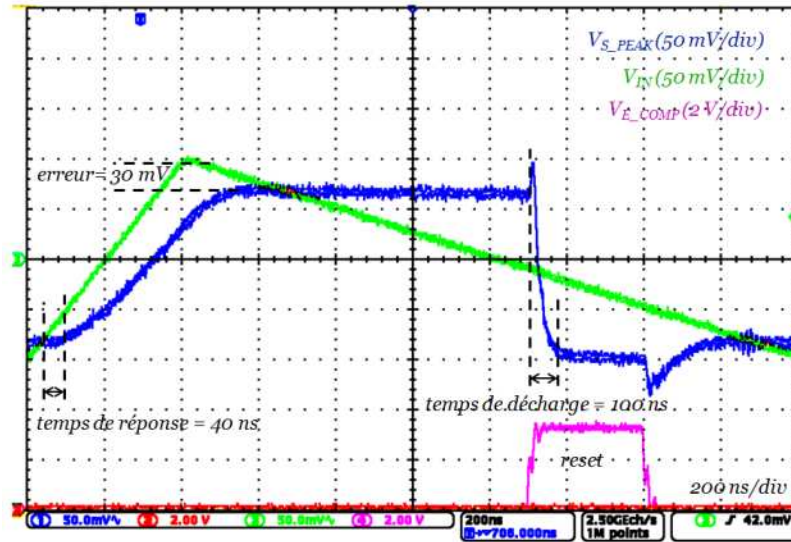


figure VI-23 : Réponse temporelle de la sortie du PD  $V_{S\_PEAK}$  pour un front montant  $V_{IN}$  de 200 mV et un reset de 300 ns effectué 800 ns plus tard avec une capacité de charge en sortie estimée à 10 pF.

Nous observons un temps de réponse du PD de 40 ns. La tension recopiée sur  $V_{S\_PEAK}$  est de 170 mV au lieu des 200 mV de l'entrée  $V_{IN}$ . Il y a donc une erreur de 30 mV. Cette tension est ensuite bien mémorisée pendant 800 ns. Lors du reset (décharge de la capacité de stockage) le temps de décharge est estimé à 100 ns.

Afin de valider cette mesure, nous comparons la valeur de la tension mémorisée  $V_{S\_PEAK}$  simulée et mesurée dans la figure VI-24 sans buffer de sortie avec une capacité de charge en sortie estimée à 10 pF.

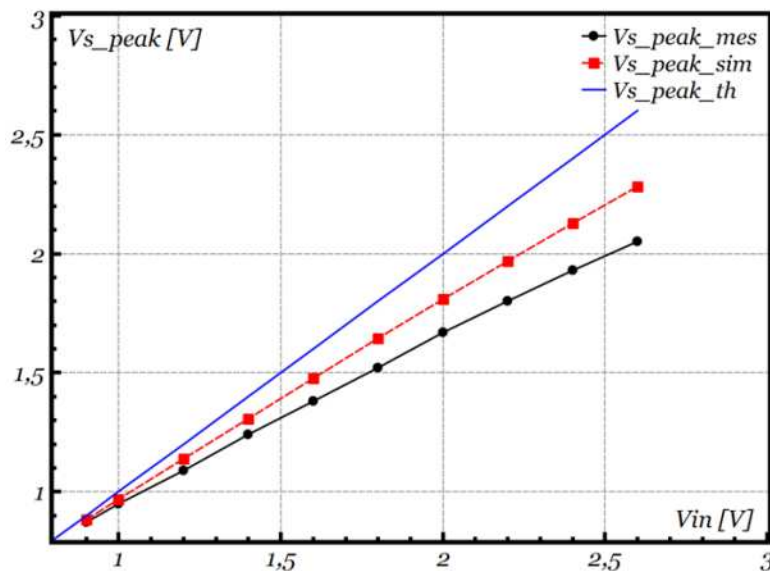


figure VI-24 : Comparaison de la valeur de la tension mémorisée  $V_{S\_PEAK}$  simulée et mesurée sans buffer de sortie avec une capacité de charge en sortie estimée à 10 pF.

La tension  $V_{S\_PEAK}$  simulée est linéaire par rapport à  $V_{IN}$  mais une erreur de 100 mV/V est trouvée sur la sortie. Pour la mesure de  $V_{S\_PEAK}$  l'erreur est de 160 mV/V par rapport à la courbe théorique ou de 60 mV par rapport à la simulation. Tous ces résultats sont à prendre avec précaution car le PD n'est pas en configuration réelle dans la chaîne de détection. Mais ces résultats nous montrent qu'il est fonctionnel.

### c) L'ADC

Comme le montre la figure VI-16 où l'ADC est intégré dans les chaînes d'instrumentation Si, celui-ci est fonctionnel ce qui valide ainsi le fonctionnement du système de commande numérique qui gère les différents blocs. Des tests sont également effectués sur un ADC isolé, afin de mesurer la plage de conversion et la linéarité de l'ADC. Pour cela, une tension continue  $V_{IN}$  donnée est appliquée sur son entrée et 1000 acquisitions identiques sont effectuées sur une plage variant de 0.8 à 2.5 V avec un quantum de 6.64 mV (8 bits). Les données enregistrées permettent ensuite de retrouver le poids de conversion et l'écart type en bits de sortie de l'ADC (figure VI-25).

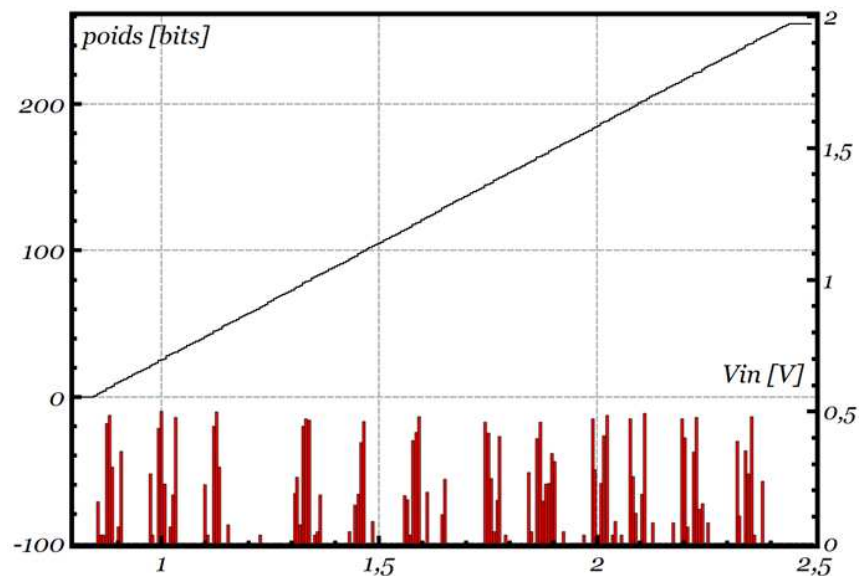


figure VI-25 : Poids de conversion et écart type en bits de sortie de l'ADC pour une tension continue  $V_{IN}$  variable appliquée sur l'entrée. 1000 acquisitions sont effectuées pour le même  $V_{IN}$  sur une plage de 0.8 à 2.5 V avec un quantum de 6.64 mV (8bits).

Entre le poids 0 et 255, on trouve une pente de  $0.16 \text{ bits.mV}^{-1}$ . Ces mesures permettent de mettre en évidence un offset de 46 mV et une saturation au poids 255 à 2.44 V. Des écarts type de conversion sont aussi observés mais ils ne dépassent pas le  $\frac{1}{2}$  bit de poids faible. En observant chaque acquisition, nous pouvons en déduire l'erreur maximale qu'il existe dans chaque série de 1000 conversions (figure VI-26).

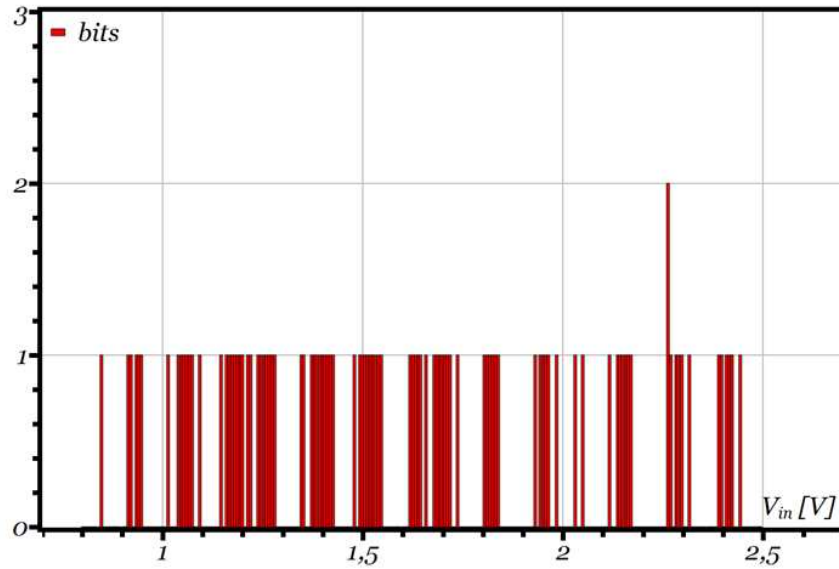


figure VI-26 : Erreur maximale en bit de chaque série de 1000 conversions.

A partir de ces résultats, nous pouvons dire que nous avons un ADC de 8 bits avec une erreur de 4.64 % sur le bit de poids faible et 0.004 % d'erreur sur le bit numéro 7.

### VI.2.5. Performances globales

Dans le tableau VI-3, nous récapitulons les données théoriques, simulées et mesurées de toutes les chaînes d'instrumentation des SCs.

tableau VI-3 : Récapitulatif des performances des chaînes SCs.

	Cahier des charges			Simulation			Mesure		
	SiA	SiB	CdZnTe	SiA	SiB	CdZnTe	SiA	SiB	CdZnTe
Détecteur	SiA	SiB	CdZnTe	SiA	SiB	CdZnTe	SiA	SiB	CdZnTe
Charges d'entrées (fC)	1.6 à 32	1.6 à 32	3.2 à 160	0.53 à >32	0.083 à >32	3.2 à 160	0.6 à 32	0.6 à 31	3.2 à 100
Capacité du détecteur (pF)	40	3	42	40	3	42	~ 40	~ 3	~ 42
Peaking Time (ns)	100	100	100 à 8000	110	91	256 à 8840	-	-	-
Gain (mV.fC <sup>-1</sup> )	51.5	51.5	10.31	55.5	57.3	10.19	57.7	59.9	8.15
Taux de comptage (kHz)	1000	1000	100	658	658	106	650	650	100
Consommation (μW)	> 3000	> 3000	> 3000	2532	2202	2777	4593		-
Bruit ENC (e)	2500	680	8000	3277	520	-	3119	1356	-
ADC (bits effectifs)	6	7	4	4	7	-	4	6	-

Les mesures sont très proches des simulations sauf pour les voies CdZnTe que nous n'avons pas pu complètement caractériser.

Nous pouvons comparer les performances de cet ASIC avec d'autres travaux récents et assez similaires [77; 78] (2010) en technologie CMOS 0.35  $\mu\text{m}$ .

tableau VI-4 : Comparaison de l'ASIC SC avec la littérature.

	Valter Bonvicini, IEEE Nuclear science, 2010 [77]	Tetsuichi Kishishita, IEEE Nuclear science, 2010 [78]	ASIC SCs
Detector	Si-W	CdTe (at -20°C)	Si de type B
Range	0 - 2.4 pC or 0 - 52 pC	0 to 10 fC	0.6 to 31 fC
Technology	AMS CMOS 0.35 $\mu\text{m}$	TSMC CMOS 0.35 $\mu\text{m}$	AMS HV CMOS 0.35 $\mu\text{m}$
Shaping time	400 ns	9.5 $\mu\text{s}$	100 ns
Gain	0.625 mV/fC	2.5 mV/fC	60 mV/fC
Consumption	2.8 mW/channel	3 mW/channel	2.2 mW/channel
Noise ENC	2278 + 7,5 $e^-/\text{pF}$	198 $e^-$ (Cdet = 5 pF)	1356 $e^-$ (Cdet = 3 pF)
Detector Max capacitor	0 – 350 pF	5 pF	3 pF
LCC	no	yes	no
Output	9 bits ADC SAR (10 MHz)	no	8 bits ADC SAR (10 MHz)
Count rate	-	-	650 kHz
Radiation	no	no	RHBD

Nous remarquons que l'ASIC décrit dans [77] a été conçu pour s'adapter à une très large gamme de détecteurs ( $0 < C_{det} < 350 \text{ pF}$ ) et à une grande plage de détection de charges ( $0 < Q_{in} < 52 \text{ pC}$ ). Mais cela est fait au détriment de la vitesse, du gain et surtout du bruit  $> 2278 e^-$ . Un ADC SAR est intégré et permet d'avoir 9 bits de résolution. A contrario, les travaux présentés dans [78] s'adaptent à une application donnée en minimisant le bruit au maximum (198  $e^-$ ) mais au détriment des performances en vitesse et consommation. Dans notre cas, nous avons optimisé pour chaque chaîne le bruit et la consommation pour une vitesse de génération de paires électron-trou fixée par le détecteur. Des précautions de layout pour améliorer la tenue aux radiations et minimiser le latchup ont également été mises en œuvre :

- Anneaux de garde systématiques,
- Interrupteurs en PMOS (figure V-24),
- Portes de transmission (switchs présentés sur la figure V-30) constituées de PMOS classiques et NMOS ronds.

## VI.2.6. Conclusion

La deuxième partie de mes travaux a été de concevoir et de tester des chaînes d'instrumentation intégrées 8 voies en technologie CMOS associées à des SCs pour la mesure de l'énergie des électrons. Les chaînes de conversion ont été intégrées dans un ASIC en technologie CMOS HV 0.35  $\mu\text{m}$ . Le gain de conversion de la chaîne SiA est de  $57.7 \text{ mV} \cdot \text{fC}^{-1}$ ,



de  $59.9 \text{ mV}\cdot\text{fC}^{-1}$  pour la chaîne SiB et de  $8.15 \text{ mV}\cdot\text{fC}^{-1}$  pour la chaîne CdZnTe. Elles consomment moins de  $3 \text{ mW/voie}$ . L'ENC est de  $3119 \text{ e}^-$  pour  $C_{det} = 40 \text{ pF}$  dans le SiA et  $1356 \text{ e}^-$  pour  $C_{det} = 3 \text{ pF}$  dans le SiB. Le circuit proposé permet de détecter des événements à un taux de  $650 \text{ kHz}$  pour le Si et  $100 \text{ kHz}$  pour le CdZnTe.

### VI.3. Conclusion

Ce chapitre a présenté les différents tests effectués sur 2 ASICs qui sont :

- l'ASIC CDIC16 pour un détecteur spatial à MCP.
- l'ASIC à SCs pour un détecteur spatial à SCs.

Les résultats du premier ASIC ont montré qu'il est bien fonctionnel et que théorie, simulation et mesure sont en adéquation. L'ASIC a été testé en conditions réelles avec la MCP, ce qui a permis de valider la chaîne de détection complète. Aussi, des tests de qualification au spatial ont été réalisés comme les mesures en température et de tolérance au TID. En conclusion, les performances mesurées sur cet ASIC sont bien meilleures que celle de l'électronique discrète actuellement utilisée.

Pour le deuxième ASIC, l'ensemble des tests fonctionnels ont été réalisés ce qui a permis de valider le fonctionnement des voies SiA et SiB. La chaîne CdZnTe comporte encore des problèmes qui doivent être corrigés. Les tests de l'ASIC à SCs avec les détecteurs SCs sont en cours de réalisation. Par la suite des tests de qualification similaires à ceux de l'ASIC pour la MCP seront effectués.

### VI.4. Références

- [77] Bonvicini, V., et al., "A Double-Gain, Large Dynamic Range Front-end ASIC With A/D Conversion for Silicon Detectors Read-Out." *Nuclear Science, IEEE Transactions*. vol.57, no.5, pp.2963-2970, 2010.
- [92] Noulis, T., et al., "Advanced Low-Noise X-Ray Readout ASIC for Radiation Sensor Interfaces." s.l. : Circuits and Systems I: Regular Papers, *IEEE Transactions on*, 2008, Issue 7, Vol. 55. pp.1854-1862.
- [75] Kaplon, J. et Dabrowski, W., "Fast CMOS binary front end for silicon strip detectors at LHC experiments." *Nuclear Science, IEEE Transactions*. vol.52, no.6, pp.2713-2720, 2005.
- [78] Kishishita, T., et al., "Low-Noise Analog ASIC for Silicon and CdTe Sensors." *Nuclear Science, IEEE Transactions*. vol.57, no.5, pp.2971-2977, 2010.

- [97] Bouyjou, F., Bernal, O., Tap-Béteille, H. et Sauvaud, J., "A Low-Power CMOS Instrumentation Chain for Microchannel Plates in Astrophysics." *Sensors Journal, IEEE*. 2011, Vol. 11, 4, pp.1040-1045.
- [98] Bouyjou, F., Tap-Béteille, H., Sauvaud, J.-A., Molina, R. et Aoustin, C., "Integration of a 16-channel low power cmos instrumentation chain for electron and charged particle detection in astrophysics." *Instrumentation and Measurement Technology Conference (I2MTC) 2010 IEEE*. vol., no., pp.1063-1066, 3-6 May 2010.
- [99] Inc., Amptek., A111. <http://www.amptek.com/a111.html>. [En ligne] 2007.
- [100] Schmidt-Ott., W. D., "Der Zerfall des Co60m und Zr90m." s.l. : Z. Phys., 1963, Issue 2, pp. 206-221, Vol. 174.



# **Conclusion générale**

---

Dans ce manuscrit, nous avons présenté la conception de nouvelles chaînes d'instrumentations spatiales intégrées. Ce travail a demandé des compétences pluridisciplinaires ; en physique de détection et en microélectronique et a fait l'objet de la mise en place d'une méthodologie de conception :

Il s'agit tout d'abord d'étudier les interactions des particules avec la matière afin de modéliser le détecteur. Le modèle mis en œuvre sert de base à la conception du circuit d'instrumentation. Au niveau de la performance des circuits, il est intéressant de polariser les transistors en régime de faible inversion pour minimiser la consommation. Une étude approfondie du bruit de la chaîne de conversion doit être menée afin d'atteindre des résolutions inférieures au femto coulomb. Des études sur les différentes structures d'amplification ont montré que le « folded cascode » est le plus optimisé en termes de bruit, de consommation et d'encombrement. Mais dans l'objectif d'une intégration multicanaux, l'utilisation de la paire différentielle permet de réduire la diaphonie entre les voies de mesures. De plus, la technologie HV permet de séparer physiquement la partie sensible (analogique) de la partie numérique améliorant la robustesse du circuit. Enfin, quelques techniques simples de design (MOS ronds, anneaux de garde et caissons isolés) permettent aux circuits d'avoir une résistance au TID  $> 360$  krad.

Pour valider notre démarche de conception, deux circuits intégrés analogiques/numérique ont été développés. Le premier circuit, réalisé en technologie CMOS 0.35  $\mu\text{m}$  standard, démontre la faisabilité d'une chaîne d'instrumentation pour le comptage de particules par un détecteur spatial à base de MCPs. Les performances atteintes sont supérieures aux électroniques durcies monovoies discrètes actuelles. L'ASIC 16 voies CDIC16 a été livré au Space Science Laboratory de Berkley en Californie pour tests et inclusion éventuelle dans les spectromètres à particules de la mission américaine SOLAR PROBE+ qui s'approchera du soleil à 7 rayons solaires. Son utilisation est aussi envisagée pour les spectromètres de la mission Solar Orbiter pour laquelle l'IRAP fournit un spectromètre de protons et de particules alpha. Enfin, une version adaptée aux channeltrons sera proposée pour la mission vers Jupiter « Laplace » de l'agence spatiale européenne.

Le deuxième démonstrateur, réalisé en technologie CMOS HV 0.35  $\mu\text{m}$ , démontre la faisabilité de chaînes d'instrumentation pour la mesure de l'énergie de particules par des détecteurs à SCs spatiaux. Les performances atteintes sont très concluantes.

Ainsi, une 2<sup>nd</sup>e version de l'ASIC pour les SCs est en cours de développement pour corriger les petites erreurs du premier (module numérique de commande de la chaîne CdZnTe notamment). Des tests en radiations (tenue au TID et au Latchup, tenue en température et au vieillissement) doivent aussi être effectués pour qualifier l'ASIC au spatial. Si le 2<sup>ème</sup> run est concluant, cet ASIC 13 voies instrumentera l'expérience IDEE à bord du satellite national TARANIS (Tool for the Analysis of RAdiations from lightNIngs and Sprites).

Au niveau des futurs développements, cette étude permet d'ouvrir de nouvelles portes dans la conception de nouveaux systèmes pour le spatial. Aussi, d'autres domaines tels que la médecine et le nucléaire peuvent utiliser ce type d'application et donc élargir le spectre dans l'utilisation d'ASICs pour la détection en technologie standard durcie aux radiations.

# Glossaire

## ➤ Physique

$X$	Rayonnements électromagnétiques issus du réarrangement du cortège électronique
$\gamma$	Rayonnements électromagnétiques issus du noyau par le phénomène de désexcitation
$E_c$	Energie cinétique
$q$	Charge de l'électron
$m$	Masse d'un corps au repos
$\delta$	Nombre d'électrons secondaires
$T_{eff}$	Temps mort effectif
$Q_{in}$	Charge sortant du détecteur
$I_{det}$	Courant sortant du détecteur
$C_{det}$	Capacité du détecteur
$v$	Vitesse des porteurs de charges
$\mu$	Mobilité des porteurs
$\xi$	Champ électrique
$\epsilon_0$	Permittivité du vide
$\epsilon_r$	Permittivité relative au matériau
$T_c$	Temps de collecte
$W$	Energie d'ionisation (énergie par paire) du matériau absorbant
$V_0$	Tension de polarisation inverse du détecteur
$\sigma$	Densité de charge
$\rho$	Résistivité du matériau
$I_{fuite}$	Courant de fuite du détecteur

## ➤ Electronique

$k$	Constante de Boltzmann
$T$	Température ambiante
$q$	Charge de l'électron
$C_{OX}$	Capacité d'oxyde
$K_f$	Constante de bruit en 1/f du process
$K_p$	Paramètre de transconductance
$\gamma$	Paramètre d'effet de substrat
$n$	Slope factor
$V_{GS}$	Tension grille-source du transistor MOS
$V_{DS}$	Tension drain-source du transistor MOS
$V_T$	Tension de seuil du transistor MOS
$g_m$	Transconductance du transistor MOS
$I_D$	Courant de drain du transistor MOS
$U_T$	Tension thermodynamique
$C_{GS}$	Capacité grille-source du transistor MOS
$C_{GB}$	Capacité grille-bulk du transistor MOS
$C_{GD}$	Capacité grille-drain du transistor MOS
$W$	Largeur du canal du transistor MOS
$L$	Longueur du canal du transistor MOS

$I_S$	Courant spécifique du MOS
$\Gamma$	Facteur d'excès de bruit

➤ **Chaîne de conversion**

$Q_{in}$	Charge d'entrée de chaîne
$C_f$	Capacité d'intégration du CPA
$R_f$	Résistance de décharge du CPA
$C_M$	Capacité de Miller
$C_L$	Capacité de charge en sortie d'un étage
$\tau_f$	Constante de temps du CPA
$\tau_{in}$	Constante de temps d'entrée du CPA
$A_f$	Gain DC du CPA
$\omega_0$	Produit gain-bande du CPA
$\tau_i$	Constante de temps de l'intégrateur du PS
$\tau_d$	Constante de temps du dérivateur du PS
$R_i$	Résistance de l'intégrateur du PS
$C_i$	Capacité de l'intégrateur du PS
$R_d$	Résistance du dérivateur du PS
$C_d$	Capacité du dérivateur du PS
$\tau_s$	Constante de temps du PS
$A_s$	Gain DC du PS
$I_o$	Courant de fuite du détecteur
$F_{Utile}$	Fréquence maximale de répétition de traitement d'une charge
$\overline{v_x^2}$	Densité spectrale en tension de $x$
$\overline{v_x^2}$	Valeur quadratique moyenne en tension de $x$
$\overline{i_x^2}$	Densité spectrale en courant de $x$
$\overline{i_x^2}$	Valeur quadratique moyenne en courant de $x$
$Z_x$	Impédance de $x$
$Y_x$	Admittance de $x$
$C_{in}$	Capacité équivalente d'entrée
$n$	Ordre du filtre
$V_{IL}$	Niveau d'entrée bas du comparateur
$V_{IH}$	Niveau d'entrée haut du comparateur
$V_{OL}$	Niveau de sortie bas du comparateur
$V_{OH}$	Niveau de sortie haut du comparateur

## Abréviations

---

MCP	Microchannel Plates
SC	Semiconductor
TOF	Time of Flight
SSD	Solid State Detector
CEM	Channels Electron Multipliers
DEM	Discrete Electron Multipliers

HT	Hautes Tensions
Si	Silicium
CdZnTe	Tellurure de zinc-cadmium
GEANT	GEometry ANd Tracking
ASIC	Application-Specific Integrated Circuit
CMOS	Complementary Metal Oxide Semiconductor
BiCMOS	Bipolar-CMOS
SOI	Silicon On Insulator
TID	Total Ionizing Dose
SEE	Single Event Effects
LOCOS	LOCAl Oxidation of Silicon
FOX	Field OXide
SEL	Single Event Latchup
SEB	Single Event Burnout
LET	Linear Energy Transfer
RHBD	Radiation Hardening By Design
CPA	Charge Pre-Amplifier
PS	Pulse Shaper
AO	Amplificateur Opérationnel
OTA	Amplificateur à Transconductance
SNR	Signal-to-Noise Ratio
GIC	Gate-Induced Current
ENC	Equivalent Noise Charge
SR	Slew Rate
GBW	Produit gain bande-passante
ADC	Analog-to-Digital Converter
PD	Peak Detector
CDIC16	Charge Detection Integrated Circuit 16 voies





# Annexe

## Récapitulatif des 4 résistances en modèle de capacité commutée

Dans le tableau suivant, nous montrons le circuit de la résistance équivalente à utiliser dans une application à capacité commutée avec  $T$  la période d'échantillonnage et  $C$  la capacité à switcher.

Switched Capacitor Resistor Emulation Circuit	Schematic	Equivalent Resistance
Parallel		$\frac{T}{C}$
Series		$\frac{T}{C}$
Series-Parallel		$\frac{T}{C_1 + C_2}$
Bilinear		$\frac{T}{4C}$

Allen, Phillip E., Holberg, Douglas R., *CMOS Analog Circuit Design, 2 edition*. New York : Oxford University Press, USA, 2002.



## PUBLICATIONS ET CONGRES

### REVUES INTERNATIONALES :

“A Low Power CMOS Instrumentation Chain for Micro-Channel Plates in Astrophysics”, Bouyjou, F.; Bernal, O.; Tap-Beteille, H.; Sauvaud, J.-A.; IEEE Sensors Journal, vol.11, no.4, pp.1040-1045, Sept 2010.

“Qualifying a CMOS Instrumentation Chain for Charged Particles Detection in the Space Environment”, Bouyjou, F.; Bernal, O.; Tap-Beteille, H.; Picaut, G.; Sauvaud, J.-A.; Nuclear Inst. and Methods in Physics Research, A, vol., no., pp., soumise.

### CONGRÈS INTERNATIONAUX :

“Integration of a 16-channel low power cmos instrumentation chain for electron and charged particle detection in astrophysics”, Bouyjou, F. (LOSE/CESR Toulouse); Tap-Béteille, H. (LOSE Toulouse); Sauvaud, J.-A. (CESR Toulouse); Molina, R. (CESR Toulouse); Aoustin, C. (CESR Toulouse); IEEE Instrumentation and Measurement Technology Conference (I2MTC), Austin, TX, pp. 1063 – 1066, 3-6 May 2010

### CONGRÈS NATIONAUX :

« Nouvelles chaînes d'instrumentation intégrées multivoies pour l'astrophysique », Bouyjou, F. (LOSE/CESR Toulouse); Journées Jeunes Chercheurs, CNES, Toulouse ; 18-20 Oct 2010

« Nouvelles chaînes d'instrumentation intégrées multivoies pour l'astrophysique », Bouyjou, F. (LOSE/CESR Toulouse); Journées GEET, Toulouse ; 17 March 2011

« Nouvelles chaînes d'instrumentation intégrées multivoies pour l'astrophysique », Bouyjou, F. (LOSE/CESR Toulouse); Journées des doctorants du CESR, OMP, Toulouse ; juin 2010 et juin 2009.