



HAL
open science

**Développement d'outils de caractérisation et
d'optimisation des performances électriques des réseaux
d'interconnexions de circuits intégrés rapides sub-CMOS
65 nm et nouveaux concepts d'interconnexions
fonctionnelles**

Sebastien De de Rivaz Rivaz

► **To cite this version:**

Sebastien De de Rivaz Rivaz. Développement d'outils de caractérisation et d'optimisation des performances électriques des réseaux d'interconnexions de circuits intégrés rapides sub-CMOS 65 nm et nouveaux concepts d'interconnexions fonctionnelles. Autre. Université de Grenoble, 2011. Français. NNT : 2011GRENT106 . tel-00766999

HAL Id: tel-00766999

<https://theses.hal.science/tel-00766999>

Submitted on 19 Dec 2012

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **Optique et Radiofréquences**

Arrêté ministériel : 7 août 2006

Présentée par

Sébastien de RIVAZ

Thèse dirigée par **Bernard FLECHET** et
codirigée par **Thierry LACREVAZ**

préparée au sein du **Laboratoire IMEP-LAHC, site de Chambéry**
dans **l'École Doctorale EEATS**

Développement d'outils de caractérisation et d'optimisation des performances électriques des réseaux d'interconnexions de circuits intégrés rapides sub-CMOS 65 nm et nouveaux concepts d'interconnexions fonctionnelles

Thèse soutenue publiquement le **24 juin 2011**,
devant le jury composé de:

M. Daniel PASQUET

Professeur à l' ENSEA Cergy Pontoise,

Président

Mme. Nathalie ROLLAND

Professeur à l'Université de Lille1,

Rapporteur

M. Noel TANGUY

Professeur à l'Université de Bretagne Occidentale,

Rapporteur

M. Denis DESCHACHT

Directeur de Recherche CNRS, Université Montpellier 2,

Examineur

M. Christophe DELAVEAUD

Ingénieur HDR au LETI/CEA, MINATEC Grenoble,

Invité

M. Alexis FARCY

Ingénieur Docteur à STMicroelectronics, Crolles,

Invité

M. Thierry LACREVAZ

Maître de Conférences à l'Université de Savoie,

Co-directeur de thèse

M. Bernard FLECHET

Professeur à l'Université de Savoie,

Directeur de thèse



« L'esprit d'invention est multiforme et mouvant. Il s'active sans cesse, se reconfigure, se redéploie : toute avancée nouvelle en laisse entrevoir d'autres, qui elles-mêmes, une fois accomplies, redessinent le paysage des possibles. Quel est son moteur ? Sans doute une forme de libido inextinguible, commune à tous les défricheurs d'horizon : « il faut aller y voir », telle pourrait être la devise passionnée des pionniers en tout genre. »

Extrait de [Klein 2010]

« Contradiction entre le fait que les savoirs préexistent toujours à celui qui les apprend et que, pourtant, il ne les apprend bien que s'il les découvre lui-même. Contradiction entre la nécessaire continuité de tout apprentissage avec ce que la personne sait déjà, et l'impératif d'une rupture qui lui ouvre de nouveaux horizons. Contradiction entre le tâtonnement désordonné de la découverte, sans lequel il n'y a guère de dynamique d'apprentissage, et la formalisation structurée sur le modèle encyclopédique qui permet d'accéder à des modèles élaborés. »

Extrait de [Meirieu 2010]

A la Science,
Celle dont l'excitation nous rend parfois l'œil plus brillant quelques instants,
A l'Université,
A la Formation continue,
Et à tous ceux qui y croient et qui y sont attachés,
A l'Intelligence,
Celle de ceux qui savent qu'ils ne savent pas,
Aux Miens,
Et à ce, ceux et celles que je ne connais pas encore.

Remerciements

Je remercie tout d'abord mon directeur de thèse, Bernard Fléchet, pour la confiance qu'il m'a accordée, à plusieurs reprises depuis l'année 2000, comme étudiant, puis comme enseignant vacataire et enfin comme doctorant, mais également pour son exigence, son indépendance, son humour et son intelligence peu commune, y compris dans le sens le plus large du terme. Je remercie en même temps mon co-directeur de thèse, Thierry Lacrevez, notamment pour son enthousiasme bouillonnant et ses perpétuelles idées génératrices de nouvelles interrogations scientifiques, mais aussi pour les suggestions et l'attention qu'il a toujours portées avec soin à mes travaux.

Je remercie ensuite ma co-doctorante, Mademoiselle Roullard, devenue ma jeune vieille copine Julie, qui le restera j'espère, aussi bien pour nos quelques échanges professionnels que pour sa personnalité attachante et le plaisir des discussions complices autour d'un café. Merci également aux autres doctorants du laboratoire, Michel et Elie, et les néo-punks (qu'ils me pardonnent !) Ludo, Benj, Pierre et Yann pour le plaisir et l'intérêt avec lesquels j'ai eu à travailler, ou à boire des chartreuses, ou à refaire le monde vite fait bien fait, ou les trois ! Nous nous sommes quelques fois bien marrés.

Merci à l'ensemble des jeunes anciens du groupe CHIPI, le grand Cedric Bermond, Stéphane Capraro et Benjamin Blampey pour l'aide réelle qui m'ont apporté lors de mon arrivée en thèse, moi qui n'y connaissais pas grand chose en hyperfréquences, et pour l'ensemble des discussions ultérieures que nous avons pu avoir quand j'ai commencé à comprendre des trucs.

Merci aux autres, du laboratoire et des filières enseignement de l'Université de Savoie, pour le plaisir de les avoir rencontré, notamment Monsieur Lorne (malgré un début difficile lié à une rivalité autour d'une place de piscine, enfin bon ...) mais également les délicieuses Magali et Emilie, Sylvain, Stéphane, Anne, Alexia, Fernanda, le grand petit nouveau, Gregory, Jean-Louis, Fred, Lionel, Jean-François, j'en oublie ? Bref, merci à l'ensemble des personnels « Imep-Lahcien » du Bourget-du-Lac pour leurs grandes qualités professionnelles et personnelles, merci à tous sans exception car j'ai trouvé qu'il règne sur ce site de Chambéry de l'IMEP-LAHC une ambiance particulièrement agréable, saine et constructive.

Je remercie bien évidemment l'ensemble des personnes qui composaient mon jury de thèse, non seulement pour l'intérêt qu'elles ont porté à mon travail et pour être venues parfois de l'autre bout de la France, mais surtout pour leur bienveillance lors de ma soutenance, l'exigence des questions posées dans une large gamme de domaines et l'émission de quelques polémiques stimulantes.

Merci aux auteurs du Traité d'Electricité de l'EPFL puisque quatre de leurs ouvrages ont fait partie de mes références majeures dans les domaines du traitement du signal, de l'électricité et des hyperfréquences.

Merci enfin à ceux de mes collègues du LETI et de mes proches, qui ont eu la gentillesse de s'intéresser au moins l'espace d'une matinée à mon travail de trois ans et à ces foutues interconnexions !

Table des matières

Introduction.....	9
Chapitre 1 : Spécificités des interconnexions des circuits numériques intégrés des générations sub-65 nm.....	17
I Evolution des circuits numériques intégrés	21
I.1 Architecture d'un circuit numérique intégré	21
I.2 Bénéfices apportés par l'intégration poussée des MOSFET	23
I.3 Evolutions et tendances	26
II Description comportementale des interconnexions	32
II.1 Réponse d'un dispositif linéaire hyperfréquences	32
II.2 Sources des données sur les interconnexions	33
II.3 Expression analytique de la réponse d'une interconnexion intégrée en tant que ligne de propagation	34
II.4 Analyse systémique des performances des interconnexions.....	38
III Réponse des interconnexions des générations sub-65 nm.....	42
III.1 Réponse en tension d'une interconnexion isolée chargée par des inverseurs CMOS 42	
III.2 Effet de la longueur d'interconnexion sur le délai	50
III.3 Spécificités des interconnexions des circuits numériques intégrés des générations technologiques sub-CMOS 65 nm.....	53
IV Conclusions sur le Chapitre 1	56
IV.1 Contexte général.....	56
IV.2 Objectifs généraux de la thèse.....	56
IV.3 Apports du travail.....	57
Chapitre 2: Développement d'un outil de caractérisation expérimentale hyperfréquence de dispositifs intégrés.....	60

I	Interdépendance fonctionnelle du calibrage et du de-embedding	63
I.1	Impédance de référence pour la calibration	63
I.2	Problématiques conjointes du calibrage et du de-embedding	64
II	Synoptique de la méthode de de-embedding proposée	64
II.1	Contexte	64
II.2	Objectif.....	65
II.3	Méthode.....	65
II.4	Exemple d'un DST en surface	67
II.5	Exemple d'un DST enfoui.....	68
III	Détail de la méthode pour un DST en surface.....	72
III.1	Hypothèse pour la modélisation analytique	73
III.2	Matrices chaînes des dispositifs d'accès	74
III.3	Modélisation et calcul des termes de propagation et des sauts d'impédance à partir de mesures simples	75
III.4	Mesure de la ligne d'accès au niveau des plots.....	77
III.5	78
III.6	Extraction directe de l'impédance caractéristique d'une ligne	79
III.7	Résumé de la méthode pour un dispositif en surface, mode d'emploi.....	80
IV	Exemples de résultats de de-embedding.....	80
IV.1	Simulations mettant en évidence la nécessité d'utiliser une méthode de de-embedding précise	80
IV.2	Application de la méthode proposée à l'extraction de l'impédance caractéristique d'une ligne à partir de la mesure de paramètres S sur un dispositif HF	81
IV.3	Conclusion.....	83
Chapitre 3: Méthodes et outils d'analyse de réseaux complexes d'interconnexions intégrées.....		85
I	Motivations du chapitre 3	89
II	Réponse d'un réseau complexe d'interconnexions intégrées	90

II.1	Formalisme pour les dispositifs M ports	90
II.2	Réseau de N interconnexions couplées	95
III	Traitements des données et passage dans le domaine temporel	97
III.1	Interpolation et extrapolation des données	97
III.2	Terminologie sur les signaux et les systèmes.....	98
III.3	Echantillonnage du signal et utilisation de la TFD	99
III.4	Extrapolation des données fréquentielles et causalité	105
IV	Apodisation et signaux d'excitation pour l'évaluation des performances	117
IV.1	Problématique du fenêtrage.....	117
IV.2	Description dans le domaine temporel des fenêtres d'apodisation proposées	118
V	Modélisation des conducteurs flottants et « dummies ».....	125
V.1	Définition des capacités relatives et absolues	125
V.2	Effet des conducteurs flottants sur les capacités propres et mutuelles.....	126
VI	Modélisation des diélectriques	129
VI.1	Introduction de matériaux diélectriques ULK.....	129
VI.2	Capacité et conductance entre deux conducteurs	129
VII	Mise en application des développements réalisés sur les aspects extrapolation, apodisation et passage dans le domaine temporel	134
VII.1	Exemple 1 : Intégration de SiOCH (« silicium poreux ») ULK.....	134
VII.2	Exemple 2 : Mesure hyperfréquence d'un dispositif 3 D à perte dans le silicium	138
Chapitre 4: Optimisation des performances dans le BEOL.....		142
I	Description et modélisation du comportement du circuit.....	145
I.1	Description générale du circuit et des empilements technologiques.....	145
I.2	Modélisation des interconnexions	147
I.3	Modélisation des drivers	148
II	Axes de modification de design pour l'amélioration des performances .	151

II.1	Interdépendance de l'impact des drivers et de celui des interconnexions sur les performances globales du circuit des circuits numériques intégrés des générations 45 et 32 nm	151
II.2	Métriques de performances et simulations conduites pour évaluer l'influence simultanée du BEOL et du FEOL sur les performances globales des interconnexions	152
II.3	Influence des drivers d'interconnexions sur les performances globales dans le BEOL des circuits numériques intégrés des générations 45 et 32 nm.....	153
II.4	Eléments de règles de conception de réseaux d'interconnexions de circuits intégrés CMOS 45 nm en vue de la réduction conjointe des délais pour la transmission de signaux numériques rapides.....	170
Chapitre 5: Fonctionnalité du BEOL des générations sub-CMOS 65 nm		178
I	Aptitude du BEOL de la génération CMOS 32 nm à emmagasiner de l'énergie.....	180
II	Faisabilité à $f > 10$ GHz d'un coupleur directif fortement intégré, réalisé dans le réseau microélectronique d'interconnexions des puces des nœuds sub-CMOS 45 nm.....	183
II.1	Définition d'un coupleur	183
II.2	Contexte et articulation de notre étude.....	185
II.3	Rappel des métriques de caractérisation du couplage.....	186
II.4	Calcul de la longueur de couplage	187
II.5	Adaptation	190
II.6	Résultats des études réalisées.....	192
II.7	Conclusion.....	192
Conclusion et perspectives.....		196
Références.....		200
Liste des travaux.....		204
Annexes.....		206



Lequel, M. Cryptogame s'habille, prend sa coiffe, et écrit la lettre d'éternel adieu qui sera remise à Elvire après son départ.



On frappe à la porte, et M. Cryptogame a l'impression de crier qu'il n'y est pas;



En sorte qu'Elvire enfonce la porte, et surprend les projets de son amant.

(Extrait de [Töpffer, 1830])

Introduction

Contexte et problématique de la miniaturisation des circuits intégrés

Depuis quelques décennies et aujourd'hui encore, l'industrie de la microélectronique cherche à la fois à maximiser les performances des circuits numériques intégrés, comme la vitesse de fonctionnement ou les capacités de mémoire, et à minimiser leur consommation ainsi que leur coût. Cette tendance est aussi très marquée pour les circuits analogiques, en particulier ceux fonctionnant aux fréquences élevées (RF et millimétriques).

Cette exigence conduit les concepteurs et les technologues à optimiser toujours plus l'intégration des composants dans le Front-End-Of-Line (FEOL) qui désigne la partie du circuit dans laquelle se situent les transistors. Cette augmentation de la densité de composants actifs s'accompagne de celle de la densité d'interconnexions dans le Back-End-Of-Line (BEOL). Le BEOL désigne la partie du circuit dans laquelle se situe l'ensemble du réseau d'interconnexions (entre transistors, et vers le monde extérieur à la puce) ainsi que certains des composants passifs intégrés (inductances, condensateurs). Ainsi d'une génération technologique à la suivante, comme l'illustre la Figure 1, on assiste à une réduction notable de la surface des circuits et à une augmentation importante du nombre de niveaux de métallisations dans l'épaisseur du BEOL, ainsi qu'à une réduction drastique des distances entre ces métallisations.

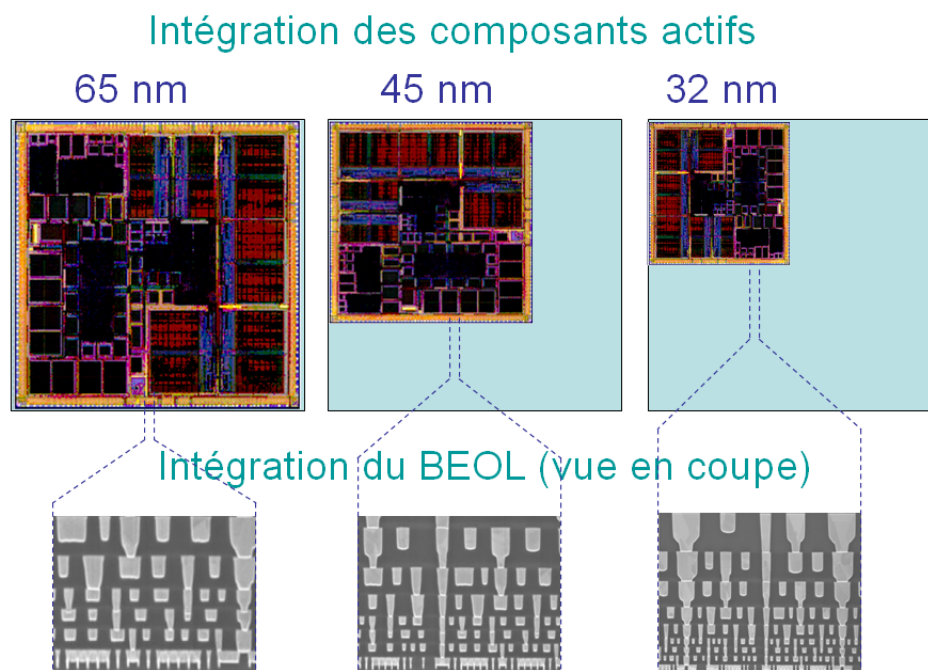


Figure 1 : *Illustration de la miniaturisation des circuits*

Des phénomènes contrecarrant la montée en performance des circuits sont générés par cette intégration toujours plus forte. En effet, notamment à partir de la génération technologique du nœud CMOS 45 nm, correspondant aux circuits émergents des années 2010, la forte densité d'interconnexion crée à la fois une augmentation :

- des délais de propagation des signaux sur ces interconnexions
- des niveaux de diaphonie entre ces interconnexions

Ces phénomènes parasites sont devenus très critiques en regard des exigences de fonctionnement des circuits et ils conditionnent majoritairement leur vitesse globale de travail, c'est-à-dire qu'ils sont prépondérant par rapport aux limites imposées par les vitesses de fonctionnement des transistors.

Ces difficultés n'ont été résolues que partiellement, grâce à des améliorations technologiques, comme notamment l'introduction de diélectriques à très faible permittivité dans le BEOL pour la réduction des capacités propres et de couplage des interconnexions et l'utilisation du cuivre comme métallisation afin de réduire leur résistivité. Une autre alternative possible est de travailler sur une optimisation plus fine lors de la conception des réseaux d'interconnexions, en s'intéressant à chaque type d'interconnexion, en fonction de leur niveau d'intégration (niveaux de métallisation), en fonction du type de signaux à transmettre (horloge, données...) et en fonction des composants placés à leurs extrémités.

C'est dans cette recherche d'optimisation des performances des réseaux d'interconnexions dans le BEOL que ce travail de doctorat s'inscrit en termes d'objectifs généraux. On préempte que cette optimisation requiert une analyse et une modélisation les plus fines de l'ensemble des interconnexions, de leur environnement diélectrique, de leurs dimensions, ainsi que de leur conditions d'utilisation (signaux à transmettre et charges). Cette analyse peut devenir relativement complexe dans la mesure où la recherche d'une optimisation globale du circuit fait intervenir un nombre importants de paramètres. Cette complexité justifie qu'une partie importante de cette thèse aie été consacrée la construction ou à l'évolution d'outils de modélisation adaptés.

Philosophie, environnement et objectifs généraux des travaux

Les métriques principales qui caractérisent les performances des interconnexions de circuits intégrés numériques sont :

- les délais,
- les temps de transition,
- les niveaux de diaphonie.

Leurs spécifications sont exprimées dans le domaine temporel (par opposition à des spécifications dans le domaine fréquentiel, comme la bande passante par exemple).

De nombreuses publications ont été produites sur les sujets qui concernent la modélisation des délais d'interconnexions et des niveaux de diaphonie. Nombreuses sont celles qui tentent d'en fournir des expressions analytiques plus ou moins empiriques, en fonction des paramètres linéiques résistifs R et capacitifs C des interconnexions [Bakoglu, 1985], [Kawagushi, 1998], [Wong, 2000]. Elles se basent sur des modèles RC localisés pour décrire l'effet des interconnexions. D'autres auteurs en revanche tiennent compte du caractère distribué des signaux le long des interconnexions en fournissant une modélisation plus précise incluant la connaissance des inductances L [Ismael, 1998], [Banerjee, 2002] [Agawal, 2006], [Roy, 2010].

L'outil de simulation utilisé par ces auteurs pour valider les modèles analytiques est le logiciel SPICE (Simulation Program with Integrated Circuit Emphasis), développé historiquement en 1973 à Berkeley par L. Nagel et D. Peterson. D'une manière générale SPICE repose sur la résolution des équations de Kirchhoff transposées sous la forme d'un jeu d'équations algébriques différentielles et ce système d'équation est résolu par des méthodes matricielles de type Newton. Un des aspects particuliers de SPICE est aussi que chaque composant est représenté par une « netlist », généralement constitué de la description d'un modèle électrique de type circuit équivalent au composant considéré. Le modèle d'interconnexion est très sommaire et afin d'obtenir des modèles plus fidèles les utilisateurs doivent « fabriquer » les interconnexions à l'aide d'une cascade de cellules R,C localisées, voire R,L,C .

Cependant, compte tenu des nouvelles problématiques liées aux forts niveaux de couplages dans le BEOL et aux effets fréquentiels présents dans les interconnexions (effet de peau, inductance interne, pertes diélectriques dans les isolants à très basse permittivité...), une simulation au préalable menée dans le domaine fréquentiel semble préférable pour mieux décrire ces phénomènes électromagnétiques. Cette approche permet de prendre en compte de manière très précise l'ensemble de l'empilement technologique et, avec un minimum d'hypothèses, d'obtenir les matrices représentatives des quadripôles, ou des N -pôles, décrivant une ou plusieurs interconnexions. De ces matrices (de types $Z, Y, S, ABCD, \dots$) on peut extraire des relations en puissance, en tension ou en courant entre différents points du réseau d'interconnexions dans le BEOL. Le point faible de cette approche par rapport à la simulation de type SPICE est l'impossibilité de traiter les non-linéarités pouvant être présentes dans la description des composants actifs placés aux extrémités des interconnexions. Néanmoins des modèles linéaires précis de ces derniers sont disponibles et adaptés au contexte de nos applications.

C'est dans cette dernière approche que ce travail de doctorat s'est déroulé, situé dans les activités CHIPI (Caractérisation Hyperfréquences, Interconnexions et Passifs Intégrés) de l'IMEP-LAHC. En termes de méthodologie, il s'inscrit dans la philosophie actuelle de ses membres permanents.

Un premier parti pris de l'équipe de recherche concernant la caractérisation des interconnexions, est de toujours s'appuyer sur une part importante d'expérimentation, large bande de quelques kHz à plusieurs dizaines de GHz, dans le domaine fréquentiel.

A ces mesures, sont associées ensuite, dans le domaine fréquentiel également, des modélisations électriques. Ces modélisations sont effectuées à partir de solveurs électromagnétiques, décrivant les équations de Maxwell, qui fournissent un modèle électrique, généralement sous la forme des matrices S (Scattering matrix). Sous certaines conditions concernant les hypothèses de propagation, le modèle peut également être mis sous la forme de modèles électriques de type circuit, $RLCG$, distribués ou non.

Mais généralement, un second parti pris est de s'appuyer sur des modèles de propagation pour les interconnexions, c'est-à-dire avec une approche « guides d'ondes », représentés par des couples « exposant de propagation – impédance » pour chaque mode de propagation présents sur les interconnexions. Ce type d'approche est formalisé dans [Bermond, 2001] et il rejoint celui développé dans les travaux d'Alina Deutsch [Deutsch, 1995] et de ses collaborateurs d'IBM [Elfadel, 2004]. Mesures et modélisations électriques dans le domaine fréquentiel sont ensuite traduites dans le domaine temporel grâce à une série de traitements du signal afin d'évaluer les performances des réseaux d'interconnexions.

Ces travaux de thèse se sont appuyés sur une partie des outils existants dans le groupe CHIPI, issus de travaux antérieurs.

Le schéma synoptique donné en Figure 2 illustre l'ensemble de la méthodologie mise en place dans l'équipe, du véhicule de test initial jusqu'à l'optimisation des performances des réseaux d'interconnexions pour analyser le comportement des composants passifs intégrés et les matériaux.

Les points majeurs sont :

- La conception de dispositifs de test spécifiques et optimisés vis-à-vis des objectifs visés : caractérisation des matériaux inclus dans les interconnexions, caractérisation d'un procédé technologique, par exemple l'étude de l'impact d'une isolation par « air-gap » ou l'introduction de barrière auto-positionnées dans un procédé damascène, caractérisation de composants élémentaires comme par exemple des interconnexions de niveau global, interconnexions couplées, vias, Through Silicon Via (TSV), interconnexions de redistribution (RDL)...
- Le développement de protocoles de caractérisation expérimentale HF, souvent associés à des problématiques de calibrage ou de de-embedding du fait du caractère « intégré » et « enfoui » des dispositifs de test. Ces protocoles sont souvent spécifiques à chaque type de dispositifs de test à analyser, aux technologies d'élaboration et au type de grandeur à extraire (caractéristique électrique d'un matériau, par exemple sa permittivité, impédance d'un composant...)
- L'extraction de modèles électriques et fréquentiels équivalents aux composants. Ils sont obtenus à partir de la mesure ou de la modélisation électromagnétique. Ces modèles peuvent être « génériques » (simple description du comportement électrique global du composant), « physiques » (chaque élément du modèle décrit un phénomène physique) ou « analytiques » (chaque valeur des éléments du modèle est obtenue par une relation mathématique faisant intervenir les dimensions et les caractéristiques des matériaux du composant). Ils peuvent être à la fois « physiques » et « analytiques ». Ces procédures d'extraction peuvent être appliquées à la caractérisation HF et in-situ des matériaux.
- La mise en place d'outils de simulation et de traitement de signal, permettant généralement d'effectuer un passage fréquence-temps afin d'extraire des réponses électriques et les performances d'un composant ou de l'ensemble d'un chaîne de composants. On obtient alors des retards, temps de montée, niveau de diaphonie, diagramme de l'œil... Ces outils de simulation peuvent être aussi élaborés dans le domaine fréquentiel afin d'analyser les réponses de composants dans le domaine fréquentiel (facteur de qualité ou bande passante...), souvent utilisées pour qualifier par exemple les capacités MIM ou les inductances 2D ou 3D intégrées dans les architectures du BEOL.
- L'élaboration d'outils d'optimisation, utilisés pour reboucler entre les architectures des dispositifs sous test (matériaux, dimensions,...) et les performances des composants inclus dans ces dispositifs de test. L'objectif final est de proposer les meilleures voies à suivre aux niveaux de la technologie et des règles de dessin pour fabriquer les composants les plus performants.

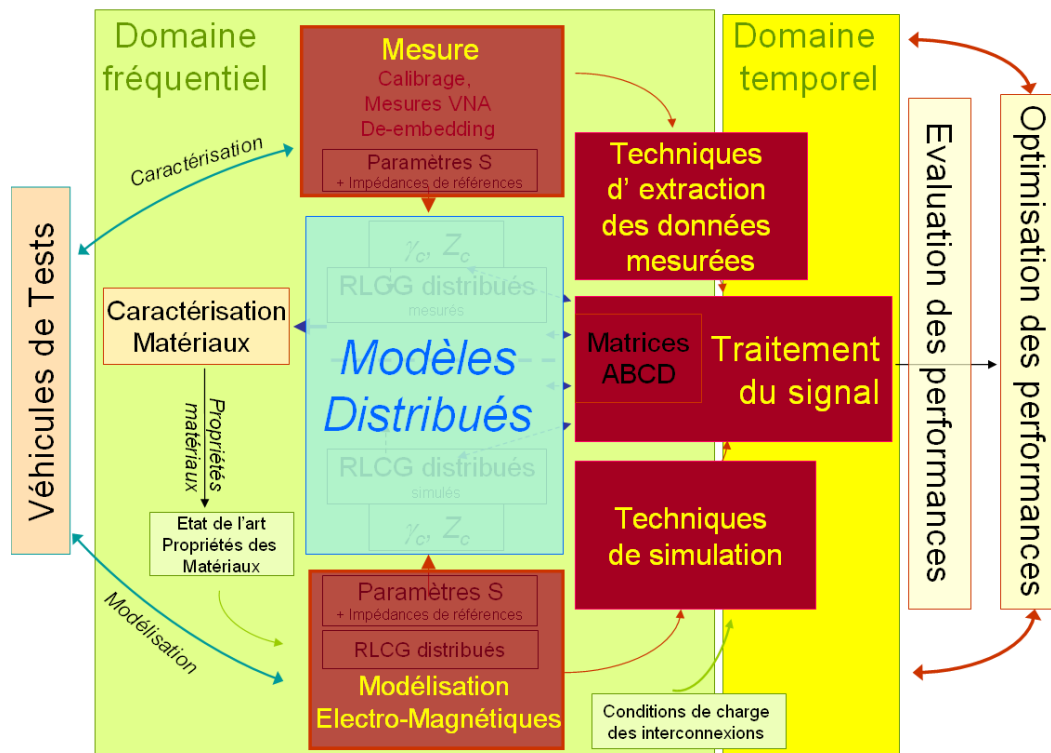


Figure 2 : Synoptique des étapes de travail

En termes d'objectifs généraux mon travail de thèse a consisté à enrichir cette « boîte à outil » existante sur plusieurs des points évoqués ci-dessus. Avec une assez longue expérience professionnelle en R&D au CEA-LETI, j'ai tenu à préparer un doctorat dans un cadre d'une formation par la recherche afin d'améliorer mon expertise mais aussi par intérêt scientifique. J'ai ainsi pu apporter une vision plus orientée vers l'analyse de systèmes et de fortes compétences en traitement du signal.

Sur le contenu du manuscrit, toujours de par mon profil professionnel, mes encadrants et moi même avons orienté ces travaux en insistant sur une approche systémique, avec une attention particulière donnée à la modélisation, la simulation et l'optimisation. Néanmoins je me suis intéressé au développement d'outils de caractérisation ainsi qu'à la proposition d'architectures fonctionnelles d'interconnexions en vue d'applications concrètes. Il peut en résulter un sentiment de « patchwork » à lecture de ce manuscrit si l'impression d'un fil conducteur mal défini prend le dessus pour le lecteur. Néanmoins celui-ci existe dans le sens où ma contribution a été d'apporter des nouveautés et une expertise afin de compléter une bibliothèque d'outils au sein d'une méthodologie de travail logique mais complexe, faisant appel à plusieurs thématiques scientifiques.

Ce travail s'est positionné en complémentarité de thèses récentes, souvent menées au sein de l'équipe CHIPI, également dédiées aux technologies CMOS avancées, notamment, celle de Manuel Sellier sur l'« Evaluation des futures technologies CMOS (<50nm) au niveau circuit » [Sellier, 2008]. On peut citer également la thèse de Michel Gallitre sur l'« Impact des matériaux et des architectures sur les performances en propagation des interconnexions de générations CMOS avancées », [Gallitre, 2008], ou celle d'Alexis Farcy, sur l'« Optimisation des performances électriques appliquée aux interconnexions des circuits intégrés en présence de variabilité », [Farcy, 2009]. Tous trois sont actuellement salariés de la société STMicroelectronics. Certains travaux ont été développés en partenariat avec d'autres travaux de thèse concomitants dans le laboratoire, portant notamment sur l'évaluation des futures technologies 3D [Cadix, 2010], [Roullard, 2011], [Eid, 2010].

Architecture du manuscrit et description succincte des travaux

Ce manuscrit est découpé en cinq chapitres.

Le premier chapitre introduit les problématiques liées à la recherche de densité d'intégration des circuits. Il met en évidence que les gains en rapidité, en coût et en consommation obtenus au niveau des transistors sont en partie contrebalancés par une dégradation des performances au niveau des interconnexions. On donne l'évolution typique des réponses en fréquence des interconnexions des générations sub-CMOS 45 nm représentatives de la vitesse des signaux à travers les interconnexions. On insiste également sur le besoin de précision sur la modélisation et la mesure des performances des interconnexions ainsi que sur l'importance d'une prise en compte précise des caractéristiques des charges aux interfaces des interconnexions. Par conséquent l'élaboration de modèles électriques équivalents, obtenus soit par mesure soit par modélisation est essentielle.

Comme nous l'avons mentionné l'expérimentation reste un passage incontournable pour prouver la pertinence de tous les outils de modélisation et de simulation. Le deuxième chapitre est dédié à la présentation d'un nouvel outil de caractérisation HF d'interconnexions que j'ai développé. Il s'agit d'une procédure dite de « de-embedding » dédiée à la caractérisation HF de dispositifs typiques de la microélectronique, c'est-à-dire enfouis dans un environnement complexe du fait de sa forte intégration et de la nécessité d'accéder à ce dispositif, depuis l'instrument de mesure, par un cheminement très perturbateur. Cette procédure de de-embedding est présentée, en comparaison à d'autres techniques existantes puis appliquée aux cas de la caractérisation des interconnexions de circuits intégrés.

Le chapitre 3, clef de mon travail, présente les outils d'analyse développés durant cette thèse portant la représentation des dispositifs multiports et de la traduction des données fréquentielles avec une approche globale orientée système. Est décrite ensuite la méthodologie de passage dans le domaine temporel qui permet de simuler rigoureusement les performances des réseaux d'interconnexion.

Une attention particulière est portée sur la modélisation de l'environnement diélectrique des interconnexions. En effet une description rigoureuse, mais délicate, de ce dernier est nécessaire afin d'éviter certaines aberrations lors de passage fréquence-temps quant à la causalité des signaux propagés.

Toute la démarche d'optimisation du BEOL, en corrélation avec les contraintes du FEOL, pour améliorer les performances des interconnexions, ainsi que les résultats et leurs analyses sont proposés dans le chapitre 4. Nous étudions plusieurs types d'interconnexions en regard des caractéristiques électriques de leurs composants d'extrémités (drivers). De ces études il résulte des propositions d'optimisation des performances des interconnexions sur deux critères essentiels, rapidité et diaphonie, utilisable pour la conception des circuits et dont nous quantifions les bénéfices. Les principales variables d'ajustement sont les longueurs et la densité des interconnexions ainsi que la taille des drivers (rapport entre largeur et longueur de grille des MOS constituant les drivers). Ces possibilités d'optimisation, comme celles consistant en l'introduction du nombre idéal de répéteurs par exemple, sont comparées aux solutions actuelles en technologie 45 nm.

Un court chapitre 5, à caractère prospectif, termine le manuscrit. Il est consacré à des propositions de fonctionnalisation du BEOL par les biais des technologies développées pour la réalisation des interconnexions. Tirant partie des problèmes de diaphonie rencontrés sur les interconnexions nous étudions notamment la faisabilité d'intégration en technologie sub-45 nm de coupleurs directifs directement réalisés dans le BEOL. Cette étude permet de valoriser les outils développés mais aussi d'ouvrir sur des perspectives intéressantes puisque montrant que le BEOL peut être rendu plus « intelligent » et fonctionnalisés.

La Figure 3 représente de manière synthétique et illustrée l'ensemble du travail de thèse.

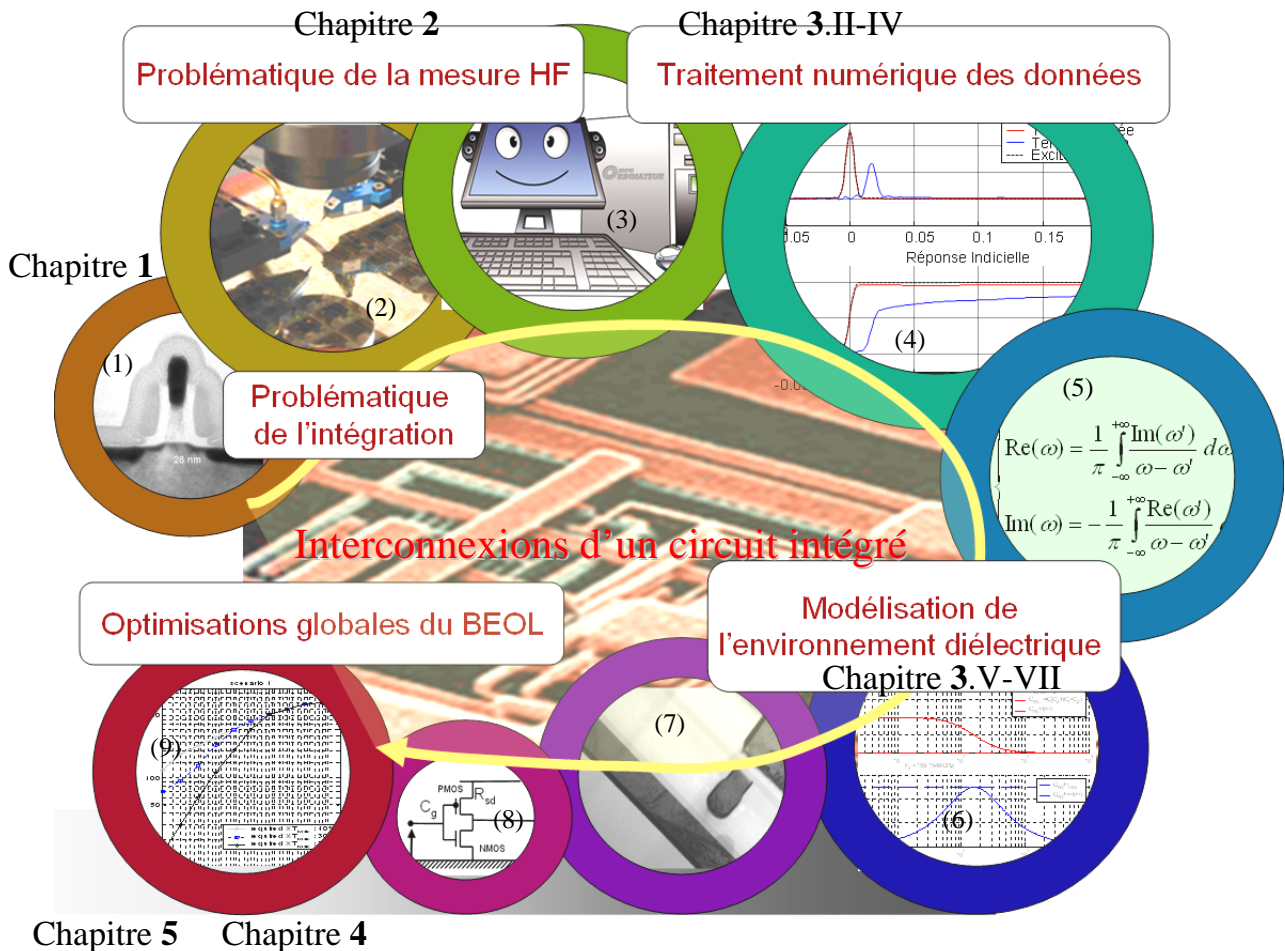
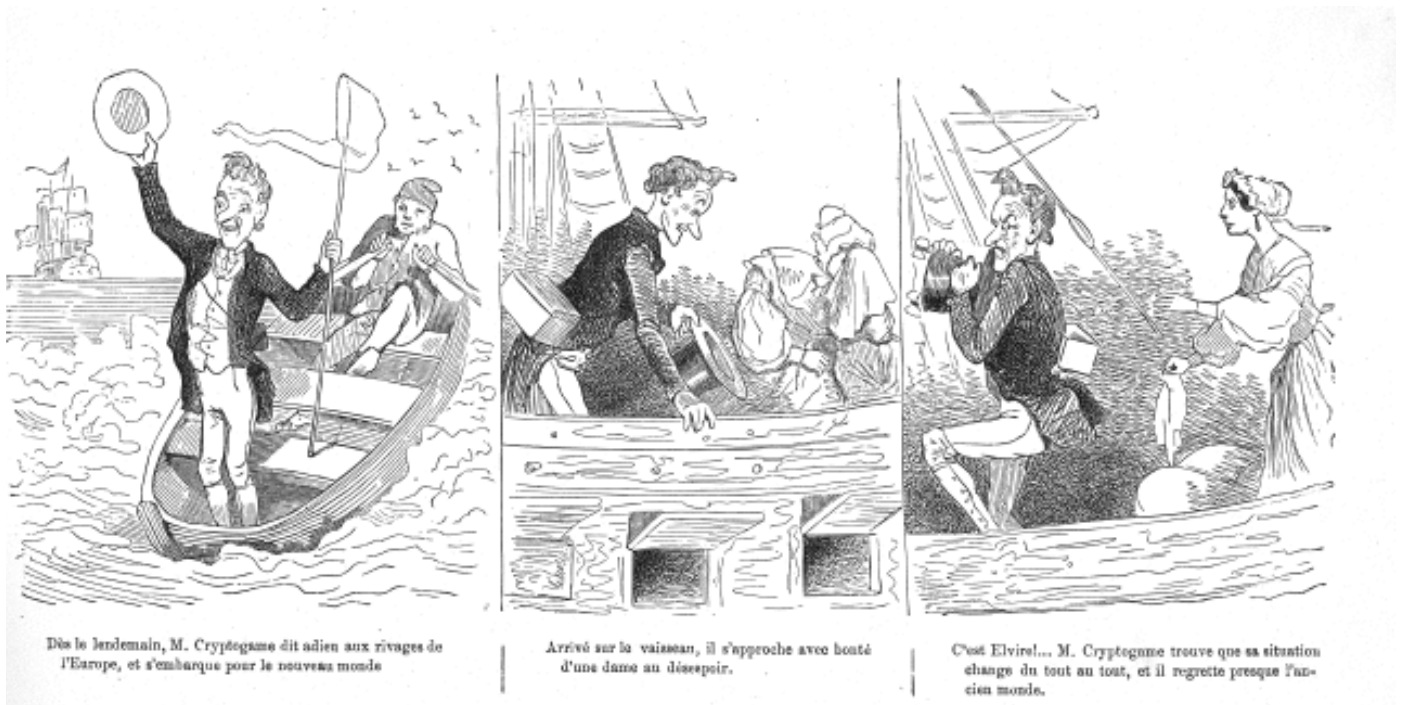


Figure 3 : Illustration des travaux effectués dans le cadre du doctorat

- (1) Illustration de la miniaturisation : coupe TEM d'un MOSFET de la génération 32 nm (chapitre 1, § I.2)
- (2) Station de mesure sous pointe utilisée par l'équipe CHIPI (chapitre 2)
- (3) Symbolisation arbitraire du calcul numérique (chapitres 1 à 5)
- (4) Exemple de réponses temporelles d'une interconnexion (chapitre 3, parties III et IV)
- (5) Extrapolation des données fréquentielles, relations de Bayard-Bode (chapitre 3, § III.4.3)
- (6) Exemple de relaxation dans un diélectrique (Relations de Kramer-Krönig) (chapitre 3, partie VI)
- (7) Coupe TEM d'une interconnexion de la génération CMOS 45 nm et de son environnement diélectrique (chapitre 3, partie V et chapitre 4)
- (8) Modèle d'inverseur CMOS (chapitre 4)
- (9) Exemple de courbes de performances (délais d'interconnexions en fonction de la dimension des inverseurs, chapitre 4)



(Extrait de [Töpffer, 1830])

Chapitre 1

Spécificités des interconnexions des circuits numériques intégrés des générations sub-65 nm

Ce chapitre introduit la problématique des travaux de cette thèse en se focalisant sur les spécificités des interconnexions des générations 45 nm et sub-45 nm.

La première partie a pour objectif de présenter le contexte dans lequel s'inscrit ce travail : la course à l'intégration des circuits se heurte aujourd'hui à de plus en plus de limites de fonctionnement des circuits, en particulier en termes de vitesse, de fiabilité et de coût de réalisation. Ces limitations sont liées aux difficultés technologiques rencontrées mais aussi aux petites dimensions des interconnexions elles mêmes. La densification des interconnexions dans le BEOL limite inéluctablement les performances globales du circuit, notamment à cause d'une augmentation des délais et de l'apparition de niveaux de diaphonie très critiques entre interconnexions adjacentes.

Dans la deuxième partie, on précise les moyens de caractérisation des interconnexions, incluant la mesure, la simulation électromagnétique et la modélisation physique. L'objectif ici est de souligner à la fois les difficultés de caractérisation des interconnexions et la nécessaire gestion des erreurs potentielles d'extraction ou de simulation. On donne quelques modèles mathématiques permettant d'appréhender le comportement des interconnexions intégrées. Ces modèles vont servir non seulement à souligner les paramètres de caractérisation les plus significatifs des interconnexions 45 nm et sub-45 nm mais aussi à mettre en évidence quelques leviers sur lesquels il est possible de s'appuyer pour optimiser leur comportement.

Dans la troisième partie, on insiste sur la nécessité d'avoir une vision globale pour appréhender la simulation, la quantification et l'optimisation des performances des interconnexions, tenant compte aussi des caractéristiques des composants actifs à leur interface. On précise là les spécificités des interconnexions des générations sub-CMOS 65 nm vis-à-vis des générations technologiques précédentes et on motivera les orientations globales et les objectifs de ce travail de doctorat.

Sommaire du chapitre 1

Spécificités des interconnexions des circuits numériques intégrés des générations sub-65 nm.....	17
I Evolution des circuits numériques intégrés	21
I.1 Architecture d'un circuit numérique intégré.....	21
I.1.1 « Front-End Of Line » (FEOL) et « Back-End Of Line » (BEOL)	21
I.1.2 Description du BEOL	22
I.1.3 La hiérarchie des niveaux de métallisation.....	23
I.2 Bénéfices apportés par l'intégration poussée des MOSFET	23
I.2.1 Augmentation des performances	25
I.2.2 Réduction de la consommation électrique par transistor	25
I.2.3 Baisse du coût par transistor	25
I.3 Evolutions et tendances.....	26
I.3.1 Loi de Moore et ITRS pour l'intégration des circuits.....	26
I.3.2 Limites de l'intégration pour les circuits numériques intégrés des générations sub-CMOS 645 nm	27
II Description comportementale des interconnexions.....	32
II.1 Réponse d'un dispositif linéaire hyperfréquences	32
II.1.1 Paramètres ABCD, paramètres intrinsèques.....	32
II.1.2 Paramètres S et paramètres T	32
II.2 Sources des données sur les interconnexions.....	33
II.3 Expression analytique de la réponse d'une interconnexion intégrée en tant que ligne de propagation.....	34
II.3.1 Définition fonctionnelle d'une interconnexion.....	34
II.3.2 Modélisation électrique d'une interconnexion	35
II.3.3 Matrice chaîne d'une interconnexion	36
II.3.4 Modélisation électrique d'un réseau d'interconnexions couplées	36
II.4 Analyse systémique des performances des interconnexions.....	38
II.4.1 Description des performances des interconnexions.....	38
II.4.2 Métriques de performances	41
III Réponse des interconnexions des générations sub-65 nm.....	42
III.1 Réponse en tension d'une interconnexion isolée chargée par des inverseurs CMOS.....	42
III.1.1 Description fonctionnelle d'un inverseur CMOS	42
III.1.2 Expression générale du gain en tension d'une interconnexion en fonction des conditions de charge	44
III.1.3 Tendances de l'effet de la taille des drivers sur les performances des interconnexions ..	49
III.2 Effet de la longueur d'interconnexion sur le délai.....	50
III.2.1 Approximation analytique des délais.....	50
III.2.2 Conclusion sur la minimisation des délais.....	53
III.3 Spécificités des interconnexions des circuits numériques intégrés des générations technologiques sub-CMOS 65 nm	53
III.3.1 Géométrie et matériaux des interconnexions des circuits numériques intégrés des générations technologiques CMOS 45 nm	53
III.3.2 Impact critique de la diminution des dimensions des interconnexions sur les performances globales des circuits des nœuds technologiques sub-CMOS 65 nm.....	55

IV	Conclusions sur le chapitre 1.....	56
IV.1	Contexte général	56
IV.2	Objectifs généraux de la thèse	56
IV.3	Apports du travail	57
IV.3.1	Chapitre 2	57
IV.3.2	Chapitre 3	57
IV.3.3	Chapitre 4	58
IV.3.4	Chapitre 5	58

Figures du chapitre 1

Figure I.1 :	<i>Vue en coupe schématique d'un circuit intégré numérique, illustrant la hiérarchie des niveaux d'interconnexion au dessus du niveau 0 des transistors MOSFET</i>	21
Figure I.2 :	<i>Vue en coupe schématique d'un transistor MOSFET</i>	21
Figure I.3 :	<i>Photographie SEM d'un réseau d'interconnexions typique d'une architecture Manhattan</i>	22
Figure I.4 :	<i>Exemple de coupe TEM d'une interconnexion intégrée dans le BEOL (source : STMicroelectronics)</i>	23
Figure I.5 :	<i>Représentation schématique simplifiée d'une connexion entre deux MOSFET</i>	24
Figure I.6 :	<i>Exemple de coupe TEM et représentation schématique 3D d'un transistor MOSFET</i>	24
Figure I.7 :	<i>Illustration de la « Loi de Moore »</i>	26
Figure I.8 :	<i>Illustration de l'évolution des circuits vers plus de miniaturisation (Source : STMicroelectronics)</i>	27
Figure I.9 :	<i>Représentation schématique d'interconnexions intégrées au sein du même niveau métal</i>	29
Figure I.10 :	<i>Exemple de distribution des longueurs d'interconnexions dans un circuit intégré (d'après D. Meindl., J. A. Davis & al. [Meindl, 2002])</i>	29
Figure I.11 :	<i>Exemple d'évolution des délais dans un circuit numérique intégrés d'une génération à la suivante (d'après D. Meindl., J. A. Davis & al. [Meindl, 2002])</i>	30
Figure II.1 :	<i>Matrice chaîne d'un dispositif 2 ports</i>	32
Figure II.2 :	<i>Matrice des paramètres S et des paramètres T d'un dispositif 2 ports</i>	33
Figure II.3 :	<i>Illustration de la propagation TEM d'une onde de longueur λ le long d'une interconnexion</i>	35
Figure II.4 :	<i>Modèle électrique équivalent d'une ligne de transmission de longueur infinitésimale δl</i>	35
Figure II.5 :	<i>Schéma fonctionnel d'une ligne de transmission</i>	36
Figure II.6 :	<i>Modèle électrique équivalent deux interconnexions couplée</i>	37
Figure II.7 :	<i>Représentation schématique d'une interconnexion en tant que canal de propagation</i>	38
Figure II.8 :	<i>Représentation schématique d'un inverseur CMOS illustrant le problème de perte par court-circuit lors des transitions du signal d'attaque au niveau des grilles de transistors</i>	38
Figure II.9 :	<i>Représentation schématique des signaux dégradés par diaphonie</i>	39
Figure II.10 :	<i>Représentation schématique d'un filtre</i>	40
Figure II.11 :	<i>Illustration des métriques de délai et de temps de transition</i>	41
Figure II.12 :	<i>Illustration de la métrique de diaphonie</i>	41
Figure III.1 :	<i>Représentation d'un inverseur CMOS et schéma électrique équivalent idéal (l'étage de test ($\langle thr \rangle$) fournit une tension de sortie $V_{out} = V_{dd}$ si $V_{in} < thr$, $V_{out} = 0$ sinon)</i>	42
Figure III.2 :	<i>Schéma électrique équivalent d'inverseurs CMOS cascades</i>	43

Figure III.3 : Illustration simplifiée de la taille des répéteurs.....	44
Figure III.4 : Schéma électrique équivalent d'une interconnexion excitée par un générateur de tension d'impédance interne Z_0 et chargée par une impédance Z_L	45
Figure III.5 : Exemple de simulation de l'effet des gains en tension d'une interconnexion sur un signal temporel en entrée et en sortie de l'interconnexion.....	47
Figure III.6 : Exemple de réponse fréquentielle. Simulation 1: une interconnexion 45 nm ($l=200 \mu\text{m}$, $1/2 \text{ pitch} = 50 \text{ nm}$) est interfacée par une impédance parfaitement adaptée en entrée et un driver 45 nm $\times 1$ (C_g petit) en sortie ; Simulation 2 : l'interconnexion est interfacée par un driver 45 nm $\times 64$ (R_{sd} petit) en entrée et un driver 45 nm $\times 1$ en sortie.....	48
Figure III.7 : Exemple de réponse indicielle d'une interconnexion de la génération 32 nm ($l=200 \mu\text{m}$, $1/2 \text{ pitch} = 50 \text{ nm}$) pour différentes tailles de drivers aux interfaces de l'interconnexion.....	49
Figure III.8 : Exemple de niveau de diaphonie sur une interconnexion de la génération 32 nm ($l=200 \mu\text{m}$, $1/2 \text{ pitch} = 50 \text{ nm}$) pour différentes tailles de drivers aux interfaces des interconnexions (identiques en entrée et en sortie).....	50
Figure III.9 : Exemple typique de réponse (gain en tension) d'une interconnexion et ses tendances asymptotiques	52
Figure III.10 : Comparaison des évolutions du délai calculé analytiquement et du délai évalué par simulation ($1/2 \text{ pitch} = 50 \text{ nm}$, $Z_0 = Z_c$, $Z_L = C_{g \times 1}$) en fonction de la longueur d'interconnexion.	52
Figure III.11 : Représentation simplifiée d'une structure intégrant 3 couches de métallisation	53
Figure III.12: Représentation schématique 3D du réseau d'interconnexions sur 3 niveaux métalliques (niveau $N-1$, niveau N et niveau $N+1$).....	54

I Evolution des circuits numériques intégrés

I.1 Architecture d'un circuit numérique intégré

I.1.1 « Front-End Of Line » (FEOL) et « Back-End Of Line » (BEOL)

Dans un circuit intégré, on distingue deux blocs fonctionnels différents, le Front End Of Line (FEOL) et le Back End Of Line (BEOL), schématiquement représentés en Figure I.1. Le FEOL désigne l'ensemble des composants actifs, c'est-à-dire les portes logiques qui permettent de réaliser les circuits combinatoires et séquentiels, ainsi que les mémoires. Les circuits numériques actuels sont, pour la grande majorité, basés sur la technologie de transistors MOSFET. Physiquement, ces composants actifs sont réalisés dans un « substrat » de silicium. Le substrat a un rôle mécanique de support pour le circuit mais il assure aussi la fonction de matrice (par dopage) pour les semi-conducteurs intégrés dans les composants actifs. En termes de dimensions, l'espacement entre deux transistors adjacents est du même ordre de grandeur que la longueur de grille L_g des transistors (Figure I.2). La somme des deux est appelée « pas » ou plus couramment « pitch », en anglais. Pour les transistors de la génération 45 nm par exemple, la longueur de grille est de 45 nm et le pitch est d'environ 90 nm.

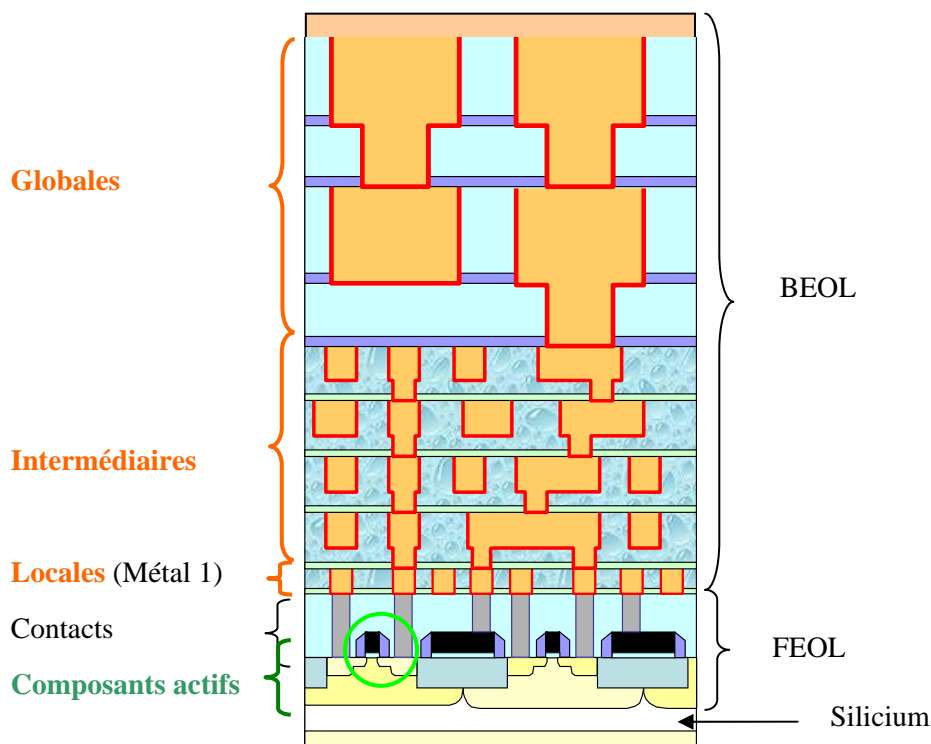


Figure I.1 : Vue en coupe schématique d'un circuit intégré numérique, illustrant la hiérarchie des niveaux d'interconnexion au dessus du niveau 0 des transistors MOSFET

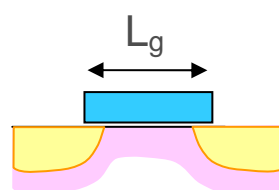


Figure I.2 : Vue en coupe schématique d'un transistor MOSFET

I.1.2 Description du BEOL

Le BEOL, situé géométriquement juste au dessus du FEOL, comprend l'ensemble des composants passifs, pouvant inclure des inductances ou des condensateurs par exemple, mais surtout l'ensemble du réseau d'interconnexions assurant la transmission des signaux logiques entre les portes, y compris les signaux d'horloges, ainsi que les alimentations électriques. Les architectures de BEOL sont constituées d'un empilement de niveaux métal (Figure I.1) au sein de chacun desquels un certain nombre d'interconnexions servent à propager les signaux logiques générés dans la partie active du circuit intégré (niveau 0).

Les liaisons entre les niveaux sont assurées par des vias inter- niveaux en cuivre. Fonctionnellement, ces interconnexions sont donc des conducteurs comprenant les contacts avec les actifs et les vias ainsi que des lignes de propagation en cuivre intra- niveaux. Matériellement cependant, ce sont uniquement ces lignes que l'on appelle à proprement parler « interconnexions ».

Au sein de chaque niveau, les interconnexions, de sections quasi rectangulaires, sont placées parallèlement les unes aux autres, avec un espacement du même ordre de grandeur que leur épaisseur. Ces architectures de BEOL sont du type « Manhattan », comme représenté sur l'image SEM (Scanning Electron Microphotograph) de la Figure I.3 : les directions des interconnexions entre deux niveaux métal contigus sont croisées perpendiculairement. Les espacements entre interconnexions de deux niveaux successifs sont du même ordre de grandeur que leur épaisseur.

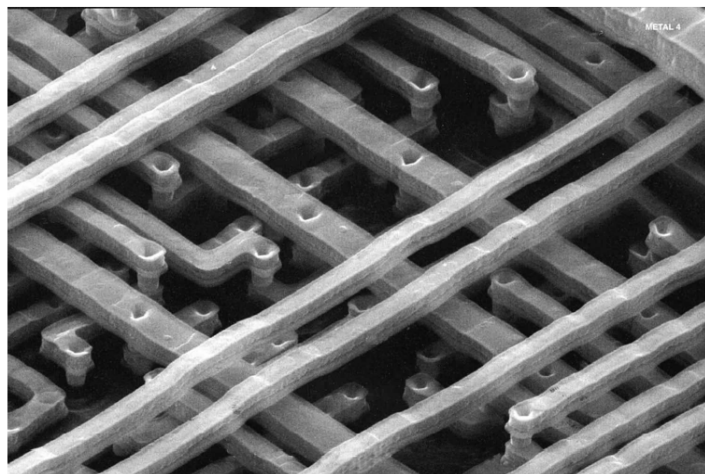


Figure I.3 : Photographie SEM d'un réseau d'interconnexions typique d'une architecture Manhattan

Les interconnexions sont noyées dans des diélectriques inter-interconnexions et inter-niveaux qui peuvent être faits du même matériau isolant ou non. Ces diélectriques ont pour rôle, outre leur fonction mécanique, d'assurer de bonnes propriétés électriques aux lignes de propagation. D'une part ces diélectriques doivent être très, voire parfaitement, isolants. D'autre part ils doivent être a priori de très faible permittivité, ou « Ultra Low K » (ULK) en anglais, afin de limiter les couplages capacitifs inter-conducteurs.

Enfin, différentes barrières diélectriques et métalliques, comme représentées sur l'image TEM (Transmission Electron Microphotograph) de la Figure I.4, servent à éviter des phénomènes de diffusion des matériaux [Gallitre, 2008].

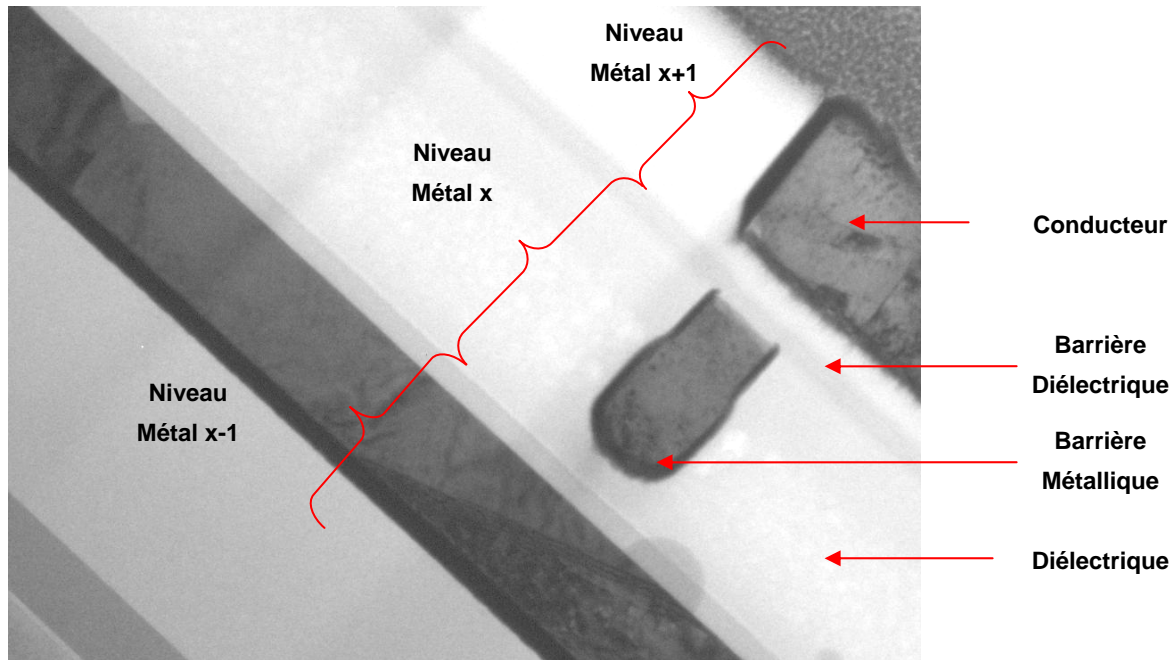


Figure I.4 : Exemple de coupe TEM d'une interconnexion intégrée dans le BEOL (source : STMicroelectronics)

I.1.3 La hiérarchie des niveaux de métallisation

Les niveaux de métallisation sont hiérarchisés en trois principales catégories, en fonction de leur proximité des actifs (Figure I.1).

1. Le niveau le plus bas est dit « local ». Il comprend des interconnexions dont l'espacement est le même que celui des composants actifs (ou $\frac{1}{2}$ pitch) et dont la longueur varie entre quelques μm et quelques dizaines de μm pour la génération 45 nm.
2. Le niveau le plus haut est dit « global ». Il comprend des interconnexions dont la largeur et l'espacement peut atteindre plusieurs fois le pitch et la longueur s'étend jusqu'à plusieurs centaines de μm .
3. On définit enfin un niveau dit « intermédiaire » qui comprend des interconnexions dont l'espacement est à peine supérieur à celui des composants actifs et dont la longueur varie entre quelques dizaines de μm et quelques centaines de μm .

I.2 Bénéfices apportés par l'intégration poussée des MOSFET

Les bénéfices apportés par l'intégration poussée des MOSFET sont au nombre de trois :

1. Amélioration des performances
2. Réduction de la consommation électrique
3. Baisse du coût

Les puces électroniques sont composées de transistors dont le critère premier de performance est la capacité à charger électriquement d'autres transistors **rapidement**. Cette capacité est grossièrement traduite par le ratio τ , qui s'exprime en secondes:

$$\tau = \frac{C_g V_{dd}}{I_{ON}} \quad (\text{s})$$

Relation [1- 1]

V_{dd} (V) désigne la tension d'alimentation du circuit, C_g (F), la capacité de grille du transistor MOSFET et I_{ON} (A) le courant de charge, tels qu'ils sont représentés en Figure I.5.

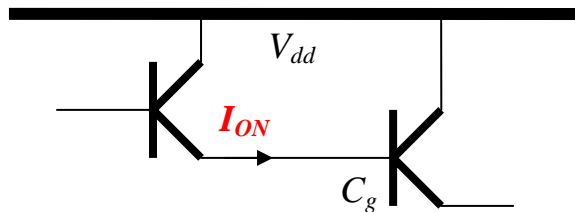


Figure I.5 : Représentation schématique simplifiée d'une connexion entre deux MOSFET

Le paramètre τ dépend donc de la tension d'alimentation V_{dd} mais aussi de la géométrie du transistor, en particulier de ses dimensions: largeur de grille W_g , longueur de grille L_g et épaisseur d'oxyde T_{ox} , représentées en Figure I.6. On montre [Sellier, 2008], qu'en diminuant ces dimensions par un facteur d'intégration, noté k ($k < 1$), on diminue également I_{ON} et C_g par ce facteur k . Par conséquent le ratio τ , qui est un indicateur de la période élémentaire de fonctionnement du circuit est diminué par ce facteur k également. Cela signifie donc que la vitesse de fonctionnement F du circuit peut être augmentée d'un facteur $1/k$.

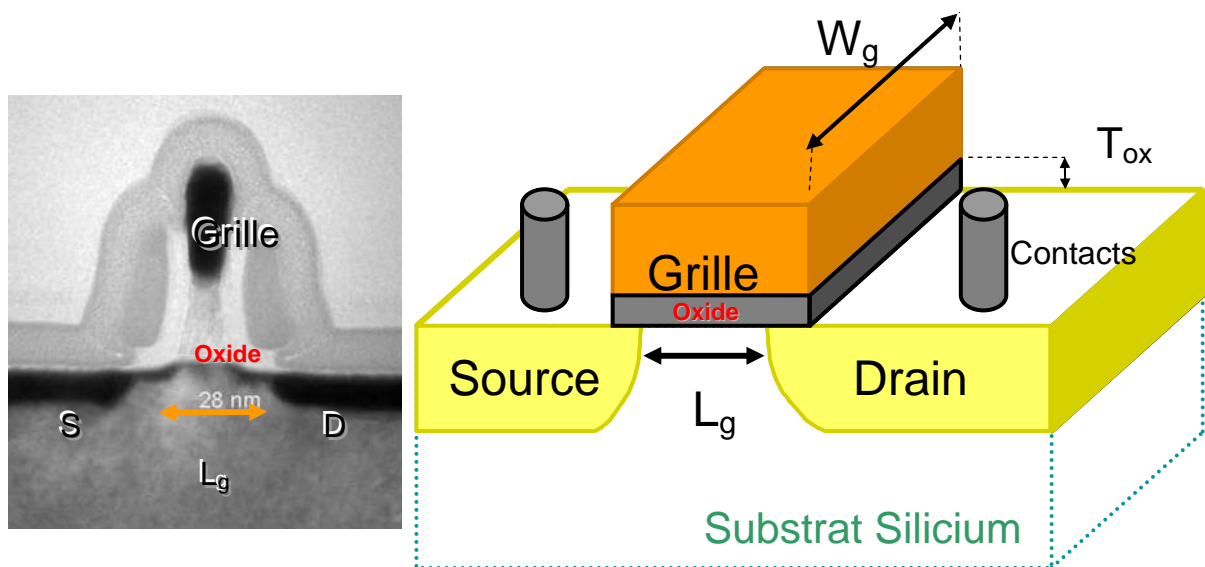


Figure I.6 : Exemple de coupe TEM et représentation schématique 3D d'un transistor MOSFET

Dans cette logique, d'année en année l'industrie des composants microélectronique a ciblé une diminution de toutes ces dimensions pour obtenir plusieurs bénéfices conjoints, conformément à la loi empirique formulée en 1965 par Gordon Moore, cofondateur d'Intel.

Cette loi, prévoyait en effet la croissance exponentielle avec les années du nombre de transistors par unité de surface dans les circuits intégrés, tout en soulignant, de manière prémonitoire, le lien entre intégration, performances et coût.

Des études statistiques sur l'évolution des circuits intégrés sur les quarante dernières années montrent que ces bénéfices majeurs suivent tous les trois une loi quasi linéaire [Sellier, 2008].

I.2.1 Augmentation des performances

Premièrement, cette diminution d'un facteur k permet un facteur d'intégration d'un facteur k^2 sur la surface. Cela implique qu'à nombre de transistor constant, la surface en composants actifs est réduite par k^2 ou qu'à surface égale, on obtient des circuits beaucoup plus complexes et par conséquent plus performants. En outre, on obtient des circuits de plus en plus rapides, exprimé par le ratio τ (Relation [1- 1]).

I.2.2 Réduction de la consommation électrique par transistor

La consommation électrique totale de la partie active du circuit a plusieurs sources. La principale source est la consommation dynamique P_{dyn} , directement liée à la vitesse de fonctionnement F du circuit. En première approximation on peut estimer P_{dyn} par la Relation [1- 2].

$$P_{dyn} = gC_{ox} V_{dd}^2 F$$

Relation [1- 2]

Le facteur g dépend de la technologie. Avec l'hypothèse de g peu variable avec la technologie, la relation mettrait en évidence une diminution significative de la consommation dynamique par transistor avec l'intégration, d'un facteur k^2 , qui est la tendance effectivement observée.

A cette consommation dynamique, il faut ajouter la consommation statique du circuit, c'est-à-dire la consommation du circuit lorsqu'il est inactif, liée à l'existence d'un courant entre la source et le drain, qui idéalement serait nul mais pratiquement ne l'est pas. Cette consommation représente entre 10 et 15 % de la consommation totale.

Il faut enfin tenir compte de la consommation de court-circuit [Veendrick, 1984], liée aux instants de commutations des transistors. Cette consommation est due au fait que pendant la commutation des transistors complémentaires CMOS (décrits en III.1.1), il existe une période durant laquelle les deux transistors sont passants. Cette consommation dépend à la fois de la technologie, de la fréquence de fonctionnement et de l'intégrité des signaux logiques transmis. Cette dernière est cependant relativement complexe à évaluer avec précision.

I.2.3 Baisse du coût par transistor

La troisième conséquence majeure de cette intégration est une réduction significative du coût par transistors, lié à la diminution des surfaces.

Remarque : Il faut noter toutefois que la baisse du cout n'est pas uniquement liée à l'intégration. Elle résulte aussi d'une recherche poussée de baisse des coûts de recherche et développement (R&D) et de production servant à compenser les coûts très conséquents inhérents à chaque saut technologique.

La source principale d'économie de production se situe dans la recherche de « process » de fabrication, à la fois plus économiques, notamment en augmentant la taille des « wafers », c'est-à-dire des plaques de silicium sur lesquels sont produits les circuits, et plus fiables, pour maximiser le rendement (taux de puces valides).

Une source importante d'économie au niveau de la R&D se situe dans la fédération des moyens entre fabricants, comme par exemple, sur le bassin grenoblois, les alliances Crolles 2 en 2000 entre Freescale (ex. Motorola), STMicroelectronics et NXP (ex-Philips Semi-conducteur)) ou Crolles 3 entre STMicroelectronics et IBM.

I.3 Evolutions et tendances

I.3.1 Loi de Moore et ITRS pour l'intégration des circuits

La course à la miniaturisation dans l'industrie de la microélectronique a plus d'un demi-siècle. Environ tous les deux ans depuis le début des années 70, la technologie, c'est-à-dire la science appliquée qui permet de produire les circuits, franchit de nouvelles étapes vers plus de miniaturisation. Chaque nouvelle génération de circuit est dénommée à partir de la longueur de grille L_g des transistors MOSFET.

Cette évolution est normalisée par l'ITRS (*International Technology Roadmap for Semiconductors*) [ITRS, 2009] qui préconise les règles de conception et des empilements technologiques des futures générations de circuits intégrés au niveau international pour l'ensemble des acteurs de la microélectronique : technologues, concepteurs, fabricants, systémiers, équipementiers,... Cette normalisation permet à l'ensemble de ces acteurs de fédérer une partie de leurs investissements afin de limiter les énormes coûts inhérents au passage d'une génération technologique à la suivante, comme évoqué précédemment.

L'ITRS a en outre pour vocation de souligner les points durs et par conséquent d'orienter les investissements en recherche et développement et de renforcer la cohérence entre laboratoires privés, universités et soutiens institutionnels nationaux (ou européens). Grâce aux progrès technologiques, à chaque nouveau nœud, caractérisé par une taille décroissante des transistors, la densité d'intégration augmente donc significativement, avec en parallèle, des fréquences de fonctionnement de plus en plus grandes (atteignant la dizaine de GHz aujourd'hui) et des tensions d'alimentation réduites (moins de 1V aujourd'hui), diminuant la puissance consommée totale. La Figure I.7 illustre la loi de Moore appliquée aux tendances d'évolution des circuits intégrés pour les générations passées et présentes: ces courbes mettent en évidence que l'ampleur de l'intégration a dépassé à plusieurs reprises les prédictions.

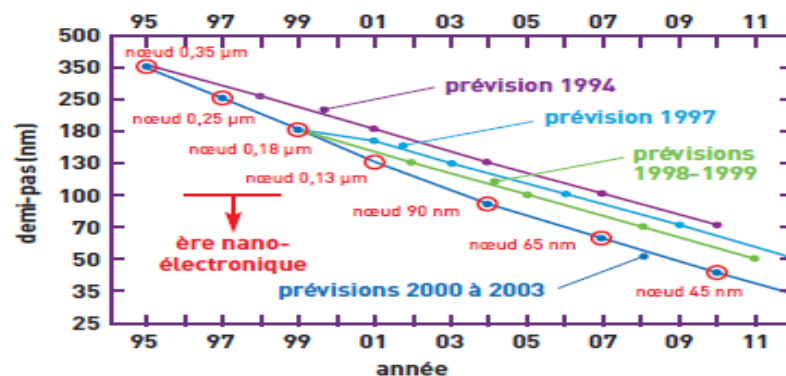


Figure I.7 : Illustration de la « Loi de Moore »

Le facteur d'intégration k qui spécifie le passage d'une génération technologique à la suivante a été fixé à $k = \sqrt{2}$ par l'ITRS. Ce facteur d'intégration s'applique à l'ensemble des dimensions des transistors intégrés et aux tensions d'alimentation mais également aux pitches entre transistors et entre interconnexions. Elle s'accompagne d'une augmentation du nombre de niveaux métalliques dans le BEOL (Figure I.8).

Cette augmentation du nombre de niveaux métal est liée à au moins deux facteurs :

1. Elle est tout d'abord due à l'augmentation de la complexité du circuit. En effet l'intégration poussée du circuit s'accompagne en général d'une augmentation significative du nombre de transistors total et donc de la densité du réseau d'interconnexions associé.
2. Le second facteur est lié au besoin de minimiser cette densité d'interconnexion au sein d'un même niveau métal. En effet la diminution des dimensions des interconnexions devient un facteur trop limitant pour la rapidité et la fiabilité du circuit. Ce point sera discuté de manière générale au paragraphe suivant et approfondi pour les interconnexions des générations technologiques 45 nm au paragraphe III.3 de ce chapitre.

On préférera donc trouver un compromis entre la maximisation des performances et la minimisation du coût généré par l'augmentation du nombre de niveaux métal, en particulier pour les niveaux intermédiaires.

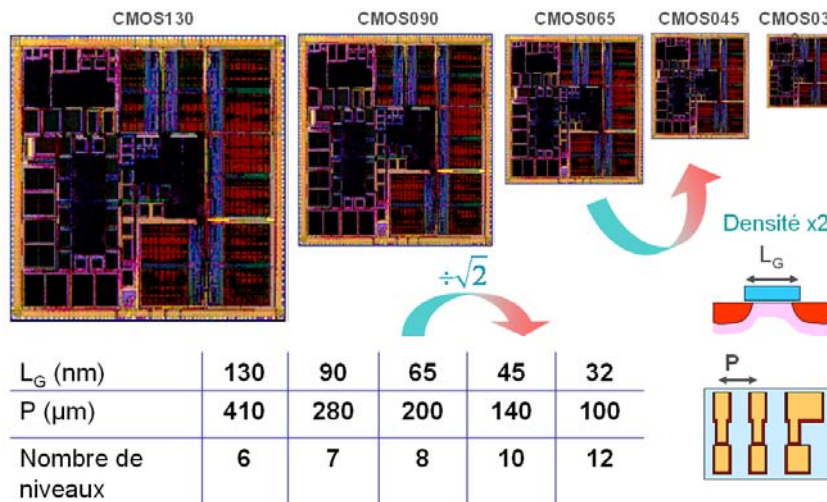


Figure I.8 : Illustration de l'évolution des circuits vers plus de miniaturisation (Source : STMicroelectronics)

Remarque : En guise d'illustration, on montre en Annexe 1 un exemple d'évolution de la complexité, de la rapidité et des coûts des circuits intégrés de 1970 à 2011.

I.3.2 Limites de l'intégration pour les circuits numériques intégrés des générations sub-CMOS 65 nm

L'objectif de ce paragraphe est de souligner, sans rentrer dans le détail, les difficultés technologiques et conceptuelles spécifiques à la génération de circuits numériques 45 nm et sub-45 nm. Pour approfondir ces points, on peut consulter de nombreux ouvrages récents, notamment [Gupta, 2009].

I.3.2.a Problématiques de conception et challenges technologiques avec l'intégration dans le FEOL

De nombreux phénomènes physiques accidentels liés aux réductions des dimensions des transistors risquent de dégrader les performances du circuit, à l'encontre des bénéfices escomptés avec l'intégration, décrits dans le paragraphe précédent. Sans entrer dans le détail des phénomènes physiques impliqués ni dans les possibles solutions technologiques envisagées, on peut citer quelques-uns de ces principaux problèmes à surmonter. L'objectif est de souligner ici qu'à partir des générations 45 nm et 32 nm, on s'approche des limites physiques (liées aux échelles presque atomiques des dimensions), et donc technologiques.

- Premièrement, la réduction des longueurs de grilles s'accompagne d'une augmentation des courants de fuites générant de fortes incertitudes sur les niveaux logiques hauts et bas ainsi qu'une augmentation de la consommation statique. Ce phénomène est appelé SCE (« Short Channel Effect »).
- Un autre phénomène est lié à la diminution de l'épaisseur de grille qui peut générer une augmentation des courants « tunnel » à travers la grille.
- On peut citer enfin des phénomènes de polydéplétion dans les semi-conducteurs au voisinage de la grille qui, en augmentant l'épaisseur d'isolant de la grille, crée une diminution non voulue de la capacité effective.

I.3.2.b Problématiques de conception et challenges technologiques avec l'intégration dans le BEOL

I.3.2.b.1 Problématique de conception dans le BEOL

Historiquement, l'augmentation des résistances d'interconnexions inhérente à l'intégration était largement compensée par la baisse des capacités propres [Meindl, 2002]. Ainsi on prévoyait un bénéfice fonctionnel pour le BEOL également en réduisant les dimensions.

Avec l'augmentation de l'intégration on peut estimer, en première approximation, que le délai D de propagation le long d'une interconnexion dépend principalement essentiellement des valeurs des capacités linéiques de couplage C_m entre interconnexions adjacentes (liées principalement à l'espacement s , Cf. Figure I.9) et des valeurs des résistances linéiques R d'interconnexions (liées principalement à la largeur w), d'une part, et des longueurs l d'interconnexion d'autre part (Relation [1- 3]).

$$D \propto \frac{l^2}{ws} \quad \text{où } \alpha \text{ est un indicateur de proportionnalité}$$

Relation [1- 3]

A partir des générations les plus récentes ($1/2$ pitch < 100 nm), l'effet de l'intégration sur les performances devient potentiellement néfaste. La réduction des valeurs de pitches d'une part, et donc des largeurs d'interconnexions w et des espacements s entre interconnexions, et l'augmentation du facteur de forme d'autre part (rapport de l'épaisseur sur la largeur), entraînent une augmentation critique des résistances et des capacités mutuelles des interconnexions (Figure I.9).

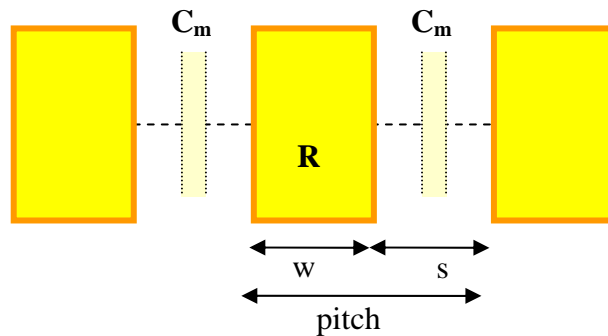


Figure I.9 : Représentation schématique d'interconnexions intégrées au sein du même niveau métal

L'approximation donnée en Relation [1- 3] souligne le fait qu'à longueur d'interconnexion constante, le délai augmente quadratiquement avec la réduction du pitch. Dans le meilleur cas, on peut supposer qu'avec l'intégration d'un facteur k ($k < 1$) de toutes les dimensions, on est également capable de diminuer par un facteur k les longueurs des interconnexions. Dans ce cas favorable, le délai global dû aux interconnexions devrait rester à peu près constant d'une génération à la suivante.

En revanche, pour certaines interconnexions les plus longues ($> 100 \mu\text{m}$), la densification surfacique du réseau ne doit pas être aussi forte que celle des composants actifs, sans quoi les délais d'interconnexions interdisent la vitesse de fonctionnement attendue pour les circuits à venir.

Au début des années 2000, J.A Davis et J.D. Meindl (Georgia Institute of Technology) publiaient, en partenariat avec IBM, un modèle statistique de distribution des longueurs d'interconnexions dans les circuits intégrés (en nombre de pitches) à partir de circuits réels de la fin des années 90, qui fit référence (Figure I.10).

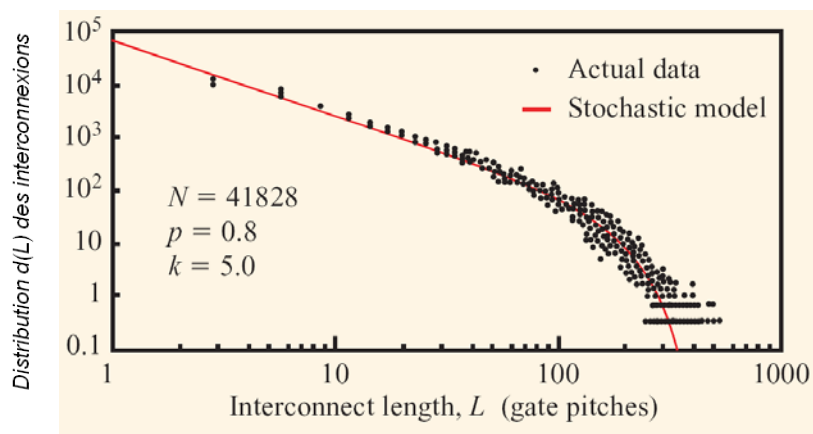


Figure I.10 : Exemple de distribution des longueurs d'interconnexions dans un circuit intégré (d'après D. Meindl., J. A. Davis & al. [Meindl, 2002])

Aujourd'hui, dix ans plus tard, la distribution dans les circuits des générations 45 nm et suivantes devraient suivre la même allure, mais avec un facteur de presque 10 sur les longueurs d'interconnexions, lié à l'augmentation de la complexité des circuits émergents. Certaines interconnexions des niveaux intermédiaires, bien que peu nombreuses a priori, doivent atteindre plusieurs centaines de μm . Le problème des délais d'interconnexion devient donc bien réel, et très critique.

En complément de ce que souligne la Figure I.10, c'est-à-dire l'existence d'interconnexions relativement longues, il existe une autre courbe illustrative de référence dans le domaine des interconnexions (Figure I.11) qui cherche à souligner le fait qu'à partir de la génération 45 nm, c'est bien les interconnexions qui iront ralentir les circuits.

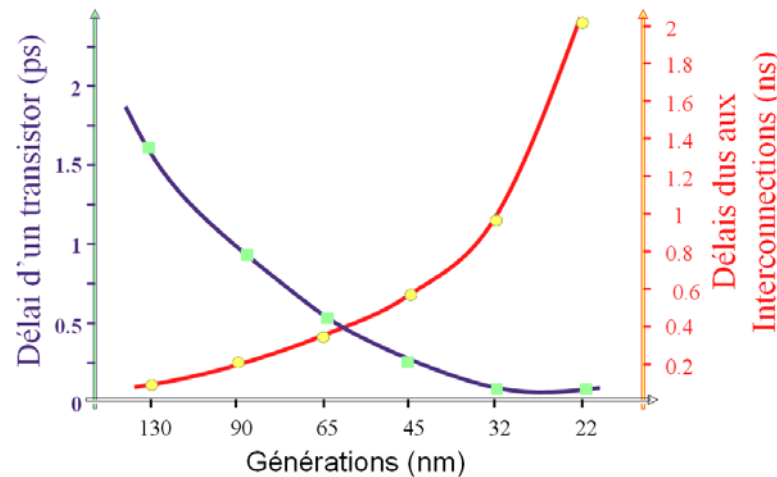


Figure I.11 : Exemple d'évolution des délais dans un circuit numérique intégrés d'une génération à la suivante (d'après [ITRS, 2009])

Remarque : A ce risque de limitation des vitesses de fonctionnement, s'ajoutent des phénomènes de diaphonie entre interconnexions adjacentes, dus à l'augmentation des capacités mutuelles, qui atteignent des niveaux préoccupants en terme d'intégrité des signaux et donc de fiabilité fonctionnelle des circuits.

I.3.2.b.2 Limitations technologiques dans le BEOL

I.3.2.b.2.1 Introduction d'Ultra-Low-K (ULK) pour limiter les capacités

Afin de minimiser l'augmentation des capacités avec l'intégration, L'ITRS a préconisée l'introduction de diélectriques à très faible permittivité (ULK), notamment pour les diélectriques intra niveaux qui séparent les interconnexions. Aujourd'hui, on est capable d'introduire des diélectriques dont la permittivité relative ϵ_r s'approche de 2. Le silicium poreux SiOCH par exemple, de permittivité relative $\epsilon_r \approx 2.5$, remplace, pour la génération 45 nm, le traditionnel oxyde de silicium SiO₂, de permittivité relative $\epsilon_r \approx 4$. Une autre piste, préconisée par l'ITRS, consiste à introduire des cavités d'air ou « Air Gap » ($\epsilon_r = 1$) entre les conducteurs. Cependant cette solution semble encore assez mal maîtrisée tant du point de vue de la tenue mécanique que de la reproductibilité. Quoiqu'il en soit, les technologues ne s'attendent pas à descendre très au dessous de cette limite de $\epsilon_r = 2$, ce qui signifie que, dans la famille technologique actuelle du CMOS, les capacités (et par conséquent les délais) seront inexorablement augmentés avec l'intégration.

1.3.2.b.2.2 Baisse de la conductivité effective des interconnexions

En ce qui concerne les conducteurs, l'objectif est de réduire au maximum les résistances d'interconnexions. Le traditionnel aluminium utilisé pour les interconnexions, de résistivité égale à $2.7 \mu\Omega.m$, a été remplacé par du cuivre, de résistivité égale à $1.7 \mu\Omega.m$, en particulier grâce à un procédé technologique de gravure dit « damascène », qui a permis en outre de réduire encore les dimensions des conducteurs. A section constante de conducteur, on obtient donc un gain potentiel de près de 40 % sur les résistances. Il faut toutefois nuancer la valeur de ce gain :

- Il faut tenir compte des barrières métalliques que l'on doit construire autour du conducteur. Ces barrières servent à éviter un phénomène physique de diffusion du cuivre dans les diélectriques. L'inconvénient de ces barrières est qu'elles réduisent de manière significative la section effective du cuivre. Ce phénomène est d'autant plus critique que les dimensions sont réduites. Même si d'une génération technologique à la suivante, on est capable de réduire l'épaisseur de ces barrières et par conséquent leur impact négatif sur les résistances, le ratio entre la surface de barrière et celle du cuivre sur une section de conducteur ne cesse d'augmenter.
- A cette réduction des sections effective de cuivre s'ajoute enfin une réduction de conductivité du cuivre liée aux petites dimensions, due aux joints de grain du cuivre à ses interfaces.

1.3.2.c Conclusion sur les limites de l'intégration

La recherche d'intégration des circuits numériques et, par là, la volonté de franchir des étapes technologiques permettant de passer d'une génération technologique à la suivante répond à un besoin de réduction conjointe de la consommation, du coût et de la période élémentaire de fonctionnement des transistors. Dans la pratique, cela permet de répondre à des demandes de circuits diverses, soit beaucoup moins chers, soit beaucoup moins consommateurs et spacieux (applications portables), soit beaucoup plus complexes (informatique et jeux vidéos). Aujourd'hui cependant, la course à l'intégration de la technologie CMOS connaît un certain infléchissement notamment depuis la génération 45 nm. Les bénéfices obtenus dans le FEOL sont plus incertains qu'auparavant et la miniaturisation des interconnexions dans le BEOL pose de réels problèmes de performances. De plus les nouvelles étapes technologiques à franchir font prévoir des coûts tels que les investisseurs ne sont plus très sûrs de rentrer dans leurs frais. Les consortiums des principaux fournisseurs de puces évoqués ci-avant et la baisse du nombre effectif de fabricants sont une illustration de cette inquiétude.

On peut penser qu'on est aujourd'hui à un carrefour entre les technologies CMOS « classiques » et les nouveaux challenges architecturaux [ITRS, 2009], dits « More than Moore » : interconnexions sans fils pour les plus courtes, interconnexions optiques pour les plus longues, nanotubes de carbone, intégration 3D,...

II Description comportementale des interconnexions

Dans tout ce chapitre introductif, on se limite, par souci de clarté, à la description d'une interconnexion isolée (on se limitera à des définitions se limitant à des dispositifs 2 ports et c'est dans le chapitre 3, entièrement dédié à une modélisation analytique complexe de réseaux de N interconnexions intégrées, qu'on en donnera une généralisation des définitions).

II.1 Réponse d'un dispositif linéaire hyperfréquences

II.1.1 Paramètres ABCD, paramètres intrinsèques

Lorsqu'on s'intéresse de manière globale à la réponse d'un dispositif deux ports (quadripôle), on peut définir une réponse **intrinsèque** au sens où elle ne dépend pas des conditions de charge aux interfaces (ports) du dispositif. Cette réponse peut s'exprimer à l'aide des tensions et des courants présents aux interfaces. On définit ainsi la matrice des paramètres ABCD, ou matrice « chaîne », de la réponse du dispositif.

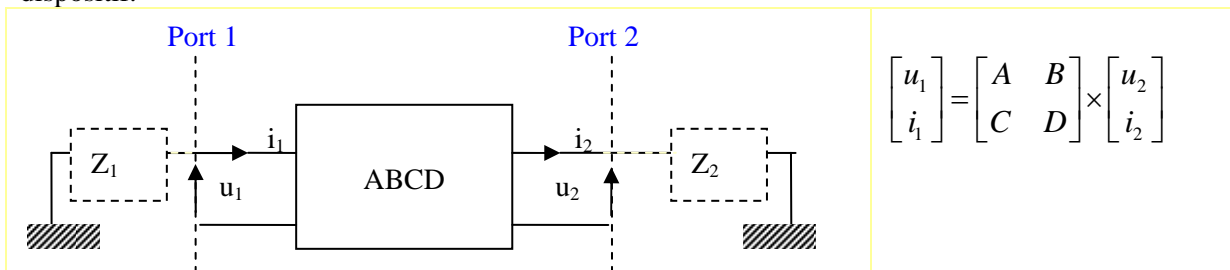


Figure II.1 : Matrice chaîne d'un dispositif 2 ports

Si ce dispositif est passif et réciproque (les matériaux impliqués sont isotropes), comme c'est le cas pour les interconnexions, alors il possède la propriété exprimée par la Relation [1- 4].

$$AD - BC = 1$$

Relation [1- 4]

Par conséquent, la matrice chaîne inverse s'écrit :

$$\begin{bmatrix} u_2 \\ i_2 \end{bmatrix} = \begin{bmatrix} D & -B \\ -C & A \end{bmatrix} \times \begin{bmatrix} u_1 \\ i_1 \end{bmatrix} \quad \text{ou} \quad \begin{bmatrix} u_2 \\ -i_2 \end{bmatrix} = \begin{bmatrix} D & B \\ C & A \end{bmatrix} \times \begin{bmatrix} u_1 \\ -i_1 \end{bmatrix}$$

Relation [1- 5]

La caractérisation intrinsèque d'un dispositif à l'aide des courants et des tensions aux interfaces peut également être faite avec les matrices de paramètre Z et Y, dont les définitions sont données ci-dessous :

$$\begin{bmatrix} u_1 \\ u_2 \end{bmatrix} = [Z] \times \begin{bmatrix} i_1 \\ i_2 \end{bmatrix} \quad \begin{bmatrix} i_1 \\ i_2 \end{bmatrix} = [Y] \times \begin{bmatrix} u_1 \\ u_2 \end{bmatrix}$$

II.1.2 Paramètres S et paramètres T

Il existe une autre manière de décrire un dispositif qui tient compte non seulement de ses caractéristiques intrinsèques mais aussi des caractéristiques extrinsèques au dispositif telles que les charges présentes à ses interfaces.

La réponse du dispositif peut s'exprimer à l'aide du concept d'ondes de répartition [Kurokawa, 1965] qui fait apparaître des ondes incidentes (ondes entrantes) a_i et émergentes b_i (ondes sortantes) aux

interfaces. Les ondes de répartition sont homogènes à des racines carrées de Watt, elles représentent donc des grandeurs découlant de la puissance d'un signal. Les ondes de répartition peuvent être liées entre elles de différentes manières, notamment à l'aide des matrices des paramètres S et des paramètres T, dont la définition est donnée ci-dessous.

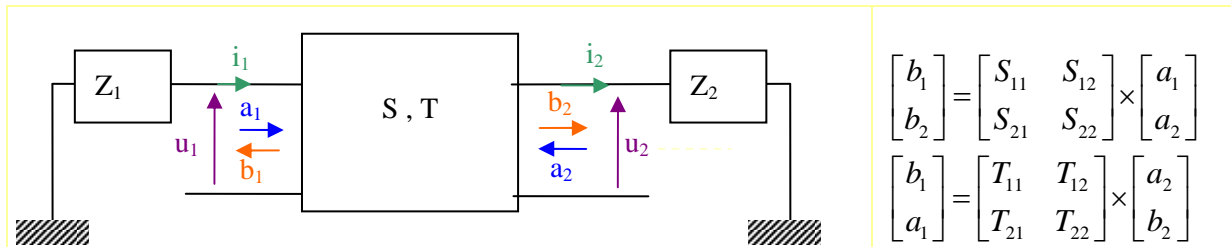


Figure II.2 : Matrice des paramètres S et des paramètres T d'un dispositif 2 ports

La matrice des paramètres S (scattering parameters) est l'outil de caractérisation typique de la réponse des dispositifs radiofréquences et hyperfréquences. Pour un dispositif réciproque : on a $S_{12}=S_{21}$.

Remarque 1: Les relations de passages entre les matrices ABCD, Z, Y, S et T sont données en Annexe 13.

Remarque 2: Il faut noter que, comme évoqué ci-avant, les paramètres S et T dépendent aussi d'éléments extrinsèques, ce qui implique que le comportement d'un même dispositif peut être décrit par plusieurs jeux différents de paramètres S (resp. T) qui seront associés respectivement aux charges présentes aux interfaces (les paramètres S et T sont toujours référencés à une valeur d'impédance externe).

II.2 Sources des données sur les interconnexions

Les principales sources de données sur des dispositifs électroniques en général, et sur les interconnexions en particulier, sont la mesure d'une part et la modélisation d'autre part. L'utilisation de ces deux sources de données (comme dans la plupart des domaines scientifiques) permet de confirmer ou d'infirmer des modèles de comportement et par là de les affiner.

Dans le cas particulier des circuits intégrés, les mesures sont souvent faites in situ, c'est-à-dire qu'elles sont focalisées sur un dispositif particulier qui lui-même est intégré dans l'ensemble de l'empilement technologique. La mesure est donc très délicate puisqu'il faut traverser cet empilement pour accéder au dispositif et être capable d'évaluer le comportement de ce dispositif in situ pour connaître ses performances réelles dans son environnement intégré.

De plus, on cherche aussi à discriminer, lorsque c'est possible, les caractéristiques intrinsèques du dispositif lui-même de l'effet de l'environnement afin de savoir sur quel paramètre agir pour optimiser un fonctionnement donné.

Enfin, il faut noter que dans la gamme de fréquences visée (jusqu'à plusieurs dizaines de GHz), la moindre incertitude sur la géométrie ou sur les matériaux peut faire aboutir à des modélisations ou des interprétations plus ou moins erronées. Un tronçon d'interconnexion de quelques μm par exemple peut créer une modification significative de la phase ou de l'atténuation du signal. Une mauvaise prise en compte de l'introduction d'une couche mince d'isolant dans l'empilement est un autre cas typique d'erreur d'interprétation. Une couche de diélectrique, aussi mince soit elle (quelques nanomètres par

exemple), peut en effet modifier de façon très significative les admittances effectives globales dans le diélectrique. Une illustration de ce phénomène sera donnée dans le chapitre 3 (§ VI.2).

Ainsi, c'est en se basant sur une convergence de la mesure, de la simulation électromagnétique (EM) et des modèles physiques connus que l'on est capable d'appréhender le comportement le plus probable des dispositifs mesurés.

Parfois, on peut même faire appel à des modèles mathématiques génériques pour valider certains comportements, comme par exemple les relations de Bayard-Bode, dont la définition et l'utilisation sont développées dans le chapitre 3 (§ III.4): la difficulté à exploiter des données brutes conduit au besoin de construire des modèles robustes et précis pour des analyses plus poussées du comportement des interconnexions.

Remarque : En Annexe 2, on donnera les moyens d'obtention des données sur les interconnexions. On décrira les procédures de mesures utilisées. On précisera également les outils de simulation électromagnétique choisis. On soulignera le caractère parfois incertain des sources de données disponibles.

II.3 Expression analytique de la réponse d'une interconnexion intégrée en tant que ligne de propagation

La fonction de ligne de propagation peut correspondre à différentes types d'architectures, par exemple bifilaire, coplanaire, micro ruban, triplaque,... [Combes, 1996]. Dans ce paragraphe, une interconnexion est décrite comme une ligne de propagation sans préciser à quel type de structure particulier on s'intéresse.

II.3.1 Définition fonctionnelle d'une interconnexion

Une interconnexion est un guide d'onde.

Elle est caractérisée par une impédance (caractéristique) Z_c et un exposant de propagation γ :

- Z_c est défini comme le rapport entre le champ électrique propagé \vec{E} et le champ magnétique propagé \vec{H} .
- γ exprime l'atténuation des champs \vec{E} et \vec{H} .

Les champs électriques $\vec{E}(r,t)$ et magnétiques $\vec{H}(r,t)$, grandeurs vectorielles variables dans le temps t et dans l'espace, de base r , et susceptibles de se propager dans toutes les directions en vertu des propriétés de l'électromagnétisme (modèles de Maxwell).

Ces deux champs peuvent se propager suivant différents modes. Si c'est le cas, pour chacun des modes M_0, M_1 , etc., on peut définir les doublets $(Z_{c1}, \gamma_1), (Z_{c2}, \gamma_2)$, etc.

La propagation d'une onde électromagnétique qui se développe selon un mode dit TEM (Transversal Electric and Magnetic Fields) traduit le fait que les champs électrique \vec{E} et magnétique \vec{H} qui composent l'onde, sont contenus dans le plan perpendiculaire à la direction de propagation. Ainsi, si l'onde se propage selon l'axe z d'un repère cartésien (o,x,y,z) , les composantes des champs E et H selon cet axe sont nulles : $H_z = 0$ et $E_z = 0$.

Lorsque la propagation est du type TEM (pour Transversal Electric and Magnetic Fields) ou quasi-TEM, il n'y a plus qu'un mode et l'interconnexion peut être entièrement caractérisée par le couple (Z_c, γ) , appelés paramètres caractéristiques (Figure II.3).

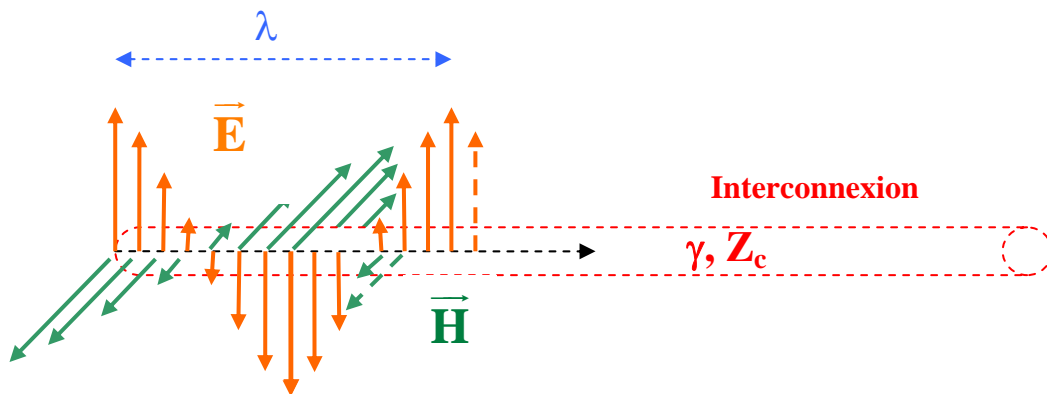


Figure II.3 : Illustration de la propagation TEM d'une onde de longueur λ le long d'une interconnexion

Dans le cas des interconnexions des circuits numériques intégrés des générations sub-65 nm, les pertes sont suffisamment faibles pour que l'on puisse faire cette hypothèse de propagation quasi TEM [Lacrevaz, 2005].

Remarque : en Annexe 3, on précise les définitions des modes de propagation TEM et quasi-TEM

II.3.2 Modélisation électrique d'une interconnexion

Dans cette hypothèse de propagation quasi TEM, les interconnexions peuvent être modélisées par leur paramètres électriques linéiques RLCG (Figure II.4), dit également paramètres « primaires » de l'interconnexion.

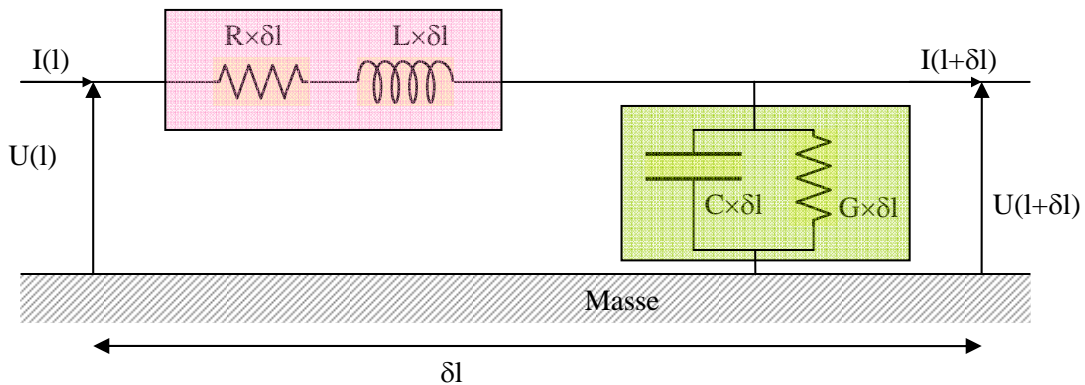


Figure II.4 : Modèle électrique équivalent d'une ligne de transmission de longueur infinitésimale δl

Dans ce cas les paramètres caractéristiques s'écrivent :

$$\gamma = \sqrt{(R + jL\omega)(G + jC\omega)} \quad Z_c = \sqrt{\frac{R + jL\omega}{G + jC\omega}}$$

Relation [1- 6]

II.3.3 Matrice chaîne d'une interconnexion

Une interconnexion a pour vocation de transmettre un signal entre deux composants. Afin d'analyser sa faculté à transmettre ce signal, on peut la modéliser par une ligne de transmission de longueur l alimentée à une extrémité par un générateur G et fermée à l'autre extrémité par une impédance Z_L , comme représenté en Figure II.5.

Afin d'assurer la transmission du signal (tension ou courant), la ligne est composée d'au moins deux éléments conducteur en général longilignes. Ces deux conducteurs sont la ligne de transmission elle-même et la référence de potentiel (référéncée à la masse), séparés par un isolant appelé diélectrique.

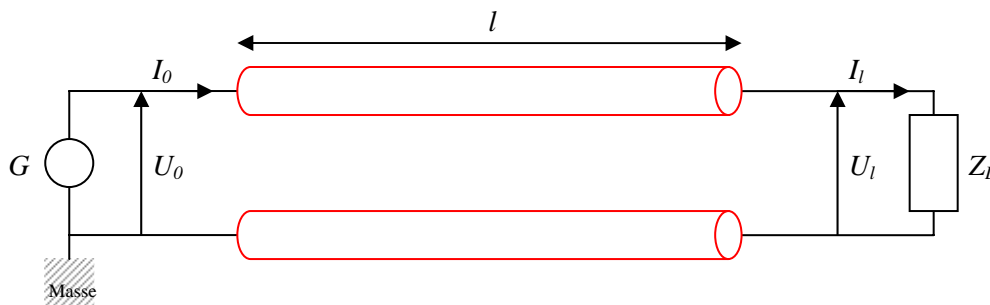


Figure II.5 : Schéma fonctionnel d'une ligne de transmission

La matrice chaîne de l'interconnexion de longueur l qui relie les tensions et courants en entrée U_0 et I_0 avec les tensions et courants en sortie U_1 et I_1 s'écrit :

$$ABCD = \begin{bmatrix} U_0 \\ I_0 \end{bmatrix} \begin{bmatrix} U_1 \\ I_1 \end{bmatrix}^{-1} = \begin{bmatrix} \frac{e^{\gamma l} + e^{-\gamma l}}{2} & \frac{e^{\gamma l} - e^{-\gamma l}}{2} \times Z_c \\ \frac{e^{\gamma l} - e^{-\gamma l}}{2} / Z_c & \frac{e^{\gamma l} + e^{-\gamma l}}{2} \end{bmatrix} = \begin{bmatrix} \cosh(\gamma l) & \sinh(\gamma l) \times Z_c \\ \sinh(\gamma l) / Z_c & \cosh(\gamma l) \end{bmatrix}$$

Relation [1- 7]

II.3.4 Modélisation électrique d'un réseau d'interconnexions couplées

Les champs électromagnétiques propagés par une ligne ont une influence significative sur les éléments présents dans son voisinage : si l'on place plusieurs lignes de transmission dans un voisinage immédiat, une interaction électromagnétique se produit entre elles.

En termes électriques, on peut décrire ces interactions en termes de paramètres électriques de couplage. Les champs électrique et magnétique produits par l'une des deux lignes font apparaître respectivement des accumulations de charges d'une part et des courants induits d'autre part sur l'autre ligne.

La Figure II.6 illustre ces phénomènes de couplages mutuels dans le cas de deux interconnexions couplées.

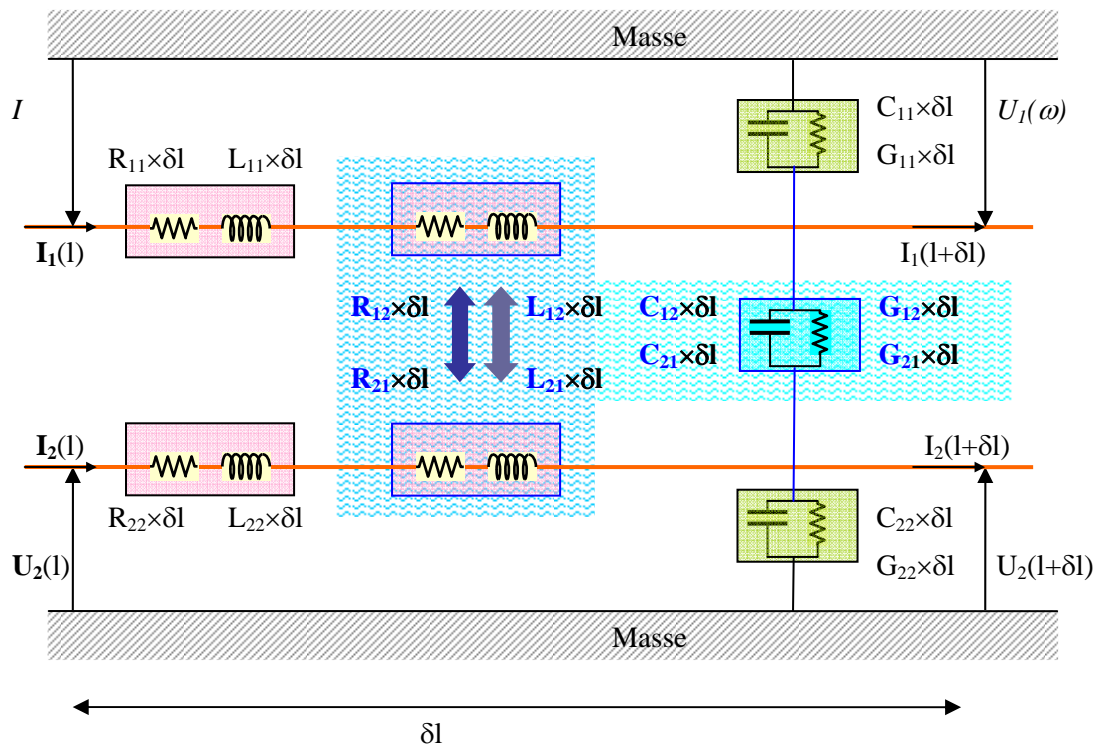


Figure II.6 : Modèle électrique équivalent deux interconnexions couplées

La proximité des lignes fait apparaître des capacités et des inductances mutuelles liés à des couplages répartis le long des lignes. L'effet de ces couplages augmente :

- avec la proximité
- avec la longueur de couplage

De plus ces couplages ont une influence sur les répartitions des courants dans les conducteurs et donc sur leur résistance effective. On définit ainsi également des résistances mutuelles qui traduisent cet effet : l'existence de force de Lorentz modifie la distribution des charges électriques dans le conducteur et fait ainsi varier la section effective de ce conducteur.

Enfin, il peut y avoir enfin des pertes diélectriques entre les deux conducteurs voisins caractérisés par la conductance mutuelle.

En bref, l'ajout de lignes voisines va donc modifier les paramètres électriques $RLCG$ de la ligne isolée mais en plus elle va générer des paramètres de couplage R_m , L_m , C_m , G_m avec les lignes voisines.

II.4 Analyse systémique des performances des interconnexions

II.4.1 Description des performances des interconnexions

II.4.1.a Critères de performances pour la transmission de signaux numériques

Le signal numérique se compose d'une suite de niveaux hauts et bas, dont les fronts montants ou descendants doivent être les plus raides possibles. En traversant les composants actifs d'une part et les passifs d'autre part ces niveaux logiques peuvent être dégradés.

L'interconnexion peut être perçue comme un canal de propagation entre deux composants actifs (inverseurs CMOS par exemple pour les circuits numériques récents) comme représenté schématiquement en Figure II.7.

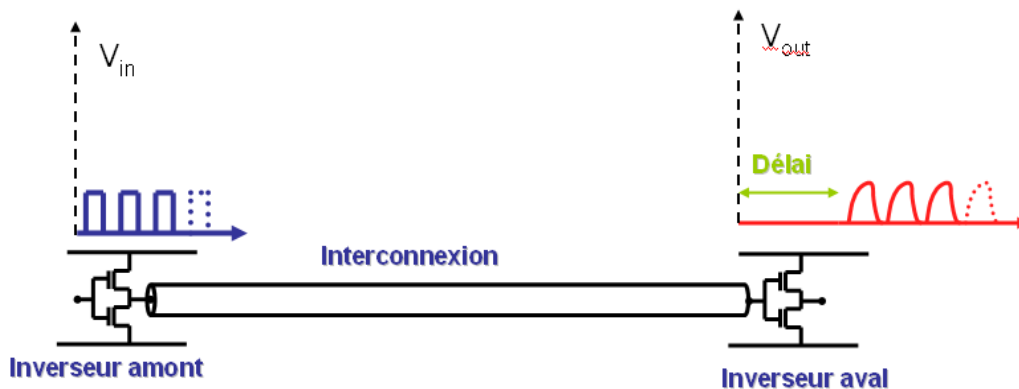


Figure II.7 : Représentation schématique d'une interconnexion en tant que canal de propagation

Il y a au moins trois caractéristiques de ce canal qui vont déterminer le bon fonctionnement du circuit :

1. La largeur de bande
2. Le retard
3. La sensibilité aux interférences

II.4.1.a.1 Largeur de bande

Premièrement, la réponse de ce canal est généralement du type passe bande, voire même passe bas. Le filtrage passe bas est essentiellement conditionné par le produit RC et la largeur de bande diminue avec RC . On montre cependant, à la fin de ce chapitre, que la largeur de bande dépend également de l'inductance L et qu'elle a tendance à augmenter avec L .

D'un point de vue pratique, ce filtrage passe bande conditionne les temps de transitions (la raideur des fronts) des niveaux logiques transmis, et par conséquent la période élémentaire du signal numérique et de là, la capacité du canal. En outre, l'augmentation de ces temps de transition est susceptible d'augmenter la consommation du circuit, notamment à cause des pertes par court-circuit [Veendrick, 1984] (les deux inverseurs complémentaires CMOS sont partiellement passant durant la transition) comme illustré en Figure II.8.

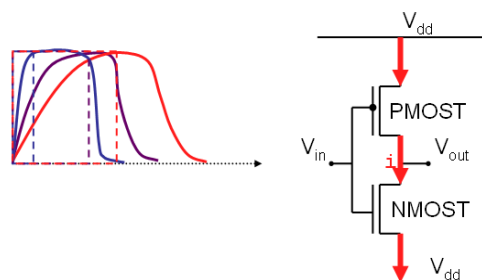


Figure II.8 : Représentation schématique d'un inverseur CMOS illustrant le problème de perte par court-circuit lors des transitions du signal d'attaque au niveau des grilles de transistors

II.4.1.a.2 Retards

Cette réponse peut également introduire des retards. Un retard pur n'entraîne pas de limitation a priori de la capacité du canal mais, à l'échelle du circuit, il pose des problèmes de synchronisation. En effet pour que le séquençage des opérations numériques soit cohérent, il faut que l'horloge globale soit plus lente que le retard maximum introduit par les interconnexions afin que tous les niveaux logiques soient stabilisés aux instants d'horloge.

Pour un bus de donnée asynchrone par exemple, ce sont uniquement les temps de transitions qui déterminent le débit maximum. A contrario, à l'échelle globale d'un circuit, dans lequel véhiculent des signaux de données, de séquençage et d'horloge, ce sont à la fois les temps de transitions et les retards qui conditionnent la rapidité effective des circuits.

II.4.1.a.3 Sensibilité aux interférences

Ce canal de propagation peut être victime d'interférences. C'est particulièrement le cas pour les interconnexions des générations les plus récentes, victimes de niveaux de diaphonie importants : les interconnexions adjacentes et parallèles à l'intérieur d'un même niveau métal interfèrent les unes avec les autres. Ce phénomène est du à l'augmentation des couplages mutuels (essentiellement capacitifs) avec l'augmentation de la densité d'intégration. La première conséquence de ce phénomène est une perte de robustesse du signal transmis qui se traduit par une augmentation du taux d'erreur sur les niveaux logiques reçus.

Ensuite, cette augmentation du couplage crée une augmentation du produit RC global perçu (la capacité effective perçue devient la somme de la capacité propre de l'interconnexion et des capacités mutuelles avec les conducteurs voisins), qui génère une détérioration supplémentaire des pentes.

Enfin, cette diaphonie peut créer des phénomènes de dépassement ou « overshoot » en anglais, susceptibles de dégrader les composants CMOS et donc de nuire à la longévité des circuits (Figure II.9). L'overshoot est défini ici comme le dépassement de la valeur finale (stationnaire) de la réponse indicielle, et généralement exprimé en pourcentage de cette valeur finale.

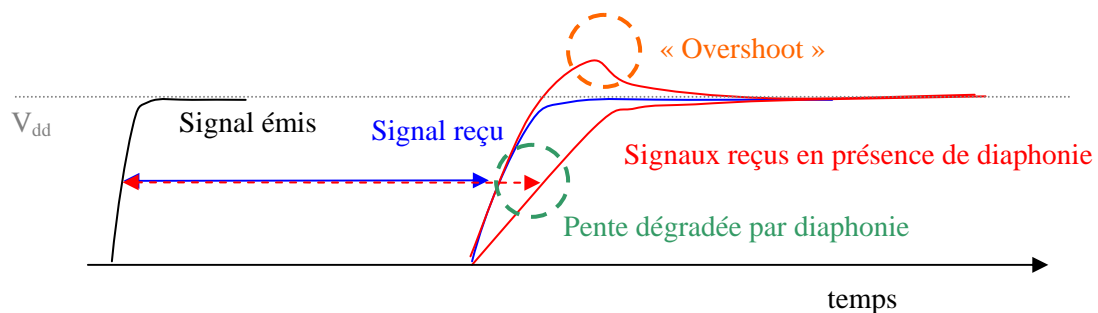


Figure II.9 : Représentation schématique des signaux dégradés par diaphonie

II.4.1.b Interprétation du filtrage apporté par les interconnexions

Tout canal de propagation passif peut être appelé filtre. Pour décrire ce filtrage, on parle parfois d'atténuation pour désigner l'impact de la partie réelle du spectre d'amplitude du canal, et de dispersion pour désigner l'impact de la partie imaginaire : l'atténuation, respectivement la dispersion, désigne le fait que chaque composante spectrale du signal émis subit une pondération de sa puissance, respectivement de sa phase.

En fait dès qu'atténuation et dispersion sont variables en fréquences, le fait de distinguer ces deux notions est ambigu : tout filtre, à un coefficient réel près, peut être considéré comme la cascade d'un filtre à phase minimal [Oppenheim, 1975] et d'un délai pur.

On peut donc discriminer l'atténuation (pure) d'une part, qui correspond à un gain constant avec la fréquence, le filtrage à phase minimale d'autre part, et le retard enfin (Cf. Figure II.10).

Pour un filtre à phase minimal, la partie réelle et la partie imaginaire du spectre d'amplitude sont intimement liées par des relations déterministes (relations de Bayard-Bode, données dans le chapitre 3, § III.4).

Il en est de même pour le module et la phase minimale du filtre. Ils conditionnent l'aspect filtrage en termes de bande passante, qui se traduit inéluctablement par un étalement du signal dans le domaine temporel, sans distinction possible entre atténuation et dispersion.

Le retard (ou délai), quant à lui se traduit simplement par une phase linéaire dans le domaine fréquentiel.

Un exemple de filtre est donné en Figure II.10. Il est décomposable en trois éléments qui suffisent complètement à caractériser ce filtre :

- un gain constant
- un filtre à phase minimale (donné par le module du spectre)
- une phase linéaire additive

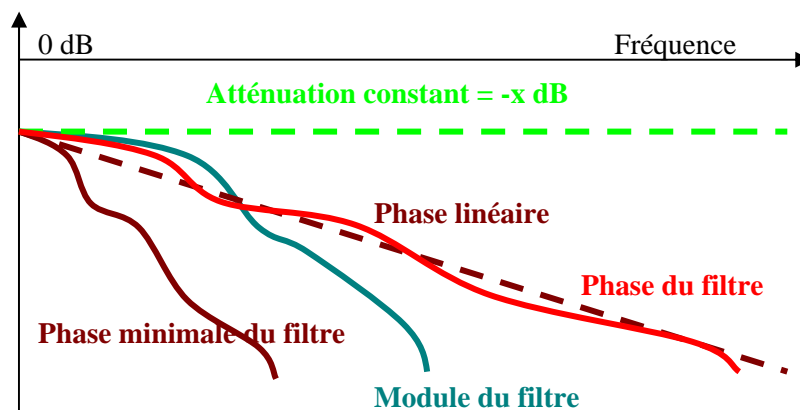


Figure II.10 : Représentation schématique d'un filtre

La discrimination de ces trois paramètres peut toutefois être difficile à mettre en œuvre et son interprétation intuitive est assez délicate. C'est pourquoi, la plupart du temps, on préfère translater les données fréquentielles dans le **domaine temporel** dans lequel on retrouve de manière explicite les critères de performances évoqués plus haut : délai, pente, niveau de diaphonie. Cet aspect sera traité dans le chapitre 3 (§ III).

Remarque : Il faut noter que l'ensemble de ces phénomènes (délais, dégradation des pentes, diaphonie) ne dépendent pas intrinsèquement du réseau d'interconnexion uniquement, mais très fortement aussi, des conditions de charges aux interfaces de ce réseau et donc des tailles de drivers employés.

II.4.2 Métriques de performances

On présente ici les métriques qui seront utilisées dans l'ensemble des études conduites dans le cadre de ce travail de doctorat.

- Le délai est défini comme le délai entre l'instant où le signal transitoire d'excitation atteint entre 50 % du niveau stationnaire du signal d'excitation et celui où le signal de sortie atteint 50 % de ce niveau (Figure II.11).
- Le temps de transition (ou rise/fall time) est défini comme le délai entre l'instant où le signal transitoire atteint entre 10 % et celui où il atteint 90 % du niveau stationnaire du signal reçu (Figure II.11).

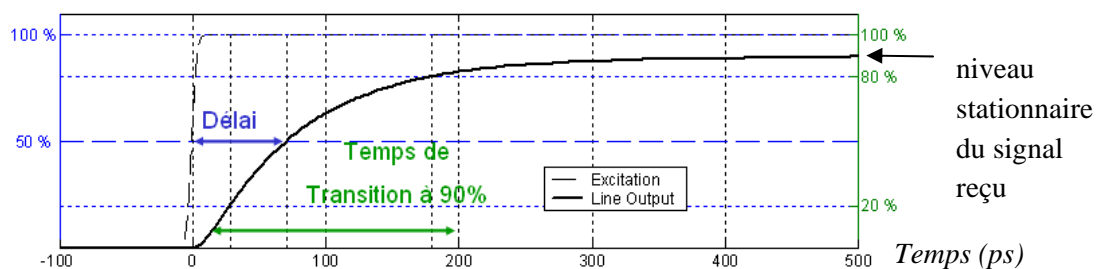


Figure II.11 : Illustration des métriques de délai et de temps de transition

- Le niveau de diaphonie (Figure II.12) est défini comme l'amplitude maximale du niveau de tension sur une ligne qui n'est pas excitée lorsque les lignes voisines sont excitées par le même niveau logique.

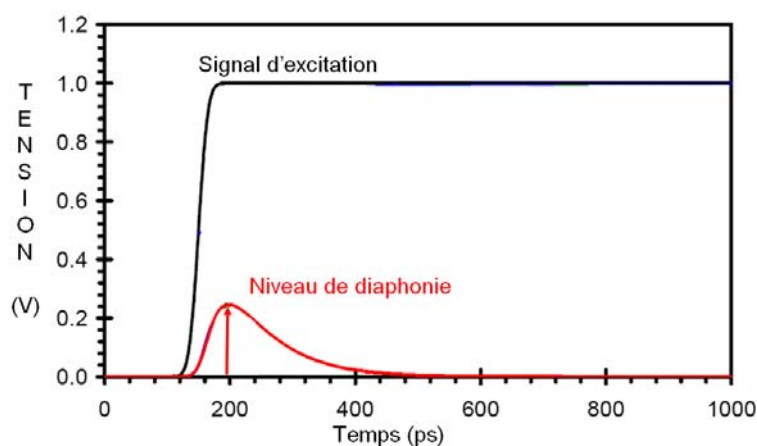


Figure II.12 : Illustration de la métrique de diaphonie

III Réponse des interconnexions des générations sub-65 nm

III.1 Réponse en tension d'une interconnexion isolée chargée par des inverseurs CMOS

III.1.1 Description fonctionnelle d'un inverseur CMOS

Les circuits numériques intégrés s'appuient depuis plusieurs décennies sur la technologie CMOS (Complementary Metal Oxide Semiconductor).

Deux transistors MOSFET, de types respectifs N et P, sont placés en série pour constituer un inverseur CMOS (les deux transistors à effet de champs sont placés de manière symétrique pour avoir la même fonction mais de manière inversée) comme représenté en Figure III.1. Lors d'une transition de l'état bas à l'état haut du niveau de tension sur les grilles des 2 inverseurs (resp. de l'état haut à l'état bas), le transistor N passe de l'état bloqué (resp. passant) à l'état passant (resp. bloqué) tandis que le transistor P passe de l'état passant (resp. bloqué) à l'état bloqué (resp. passant).

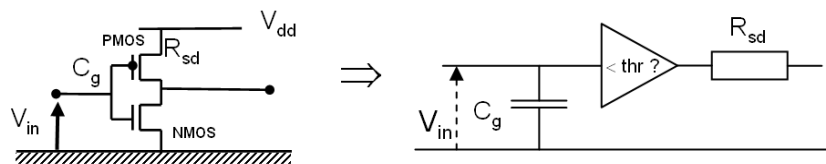


Figure III.1 : Représentation d'un inverseur CMOS et schéma électrique équivalent idéal (l'étage de test ($<thr ?$) fournit une tension de sortie $V_{out} = V_{dd}$ si $V_{in} < thr$, $V_{out} = 0$ sinon)

En première approximation, l'entrée de l'inverseur CMOS peut être modélisée par une capacité C_g : C_g est la somme des capacités de grilles mises en parallèle des deux inverseurs NMOS et PMOS, proportionnelles aux largeurs de grille W_g des transistors.

La sortie de l'inverseur CMOS quant à elle peut être modélisée par un générateur de tension V_{dd} d'impédance interne $Z_0 = R_{sd\ NMOS}$ ou $Z_0 = R_{sd\ PMOS}$ en fonction du type de transition, haut \rightarrow bas ou bas \rightarrow haut.

$R_{sd\ NMOS}$ et $R_{sd\ PMOS}$ sont respectivement les résistances source-drain des transistors NMOS et PMOS et sont inversement proportionnelles à W_g .

Remarque : Il faut noter que les transistors NMOS et PMOS ne sont pas parfaitement symétriques ne serait-ce que parce que les mobilités des électrons et des trous ne sont pas les mêmes. En agissant sur les profondeurs de dopages N ou P dans le substrat on arrive à compenser en partie cette asymétrie mais, malgré cela, les résistances $R_{sd\ NMOS}$ et $R_{sd\ PMOS}$ ne sont pas strictement égales. Cela signifie que les fronts montants et descendants en sortie des inverseurs n'ont pas tout à fait la même pente. $R_{sd\ NMOS}$ et $R_{sd\ PMOS}$ étant toutefois relativement proches, on fait parfois l'approximation: $R_{sd\ NMOS} \approx R_{sd\ PMOS} \approx R_{sd}$. Cette approximation sera faite pour les simulations effectuées dans le cadre des études présentées dans le chapitre 4.

III.1.1.a Temps de réponse d'un inverseur CMOS

La rapidité de l'inverseur dépend de l'aptitude d'un courant amont à charger une capacité aval. Si le seul critère de performance retenu est de diminuer le délai, on devrait donc chercher à augmenter le courant fourni (mais au prix d'une augmentation de la consommation et de la surface de composants actifs) et à diminuer la capacité à charger.

Pour une technologie donnée, à courant de charge constant, la capacité de grille C_g des transistors avals est proportionnelle à la largeur W_g , autrement dit à la taille de l'inverseur. On cherchera donc à diminuer la taille de l'inverseur pour diminuer le temps de charge.

D'autre part, à capacité aval constante, on cherchera à augmenter la taille de l'inverseur amont pour augmenter le courant fourni et diminuer encore le temps de charge. Une liaison rapide est donc caractérisée par un gros inverseur (grande largeur de grille) en amont et un petit inverseur (petite largeur de grille) en aval.

Si l'on ajoute comme contrainte supplémentaire d'avoir la même taille d'inverseur en amont et en aval de la connexion, on obtient une réponse constante quelque soit la taille de l'inverseur. En Figure III.2, on représente le schéma équivalent de la cascade de deux inverseurs du même type. Le temps de réponse est de l'ordre du produit $R_{sd} C_g$.

Enfin, si l'on considère le temps de transition additif τ_{switch} propre au transistor lui-même, le délai D entre deux inverseurs s'écrit comme en Relation [1- 8].

$$D = \tau_{switch} + R_{sd} C_g$$

Relation [1- 8]

En première approximation on considère que τ_{switch} est négligeable, le délai s'écrit simplement comme en Relation [1- 9].

$$D = R_{sd} C_g$$

Relation [1- 9]

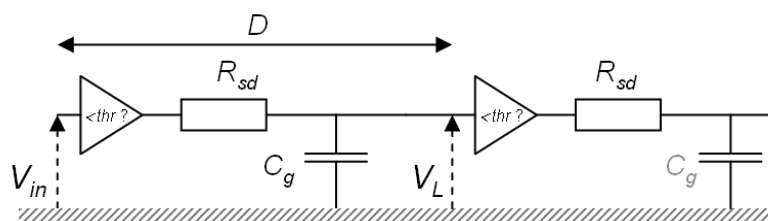


Figure III.2 : Schéma électrique équivalent d'inverseurs CMOS cascades

III.1.1.b Inverseur CMOS du nœud technologique de la génération 45 nm

Les résistances source-drain R_{sd} et les capacités de grille C_g dépendent d'une part de la technologie qui fixe les matériaux et la géométrie, notamment la longueur de grille L_g (par exemple $L_g = 45$ nm) des transistors et d'autre part de la taille de l'inverseur CMOS: la taille de l'inverseur est une spécification de la largeur de grille W_g exprimée en multiples de L_g (Figure III.3).

Ces inverseurs peuvent constituer des « drivers » d'interconnexion et/ou des répéteurs. Le savoir-faire des concepteurs les amène à associer en général de gros drivers aux interconnexions les plus longues et de petits drivers aux interconnexions les plus courtes [Farcy, 2009] :

- Une interconnexion « courte » de 25 μm sera « drivée » par exemple par un inverseur $\times 2$ ($W_g = 90$ nm), principalement parce que les délais, rise times et niveaux de diaphonie associés n'étant pas critiques, la nécessité de consommer de la surface de composant actif ne se justifie pas.
- A contrario une interconnexion « longue » de 400 μm nécessite une taille d'inverseur plus gros (par exemple $\times 20$, $\times 32$, etc...), afin d'optimiser l'adaptation entre l'inverseur et l'interconnexion qui minimisera délais, rise times et niveaux de diaphonie.

Le calcul des valeurs de C_g et R_{sd} en fonction de leur taille S_{rep} sont donnés en Relation [1- 10].

$$C_g = C_{g \times 1} \times S_{rep} \quad R_{sd} = R_{sd \times 1} \div S_{rep}$$

Relation [1- 10]

$C_{g \times 1}$ et $R_{sd \times 1}$ sont respectivement la résistance source-drain et la capacité de grille d'un inverseur de taille $\times 1$ ($W_g = L_g$).

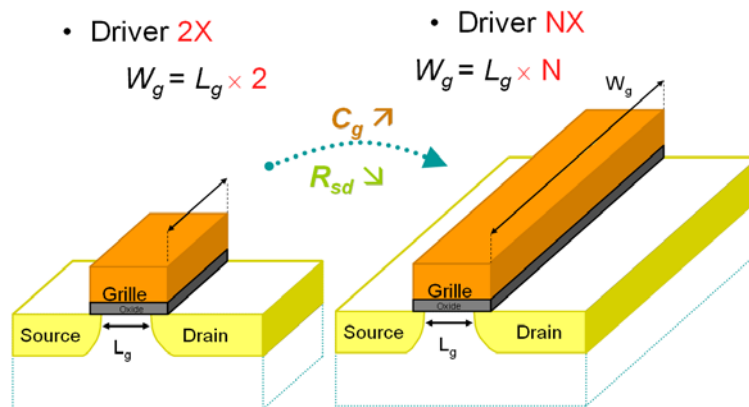


Figure III.3 : Illustration simplifiée de la taille S_{rep} des répéteurs

III.1.2 Expression générale du gain en tension d'une interconnexion en fonction des conditions de charge

Dans toute cette partie on appellera « réponse » d'une interconnexion, de paramètres caractéristiques Z_c , γ_c et de longueur l , le gain en tension $G_v = \frac{U_L}{E}$, entre un niveau d'excitation E au niveau d'un générateur d'impédance interne Z_0 en entrée et un niveau U_L sur une charge Z_L en sortie (Figure III.4).

Il existe un formalisme qui permet directement d'établir l'expression de la tension en sortie en fonction des conditions de charge et d'excitation à l'interface de l'interconnexion. Cette expression donne le gain en tension d'une interconnexion dont les charges Z_0 en entrée et Z_L en sortie sont connues (Relation [1- 17]).

III.1.2.a Détail de calcul du gain en tension

On notera Z_{in} l'impédance « vue » à l'entrée de l'interconnexion et U_0 la tension au niveau de Z_{in} comme représentés en Figure III.4. Z_{in} est simplement égale au rapport de la tension par le courant en entrée de l'interconnexion (Relation [1- 11]).

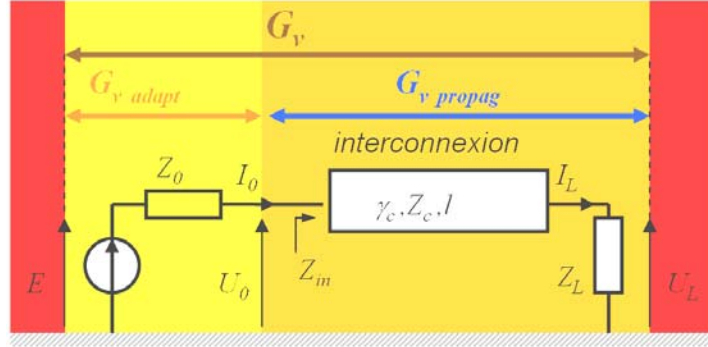


Figure III.4 : Schéma électrique équivalent d'une interconnexion excitée par un générateur de tension d'impédance interne Z_0 et chargée par une impédance Z_L

A partir de la matrice chaîne de l'interconnexion donnée en Relation [1- 7] (§ II.3.3), on peut exprimer l'impédance vue en entrée de l'interconnexion, qui dépend des caractéristiques ($Z_c, \gamma l$) de l'interconnexion elle-même mais aussi de l'impédance de charge en sortie.

1. Conformément au schéma de la Figure III.4, on pose :

$$Z_{in} = \frac{U_0}{I_0} = \frac{AU_L + BI_L}{CU_L + DI_L} \quad Z_L = \frac{U_L}{I_L}$$

Relation [1- 11]

2. On en déduit, à partir de la Relation [1- 7]:

$$Z_{in} = Z_c \times \frac{Z_L + Z_c \cdot th(\gamma_c l)}{Z_c + Z_L \cdot th(\gamma_c l)}$$

Relation [1- 12]

III.1.2.a.1 Gain de propagation

Dans le cas général, l'interconnexion introduit un gain qu'on peut définir comme un gain « de propagation » $G_{v \text{ propag}}$:

$$G_{v \text{ propag}} = \frac{U_L}{U_0}$$

Relation [1- 13]

$G_{v \text{ propag}}$, dont l'expression analytique est donnée par la Relation [1- 14], est le gain en tension entre le niveau U_0 à l'entrée de l'interconnexion et le niveau U_L en sortie de l'interconnexion (c'est-à-dire à l'entrée du driver aval).

Ce gain dépend aussi bien de l'impédance Z_{in} que des caractéristiques $Z_c, \gamma_c l$ de l'interconnexion.

$$G_{v \text{ propag}} = ch(\gamma l) - \frac{Z_c}{Z_{in}} .sh(\gamma l) = ch(\gamma l) - \frac{Z_c + Z_L.th(\gamma l)}{Z_L + Z_c.th(\gamma l)} .sh(\gamma l)$$

Relation [1- 14]*III.1.2.a.2 Gain d'adaptation*

On peut également définir un gain en tension « d'adaptation » $G_{v \text{ adapt}}$.

$$G_{v \text{ adapt}} = \frac{U_0}{E}$$

Relation [1- 15]

$G_{v \text{ adapt}}$, dont l'expression analytique est donnée par la Relation [1- 16], est le gain entre le niveau d'excitation E de l'interconnexion (à la sortie du driver amont) et le niveau U_0 en entrée de l'interconnexion.

Ce gain dépend aussi bien de l'impédance Z_{in} que de l'impédance Z_0 du générateur en entrée.

$$G_{v \text{ adapt}} = \frac{Z_{in}}{Z_{in} + Z_0} = \frac{Z_c.(Z_L + Z_c.th(\gamma l))}{Z_c.(Z_L + Z_c.th(\gamma l)) + Z_0.(Z_c + Z_L.th(\gamma l))}$$

Relation [1- 16]*III.1.2.a.3 Gain total*

La réponse globale G_v de l'interconnexion, c'est-à-dire le gain total résultant entre la tension d'excitation E et la tension U_L en entrée du driver aval se réduit à l'expression analytique donnée par la Relation [1- 17].

On voit dans cette expression que la minimisation de Z_0 (présent uniquement au dénominateur) aura tendance à maximiser le gain G_v .

$$G_v = \frac{Z_L.Z_c}{Z_c.(Z_L + Z_0).cosh(\gamma l) + (Z_c^2 + Z_L.Z_0).sinh(\gamma l)}$$

Relation [1- 17]**III.1.2.b Illustrations des gains en tension aux bornes d'une interconnexion***III.1.2.b.1 Gain en entrée/ gain en sortie*

Sur l'exemple de la Figure III.5, on voit que l'impédance d'entrée de l'interconnexion fait apparaître un premier délai entre le signal d'excitation et le niveau de tension en entrée de l'interconnexion et que la propagation dans l'interconnexion en fait apparaître un deuxième.

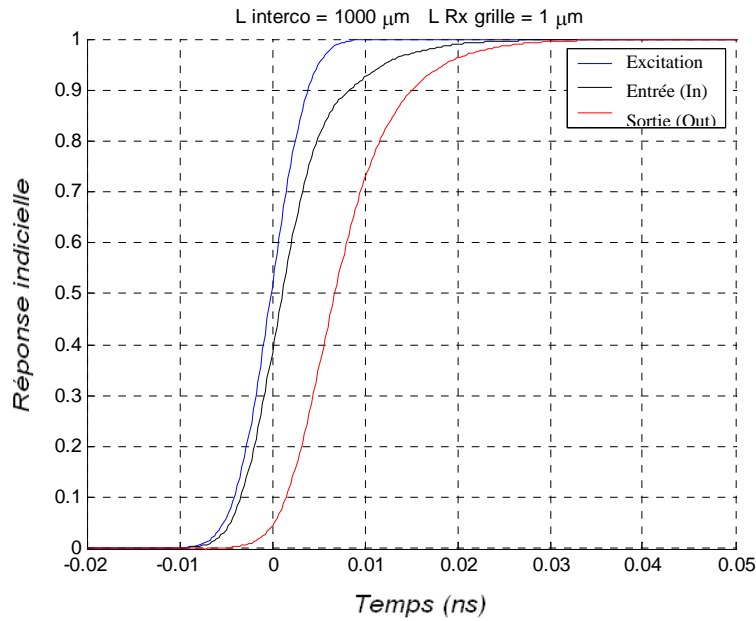


Figure III.5 : Exemple de simulation de l'effet des gains en tension d'une interconnexion sur un signal temporel en entrée et en sortie de l'interconnexion

III.1.2.b.2 Gain en sortie pour une impédance de charge infinie en sortie

Dans un circuit numérique, la capacité à transmettre des niveaux de tensions à des niveaux « hauts » ou « bas » sera conditionné à : la composante continue du gain $G_{v(\omega=0)} \approx 1$. Cette configuration est atteinte dès que le transistor de charge en sortie de l'interconnexion est suffisamment petit : dans ce cas son impédance est assimilable à une impédance infinie en basses fréquences (comme illustré en Figure III.6).

- Dans le cas particulier d'une charge infinie en sortie de l'interconnexion ($Z_L = \infty$) et d'une impédance d'entrée adaptée ($Z_0 = Z_c$), les expressions des gains s'écrivent conformément à la Relation [1- 18].

$$G_{v\text{adapt}} = \frac{1}{1 + th(\gamma l)} G_{v\text{propag}} = \frac{1}{ch(\gamma l)} G_v = e^{-\gamma l}$$

Relation [1- 18]

- Enfin si l'on pose comme condition à l'entrée $Z_0 = 0$, on obtient :

$$G_{v\text{adapt}} = 1 \text{ et } G_v = \frac{1}{ch(\gamma l)}$$

Relation [1- 19]

On approche donc la condition $G_{v(\omega=0)} \approx 1$ lorsque :

- il n'y a pas de perte diélectrique dans l'isolant (entre l'interconnexion et la masse).
- on charge l'interconnexion par une petite résistance en entrée et une petite capacité en sortie, comme représenté en Figure III.6.

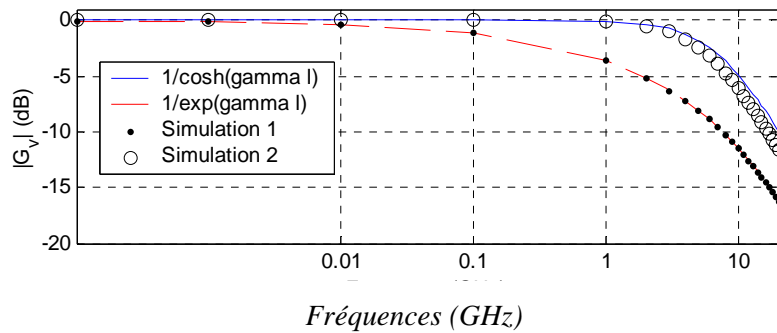


Figure III.6 : Exemple de réponse fréquentielle. Simulation 1: une interconnexion 45 nm ($l=200 \mu\text{m}$, $l/2 \text{ pitch}=50 \text{ nm}$) est interfacée par une impédance parfaitement adaptée en entrée et un driver 45 nm $\times 1$ (C_g petit) en sortie ; Simulation 2 : l'interconnexion est interfacée par un driver 45 nm $\times 64$ (R_{sd} petit) en entrée et un driver 45 nm $\times 1$ en sortie.

Remarque: Les démonstrations des Relation [1- 18] et Relation [1- 19] sont données en Annexe 11.

III.1.2.c Conclusion sur les charges aux interfaces des interconnexions

Les interconnexions dans les circuits numériques ont pour fonction de transmettre des niveaux de tension logique entre composants actifs.

Une manière d'optimiser cette transmission est de maximiser le gain en tension de l'interconnexion sur au moins deux critères principaux.

- Le gain continu (fréquence 0) doit être le plus proche de l'unité afin de transmettre les niveaux logiques en toute intégrité.
- Ensuite, la bande passante de ce gain doit être le plus large possible afin permettre la transmission de signaux rapides.

L'expression analytique d'une interconnexion chargée à ses interfaces fait apparaître que ces conditions sur le gain dépendent très fortement des charges elles-mêmes, en l'occurrence les drivers CMOS.

La Relation [1- 19] donne le gain optimal en termes de bande passante : l'impédance d'interface amont de l'interconnexion doit être aussi faible possible tandis que l'impédance d'interface aval doit être la plus forte possible.

L'interconnexion ayant ses propres paramètres électriques, on pourra raisonner de manière relative : par exemple, si l'impédance d'entrée est résistive et celle de sortie est capacitive, alors on cherchera à avoir une résistance d'entrée faible, devant celle de l'interconnexion, et une capacité de sortie faible, devant celle de l'interconnexion.

III.1.3 Tendence de l'effet de la taille des drivers sur les performances des interconnexions

Il a été mis en évidence ci-dessus que les interconnexions se comportent globalement comme des filtres passe-bas.

Si l'on considère la réponse fréquentielle, on cherchera à maximiser la fréquence de coupure de ces filtres et par conséquent la bande passante des interconnexions. En effet, les temps de transitions (ou rise/fall times), et par conséquent le délai, seront d'autant plus court que la bande passante est large.

La Relation [1- 17] montre que, dès que le gain lié à l'interconnexion est non nul, on ne peut plus identifier un gain lié aux charges d'une part et un gain lié aux paramètres de l'interconnexion d'autre part. La maximisation du gain sur toute la gamme de fréquence de la bande passante va dépendre :

- non seulement des caractéristiques de l'interconnexion d'une part et des inverseurs d'autre part,
- mais également de l'adaptation des paramètres de l'inverseur à ceux de l'interconnexion.

Dans le chapitre 4 de ce travail de thèse, on évaluera donc ce gain par simulation numérique.

Des exemples de résultats de simulation sont donnés en Figure III.7 et Figure III.8 :

- La Figure III.7 met en évidence qu'il existe une taille de driver fonctionnellement avantageuse ($\times 16$ dans l'exemple) entre des drivers trop gros (e.g. $\times 512$) et des drivers trop petits (e.g. $\times 1$), qui minimise le délai et les temps de transition. La réponse en entrée du gros driver est quasi immédiate car l'impédance d'entrée R_{sd} est minimale tandis qu'en sortie le temps de montée est très long à cause d'une grande capacité de grille à charger. Les caractéristiques des réponses en entrée et en sortie du petit driver sont à contrario inverses.

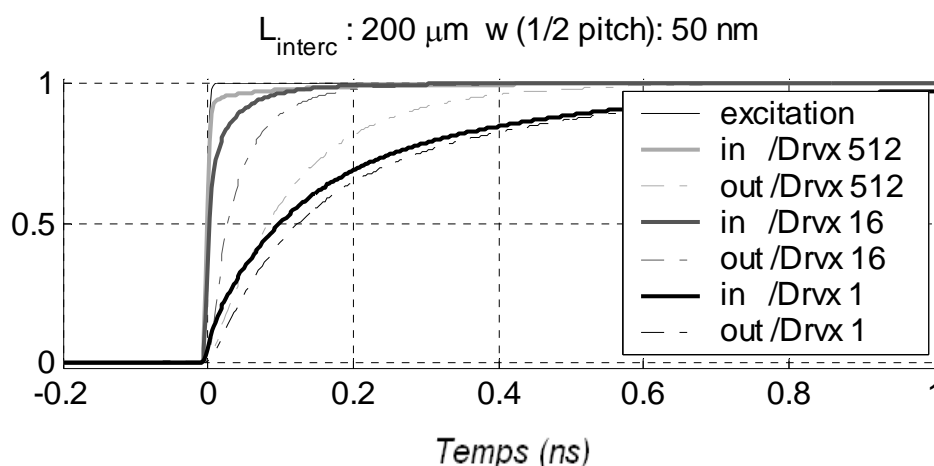


Figure III.7 : Exemple de réponse indicielle d'une interconnexion de la génération 32 nm ($l=200 \mu m$, $1/2 \text{ pitch} = 50 \text{ nm}$) pour différentes tailles de drivers aux interfaces de l'interconnexion

- La Figure III.8 met en évidence quant à elle que les drivers les plus gros minimisent en général le niveau de diaphonie.

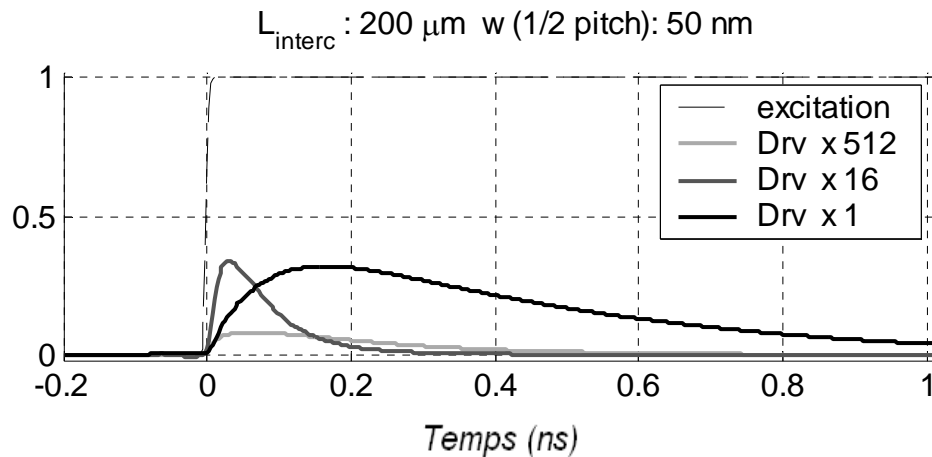


Figure III.8 : Exemple de niveau de diaphonie sur une interconnexion de la génération 32 nm ($l=200 \mu\text{m}$, $1/2 \text{ pitch} = 50 \text{ nm}$) pour différentes tailles de drivers aux interfaces des interconnexions (identiques en entrée et en sortie)

III.2 Effet de la longueur d'interconnexion sur le délai

III.2.1 Approximation analytique des délais

On montre (Cf. Annexe 11) qu'on peut établir les expressions analytiques complètes des tendances asymptotiques des réponses fréquentielles en tensions des interconnexions. Ces expressions permettent d'obtenir:

- l'expression d'une fréquence de transition (qui dépend directement de la longueur l de l'interconnexion)
- un critère de discrimination sur la longueur l_0 (Relation [1- 20]) entre une tendance basses fréquences (LF) et la tendance hautes fréquences (HF).

$$\text{Si } l \gg l_0 = \frac{1}{R_l} \sqrt{\frac{L_l}{C_l}} \text{ alors } G_v(f) \approx G_{vHF}(f) \quad \text{Si } l \ll l_0 = \frac{1}{R_l} \sqrt{\frac{L_l}{C_l}} \text{ alors } G_v(f) \approx G_{vLF}(f)$$

Relation [1- 20]

Des exemples de valeurs numériques de l_0 sont donnés en Tableau 1.

w (nm)	90	70	50
R ($\Omega/\mu\text{m}$)	2.9	3.9	6.1
L (fH/ μm)	500	520	540
C (aF/ μm)	180	195	230
l_0 (μm)	73	53	32

Tableau 1 : Evolution des paramètres linéiques RLC et du paramètres de discrimination l_0 entre les tendances LF et HF de la réponse des interconnexions pour différentes valeurs du $1/2$ pitch des interconnexions du niveau métal intermédiaire

Les expressions analytiques $G_{v_{LF}}(f)$ et $G_{v_{HF}}(f)$ de ces deux tendances sont données respectivement en Relation [1- 21] et Relation [1- 23].

1. La tendance LF est celle d'un filtre à gain constant introduisant un délai D_{LF} , donné en Relation [1- 22].

Le gain « basses fréquences », s'écrit :

$$G_{v_{LF}}(f) = \left| e^{-\frac{l}{2} \times R_1 \cdot \sqrt{\frac{C_1}{L_1}}} \right| \cdot e^{-i(l\sqrt{4\pi^2 L_1 C_1})f}$$

Relation [1- 21]

A ce gain « basses fréquences », on peut associer le délai D_{LF} inhérent à un phénomène de propagation.

$$D_{LF} = \sqrt{L_1 C_1} l$$

Relation [1- 22]

2. La tendance HF est celle d'un filtre passe-bas dont l'expression de la fréquence de coupure à -6dB est donnée en Relation [1- 24].

Le gain « hautes fréquences », s'écrit:

$$G_{v_{HF}}(f) = \left| e^{-(\sqrt{\pi R_1 C_1} \cdot \sqrt{f})l} \right| \cdot e^{-i(\sqrt{\pi R_1 C_1} \cdot \sqrt{f})l}$$

Relation [1- 23]

A ce gain « hautes fréquences », on peut associer une fréquence de coupure f_{c0} et le délai D_{HF} correspondant :

$$f_{c0} \approx \frac{1}{2\pi R_1 C_1 l^2} \quad D_{HF} \approx \frac{1}{2\pi f_{c0}} = R_1 C_1 l^2$$

Relation [1- 24]

Par analogie avec un filtre RC localisé on peut donner une approximation du délai D_{HF} (Relation [1- 24]) fonction de la fréquence de coupure.

$$f_{c0} \approx \frac{1}{2\pi R_1 C_1 l^2} \quad D_{HF} \approx \frac{1}{2\pi f_{c0}} = R_1 C_1 l^2$$

Relation [1- 25]

L'évolution de la réponse en tension d'une interconnexion typique de la génération CMOS 45 nm en fonction de la fréquence est illustrée en Figure III.9.

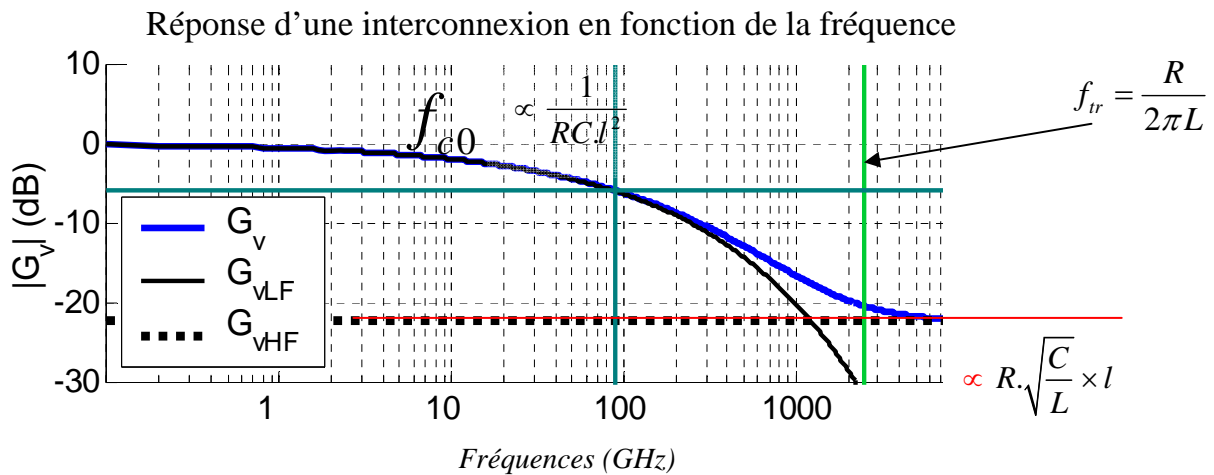


Figure III.9 : Exemple typique de réponse (gain en tension) d'une interconnexion et ses tendances asymptotiques

Ces approximations mettent en évidence la transition entre un comportement linéaire de la variation du délai avec la longueur pour les interconnexions les plus courtes vers un comportement quadratique pour les interconnexions les plus longues. Dans ce cas là, la valeur du délai s'apparente à celle d'un élément RC localisé.

La Figure III.10 montre une comparaison du délai calculé simplement avec la Relation [1- 24] et du délai évalué par simulation.

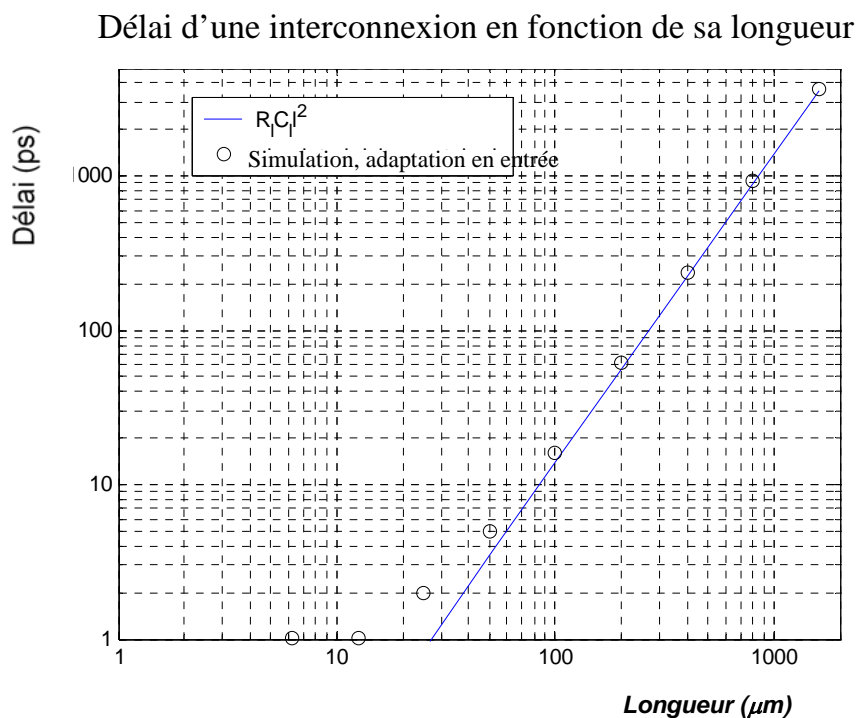


Figure III.10 : Comparaison des évolutions du délai calculé analytiquement et du délai évalué par simulation ($1/2 \text{ pitch} = 50 \text{ nm}$, $Z_0 = Z_c$, $Z_L = C_{g \times l}$) en fonction de la longueur d'interconnexion.

Remarque : l'augmentation des délais par rapport à la tendance en RC est due à la présence des drivers d'interconnexions, dont l'effet sur le délai devient prédominant lorsque les interconnexions sont courtes (dans l'exemple de la Figure III.10, en dessous de 100 μm environ).

III.2.2 Conclusion sur la minimisation des délais

Comme pour tout canal de propagation, on cherchera à augmenter la bande passante pour augmenter la capacité du canal de propagation, soit, d'un point de vue opérationnel, le débit maximal possible. L'analyse présentée dans ce paragraphe sert à mettre en évidence les leviers sur lesquels on pourra s'appuyer pour orienter le comportement des interconnexions.

Cette analyse met notamment en évidence un changement de tendance de la bande passante qui dépend à la fois de la fréquence et de la longueur.

- 1) Premièrement, il faut souligner que la bande passante dépend principalement du produit RC , en particulier pour les interconnexions les plus longues.
- 2) Deuxièmement, il faut noter que la bande passante dépend également en partie de l'inductance propre L , en particulier pour les interconnexions les plus courtes. On cherchera donc, autant que possible à diminuer le produit RC qui est le principal paramètre de largeur de bande du filtre passe-bas qu'est une interconnexion.

On pourra chercher à minimiser la fréquence de transition d'une part et maximiser le gain HF d'autre part, ces 2 valeurs étant intimement liées à la maximisation du paramètre L . Dans ce cas on permet à la réponse de « sortir » de sa tendance BF de type passe-bas RC pour s'approcher d'une tendance RLC plus large bande.

III.3 Spécificités des interconnexions des circuits numériques intégrés des générations technologiques sub-CMOS 65 nm

III.3.1 Géométrie et matériaux des interconnexions des circuits numériques intégrés des générations technologiques CMOS 45 nm

Les interconnexions sont intégrées dans une structure en trois couches, symbolisant trois niveaux de métallisation dans le BEOL (Figure III.11). Les conducteurs en cuivre sont encapsulés dans des matériaux diélectriques intra- niveau et inter- niveaux (Tableau 2).

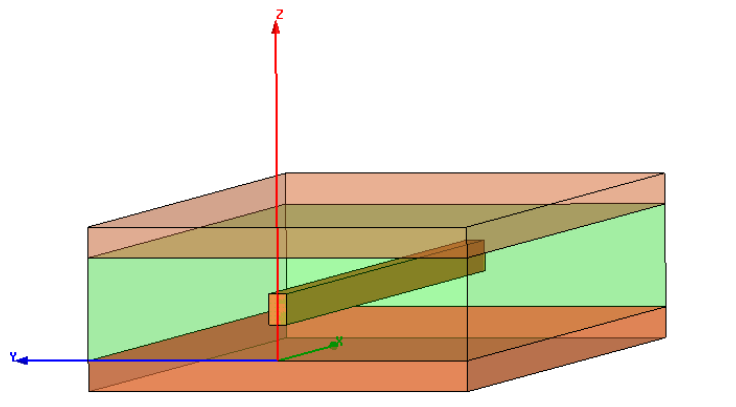


Figure III.11 : Représentation simplifiée d'une structure intégrant 3 couches de métallisation

Le réseau réel est du type Manhattan comme représenté en Figure III.12. Les interconnexions au niveau N peuvent être excitées par des $0 \times V_{excitation}$ ou $1 \times V_{excitation}$, où $V_{excitation}$ est la tension d'excitation à l'entrée d'une interconnexion. Les niveaux métalliques transverses N-1 et N+1 sont constitués a priori d'interconnexions dont le potentiel est compris entre 0 et $1 \times V_{excitation}$.

Ces niveaux de potentiels peuvent être vus par le niveau N comme un niveau pseudo- aléatoire compris entre 0 et $V_{excitation}$. Par défaut on fera l'hypothèse que les niveaux métalliques peuvent être modélisés par une masse « statistique ».

On fait donc l'hypothèse que ces niveaux supérieurs et inférieurs immédiats agissent comme des masses.

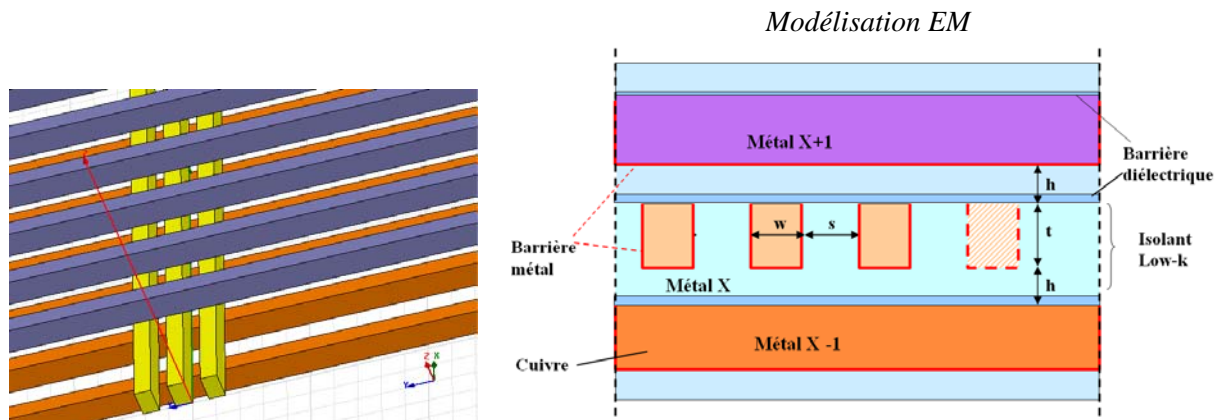


Figure III.12: Représentation schématique 3D du réseau d'interconnexions sur 3 niveaux métalliques (niveau N-1, niveau N et niveau N+1)

BEOL $L_{interco} = 200 \mu\text{m}$	Dimensions	Materiaux
Métal	$w = s \approx 70 \text{ nm}$ $t \approx 140 \text{ nm}$	cuivre $\sigma \approx 35 \text{ MS/m}$
Diélectrique SiOCH	$h \approx 120 \text{ nm}$	$\epsilon'_r \approx 2.6$ $\epsilon''_r = 0$
Barrière métal TaN/Ta	$t_{mb} \approx 7 \text{ nm}$	$\sigma \approx 1,4 \text{ MS/m}$
Barrière diélectrique SiCN	$t_{db} \approx 40 \text{ nm}$	$\epsilon'_r \approx 5$
Conditions de charges (drivers): $W_g \approx 45 \text{ nm}$ (x4) (x8) (x16) (x32)		

Tableau 2 : Paramètres typiques des interconnexions intégrées du niveau métal intermédiaire de la génération CMOS 45 nm (Source ITRS et STMicroelectronics)

III.3.2 Impact critique de la diminution des dimensions des interconnexions sur les performances globales des circuits des nœuds technologiques sub-CMOS 65 nm

La bande passante des interconnexions est de plus en plus réduite, ce qui signifie que les durées de transition des signaux logiques sont de plus en plus grandes, interdisant la transmission de signaux très rapides. Les concepteurs sont donc confrontés à la difficulté suivante: la diminution des dimensions s'accompagne désavantageusement d'une augmentation des résistances et des couplages capacitifs qui sont un facteur aggravant d'augmentation des délais de propagation des signaux numériques sur les interconnexions, en contradiction avec la recherche de rapidité des circuits.

Cette augmentation des délais, particulièrement pour les interconnexions les plus longues, s'accompagne en outre d'une augmentation du niveau diaphonie entre interconnexions adjacentes, à cause de l'augmentation des couplages mutuels.

Ce niveau de diaphonie peut générer au moins deux phénomènes :

- d'une part il peut avoir un effet significatif sur les instants de déclenchement des drivers de réception ; il en découle une variation pseudo aléatoire des instants de basculements des drivers de réception comparable à de la gigue d'horloge, phénomène qui dépend des niveaux d'excitations des interconnexions voisines, source potentielle d'instabilité des circuits.
- d'autre part ce niveau de diaphonie peut avoir un effet significatif sur les niveaux de signaux en agissant comme un bruit aléatoire, source d'erreur lors de l'identification des signaux reçus.

III.3.2.a Choix de conception critique pour les niveaux métal intermédiaires

Le niveau intermédiaire du BEOL, tout particulièrement, contient des interconnexions à la fois relativement longues (pouvant atteindre plusieurs centaines de μm) et relativement denses. C'est en particulier dans ce niveau que l'on est confronté à partir de la génération 45 nm à des « chemins critiques » (c'est-à-dire des interconnexions trop longues, dont les délais et le niveau de diaphonie dépassent les niveaux escomptés) qui font chuter de manière drastique les performances globales du circuit.

Du côté de la recherche technologique, beaucoup d'efforts ont été développés pour minimiser les résistances et les capacités: on a intégré de nouveaux matériaux tels que le cuivre qui remplace l'aluminium pour les conducteurs et plus récemment, des isolants inter-conducteurs à très faible permittivité, on a introduit de nouvelles techniques de préservation de l'intégrité des propriétés des matériaux et réduit les variations sur la géométrie en améliorant les « process » de fabrication [Farcy, 2009]. Cependant, les progrès obtenus par la technologie approchant aujourd'hui leurs limites, c'est dans la conception même du BEOL qu'il faut encore chercher des améliorations.

IV Conclusions sur le chapitre 1

IV.1 Contexte général

Les circuits intégrés doivent répondre à divers besoins (vitesse rapide, bande passante élevée, basse consommation, bas coût ...) fonctions de l'application visée. Or la réalisation d'interconnexions capables de répondre à tous ces besoins devient difficile en raison de la diminution des dimensions et des solutions technologiques conventionnelles qui atteignent leurs limites. Les bandes passantes réduites des interconnexions sont susceptibles d'interdire une augmentation de la rapidité des circuits et les niveaux de diaphonie créent des interférences nuisibles à l'intégrité de signaux à cause des couplages forts entre interconnexions du même niveau métal.

Du point de vue de la conception, pour limiter ces phénomènes nuisibles liés en particulier à l'augmentation des résistances et des capacités mutuelles, la tendance est d'exploiter la dimension verticale du circuit: en augmentant le nombre de niveaux métal, on limite la densification des conducteurs dans le BEOL.

Aujourd'hui c'est également le FEOL qui s'intègre dans cette « troisième dimension » : de gros investissements en recherche et développement sont fournis en direction des circuits dits « 3D ». Le fait d'empiler plusieurs couches d'actifs dans le même circuit permet de répondre en partie aux problèmes posés par la miniaturisation : raccourcissement des interconnexions, rationalisation du packaging, intégration des technologies hétérogènes afin de limiter aux seules parties du circuit qui nécessitent de fortes performances les technologies les plus coûteuses (les plus récentes).

A l'heure où l'intégration de la technologie CMOS commence à atteindre ses limites et où beaucoup d'investigations sont tournées vers les technologies 3D, « il est temps de s'intéresser encore » à ces bonnes vieilles « interco », pour connaître avec le plus de précision possible leurs limites et surtout de les repousser au maximum.

IV.2 Objectifs généraux de la thèse

L'objectif premier de ce travail de thèse est d'estimer l'impact de l'environnement métallique et diélectrique immédiat d'une interconnexion du BEOL des circuits de la génération 45 nm sur ses performances.

On cherche ensuite à trouver une optimisation globale des performances du circuit, en termes de délai, temps de montée, bande passante, niveau de diaphonie et stationnarité du délai.

IV.3 Apports du travail

IV.3.1 Chapitre 2

Le souci d'optimisation d'un composant se base généralement sur une modélisation paramétrique de la réponse de ce composant. Cette modélisation s'accompagne nécessairement de mesures qui servent en l'occurrence à valider les modèles. La mesure des dispositifs passifs intégrés dans le domaine des hyperfréquences est une problématique récurrente qui fait partie des expertises de l'équipe d'accueil de ce travail de thèse. Le chapitre 2 est un chapitre un peu à part des quatre chapitres suivants :

- il est exclusivement dédié à une problématique de mesure
- il a pour objectif de mettre en œuvre de nouvelles idées et méthodes fiables concernant les procédures de « de-embedding » des interconnexions enfouies dans l'empilement technologique.

On y propose une méthode de « de-embedding » originale basée sur la mesure d'un saut d'impédance entre les plots d'accès de la station de mesure sous pointe et les lignes d'accès au dispositif sous test.

IV.3.2 Chapitre 3

On s'est appuyé sur la logique suivante : l'optimisation du BEOL et sa caractérisation précise requiert une bonne compréhension des interconnexions dans leur environnement, et par conséquent :

- l'utilisation d'outils de caractérisation précis d'une part,
- une approche globale du circuit, d'autre part.

Afin d'obtenir une évaluation la plus fine du comportement d'un réseau d'interconnexions, de nombreux outils doivent donc être encore apportés ou améliorés. Pour cela un gros investissement a été fait sur les aspects simulation, modélisation, traitement du signal.

L'équipe dans laquelle ce travail de doctorat a été effectué (Caractérisation Hyperfréquences, Interconnexions et Passifs Intégrés) possède une longue expertise en caractérisation de matériaux, en mesure hyperfréquence, modélisation électromagnétique et traitement du signal. Ce travail s'inscrit dans la continuité de plusieurs thèses internes et externes consacrées à ces sujets.

On a tout particulièrement essayé d'enrichir la boîte à outils existante, notamment sur:

- la modélisation des réseaux couplés complexes,
- le passage dans le domaine temporel à partir de mesures fréquentielles discrètes limitées,
- la vérification de la cohérence du signal,
- la modélisation des pertes diélectriques.
- l'intégration de la connaissance des charges aux interfaces des interconnexions

Ces aspects sont l'objet du chapitre 3.

IV.3.3 Chapitre 4

On cherchera ensuite à trouver des optimisations globales de ces réseaux d'interconnexions, en agissant sur la conception du BEOL.

- En jouant sur les longueurs d'interconnexions et l'introduction de répéteurs, en cherchant à modifier R (en élargissant les conducteurs) ou C (en jouant sur la géométrie ou sur les matériaux ou éventuellement l'introduction de « dummies ») on pourra agir sur la bande passante de l'interconnexion.
- En choisissant les tailles de drivers les plus adaptées on pourra minimiser les délais ou les niveaux de diaphonie.

Ce travail d'optimisation est l'objet du chapitre 4.

IV.3.4 Chapitre 5

En guise de clôture de ce travail, on présente des exemples d'utilisation originale des interconnexions :

- Stockage de l'énergie: la recherche de minimisation des circuits a mené les technologues à une bonne qualité d'intégration du BEOL, portant notamment l'excellente reproductibilité des sections de conducteurs et l'utilisation de matériaux diélectriques à la fois à forte permittivité, à faible pertes et à forte rigidité diélectrique : on peut essayer d'en tirer bénéfice pour stocker de l'énergie de manière capacitive.
- Coupleurs intégrés: l'augmentation des capacités mutuelles peut être exploitée pour mettre en œuvre des coupleurs fonctionnels capables de transmettre des signaux de manière intelligente au sein du BEOL.



Le docteur a la satisfaction de retrouver sa per-
ruque dans l'intestin grêle de la baleine, tandis
que M. Cryptogame y retrouve le papier timbré
sur lequel Elvire lui a fait signer un double de
ses sentiments.



Cependant, l'île étant polaire, M. Cryptogame et
le docteur, qui sont très-légerement vêtus, passent
de mauvais moments.



M. Cryptogame gèle sur place. Le docteur gèle au moment où il
prenait de l'exercice.

(Extrait de [Töpffer, 1830])

Chapitre 2

Développement d'un outil de caractérisation expérimentale hyperfréquence de dispositifs intégrés

Ce court chapitre est dédié à la problématique de caractérisation de dispositifs intégrés dans le domaine des hautes fréquences. Sans avoir la prétention de traiter l'ensemble de cette large problématique, nous proposons ici une méthode de « de-embedding » originale, qui tente d'améliorer la fiabilité des mesures, utilisées pour caractériser les interconnexions.

Dans la première partie nous présentons en détail la procédure développées et les hypothèses de travail. Cette méthode s'appuie sur une résolution matricielle du problème d'extraction des éléments parasites à supprimer par le de-embedding (épluchage). Les hypothèses liées à la topologie des structures mesurées sont commentées et justifiées. Les plus fortes hypothèses portent sur la symétrie et la réciprocité de certaines structures de test, ainsi que sur la nature des discontinuités rencontrées lors de la propagation des signaux. Au final cette méthode de de-embedding s'avère bien adaptée à la caractérisation de composants intégrés réalisés en surface de la puce, et par conséquent à une large gamme d'interconnexions de circuits intégrés.

La deuxième partie présente des exemples de résultats obtenus grâce aux outils mis en œuvre. Les valeurs obtenues avec la méthode de de-embedding proposée sont comparés avec des résultats de modélisation. Cette analyse a permis de valider l'approche utilisée ici pour le développement de cette méthode de de-embedding et de caractérisation des interconnexions sur une large gamme de fréquence, du MHz à plusieurs dizaines de GHz.

Sommaire du Chapitre 2

Développement d'un outil de caractérisation expérimentale hyperfréquence de dispositifs intégrés	60
I Interdépendance fonctionnelle du calibrage et du de-embedding	63
I.1 Impédance de référence pour la calibration	63
I.2 Problématiques conjointes du calibrage et du de-embedding	64
II Synoptique de la méthode de de-embedding proposée	64
II.1 Contexte	64
II.2 Objectif	65
II.3 Méthode	65
II.3.1 Détermination du paramètre a par calibrage TRL	66
II.3.2 Solution du problème.....	67
II.4 Exemple d'un DST en surface	67
II.5 Exemple d'un DST enfoui	68
III Détail de la méthode pour un DST en surface.....	72
III.1 Hypothèse pour la modélisation analytique	73
III.2 Matrices chaînes des dispositifs d'accès.....	74
III.3 Modélisation et calcul des termes de propagation et des sauts d'impédance à partir de mesures simples.....	75
III.3.1 Dispositifs nécessaires pour la mesure des termes de propagation et des sauts d'impédance	75
III.3.2 Mesure et calcul du saut d'impédance	76
III.4 Mesure de la ligne d'accès au niveau des plots	77
III.4.1 Calcul des matrices chaînes d'accès pour le de-embedding.....	78
III.4.2 Remarques sur le calcul des matrices chaînes.....	78
III.4.3 Extraction directe de l'impédance caractéristique d'une ligne.....	79
III.5 Résumé de la méthode pour un dispositif en surface, mode d'emploi.....	80
IV Exemples de résultats de de-embedding.....	80
IV.1 Simulations mettant en évidence la nécessité d'utiliser une méthode de de-embedding précise 80	80
IV.2 Application de la méthode proposée à l'extraction de l'impédance caractéristique d'une ligne à partir de la mesure de paramètres S sur un dispositif HF	81
IV.2.1 Première série de résultats.....	81
IV.2.2 Seconde série de résultats.....	82
IV.2.3 Résultats	83
IV.3 Conclusion	83

Figures du Chapitre 2

Figure I.1: Exemple de mesure d'un dispositif sous test (ligne de transmission coplanaire) au moyen d'un analyseur vectoriel de réseaux 2-ports raccordés au véhicule de test (VT).....	63
Figure I.1: Véhicule de Test (VT)	65
Figure II.2 : Mesure de la matrice T du quadripôle d'erreur situé entre le plot et la ligne d'accès au dispositif sous test.....	66
Figure II.3 : Mesure de la matrice T' d'accès au DST (en surface).....	67
Figure II.4 : Véhicule de test (DST enfoui).....	68
Figure II.5 : Schéma fonctionnel du Véhicule de test (DST enfoui)	69
Figure II.6 : Mesure de la matrice T d'accès au DST	69
Figure II.7 : Mesure de la matrice T'' du quadripôle d'erreur localisé	70
Figure II.8 : Mesure de la matrice T'' du quadripôle d'erreur	70
Figure II.9 : Mesure de la matrice T' du quadripôle d'erreur	71
Figure III.1 : Illustration de la mesure sous calibrage OSTL de la cascade des accès au DST	72
Figure III.2 : Modèle de propagation du dispositif d'accès: plot + ligne d'accès.....	73
Figure III.3 : Modélisation schématique des dispositifs d'accès amont et aval	74
Figure III.4 : Définition de la matrice $a_0 b_0 c_0 d_0$	74
Figure III.5 : Dispositifs nécessaires au calcul des exposants de propagation et des sauts d'impédance	75
Figure III.6 : Illustration de la mesure sous calibrage TRL du dispositif ligne	76
Figure III.7 : Illustration de la mesure sous calibrage OSTL du dispositif ligne.....	77
Figure III.8 : Représentation équivalente de la définition des matrices chaînes ABCD et abcd.....	77
Figure III.9 : Exemple de dispositif pour calculer les impédances caractéristiques	79
Figure IV.1 : Représentation schématique d'un dispositif modélisé pour extraire l'impédance caractéristique Z_c	80
Figure IV.2 : Exemple sur une ligne de propagation de type interconnexion du nœud CMOS 32 nm du résultat d'extraction de l'impédance caractéristique Z_c pour les 2 hypothèses simplistes présentées, comparée à l'impédance effective de l'interconnexion.....	81
Figure IV.3 : Comparaison des résultats d'extraction de l'impédance caractéristique Z_c pour la nouvelle méthode proposée ici avec la méthode de Winkel.....	82
Figure IV.4 : Empilement technologique du dispositif étudié.	82
Figure IV.5 : « Mapping » du véhicule de test (a) vue d'ensemble (b) zoom sur les lignes de transmission.....	82
Figure IV.6: Impédance caractéristique des lignes de transmission de largeur 20 et 40 μ m.....	83

I Interdépendance fonctionnelle du calibrage et du de-embedding

Dans le paragraphe qui suit, on essaie de souligner les logiques propres aux deux techniques de de-embedding présentées, ainsi que la dépendance de ces techniques au type de calibrage qui a été adopté. Il est essentiel de rappeler que les paramètres S issus de la mesure sont à la fois dépendants des paramètres intrinsèques du véhicule de test (VT) et des impédances présentes aux bornes du VT.

- On appellera « calibrage » la procédure qui permet de rendre transparentes l'ensemble des erreurs situées entre l'appareil de mesure (VNA) et les pointes des sondes HF (Cf. Annexe2).
- On appellera « de-embedding » la procédure qui permet de rendre transparentes l'ensemble des erreurs situées entre les plans de référence de la mesure (au niveau des sondes) et le dispositif sous test (Cf. Annexe 2).

I.1 Impédance de référence pour la calibration

Pour décrire le comportement intrinsèque du dispositif et l'exploiter dans le cas le plus général, il est nécessaire de bien identifier l'impédance de référence de la mesure, inhérente au calibrage. En général, suite au calibrage, cette impédance est artificiellement imposée aux bornes du dispositif que l'on mesure. Deux types de calibrage les plus couramment utilisés sont proposés ici sans plus de détails sur les procédures de mise en œuvre. Ces calibrages sont dénommés à partir des dispositifs (ou standards) utilisés pour leur mise en service:

1. OSTL (pour Open Short Load Thru). Pour les calibrages de type OSTL, les plans de référence de la mesure se situent au niveau des pointes des sondes de mesure H.F. L'impédance de référence est en général de 50 Ohms.
2. TRL (pour Thru Reflect Line).

La description précise de ces deux méthodes peut être trouvée dans [Engen, 1979] pour la méthode TRL et [Kruppa, 1971] pour la méthode OSTL (Cf. Figure I.1).

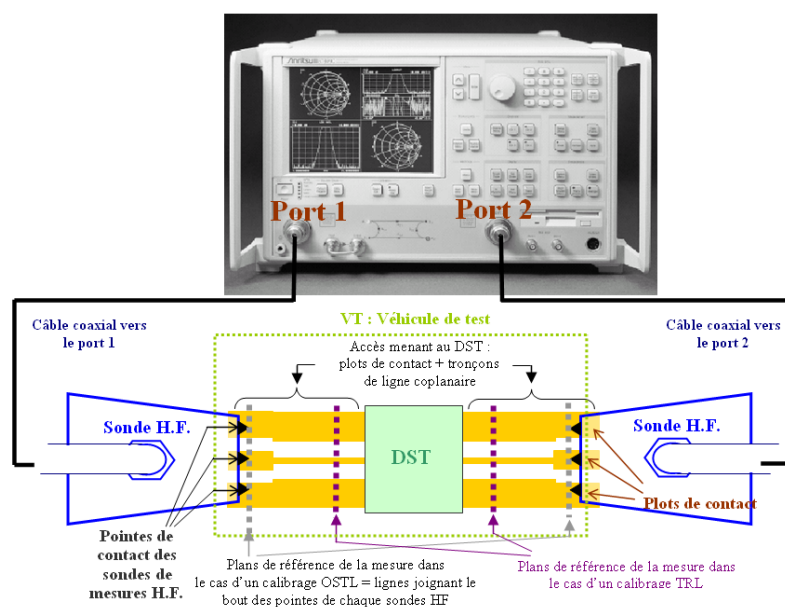


Figure I.1: Exemple de mesure d'un dispositif sous test (ligne de transmission coplanaire) au moyen d'un analyseur vectoriel de réseaux 2-ports raccordés au véhicule de test (VT).

I.2 Problématiques conjointes du calibrage et du de-embedding

Une post-procédure dite de « de-embedding » est nécessaire à la suite de la calibration pour éliminer les erreurs introduites par les tronçons de circuits situés entre les pointes et le DST (DST = dispositif sous test \neq VT, le VT englobant le DST et les accès), en l'occurrence les plots de contacts utilisés pour poser les sondes de mesure HF et les lignes d'accès menant au DST.

Une fois le de-embedding effectué, il est assez aisé d'obtenir la matrice ABCD du DST puisqu'on connaît l'impédance de référence de la mesure. A contrario, pour les calibrages de type TRL, les plans de référence de la mesure peuvent être déplacés jusqu'au bornes du DST. Les paramètres mesurés (les paramètres S) sont référencés à l'impédance caractéristique des lignes d'accès menant au DST. Cette impédance est inconnue dans la plupart des cas excepté dans certaines conditions très spécifiques. Ce type de calibrage ne nécessite pas de de-embedding puisque les plans de référence peuvent être positionnés aux bornes du DST. Toutefois, à l'inverse des calibrages de type OSTL, on ne peut pas obtenir la matrice ABCD du DST puisqu'on ne connaît pas l'impédance de référence de la mesure.

Plusieurs méthodes de de-embedding relativement efficaces ont été publiées. On peut citer notamment les travaux de Williams [Williams, 2001] portant sur l'obtention de l'impédance caractéristique des lignes de transmission, ceux de T.M.Winkel [Winkel-1, 1996], [Winkel-2, 1996], qui modélise les plots de contact de la mesure par des lignes de transmission ou encore les travaux de Vandamme [Vandamme, 2001], plus généraux, en ce qu'ils sont applicables à un champ de dispositifs plus vaste que les deux méthodes précédentes. Ces méthodes sont d'autant plus performantes qu'elles font un minimum d'hypothèses et que ces hypothèses sont clairement motivées et exploitées de manière la plus adéquate.

L'objectif de la méthode de de-embedding originale présentée ici est d'apporter une contribution à l'état de l'art existant en motivant systématiquement les hypothèses faites. En outre, une des forces de la méthode proposée est d'utiliser un post-traitement très simple, issu directement des paramètres S mesurés. Sa faiblesse réside toutefois dans la nécessité d'utiliser quatre dispositifs de mesure différents (comme Winkel), au lieu de trois seulement (Vandamme ou Williams) pour les autres méthodes, ce qui peut générer un coût non négligeable.

II Synthétique de la méthode de de-embedding proposée

II.1 Contexte

On cherche à mesurer un DST, potentiellement enfoui dans une des couches technologiques du circuit. Pour cela on utilise un véhicule de test (VT) intégrant des plots sur lesquels seront posées les pointes de mesure (Figure I.1).

On suppose :

- La présence d'un quadripôle d'erreur Q dont les paramètres sont inconnus, en aval des plots de mesure, de paramètres caractéristiques (Z_{C_p}, λ_p) .
- La présence d'une ligne d'accès au dispositif de paramètres caractéristiques (Z_{C_t}, λ_t) , entre le quadripôle T et le DST.
- Que les matrices d'accès au DST amont (Accès 1) et aval (Accès 2) sont réciproques.

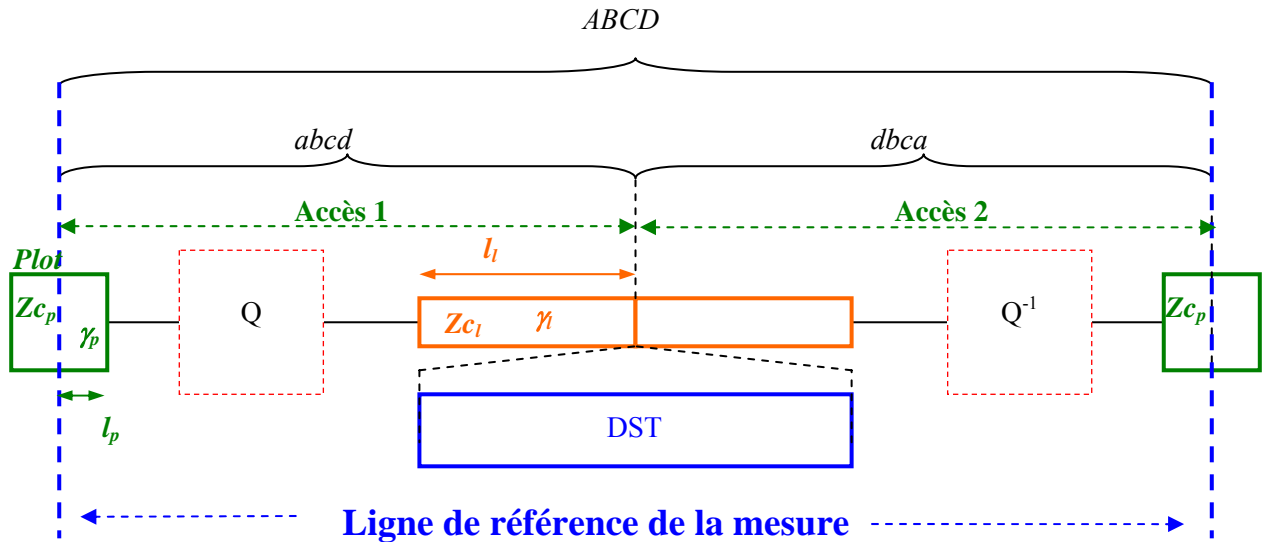


Figure I.1: Véhicule de Test (VT)

II.2 Objectif

- On cherche à éliminer les erreurs introduites par les accès situés entre les points de mesure et le DST. Cf. Figure I.1 (le lieu du posé de pointe est matérialisé par les lignes bleues).
- On va calculer les matrices chaînes $abcd$ et $dbca$ des accès.

II.3 Méthode

Suite à un calibrage OSTL, on mesure la matrice chaîne $ABCD_{VT}$ du véhicule de test à partir d'une mesure de paramètres S référencée sur une impédance Z_0 .

$ABCD_{VT}$ s'écrit également :

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix}_{VT} = \begin{bmatrix} a & b \\ c & d \end{bmatrix} \begin{bmatrix} d & b \\ c & a \end{bmatrix} = \begin{bmatrix} ad+bc & 2ab \\ 2cd & ad+bc \end{bmatrix} = \begin{bmatrix} 2ad-1 & 2ab \\ 2cd & 2ad-1 \end{bmatrix}$$

Relation [2- 1]

Si on est capable de trouver a , alors on connaît b , c et d .

En effet, de la Relation [2- 1], on en déduit que: $b = \frac{1}{2} \frac{B_{VT}}{a}$ $d = \frac{A_{VT} + 1}{2a}$ et $c = \frac{C_{VT}}{2d}$

Relation [2- 2]

II.3.1 Détermination du paramètre a par calibrage TRL

On mesure la matrice transmission T (Relation [2- 3]) des accès,

- référencée sur Zc_p à gauche (Accès 1)
- et Zc_l à droite (Accès 2),

après calibrage TRL asymétrique [Kouicem, 1996] (Figure II.2).

$$T = \begin{bmatrix} T_{11} & T_{12} \\ T_{21} & T_{22} \end{bmatrix}$$

Relation [2- 3]

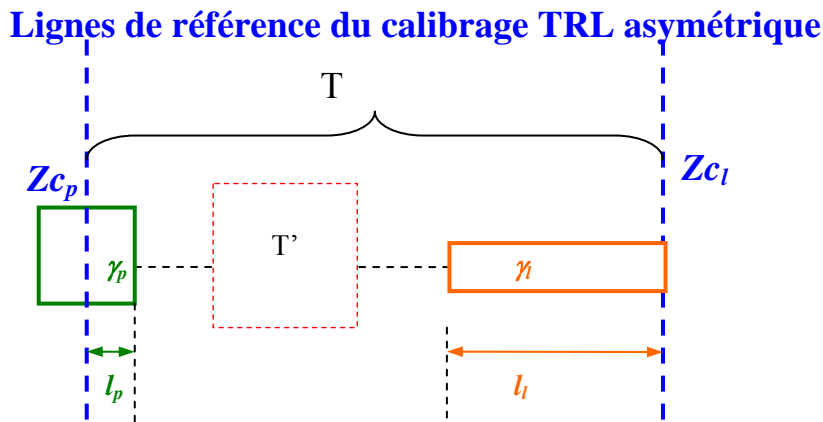


Figure II.2 : Mesure de la matrice T du quadripôle d'erreur situé entre le plot et la ligne d'accès au dispositif sous test

On note T' la matrice transmission du quadripôle d'erreur Q (Figure II.2),

- référencée sur Zc_p à gauche
- et Zc_l à droite.

On pose :

$$\begin{aligned} T'_1 &= T'_{22} + T'_{21} + T'_{12} + T'_{11} \\ T'_2 &= T'_{22} - T'_{21} + T'_{12} - T'_{11} \\ T'_3 &= T'_{22} + T'_{21} - T'_{12} - T'_{11} \\ T'_4 &= T'_{22} - T'_{21} - T'_{12} + T'_{11} \end{aligned}$$

Relation [2- 4]

Le paramètre a s'écrit alors:

$$a = \frac{1}{2} \sqrt{\frac{Zc_p}{Zc_l}} \left[\cosh(\gamma_p l_p) \cosh(\gamma_l l_l) T'_1 + \sinh(\gamma_p l_p) \cosh(\gamma_l l_l) T'_3 + \cosh(\gamma_p l_p) \sinh(\gamma_l l_l) T'_2 + \sinh(\gamma_p l_p) \sinh(\gamma_l l_l) T'_4 \right]$$

Relation [2- 5]

$$\text{avec } \frac{Zc_p}{Zc_l} = \frac{1-\Gamma}{1+\Gamma}$$

Relation [2- 6]

- Les longueurs de plot l_p et de ligne l_l sont mesurées sur le VT.
- Les exposants de propagation γ_p et γ_l sont connus à l'issu du calibrage TRL.

II.3.2 Solution du problème

Si on sait déterminer le rapport d'impédance Γ (Relation [2- 7]), alors **le problème est résolu** à partir de la Relation [2- 5] puisqu'on connaît :

- $l_p\gamma_p$ et $l_l\gamma_l$ et $T'_1, T'_2, T'_3, \text{ et } T'_4$

$$\Gamma = \frac{Zc_l - Zc_p}{Zc_l + Zc_p} = \frac{\frac{Zc_l}{Zc_p} - 1}{\frac{Zc_l}{Zc_p} + 1}$$

Relation [2- 7]

II.4 Exemple d'un DST en surface

Dans ce cas le VT permet d'aligner les plots et les lignes d'accès, conformément au schéma de la *Figure II.3*.

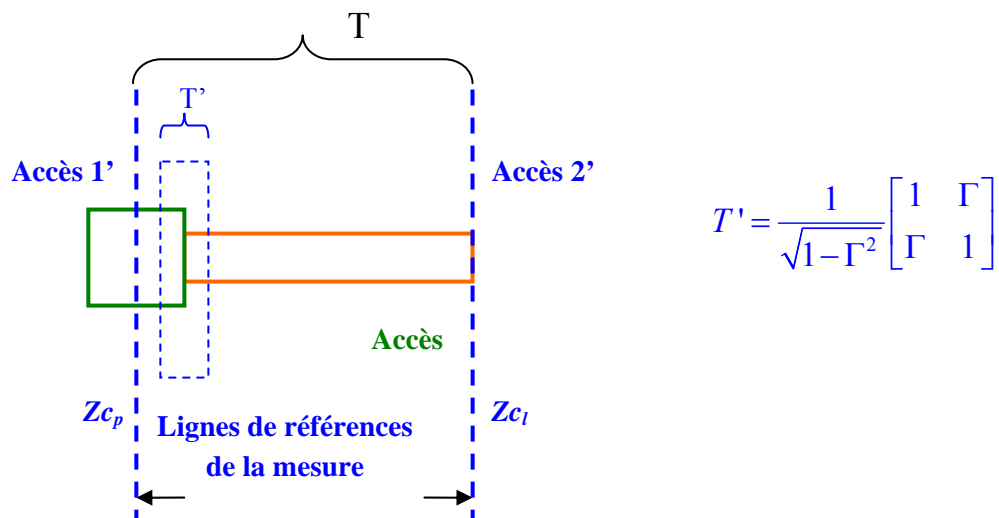


Figure II.3 : *Mesure de la matrice T' d'accès au DST (en surface)*

- On admet que :

Le quadripôle d'erreur situé au niveau du plot et de la ligne d'accès est suffisamment localisé pour pouvoir assimiler la matrice chaîne correspondante à la matrice unité (Relation [2- 8]).

$$T' = \frac{1}{\sqrt{1-\Gamma^2}} \begin{bmatrix} 1 & \Gamma \\ \Gamma & 1 \end{bmatrix} = \frac{1}{\sqrt{(1-\Gamma)(1+\Gamma)}} \begin{bmatrix} 1 & \Gamma \\ \Gamma & 1 \end{bmatrix}$$

Relation [2- 8]

- En déplaçant les deux plans de référence au niveau de l'interface (Cf. Annexe9) , on détermine alors simplement le rapport d'impédance Γ grâce à la Relation [2- 9].

$$\Rightarrow \Gamma = \frac{T'_{12}}{\sqrt{1-T'^2_{12}}}$$

Relation [2- 9]

- Γ est extrait directement de la mesure de T' : Γ est connu
- On peut calculer a en fonction de Γ .
- Le paramètre a s'écrit tout simplement:

$$a = \cosh(\gamma_p l_p) \cosh(\gamma_l l_l) + \sinh(\gamma_p l_p) \sinh(\gamma_l l_l) \times \frac{1-\Gamma}{1+\Gamma}$$

Relation [2- 10]

II.5 Exemple d'un DST enfoui

On suppose que l'accès au dispositif du VT se compose par exemple d'un plot, suivi d'une ligne 1, suivi d'un via suivi d'une ligne 2 d'accès au DST (Figure II.4). D'un point de vue fonctionnel, le VT peut être décrit par la Figure II.5, où le quadripôle d'erreur de matrice transmission T est inconnu a priori.

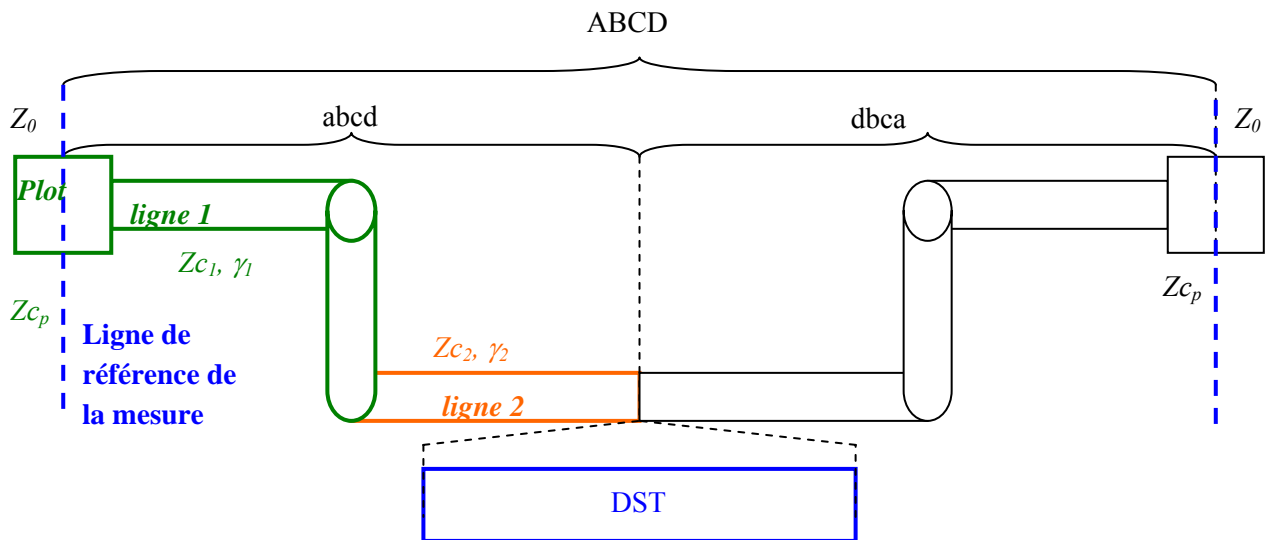


Figure II.4 : Véhicule de test (DST enfoui)

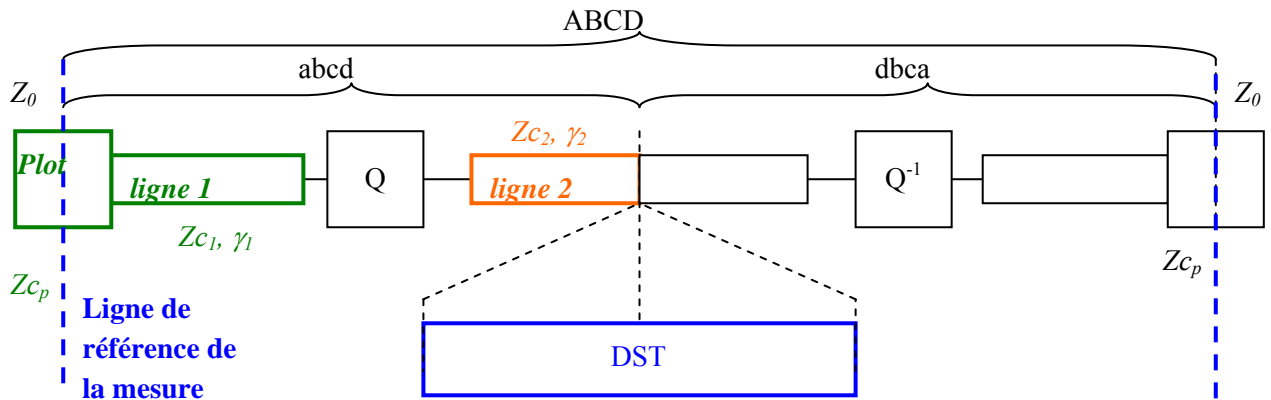


Figure II.5 : Schéma fonctionnel du Véhicule de test (DST enfoui)

On peut mesurer la matrice T (Figure II.6)

- référencée sur Z_{c_p} à gauche
- et Z_{c_1} à droite.

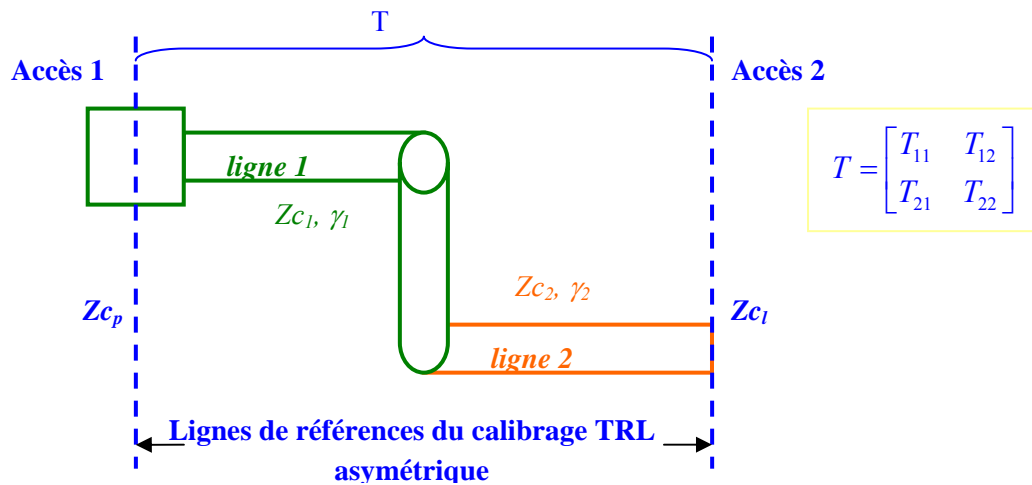


Figure II.6 : Mesure de la matrice T d'accès au DST

Si on peut faire l'hypothèse forte que l'élément mesuré entre les accès 1' et 2' (matrice T'' sur la Figure II.7) est suffisamment localisé (il n'y a quasiment pas de propagation dans cet élément) pour assimiler la matrice chaîne correspondante à la matrice unité,

alors comme dans le cas des lignes en surfaces, on est capable de mesurer le rapport d'impédance Γ' , après déplacement des plans de référence.

$$\Gamma' = \frac{Z_{c_2} - Z_{c_1}}{Z_{c_2} + Z_{c_1}}$$

Relation [2- 11]

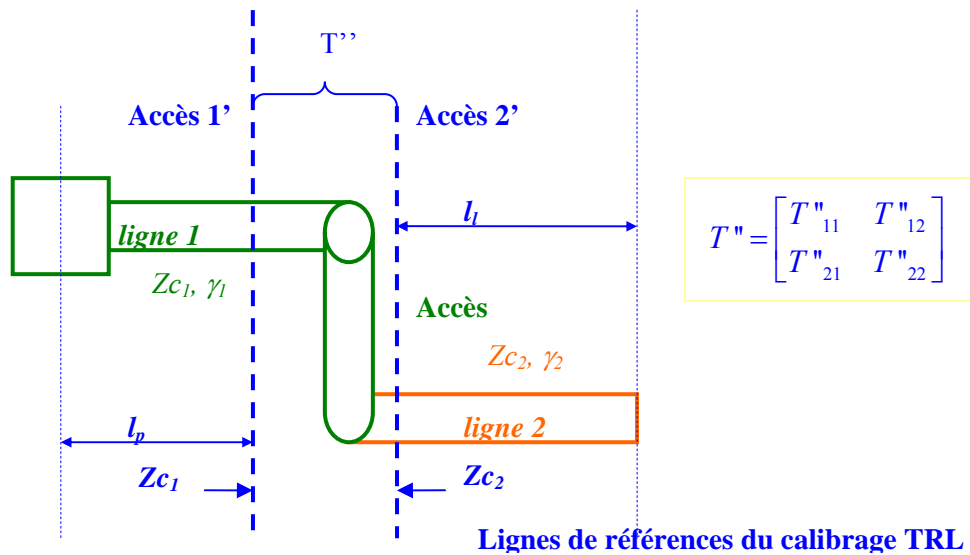


Figure II.7 : Mesure de la matrice T'' du quadripôle d'erreur localisé

- On connaît le saut d'impédance entre les lignes 1 et 2.
- On suppose que $l_1 \gamma_1$ et $l_2 \gamma_2$ sont connus (Cf. Annexe 8)

⇒ On en déduit la matrice T''' (Figure II.8)

- référencée sur Z_{c1} à gauche
- et Z_{c2} à droite.

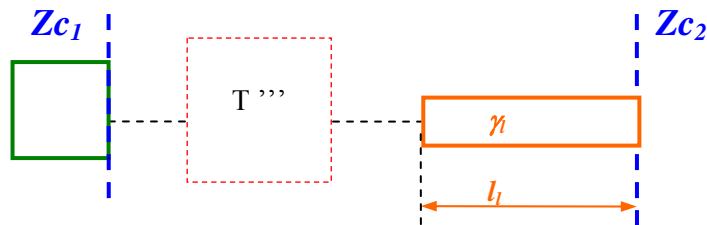


Figure II.8 : Mesure de la matrice T''' du quadripôle d'erreur

On applique la méthode sur les lignes en surfaces (§ II.4)

⇒ On obtient Γ''

$$\Gamma'' = \frac{Z_{c1} - Z_{c_p}}{Z_{c1} + Z_{c_p}}$$

Relation [2- 12]

On revient au schéma initial présenté en II.3.1, comme représenté en Figure II.9.

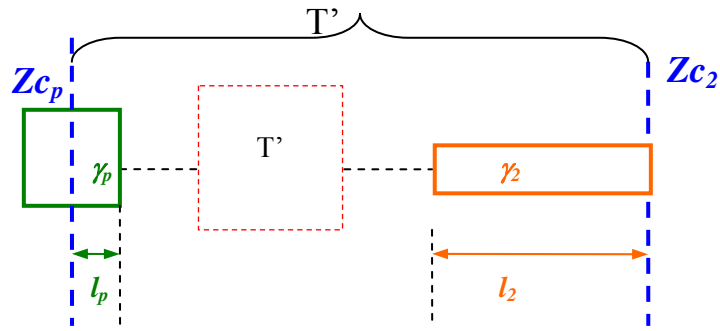


Figure II.9 : Mesure de la matrice T' du quadripôle d'erreur

On calcul le rapport Γ (Relation [2- 13]) à partir de Γ (Relation [2- 11]) et de Γ (Relation [2- 12]).

$$\Gamma = \frac{Zc_2 - Zc_p}{Zc_2 + Zc_p}$$

Relation [2- 13]

On obtient le terme $\sqrt{\frac{Zc_p}{Zc_2}}$ (Relation [2- 14])

$$\sqrt{\frac{Zc_p}{Zc_2}} = \sqrt{\frac{1 - \Gamma}{1 + \Gamma}}$$

Relation [2- 14]

On a mesuré T'

On peut appliquer la Relation [2- 5] qui permet de calculer le paramètre **a** :

$$a = \frac{1}{2} \sqrt{\frac{Zc_p}{Zc_2}} \left[\cosh(\gamma_p l_p) \cosh(\gamma_2 l_2) T'_1 + \sinh(\gamma_p l_p) \cosh(\gamma_2 l_2) T'_3 + \cosh(\gamma_p l_p) \sinh(\gamma_2 l_2) T'_2 + \sinh(\gamma_p l_p) \sinh(\gamma_2 l_2) T'_4 \right]$$

Le problème est résolu !

Commentaire : Nous faisons une hypothèse forte (Relation [2- 11]) sur la modélisation du via représenté en Figure II.7. La méthode n'est donc pas généralisable, à n'importe quel type de configuration de dispositif enfoui.

A ce stade de notre étude, nous n'avons pas trouvé le moyen de généraliser d'avantage la méthode : il faudrait être capable de mesurer un rapport d'impédance Γ quelconque entre une ligne en surface et une ligne enfoui.

III Détail de la méthode pour un DST en surface

La méthode est basée sur deux mesures clefs :

1. La mesure centrale de la méthode sous la forme de matrice chaîne $ABCD_{VT}$, effectuée sous calibrage de type OSTL, est la mesure d'un dispositif constitué de la cascade des deux dispositifs d'accès amont (1) et aval (2) comme illustré en Figure III.1.
2. La mesure complémentaire sous la forme d'une matrice T , sous calibrage de type TRL, est une mesure de la transition entre les plots de contact et la ligne d'accès au dispositif à mesurer.

On fait une hypothèse sur le modèle électrique équivalent des accès pour être capable d'estimer les matrices chaîne amont et aval des accès et mettre en ouvre le de-embedding du dispositif à mesurer. On a besoin de mesurer :

- $ABCD_{VT}$
- Le rapport d'impédance Γ (obtenu par la mesure T)
- Les exposants de propagation sur les plots et sur la ligne d'accès au DST

Le formalisme utilisé pour la modélisation analytique du problème s'appuie sur les matrices chaînes, du dispositif à mesurer et des accès amont et aval.

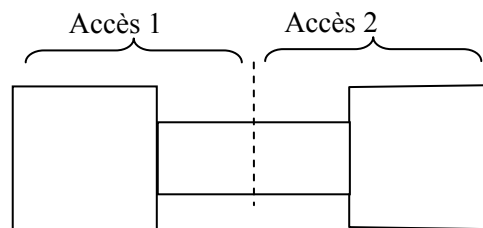


Figure III.1 : Illustration de la mesure sous calibrage OSTL de la cascade des accès au DST

Remarque : Afin de présenter la motivation de la démarche de de-embedding proposée ici, on confronte, en Annexe 10, trois hypothèses successives, la première hypothèse étant la plus restrictive et la troisième la plus générale. C'est cette dernière (celle que l'on expose dans les sous-paragraphes suivants) que l'on adoptera et sur laquelle on s'appuiera dans le cadre de ce travail de thèse lors de l'exploitation des mesures de dispositifs.

Pour chaque hypothèse, on montre comment extraire l'impédance caractéristique de la ligne d'accès et comment « de-embedder » le dispositif à tester. L'objectif du contenu de l'Annexe 10 est de montrer l'invalidité d'hypothèses trop simplificatrices afin de souligner la nécessité d'une démarche de de-embedding qui tient compte avec précision des accès au DST.

III.1 Hypothèse pour la modélisation analytique

La méthode proposée est liée à l'hypothèse d'un dispositif dont l'accès est schématiquement représenté en Figure III.2 :

- Les accès au dispositif à mesurer sont constitués d'une cascade d'un plot de connexion de caractéristique $(Z_{cp}, \gamma_p, l_p, l_p')$ et d'une portion de ligne d'accès de caractéristique (Z_{ca}, γ_a, l_a) .
- On suppose que la transition entre le plot (γ_p, l_p) et la ligne d'accès (γ_a, l_a) se comporte comme un saut d'impédance.
- On suppose qu'il y a propagation TEM sur les 2 parties (γ_p, l_p) et (γ_a, l_a) . On a représenté en Figure III.2 une ligne de référence R qui symbolise l'endroit où sont posées les pointes de la sonde de mesure.
- La partie de « stub » (tronçon de ligne) en amont de R est modélisée par une admittance quelconque Y'_p , sans hypothèse a priori sur sa valeur.
- On suppose enfin que les deux dispositifs d'accès sont tous deux réciproques et symétriques l'un par rapport à l'autre.

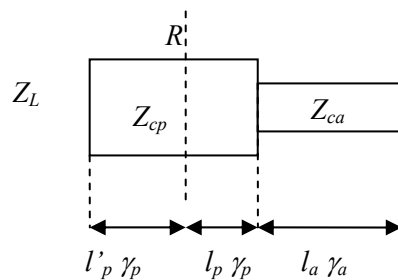


Figure III.2 : Modèle de propagation du dispositif d'accès: plot + ligne d'accès

$$\text{On pose } \Gamma = \frac{Z_{ca} - Z_{cp}}{Z_{ca} + Z_{cp}}, \quad \text{soit } \Gamma = \frac{Z_{ca}/Z_{cp} - 1}{Z_{ca}/Z_{cp} + 1}, \quad \text{soit } \frac{Z_{ca}}{Z_{cp}} = \frac{1 + \Gamma}{1 - \Gamma}.$$

Relation [2- 15]

Γ est le coefficient de réflexion entre le plot et la ligne d'accès et sa mesure sera une valeur clef de cette méthode.

III.2 Matrices chaînes des dispositifs d'accès

On obtient le modèle de matrice chaîne $abcd$ pour l'accès 1 et, par réciprocity, le modèle de matrice chaîne $dbca$ (Cf. Chapitre 1 § II. 1) pour l'accès 2 (Figure III.3).

$$abcd = \begin{bmatrix} a_0 & b_0 \\ c_0 + a_0 Y_p' & d_0 + b_0 Y_p' \end{bmatrix} \quad dbca = \begin{bmatrix} d_0 + b_0 Y_p' & b_0 \\ c_0 + a_0 Y_p' & a_0 \end{bmatrix}$$

Relation [2- 16]

$a_0 b_0 c_0 d_0$ désigne la matrice chaîne de la cascade plot + ligne d'accès « sans les stubs » (Figure III.4).

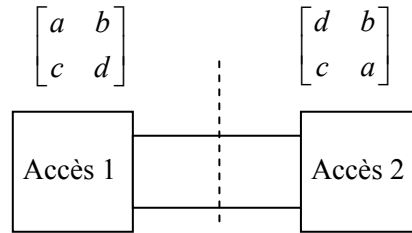


Figure III.3 : Modélisation schématique des dispositifs d'accès amont et aval

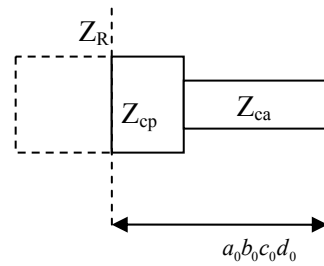


Figure III.4 : Définition de la matrice $a_0 b_0 c_0 d_0$

Conformément aux hypothèses de modélisation formulées en III.1, on obtient les expressions des paramètres $a_0 b_0 c_0 d_0$:

$$a_0 = a = \cosh(\gamma_p l_p) \cosh(\gamma_a l_a) + \sinh(\gamma_p l_p) \sinh(\gamma_a l_a) \times \frac{1-\Gamma}{1+\Gamma}$$

Relation [2- 17]

$$d_0 = \cosh(\gamma_p l_p) \cosh(\gamma_a l_a) + \sinh(\gamma_p l_p) \sinh(\gamma_a l_a) \times \frac{1+\Gamma}{1-\Gamma}$$

Relation [2- 18]

$$b_0 = b = \left[\cosh(\gamma_p l_p) \sinh(\gamma_a l_a) + \cosh(\gamma_a l_a) \sinh(\gamma_p l_p) \frac{1-\Gamma}{1+\Gamma} \right] \times Zc_a$$

Relation [2- 19]

$$c_0 = \left[\cosh(\gamma_p l_p) \sinh(\gamma_a l_a) + \cosh(\gamma_a l_a) \sinh(\gamma_p l_p) \times \frac{1+\Gamma}{1-\Gamma} \right] / Zc_a$$

Relation [2- 20]

On rappelle que Γ est le coefficient de réflexion entre le plot et la ligne d'accès (Relation [2- 15]).

On constate que :

- $a (= a_0)$ ne dépend que de $(\gamma_p l_p)$, $(\gamma_a l_a)$ et Γ
- $b (= b_0)$ dépend de $(\gamma_p l_p)$, $(\gamma_a l_a)$, Γ et de Zc_a

III.3 Modélisation et calcul des termes de propagation et des sauts d'impédance à partir de mesures simples

On suppose que l'on est capable de mesurer les longueurs des dispositifs présentés en Figure III.5. et les exposants de propagation sur les plots et sur la ligne d'accès au DST (Cf. Annexe 2).

III.3.1 Dispositifs nécessaires pour la mesure des termes de propagation et des sauts d'impédance

On suppose que l'on dispose des quatre dispositifs suivants, représentés en Figure III.5 :

1. un dispositif plot court, dit « PLOT COURT »
2. un dispositif plot long, dit « PLOT LONG »
3. une portion de ligne d'accès courte, dite « LIGNE COURT »
4. une portion de ligne d'accès longue, dite « LIGNE LONG ». (On impose a priori : $L'_0 = L_0$, Cf. Figure III.5).

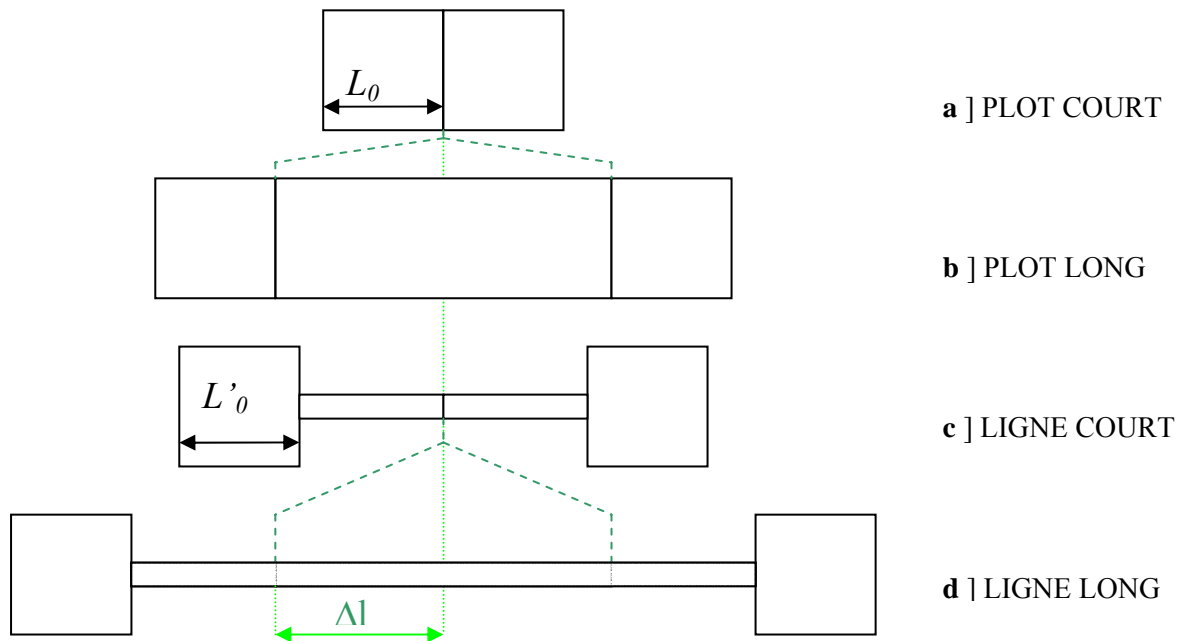


Figure III.5 : Dispositifs nécessaires au calcul des exposants de propagation et des sauts d'impédance

III.3.2 Mesure et calcul du saut d'impédance

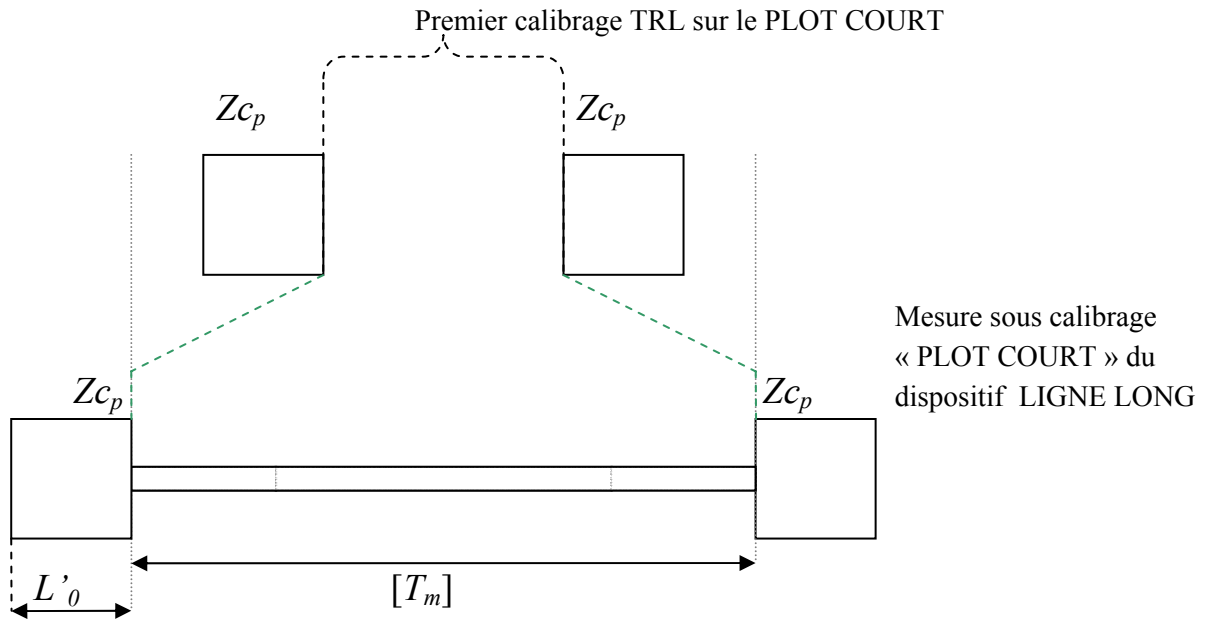


Figure III.6 : Illustration de la mesure sous calibration TRL du dispositif ligne

On suppose qu'un calibrage de type TRL a été effectué sur une longueur L_0 du dispositif PLOT COURT (Figure III.5 a). On se retrouve à mesurer la ligne d'accès référencée sur l'impédance Z_{cp} . Le produit Z_{ca}/Z_{cp} se calcule directement à partir des paramètres S mesurés (Relation [2- 21]).

$$\frac{Z_{ca}}{Z_{cp}} = \sqrt{\frac{1 + S_{11} + S_{22} + S_{11}S_{22} - S_{12}S_{21}}{1 - S_{11} - S_{22} - S_{11}S_{22} - S_{12}S_{21}}} \quad \Rightarrow \quad \Gamma = \frac{\frac{Z_{ca}}{Z_{cp}} - 1}{\frac{Z_{ca}}{Z_{cp}} + 1}$$

où S_{11} , S_{12} , S_{21} et S_{22} sont les paramètres S issus de la mesure.

Relation [2- 21]

Remarque 1 : il est important de noter que le calcul de Γ ne dépend pas de la connaissance de la longueur de la ligne mesurée. La démonstration de la Relation [2- 21] est donnée en Annexe 8. On y propose également une méthode de mesure et de calcul d'un saut d'impédance alternative à celle présentée ici, basée sur un calibrage asymétrique.

Remarque 2 : pour la mesure de Γ , on utilise le dispositif LIGNE COURT mesuré après calibrage TRL sur le PLOT COURT. On montre en Annexe 9 que si les longueurs de plot L'_0 du dispositif ligne, représenté en Figure III.5, sont différentes que celles des longueurs de plot L_0 du dispositif plot ($L'_0 \neq L_0$), on doit inclure dans la procédure de de-embedding une étape de déplacement des plans de référence. C'est d'ailleurs préférable d'utiliser un dispositif PLOT COURT relativement long ($L'_0 < L_0$), afin de minimiser le bruit de mesure et d'effectuer ensuite un déplacement du plan de référence en post traitement.

III.4 Mesure de la ligne d'accès au niveau des plots

Dans l'approche proposé ici, on utilise le formalisme de matrices chaînes. On cherche donc à évaluer la valeur des matrices $abcd$ et dcb , telles qu'elles sont modélisées en Figure III.3 et Relation [2- 16] : on **mesure** la matrice chaîne $ABCD_{VT}$ des deux structures d'accès cascadiées. Cette structure correspond à un TRHU.

On note encore $abcd$ la matrice chaîne de la demi structure aval (accès 1) et $ABCD$ la matrice chaîne d'une structure complète (Figure III.7).

On suppose que les dispositifs d'accès sont **réciroques**. La matrice chaîne $ABCD$ s'écrit :

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \begin{bmatrix} a & b \\ c & d \end{bmatrix} \begin{bmatrix} d & b \\ c & a \end{bmatrix} = \begin{bmatrix} ad + bc & 2ab \\ 2cd & ad + bc \end{bmatrix} = \begin{bmatrix} 2ad - 1 & 2ab \\ 2cd & 2ad - 1 \end{bmatrix}$$

Relation [2- 22]

On identifie la matrice chaîne mesurée $ABCD_{VT}$ à la matrice chaîne modélisée en Relation [2- 22].

$$ABCD_{VT} = \begin{bmatrix} 2ad - 1 & 2ab \\ 2cd & 2ad - 1 \end{bmatrix}$$

Relation [2- 23]

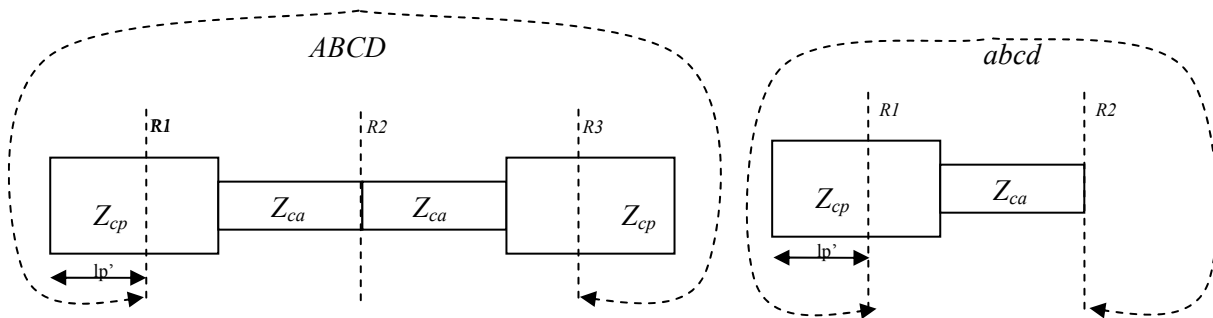


Figure III.7 : Illustration de la mesure sous calibrage OSTL du dispositif ligne

Remarque sur la Figure III.7 pour clarifier la définition des matrices $ABCD$ et $abcd$: les matrices $ABCD$ et $abcd$ sont des mesures des matrices chaînes **au niveau** des plans de références $R1$, $R2$ et $R3$. Cette mesure est équivalente à celle de deux dispositifs en parallèle comme présentés en Figure III.8.

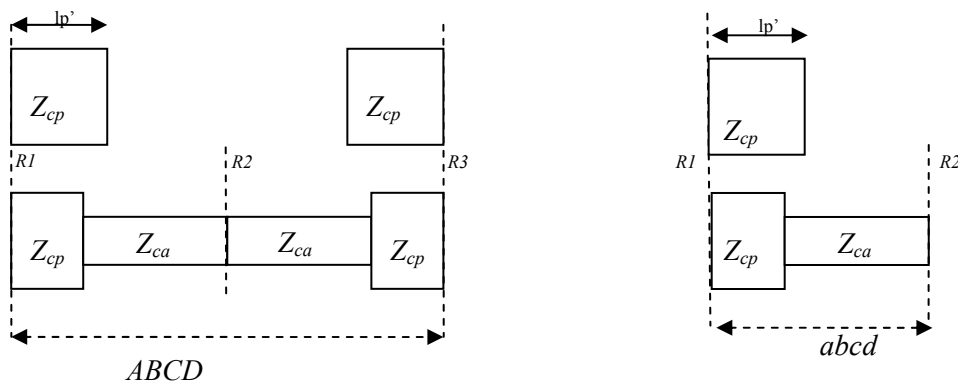


Figure III.8 : Représentation équivalente de la définition des matrices chaînes $ABCD$ et $abcd$

III.4.1 Calcul des matrices chaînes d'accès pour le de-embedding

On note respectivement $ABCD_{DST}$ et $ABCD_{VT}$ les matrices chaînes des dispositifs DST et VT.

Le paramètre a (Relation [2- 22]) est **connu**, calculé à partir de la connaissance de $(\gamma_p l_p), (\gamma_a l_a), \Gamma$ (Relation [2- 17]).

De la Relation [2- 23], on en déduit que: $b = \frac{1}{2} \frac{B_{VT}}{a}$ $d = \frac{A_{VT} + 1}{2a}$ et $c = \frac{C_{VT}}{2d}$

Relation [2- 24]

La matrice chaîne du DST s'obtient alors naturellement à partir de la connaissance de a, b, c et d (Relation [2- 25]).

$$ABCD_{DST} = \begin{bmatrix} d & -b \\ -c & a \end{bmatrix} ABCD_{VT} \begin{bmatrix} a & -b \\ -c & d \end{bmatrix}$$

Relation [2- 25]

III.4.2 Remarques sur le calcul des matrices chaînes

Remarque 1 (sur les hypothèses de modélisation des accès): Le posé de pointe peut intervenir sur la mesure, d'une part car les pointes sont des éléments ponctuels (par opposition à une ligne), ce qui a un effet sur les phénomènes électromagnétiques locaux, d'autre part car en posant les pointes on dégrade la surface du plot. Il est important de noter toutefois que la méthode proposée ne fait aucune hypothèse sur la valeur de Y'_p . Y'_p peut donc englober à la fois le stub arrière du plot (en amont de la ligne de posé des pointes) et l'effet du posé de pointe.

Remarque 2 : On peut noter qu'en utilisant les mesures de c et de d , et en utilisant la Relation [2- 16], on peut retrouver la valeur de Y'_p :

$$c_0 = c - a_0 Y'_p \quad , \quad d_0 = d - b_0 Y'_p \quad \Rightarrow \quad Y'_p = \frac{c - c_0}{a_0} \quad \text{ou} \quad Y'_p = \frac{d - d_0}{b_0}$$

Remarque 3 : Si l'on considère, par exemple, que l'élément de stub arrière (Figure III.2) est modélisable par un élément de propagation sur la partie $(\gamma_p l'_p)$ et un circuit ouvert ($Z_L = \infty$), alors Y'_p s'écrit :

$$Y'_p = \frac{th(\gamma_p l'_p)}{Zc_p}$$

Relation [2- 26]

A contrario du point de vue de la remarque 1, si l'on considère que la zone de posé des pointes n'a pas ou peu d'impact sur la mesure de la valeur de Y'_p , on peut éventuellement remonter à Zc_p avec la Relation [2- 26]. Ce moyen peut être utilisé pour vérifier la cohérence des paramètres a, b, c et d calculés avec la valeur de Zc_p , ou, inversement, vérifier la Relation [2- 26], c'est-à-dire, confirmer ou infirmer que l'arrière du plot se comporte bien comme un stub (tronçon de ligne) en ligne ouverte.

III.4.3 Extraction directe de l'impédance caractéristique d'une ligne

A partir des dispositifs utilisés (Figure III.9), on peut également calculer directement l'impédance caractéristique des lignes ou des plots.

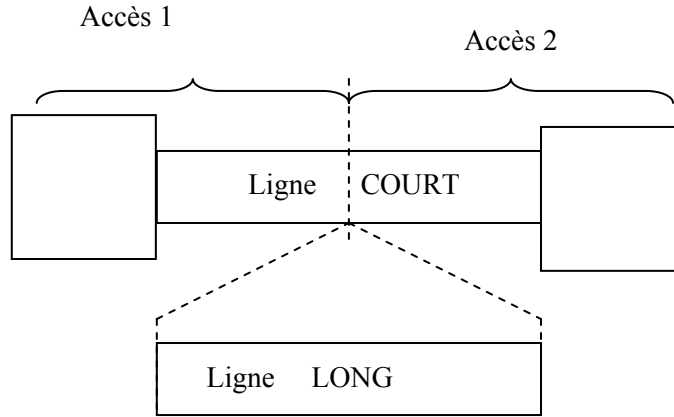


Figure III.9 : Exemple de dispositif pour calculer les impédances caractéristiques

- On se focalise sur le paramètre B_{VT} de la matrice chaîne $ABCD_{VT}$ mesurée sur le dispositif COURT.

$$B_{VT} \text{ s'écrit : } B_{VT} = Z_0 \frac{(1 + S_{11})(1 + S_{22}) - S_{12}S_{21}}{2S_{21}}$$

Relation [2- 27]

S_{11} , S_{12} , S_{21} et S_{22} sont les paramètres S mesurés sur le dispositif COURT sous calibrage OSTL et Z_0 l'impédance de référence pour la mesure sous calibrage OSTL.

- On réécrit ensuite B_{VT} , à partir des Relation [2- 17], Relation [2- 19], en fonction des paramètres de ligne et de plot (Relation [2- 28]).

$$B_{VT} = 2 \left(\cosh(\gamma_p l_p) \cosh(\gamma_a l_a) + \sinh(\gamma_p l_p) \sinh(\gamma_a l_a) \times \frac{1-\Gamma}{1+\Gamma} \right) \left(\cosh(\gamma_p l_p) \sinh(\gamma_a l_a) + \cosh(\gamma_a l_a) \sinh(\gamma_p l_p) \frac{1-\Gamma}{1+\Gamma} \right) \times Z_c$$

Relation [2- 28]

- A partir des Relation [2- 27] et Relation [2- 28], on en déduit, en Relation [2- 29], les impédances caractéristiques du plot Z_{c_p} et de la ligne Z_{c_l} :

$$Z_{c_p} = Z_0 \times \frac{(1 + S_{11})(1 + S_{22}) - S_{12}S_{21}}{4S_{21} \times \left(\cosh(\gamma_p l_p) \sinh(\gamma_a l_a) \frac{1+\Gamma}{1-\Gamma} + \cosh(\gamma_a l_a) \sinh(\gamma_p l_p) \right) \left(\cosh(\gamma_p l_p) \cosh(\gamma_a l_a) + \sinh(\gamma_p l_p) \sinh(\gamma_a l_a) \frac{1-\Gamma}{1+\Gamma} \right)}$$

$$Z_{c_l} = Z_c = Z_0 \times \frac{(1 + S_{11})(1 + S_{22}) - S_{12}S_{21}}{4S_{21} \times \left(\cosh(\gamma_p l_p) \sinh(\gamma_a l_a) + \cosh(\gamma_a l_a) \sinh(\gamma_p l_p) \frac{1-\Gamma}{1+\Gamma} \right) \left(\cosh(\gamma_p l_p) \cosh(\gamma_a l_a) + \sinh(\gamma_p l_p) \sinh(\gamma_a l_a) \frac{1-\Gamma}{1+\Gamma} \right)}$$

Relation [2- 29]

III.5 Résumé de la méthode pour un dispositif en surface, mode d'emploi

1. Mesure sous calibrage TRL du dispositif PLOT à l'aide du PLOT et d'un PLOT LONG (dispositifs a] et b], Figure III.5)
 - ⇒ γ_p , l'exposant de propagation du PLOT
2. Mesure sous le calibrage précédent du dispositif d'accès complet : PLOT +LIGNE COURTE (dispositif c], Figure III.5)
 - ⇒ Γ , le saut d'impédance entre le PLOT et la LIGNE (Relation [2- 21])
3. Mesure sous calibrage TRL du dispositif LIGNE à l'aide des dispositifs Ligne COURTE et LIGNE LONG (dispositifs c] et d], Figure III.5)
 - ⇒ γ , l'exposant de propagation de la LIGNE
 - ⇒ le paramètre a de l'accès au DST (Relation [2- 17])
4. Mesure sous calibrage OSTL du dispositif du dispositif d'accès complet (dispositif c], Figure III.5).
 - ⇒ les paramètres b , c et d de l'accès au DST (Relation [2- 24])

IV Exemples de résultats de de-embedding

IV.1 Simulations mettant en évidence la nécessité d'utiliser une méthode de de-embedding précise

On modélise, à partir de paramètres RLCG, un dispositif composé d'une ligne et des plots de contacts aux extrémités (Figure IV.1), sous forme de paramètres S. Ces paramètres RLCG de la ligne et des plots sont basés sur les paramètres RLCG typiques d'une interconnexion du nœud technologique CMOS 32 nm tels qu'ils ont été mesurés sur des dispositifs HF disponibles au laboratoire. On modélise également, encore à partir des paramètres RLCG, les dispositifs correspondant nécessaires au de-embedding, tels qu'ils ont été décrits précédemment. Lorsque l'on applique la méthode proposée aux modèles de paramètres S calculés, on retrouve parfaitement les valeurs de Z_c et γ correspondant aux paramètres RLCG initiés. En revanche comme on peut le voir en Figure IV.2, des méthodes de de-embedding approchées fournissent des résultats fortement erronés (les hypothèses H1 et H2 sont décrites en Annexe 10).

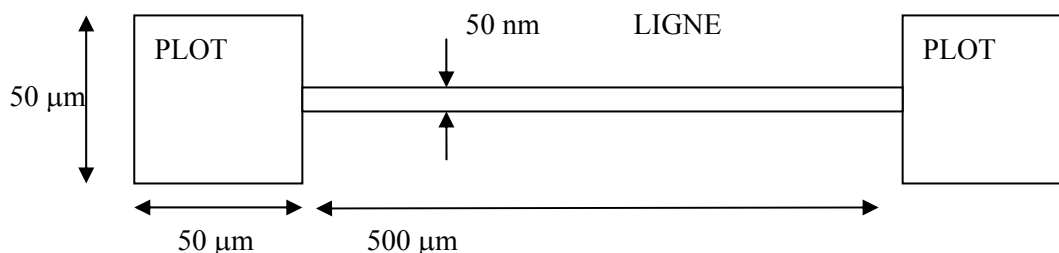


Figure IV.1 : Représentation schématique d'un dispositif modélisé pour extraire l'impédance caractéristique Z_c

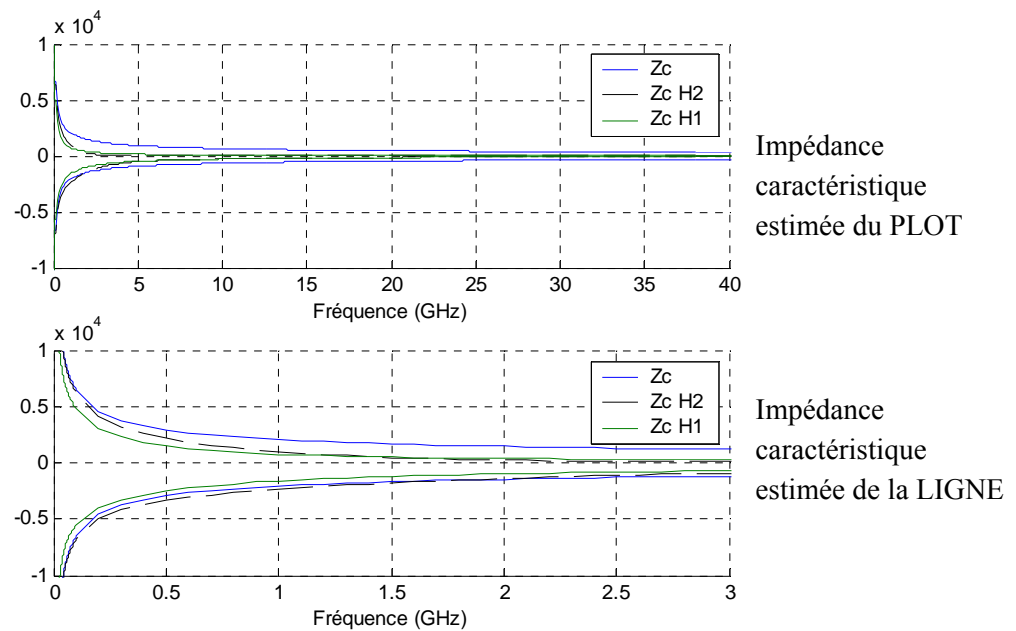


Figure IV.2 : Exemple sur une ligne de propagation de type interconnexion du nœud CMOS 32 nm du résultat d'extraction de l'impédance caractéristique Z_c pour les 2 hypothèses simplistes présentées, comparée à l'impédance effective de l'interconnexion

IV.2 Application de la méthode proposée à l'extraction de l'impédance caractéristique d'une ligne à partir de la mesure de paramètres S sur un dispositif HF

IV.2.1 Première série de résultats

On compare ici les résultats d'extraction de l'impédance caractéristique Z_c pour la nouvelle méthode proposée ici avec la méthode de Winkel [Winkel-2, 1996], que l'on prend en référence.

Les valeurs obtenues par les deux méthodes ont une très bonne convergence.

L'analyse de la méthode proposée ici n'est toutefois pas assez mûre pour savoir estimer laquelle des deux méthodes est la plus précise, en fonction des configurations de BEOL. Ce pourra être l'objet d'études complémentaires.

- Véhicules de test pour l'évaluation des méthodes de de-embedding

La méthode ayant été mise au point définitivement qu'en 2010, le temps à manqué pour concevoir et fabriquer des véhicules de tests dédiés à cette méthode et mettant en ouvre les technologies des générations sub-CMOS 65 nm. Nous avons donc utilisés des dispositifs intégrés présents dans le laboratoire et issus d'autres projets extérieurs à ces travaux de thèse :

- Largeur : 10 μm
- Substrat : verre
- épaisseur : 500 nm
- épaisseur du diélectrique : 60 μm
- Mesures d'une ligne de propagation en cuivre de 1670 μm de long et d'une autre de 3170 μm , toutes deux calibrées en TRL => obtention d'un « gamma plot ».
- Mesures d'une ligne de propagation en cuivre avec saut d'impédance de 1170 μm de long et d'une autre de 3165 μm , toutes deux calibrées en TRL (plan de référence situé au milieu d'un thru de 80 μm lors de la cal) => obtention d'un « gamma line ».

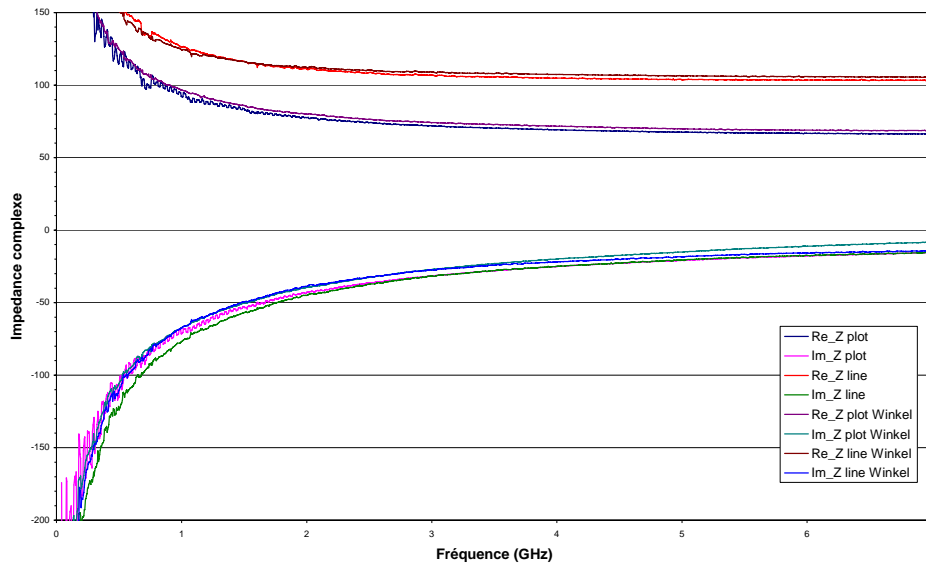


Figure IV.3 : Comparaison des résultats d'extraction de l'impédance caractéristique Z_c pour la nouvelle méthode proposée ici avec la méthode de Winkel

IV.2.2 Seconde série de résultats

Empilement technologique :

- Composé d'un substrat de verre BK7
- Les dispositifs déposés sur ce substrat en aluminium (Figure IV.4).
- Les lignes de transmission d'une épaisseur de 220nm et plusieurs largeurs (d) sont disponibles.
- 2 Cas : $d= 20\mu\text{m}$ et $d= 40\mu\text{m}$.
- Les masses ont une épaisseur de 220nm et une largeur de $50\mu\text{m}$.

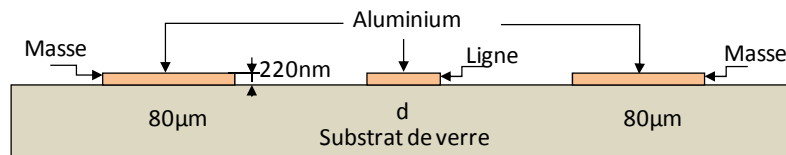


Figure IV.4 : Empilement technologique du dispositif étudié.

La Figure IV.5 montre un « Mapping » de la plaque disponible, nous pouvons observer notamment une grande quantité de dispositifs permettant la mise en œuvre de différentes méthodes de de-embedding.

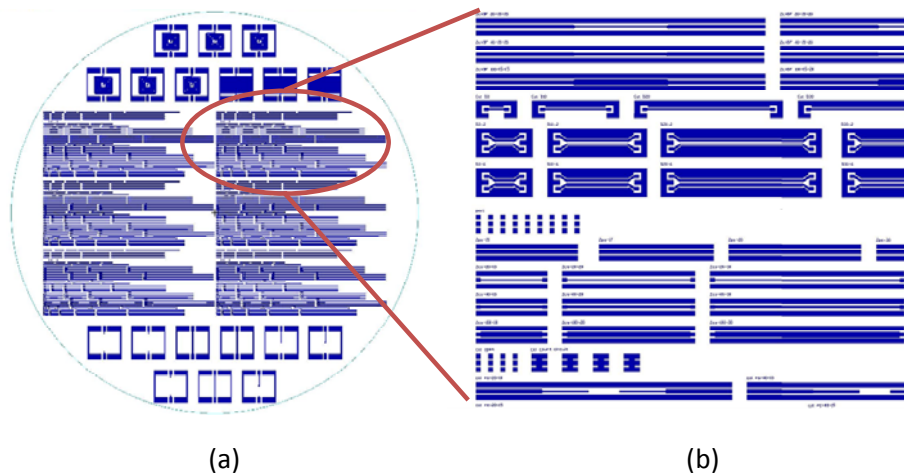


Figure IV.5 : « Mapping » du véhicule de test (a) vue d'ensemble (b) zoom sur les lignes de transmission

IV.2.3 Résultats

Les résultats de la méthode proposée (notée provisoirement « De Rivaz »), de la méthode de Winkel et de celle de Williams sont comparés avec ceux d'une modélisation EM sous HFSS.

La partie réelle et la partie imaginaire de l'impédance caractéristique, en fonction de la fréquence, des lignes de transmission sous test sont présentées Figure IV.6.

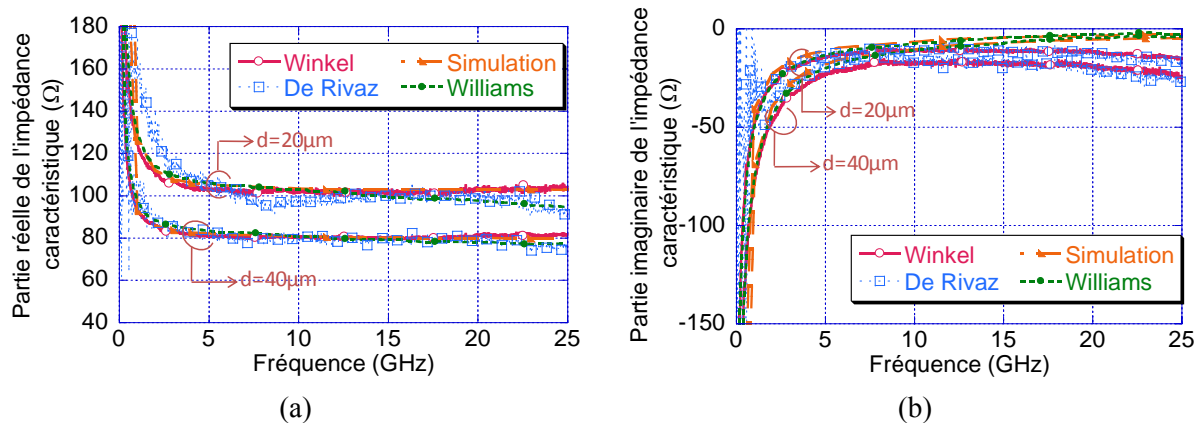


Figure IV.6: Impédance caractéristique des lignes de transmission de largeur 20 et 40 μm.

(a) Partie réelle (b) Partie imaginaire.

IV.3 Conclusion

Nous obtenons une bonne convergence des différentes méthodes en fréquences élevées (au-delà de quelques GHz). Les résultats du de-embedding au dessous de 2 GHz sont en revanche décevants puisqu'on observe un bruit basse fréquence très significatif. A ce stade de maturité de cette méthode, nous formulons deux hypothèses :

- soit nous avons manqué de précision lors de la mesure du saut d'impédance, qui est une des passages clefs de la méthode. Il faudra alors identifier la cause de ce manque de précision.
- soit ce bruit est inhérent à la méthode et il faudra alors évaluer la sensibilité des résultats basse fréquence à chacune de mesures mises en œuvre, établir des critères de robustesse de la méthode puis enfin la faire évoluer pour les cas non robustes.



Un brasier ardent ; mais M. Cryptogisme, en tant que gold, n'y fait pas attention.

(Extrait de [Töpffer, 1830])

Chapitre 3

Méthodes et outils d'analyse de réseaux complexes d'interconnexions intégrées

Ce chapitre est consacré à la présentation de méthodes et d'outils analytiques relativement complexes qu'il a été nécessaire de comprendre, d'optimiser ou de construire pour mener les études attendues et obtenir les résultats présentés dans le chapitre suivant.

La réalisation de ces outils fait partie intégrante de ce travail de thèse, son utilité est motivée dans la première partie du chapitre. Ces outils analytiques ont été intégrés dans un simulateur, codé sous le logiciel Matlab®.

Dans la deuxième partie, les outils généraux d'analyse de dispositifs à N ports sont présentés. L'apport escompté de cette partie est de présenter un formalisme le plus complet possible sur les réseaux d'interconnexions couplées et de fournir notamment les outils pour traduire de manière simple des matrices de paramètres S de dimensions supérieures à deux en valeurs de tensions et courants d'entrée et de sortie.

Dans les parties trois et quatre, on donnera l'ensemble de la méthodologie utilisée pour traduire les données fréquentielles finies discrètes, issues de mesures au VNA ou de simulations électromagnétiques, en signaux temporels exploitables pour fournir des spécifications de performances (délais, temps de transition, diaphonie):

- dans la troisième partie on traite du passage dans le domaine temporel à partir de données fréquentielles, en insistant particulièrement sur les problématiques d'extrapolation.
- la quatrième partie concerne l'apodisation de ces données.

Les deux parties suivantes sont consacrées à l'effet de l'environnement diélectrique des lignes:

- dans la cinquième partie, on montre l'effet des conducteurs flottants sur les signaux logiques transmis, en particulier ce que l'on appelle des « dummies » dans l'environnement immédiat des interconnexions.
- dans la sixième partie, on analyse le problème de l'intégration dans le BEOL de diélectriques à permittivité potentiellement variable avec la fréquence et de leurs impacts sur les signaux.

En septième partie enfin, en guise de clôture du chapitre, on donne des exemples d'applications de ces traitements des données, appliqués aux mesures effectuées dans le laboratoire.

Sommaire du Chapitre 3

Méthodes et outils d'analyse de réseaux complexes d'interconnexions intégrées	85
I Motivations du chapitre 3	89
II Réponse d'un réseau complexe d'interconnexions intégrées	90
II.1 Formalisme pour les dispositifs M ports	90
II.1.1 Exploitation des paramètres S issus des mesures ou des simulations EM	90
II.1.2 Exemple de formalisme pour un dispositif 6 ports	94
II.2 Réseau de N interconnexions couplées	95
II.2.1 Matrice ABCD d'un réseau de N interconnexions couplées	96
III Traitements des données et passage dans le domaine temporel	97
III.1 Interpolation et extrapolation des données	97
III.2 Terminologie sur les signaux et les systèmes	98
III.3 Echantillonnage du signal et utilisation de la TFD	99
III.3.1 Symétrie hermitienne pour les signaux réels	99
III.3.2 Bande passante et bande de cohérence	100
III.3.3 Pratique de l'échantillonnage fréquentiel	102
III.3.4 Relation entre interpolation dans le domaine temporel et extrapolation-apodisation dans le domaine fréquentiel	103
III.4 Extrapolation des données fréquentielles et causalité	105
III.4.1 Procédures d'extrapolation typiques	105
III.4.2 Procédures choisies dans le cadre de cette étude	106
III.4.3 Respect de la causalité de la réponse d'un système durant les procédures d'extrapolation ou d'interpolation des données fréquentielles	106
IV Apodisation et signaux d'excitation pour l'évaluation des performances	117
IV.1 Problématique du fenêtrage	117
IV.1.1 Recherche de finitude des fenêtres d'apodisation	118
IV.1.2 Respect de l'intégrité du signal mesuré	118
IV.1.3 Compromis entre finitude et intégrité du signal	118
IV.2 Description dans le domaine temporel des fenêtres d'apodisation proposées	118
IV.2.1 Choix des signaux d'excitation (d'apodisation)	119
IV.2.2 Signal (ou fonction) porte	120
IV.2.3 Signal (ou fonction) gaussien	120
IV.2.4 Signal (ou fonction) composite	121
IV.2.5 Comparaison des pentes	122
IV.2.6 Exemple d'évaluation des délais de propagation avec les trois signaux de test pour une ligne standard typique CMOS 45 nm de 0.1 mm de longueur	124
V Modélisation des conducteurs flottants et « dummies »	125
V.1 Définition des capacités relatives et absolues	125
V.1.1 Définition au sens de Maxwell	125
V.1.2 Définition au sens de Kirchhoff	125
V.2 Effet des conducteurs flottants sur les capacités propres et mutuelles	126
V.2.1 Exemple 1 de conducteur flottant	127
V.2.2 Exemple 2 de conducteur flottant	128
VI Modélisation des diélectriques	129
VI.1 Introduction de matériaux diélectriques ULK	129

VI.2	Capacité et conductance entre deux conducteurs.....	129
VI.2.1	Rappel des définitions classiques de la capacité C et de la conductance G	129
VI.2.2	Définitions adoptées dans ce développement.....	130
VI.2.3	Exemple d'un condensateur plan	131
VI.2.4	Modèles de Debye.....	132
VII	Mise en application des développements réalisés sur les aspects extrapolation, apodisation et passage dans le domaine temporel	134
VII.1	Exemple 1 : Intégration de SiOCH (« silicium poreux ») ULK	134
VII.1.1	Contexte de l'étude.....	134
VII.1.2	Traitement des mesures et du signal.....	134
VII.1.3	Démarche d'analyse proposée et résultats.....	135
VII.2	Exemple 2 : Mesure hyperfréquence d'un dispositif 3 D à perte dans le silicium.....	138
VII.2.1	Contexte de l'étude.....	138
VII.2.2	Démarche d'analyse proposée et résultats.....	139

Figures du Chapitre 3

Figure II.1	: Représentation schématique d'un dispositif M ports (masse non représentée)	90
Figure II.2	: Définitions des matrices S, T, ABCD et Z pour un dispositif 2N ports	91
Figure II.3	: Formalisme utilisé pour définir des dispositifs 2N ports	92
Figure II.4	: Représentation schématique des conditions de charges et d'excitations aux bornes d'un dispositif 2N ports (dans cet exemple on place des excitations E_1 en amont sur chaque port et aucune excitation en aval : $E_2=0$).....	93
Figure II.5	: Exemple d'un dispositif 6 ports (les masses ne sont pas représentées)	94
Figure II.6	: Représentation schématique d'un réseau de N interconnexions couplées	95
Figure III.1	: Terminologie sur les signaux et les systèmes.....	98
Figure III.2	: Illustration de la TFD (et la FFT)	99
Figure III.3	: Représentation schématique de la symétrie hermitienne (signaux réels).....	100
Figure III.4	: Illustration d'un signal de bande passante et de bande de cohérence quasi finies	100
Figure III.5	: Illustration du rapport entre bande passante mesurée et bande de mesure	101
Figure III.6	: Illustration de la troncature des données fréquentielles.....	103
Figure III.7	: Equivalence fréquence-temps de l'opération d'apodisation	104
Figure III.8	: Illustration de l'interpolation des données temporelles issues (par IFFT) de la mesure fréquentielle discrète ($N = 2000$ points $F_{max} = 50$ GHz) sur les réponses impulsionnelle et indicielle d'une interconnexion	105
Figure III.9	: Illustration des méthodes d'extrapolation linéaires classiques	105
Figure III.10	: Fonction signe $sgn(t)$	107
Figure III.11	: Réponse $U(\omega)$	110
Figure III.12	: Réponse $V(\omega)$	110
Figure III.13	: Modèle de Schéma électrique équivalent.....	114
Figure III.14	: Exemple 1 de structure (condensateur plan)	114
Figure III.15	: Illustration de l'admittance équivalente du condensateur étudié.....	115
Figure III.16	: Exemple 2 de structure (interconnexion intégrée) faisant apparaître la répartition des champs électriques en fonction de la fréquence	115
Figure III.17	: Illustration de l'admittance équivalente de l'interconnexion étudiée.....	115

Figure III.18 : Illustration de la construction de capacités décroissantes	116
Figure IV.1 : Représentations fréquentielle et temporelle de la réponse « apodisée » d'un dispositif quelconque.....	117
Figure IV.2 : Exemple de signal temporel porte de bande passante à -6dB = 40 GHz	120
Figure IV.3 : Exemple de signal gaussien de bande passante à -6dB = 40 GHz.....	121
Figure IV.4 : Exemple de signal composite de bande passante à -6dB = 40 GHz.....	121
Figure IV.5 : Illustration de la construction (par multiplication dans le domaine temporel) du signal composite pour $B_w = 40$ GHz et $B_w' = 4$ GHz.....	122
Figure IV.6 : Comparaison des 3 signaux dans les domaines temporels et fréquentiels	122
Figure IV.7 : Comparaison des pentes entre le signal porte et le signal composite	123
Figure IV.8 : Comparaison des pentes entre le signal porte et le signal gaussien	123
Figure IV.9 : Comparaison des pentes entre le signal gaussien et le signal composite.....	123
Figure IV.10 : Exemple de comparaison des calculs de délais pour les 3 signaux testés et les spectres associés	124
Figure V.1 : Illustration des capacités relatives, propres (ζ_{11} et ζ_{22}), et mutuelles (ζ_{12} et ζ_{21}).....	126
Figure V.2 : Configurations d'interconnexion, isolée ou couplée	127
Figure V.3 : Configuration d'interconnexions couplées	128
Figure VI.1 : Illustration de la définition de C et G.....	130
Figure VI.2 : Illustration schématique d'un condensateur plan (sans effets de bord).....	131
Figure VI.3 : Illustration de l'évolution de la permittivité diélectrique avec la fréquence (d'après A. Moliton, « Applications de l'électromagnétisme dans les milieux matériels »)	133
Figure VII.1 : Schéma en coupe des dispositifs mesurés, intégrant du SiOCH (l'architecture 1 est passivée, l'architecture 2 ne l'est pas)	134
Figure VII.2 : Illustration de non causalité: réponse indicielle du dispositif mesuré	135
Figure VII.3 : Micro photographie SEM et TEM des dispositifs mesurés	135
Figure VII.4 : Illustration de la définition de la permittivité effective équivalente	135
Figure VII.5 : Mesure des permittivités diélectriques relatives des deux dispositifs (passivé et non passivé)	136
Figure VII.6 : Extrapolation causale de la permittivité diélectrique équivalente extraite.....	137
Figure VII.7 : Effet du choix de l'ordre du model de Debye utilisé pour la modélisation de la permittivité diélectrique sur l'évaluation des performances	137
Figure VII.8 : Représentation schématique en vue de dessus et en coupe de la RDL mesurée.....	138
Figure VII.9 : Illustration des réponses impulsionnelle et indicielle de la RDL en utilisant une extrapolation linéaire des données mesurées	139
Figure VII.10 : Illustration de l'extrapolation des données fréquentielles mesurées (remarque : l'interpolation par identification à un modèle de Debye force ici la valeur de G à 0 lorsque $f \rightarrow 0$)	140
Figure VII.11 : Illustration des réponses impulsionnelle et indicielle de la RDL en forçant la causalité avec un model de Debye durant l'extrapolation des données mesurées	140

I Motivations du chapitre 3

Dans le Chapitre 1, la matrice chaîne d'une interconnexion **isolée** a été présentée. Cette matrice définit, dans le domaine fréquentiel, les relations entre les niveaux de tensions et de courants aux interfaces de l'interconnexion en fonction des conditions de charges et d'excitations.

En outre on a insisté sur l'importance du choix des circuits actifs aux interfaces des interconnexions, dits « drivers ». Une application principale de ces résultats est de pouvoir évaluer les performances des interconnexions intégrées en termes de bande passante.

Toutefois, une évaluation fine des délais d'interconnexion et des temps de montée des signaux logiques, nécessaire à une bonne compréhension du circuit et à son optimisation, requiert un post-traitement plus poussé:

1. Prise en compte des couplages inter-conducteurs dans le réseau d'interconnexions:

- qui modifient les valeurs des paramètres primaires propres.
- qui créent des couplages mutuels, essentiellement capacitifs.

Les deux conséquences majeures de ces phénomènes sont:

- D'une part, la dégradation de la réponse des interconnexions, susceptible de limiter la rapidité du circuit.
- D'autre part, l'émergence de niveaux d'interférences sur les signaux, par diaphonie, parfois très critiques. Il a donc été nécessaire d'améliorer ou de créer des outils spécifiques, capables de fournir les niveaux de tensions et de courants d'un réseau de N interconnexions couplées, pour chaque interconnexion impliquée du réseau, en fonction des conditions de charge et d'excitation et quelle que soit la taille N du réseau.

2. Traduction des réponses fréquentielles dans le domaine temporel, afin d'extraire des métriques de performance.

3. Prise en compte de tout l'environnement diélectrique des conducteurs, notamment les matériaux diélectriques isolants intégrés dans l'empilement technologique et de la présence éventuelle de conducteurs flottants.

L'ensemble de ces outils seront intégrés dans un simulateur numérique qui permettra d'évaluer les performances globales du BEOL à partir d'une mesure, ou d'une simulation électromagnétique, en général exprimée sous la forme de matrices de paramètres S .

II Réponse d'un réseau complexe d'interconnexions intégrées

II.1 Formalisme pour les dispositifs M ports

On s'intéresse à la caractérisation d'un dispositif M ports, comme représenté en Figure II.1. On peut définir une matrice $[S]$ ou par exemple, en termes de tensions et de courants, une matrice $[Z]$, de dimensions $M \times M$.

Les définitions des matrices S et Z pour un dispositif M ports sont données ci-dessous (Figure II.1).

On note a_i et b_i , les ondes respectivement incidentes et émergentes et u_i et i_i les tensions et courants au niveau du port i ($1 \leq i \leq M$).

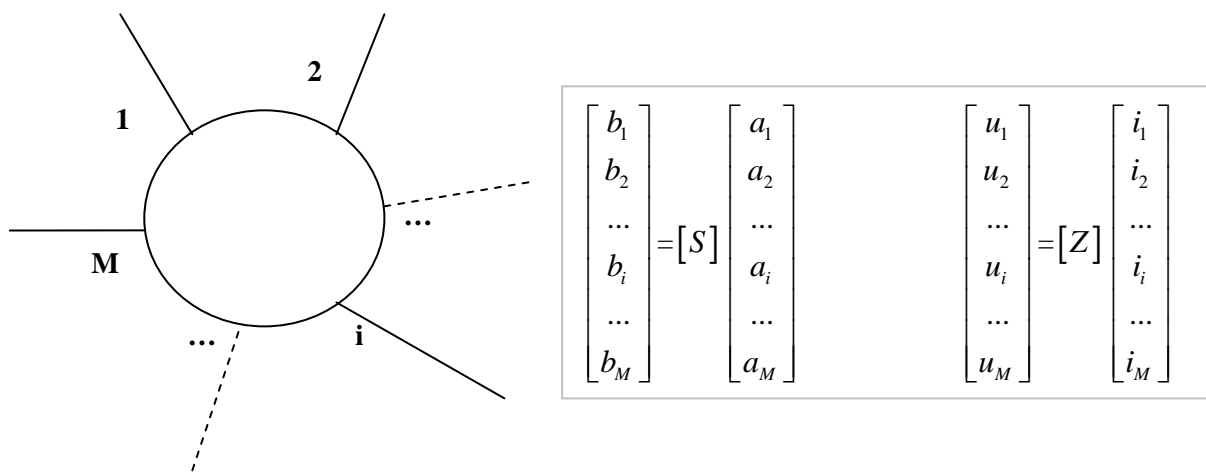


Figure II.1 : Représentation schématique d'un dispositif M ports (masse non représentée)

Si M est pair, on sait construire des matrices chaîne ABCD ou transmission T **carrées**, donc relativement facilement manipulables (paragraphe II.1.1.a).

En revanche, lorsque M est impair, la définition des matrices ABCD ou des matrices T par exemple est moins naturelle. Pour continuer à manipuler des matrices carrées, il faut ajouter un $(M+1)^{\text{ème}}$ port virtuel.

On peut alors s'intéresser au cas de dispositifs $2N$ ports ($N = M/2$ ou $(M+1)/2$) et retrouver un formalisme simple. C'est l'objet du paragraphe qui suit.

II.1.1 Exploitation des paramètres S issus des mesures ou des simulations EM

Concernant la mesure, il existe différentes techniques [Seguinot, 1998], [Will, 2007] plus ou moins complexes permettant de mesurer un dispositif M ports à partir d'une instrumentation réduite à 2 ou 4 ports (VNA 2 ports ou 4 ports par exemple). Ces techniques incluent les procédures de calibrage et de de-embedding appropriées.

D'un autre côté, on peut également caractériser une structure complexe à partir de modélisation et de simulation électromagnétiques. Les logiciels de type 2D ou full wave 3D sont capables de fournir des matrices de paramètres S de dimensions M quelconque ($M > 2$), bien que la définition des conditions d'excitation au niveau des M ports pour les structures 3D puisse être délicate.

Une fois ces données à M dimensions obtenues, il faut les traiter pour obtenir une description comportementale du réseau étudié.

II.1.1.a Construction des matrices chaînes

La difficulté de l'analyse réside dans l'exploitation et l'interprétation de ces grosses matrices de paramètres S . En forçant le système étudié à un nombre de ports pair, on va pouvoir définir ce système en termes de courants et de tensions. On cherche donc à établir les relations en tension et en courant entre N signaux en entrée et N en sortie d'un dispositif à $2N$ ports passif tel qu'il est schématiquement représenté en Figure II.2.

L'idée, inspirée des travaux de de-embedding de C. Seguinot [Seguinot, 1998], est d'utiliser un formalisme « entrée-sortie » pour le dispositif.

- Les $2N$ ports sont divisés en N ports définis d'entrée d'une part et N ports définis de sortie d'autre part.
- On traduit alors les matrices de paramètres S de la mesure en matrices de paramètres T . Les définitions des matrices S , T , $ABCD$ et Z pour un dispositif $2N$ ports sont données en Figure II.2.
- Par simple combinaisons linéaires des paramètres T , fonction des impédances de référence sur chacun des ports, on peut obtenir les matrices chaîne $2N \times 2N$. Le formalisme utilisé est présenté en Figure II.3.

D'un point de vue purement formel, la répartition entre ports d'entrée et ports de sortie est contingente. Dans la pratique un mauvais choix sur cette répartition peut causer des problèmes de convergence numérique pendant le post-traitement des données et il est préférable d'utiliser une répartition naturelle lorsqu'on la connaît. Dans l'exemple d'un réseau d'interconnexions, pour chaque interconnexion on mettra une extrémité en entrée et l'autre extrémité correspondante en sortie.

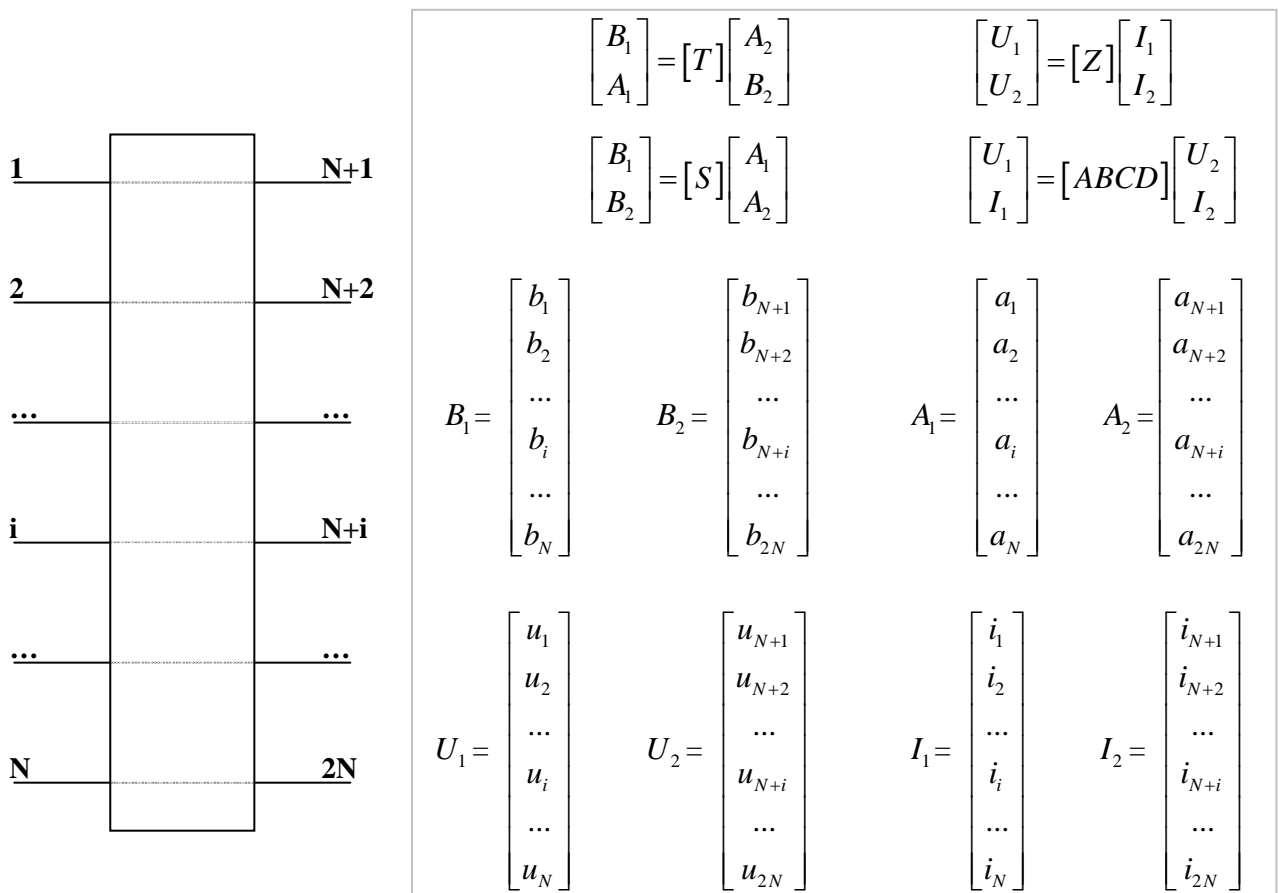


Figure II.2 : Définitions des matrices S , T , $ABCD$ et Z pour un dispositif $2N$ ports

La Figure II.3 illustre ce type de modélisation 2N ports avec le formalisme : ondes incidentes a_i et ondes émergentes b_i .

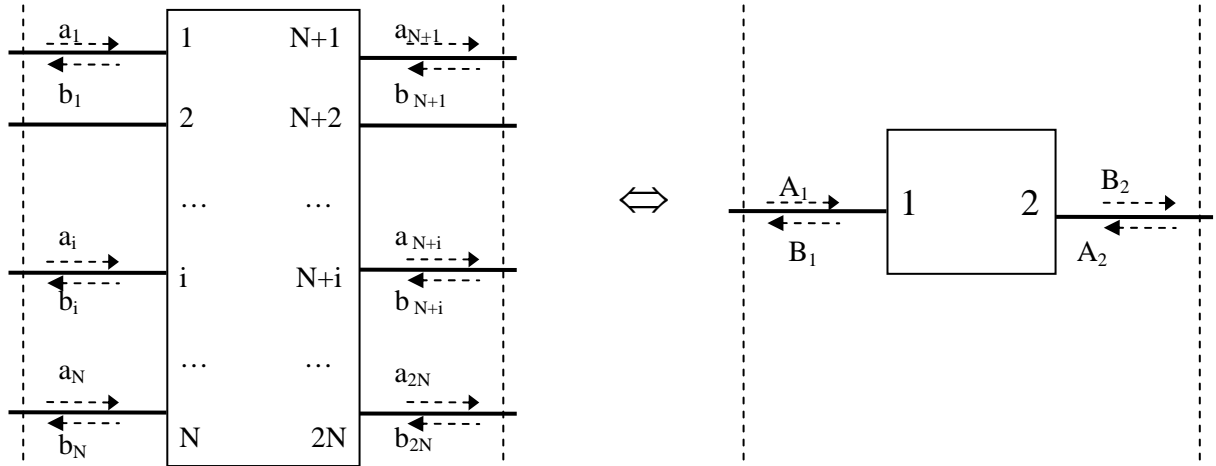


Figure II.3 : Formalisme utilisé pour définir des dispositifs 2N ports

On pose

$$\begin{bmatrix} B_1 \\ A_1 \end{bmatrix} = [T] \begin{bmatrix} A_2 \\ B_2 \end{bmatrix} = \begin{bmatrix} [T_{11}] & [T_{12}] \\ [T_{21}] & [T_{22}] \end{bmatrix} \begin{bmatrix} A_2 \\ B_2 \end{bmatrix} \quad \begin{bmatrix} B_1 \\ B_2 \end{bmatrix} = \begin{bmatrix} [S_{11}] & [S_{12}] \\ [S_{21}] & [S_{22}] \end{bmatrix} \begin{bmatrix} A_1 \\ A_2 \end{bmatrix} = [S] \begin{bmatrix} A_1 \\ A_2 \end{bmatrix}$$

Relation [3- 1]

$[T_{11}]$, $[T_{12}]$, $[T_{21}]$, $[T_{22}]$, $[S_{11}]$, $[S_{12}]$, $[S_{21}]$ et $[S_{22}]$ sont des matrices $N \times N$, que l'on notera simplement dans la suite: T_{11} , T_{12} , T_{21} , T_{22} , S_{11} , S_{12} , S_{21} et S_{22} , lorsqu'il n'y a pas d'ambiguïté.

A partir de ce formalisme, on peut exprimer les relations entre les matrices de paramètre S et les matrices de paramètre T (Relation [3- 2] et Relation [3- 3]).

$$\begin{bmatrix} T_{11} & T_{12} \\ T_{21} & T_{22} \end{bmatrix} = \begin{bmatrix} S_{12} - S_{11}S_{21}^{-1}S_{22} & S_{11}S_{21}^{-1} \\ -S_{21}^{-1}S_{22} & S_{21}^{-1} \end{bmatrix}$$

Relation [3- 2]

$$\begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} = \begin{bmatrix} T_{12}T_{22}^{-1} & T_{11} - T_{12}T_{22}^{-1}T_{21} \\ T_{22}^{-1} & -T_{22}^{-1}T_{21} \end{bmatrix}$$

Relation [3- 3]

Remarque : Il est important de souligner ici que le maniement de ces opérations matricielles est délicat notamment à cause de la non-commutativité de la multiplication:

$$\begin{bmatrix} T_{11} & T_{12} \\ T_{21} & T_{22} \end{bmatrix} \neq S_{21}^{-1} \begin{bmatrix} S_{12} - S_{11}S_{22} & S_{11} \\ -S_{22} & 1 \end{bmatrix} \quad \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \neq T_{22}^{-1} \begin{bmatrix} T_{12} & T_{11} - T_{12}T_{21} \\ 1 & -T_{21} \end{bmatrix}$$

En revanche, les relations de transformation entre les matrices ABCD et les matrices T sont de simples combinaisons linéaires qui intègrent la connaissance des impédances Z_1 et Z_2 aux interfaces, exprimées en Relation [3- 4] et Relation [3- 5].

$$A = \frac{Z_1 \times (T_{11} + T_{12} + T_{21} + T_{22})}{2\sqrt{Z_1 Z_2}} \quad B = \frac{Z_1 Z_2 \times (-T_{11} + T_{12} - T_{21} + T_{22})}{2\sqrt{Z_1 Z_2}}$$

$$C = \frac{-T_{11} - T_{12} + T_{21} + T_{22}}{2\sqrt{Z_1 Z_2}} \quad D = \frac{Z_2 \times (T_{11} - T_{12} - T_{21} + T_{22})}{2\sqrt{Z_1 Z_2}}$$

Relation [3- 4]

$$T_{11} = \frac{AZ_2 - B - CZ_1 Z_2 + DZ_1}{2\sqrt{Z_1 Z_2}} \quad T_{12} = \frac{AZ_2 + B - CZ_1 Z_2 - DZ_1}{2\sqrt{Z_1 Z_2}}$$

$$T_{21} = \frac{AZ_2 - B + CZ_1 Z_2 - DZ_1}{2\sqrt{Z_1 Z_2}} \quad T_{22} = \frac{AZ_2 + B + CZ_1 Z_2 + DZ_1}{2\sqrt{Z_1 Z_2}}$$

Relation [3- 5]

II.1.1.b Intégration des conditions d'excitation et de charge à l'interface du réseau à 2N ports

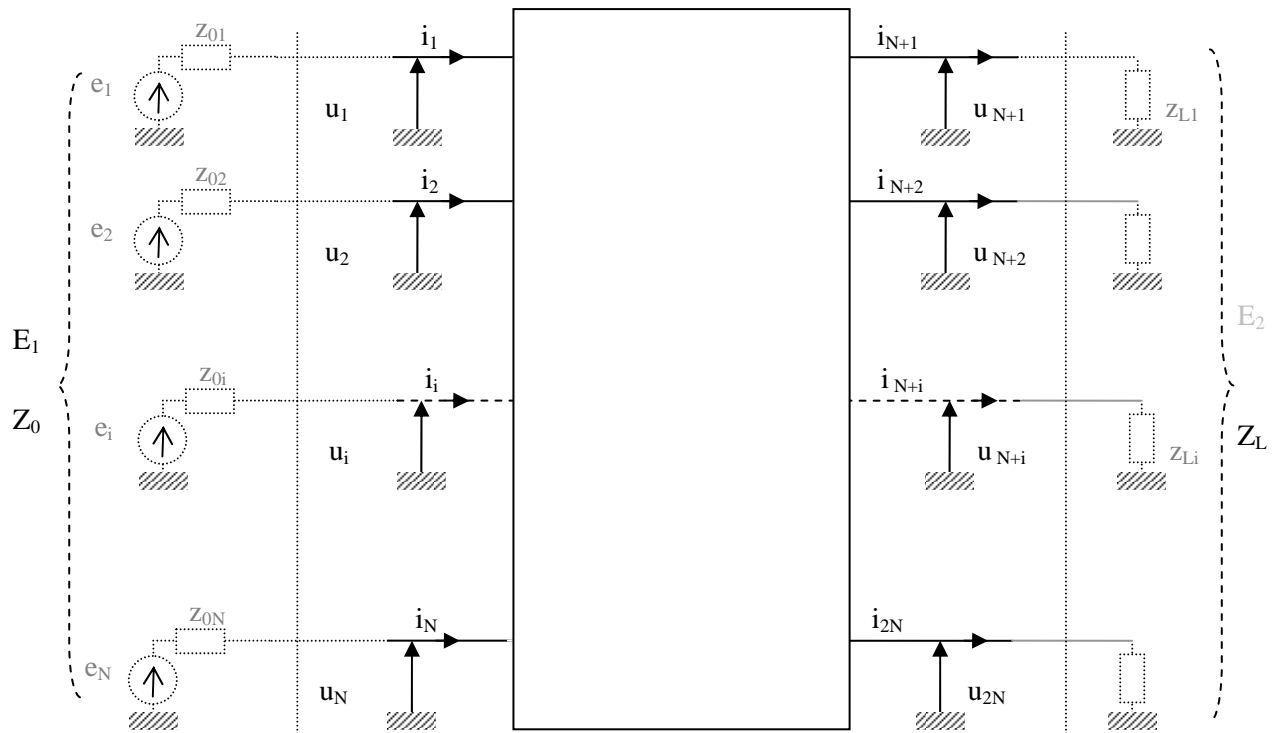


Figure II.4 : Représentation schématique des conditions de charges et d'excitations aux bornes d'un dispositif 2N ports (dans cet exemple on place des excitations E_1 en amont sur chaque port et aucune excitation en aval : $E_2 = 0$)

Remarque : Dans la représentation donnée en Figure II.4, on place des excitations E_1 en amont sur chaque port et aucune excitation en aval : $E_2 = 0$, ce qui est la configuration la plus courante dans un circuit.

La matrice ABCD globale étant construite et les conditions de charge et d'excitation définies, on a plus qu'à résoudre le système d'équations [Bermond, 2001], de caractéristique :

- 4N inconnues (les courants et les tensions aux bornes du dispositif)
- 2N équations intrinsèques (Matrice ABCD propre aux N lignes couplées)
- 2N équations extrinsèques (Charges et excitations aux interfaces des N lignes couplées)

On résoudra le système d'équations correspondant, qui s'écrit à l'aide d'une matrice $4N \times 4N$ (Relation [3- 6]).

$$\begin{bmatrix} A & B & -1 & 0 \\ C & D & 0 & -1 \\ 1 & -Z_L & 0 & 0 \\ 0 & 0 & 1 & Z_0 \end{bmatrix} \begin{bmatrix} U_2 \\ I_2 \\ U_1 \\ I_1 \end{bmatrix} = \begin{bmatrix} 0 \\ 0 \\ E_2 \\ E_1 \end{bmatrix} \quad (1 \text{ désigne une matrice identité } N \times N)$$

Relation [3- 6]

II.1.2 Exemple de formalisme pour un dispositif 6 ports

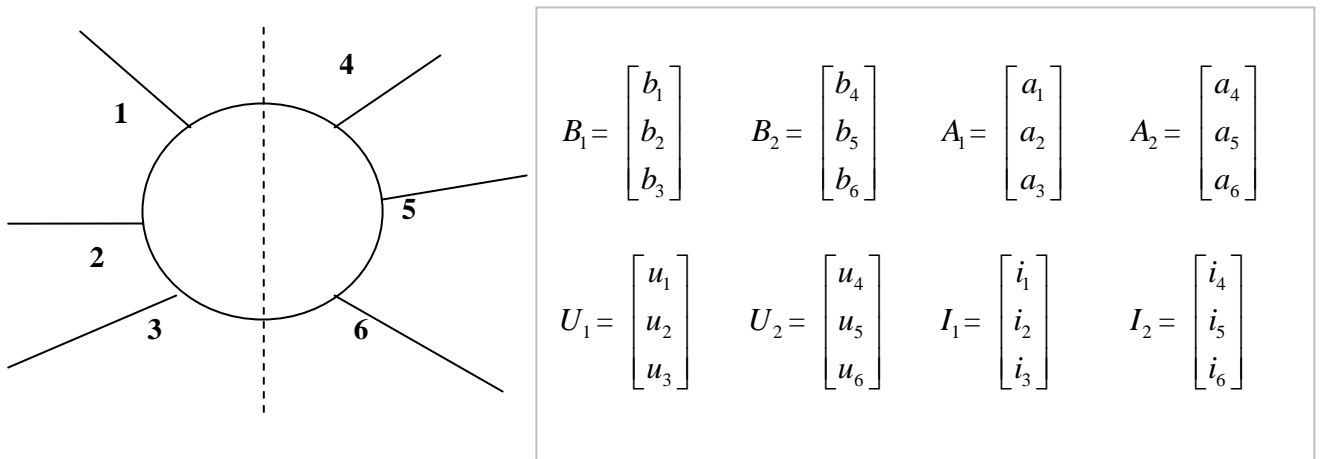


Figure II.5 : Exemple d'un dispositif 6 ports (les masses ne sont pas représentées)

$$\begin{bmatrix} B_1 \\ B_2 \end{bmatrix} = \begin{bmatrix} [S_{11}] & [S_{12}] \\ [S_{21}] & [S_{22}] \end{bmatrix} \begin{bmatrix} A_1 \\ A_2 \end{bmatrix} = [S] \begin{bmatrix} A_1 \\ A_2 \end{bmatrix}$$

$$\begin{bmatrix} B_1 \\ B_2 \end{bmatrix} = \begin{bmatrix} b_1 \\ b_2 \\ b_3 \\ b_4 \\ b_5 \\ b_6 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} & S_{13} & S_{14} & S_{15} & S_{16} \\ S_{21} & S_{22} & S_{23} & S_{24} & S_{25} & S_{26} \\ S_{31} & S_{32} & S_{33} & S_{34} & S_{35} & S_{36} \\ S_{41} & S_{42} & S_{43} & S_{44} & S_{45} & S_{46} \\ S_{51} & S_{52} & S_{53} & S_{54} & S_{55} & S_{56} \\ S_{61} & S_{62} & S_{63} & S_{64} & S_{65} & S_{66} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \\ a_3 \\ a_4 \\ a_5 \\ a_6 \end{bmatrix} = \begin{bmatrix} [S_{11}] & [S_{12}] \\ [S_{21}] & [S_{22}] \end{bmatrix} \begin{bmatrix} A_1 \\ A_2 \end{bmatrix}$$

Relation [3- 7]

Après application des Relation [3- 2] et Relation [3- 4], on obtient la matrice chaîne $[ABCD]$ de dimension 6×6 .

$$\begin{bmatrix} U_1 \\ I_1 \end{bmatrix} = \begin{bmatrix} u_1 \\ u_2 \\ u_3 \\ i_1 \\ i_2 \\ i_3 \end{bmatrix} = \begin{bmatrix} A_{14} & A_{15} & A_{16} & B_{14} & B_{15} & B_{16} \\ A_{24} & A_{22} & A_{23} & B_{24} & B_{25} & B_{26} \\ A_{34} & A_{35} & A_{36} & B_{34} & B_{35} & B_{36} \\ C_{14} & C_{15} & C_{16} & D_{14} & D_{15} & D_{16} \\ C_{24} & C_{25} & C_{26} & D_{24} & D_{25} & D_{26} \\ C_{34} & C_{35} & C_{36} & D_{34} & D_{35} & D_{36} \end{bmatrix} \begin{bmatrix} u_4 \\ u_5 \\ u_6 \\ i_4 \\ i_5 \\ i_6 \end{bmatrix} = \begin{bmatrix} [A] & [B] \\ [C] & [D] \end{bmatrix} \begin{bmatrix} U_2 \\ I_2 \end{bmatrix} = [ABCD] \begin{bmatrix} U_2 \\ I_2 \end{bmatrix}$$

Relation [3- 8]

Remarque : la difficulté du formalisme 2N ports est souvent liée à l'exigence de ne pas se tromper dans l'organisation de la numérotation. Il faut noter que l'ordre de numérotation des ports tel qu'il est présenté ici (Cf. Figure II.5) a toute son importance pour avoir une définition « naturelle » sur les matrices de paramètres S (Cf. Relation [3- 7]) et ABCD (Cf. Relation [3- 8]), c'est-à-dire facilement organisable et ordonnable.

II.2 Réseau de N interconnexions couplées

On cherche à établir les relations en tension et en courant entre N signaux en entrée et N en sortie d'un réseau d'interconnexions couplées, tel qu'il est schématiquement représenté en Figure II.6. On suppose que l'on munit ce réseau de conditions de charges et d'excitation connues à ses interfaces. Ces relations vont permettre de produire une évaluation des performances de ce dispositif en termes de délai, de couplage et d'adaptation, en fonction des conditions de charges et d'excitation à l'interface du dispositif.

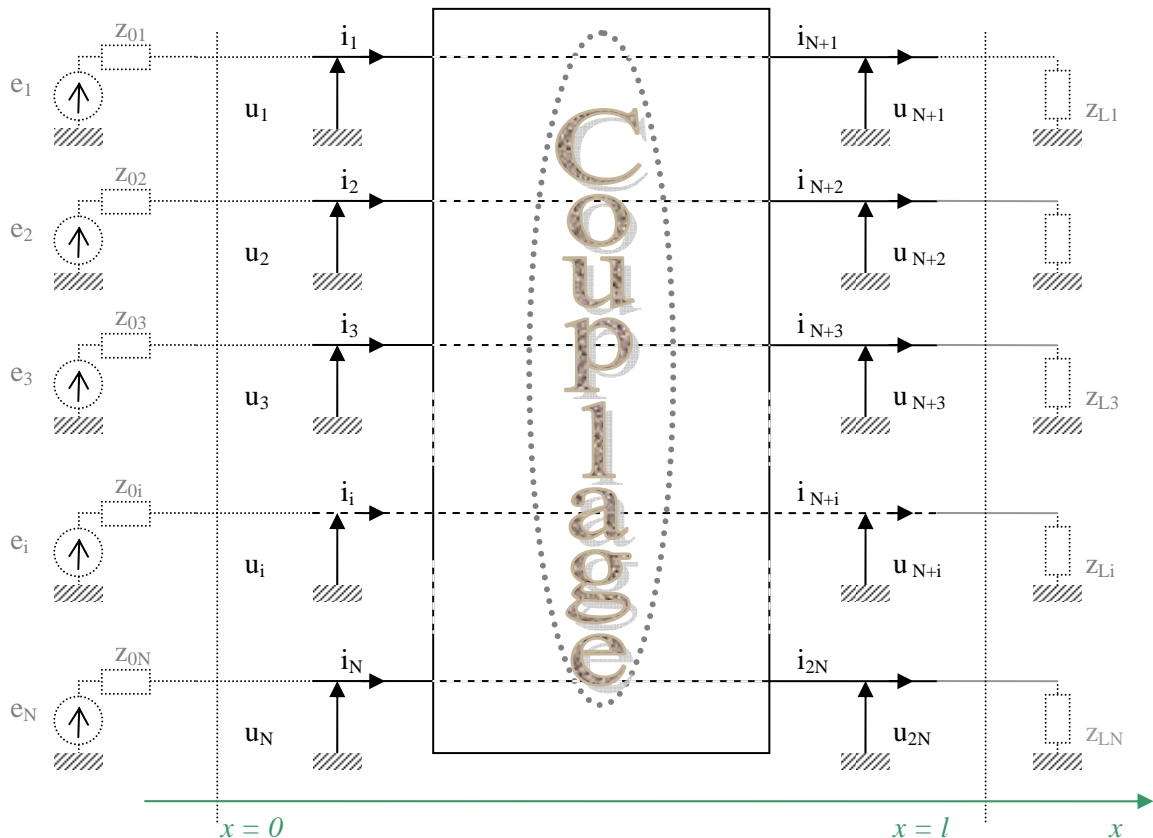


Figure II.6 : Représentation schématique d'un réseau de N interconnexions couplées

II.2.1 Matrice ABCD d'un réseau de N interconnexions couplées

On généralise ici à N interconnexions les définitions de réseau d'interconnexions couplées données dans le chapitre 1 pour le cas de 2 interconnexions. On définit les matrices d'admittance \mathbf{Y} et d'impédance \mathbf{Z} pour le cas de N interconnexions couplées:

$$\mathbf{Y} = \begin{bmatrix} Y_{11} & Y_{12} & \cdots & Y_{1j} & \cdots & Y_{1N} \\ Y_{21} & \cdots & \cdots & \cdots & \cdots & \cdots \\ \cdots & \cdots & \cdots & \cdots & \cdots & \cdots \\ Y_{i1} & \cdots & \cdots & Y_{ij} & \cdots & \cdots \\ \cdots & \cdots & \cdots & \cdots & \cdots & \cdots \\ Y_{N1} & \cdots & \cdots & \cdots & \cdots & Y_{NN} \end{bmatrix} \quad \mathbf{Z} = \begin{bmatrix} Z_{11} & Z_{12} & \cdots & Z_{1j} & \cdots & Z_{1N} \\ Z_{21} & \cdots & \cdots & \cdots & \cdots & \cdots \\ \cdots & \cdots & \cdots & \cdots & \cdots & \cdots \\ Z_{i1} & \cdots & \cdots & Z_{ij} & \cdots & \cdots \\ \cdots & \cdots & \cdots & \cdots & \cdots & \cdots \\ Z_{N1} & \cdots & \cdots & \cdots & \cdots & Z_{NN} \end{bmatrix}$$

Relation [3- 9]

$$\text{avec } Y_{ij} = j\omega C_{ij} + \mathcal{G}_{ij} \quad \text{et} \quad Z_{ij} = j\omega L_{ij} + R_{ij} \quad i, j \in \{1; 2\}$$

On peut montrer que la matrice ABCD du réseau d'interconnexions couplées s'écrit :

$$ABCD = \begin{bmatrix} [M] & 0 \\ 0 & [N] \end{bmatrix} \begin{bmatrix} [\cosh(\gamma_d)] & [\sinh(\gamma_d) \times Zc_d] \\ [\sinh(\gamma_d) / Zc_d] & [\cosh(\gamma_d)] \end{bmatrix} \begin{bmatrix} [M]^{-1} & 0 \\ 0 & [N]^{-1} \end{bmatrix}$$

Relation [3- 10]

Les matrices $[M]$ et $[N]$ sont des matrices de passages, de dimension $N \times N$, entre le domaine observable et un domaine dit « modal » : ces deux matrices permettent de dé-corréler les signaux propagés sur chacune des N interconnexions sur N modes de propagations orthogonaux.

Les matrices γ_d et Zc_d sont des matrices diagonales, de dimensions $N \times N$, fonctions des matrices admittance \mathbf{Y} et impédance \mathbf{Z} .

Remarque: On rappelle en Annexe 3, les définitions des paramètres linéiques propres (Y_{ii}, Z_{ii}) et mutuels (Y_{ij}, Z_{ij}) et on donne les expressions analytiques des matrices $[M]$ et $[N]$, γ_d et Zc_d ainsi qu'un exemple de matrice ABCD pour le cas de deux lignes couplées symétriques.

III Traitements des données et passage dans le domaine temporel

L'évaluation des performances d'une interconnexion ou d'un réseau d'interconnexions intégrées passe en grande partie par une étude dans le domaine temporel, qu'il s'agisse de prévisions (à partir de simulations) ou de spécifications (à partir de mesures) sur les délais, les niveaux de diaphonie ou le niveau de dépassement (ou overshoot en anglais), tels qu'ils sont défini dans le Chapitre 1 (§ II.4).

- ⇒ Le délai, par exemple, peut être évalué avec précision uniquement dans le domaine temporel car il dépend à la fois de la bande passante mais aussi de la pente moyenne de la phase (qui correspond à un retard lié à la propagation), qui vont agir conjointement sur sa valeur.
- ⇒ Seuls les niveaux de diaphonie et d'« overshoot » dans le **domaine temporel** permettent d'estimer si la dégradation du signal sera préjudiciable au bon fonctionnement du système.

Données dans le domaine fréquentiel : des données temporelles sont directement disponibles, qu'elles soient informatives (mesure au moyen de réflectométrie temporelle ou TDR pour Time Domain Reflectometry par exemple) ou prédictives (simulation électromagnétique ou modélisation analytique basée sur des modèles de comportement physique). Toutefois cette approche exclusivement temporelle n'est pas précise dès que la longueur d'onde est grande devant la taille de la structure [Kouicem, 1996]. Afin d'obtenir une caractérisation précise du BEOL, on utilisera des données sur les interconnexions issues du domaine fréquentiel, qu'elles soient elles-mêmes informatives (mesure au moyen d'analyseur de réseau vectoriel, ou VNA pour Vector Network Analyzer, sur quelques dizaines de GHz de largeur de bande) ou prédictives (simulation électromagnétique ou modélisation analytique).

Traduction dans le domaine temporel : on doit donc construire, à l'aide de logiciels de calcul, les réponses temporelles numériques des réseaux d'interconnexions étudiés, sous forme de réponses impulsionnelles ou indicielles, à partir de données fréquentielles discrètes et finies.

- ⇒ Ces réponses temporelles numériques (vecteurs de nombres) doivent avoir une résolution suffisante pour pouvoir spécifier, avec la précision voulue, les performances des systèmes étudiés, en l'occurrence des interconnexions. Cette précision requise peut être inférieure à la picoseconde.
- ⇒ Les vecteurs de données temporelles obtenus par traitement numérique doivent être suffisamment longs pour décrire la totalité de l'étalement temporel des réponses impulsionnelles considérées et étudiées.

III.1 Interpolation et extrapolation des données

Le fait que la source d'information soit des données fréquentielles discrètes et finies requiert un ensemble de traitements délicats, incluant des procédures d'extrapolation et d'interpolation des données, ainsi que le choix de fenêtres d'apodisation appropriées.

- L'interpolation sert à ajouter des valeurs supposées entre deux données fréquentielles connues. La réponse temporelle du réseau d'interconnexion peut s'étaler sur certaine durée (plusieurs nanosecondes) à cause du potentiel effet conjoint du filtrage passe bande et d'un retard de phase. Ainsi en rendant plus petite la résolution fréquentielle par interpolation, on garantit que le modèle de réponse impulsionnelle obtenu à partir des données fréquentielle sera suffisamment long : il tiendra compte de la totalité du comportement du réseau d'interconnexion dans le temps sans qu'il y ait de troncature des signaux temporels liée au traitement. En outre, cette opération ne pose pas de problème mathématique majeur.

- L'extrapolation, quant à elle, qui sert à ajouter des valeurs supposées au-delà de l'intervalle de données fréquentielles connues, est en revanche beaucoup plus délicate.

Ces traitements sont l'objet du paragraphe suivant. On précisera l'ensemble des choix qui ont été fait pour obtenir des descriptions comportementales exploitables des interconnexions dans le domaine temporel, et obtenir des résultats quantitatifs précis tels qu'ils sont présentés dans le chapitre 3. Pour explorer plus en profondeur les préceptes de traitement du signal utilisés ici, on pourra consulter tout particulièrement ces deux ouvrages (francophones) de référence : [de Coulon, 1998] pour le traitement analogique et [Kunt, 1996] pour le traitement numérique.

III.2 Terminologie sur les signaux et les systèmes

Dans toute la partie III, on traite de problématiques de traitement du signal concernant notamment l'équivalence entre le domaine temporel et le domaine fréquentiel pour la description d'un signal, les problèmes de cohérence du traitement, liés en particulier à la causalité des signaux réels observables et enfin les problématiques de filtrage.

- Les signaux auxquels on s'intéresse sont tous à énergie finie (Figure III.1).

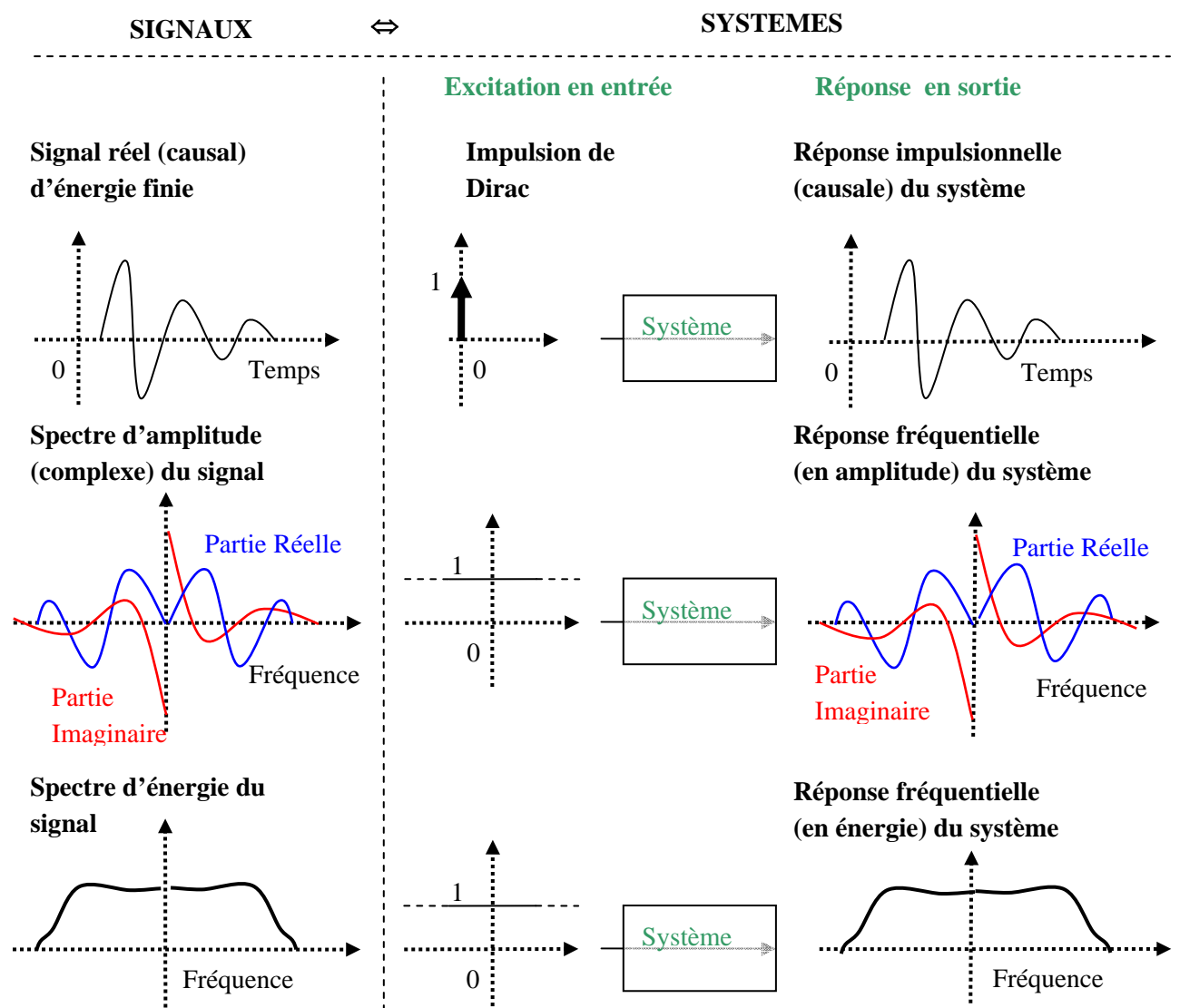


Figure III.1 : Terminologie sur les signaux et les systèmes

Rappelons en outre que le comportement d'un système linéaire peut se décrire parfaitement à partir de sa réponse impulsionnelle dans le domaine temporel ou par la Transformée de Fourier de sa réponse impulsionnelle dans le domaine fréquentiel. On utilisera donc parfois indifféremment (par abus de langage) le terme « signal » pour décrire soit un signal observable soit la réponse d'un système :

- Par « réponse » d'un système dans le domaine temporel, on désigne la réponse impulsionnelle de ce système, de laquelle on peut tirer facilement sa réponse indicielle par simple intégration dans le temps (entre 0 et $+\infty$) de la réponse impulsionnelle
- Par « réponse » d'un système dans le domaine fréquentiel, on désignera indifféremment le spectre d'amplitude (c'est-à-dire la Transformée de Fourier de sa réponse impulsionnelle) ou le spectre d'énergie (la valeur quadratique de cette Transformée de Fourier).

III.3 Echantillonnage du signal et utilisation de la TFD

Dans ce paragraphe, on se focalise sur l'échantillonnage fréquentiel puisque c'est celui-ci qui a été adopté dans l'ensemble des travaux présentés dans cette thèse pour caractériser la réponse d'un dispositif quelconque (Cf. III.3.3), que ce soit à partir de mesure au VNA ou de simulations EM.

Lorsqu'un signal a été échantillonné en respectant les critères évoqués ci-dessus, c'est-à-dire la quasi finitude du signal dans les deux domaines, la totalité de l'information sur ce signal est a priori directement exploitable dans les deux domaines, temporel et fréquentiel, par application de la Transformée de Fourier Discrète (TFD) ou de la Transformée de Fourier Discrète Inverse (TFDI), schématiquement représentées en Figure III.2.

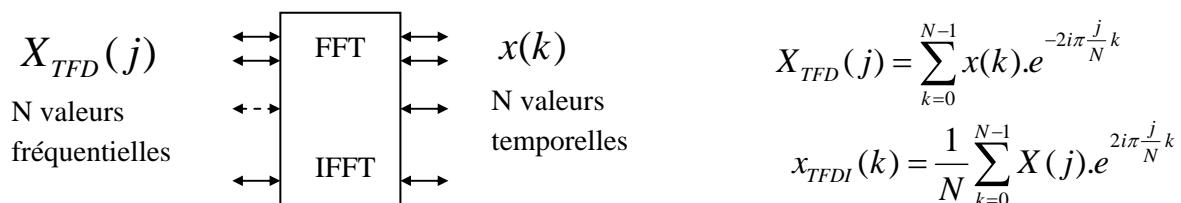


Figure III.2 : Illustration de la TFD (et la FFT)

Cependant cette imparfaite finitude pose encore problème, en particulier dans le domaine fréquentiel: en effet, la bande passante du signal échantillonné dans le domaine fréquentiel peut avoir des composantes résiduelles hors bande, de fréquence supérieure au spectre couvert par l'instrumentation. Ce sont tous ces aspects qui sont discutés dans la suite.

Remarque : On donnera en Annexe 17, une définition de la Transformée de Fourier Discrète.

III.3.1 Symétrie hermitienne pour les signaux réels

Les mesures fréquentielles obtenues par la mesure couvrent la réponse du dispositif mesuré sur un intervalle donné de fréquences positives. Pour appliquer une TFD inverse numériquement par IFFT, il faut reconstruire le formalisme de Fourier, c'est-à-dire, calculer les valeurs de la réponse pour les fréquences négatives. Il faut alors noter que le spectre de Fourier d'un signal réel possède une symétrie hermitienne (Cf. Figure III.3 et Relation [3- 11]).

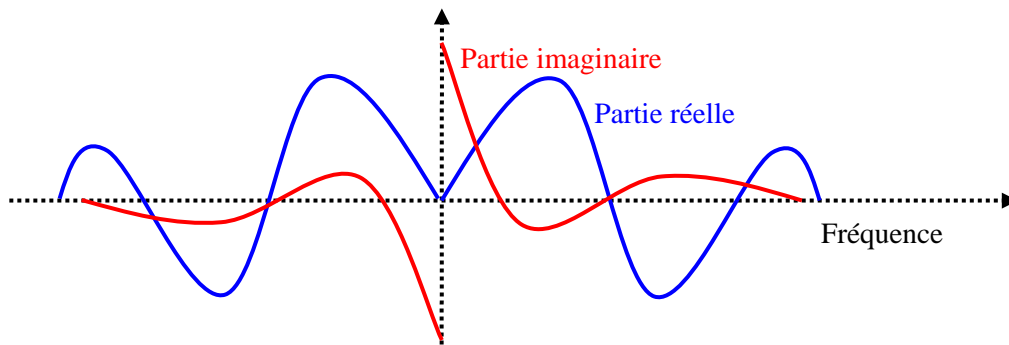


Figure III.3 : Représentation schématique de la symétrie hermitienne (signaux réels)

Définition: Soient $h(t)$ un signal temporel **réel** à temps **continu**, ou $h(k)$ un signal temporel **réel** à temps **discret**, $H(\omega)$ la TF de $h(t)$, $H(k)$ la TFD de $h(k)$: la **symétrie hermitienne** dans le domaine fréquentiel s'écrit :

$$\begin{aligned} H(-\omega) &= H^*(\omega) \\ H(-k) &= H^*(k) \end{aligned} \quad \Leftrightarrow \quad \begin{cases} \text{Re}[H(\omega)] & \text{paire} \\ \text{Im}[H(\omega)] & \text{impaire} \end{cases} \quad \begin{cases} \text{Re}[H(k)] & \text{paire} \\ \text{Im}[H(k)] & \text{impaire} \end{cases}$$

Relation [3- 11]

$H^*(x)$ désigne le complexe conjugué de $H(x)$

Une fois que les données fréquentielles discrètes sont obtenues (par mesure ou également par simulation ou modélisation analytique), on peut ainsi passer directement dans le domaine temporel par construction de l'image, par symétrie hermitienne, des données fréquentielles mesurées dans les fréquences négatives et application d'une IFFT ensuite (Figure III.2).

III.3.2 Bande passante et bande de cohérence

III.3.2.a Bande passante

La « bande passante » B_w d'un signal peut être définie comme l'intervalle de fréquences en dehors duquel les composantes résiduelles du signal sont considérées comme négligeables, comme illustré en Figure III.4 [a].



Figure III.4 : Illustration d'un signal de bande passante et de bande de cohérence quasi finies

III.3.2.b Bande de cohérence

La « bande de cohérence » B_c d'un signal, quant à elle, peut être définie, en première approche, comme l'inverse de sa durée maximale, comme illustré en Figure III.4 [b].

Lorsqu'on effectue un échantillonnage temporel, la totalité et l'intégrité de l'information prélevée dépend du principe de Shannon-Nyquist : la fréquence d'échantillonnage F_e doit être au moins égale à deux fois F_c .

Le pendant de ce principe dans le domaine fréquentiel veut que la précision (le pas de fréquence F_{prec} entre deux données successives) doive être inférieure ou égale à la bande de cohérence du signal si l'on veut éviter une perte ou une dégradation d'information.

Autrement dit ce pas fréquentiel F_{prec} doit être inférieur ou égal à l'inverse de la durée totale T_{max} du signal observé. L'approximation des traductions temps-fréquence par la TFD est valide dès que l'hypothèse de quasi finitude du signal est vérifiée (Cf. Annexe 17).

III.3.2.c Cas favorable

Dans le cas le plus favorable, le signal est :

- à bande passante B_w connue a priori, limitée (quasi-finie) et inférieure ou égale à la bande de mesure B_m (Figure III.5), d'une part.
- à bande de cohérence B_c connue a priori limitée (quasi-finie) supérieure ou égale au pas d'échantillonnage fréquentiel, c'est-à-dire la précision F_{prec} , d'autre part.

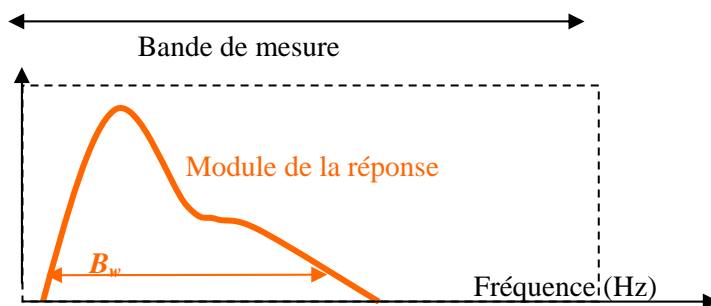


Figure III.5 : Illustration du rapport entre bande passante mesurée et bande de mesure

Cela implique que :

- non seulement la précision fréquentielle doit être inférieure à la bande de cohérence du signal
- mais aussi que la bande passante soit finie.

Lorsque cela n'est pas le cas, le signal analysé peut être rendu artificiellement fini à l'aide de fenêtre d'apodisation dans l'un ou l'autre des deux domaines.

III.3.3 Pratique de l'échantillonnage fréquentiel

La mesure spectroscopique d'un dispositif est effectuée à l'aide d'un analyseur vectoriel de réseaux (ou VNA pour Vector Network Analyser) dont le fonctionnement est basé sur l'échange d'une suite de porteuses à travers le dispositif. Le signal est donc **échantillonné dans le domaine fréquentiel**, sans dégradation de l'information si la bande de cohérence du signal mesuré est inférieure à la précision fréquentielle de la mesure (l'intervalle entre deux porteuses successives). Ce critère d'échantillonnage fréquentiel basé sur la bande de cohérence est le dual du critère de Shannon-Nyquist pour le domaine temporel.

On mesure, dans le domaine fréquentiel, N valeurs discrètes qui décrivent la réponse en fréquence d'un système. On cherche par exemple, à caractériser ce système en fournissant une approximation de sa réponse impulsionnelle ou indicielle.

L'instrument de mesure illustrant cette problématique est l'analyseur de réseau Anritsu 37397C de 65 GHz de bande passante. Le câblage entre le VNA est les pointes est dimensionné pour une largeur de bande de 40 GHz. Au-delà de cette fréquence, les mesures risquent d'être perturbées non seulement par des modes de propagation d'ordre supérieurs (non TEM) liés aux dimensions des câbles mais aussi par un niveau de bruits critiques liés à la bande passante limitée de ces câbles. Les caractéristiques des mesures effectuées sont donc:

- $N = 1600$ points
- $F_{prec} = 25$ MHz
- $F_{min} = 40$ MHz
- $F_{max} = 40\,000$ MHz

La précision temporelle T_{prec} est donnée par : $T_{prec} = 1/2 \cdot F_{max}$

La durée potentielle d'observation T_{max} est donnée par : $T_{max} = 1/F_{prec}$

A.N. : $T_{prec} = 12.5$ ps et $T_{max} = 40$ ns

On suppose que l'instrumentation utilisée fournit une précision bien inférieure à la bande de cohérence B_c des réponses étudiées et que, par conséquent, une description exhaustive du signal est obtenue, dans la bande de mesure disponible.

Pour reprendre l'exemple du paragraphe précédent, une précision fréquentielle de 25 MHz permet d'obtenir un temps d'observation de 40 ns, ce qui est largement suffisant vis-à-vis des dimensions d'interconnexions étudiées. En termes de propagation, cette durée correspond en effet à un parcours d'onde de l'ordre de plusieurs mètres ce qui est bien au delà des propagations dans un circuit intégrés, même en tenant compte des multiples réflexions possibles dans le BEOL liées à des phénomènes de saut d'impédance.

III.3.4 Relation entre interpolation dans le domaine temporel et extrapolation-apodisation dans le domaine fréquentiel

III.3.4.a Problématique de la finitude des données fréquentielles disponibles

Le fait d'utiliser un vecteur de données fréquentielles discrètes de taille finie (issues d'une mesure avec un VNA) peut faire apparaître un effet de fenêtrage brutal par troncature (multiplication par une porte fréquentielle), comme illustré en Figure III.6, qui se traduira par des oscillations (du « ripple » en anglais) sur la réponse temporelle (résultat du produit de convolution du signal mesuré avec un signal temporel dont l'expression analytique est un sinus cardinal).

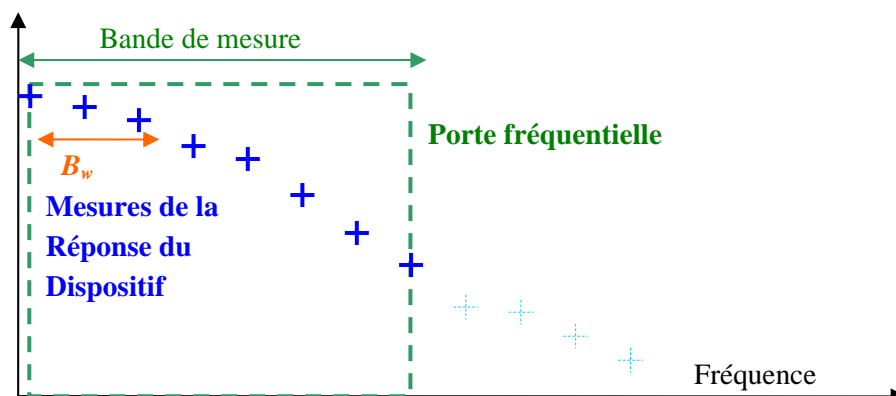


Figure III.6 : Illustration de la troncature des données fréquentielles

Ce phénomène est vrai même si la bande passante B_w est inférieure à la bande de mesure à cause de composantes résiduelles du signal en dehors de la bande passante, négligeables d'un point de vue énergétique mais suffisantes pour endommager le post traitement sur les données fréquentielles.

De plus cette finitude interdit l'obtention d'une résolution temporelle fine lorsque l'on applique directement une IFFT sur les données fréquentielles.

III.3.4.b Solution

On va procéder à deux opérations :

1. Diminuer la résolution dans le domaine temporel, c'est-à-dire interpoler les données temporelles reçues, ce qui est équivalent à extrapoler les données fréquentielles disponibles.
1. « Apodiser » ces données fréquentielles afin de gommer l'effet d'un fenêtrage brutal : si le fenêtrage est suffisamment progressif, le « ripple » dans le domaine temporel sera évité.

Concernant le premier point, la manière la plus directe de pratiquer l'interpolation des données temporelles est de pratiquer d'abord à une extrapolation des données fréquentielles (Figure III.7). En construisant une bande d'observation virtuelle suffisamment grande dans le domaine fréquentiel, on obtient la résolution temporelle voulue.

Concernant le second point, on applique ensuite une fenêtre d'apodisation sur les données fréquentielles extrapolées, fenêtre dont la largeur de bande est du même ordre de grandeur que le spectre mesuré. L'application de cette fenêtre permet non seulement d'éviter du « ripple » sur le signal temporel obtenu finalement mais aussi grâce à la bande passante limitée de la fenêtre d'apodisation de ne pas introduire de biais lié à l'extrapolation.

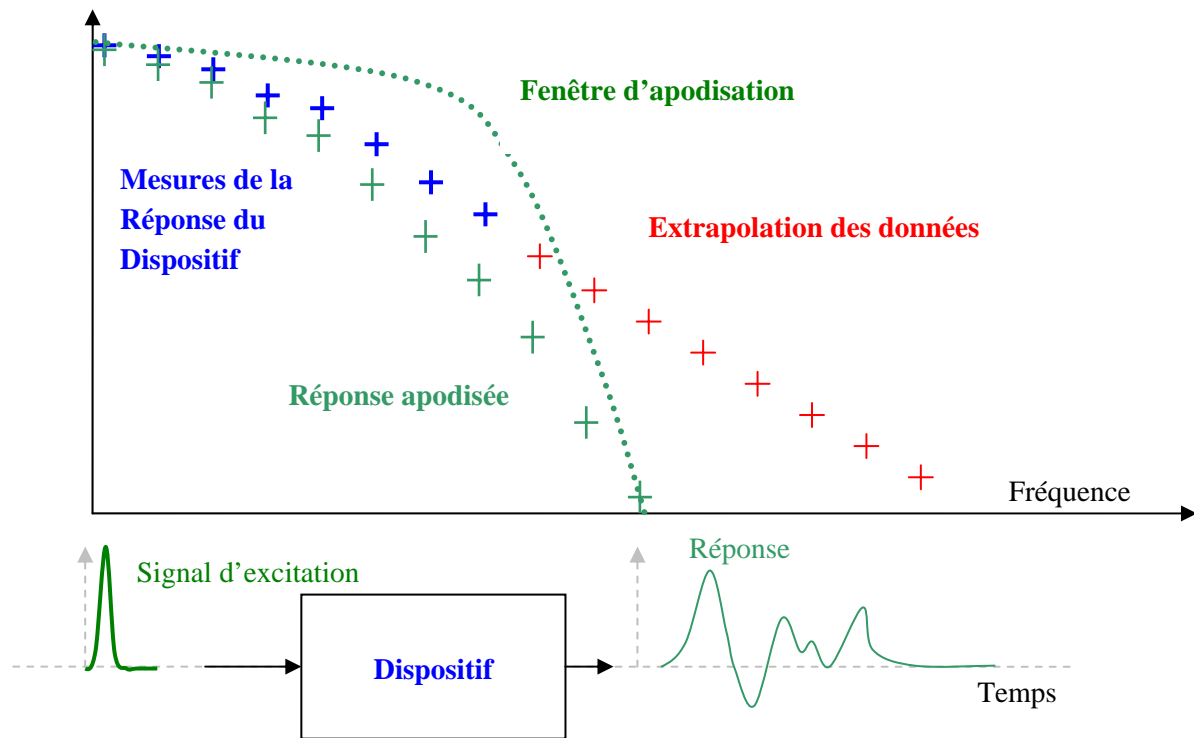


Figure III.7 : *Equivalence fréquence-temps de l'opération d'apodisation*

III.3.4.c En conclusion

1. Interpolation :

- L'interpolation nécessaire des données temporelles est obtenue par extrapolation des données fréquentielles, suivie d'un filtrage par apodisation dans la bande effective de la mesure (Figure III.7).
- Grâce à l'interpolation, on sait obtenir une résolution temporelle suffisamment petite pour décrire aussi finement que l'on souhaite une réponse impulsionnelle ou indicielle (illustration en Figure III.8).

2. Apodisation:

- La définition de la fenêtre d'apodisation dans le domaine fréquentiel correspond à un choix de signal d'excitation dans le domaine temporel.

Ce dernier point, ainsi que les critères de choix pour ces signaux d'excitation seront développés dans la partie IV de ce chapitre, dans la quelle on donnera notamment l'explication de la relation entre fenêtre d'apodisation fréquentielle et signal temporel d'excitation : le fait d'exciter le signal, par exemple, par une impulsion temporelle gaussienne (dont le spectre est une gaussienne également) revient à apodiser le signal, dans le domaine fréquentiel, par une gaussienne.

- Les signaux d'excitation choisis serviront à la description du comportement d'un dispositif dans le domaine temporel.

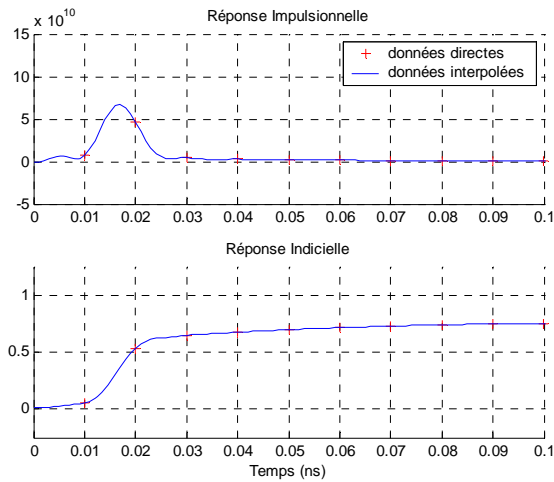


Figure III.8 : Illustration de l'interpolation des données temporelles issues (par IFFT) de la mesure fréquentielle discrète ($N = 2000$ points $F_{max} = 50$ GHz) sur les réponses impulsionnelle et indicielle d'une interconnexion

III.4 Extrapolation des données fréquentielles et causalité

III.4.1 Procédures d'extrapolation typiques

Les méthodes d'extrapolation non linéaires, c'est-à-dire d'un ordre supérieur à 1, sont relativement délicates à utiliser pour des problèmes de divergence potentielle du signal dans la zone d'extrapolation. Les méthodes linéaires sont celles qui ont été choisies ici avec un retour empirique tout à fait satisfaisant. Il existe toute une série de procédures d'extrapolations linéaires. Typiquement, on peut citer (Figure III.9):

- Le « zéro padding » qui consiste à rajouter des zéros en dehors des bornes de la mesures
- L'extrapolation continue constante qui consiste prolonger par une constante les valeurs mesurées aux bornes
- L'extrapolation asymptotique continue à dérivée continue, qui consiste prolonger par deux droites les valeurs mesurées aux bornes. Ces deux droites ont pour pente les valeurs des dérivées aux bornes de la mesure.

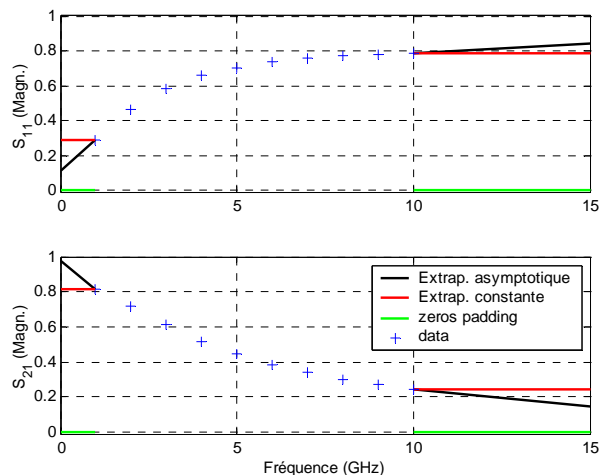


Figure III.9 : Illustration des méthodes d'extrapolation linéaires classiques

III.4.2 Procédures choisies dans le cadre de cette étude

Dans le cadre de ce travail de thèse il a généralement été choisi de procéder à une extrapolation linéaire asymptotique pour les signaux basses fréquences (entre la fréquence la plus basse mesurée et la fréquence 0, correspondant au continu dans le domaine temporel). Parfois il a été nécessaire de corroborer ou de vérifier la pertinence de cette extrapolation par une mesure basse fréquence du signal (impédance-mètre par exemple).

Pour l'extrapolation hautes fréquences (entre la fréquence la plus haute mesurée et la fréquence de simulation qui fixe la résolution temporelle), on a préféré procéder à une extrapolation par une constante, ce qui évite des problèmes éventuels de divergence. L'effet de cette extrapolation est nécessaire à la visualisation d'un signal temporel de très faible résolution. L'impact du choix de la méthode d'extrapolation sur la précision des résultats peut être considéré comme quasi nul dans la mesure où les fenêtres d'apodisation utilisées ont été dimensionnées pour agir comme des filtres passe-bas suffisamment efficaces.

Dans certains cas critiques toutefois, une procédure d'extrapolation « intelligente » doit nécessairement être adoptée : la présentation de cette problématique et de la procédure proposée est l'objet du paragraphe suivant.

III.4.3 Respect de la causalité de la réponse d'un système durant les procédures d'extrapolation ou d'interpolation des données fréquentielles

III.4.3.a Incertitudes sur les mesures fréquentielles

- Comme il a été évoqué dans le Chapitre 1 (§ II.2), les grandeurs extraites **de mesures de dispositifs in situ** (au sein d'un empilement technologique donné) peuvent être entachées d'erreurs liées à une évaluation erronée d'une ou plusieurs des dimensions du circuit intégré.
- A ce biais potentiel sur les grandeurs issues de la mesure peut s'ajouter un bruit résiduel lié à l'instrumentation elle-même.
- De même une analyse basée sur des **modélisations électromagnétiques** (simulations sous le logiciel HFSS, par exemple), malgré tout le soin qu'on puisse apporter à ces dernières, peut conduire à des résultats biaisés liés à un défaut de maillage, un signal d'excitation inapproprié, les effets de conditions limites mal paramétrées aux bornes de l'espace de simulation ou une mauvaise convergence des résultats avec l'augmentation du maillage (Chapitre 1 (§ II.2) et Annexe 2).
- Enfin, comme les données sont à la fois discrètes et finies, des erreurs de post-traitement additionnelles peuvent s'ajouter durant la double opération interpolation-extrapolation.

On obtient donc une description comportementale d'un dispositif entachée d'incertitudes et parfois même inexploitable, car incohérente. Un cas typique est l'obtention de réponses **non causales**: la réponse du dispositif à une excitation débute avant le début de l'excitation.

III.4.3.b Non causalité du signal obtenu par post traitement

Ces phénomènes de non causalité observés sur le signal obtenu sont une preuve d'erreur dans la chaîne des traitements effectués (en effet s'il n'y avait aucune erreur faite, ni durant l'extraction des données, ni durant le post traitement, les signaux obtenus seraient forcément causaux).

A contrario, en forçant la causalité du signal, on peut espérer corriger une partie des ces erreurs potentielles : par forçage de la causalité, il faut comprendre forçage de la cohérence du signal lié à des relations quasi-déterministes (à deux constantes près), dites relations de Bayard-Bode [Boite, 1996] (Cf. Relation [3- 15]). Ces relations quasi-déterministes s'expriment dans le domaine fréquentiel entre le module et la phase du spectre du signal ou entre sa partie réelle et sa partie imaginaire durant la double opération interpolation-extrapolation.

On peut alors décrire la procédure proposée ici comme une tentative d'interpolation-extrapolation « intelligente », par opposition à une interpolation-extrapolation plus naïve basée sur les algorithmes interpolation-extrapolation classiques qui ne tiennent pas compte des relations de Bayard-Bode. La description de cette procédure est l'objet principal de cette partie.

Remarque : Dans tout le développement qui suit, on utilisera, par souci de concision, une notation pulsationnelle (par opposition à fréquentielle).

III.4.3.c Critère de causalité dans le domaine fréquentiel

III.4.3.c.1 Transformée de Hilbert dans le domaine fréquentiel

La réponse à tout système réel est forcément causale, c'est-à-dire que la réponse succède temporellement au stimulus qui en est la cause. Dans le domaine fréquentiel, il existe une relation (non univoque) entre la partie réelle et la partie imaginaire de cette réponse.

Cette relation est mise en évidence par l'application de la transformée de Hilbert dans le domaine fréquentiel. L'idée sous jacente posée est qu'un signal est causal si et seulement si il est invariant par multiplication dans le domaine temporel par la fonction signe $sgn(t)$.

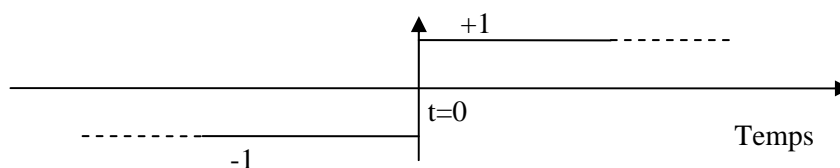


Figure III.10 : Fonction signe $sgn(t)$

Un signal $f(t)$ de transformée de Fourier $F(\omega) = \text{Re}(\omega) + j \text{Im}(\omega)$ ($\text{Re}(\omega)$ désigne la partie réelle de $F(\omega)$ et $\text{Im}(\omega)$ sa partie imaginaire) est donc causal si et seulement si il respecte la Relation [3- 12].

$$f(t) = f(t) \cdot sgn(t)$$

Relation [3- 12]

Dans le domaine fréquentiel cette relation s'écrit sous la forme de la transformée de Hilbert (égale au résultat du produit de convolution entre $F(\omega)$ et la transformée de Fourier du signal $sgn(t)$), donnée en Relation [3- 13].

$$F(\omega) = \frac{1}{2\pi} F(\omega) * \frac{2}{j\omega} = \frac{1}{\pi} \int_{-\infty}^{+\infty} F(\omega') \cdot \frac{-j}{\omega - \omega'} d\omega' \quad (\text{Transformée de Hilbert dans le domaine fréquentiel})$$

Relation [3- 13]

III.4.3.c.2 Relations de Bayard-Bode

A partir de la Relation [3- 13], on obtient, en explicitant la transformée de Hilbert sous la forme partie réelle - partie imaginaire (Relation [3- 15]) les relations (ou critère de causalité) dites de Bayard-Bode (comme au paragraphe précédent, on définit $\text{Re}(\omega)$ et $\text{Im}(\omega)$ comme étant les parties respectivement réelle et imaginaire de $F(\omega)$).

$$F(\omega) = \frac{1}{\pi} \int_{-\infty}^{+\infty} F(\omega') \cdot \frac{-j}{\omega - \omega'} d\omega' \quad \Leftrightarrow$$

$$F(\omega) = \frac{1}{\pi} \int_{-\infty}^{+\infty} \frac{-j \text{Re}(\omega') + \text{Im}(\omega')}{\omega - \omega'} d\omega' = -j \cdot \frac{1}{\pi} \int_{-\infty}^{+\infty} \frac{\text{Re}(\omega')}{\omega - \omega'} d\omega' + \frac{1}{\pi} \int_{-\infty}^{+\infty} \frac{\text{Im}(\omega')}{\omega - \omega'} d\omega' \quad \Leftrightarrow$$

Relation [3- 14]

On obtient enfin un critère de causalité pour les signaux réels ou complexes : les parties réelles et imaginaires du spectre d'un signal causal sont liées par deux relations déterministes (mais non univoque). Les relations de Bayard-Bode sont exprimées en Relation [3- 15].

$$\begin{cases} \text{Re}(\omega) = \frac{1}{\pi} \int_{-\infty}^{+\infty} \frac{\text{Im}(\omega')}{\omega - \omega'} d\omega' \\ \text{Im}(\omega) = -\frac{1}{\pi} \int_{-\infty}^{+\infty} \frac{\text{Re}(\omega')}{\omega - \omega'} d\omega' \end{cases} \quad (\text{Relations de Bayard-Bode})$$

Relation [3- 15]

III.4.3.c.3 Relations de Bayard-Bode appliquées aux signaux réels

Il faut noter que le spectre d'amplitude complexe (la Transformée de Fourier) de tout signal réel possède une symétrie hermitienne (exprimée en Relation [3- 11]).

La Relation [3- 15] s'écrit alors comme l'intégrale d'une somme de fonctions paires et impaires:

$$F(\omega) = \frac{1}{\pi} \int_{-\infty}^{+\infty} \left[\frac{\omega \text{Im}(\omega')}{\omega^2 - \omega'^2} + \frac{\omega' \text{Im}(\omega')}{\omega^2 - \omega'^2} + \frac{-j\omega \text{Re}(\omega')}{\omega^2 - \omega'^2} + \frac{-j\omega' \text{Re}(\omega')}{\omega^2 - \omega'^2} \right] d\omega'$$

Relation [3- 16]

On peut alors ramener les intégrales sur le demi-espace des fréquences positives. Par effet des symétries paires et impaires, la Relation [3- 16] se réduit à la Relation [3- 17].

$$F(\omega) = \frac{2}{\pi} \int_0^{+\infty} \left[\frac{\omega' \text{Im}(\omega')}{\omega^2 - \omega'^2} + \frac{-j\omega \text{Re}(\omega')}{\omega^2 - \omega'^2} \right] d\omega'$$

Relation [3- 17]

On obtient un critère de causalité pour les signaux **réels** : Les parties réelles et imaginaires du spectre d'un signal causal sont liées par deux relations déterministes (mais non univoque). Leurs expressions sont données en Relation [3- 18].

$$\begin{cases} \text{Re}(\omega) = \frac{2}{\pi} \int_0^{+\infty} \frac{\omega' \text{Im}(\omega')}{\omega^2 - \omega'^2} d\omega' \\ \text{Im}(\omega) = -\frac{2\omega}{\pi} \int_0^{+\infty} \frac{\text{Re}(\omega')}{\omega^2 - \omega'^2} d\omega' \end{cases}$$

Relation [3- 18]

Remarque : ces relations s'appliquent à tout signal réel observable, et en particulier à la réponse impulsionnelle d'un système réel quelconque.

III.4.3.c.4 Analyse des Relations de Bayard-Bode

Dans ce paragraphe, on va tenter d'analyser les relations de causalité données en Relation [3- 18], en montrant qu'il existe des signaux causaux qui sont en marge de ces relations. Ces travaux de thèse soulignent ainsi la non-unicité des relations entre partie réelle et partie imaginaire du spectre d'un signal causal. On proposera alors une généralisation de ces relations.

III.4.3.c.4.1 Signaux causaux marginaux

Les deux signaux réels $u(t)$ et $v(t)$ dont les spectres d'amplitude complexe ont pour expressions respectives $U(\omega) = Cste$ et $V(\omega)$, dont l'expression est donnée en Relation [3- 20], sont en marge des relations de Bayard-Bode appliquées aux signaux réels ($Cste$ désigne une constante réelle quelconque).

En effet, en soulignant que l'intégrale I , dont l'expression est donnée en Relation [3- 20], n'est pas définie, on en déduit que la Relation [3- 18] n'est pas définie pour tout signal dont le spectre correspond aux expressions données en Relation [3- 21].

$$V(\omega) = \frac{j \times Cste}{\omega}$$

Relation [3- 19]

$$I(\omega) = \int_0^{+\infty} \frac{Cste}{\omega^2 - \omega'^2} d\omega'$$

Relation [3- 20]

$$\text{Re}(\omega) = Cste \quad \text{et/ou} \quad \text{Im}(\omega) = \frac{Cste}{\omega}$$

Relation [3- 21]

Les signaux $u(t)$ et $v(t)$ sont bien des signaux réels :

- Le spectre d'amplitude complexe $U(\omega) = Cste$ correspond à un Dirac (non unitaire) $Cste \times \delta(t)$ dans le domaine temporel. Le système dont la réponse répond à cette définition correspond à une simple multiplication du signal qui attaque ce système par un scalaire (Figure III.11).

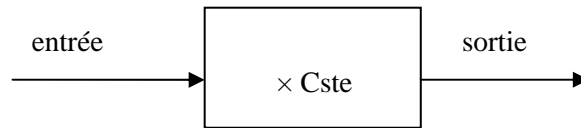


Figure III.11 : Réponse $U(\omega)$

- Quant au spectre d'amplitude complexe $V(\omega)$, il correspond à un échelon (non unitaire) $Cste \times U(t)$ dans le domaine temporel. Le système dont la réponse est conforme à cette définition correspond à une simple intégration du signal qui attaque ce système, suivie d'une multiplication par un scalaire (Figure III.12).

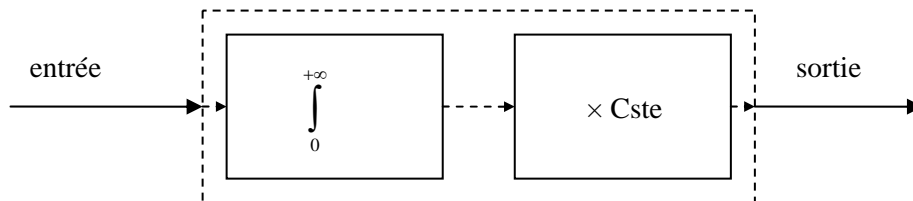


Figure III.12 : Réponse $V(\omega)$

Remarque : Il faut noter les propriétés pratiques suivantes: toute combinaison linéaire dans le domaine temporel de signaux causaux est causale ; de plus, le produit d'un signal causal par un autre signal quelconque est causal et la dérivée d'un signal causal est un signal causal.

III.4.3.c.4.2 Généralisation des Relations de Bayard-Bode

Comme évoqué précédemment, il y a au moins ces deux types de signaux causaux qui ne rentrent pas dans la définition de causalité correspondant à la Relation [3- 18], pour raison de non convergence de l'intégrale. Ceci implique non seulement que $Re(\omega)$ et $Im(\omega)$ ne sont pas définis de manière univoque mais aussi qu'on peut alors donner un nouveau critère de causalité, plus étendu mais moins contraint. Dans le cadre de ce travail de thèse, il a été proposé de s'appuyer sur ce nouveau critère de causalité, exprimé en Relation [3- 22].

Une fonction $f(t)$ de transformée de Fourier $F(\omega) = Re(\omega) + j Im(\omega)$ est causale \Leftrightarrow

$$\begin{cases} Re(\omega) = Cst_{RE} + \frac{2}{\pi} \int_0^{+\infty} \frac{\omega' Im(\omega')}{\omega^2 - \omega'^2} d\omega' \\ Im(\omega) = \frac{Cst_{IM}}{\omega} - \frac{2\omega}{\pi} \int_0^{+\infty} \frac{Re(\omega') - Cst}{\omega^2 - \omega'^2} d\omega' \end{cases}$$

Relation [3- 22]

Cst_{RE} et Cst_{IM} sont des constantes non conditionnées.

Remarque : ce critère sera appliqué dans la suite de ce manuscrit, notamment pour la modélisation des diélectriques à pertes, pour lesquels on montrera toute sa pertinence et son utilité.

III.4.3.c.5 Interprétations des Relations de Bayard-Bode et des relations généralisées de Bayard-Bode appliquée aux signaux réels

III.4.3.c.5.1 Corrélation partie réelle/partie imaginaire, module/phase

Ces relations montrent qu'à une constante près sur la partie réelle et un terme en $Cste/\omega$ près sur la partie imaginaire, partie imaginaire sont bijectivement liées.

- Cela signifie par exemple que la réponse fréquentielle d'un signal causal de partie réelle constante ($Cste$), a une partie imaginaire nécessairement de la forme $Cste/\omega$.
- Cela signifie inversement que la réponse fréquentielle d'un signal causal de partie imaginaire en $Cste/\omega$, a une partie réelle nécessairement constante.
- En exprimant la réponse sur une double échelle logarithmique, en abscisse et en ordonnée, on montre également une relation équivalente entre le module et la phase d'une réponse causale [Oppenheim, 1975].

Le grand intérêt de l'usage de ces relations est avant tout qualitatif.

III.4.3.c.5.2 Applications aux matériaux diélectriques

Dans le cas de matériaux diélectriques, on s'intéresse à la permittivité complexe $\varepsilon = \varepsilon' - j\varepsilon''$, dont la définition sera détaillée en partie VI. La permittivité complexe, qu'il faut plutôt noter $\varepsilon(\omega) = \varepsilon'(\omega) - j\varepsilon''(\omega)$, est en général variable avec la fréquence et peut-être définie en termes électromagnétiques comme la réponse de la densité de flux électrique D au champs électrique existant E (Annexe 15). Plus simplement, dans le cas d'un condensateur plan idéal par exemple, la permittivité complexe est proportionnelle à la capacité C du condensateur, qui peut être définie, en termes électriques, comme la réponse de l'accumulation de charges Q à une tension U (Annexe 15).

On peut déduire des relations généralisées de Bayard-Bode, les trois assertions suivantes :

1. Un matériau a une permittivité diélectrique réelle constante \Leftrightarrow les pertes sont ohmiques (liées à un phénomène de conduction électrique), c'est-à-dire en $\varepsilon'' = \frac{\sigma}{\omega}$, ou nulle ($\varepsilon'' = 0$).
2. Un matériau a des pertes non ohmique \Leftrightarrow la permittivité diélectrique réelle est variable.
3. La tangente de perte $\tan \delta = \frac{\varepsilon''}{\varepsilon'}$ d'un matériau diélectrique est nécessairement variable ou nulle.

Remarque 1: dans un diélectrique, les relations de Bayard-Bode s'écrivent:

$$\begin{cases} \varepsilon'(\omega) - \varepsilon_\infty = \frac{2}{\pi} \int_0^{+\infty} \frac{\omega' \varepsilon''(\omega')}{\omega'^2 - \omega^2} d\omega' \\ \varepsilon''(\omega) = \frac{2\omega}{\pi} \int_0^{+\infty} \frac{\varepsilon'(\omega') - \varepsilon_\infty}{\omega'^2 - \omega^2} d\omega' \end{cases}$$

Relation [3- 23]

Les Relation [3- 23] s'appellent les formules de Kramers-Krönig.

Remarque 2: H.A. Kramers et R. Krönig étaient, dans les années 1920, des spécialistes de l'optique et du comportement des matériaux vis-à-vis de la lumière. Ces relations, telles qu'elles sont présentées ici, sont issues d'un raisonnement logique propre au traitement du signal (lié à la causalité du signal et l'utilisation de la transformée de Hilbert appliquée aux matériaux diélectriques). Il est intéressant de noter que pour H.A. Kramers [Kramers, 1927] et R. Krönig [Krönig, 1926], l'approche était complètement différente de cette approche déductive puisque ces relations ont été introduites dans le cours d'une modélisation physique cohérente propre aux matériaux et que ces relations apparaissent dans la continuité logique de leur modélisation physique, et par conséquent de manière plus inductive.

III.4.3.c.5.3 Cas des matériaux magnétiques

Dans le cas de matériaux magnétiques, Fred Gardiol s'est intéressé à la propagation dans un guide d'onde rempli de ferrite aimantée (matériau qui possède des propriétés anisotrope non réciproques) pour lever ce que l'on appelait le paradoxe thermodynamique. Ce paradoxe consistait dans l'affirmation qu'il existe des dispositifs sans pertes qui absorbent de l'énergie. L'auteur a montré [Gardiol, 1967] en s'appuyant sur les relations de Bayard-Bode que ce paradoxe n'existait pas dans la mesure où, au regard du critère de causalité, une ferrite aimantée qui a une perméabilité tensorielle variable avec la fréquence a **nécessairement** des pertes.

III.4.3.c.5.4 Utilisation pratique des relations de Bayard-Bode sur des mesures

Dans la pratique, les intégrales présentées en Relation [3- 22], sont difficiles à mettre en œuvre de façon précise à cause de problèmes de convergence numérique liée à la discontinuité (en $\omega' = \omega$) de la fonction $F(\omega)$ donnée en Relation [3- 23]. En effet, les dénominateurs des quotients qui apparaissent en Relation [3- 22] tendent vers l'infini lorsque $\omega \rightarrow \omega'$. On va donc chercher des modèles mathématiques qui seront applicables aux signaux causaux **a priori**. Cet aspect sera illustré dans la partie VI pour le cas des matériaux diélectriques.

Les relations Bayard-Bode permettent toutefois de retrouver une preuve de causalité de fonctions causales connues par leur expression analytique. Par exemple, dans [Triverio, 2007], l'auteur montre en utilisant ces relations qu'une réponse du type $H(\omega)$ (Relation [3- 24]) est causale si et seulement si $p < 0$.

$$F(\omega) = \frac{1}{\omega'^2 - \omega^2}$$

Relation [3- 24]

$$H(\omega) = \frac{1}{j\omega - p}$$

Relation [3- 25]

III.4.3.d Exemple de modèles causaux passe-bas

Les modèles causaux utilisés dans le cadre de cette thèse sont les modèles « de Debye » généralisés auxquels ces travaux de thèse ont apportés une extension liée à celle exposée en Relation [3- 22].

Il s'agit en fait d'une combinaison linéaire de réponse fréquentielle de filtres passe-bas du 1^{er} ordre, à laquelle on ajoute les deux signaux causaux marginaux donnés en Relation [3- 21].

$$F(\omega) = F_{\infty} + j \frac{a_0}{\omega} + \sum_{i=1}^N \frac{a_i}{1 + j\omega\tau_i}$$

Relation [3- 26]

On peut également décomposer l'expression de la réponse fréquentielle $F(\omega)$ donnée en Relation [3- 26], en sa partie réelle et sa partie imaginaire.

$$F(\omega) = F_{\infty} + \sum_{i=1}^N \frac{a_i}{1 - (\omega\tau_i)^2} + j \left(\frac{a_0}{\omega} - \sum_{i=1}^N \frac{\omega a_i \tau_i}{1 - (\omega\tau_i)^2} \right)$$

Relation [3- 27]

F_{∞} est la constante correspondant au terme réel exprimé dans le sous-paragraphe III.4.3.c.4, en Relation [3- 21], tandis que $j \frac{a_0}{\omega}$ correspondant au terme imaginaire (F_{∞} est la valeur de $F(\omega)$ lorsque ω tend vers $+\infty$).

Pour le 1^{er} ordre, le modèle de fonction de transfert s'écrit :

$$F(\omega) = F_{\infty} + \frac{a_1}{1 - (\omega\tau_1)^2} + j \left(\frac{a_0}{\omega} - \frac{\omega a_1 \tau_1}{1 - (\omega\tau_1)^2} \right)$$

Relation [3- 28]

Remarque 1: Le terme de modèle « de Debye » est emprunté à la physique des diélectriques [Moliton, 2004]. Il s'agit d'un modèle décrivant une forme de variation de la permittivité diélectrique d'un matériau avec la fréquence, appelée relaxation. Ce modèle est appelé aussi modèle « de relaxation de Debye » dont le principe sera explicité dans la partie VI. D'un point de vue purement comportemental ce modèle consiste simplement en une combinaison linéaire de réponses fréquentielles de filtres passe-bas du 1-er ordre.

Remarque 2: On donne en Annexe 18, des illustrations de systèmes électriques dont la réponse suit un modèle de Debye.

III.4.3.e Exemple de microstructures HF classiques correspondants aux modèles proposés

Dans le sous-paragraphe III.4.3.d, on donne des exemples de modèles de signaux, ou de réponses de systèmes, causaux passe-bas. La Relation [3- 26], par exemple donne une extension (encore causale) d'un modèle de Debye généralisé.

On cherche ici à illustrer ce modèle, pour le cas du 1^{er} ordre (Relation [3- 29]), par des exemples de structures électriques qui lui correspondent.

$$F(\omega) = F_\infty + j \frac{a_0}{\omega} + \frac{a_1}{1 + j\omega\tau_1}$$

Relation [3- 29]

La Relation [3- 29] peut être reformulée sous la forme d'un modèle de circuit RC (Relation [3- 30]) correspondant au schéma électrique représenté en Figure III.13.

$$\frac{Y(\omega)}{j\omega} = C_\infty + j \frac{G_2}{\omega} + \frac{C_{DC} - C_\infty}{1 + j \frac{\omega}{\omega_0}} = C_{eq} - j \frac{G_{eq}}{\omega}$$

Relation [3- 30]

$$\text{avec } C_\infty = \frac{C_1 C_2}{C_1 + C_2}, \quad C_{DC} = C_2 \quad \text{et} \quad \omega_0 = \frac{G_1}{C_1 + C_2}$$

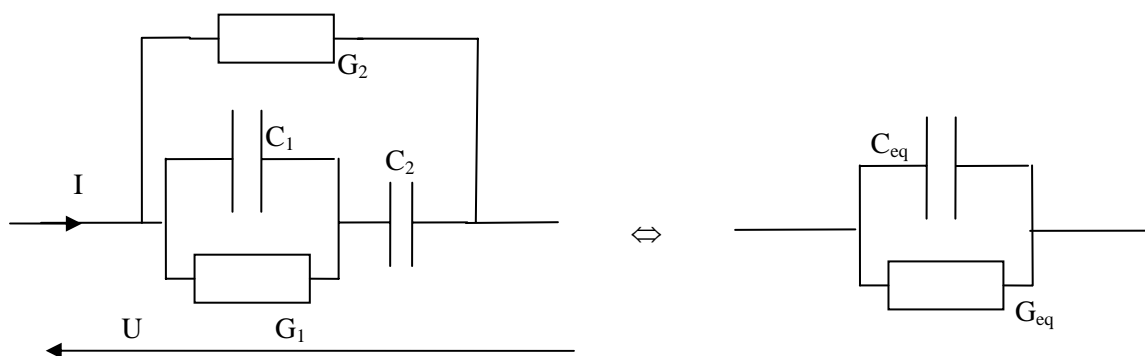


Figure III.13 : Modèle de Schéma électrique équivalent

Les structures présentées en Figure III.14 (III.4.3.e.1) Figure III.16 (III.4.3.e.2) ont été modélisées. Par simulations électromagnétiques sous le logiciel Maxwell 2D, les paramètres linéiques C et G ont été extraits puis soumis au modèle analytique proposé (Relation [3- 30]).

On ne donne aucune information quantitative, ni sur ces structures ni sur les simulations, dans la mesure où ces résultats ne servent que d'illustration aux modèles analytiques présentés ici.

III.4.3.e.1 Exemple d'un condensateur plan

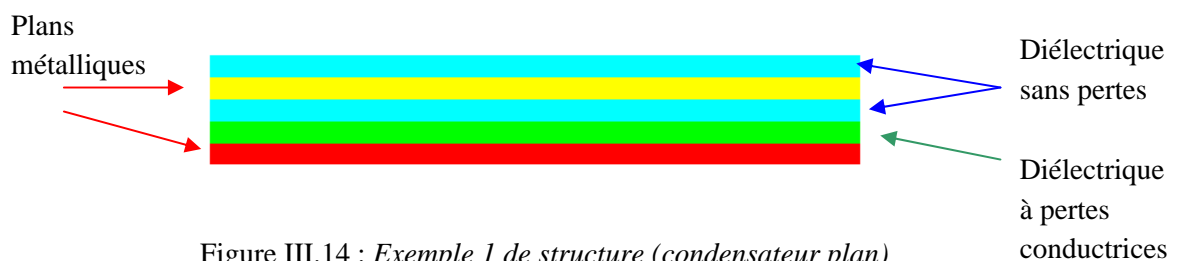


Figure III.14 : Exemple 1 de structure (condensateur plan)

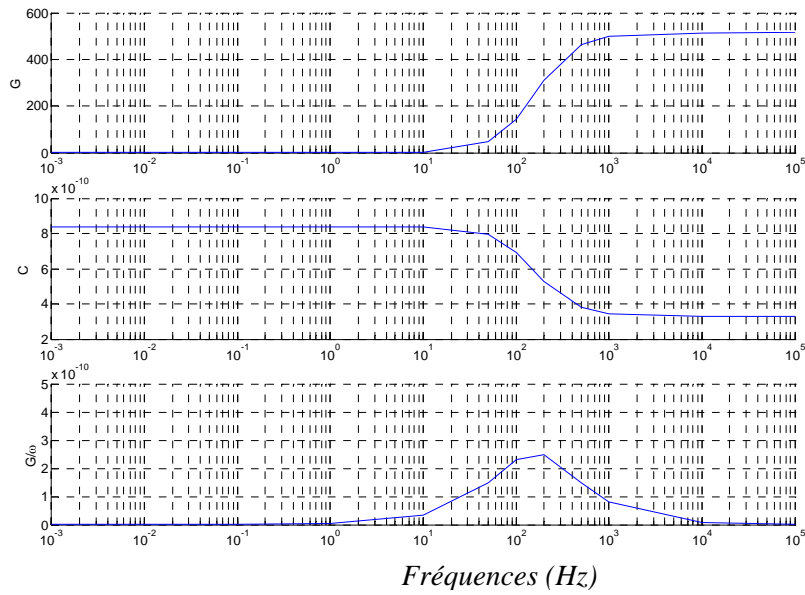


Figure III.15 : Illustration de l'admittance équivalente du condensateur étudié

III.4.3.e.2 Interconnexion intégrée

On considère une structure triplaque. L'empilement est composé de deux barrières diélectriques sans pertes. Le tout est noyé dans du silicium à pertes conductrices.

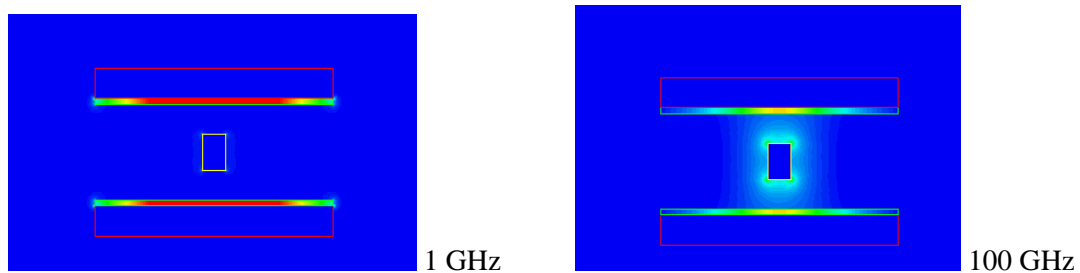


Figure III.16 : Exemple 2 de structure (interconnexion intégrée) faisant apparaître la répartition des champs électriques en fonction de la fréquence

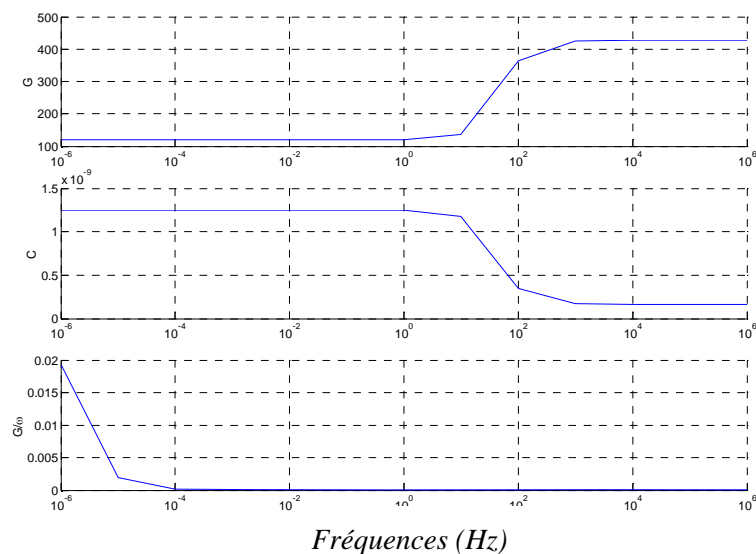


Figure III.17 : Illustration de l'admittance équivalente de l'interconnexion étudiée

III.4.3.e.3 Perspectives sur les structures très hétérogènes

Une bonne compréhension de ce type de structures, basées sur des empilements hétérogènes de matériaux, qui s'apparentent à ce qu'on appelle les nano-matériaux composites, peut permettre de concevoir des architectures dont les caractéristiques ont un comportement donné voulu. La Figure III.18 montre, par exemple, sans considérations toutefois sur l'utilité d'un tel dispositif, qu'en empilant deux diélectriques de propriétés différentes et dont les épaisseurs ont été dimensionnées intelligemment, on construit artificiellement un matériau équivalent dont la capacité (équivalente) décroît (presque linéairement) avec le logarithme de la fréquence.

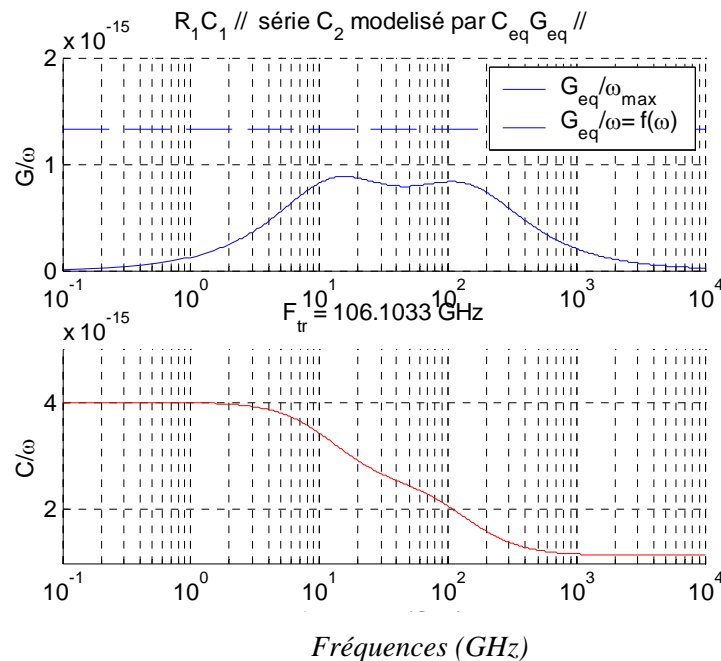


Figure III.18 : Illustration de la construction de capacités décroissantes

Remarque : en sus de ce qui est évoqué ci-dessus, la bonne compréhension des effets de l'hétérogénéité sur les paramètres électriques équivalents $R_{eq}L_{eq}C_{eq}G_{eq}$, permet d'éviter des erreurs d'interprétation. On montre en Annexe 14, quelques exemples du 1^{er} ordre de ce type de scénarios.

IV Apodisation et signaux d'excitation pour l'évaluation des performances

Dans cette partie nous allons définir les trois types de signaux d'excitation envisagés comme stimuli pour l'étude des réponses temporelles des interconnexions. Nous donnerons les résultats d'une étude comparative sur la précision temporelle obtenue par simulation avec chacun de ces trois types de signaux, associés à trois types de fenêtres d'apodisation comme développé ci-après.

L'apodisation consiste en un fenêtrage des données fréquentielles disponibles ou observables en multipliant ces dernières sur une même échelle de fréquence par un signal fréquentiel quasi fini. Il s'agit, autrement dit, d'un type de filtrage passe-bande. L'apodisation revient donc à définir un signal de test (d'excitation) dans le domaine temporel : en effet, de par la propriété de commutativité et d'associativité de l'opérateur de convolution, tout se passe comme si l'on observait le résultat de la convolution de ces signaux d'excitation (transformée de Fourier Inverse de la fenêtre d'apodisation utilisée) avec la réponse impulsionnelle du dispositif (Figure IV.1).

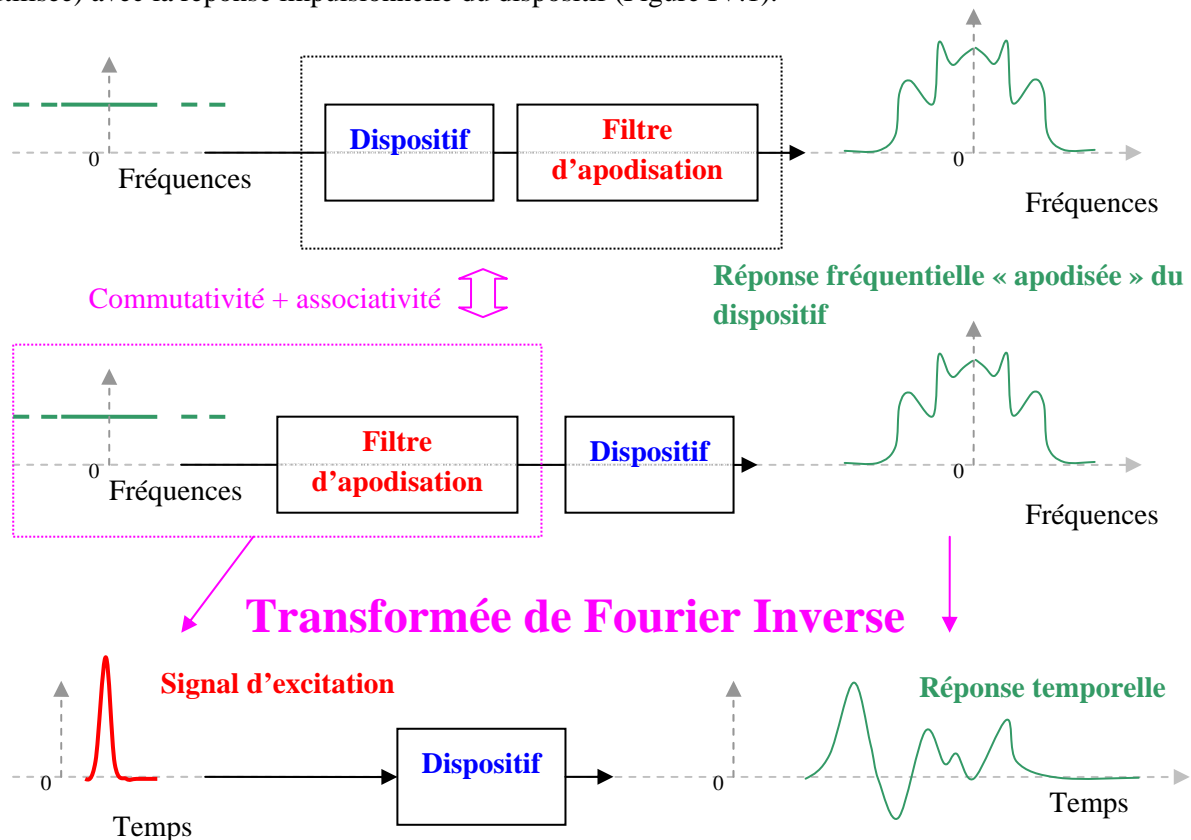


Figure IV.1 : Représentations fréquentielle et temporelle de la réponse « apodisée » d'un dispositif quelconque

IV.1 Problématique du fenêtrage

Dans la mesure où, d'une part, la dualité temps fréquence impose la non finitude de l'un ou l'autre des deux domaines temporel ou fréquentiel et où, d'autre part, les mesures à exploiter sont toujours finies, l'exploitation des données requiert nécessairement un fenêtrage quasi fini dans l'un ou l'autre des domaines temporel ou fréquentiel.

IV.1.1 Recherche de finitude des fenêtres d'apodisation

En guise de fenêtrage, le signal gaussien, contrairement à d'autres, a le grand avantage d'être à la fois parfaitement dual entre les deux domaines et surtout quasi fini dans les 2 domaines. L'utilisation d'une gaussienne comme fenêtre d'apodisation est donc une option qui peut paraître très favorable en termes de finitude. Les fenêtres classiquement utilisées pour l'apodisation (Hanning, Blackman, Kaiser, ...) peuvent être apparentées à ce type de fenêtrage.

IV.1.2 Respect de l'intégrité du signal mesuré

Dans le cas le plus général on souhaite également préserver l'intégrité du signal dans la plus large fenêtre d'observation possible, ce qui impose, à la limite de cet objectif, une fenêtre à phase nulle et à gain plat, c'est-à-dire une fonction porte. L'inconvénient de l'utilisation d'un signal porte est qu'il s'agit d'un signal parfaitement fini donc à dual parfaitement infini (un sinus cardinal).

IV.1.3 Compromis entre finitude et intégrité du signal

Un compromis est d'utiliser alors une fenêtre parfaitement plate sur une certaine largeur fréquentielle et apodisée sur ses bornes (paragraphe IV.2.4, Figure IV.4 et Figure IV.5). Typiquement, une porte, convoluée avec une gaussienne donne un signal quasi fini dans le domaine dual (un sinus cardinal fenêtré par une gaussienne). Ce type de fenêtrage peut être apparenté au célèbre et très usité « racine de cosinus surélevé ». L'objectif est de trouver des fenêtres de largeur de bande B répondant aux exigences suivantes :

- Dans le domaine fréquentiel, ces fenêtres respectent au mieux l'intégrité du spectre dans la bande utile. Pour ce faire, on veillera à avoir un minimum de « ripple » dans la bande passante et en dehors de cette bande, le modèle idéal de spectre étant la porte fréquentielle (pas de « ripple » ni dans la bande passante, ni en dehors).
- Dans le domaine temporel, les réponses impulsionnelles sont implémentables, en particulier de durée finie et causale et la réponse indicielle possède un minimum de ripple, le modèle idéal de réponse impulsionnelle étant la porte temporelle.

On va donc essayer de construire un signal le plus court possible dans le domaine temporel tout en respectant des critères de minimum de ripple dans la bande de mesure et hors bande (Cf. § IV.2.4).

IV.2 Description dans le domaine temporel des fenêtres d'apodisation proposées

Afin d'explorer les enjeux du choix du fenêtrage, la réponse impulsionnelle sera construite à partir de trois signaux temporels (ou fonctions d'apodisation) différents :

- un signal porte temporel
- un signal gaussien
- un signal composite, spécifiquement construit en respect des nécessaires compromis évoqués.

Ces trois signaux, en tant que filtres passe bande, sont normalisés à la fois :

- Sur le gain maximum (au niveau du continu): la normalisation en gain du continu signifie que la réponse fréquentielle pour la fréquence 0 du signal est de 1 (Cf. Figure IV.2, Figure IV.3 et Figure IV.4).
- Sur la bande passante B_w . La normalisation en bande passante est fixée à -6dB, ce qui signifie qu'un filtre de bande passante B_w à -6dB a pour largeur de réponse fréquentielle B_w à -

6dB (Cf. Figure IV.2, Figure IV.3 et Figure IV.4): ce choix, assez courant, d'une bande passante à -6 dB est relativement pratique car il permet une comparaison relativement homogène des signaux dans les deux domaines fréquentiel et temporel, notamment pour les comparaisons des temps de montées des réponses indicelles respectives (Cf. Tableau 1).

	porte temporelle	gaussienne	composite
Pente à 100 %	$P_{1_100\%}$	$P_{2_100\%}$	$P_{3_100\%}$
Pente 10-90 %	$P_{1_10-90\%}$	$P_{2_10-90\%}$	$P_{3_10-90\%}$
Pente 20-80 %	$P_{1_20-80\%}$	$P_{2_20-80\%}$	$P_{3_20-80\%}$

Tableau 1 : Comparaison des caractéristiques temporelles des 3 signaux de tests proposés

Remarque : Notons que (Cf. en Figure IV.7, Figure IV.8 et Figure IV.9 et flèches bleues en *Tableau 1*) que :

- $P_{3_100\%} \approx P_{1_100\%}$
- $P_{2_10-90\%} = P_{1_10-90\%}$
- $P_{3_20-80\%} = P_{2_20-80\%}$

IV.2.1 Choix des signaux d'excitation (d'apodisation)

On choisit le signal gaussien car :

- il a la même pente 10%-90 % qu'un signal porte. C'est cette métrique qu'on utilisera pour l'évaluation des temps de montée.
- il est quasi fini dans les deux domaines, d'où l'absence de ripple dans chacun des deux domaines (Tableau 2).

Pour l'estimation des délais, on s'appuiera par convention sur la métrique de délai à 50%.

Signal temporel	Précision domaine temporel	Signal fréquentiel	Précision domaine fréquentiel
Porte	++	Sinus cardinal	-
	Pente très bien définie (+)		Spectre déformé dans la bande (-) et ripple hors bande (-)
Gaussien	+	Gaussien	+
	Pente bien définie (+)		Spectre déformé dans la bande (-) mais filtrage assez sélectif (+)
Sinus cardinal fenêtré (composite)	-	Porte fenêtrée	++
	Ripple (-)		Spectre plat dans la bande dans la bande (+) et filtrage sélectif (+)

Tableau 2 : Evaluation qualitative des caractéristiques temporelles des 3 signaux de tests proposés

La définition des trois types signaux utilisés et la démarche d'évaluation des pentes de ces trois types de signaux sont données dans le développement ci-après.

IV.2.2 Signal (ou fonction) porte

On définit une constante de temps τ_1 (Relation [3- 31]), correspondant à une bande passante B_w à -6dB (Figure IV.2).

$$\tau_1 \approx \frac{1}{\frac{5}{3} B_w}$$

Relation [3- 31]

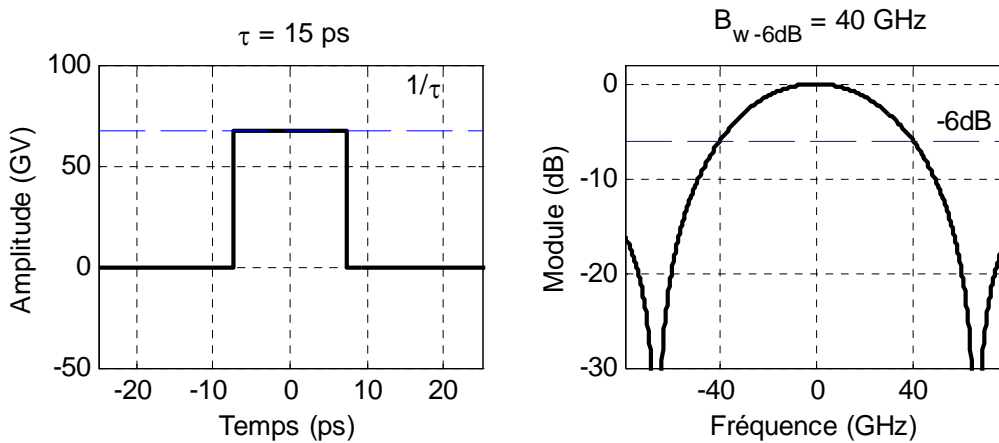


Figure IV.2 : Exemple de signal temporel porte de bande passante à -6dB = 40 GHz

Les expressions analytiques du signal porte sont données en Relation [3- 32], dans les deux domaines temporel et fréquentiel.

$$s_1(t) = \frac{1}{\tau_1} \text{rect}\left(\frac{t}{\tau_1}\right) = \frac{1}{\tau_1} \Pi_{\tau_1}(t) \quad S_1(f) = \text{sinc}(f \tau_1)$$

Relation [3- 32]

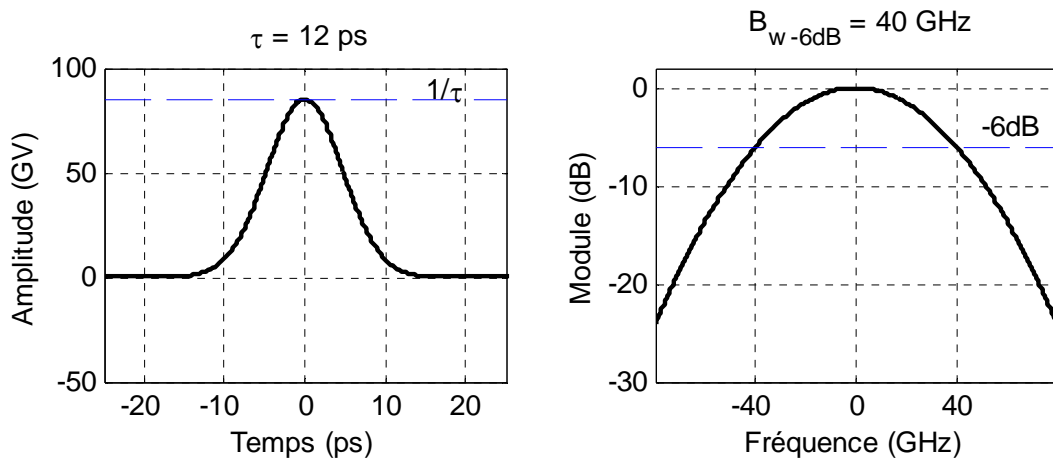
IV.2.3 Signal (ou fonction) gaussien

On définit une constante de temps τ_2 (Relation [3- 33]), correspondant à une bande passante B_w à -6dB (Figure IV.3).

$$\tau_2 = \frac{1}{\sqrt{\frac{\pi}{\ln(2)} \times B_w}}$$

Relation [3- 33]

Note : le $\ln(2)$ qui apparaît dans la Relation [3- 33] (expression de τ_2) correspond à -6 dB.

Figure IV.3 : Exemple de signal gaussien de bande passante à $-6\text{dB} = 40\text{ GHz}$

Les expressions analytiques du signal gaussien sont données en Relation [3- 34], dans les deux domaines temporel et fréquentiel.

$$s_2(t) = \frac{1}{\tau_2} e^{-\pi \left(\frac{t}{\tau_2}\right)^2} \quad S_2(f) = e^{-\pi (f\tau_2)^2}$$

Relation [3- 34]

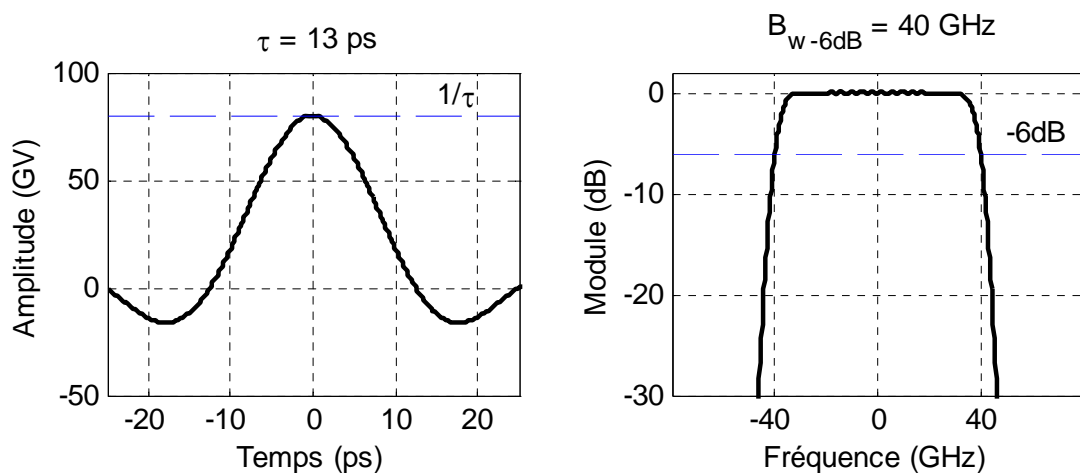
IV.2.4 Signal (ou fonction) composite

On définit deux constantes de temps τ_3 et τ_3' (Relation [3- 35]) :

- τ_3 correspond à la bande passante B_w à -6dB
- τ_3' fixe la pseudo-durée du signal temporel (Figure IV.4).

$$\tau_3 = \frac{1}{B_w} \quad \text{et} \quad \tau_3' = \frac{1}{B_w'}$$

Relation [3- 35]

Figure IV.4 : Exemple de signal composite de bande passante à $-6\text{dB} = 40\text{ GHz}$

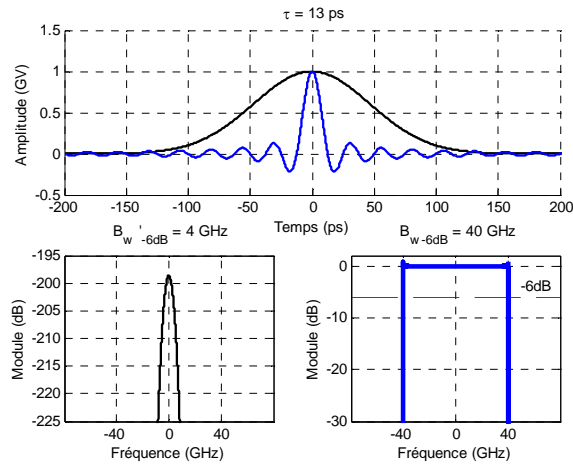


Figure IV.5 : Illustration de la construction (par multiplication dans le domaine temporel) du signal composite pour $B_w = 40 \text{ GHz}$ et $B_w' = 4 \text{ GHz}$

Ce signal composite est construit par multiplication dans le domaine temporel d'un signal gaussien et d'un sinus cardinal. Les expressions analytiques du signal gaussien sont données en Relation [3- 36], dans les deux domaines temporel et fréquentiel. Dans le domaine fréquentiel, le spectre du signal composite est égal au résultat du produit de convolution d'une porte avec un signal gaussien (Figure IV.5).

$$s_3(t) = \frac{1}{\tau_3} \text{sinc}\left(\frac{t}{\tau_3}\right) \times e^{-\pi\left(\frac{t}{\tau_3}\right)^2} \quad S_3(f) = \text{rect}(f\tau_3) * \tau_3 e^{-\pi(f\tau_3)^2}$$

Relation [3- 36]

IV.2.5 Comparaison des pentes

Dans ce paragraphe, on présente l'évaluation, dans le domaine temporel, des caractéristiques des trois signaux de tests proposés.

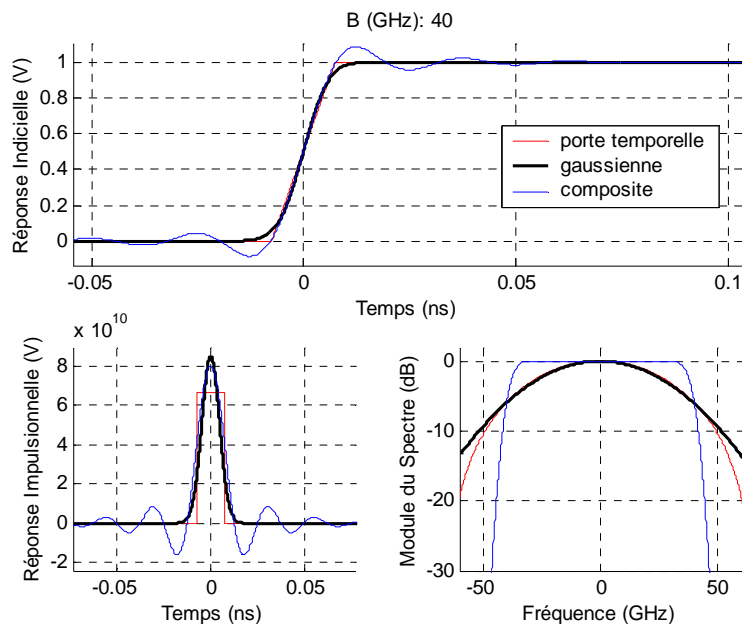


Figure IV.6 : Comparaison des 3 signaux dans les domaines temporels et fréquentiels

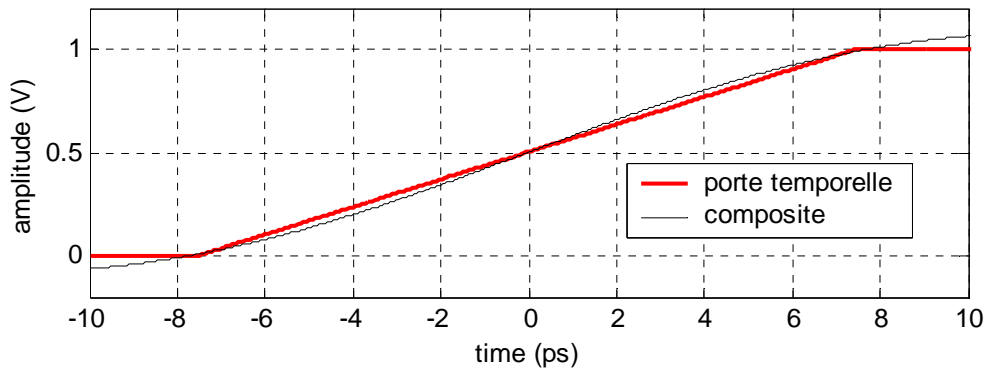


Figure IV.7 : Comparaison des pentes entre le signal porte et le signal composite

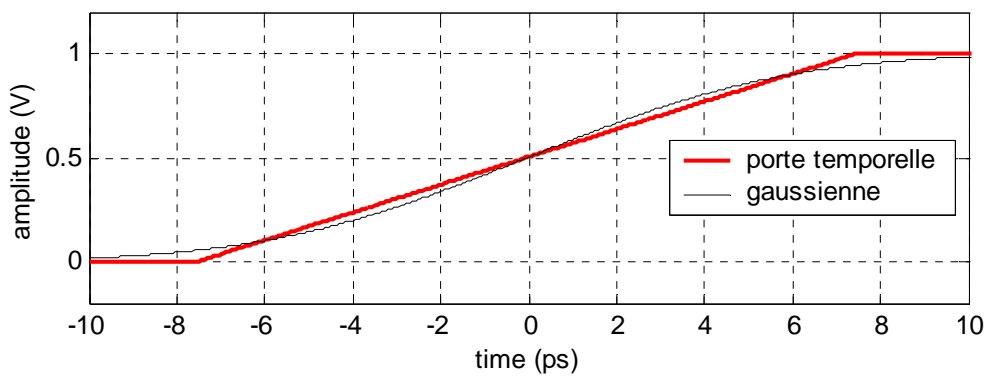


Figure IV.8 : Comparaison des pentes entre le signal porte et le signal gaussien

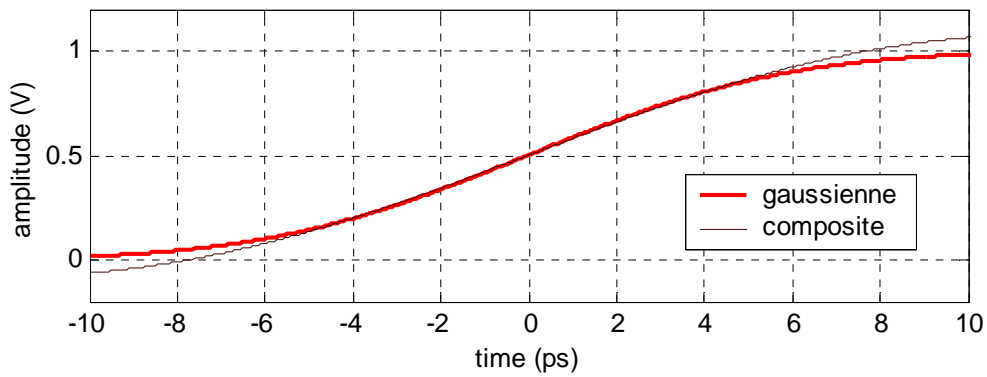


Figure IV.9 : Comparaison des pentes entre le signal gaussien et le signal composite

IV.2.6 Exemple d'évaluation des délais de propagation avec les trois signaux de test pour une ligne standard typique CMOS 45 nm de 0.1 mm de longueur

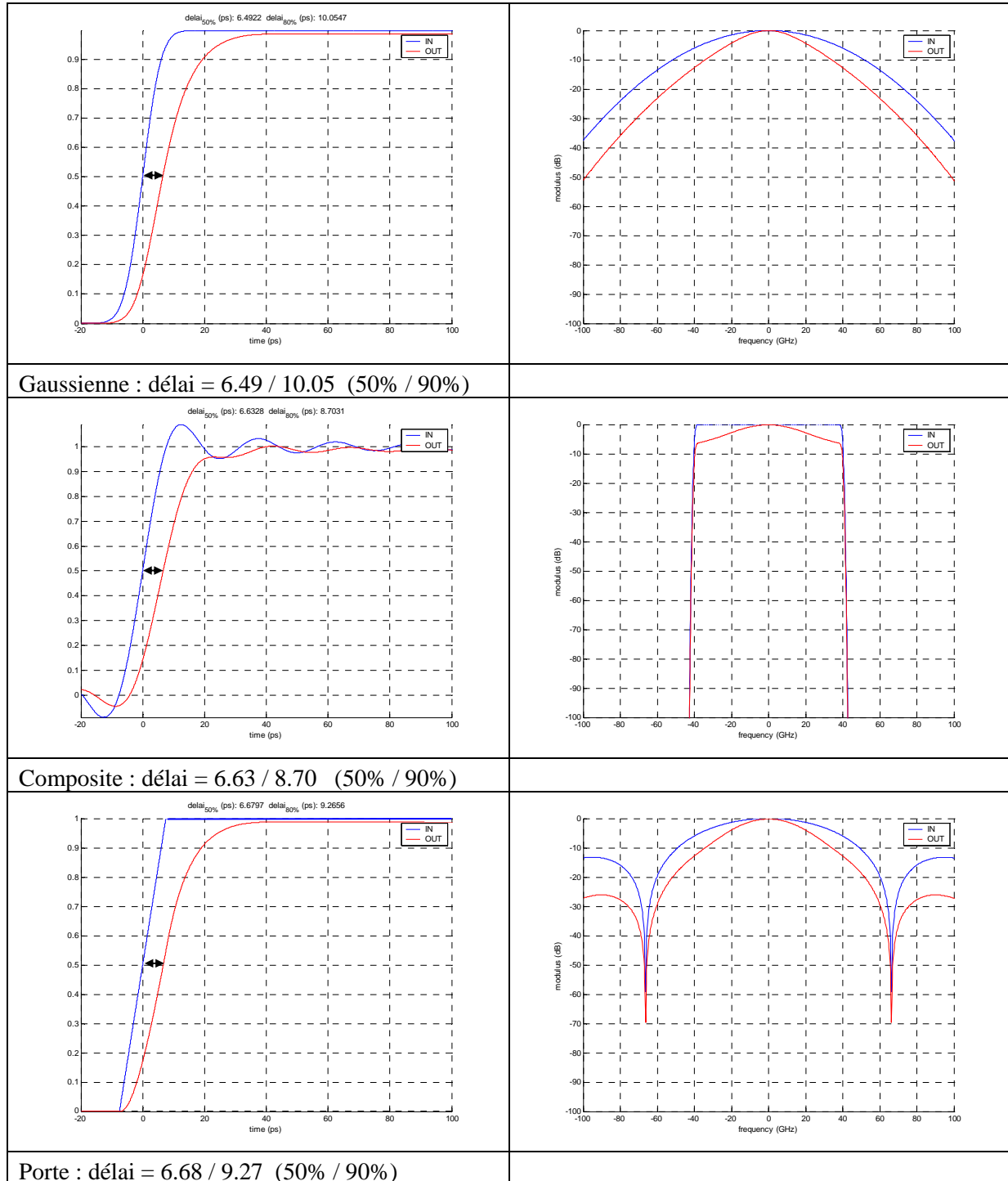


Figure IV.10 : Exemple de comparaison des calculs de délais pour les 3 signaux testés et les spectres associés

Commentaire : de nombreuses simulations ont été lancées pour évaluer ces différents signaux de test. Quelle que soit la configuration (empilement technologique et longueur d'interconnexion), l'incertitude maximale liée au choix du signal de test, est de l'ordre de 3% pour le délai à 50%.

V Modélisation des conducteurs flottants et « dummies »

On cherche ici à insister sur l'impact significatif sur les performances des interconnexions d'éventuels conducteurs flottants dans le BEOL et en particulier de leur influence sur les valeurs des capacités. Le réseau d'interconnexions n'est en effet pas uniquement constitué de lignes de propagation en cuivre, de vias et de diélectriques mais également d'éléments de cuivre flottants, en particulier ce que l'on appelle des « dummies ». L'insertion de dummies est liée à des contraintes technologiques : lors de la phase de polissage du procédé de fabrication (par exemple le procédé dit « damascène »), le rôle des dummies est d'assurer une densité d'éléments de cuivre suffisante pour garantir l'homogénéité de polissage requise. D'une manière générale, il peut être intéressant d'évaluer l'effet d'un conducteur flottant dans le BEOL sur les performances du réseau. Ces conducteurs flottants peuvent être aussi bien des dummies que des portions d'interconnexions ou de vias non connectées. Cet effet est essentiellement lié à l'influence de ces conducteurs flottants sur les capacités linéiques effectives des interconnexions. Le calcul de cet effet est l'objet de cette partie.

V.1 Définition des capacités relatives et absolues

La capacité définit la contribution à l'accumulation de charges Q_1 à l'interface d'un conducteur nominal C_{ond1} lorsque applique des niveaux de tension électrique (Figure V.1).

V.1.1 Définition au sens de Maxwell

Au sens de Maxwell, ces niveaux de tensions appliqués peuvent être qualifiés d'absolus : il s'agit d'un niveau de tension V_1 sur le conducteur C_{ond1} d'une part et des niveaux tensions V_2, V_3, V_4 , etc. sur les conducteurs voisins d'autre part, ces potentiels étant référencés à zéro à l'infini (car supposé comme un endroit sans charge). Dans ce sens on peut parler de capacités absolues. Pour trois conducteurs par exemple (2 lignes et une masse), la capacité propre C_{11} , définie au sens de Maxwell, et relative à l'accumulation de charges Q_1 à l'interface du C_{ond1} , résulte donc de la mise au potentiel V_1 du conducteur nominal C_{ond1} lorsque les deux conducteurs C_{ond2} et masse sont mis au potentiel 0 (référence). La capacité mutuelle C_{12} , définie au sens de Maxwell et relative à l'accumulation de charges Q_1 à l'interface du C_{ond1} , résulte donc de la mise au potentiel V_2 du conducteur C_{ond2} lorsque les deux conducteurs C_{ond1} et masse sont mis au potentiel 0. Les calculs des charges Q_1 et Q_2 aux interfaces des conducteurs respectifs C_{ond1} et C_{ond2} en fonction de C_{11}, C_{22}, C_{12} et C_{21} sont donnés en Relation [3- 37].

$$Q_1 = C_{11}V_1 + C_{12}V_2 \quad Q_2 = C_{21}V_1 + C_{22}V_2$$

Relation [3- 37]

Remarque : d'un point de vue comportemental, les capacités au sens de Maxwell peuvent être vues simplement comme les coefficients d'un système linéaire reliant les charges et les tensions (Relation [3- 38]).

$$\begin{bmatrix} Q_1 \\ Q_2 \end{bmatrix} = \begin{bmatrix} C_{11} & C_{12} \\ C_{21} & C_{22} \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix}$$

Relation [3- 38]

V.1.2 Définition au sens de Kirchhoff

Au sens de Kirchhoff, ces niveaux de tensions appliqués peuvent être qualifiés de relatifs : il s'agit de différences de potentiels inter-conducteurs. Dans ce sens on peut parler de capacités relatives. Pour trois conducteurs par exemple (2 lignes et une masse), la capacité propre ζ_{11} , définie au sens de Kirchhoff, et relative à l'accumulation de charges Q_1 à l'interface du C_{ond1} , résulte donc de la différence de potentiel

ΔV_1 entre conducteur nominal C_{ond1} et la masse. La capacité mutuelle ζ_{12} , définie au sens de Kirchoff, et relative à l'accumulation de charges Q_1 à l'interface du C_{ond1} , résulte donc de la différence de potentiel ΔV_2 entre le conducteur nominal C_{ond1} et conducteur C_{ond2} . Les calculs des charges Q_1 et Q_2 aux interfaces des conducteurs respectifs C_{ond1} et C_{ond2} en fonction de ζ_{11} , ζ_{22} , ζ_{12} et ζ_{21} sont donnés en Relation [3- 39].

$$Q_1 = \zeta_{11} V_1 + \zeta_{12}(V_1 - V_2) = (\zeta_{11} + \zeta_{12}) V_1 - \zeta_{12} V_2 \quad Q_2 = \zeta_{22} V_2 + \zeta_{21}(V_2 - V_1) = (\zeta_{22} + \zeta_{21}) V_2 - \zeta_{21} V_1$$

Relation [3- 39]

Des Relation [3- 37] et Relation [3- 39], on déduit les et Relation [3- 40] et Relation [3- 41] qui définissent les relations entre les capacités absolues et les capacités relative (pour le conducteur 1).

$$C_{11} = \zeta_{11} + \zeta_{12} \quad \text{et} \quad C_{12 (<0)} = -\zeta_{12}$$

Relation [3- 40]

$$\zeta_{11} = C_{11} + C_{12} \quad \text{et} \quad \zeta_{12} = -C_{12}$$

Relation [3- 41]

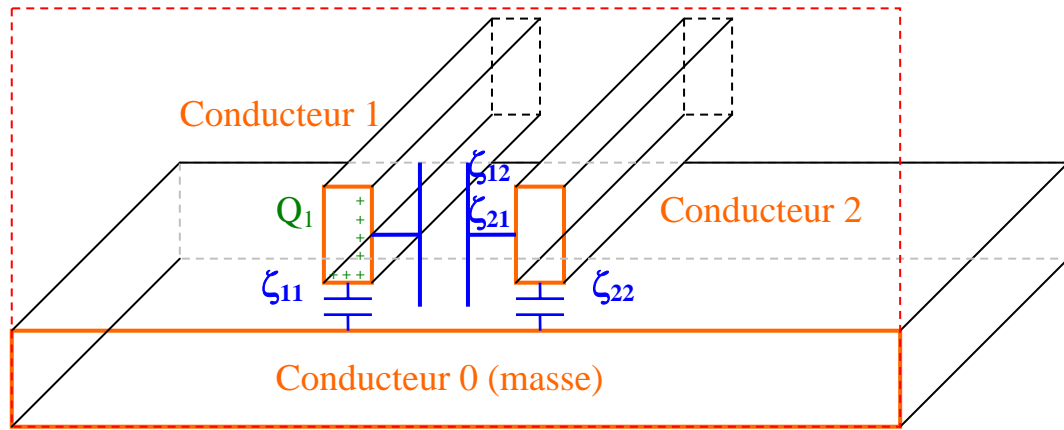


Figure V.1 : Illustration des capacités relatives, propres (ζ_{11} et ζ_{22}), et mutuelles (ζ_{12} et ζ_{21})

V.2 Effet des conducteurs flottants sur les capacités propres et mutuelles

L'application d'une tension V_1 sur un conducteur génère une tension V_{12} (faible) sur le conducteur voisin flottant qui va modifier les charges sur le conducteur 1.

On obtient une modification en $\zeta'_{11} = C'_{11}$ de la capacité propre du conducteur que l'on peut retrouver ainsi :

$$\zeta'_{11} = C'_{11} = C_{11} - \frac{C_{12}C_{21}}{C_{22}} = C_{11} - \frac{C_{12}^2}{C_{22}} = \zeta_{11} + \left(\zeta_{12} - \frac{\zeta_{12}^2}{\zeta_{22} + \zeta_{12}} \right) = \zeta_{11} + \left(\frac{\zeta_{22} \times \zeta_{12}}{\zeta_{22} + \zeta_{12}} \right)$$

Relation [3- 42]

Démonstration :

$$\text{Conducteur 1 : } Q_1 = C_{11} V_1 + C_{12} V_2$$

Relation [3- 43]

Conducteur 2 (flottant) : Les charges totales au niveau du conducteur 2 sont nulle (parce qu'il est flottant, il y a équilibre global des charge positives et négatives). On peut donc écrire :

$$Q_2 = C_{12} V_1 + C_{22} V_2 = 0 \quad \Rightarrow \quad V_2 = -\frac{C_{12}}{C_{22}} V_1$$

Relation [3- 44]

En remplaçant dans la Relation [3- 43], V_2 par son expression donnée en Relation [3- 42] et Q_1 par $\zeta_{11} V_1$, on obtient ce que l'on voulait démontrer.

V.2.1 Exemple 1 de conducteur flottant

V.2.1.a Evaluation et calcul des capacités

On s'intéresse à une première configuration pour laquelle une interconnexion isolée est placée à proximité de sa masse pour constituer une ligne de propagation. On cherche à comprendre l'impact de l'insertion d'une seconde interconnexion à proximité de la première sur sa capacité.

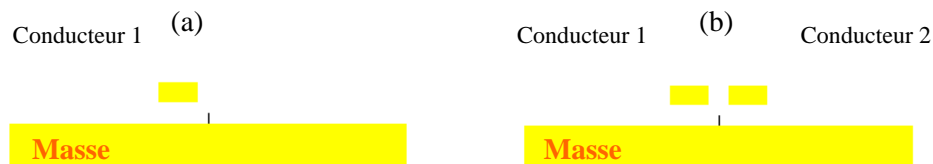


Figure V.2 : Configurations d'interconnexion, isolée ou couplée

Les différentes capacités sont évaluées par simulation électromagnétique. Les valeurs suivantes ont été obtenues :

$$\text{Configuration (a) : } \zeta = C = 45,5 \text{ pF}$$

$$\text{Configuration (b) : } \zeta_{11} = 36,5 \text{ pF} \quad \text{et} \quad \zeta_{12} = 16,0 \text{ pF}$$

$$\Rightarrow C_{11} = \zeta_{11} + \zeta_{12} = 52,5 \text{ pF} \quad \text{et} \quad C_{12} = -\zeta_{12} = -16,0 \text{ pF}$$

Remarque : la capacité ζ_{11} est inférieure à la capacité propre de la ligne isolée car le conducteur voisin crée une sorte de blindage latéral.

Enfin, on suppose que le conducteur voisin est laissé flottant. La capacité effective ζ' de la ligne est modifiée (en augmentation). D'après la Relation [3- 42]:

$$\zeta' = C' = C_{11} - \frac{C_{12} C_{21}}{C_{22}} = C_{11} - \frac{C_{12}^2}{C_{22}} \quad \zeta' = 47,6 \text{ pF}$$

V.2.1.b Interprétations de l'exemple 1

V.2.1.b.1 Interprétation 1 : configuration (a) \rightarrow configuration (b)

L'introduction d'un conducteur flottant augmente la capacité effective de la ligne et donc ralentit les signaux propagés. $\zeta' = \zeta + 4,6 \%$

V.2.1.b.2 Interprétation 2 : configuration (b)

Supposons que l'on connecte ou non ce conducteur flottant.

- Le fait de le connecter à la masse augmente la capacité effective de la ligne qui « voit » une capacité C_{11} (= 52,5 pF).

$$C_{11} = \zeta' + 10,3 \%$$

- Le fait de le connecter au premier conducteur diminue la capacité effective de la ligne qui « voit » une capacité ζ_{11} (= 36,5 pF).

$$\zeta_{11} = \zeta' - 23,3 \%$$

Remarque : Une autre manière de décrire cette dernière configuration est de voir les deux conducteurs connectés comme une seule ligne de capacité $\zeta' = 2 \zeta_{11}$ mais de résistance linéique 2 fois plus faible.

V.2.2 Exemple 2 de conducteur flottant

On s'intéresse à nouveau à l'impact des connexions sur la vitesse du signal en construisant une configuration pour laquelle les capacités mutuelles sont grandes devant les capacités propres.

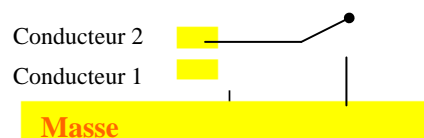


Figure V.3 : Configuration d'interconnexions couplées

On calcule : $\zeta_{11} = 35,8 \text{ pF}$ $\zeta_{12} = 46,8 \text{ pF}$ (et $\zeta_{22} = 14,6 \text{ pF}$)

En connectant le conducteur supérieur à la masse, on obtient une capacité équivalente absolue C_{11} :

$$C_{11} = 82,6 \text{ pF}$$

En déconnectant la masse supérieure (laissée flottante), on obtient en appliquant la Relation [3- 42]:

$$\zeta' = 46,9 \text{ pF}$$

Autrement dit on arrive à presque doubler la capacité équivalente en connectant le conducteur supérieur (initialement flottant) à la masse.

VI Modélisation des diélectriques

VI.1 Introduction de matériaux diélectriques ULK

Historiquement le matériau diélectrique prédominant dans l'industrie des circuits numériques intégrés de technologie CMOS était la silice, c'est-à-dire le dioxyde de silicium (SiO_2). Ce matériau peu coûteux, de bonne résistance mécanique et facile à implémenter à partir du silicium par oxydation a surtout de bonnes propriétés diélectriques: c'est un matériau de conductivité quasi nulle [Lacrevaz, 2005] et de constante diélectrique (permittivité relative) relativement faible ($\epsilon_r = 4$).

Avec l'intégration de plus en plus poussée des circuits, les capacités C des interconnexions ont cependant atteint des valeurs prohibitives, notamment à partir de la génération 45 nm.

Devant la nécessité de faire baisser ces capacités, les technologues ont dû introduire des matériaux à très faible permittivité (ou ULK pour Ultra Low K) comme celle qu'ont certains matériaux organiques. Le SiOCH , dit aussi silicium poreux, est une des solutions fortement poussée vers cet objectif par l'ITRS et de nombreux industriels, puisqu'on pense atteindre une permittivité relative proche de 2.

Toutefois, à cause de son caractère poreux, ce matériau est susceptible de prendre l'humidité s'il est mal protégé. Cette prise d'humidité dégrade non seulement la constante diélectrique (l'eau est un matériau à très forte permittivité relative ϵ_r comprise entre 30 et 100 en fonction de sa pureté) mais cause également des pertes diélectriques (apparition d'une conductance G).

Un des aspects de ce travail de thèse a été de modéliser ces pertes et d'en évaluer l'impact sur les délais d'interconnexion. Ce travail a été mené en référence à une autre thèse orientée caractérisation menée en partenariat avec STMicroelectronics [Gallitre, 2008].

D'autre part le problème des pertes diélectriques apparaît dans un autre contexte tout aussi problématique. En effet dans le cadre des circuits dits 3 D [Rousseau, 2009], des vias traversant (ou TSV pour Through Silicon Vias) sont implémentés à travers le silicium pour interconnecter au moins deux niveaux de circuits actifs. Ils sont associés à des interconnexions implémentées dans le silicium appelée RDL (pour ReDistribution Line).

Le silicium étant un matériau naturellement à pertes (essentiellement ohmique), la modélisation de ces vias et des RDL ainsi que l'évaluation de leurs performances et de leur impact sur le reste du circuit passe par une bonne compréhension des diélectriques à pertes. L'objet de cette partie est donc la recherche de cette compréhension.

VI.2 Capacité et conductance entre deux conducteurs

VI.2.1 Rappel des définitions classiques de la capacité C et de la conductance G

La capacité C et de la conductance G entre deux conducteurs sont définies à partir des champs électriques présents aux alentours de ces conducteurs (Cf Annexe 15). Leurs expressions sont données en Relation [3- 45] [Gardiol, 2004].

$$C = \varepsilon \frac{\int_S n \cdot E(r) \, dA}{\int_A^B E(r) \, dl} \quad G = \sigma \frac{\int_S n \cdot E(r) \, dA}{\int_A^B E(r) \, dl}$$

Relation [3- 45]

S est une surface quelconque qui entoure l'un des conducteurs. Un exemple de surface d'intégration est donné en Figure VI.1.

Le chemin d'intégration entre les points A et B est un chemin quelconque entre le conducteur 1 et le conducteur 2 (Figure VI.1).

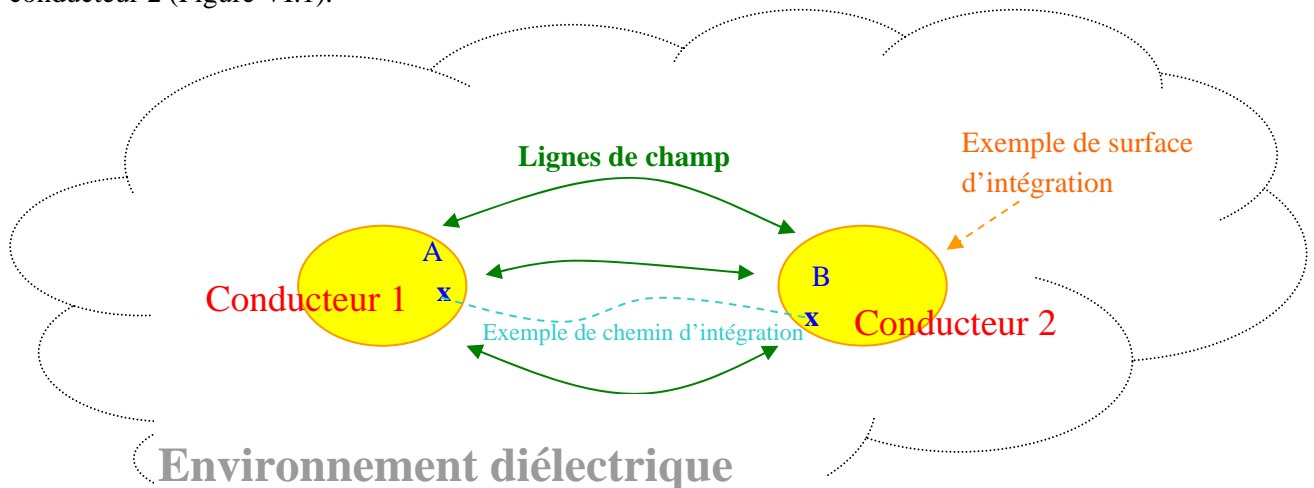


Figure VI.1 : Illustration de la définition de C et G

- σ est la conductivité de l'environnement diélectrique des conducteurs, qui dépend de la concentration en porteurs libres dans le matériau.
- ε (Relation [3- 46]) est la permittivité complexe de l'environnement diélectrique des conducteurs, liée au courants de déplacement dans le matériau.

$$\varepsilon = \varepsilon' - j\varepsilon'' = (\varepsilon_r' - j\varepsilon_r'')\varepsilon_0$$

Relation [3- 46]

ε_r' et ε_r'' sont respectivement les permittivités relatives réelle et imaginaire du matériau et ε_0 est la permittivité absolue du vide.

Ces deux relations (Relation [3- 45]) soulignent que la capacité C d'une part et la conductance G d'autre part dépendent directement des paramètres, respectivement, ε et σ .

VI.2.2 Définitions adoptées dans ce développement

Dans le cadre de cette thèse, cette définition a été trouvée trop restrictive dans la mesure où, d'un point de vue purement comportemental, on ne sait pas distinguer a priori les pertes ohmiques des pertes diélectriques. Il a été choisi de choisir le modèle suivant : le diélectrique est caractérisé par son admittance complexe $Y = G + jC\omega$. L'admittance linéique Y se décompose en une partie réelle représentant les pertes actives (les relations entre tension et courant), caractérisées par G , et une partie

imaginaire représentant les pertes réactives (les relations entre tension et charges), caractérisées par C. Les capacités et conductance linéiques C et G, définies ainsi, sont exprimés en Relation [3- 47].

$$C = \frac{Q}{V_A - V_B} = \varepsilon_0 \varepsilon'_r \frac{\int_S n.E(r) dA}{\int_A^B E(r) dl} \quad G = \frac{I}{V_A - V_B} = (\omega \varepsilon_0 \varepsilon''_r + \sigma) \frac{\int_S n.E(r) dA}{\int_A^B E(r) dl}$$

Relation [3- 47]

Les expressions de C et de G font apparaître chacune un facteur commun qui permet d'écrire une relation déterministe entre C et G (Relation [3- 48]).

$$\frac{G}{C} = \frac{\omega \varepsilon_0 \varepsilon''_r + \sigma}{\varepsilon_0 \varepsilon'_r}$$

Relation [3- 48]

VI.2.3 Exemple d'un condensateur plan

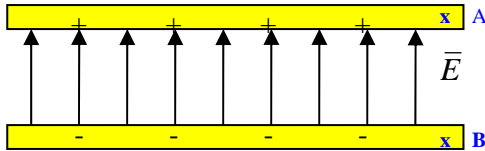


Figure VI.2 : Illustration schématique d'un condensateur plan (sans effets de bord)

VI.2.3.a Hypothèses sur la modélisation du condensateur plan

Deux plaques sont chargées avec des polarités inverses. Le champ E est constant à l'intérieur de l'isolant, perpendiculaire aux conducteurs, et nul dans les conducteurs et à l'extérieur des plaques. Les surfaces des conducteurs sont choisies comme surfaces d'intégration (Figure VI.1 et Figure VI.2).

VI.2.3.b Valeurs théoriques de C et G

D'après la Relation [3- 47], on obtient les valeurs de C et de G.

$$\left. \begin{array}{l} \int_S n.E(r) dA = E \times S \\ \int_A^B E(r) dl = E \times d \end{array} \right\} \Rightarrow C = \frac{\varepsilon_0 \varepsilon'_r S}{d} \quad \text{et} \quad G = \frac{(\varepsilon_0 \varepsilon''_r + \sigma) S}{d}$$

Relation [3- 49]

Dans le paragraphe qui suit, on présente les modèles couramment utilisés pour décrire les relations déterministes entre la partie réelle et la partie imaginaire de la permittivité diélectrique d'un matériau à pertes. Ces modèles permettant d'appréhender les phénomènes de pertes diélectriques avec beaucoup de précision ont été intégrés dans le simulateur.

Nous appliqueront ces modèles sur les mesures de permittivités extraites à partir de dispositifs dédiés.

VI.2.4 Modèles de Debye

Les modèles causaux utilisés dans le cadre de cette thèse (Cf. § III.4.3) sont les modèles « de Debye » généralisés auxquels on apporte une extension liée à celle exposée en Relation [3- 22] : le terme de modèle « de Debye » est emprunté à la physique des diélectriques. Il s'agit d'un modèle décrivant une forme de variation de la permittivité diélectrique d'un matériau avec la fréquence, appelée relaxation. Ce modèle est appelé aussi modèle « de relaxation de Debye ».

VI.2.4.a Définition des modèles de Debye

Il existe un certain nombre de phénomènes physiques qui génèrent une variabilité de la permittivité diélectrique relative complexe [Moliton, 2004] avec la fréquence (Figure VI.3) :

- En basses fréquences (< 1 MHz), il peut exister des phénomènes d'absorption liés à des porteurs libres ainsi que des effets d'accumulation de charges liées à d'éventuelles discontinuités (il s'agit d'un phénomène de micro capacités appelé effet Maxwell-Wagner).
- Dans la gamme des fréquences microondes, le phénomène majeur est lié à une orientation dipolaire des atomes ou des molécules sous l'effet du champ électrique appliqué qui crée une relaxation diélectrique du matériau également appelée absorption dipolaire de Debye.
- Enfin dans la gamme des fréquences supérieures au TeraHerz, on peut rencontrer des phénomènes de résonance ionique ou électronique. Cependant ces phénomènes dans les fréquences optiques ne concernent pas les présents travaux dans la mesure où le FEOL comme le BEOL des circuits CMOS des générations 45 nm et suivantes agissent par essence (de par les valeurs des résistances et des capacités) comme des filtres passe bas qui limite la largeur de bande des signaux bien en dessous du TeraHerz.

Les phénomènes de relaxations dans les fréquences plus basses ($< 10^{12}$ Hz) peuvent donc être modélisés par des combinaisons linéaires de filtres passe-bas du premier ordre, comme présentés en III.4.3.d, Relation [3- 27], qui donne l'évolution de la réponse fréquentielle d'un système causal en fonction de la fréquence. L'évolution de la permittivité en fonction de la fréquence se modélise par les Relation [3- 50] à Relation [3- 52].

Remarque : Ces phénomènes de relaxation sont l'équivalent à l'échelle microscopique des phénomènes macroscopiques présentés au § III.4.3.e et en Annexe 18 (empilement de capacités à pertes ohmiques).

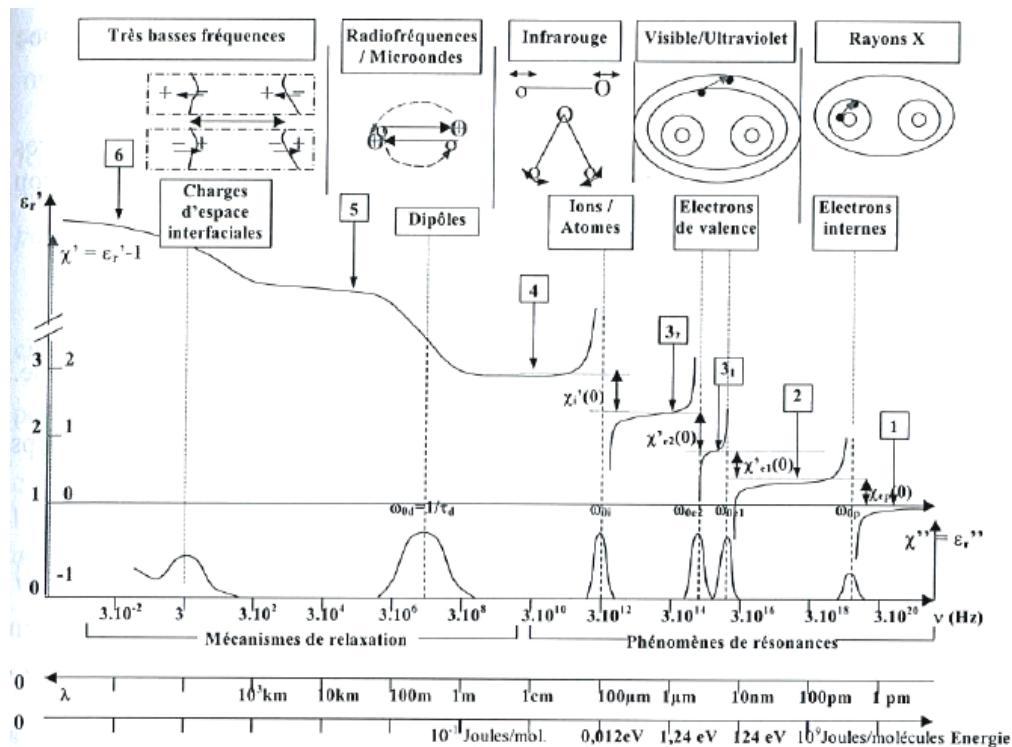


Figure VI.3 : Illustration de l'évolution de la permittivité diélectrique avec la fréquence (d'après A. Moliton, « Applications de l'électromagnétisme dans les milieux matériels »)

Par les Relation [3- 50], Relation [3- 51] et Relation [3- 52], on donne les expressions respectives du modèle de Debye (au sens diélectrique) et du modèle de Debye généralisé (à un ordre supérieur à 1) ainsi que l' expression d'une extension à ces modèles proposée dans le cadre de cette thèse afin de tenir compte d'éventuels phénomènes de conduction parallèle dans les matériaux. Ces modèles seront utilisés en outre pour forcer la causalité des signaux obtenus lors de l'extrapolation des données mesurées (Cf. paragraphe III.4.3).

VI.2.4.a.1 Modèle de Debye

$$\underline{\varepsilon}(\omega) = \varepsilon_{\infty} + \frac{\varepsilon_{\infty} - \varepsilon_{DC}}{1 + j\omega\tau_i}$$

Relation [3- 50]

VI.2.4.a.2 Modèle de Debye généralisé

$$\underline{\varepsilon}(\omega) = \varepsilon_{\infty} + \sum_{i=1}^N \frac{\varepsilon_i}{1 + j\omega\tau_i}$$

Relation [3- 51]

VI.2.4.b Extension proposée au Modèle de Debye généralisé

$$\underline{\varepsilon}(\omega) = \varepsilon_{\infty} + \frac{\sigma_0}{\omega} + \sum_{i=1}^N \frac{\varepsilon_i}{1 + j\omega\tau_i}$$

Relation [3- 52]

Remarque : Pour explorer plus en profondeur les phénomènes électromagnétiques dans les milieux diélectriques, on pourra consulter ces trois ouvrages (francophones) que l'on a utilisés comme référence dans cette partie: [Perez, 2001],[Moliton, 2004],[Gardiol, 2004].

VII Mise en application des développements réalisés sur les aspects extrapolation, apodisation et passage dans le domaine temporel

VII.1 Exemple 1 : Intégration de SiOCH (« silicium poreux ») ULK

VII.1.1 Contexte de l'étude

La présente étude s'inscrit en complément d'un travail mené par Michel Gallitre dans le cadre de sa thèse [Gallitre, 2008] consacrée à l'impact des matériaux et des architectures sur les performances des interconnexions pour les générations CMOS avancées. Ce travail portait sur la mesure in situ d'interconnexions intégrées dans des prototypes de circuits des générations CMOS 45nm et 32 nm existants, respectant les empilements imposés par le nœud technologique. La spécificité de ces prototypes était d'intégrer un diélectrique (intra et inter niveaux métal) très faible permittivité (ou ULK pour Ultra Low K), en l'occurrence du SiOCH, dit aussi « silicium poreux ». L'objectif de cette mesure était à la fois d'étudier le comportement de ces interconnexions intégrées mais aussi d'utiliser le prototype pour extraire la permittivité complexe du SiOCH et établir des liens entre la performance de délai des interconnexions et les caractéristiques diélectriques du SiOCH. M. Gallitre a montré, en comparant deux architectures différentes (l'une « passivée », autrement dit protégée, l'autre non, Cf. Figure VII.1) que l'absence de passivation avait pour conséquence la prise d'humidité du diélectrique qui générait une hausse à la fois de la permittivité réelle du matériau mais aussi des pertes diélectriques.

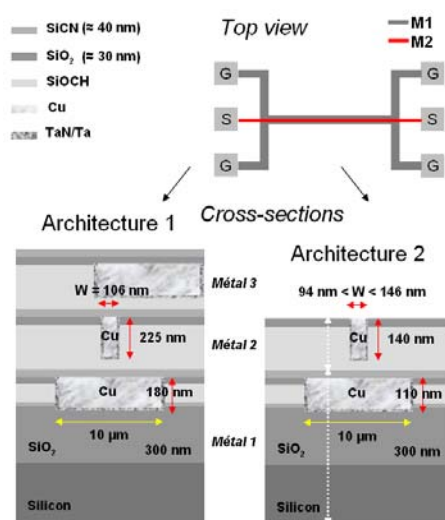


Figure VII.1 : Schéma en coupe des dispositifs mesurés, intégrant du SiOCH (l'architecture 1 est passivée, l'architecture 2 ne l'est pas)

VII.1.2 Traitement des mesures et du signal

On cherche à construire la réponse temporelle du signal :

- Mesure des paramètres S du dispositif de mesure et de-embedding \Rightarrow paramètres S aux bornes de l'interconnexion.
- Intégration en modélisation des conditions de charges et d'excitation basées sur des modèles de transistors fournis par les partenaires du domaine technologique (STMicroelectronics, Crolles).
- Traduction des données en réponses courant /tension.

- Traduction dans le domaine temporel : interpolation et extrapolation linéaires, puis apodisation et utilisation de la TFD.

On obtient une réponse non causale (Figure VII.2)! Ce problème a été à l'origine des investigations sur la causalité des signaux menée durant ce travail de thèse.

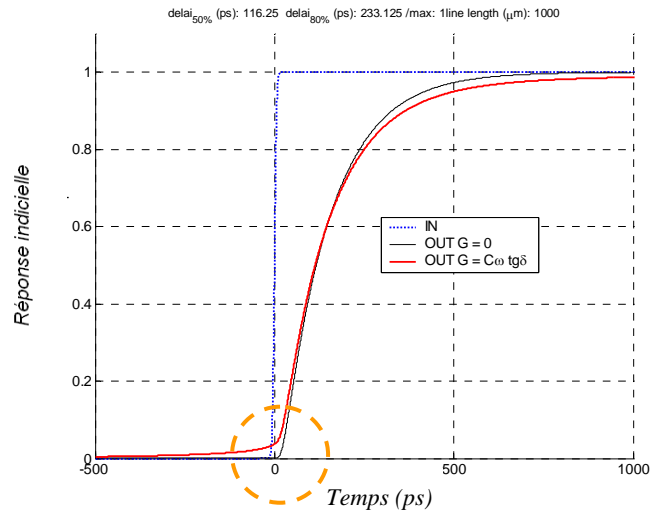


Figure VII.2 : Illustration de non causalité: réponse indicielle du dispositif mesuré

VII.1.3 Démarche d'analyse proposée et résultats

VII.1.3.a Permittivité diélectrique équivalente

La procédure d'extraction s'appuie sur une modélisation EM précise de la structure (sous le logiciel HF2D), basée à la fois sur l'observation des dimensions (Figure VII.3) et sur la connaissance des caractéristiques des matériaux conducteurs (cuivre et TaN/Ta).

On décide de se focaliser sur la permittivité effective équivalente (Figure VII.4) de l'environnement de l'interconnexion. Cette permittivité équivalente ne peut pas être sujette à une interprétation physique directe puisqu'elle rend compte d'un empilement technologique inhomogène complexe. Cette permittivité effective doit cependant, rendre compte d'un comportement **causal**.

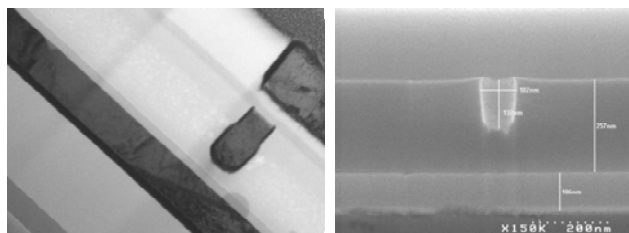


Figure VII.3 : Micro photographie SEM et TEM des dispositifs mesurés

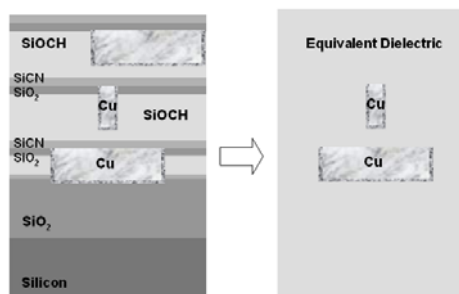


Figure VII.4 : Illustration de la définition de la permittivité effective équivalente

VII.1.3.b Synoptique de calcul de la permittivité diélectrique équivalente $\epsilon_{r eq}$

3. Modélisation EM
 - a. Modélisation des conducteurs à partir de leurs caractéristiques géométriques précise (Figure VII.3) et de leur conductivité exacte. L'environnement des conducteurs est modélisé par du vide.
 - b. Simulations électromagnétiques pour calculer les valeurs de :
 - i. la capacité $C_0(\omega)$ dans le vide.
 - ii. les résistances $R(\omega)$ et inductance $L(\omega)$ linéiques de la ligne de propagation
4. Mesure
 - a. Mesures des paramètres S du DST. On en extrait un modèle de propagation de caractéristiques ($Z_c, \gamma = \alpha + i\beta$).
5. Extraction de $\epsilon_{r eq}$
 - a. Extraction des valeurs de la capacité linéique équivalente $C(\omega)$ et de la conductance linéique équivalente $G(\omega)$ de la ligne de propagation, à partir des Relation [3- 53] et Relation [3- 54].
 - b. Calcul alors la permittivité diélectrique relative complexe $\epsilon_{r eq}$ (Figure VII.5) à partir des Relation [3- 55].

$$C(\omega) = \frac{2\alpha\beta R(\omega) + (\beta^2 - \alpha^2)L(\omega)\omega}{(L(\omega)^2\omega^2 + R(\omega)^2)\omega}$$

Relation [3- 53]

$$G(\omega) = \frac{2\alpha\beta L(\omega)\omega^2 + (\alpha^2 - \beta^2)R(\omega)\omega}{(L(\omega)^2\omega^2 + R(\omega)^2)\omega}$$

Relation [3- 54]

$$\epsilon_{r eq}'(\omega) = C(\omega)/C_0(\omega) \quad \epsilon_{r eq}''(\omega) = G(\omega) / \omega C_0(\omega)$$

Relation [3- 55]

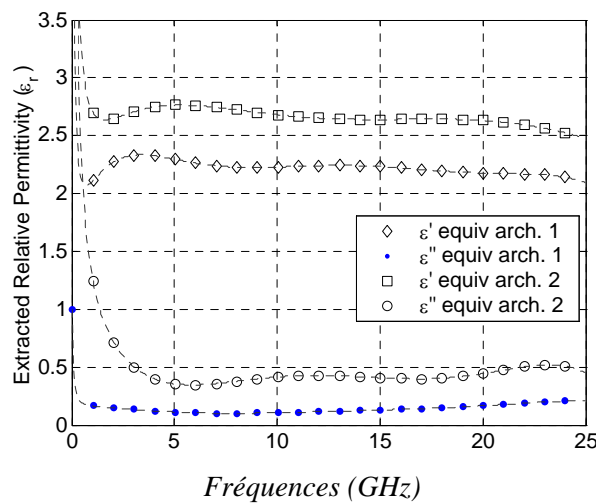


Figure VII.5 : Mesure des permittivités diélectriques relatives des deux dispositifs (passivé et non passivé)

La démarche d'extrapolation « intelligente » a été la suivante :

- La permittivité relative complexe équivalente extraite est soumise à un modèle de Debye du 1er ordre.
- Les paramètres du modèle sont obtenus par une procédure d'optimisation qui identifie la mesure au modèle (Cf. Annexe 20).
- L'extrapolation des données fréquentielles est contrainte au modèle de Debye obtenu (Figure VII.6).

VII.1.3.c Modélisation causale de la permittivité diélectrique équivalente $\epsilon_{r,eq}$

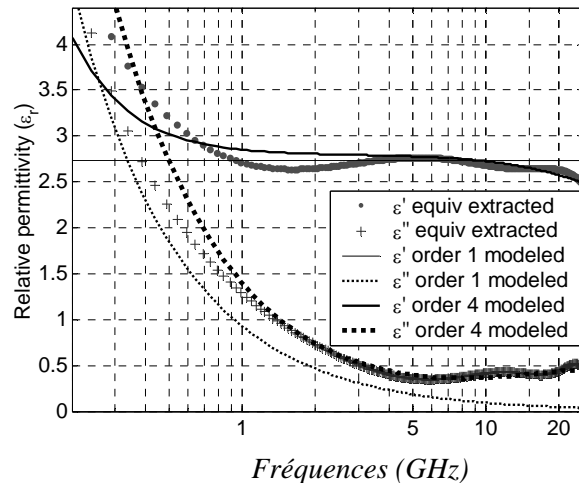


Figure VII.6 : Extrapolation causale de la permittivité diélectrique équivalente extraite

VII.1.3.d Exploitation de la modélisation permittivité diélectrique équivalente $\epsilon_{r,eq}$

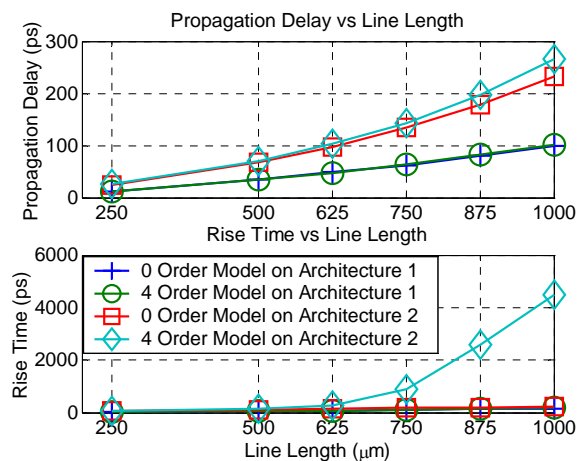


Figure VII.7 : Effet du choix de l'ordre du modèle de Debye utilisé pour la modélisation de la permittivité diélectrique sur l'évaluation des performances

VII.1.3.e Conclusions de l'étude

1. Une extrapolation « naïve » des données mesurées conduit à une réponse indicielle non cohérente car non causale.
2. Cette non-cohérence du signal modélisé introduit un biais sur l'évaluation des performances de délais et de temps de montée.
3. En identifiant les données extraites de la mesure à un modèle de Debye, on corrige ce biais.
4. L'ordre du modèle doit être suffisamment élevé pour obtenir une erreur la plus faible possible entre les données extraites de la mesure et le modèle trouvé, sans quoi une erreur très significative est faite sur l'estimation des délais et des temps de montée du signal, malgré le forçage de la causalité.

VII.2 Exemple 2 : Mesure hyperfréquence d'un dispositif 3 D à perte dans le silicium

VII.2.1 Contexte de l'étude

La présente étude s'inscrit en complément d'un travail mené par Julie Roullard dans le cadre de sa thèse : des mesures ont été menées afin d'évaluer, entre autres, l'impact de l'empilement 3D (empilement de plusieurs couches d'actifs munis de leur BEOL respectifs et reliés par des vias) sur les différents éléments du circuit [Roullard, 2011]. Dans l'exemple de mesure traité ici, on s'intéresse à la caractérisation d'une RDL (Re Distribution Line) qui sert à interconnecter entre eux des TSV (pour Thru Silicon Vias). Il s'agit donc d'une sorte d'interconnexion globale en cuivre de grandes dimensions (sa largeur est de l'ordre du plusieurs micromètres) intégrée dans un diélectrique potentiellement à pertes puisqu'il est constitué d'un empilement silicium Si (à perte) et de SiO₂ (Figure VII.8).

Après mesure des paramètres S du dispositif de mesure et de-embedding, on obtient les paramètres S aux bornes de la RDL.

On a ensuite intégré en modélisation les conditions de charges et d'excitation basées sur des modèles de transistors fournis par les partenaires du domaine technologique (STMicroelectronics, Crolles).

Enfin, on a traduit ces données pour obtenir les réponses en courant et en tension de la RDL. Parallèlement un modèle de paramètres RLCG distribué a été construit pour caractériser la RDL en termes électriques.

Les données fréquentielles ont été traitées pour être traduites dans le domaine temporel : interpolation et extrapolation linéaires, puis apodisation et utilisation de la TFD.

L'objectif est de décrire la réponse de l'interconnexion drivers CMOS + RDL en termes de temps de transition, délai, ripple et overshoot éventuels.

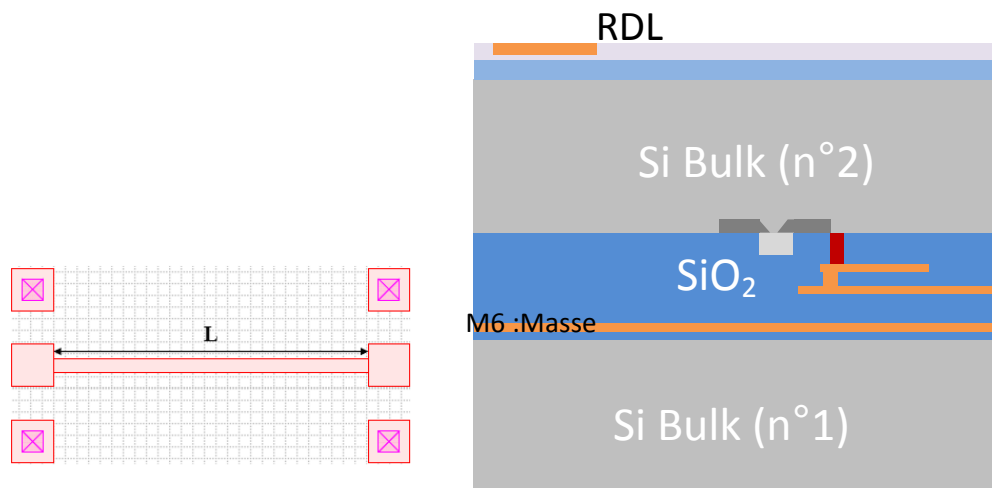


Figure VII.8 : Représentation schématique en vue de dessus et en coupe de la RDL mesurée

Niveau métal = M6 Longueur de la RDL : 500 μm

VII.2.2 Démarche d'analyse proposée et résultats

Suite au traitement appliqué par extrapolation linéaire des données mesurées, on obtient un signal non interprétable car non causal (Figure VII.9). L'hypothèse formulée est que c'est la procédure d'extrapolation qui a introduit un biais dans les résultats.

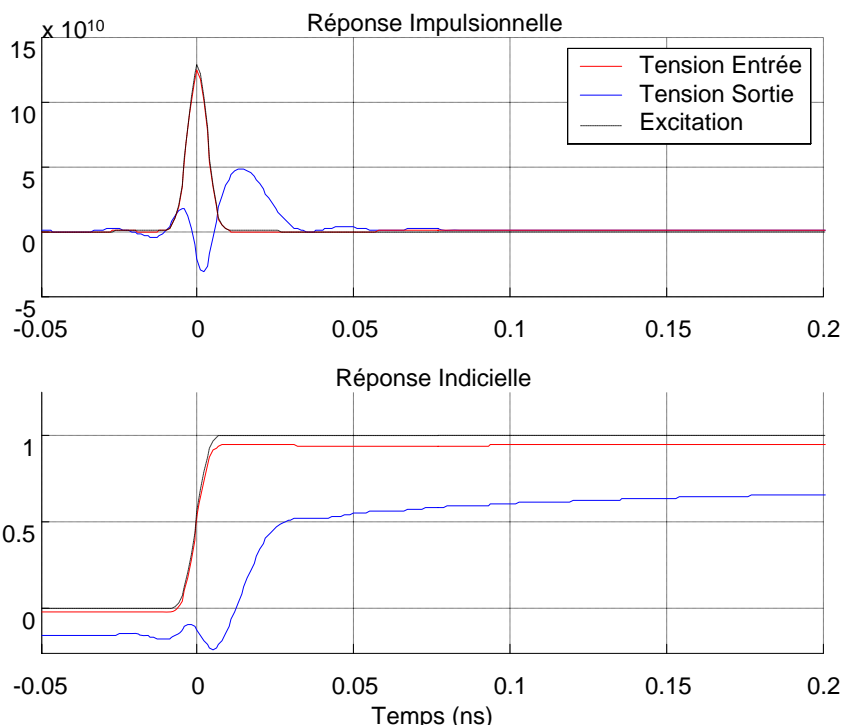


Figure VII.9 : Illustration des réponses impulsionnelle et indicielle de la RDL en utilisant une extrapolation linéaire des données mesurées

La démarche d'extrapolation « intelligente » a été la suivante :

- On revient à un modèle distribué RLCG : à partir des paramètres S mesurés, on obtient une matrice chaîne ABCD puis les paramètres caractéristique (Z_c , γ) de la RDL, puis ses paramètres primaires RLCG (variables avec la fréquence).
- Les paramètres C et G ont été isolés et soumis à un modèle de Debye du 1^{er} ordre.
- Les paramètres du modèle sont obtenus par une procédure d'optimisation qui identifie la mesure au modèle (Cf. Annexe 15).
- L'extrapolation des données fréquentielles est contrainte au modèle de Debye obtenu (Figure VII.10).

On obtient enfin une réponse temporelle précise et cohérente (Figure VII.11) en appliquant la procédure suivante :

- Interpolation linéaire des données fréquentielles.
- Apodisation.
- Application de la IFFT.
- Intégration de la réponse impulsionnelle obtenue pour observer la réponse indicielle.

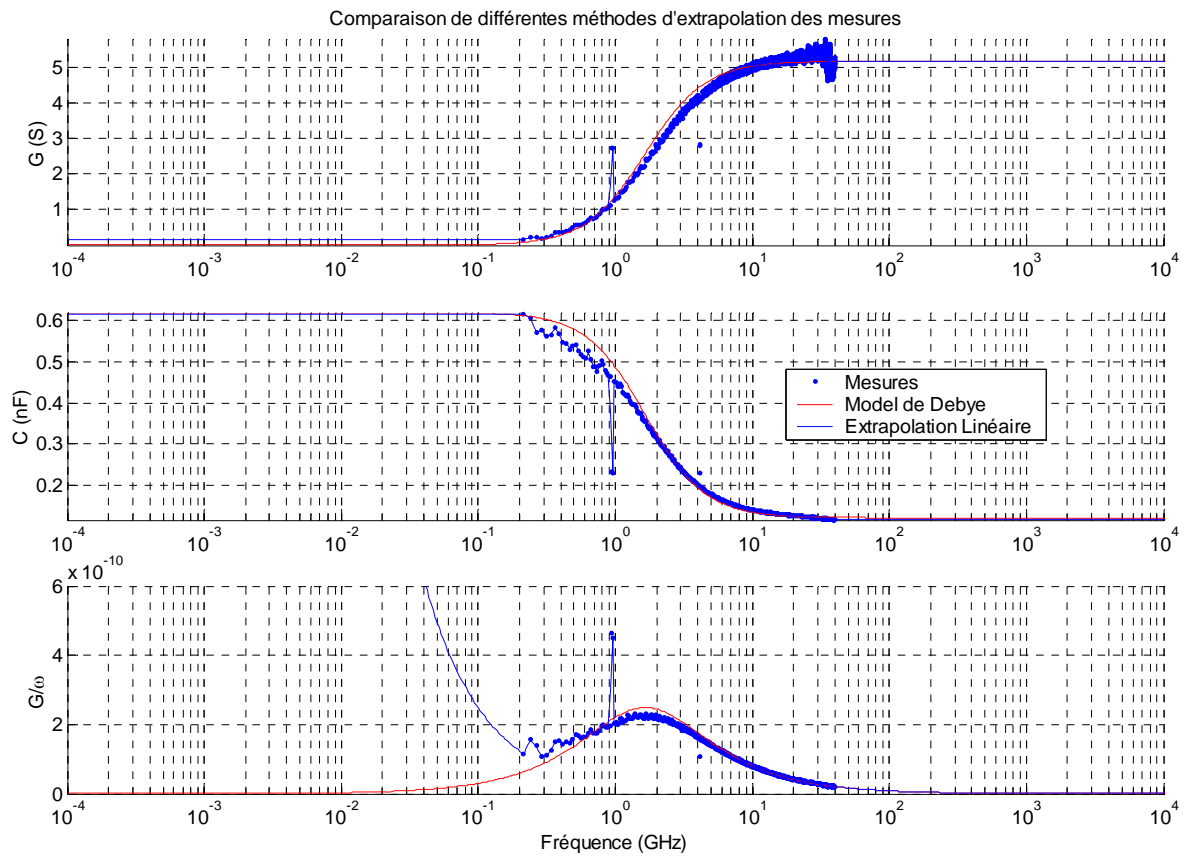


Figure VII.10 : Illustration de l'extrapolation des données fréquentielles mesurées (remarque : l'interpolation par identification à un modèle de Debye force ici la valeur de G à 0 lorsque $f \rightarrow 0$)

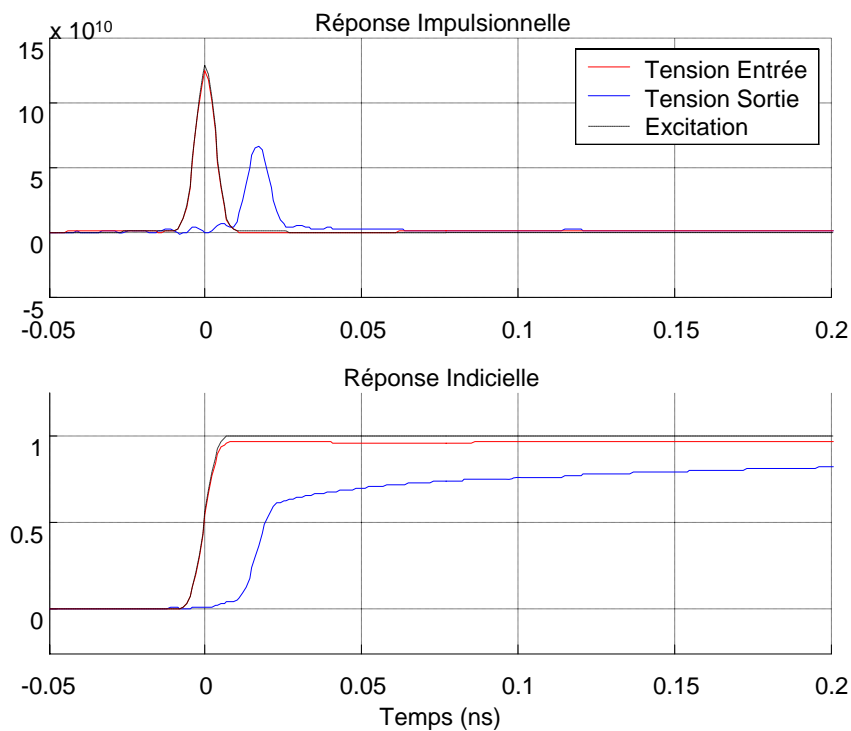
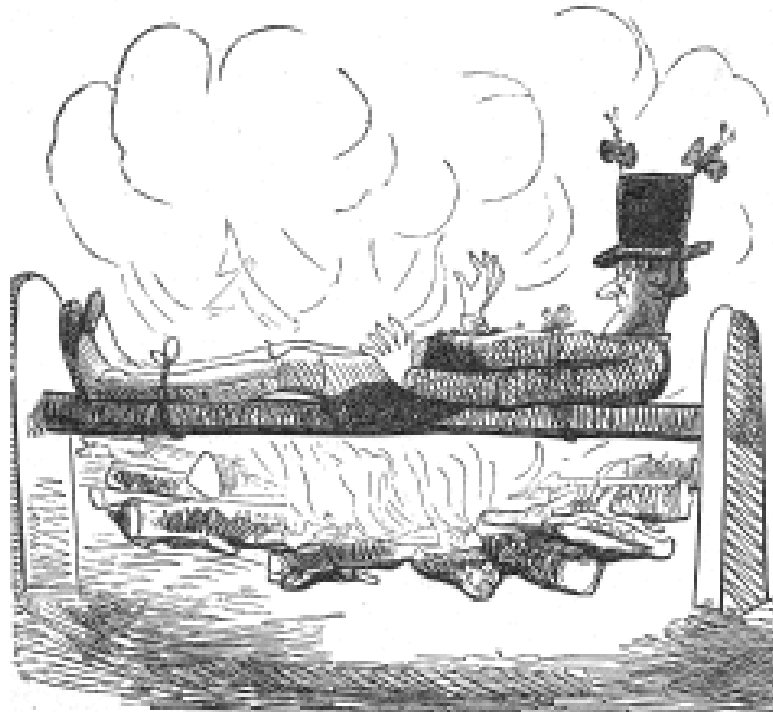


Figure VII.11 : Illustration des réponses impulsionnelle et indicielle de la RDL en forçant la causalité avec un modèle de Debye durant l'extrapolation des données mesurées



Pendant ce temps, M. Cryptogame, demeuré seul, entend distinctement entre son flanc gauche, en sorte qu'il crie à tue-tête qu'il est depuis longtemps entièrement dégelé.

(Extrait de [Töpffer, 1830])

Chapitre 4

Optimisation des performances dans le BEOL

Ce chapitre est consacré principalement à une recherche d'optimisation globale des performances des circuits intégrés des générations CMOS 45 nm et sub-45 nm en agissant sur l'architecture du BEOL.

Le chapitre est découpé en deux parties.

- La première partie est consacrée à la présentation des circuits étudiés ainsi qu'à leur paramétrage pour la modélisation de leur comportement (interconnexions et composants actifs à leur interface) et l'évaluation de leurs performances.
- La deuxième partie est consacrée à l'optimisation des performances de ces circuits. On jouera en particulier sur les tailles des drivers d'interconnexions, l'introduction de répéteurs et la densité d'interconnexions dans le BEOL.

Dans cette partie, on montre tout d'abord qu'en choisissant de manière optimale le nombre et la taille des « drivers » d'interconnexion, on obtient des gains très significatifs sur les performances.

On montre ensuite qu'en relâchant la contrainte de densité d'interconnexions dans un niveau métal dédié du BEOL on soulage très significativement les contraintes dans le FEOL.

Les travaux menés dans ce chapitre sont essentiellement basés sur de la modélisation électromagnétique : les données issues de la modélisation, sous forme de paramètres S ou de matrices ABCD ont été l'objet de post traitements faisant intervenir l'ensemble des outils construits en amont et présentés dans le chapitre 3, tout particulièrement ceux portant sur la traduction des données fréquentielles discrètes sous forme de réponses indicelles et la modélisation de réseaux d'interconnexions couplées.

Sommaire du Chapitre 4

Optimisation des performances dans le BEOL	142
I Description et modélisation du comportement du circuit.....	145
I.1 Description générale du circuit et des empilements technologiques.....	145
I.2 Modélisation des interconnexions.....	147
I.3 Modélisation des drivers	148
I.3.1 Modélisation adoptée pour ces travaux	148
I.3.2 Critique de la modélisation adoptée	149
II Axes de modification de design pour l'amélioration des performances	151
II.1 Interdépendance des impacts des drivers et des interconnexions sur les performances globales des circuits numériques	151
II.2 Métriques de performances et simulations conduites pour évaluer l'influence simultanée du BEOL et du FEOL sur les performances globales des interconnexions.....	152
II.3 Influence des drivers d'interconnexions sur les performances globales dans le BEOL des circuits numériques intégrés des générations 45 et 32 nm	153
II.3.1 Effet qualitatif de l'introduction de répéteurs sur les délais d'interconnexions	153
II.3.2 Résultats des simulations effectuées pour estimer quantitativement l'effet de l'introduction de répéteurs sur les délais d'interconnexions	158
II.3.3 Optimisation des longueurs de tronçons minimisant le délai en fonction de contraintes de diaphonie	167
II.4 Eléments de règles de conception de réseaux d'interconnexions de circuits intégrés CMOS 45 nm en vue de la réduction conjointe des délais pour la transmission de signaux numériques rapides	170
II.4.1 Rappel de la problématique de la dégradation des performances liées à d'avantage d'intégration dans le BEOL.....	170
II.4.2 Effet de la longueur des interconnexions sur la rapidité.....	171
II.4.3 Conception optimisée pour atteindre de fortes performances en termes de rapidité et de robustesse	172
II.4.4 Conclusions	176

Figures du Chapitre 4

Figure I.1 : <i>Vue en coupe d'un circuit intégré numérique illustrant la hiérarchie des niveaux d'interconnexions (avec 4 niveaux métal intermédiaires dans cet exemple).</i>	145
Figure I.2 : <i>Réponse temporelle typique illustrant le délai, la diaphonie et le délai augmenté par diaphonie</i>	146
Figure I.3 : <i>Illustration d'une modélisation de niveau métal intermédiaire ; les deux niveaux métal directement inférieur et supérieur sont supposés agir comme des masses.</i>	146
Figure I.4 : <i>Illustration de trois interconnexions couplées avec leurs conditions de charges et d'excitation.</i>	148
Figure I.5 : <i>Représentation d'un inverseur CMOS et schéma électrique équivalent idéal : l'étage de test (<math>V_{out} = V_{dd}</math> si <math>V_{in} < thr</math>, <math>V_{out} = 0</math> sinon</i>	149
Figure II.1 : <i>Illustration de l'évolution du délai avec la taille des inverseurs en entrée et en sortie de l'interconnexion (illustration avec <math>w=70\text{ nm}</math>, <math>l=200\text{ }\mu\text{m}</math> et <math>\tau_{switch}=0\text{ ps}</math>)</i>	154

Figure II.2 : Représentation schématique d'un tronçon d'interconnexion.....	156
Figure II.3 : Schéma électrique équivalent d'un tronçon d'interconnexion.....	156
Figure II.4 : Illustration fonctionnelle schématique des deux scénarios de répéteurs envisagés (dans cet exemple, on utilise $N_{inv} \times 5$ inverseurs pour chacun des deux scénarios (a) et (b))	157
Figure II.5 : Evolution du délai avec le nombre de répéteurs et la taille des inverseurs (illustration pour le scénario 1 avec $w=50\text{ nm}$, $l=200\text{ }\mu\text{m}$ et $\tau_{switch}=0\text{ ps}$).....	158
Figure II.6 : Evolution du FEXT avec le nombre de répéteurs et la taille des inverseurs (illustration pour le scénario 1 avec $w=50\text{ nm}$, $l=200\text{ }\mu\text{m}$ et $\tau_{switch}=0\text{ ps}$)	159
Figure II.7 : Evolution des longueurs maximales atteignables avec le nombre de répéteurs et la taille des inverseurs (illustration pour le scénario 1 avec $D_{max}=100\text{ ps}$, $XT_{max}=40\%$ et $\tau_{switch}=0\text{ ps}$)	160
Figure II.8 : Effet des contraintes de délai et de diaphonie sur les longueurs maximales atteignables (illustration pour le scénario 1 avec $w=50\text{ nm}$, $D_{max}=100\text{ ps}$, $XT_{max}=25\%$ et $\tau_{switch}=0\text{ ps}$)	161
Figure II.9 : Evolution des longueurs maximales atteignables en fonction de la dimension d'inverseurs Dim_{inv} pour différents temps de commutation escomptés au niveau de transistors (illustration pour $w=50\text{ nm}$, $D_{max}=100\text{ ps}$, et $XT_{max}=40\%$).....	162
Figure II.10 : Evolution des longueurs maximales atteignables en fonction de la dimension d'inverseurs Dim_{inv} et du $\frac{1}{2}$ pitch w (illustration pour $D_{max}=100\text{ ps}$, et $XT_{max}=40\%$)	163
Figure II.11 : Evolution des longueurs maximales atteignables en fonction de la contrainte de densité d'interconnexions (ou du $\frac{1}{2}$ pitch) pour différentes dimensions d'inverseurs Dim_{inv}	164
Figure II.12 : Evolution des longueurs maximales atteignables en fonction de la dimension d'inverseurs Dim_{inv} et de la contrainte de délai D_{max} (illustration avec $w=50\text{ nm}$ et $XT_{max}=40\%$).....	164
Figure II.13 : Evolution des longueurs maximales atteignables en fonction de la dimension d'inverseurs Dim_{inv} et de la contrainte de diaphonie XT_{max}	165
Figure II.14 : Evolution des longueurs maximales atteignables en fonction de la dimension d'inverseurs Dim_{inv} et de la contrainte de diaphonie XT_{max}	166
Figure II.15 : Illustration de la recherche de longueur de tronçon optimale (illustration pour le $\frac{1}{2}$ pitch $w=70\text{ nm}$ et $S_{inv}=64$ dans le scénario 1)	167
Figure II.16 : Longueurs optimales vis-à-vis de la rapidité et maximales vis-à-vis de la contrainte de niveau de diaphonie en fonction de la dimension d'inverseurs Dim_{inv}	168
Figure II.17 : Longueurs optimales vis-à-vis de la rapidité et maximales vis-à-vis de la contrainte de niveau de diaphonie en fonction de la dimension d'inverseurs Dim_{inv}	169
Figure II.18 : Impact de la longueur d'interconnexion sur les délais pour des drivers de taille x4 et différents nombres de répéteurs.....	171
Figure II.19 : Impact de la longueur d'interconnexion sur les délais pour des drivers de taille x64 et différents nombres de répéteurs.....	172
Figure II.20 : Comparaison de l'impact sur la diaphonie de la longueur des tronçons d'interconnexions, pour des drivers de taille x4 et x64.....	173
Figure II.21 : Impact des tailles de drivers sur les longueurs de tronçons maximales atteignables relativement à différentes contraintes de diaphonie pour un pitch nominal de 50 nm.....	175
Figure II.22 : Impact des tailles de drivers sur les longueurs de tronçons maximales atteignables relativement à différentes contraintes de diaphonie pour un pitch relâché à 70 nm.....	175
Figure II.23 : Comparaison de l'impact des tailles de drivers sur la vitesse du signal pour différents pitch respectivement égaux à 50 nm et 70 nm.	176

I Description et modélisation du comportement du circuit

I.1 Description générale du circuit et des empilements technologiques

Dans un circuit numérique intégré, des signaux logiques indépendants, d'un certain nombre N , sont propagés à travers N interconnexions parallèles potentiellement adjacentes à l'intérieur du même niveau métal comme représenté schématiquement en Figure I.1.

La diminution des dimensions dans les circuits numériques rapides préconisée par l'ITRS [ITRS, 2009] pose un problème spécifique à partir de la génération du nœud technologique 65 nm : le gain en rapidité, en surface et en consommation des composants actifs des circuits obtenus en passant d'une génération à la suivante est désormais contrecarré par l'augmentation des délais de propagation dus aux interconnexions [Gambino, 2009].

En plus de cela, à partir de la génération 45 nm, on prévoit des niveaux de diaphonie qui deviennent préoccupants [Werner, 2001], [Elfadel, 2004]. La diaphonie est en effet susceptible de nuire à l'intégrité des signaux transmis tout en augmentant la consommation [Veendrick, 1984], [Magen, 2004]. En effet, ce qui caractérise le type d'architecture de BEOL étudié ici (circuits numériques CMOS intégrés des générations technologiques 45 nm et 32nm) est un fort niveau de couplage capacitif entre interconnexions, lié essentiellement à leur espacement s qui factorise un niveau de diaphonie significatif essentiellement du aux capacités mutuelles C_m entre interconnexions adjacentes. La réduction des dimensions s'accompagne également d'une forte augmentation du produit RC et par conséquent des délais de propagation (Figure I.2).

On peut souligner que les interconnexions des niveaux locaux (métal 1) d'une part et globaux (au dessus des niveaux intermédiaires) d'autre part, ne posent pratiquement pas de problème fonctionnel particulier, car les premières sont suffisamment courtes et les secondes ont des dimensions suffisamment relâchées. Ainsi, c'est en particulier sur les interconnexions du niveau métal intermédiaire (l'ITRS préconise par exemple cinq niveaux métal intermédiaires pour la génération 45 nm) que se focalisent ces présents travaux dans la mesure où c'est dans ce niveau qu'on rencontre des interconnexions suffisamment longues et proches les unes des autres pour qu'y apparaissent des problèmes de délais d'une part et de diaphonie d'autre part, particulièrement critiques pour le bon fonctionnement du circuit.

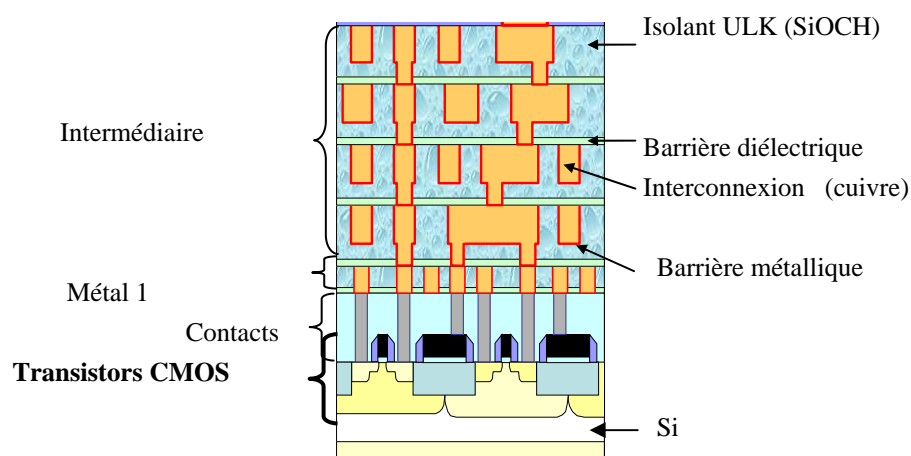


Figure I.1 : Vue en coupe d'un circuit intégré numérique illustrant la hiérarchie des niveaux d'interconnexions (avec 4 niveaux métal intermédiaires dans cet exemple).

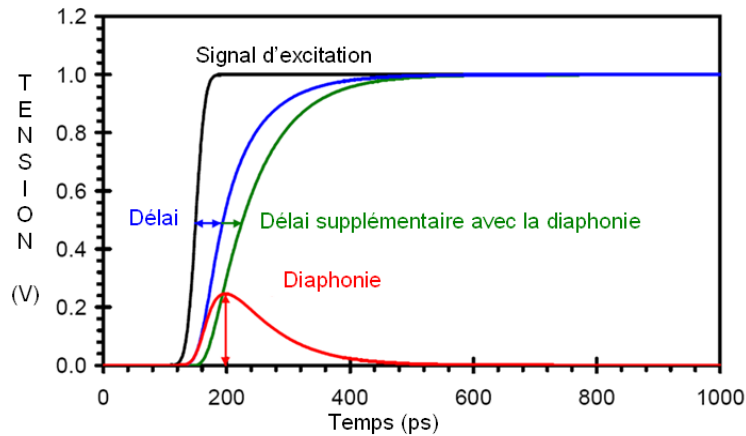


Figure I.2 : Réponse temporelle typique illustrant le délai, la diaphonie et le délai augmenté par diaphonie

C'est à partir d'une modélisation fine, fidèle à l'empilement technologique et aux matériaux intégrés que l'on pourra évaluer et optimiser le fonctionnement du BEOL. Les caractéristiques de l'empilement et des matériaux considérés sont rappelés en Figure I.3 et Tableau 1.

On fait l'hypothèse que les niveaux immédiatement supérieurs et inférieurs agissent parfaitement comme des masses. Cette modélisation a été validée par des simulations électromagnétiques 3D.

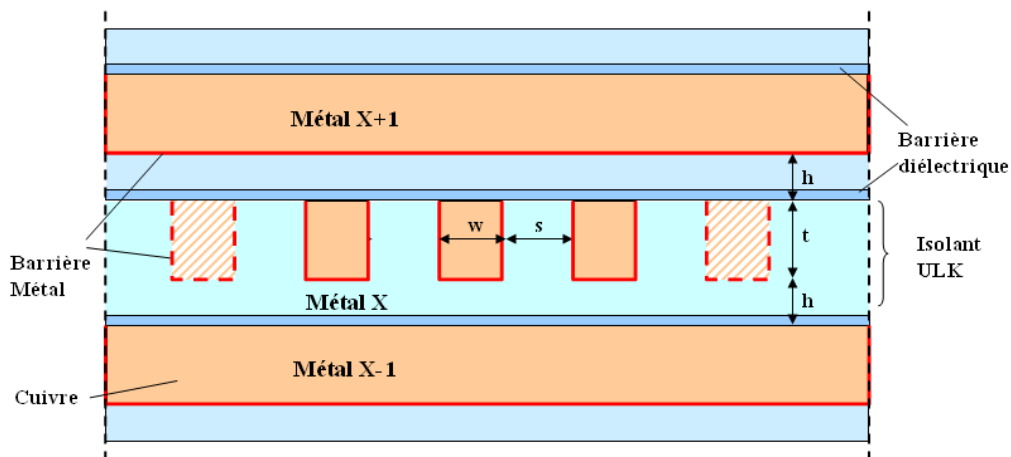


Figure I.3 : Illustration d'une modélisation de niveau métal intermédiaire ; les deux niveaux métal directement inférieur et supérieur sont supposés agir comme des masses.

	Dimensions	Matériaux
Métal	$w = s \approx 70 \text{ nm}$ $t \approx 140 \text{ nm}$	cuivre $\sigma \approx 35 \text{ MS/m}$
Diélectrique SiOCH	$h \approx 120 \text{ nm}$	$\epsilon'_r \approx 2.6$ $\epsilon''_r = 0$
Barrière métallique TaN/Ta	$t_{mb} \approx 7 \text{ nm}$	$\sigma \approx 1,4 \text{ MS/m}$
Barrière diélectrique SiCN	$t_{db} \approx 40 \text{ nm}$	$\epsilon'_r \approx 5$

Tableau 1 : Paramètres typiques d'une interconnexion de la génération 45 nm (modélisation utilisée pour les simulations électromagnétique du circuit)

I.2 Modélisation des interconnexions

Les composants actifs sont interfacés par des interconnexions qui sont susceptibles d'augmenter très significativement les délais dès qu'elles atteignent des longueurs relativement grandes (quelques centaines de μm).

Les interconnexions sont caractérisées ici par leurs paramètres linéiques $RLCG$. A cause de la forte densité d'intégration du réseau d'interconnexions dans le BEOL, ce ne sont pas seulement les paramètres propres des interconnexions qui vont déterminer leur performance mais aussi et surtout les paramètres de couplage mutuels $R_m L_m C_m G_m$ avec les conducteurs se trouvant dans leur voisinage.

Enfin, les résistances d'accès à l'interface entre les composants actifs et les interconnexions doivent être prises en compte. Ces résistances sont dues à l'existence des contacts et des vias inter-niveaux.

Les paramètres propres et mutuels des interconnexions sont évalués de manière précise au moyen de simulations électromagnétiques.

Les simulations prennent en compte la largeur w et l'espacement s des conducteurs, les hauteurs h des diélectriques tout en considérant l'ensemble de l'empilement technologique incluant les propriétés des matériaux et les barrières métalliques et diélectriques (comme illustré en Figure I.1 et en Figure I.3). Le Tableau 1 donne une illustration de paramètres typiques spécifiques à la génération du nœud technologique CMOS 45 nm.

Les données utilisées à l'issue de la caractérisation du réseau d'interconnexions par modélisation et simulation électromagnétique (EM) sont soit des matrices de paramètres S , soit des modèles électriques $RLCG$ distribués. En outre, les logiciels de simulation EM utilisés peuvent être de type 2D ou 3D en fonction de la structure étudiée. L'intérêt de la simulation EM est de pouvoir faire varier librement un certain nombre de paramètres comme les dimensions transverses de l'empilement technologique ou les longueurs d'interconnexions par exemple.

Afin de vérifier la pertinence des simulations, quelques mesures de paramètres S in situ sont effectuées sur des dispositifs de tests dont les caractéristiques géométrique et physique (conductivité, permittivité, etc.) sont bien connues. Ces dispositifs servent en quelque sorte à l'étalonnage des simulations.

L'évaluation des paramètres S ou $RLCG$ linéiques, propres et couplés, permettra d'évaluer les réponses d'interconnexions couplées telles qu'elles sont représentées schématiquement en Figure I.4.

Afin de couvrir différents niveaux de contrainte de densité d'interconnexion, on fera varier les valeurs du $\frac{1}{2}$ « pitch », typiquement entre 50 nm et 90 nm. Les valeurs 70 et 50 nm correspondent respectivement aux valeurs de pitch rencontrées pratiquement dans les niveaux intermédiaires des circuits intégrés des générations 45 et 32 nm [Farcy, 2008] et la valeur 90 nm à une spécification de contrainte de densité relâchée.

Il faut noter toutefois que les valeurs préconisées par l'ITRS sont légèrement plus contraignantes [ITRS, 2009] mais que l'on s'est basé préférentiellement sur les valeurs effectivement implémentées sur les circuits des principaux partenaires technologiques du laboratoire (STMicroelectronics et le LETI).

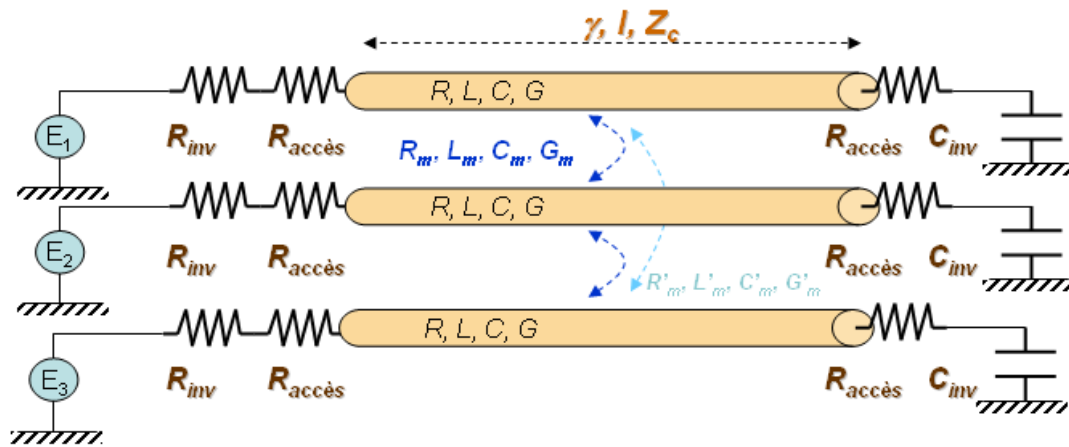


Figure I.4 : Illustration de trois interconnexions couplées avec leurs conditions de charges et d'excitation.

I.3 Modélisation des drivers

I.3.1 Modélisation adoptée pour ces travaux

Les interconnexions relient entre eux des composants actifs qui peuvent avoir une fonction d'opérateur logique ou séquentiel pour le circuit mais aussi de répéteur. La fonction d'un répéteur est de régénérer (et en partie de redresser) le signal à travers le circuit. Ces composants actifs, ou « drivers » sont des inverseurs CMOS ou des chaînes d'inverseurs CMOS.

Il existe des outils de modélisation physique de ces inverseurs, qui permettent aux technologues d'en extraire des caractéristiques électriques qui serviront à une modélisation comportementale (électrique). Notamment, sur le site de l'ITRS, on peut utiliser gratuitement le logiciel MASTAR (qui nécessite toutefois des compétences certaines en technologie du silicium). Une modélisation électrique du premier ordre est jugée en général suffisante par les utilisateurs de ces outils [ITRS, 2009], [Sellier, 2008] pour une description comportementale de ces composants actifs. Comme évoqué au chapitre 1, un driver en amont d'une interconnexion est donc modélisé par sa résistance source-drain, tandis qu'un driver en aval d'une interconnexion est modélisé par sa capacité de grille.

Il faut noter que, de par l'asymétrie structurale d'un transistor NMOS et d'un transistor PMOS, les résistances source-drain et drain-source de ces deux différents composants ne sont pas strictement égales. Comme leurs valeurs sont toutefois du même ordre de grandeur, on choisit ici de ne pas traiter le problème de l'asymétrie et de prendre pour valeur unique de résistance la moyenne des deux résistances PMOS et NMOS.

La caractérisation de la zone non linéaire des transistors est relativement délicate car elle fait intervenir à la fois une mesure dynamique du transistor mais aussi la mesure de sa non linéarité (Cf. paragraphe I.3.2). Dans l'état actuel des choses, on fait souvent la simplification consistant à modéliser l'inverseur par un interrupteur: on considère qu'en deçà d'un certain seuil de niveau de tension sur la grille (en général 50% du niveau haut de tension établie), la sortie de l'inverseur passe d'un niveau bas à un niveau haut de façon quasi immédiate (Figure I.5), et inversement. C'est cette hypothèse par défaut qui sera utilisée pour les résultats de simulation présentés ici. Cela revient alors à considérer la sortie

d'inverseur comme un générateur de tension (« triggable » par l'entrée) de résistance interne R_{sd} . Cet inverseur « drive » en inverseur aval dont l'impédance d'entrée est modélisée par sa capacité de grille C_g .

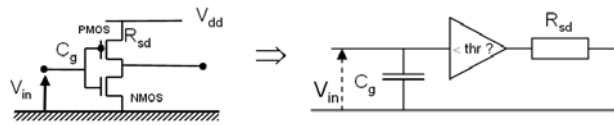


Figure I.5 : Représentation d'un inverseur CMOS et schéma électrique équivalent idéal : l'étage de test ($<thr ?>$) fournit une tension de sortie en circuit ouvert $V_{out} = V_{dd}$ si $V_{in} < thr$, $V_{out} = 0$ sinon

- Les valeurs de R_{sd} and C_g dépendent à la fois de la technologie qui fixe la longueur de grille L_g (ex. 45 nm) et de la taille de ce driver dont le choix est à la charge du concepteur.
- La taille du driver est une spécification de la largeur de grille W_g , exprimée en multiple de L_g .
- Pour la génération CMOS 45 nm par exemple ($L_g = 45$ nm), un driver de taille x2 a une largeur de grille W_g de 90 nm. Cette taille de driver a un fort impact sur le délai d'interconnexion entre deux composants actifs. Comme un grand driver (ex. x 32) a une plus petite résistance de sortie qu'un petit driver (ex. x 2), le délai de sa réponse sera plus petit.

Dans la suite de cette étude, on prendra des valeurs moyennes de $C_{g \times 1}$ (capacité de grille d'un driver de taille x1) et $R_{sd \times 1}$ (résistance source-drain ou drain-source d'un driver de taille x1) issues de simulations circuits des transistors MOSFET de la génération 45 nm sous le logiciel MASTAR (source : [Farcy, 2008]):

R_{sd} ($\Omega \cdot \mu\text{m}$)	C_g (F/ μm)
45 nm	45 nm
0,2	3,1
$R_{sd \times 1}$ (k Ω)	$C_{g \times 1}$ (fF)
45 nm	45 nm
4,4	0.14

Tableau 2 : Résistances et capacités parasites des inverseurs CMOS de la génération 45 nm considérés dans cette étude

I.3.2 Critique de la modélisation adoptée

La modélisation faite ici sur le comportement des inverseurs, outre le fait d'utiliser une simplification RC du 1^{er} ordre, fait une hypothèse forte sur le comportement non linéaire du transistor: elle suppose en effet qu'en sortie de transistor (ou d'inverseur), la pente en tension (en circuit ouvert) du signal est parfaitement redressée, de manière indépendante de la pente en tension à l'entrée.

Ce modèle se fonde sur une vision du caractère essentiellement amplificateur d'un transistor, ce qui n'est qu'en partie légitime : une vision plus critique soulignerait, qu'en vertu des zones non linéaires des réponses $V_{DS} = f(V_{GS})$, la valeur de la pente en sortie est nécessairement croissante avec celle de la pente en entrée, jusqu'à une certaine limite, mal définie.

Certains auteurs [Deschacht, 2010] suggèrent même de modéliser le comportement d'un transistor comme un étage dont la tension en sortie (en circuit ouvert) a la même pente que la tension en entrée, ce

qui signifie qu'un transistor ne redresserait pas le signal. Ce point de vue n'est pas réaliste non plus dans la mesure où si chaque étage de transistor devait apporter un délai supplémentaire (lié au produit RC), alors la fréquence d'oscillation d'un oscillateur en anneau devrait systématiquement tendre vers 0 lorsqu'il atteint son régime bouclé établi, ce qui n'est jamais le cas.

Le comportement effectif du transistor en régime dynamique se situe très probablement entre ces deux hypothèses mais il existe très peu de mesures des comportements en régime dynamique (par opposition à régime établi) sur les transistors : les mesures classiques $I_{DS} = f(V_{GS})$ ou $V_{DS} = f(V_{GS})$ sont des mesures en régime établi et ne donnent d'indication directe que sur leur linéarité en régime établi. Une thèse récente [Sellier, 2008] s'est consacrée, avec grand souci à la fois de précision sur la modélisation des éléments et d'approche globale du système, à l'évaluation des futurs transistors CMOS au niveau circuit. Malgré le souci de description accordé, ces travaux ne suffisent pas cependant à répondre à cette question. En outre, les mesures menées durant ce travail s'appuient principalement sur des mesures de fréquence d'oscillation sur oscillateurs en anneau qui donne effectivement les performances des transistors en régime établi mais qui ne permettent pas d'estimer le comportement transitoire des transistors.

Le problème fondamental sous jacent est celui de la caractérisation des systèmes **non linéaires**. D'une part, la linéarité d'un système non linéaire peut être variable avec la fréquence, d'autre part l'analyse de Fourier, basée sur des opérateurs exclusivement linéaires, ne peut plus être appliquée directement.

Des questions fondamentales se posent en effet chaque fois que l'on a affaire à des systèmes non linéaires : est-ce qu'une caractérisation en fréquence à la fois du gain et de la non linéarité d'un système non linéaire, dans toute la gamme de fréquences correspondant à sa bande passante, suffit à le décrire complètement ? Si oui, comment traduire cette caractérisation fréquentielle dans le domaine temporel ? Il existe un certain nombre de modèles de non linéarité des systèmes en général REF, mais tous s'appuient moins sur des bases théoriques que sur une approche empirique, dont il est parfois difficile d'évaluer la pertinence.

Une autre difficulté réside dans la **mesure HF in situ** des transistors (difficiles d'accès pour la mesure) car, comme pour les dispositifs passifs, toute une procédure de calibration et de de-embedding est nécessaire afin de rendre transparents les accès au DST. Une étude, comprenant à la fois une problématique de caractérisation « dynamique » in situ, dans les deux domaines temporel et fréquentiel, des transistors CMOS des générations avancées (incluant celle de leur non linéarités) et la problématique de la calibration et du de-embedding associée, pourrait faire l'objet d'une thèse à part entière.

II Axes de modification de design pour l'amélioration des performances

II.1 Interdépendance des impacts des drivers et des interconnexions sur les performances globales des circuits numériques

Le délai d'une interconnexion isolée dépend à la fois des caractéristiques propres Z_c, γ_c, l de l'interconnexion mais également de celles des drivers placés à ses interfaces en amont et en aval.

- Pour chaque interconnexion spécifique, il existe en outre une taille de driver optimale qui minimise le délai.
- Toutefois, une autre manière de minimiser le délai est d'introduire des répéteurs « le long » de l'interconnexion, découpée ainsi en tronçons élémentaires. Le choix du nombre de répéteurs dépend donc à la fois de paramètres caractéristiques Z_c, γ_c, l de l'interconnexion mais aussi de la nature (dépendant de la technologie) et de la taille des répéteurs placés aux interfaces des tronçons.
- C'est une optimisation conjointe sur le nombre et la taille de ces répéteurs qui est à trouver pour minimiser le délai total. La recherche de cette optimisation par simulation numérique est l'objet des sous paragraphes II.3.2 et II.3.3. La représentation schématique, donnée dans le paragraphe I.1, Figure I.1, illustre les circuits CMOS étudiés. Elle fait apparaître les différents niveaux métal superposés sur la couche active des transistors CMOS (métal 0).
- D'autre part, il existe une autre raison de vouloir limiter la longueur des tronçons d'interconnexion. En effet au-delà d'une certaine longueur, les phénomènes de couplage électromagnétiques entre interconnexions adjacentes dans le même niveau métal font apparaître des niveaux de diaphonie qui peuvent être suffisamment critiques pour nuire au fonctionnement du circuit.
- De plus ces phénomènes de couplages vont également agir sur les délais de chaque interconnexion. La Figure I.2 donne un exemple de résultats de simulation illustrant à la fois les délais, les niveaux de diaphonie ainsi que l'augmentation des délais due à la diaphonie.

Il faut souligner enfin qu'en modifiant également la géométrie du BEOL, notamment en agissant sur la densité d'interconnexion, on peut agir à la fois sur les délais mais aussi sur les niveaux de diaphonie.

Le paragraphe II.4 de cette partie du chapitre 3 a pour objet une approche globale du circuit intégrant à la fois la connaissance du comportement du BEOL mais aussi de celle du FEOL afin d'optimiser les performances en termes de délais et de diaphonie.

II.2 Métriques de performances et simulations conduites pour évaluer l'influence simultanée du BEOL et du FEOL sur les performances globales des interconnexions

L'objectif de ces simulations est d'évaluer l'impact des répéteurs sur les performances des interconnexions de la génération 45 nm pour différentes valeurs de $\frac{1}{2}$ pitch au niveau des interconnexions.

- La métrique de performance principale est le délai d'interconnexion qui est un indicateur de la rapidité globale du circuit.

Il est défini arbitrairement à 50 % e tel qu'il a été défini dans le (chapitre 1 § II.4) : mesure de l'intervalle de temps entre l'instant d'excitation (à 50% du niveau de tension établi) à l'entrée du driver amont et l'instant d'arrivée à l'entrée du driver aval (également à 50% du niveau de tension établi).

- Une seconde métrique est le niveau de diaphonie qui est une fonction croissante de la longueur d'interconnexion. Au-delà d'un certain niveau qui est de l'ordre de quelques dixièmes de la tension V_{dd} d'excitation des interconnexions, le circuit devient inopérant. Le niveau de diaphonie maximal acceptable (« near-end » and « far-end ») est donc une contrainte qui limite la longueur d'interconnexion.

Les simulations ont été conduites conformément au schéma présenté en Figure I.3 ci-dessus (§I.1): cinq interconnexions adjacentes sont modélisées à l'intérieur d'un même niveau métal intermédiaire. Les trois interconnexions centrales sont interfacées avec des inverseurs CMOS. On s'intéresse tout particulièrement à l'interconnexion la plus centrale qui subit l'effet de la présence des interconnexions voisines mais aussi des signaux qui les parcourent.

On se focalise sur les scénarios « pire cas » :

- Pour le calcul du niveau de diaphonie dans le « pire cas », l'interconnexion du milieu n'est pas excitée tandis que les deux interconnexions adjacentes subissent une transition d'un niveau logique bas vers un niveau logique haut.
- Pour le calcul du niveau de diaphonie dans le « pire cas », l'interconnexion du milieu subit une transition d'un niveau logique bas vers un niveau logique haut tandis que les deux interconnexions adjacentes subissent une transition d'un niveau logique haut vers un niveau logique bas : cette configuration correspond à un pire cas pour le délai dans la mesure où ce dernier va être très défavorablement augmenté par diaphonie.

II.3 Influence des drivers d'interconnexions sur les performances globales dans le BEOL des circuits numériques intégrés des générations 45 et 32 nm

II.3.1 Effet qualitatif de l'introduction de répéteurs sur les délais d'interconnexions

Dans le chapitre 1 (§ III.2), il a été montré qu'en première approximation, les délais d'interconnexions varient quadratiquement avec la longueur. De cette approche, il peut en être déduit que plus l'interconnexion est courte plus le signal est rapide.

Cette analyse met en évidence l'intérêt de l'introduction de répéteurs le long de l'interconnexion. L'introduction de répéteurs consiste en un découpage de l'interconnexion en tronçons courts interfacés par des composants actifs (un inverseur CMOS simple par exemple) qui régénèrent le signal à chaque tronçon. Il a été montré en chapitre 1 (§ III.2), que plus la longueur d'un tronçon est courte, plus son délai approche une variabilité linéaire avec la longueur. Si les répéteurs n'introduisaient pas de délais, la longueur optimale des tronçons (celle qui minimise le délai) tendrait donc vers 0. La limite du raisonnement est donc conditionnée par le fait que les répéteurs eux-mêmes introduisent des délais.

Toutefois, tandis que l'ordre de grandeur des délais des répéteurs de la génération CMOS 45 nm est de l'ordre de la picoseconde, les délais d'interconnexions sont eux de quelques dizaines voir quelques centaines de picoseconde, pour les interconnexions les plus longues. Il a été montré, en chapitre 1 (§ III.1), qu'un inverseur introduisait un délai au moins égal au produit $R_{sd} C_g$. Lorsque la longueur des tronçons devient très courte, le délai dû aux répéteurs peut ainsi devenir prédominant.

En fonction des caractéristiques de l'interconnexion et des celles des répéteurs, on cherchera donc la valeur de longueur de tronçon élémentaire L_0 qui minimisera le délai total. La variabilité du délai total D_T avec la longueur d'une interconnexion de longueur $L = N \times L_0$, composée de N tronçons de longueur L_0 devient alors linéaire : $D_T = N \times D_0$ où D_0 est le délai d'un tronçon élémentaire.

Dans cette étude, on fera l'hypothèse simplificatrice suivante : les drivers amont et aval à l'interface de l'interconnexion sont identiques aux répéteurs inter-tronçons. Pour le cas général, on pourra compléter cette étude en introduisant simplement les délais additifs appropriés, dus aux interfaces.

II.3.1.a Description des simulations

On se fixe une contrainte de rapidité du circuit, c'est-à-dire un délai maximal d'interconnexion : délai et niveau de diaphonie deviennent deux contraintes conjointes qui limitent la **portée** d'interconnexion.

Cette portée, qui devient la métrique de performance principale peut être maximisée en choisissant de manière optimale le nombre de répéteurs et la taille de ces répéteurs.

La contrepartie de ce gain en performance sera un coût potentiellement prohibitif en composants actifs. Afin d'aider les concepteurs à trouver le meilleur compromis entre coût et performances, on tracera les courbes de portée d'interconnexion (longueur maximale atteinte) en fonction d'une métrique de coût en composant actifs (Cf. sous-paragraphe II.3.1.d). Ce coût étant relâché lorsque la densité d'interconnexion l'est aussi, un nouveau compromis sera à trouver entre les coûts dans le BEOL et les coûts dans le FEOL.

Ces simulations montrent notamment :

1. Dans le § II.3.2.a.1, qu'il existe une taille S_{inv} et un nombre N_{inv} de répéteurs qui minimisent le délai.
2. Dans le § II.3.2.a.2, que la diaphonie diminue avec la taille et le nombre de répéteurs.
3. Dans le § II.3.2.b.1, qu'en fixant les contraintes de délai et de diaphonie, il existe une taille et un nombre de répéteurs qui maximisent la portée des interconnexions.
4. Dans les § II.3.2.b.2 et II.3.2.b.3, que la maximisation de la portée a un coût très significatif en composants actifs ($N_{inv} \times S_{inv}$).
5. Dans le § II.3.2.b.4, qu'en fixant de manière optimale les valeurs des tailles et les nombres de répéteurs, la portée augmente de façon quasi linéaire avec la valeur du $\frac{1}{2}$ pitch entre interconnexions ($w \nearrow, s \nearrow$).
6. Dans le § II.3.2.b.4, qu'en relâchant la contrainte de densité d'interconnexions dans le BEOL, on réduit de manière très significative le coût en composants actifs.
7. Dans le § II.3.2.b.5, que la portée est quasiment inversement proportionnelle à la contrainte de délai.
8. Dans le § II.3.2.b.6, que la contrainte de diaphonie commence à agir significativement sur la portée lorsque l'intégration augmente ($1/2 \text{ pitch} \leq 70 \text{ nm}$).

II.3.1.b Evolution des délais en fonction de la taille des drivers amonts et avals

Dans une phase de simulations préliminaires, on cherche à évaluer l'impact de la taille des inverseurs sur les délais d'interconnexion. La Figure II.1 est un exemple de résultat de simulation. Elle met en évidence la hausse significative du délai avec les résistances et capacités équivalentes des inverseurs (quadrants de gauche). Les deux quadrants de droite font apparaître les tailles d'inverseurs correspondants, en amont et en aval de l'interconnexion.

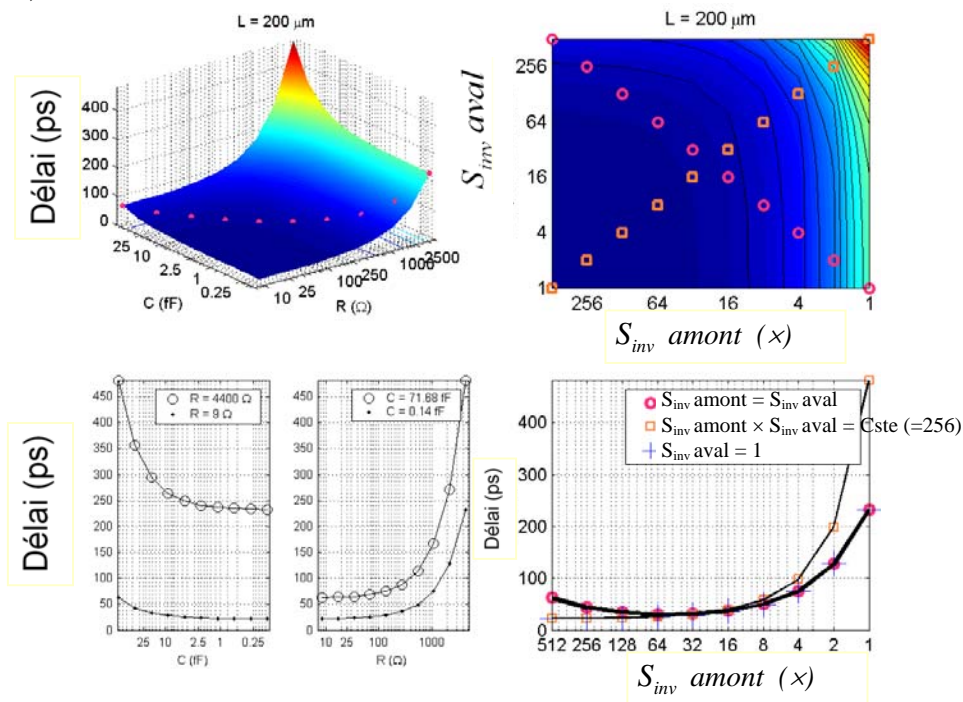


Figure II.1 : Illustration de l'évolution du délai avec la taille des inverseurs en entrée et en sortie de l'interconnexion (illustration avec $w=70 \text{ nm}$, $l=200 \mu\text{m}$ et $\tau_{switch}=0 \text{ ps}$)

Une première configuration pratique est d'utiliser la même taille d'inverseur en amont et en aval de l'interconnexion afin de pouvoir cascader naturellement plusieurs tronçons d'interconnexion. Comme on peut voir sur le quadrant inférieur droit de l'exemple de la Figure II.1 (RC = Cst), il existe une taille de driver pour laquelle un délai minimum est obtenu (délai = 30 ps pour une taille d'inverseurs de x32 en entrée et en sortie).

Ce même délai peut être atteint en réduisant la taille du driver aval à 1. Dans cette configuration cependant, les tronçons ne sont plus cascadables et il faut insérer alors un inverseur d'attaque en sortie de l'inverseur aval du tronçon précédent comme décrit dans le paragraphe suivant et représenté en Figure II.2 (b).

Ce délai peut être encore réduit en minimisant la taille du driver aval et en maximisant celle du driver amont mais cela au prix d'un nombre croissant en composant actif sans amélioration notable des performances (délai = 25 ps pour une taille de répéteur $S_{repIN} > 128$).

Quelque soit la configuration retenue, ces simulations préliminaires mettent en évidence qu'il existe un compromis à trouver entre la minimisation de la taille des inverseurs (dans un souci de réduction du coût en composants actifs) et la minimisation des délais.

II.3.1.c Description fonctionnelle des scénarios de répéteurs et de drivers considérés

Afin de minimiser les délais et les niveaux de diaphonie, l'interconnexion est partagée en tronçons de conducteur, chaque tronçon étant interfacé par un répéteur.

Dans cette étude, on suppose par simplification, que les répéteurs inter-tronçons sont identiques aux drivers placés aux interfaces aval et amont de l'interconnexion. On utilisera donc le terme répéteur pour désigner indifféremment les drivers d'interface amont et aval et les répéteurs inter-tronçons.

On suppose également que les tronçons (dont la cascade constitue une fonction interconnexion individuelle) sont de longueurs identiques. Afin d'élargir le champ d'intérêt à destination du concepteur de circuit, on s'intéressera à deux scénarios de répéteurs différents, décrits ci-après, à surface égale de composants actifs nécessaires.

- Dans le premier scénario, représenté en Figure II.2 (a), les tronçons d'interconnexions sont simplement interfacés par deux inverseurs similaires, de même taille, en amont et en aval du tronçon. L'inconvénient de ce scénario est qu'en cherchant à minimiser la capacité aval, on maximise la résistance amont. Dans la pratique, il faut également garantir la parité du nombre d'inverseurs afin de respecter le niveau logique transmis.
- Dans le deuxième scénario représenté en Figure II.2 (b), un inverseur est placé entre le signal amont et l'inverseur d'attaque du tronçon suivant. Cette technique de conception (ainsi que des variantes plus optimales basées sur une mise en cascade hiérarchique des inverseurs) est couramment utilisée dans les circuits numériques. Le principal avantage de cette solution est que l'on peut rendre très petite la capacité de sortie du tronçon et donc diminuer de façon sensible le délai de propagation et l'énergie dissipée sur les conducteurs. En contrepartie, un délai de charge entre les deux inverseurs cascades s'ajoute au niveau de chaque répéteur. Les schémas électriques équivalents correspondants aux deux scénarios sont donnés en Figure II.3.

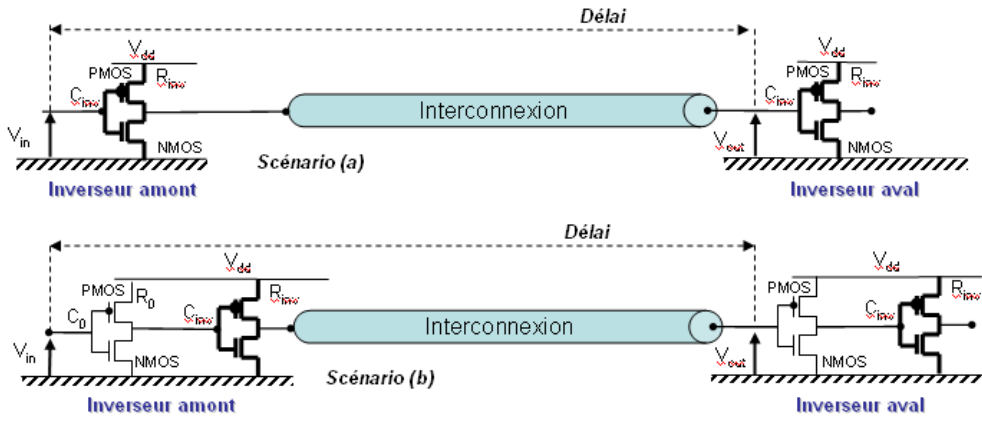


Figure II.2 : Représentation schématique d'un tronçon d'interconnexion

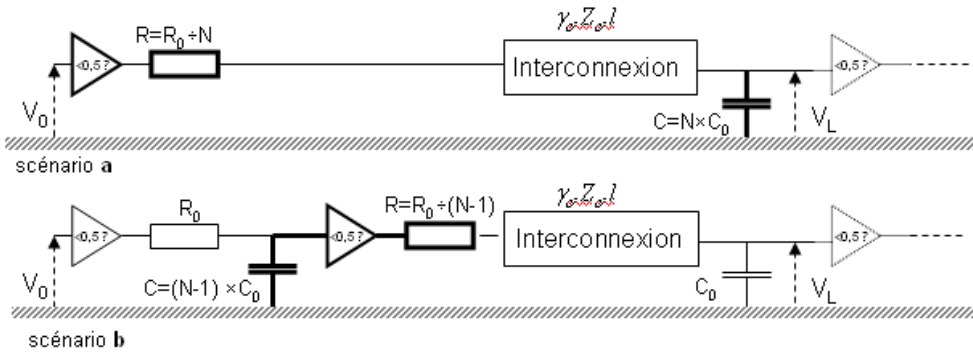


Figure II.3 : Schéma électrique équivalent d'un tronçon d'interconnexion

II.3.1.d Description des variables relatives aux scénarios de répéteurs et de drivers considérés

Conceptuellement et fonctionnellement, un répéteur $\times N$, où N est la taille du répéteur, exprimée en nombre d'inverseurs élémentaires (de paramètres $C_{g \times 1}$ et $R_{sd \times 1}$), peut être considérée comme la mise en parallèle de ces N inverseurs élémentaires, tandis que le nombre de répéteurs peut être considéré comme une mise en série de ces inverseurs.

De là, les deux scénarios envisagés peuvent être schématisés conformément aux schémas de la Figure II.4. On définit ici une métrique de coût en composants actifs Dim_{inv} qui est le nombre total d'inverseurs élémentaires utilisés dans la fonction d'interconnexion (driver amont compris): $Dim_{inv} = N_{inv} \times S_{inv}$, où N_{inv} et S_{inv} désignent respectivement le nombre d'inverseurs requis (driver amont compris) et la taille de chacun de ces inverseurs.

Remarque 1: dans la pratique le nombre de répéteurs total utilisé dans la fonction d'interconnexion doit être pair afin de respecter la polarité des signaux logiques. Cet aspect étant transparent pour le dimensionnement global du réseau, il ne sera plus évoqué par la suite.

Remarque 2: le coût en taille des inverseurs et celui en nombre de répéteurs n'est pas tout à fait symétrique dans la mesure où, le fait d'augmenter le nombre de répéteurs a non seulement un coût en surface de composants actifs (comme le fait d'augmenter la taille) mais également en vias et en contacts supplémentaires. Cette asymétrie n'est pas traitée ici mais elle doit entrer en compte dans une approche complète de conception. Lorsque le choix de l'augmentation de la taille des inverseurs sera en balance avec celui de l'augmentation de leur nombre, d'un même facteur, on privilégiera la première option.

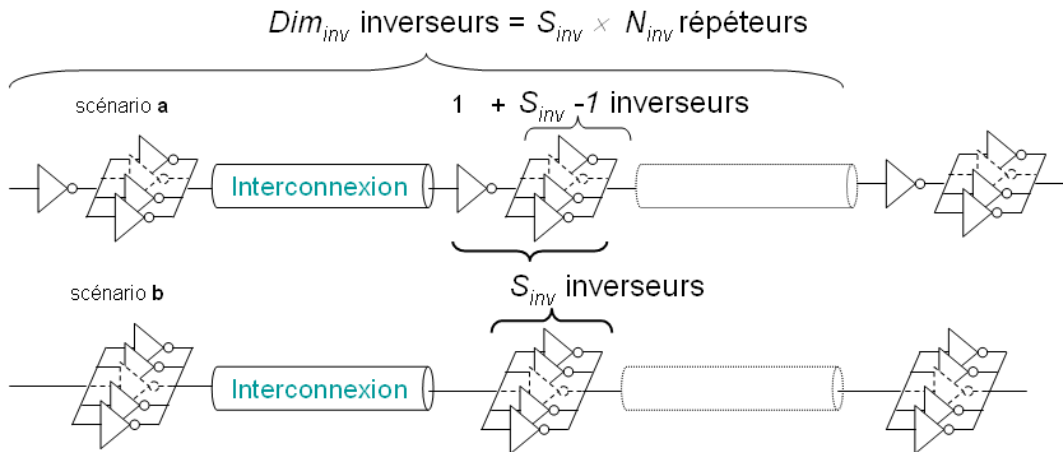


Figure II.4 : Illustration fonctionnelle schématique des deux scénarios de répéteurs envisagés (dans cet exemple, on utilise $N_{inv} \times 5$ inverseurs pour chacun des deux scénarios (a) et (b))

II.3.2 Résultats des simulations effectuées pour estimer quantitativement l'effet de l'introduction de répéteurs sur les délais d'interconnexions

II.3.2.a Evolution des délais et des niveaux de diaphonie en fonction de la taille et du nombre de répéteurs

II.3.2.a.1 Evolution des délais

Pour chaque type d'interconnexion, caractérisée par (Z_c, γ_c, l) , il existe une paire (N_{inv}, S_{inv}) qui minimise le délai. La Figure II.5 représente un exemple d'évolution des délais avec le nombre de répéteurs et de taille des inverseurs pour le scénario 1 avec $w = 50$ nm, $l = 200$ μ et un temps de transition $\tau_{switch} = 0$ ps.

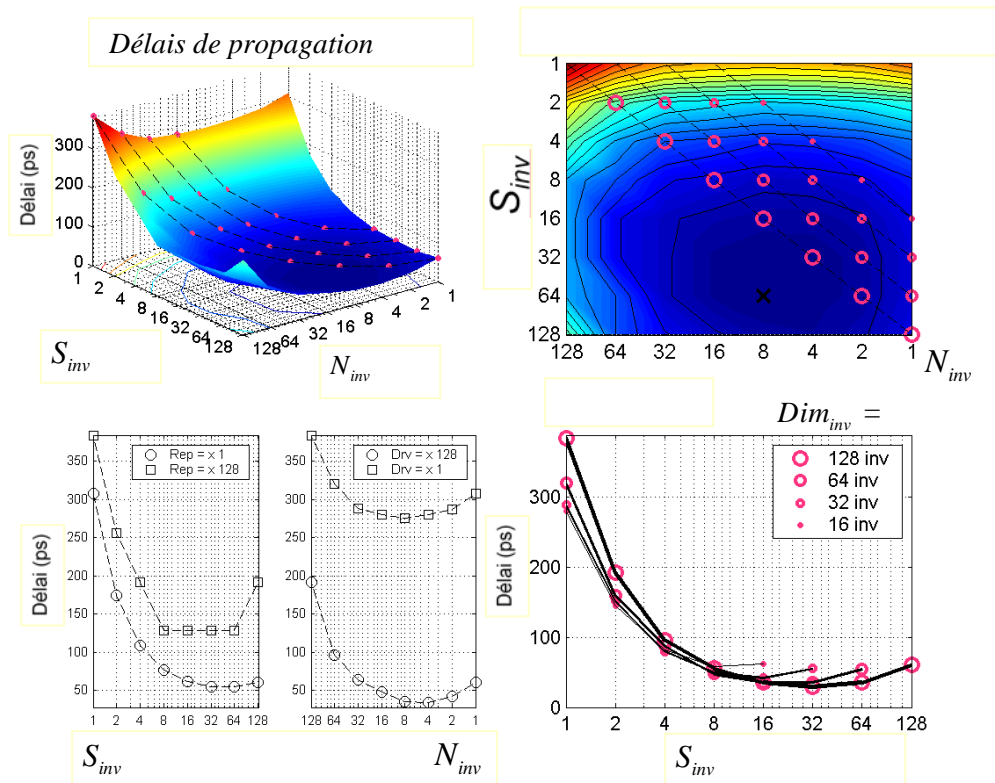


Figure II.5 : Evolution du délai avec le nombre de répéteurs et la taille des inverseurs (illustration pour le scénario 1 avec $w=50$ nm, $l=200$ μ m et $\tau_{switch}=0$ ps)

- Sur les deux quadrants supérieurs, on voit qu'il existe une optimisation conjointe du nombre de répéteurs et de taille d'inverseur qui minimise le délai d'interconnexion : le délai est minimal (croix noire sur le quadrant supérieur droit) pour une dimension en composants actifs $Dim_{inv} = 512$ ($Dim_{inv} = N_{inv} \times S_{inv}$), lorsque l'interconnexion est découpée en 8 tronçons, pour une taille d'inverseurs de x64.
- Le quadrant inférieur droit fait apparaître des courbes à nombre de composants actifs Dim_{inv} constant (correspondant aux diagonales du quadrant supérieur droit). Sur cet exemple (quadrant inférieur droit), on borne, de manière contingente, Dim_{inv} à une valeur maximal de 128, afin de borner le coût et la consommation : on voit que pour $Dim_{inv} = 128$, il existe un taille de driver optimale ($S_{inv} = 32$, pour $N_{inv} = 4$) qui minimise le délai (à 16 ps

environ). On voit notamment que si la contrainte de minimisation du nombre de composants actifs Dim_{inv} est fortement prioritaire, on peut aussi réduire ce nombre de manière significative sans trop dégrader la performance de délai. Par exemple, en réduisant Dim_{inv} de 128 à 16, Dim_{inv} est divisée par 8 alors que le délai n'est multiplié que par deux (de 30 ps à 60 ps).

II.3.2.a.2 Evolution des niveaux de diaphonie

La Figure II.6 représente un exemple d'évolution de la diaphonie avec le nombre de répéteurs et la taille des inverseurs.

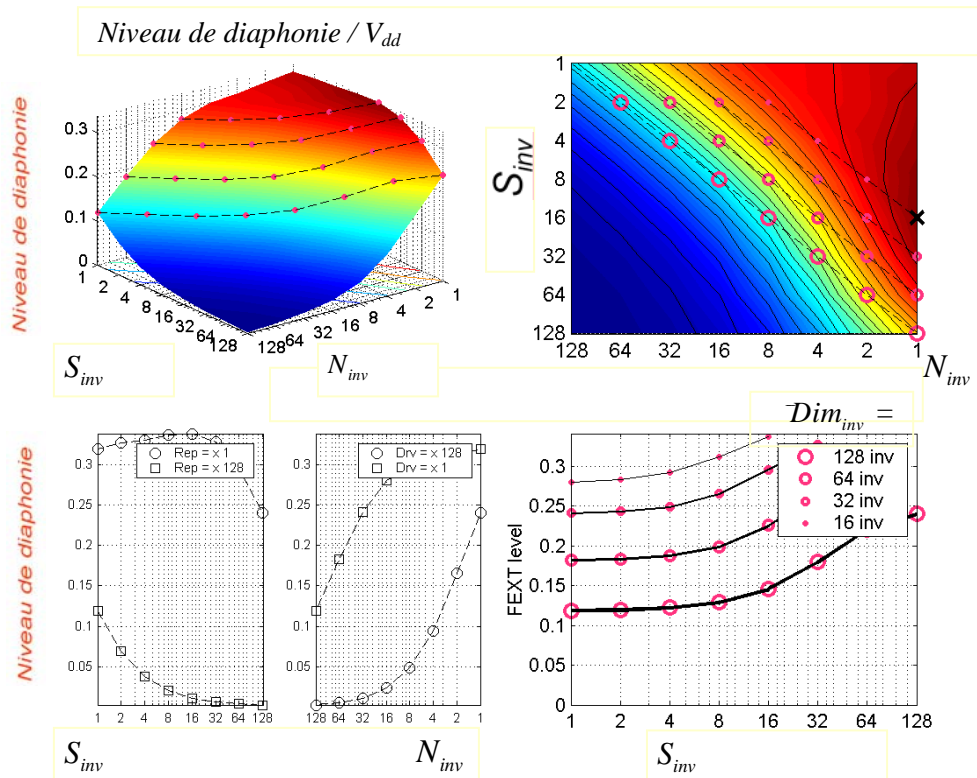


Figure II.6 : Evolution du FEXT avec le nombre de répéteurs et la taille des inverseurs (illustration pour le scénario 1 avec $w=50$ nm, $l=200$ μ m et $\tau_{switch}=0$ ps)

- On voit quantitativement que le niveau de diaphonie atteint un seuil critique lorsque le nombre de répéteurs est faible (c'est-à-dire lorsque la longueur des tronçons est grande). Ce niveau atteint jusqu'à 34 % (croix noire sur le quadrant supérieur droit) de la tension V_{dd} lorsque $N_{inv}=1$ (un seul tronçon), niveau qui est susceptible de faire basculer l'inverseur aval, où tout au moins, de générer un courant de court-circuit important entre les deux transistors N et P.
- On voit à contrario qu'en augmentant conjointement la taille et le nombre d'inverseurs (au prix d'une augmentation significative des coûts), on peut faire baisser la diaphonie à un niveau proche de zéro. Qualitativement, la Figure II.6 met en évidence le fait que le « tronçonnage » de l'interconnexion est le levier le plus fort (par opposition à l'augmentation de la taille S_{inv} des inverseurs) pour diminuer le niveau de diaphonie (courbe à Dim_{inv} constant sur les deux quadrants supérieurs).

II.3.2.b Evolution des longueurs maximales atteintes en fonction de la taille et du nombre de répéteurs

II.3.2.b.1 Portée des interconnexions

Dans cette partie de l'analyse, on se fixe une double contrainte.

- D'une part on fixe un délai maximum D_{\max} ; cette contrainte est principalement liée à une exigence de rapidité globale du circuit.
- D'autre part, on fixe une contrainte de niveau de diaphonie maximum XT_{\max} ; cette contrainte est liée à une exigence de robustesse du fonctionnement puisqu'un niveau trop élevé de diaphonie peut faire commuter un inverseur de manière erronée.

De surcroît, comme évoqué précédemment, ces deux contraintes sont également liées à une exigence de minimisation de la puissance consommée. Ces contraintes étant fixées, la métrique de performance restante est la longueur maximale atteignable par l'interconnexion (ou portée).

Sur les deux quadrants supérieurs de la Figure II.7, on voit qu'il existe une optimisation conjointe du nombre de répéteurs et de taille d'inverseur qui maximise la longueur atteinte par les interconnexions.

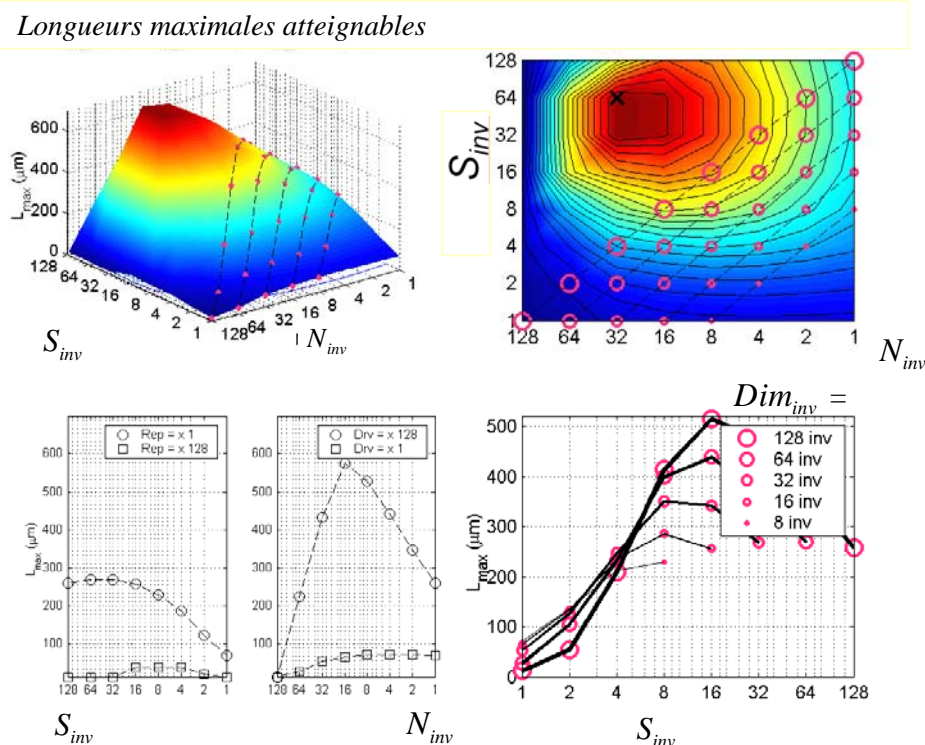


Figure II.7 : Evolution des longueurs maximales atteignables avec le nombre de répéteurs et la taille des inverseurs (illustration pour le scénario 1 avec $D_{\max} = 100$ ps, $XT_{\max} = 40\%$ et $\tau_{\text{switch}} = 0$ ps)

- Dans cet exemple (largeur d'interconnexion $w = 50$ nm et temps de commutation $\tau_{\text{switch}} = 0$ ps, avec pour contraintes $D_{\max} = 100$ ps et $XT_{\max} = 40\%$), on voit qu'on peut atteindre jusqu'à 700 μm de portée en insérant jusqu'à 32 répéteurs de taille $\times 64$.

- On voit également qu'il ne sert à rien d'augmenter la dimension d'inverseurs Dim_{inv} au-delà de cette valeur optimale ($Dim_{inv} = 2048$) puisqu'ensuite on dégrade à nouveau la performance de portée.
- On observe que le nombre d'inverseurs Dim_{inv} optimal est relativement grand, ce qui implique un coût en composants actifs, et une consommation, conséquents.

Une manière d'obtenir une vision conjointe performance-coût, est de tracer la portée en fonction la dimension d'inverseurs Dim_{inv} pour des contraintes de délai D_{max} et de niveau de diaphonie XT_{max} fixées. C'est l'objet des paragraphes suivants.

II.3.2.b.2 Performances globales des interconnexions en fonction du nombre d'inverseurs

Des longueurs d'interconnexion de plusieurs centaines de μm sont relativement fréquentes dans le BEOL des circuits intégrés des générations 45 et 32 nm.

La Figure II.8 représente l'évolution de la portée d'une interconnexion pour le scénario 1, avec $w = 50$ nm et $\tau_{switch} = 0$ ps, avec pour contraintes $D_{max} = 100$ ps et $XT_{max} = 25\%$.

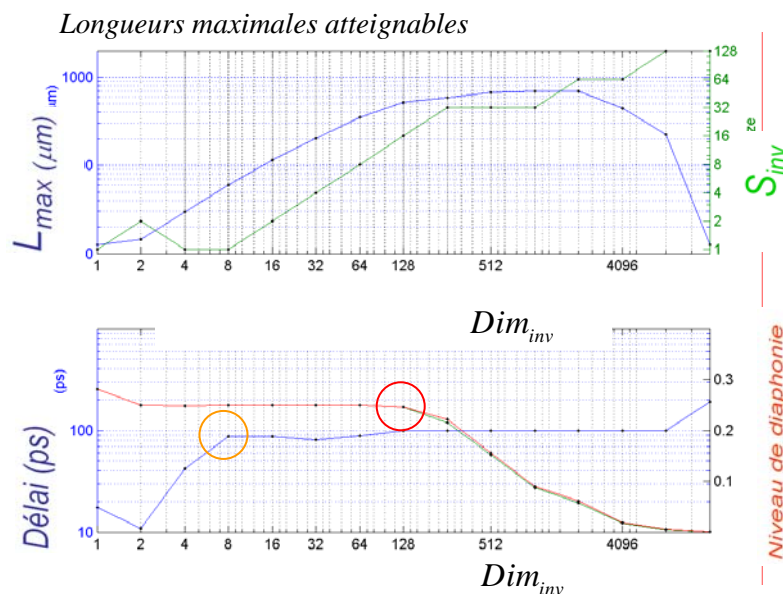


Figure II.8 : Effet des contraintes de délai et de diaphonie sur les longueurs maximales atteignables (illustration pour le scénario 1 avec $w=50$ nm, $D_{max} = 100$ ps, $XT_{max} = 25\%$ et $\tau_{switch} = 0$ ps)

- On voit que pour atteindre des longueurs de quelques centaines de μm , un très grand nombre Dim_{inv} d'inverseurs élémentaires (en termes de taille de driver et/ou de nombre de répéteurs) est nécessaire. Par exemple pour atteindre 400 μm , Dim_{inv} doit être supérieur à 64.
- Lorsque la dimension d'inverseur est faible, c'est d'abord la contrainte de diaphonie qui limite la portée, puis lorsque cette dimension est plus grande c'est ensuite la contrainte sur le délai qui la limite : on voit sur la Figure II.8 que les performances sont bornées par la contrainte de diaphonie (niveau maximum acceptable, fixé ici à 25%) jusqu'au point entouré en rouge, pour $(Dim_{inv}, S_{inv}, N_{inv}) = (128, 16, 8)$, puis, pour $N_{inv} > 8$, par la contrainte de délai.

- Cependant dès le point entouré en orange ($Dim_{inv}, S_{inv}, N_{inv}$) = (8,1,8), on atteint presque le niveau de contrainte sur le délai (ici le délai maximum est fixé ici à 100 ps) ce qui met en évidence, dans ce scénario de contraintes, que les exigences de délais et de niveau de diaphonie maximaux peuvent agir conjointement sur la portée.

II.3.2.b.3 Comparaison des évolutions des longueurs maximales atteintes en fonction de la taille et du nombre d'inverseurs

Dans ce sous-paragraphe, on regarde l'évolution des portées L_{max} en fonction de la dimension totale d'inverseur Dim_{inv} et on compare les performances atteintes pour chacun des deux scénarios (Figure II.9).

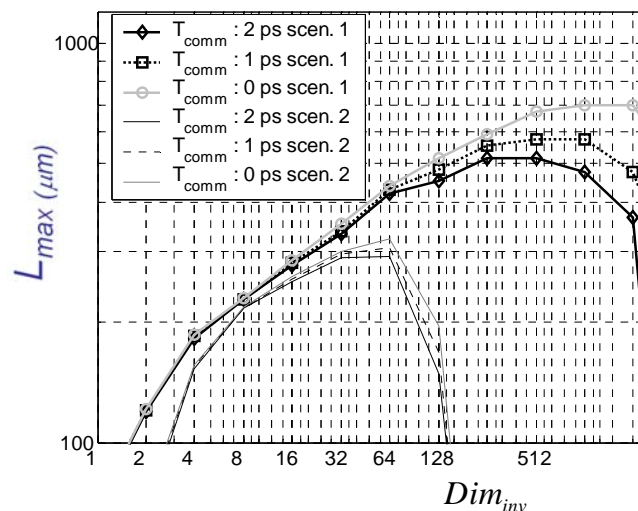


Figure II.9 : Evolution des longueurs maximales atteignables en fonction de la dimension d'inverseurs Dim_{inv} pour différents temps de commutation escomptés au niveau de transistors (illustration pour $w=50nm$, $D_{max}=100ps$, et $XT_{max}=40\%$)

On peut faire au moins quatre commentaires sur ces résultats.

1. Quelque soit le scénario envisagé, **l'exigence de portée entraîne une croissance importante de la dimension d'inverseurs Dim_{inv}** requise ; par exemple, pour le scénario 1 (avec $\tau_{switch}=0$ ps) il suffit d'une vingtaine d'inverseurs élémentaires pour atteindre 300 µm de portée mais il en faut près de 200 pour atteindre le double (600 µm).
2. A dimension d'inverseurs Dim_{inv} constante, **le scénario 1 permet des portées plus grandes** :
 - a. en deçà d'une certaine valeur de dimension d'inverseurs ($Dim_{inv} \approx 32$), les portées sont du même ordre de grandeur pour les deux scénarios envisagés avec un léger avantage pour le scénario 1.
 - b. au-delà de $Dim_{inv} \approx 32$, la portée pour le scénario 2 est plafonnée.
3. La **portée maximale obtenue** avec le scénario 1 (700 µm) est nettement plus importante que celle du scénario 2 (300 µm).
4. La **dégradation des temps de commutation devient critique pour les portées les plus longues** (atteintes exclusivement par le scénario 1) caractérisées par un nombre de répéteurs important ; par exemple, une augmentation de 2 ps du délai de commutation fait passer la portée de 700 µm à 500 µm.

II.3.2.b.4 Impact de la densité d'interconnexions sur les longueurs maximales atteintes

La Figure II.10 met en évidence que l'évolution de la portée avec la densité d'interconnexion est relativement linéaire et proportionnelle à la densité d'interconnexions.

Par exemple une augmentation (ou une diminution) de 30 % de la densité génère une augmentation (ou une diminution) de la portée du même ordre. C'est en particulier vrai pour la portée maximale (pour $Dim_{inv} \approx 1000$) comme on peut le voir en Figure II.10.

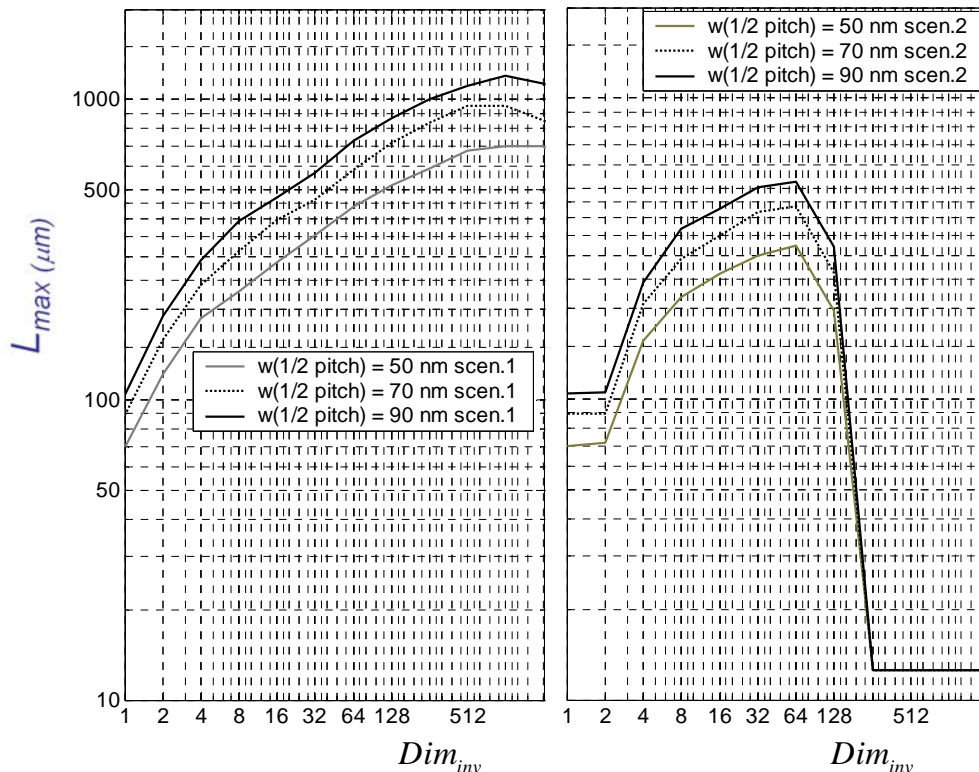


Figure II.10 : Evolution des longueurs maximales atteignables en fonction de la dimension d'inverseurs Dim_{inv} et du $1/2$ pitch w (illustration pour $D_{max} = 100ps$, et $XT_{max} = 40\%$)

Remarque 1: les deux scénarios sont équivalents pour le cas $Dim_{inv} = 1$: un unique inverseur de taille $\times 1$ « drive » chacun des tronçons d'interconnexion. On voit sur cadre droit de la Figure II.10 (correspondant au scénario 2) que la portée ne change pas lorsque le nombre d'inverseurs passe de 1 à 2 ; il s'agit du cas particulier, artificiel et pratiquement inutile, où deux inverseurs de taille $\times 1$ sont cascades.

Remarque 2: on fait observer en Figure II.11, qu'à portée constante, le fait de relâcher la contrainte de densité d'interconnexion dans le BEOL permet d'obtenir une économie très conséquente dans le FEOL. Pour une portée par exemple de 500 μm , le nombre d'inverseurs requis passe de 128 pour $w = 50$ nm à 32 pour $w = 70$ nm et enfin 16 pour $w = 90$ nm, soit une diminution de 50 % entre 70 nm et 90 nm et une augmentation de 300 % entre 70 nm et 50 nm ! Ce bénéfice sera développé plus profondément dans le paragraphe II.4.

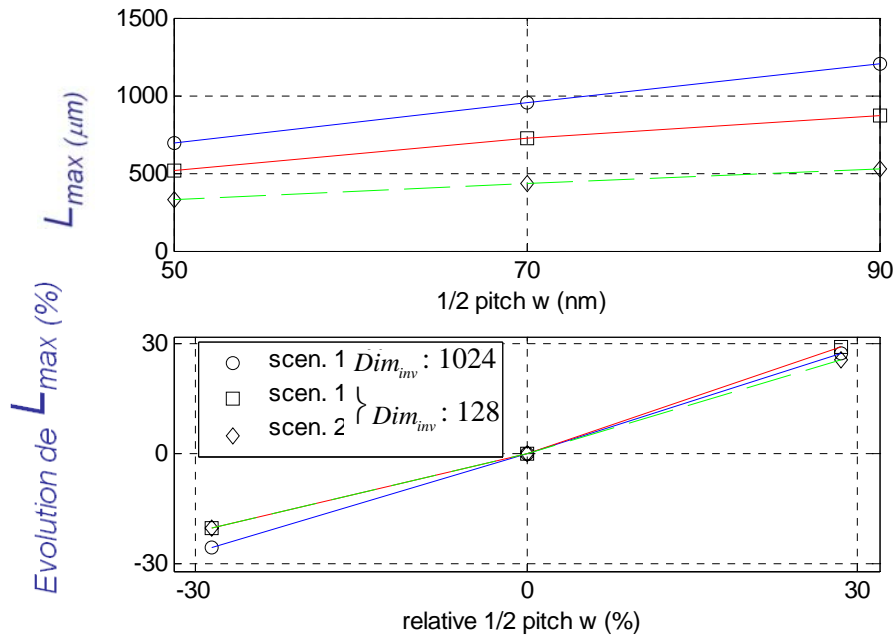


Figure II.11 : Evolution des longueurs maximales atteignables en fonction de la contrainte de densité d'interconnexions (ou du $\frac{1}{2}$ pitch) pour différentes dimensions d'inverseurs Dim_{inv}

II.3.2.b.5 Impact de la contrainte de délai maximal des interconnexions sur les longueurs maximales atteintes

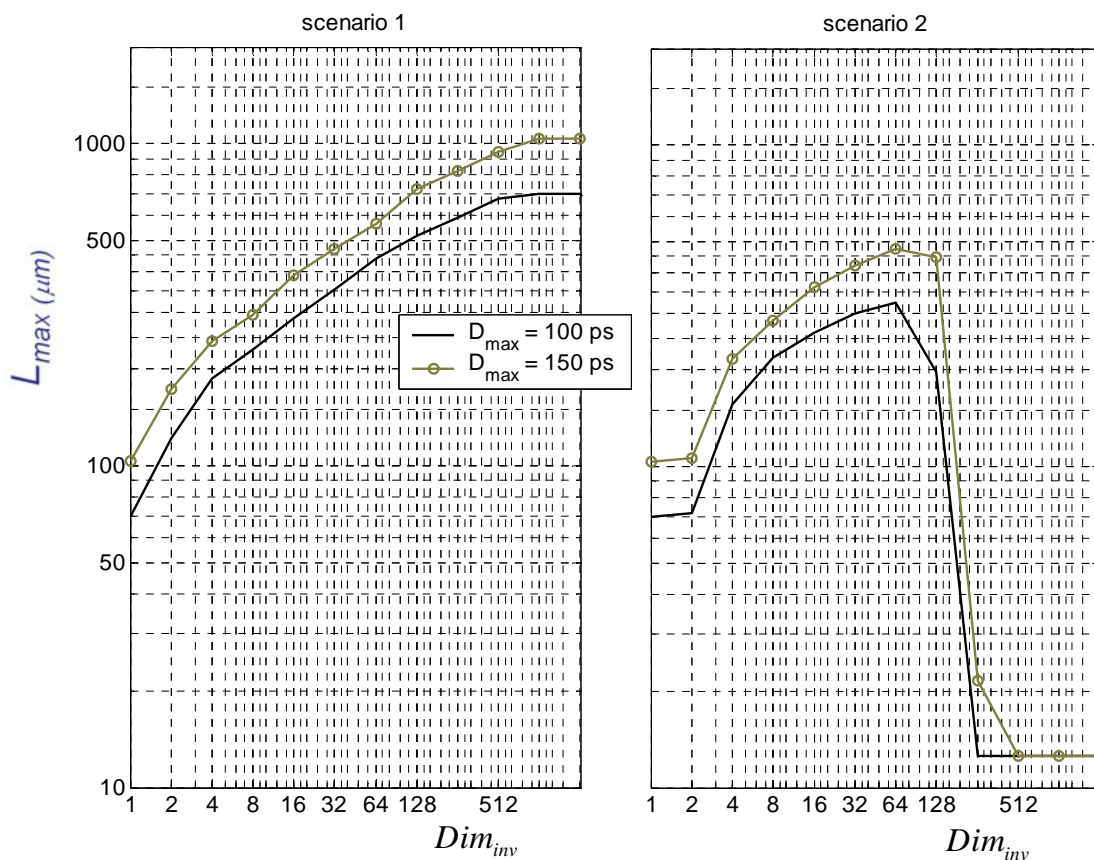


Figure II.12 : Evolution des longueurs maximales atteignables en fonction de la dimension d'inverseurs Dim_{inv} et de la contrainte de délai D_{max} (illustration avec $w=50nm$ et $XT_{max}=40\%$).

Pour les deux scénarios, le rapport de portée globale est quasi proportionnel à l'exigence de délai (inversement proportionnel à la fréquence globale requise) :

- 700 → 1000 μm pour scen.1 ($\times 1,5$) lorsque l'exigence de délai maximum passe de 100 ps à 150 ps
- 300 → 450 μm pour scen.2 ($\times 1,5$) lorsque l'exigence de délai maximum passe de 100 ps à 150 ps

II.3.2.b.6 Impact de la contrainte de niveau de diaphonie maximal sur les longueurs maximales atteintes

Une augmentation de la contrainte de diaphonie génère une dégradation très significative des performances lorsque le nombre d'inverseurs investis est faible (Figure II.13).

Pour le scénario 1, cet effet est gommé dès que l'on introduit un nombre suffisant de répéteurs, qui limite la longueur des tronçons élémentaires et par conséquent la diaphonie. Ainsi le délai maximum atteint, si l'on ne fixe pas de contrainte sur le nombre maximal d'inverseurs investis, n'est pas affecté.

Pour le scénario 2, caractérisé par des délais dus aux répéteurs, plus longs, on n'arrive pas à gommer l'effet de la contrainte de diaphonie : les tronçons sont raccourcis pour respecter cette contrainte ce qui limite la portée globale maximale de l'interconnexion.

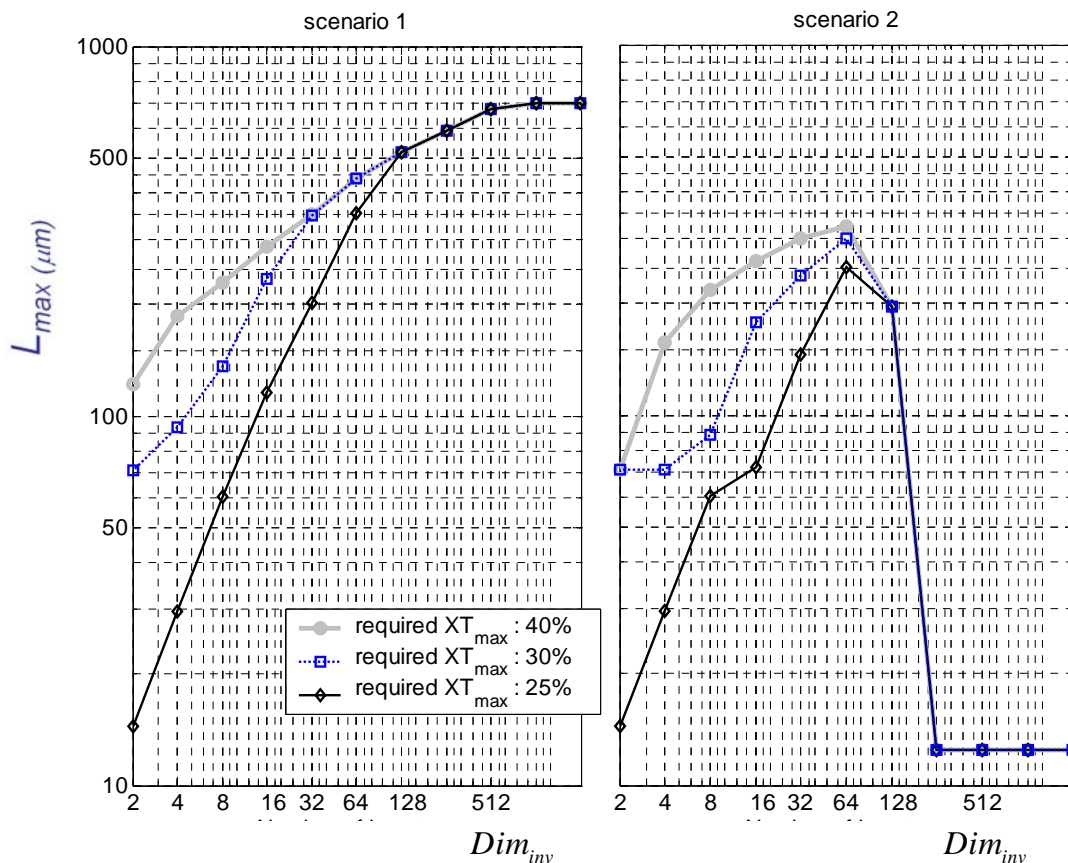


Figure II.13 : Evolution des longueurs maximales atteignables en fonction de la dimension d'inverseurs Dim_{inv} et de la contrainte de diaphonie XT_{max}

(Illustration avec $w=50\text{nm}$, $\tau_{switch}=0\text{ps}$, et $D_{max}=100\text{ps}$)

La Figure II.14 montre l'évolution des portées pour différentes densités d'interconnexions dans le BEOL.

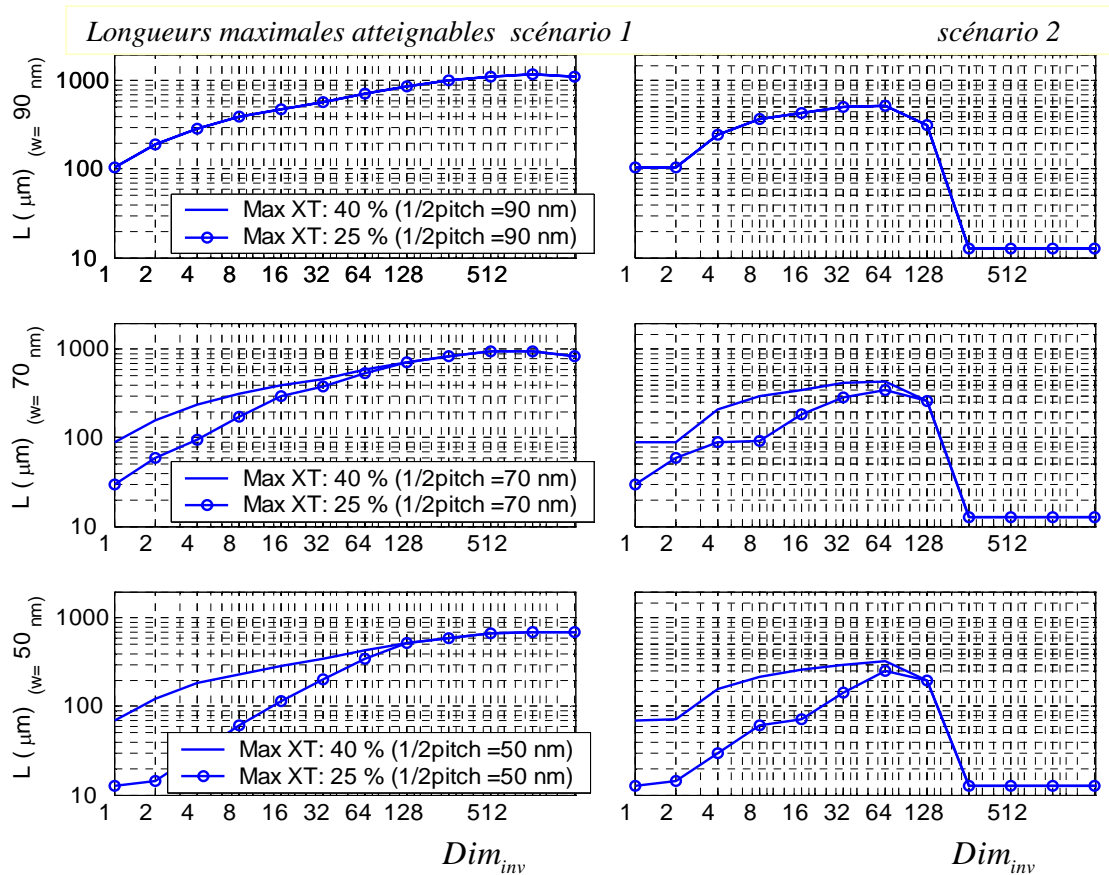


Figure II.14 : Evolution des longueurs maximales atteignables en fonction de la dimension d'inverseurs Dim_{inv} et de la contrainte de diaphonie XT_{max}
 (Illustration pour les 3 $\frac{1}{2}$ pitch différents : $w=50\text{nm}$, 70 nm et 90 nm)

- Cette dégradation significative des performances lorsque l'on renforce la contrainte de niveau de diaphonie, est particulièrement sensible pour les réseaux d'interconnexions les plus denses ($1/2\text{pitch} = 50\text{ nm}$). Pour les réseaux moins denses ($1/2\text{pitch} > 90\text{ nm}$) cet effet n'est plus visible.

II.3.3 Optimisation des longueurs de tronçons minimisant le délai en fonction de contraintes de diaphonie

Dans ce qui précède, on cherchait à mettre en évidence le rapport entre performance globale des interconnexions et les coûts en composants actifs ou en niveaux métal du BEOL.

Dans cette partie on se focalise uniquement sur l'optimisation de performance au niveau des tronçons d'interconnexion.

Le problème d'optimisation se pose alors ainsi : pour chaque taille d'inverseur et pour chaque type de densité d'interconnexion il existe une longueur de tronçon optimale qui minimise le délai d'interconnexion.

Toutefois, si cette longueur de tronçon est trop élevée, on peut atteindre un niveau de diaphonie critique. Dans cette partie, on se fixera donc des contraintes de niveau de diaphonie maximal et on cherchera la longueur de tronçon qui, tout en respectant ces contraintes, minimise les délais.

Comme il a été vu en II.3.1 , l'introduction de répéteurs rend le délai linéaire avec la longueur. Pour trouver la longueur de tronçon optimale L_{opt} il suffit donc de trouver de délai minimum à partir duquel le délai d'interconnexion devient supérieur ou égal à celui d'un comportement linéaire lorsque la longueur augmente. Si on note $D(L)$ l'évolution du délai d'interconnexion avec la longueur L , il s'agit donc de trouver la fonction linéaire tangente à $D(L)$ comme représenté en Figure II.15. La longueur L_{opt} est la solution de l'équation:

$$L \frac{\delta D(L)}{\delta L} - D(L) = 0$$

Relation [3- 1]

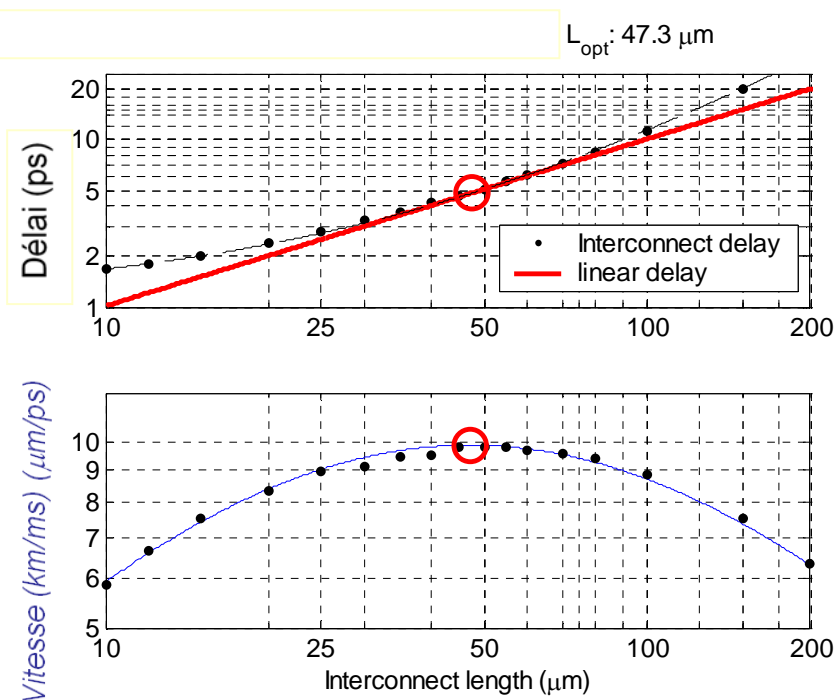


Figure II.15 : Illustration de la recherche de longueur de tronçon optimale (illustration pour le $\frac{1}{2}$ pitch $w = 70$ nm et $S_{inv} = 64$ dans le scénario 1)

Une autre manière d'obtenir L_{opt} est de chercher la longueur qui maximalise la vitesse. La vitesse maximum est atteinte pour :

$$\frac{\delta\left(\frac{L}{D(L)}\right)}{\delta L} = 0$$

Relation [3- 2]

Cela est équivalent à l'obtention de la résolution de l'équation présentée en Relation [3- 1].

En Figure II.16 et Figure II.17, on compare enfin les longueurs optimales vis-à-vis de la rapidité avec les longueurs maximales atteintes vis-à-vis de la contrainte de niveau de diaphonie, pour deux schémas de densité d'interconnexions, liés à des pitches respectifs de 50 nm et 70 nm.

Le gain obtenu en relâchant la densité d'interconnexions fait l'objet du paragraphe II.4, dont l'objectif est de préconiser des règles de conception favorables à la minimisation conjointe des délais et des niveaux de diaphonie.

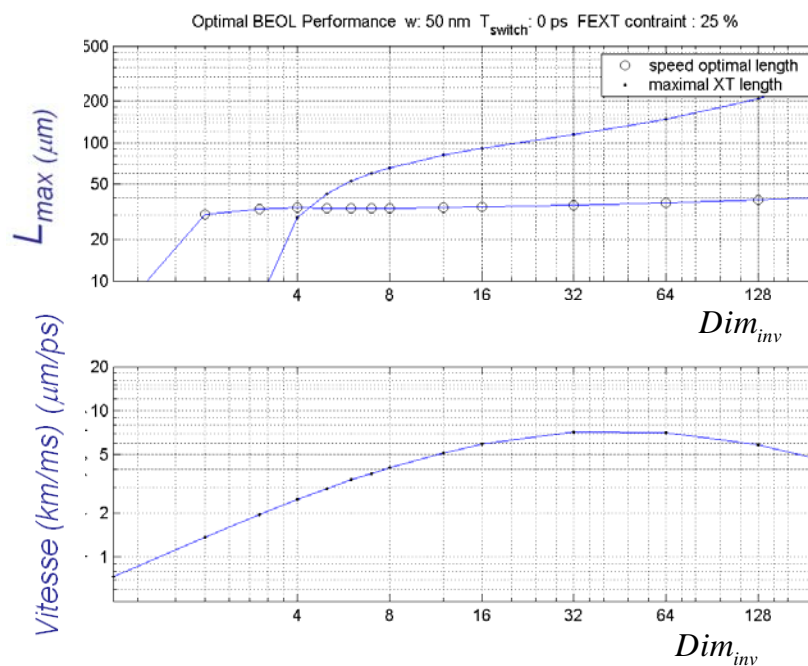


Figure II.16 : Longueurs optimales vis-à-vis de la rapidité et maximales vis-à-vis de la contrainte de niveau de diaphonie en fonction de la dimension d'inverseurs Dim_{inv}

(Illustration pour le $\frac{1}{2}$ pitch $w=50$ nm)

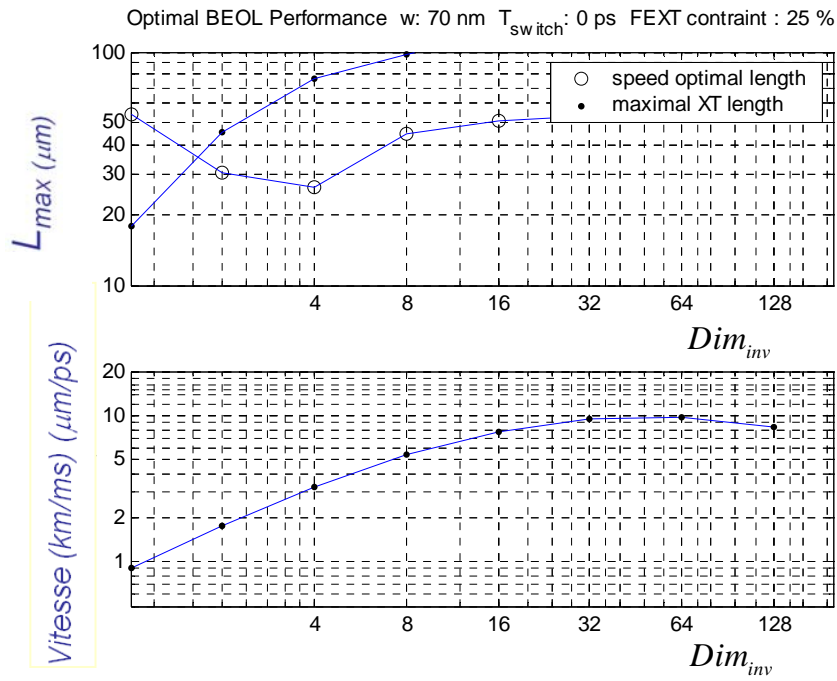


Figure II.17 : Longueurs optimales vis-à-vis de la rapidité et maximales vis-à-vis de la contrainte de niveau de diaphonie en fonction de la dimension d'inverseurs Dim_{inv}
 (Illustration pour le $\frac{1}{2}$ pitch $w= 70 \text{ nm}$)

II.4 Éléments de règles de conception de réseaux d'interconnexions de circuits intégrés CMOS 45 nm en vue de la réduction conjointe des délais pour la transmission de signaux numériques rapides

II.4.1 Rappel de la problématique de la dégradation des performances liées à d'avantage d'intégration dans le BEOL

Comme évoqué précédemment, les niveaux de diaphonie sont particulièrement critiques dans les niveaux métalliques intermédiaires du BEOL où certaines longueurs d'interconnexions atteignent parfois plusieurs centaines de μm tout en étant très proches les unes des autres. En effet selon l'ITRS, le $\frac{1}{2}$ pas entre deux interconnexions, qui correspond également à leur espacement s , sera de l'ordre de 50 nm tandis que leur épaisseur e dépasse la centaine de nm.

En termes électriques, la réduction des dimensions au niveau du BEOL a deux conséquences majeures sur le fonctionnement des circuits.

1. La première est l'augmentation du produit RC , où R et C sont respectivement les résistances et capacité linéiques de l'interconnexion. Il faut rappeler qu'en première approximation, le délai induit par l'interconnexion augmente linéairement avec le produit RC et quadratiquement avec la longueur de l'interconnexion.

Par conséquent, la transmission de signaux rapides (au-delà de 5 GHz) devient impossible sans réduire ces longueurs.

Mais, en introduisant des drivers, souvent nommés répéteurs, pour partitionner une interconnexion longue en tronçons plus courts, on arrive à optimiser la rapidité du circuit.

2. La deuxième conséquence est l'augmentation des capacités linéiques mutuelles C_m entre les interconnexions adjacentes du même niveau métallique. Ces valeurs élevées de C_m introduisent des niveaux de diaphonie parfois catastrophiques. Cependant lorsqu'une interconnexion a été partitionnée par l'introduction de répéteurs, la diaphonie a tendance à diminuer avec la longueur des tronçons. L'introduction de répéteurs est donc une première manière de réduire à la fois la diaphonie tout en augmentant potentiellement la rapidité des circuits. Ceci peut permettre de respecter les contraintes de vitesse minimale et de seuil maximal de diaphonie espérés pour les futures générations de circuits.

En plus du nombre de drivers introduits, le choix de leur taille optimale est une seconde manière de tendre vers ces spécifications de performances. Notons toutefois qu'en introduisant des drivers ou en augmentant leur taille, cette optimisation des performances a un coût potentiellement significatif en nombre de composants actifs.

Ce paragraphe a pour objet de déterminer dans un premier temps des couples d'intervalles ($[L_{opt}]$, $[T_{opt}]$), respectivement pour les longueurs de tronçons et les tailles des drivers, qui optimisent les performances.

Cette étude cherche ensuite à répondre à deux problèmes majeurs.

1. Le premier est de préciser si la maximisation de la vitesse d'une part et la minimisation des niveaux de diaphonie convergent vers les mêmes couples d'intervalles ($[L_{opt}]$, $[T_{opt}]$).

2. Dans l'affirmative, le second problème est de déterminer dans quelle mesure ces optimisations suffisent à répondre à des contraintes conjointes fixées, à la fois sur les spécifications de diaphonie et de vitesses de fonctionnement, conformes aux exigences attendues pour ces futures générations de circuits.

L'étude propose enfin d'utiliser un troisième levier pour atteindre des spécifications de performances plus exigeantes, qui consiste à dédier un niveau métal spécifique pour les chemins les plus critiques, pour lequel la contrainte de densité d'interconnexion est relâchée. En effet en relâchant cette contrainte de densité, on fait baisser à la fois le produit RC et les capacités de couplage C_m , ce qui permet d'adoucir les effets néfastes de l'intégration.

Il s'agira ensuite pour le concepteur de trouver les justes compromis entre le coût en composants actifs inhérent à l'introduction de répéteurs relativement gros et le coût d'un niveau métal supplémentaire dans le BEOL.

II.4.2 Effet de la longueur des interconnexions sur la rapidité

Au-delà d'une certaine longueur critique pour les tronçons d'interconnexions, les délais deviennent tels qu'ils interdisent la transmissions de signaux très rapide (de quelques GHz ou plus).

Globalement ces longueurs de tronçons ne doivent pas excéder quelques centaines de μm .

Ainsi, comme il y a quelques chemins, peu nombreux par ailleurs, qui peuvent dépasser le mm à travers le BEOL, des répéteurs doivent être introduits de manière à sectionner ces longues interconnexions en tronçons plus courts.

Cependant, le coût lié à ce sectionnement des interconnexions, incluant l'introduction de drivers supplémentaires mais aussi de contacts et de vias, peut devenir très préoccupant si ces longueurs de tronçons sont sous dimensionnées. Afin d'affiner ces assertions, cette étude se focalise sur les tronçons d'interconnexions de longueurs nominales comprises entre quelques dizaines de μm et quelques centaines de μm .

Les métriques visées sont à la fois le coût et la performance.

Enfin, cet effet de la longueur de tronçon sur les performances est évalué pour différentes tailles de drivers (x 4 et x 64).

Comme il apparaît sur les Figure II.18 et Figure II.19, les délais augmentent dramatiquement avec la longueur d'interconnexion quelque soit la taille du driver.

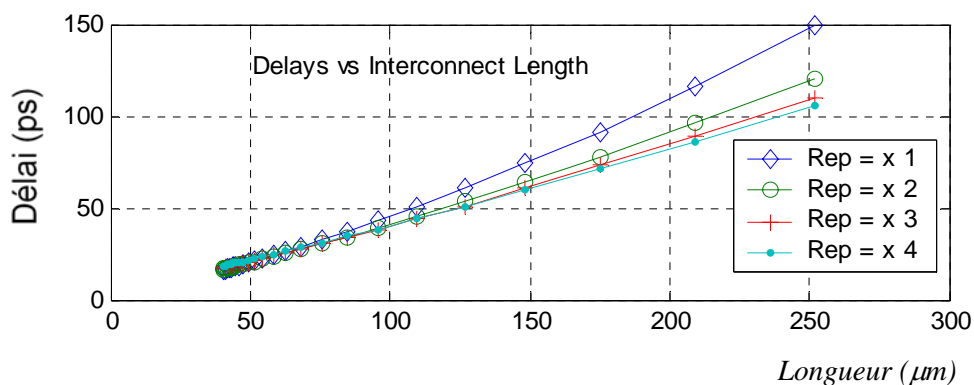


Figure II.18 : Impact de la longueur d'interconnexion sur les délais pour des drivers de taille x4 et différents nombres de répéteurs

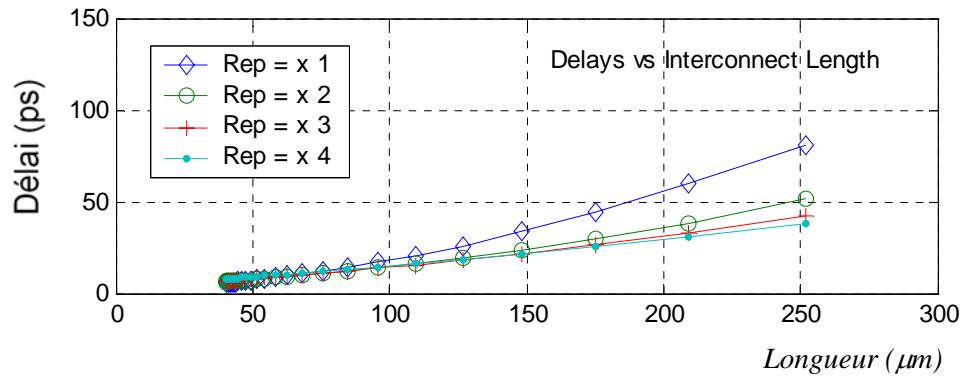


Figure II.19 : Impact de la longueur d'interconnexion sur les délais pour des drivers de taille x64 et différents nombres de répéteurs

- Néanmoins, le choix d'un driver suffisamment gros aide à réduire le délai jusqu'à presque 50% quel que soit la longueur de tronçon envisagée. Ce gain est dû au fait que les fortes résistances de sortie des petits drivers (ex. x4) ont un effet prédominant sur les résistances des interconnexions tandis que les faibles capacités d'entrée inhérentes à la petite taille de ces drivers sont masquées par les capacités des interconnexions elles-mêmes.
- Ainsi il vaut mieux chercher à baisser ces résistances de sortie en utilisant des drivers plus gros, l'augmentation des capacités d'entrée de ces drivers plus gros étant moins significative que le gain apporté par la diminution des résistances.
- Un autre moyen de réduire les délais est évidemment d'introduire des répéteurs afin de diminuer les longueurs de sections d'interconnexion. En effet il apparaît qu'au-delà d'environ 70 µm, le délai sera écourté si des répéteurs sont introduits.

II.4.3 Conception optimisée pour atteindre de fortes performances en termes de rapidité et de robustesse

II.4.3.a Optimisation du nombre et de la taille des drivers pour respecter des contraintes fortes sur le niveau de diaphonie

Comme cette étude est plus spécialement dédiée aux problèmes de diaphonie, deux schémas d'interférence sont envisagés conjointement.

- Dans le premier cas, en l'occurrence de diaphonie distante (ou télédiaphonie), également nommé Far-End Crosstalk (FEXT) en anglais, l'excitation sur l'interconnexion interférée a lieu du même côté que l'excitation sur l'interconnexion interférente.
- Dans le deuxième cas, de diaphonie locale (ou paradiaphonie), également nommé Near-End Crosstalk (NEXT) en anglais, l'excitation sur l'interconnexion interférée a lieu sur l'extrémité inverse de celle sur l'interconnexion interférente (les signaux se propagent en sens inverse).

Les contraintes typiques de niveaux de diaphonie maximale sont de l'ordre de 30 ou 40 %.

Ces limitations permettent d'éviter les erreurs de transmission sur les niveaux logiques.

Néanmoins, des contraintes plus strictes peuvent être fixées afin d'une part de limiter la consommation additionnelle du circuit liée à ces interférences (en particulier la consommation de court circuit) et

d'éviter les « overshoots » (dépassement du niveau de tension nominal des signaux logiques) qui, sur la durée, peuvent endommager les transistors. C'est pourquoi un intervalle de niveaux de diaphonie étendu (entre 20 % et 40 %) a été considéré dans le cadre de cette étude.

Il est montré que la réduction de longueur de tronçons d'interconnexion est un moyen de diminuer à la fois les délais et les niveaux de diaphonie.

Néanmoins, comme il apparaît en Figure II.20, le bénéfice apporté par la réduction des longueurs sur les niveaux de diaphonie n'a ni la même qualité, ni la même importance pour les petits et pour les gros drivers. En effet, pour les petits drivers le niveau de diaphonie est quasiment constant avec la longueur alors que pour les gros drivers la diaphonie augmente de manière très significative avec la longueur. De plus, pour les petites longueurs de tronçons (en dessous d'environ 150 μm), le niveau de diaphonie diminue lorsque la taille des drivers est augmentée alors que pour les longueurs de tronçons plus grandes c'est le phénomène inverse qui est observé.

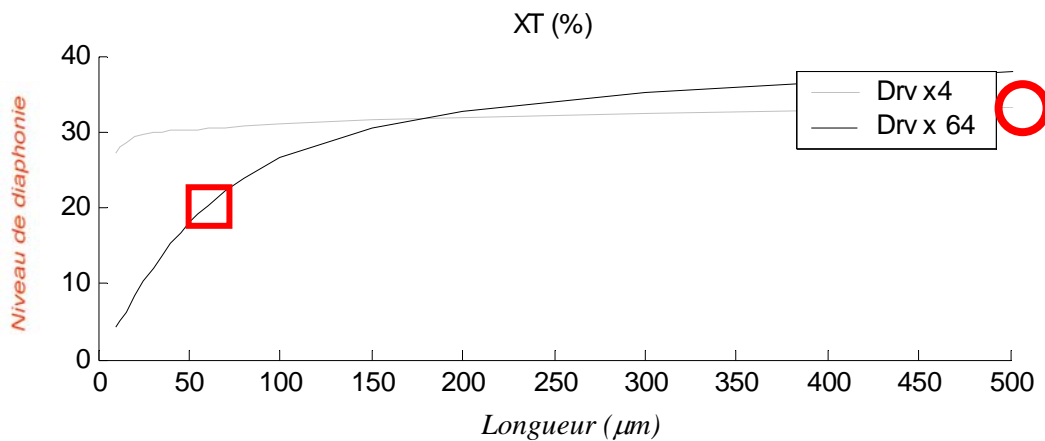


Figure II.20 : Comparaison de l'impact sur la diaphonie de la longueur des tronçons d'interconnexions, pour des drivers de taille x4 et x64

En guise de première conclusion, si les contraintes de niveaux de diaphonie ne sont pas trop strictes (ex. $> 35\%$), des petits drivers associés avec des longueurs d'interconnexion relativement longues (quelques centaines de μm) constituent un schéma fonctionnel acceptable, d'un point de vue diaphonie.

- Comme dans l'exemple présenté en Figure II.20, si le niveau de diaphonie maximale est relâché jusqu'à 40%, pour une interconnexion de 500 μm de longueur, un petit driver (x4) est suffisant, sans introduction de répéteur intermédiaire, avec un niveau de diaphonie de près de 30% ici (point-cercle sur la Figure II.20). Dans ce cas le coût en composant actif est relativement faible dans la mesure où à la fois la taille et le nombre de drivers requis est faible.
- D'un autre côté, si le niveau de diaphonie maximal acceptable est baissé, l'introduction de drivers à la fois plus gros et plus nombreux est nécessaire. Par exemple (point-carré sur la Figure II.20), si le niveau de diaphonie maximal est baissé au alentour de 20 %, pour une interconnexion de 500 μm de longueur, des répéteurs de taille plus importante (x64) et plus nombreux sont nécessaires.

II.4.3.b *Optimisation du nombre et de la taille des drivers pour atteindre des performances de vitesse élevées*

Les spécifications sur la rapidité des signaux ainsi que sur le niveau de diaphonie sont supposés être à la charge du concepteur en fonction de l'application visée pour le circuit.

Cependant, plus l'application est exigeante en termes de vitesse et de robustesse liée à la diaphonie, plus les coûts et la consommation vont être importants.

Ainsi, si les exigences conjointes sur la vitesse et sur la diaphonie sont lâches (ex. vitesse < 1 GHz and niveau de diaphonie maximum <40 %), des longueurs de tronçons importantes associées à des drivers relativement petits offre une solution fonctionnelle satisfaisante, sans difficulté par ailleurs sur la diaphonie dans la mesure où, pour les petits drivers (ex. x4 sur la Figure II.20), son niveau est quasiment constant avec la longueur.

En revanche, dans le cas des signaux très rapides qui font l'objet de cette étude, on montre que la vitesse atteint son maximum pour des longueurs de sections relativement courtes (près de 50 μm). Sur la Figure II.21, la longueur optimale L_{opt} qui maximise la vitesse du signal est représentée en fonction de la taille des drivers associés.

Il est observé que cette longueur optimale L_{opt} dépend relativement peu de la taille des drivers. L_{opt} est ensuite comparée avec la longueur maximale L_{max} imposée par les spécifications sur la diaphonie. L_{max} a été évaluée pour différentes contraintes sur les niveaux de diaphonie maximale, respectivement égaux à 25, 30 and 40 %.

Il peut être constaté que la spécification de longueur optimale L_{opt} est en accord avec les contrainte de diaphonie, quelque soit la taille des drivers associés, excepté dans le cas le plus strict (niveau de diaphonie maximal < 25%) pour lequel une taille de driver minimale (> x4) est requise (point-cercle sur la Figure II.21).

En seconde conclusion : tant que le concepteur respecte la longueur maximale liée à l'exigence de diaphonie, il peut choisir des longueurs de tronçons d'interconnexion L courtes (autour de L_{opt}) pour obtenir des circuits très rapides, avec en contrepartie une augmentation significative du coût notamment lié à l'augmentation de la surface de composants actifs avec l'introduction de répéteurs. En revanche, si l'exigence de rapidité du circuit n'est pas trop élevée, il peut économiser sur l'introduction de répéteur en choisissant des longueurs de tronçons L plus grandes, entre L_{opt} et L_{max} .

II.4.3.c *Effet de la densité d'interconnexions sur les performances*

Il est montré dans ce qui précède que des compromis pertinents sont possibles entre coût et performance.

Toutefois la très forte intégration dans le BEOL des circuits numériques à partir de la génération 45 nm peut s'avérer très limitative sur ces deux aspects.

Le coût inhérent à l'utilisation de drivers potentiellement gros et nombreux peut s'avérer très critique alors que le gain sur les vitesses de fonctionnement global des circuits atteintes n'est pas toujours suffisamment significatif à cause des délais d'interconnexion.

Il existe cependant un moyen alternatif pour à la fois alléger la complexité du circuit et améliorer les performances. En effet, certains chemins peuvent être identifiés comme étant particulièrement critiques,

soit parce qu'ils correspondent aux interconnexions les plus longues et par conséquent les plus lentes, soit parce que fonctionnellement ces chemins sont stratégiques et doivent être particulièrement rapides.

En relâchant la contrainte de densité d'interconnexion dans les niveaux métal intermédiaire du BEOL, toutes les autres contraintes de conception peuvent être allégées comme illustré en Figure II.22 pour un $\frac{1}{2}$ pitch relâché égal à 70 nm. De plus, même pour de fortes contraintes de diaphonie (ex. 25 %), l'usage de gros drivers n'est alors plus nécessaire. Il est montré enfin, en Figure II.23, que la relaxation des contraintes d'intégration est un moyen efficace pour augmenter sensiblement la vitesse du signal. Par exemple, une interconnexion avec un driver de taille optimale $S_{opt} = \times 32$, l'augmentation du $\frac{1}{2}$ pitch de 50 nm à 70 nm permet d'augmenter la vitesse de 7 $\mu\text{m}/\text{ps}$ à 10 $\mu\text{m}/\text{ps}$, ce qui correspond à un gain de 43% sur la rapidité.

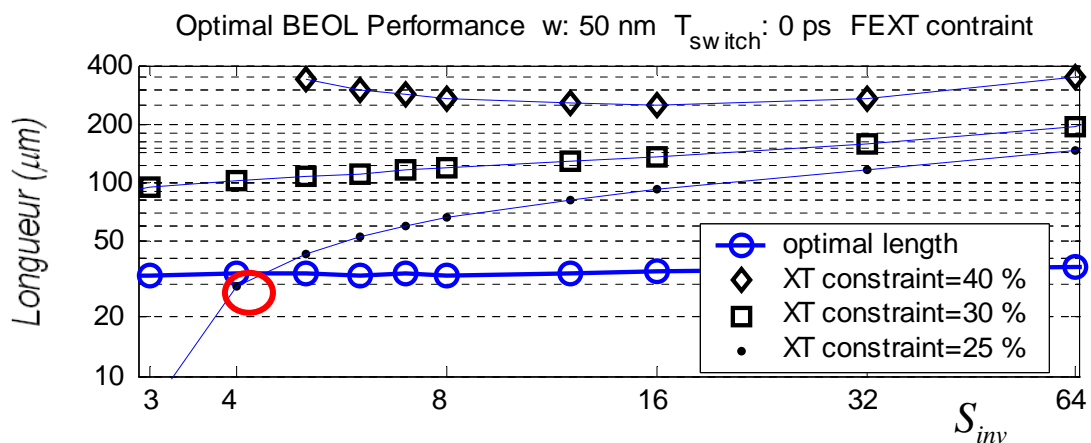


Figure II.21 : Impact des tailles de drivers sur les longueurs de tronçons maximales atteignables relativement à différentes contraintes de diaphonie pour un pitch nominal de 50 nm

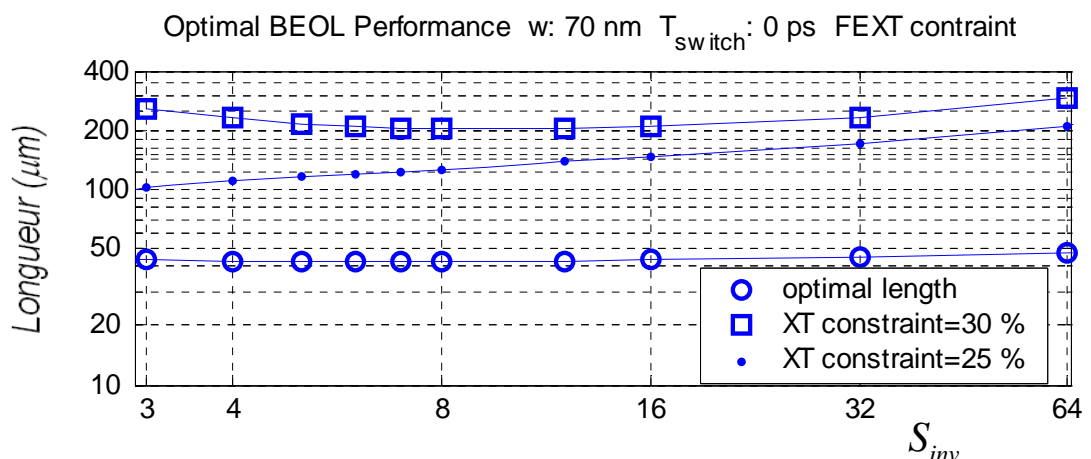


Figure II.22 : Impact des tailles de drivers sur les longueurs de tronçons maximales atteignables relativement à différentes contraintes de diaphonie pour un pitch relâché à 70 nm

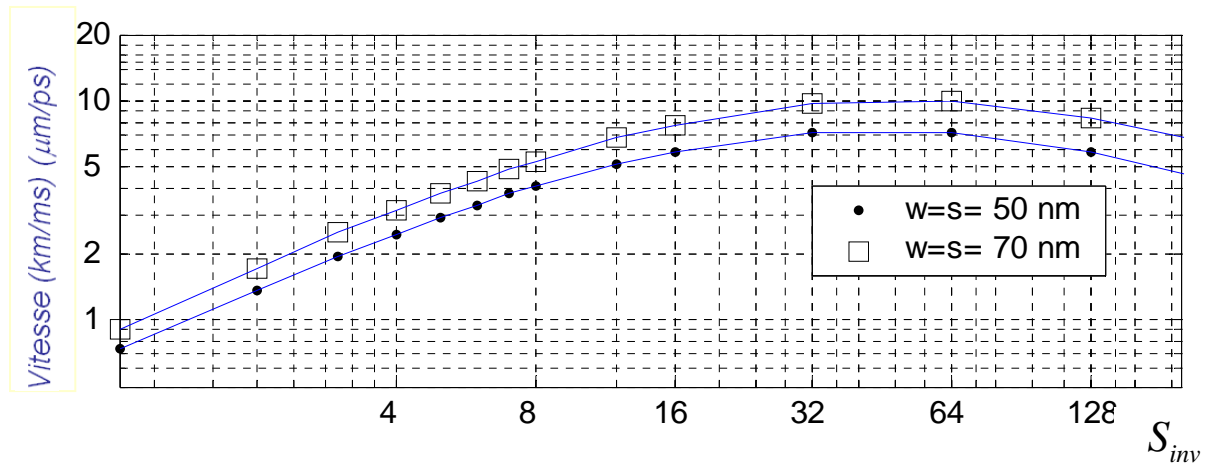


Figure II.23 : Comparaison de l'impact des tailles de drivers sur la vitesse du signal pour différents pitch respectivement égaux à 50 nm et 70 nm.

II.4.4 Conclusions

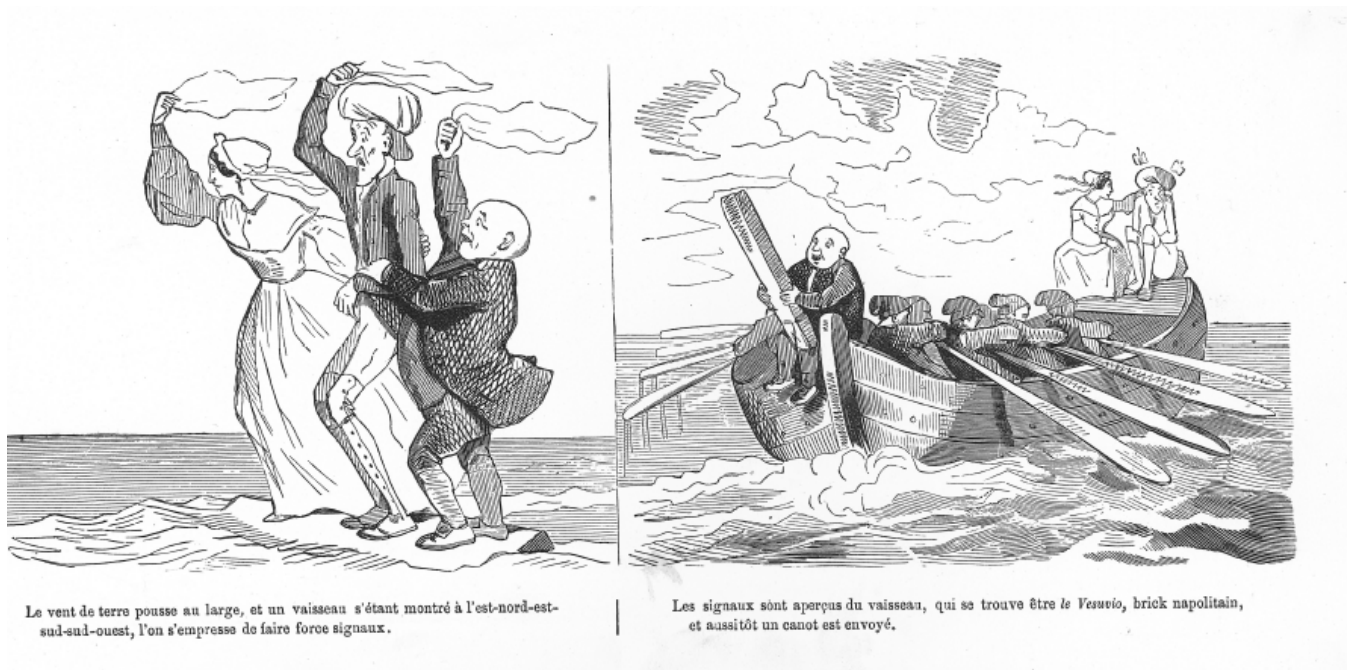
Il a été montré que les circuits très rapides de la génération 45 nm exigent à la fois des longueurs de tronçons maximales relativement courtes (environ 50 μm) impliquant un nombre de répéteurs important mais aussi des répéteurs d'assez grande taille (ex. x32).

- Ces spécifications impliquent un coût significatif en surface de composants actifs et en consommation.
- Ces longueurs de tronçons d'interconnexions optimales ainsi que ces tailles de répéteurs optimales sont relatives à des contraintes de niveau de diaphonie relativement sévères.
- Toutefois, si l'on accepte de relâcher la vitesse du circuit cette surenchère sur la taille et le nombre de répéteurs peut être partiellement évitée.

Mais quoiqu'il en soit, il reste une longueur de tronçons à ne pas dépasser, dépendant du niveau de diaphonie maximal requis, quelque soit la contrainte de vitesse du circuit. Par exemple pour un $\frac{1}{2}$ pitch de 50 nm et un niveau de diaphonie ne devant pas excéder 30 % du niveau de tension établi, les tronçons d'interconnexion ne doivent pas dépasser la centaine de μm .

Le moyen proposé ici pour alléger l'ensemble de ces contraintes est de relâcher en partie la densité d'interconnexion dans le BEOL. Cela permet soit d'améliorer les performances globales soit de réduire les coûts en termes de surface et de consommation des circuits.

Un moyen d'y parvenir sans arriver à une augmentation trop coûteuse de niveaux métal dans le BEOL est de dédier quelques niveaux métal additionnels, spécifiques aux chemins les plus critiques. Il reste au concepteur à trouver le meilleur compromis entre l'augmentation de la surface d'actifs liée au besoin d'un nombre relativement grand de répéteurs, relativement gros, et le coût ajouté par l'introduction de quelques niveaux métal supplémentaires dans le BEOL.



(Extrait de [Töpffer, 1830])

Chapitre 5

Fonctionnalités du BEOL des générations sub-CMOS 65 nm

Ces dernières années une tendance marquée chez les technologues et les designers est le souhait d'utiliser le BEOL pour intégrer des composants passifs, en particulier pour des applications analogiques RF mais aussi pour quelques circuits numériques. Parmi ces composants on peut bien entendu citer les inductances intégrés et les capacités MIM intégrés, réalisés avec des architectures 2D et désormais le plus souvent 3D. Les applications visées concernent le filtrage dans le cas des circuits RF et le découplage pour les circuits numériques.

Dans ce court chapitre prospectif nous proposons d'étudier la faisabilité d'utiliser les architectures d'interconnexions elles mêmes pour réaliser d'autres types de fonctions électroniques, comme les coupleurs, déphaseurs, voire des capacités de type « supercondensateurs ». L'idée de départ étant de valoriser les phénomènes habituellement considérés comme parasites rencontrés dans les réseaux d'interconnexions, la diaphonie étant un bon exemple. Cette « fonctionnalisation » du BEOL reste encore assez peu étudiée à ce jour. Or les outils que nous avons développés précédemment nous permettent d'aborder cet objectif.

Nous avons mené deux études prospectives quant à la possibilité de fonctionnalités originales reposant sur ces interconnexions. Dans les deux cas nous supposons que l'introduction de matériaux à très forte permittivité (high-k) dans le BEOL est devenue une réalité technologique industrielle. Cette hypothèse est loin d'être infondée puisque de nombreux développements ont vu le jour dans ce domaine, par exemple avec la réalisation par des procédés industriels de capacités 3D intégrant du Ta₂O₅ (permittivité de 35).

Dans la première partie de ce chapitre, on s'intéresse à l'aptitude du BEOL à être en partie utilisé en tant que « supercapacité » ou « supercondensateur » pour stocker de l'énergie. Un supercondensateur est un condensateur de technique particulière permettant d'obtenir une densité de puissance et une densité d'énergie intermédiaire entre les batteries et les condensateurs électrolytiques classiques. Ces composants permettent de stocker une quantité d'énergie intermédiaire entre ces deux modes de stockage, et de la restituer plus rapidement qu'une batterie. C'est un produit qui intéresse aujourd'hui à la fois les acteurs de l'électronique embarquée pour des applications de réseaux de capteurs sans fils et ceux de l'électronique de puissance pour le stockage de l'énergie en particulier sur les applications automobiles (véhicule électrique).

La deuxième partie porte sur la faisabilité de réalisation de coupleurs directifs intégrés dans le BEOL. Etant données les fréquences de travail envisagées (quelques GHz) les principaux enjeux seront son dimensionnement en regard des longueurs d'ondes des signaux et les niveaux d'atténuation (pertes d'insertion) du fait de la forte intégration. L'idée principale est de bénéficier des forts niveaux de couplages entre ces interconnexions dues à leur proximité.

Sommaire du Chapitre 5

Fonctionnalités du BEOL des générations sub-CMOS 65 nm.....	178
I Aptitude du BEOL de la génération CMOS 32 nm à emmagasiner de l'énergie.....	180
II Faisabilité à $f > 10$ GHz d'un coupleur directif fortement intégré, réalisé dans le réseau microélectronique d'interconnexions des puces des nœuds sub-CMOS 45 nm	183
II.1 Définition d'un coupleur.....	183
II.1.1 Directivité d'un coupleur.....	183
II.1.2 Types de coupleurs.....	184
II.1.3 Couplage localisé ou réparti	184
II.2 Contexte et articulation de notre étude	185
II.3 Rappel des métriques de caractérisation du couplage.....	186
II.4 Calcul de la longueur de couplage	187
II.4.1 Calcul de la longueur d'onde.....	187
II.4.2 Calcul de la longueur $L_c(f)$ de couplage idéale (entre deux interconnexions)	188
II.5 Adaptation.....	190
II.5.1 Application numérique: Cas « lignes sans pertes »	190
II.5.2 Application numérique: Cas « lignes sans pertes »	191
II.6 Résultats des études réalisées.....	192
II.7 Conclusions.....	193

Figures du Chapitre 5

Figure I.1 : Schéma de l'architecture de supercondensateur envisagée (en blanc : un ensemble de conducteurs -interconnectés entre eux par des vias à l'arrière du diapositif par exemple-, en rouge : un ensemble de conducteurs -reliés à la masse par des vias à l'avant du diapositif par exemple-)	180
Figure I.2 : Visualisation de la répartition des puissances de champs électriques à l'intérieur de la structure de supercondensateur	181
Figure I.3 : Schéma de décharge d'un condensateur	182
Figure I.4 : Exemple de courbe de décharge du supercondensateur envisagé.....	182
Figure I.1 : Schéma de principe d'un coupleur directif à 4 accès.....	184
Figure I.2 : Représentation schématique de différentes formes de couplages : (a) selfique localisé ; (b) capacitif localisé ; (c) mixte et distribué	185
Figure I.3 : Couplage réparti (ou distribué).....	186
Figure I.4 : Valeurs de permittivité relative effective en fonction de la fréquence obtenues selon deux configurations ; lorsque le matériau diélectrique englobant les lignes prend les valeurs de permittivité relative 4 et 100.....	188
Figure I.5 : Longueurs de couplage utiles en fonction de la fréquence de couplage voulue ; Comparaison du cas avec pertes à différents cas de coupleurs sans pertes intégrant des matériaux diélectriques de différentes permittivités relatives	189
Figure I.6 : Paramètres S du coupleur à lignes à pertes adapté sur la fréquence 60 GHz	192
Figure I.6 : Coupe transversale du circuit triplaque utilisé	192
Figure I.7 : Comparaison des performances, notamment à 60 GHz, des coupleurs à lignes à pertes/lignes sans pertes au moyen des métriques : A (affaiblissement), K (couplage) et I (isolation).....	193

I Aptitude du BEOL de la génération CMOS 32 nm à emmagasiner de l'énergie

Ce paragraphe un peu « exotique » s'intéresse à l'aptitude du BEOL à être en partie utilisé en tant que « supercapacité » ou « supercondensateur » pour stocker de l'énergie. Un supercondensateur est un condensateur de technique particulière permettant d'obtenir une densité de puissance et une densité d'énergie intermédiaire entre les batteries et les condensateurs électrolytiques classiques.

Ces composants permettent de stocker une quantité d'énergie intermédiaire entre ces deux modes de stockage, et de la restituer plus rapidement qu'une batterie.

C'est un produit qui intéresse aujourd'hui à la fois les acteurs de l'électronique embarquée pour des applications de réseaux de capteurs sans fils et ceux de l'électronique de puissance pour le stockage de l'énergie en particulier sur les applications automobiles (véhicule électrique).

Les intérêts de ce type d'accumulateurs sont sa capacité à fournir de très fortes puissances instantanées, sa rapidité de recharge et un nombre quasiment infini de cycles de charge-décharge. Ses principaux inconvénients sont ses très mauvais rapports d'énergies massique et volumique (capacité énergétique stockée sur masse/volume) ainsi qu'une autodécharge rapide (décharge hors utilisation, en circuit ouvert, due principalement à des pertes diélectriques). C'est donc un composant dont la fonction est doit être orientée sur son instantanéité (secours d'alimentation ponctuel ou pic de puissance sollicitée).

Dans le cas d'un circuit intégré, on pourrait envisager sa fonction en termes de régulation de puissance.

On montre en Figure I.1 un exemple d'architecture de supercondensateur envisageable, dans le BEOL d'un circuit intégré de la génération CMOS 32 nm.

La motivation de départ de cette courte étude est la suivante : la recherche d'intégration dans le FEOL a mené les technologues à trouver des matériaux diélectriques à la fois « high-K », de faible pertes diélectriques, et à forte rigidité diélectrique, tout en étant capable d'intégrer des conducteurs de bonne conductivité électrique dans le FEOL de très faible facteur de forme.

Pourquoi ne pas essayer de tirer bénéfice de toutes ces propriétés très favorables à l'intégration de condensateurs ?

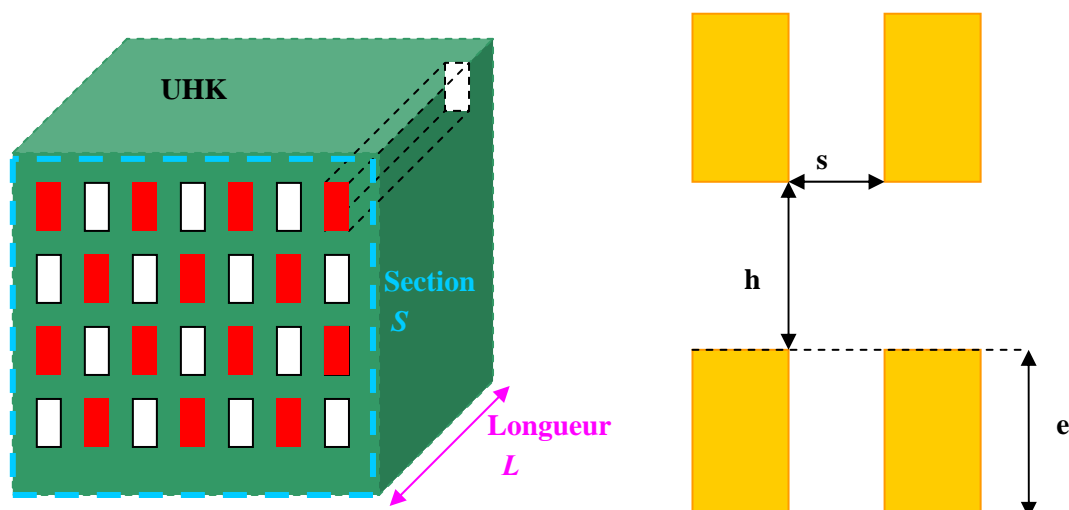


Figure I.1 : Schéma de l'architecture de supercondensateur envisagée (en blanc : un ensemble de conducteurs -interconnectés entre eux par des vias à l'arrière du diapositif par exemple-, en rouge : un ensemble de conducteurs -reliés à la masse par des vias à l'avant du diapositif par exemple-)

Des simulations EM (Figure I.2) ont été menées à l'aide du logiciel Maxwell2D. L'architecture est basée sur l'empilement de la technologie CMOS 32 nm dans le BEOL (dimensions : $h = 100$ nm, $e = 100$ nm, $s = 50$ nm), **mais** avec un diélectrique idéal de permittivité relative très forte ($\epsilon_r=100$), sans pertes.

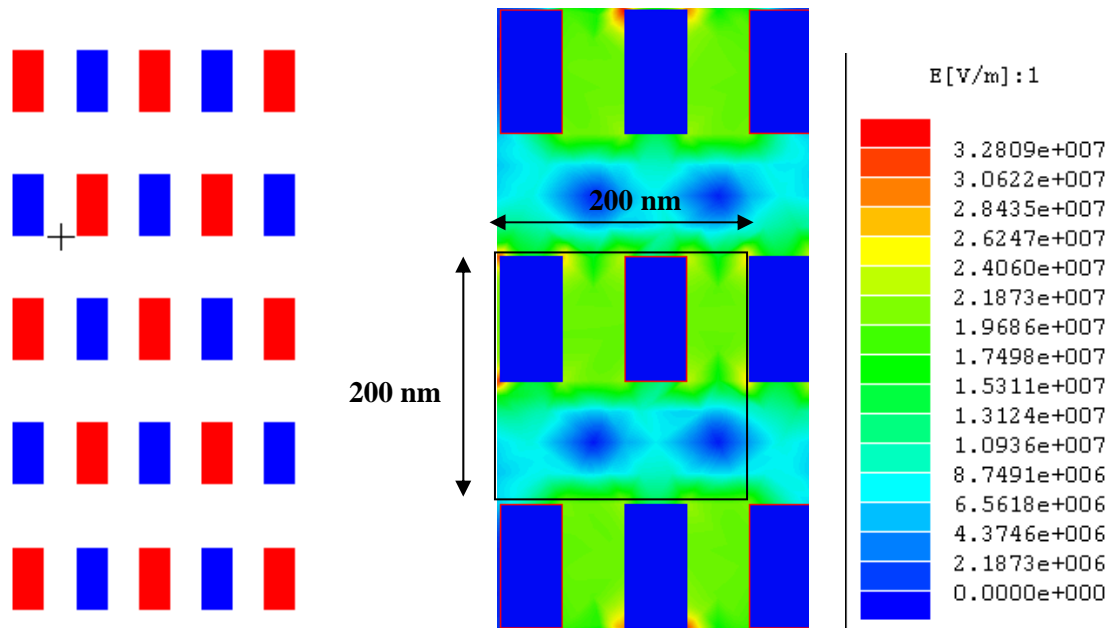


Figure I.2 : Visualisation de la répartition des puissances de champs électriques à l'intérieur de la structure de supercondensateur

On obtient par simulation un champ électrique E maximum de l'ordre de 200 kV/cm (pour $V = 1$ volt en alimentation) et une capacité totale C de l'ordre de 6 nF /m/ interconnect, soit $C = 0,15$ F/cm³

Energie stockée

L'énergie Σ stockée par un condensateur dépend à la fois de sa capacité et de la tension électrique à ses bornes.

$$\Sigma = \frac{1}{2} CV^2$$

Relation [5- 1]

Résistance interne

A volume de supercondensateur constant, donc à capacité constante, la résistance interne sera d'autant plus faible que la section S est grande devant la longueur L d'interconnexions (Figure I.1).

Par simulation électromagnétique, on évalue la résistance interne globale du circuit dédié au stockage de d'énergie (simulations EM Maxwell2D) pour les interconnexions définies en Figure I.2 : $R_{int} \approx 60$ k Ω /cm (résistance linéique d'une interconnexion).

On obtient la résistance interne du circuit dédié au stockage de d'énergie (supercondensateur), tel qu'il est défini en Figure I.1 et Figure I.2, fonction de la section S et de la longueur L :

$$R = R_0 \frac{L}{S} \quad \text{avec} \quad R_0 = 12 \text{ m}\Omega \cdot \text{cm}$$

Exemple 1 :

Pour $V = 10$ V et une capacité $C = 0,15$ F/cm³, on a : $\Sigma = 7,5$ J/cm³ ≈ 2 mWh/cm³

En se basant sur une densité massique du circuit (masse cuivre ≈ 8 g/cm³) de l'ordre de 7.5 g/cm³, on obtient une énergie massique d'environ $\Sigma \approx 1$ J/g soit **0,26 mWh/g**

On donne alors en Tableau 1, la résistance volumique du circuit envisagé, pour 0,1 cm³ de circuit (C = 15 mF). Ce tableau de valeur fait apparaître que la résistance interne R du supercondensateur est très faible, généralement négligeable devant la charge à ses bornes, comme on le montrera dans les exemples ci-dessous.

Résistance pour 0,1 cm ³										
L (mm)	1	2	3	4	5	6	7	8	9	10
S (mm ²)	100.0	50.0	33.3	25.0	20.0	16.7	14.3	12.5	11.1	10.0
R (mΩ)	1	5	11	19	30	43	59	77	97	120

Tableau 1 : Exemples de valeurs de résistance interne du supercondensateur

Exemple 2 :

Exemple d'utilisation de 1 cm³ de BEOL chargé à V_{max} = 10 V, déchargé sur une impédance Z_L = 2 kΩ pour une puissance maximale (à t = 0) de 25 mW. On considère que l'accumulateur est déchargé lorsque sa tension est à 60% de V_{max}. Cet état correspond à un temps Δt = τ/2 (e^{-0.5} = 0.60653).

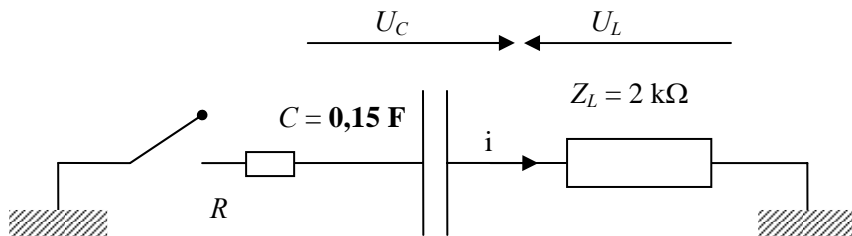


Figure I.3 : Schéma de décharge d'un condensateur

⇒ **Δt = τ/2 = RC/2 = 150 s (soit 2,5 min)**

$$U_C = U_0 e^{-\frac{t}{\tau}}$$

$$i = \frac{U_0}{R} e^{-\frac{t}{\tau}}$$

$$P = \frac{U_0^2}{R} e^{-\frac{2t}{\tau}}$$

Relation [5- 2]

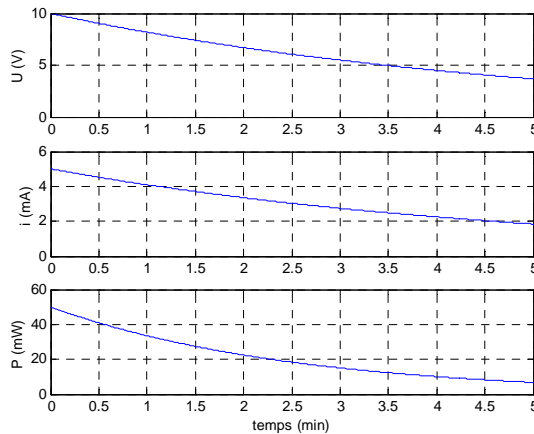


Figure I.4 : Exemple de courbe de décharge du supercondensateur envisagé

Exemple 3 :

Exemple d'utilisation de 0,1 cm³ de BEOL chargé à V_{max} = 3.2 V, déchargé sur une impédance 1 kΩ pour une puissance maximale de 10 mW. On considère que l'accumulateur est déchargé lorsque sa tension est à 60% de V_{max}. Cet état correspond à un temps Δt = τ/2 (e^{-0.5} = 0.60653).

⇒ **Δt = τ/2 = RC/2 = 7,5 s**

Commentaire : La pertinence de l'utilisation du BEOL pour stocker de l'énergie dépendra de l'existence de matériaux diélectriques intégrables, à la fois (et surtout) sans pertes (comme le SiO₂ par exemple), de permittivité diélectrique relative ε_r de l'ordre de 100 (comme le TiO₂ (ε_r ≈ 80) ou le Ta₂O₅ (ε_r ≈ 60) par exemple) et de rigidité diélectrique > 2000 kV/cm, comme le verre par exemple.

II Faisabilité à $f > 10$ GHz d'un coupleur directif fortement intégré, réalisé dans le réseau microélectronique d'interconnexions des puces des nœuds sub-CMOS 45 nm

Ce paragraphe s'inspire des travaux de thèse de F. Fortin [Fortin, 2000], qui avait conçu dans le cadre de sa thèse, en 2000, pour la société Radiall, des coupleurs (centrés sur la fréquence de 2 GHz) contra-directifs à deux lignes parallèles, basés sur le couplage électromagnétique distribué entre deux lignes. Dans le cas des lignes envisagées, relativement larges et épaisses (500 μm de largeur pour 35 μm d'épaisseur), l'hypothèse de pertes actives négligeables avait été formulée, sans écart significatif entre les modèles construits sous cette hypothèse et les post-mesures des dispositifs conçus. L'intérêt de cette simplification, concernant le fait de négliger l'effet des résistances linéiques des lignes, avait permis à l'auteur de formuler des hypothèses simples sur le calcul des longueurs de couplage et sur celui des impédances d'adaptation aux bornes des lignes couplées, cette adaptation d'impédance permettant d'optimiser le transfert de puissance entre l'émetteur (source) et le récepteur (charge).

L'objectif des travaux présentés dans ce paragraphe est de tenter de transférer les travaux de F. Fortin aux interconnexions des circuits intégrés des générations technologiques sub-CMOS 45 nm. L'idée principale est de bénéficier des forts niveaux de couplages entre ces interconnexions dues à leur proximité. La spécificité de ces interconnexions, hormis le fort niveau de couplages inter-lignes, est l'existence de résistances linéique élevées, pouvant devenir un facteur fonctionnel limitant. On essaiera donc de répondre à la faisabilité de ce type de coupleurs très intégrés et on positionnera la démarche effectuée en se référant au cas de lignes sans pertes.

II.1 Définition d'un coupleur

Les coupleurs sont des systèmes destinés à assurer une liaison entre plusieurs accès non connectés, dont la fonction est de répartir dans des proportions connues, la puissance incidente (injectée sur un des accès) sur les $N-1$ accès restants. On peut tirer profit du couplage entre deux lignes pour construire des coupleurs directifs, utilisés en hyperfréquences pour prélever une partie du signal dont on veut mesurer ou contrôler la fréquence et la puissance. On s'intéresse ici à des coupleurs quatre ports, dits d'« entrée », « direct », « couplé » et « isolé ».

II.1.1 Directivité d'un coupleur

Un coupleur directif idéal est un composant passif sans pertes à quatre ports (Figure II.1) sur support isotrope. Chaque port est adapté et la puissance injectée dans le port d'entrée (voie incidente), et divisée entre les deux ports de sortie (voie directe et voie couplée). Le port restant est isolé, ce qui signifie qu'aucune puissance ne lui est transférée. On parle de coupleur co-directif si, lorsqu'un signal d'entrée est présent sur l'accès 1, une première partie de sa puissance est récupérée sur l'accès 3 (le port direct) tandis que la puissance restante est couplée sur l'accès 2 (le port couplé). Au niveau du port isolé, à l'accès 4, il ne devrait pas y avoir de puissance disponible, si le coupleur est idéal. On parle de coupleur contra-directif lorsque les ports 3 et 4 sont inversés (Cf. Figure II.1)

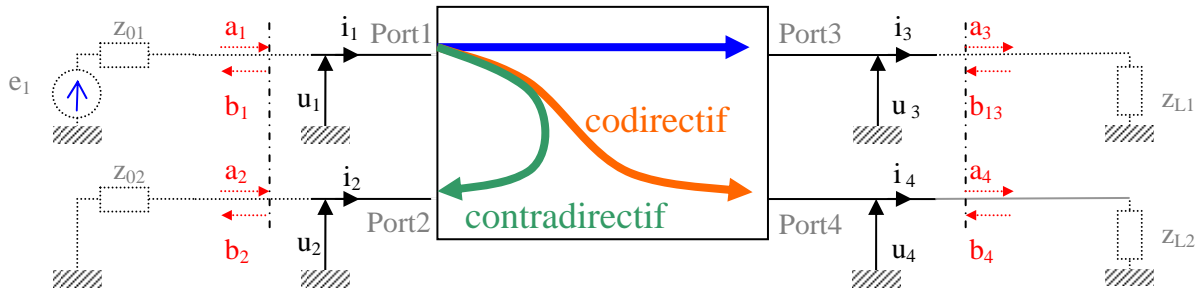


Figure II.1 : Schéma de principe d'un coupleur directif à 4 accès

$$[S] = \begin{bmatrix} b_1 \\ b_2 \\ b_3 \\ b_4 \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \\ a_3 \\ a_4 \end{bmatrix}^{-1} = \begin{bmatrix} S_{11} & S_{12} & S_{13} & S_{14} \\ S_{21} & S_{22} & S_{23} & S_{24} \\ S_{31} & S_{32} & S_{33} & S_{34} \\ S_{41} & S_{42} & S_{43} & S_{44} \end{bmatrix}$$

Relation [5- 3]

II.1.2 Types de coupleurs

On peut distinguer deux types principaux de coupleurs directs:

Les coupleurs à lignes parallèles qui sont les coupleurs basés sur le principe du couplage entre deux lignes parallèles. Ils sont contra-directifs lorsque leur longueur est égale au quart de la longueur d'onde des signaux véhiculés.

Les coupleurs hybrides qui sont des coupleurs co-directifs et pour lesquels ce sont les phénomènes d'interférences entre des lignes de transmission qui régissent les effets de couplage. Ils sont co-directifs lorsque leur longueur est égale au quart de la longueur d'onde des signaux véhiculés

II.1.3 Couplage localisé ou réparti

Selon que le phénomène de couplage s'effectue sur une distance grande ou faible devant la longueur d'ondes des signaux, on parle de couplage réparti ou localisé. Dans les deux cas on peut rendre compte des effets de couplages par des mutuelles inductances (effets magnétiques) et des capacités de couplage (effets électriques), mais dans le premier ces éléments sont localisés (en un ou plusieurs points sur les lignes) alors que dans le second ils sont répartis tout au long des lignes (Figure II.2).

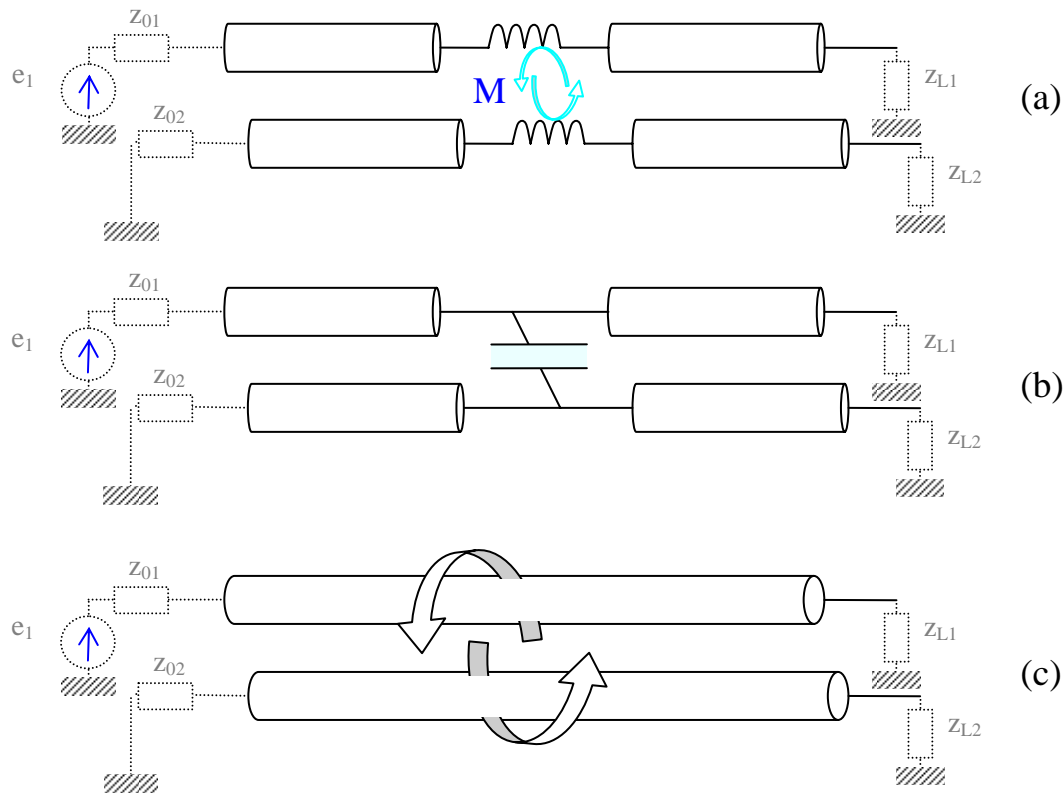


Figure II.2 : Représentation schématique de différentes formes de couplages : (a) selfique localisé ; (b) capacitif localisé ; (c) mixte et distribué

- *couplage localisé*

Il y a différents types de couplage localisé : le purement capacitif, le purement selfique et le mixte. Le couplage est dit ‘localisé’ lorsque la longueur d’onde du signal incident est bien supérieure aux dimensions de la zone de couplage, ça veut dire que la condition de distance de couplage très petite devant la longueur d’onde est assez mal adaptée aux signaux logiques. Les figures suivantes montrent les situations de couplages capacitif et selfique localisés.

- *couplage distribué*

Lorsque le couplage entre des lignes qui participent à la fonction de couplage, s’effectue sur une longueur non négligeable devant la longueur d’onde, on parle alors de couplage distribué.

II.2 Contexte et articulation de notre étude

Nous avons choisi de placer notre étude dans le cas classique de celui d’un coupleur à lignes parallèles (coupleur contra-directif) dans lequel le couplage s’opère de manière distribuée et dont la configuration est donnée en Figure II.3. Ce coupleur, doté de lignes à pertes, sera centré sur une fréquence de travail de 60 GHz, fréquence à laquelle de nombreuses applications sont en cours de développement (radars équipant les voitures par exemple, ou solutions WLAN sans fils à très haut débit (> 2 Gbits/s)).

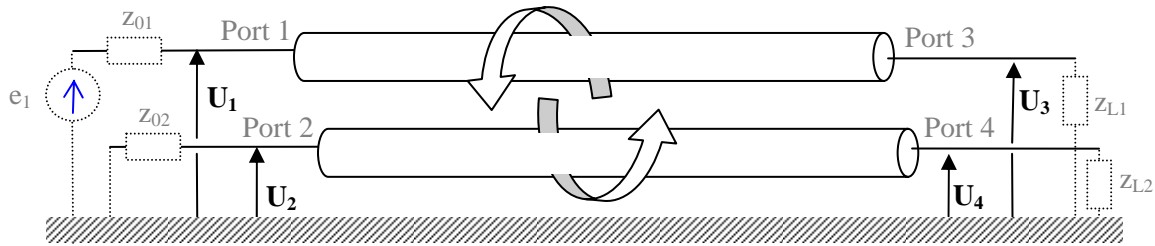


Figure II.3 : Couplage réparti (ou distribué)

Dans la suite de ce chapitre, nous présentons la méthodologie de calcul des grandeurs essentielles à la conception des coupleurs, notamment la longueur d'onde et la longueur optimale des interconnexions couplées pour une fréquence donnée. Nous abordons ensuite la problématique de l'adaptation des coupleurs par un réseau d'impédances placées au niveau des ports du coupleur. Enfin, nous présenterons de manière non exhaustive les résultats des études réalisées en proposant une comparaison avec le cas d'un coupleur équipé de lignes sans pertes. Préalablement, sont rappelés les définitions des indicateurs ou métriques qui permettent d'évaluer les performances des coupleurs.

II.3 Rappel des métriques de caractérisation du couplage

Les principaux indicateurs qui permettent d'analyser les performances d'un coupleur sont :

- la valeur du couplage
- l'isolation
- la directivité
- l'affaiblissement.

Pour un coupleur contradictif :

- *Le couplage K* : est donné par le rapport de la puissance disponible sur le port dit "couple" (port 2) avec la puissance incidente (port 1).

$$K_{dB} = 10 \log \left[\frac{P_2}{P_1} \right] = 20 \log(S_{21})$$

Relation [5- 4]

- *L'isolation I* : est définie comme étant égale au rapport de la puissance émergente au port dit "isolé" (port 4) avec la puissance incidente.

$$I_{dB} = 10 \log \left[\frac{P_4}{P_1} \right] = 20 \log(S_{41})$$

Relation [5- 5]

- *L'Affaiblissement A* : est défini comme étant le rapport de la puissance transmise au port appelé "direct" (port 3) avec la puissance incidente.

$$A_{dB} = 10 \log \left[\frac{P_3}{P_1} \right] = 20 \log(S_{31})$$

Relation [5- 6]

On note donc que les grandeurs caractéristiques de couplage de deux lignes couplées sont connues aussi bien à partir des puissances que des paramètres S.

La fraction de signal qui sort par l'accès 3 ou 4 respectivement, diminue quand la distance qui sépare les lignes augmente. Le phénomène de couplage entre les deux lignes se produit sur une longueur que l'on appelle longueur de couplage. A la fréquence de fonctionnement du coupleur, cette longueur est égale au quart de la longueur d'onde des signaux véhiculés.

II.4 Calcul de la longueur de couplage

Pour établir la longueur de couplage, au préalable il est nécessaire de déterminer la longueur d'onde des signaux qui seront véhiculés sur les interconnexions.

II.4.1 Calcul de la longueur d'onde

En partant des définitions des longueurs d'ondes $\lambda(\omega)$ d'un signal se propageant le long d'une ligne de propagation d'exposant de propagation $\gamma(\omega) = \alpha(\omega) + j\beta(\omega)$, on obtient la **Erreur ! Source du renvoi introuvable.**

$$\lambda(\omega) = \frac{2\pi}{\beta(\omega)}$$

Relation [5- 7]

Par ailleurs, lorsqu'il n'y a pas de pertes, ni dans les conducteurs, ni dans les diélectriques, le terme de phase $\beta_{\text{sans pertes}}(\omega)$ de la réponse fréquentielle de la ligne s'écrit comme en **Erreur ! Source du renvoi introuvable.** (Cf. Annexe 15).

$$\beta_{\text{sans pertes}}(\omega) = \omega\sqrt{LC} = \omega\sqrt{\mu_0\epsilon_0\epsilon_r} = \omega\frac{\sqrt{\epsilon_r}}{C_0}$$

Relation [5- 8]

Lorsqu'il y a des pertes dans les conducteurs et/ou dans les diélectriques, l'expression générale de $\beta(\omega)$, sous la forme d'une modélisation électrique *RLCG*, devient :

$$\beta(\omega) = \sqrt{\frac{1}{2} \times \sqrt{\left((R(\omega)^2 + \omega^2 L^2(\omega)) (G^2(\omega) + \omega^2 C^2(\omega)) - (R(\omega)G(\omega) - \omega^2 L(\omega)C(\omega)) \right)}}$$

Relation [5- 9]

Par extension du cas sans pertes, on écrit plutôt:

$$\beta(\omega) = \omega \frac{\sqrt{\epsilon_{r\text{eff}}(\omega)}}{C_0}$$

Relation [5- 10]

La permittivité diélectrique **effective** $\epsilon_{r\text{eff}}(\omega)$ est alors définie par la relation

$$\sqrt{\epsilon_{r\text{eff}}(\omega)} = \frac{C_0\beta(\omega)}{\omega}$$

Relation [5- 11]

La valeur de la permittivité effective dépend conjointement des effets capacitifs, inductifs, conductifs et résistifs de la ligne au regard de la Relation [5- 10] et de la Relation [5- 11].

En conclusion, l'expression de la longueur d'onde s'écrira:

$$\lambda(\omega) = \frac{2\pi C_0}{\omega \sqrt{\epsilon_{r\text{eff}}(\omega)}}$$

Relation [5- 12]

Remarque : il faut noter qu'au sens physique du terme, $\epsilon_{r\text{eff}}$ n'est plus du tout assimilable à une permittivité, compte-tenu de son expression en Relation [5- 10] et de la Relation [5- 11]. Certains auteurs appellent plutôt ce terme « facteur de ralentissement ».

II.4.2 Calcul de la longueur $L_c(f)$ de couplage idéale (entre deux interconnexions)

Dans le cas de coupleurs à ligne sans pertes, la longueur des coupleurs est égale au quart de la longueur d'onde des signaux véhiculés. Ceci permet d'avoir un port isolé (pas d'énergie transmise) utile dans certaines applications. Pour notre cas d'étude, coupleur à lignes à pertes, nous prendrons également L_c égale au quart de la longueur d'onde afin d'établir une comparaison au cas de coupleurs à lignes sans pertes. $L_c(f)$ est alors donnée par la formule suivante :

$$L_c(f) = \frac{\lambda(f)}{4} = \frac{C_0}{4f \sqrt{\epsilon_{r\text{eff}}(f)}}$$

Relation [5- 13]

Dans le cas de lignes à pertes, la permittivité effective impacte largement la valeur de la longueur de couplage et contribue à la faire évoluer non linéairement en fonction de la fréquence. A titre d'illustration, les deux figures ci-dessous montrent l'évolution de la permittivité effective selon deux configurations : lorsque le matériau diélectrique englobant les lignes couplées a une permittivité relative de 4 et lorsqu'elle s'élève à 100.

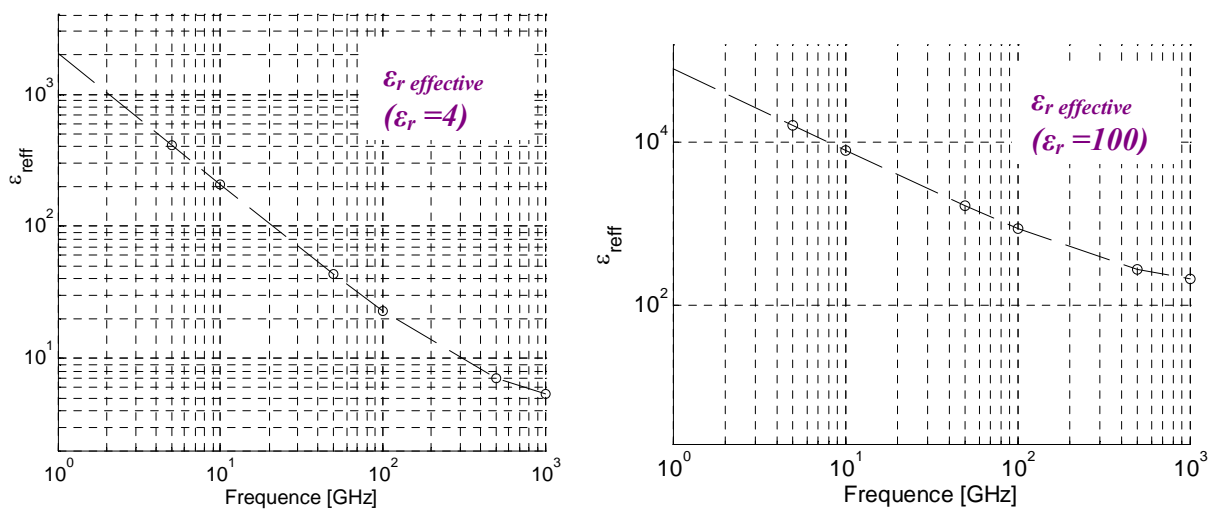


Figure II.4 : Valeurs de permittivité relative effective en fonction de la fréquence obtenues selon deux configurations ; lorsque le matériau diélectrique englobant les lignes prend les valeurs de permittivité relative 4 et 100.

- La Figure II.5 ci-dessous regroupe les résultats d'un ensemble d'études menées en simulation. Elle compare l'évolution de la longueur de couplage en fonction de la fréquence de différents cas de lignes sans pertes à celui d'une ligne à pertes. Dans les cas sans pertes, le matériau diélectrique englobant les interconnexions prendra une valeur de permittivité relative comprise entre 2 et 128. Dans le cas avec pertes, le diélectrique a une permittivité relative de 4.

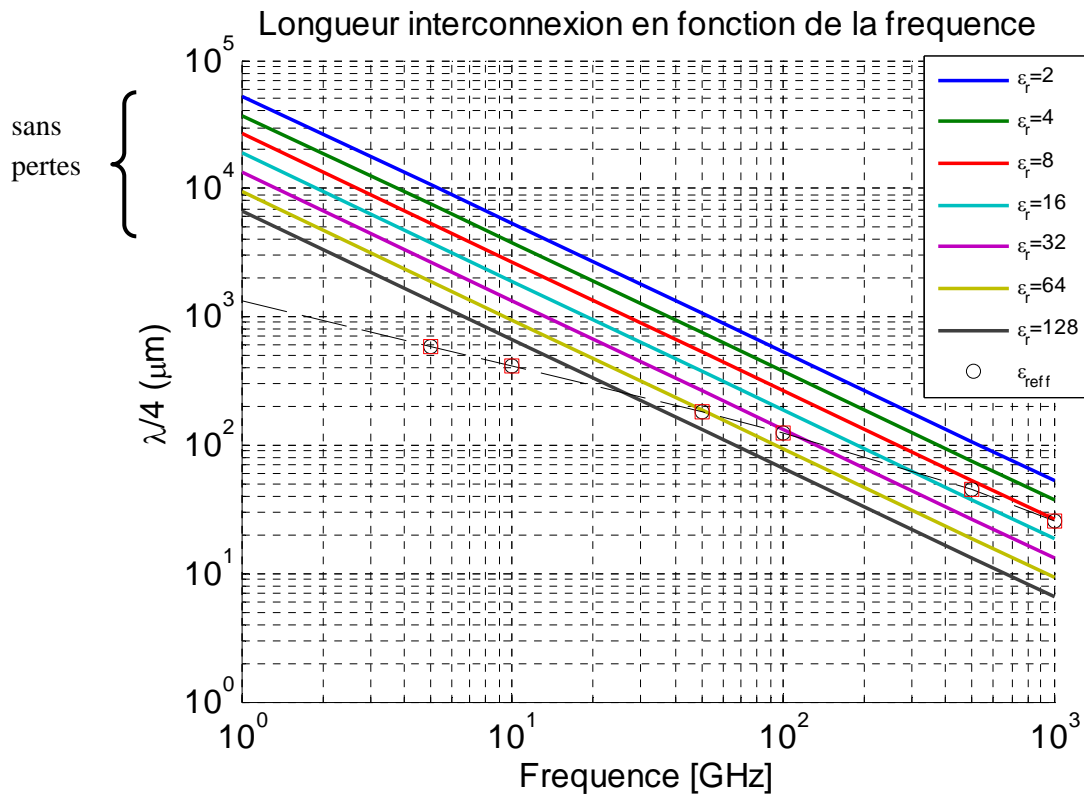


Figure II.5 : Longueurs de couplage utiles en fonction de la fréquence de couplage voulue ; Comparaison du cas avec pertes à différents cas de coupleurs sans pertes intégrant des matériaux diélectriques de différentes permittivités relatives

L'analyse de la figure nous permet en particulier de relever deux résultats essentiels:

- La réalisation d'un coupleur 60 GHz (dont la longueur de couplage serait de l'ordre de 300 μm) dans le cas de lignes sans pertes requerrait l'intégration d'un matériau diélectrique d'une permittivité relative de l'ordre de 64 alors que dans le cas de ligne à pertes, le matériau diélectrique à intégrer peut maintenir une permittivité de 4. Cette dernière valeur est plus réaliste compte tenu des difficultés liées au développement et à l'intégration de matériaux de permittivité élevée.
- L'évolution de la longueur de couplage dans le cas de lignes à pertes montre un taux de décroissance plus faible avec la fréquence que dans le cas sans pertes. Cette caractéristique tend à montrer que les coupleurs réalisés avec des lignes à pertes sont de nature à être plus large bande.

II.5 Adaptation

Pour adapter de manière optimale deux lignes couplées, il est nécessaire de connecter au niveau des accès de ces lignes un réseau de trois impédances [Gardiol, 2004] disposées en T ou en Π comme présenté sur le schéma ci-dessous.

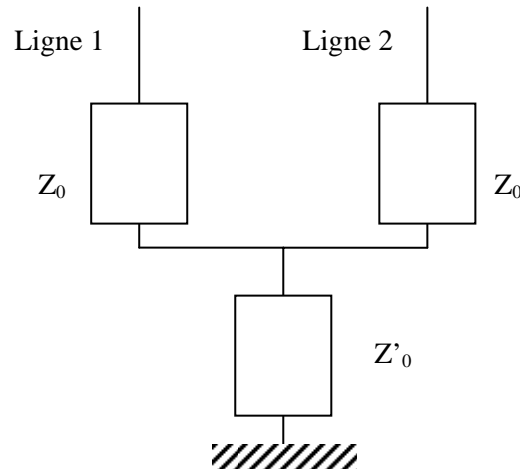


Figure II.6 : Réseau d'adaptation en T pour 2 lignes couplées symétriques

Ces impédances sont calculées à partir de relations données en Annexe 6, liant des impédances Z_{oc} et Z_{od} des modes de propagation pair et impair issues de la théorie modale associée aux calculs sur les lignes couplées.

En pratique, il n'est malheureusement pas toujours possible d'adapter les lignes couplées par un réseau de trois impédances si bien que la solution adoptée consiste à retirer l'impédance $Z_{o'}$ et à prendre la moyenne géométrique des deux impédances des modes pair et impair Z_{oc} et Z_{od} :

$$Z_o = \sqrt{Z_{oc} \cdot Z_{od}}$$

Relation [5- 14]

Cette solution s'avère être un compromis acceptable aussi bien à l'entrée qu'en sortie des lignes couplées compte tenu de l'erreur d'adaptation engendrée relativement faible [Fortin, 2000].

II.5.1 Application numérique: Cas « lignes sans pertes »

Dans le cas de lignes sans pertes, il est démontré [FOR] que l'impédance Z_o est calculable directement à partir des paramètres linéiques L et C propres des lignes selon la relation suivante :

$$Z_o = \sqrt{\frac{L}{C}} = \sqrt{Z_{oc} \cdot Z_{od}}$$

Relation [5- 15]

L'application numérique découlant d'une modélisation de lignes couplées en technologie 45 nm à l'aide du logiciel MAXWELL 2D donne une impédance Z_0 telle que :

$$Z_0 = Z_s = \sqrt{\frac{L}{C}} = 43\Omega$$

Relation [5- 16]

L : est la inductance propre L_{11} obtenu par simulation EM Maxwell 2D ($L_{11} = 3.85 \cdot 10^{-7}$ H/m)

C : est la capacité propre obtenue en effectuant la différence des capacités C_{11} et C_{21} définies au sens de Maxwell que le simulateur EM Maxwell 2D délivre ($C_{11} \text{ Maxwellienne} = 2.10^{-10}$ F/m, $C_{21} \text{ Maxwellienne} = 3.10^{-11}$ F/m).

On note que dans cet exemple, l'adaptation que l'on réalise s'établit à partir de Z_0 calculée dans le cas sans pertes ce qui de toute évidence risque de s'avérer inadéquat à notre problématique (cas lignes avec pertes). Ainsi l'application numérique dans le cas « lignes avec pertes » du paragraphe suivant propose une adaptation plus efficace.

II.5.2 Application numérique: Cas « lignes sans pertes »

Dans le cas « lignes avec pertes » il est nécessaire de déterminer les impédances modales afin de calculer Z_0 puisque cette dernière reste toujours égale à leur moyenne géométrique mais en revanche n'est plus égale à la racine carrée du rapport des paramètres linéiques propres L et C .

$$Z_0 = \sqrt{Z_{oc} \cdot Z_{od}} \neq \sqrt{\frac{L}{C}}$$

Relation [5- 17]

L'application numérique découlant d'une modélisation de lignes couplées en technologie 45 nm à l'aide du logiciel MAXWELL 2D donne une impédance Z_0 à 60 GHz telle que :

$$Z_0 = \sqrt{Z_{oc} \cdot Z_{od}} = 124 - 116j \quad [\Omega]$$

Relation [5- 18]

Avec à la fréquence de 60 GHz

$$Z_{oc} = 99,8 + 95,3j$$

$$Z_{od} = 155 + 141j$$

On rappelle que compte tenu du fait que les pertes sont prises en comptes, les impédances modales varient en fonction de la fréquence. Il était donc nécessaire de calculer ces dernières à la fréquence de 60 GHz, fréquence à laquelle on désire faire fonctionner notre coupleur.

A titre d'illustration, on peut observer (Figure II.7) que les paramètres S_{11} , S_{22} , S_{33} , S_{44} sont relativement faibles à la fréquence de 60GHz témoignant d'une bonne adaptation.

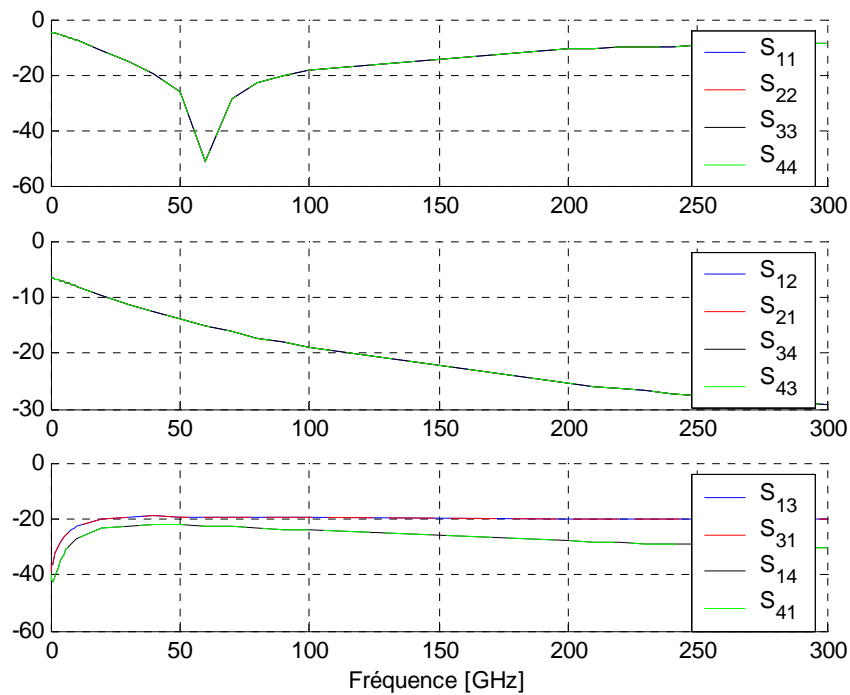


Figure II.7 : Paramètres S du coupleur à lignes à pertes adapté sur la fréquence 60 GHz

II.6 Résultats des études réalisées

La Figure II.9 ci-dessous propose une comparaison des caractéristiques de chacun des coupleurs (coupleurs avec et sans pertes) dans la configuration suivante sachant que le diélectrique englobant les interconnexions a une permittivité relative faible ($\epsilon_r=4$) :

- dimensions du coupleur : $20 \text{ nm} < S < 70 \text{ nm}$ et $w=70 \text{ nm}$ (Cf. Figure II.8)

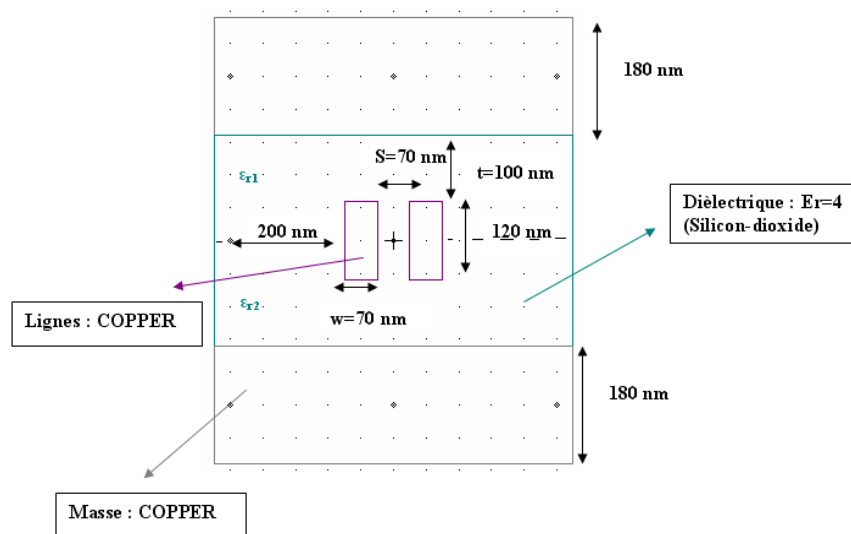
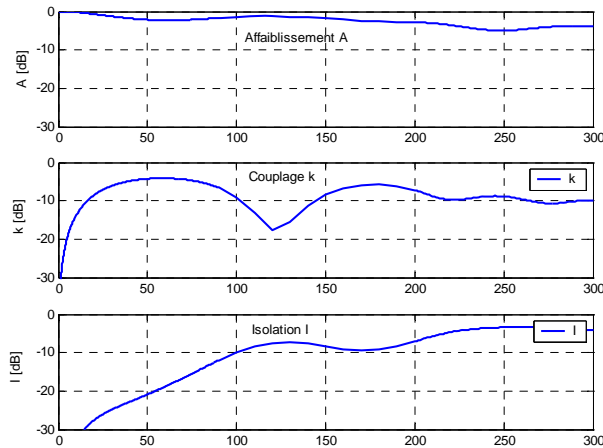


Figure II.8 : Coupe transversale du circuit triplaqué utilisé

Coupleur lignes sans pertes

$$\text{Adaptation } Z_o = \sqrt{\frac{L}{C}}$$

**Coupleur lignes à pertes**

$$\text{Adaptation à 60 GHz } Z_o = \sqrt{Z_{oc} \cdot Z_{od}}$$

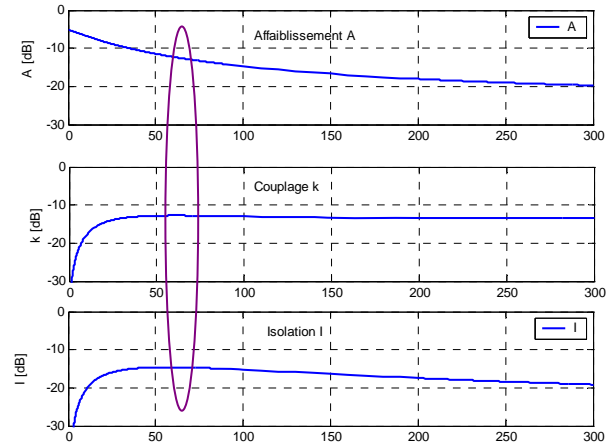


Figure II.9 : Comparaison des performances, notamment à 60 GHz, des coupleurs à lignes à pertes/lignes sans pertes au moyen des métriques : A (affaiblissement), K (couplage) et I (isolation)

En considérant les résultats ci-dessus et d'autres non présentés dans ce manuscrit, deux points essentiels ressortent des études effectuées :

- Les performances du coupleur avec lignes à pertes avec son adaptation appropriée sont comparables à celles du coupleur à lignes sans pertes.
- On constate une légère amélioration des performances du coupleur si ce dernier est adapté de manière appropriée (en prenant $Z_o = \sqrt{Z_{oc} \cdot Z_{od}}$), notamment à 60 GHz, fréquence à laquelle on souhaite faire fonctionner le coupleur.

II.7 Conclusions

Le but de cette étude prospective était d'étudier la faisabilité pour des fréquences supérieures à la dizaine de GHz d'un coupleur directif fortement intégrés et réalisé dans le réseau microélectronique d'interconnexions des puces des nœuds CMOS sub 45 nm. La spécificité des interconnexions de la génération 45 nm et sub - 45 nm est un fort niveau de diaphonie. Cette diaphonie est liée au couplage capacitif dû au fait que les interconnexions ont à la fois une grande épaisseur (supérieure à 100 nm) et un très faible espacement ($1/2$ pitch) à l'intérieur du même niveau métal (entre 50 et 70 nm). On a donc essayé de tirer bénéfice ce nouveau phénomène (qui est en général considéré comme un inconvénient au bon fonctionnement du circuit). Les conclusions suivantes sont focalisées sur la faisabilité uniquement. On a donc développé différents modèles de coupleurs en faisant varier la géométrie et les matériaux diélectriques autour de la technologie nominale CMOS 45 nm. De plus le choix de conditions d'adaptation optimales s'est montré crucial.

Des questions se sont posées tout au long de cette étude autour du caractère fortement résistif des interconnexions de la génération CMOS 45 nm :

- Peut-on utiliser les mêmes méthodes de calcul que pour le cas des hypothèses de lignes sans pertes ?
- Le fait que les lignes soit fortement résistives en comparaison avec les générations technologiques précédentes est-il un obstacle rédhibitoire à l'obtention d'une fonction de couplage efficace ?

Pour répondre à la première question, on a mis en évidence deux spécificités des interconnexions fortement intégrées :

- Le calcul des longueurs de couplage ($\frac{1}{4}$ de la longueur d'onde) est conditionné à la fréquence de travail ou fonctionnement que l'on souhaite obtenir. Le calcul de la longueur d'onde correspondant à une fréquence donnée dépend de la permittivité effective du réseau d'interconnexions. L'hypothèse de lignes sans pertes, qui prend en compte uniquement la permittivité réelle du matériau ne peut en aucun cas être utilisée ici.

- Le calcul du réseau d'adaptation à l'interface ne peut pas non plus être calculé à partir d'une hypothèse de pertes actives ohmiques négligeables ($R=0$) pour laquelle l'impédance d'adaptation est constante avec la fréquence. Dans notre cas il faut placer aux interfaces du réseau d'interconnexions des impédances adaptées à la fréquence de couplage recherchée (dans notre étude, nous nous sommes focalisés sur 60 GHz).

En ce qui concerne la deuxième question posée, les résultats des études réalisées sont assez encourageants. En effet, en termes de performance on peut noter comme point positif un faible impact des résistances sur la puissance du couplage. D'un autre côté le fort affaiblissement lié aux pertes résistives restera toujours la limite de ce type de coupleurs. D'autre part, bien qu'on obtienne une très bonne isolation en optimisant les conditions d'adaptation, la puissance de couplage elle-même n'est pas très élevée. On a montré qu'en rapprochant encore les lignes ou en introduisant des matériaux diélectriques high-K (forte permittivité), le couplage pouvait être nettement amélioré (jusqu'à -6 dB).

Pour l'avenir, on peut envisager des performances encore meilleures lorsque la technologie sera mûre pour introduire entre les interconnexions des matériaux diélectriques intra niveaux métal spécifiques de permittivité plus forte que le diélectrique inter niveaux métal. La possibilité d'exploiter le couplage entre lignes voisines, en utilisant en outre des conditions d'adaptations optimales aux interfaces des interconnexions, pourra permettre de nouvelles fonctionnalités dans les circuits : transmission passe-bande sans fil d'un signal bande étroite d'une interconnexion sur l'autre, control ou mesure du signal, multiplexage multi lignes,



Cependant M. Cryptogame fait neuf fois le tour du pont sans trouver d'issue.



Accourue sur le pont, Elvire se met à la poursuite de M. Cryptogame.



Voyant cela, le docteur fuit et poursuit tout ensemble, sans y comprendre rien.

(Extrait de [Töpffer, 1830])

Conclusion et perspectives

Bilan et conclusion

On a rappelé les **améliorations** apportées par d'avantage d'intégration dans les circuits numériques de technologie CMOS en termes de performances, de cout et de consommation électrique. On a souligné le fait que cette intégration des circuits, en dépit des améliorations obtenues, au niveau des composants actifs, menaient à des niveaux de diaphonie et une augmentation des délais dans le BEOL qui allait potentiellement à l'encontre d'une partie de ces améliorations.

On donc insisté sur la nécessité d'obtenir une description comportementale précise des interconnexions et mis en place des outils de modélisations permettant de prendre en compte en particulier les effets des couplages dans un réseau dense d'interconnexions et celui de l'environnement diélectrique des interconnexions. On a intégré ces outils dans un simulateur qui grâce à un traitement minutieux permet d'obtenir une prédiction des performances dans le domaine temporel. Une partie de ces outils pourra être réutilisée dans d'autres études HF, voir dans d'autres contextes.

On a également proposé une procédure dite de de-embedding, dont l'objectif est d'éliminer les erreurs induites par les véhicules de tests lors de la caractérisation HF de dispositifs **intégrés**, et donc potentiellement enfouis dans l'empilement technologique.

A partir des évaluations précises des performances obtenues grâce au simulateur, on a cherché à optimiser le circuit avec une approche systémique globale :

- Définition de métriques de performances globales à optimiser (vitesse, portée, ...)
- Identification des facteurs dont les effets sont prépondérants sur les performances et sur lesquels les technologues ont la possibilité d'**agir** (largeurs et espacement des interconnexions, taille et nombre de répéteurs)

Les simulations, dont les résultats ont été présentés dans le chapitre 4, ont permis d'établir un certain nombre de préceptes importants :

1. Vitesse et diaphonie : Pour une génération technologique donnée et une longueur d'interconnexion donnée, il existe une taille et un nombre de répéteurs qui minimisent le délai, tandis que la diaphonie diminue avec la taille et le nombre de répéteurs.
2. Portée : On montre qu'en fixant de manière optimale les valeurs des tailles et les nombres de répéteurs, la portée augmente de façon quasi linéaire avec la valeur du $\frac{1}{2}$ pitch entre interconnexions, c'est-à-dire qu'elle diminue linéairement avec le facteur d'intégration d'une génération technologique à la suivante.
3. Coût : Il existe donc une taille et un nombre de répéteurs qui maximisent la portée des interconnexions, mais cette maximisation de la portée a un coût très significatif en composants actifs. On montre, en revanche, qu'en relâchant la contrainte de densité d'interconnexions dans le BEOL, on réduit de manière très significative ce coût en composants actifs.

En première conclusion, à performances égale, il existe un compromis à trouver entre un surcroît de complexité lié au nombre et à la taille des répéteurs d'une part, et l'adjonction de niveaux de métallisation supplémentaires, lié à la relaxation de la contrainte de densité d'interconnexions d'autre part.

En partant de ces premières conclusions, on a fait varier les contraintes de délais et de diaphonie.

- **Contrainte de délai** : on montre que si les tailles et les nombres de répéteurs ont été optimisés pour maximiser la vitesse, la portée est quasiment proportionnelle à la contrainte de délai. Cela signifie que des liaisons liées à des horloges plus lentes que l'horloge nominale, ont des portées proportionnellement plus longues.

On peut en conclure que l'augmentation des délais dans le BEOL lors du passage d'une génération à la suivante **n'est pas nécessairement dramatique** si la conception architecturale globale du circuit réussit à avoir une topologie systématique de type « fractale » : les opérations doivent d'être d'autant plus locales qu'elles sont cadencées sur les horloges les plus rapides.

- **Contrainte de diaphonie** : Les résultats de simulation obtenus montrent enfin qu'à partir des générations sub-CMOS 45 nm ($1/2 \text{ pitch} \leq 50 \text{ nm}$), la contrainte de diaphonie commence à agir significativement sur la portée à cause de la proximité des conducteurs. Ce niveau de diaphonie devient donc particulièrement contraignant dans la mesure où il peut potentiellement générer une augmentation de la gigue sur les signaux logiques, une augmentation de la consommation de court-circuit et une augmentation des erreurs de traitement. Si l'un au moins de ces trois aspects s'avérait critique, c'est à étudier davantage, il faudra alors envisager un **ralentissement** des horloges qui ira à l'encontre d'une partie des bénéfices attendus par l'intégration.

En conclusion générale, l'ensemble de ces résultats soulignent la nécessité, plus que jamais à partir des la génération CMOS 45 nm, d'une rationalisation de la conception de circuits, prenant compte, globalement de l'ensemble des facteurs technologiques et architecturaux des circuits.

Nous insistons encore ici sur la nécessité de modélisations à la fois les plus globales et les plus précises possibles afin de trouver les meilleurs compromis entre performance, coût et consommation. Cela implique qu'architectes et concepteurs de circuits, technologues et concepteurs de logiciels de conception microélectronique soient capable d'interagir mutuellement. L'objectif sera de glisser encore et toujours plus vers une approche de la réalisation de circuits de plus en plus rationnelle et de moins en moins empirique. Ce souci semble être la condition nécessaire à de l'avenir des technologies CMOS classiques sur la ligne « more Moore ».

Perspectives

A l'issu de ce travail de doctorat, les perspectives principales qu'on peut mettre en avant sont les suivantes :

1. **Modélisation fine des composants d'extrémité** : un modèle sophistiqué et précis a été obtenu pour décrire le comportement des interconnexions. En revanche, la modélisation des transistors MOS nécessiterait une approche plus rigoureuse pour traiter certaines situations. La caractérisation fine des transistors est généralement faite en régime établi. Dans nos simulations, nous avons opté, par défaut, pour des modèles électriques simples du premier ordre (résistances et capacités) couplés à une

hypothèse d'interrupteur idéal pour les inverseurs CMOS. Il faudrait pouvoir obtenir une description dynamique des transistors réels tout en pouvant traiter leur comportement non linéaire afin de mieux évaluer encore les tensions et les courants aux interfaces des interconnexions. Cela permettra de lever les ambiguïtés sur les formes effectives des fronts des signaux logiques.

2. **Critères de performances** : dans ce travail de doctorat, on s'est particulièrement intéressé à l'impact des architectures d'interconnexions et des matériaux qui les constituent sur les temps de montées et les niveaux de diaphonie qui sont deux critères de performance essentiels. Néanmoins, on peut définir d'autres critères de performances pertinents que sont la consommation (en particulier pour les applications embarquées) ou le jitter par exemple. Nous pensons en outre que l'évaluation de l'impact de la diaphonie sur la consommation et le niveau de jitter devrait être approfondi, tout particulièrement pour les générations sub-CMOS 45 nm, pour lesquelles ces niveaux deviennent très importants. Il sera intéressant d'utiliser aussi d'autres outils d'analyse globale des performances comme les diagrammes de l'œil, par exemple, qui permettent d'évaluer qualitativement et globalement l'intégrité du signal (jitter, temps de montée, interférences).

3. **Approche transversale dans la conception des circuits** : Il faudra peut-être revoir la philosophie et les moyens invoqués dans la conception des circuits. On ne peut qu'insister sur la nécessité de faire interagir concepteurs et technologues. On peut également opter pour une différenciation au sein du réseau d'interconnexions d'un circuit de zones « à risques », comme par exemple nécessitant des fréquences de fonctionnement très élevées ou une bonne intégrité des signaux, et d'autre part de zones « sans risque ». Pour les zones « à risques », il faudra alors relâcher les contraintes d'intégration afin d'atteindre les performances requises. Cette dernière vision est assimilable celle développée via les technologies d'intégration 3D, et en particulier l'intégration hétérogène qui permet d'associer des puces aux fonctionnalités différentes, et par conséquent issues de technologies différentes, et véhiculant des signaux de nature différentes. Concernant les moyens, de nouveaux travaux de recherche sur les logiciels de conception « intelligents » pourraient permettre d'obtenir une meilleure rationalisation des architectures d'interconnexions des circuits.

4. **Fonctionnalisation des interconnexions** : comme abordé dans le chapitre 5, il reste beaucoup d'innovations à apporter au niveau du back-end, principalement grâce à l'intégration de nouveaux matériaux. Ce back-end ne mérite pas d'être réduit à la simple fonction de transmission point à point du signal et il est certainement possible de le rendre beaucoup plus fonctionnel. Ceci est déjà fait à travers l'intégration de composants passifs comme des capacités, des inductances ou des filtres mais on pourrait aller plus loin en termes d'intégration de fonctions électroniques (coupleurs, diviseurs, lignes à retard, déphaseurs, filtres ajustables, supercondensateurs, ...) et encore bien au-delà : on pourrait imaginer l'intégration d'oxyde à commutation de résistance [Kamel, 2009],[Bernard, 2009], [Gonon, 2010] qui permettront de réaliser des interconnexions pouvant jouer le rôle d'interrupteurs, voire de multiplexeurs, dès que certains obstacles technologiques, comme la rapidité de commutation de ces matériaux, auront été franchis.



XIN DE L'HISTOIRE DE M. CRYPTOGAME.

Références

- [Agarwal, 2006] Agarwal, K.; Sylvester, D.; Blaauw, D.; “Modeling and analysis of crosstalk noise in coupled RLC interconnects”, IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 25, pp. 892-901, May 2006
- [Bakoglu, 1985] H. B. Bakoglu and J. D. Miendl, "Optimal Interconnection Circuits for VLSI," IEEE Transaction on Electron Devices, Vol ED-32, No. 32, May 1985.
- [Banerjee, 2002] K. Banerjee, A. Mehrotra, “Analysis of on-chip inductance effects for distributed RLC interconnects” , IEEE Trans. Computer-Aided Design Integr. Circuits Syst., vol. 21, pp. 904–915, Aug. 2002.
- [Bermond, 2001] Thèse de doctorat de Cedric Bermond, « Caractérisation et modélisation des effets parasites liés aux interconnexions sur les performances électriques des circuits intégrés ultra rapides ». Université de Savoie, 13 décembre 2001.
- [Bernard, 2009] Y. Bernard, P. Gonon, V. Jousseume, “Y. Bernard, P. Gonon, and V. Jousseume, “Resistance switching of Cu/SiO₂ memory cells studied under voltage and current-driven modes,” Appl. Phys. Lett., vol. 96, no. 19, pp. 193 502-1–193 502-3, May 2010.
- [Blampey, 2007] Thèse de doctorat de Benjamin Blampey, « Développement de méthodes de modélisation et de caractérisation hyperfréquences des réseaux d’interconnexions de circuits intégrés sub-CMOS 65 nm », Université de Savoie, 10 mai 2007.
- [Combes, 1996] P.F. Combes. Micro-ondes. Lignes, guides et cavités. Edition Dunod, Paris, 1996.
- [Cregut, 1998] Thèse de doctorat de Corinne Cregut, « Modélisation théorique et consolidation expérimentale des interconnexions en technologie silicium avancée ». Université Joseph Fourier, 30 octobre 1998.
- [Delorme, 1997] Thèse de doctorat de Nicolas Delorme, « Influence des interconnexions sur les performances des circuits intégrés silicium en technologie sub-CMOS-0,25µm, Institut national Polytechnique de Grenoble, 6 novembre 1997.
- [Deschacht, 2010] D. Deschacht, S. de Rivaz, A. Farcy, T. Lacrevez, B. Fléchet, “Keep on shrinking interconnect size: is it still the best solution?”, in International Electronics Manufacturing Technology Conference, IEMT 2010, Nov. 30 – Dec. 2, 2010, Melaka, Malaysia.
- [Deutsch, 1995] A. Deutsch, G. V. Kopcsay, C. W. Surovic, B. J. Rubin, L. M. Terman, R. P. Dunne, Jr., T. A. Gallo, and R. H. Dennard, "Modeling and Characterization of Long On-Chip Interconnections for High-Performance Microprocessors," IBM J. Res. & Dev. 39, 547-567, September 1995.
- [Eid, 2010] E. Eid, T. Lacrevez, C. Bermond, S. De Rivaz, S. Capraro, J. Roullard, L. Cadix, B. Fléchet, A. Farcy, P. Ancey, F. Calmon, O. Valorge, P. Leduc, “Characterization and Modeling of RF Substrate Coupling Effects due to Vertical Interconnects in 3D Integrated

Circuit Stacking “ IEEE Signal Propagation on Interconnects, May 9-12, 2010, Hidelshheim, Germany.

[Elfadel, 2004] M. Elfadel, A. Deutsch, H. H. Smith, B. J. Rubin, and G. V. Kopcsay, “A multiconductor transmission line methodology for global on-chip interconnect modelling and analysis,” IEEE Trans. Adv. Packag., vol. 27, no. 1, pp. 71–78, Feb. 2004.

[Engen, 1979] G.F. Engen, C.A.Hoer. “Thru-Reflect-Line: An Improved Technique for Calibration the Dual Six-Port Automatic Network Analyser”. IEEE Mic.Theory & Tech. Vol. MTT-27, n°12, pp.987-993, Déc. 1979

[Farcy, 2008] A. Farcy, M. Gallitre, V. Arnal, J. Torres, B. Fléchet, P. Ancey, “Evolution and challenges of interconnect technologies and performance”, Invited paper, 12th IEEE Signal Propagation on Interconnects, May 12-15, 2008, Avignon, France.

[Farcy, 2009] Thèse de doctorat de Alexis Farcy, « Optimisation des performances électriques appliquée aux interconnexions des circuits intégrés en présence de variabilité », Université de Savoie, 26 novembre 2009.

[Fortin, 2000] Thèse de doctorat de Frédéric Fortin, « Etude de structures couplées adaptées aux composants hyperfréquence intégrables », Université de Savoie, 20 décembre 2000.

[Gallitre, 2008] Thèse de doctorat de Michel Gallitre, « Impact des matériaux et des architectures sur les performances en propagation des interconnexions de générations CMOS avancées », Université de Savoie, 02 décembre 2008.

[Gambino, 2009] J. Gambino, F. Chen, and J. He, "Copper interconnect technology for the 32nm node and beyond," Proceeding of IEEE Custom Integrated Circuits Conference, CICC'09, p.141-148, Sep. 2009, San Jose, CA, USA.

[Gardiol, 2004] Electromagnétisme - de F. Gardiol. Editeur : Presses Polytechniques et Universitaires Romandes (PPUR) (2004) Collection : Traité d'électricité (volume III) Langue : Français ISBN-10: 288074508X ISBN-13: 978-2880745080.

[Gonon, 2010] P. Gonon, M. Mougetot, C. Vallée, C. Jorel, V. Jousseau, H. Grampeix, F. El Kamel, “Resistance switching in HfO₂ metal-insulator-metal devices”, Journal of Applied Physics, April 2010.

[Gupta, 2009] Copper Interconnect Technology- de Tapan Gupta. Editeur : Springer Verlag (2009).

[Ismail, 1998] Y. I. Ismail and E. G. Friedman, “Optimum Repeater Insertion Based on a CMOS Delay Model for On-Chip RLC Interconnect,” Proceedings of the IEEE ASIC Conference, pp. 369-373, September 1998.

[ITRS, 2009] ITRS International Technology Roadmap for Semiconductors, <http://public.itrs.net> (2009).

[Kamel, 2009] F. El Kamel, P. Gonon, C. Vallée, C. Jorel, “Electrode effects on the conduction mechanisms in HfO₂-based metal-insulator-metal capacitors” Journal of Applied Physics, Sept. 2009.

- [Kawaguchi, 1998] Kawaguchi H. and Sakurai T., "Delay and noise formulas for capacitively coupled distributed RC lines," Asia and South Pacific Design Automation Conference., pp. 35-43, February 1998.
- [Klein, 2010] Etienne Klein, préface à l'Anthologie du Savoir, Editions Nouvel Obs-CNRS, Volume 12: Les Grandes Inventions, 2010.
- [Kouicem, 1996] K. Kouicem "Analyse et correction des erreurs résiduelles sur analyseur de réseau hyperfréquences", Thèse de doctorat, Université de Savoie, Décembre 1996.
- [Kruppa, 1971] W. Kruppa, and K.F. Sodomsky. "An explicit solution for the scattering parameters of a linear two-port measured with an imperfect test set". IEEE Trans. Microwave Theory Tech., Vol.19, pp.122-123, Jan.1971.
- [Lacrevaz, 2005] Thèse de doctorat de Thierry Lacrevaz, « Caractérisation hyperfréquence de matériaux isolants de haute permittivité en vue de l'intégration de fonctions passives dans les circuits intégrés avancés », Université de Savoie, 20 octobre 2005.
- [Magen, 2004] N. Magen, A. Kolodny, U. Weiser, and N. Shamir. Interconnect-power dissipation in a microprocessor. In Proc. Int. Workshop on System Level Interconnect Prediction, pages 7–13, Paris, France, Feb 2004.
- [Meindl, 2002] D. Meindl, J. A. Davis & al. « Interconnect opportunities for gigascale integration » - IBM journal IBM Journal of Research and Development- mars 2002.
- [Meirieu, 2010] Phillipe Meirieu, préface à l'Anthologie du Savoir, Editions Nouvel Obs-CNRS, Volume 18: L'Education, 2010.
- [Moliton, 2004] Applications de l'électromagnétisme dans les milieux matériels. André Moliton (Broché: 280 pages) Editeur : Hermes Science Publications (6 mai 2004) Langue : Français ISBN-10: 2746209209 ISBN-13: 978-2746209206
- [Oppenheim, 1975] Digital Signal Processing, Alan V. Oppenheim David, Ronald W. Schaffer, ed. Prentice-Hall, 1975.
- [Perez, 2001] Électromagnétisme : Fondements et applications - Exercices et problèmes résolus. José-Philippe Pérez, Robert Carles, Robert Fleckinger , (Broché : 740 pages) Editeur : Dunod; Édition : 4e (30 novembre 2001) Collection : Masson Sciences Langue : Français ISBN-10: 2100055747 ISBN-13: 978-2100055746
- [Pozar , 2004] David M. Pozar, Microwave Engineering, Third Edition, John Wiley & Sons Inc, 2004.
- [Roullard, 2011] Roullard, J. Capraro, S. Farcy, A. Lacrevaz, T. Bermond, C. Leduc, P. Charbonnier, J. Ferrandon, C. Fuchs, C. Flechet, B "Electrical Characterization and Impact on Signal Integrity of New Basic Interconnection Elements inside 3D Integrated Circuits", Proc 61th Electronic Components and Technology Conference, Lake Buena Vista, Florida, May 31 - June 3, 2011.
- [Rousseau, 2009] Thèse de doctorat de Maxime Rousseau, « Impact des technologies d'intégration 3D sur les performances des composants CMOS », Université de Toulouse, 20 novembre 2009.

[Roy, 2010] Abinash Roy and Masud H. Chowdhury, "Analysis of the Impacts of Signal Slew and Skew on the Behavior of Coupled RLC Interconnects for Different Switching Patterns," IEEE Trans. on Very Large Scale Integration, Vol. 18, No. 2, pp. 338-342, February 2010.

[Sellier, 2008] Thèse de doctorat de Manuel Sellier, « Evaluation des futures technologies CMOS (<50nm) au niveau circuit », Université de provence, 1er Octobre 2008.

[Toëpffer, 1830] Rodolphe Töpffer, pédagogue, écrivain et politicien genevois, inventeur de la bande dessinée. Histoire de monsieur Cryptogame ,1830 ; 1^{ère} publication en 1846.

[Vandamme, 2001] Ewout P.Vandamme. "Improved Three-Step De-Embedding Method to Accurately Account for the Influence of Pad Parasitics in Silicon On-Wafer RF Test-Structures". IEEE Transactions on Electron Devices, Vol. 48, n°4, April 2001.

[Veendrick, 1984] H. J. M. Veendrick, "Short-circuit power dissipation of static CMOS circuitry and its impact on the design of buffer circuits," IEEE J. Solid-state Circuits, vol. SC-19, pp. 468-473, Aug. 1984.

[Werner, 2001] Chr. Werner, R. Götsche, A. Wörner, U. Ramacher, "Crosstalk Noise in Future Digital CMOS Circuits", date, pp.0331, Design, Automation, and Test in Europe (DATE '01), 2001.

[Will, 2007] Will, B.; Rolfes, I.; Schiek, B.; "Fully Automated Measurements of Calibrated Scattering Parameters of Multi-Ports with a Two-Port Network Analyzer", Microwave Conference , EUMC 2007, Munich, 2007.

[Williams, 2001] Williams, D.F, et al., "Characteristic Impedance Measurement Error on Lossy Substrates", IEEE Microwave and Wireless Components Letters, vol.11. No.7, July 2001, pp.299-301

[Winkel-1, 1996] T.M. Winkel, L. S. Dutta, H. Grabinski. "An accurate Determination of the Impedance of Lossy Lines on Chips Based on High Frequency S-parameter Measurements". IEEE Multi-Chip Module Conference, pp. 190-195, Febuary 1996.

[Winkel-2, 1996] T.M. Winkel, L. S. Dutta, H. Grabinski. "An On-wafer Deembedding Procedure for Devices under Measurement with Error-Networks Containing Arbitrary Line Lengths". 47th Automatic Radio Frequency Techniques Group, pp. 102-111, June 1996.

[Wong, 2000] Shyh-Chyi Wong, Gwo-Yann Lee and Dye-Jyun Ma, "Modeling of Interconnect capacitance, Delay, and Crosstalk in VLSI", IEEE Trans. on Semiconductor Manufacturing, Vol. 13, pp. 108-111, February 2000.

Liste des travaux

I Communications dans des conférences internationales avec référés et publication des actes, comme premier auteur

- S. de Rivaz, A. Farcy, D. Deschacht, T. Lacrevez, B. Fléchet, "Règles de conception des Réseaux d'Interconnexions de Circuits CMOS-45 nm en vue de la Réduction Conjointe de la Diaphonie et des Délais pour la Transmission de Signaux Numériques Très Rapides", Colloque International TELECOM'2011 & 7èmes JFMMA, 16 -18 Mars 2011, Tanger, Maroc.
- S. de Rivaz, A. Farcy, D. Deschacht, T. Lacrevez, B. Fléchet, "Effective Interconnect Networks Design in CMOS 45 nm Circuits to Joint Reductions of XT and Delay for Transmission of Very High Speed Signals", in IEEE Electrical Design of Advanced Package & Systems Symposium, EDAPS 2010, December 7 - 9, 2010, Singapore.
- S. de Rivaz, A. Farcy, D. Deschacht, T. Lacrevez, B. Flechet, "Benefit on Interconnect Performance of a Relaxed Wire Density in a 45 nm Node of the Back End of Line", in IEEE Workshop on Signal Propagation on Interconnects, SPI 2010, May 9-12, 2010, Hildesheim, Germany.
- S. de Rivaz, T. Lacrevez, C. Bermond, A. Farcy, B. Fléchet, "Rise Time Reduction of High Speed Digital Signals on Interconnects of the CMOS 45 nm Node by Optimizing Interconnect Inductance", IEEE International Microwave and Optoelectronics Conferences, IMOC 2009, November 3-6, 2009, Belem, Brazil.
- S. de Rivaz, T. Lacrevez, M. Gallitre, A. Farcy, B. Blampey, C. Bermond, B. Fléchet, "Impact of ULK Dielectric Loss on Interconnect Response for 45 nm Node Integrated Circuits", IEEE MTT-S International Microwave Workshop Series "Signal Integrity and High Speed Interconnects", IMWS 2009, Feb.19-20, 2009, Guadalajara, Mexico.
- S. de Rivaz, T. Lacrevez, M. Gallitre, A. Farcy, B. Blampey, C. Bermond, B. Fléchet, "Dielectric Loss Effects on the Modeling of Interconnect Responses for the 45 nm Node", in IEEE Workshop on Signal Propagation on Interconnects, SPI 2009, May 12-15, 2008, Avignon, France.

II Publications comme co-auteur

II.1 Revue avec référés et publication des actes

- B. Blampey, M. Gallitre, A. Farcy, T. Lacrevez, S. De Rivaz, C. Bermond, B. Fléchet, V. Jousseume, A. Zenasni, P. Ancey "Microwave characterization of porous SiOCH permittivity after integration dedicated to the 32 nm node", Microelectronic Engineering, vol.87, issue 3, pp. 329-332, March 2009.

II.2 Communications dans des conférences internationales avec Référés et publication des actes

- D. Deschacht, S. de Rivaz, A. Farcy, T. Lacrevez, B. Fléchet, "Keep on shrinking interconnect size: is it still the best solution?", in International Electronics Manufacturing Technology Conference, IEMT 2010, Nov. 30 – Dec. 2, 2010, Melaka, Malaysia.
- E. Eid, T. Lacrevez, C. Bermond, S. de Rivaz, S. Capraro, J. Roullard, L. Cadix, B. Fléchet, A. Farcy, P. Ancey, F. Calmon, O. Valorge, P. Leduc, "Characterization and Modeling of RF Substrate Coupling Effects due to Vertical Interconnects in 3D Integrated Circuit Stacking " in IEEE Workshop on Signal Propagation on Interconnects, SPI 2010, May 9-12, 2010, Hildesheim, Germany.
- E. Eid, T. Lacrevez, C. Bermond, S. de Rivaz, S. Capraro, J. Roullard, B. Fléchet, F. Calmon, C. Gontrand, A. Farcy, P. Ancey, « Effets de couplage RF par les substrats de silicium dans les

empilements de circuits intégrés 3D », 11e Journées Caractérisation Microondes et Matériaux, 31 mars - 2 avril 2010, Brest.

- E. Eid, T. Lacrevez, C. Bermond, S. de Rivaz, S. Capraro, J. Roullard, L. Cadix, B. Fléchet, A. Farcy, P. Ancey, F. Calmon, O. Valorge, P. Leduc, "Characterization and Modelling of Substrate Coupling Effects in 3D Integrated Circuit Stacking", Materials for Advanced Metallization, March 7-10, 2010, Mechelen, Belgium
- E. Eid, T. Lacrevez, S. de Rivaz, C. Bermond, B. Fléchet, F. Calmon, C. Gontrand, A. Farcy, L. Cadix, P. Ancey, "Predictive High Frequency Effects of Substrate Coupling in 3D Integrated Circuits Stacking", IEEE Int. Conference on 3D System Integration (3D-IC), Sept. 28-30, 2009, San Francisco, USA.

III Expertise de revue avec référés et publication des actes

- "Simple Analytical Models for Propagation Delay and Crosstalk in RC Interconnects for any Switching Patterns" - IEEE Transactions on Electron Devices, 2011, refusée.

IV Encadrement

- Estela Garcia Martin, « Architectures de coupleurs dans les circuits intégrés », Stage de licence, du 30/09/2009 au 30/06/2010.

V Publications antérieures à la thèse

V.1 Revues avec référés et publication des actes

- M. Pezzin, J. Keignart, S. de Rivaz, N. Daniele et al., « Ultra Wideband: the radio link of the future ? »; Annals of Telecommunications, tome 58, N°3/4, pp464-506, April 2003.

V.2 Communications dans des conférences internationales avec référés et publication des actes

- F. Tchoffo Talom, S. Bories, C. Delaveaud, S. de Rivaz, B. Uguen "Comparison of UWB Antennas According to Systems performance", European Conference on Antennas and Propagation, EUCAP, Nov. 2007, Edinburgh, UK.
- S. de Rivaz, B. Denis, M. Pezzin, L. Ouvry "Performance of IEEE 802.15.4a UWB Systems under Multi-User Interference", IEEE Symposium on Personal, Indoor and Mobile Radio Communications, PIMRC 2007, Sept. 2007, Athens, Greece.
- S. Dubouloz, S. de Rivaz, M. Sambuq, L. Ouvry, "Effects of Hard Decision on the Detection of Regular Preambles for UWB Non-Coherent Communications", IEEE ICUWB, Sept. 24-27, 2006 Waltham, MA, USA.
- B. Denis, M. Pezzin, S. de Rivaz, S. Dubouloz, M. Sambuq, L. Ouvry, "A LDR IR-UWB Receiver Architecture Based on 1-bit Direct Sampling", IST Mobile Summit, Jun. 2006, Mykonos, Greece.
- S. Dubouloz, A. Rabbachin, S. de Rivaz, B. Denis, L. Ouvry, "Performance analysis of low complexity solutions for UWB low data rate impulse radio", IEEE International Symposium on Circuits and Systems, ISCAS, May 2006, Kos Island, Greece.
- S. Dubouloz, B. Denis, S. de Rivaz, L. Ouvry, "Performance Analysis of LDR UWB Non-Coherent Receivers in Multipath Environments", IEEE International Conference on Ultra wideband (ICU'05), Sept. 2005, Zurich, Switzerland.
- S. de Rivaz, B. Denis, J. Keignart, M. Pezzin, N. Daniele, D. Morche, "Performances Analysis of a UWB Receiver using Complex Processing", IEEE UWBST2003, Nov. 2003, Reston, USA.

ANNEXES

Sommaire des Annexes

I	Annexe 1: Evolutions de la complexité, de la rapidité et des coûts des circuits intégrés	208
II	Annexe 2 : Sources de données sur les interconnexions.....	209
III	Annexe3 : Caractérisation électrique des interconnexions	213
IV	Annexe 4 : Matrice ABCD d'un réseau de N interconnexions couplées	222
V	Annexe 5 : Mise en évidence de N modes de propagations orthogonaux dans un réseau de N interconnexions couplées	226
VI	Annexe 6: Expressions analytiques de matrices chaînes simples.....	231
VII	Annexe 7 : Opérations sur les matrices carrées.....	237
VIII	Annexe 8 : Extraction des exposants de propagation et des sauts d'impédances	239
IX	Annexe 9 : Déplacement des plans de référence pour un calibrage de type TRL	244
X	Annexe 10 : Effet d'hypothèses simplificatrices sur la qualité du de-embedding	246
XI	Annexe 11 : Gains en tension et en puissance.....	250
XII	Annexe 12 : Problème numérique des sauts de phase lors de l'application de fonctions sinus et cosinus hyperboliques inverses et de racines carrées.....	259
XIII	Annexe 13 : Modèle localisé et propagation.....	260
XIV	Annexe 14: Effet d'un élément parasite sur un système du 1 ^{er} ordre.....	264
XV	Annexe 15 : Rappels théoriques sur les matériaux diélectriques	270
XVI	Annexe 16 : Formulaire général.....	276
XVII	Annexe 17 : Une définition de la Transformée de Fourier Discrète	278

Figures des Annexes

Figure AI.1	: Exemple de plaquette publicitaire d'Intel illustrant l'intégration des circuits depuis le début des années 50 jusqu'à aujourd'hui (Source : Intel).	208
Figure AII.1	: Exemple de mesure d'une ligne de transmission coplanaire au moyen d'un analyseur vectoriel de réseaux 2-ports raccordés au véhicule de test (VT).	209
Figure AII.2	: Exemple de maillage avec le simulateur HFSS sur une simulation de ligne coplanaire ...	212
Figure AII.3	: Exemple de visualisation des intensités de champs électriques	212
Figure AIII.1	: Représentation schématique d'une propagation TEM sur une ligne de transmission	214
Figure AIII.2	: Modèle électrique équivalent d'une ligne de transmission idéale sans pertes de longueur infinitésimale δl	215
Figure AIII.3	: Modèle électrique équivalent d'une ligne de transmission de longueur infinitésimale δl	215
Figure AIII.4	: Modèle électrique équivalent d'une ligne de transmission de longueur l	217
Figure AIII.5	: Modèle électrique équivalent deux interconnexions couplée	218
Figure AV.1	: Représentation schématique de la matrice ABCD d'un réseau d'interconnexions couplées	226
Figure AVI.1	: Modèle électrique équivalent d'une ligne de transmission de longueur infinitésimale δl	231

Figure AVI.2 : Réseau d'adaptation pour 2 lignes couplées symétriques.....	236
Figure AVIII.1 : Représentation schématique des dispositifs à mesurer pour extraire γ	240
Figure AIX.1 : Représentation schématique du dispositif à mesurer	244
Figure AIX.2 : Représentation schématique du dispositif à mesurer	244
Figure AIX.3 : Illustration du déplacement des plans de référence pour la mesure	245
Figure AX.1 : Modèle de propagation du dispositif d'accès plot.....	246
Figure AX.2 : Mesure équivalente pour l'hypothèse 1	246
Figure AXI.1 : Schéma électrique équivalent d'un dispositif excité par un générateur de tension d'impédance interne Z_0 et chargée par une impédance Z_L	250
Figure AXI.2 : Puissance transmise et rendement en fonction du rapport d'impédances entre la charge et la source	254
Figure AXI.3 : Exemple de réponse fréquentielle. Simulation 1: une interconnexion 45 nm ($l=200 \mu\text{m}$, $l/2 \text{ pitch} = 50 \text{ nm}$) est interfacée par une impédance parfaitement adaptée en entrée et un driver 45 nm $\times 1$ (C_g petit) en sortie ; Simulation 2 : l'interconnexion est interfacée par un driver 45 nm $\times 64$ (R_{sd} petit) en entrée et un driver 45 nm $\times 1$ en sortie.	255
Figure AXI.4 : Exemple typique de réponse (gain en tension) d'une interconnexion et ses tendances asymptotiques	257
Figure AXIII.1 : Représentation schématique d'un modèle de ligne de propagation distribué	262
Figure A.XIII.2 : Représentation schématique de modèles (en T et en Π) de ligne de propagation localisés	263
Figure A.XIV.1 : Circuit série RL // C	264
Figure A.XIV.2 : Modèle Z : L_{eq} série R_{eq}	264
Figure A.XIV.3: Modèle Y : C_{eq} // G_{eq}	264
Figure A.XIV.4: Condition $L - R^2C > 0$	266
Figure A.XIV.5 : Condition $L - R^2C < 0$	266
Figure A.XIV.6 : Condition $L - R^2C = 0$	266
Figure A.XIV.7 : Circuit // RC série C	267
Figure A.XIV.8 : Modèle Z : C_{eq} série R_{eq}	267
Figure A.XIV.9 : Modèle Y : C_{eq} // G_{eq}	267
Figure A.XIV.10 : Capacité et conductance équivalentes	269
Figure A.XV.1 : Illustration d'une capacité	272
Figure A. XV.2 : Illustration de la définition de C et G	272
Figure AXVII.1 : Illustration de la Transformée de Fourier Discrète (ex. pour $T_e=1/B_w$ et $F_{res}=1/T_{max}$)	279
Figure AXVII.2 : Illustration d'une base discrète de N fonctions orthonormales dans le domaine temporel, correspondant à N échantillons d'un signal échantillonné à la fréquence $F_e=1/T_e$	280

I Annexe 1: Evolutions de la complexité, de la rapidité et des coûts des circuits intégrés

Depuis le début des années 70, le nombre de transistors par puce, le coût par transistor et le nombre d'instructions par seconde ont évolués assez spectaculairement de manière quasi linéaire avec les années. On peut reprendre l'exemple d'Intel qui fait reposer une grande partie son image de marque sur cette « révolution » microélectronique (Figure AI.1).

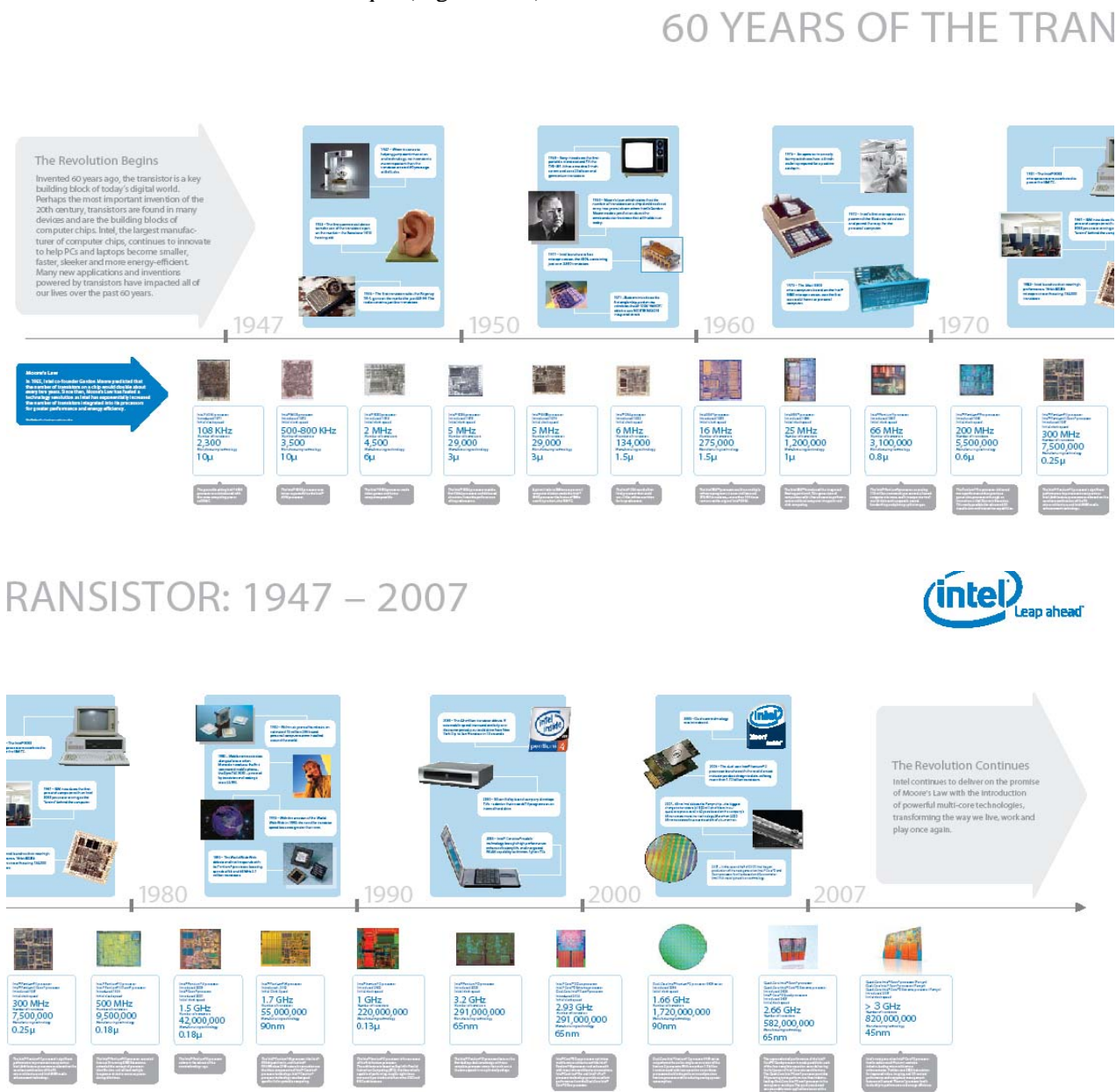


Figure AI.1 : Exemple de plaquette publicitaire d'Intel illustrant l'intégration des circuits depuis le début des années 50 jusqu'à aujourd'hui (Source : Intel).

En 1970, un transistor coûtait environ 1 \$, pour quelques milliers de transistors par puce et une dizaine de milliers d'instructions par seconde (processeur Intel 4004). En 2011, 1 \$ est le coût de plus de 10 millions de transistors (coût÷10⁷), le nombre de transistors par puce dépasse le milliard (complexité × 10⁶) et le nombre d'instructions par seconde approche les 10 milliards (rapidité × 10⁷).

II Annexe 2 : Sources de données sur les interconnexions

II.1 Mesures dans le domaine des hyperfréquences

II.1.1 Une problématique des mesures HF

La matrice des paramètres S est celle que l'on utilise le plus souvent pour caractériser en HF le comportement d'un dispositif, qu'il soit dipôle, quadripôle, ou N-pôles. L'appareil typique de mesures hyperfréquences (jusqu'à une centaine de Gigahertz), qui permet d'obtenir la mesure fréquentielle des paramètres S , est l'analyseur vectoriel de réseaux (VNA).

Le fonctionnement du VNA est basé sur, d'un coté, la génération et la transmission d'une porteuse sur un port du dispositif et la réception et une démodulation cohérente du signal reçu sur un autre port. La mesure est faite sur un ensemble de fréquences discrètes, que l'on peut exploiter ensuite par traitement numérique afin de caractériser le dispositif sous d'autre forme que les paramètres S (traduction des paramètres en courants et tensions aux bornes du dispositif par exemple) ou de transposer les mesures dans le domaine temporel.

Pour la caractérisation hyperfréquence d'un élément de circuit intégré, le VNA est associé à une station de mesure (sous pointe pour les dispositifs intégrés) qui permet l'accès au dispositif comme illustré en Figure AII.1

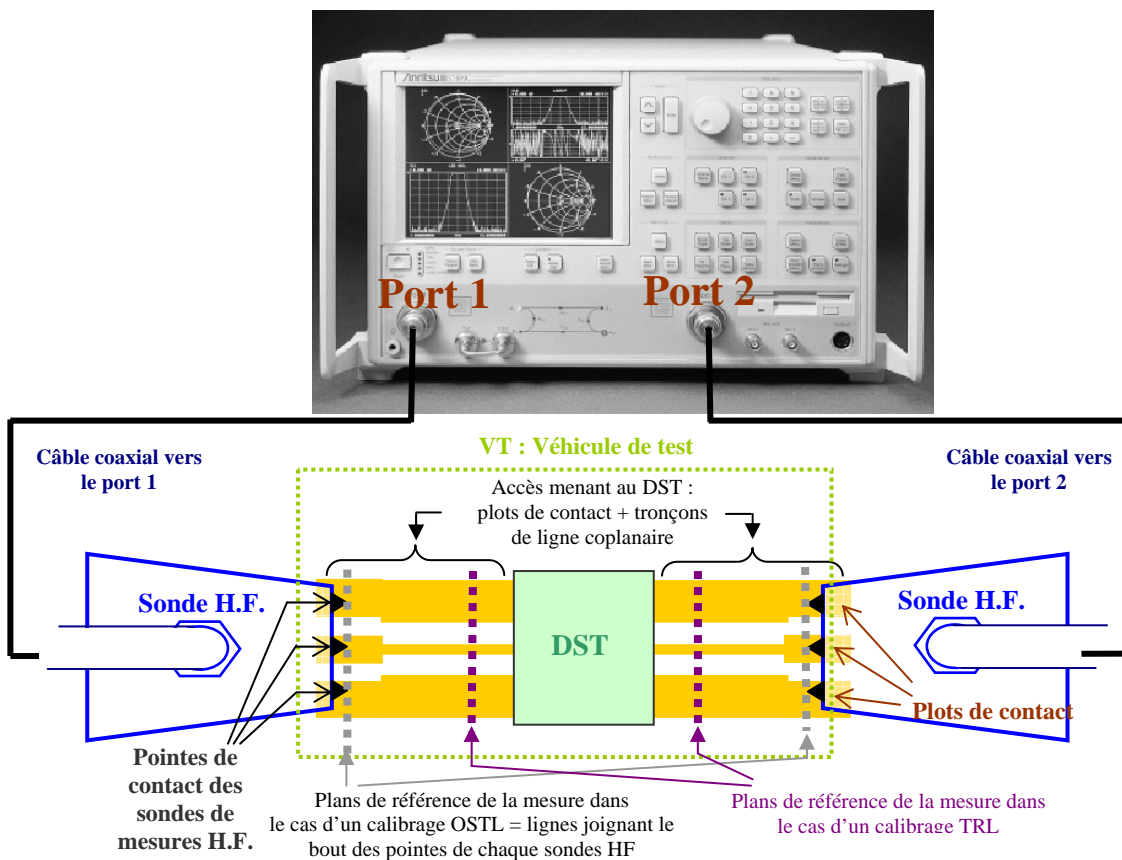


Figure AII.1 : Exemple de mesure d'une ligne de transmission coplanaire au moyen d'un analyseur vectoriel de réseaux 2-ports raccordés au véhicule de test (VT).

L'ensemble de l'appareillage de mesure introduit des erreurs qui seront à corriger et dont la provenance est diverse: l'analyseur vectoriel de réseau lui-même, les sondes de mesures hyperfréquences, les câbles assurant la liaison entre les sondes et l'analyseur, les divers connecteurs introduits entre les sondes et l'analyseur et tous tronçons de circuit donnant accès au dispositif sous test (DST) situé au delà des sondes de mesures hyperfréquence (résistance de contact entre les sondes et les plots de contacts, les plots de contact, ligne d'accès, etc...). Ces différentes sources d'erreur introduisent notamment des phénomènes d'atténuation et de déphasage qu'il va falloir éliminer afin d'extraire les paramètres relatifs au seul DST.

II.1.2 Calibrage

On appellera « calibrage » la procédure qui permet de rendre transparentes l'ensemble des erreurs jusqu'au niveau des pointes des sondes HF. Cette procédure est en général assez fiable et son résultat peu entaché d'erreur.

Outre le dispositif à mesurer, elle nécessite toutefois la mesure de dispositifs supplémentaires dits « dispositifs de calibrages ».

A l'issue de la procédure de calibrage, les paramètres S mesurés seront référencés à une impédance (de référence) dont la valeur dépendra de la technique de calibrage mise en œuvre.

- Pour un calibrage de type OSTL (Open, Short, Thru, Line), les plans de références de la mesure (ligne ou position à partir de laquelle seront évalués les paramètres S) se situeront au niveau du bout des pointes des sondes de mesures (Figure AII.1) et l'impédance de référence sera d'une valeur de 50Ω .
- Pour un calibrage de type TRL (Thru, Line, Reflect), les plans de références de la mesure se situeront au delà des pointes des sondes de mesures HF, au niveau d'une section donnée des lignes d'accès menant au DST; l'impédance caractéristique des lignes d'accès constituera l'impédance de référence de la mesure. Cette dernière est généralement inconnue, ce qui rend impossible (et problématique) le passage des paramètres S à des paramètres liant des grandeurs telles que courants et tensions (paramètres ABCD par exemple).

II.1.3 De-embedding

Une deuxième étape repose sur l'élimination des erreurs introduites par les tronçons de circuit situés entre les plans de référence de la mesure et le DST. On appellera « de-embedding » la procédure qui permet de rendre transparentes l'ensemble de ces dernières.

Selon la technique de calibrage préalablement utilisée, ce tronçon de circuit peut être constitué des plots de contacts et des lignes d'accès, des lignes d'accès seules ou même rien tout quand les plans de référence de la mesure auront été ramenés aux bornes du DST (possibilité du calibrage TRL). Cette seconde procédure est appelée « épiluchage » (ou dé-encapsulation) ou plus couramment « de-embedding » en anglais. Elle se base sur la mesure de dispositifs complémentaires qui permettront d'établir le modèle électrique équivalent des tronçons de circuits à « de-embedder » dont le domaine de validité est à préciser systématiquement.

De par les contraintes d'appareillage, les données issues de la mesure sont ainsi à bande passante limitée, discrètes, bruitées et potentiellement entachées d'erreurs résiduelles comme les incertitudes de mesures liées à la température ou à l'éclairement et la reproductibilité imparfaite des dispositifs de calibrage (variations sur la géométrie des conducteurs ou des diélectriques par exemple), malgré les étapes de calibration et de de-embedding.

II.2 Simulations électromagnétiques des interconnexions

Il existe plusieurs types de méthodes numériques de calcul des ondes électromagnétiques et de leur évolution dans le temps et dans l'espace. Tous sont conçus pour résoudre les équations de Maxwell dans la structure étudiée et par conséquent de décrire la propagation des ondes dans cette structure. Plusieurs logiciels de simulation électromagnétique (EM) ont été utilisés et évalués durant ce travail de thèse, basés sur la méthode des différences finies dans le domaine temporel (ou FDTD pour Finite-Difference Time-Domain) et la méthode des éléments finis (FEM). La méthode FEM est utilisée pour trouver une solution approximative des équations aux dérivées partielles (PDE) et des équations intégrales. L'intérêt de cette méthode est qu'elle fournit une description complète des phénomènes EM basée sur les équations de Maxwell. L'inconvénient est la nécessité d'un maillage suffisamment fin de la structure et la détermination conditions aux limites de l'espace étudié.

On peut distinguer les solveurs dits « 2D » prévus, par définition, pour évaluer le comportement EM d'un dispositif de section constante dans le sens de propagation. Ces logiciels se base sur une hypothèse TEM. En outre se base sur un modèle électrique linéique et on suppose qu'il y a quasiment indépendance des courants et des tensions.

Dans le cadre de ce travail de thèse une évaluation des outils de simulations électromagnétiques les plus courants a été menée, notamment sur les logiciels Ansoft HFSS, CST et Ansoft Maxwell2D, EMDS et Momentum (Agilent).

Les trois logiciels (basés sur la résolution des équations de Maxwell) qui ont été retenus et utilisés pour les simulations EM réalisées dans cette thèse sont :

- Ansoft HFSS (devenu Ansys HFSS en 2010) permet d'effectuer de la simulation 3D dite « full-wave », c'est-à-dire qu'elle est capable de décrire l'ensemble des modes de propagation possibles dans une structure. La méthode de calcul numérique utilisée est de type FEM. L'outil fournit des paramètres S 2-ports ou N-ports ($N > 2$) à partir de la description 3D d'une structure. L'outil est relativement précis et les simulations sont en bon accord avec les mesures dès qu'un maillage suffisamment fin à été paramétré à l'intérieur des conducteurs, ce qui permet de prendre en compte précisément les effets « de peau » et « de proximité » qui peuvent avoir une influence significative sur les résistances effectives. On donne en Figure AII.2, une illustration d'une simulation sous HFSS faisant apparaître le maillage et les effets de peau et de proximité sur les courants. Le fait notamment de pouvoir visualiser les courants et les champs (Figure AII.3) permet de vérifier intuitivement que la simulation a été bien paramétrée (excitations, maillage, conditions limites, etc...).
- Ansoft Maxwell2D (devenu Ansys Maxwell2D en 2010) permet d'effectuer des simulations dites 2D, c'est-à-dire pour des tronçons de dispositifs de section constante. Ce logiciel suppose que la propagation est de type quasi-TEM et par conséquent que l'on peut dé-corréler les tensions et les courants. L'outil fournit les paramètres distribués linéiques RLCG à partir de la description 2D d'une structure.
- HF2D est un produit propriétaire co-conçu par le LETI et le LAHC, sur le même principe de calcul que Maxwell2D. L'intérêt de cet outil, dont l'interface graphique est moins conviviale que celle de Maxwell2D, est d'une part de pouvoir vérifier la convergence des résultats des deux logiciels et d'autre part de pouvoir éventuellement le faire évoluer si besoin.

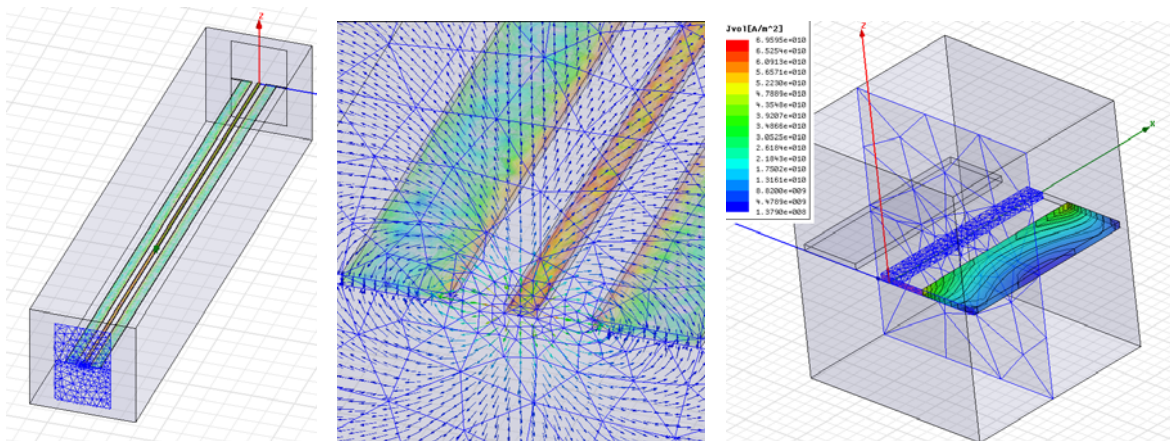


Figure AII.2 : Exemple de maillage avec le simulateur HFSS sur une simulation de ligne coplanaire

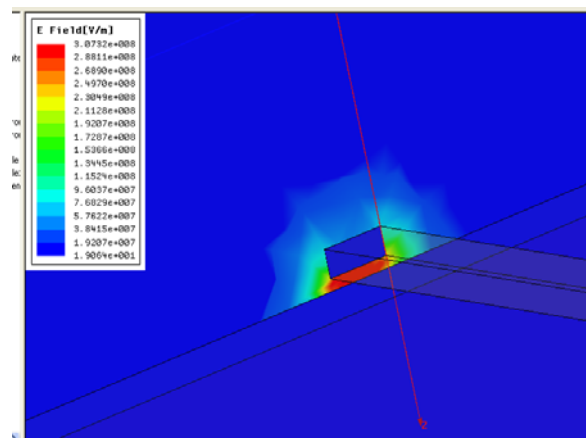


Figure AII.3 : Exemple de visualisation des intensités de champs électriques

III Annexe3 : Caractérisation électrique des interconnexions

III.1 Caractérisation électrique d'une interconnexion isolée.

III.1.1 Modes de propagation dits TEM

Le générateur est source de champs électriques $E(r,t)$ et magnétiques $H(r,t)$, grandeurs vectorielles variables dans le temps t et dans l'espace, de base r , et susceptibles de se propager dans toutes les directions en vertu des propriétés de l'électromagnétisme (modèles de Maxwell).

La propagation d'une onde électromagnétique qui se développe selon un mode dit TEM (Transversal Electric and Magnetic Fields) traduit le fait que les champs électrique E et magnétique H qui composent l'onde, sont contenus dans le plan perpendiculaire à la direction de propagation. Ainsi, si l'onde se propage selon l'axe z d'un repère cartésien (o,x,y,z) , les composantes des champs E et H selon cet axe sont nulles : $H_z = 0$ et $E_z = 0$. Cette configuration des champs électromagnétiques est très intéressante pour simplifier l'étude de certains circuits car elle permet d'utiliser des concepts bien connus : les grandeurs « courants » et « tensions » associées à la théorie des circuits électriques conformément au modèle de Kirchoff [Cregut, 1998]. Ainsi, tout circuit électrique (validant le mode TEM) qui est le siège de phénomènes de propagation (comme les lignes de transmission par exemple) peut voir son comportement décrit par un modèle électrique qui associe un ensemble de composants tels que résistances, inductances, capacités, conductances, etc.

Si le mode TEM n'est pas avéré au sein d'un circuit électrique, l'étude du comportement de ce dernier sera plus complexe car elle se fera obligatoirement au travers d'une analyse par calcul des champs électromagnétiques E et H conformément au modèle de Maxwell c'est-à-dire à partir des équations proposées et mises en forme par ce dernier.

On notera que lorsque les composantes dans le sens de propagation des champs E et H restent relativement faibles devant les autres (celles contenues dans un plan perpendiculaire au sens de propagation), alors on admettra qu'un mode TEM est propagé et on le qualifiera de mode quasi TEM.

III.1.2 Hypothèse TEM pour la propagation dans les interconnexions étudiées

Idéalement, le conducteur et l'isolant d'une ligne de transmission sont parfaits. Un conducteur est dit parfait s'il est un matériau dont la conductivité est infinie. Un isolant est dit parfait s'il est un matériau dont la conductivité est nulle. Dans ce cas un courant circule très majoritairement dans le conducteur dans sa direction principale D_0 (Figure AIII.1).

Il existe néanmoins des courants réactifs de déplacement dans l'isolant mais on montre qu'il faut atteindre de fréquences de plusieurs centaines de GHz avant que ceux-ci soient significatifs devant les courants actifs dans le conducteur. De même une différence de potentiel s'établit très majoritairement dans le plan P_0 perpendiculaire à la direction D_0 .

Il existe des tensions réactives orientées dans la direction D_0 liées aux variations des champs magnétiques mais comme pour les courants réactifs, ces tensions sont très négligeables dans la gamme des fréquences f qui nous intéresse ($0 < f < 100$ GHz). Les directions des champs $E(r,t)$ et $H(r,t)$ restent quasi exclusivement dans le plan P_0 et l'onde de champ se propage suivant la direction D_0 . En termes électriques, cela ne signifie pas que les courants réactifs dans l'isolant et les différences de potentiel réactives dans le conducteur sont négligés mais que c'est leur impact électromagnétique qui est considéré comme nul.

S'ils sont suffisamment faibles, les composantes des champs $E(r,t)$ et $H(r,t)$ qui sortent du plan P_0 peuvent donc être négligés devant les composantes transverses. On parle d'hypothèse quasi TEM. On peut alors définir l'interconnexion, en tant que ligne de propagation, en termes de grandeurs électriques à partir du concept de courants et de tensions, propre au modèle de Kirchhoff. Le courant I est la source du champs $H(r,t)$ et la tension U correspond à la différence de potentiel entre la ligne et la masse et défini par :

$$U = V_A - V_B = \int_A^B E(r,t).dl$$

Relation [A- 1]

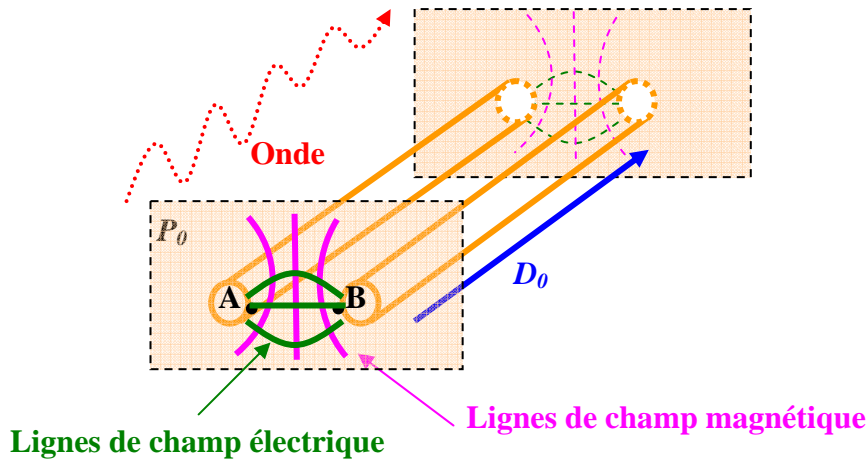


Figure AIII.1 : Représentation schématique d'une propagation TEM sur une ligne de transmission

III.1.3 Définition des paramètres linéiques

III.1.3.a Ligne sans pertes

A cause des phénomènes de propagation, les champs $E(r,t)$ et $H(r,t)$, et par conséquent la différence de potentiel U et le courant I , ne sont pas une fonction constante de la position sur la ligne. Cependant, si l'on s'intéresse à une portion infinitésimale de cette ligne dans le sens de propagation, on peut considérer que, localement, U et I sont faiblement variables avec la position (mais potentiellement variables avec le temps). On définit deux paramètres linéiques L (en série) et C (en parallèle), respectivement exprimés H/m et en F/m. Pour un élément de longueur infinitésimal dl d'une ligne de transmission on obtient le modèle présenté sur la Figure AIII.2.

L'existence d'une différence de potentiel U entre les deux conducteurs est liée à l'existence de charges Q^+ et Q^- aux interfaces entre les conducteurs et l'isolant. On définit alors la capacité linéique C comme le rapport entre U et $\frac{\delta Q}{\delta l}$, où $\frac{\delta Q}{\delta l}$ est la quantité de charge linéique (en Coulomb/m).

$$C = \frac{\delta Q}{U \delta l}$$

Relation [A- 2]

En notation harmonique, on obtient par dérivation des variables:

$$\frac{\delta I}{\delta l} = -j\omega \frac{\delta Q}{\delta l} = -jC\omega U \quad \text{où } \frac{\delta I}{\delta l} \text{ est la quantité de courant linéique (en A/m)}$$

Relation [A- 3]

De même l'existence d'un courant dans un des conducteurs est liée à celle d'un courant inverse dans l'autre conducteur et d'un flux d'induction entre les deux conducteurs qui traverse l'isolant. La variation potentielle du courant, donc du flux d'induction, est source d'un champ électrique et donc d'un gradient de potentiel dans la direction de la propagation. On définit l'inductance linéique L par la relation :

$$\frac{\delta U}{\delta l} = -jL\omega I \quad \text{où } \frac{\delta U}{\delta l} \text{ est la tension linéique (en V/m)}$$

Relation [A- 4]

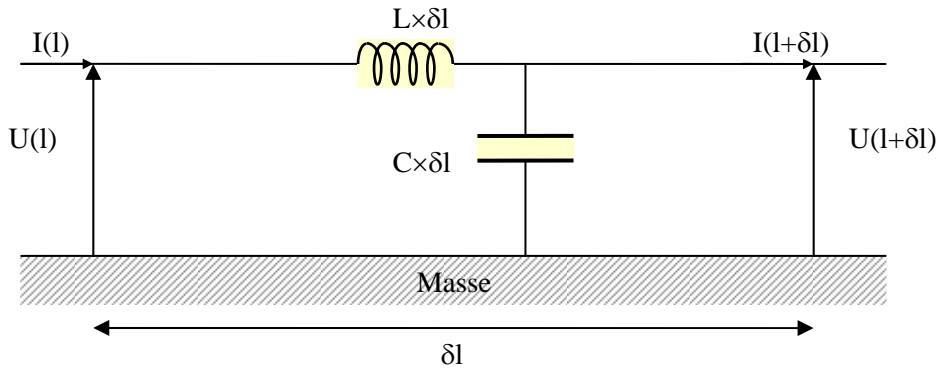


Figure AIII.2 : Modèle électrique équivalent d'une ligne de transmission idéale sans pertes de longueur infinitésimale δl

Remarque : comme le font apparaître les Relation [A- 3] et Relation [A- 4], C et L sont, en termes électriques, des paramètres d'énergie réactive.

III.1.3.b Ligne avec faibles pertes

Lorsque le conducteur et l'isolant ne sont que presque parfaits, il existe des pertes actives dans les conducteurs et dans l'isolant. Si elles sont suffisamment faibles, les composantes des champs $E(r,t)$ et $H(r,t)$ qui sortent du plan P_0 peuvent encore être négligés devant les composantes TEM. On reste dans l'hypothèse quasi TEM comme pour le cas précédent. On définit alors les deux paramètres électriques linéiques supplémentaires, R et G , définis par les Relation [A- 5] et respectivement exprimés en Ω/m et en S/m . Le modèle linéique d'une ligne de transmission dans le cas d'une hypothèse quasi TEM est représenté sur la Figure AIII.3.

$$\frac{\delta I}{\delta l} = -GU \quad \frac{\delta U}{\delta l} = -RI$$

Relation [A- 5]

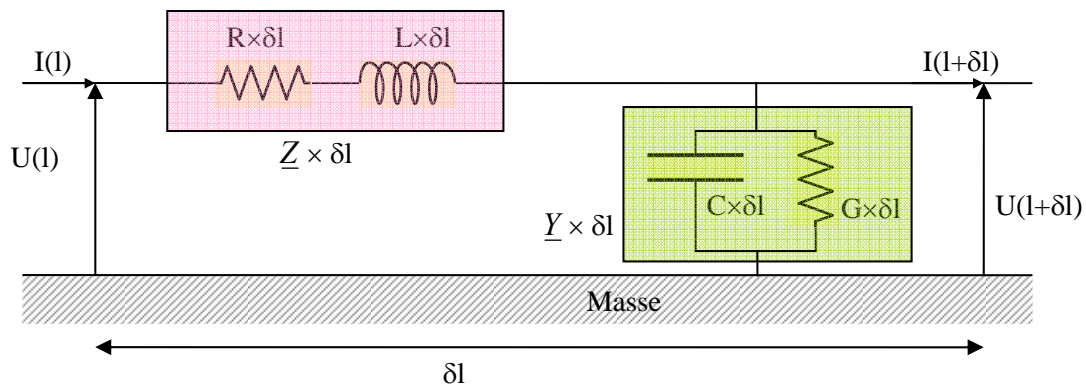


Figure AIII.3 : Modèle électrique équivalent d'une ligne de transmission de longueur infinitésimale δl

Les grandeurs R, L, C, G sont dites paramètres primaires de la ligne de transmission, de valeurs, en général, variables avec la fréquence.

On pose :

$$\underline{Z} = R + jL\omega \quad \Omega/m$$

$$\underline{Y} = G + jC\omega \quad S/m$$

Relation [1- 6]

En notant simplement les valeurs complexes \underline{Z} et \underline{Y} , respectivement Z et Y , et en appliquant les lois de Kirchhoff à cette une portion infinitésimale de circuit électrique de longueur δl , on peut écrire :

$$\frac{\delta U}{\delta l} = -ZI \quad \text{et} \quad \frac{\delta I}{\delta l} = -YU$$

Relation [1- 7]

III.1.4 Matrice chaîne d'une interconnexion

A partir de la Relation [1- 7], on établit l'équation différentielle matricielle suivante :

$$\begin{pmatrix} \frac{\partial U}{\partial l} \\ \frac{\partial I}{\partial l} \end{pmatrix} = \frac{\partial}{\partial l} \begin{pmatrix} U \\ I \end{pmatrix} = \begin{bmatrix} 0 & -Z \\ -Y & 0 \end{bmatrix} \begin{pmatrix} U \\ I \end{pmatrix}$$

Relation [1- 8]

La résolution de ce système d'équations différentielles intégrées sur une portion de ligne de longueur l permet d'obtenir, en Relation [A- 9], la matrice ABCD d'une interconnexion de longueur l . Une démonstration de ce résultat est donnée en Annexe 3.

$$ABCD = \begin{bmatrix} U(0) \\ I(0) \end{bmatrix} \begin{bmatrix} U(l) \\ I(l) \end{bmatrix}^{-1} = \begin{bmatrix} \frac{e^{\gamma_c l} + e^{-\gamma_c l}}{2} & \frac{e^{\gamma_c l} - e^{-\gamma_c l}}{2} \times Z_c \\ \frac{e^{\gamma_c l} - e^{-\gamma_c l}}{2} / Z_c & \frac{e^{\gamma_c l} + e^{-\gamma_c l}}{2} \end{bmatrix} = \begin{bmatrix} \cosh(\gamma_c l) & \sinh(\gamma_c l) \times Z_c \\ \sinh(\gamma_c l) / Z_c & \cosh(\gamma_c l) \end{bmatrix}$$

Relation [A- 9]

$$\gamma_c = \sqrt{YZ}$$

$$Z_c = \sqrt{\frac{Z}{Y}}$$

avec

Relation [A- 10]

Remarque : On montre [Combes, 1996] qu'on peut décomposer les tensions et les courants en ondes progressive liée au terme $e^{\gamma_c l}$ et onde régressive liée au terme $e^{-\gamma_c l}$ (Figure AIII.4), comme exprimé dans la Relation [A- 11].

$$U(x) = U^+(x) + U^-(x) = U_0^+ e^{\gamma x} + U_0^- e^{-\gamma x}$$

$$I(x) = I^+(x) + I^-(x) = I_0^+ e^{\gamma x} + I_0^- e^{-\gamma x}$$

Relation [A- 11]

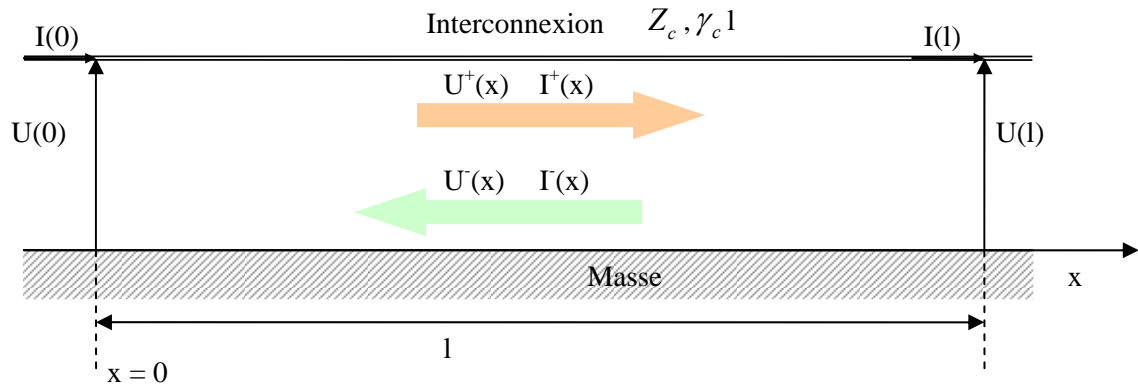


Figure AIII.4 : Modèle électrique équivalent d'une ligne de transmission de longueur l

On montre de plus que :

$$\frac{U^+(x)}{I^+(x)} = \frac{U^-(x)}{I^-(x)} = Z_c$$

Relation [A- 12]

γ_c et Z_c sont appelés respectivement exposant de propagation et impédance caractéristique, et dits paramètres « caractéristiques » ou « secondaires » de la ligne.

III.2 Caractérisation électrique de réseaux d'interconnexions couplées

III.2.1 Lignes couplées

Les champs électromagnétiques propagés par une ligne ont une influence significative sur les éléments présents dans son voisinage. Si l'on place une seconde ligne de transmission au voisinage immédiat de la première, une interaction électromagnétique se produit entre les deux lignes. En termes électriques, on peut décrire cette interaction en termes de paramètres électriques de couplage. Les champs électrique et magnétique produit par l'une des deux lignes fait apparaître respectivement des accumulations de charges d'une part et des courants induits d'autre part sur l'autre ligne. Le phénomène est réciproque sans être forcément symétrique entre les deux conducteurs. On voit donc apparaître des capacités mutuelles C_m et des inductances mutuelles L_m , le couplage capacitif augmentant avec la proximité. Ces couplages sont répartis le long des lignes, de sorte que leur effet devient d'autant plus important que la ligne est longue. De plus ces couplages ont une influence sur les répartitions des courants dans les conducteurs et donc sur leur résistance effective. On définit alors également des résistances mutuelles R_m qui traduisent cet effet. Enfin, il peut y avoir des pertes diélectriques entre les deux conducteurs voisins caractérisés par la conductance mutuelle G_m . L'ajout d'une ligne voisine va donc modifier les paramètres électriques $RLCG$ de la ligne isolée mais en plus elle va générer des paramètres de couplage R_m, L_m, C_m, G_m avec la ligne voisine, définis plus précisément dans le paragraphe suivant.

III.2.2 Définition du réseau de deux interconnexions couplées non symétriques

Par souci de simplification, on se limite ici à la description du modèle électrique de deux lignes couplées qui pourra toutefois être généralisée à tout réseau de N lignes couplées.

Comme dans la description du modèle électrique d'une ligne isolée, on s'intéresse à une section infinitésimale de ligne, de longueur δl , représentée par le schéma équivalent de la Figure AIII.5.

La description de deux lignes couplées comprenant les paramètres propres de chaque ligne et les paramètres de couplages se compose de plusieurs matrices 2×2 qui définissent les paramètres électriques linéiques tels que la matrice capacitance C , inductance L , conductance G et résistance R .

$$[R] = \begin{pmatrix} R_{11} & R_{12} \\ R_{21} & R_{22} \end{pmatrix} \quad [L] = \begin{pmatrix} L_{11} & L_{12} \\ L_{21} & L_{22} \end{pmatrix} \quad [C] = \begin{pmatrix} C_{11} & C_{12} \\ C_{21} & C_{22} \end{pmatrix} \quad [G] = \begin{pmatrix} G_{11} & G_{12} \\ G_{21} & G_{22} \end{pmatrix}$$

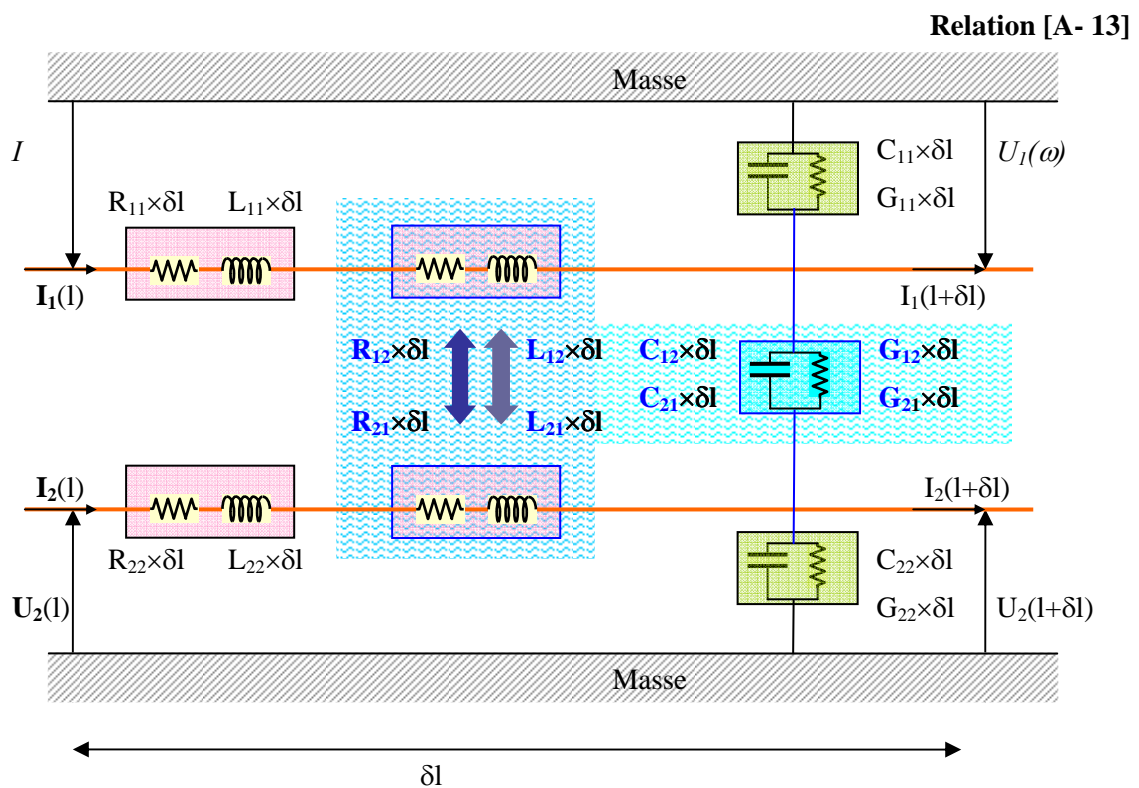


Figure AIII.5 : Modèle électrique équivalent deux interconnexions couplées

Lorsque les effets de couplages ne sont pas symétriques, on définit :

- L_{12} l'effet inductif du courant I_2 sur la tension U_1
- L_{21} l'effet inductif du courant I_1 sur la tension U_2
- R_{12} l'effet résistif du courant I_2 sur la tension U_1
- R_{21} l'effet résistif du courant I_1 sur la tension U_2

Les inductances L_1 et L_2 et résistances R_1 et R_2 propres des 2 lignes sont notées respectivement L_{11} , L_{22} , R_{11} et R_{22} .

- C_{12} l'effet capacitif de la différence de potentiel $U_1 - U_2$ sur le courant I_1
- C_{21} l'effet capacitif de la différence de potentiel $U_2 - U_1$ sur le courant I_2
- G_{12} l'effet conductif de la différence de potentiel $U_1 - U_2$ sur le courant I_1

- G_{21} l'effet conductif de la différence de potentiel $U_2 - U_1$ sur le courant I_2

Les capacités C_1 et C_2 et conductances G_1 et G_2 propres des 2 lignes sont notées respectivement C_{11} , C_{22} , G_{11} et G_{22} .

On peut écrire :

$$\frac{\delta}{\delta x} U_1(x) = (-j\omega L_{11} - R_{11})I_1(x) + (-j\omega L_{12} - R_{12})I_2(x) = -Z_{11}I_1(x) - Z_{12}I_2(x)$$

$$\frac{\delta}{\delta x} U_2(x) = (-j\omega L_{22} - R_{22})I_2(x) + (-j\omega L_{21} - R_{21})I_1(x) = -Z_{22}I_2(x) - Z_{21}I_1(x)$$

$$\frac{\delta}{\delta x} I_1(x) = (-j\omega C_{11} - G_{11})U_1(x) + (-j\omega C_{12} - G_{12})(U_1(x) - U_2(x)) = -Y_{11}V_1(x) - Y_{12}V_2(x)$$

$$\frac{\delta}{\delta x} I_2(x) = (-j\omega C_{22} - G_{22})U_2(x) + (-j\omega C_{21} - G_{21})(U_2(x) - U_1(x)) = -Y_{22}V_2(x) - Y_{21}V_1(x)$$

$$\text{avec} \quad Z_{ij} = j\omega L_{ij} + R_{ij} \quad i, j \in \{1; 2\}$$

$$\text{et} \quad Y_{ii} = j\omega(C_{ii} + C_{ij}) + (G_{ii} + G_{ij}) \quad Y_{ij \ i \neq j} = j\omega(-C_{ij}) - G_{ij} \quad i, j \in \{1; 2\}$$

Relation [A- 14]

Par souci d'homogénéité, on pose :

$$\begin{aligned} \mathcal{C}_{ii} &= C_{ii} + C_{ij} & \mathcal{C}_{ij} &= -C_{ij} & \mathcal{G}_{ii} &= G_{ii} + G_{ij} & \mathcal{G}_{ij} &= -G_{ij} \\ \Rightarrow & & Y_{ij} &= j\omega\mathcal{C}_{ij} + \mathcal{G}_{ij} & & & & i, j \in \{1; 2\} \end{aligned}$$

Relation [A- 15]

III.2.3 Définition des paramètres linéiques d'un réseau de N interconnexions couplées

Afin de clarifier le formalisme utilisé ici, on précise les définitions des paramètres couplés d'un point de vue systémique :

- L'inductance mutuelle L_{ij} peut être définie comme l'effet inductif d'un courant I_i sur le potentiel courant U_j et l'inductance propre L_{ii} peut être définie comme l'effet inductif d'un courant I_i sur le potentiel U_i .
- De même la résistance mutuelle R_{ij} peut être définie comme l'effet résistif d'un courant I_i sur le potentiel courant U_j et la résistance propre R_{ii} peut être définie comme l'effet résistif d'un courant I_i sur le potentiel U_i .

Par analogie avec les définitions précédentes :

- La capacité \mathcal{C}_{ii} peut être définie par l'effet capacitif d'un potentiel U_i sur le courant I_i lorsque tous les autres conducteurs sont au potentiel 0. La capacité $\mathcal{C}_{ii} = C_{ii} + C_{ij}$ qui apparaît dans Y est la résultante de la capacité propre du conducteur (sa capacité mutuelle avec la masse) et des

capacités mutuelles avec les autres conducteurs. Elle peut être définie par l'effet capacitif d'un potentiel U_i sur le courant I_i lorsque tous les autres conducteurs sont au potentiel 0.

- La capacité C_{ij} peut être définie par l'effet capacitif d'un potentiel U_j sur le courant I_i lorsque tous les autres conducteurs (y compris le conducteur i) sont au potentiel 0. Par analogie avec la définition de C_{ij} , comme $U_1 - U_2 = -U_2$, on comprend intuitivement la relation $C_{ij} = -C_{ji}$. La capacité $C_{ij} = -C_{ji}$ qui apparaît dans Y peut être définie par l'effet capacitif d'un potentiel U_j sur le courant I_i lorsque tous les autres conducteurs (y compris le conducteur i) sont au potentiel 0.
- La conductance $G_{ii} = G_{ii} + G_{ij}$ qui apparaît dans Y est la résultante de la capacité propre du conducteur (sa capacité mutuelle avec la masse) et des capacités mutuelles avec les autres conducteurs. Elle peut être définie par l'effet conductif d'un potentiel U_i sur le courant I_i lorsque tous les autres conducteurs sont au potentiel 0.
- Enfin, la conductance $G_{ij} = -G_{ji}$ qui apparaît dans Y peut être définie par l'effet conductif d'un potentiel U_j sur le courant I_i lorsque tous les autres conducteurs (y compris le conducteur i) sont au potentiel 0. C'est une valeur négative.

Remarque : Il existe des modèles analytiques [Delorme, 1997], parfois assez pratiques, qui permettent d'évaluer ces paramètres linéiques propres et mutuels en fonction de la géométrie et des matériaux du réseau d'interconnexions. Ces valeurs sont toutefois relativement grossières et limitées à des modèles simples. La caractérisation fine de ces paramètres se fait plutôt à partir de mesures ou de simulations électromagnétiques. Ces dernières données sont toutefois elles-mêmes potentiellement bruitées et entachées d'erreurs résiduelles malgré les efforts apportés pour les minimiser au maximum. A contrario, en se basant sur l'hypothèse d'une certaine fiabilité de ces données, on peut utiliser les modèles électriques correspondant pour décrire le comportement d'un réseau d'interconnexions, en termes de délais, de capacité de transmission ou de niveaux d'interférence, en bref, de performances.

III.2.4 Mise en équation du comportement électrique des lignes couplées

A partir de ces paramètres, on peut écrire les équations des lignes couplées qui relient les tensions et courants entre eux sur chaque ligne.

Sous forme matricielle ces équations s'écrivent :

$$\frac{\delta}{\delta x} \begin{bmatrix} I_1(x) \\ I_2(x) \end{bmatrix} = - \begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix} \begin{bmatrix} U_1(x) \\ U_2(x) \end{bmatrix} \quad \frac{\delta}{\delta x} \begin{bmatrix} U_1(x) \\ U_2(x) \end{bmatrix} = - \begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix} \begin{bmatrix} I_1(x) \\ I_2(x) \end{bmatrix}$$

Relation [A- 16]

Ou encore

$$\frac{\delta}{\delta x} \begin{bmatrix} \mathbf{U}(x) \\ \mathbf{I}(x) \end{bmatrix} = - \begin{bmatrix} \mathbf{0} & \mathbf{Z} \\ \mathbf{Y} & \mathbf{0} \end{bmatrix} \begin{bmatrix} \mathbf{U}(x) \\ \mathbf{I}(x) \end{bmatrix} = [\mathbf{R}] \begin{bmatrix} \mathbf{U}(x) \\ \mathbf{I}(x) \end{bmatrix}$$

relation [A- 17]

$$\text{avec } \mathbf{U}(x) = \begin{bmatrix} U_1(x) \\ U_2(x) \end{bmatrix} \quad \text{et } \mathbf{I}(x) = \begin{bmatrix} I_1(x) \\ I_2(x) \end{bmatrix}$$

$$[Z] = \begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix} = \begin{bmatrix} R_{11} + j\omega L_{11} & R_{12} + j\omega L_{12} \\ R_{21} + j\omega L_{21} & R_{22} + j\omega L_{22} \end{bmatrix} \quad \text{et}$$

$$[Y] = \begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix} = \begin{bmatrix} (G_{11} + G_{12}) + j(C_{11} + C_{12})\omega & (-G_{12}) + j(-C_{12})\omega \\ (-G_{21}) + j(-C_{21})\omega & (G_{22} + G_{21}) + j(C_{22} + C_{21})\omega \end{bmatrix}$$

Relation [A- 18]

Ces équations décrivent complètement les phénomènes de propagation et de couplage sur les deux lignes de transmission.

Remarque 1: En Annexe 4 : Matrice ABCD d'un réseau de N interconnexions couplées, on montre comment obtenir mes matrices chaînes ABCD d'un réseau de N interconnexions couplées à partir des définitions des matrices $[Z]$ et $[Y]$ généralisées à l'ordre N.

Remarque 2: En Annexe 5 : Mise en évidence de N modes de propagations orthogonaux dans un réseau de N interconnexions couplées, on donnera les définitions précises des matrices invoquées en Annexe 4 et les démonstrations nécessaires au raisonnement.

IV Annexe 4 : Matrice ABCD d'un réseau de N interconnexions couplées

IV.1 Matrices admittance et impédance du réseau d'interconnexions

Les matrices d'admittance \mathbf{Y} et d'impédance \mathbf{Z} du réseau de N interconnexions couplées s'écrivent :

$$\mathbf{Y} = \begin{bmatrix} Y_{11} & Y_{12} & \cdots & Y_{1j} & \cdots & Y_{1N} \\ Y_{21} & \cdots & \cdots & \cdots & \cdots & \cdots \\ \cdots & \cdots & \cdots & \cdots & \cdots & \cdots \\ Y_{i1} & \cdots & \cdots & Y_{ij} & \cdots & \cdots \\ \cdots & \cdots & \cdots & \cdots & \cdots & \cdots \\ Y_{N1} & \cdots & \cdots & \cdots & \cdots & Y_{NN} \end{bmatrix} \quad \mathbf{Z} = \begin{bmatrix} Z_{11} & Z_{12} & \cdots & Z_{1j} & \cdots & Z_{1N} \\ Z_{21} & \cdots & \cdots & \cdots & \cdots & \cdots \\ \cdots & \cdots & \cdots & \cdots & \cdots & \cdots \\ Z_{i1} & \cdots & \cdots & Z_{ij} & \cdots & \cdots \\ \cdots & \cdots & \cdots & \cdots & \cdots & \cdots \\ Z_{N1} & \cdots & \cdots & \cdots & \cdots & Z_{NN} \end{bmatrix}$$

Relation [A- 19]

$$\text{avec } Y_{ij} = j\omega C_{ij} + \mathcal{G}_{ij} \quad \text{et} \quad Z_{ij} = j\omega L_{ij} + R_{ij} \quad i, j \in \{1; 2\}$$

Pour le cas général d'un réseau de N interconnexions couplées ($N > 2$), les équations électriques s'écrivent :

$$\frac{\delta}{\delta x} \begin{bmatrix} [\mathbf{U}(x)] \\ [\mathbf{I}(x)] \end{bmatrix} = - \begin{bmatrix} \mathbf{0} & [\mathbf{Z}] \\ [\mathbf{Y}] & \mathbf{0} \end{bmatrix} \begin{bmatrix} [\mathbf{U}(x)] \\ [\mathbf{I}(x)] \end{bmatrix} = [\mathbf{R}] \begin{bmatrix} [\mathbf{U}(x)] \\ [\mathbf{I}(x)] \end{bmatrix}$$

Relation [A- 20]

$$\text{où } [\mathbf{U}(x)] = \begin{bmatrix} u_1(x) \\ u_2(x) \\ \cdots \\ u_i(x) \\ \cdots \\ u_N(x) \end{bmatrix} \quad [\mathbf{I}(x)] = \begin{bmatrix} i_1(x) \\ i_2(x) \\ \cdots \\ i_i(x) \\ \cdots \\ i_N(x) \end{bmatrix}$$

Relation [A- 21]

L'équation équation différentielle matricielle à $2N \times 2N$ coefficients constants du 1^{er} ordre exprimée en Relation [A- 20] admet pour solution :

$$\begin{bmatrix} [\mathbf{U}(x)] \\ [\mathbf{I}(x)] \end{bmatrix} = e^{[\mathbf{R}]x} \begin{bmatrix} [\mathbf{U}_0] \\ [\mathbf{I}_0] \end{bmatrix} \quad \text{avec } e^{[\mathbf{R}]x} = [\mathbf{I}] + [\mathbf{R}]x + \frac{1}{2}[\mathbf{R}]^2 x^2 + \cdots + \frac{1}{i!}[\mathbf{R}]^i x^i + \cdots$$

Relation [A- 22]

Il est théoriquement possible de calculer directement ces solutions à partir de la Relation [A- 22] à l'aide d'un ordinateur. Cependant, afin d'éviter des problèmes de convergence numérique des résultats ([Gardiol, 2004]), il est préférable de diagonaliser la matrice $[\mathbf{R}]$ par un changement de base en déterminant les vecteurs propres qui composeront la matrice diagonale $[\Gamma_d]$ (Relation [A- 24]).

Cette diagonalisation peut également s'effectuer directement par des méthodes numériques et un ordinateur informatique. Il est intéressant toutefois de décomposer analytiquement cette diagonalisation en tenant compte de la structure « anti-diagonale » de la matrice $[\mathbf{R}]$. Tel est l'objet du paragraphe suivant.

IV.2 Grandeurs observables et grandeurs modales

On va s'intéresser à la matrice $[LP]$ ayant pour colonnes les vecteurs propres de $[R]$.

$[LP]$ est constituée du produit de deux matrices $[L]$ et $[P]$, et servira de matrice de passage entre $[R]$ et la matrice diagonale $[\Gamma_d]$, c'est-à-dire la matrice des valeurs propres de $[R]$:

$$[\Gamma_d] = [P]^{-1} [L]^{-1} [\mathbf{R}] [L] [P] \quad \text{ou (inversement)} \quad [\mathbf{R}] = [L] [P] [\Gamma_d] [P]^{-1} [L]^{-1}$$

Relation [A- 23]

- $[L]$ permet un changement de base pour passer des grandeurs U et I dans le domaine observable vers les grandeurs U' et I' dans le domaine dit « modal » ([Bermond, 2001]).
- $[P]$ est une matrice de passage qui sert à dé-corréler les tensions U' et les courants I' pour obtenir les grandeurs $Q(x)$ et $W(x)$, homogènes à des courants (Annexe V) et définies en Relation [A- 25].

$$[\Gamma_d] = \begin{bmatrix} \gamma_1 & 0 & \dots & 0 & \dots & 0 \\ 0 & \gamma_2 & \dots & \dots & \dots & 0 \\ \dots & \dots & \dots & \dots & \dots & \dots \\ 0 & \dots & \dots & \gamma_i & \dots & 0 \\ \dots & \dots & \dots & \dots & \dots & \dots \\ 0 & 0 & \dots & 0 & \dots & \gamma_{2N} \end{bmatrix}$$

Relation [A- 24]

Note: Dans toute cette partie, on indiquera les matrices M_d diagonales en leur accolant l'indice d .

Dans cette nouvelle base la solution du système s'écrira simplement:

$$\begin{pmatrix} [Q(x)] \\ [W(x)] \end{pmatrix} = [e^{\gamma x}]_d \begin{pmatrix} [Q_0] \\ [W_0] \end{pmatrix} \quad \text{où} \quad [e^{\gamma x}]_d = \begin{bmatrix} e^{\gamma_1 x} & 0 & \dots & 0 & \dots & 0 \\ 0 & e^{\gamma_2 x} & \dots & \dots & \dots & 0 \\ \dots & \dots & \dots & \dots & \dots & \dots \\ 0 & \dots & \dots & e^{\gamma_i x} & \dots & 0 \\ \dots & \dots & \dots & \dots & \dots & \dots \\ 0 & 0 & \dots & 0 & \dots & e^{\gamma_{2N} x} \end{bmatrix}$$

Relation [A- 25]

Les grandeurs $Q(x)$ et $W(x)$ sont les expressions des tensions $U(x)$ et des courants $I(x)$ dans cette nouvelle base. On montre en Annexe V que la matrice diagonale $[e^{\gamma x}]_d$ possède une symétrie :

$$[e^{\gamma x}]_d = e^{[\Gamma_d]x} = \begin{bmatrix} [e^{\gamma_d x}] & 0 \\ 0 & [e^{-\gamma_d x}] \end{bmatrix}$$

Relation [A- 26]

Quant aux matrices $[L]$ et $[L]^{-1}$, elles peuvent s'écrire s'écrivent respectivement sous les formes:

$$[L] = \begin{bmatrix} [M] & 0 \\ 0 & [N] \end{bmatrix} \quad \text{et} \quad [L]^{-1} = \begin{bmatrix} [M]^{-1} & 0 \\ 0 & [N]^{-1} \end{bmatrix}$$

Relation [A- 27]

On montre qu'on peut fait apparaître N modes de propagation indépendants grâce à 2 matrices de passage $[M]$ et $[N]$ appliquées aux vecteurs \mathbf{U} et \mathbf{I} définis en Relation [A- 20].

Ces N modes (d'où l'expression domaine « modal ») de propagation indépendants correspondent donc à N modes d'excitation différents sur les tensions (dans cette base, la matrice ABCD' du réseau d'interconnexions couplées sur une longueur l s'écrit comme en Relation [A- 28]). On y montre également que $[M]$ est la matrice des valeurs propres de $[Z][Y]$ (définis en Relation [A- 20]) tandis que $[N]$ est la matrice des valeurs propres de $[Y][Z]$.

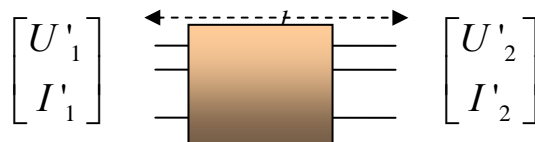
IV.3 Matrice chaîne dans le domaine modal

On montre, en s'appuyant sur l'expression des grandeurs $Q(x)$ et $W(x)$ et la définition des matrices M et N, que la matrice chaîne ABCD' reliant les grandeurs modales U' et I' entre l'entrée et la sortie du réseau d'interconnexions couplées s'écrit:

$$ABCD' = \begin{bmatrix} [U'_1] \\ [I'_1] \end{bmatrix} \begin{bmatrix} [U'_2] \\ [I'_2] \end{bmatrix}^{-1} = \begin{bmatrix} \frac{[e^{\gamma_d l}] + [e^{-\gamma_d l}]}{2} & \frac{[e^{\gamma_d l}] - [e^{-\gamma_d l}]}{2} \times [Zc_d] \\ \frac{[e^{\gamma_d l}] - [e^{-\gamma_d l}]}{2} / [Zc_d] & \frac{[e^{\gamma_d l}] + [e^{-\gamma_d l}]}{2} \end{bmatrix}$$

avec $[U'(x)] = [M]^{-1} [U(x)]$ et $[I'(x)] = [N]^{-1} [I(x)]$

Relation [A- 28]



Les matrices γ_d et Zc_d sont des matrices diagonales de dimension N et dépendent des valeurs de \mathbf{Y} et de \mathbf{Z} , définies en Relation [A- 19].

Remarque : Il faut noter que les 4 sous matrices $[N \times N]$ qui composent la matrice ABCD' sont toutes les quatre diagonales. Cela signifie que l'on peut traiter indépendamment chaque quartet $[u_i(l), i_i(l), u_i(0), i_i(0)]$ (Relation [A- 21]), pour $1 \leq i \leq N$, c'est-à-dire construire N matrices chaîne indépendantes. Dans la suite, il est proposé, préférentiellement, une résolution matricielle **globale** des N modes.

IV.4 Retour aux grandeurs observables

A partir des définitions des matrices de passage $[M]$ et $[N]$ (voir Annexe V), on revient aux grandeurs observables.

$$[\mathbf{U}(x)] = [M][\mathbf{U}'(x)] \quad \text{et} \quad [\mathbf{I}(x)] = [N][\mathbf{I}'(x)]$$

Relation [A- 29]

IV.4.1 Matrice ABCD du réseau d'interconnexions couplées

A partir des Relation [A- 28] et Relation [A- 29], on exprime, en Relation [A- 30], la matrice ABCD de dimension $2N \times 2N$ d'un réseau de N interconnexions.

$$ABCD = \begin{bmatrix} [U_1] \\ [I_1] \end{bmatrix} \begin{bmatrix} [U_2] \\ [I_2] \end{bmatrix}^{-1} = \begin{bmatrix} [M] & 0 \\ 0 & [N] \end{bmatrix} \begin{bmatrix} [\cosh(\gamma_d)] & [\sinh(\gamma_d) \times Zc_d] \\ [\sinh(\gamma_d) / Zc_d] & [\cosh(\gamma_d)] \end{bmatrix} \begin{bmatrix} [M]^{-1} & 0 \\ 0 & [N]^{-1} \end{bmatrix}$$

Relation [A- 30]

Remarque: en appliquant ce raisonnement au cas particulier d'une ligne isolée, on obtient la matrice chaîne d'une ligne seule, donnée dans le chapitre 1 (démonstration en Annexe VI).

V Annexe 5 : Mise en évidence de N modes de propagations orthogonaux dans un réseau de N interconnexions couplées

V.1 Introduction

On cherche à résoudre l'équation différentielle matricielle suivante (Relation [A- 31]) et à obtenir la matrice ABCD schématiquement représentée en Figure AV.1.

$$\frac{\delta}{\delta x} \begin{bmatrix} \mathbf{U}(x) \\ \mathbf{I}(x) \end{bmatrix} = - \begin{bmatrix} \mathbf{0} & \mathbf{Z} \\ \mathbf{Y} & \mathbf{0} \end{bmatrix} \begin{bmatrix} \mathbf{U}(x) \\ \mathbf{I}(x) \end{bmatrix} = [\mathbf{R}] \begin{bmatrix} \mathbf{U}(x) \\ \mathbf{I}(x) \end{bmatrix}$$

Relation [A- 31]

Les vecteurs \mathbf{U} et \mathbf{I} sont les valeurs des tensions et des courants au borne d'un réseau de N interconnexions couplées sur une longueur l .

Les matrices \mathbf{Y} et \mathbf{Z} , de dimension N, sont les matrices d'impédance et d'admittance linéiques du réseau.

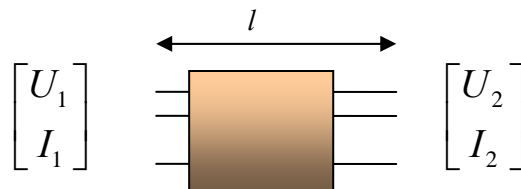


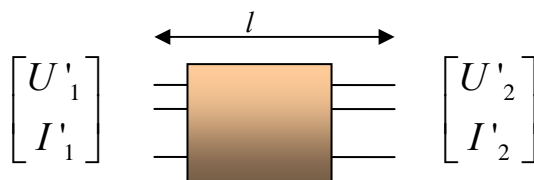
Figure AV.1 : Représentation schématique de la matrice ABCD d'un réseau d'interconnexions couplées

On montre (paragraphe V.2.3) qu'on peut faire apparaître N modes de propagation indépendants grâce à 2 matrices de passage M et N appliquées aux vecteurs \mathbf{U} et \mathbf{I} définis en Relation [A- 31]. Ces N modes de propagation indépendants correspondent à N modes d'excitation sur les tensions. Dans cette base, la matrice ABCD' du réseau d'interconnexions, découplées sur une longueur l , s'écrit :

$$ABCD' = \begin{bmatrix} U'_1 \\ I'_1 \end{bmatrix} \begin{bmatrix} U'_2 \\ I'_2 \end{bmatrix}^{-1} = \begin{bmatrix} \frac{e^{\gamma_d l} + e^{-\gamma_d l}}{2} & \frac{e^{\gamma_d l} - e^{-\gamma_d l}}{2} \times Zc_d \\ \frac{e^{\gamma_d l} - e^{-\gamma_d l}}{2} / Zc_d & \frac{e^{\gamma_d l} + e^{-\gamma_d l}}{2} \end{bmatrix}$$

Relation [A- 32]

avec $\mathbf{U}'(x) = M^{-1}\mathbf{U}(x)$ et $\mathbf{I}'(x) = N^{-1}\mathbf{I}(x)$



Les matrices γ_d et Zc_d sont des matrices **diagonales** de dimension N et dépendent des valeurs de \mathbf{Y} et de \mathbf{Z} .

V.2 Démonstration

V.2.1 Rappel du problème

On cherche à trouver une matrice de vecteurs propres P qui diagonalise la matrice R , donnée en Relation [A- 31], en $\Gamma_d(*)$:

$$\Gamma_d = \begin{bmatrix} \gamma_1 & 0 & \dots & 0 & \dots & 0 \\ 0 & \gamma_2 & \dots & \dots & \dots & 0 \\ \dots & \dots & \dots & \dots & \dots & \dots \\ 0 & \dots & \dots & \gamma_i & \dots & 0 \\ \dots & \dots & \dots & \dots & \dots & \dots \\ 0 & 0 & \dots & 0 & \dots & \gamma_{2N} \end{bmatrix}$$

(*) Note: On indiquera les matrices M_d diagonales en leur accolant l'indice d .

Dans cette nouvelle base, la solution du système s'écrira simplement:

$$\begin{pmatrix} Q(x) \\ W(x) \end{pmatrix} = \left[e^{\gamma x} \right]_d \begin{pmatrix} Q_0 \\ W_0 \end{pmatrix} \quad \text{où} \quad \left[e^{\gamma x} \right]_d = \begin{bmatrix} e^{\gamma_1 x} & 0 & \dots & 0 & \dots & 0 \\ 0 & e^{\gamma_2 x} & \dots & \dots & \dots & 0 \\ \dots & \dots & \dots & \dots & \dots & \dots \\ 0 & \dots & \dots & e^{\gamma_i x} & \dots & 0 \\ \dots & \dots & \dots & \dots & \dots & \dots \\ 0 & 0 & \dots & 0 & \dots & e^{\gamma_{2N} x} \end{bmatrix}$$

Les grandeurs $Q(x)$ et $W(x)$ sont les nouvelles expressions des tensions $U(x)$ et des courants $I(x)$ dans cette nouvelle base. Il sera montré ci-dessous que les grandeurs Q et W sont homogènes à des courants (Relation [A- 41] et Relation [A- 37]).

V.2.2 Diagonalisation symétrique conjointe de deux matrices indépendantes quelconques

On cherche à diagonaliser deux matrices quelconques Z et Y , de même dimension $N \times N$ et de manière symétrique, c'est-à-dire qu'il s'agit de trouver deux matrices M et N telles que :

$M^{-1}ZN$ et $N^{-1}YM$ soient toutes deux diagonales.

L'astuce consiste à poser :

Si M est la matrice composée des vecteurs propres du produit $Z Y$ (qui diagonalise la matrice produit $Z Y$), alors $\left[ZY \right]_d = M^{-1} Z Y M$ est diagonale.

Si N est la matrice composée des vecteurs propres du produit $Y Z$ (qui diagonalise la matrice produit $Y Z$), alors $\left[YZ \right]_d = N^{-1} Y Z N$ est diagonale.

On obtient :

Les matrices $Z_d = M^{-1} [Z] N$ et $Y_d = N^{-1} [Y] M$ sont diagonales.

On peut alors écrire : que $Z_d Y_d$ et $Y_d Z_d$ sont diagonales (produits de matrices diagonales).

$$Z_a Y_a = M^{-1} [Z] N N^{-1} [Y] M = M^{-1} [Z] [Y] M \quad \text{et}$$

$$Y_b Z_b = N^{-1} [Y] M M^{-1} [Z] N = N^{-1} [Y] [Z] N$$

$$\text{On pose } L^{-1} \begin{bmatrix} \mathbf{0} & Z \\ Y & \mathbf{0} \end{bmatrix} L = \begin{bmatrix} \mathbf{0} & Z_a \\ Y_a & \mathbf{0} \end{bmatrix} = \begin{bmatrix} \mathbf{0} & M^{-1} Z N \\ N^{-1} Y M & \mathbf{0} \end{bmatrix}$$

$$\text{La matrice } [L] \text{ s'écrit sous la forme: } [L] = \begin{bmatrix} M & 0 \\ 0 & N \end{bmatrix}$$

$$\text{La matrice inverse } [L]^{-1} \text{ s'écrit : } [L]^{-1} = \begin{bmatrix} M^{-1} & 0 \\ 0 & N^{-1} \end{bmatrix}$$

Relation [A- 33]

(Cf. Annexe 7 : Opérations sur les matrices carrées)

V.2.3 Expression analytique de la diagonalisation du système en N modes orthogonaux

On vient de montrer qu'il existe une matrice $[L]$ qui diagonalise les matrices $[Y]$ et $[Z]$. On obtient N modes de propagation indépendants. La matrice L de dimension $2N \times 2N$ est définie à partir des matrices de passage M et N de dimensions $N \times N$, où M est donc la matrice des vecteurs propres du produit $[Z][Y]$ (qui diagonalise la matrice produit $[Z][Y]$) et N est la matrice des vecteurs propres du produit $[Y][Z]$ (qui diagonalise la matrice produit $[Y][Z]$).

Les matrice $[L]$ et $[L]^{-1}$ s'écrivent respectivement sous les formes:

$$[L] = \begin{bmatrix} M & 0 \\ 0 & N \end{bmatrix} \quad [L]^{-1} = \begin{bmatrix} M^{-1} & 0 \\ 0 & N^{-1} \end{bmatrix}$$

Relation [A- 34]

$$\text{On obtient } L^{-1} [R] L = \begin{bmatrix} \mathbf{0} & Z_a \\ Y_a & \mathbf{0} \end{bmatrix} = \begin{bmatrix} \mathbf{0} & M^{-1} Z N \\ N^{-1} Y M & \mathbf{0} \end{bmatrix}$$

Relation [A- 35]

R est la matrice définie en Relation [A- 31], Y_a et Z_a sont des matrices diagonales de dimension $N \times N$.

Remarque : Les matrice M et N qui servent à formaliser ces N modes de propagation orthogonaux peuvent être également définies comme des « modes d'excitation » dans la mesure où elles transforment les courants et tension réels observables $\mathbf{U}(x)$ et $\mathbf{I}(x)$ en courants et tensions dits « modaux » $\mathbf{U}'(x)$ et $\mathbf{I}'(x)$ qui permettent cette orthogonalité entre modes de propagation indépendants.

On montre ensuite (Annexe 7 : Opérations sur les matrices carrées) qu'il existe également une matrice P qui permet de diagonaliser la matrice $L^{-1}[\mathbf{R}]L$ afin de dé-corréler les courants et les tensions. On obtient une matrice diagonale $[\Gamma_d]$ définie par :

$$[\Gamma_d] = P^{-1}L^{-1}[\mathbf{R}]LP \quad \text{ou (inversement)} \quad [\mathbf{R}] = LP[\Gamma_d]P^{-1}L^{-1}$$

Relation [A- 36]

P et P^{-1} s'écrivent:

$$P = \begin{bmatrix} Zc_d & -Zc_d \\ 1 & 1 \end{bmatrix} \quad \text{et} \quad P^{-1} = \frac{1}{2} \begin{bmatrix} 1/Zc_d & 1 \\ -1/Zc_d & 1 \end{bmatrix} \quad \text{avec} \quad Zc_d = \sqrt{Z_d/Y_d}$$

Relation [A- 37]

La matrice diagonale $[\Gamma_d]$ possède une symétrie (Annexe 7 : Opérations sur les matrices carrées) et peut s'écrire:

$$[\Gamma_d] = \begin{bmatrix} [\gamma_d] & \\ & -[\gamma_d] \end{bmatrix}$$

Relation [A- 38]

$$\text{où} \quad [\gamma_d] = \sqrt{Y_d Z_d}$$

Relation [A- 39]

V.2.4 Exploitation de la diagonalisation

On pose :

$$\begin{bmatrix} \mathbf{U}'(x) \\ \mathbf{I}'(x) \end{bmatrix} = L^{-1} \begin{bmatrix} \mathbf{U}(x) \\ \mathbf{I}(x) \end{bmatrix} \quad \frac{\delta}{\delta x} \begin{bmatrix} \mathbf{U}'(x) \\ \mathbf{I}'(x) \end{bmatrix} = L^{-1} \frac{\delta}{\delta x} \begin{bmatrix} \mathbf{U}(x) \\ \mathbf{I}(x) \end{bmatrix}$$

Relation [A- 40]

Puis :

$$\begin{bmatrix} \mathbf{Q}(x) \\ \mathbf{W}(x) \end{bmatrix} = P^{-1} \begin{bmatrix} \mathbf{U}'(x) \\ \mathbf{I}'(x) \end{bmatrix} = P^{-1}L^{-1} \begin{bmatrix} \mathbf{U}(x) \\ \mathbf{I}(x) \end{bmatrix} \quad \frac{\delta}{\delta x} \begin{bmatrix} \mathbf{Q}(x) \\ \mathbf{W}(x) \end{bmatrix} = P^{-1} \frac{\delta}{\delta x} \begin{bmatrix} \mathbf{U}'(x) \\ \mathbf{I}'(x) \end{bmatrix} = P^{-1}L^{-1} \frac{\delta}{\delta x} \begin{bmatrix} \mathbf{U}(x) \\ \mathbf{I}(x) \end{bmatrix}$$

Relation [A- 41]

Notons que la structure de la matrice de passage P^{-1} (Relation [A- 37]) appliquée conjointement aux tensions $\mathbf{U}'(x)$ et aux courants $\mathbf{I}'(x)$, fait apparaître que les vecteurs \mathbf{Q} et \mathbf{W} sont homogènes à des courants.

On obtient :

$$\frac{\delta}{\delta x} \begin{bmatrix} \mathbf{Q}(x) \\ \mathbf{W}(x) \end{bmatrix} = [\Gamma_d] \begin{bmatrix} \mathbf{Q}(x) \\ \mathbf{W}(x) \end{bmatrix}$$

La solution de ce système d'équations différentielles linéaires du premier ordre est donné en Relation [A- 42], en fonction de la longueur l d'intégration le long de l'interconnexion.

$$\begin{bmatrix} \mathbf{Q}(l) \\ \mathbf{W}(l) \end{bmatrix} = e^{[\Gamma_d]l} \begin{bmatrix} \mathbf{Q}(0) \\ \mathbf{W}(0) \end{bmatrix} = \begin{bmatrix} e^{\gamma_d l} & 0 \\ 0 & e^{-\gamma_d l} \end{bmatrix} \begin{bmatrix} \mathbf{Q}(0) \\ \mathbf{W}(0) \end{bmatrix}$$

Relation [A- 42]

On obtient, à partir des Relation [A- 37] et Relation [A- 42], les relations entre les courants et tensions modaux $\mathbf{U}'(x)$ et $\mathbf{I}'(x)$ aux bornes d'une interconnexion de longueur l (Relation [A- 43]).

$$\begin{bmatrix} \mathbf{U}'(l) \\ \mathbf{I}'(l) \end{bmatrix} = P e^{[\Gamma_d]l} P^{-1} \begin{bmatrix} \mathbf{U}'(0) \\ \mathbf{I}'(0) \end{bmatrix} = \begin{bmatrix} \frac{e^{-\gamma_d l} + e^{\gamma_d l}}{2} & \frac{e^{-\gamma_d l} - e^{\gamma_d l}}{2} \times Zc_d \\ \frac{e^{-\gamma_d l} - e^{\gamma_d l}}{2} / Zc_d & \frac{e^{-\gamma_d l} + e^{\gamma_d l}}{2} \end{bmatrix} \begin{bmatrix} \mathbf{U}'(0) \\ \mathbf{I}'(0) \end{bmatrix}$$

Relation [A- 43]

Il faut noter que les 4 sous matrices $[N \times N]$ qui composent la matrice $P e^{[\Gamma_d]l} P^{-1}$ sous toutes diagonales. Cela signifie que l'on peut traiter indépendamment chaque quartet $[u_i(l), i_i(l), u_i(0), i_i(0)]$, pour $1 \leq i \leq N$, c'est-à-dire construire N matrices chaîne indépendantes.

On peut revenir enfin aux grandeurs observables, en appliquant, d'après la Relation [A- 40], la Relation [A- 44] :

$$\begin{bmatrix} \mathbf{U}(x) \\ \mathbf{I}(x) \end{bmatrix} = L \begin{bmatrix} \mathbf{U}'(x) \\ \mathbf{I}'(x) \end{bmatrix}$$

Relation [A- 44]

$$\begin{bmatrix} \mathbf{U}(l) \\ \mathbf{I}(l) \end{bmatrix} = L \begin{bmatrix} \frac{e^{-\gamma_d l} + e^{\gamma_d l}}{2} & \frac{e^{-\gamma_d l} - e^{\gamma_d l}}{2} \times Zc_d \\ \frac{e^{-\gamma_d l} - e^{\gamma_d l}}{2} / Zc_d & \frac{e^{-\gamma_d l} + e^{\gamma_d l}}{2} \end{bmatrix} L^{-1} \begin{bmatrix} \mathbf{U}(0) \\ \mathbf{I}(0) \end{bmatrix}$$

Relation [A- 45]

VI Annexe 6: Expressions analytiques de matrices chaînes simples

VI.1 Matrice chaîne d'une ligne de propagation isolée

On modélise une ligne de transmission par ses paramètres linéiques R , L , C et G , dits paramètres primaires.

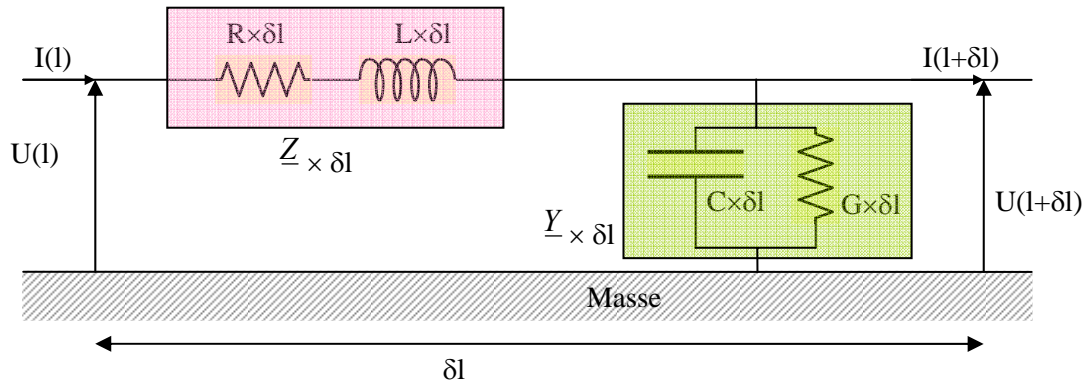


Figure AVI.1 : Modèle électrique équivalent d'une ligne de transmission de longueur infinitésimale δl

On pose :

$$Z = R + jL\omega \quad \Omega/m$$

$$Y = G + jC\omega \quad S/m$$

Relation [A- 46]

En appliquant les lois de Kirchhoff à cette une portion infinitésimale de circuit électrique de longueur δl , on peut écrire :

$$\frac{\delta U}{\delta l} = -ZI \quad \text{et} \quad \frac{\delta I}{\delta l} = -YU$$

Relation [A- 47]

A partir de la Relation [A- 47], on établit l'équation différentielle matricielle suivante :

$$\begin{pmatrix} \frac{\partial U}{\partial l} \\ \frac{\partial I}{\partial l} \end{pmatrix} = \frac{\partial}{\partial l} \begin{pmatrix} U \\ I \end{pmatrix} = \begin{bmatrix} 0 & -Z \\ -Y & 0 \end{bmatrix} \begin{pmatrix} U \\ I \end{pmatrix}$$

Relation [A- 48]

La résolution de ce système d'équations différentielles intégrées sur une portion de ligne de longueur l permet d'obtenir la matrice ABCD d'une interconnexion de longueur l .

Afin de dé-corréler les tensions et les courants, on diagonalise la matrice qui intervient dans la Relation [A- 48].

$$\frac{\partial}{\partial x} \begin{pmatrix} U \\ I \end{pmatrix} = [P][D][P]^{-1} \begin{pmatrix} U \\ I \end{pmatrix}$$

Relation [A- 49]

Avec : (Annexe 7 : Opérations sur les matrices carrées)

$$[D] = \begin{bmatrix} \sqrt{YZ} & 0 \\ 0 & -\sqrt{YZ} \end{bmatrix} = \begin{bmatrix} \gamma_c & 0 \\ 0 & -\gamma_c \end{bmatrix}$$

Relation [A- 50]

$$[P] = \begin{bmatrix} -\frac{\sqrt{YZ}}{Y} & \frac{\sqrt{YZ}}{Y} \\ 1 & 1 \end{bmatrix} = \begin{bmatrix} -Z_c & Z_c \\ 1 & 1 \end{bmatrix}$$

Relation [A- 51]

$$[P]^{-1} = \frac{1}{2} \begin{bmatrix} -\frac{Y}{\sqrt{YZ}} & 1 \\ \frac{Y}{\sqrt{YZ}} & 1 \end{bmatrix} = \frac{1}{2} \begin{bmatrix} -1/Z_c & 1 \\ 1/Z_c & 1 \end{bmatrix}$$

Relation [A- 52]

On obtient :

$$\frac{\partial}{\partial x} \begin{pmatrix} U \\ I \end{pmatrix} = \frac{1}{2} \begin{bmatrix} -Z_c & Z_c \\ 1 & 1 \end{bmatrix} \begin{bmatrix} \gamma_c & 0 \\ 0 & -\gamma_c \end{bmatrix} \begin{bmatrix} -\frac{1}{Z_c} & 1 \\ \frac{1}{Z_c} & 1 \end{bmatrix} \begin{pmatrix} U \\ I \end{pmatrix}$$

Relation [A- 53]

En effectuant un changement de base, on peut résoudre l'équation exprimée en Relation [A- 53]. On pose :

$$\begin{bmatrix} Q \\ W \end{bmatrix} = [P]^{-1} \begin{bmatrix} U \\ I \end{bmatrix}$$

Relation [A- 54]

$$\text{où} \quad \begin{bmatrix} U \\ I \end{bmatrix} = [P] \begin{bmatrix} Q \\ W \end{bmatrix} \quad \text{et} \quad \frac{\partial}{\partial x} \begin{pmatrix} Q \\ W \end{pmatrix} = [P]^{-1} \frac{\partial}{\partial x} \begin{pmatrix} U \\ I \end{pmatrix} \quad \text{ou} \quad \frac{\partial}{\partial x} \begin{pmatrix} U \\ I \end{pmatrix} = [P] \frac{\partial}{\partial x} \begin{pmatrix} Q \\ W \end{pmatrix}$$

On obtient

$$\frac{\partial}{\partial x} \begin{pmatrix} Q \\ W \end{pmatrix} = \begin{bmatrix} \gamma_c & 0 \\ 0 & -\gamma_c \end{bmatrix} \begin{pmatrix} Q \\ W \end{pmatrix}$$

Relation [A- 55]

La résolution de l'équation donnée en Relation [A- 55] revient à la résolution de 2 équations différentielles du 1^{er} degré (1) dont la solution est donnée en Relation [A- 56] :

$$\begin{pmatrix} Q(x) \\ W(x) \end{pmatrix} = \begin{bmatrix} e^{\gamma_c} & 0 \\ 0 & e^{-\gamma_c} \end{bmatrix} \begin{pmatrix} Q(0) \\ W(0) \end{pmatrix}$$

Relation [A- 56]

En revenant dans la base d'origine, on obtient :

$$\begin{pmatrix} U(x) \\ I(x) \end{pmatrix} = P \begin{bmatrix} e^{\gamma_c} & 0 \\ 0 & e^{-\gamma_c} \end{bmatrix} P^{-1} \begin{pmatrix} U(0) \\ I(0) \end{pmatrix}$$

Relation [A- 57]

Soit

$$\begin{pmatrix} U(x) \\ I(x) \end{pmatrix} = \begin{bmatrix} \frac{e^{\gamma_c x} + e^{-\gamma_c x}}{2} & \frac{e^{-\gamma_c x} - e^{\gamma_c x}}{2} \times Z_c \\ \frac{e^{-\gamma_c x} - e^{\gamma_c x}}{2} / Z_c & \frac{e^{\gamma_c x} + e^{-\gamma_c x}}{2} \end{bmatrix} \begin{pmatrix} U(0) \\ I(0) \end{pmatrix}$$

Relation [A- 58]

Soit

$$\begin{pmatrix} U(x) \\ I(x) \end{pmatrix} = \begin{bmatrix} \cosh(\gamma_c x) & -\sinh(\gamma_c x) \times Z_c \\ -\sinh(\gamma_c x) / Z_c & \cosh(\gamma_c x) \end{bmatrix} \begin{pmatrix} U(0) \\ I(0) \end{pmatrix}$$

Relation [A- 59]

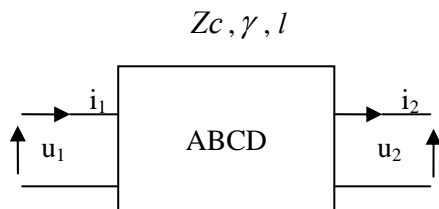
A partir de cette expression matricielle, on peut définir la matrice chaîne ABCD d'une interconnexion de longueur l . Cette matrice ABCD d'une interconnexion de longueur l fait apparaître un terme d'onde progressive $e^{\gamma_c l}$ et un terme d'onde régressive $e^{-\gamma_c l}$

$$ABCD = \begin{bmatrix} \frac{e^{\gamma_c l} + e^{-\gamma_c l}}{2} & \frac{e^{\gamma_c l} - e^{-\gamma_c l}}{2} \times Z_c \\ \frac{e^{\gamma_c l} - e^{-\gamma_c l}}{2} / Z_c & \frac{e^{\gamma_c l} + e^{-\gamma_c l}}{2} \end{bmatrix} = P \begin{bmatrix} e^{\gamma_c} & 0 \\ 0 & e^{-\gamma_c} \end{bmatrix}^{-1} P^{-1} = P \begin{bmatrix} e^{-\gamma_c} & 0 \\ 0 & e^{\gamma_c} \end{bmatrix} P^{-1}$$

$$\gamma_c = \sqrt{(R + jL\omega)(G + jC\omega)}$$

$$Z_c = \sqrt{\frac{(R + jL\omega)}{(G + jC\omega)}}$$

Relation [A- 60]



$$\begin{bmatrix} u_1 \\ i_1 \end{bmatrix} = \begin{bmatrix} A & B \\ C & D \end{bmatrix} \times \begin{bmatrix} u_2 \\ i_2 \end{bmatrix}$$

$$ABCD = \begin{bmatrix} \cosh(\gamma l) & \sinh(\gamma l) \times Z_c \\ \sinh(\gamma l) / Z_c & \cosh(\gamma l) \end{bmatrix}$$

Relation [A- 61]

VI.2 Exemple de 2 lignes couplées symétriques

VI.2.1 Matrice chaîne de deux interconnexions couplées symétriques

On pose :
$$[\mathbf{Y}] = \begin{bmatrix} Y & Y_m \\ Y_m & Y \end{bmatrix} \quad \text{et} \quad [\mathbf{Z}] = \begin{bmatrix} Z & Z_m \\ Z_m & Z \end{bmatrix} \quad \text{avec}$$

$$Y = \mathcal{G} + j\omega\mathcal{C} \quad Y_m = \mathcal{G}_m + j\omega\mathcal{C}_m \quad Z = R + j\omega L \quad Z_m = R_m + j\omega M$$

M , l'inductance mutuelle, et R_m , la résistance mutuelle, représentent respectivement les effets, inductif et résistif, d'un courant I dans une ligne sur la tension V sur l'autre ligne. La capacité $\mathcal{C} = C + C_m$ qui apparaît dans Y est la résultante de la capacité propre du conducteur (sa capacité mutuelle avec la masse) et de la capacité mutuelle avec l'autre conducteur. Elle peut être définie par l'effet capacitif d'un potentiel U_i sur le courant I_i lorsque l'autre conducteur est au potentiel 0. De même, la capacité $\mathcal{C}_m = -C_m$ (\mathcal{C}_m est négatif!) qui apparaît dans Y_m peut être définie par l'effet capacitif d'un potentiel U_j sur le courant I_i lorsque l'autre conducteur est au potentiel 0. Il en est de même pour $\mathcal{G} = G + G_m$ et $\mathcal{G}_m = -G_m$. Le produit $[\mathbf{Y}][\mathbf{Z}]$, nécessaire au calcul des matrices de diagonalisation s'écrit :

$$[\mathbf{Y}][\mathbf{Z}] = \begin{bmatrix} YZ + Y_m Z_m & YZ_m + Y_m Z \\ YZ_m + Y_m Z & YZ + Y_m Z_m \end{bmatrix} = [\mathbf{Z}][\mathbf{Y}]$$

Relation [A- 62]

La recherche des valeurs propres respectives des matrices produit $[\mathbf{Z}][\mathbf{Y}]$ et $[\mathbf{Y}][\mathbf{Z}]$, permet d'obtenir

les matrices M et N :
$$M = N = \frac{1}{\sqrt{2}} \begin{bmatrix} 1 & 1 \\ 1 & -1 \end{bmatrix} = M^{-1} = N^{-1}$$

Relation [A- 63]

On construit alors les matrices diagonales $[\mathbf{Z}_d]$ et $[\mathbf{Y}_d]$.

$$[\mathbf{Z}_d] = M^{-1}[\mathbf{Z}]N = \begin{bmatrix} Z + Z_m & 0 \\ 0 & Z - Z_m \end{bmatrix} = \begin{bmatrix} Z_{d_1} & 0 \\ 0 & 0Z_{d_2} \end{bmatrix}$$

$$[\mathbf{Y}_d] = N^{-1}[\mathbf{Y}]M = \begin{bmatrix} Y + Y_m & 0 \\ 0 & Y - Y_m \end{bmatrix} = \begin{bmatrix} Y_{d_1} & 0 \\ 0 & 0Y_{d_2} \end{bmatrix}$$

Remarque: on vérifie, en Relation [A- 64], l'exactitude des expressions de M et de N (Cf.. Annexe 7 : Opérations sur les matrices carrées).

$$[\mathbf{Z}] = M[\mathbf{Z}_d]N^{-1} = \frac{1}{2} \begin{bmatrix} Z_{d_1} + Z_{d_2} & Z_{d_1} - Z_{d_2} \\ Z_{d_1} - Z_{d_2} & Z_{d_1} + Z_{d_2} \end{bmatrix} = \begin{bmatrix} Z & Z_m \\ Z_m & Z \end{bmatrix}$$

et
$$[\mathbf{Y}] = N[\mathbf{Y}_d]M^{-1} = \frac{1}{2} \begin{bmatrix} Y_{d_1} + Y_{d_2} & Y_{d_1} - Y_{d_2} \\ Y_{d_1} - Y_{d_2} & Y_{d_1} + Y_{d_2} \end{bmatrix} = \begin{bmatrix} Y & Y_m \\ Y_m & Y \end{bmatrix}$$

Relation [A- 64]

Les matrices γ_d et Zc_d , diagonales de dimension 2, s'écrivent :

$$Zc_d = \sqrt{Z_d/Y_d} = \begin{bmatrix} \sqrt{\frac{Z+Z_m}{Y+Y_m}} & 0 \\ 0 & \sqrt{\frac{Z-Z_m}{Y-Y_m}} \end{bmatrix} = \begin{bmatrix} Z_{0c} & 0 \\ 0 & Z_{0d} \end{bmatrix}$$

Relation [A- 65]

$$[\gamma_d] = \sqrt{Y_d Z_d} = \begin{bmatrix} \sqrt{YZ + Y_m Z_m + YZ_m + Y_m Z} & 0 \\ 0 & \sqrt{YZ + Y_m Z_m - YZ_m - Y_m Z} \end{bmatrix}$$

Relation [A- 66]

Les 2 modes d'excitations s'écrivent:

$$[\mathbf{U}'(x)] = M [\mathbf{U}(x)] \Rightarrow \begin{cases} U'_1 = \frac{1}{\sqrt{2}}(U_1 - U_2) \\ U'_2 = \frac{1}{\sqrt{2}}(U_1 + U_2) \end{cases}$$

Relation [A- 67]

U'_1 et U'_2 sont dites respectivement tensions de mode impair (ou mode différentiel) et pair (ou mode commun). En appliquant les expressions de Zc_d (Relation [A- 65]), γ_d (Relation [A- 66]), M et N (Relation [A- 63]) à la Relation [A- 30], générique, on obtient la matrice ABCD d'un réseau de deux lignes couplées symétriques.

VI.2.2 Adaptation idéale pour deux lignes couplées symétriques

Pour certaines applications, comme celle exposée dans le chapitre 5, on peut chercher à obtenir un réseau de charges, en sortie du réseau d'interconnexions couplées, tel qu'il soit adapté. On cherche alors à définir un réseau de charge tel que chaque mode propre, sur chacune des lignes, soit adapté. Si ce réseau est obtenu, alors il en résulte des ondes strictement progressives sur chacune des lignes. On peut alors écrire une nouvelle relation entre les tensions et les courants dans le domaine modal :

$$U'(x) = [Zc_d] I'(x)$$

Relation [A- 68]

$[Zc_d]$ est l'impédance caractéristique modale définie en Relation [A- 65].

En repassant dans le domaine observable, on obtient enfin la matrice Zc correspondante qui relie les tensions et les courants dans le domaine observable et conforme à l'exigence d'une parfaite adaptation.

$$U(x) = [Zc] I(x)$$

$$[Zc] = \frac{1}{2} \begin{bmatrix} \sqrt{\frac{Z+Z_m}{Y+Y_m}} + \sqrt{\frac{Z-Z_m}{Y-Y_m}} & \sqrt{\frac{Z+Z_m}{Y+Y_m}} - \sqrt{\frac{Z-Z_m}{Y-Y_m}} \\ \sqrt{\frac{Z+Z_m}{Y+Y_m}} - \sqrt{\frac{Z-Z_m}{Y-Y_m}} & \sqrt{\frac{Z+Z_m}{Y+Y_m}} + \sqrt{\frac{Z-Z_m}{Y-Y_m}} \end{bmatrix}$$

Relation [A- 69]

Remarque: Les impédances mutuelles Z_m étant positives et les admittances mutuelles Y_m étant négatives, les termes anti diagonaux de la matrice $[Zc]$ sont bien positifs. Cette matrice en Z étant définie, on peut construire un modèle électrique en Π ou en T (Cf.. Annexe 13 : Modèle localisé et propagation et [Pozar, 2004]). Le modèle en T est donné en Figure AVI.2.

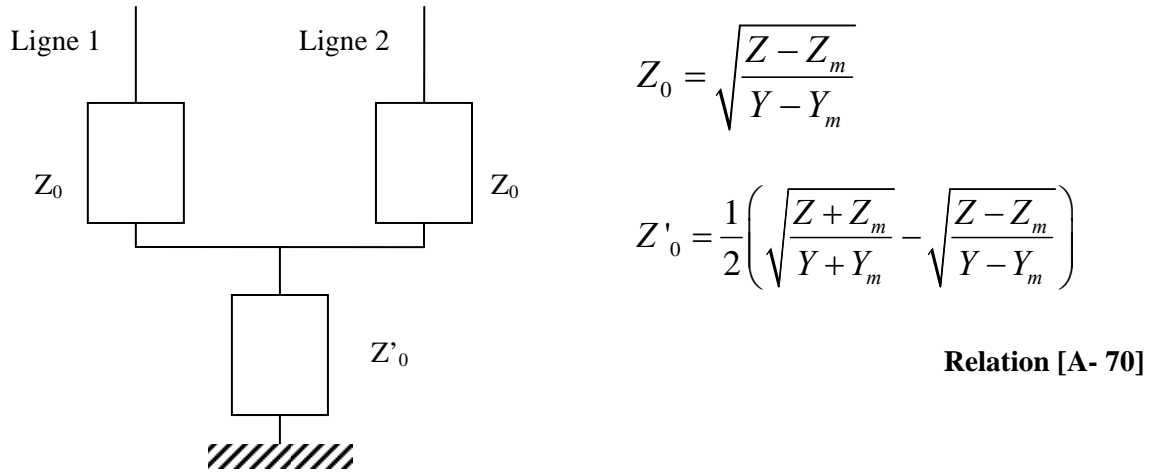


Figure AVI.2 : Réseau d'adaptation pour 2 lignes couplées symétriques

Dans la pratique, cette adaptation idéale sera relativement difficile à implémenter. En effet, la mise en place d'un réseau en Π ou en T peut s'avérer délicate et on préférera simplifier l'adaptation à 2 impédances séries, une pour chaque ligne. D'autre part, soulignons que, Z , Z_m , Y et Y_m étant des fonctions variables de la fréquence, l'adaptation sera limitée à une fréquence uniquement.

Parmi les simplifications courantes, on peut faire l'hypothèse de pertes actives négligeables (impédance et admittance linéiques R et G quasi nulles) ; de plus on suppose que les coefficients de couplage inductifs et capacitifs sont égaux [Fortin, 2000]. Dans ce cas on adapte sur les impédances caractéristiques propres des lignes.

On obtient $Z_0 = \sqrt{\frac{L}{C}}$ et $Z'_0 = 0$

Dans le cas des interconnexions de la génération 45 nm, les pertes ne sont pas négligeable et le couplage est fort. On fait parfois une adaptation approximée en plaçant la même impédance au bout de chaque ligne, dont la valeur est égale à la moyenne géométrique des impédances caractéristiques modales de chaque ligne : $Z_0 = \sqrt{Z_{0c} Z_{0d}}$ et $Z'_0 = 0$. Notons enfin, que dans le cas général d'un réseau de N lignes couplées ($N > 2$), le calcul d'un réseau d'adaptation idéal devient très complexe.

VII Annexe 7 : Opérations sur les matrices carrées

VII.1 Diagonalisation d'une matrice M [2 x 2]

$$M = \begin{bmatrix} a & b \\ c & d \end{bmatrix} = PDP^{-1}$$

On pose : $\Delta = \sqrt{a^2 + d^2 - 2ad + 4bc}$

$$D = \frac{1}{2} \begin{bmatrix} a+d+\Delta & 0 \\ 0 & a+d-\Delta \end{bmatrix}$$

$$P = \begin{bmatrix} \frac{1}{2c}(a-d+\Delta) & \frac{1}{2c}(a-d-\Delta) \\ 1 & 1 \end{bmatrix} \quad P^{-1} = \frac{1}{\Delta} \begin{bmatrix} c & -\frac{1}{2}(a-d-\Delta) \\ -c & \frac{1}{2}(a-d+\Delta) \end{bmatrix}$$

Relation [A- 71]

La matrice D est constituée des valeurs propres de M, tandis que les colonnes de la matrice P est constituée des vecteurs propres de M.

VII.2 Diagonalisation d'une matrice anti-diagonale

$$M' = \begin{bmatrix} 0 & b \\ c & 0 \end{bmatrix} = PD'P^{-1} \quad \text{On pose : } \Delta' = 2\sqrt{bc}$$

$$D' = \begin{bmatrix} \sqrt{bc} & 0 \\ 0 & -\sqrt{bc} \end{bmatrix}$$

$$P = \begin{bmatrix} \sqrt{\frac{b}{c}} & -\sqrt{\frac{b}{c}} \\ 1 & 1 \end{bmatrix} = \begin{bmatrix} \sqrt{\frac{b}{c}} & 0 \\ 0 & 0 \end{bmatrix} \begin{bmatrix} 1 & -1 \\ 1 & 1 \end{bmatrix} \quad P^{-1} = \frac{1}{2} \begin{bmatrix} \sqrt{\frac{c}{b}} & 1 \\ -\sqrt{\frac{c}{b}} & 1 \end{bmatrix} = \begin{bmatrix} 1 & 1 \\ -1 & 1 \end{bmatrix} \begin{bmatrix} 1/\sqrt{\frac{b}{c}} & 0 \\ 0 & 0 \end{bmatrix}$$

Relation [A- 72]

VII.3 Inversion d'une matrice M [2 x 2]

$$M = \begin{bmatrix} a & b \\ c & d \end{bmatrix} \quad M^{-1} = \frac{1}{ad-bc} \begin{bmatrix} d & -b \\ -c & a \end{bmatrix}$$

$$M' = \begin{bmatrix} a & 0 \\ 0 & d \end{bmatrix} \quad M'^{-1} = \frac{1}{ad} \begin{bmatrix} d & 0 \\ 0 & a \end{bmatrix} = \begin{bmatrix} a^{-1} & 0 \\ 0 & d^{-1} \end{bmatrix}$$

$$M'' = \begin{bmatrix} 0 & b \\ c & 0 \end{bmatrix} \quad M''^{-1} = \begin{bmatrix} 0 & c^{-1} \\ b^{-1} & 0 \end{bmatrix}$$

Relation [A- 73]

VII.4 Multiplication de 2 matrices M [2 x 2] et M' [2 x 2]

$$M = \begin{bmatrix} a & b \\ c & d \end{bmatrix} \quad M' = \begin{bmatrix} a' & b' \\ c' & d' \end{bmatrix} \quad MM' = \begin{bmatrix} aa'+bc' & ab'+bd' \\ ca'+dc' & cb'+dd' \end{bmatrix}$$

VII.5 Matrices particulières

VII.5.1 Propriétés (1)

$$\begin{bmatrix} ax & b \\ cx & d \end{bmatrix} = \begin{bmatrix} a & b \\ c & d \end{bmatrix} \begin{bmatrix} x & 0 \\ 0 & 1 \end{bmatrix} \quad \begin{bmatrix} ax & bx \\ c & d \end{bmatrix} = \begin{bmatrix} x & 0 \\ 0 & 1 \end{bmatrix} \begin{bmatrix} a & b \\ c & d \end{bmatrix}$$

$$\begin{bmatrix} a/x & b/x \\ c & d \end{bmatrix} = \begin{bmatrix} x^{-1} & 0 \\ 0 & 1 \end{bmatrix} \begin{bmatrix} a & b \\ c & d \end{bmatrix} = \begin{bmatrix} x & 0 \\ 0 & 1 \end{bmatrix}^{-1} \begin{bmatrix} a & b \\ c & d \end{bmatrix}$$

$$\begin{bmatrix} a & bx \\ c/x & d \end{bmatrix} = \begin{bmatrix} x & 0 \\ 0 & 1 \end{bmatrix} \begin{bmatrix} a & b \\ c & d \end{bmatrix} \begin{bmatrix} x & 0 \\ 0 & 1 \end{bmatrix}^{-1} \quad \begin{bmatrix} a & b/x \\ cx & d \end{bmatrix} = \begin{bmatrix} x & 0 \\ 0 & 1 \end{bmatrix}^{-1} \begin{bmatrix} a & b \\ c & d \end{bmatrix} \begin{bmatrix} x & 0 \\ 0 & 1 \end{bmatrix}$$

$$\begin{bmatrix} ax & b & c \\ dx & e & f \\ gx & h & f \end{bmatrix} = \begin{bmatrix} a & b & c \\ d & e & f \\ g & h & f \end{bmatrix} \begin{bmatrix} x & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \end{bmatrix} \quad \begin{bmatrix} ax & bx & cx \\ d & e & f \\ g & h & f \end{bmatrix} = \begin{bmatrix} x & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} a & b & c \\ d & e & f \\ g & h & f \end{bmatrix}$$

VII.5.2 Propriétés (2)

$$\begin{bmatrix} 1 & -1 \\ 1 & 1 \end{bmatrix} \begin{bmatrix} a & 0 \\ 0 & d \end{bmatrix} \begin{bmatrix} 1 & 1 \\ -1 & 1 \end{bmatrix} = \begin{bmatrix} a-d & d+a \\ d+a & a-d \end{bmatrix} \Rightarrow \begin{bmatrix} 1 & 1 \\ -1 & 1 \end{bmatrix} \begin{bmatrix} A & B \\ B & A \end{bmatrix} \begin{bmatrix} 1 & -1 \\ 1 & 1 \end{bmatrix} = 2 \begin{bmatrix} A+B & 0 \\ 0 & A-B \end{bmatrix}$$

$$\begin{bmatrix} 1 & 1 \\ -1 & 1 \end{bmatrix} \begin{bmatrix} a & 0 \\ 0 & d \end{bmatrix} \begin{bmatrix} 1 & -1 \\ 1 & 1 \end{bmatrix} = \begin{bmatrix} d-a & d+a \\ d+a & d-a \end{bmatrix} \Rightarrow \begin{bmatrix} 1 & -1 \\ 1 & 1 \end{bmatrix} \begin{bmatrix} A & B \\ B & A \end{bmatrix} \begin{bmatrix} 1 & 1 \\ -1 & 1 \end{bmatrix} = 2 \begin{bmatrix} A-B & 0 \\ 0 & A+B \end{bmatrix}$$

$$\begin{bmatrix} 1 & 1 \\ 1 & -1 \end{bmatrix} \begin{bmatrix} a & 0 \\ 0 & d \end{bmatrix} \begin{bmatrix} 1 & 1 \\ 1 & -1 \end{bmatrix} = \begin{bmatrix} a+d & a-d \\ a-d & a+d \end{bmatrix} \Rightarrow \begin{bmatrix} 1 & 1 \\ 1 & -1 \end{bmatrix} \begin{bmatrix} A & B \\ B & A \end{bmatrix} \begin{bmatrix} 1 & 1 \\ 1 & -1 \end{bmatrix} = 2 \begin{bmatrix} A+B & 0 \\ 0 & A-B \end{bmatrix}$$

VII.5.3 Propriétés (3)

On pose :

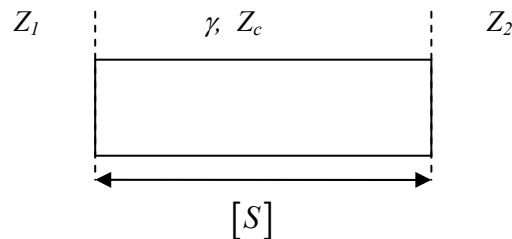
$$M = M^{-1} = \frac{1}{\sqrt{2}} \begin{bmatrix} 1 & 1 \\ 1 & -1 \end{bmatrix}$$

$$M \begin{bmatrix} a & 0 \\ 0 & d \end{bmatrix} M^{-1} = \frac{1}{2} \begin{bmatrix} a+d & a-d \\ a-d & a+d \end{bmatrix} \Rightarrow M^{-1} \begin{bmatrix} A & B \\ B & A \end{bmatrix} M = \begin{bmatrix} A+B & 0 \\ 0 & A-B \end{bmatrix}$$

VIII Annexe 8 : Extraction des exposants de propagation et des sauts d'impédances

VIII.1 Post traitement sur la mesure d'une ligne de propagation

On mesure les paramètres S d'une ligne, référencée sur 2 impédances caractéristiques Z_1 et Z_2 au niveau des plans de mesure.



Le calcul de l'exposant de propagation γ ne dépend pas de la connaissance des impédances de référence Z_1 et Z_2 . A partir des formules de passage entre les paramètres ABCD et les paramètres S (Annexe XVI), on obtient :

$$\cosh(2\gamma l) = \frac{1 + (S_{11}S_{22} - S_{12}S_{21})^2 - S_{11}^2 - S_{22}^2}{2S_{21}^2}$$

Relation [A- 74]

Le calcul de l'impédance caractéristique de la ligne Z_c ne dépend que de la mesure et de la connaissance du produit des impédances de référence Z_1 et Z_2 .

$$Z_c^2 = Z_1 Z_2 \times (1 + S_{11} + S_{11}S_{22} - S_{12}S_{21}) / (1 - S_{11} - S_{11}S_{22} - S_{12}S_{21})$$

Dans le cas particulier où $Z_1 = Z_2 = Z_0$, on mesure les paramètres S' et on peut écrire:

$$\frac{Z_c^2}{Z_0^2} = \frac{1 + S'_{11} + S'_{11}S'_{22} - S'_{12}S'_{21}}{1 - S'_{11} - S'_{11}S'_{22} - S'_{12}S'_{21}}$$

Relation [A- 75]

$$\frac{Z_c^2}{Z_0^2} = \left(\frac{1 + \Gamma}{1 - \Gamma} \right)^2 \text{ est une mesure du saut d'impédance } \Gamma = \frac{Z_c - Z_0}{Z_c + Z_0}$$

Dans le cas particulier où $Z_1 = Z_0$ et $Z_2 = Z_c$, on mesure les paramètres S'' et on peut écrire:

$$\frac{Z_c}{Z_0} = \frac{1 + S''_{11} + S''_{11}S''_{22} - S''_{12}S''_{21}}{1 - S''_{11} - S''_{11}S''_{22} - S''_{12}S''_{21}}$$

Relation [A- 76]

$$\frac{Z_c}{Z_0} = \frac{1 + \Gamma}{1 - \Gamma} \text{ est également une mesure du saut d'impédance } \Gamma = \frac{Z_c - Z_0}{Z_c + Z_0}$$

VIII.2 Méthodes de mesures et de calculs de l'exposant de propagation d'une ligne

VIII.2.1 Méthode de la trace

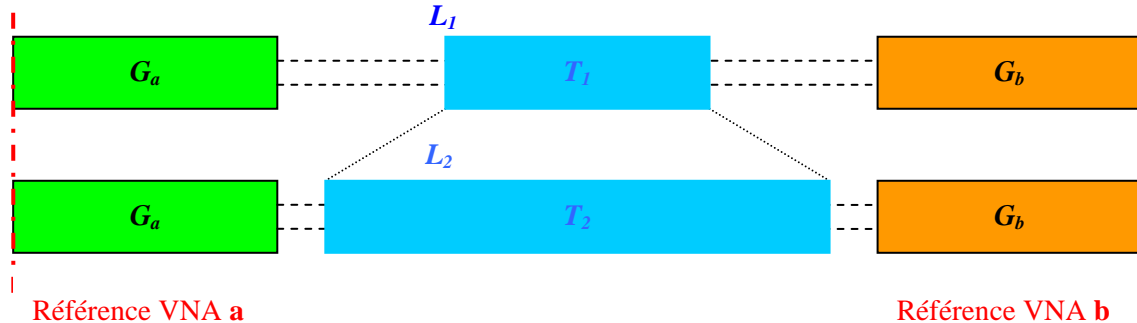


Figure AVIII.1 : Représentation schématique des dispositifs à mesurer pour extraire γ

On mesure deux lignes L_1 et L_2 , identiques en tous points mais de longueurs différentes.

On note respectivement M_1 la matrice T mesurée sur le DST correspondant à T_1 , M_2 la matrice T mesurée sur le DST correspondant à T_2 , en l'absence de calibration, ni de de-embedding (Figure AVIII.1). Les matrices G_a et G_b représentent les matrices T de l'ensemble des erreurs respectivement en amont et en aval du DST.

$$[M_1] = [G_a][T_1][G_b] \quad [M_2] = [G_a][T_2][G_b]$$

On définit la matrice M telle que :

$$[M] = [M_2][M_1]^{-1} = [G_a][T_2][G_b][G_b]^{-1}[T_1]^{-1}[G_a]^{-1} = [G_a][T_2][T_1]^{-1}[G_a]^{-1} = [G_a][T][G_a]^{-1}$$

$[M]$ et $[T]$ sont dites matrices « semblables », dont une des propriétés est d'avoir la même trace

[Bermond, 2001]. Or la matrice $[T]$ s'écrit :

$$[T] = [T_2][T_1]^{-1} = \begin{bmatrix} T_{11} & T_{12} \\ T_{21} & T_{22} \end{bmatrix} = \begin{bmatrix} e^{\gamma \Delta L} & 0 \\ 0 & e^{-\gamma \Delta L} \end{bmatrix} = \begin{bmatrix} \lambda_1 & 0 \\ 0 & \lambda_2 \end{bmatrix}$$

Relation [A- 77]

De la Relation [A- 79], on peut tirer :

$$\gamma = \frac{\cosh^{-1}\left(\frac{\text{trace}(T_2 T_1^{-1})}{2}\right)}{\Delta L} = \frac{\cosh^{-1}\left(\frac{\lambda_1 + \lambda_2}{2}\right)}{\Delta L} \quad \text{avec } \Delta_L = L_2 - L_1$$

Relation [A- 78]

Une variante à ce calcul est d'écrire :

$$\gamma = \frac{\ln\left(\frac{T_{11} + T_{22}}{2}\right)}{\Delta L} = \gamma = \frac{\ln\left(\frac{\lambda_1 + \lambda_2^{-1}}{2}\right)}{\Delta L}$$

Relation [A- 79]

VIII.2.2 Méthode des valeurs propres

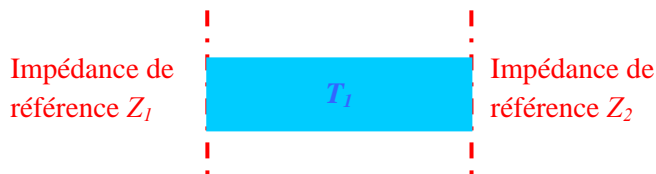
Enfin, une autre variante consiste à recalculer les valeurs propres λ_1, λ_2 de la matrice $[M]$, soit numériquement, soit analytiquement (Relation [A- 80]) et d'appliquer ensuite, soit la Relation [A- 78], soit la Relation [A- 79], pour obtenir γ .

$$\lambda_1, \lambda_2 = \frac{1}{2} \left(M_{11} + M_{22} \pm \sqrt{(M_{11} - M_{22})^2 + 4M_{12}M_{21}} \right)$$

Relation [A- 80]

VIII.2.3 Méthode directe sur une mesure de ligne calibrée

Enfin, on peut calculer directement à partir d'une mesure de ligne de longueur L , calibrée à ses interfaces par des impédances Z_1 et Z_2 (Relation [A- 81]). Il est intéressant de noter que la mesure de γ ne dépend pas de la connaissance des impédances de référence Z_1 et Z_2 , qui peuvent être par exemple 50Ω , sous calibrage OSTL, ou l'impédance caractéristique Z_c de la ligne, sous calibrage TRL (Cf. paragraphe VIII.5, Relation [A- 74]).

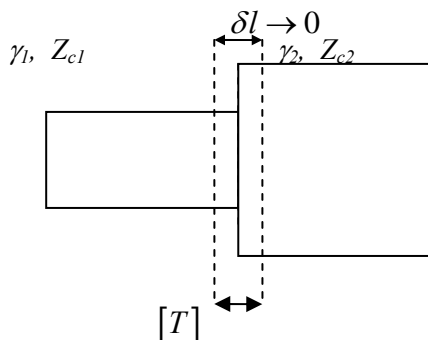


$$\gamma = \frac{1}{2L} \cosh^{-1} \left(\frac{1 + (S_{11}S_{22} - S_{12}S_{21})^2 - S_{11}^2 - S_{22}^2}{2S_{21}^2} \right)$$

Relation [A- 81]

VIII.3 Mesure directe d'un saut d'impédance

On suppose que l'on est capable de mesurer la matrice T d'un saut d'impédance en ramenant les plans de mesures aux bornes de la transition (Cf. Annexe 8 : Extraction des exposants de propagation et des sauts d'impédances). On suppose que la mesure est référencée sur les impédances caractéristiques des lignes Z_{c1} et Z_{c2} .



La mesure de la matrice donne directement une mesure du saut d'impédance :

$$T = \frac{1}{\sqrt{1-\Gamma^2}} \begin{bmatrix} 1 & \Gamma \\ \Gamma & 1 \end{bmatrix}$$

$$\Rightarrow \Gamma = \frac{T_{12}}{\sqrt{1-T_{12}^2}}$$

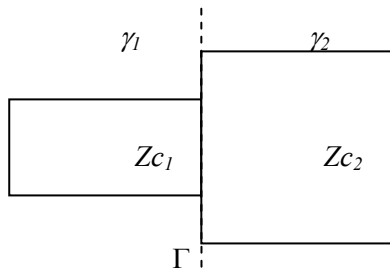
Si l'on connaît $Z_{c2} = Z_0$, on peut déterminer $Z_c = Z_{c1}$

$$Z_c = Z_0 \left(2T_{12}^2 + 1 \pm 2T_{12} \cdot \sqrt{T_{12}^2 + 1} \right) \quad \text{ou} \quad Z_c = Z_0 \left(2T_{11}^2 - 1 \pm 2T_{11} \cdot \sqrt{T_{11}^2 - 1} \right)$$

Relation [A- 82]

VIII.4 Extraction des impédances et admittances distribuées des lignes

On suppose que l'on a mesuré le saut d'impédance $\frac{Z_{c1}}{Z_{c2}} = \frac{1+\Gamma}{1-\Gamma}$ ainsi que les exposants de propagation γ_1 et γ_2 de chacune des lignes :



On peut écrire de nouvelles relations entre les impédances et les admittances respectives des deux lignes Z_1, Y_1, Z_2 et Y_2 .

$$Z_1 = \left(\frac{1+\Gamma}{1-\Gamma} \times \frac{\gamma_1}{\gamma_2} \right) \times Z_2 \quad Y_1 = \left(\frac{1-\Gamma}{1+\Gamma} \times \frac{\gamma_1}{\gamma_2} \right) \times Y_2$$

et $Z_1 = \frac{\gamma_1^2}{Y_1} \quad (\text{ou } Z_2 = \frac{\gamma_2^2}{Y_2})$

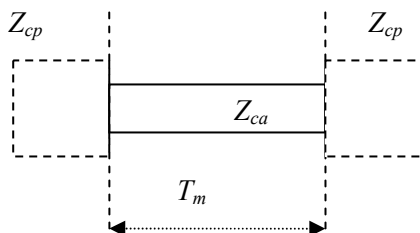
On obtient 3 équations (+1 équation liée) pour 4 inconnues. Il suffirait donc de connaître une des 4 inconnues Z_1, Y_1, Z_2 ou Y_2 pour trouver les 3 autres.

VIII.5 Méthodes de mesure et calculs d'un saut d'impédance Γ

On reprend ici les relations établies au paragraphe VIII.1 ci-dessus.

VIII.5.1 Mesure par calibrage symétrique

Dans le chapitre 2, on propose une méthode de calcul du saut d'impédance basée sur un pré-calibrage symétrique de type TRL sur une portion de ligne en ramenant l'impédance Z_{cp} sur les deux plans de référence de la mesure.



D'après la Relation [A- 75] (paragraphe VIII.1), le produit Z_{ca} / Z_{cp} se calcule directement à partir des paramètres S mesurés :

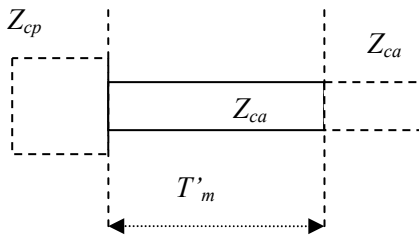
$$\frac{Z_{ca}}{Z_{cp}} = \sqrt{\frac{1 + S_{11} + S_{22} + S_{11}S_{22} - S_{12}S_{21}}{1 - S_{11} - S_{22} - S_{11}S_{22} - S_{12}S_{21}}} \Rightarrow \Gamma = \frac{\frac{Z_{ca}}{Z_{cp}} - 1}{\frac{Z_{ca}}{Z_{cp}} + 1}$$

où S_{11} , S_{12} , S_{21} et S_{22} sont les paramètres S issus de $[T_m]$

Relation [A- 83]

VIII.5.2 Méthode alternative : mesure par calibrage asymétrique

On fait un calibrage de type TRL asymétrique sur une portion de ligne en ramenant l'impédance Z_{cp} sur un plan de référence et Z_{ca} sur l'autre.



D'après la Relation [A- 76], le produit Z_{ca} / Z_{cp} se calcule directement à partir des paramètres S mesurés :

$$\frac{Z_{ca}}{Z_{cp}} = \frac{1 + S_{11} + S_{22} + S_{11}S_{22} - S_{12}S_{21}}{1 - S_{11} - S_{22} - S_{11}S_{22} - S_{12}S_{21}} \Rightarrow \Gamma = \frac{S_{11} + S_{22}}{1 + S_{11}S_{22} - S_{12}S_{21}}$$

Relation [A- 84]

où S_{11} , S_{12} , S_{21} et S_{22} sont les paramètres S issus de $[T'_m]$

IX Annexe 9 : Déplacement des plans de référence pour un calibrage de type TRL

Supposons que l'on effectue un premier calibrage du type TRL pour ramener une impédance de référence Z_{c_a} aux bornes d'un dispositif à mesurer (Figure AIX.1), où Z_{c_a} est l'impédance caractéristique des lignes d'accès au dispositif.

On note $[T_m]$ la matrice T du dispositif mesuré après calibrage.

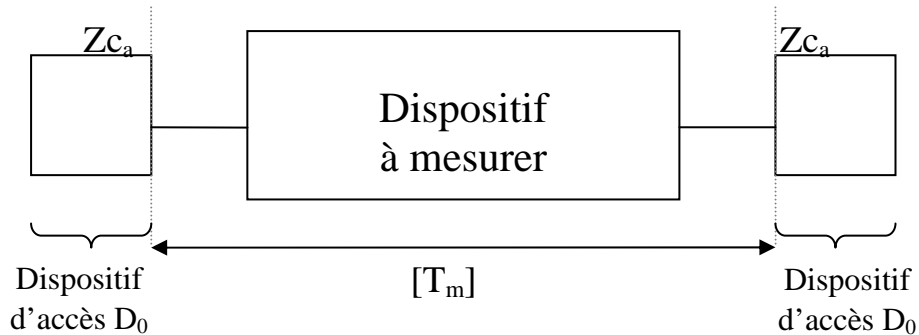


Figure AIX.1 : Représentation schématique du dispositif à mesurer

Supposons ensuite qu'on ait besoin de déplacer les plans de références pour s'adapter à un dispositif d'accès de longueur différente (Figure AIX.2).

Notons δl_p , en valeur relative, la différence de longueur de la ligne d'accès et $[T_m']$ la matrice T mesurée avec ces nouveaux dispositifs d'accès.

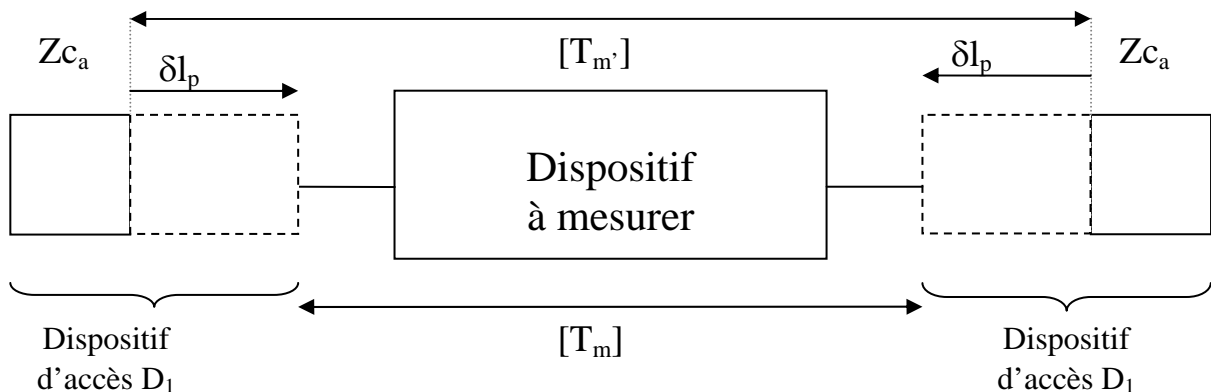


Figure AIX.2 : Représentation schématique du dispositif à mesurer

On revient à la mesure du dispositif en mettant en œuvre la modification du calibrage. On mesure $[T_m']$.

La matrice $[T_m]$ de la ligne référencée sur l'impédance de plot Z_{c_p} s'écrit :

$$[T_m'] = [T_0][T_m][T_0] \Rightarrow [T_m] = [T_0]^{-1}[T_m'] [T_0]^{-1}$$

Relation [A- 85]

avec $[T_0] = \begin{bmatrix} e^{-\gamma_p \delta l_p} & 0 \\ 0 & e^{\gamma_p \delta l_p} \end{bmatrix}$ et $[T_0]^{-1} = \begin{bmatrix} e^{\gamma_p \delta l_p} & 0 \\ 0 & e^{-\gamma_p \delta l_p} \end{bmatrix}$

Exemple :

On suppose qu'un calibrage de type TRL a été effectué sur une longueur L_1 du dispositif THRU plot supérieure à la longueur de plot L_0 utilisée sur le dispositif LINE ligne, par exemple pour $\delta l_p = L_0 - L_1 < 0$ (Figure AIX.3).

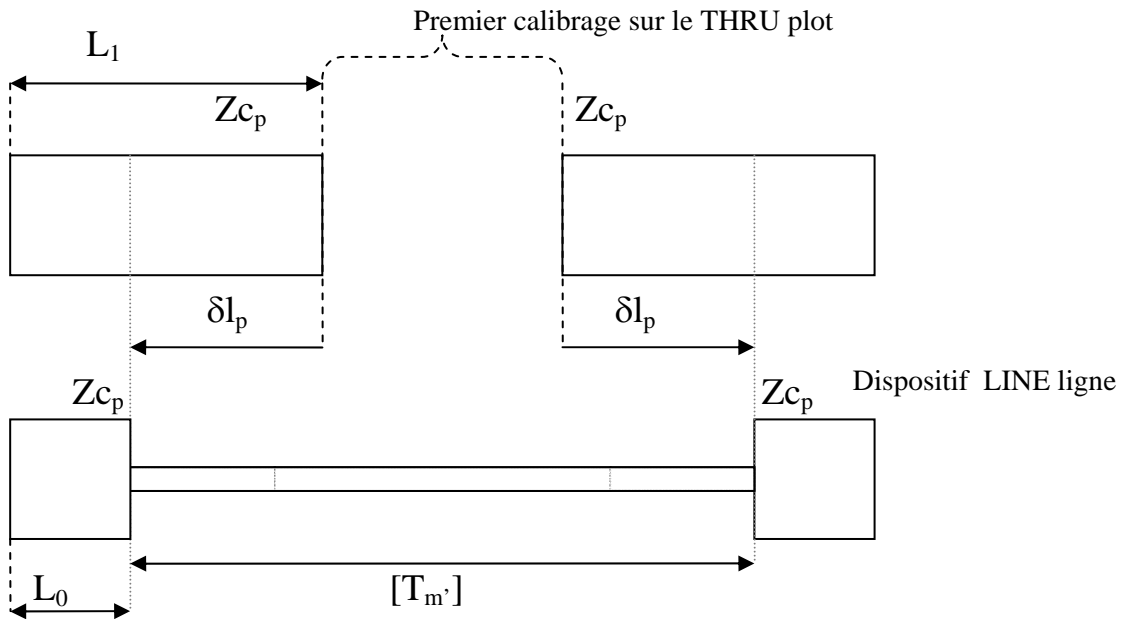


Figure AIX.3 : Illustration du déplacement des plans de référence pour la mesure

$$[T_m] = [T_0]^{-1} [T_m'] [T_0]^{-1} \quad \text{avec} \quad [T_0]^{-1} = \begin{bmatrix} e^{-\gamma_p |\delta l_p|} & 0 \\ 0 & e^{\gamma_p |\delta l_p|} \end{bmatrix}$$

Suite au déplacement des plans de référence, on se retrouve à mesurer la ligne d'accès référencée sur l'impédance Z_{cp} . Le produit Z_{ca} / Z_{cp} se calcule directement à partir de la matrice $[T_m]$ mesurée :

$$\frac{Z_{ca}}{Z_{cp}} = \sqrt{\frac{1 + S_{11} + S_{22} + S_{11}S_{22} - S_{12}S_{21}}{1 - S_{11} - S_{22} - S_{11}S_{22} - S_{12}S_{21}}} \Rightarrow \Gamma = \frac{Z_{ca}/Z_{cp} - 1}{Z_{ca}/Z_{cp} + 1}$$

où S_{11} , S_{12} , S_{21} et S_{22} sont le paramètre S issus de $[T_m]$

Relation [A- 86]

X Annexe 10 : Effet d'hypothèses simplificatrices sur la qualité du de-embedding

X.1 Hypothèse simplificatrice 1 (H1) : les plots sont « transparents »

On suppose que les deux longueurs de plot amont et aval sont suffisamment petite pour que la propagation soit négligée. Dans ce cas, on peut ramener le plan de mesure à l'interface plot-ligne (Figure AX.1) puisque la matrice abcd de la transition plot-ligne est la matrice unité.

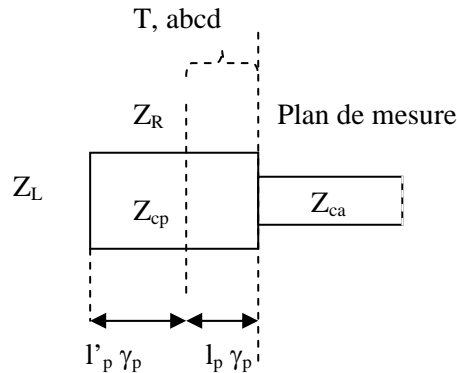


Figure AX.1 : Modèle de propagation du dispositif d'accès plot

Dans le formalisme des matrices T, on montre que peut écrire :

$$T = \frac{1}{\sqrt{1-\Gamma^2}} \begin{bmatrix} 1 & \Gamma \\ \Gamma & 1 \end{bmatrix} \quad \text{avec } \Gamma = \frac{Z_{ca} - Z_R}{Z_{ca} + Z_R}$$

Cela signifie que les transitions impédance de référence – plot et plot – ligne d'accès sont transparentes. Tout se passe donc comme si l'impédance de référence Z_R était ramenée aux bornes des lignes d'accès (Figure AX.2).

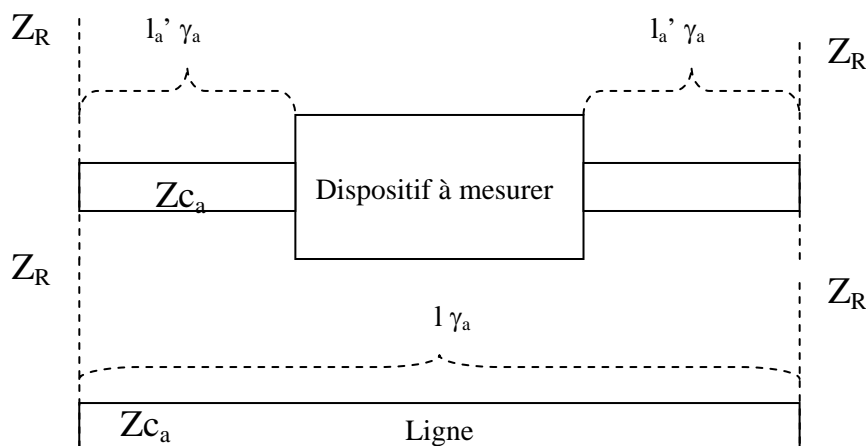


Figure AX.2 : Mesure équivalente pour l'hypothèse 1

X.1.1 Calcul de l'impédance caractéristique de la ligne d'accès sous l'hypothèse1

Sous cette hypothèse, le calcul de Z_{c_a} s'obtient simplement par la Relation [A- 87] (voir : Relation [A- 75]).

$$Z_{c_a} = Z_R \times \sqrt{\frac{T_{11} - T_{12} + T_{21} - T_{22}}{T_{11} + T_{12} - T_{21} - T_{22}}} \quad \text{ou} \quad Z_{c_a} = Z_R \times \sqrt{\frac{1 + S_{11} + S_{11}S_{22} - S_{12}S_{21}}{1 - S_{11} - S_{11}S_{22} - S_{12}S_{21}}}$$

Relation [A- 87]

Remarque 1: on peut également calculer γ_a , à partir de la Relation [A- 88].

$$\cosh(2\gamma_a l) = \frac{1 + (S_{11}S_{22} - S_{12}S_{21})^2 - S_{11}^2 - S_{22}^2}{2S_{21}^2}$$

Relation [A- 88]

Remarque 2: il est important de noter que les calculs de Z_{c_a} et de γ_a ne dépendent pas de la connaissance de la longueur de la ligne mesurée.

X.1.2 De-embedding sous l'hypothèse 1

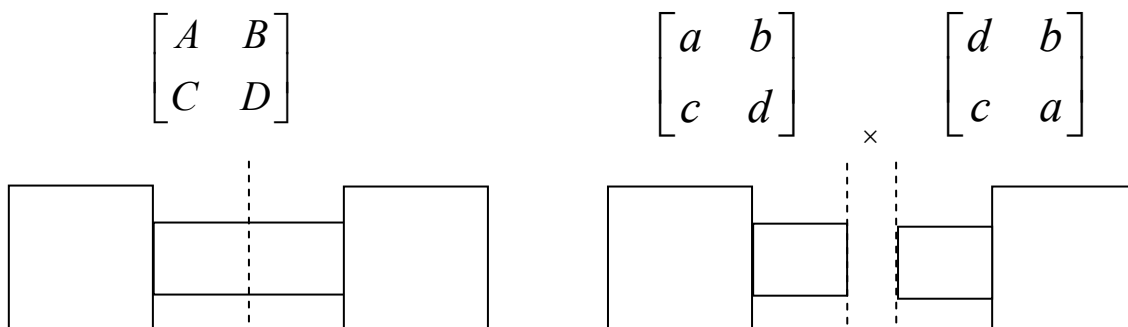
L'impédance caractéristique de la ligne d'accès Z_{c_a} étant calculée, il suffit de calculer les matrices chaîne des lignes d'accès pour obtenir la matrice chaîne du dispositif à mesurer.

X.2 Hypothèse simplificatrice 2 (H2): les accès sont symétriques

On **mesure** la matrice chaîne $A_m B_m C_m D_m$ des deux structures d'accès cascades. Cette structure correspond à un TRHU.

On note $abcd$ la matrice chaîne de la demi structure (accès 1), $ABCD$ la matrice chaîne d'une structure complète.

on suppose ensuite que $a=d$ (ce qui revient à dire que les dispositifs d'accès sont non seulement réciproques mais aussi symétriques)



Si les dispositifs d'accès sont réciproques, ABCD s'écrit :

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \begin{bmatrix} a & b \\ c & d \end{bmatrix} \begin{bmatrix} a & b \\ c & d \end{bmatrix} = \begin{bmatrix} a^2 + bc & 2ab \\ 2ac & a^2 + bc \end{bmatrix}$$

On obtient un jeu de 3 équations

On pose $\Delta = \pm\sqrt{2A \pm 2\sqrt{A^2 - BC}}$

On obtient :

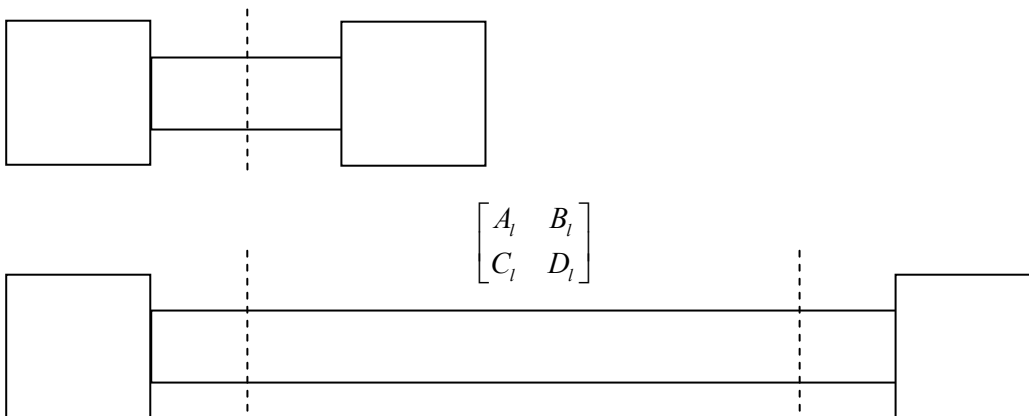
$$a = \frac{1}{2}\Delta \qquad b = \frac{B}{\Delta} \qquad c = \frac{C}{\Delta}$$

On obtient alors la matrice abcd.

On procède au de-embedding:

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \begin{bmatrix} a & b \\ c & d \end{bmatrix} \begin{bmatrix} A_l & B_l \\ C_l & D_l \end{bmatrix} \begin{bmatrix} d & b \\ c & a \end{bmatrix} \Rightarrow$$

$$\begin{bmatrix} A_l & B_l \\ C_l & D_l \end{bmatrix} = \begin{bmatrix} d & -b \\ -c & a \end{bmatrix} \begin{bmatrix} A & B \\ C & D \end{bmatrix} \begin{bmatrix} a & -b \\ -c & d \end{bmatrix}$$



On obtient $A_l B_l C_l D_l$ (calibrage OSTL, mesure des paramètres S, calcul de la matrice ABCD globale, de-embedding par les matrices chaîne) la matrice chaîne de l'interconnexion, et donc ses paramètres caractéristiques.

X.2.1.a.1 Critique de l'Hypothèse 2

Dans la première partie on ne fait aucune hypothèse sur le modèle des matrices ABCD mais une hypothèse de symétrie

Ici, on cherche un modèle afin converger vers le domaine de validité de l'hypothèse de symétrie. Il ne s'agit que de convergence car :

- a] Rien ne permet de valider le modèle proposé a priori.
- b] Même si le modèle est adapté au dispositif, la recherche d'un critère de validité passe par des hypothèses de simplification, qu'elles même, il reste à valider.

On pose $\Gamma = \frac{Zc_a - Zc_p}{Zc_a + Zc_p}$ soit $\frac{Zc_a}{Zc_p} = \frac{1+\Gamma}{1-\Gamma}$, a_0 s'écrit alors :

$$a_0 = \cosh(\gamma_p l_p) \cosh(\gamma_a l_a) + \sinh(\gamma_p l_p) \sinh(\gamma_a l_a) \times \frac{1-\Gamma}{1+\Gamma}$$

On obtient :

$$\frac{a-d}{a+d} = \frac{\sinh(\gamma_p l_p) \sinh(\gamma_a l_a) \times \left[\frac{Zc_p}{Zc_a} - \frac{Zc_a}{Zc_p} \right] - b_0 Y_p'}{2 \cosh(\gamma_p l_p) \cosh(\gamma_a l_a) + \sinh(\gamma_p l_p) \sinh(\gamma_a l_a) \times \left[\frac{Zc_p}{Zc_a} + \frac{Zc_a}{Zc_p} \right] + b_0 Y_p'}$$

$$\frac{a-d}{a+d} = \frac{\sinh(\gamma_p l_p) \sinh(\gamma_a l_a) \times \left[4 \frac{\Gamma}{\Gamma^2 - 1} \right] - b_0 Y_p'}{2 \cosh(\gamma_p l_p) \cosh(\gamma_a l_a) + \sinh(\gamma_p l_p) \sinh(\gamma_a l_a) \times \left[2 \frac{\Gamma^2 + 1}{\Gamma^2 - 1} \right] + b_0 Y_p'}$$

X.2.1.a.2 Critère de validité de l'hypothèse de symétrie

Peut-on négliger Y_p' ? Si oui, on peut s'intéresser au terme $\sinh(\gamma_p l_p) \sinh(\gamma_a l_a) \times \left[4 \frac{\Gamma}{\Gamma^2 - 1} \right]$.

On suppose que :

- a] $(\gamma_p l_p) \ll 1$ et $(\gamma_a l_a) \ll 1$
- b] les pertes actives sont négligeables
- c] le dénominateur $a+d \approx 2$
- d] on néglige Y_p'

$$\text{Alors } \left| \sinh(\gamma_p l_p) \sinh(\gamma_a l_a) \right| \approx \left| \gamma_p l_p \gamma_a l_a \right| \approx \left| \beta_p l_p \beta_a l_a \right|$$

Le critère de validité de l'hypothèse de symétrie peut s'écrire :

$$\text{Quand est-ce que } \left| 4 \beta_p l_p \beta_a l_a \frac{\Gamma}{\Gamma^2 - 1} \right| \ll 1 ?$$

$$\text{ou encore } f \ll f_{val} = \frac{C}{4\pi} \sqrt{\frac{1}{l_p l_a \sqrt{\epsilon_{reff p}} \sqrt{\epsilon_{reff a}}} \frac{\Gamma^2 - 1}{\Gamma}} \quad \left(\beta = \frac{2\pi f \sqrt{\epsilon_{reff}}}{C} \right)$$

X.3 Hypothèse 3

On ouvre le domaine de validité en abandonnant l'hypothèse de symétrie ($a = d$). C'est l'objet de la méthode proposée dans le chapitre 2 qui propose une modélisation rigoureuse des accès.

XI Annexe 11 : Gains en tension et en puissance

XI.1 Exploitation des matrices ABCD pour calculer les tensions et les courants aux interfaces d'un dispositif en fonction des conditions de charge

Conformément au schéma de la Figure AXI.1, on pose :

$$Z_{in} = \frac{U_0}{I_0} = \frac{AU_L + BI_L}{CU_L + DI_L} \quad Z_L = \frac{U_L}{I_L}$$

Relation [A- 89]

A partir de la Relation [A- 89], on en déduit l'impédance Z_{in} en entrée du dispositif :

$$Z_{in} = \frac{AZ_L + B}{CZ_L + D}$$

Relation [A- 90]

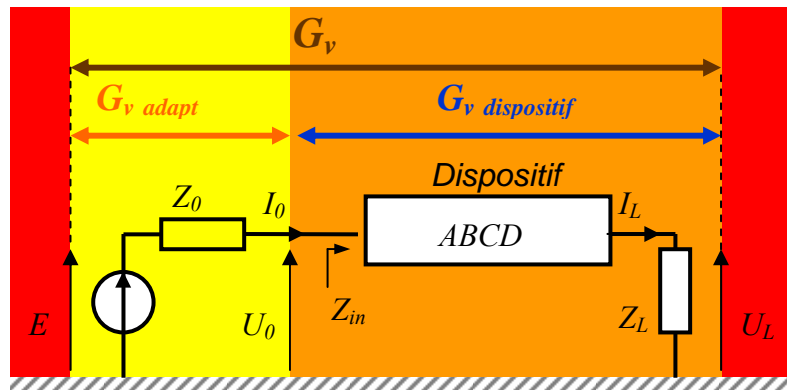


Figure AXI.1 : Schéma électrique équivalent d'un dispositif excité par un générateur de tension d'impédance interne Z_0 et chargée par une impédance Z_L

$$\frac{U_0}{E} = \frac{Z_{in}}{Z_{in} + Z_0} = \frac{AZ_L + B}{AZ_L + B + CZ_L Z_0 + DZ_0}$$

$$\frac{I_0}{E} = \frac{1}{Z_{in} + Z_0} = \frac{CZ_L + D}{AZ_L + B + CZ_L Z_0 + DZ_0}$$

$$\frac{U_L}{E} = \frac{DU_0 - BI_0}{E} = \frac{ADZ_L + BD - BCZ_L - BD}{AZ_L + B + CZ_L Z_0 + DZ_0} = \frac{Z_L}{AZ_L + B + CZ_L Z_0 + DZ_0}$$

$$\frac{I_L}{E} = \frac{CU_0 - AI_0}{E} = \frac{ACZ_L + BC - ACZ_L - AD}{AZ_L + B + CZ_L Z_0 + DZ_0} = \frac{1}{AZ_L + B + CZ_L Z_0 + DZ_0}$$

Relation [A- 91]

XI.2 Gains en tension, en courant et en puissance à travers un dispositif en fonction des conditions de charge

XI.2.1 Gain d'adaptation en tension

$$G_{v\,adapt} = \frac{U_0}{E} = \frac{AZ_L + B}{AZ_L + B + CZ_L Z_0 + DZ_0}$$

Relation [A- 92]

XI.2.2 Gain en tension à travers le dispositif

$$G_{v\,propag} = \frac{U_L}{U_0} = \frac{Z_L}{AZ_L + B}$$

Relation [A- 93]

XI.2.3 Gain en tension total

$$G_{v\,total} = \frac{U_L}{E} = \frac{Z_L}{AZ_L + B + CZ_L Z_0 + DZ_0}$$

Relation [A- 94]

XI.2.4 Gain en courant

$$G_i = \frac{I_L}{I_0} = \frac{1}{CZ_L + D}$$

Relation [A- 95]

XI.2.5 Gain en puissance total

$$G_P = G_{v\,total} G_i = \frac{Z_L}{(CZ_L + D)^2 Z_0 + (AD + BC)Z_L + AZ_L^2 + BD}$$

Relation [A- 96]

XI.3 Gains en tension, en courant et en puissance à travers une interconnexion de paramètres caractéristiques γ et Z_c en fonction des conditions de charge

XI.3.1 Gain d'adaptation en tension

$$G_{v\,adapt} = \frac{Z_c \cdot (Z_L + Z_c \cdot th(\gamma l))}{Z_c \cdot (Z_L + Z_c \cdot th(\gamma l)) + Z_0 \cdot (Z_c + Z_L \cdot th(\gamma l))}$$

Relation [A- 97]

XI.3.2 Gain en tension à travers le dispositif

$$G_{v\,propag} = ch(\gamma l) - \frac{Z_c + Z_L \cdot th(\gamma l)}{Z_L + Z_c \cdot th(\gamma l)} \cdot sh(\gamma l)$$

Relation [A- 98]

XI.3.3 Gain en tension total

$$G_{v \text{ total}} = \frac{Z_L \cdot Z_c}{Z_c \cdot (Z_L + Z_0) \cdot \cosh(\gamma l) + (Z_c^2 + Z_L \cdot Z_0) \cdot \sinh(\gamma l)}$$

Relation [A- 99]

XI.3.4 Gain en courant

$$G_i = \frac{I_L}{I_0} = \frac{1}{\sinh(\gamma l) \frac{Z_L}{Z_c} + \cosh(\gamma l)}$$

Relation [A- 100]

XI.3.5 Gain en puissance total

$$G_p = G_{v \text{ total}} G_i = \frac{U_L I_L}{E I_0} = \frac{P_L}{P_0} \quad \text{où } P_0 = E I_0 \text{ est la puissance fournie par le générateur aval et } P_L \text{ est}$$

la puissance transmise à la charge.

$$G_p = \frac{Z_c Z_L}{\cosh^2(\gamma l) (Z_c Z_L + Z_c Z_0) + \sinh^2(\gamma l) \left(Z_c Z_L + \frac{Z_L^2 Z_0}{Z_c} \right) + \cosh(\gamma l) \sinh(\gamma l) \left((Z_L + Z_0)^2 - Z_0^2 + Z_c^2 \right)}$$

$$\text{ou } G_p = \frac{1}{\cosh^2(\gamma l) \left(1 + \frac{Z_0}{Z_L} \right) + \sinh^2(\gamma l) \left(1 + \frac{Z_L Z_0}{Z_c^2} \right) + \cosh(\gamma l) \sinh(\gamma l) \left(\frac{2Z_0 + Z_L}{Z_c} + \frac{Z_c}{Z_L} \right)}$$

Relation [A- 101]

XI.4 Gains en tension, en courant et en puissance à travers une interconnexion de paramètres caractéristiques γ et Z_c avec une charge adaptée en sortie

XI.4.1 Gain d'adaptation en tension

$$G_{v \text{ adapt}} = \frac{Z_c}{Z_c + Z_0}$$

Relation [A- 102]

XI.4.2 Gain en tension à travers le dispositif

$$G_{v \text{ propag}} = ch(\gamma l) - sh(\gamma l) = e^{-\gamma l}$$

Relation [A - 103]

XI.4.3 Gain en tension total

$$G_{v \text{ total}} = \frac{Z_c}{Z_c + Z_0} e^{-\gamma l}$$

Relation [A - 104]

XI.4.4 Gain en courant

$$G_i = \frac{1}{\sinh(\gamma l) + \cosh(\gamma l)} = e^{-\gamma l}$$

XI.4.5 Gain en puissance total

$$G_p = \frac{Z_c}{Z_c + Z_0} e^{-2\gamma l}$$

Relation [A - 105]

XI.5 Cas particulier d'une ligne de longueur négligeable

On suppose alors que $A = D = 1$, $B = C = 0$
Les gains se réduisent à des gains d'adaptation.

XI.5.1 Gain d'adaptation en tension

$$G_{v_{adapt}} = G_{v_{total}} = \frac{Z_L}{Z_L + Z_0} = G$$

Relation [A - 106]

XI.5.2 Gain en courant

$$G_{i_{total}} = 1$$

Relation [A - 107]

XI.5.3 Gain en puissance total = puissance délivrée/ puissance transmise = rendement

$$G_p = \frac{Z_L}{Z_L + Z_0} = G$$

Relation [A - 108]

XI.6 Puissance transmise en fonction des conditions de charge

On reste dans l'hypothèse : $A = D = 1$, $B = C = 0$

Les gains se réduisent à des gains d'adaptation.

On s'intéresse à la maximisation conjointe de la puissance transmise et du rendement.

XI.6.1 Puissance transmise

$$P_{transm} = U_L I_L = E^2 \frac{Z_L}{(Z_L + Z_0)^2}$$

On pose $k = \frac{Z_L}{Z_0}$ et $P_{cc} = \frac{E^2}{Z_0}$

P_{cc} correspond à la puissance en court-circuit de l'étage amont. On a alors :

$$P_{transm} = P_{cc} \frac{k}{(k+1)^2} \quad \text{pour } k=1, \quad P_{transm (Z_L=Z_0)} = P_{transm \text{ maximale}} = \frac{P_{cc}}{4}$$

Relation [A - 109]

XI.6.2 Rendement

$$G = \frac{k}{k+1} \quad \text{pour } k=1, \quad G_{(Z_L=Z_0)} = 50\%$$

Relation [A - 110]

XI.6.3 Interprétation

La condition d'adaptation $Z_L = Z_0$ est optimale en termes de puissance maximale transmissible mais elle est sous-optimale en termes de rendement. Le rendement est optimal pour $Z_L \rightarrow \infty$. Dans ce cas, on ne « voit » plus l'impédance de l'étage amont (impédance interne du générateur par exemple) devant l'impédance de charge. Mais le courant devenant nul il n'a plus de puissance transmise !

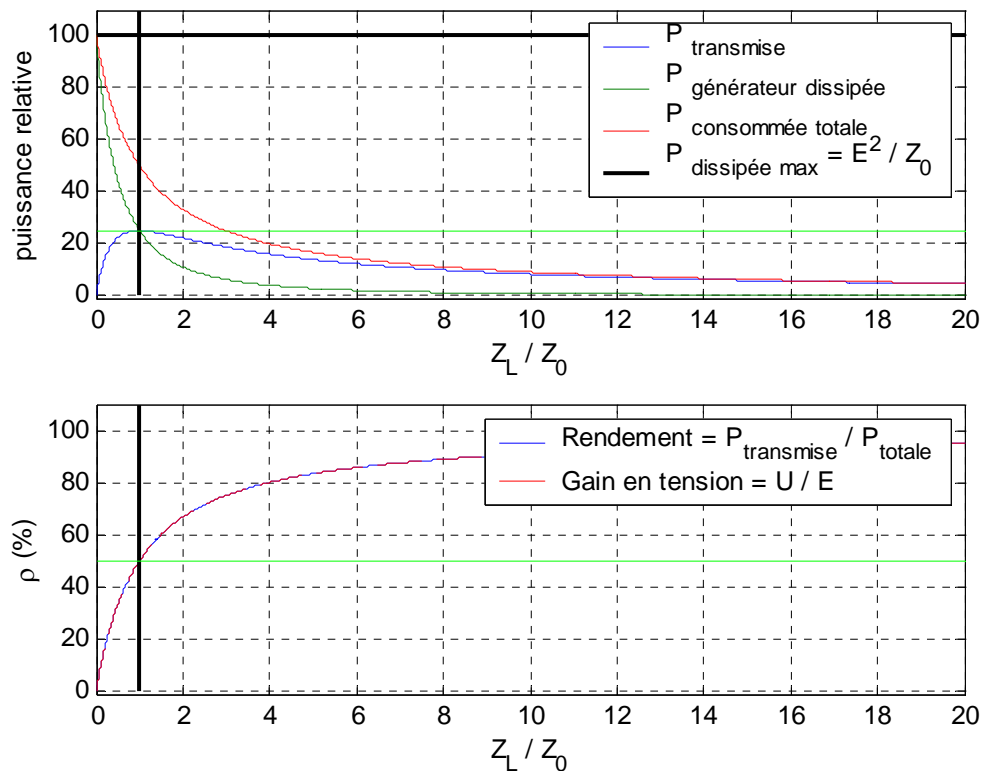


Figure AXI.2 : Puissance transmise et rendement en fonction du rapport d'impédances entre la charge et la source

XI.7 Conditions de charges particulières canoniques

XI.7.1 Charges adaptées

Dans le cas particulier où les impédances sont adaptées en entrée et en sortie de l'interconnexion ($Z_L = Z_0 = Z_c$), les expressions des gains se réduisent à la Relation [A - 111].

$$G_{v\text{ adapt}} = \frac{1}{2} \quad G_{v\text{ propag}} = e^{-\gamma l} \quad G_v = \frac{1}{2} e^{-\gamma l}$$

Relation [A - 111]

XI.7.2 Charge adaptée en entrée

Dans le cas particulier où les charges sont adaptées en entrée de l'interconnexion seulement ($Z_0 = Z_c$), les expressions des gains s'écrivent comme la Relation [A - 112].

$$G_{v\text{ adapt}} = \frac{1}{1 + \frac{Z_c + Z_L \cdot th(\gamma l)}{Z_L + Z_c \cdot th(\gamma l)}} \quad G_v = \frac{1}{1 + Z_c / Z_L} e^{-\gamma l}$$

Relation [A - 112]

XI.7.3 Charge infinie en sortie

Dans un circuit numérique, la capacité à transmettre des niveaux de tensions à des niveaux « hauts » ou « bas » sera conditionné à : $G_{v(\omega=0)} \approx 1$.

Dans le cas particulier d'une charge infinie en sortie de l'interconnexion ($Z_L = \infty$) et d'une impédance d'entrée adaptée ($Z_0 = Z_c$), les expressions des gains s'écrivent conformément à la Relation [A - 113].

$$G_{v\text{ adapt}} = \frac{1}{1 + th(\gamma l)} \quad G_{v\text{ propag}} = \frac{1}{ch(\gamma l)} \quad G_v = e^{-\gamma l}$$

Relation [A - 113]

Enfin si l'on pose comme condition à l'entrée $Z_0 = 0$, on obtient :

$$G_{v\text{ adapt}} = 1 \quad \text{et} \quad G_v = \frac{1}{ch(\gamma l)}$$

Relation [A - 114]

On approche donc la condition $G_{v(\omega=0)} \approx 1$ lorsque :

- il n'y a pas de perte diélectrique dans l'isolant (entre l'interconnexion et la masse).
- on charge l'interconnexion par une petite résistance en entrée et une petite capacité en sortie, comme représenté en Figure AXI.3.

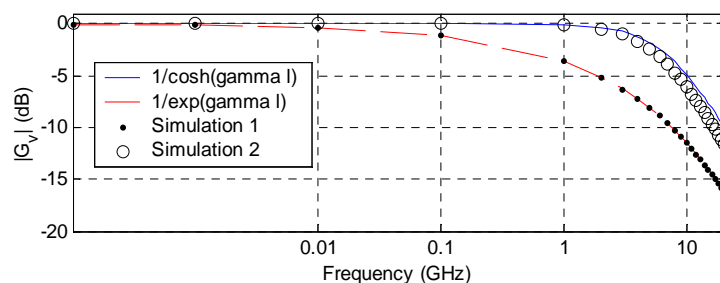


Figure AXI.3 : Exemple de réponse fréquentielle. Simulation 1 : une interconnexion 45 nm ($l=200 \mu\text{m}$, $1/2 \text{ pitch} = 50 \text{ nm}$) est interfacée par une impédance parfaitement adaptée en entrée et un driver 45 nm $\times 1$ (C_g petit) en sortie ; Simulation 2 : l'interconnexion est interfacée par un driver 45 nm $\times 64$ (R_{sd} petit) en entrée et un driver 45 nm $\times 1$ en sortie.

XI.7.4 Interconnexion transparente

Enfin, dans le cas particulier où l'interconnexion n'introduit pas de gain (par exemple $l \rightarrow 0$ ou $\gamma \rightarrow 0$), l'expression du gain total en tension se réduit la Relation [A - 115], qui traduit la réponse uniquement liée aux charges en entrée et en sortie.

$$G_v = G_{v\text{adapt}} = \frac{Z_L}{Z_0 + Z_L} = \frac{1}{1 + \frac{Z_0}{Z_L}}$$

Relation [A - 115]

Par exemple, si l'impédance d'entrée est résistive et celle de sortie est capacitive, alors on a : $Z_L = C_L$,

$Z_0 = R_0$ et on obtient :

$$G_v(\omega) = \frac{1}{1 + jR_0C_L\omega}$$

Relation [A - 116]

On retrouve ici la réponse d'un circuit RC, dont le temps de réponse τ peut être approximé par $\tau = R_0C_L$.

XI.7.5 Tendances asymptotiques, en fréquence et en longueur, de la bande passante

La réponse d'une interconnexion est modélisée par les paramètres caractéristiques γ_c et Z_c auxquels on fait correspondre le modèle *RLCG* distribué.

On suppose que G est suffisamment petit pour être négligé dans le calcul de la bande passante : $G = 0$. Afin d'obtenir des expressions simples de la réponse d'une interconnexion, on se focalise, sans pertes de généralités, sur la Relation [A - 113], qui donne le gain en tension d'une interconnexion adaptée en entrée, chargée par une charge infinie en sortie, représentative d'une charge capacitive de très faible capacité. L'exposant de propagation $\gamma_c = \alpha + i\beta$ peut s'écrire comme la somme d'un terme d'atténuation α et d'un terme de phase β .

On obtient alors la réponse de l'interconnexion sous sa forme polaire :

$$G_v = e^{-\gamma_c l} = |G_v| e^{-i\varphi} \quad \text{avec} \quad |G_v| = e^{-\alpha l} \quad \varphi = \beta l$$

Relation [A - 117]

On exprime ensuite α et β à l'aide des paramètres primaires de l'interconnexion (Relation [A - 118] et Relation [1- 119]) :

$$\alpha = \sqrt{\frac{1}{2}} \times \omega \cdot \sqrt{LC} \cdot \sqrt{\sqrt{\left(\frac{R^2}{L^2 \omega^2} + 1\right)} - 1}$$

Relation [A - 118]

$$\beta = \sqrt{\frac{1}{2}} \times \omega \cdot \sqrt{LC} \times \sqrt{\left(\frac{R^2}{L^2 \omega^2} + 1\right) + 1}$$

Relation [1- 119]

A partir des Relation [A - 118] et Relation [1- 119], on peut dégager des tendances asymptotiques basses fréquences (BF) et hautes fréquences (HF), exprimées par la Relation [A - 120], et préciser un critère de limite entre ces deux tendances.

La tendance de la réponse dépend du signe de $\left(\frac{R^2}{L^2 \omega^2} - 1\right)$. On peut alors définir une fréquence de transition $f_{tr} = \frac{R}{2\pi L}$ entre le gain en tension BF G_{vBF} et le gain en tension HF G_{vHF} , dont les évolution en fonction de la fréquence sont représentés en Figure AXI.4.

$$\alpha, \beta \xrightarrow[f \rightarrow 0 \quad (f < f_{tr})]{} \sqrt{\frac{RC\omega}{2}} = \sqrt{\pi RC} \cdot \sqrt{f}$$

$$\alpha \xrightarrow[f \rightarrow \infty \quad (f > f_{tr})]{} \frac{1}{2} \times R \cdot \sqrt{\frac{C}{L}} \qquad \beta \xrightarrow[f \rightarrow \infty \quad (f > f_{tr})]{} \sqrt{LC\omega^2} = \sqrt{4\pi^2 LC} \cdot f$$

Relation [A - 120]

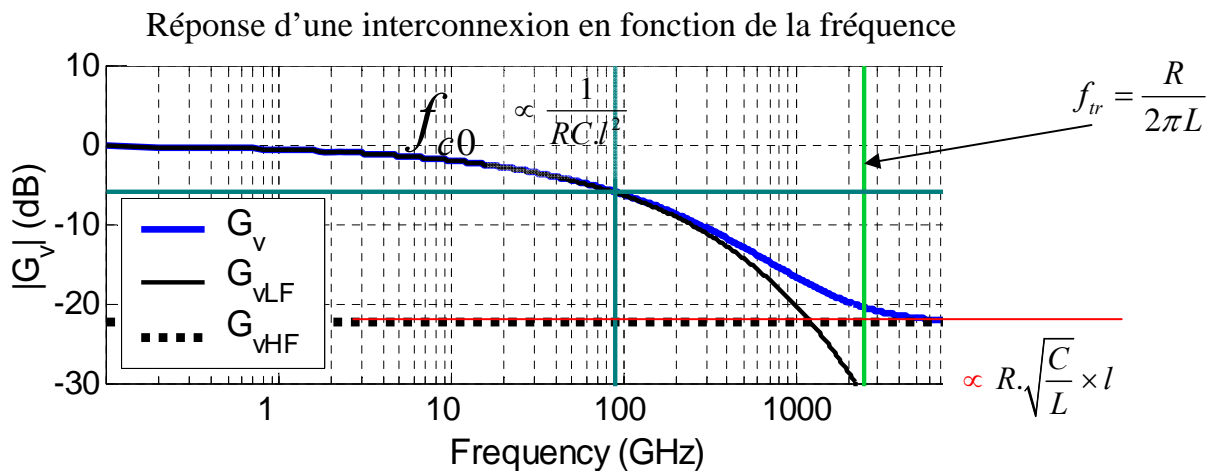


Figure AXI.4 : Exemple typique de réponse (gain en tension) d'une interconnexion et ses tendances asymptotiques

Le modèle basses fréquences de module $|G_{BF}(f)| = e^{-\sqrt{\pi RC} \cdot l \cdot \sqrt{f}}$ est du type passe-bas. On pourra définir une fréquence de coupure $f_{c0}(A_c)$, fonction de l'atténuation de coupure A_c , spécifiée en amplitude :

$$f_{c0}(A_c) = \frac{\ln^2(A_c)}{\pi RC \cdot l^2}$$

Relation [A - 121]

Par exemple pour $A_c = 2$, correspondant à une atténuation à -6 dB du module du spectre, on a :

$$f_{c0} = \frac{\ln^2(2)}{\pi RC I^2} \propto \frac{1}{RC I^2}$$

Relation [A - 122]

Pour le modèle hautes fréquences, on définira simplement le gain asymptotique constant de module

$|G_{HF}(f)| = e^{-\frac{1}{2}R\sqrt{\frac{C}{L}} \cdot f}$, donc proportionnel à $R\sqrt{\frac{C}{L}} \times f$ dans son expression logarithmique. Quand à la

phase, elle est linéaire, ce qui correspond à un pur retard proportionnel à \sqrt{LC} .

XII Annexe 12 : Problème numérique des sauts de phase lors de l'application de fonctions sinus et cosinus hyperboliques inverses et de racines carrées

XII.1 Formules littérales

$$\cosh^{-1}(z) = \ln \left| z \times \left(1 + \sqrt{1 - \frac{1}{z^2}} \right) \right| + i \times \left[\arg(z) + \arg \left(1 + \sqrt{1 - \frac{1}{z^2}} \right) \right]$$

$$\cosh^{-1}(\sqrt{z}) = \ln \left| \sqrt{z} \times \left(1 + \sqrt{1 - \frac{1}{z}} \right) \right| + i \times \left[\frac{\arg(z)}{2} + \arg \left(1 + \sqrt{1 - \frac{1}{z}} \right) \right]$$

$$\sinh^{-1}(z) = -\ln \left| z \times \left(1 + \sqrt{1 + \frac{1}{z^2}} \right) \right| - i \times \left[\arg(z) + \arg \left(1 + \sqrt{1 + \frac{1}{z^2}} \right) \right]$$

$$\sinh^{-1}(\sqrt{z}) = -\ln \left| \sqrt{z} \times \left(1 - \sqrt{1 + \frac{1}{z}} \right) \right| - i \times \left[\frac{\arg(z)}{2} + \arg \left(1 - \sqrt{1 + \frac{1}{z}} \right) \right]$$

Remarque : $\sqrt{z} = \sqrt{|z|} \times e^{i \frac{\arg(z)}{2}}$

XII.2 Exemples de scripts Matlab évitant les sauts de phase

z est ici une variable complexe quelconque.

On résout le problème de saut de phase en utilisant l'outil **unwrap.m** de Matlab, qui aide à éviter les sauts de phases.

- à la place de **deux_gamma_L = acosh(z)**, on peut écrire:

$$\text{deux_gamma_L} = \log(\text{abs}(z)) + i * \text{unwrap}(\text{angle}(z)) + \log(\text{abs}(1 + \text{sqrt}(1 - z.^{-2}))) \dots \\ + i * \text{unwrap}(\text{angle}(1 + \text{sqrt}(1 - z.^{-2})));$$

- à la place de **gamma_L = asinh(sqrt(z))**, on peut écrire:

$$\text{gamma_L} = -(\log(\text{abs}(\text{sqrt}(z))) + i * \text{unwrap}(\text{angle}(z)) / 2 + \log(\text{abs}(1 - \text{sqrt}(1 - z.^{-1})))) \dots \\ + i * \text{unwrap}(\text{angle}(1 - \text{sqrt}(1 - z.^{-1})));$$

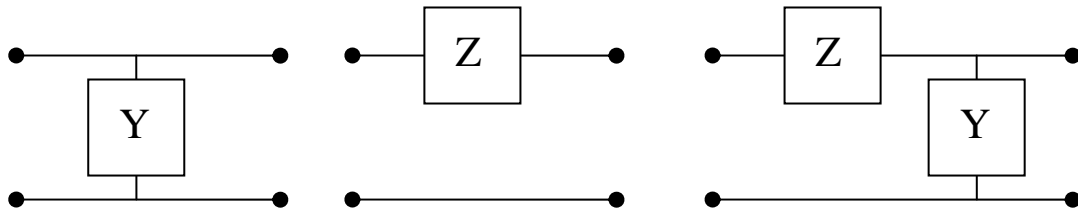
- à la place de **Zc = sqrt(z)**, on peut écrire:

$$\text{Zc} = \text{abs}(\text{sqrt}(z)) .* \exp(i * 0.5 * \text{unwrap}(\text{angle}(z)));$$

XIII Annexe 13 : Modèle localisé et propagation

XIII.1 Eléments localisés

XIII.1.1 Shémas équivalents Z et Y

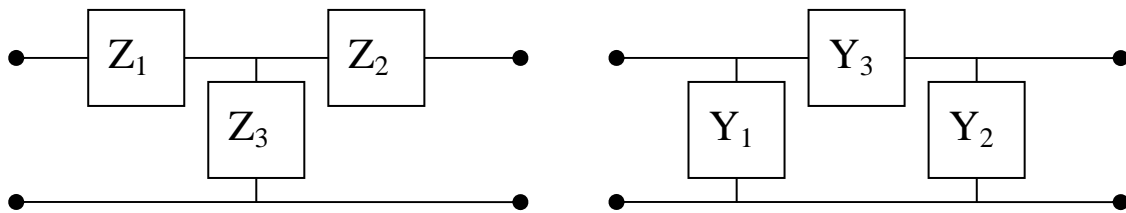


$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \begin{bmatrix} 1 & 0 \\ Y & 1 \end{bmatrix}$$

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \begin{bmatrix} 1 & Z \\ 0 & 1 \end{bmatrix}$$

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \begin{bmatrix} 1+YZ & Z \\ Y & 1 \end{bmatrix}$$

XIII.1.2 Shémas équivalents Π et T



Modèle en T

Modèle en Π

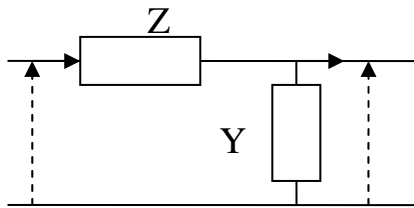
XIII.1.3 Relations entre les modèles en T ou en Π et la matrice ABCD

$A = 1 + \frac{Z_1}{Z_3}$	$B = Z_1 + Z_2 + \frac{Z_1 Z_2}{Z_3}$	$A = 1 + \frac{Y_2}{Y_3}$	$B = \frac{1}{Y_3}$
$C = \frac{1}{Z_3}$	$D = 1 + \frac{Z_2}{Z_3}$	$C = Y_1 + Y_2 + \frac{Y_1 Y_2}{Y_3}$	$D = 1 + \frac{Y_1}{Y_3}$
A partir de ces jeux d'équations, on obtient:			
$Z_3 = \frac{1}{C}$	$Z_1 = \frac{A-1}{C}$	$Z_2 = \frac{D-1}{C}$	$Y_3 = \frac{1}{B}$
			$Y_2 = \frac{A-1}{B}$
			$Y_1 = \frac{D-1}{B}$
$\Delta_Z = Z_1 Z_2 + Z_1 Z_3 + Z_2 Z_3$	$\Delta_Z = \frac{1}{\Delta_Y}$	$\Delta_Y = Y_1 Y_2 + Y_1 Y_3 + Y_2 Y_3$	$\Delta_Y = \frac{1}{\Delta_Z}$
$Z_1 = \frac{Y_2}{\Delta_Y} = Y_2 \Delta_Z$	$Z_2 = \frac{Y_1}{\Delta_Y} = Y_1 \Delta_Z$	$Z_3 = \frac{Y_3}{\Delta_Y} = Y_3 \Delta_Z$	
Note : la relation de réciprocité $AD - BC = 1$ est bien vérifiée			

Relations [A - 123]

XIII.1.4 Diagonalisation d'une matrice localisée

On s'intéresse à l'étude d'un élément de circuit RLCG



La matrice chaîne $M = \begin{bmatrix} A & B \\ C & D \end{bmatrix}$ s'écrit : $M = \begin{bmatrix} 1 & Z \\ 0 & 1 \end{bmatrix} \begin{bmatrix} 1 & 0 \\ Y & 1 \end{bmatrix} = \begin{bmatrix} 1+YZ & Z \\ Y & 1 \end{bmatrix}$

La relation de réciprocité $AD - BC = 1$ est bien vérifiée

M est diagonalisable. Il peut être intéressant de diagonaliser M pour effectuer des calculs de cascades d'éléments localisés.

Par exemple, si D est la matrice composée des valeurs propres de M, et P la matrice composée des vecteurs propres de M, on peut écrire: $M = PDP^{-1}$

Une cascade de K matrices identiques à M, s'écrit simplement :

$M^K = PD^K P^{-1}$ où la mise en puissance D^K ne fait intervenir que des opérations scalaires

On pose $\Gamma = \sqrt{YZ + \frac{Y^2 Z^2}{4}}$

$$D = \begin{bmatrix} \sqrt{1+\Gamma^2} + \Gamma & 0 \\ 0 & \sqrt{1+\Gamma^2} - \Gamma \end{bmatrix} = \begin{bmatrix} \Gamma_1 & 0 \\ 0 & \Gamma_2 \end{bmatrix}$$

$$P = [Y]^{-1} \begin{bmatrix} -1 + \sqrt{\Gamma^2 + 1} + \Gamma & -1 + \sqrt{\Gamma^2 + 1} - \Gamma \\ 1 & 1 \end{bmatrix} = [Y]^{-1} \begin{bmatrix} -1 + \Gamma_1 & -1 + \Gamma_2 \\ 1 & 1 \end{bmatrix}$$

$$P^{-1} = \frac{1}{2\Gamma} \begin{bmatrix} 1 & 1 - \sqrt{\Gamma^2 + 1} + \Gamma \\ -1 & -1 + \sqrt{\Gamma^2 + 1} + \Gamma \end{bmatrix} [Y] = \frac{1}{2\Gamma} \begin{bmatrix} 1 & 1 - \Gamma_2 \\ -1 & -1 + \Gamma_1 \end{bmatrix} [Y]$$

où $[Y] = \begin{bmatrix} Y & 0 \\ 0 & 1 \end{bmatrix}$

Relations [A - 124]

XIII.2.2 Modèles localisés

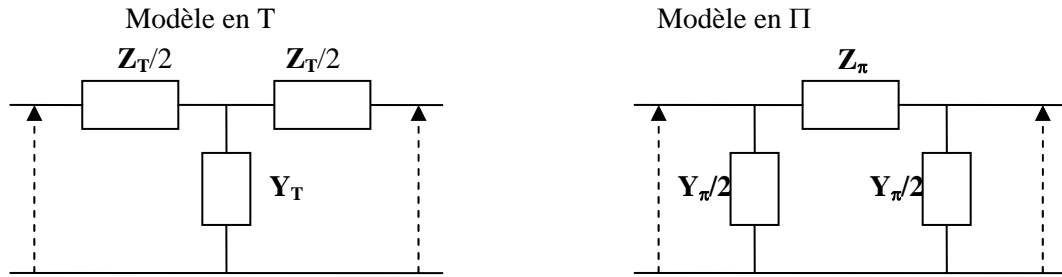


Figure A.XIII.2 : Représentation schématique de modèles (en T et en Π) de ligne de propagation localisés

$$\mathbf{ABCD}_T = \begin{bmatrix} 1 & Z_T/2 \\ 0 & 1 \end{bmatrix} \times \begin{bmatrix} 1 & 0 \\ Y_T & 1 \end{bmatrix} \times \begin{bmatrix} 1 & Z_T/2 \\ 0 & 1 \end{bmatrix} = \begin{bmatrix} 1 + \frac{Y_T Z_T}{2} & Z_T \left(1 + \frac{Y_T Z_T}{4}\right) \\ Y_T & 1 + \frac{Y_T Z_T}{2} \end{bmatrix}$$

$$\mathbf{ABCD}_\Pi = \begin{bmatrix} 1 & 0 \\ Y_\pi/2 & 1 \end{bmatrix} \times \begin{bmatrix} 1 & Z_\pi \\ 0 & 1 \end{bmatrix} \times \begin{bmatrix} 1 & 0 \\ Y_\pi/2 & 1 \end{bmatrix} = \begin{bmatrix} 1 + \frac{Y_\pi Z_\pi}{2} & Z_\pi \\ Y_\pi \left(1 + \frac{Y_\pi Z_\pi}{4}\right) & 1 + \frac{Y_\pi Z_\pi}{2} \end{bmatrix}$$

On obtient naturellement :

$$Y_\pi Z_\pi = Y_T Z_T \quad \text{soit} \quad \left(1 + \frac{Y_T Z_T}{4}\right) = \left(1 + \frac{Y_\pi Z_\pi}{4}\right)$$

$$\mathbf{ABCD}_T = \begin{bmatrix} 1 + \mathbf{K} \frac{YZ}{2} & Z_T \left(1 + \mathbf{K} \frac{YZ}{4}\right) \\ Y_T & 1 + \mathbf{K} \frac{YZ}{2} \end{bmatrix} \quad \text{et} \quad \mathbf{ABCD}_\Pi = \begin{bmatrix} 1 + \mathbf{K} \frac{YZ}{2} & Z_\pi \\ Y_\pi \left(1 + \mathbf{K} \frac{YZ}{4}\right) & 1 + \mathbf{K} \frac{YZ}{2} \end{bmatrix}$$

$$\text{On a alors : } Y_T = Y_\pi \times \mathbf{K} \quad Z_T = Z_\pi \div \mathbf{K} \quad \text{avec} \quad \mathbf{K} = 1 + \frac{Y_T Z_T}{4} = 1 + \frac{Y_\pi Z_\pi}{4}$$

En limitant à l'ordre 1, soit $\mathbf{K} = 1 + \frac{Y_T Z_T}{4} = 1 + \frac{Y_\pi Z_\pi}{4} \approx 1$, on obtient en Relation [A - 126] une approximation d'un modèle localisé lorsque le produit YZ est très petit devant 1, qui est identique à l'approximation d'un modèle distribué (Relation [A - 125]).

$$ABCD \xrightarrow{t \rightarrow 0} \begin{bmatrix} 1 + \frac{YZ}{2} & Z \\ Y & 1 + \frac{YZ}{2} \end{bmatrix}$$

Relation [A - 126]

XIV Annexe 14: Effet d'un élément parasite sur un système du 1^{er} ordre

L'objectif de cette annexe est de souligner, sur des modèles simples du premier ordre, les erreurs d'interprétations possibles lorsque l'on extrait des éléments R, L ou C en présence d'éléments parasites L ou C. Ce développement adresse des modèles électriques localisés ou distribués.

XIV.1 Circuit série RL // C

On s'intéresse à deux points de vue différents relatifs au schéma de la Figure A.XIV.1 .

- Soit on suppose qu'on mesure un circuit composé d'une inductance en série avec une résistance, en présence d'une capacité parasite en parallèle (Figure A.XIV.2)
- Soit on suppose qu'on mesure un circuit composé d'une capacité en parallèle avec une résistance, en présence d'une inductance série parasite (Figure A.XIV.3)

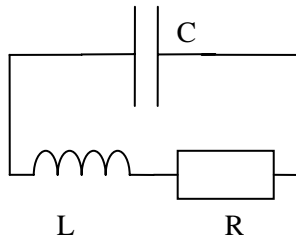


Figure A.XIV.1 : Circuit série RL // C

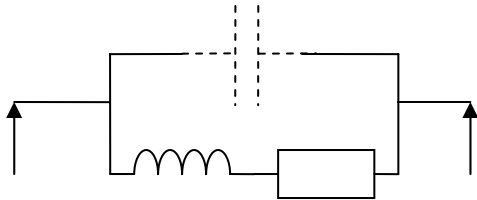


Figure A.XIV.2 : Modèle Z : L_{eq} série R_{eq}

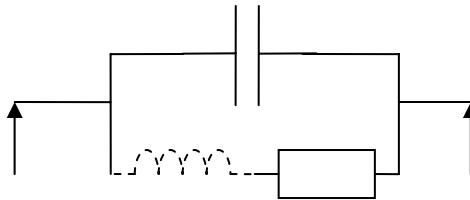


Figure A.XIV.3: Modèle Y : C_{eq} // G_{eq}

XIV.1.1 Modèle Z (Effet d'une capacité parasite : $L - R^2C > 0$)

$$Z = \frac{R + j\omega(L - R^2C - L^2C\omega^2)}{1 + C[(R^2C - 2L)\omega^2 + L^2C\omega^4]}$$

Relation [A- 127]

$$\Rightarrow Z_{LC eq} = R_{LC eq} + jL_{LC eq}\omega$$

$$R_{LC eq} = \frac{R}{1 + C[(R^2C - 2L)\omega^2 + L^2C\omega^4]}$$

Relation [A- 128]

$$\begin{aligned} R_{LC eq} &\xrightarrow{\omega \rightarrow 0} R & R_{LC eq} &\xrightarrow{\omega \rightarrow \infty} 0 \\ \omega_{R_{LC MAX}} &= \frac{\sqrt{LC - R^2C^2} / 2}{LC} & R_{LC MAX} &= \frac{-4L}{RC - (4L + R^2C)} \end{aligned}$$

$$L_{LC\text{ eq}} = \frac{L - R^2C - L^2C\omega^2}{1 + C[(R^2C - 2L)\omega^2 + L^2C\omega^4]}$$

Relation [A- 129]

$$\boxed{L_{LC\text{ eq}} \xrightarrow{\omega \rightarrow 0} L - R^2C}$$

$$L_{LC\text{ eq}} \xrightarrow{\omega \rightarrow \infty} 0$$

$$\omega_{L_{LC}MAX} = \sqrt{\frac{-R^2C^2 + L + R\sqrt{LC}}{L^2C}}$$

$$L_{LC}MAX = \frac{L^2}{R\sqrt{C} \times (2\sqrt{L} + R\sqrt{C})}$$

$$\omega_{L_{LC}MIN} = \sqrt{\frac{-R^2C^2 + L - R\sqrt{LC}}{L^2C}}$$

$$L_{LC}MIN = \frac{L^2}{R\sqrt{C} \times (-2\sqrt{L} + R\sqrt{C})}$$

XIV.1.2 Modèle Y (Effet d'une inductance parasite : $L - R^2C < 0$) :

$$Y = \frac{R + j\omega [C(R^2 + (L\omega)^2) - L]}{R^2 + (L\omega)^2}$$

$$\Rightarrow Y_{CG\text{ eq}} = G_{CG\text{ eq}} + jC_{CG\text{ eq}}\omega$$

$$G_{CG\text{ eq}} = \frac{R}{R^2 + (L\omega)^2} \quad G_{CG\text{ eq}} \xrightarrow{\omega \rightarrow 0} \frac{1}{R} = G \quad G_{CG\text{ eq}} \xrightarrow{\omega \rightarrow \infty} 0$$

$$C_{CG\text{ eq}} = \frac{C(R^2 + (L\omega)^2) - L}{R^2 + (L\omega)^2} = C - \frac{L}{R^2 + (L\omega)^2} \quad \boxed{C_{CG\text{ eq}} \xrightarrow{\omega \rightarrow 0} C - \frac{L}{R^2}} \quad C_{CG\text{ eq}} \xrightarrow{\omega \rightarrow \infty} C$$

XIV.1.3 Cas particulier : $L - R^2C = 0$

$$L_{LC\text{ eq}} = \frac{-L^2C\omega^2}{1 + LC[-\omega^2 + LC\omega^4]}$$

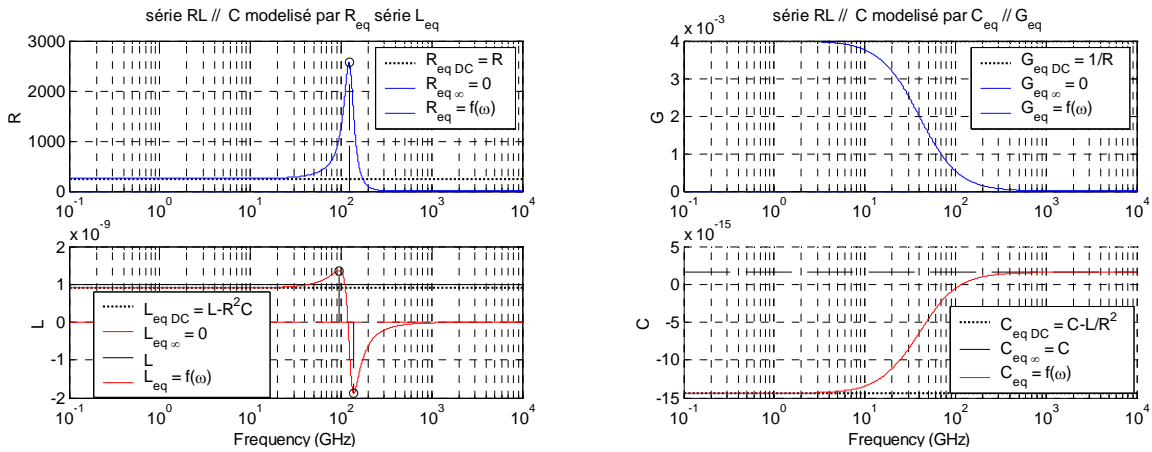
$$L_{LC\text{ eq}} \xrightarrow{\omega \rightarrow 0} 0$$

$$L_{LC\text{ eq}} \xrightarrow{\omega \rightarrow \infty} 0$$

$$C_{CG\text{ eq}} = \frac{C(L\omega)^2}{R^2 + (L\omega)^2}$$

$$C_{CG\text{ eq}} \xrightarrow{\omega \rightarrow 0} 0$$

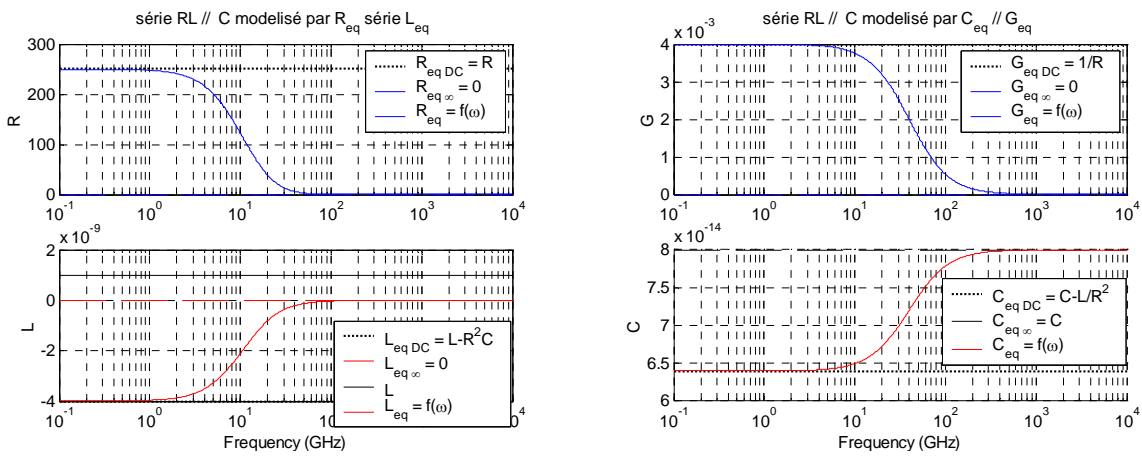
$$C_{CG\text{ eq}} \xrightarrow{\omega \rightarrow \infty} C$$



Modèle Z : L_{eq} série R_{eq}

Modèle Y : C_{eq} // G_{eq}

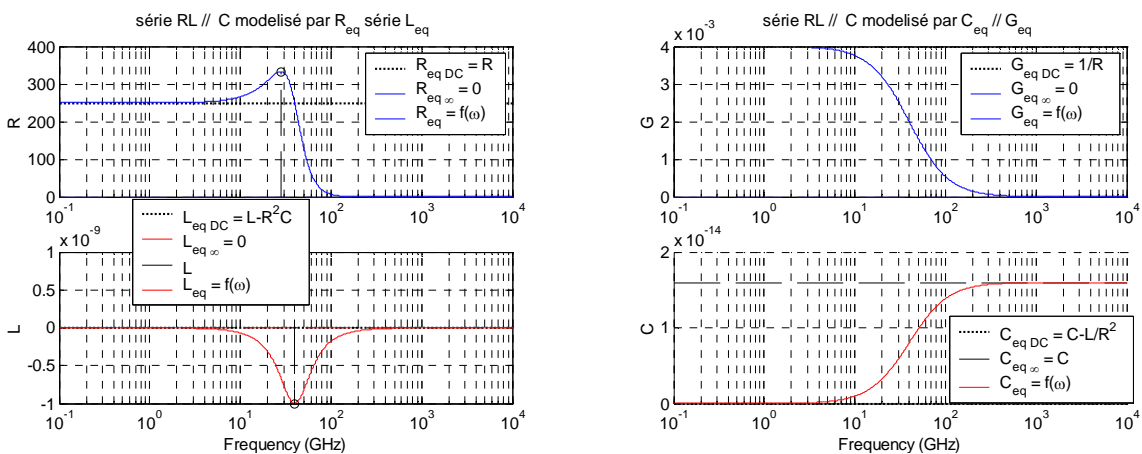
Figure A.XIV.4: Condition $L - R^2 C > 0$



Modèle Z : L_{eq} série R_{eq}

Modèle Y : C_{eq} // G_{eq}

Figure A.XIV.5 : Condition $L - R^2 C < 0$



Modèle Z : L_{eq} série R_{eq}

Modèle Y : C_{eq} // G_{eq}

Figure A.XIV.6 : Condition $L - R^2 C = 0$

XIV.2 Circuit // RC série C

On s'intéresse à deux points de vue différents relatifs au schéma de la Figure A.XIV.7.

- Soit on suppose qu'on mesure un circuit composé d'une capacité en série avec une résistance, en présence d'une capacité parasite en parallèle (Figure A.XIV.8)
- Soit on suppose qu'on mesure un circuit composé d'une capacité en parallèle avec une résistance, en présence d'une capacité parasite en série (Figure A.XIV.9)

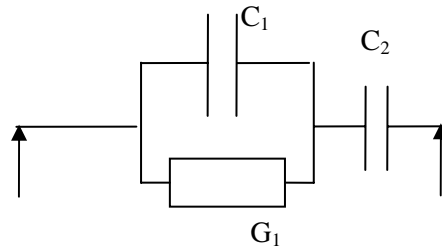


Figure A.XIV.7 : Circuit // RC série C

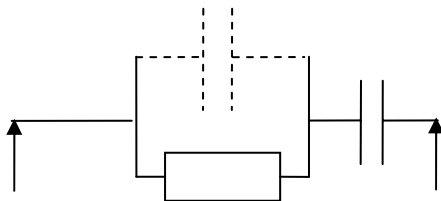


Figure A.XIV.8 : Modèle Z : C_{eq} série R_{eq}

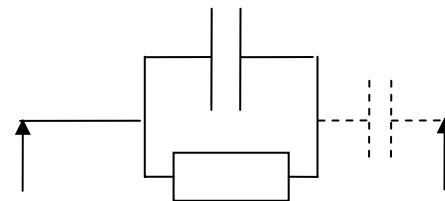


Figure A.XIV.9 : Modèle Y : C_{eq} // G_{eq}

XIV.2.1 Modèle Z (Effet d'une capacité // parasite)

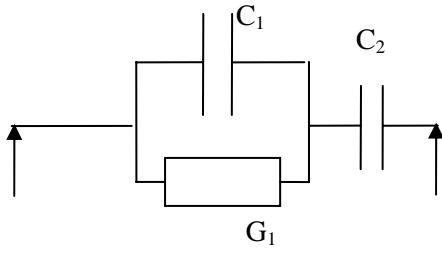
$$Z = \frac{GC_2\omega - j[C_1C_2\omega^2 + C_1^2\omega^2 + G^2]}{C_1^2C_2\omega^3 + G^2C_2\omega} = \frac{GC_2}{C_1^2C_2\omega^2 + G^2C_2} + \frac{-j}{\left(\frac{C_1^2C_2\omega^2 + G^2C_2}{C_1C_2\omega^2 + C_1^2\omega^2 + G^2}\right)\omega}$$

$$Z = \frac{GC_2}{C_1^2C_2\omega^2 + G^2C_2} + \frac{-j}{\left(\frac{C_1^2C_2\omega^2 + G^2C_2}{C_1(C_1 + C_2)\omega^2 + G^2}\right)\omega}$$

$$Z \xrightarrow{\omega \rightarrow 0} \frac{1}{G} + \frac{-j}{C_2\omega}$$

$$Z \xrightarrow{\omega \rightarrow \infty} 0 + \frac{-j}{\left(\frac{C_1C_2}{C_2 + C_1}\right)\omega}$$

XIV.2.2 Modèle Y (Effet d'une capacité série parasite)



$$Y = \frac{C_2^2 \omega^2 G_1 + j\omega \left[(C_1 C_2^2 + C_1^2 C_2) \omega^2 + C_2 G_1^2 \right]}{(C_1 + C_2)^2 \omega^2 + G_1^2}$$

$$C_{CG eq} = \frac{C_2 (C_1 C_2 \omega^2 + C_1^2 \omega^2 + G_1^2)}{(C_1 + C_2)^2 \omega^2 + G_1^2} = \frac{(C_1 C_2^2 + C_1^2 C_2) \omega^2 + C_2 G_1^2}{(C_1 + C_2)^2 \omega^2 + G_1^2} = \frac{C_1 C_2 (C_1 + C_2) \omega^2 + C_2 G_1^2}{(C_1 + C_2)^2 \omega^2 + G_1^2}$$

$$C_{CG eq} \xrightarrow{\omega \rightarrow 0} C_2$$

$$C_{CG eq} \xrightarrow{\omega \rightarrow \infty} = \frac{C_1 C_2^2 + C_1^2 C_2}{(C_1 + C_2)^2} = \frac{C_1 C_2}{C_1 + C_2}$$

Si $C_1 = C_2 = C$

$$C_{CG eq} = \frac{2C^3 \omega^2 + CG^2}{4C^2 \omega^2 + G^2}$$

$$C_{CG eq} \xrightarrow{\omega \rightarrow \infty} \frac{C}{2}$$

$$G_{CG eq} = \frac{C_2^2 \omega^2 G_1}{(C_1 + C_2)^2 \omega^2 + G_1^2}$$

$$\Rightarrow C_{CG eq} - j \frac{G_{CG eq}}{\omega} = \frac{C_1 C_2 (C_1 + C_2) \omega^2 + C_2 G_1^2 - j C_2^2 \omega G_1}{(C_1 + C_2)^2 \omega^2 + G_1^2}$$

$$\frac{\delta \left(\frac{G_{CG eq}}{\omega} \right)}{\delta \omega} = \frac{C_2^2 \omega G_1}{(C_1 + C_2)^2 \omega^2 + G_1^2}$$

En résolvant $\frac{\delta \left(\frac{G_{CG eq}}{\omega} \right)}{\delta \omega} = 0$, on obtient un maximum $\left(\frac{G_{CG eq}}{\omega} \right)_{\max} = \frac{C_2^2}{2(C_1 + C_2)}$ pour $\omega_0 = \frac{G_1}{C_1 + C_2}$

$$G_{CG eq} \xrightarrow{\omega \rightarrow 0} 0$$

$$G_{CG eq} \xrightarrow{\omega \rightarrow \infty} \frac{C_2^2 G_1}{(C_1 + C_2)^2}$$

Le terme $C_{CG eq} - j \frac{G_{CG eq}}{\omega}$ s'écrit aussi : $C_{CG eq} - j \frac{G_{CG eq}}{\omega} = C_\infty + \frac{C_{DC} - C_\infty}{1 + j \frac{\omega}{\omega_0}} = C_\infty + \frac{(C_{DC} - C_\infty) \left(1 + j \frac{\omega}{\omega_0} \right)}{1 + \left(\frac{\omega}{\omega_0} \right)^2}$

avec $C_\infty = \frac{C_1 C_2}{C_1 + C_2}$, $C_{DC} = C_2$ et $\omega_0 = \frac{G_1}{C_1 + C_2}$

Si $C_1 = C_2 = C$, $G_1 = G$,

alors $G_{CG eq} = \frac{\omega^2 C^2 G}{4\omega^2 C^2 + G^2}$

$$G_{CG eq} \xrightarrow{\omega \rightarrow \infty} \frac{G}{4}$$

$$\left(\frac{G_{CG\text{eq}}}{\omega}\right)_{\max} = \frac{C}{4} \text{ pour } \omega = \frac{G}{2C}$$

Formulations de Debye:

Le terme $C_{CG\text{eq}} - j \frac{G_{CG\text{eq}}}{\omega}$ s'écrit aussi :

$$C_{CG\text{eq}} - j \frac{G_{CG\text{eq}}}{\omega} = C_{\infty} + \frac{C_{DC} - C_{\infty}}{1 + j \frac{\omega}{\omega_0}} = C_{\infty} + \frac{(C_{DC} - C_{\infty}) \left(1 + j \frac{\omega}{\omega_0}\right)}{1 + \left(\frac{\omega}{\omega_0}\right)^2}$$

avec $C_{\infty} = \frac{C_1 C_2}{C_1 + C_2}$, $C_{DC} = C_2$ et $\omega_0 = \frac{G_1}{C_1 + C_2}$ à partir de C_{∞} , C_{DC} et ω_0 , on obtient :

$$C_2 = C_{DC} \quad C_1 = \frac{C_{DC} C_{\infty}}{C_{DC} - C_{\infty}} \quad G_1 = \frac{\omega_0 C_{DC}^2}{C_{DC} - C_{\infty}}$$

Cas particulier: si $C_1 = C_2 = C$, $G_1 = G$, alors $C_{\infty} = \frac{C}{2}$, $C_{DC} = C$ et $\omega_0 = \frac{G}{2C}$

$$C_{CG\text{eq}} - j \frac{G_{CG\text{eq}}}{\omega} \text{ s'écrit encore : } C_{CG\text{eq}} - j \frac{G_{CG\text{eq}}}{\omega} = C_{\infty} + \frac{G_{\infty}}{\omega_0 + j\omega}$$

avec $G_{\infty} = \frac{C_2^2 G_1}{(C_1 + C_2)^2}$ ou $G_{\infty} = \omega_0 \times (C_{DC} - C_{\infty})$ ou encore : $G_{\infty} = \frac{G}{4}$ ($C_1 = C_2 = C$)

A partir de C_{∞} , G_{∞} et ω_0 , on obtient :

$$C_2 = C_{\infty} + \frac{G_{\infty}}{\omega_0} \quad C_1 = C_{\infty} + \frac{\omega_0 C_{\infty}^2}{G_{\infty}} \quad G_1 = G_{\infty} + 2\omega_0 C_{\infty} + \frac{(\omega_0 C_{\infty})^2}{G_{\infty}}$$

Remarque : ω_0 peut aussi se calculer à partir de $\omega_0 = \frac{G_{\infty}}{C_{DC} - C_{\infty}}$

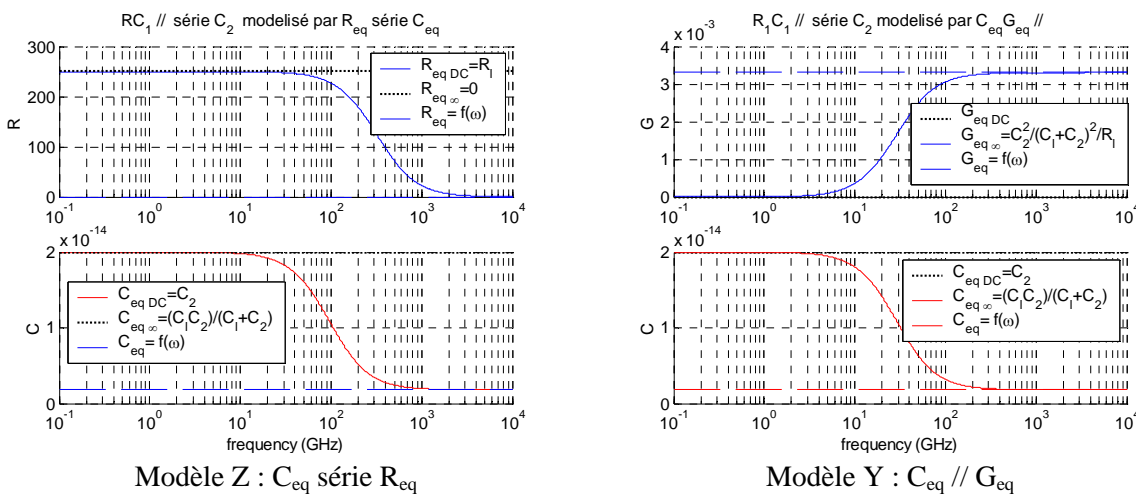


Figure A.XIV.10 : Capacité et conductance équivalentes

XV Annexe 15 : Rappels théoriques sur les matériaux diélectriques

XV.1 Définition d'un diélectrique

La définition « scolaire » la plus classique d'un diélectrique est relativement incomplète. Un matériau serait dit « diélectrique » s'il ne contient pas de charges électriques susceptibles de se déplacer de façon macroscopique, autrement dit, s'il ne conduit pas le courant électrique. À ce titre, on l'appelle parfois isolant électrique. En fait, les matériaux utilisés en microélectronique en tant que diélectriques (par opposition à conducteurs : matériaux utilisés dans les transistors ou matériaux qui entourent les conducteurs dans le BEOL) ne répondent pas tout à fait à cette définition. Ils peuvent, en effet, avoir des pertes, c'est-à-dire qu'ils peuvent véhiculer un courant qui est source de puissance active dépensée. On prendra donc plutôt comme définition du diélectrique, un matériau qui n'a pas ou peu de pertes actives.

Il faut alors distinguer, du moins conceptuellement, deux types de pertes ; les pertes du premier type sont des pertes diélectriques à proprement parler dans le sens où elles dépendent d'une caractéristique propre aux matériaux isolants, appelée susceptibilité électrique χ_e . Les pertes du deuxième type sont dites ohmique (ou conductrice), c'est à dire que le matériau diélectrique contient quelques charges libres capables de véhiculer un courant, le matériau est alors également caractérisé par sa conductivité σ . La distinction entre ces deux types de pertes tient avant tout dans leur réalité physique. L'origine physique, autant que l'évolution avec la fréquence des deux types de pertes, diélectrique et ohmique, sont bien différentes de l'un à l'autre. Il faut noter que dans certains matériaux, comme le silicium par exemple, on peut rencontrer ces deux types de pertes, entre lesquels il est difficile, d'un point de vue comportemental, d'effectuer la distinction.

On précisera dans la suite, lorsque cela est utile (et possible), si l'on a affaire à pertes diélectrique (diélectrique isolant) ou des pertes diélectrique ohmique (diélectrique faiblement conducteur), ou les deux.

XV.2 Densités de courant électrique et de déplacement

Le développement qui suit (XV.2 et XV.3) s'appuie principalement sur les ouvrages [Perez, 2001] et [Gardiol, 2004]. L'objectif est de préciser, en s'appuyant sur une base théorique, les phénomènes de pertes observables dans un diélectrique. Les équations générales de l'électromagnétisme de Maxwell peuvent aider à définir les notions de courants électriques. La deuxième équation de Maxwell qui met en relation des champs électriques et des charges est donnée en Relation [A - 130].

$$\nabla \times \vec{H} = \frac{\delta \vec{D}}{\delta t} + \vec{J}$$

Relation [A - 130]

\vec{H} , \vec{D} , et \vec{J} sont des champs de vecteurs, fonctions réelles du temps t et de l'espace (x,y,z) :

\vec{H} est l'intensité du champs magnétique en A/m

\vec{D} est la densité de flux électrique en Coul/m² (associée au courant de déplacement)

\vec{J} est la densité de coutant électrique en A/m² (associée au courant de conduction)

En notation pulsationnelle, la Relation [A - 130] s'écrit comme en Relation [A - 131].

$$\nabla \times \vec{H} = j\omega \vec{D} + \vec{J}$$

Relation [A - 131]

Le terme $j\omega \vec{D}$ est appelé densité de courant de déplacement (en A/m²).

Dans le vide \vec{D} est reliée à la densité de champs électrique \vec{E} par :

$$\vec{D} = \epsilon_0 \vec{E} \text{ où } \epsilon_0 = 8,854 \cdot 10^{-12} \text{ F/m est la permittivité du vide}$$

La densité de courant de déplacement s'écrit : $j\omega \vec{D} = j\omega \epsilon_0 \vec{E}$

Dans un diélectrique isolant, les charges restent liées à l'intérieur des atomes ou des molécules. Si on applique un champ E, ces charges subissent une force mais sont retenues par les forces de cohésion interne de l'atome ou de la molécule.

Elles ne peuvent donc se déplacer que légèrement par rapport à leur position d'équilibre. L'application d'un champ électrique sur un matériau diélectrique peut donc provoquer la polarisation \vec{P}_e des atomes ou des molécules créant ainsi des moments électrique dipolaires qui augmente la densité de flux électrique \vec{D} . Ce phénomène renforce l'effet capacitif.

$$\vec{D} = \epsilon_0 \vec{E} + \vec{P}_e$$

Le champ de polarisation \vec{P}_e créé dépend (souvent linéairement) de E en fonction de la susceptibilité électrique complexe χ_e qui caractérise le matériau.

$$\vec{P}_e = \epsilon_0 \chi_e \vec{E}$$

La densité de courant de déplacement s'écrit donc: $j\omega \vec{D} = j\omega (\epsilon_0 \vec{E} + \vec{P}_e) = j\omega \epsilon_0 (1 + \chi_e) \vec{E}$

χ_e étant un nombre complexe, la densité de courant de déplacement peut s'écrire par analogie avec le cas du vide : $j\omega \vec{D} = j\omega \epsilon \vec{E} = j\omega \epsilon_r \epsilon_0 \vec{E}$

Relation [A - 132]

avec

$$\epsilon_r = \epsilon'_r - j\epsilon''_r = 1 + \chi_e$$

$$\epsilon = \epsilon' - j\epsilon''$$

D'autre part, dans un matériau conducteur, la densité de courant électrique \vec{J} est reliée à la densité de champs électrique \vec{E} par : $\vec{J} = \sigma \vec{E}$

où σ est la conductivité, qui dépend de la concentration en porteurs libres dans le matériau.

Dans un matériau qui n'est un bon conducteur, ni un isolant parfait, on peut souligner l'existence d'une densité de courant globale, qui apparaît en second terme de la Relation [A - 133]:

$$j\omega \vec{D} + \vec{J} = j\omega (\epsilon \vec{E} + \vec{P}) + \sigma \vec{E} = (j\omega \epsilon' + \omega \epsilon'' + \sigma) \vec{E}$$

Relation [A - 133]

En termes électriques, cette expression fait apparaître un terme actif $(\omega \epsilon'' + \sigma) \vec{E}$ correspondant à une densité courant et un terme réactif $j\omega \epsilon' \vec{E}$ associé à une accumulation de charges.

XV.3 Effet des pertes dans l'isolant sur les paramètres électriques C et G

On cherche à estimer l'impact des pertes dans l'isolant sur les capacités et conductance linéiques C et G. On se place dans une hypothèse quasi-statique qui spécifie que les deux grandeurs $\nabla \times \vec{E}$ et $\nabla \times \vec{H}$ sont suffisamment petite pour être considérées comme nulle devant les grandeurs qui leur ont donné naissance. Cette hypothèse permet de traduire l'équation de Maxwell donnée en Relation [A - 133] en grandeurs électriques.

XV.3.1 Potentiel scalaire électrique

La première équation en rotationnel de Maxwell s'écrit en électrostatique :

$$\nabla \times E(r) = 0$$

Relation [A - 134]

On en déduit que E(r) dérive d'un potentiel électrique scalaire V(r) :

$$E(r) = -\nabla V(r)$$

Sous une forme globale ou intégrale, E(r) est lié à une différence de potentiel :

$$\int_A^B E(r) \cdot dl = V_A - V_B$$

XV.3.2 Définition de C

Dans le domaine de l'électronique, on définit la capacité électrique comme la capacité d'un dispositif à accumuler des charges électriques sous l'effet d'une différence de potentiel (Figure A.XV.1).

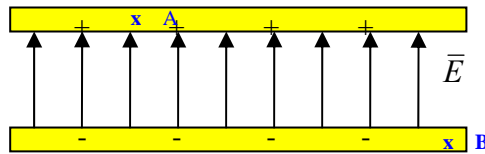


Figure A.XV.1 : Illustration d'une capacité

$$C = \frac{Q}{V_A - V_B}$$

Pour être plus précis, on doit être capable de préciser entre quels points de l'espace la différence de potentiel est calculée mais également, de manière moins aisée de préciser où se situent les charges stockées en question. En fait l'hypothèse sous jacente en électronique est que le volume de stockage des charges est non seulement fini et borné mais aussi que ces charges sont localisées en surface sur une surface de conducteur donnée (condensateur).

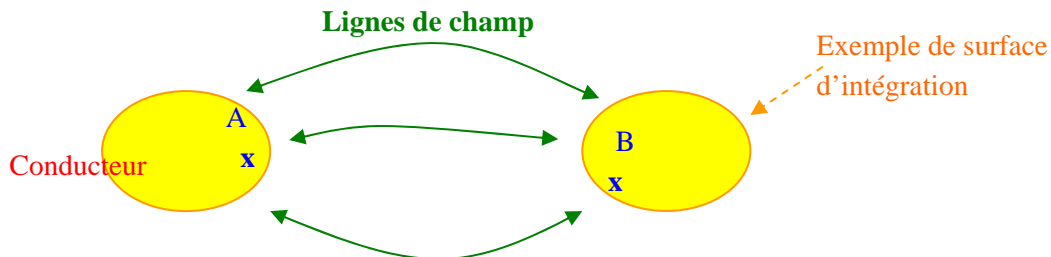


Figure A. XV.2 : Illustration de la définition de C et G

La première équation en divergence de Maxwell s'écrit en électrostatique :

$$\nabla \cdot D(r) = \rho(r)$$

$\rho(r)$ désigne la densité volumique de charges en un point de l'espace.

Sous sa forme globale ou intégrale, l'équation en divergence de Maxwell s'écrit :

$$\int_S n \cdot D(r) \, dA = \int_V \rho(r) \, dV = Q$$

V est le volume du conducteur et S une surface qui le contient (Figure A. XV.2).

C s'écrit donc :

$$C = \frac{Q}{V_A - V_B} = \frac{\int_S n \cdot D(r) \, dA}{\int_A^B E(r) \, dl} = \epsilon \frac{\int_S n \cdot E(r) \, dA}{\int_A^B E(r) \, dl}$$

Relation [A - 135]

A et B désigne deux points appartenant respectivement à chacun des deux conducteurs. Les calculs des intégrales dans la Relation [A - 135] ne dépendent pas des chemins d'intégration entre A et B.

XV.3.3 Définition de G

De la même manière, on définit la conductance comme le rapport entre le courant traversant le diélectrique et la différence de potentiel entre les 2 conducteurs. C'est $E(r)$ qui donne naissance à ce courant et on a :

$$I = \int_S n \cdot J(r) \, dA = \sigma \int_S n \cdot E(r) \, dA$$

$$G = \frac{I}{V_A - V_B} = \sigma \frac{\int_S n \cdot E(r) \, dA}{\int_A^B E(r) \, dl}$$

Relation [A - 136]

S une surface qui entoure le conducteur.

XV.4 Permittivité diélectrique

XV.4.1 Solution de l'équation $A + jB = \sqrt{a + jb}$

$$A + jB = \sqrt{a + jb} \quad \Leftrightarrow \quad A - jB = \sqrt{a - jb} \quad \Leftrightarrow \quad \begin{cases} A^2 - B^2 = a \\ 2AB = b \end{cases}$$

$$A = \frac{\pm b}{\sqrt{2} \cdot \sqrt{-a \pm \sqrt{a^2 + b^2}}} \quad B = \pm \frac{1}{\sqrt{2}} \cdot \sqrt{-a \pm \sqrt{a^2 + b^2}}$$

A, B, a, b réels positifs :

$$A = \frac{+b}{\sqrt{2} \cdot \sqrt{-a + \sqrt{a^2 + b^2}}} = \frac{+b}{\sqrt{2a} \cdot \sqrt{-1 + \sqrt{1 + b^2/a^2}}}$$

$$B = + \frac{1}{\sqrt{2}} \cdot \sqrt{-a + \sqrt{a^2 + b^2}} = \sqrt{\frac{a}{2}} \cdot \sqrt{-1 + \sqrt{1 + b^2/a^2}}$$

Si $b^2/a^2 \ll 1$, alors $A = \sqrt{a}$ et $B = \frac{b}{2\sqrt{a}}$

XV.4.2 Application à un matériau diélectrique de permittivité complexe $\varepsilon = \varepsilon' - j\varepsilon''$

On suppose la ligne sans pertes dans les conducteurs :

$$\gamma = \sqrt{(L\omega)(jG - C\omega)} \quad \gamma = j\omega\sqrt{\mu_0 \cdot \varepsilon}$$

On pose

$$K' - jK'' = \sqrt{2} \cdot \sqrt{\varepsilon' - j\varepsilon''} \quad \Rightarrow \quad \sqrt{\varepsilon' - j\varepsilon''} = \frac{K' - jK''}{\sqrt{2}}$$

$$K' = \frac{\varepsilon''}{\sqrt{-\varepsilon' + \sqrt{\varepsilon'^2 + \varepsilon''^2}}} \quad K'' = \sqrt{-\varepsilon' + \sqrt{\varepsilon'^2 + \varepsilon''^2}}$$

On suppose que $\tan\delta$ est toujours petit, soit ε'' toujours petit devant ε'

Un développement limité à l'ordre 1 donne les approximations suivantes

$$K' \approx \sqrt{\varepsilon'} \cdot \sqrt{2} \quad K'' = \sqrt{\varepsilon'} \cdot \frac{\tan\delta}{\sqrt{2}}$$

$$K' = \frac{\varepsilon''}{\sqrt{-\varepsilon' + \varepsilon' \sqrt{1 + \tan^2\delta}}} \approx \frac{\varepsilon''}{\sqrt{\varepsilon' \frac{\tan^2\delta}{2}}} = \frac{\varepsilon'' \sqrt{2}}{\sqrt{\varepsilon'} \frac{\varepsilon''}{\varepsilon'}} = \sqrt{\varepsilon'} \cdot \sqrt{2}$$

$$K'' = \sqrt{-\varepsilon' + \sqrt{\varepsilon'^2 + \varepsilon''^2}} = \sqrt{\varepsilon'} \cdot \frac{\tan\delta}{\sqrt{2}} = \frac{\varepsilon''}{\sqrt{2\varepsilon'}}$$

XV.4.3 Réponse d'une ligne

$$H(\omega) = e^{-jl\omega\sqrt{\mu_0}\sqrt{\varepsilon'-j\varepsilon''}} = e^{-\frac{j\omega\sqrt{\mu_0}}{\sqrt{2}}(K'-jK'')} = e^{-\frac{j\omega\sqrt{\mu_0}}{\sqrt{2}}K'} \cdot e^{-\frac{l\omega\sqrt{\mu_0}}{\sqrt{2}}K''}$$

$$H(\omega) \approx e^{-\frac{j\omega\sqrt{\mu_0}}{\sqrt{2}} \times \sqrt{\varepsilon'} \times \sqrt{2}} \cdot e^{-\frac{l\omega\sqrt{\mu_0}}{\sqrt{2}} \times \sqrt{\varepsilon'} \times \frac{\tan \delta}{\sqrt{2}}}$$

On suppose que $\tan \delta$ est toujours petit, soit ε'' toujours petit devant ε' (cela exclue évidemment le cas particulier des pertes ohmiques puisque dans ce cas $\tan \delta$ tend vers l'infini lorsque les fréquences considérées tendent vers 0).

Un développement limité à l'ordre 1 donne les approximations suivantes

$$H(\omega) \approx e^{-j\omega\sqrt{\mu_0\varepsilon'}} \cdot e^{-l\omega\sqrt{\mu_0\varepsilon'} \frac{\tan \delta}{2}}$$

$$\alpha = \omega \frac{\sqrt{\varepsilon' \mu_0}}{\sqrt{2}} \sqrt{\left(-1 + \left(1 + \frac{(\tan \delta)^2}{2}\right)\right)} \approx \omega \sqrt{\varepsilon' \mu_0} \frac{\tan \delta}{2}$$

$$\beta = \omega \frac{\sqrt{\varepsilon' \mu_0}}{\sqrt{2}} \tan \delta \frac{1}{\sqrt{\left(-1 + \left(1 + \frac{(\tan \delta)^2}{2}\right)\right)}} \approx \omega \sqrt{\varepsilon' \mu_0}$$

rem : $\alpha \xrightarrow{\tan \delta \rightarrow 0} 0$ (retard pur)

Conclusion : le terme de retard d'une ligne à pertes diélectriques faibles est très proche de celui d'une ligne sans perte (mais pas strictement égal).

Rappel 1: Lignes sans pertes du tout :

$$\gamma = \sqrt{-LC\omega^2} = j\omega\sqrt{LC} = j\beta \qquad \gamma = j\beta = j\omega\sqrt{\mu_0 \cdot \varepsilon'} = j\omega\sqrt{\mu_0 \varepsilon_0 \varepsilon_r'} = j \frac{\omega\sqrt{\varepsilon_r'}}{C_0}$$

C_0 : vitesse de la lumière ($3 \cdot 10^8$ m/s)

Rappel 2: Exposant de propagation d'une ligne modélisée par un modèle électrique distribué RLCG :

$$\gamma = \alpha + j\beta = \sqrt{(R + jL\omega)(G + jC\omega)}$$

$$\alpha = \sqrt{\frac{1}{2} \times \sqrt{\sqrt{(R^2 + L^2\omega^2)(G^2 + C^2\omega^2)} + (RG - LC\omega^2)}}$$

$$\beta = \sqrt{\frac{1}{2} \times \sqrt{\sqrt{(R^2 + L^2\omega^2)(G^2 + C^2\omega^2)} - (RG - LC\omega^2)}}$$

$$\alpha^2 - \beta^2 = RG - LC\omega^2$$

XVI Annexe 16 : Formulaire général

XVI.1 Développements limités (séries de Taylor)

$$\sqrt{1+x} = 1 + \frac{1}{2}x - \frac{1}{2.4}x^2 + \frac{1.3}{2.4.6}x^3 - \dots \quad -1 < x \leq 1 \quad e^x = 1 + x + \frac{1}{2}x^2 + \dots + \frac{1}{i!}x^i + \dots \quad -\infty < x < +\infty$$

XVI.2 Conversions des matrices de paramètres S, T, ABCD, Y, Z

	Y	Z	S	T
			Impédances Z_1 en entrée Z_2 en sortie	Impédances Z_1 en entrée Z_2 en sortie
A B C D	$Y_{11} = \frac{D}{B}$ $Y_{12} = -\frac{AD-BC}{B}$ $Y_{21} = -\frac{1}{B}$ $Y_{22} = \frac{A}{B}$		$S_{11} = \frac{AZ_2 + B - CZ_1Z_2 - DZ_1}{\Delta_{ABCD}}$ $S_{12} = \frac{2(AD-BC)\sqrt{Z_1Z_2}}{\Delta_{ABCD}}$ $S_{21} = \frac{2\sqrt{Z_1Z_2}}{\Delta_{ABCD}}$ $S_{22} = \frac{-AZ_2 + B - CZ_1Z_2 + DZ_1}{\Delta_{ABCD}}$ $\Delta_{ABCD} = AZ_2 + B + CZ_1Z_2 + DZ_1$	$T_{11} = \frac{AZ_2 - B - CZ_1Z_2 + DZ_1}{2\sqrt{Z_1Z_2}}$ $T_{12} = \frac{AZ_2 + B - CZ_1Z_2 - DZ_1}{2\sqrt{Z_1Z_2}}$ $T_{21} = \frac{AZ_2 - B + CZ_1Z_2 - DZ_1}{2\sqrt{Z_1Z_2}}$ $T_{22} = \frac{AZ_2 + B + CZ_1Z_2 + DZ_1}{2\sqrt{Z_1Z_2}}$
Y			$Z_{11} = \frac{Y_{22}}{Y_{11} \times Y_{22} - Y_{12} \times Y_{21}}$ $Z_{12} = \frac{-Y_{12}}{Y_{11} \times Y_{22} - Y_{12} \times Y_{21}}$ $Z_{21} = \frac{-Y_{21}}{Y_{11} \times Y_{22} - Y_{12} \times Y_{21}}$ $Z_{22} = \frac{Y_{11}}{Y_{11} \times Y_{22} - Y_{12} \times Y_{21}}$	
S			$\Delta_{SY} = Zc[(1+S_{11})(1+S_{22}) - S_{12} \times S_{21}]$ $Y_{11} = \frac{(1-S_{11})(1+S_{22}) + S_{12} \times S_{21}}{\Delta_{SY}}$ $Y_{12} = \frac{-2S_{12}}{\Delta_{SY}} \quad Y_{21} = \frac{-2S_{21}}{\Delta_{SY}}$ $Y_{22} = \frac{(1+S_{11})(1-S_{22}) + S_{12} \times S_{21}}{\Delta_{SY}}$	$\begin{bmatrix} T_{11} & T_{12} \\ T_{21} & T_{22} \end{bmatrix}_{2N \text{ ports}} = \begin{bmatrix} S_{12} - S_{11}S_{21}^{-1}S_{22} & S_{11}S_{21}^{-1} \\ -S_{21}^{-1}S_{22} & S_{21}^{-1} \end{bmatrix}$
T			$\begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix}_{2N \text{ ports}} = \begin{bmatrix} T_{12}T_{22}^{-1} & T_{11} - T_{12}T_{22}^{-1}T_{21} \\ T_{22}^{-1} & -T_{22}^{-1}T_{21} \end{bmatrix}$	

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix}_{2N \text{ ports}} = \frac{1}{2\sqrt{Z_1 Z_2}} \begin{bmatrix} Z_1(T_{22} + T_{21} + T_{12} + T_{11}) & Z_1 Z_2 (T_{22} - T_{21} + T_{12} - T_{11}) \\ (T_{22} + T_{21} - T_{12} - T_{11}) & Z_2 (T_{22} - T_{21} - T_{12} + T_{11}) \end{bmatrix}$$

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \frac{1}{Y_{21}} \begin{bmatrix} -Y_{22} & -1 \\ Y_{12} Y_{21} - Y_{11} Y_{22} & -Y_{11} \end{bmatrix}$$

Inversion d'une matrice ABCD

$$M = \begin{bmatrix} a & b \\ c & d \end{bmatrix} \quad M^{-1} = \frac{1}{ad - bc} \begin{bmatrix} d & -b \\ -c & a \end{bmatrix}$$

cascade de 2 matrices ABCD

$$M = \begin{bmatrix} a & b \\ c & d \end{bmatrix} \quad M' = \begin{bmatrix} a' & b' \\ c' & d' \end{bmatrix} \quad MM' = \begin{bmatrix} aa' + bc' & ab' + bd' \\ ca' + dc' & cb' + dd' \end{bmatrix}$$

XVII Annexe 17 : Une définition de la Transformée de Fourier Discrète

Les outils mathématiques rigoureux qui permettent la traduction d'un signal dans l'un des domaines dual, fréquentiel ou temporel, sont la Transformée de Fourier et la Transformée de Fourier Inverse. Toutefois, ces deux transformées sont des outils conceptuels conçus pour des signaux analogiques, de puissances finies, mais non bornés, ni dans le temps ni dans le domaine des fréquences. Dans les cas pratiques, les données sont nécessairement numériques, c'est-à-dire discrètes et finies en temps et en amplitude, qu'elles soient issues de la mesure ou de la modélisation. Compte tenu de la puissance (et de la dynamique) des convertisseurs analogique-numérique utilisés et des ordinateurs actuels, la discrétisation en amplitude pose rarement problème, si ce n'est celui d'éventuels bruits numériques qui génèrent parfois des problèmes de convergence lorsque les algorithmes de traitement des données sont complexes (faisant intervenir des inversions de matrices par exemple). A contrario, la discrétisation dans le temps ou dans le domaine des fréquences est beaucoup moins triviale. Le fait de pouvoir décrire un signal analogique par une suite de nombres discrète dans l'un des deux domaines, temporel ou fréquentiel, implique la quasi finitude du signal dans le domaine dual (Figure AXVII.1). Par fini, il faut entendre ici borné ou périodique. Il existe des outils numériques qui permettent d'obtenir une approximation de la transformée de Fourier, respectivement de la transformée de Fourier inverse, pour des signaux analogiques quasi finis dans les deux domaines temporels et fréquentiels. Il s'agit de la TFD, et de la TFDI, qui permettent de traduire une version échantillonnée du signal dans un domaine par une version échantillonnée dans le domaine dual. La FFT (Fast Fourier Transform) et la IFFT (Inverse Fast Fourier Transform) sont les algorithmes rapides qui permettent de mettre en œuvre la TFD et la TFDI (Figure AXVII.1).

Sur la Figure AXVII.1 [a], on fait apparaître le principe suivant : tout signal temporel $s(t)$ dont le spectre est à bande passante bornée B_w peut être projeté sur une base discrète de N fonctions orthonormales

$f_i(t) : f_i(t) = \frac{1}{\sqrt{T_e}} \text{sinc}\left(\frac{t}{T_e} - i\right)$ (Figure AXVII.2). i est un entier $-\infty < i < +\infty$ et T_e est un réel tel que :

$T_e \leq \frac{1}{B_w}$. Le signal $s(t)$ peut donc être reconstitué par combinaison linéaire des fonctions $f_i(t)$:

$s(t) = \sum_{-\infty}^{+\infty} s_i f_i(t)$ où les coefficients s_i correspondent aux valeurs du signal échantillonné dans le domaine

temporel à la fréquence $F_e = \frac{1}{T_e}$ comme représenté en Figure AXVII.1 [a]. C'est ce que l'on appelle le

théorème de Shannon-Nyquist. Si de plus ce signal temporel est **borné dans le temps**, de durée maximale

T_{max} , le cardinal des coefficients s_i est réduit à N , où $N = \frac{T_{max}}{T_e} = T_{max} \times B_w$.

Sur la Figure AXVII.1 [b], on fait apparaître le principe dual du précédent, dans le domaine fréquentiel : tout signal fréquentiel $S(f)$ dont la durée est bornée à T_{max} dans le domaine temporel peut être projeté sur

une base discrète de fonctions orthonormales $F_i(f) : F_i(f) = \frac{1}{\sqrt{F_{res}}} \text{sinc}\left(\frac{f}{F_{res}} - i\right)$ où i est un entier

$-\infty < i < +\infty$ et F_{res} est un réel tel que : $F_{res} \leq \frac{1}{T_{max}}$. Le signal $S(f)$ peut donc être reconstitué par combinaison linéaire des fonctions $F_i(f)$: $S(f) = \sum_{-\infty}^{+\infty} S_i F_i(f)$ où les coefficients S_i correspondent aux valeurs du signal échantillonné dans le domaine fréquentiel au pas fréquentiel $F_{res} = \frac{1}{T_{max}}$ comme représenté en Figure AXVII.1 [b]. C'est le pendant du théorème de Shannon-Nyquist dans le domaine fréquentiel. Si de plus ce signal fréquentiel est à **bande passante bornée B_w** , le cardinal des coefficients S_i est réduit à N , où $N = \frac{B_w}{F_{res}} = B_w \times T_{max}$.

La Figure AXVII.1 [c], quant à elle, illustre l'utilisation de la TFD. La TFD, associée à la TFD inverse (TFDI), sont des outils numériques qui permettent de passer des N valeurs d'échantillons (s_i) représentatifs du signal dans le domaine temporel (Figure AXVII.1 [a]) aux N valeurs d'échantillons (S_i) représentatifs du signal dans le domaine fréquentiel (Figure AXVII.1 [b]), et inversement.

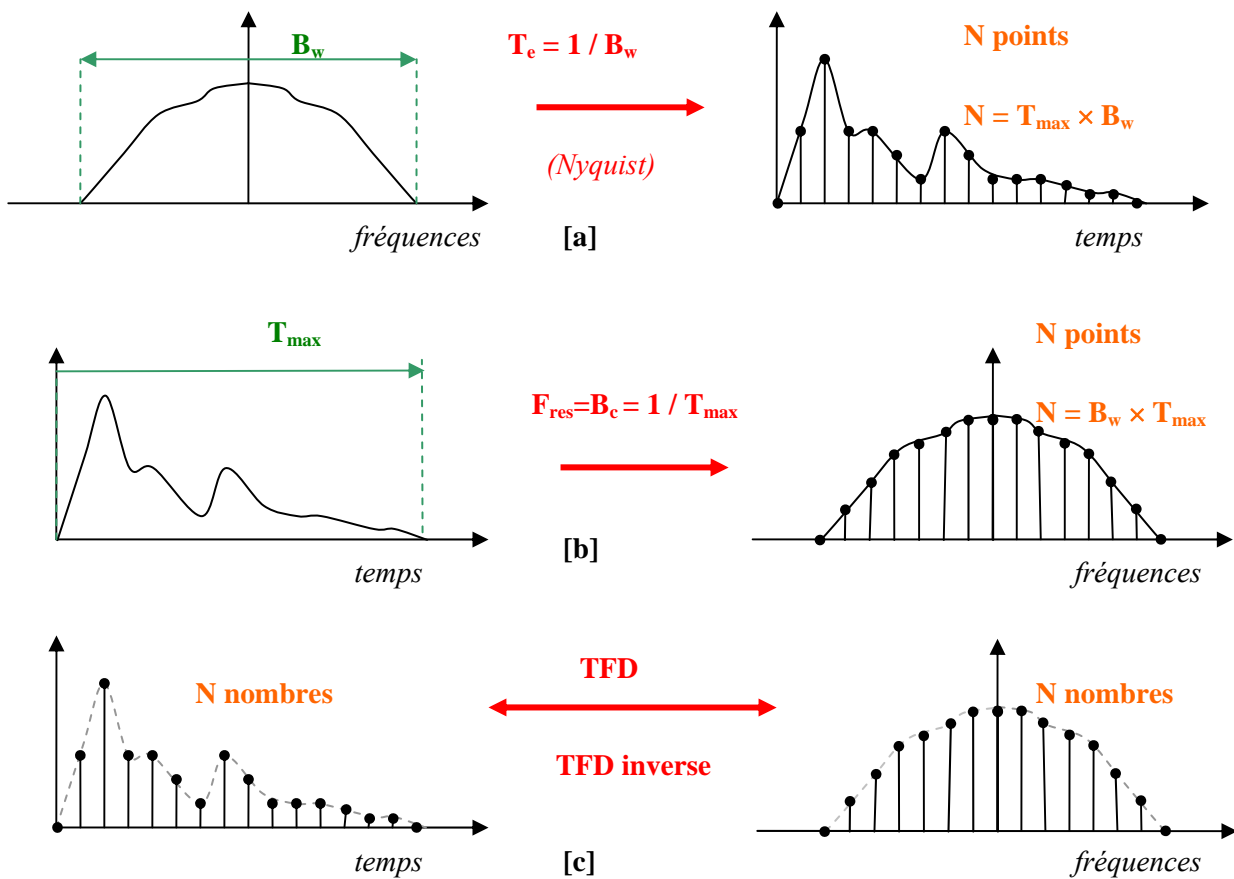


Figure AXVII.1 : Illustration de la Transformée de Fourier Discrète (ex. pour $T_e = 1/B_w$ et $F_{res} = 1/T_{max}$)

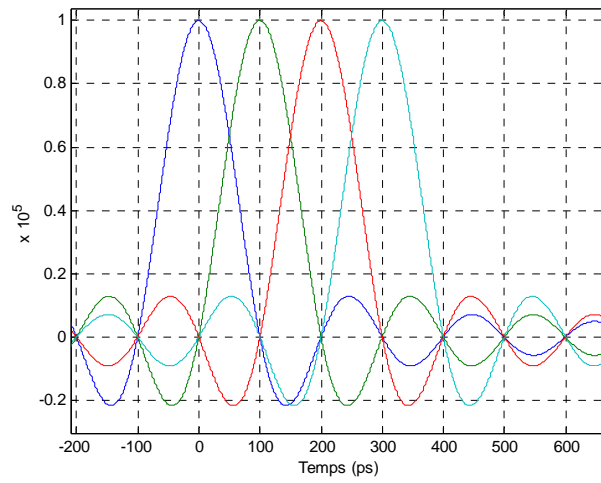


Figure AXVII.2 : Illustration d'une base discrète de N fonctions orthonormales dans le domaine temporel, correspondant à N échantillons d'un signal échantillonné à la fréquence $F_e=1/T_e$ (pour $N = 4$ et $T_e=100$ ps)

Développement d'outils de caractérisation et d'optimisation des performances électriques des réseaux d'interconnexions de circuits intégrés rapides sub-CMOS 65 nm et nouveaux concepts d'interconnexions fonctionnelles

Les objectifs de ces travaux de recherche portent sur le développement d'outils d'évaluation des performances électriques des interconnexions de circuits intégrés des générations sub-CMOS 65 nm et sur la proposition de solutions d'optimisation de ces performances, permettant à la fois de maximiser la rapidité des circuits et de minimiser les niveaux de diaphonie. Cette optimisation est obtenue en jouant sur les largeurs et les espacements des interconnexions mais aussi sur le nombre et de taille des répéteurs placés à leurs interfaces. Une attention toute particulière a également été portée sur la réduction de la complexité de ces réseaux d'interconnexions. Pour ce faire, un simulateur basé sur des modèles de propagation des signaux a été construit. Pour les composants passifs les données d'entrée du simulateur sont issues de modélisations fréquentielles électromagnétiques précises ou de résultats de caractérisation hyperfréquences et, pour les composants actifs que sont les répéteurs, de modèles électriques fournis par des partenaires spécialistes des technologies MOS. Le travail de modélisation s'est focalisé tout particulièrement sur cinq points : la modélisation de réseaux couplés complexes, le passage dans le domaine temporel à partir de mesures fréquentielles discrètes limitées, la vérification de la causalité des signaux temporels obtenus, la modélisation de l'environnement diélectrique incluant notamment les pertes et la présence éventuelles de conducteurs flottants et enfin l'intégration de la connaissance des charges aux interfaces des interconnexions. La problématique de la mesure a elle même été adressée puisqu'une procédure dite de « de-embedding » est proposée, spécifiquement dédiée à la caractérisation aux hautes fréquences de dispositifs passifs enfouis dans le BEOL. Sont investiguées enfin des solutions de fonctionnalisation alternatives des interconnexions tirant bénéfice des couplages très forts existant dans le BEOL des technologies sub-CMOS 65 nm. Les résultats de simulations ont souligné un certain nombre de difficultés potentielles notamment le fait que les performances des technologies CMOS sur la voie « more Moore » allait requérir plus que jamais depuis la génération 45 nm une approche globalisée et rationnelle de la réalisation des circuits.

Mots-clefs : circuits intégrés, interconnexions, délais, vitesse, diaphonie, répéteurs, signaux HF, modélisation HF, mesure HF, optimisation.

Development of characterization and optimization tools concerning electrical performance of interconnects networks of high speed sub-CMOS 65 nm circuits and additional interconnect functionalities

This study aims at performing Back-End-of Line assessment in sub-CMOS 65 nm integrated circuits. Design solutions which maximize speed of digital circuits and minimize crosstalk levels have to be found. These functional optimizations are obtained by varying both width and space of interconnects as well as number and size of repeaters placed at their ends. Special attention was also focused on reducing the complexity of these interconnections networks. To this end, a simulator based on models of signal propagation has been built. Passive components for the input of the simulator are derived from accurate frequency domain electromagnetic modeling and/or microwave and characterization results. For the active components such as repeaters, electrical models provided by MOS technology specialists are used. The modeling work has focused specifically on five areas: complex coupled networks modeling, shift in the time domain from discrete frequency measurements, causality checking of time domain signals obtained, modeling of the dielectric environment including losses and the possible presence of floating drivers, integration of knowledge of the charges at the interfaces of interconnections. The problem of the measure itself was addressed because a procedure known as "de-embedding" is proposed, specifically dedicated to high-frequency characterization of passive devices buried in the BEOL. Finally, alternative interconnect functionalization are investigated benefiting from strong couplings existing in the BEOL technology sub-65 nm CMOS. The results of simulations highlighted a number of potential difficulties including the fact that the performance of CMOS technology towards "more Moore" would require more than ever since the 45 nm generation globalized and rational approach to achieving the circuits.

Keywords: integrated circuits, interconnects, delays, speed, crosstalk, repeaters, HF signals, HF modeling, HF measurements, optimizations.