

Contribution à la conception de driver en technologie CMOS SOI pour la commande de transistors JFET SiC pour un environnement de haute température

Khalil El Falahi

▶ **To cite this version:**

Khalil El Falahi. Contribution à la conception de driver en technologie CMOS SOI pour la commande de transistors JFET SiC pour un environnement de haute température. Autre. INSA de Lyon, 2012. Français. NNT : 2012ISAL0056 . tel-00770657

HAL Id: tel-00770657
https://theses.hal.science/tel-00770657

Submitted on 7 Jan 2013

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

N° d'ordre
| _ | _ | _ | _ | _ | _ | _ | _ | _ | _ | _ |

THÈSE

présentée
devant l'INSTITUT NATIONAL DES SCIENCES APPLIQUÉES DE LYON

pour obtenir

LE GRADE DE DOCTEUR
ÉCOLE DOCTORALE : ÉLECTRONIQUE ÉLECTROTECHNIQUE AUTOMATIQUE
FORMATION DOCTORALE : GÉNIE ÉLECTRIQUE

par
Khalil El FALAHI

Le
25 Juin 2012

Contribution à la conception de driver en technologie CMOS SOI pour la commande de transistors JFET SiC pour un environnement de haute température

Jury

Mme Marise BAFLEUR	
Mme Corinne ALONSO	Rapporteur
M. Jean-Christophe CREBIER	Rapporteur
M. Regis MEURET	
M. François AYEL	
M. Bruno ALLARD	Directeur de thèse

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

INSA Direction de la Recherche - Ecoles Doctorales – Quinquennal 2011-2015

SIGLE	ECOLE DOCTORALE	NOM ET COORDONNEES DU RESPONSABLE
CHIMIE	**CHIMIE DE LYON** **http://www.edchimie-lyon.fr** Insa : R. GOURDON	M. Jean Marc LANCELIN Université de Lyon – Collège Doctoral Bât ESCPE 43 bd du 11 novembre 1918 69622 VILLEURBANNE Cedex Tél : 04.72.43 13 95 directeur@edchimie-lyon.fr
E.E.A.	**ELECTRONIQUE, ELECTROTECHNIQUE, AUTOMATIQUE** **http://edeea.ec-lyon.fr** Secrétariat : M.C. HAVGOUDOUKIAN eea@ec-lyon.fr	M. Gérard SCORLETTI Ecole Centrale de Lyon 36 avenue Guy de Collongue 69134 ECULLY Tél : 04.72.18 60 97 Fax : 04 78 43 37 17 Gerard.scorletti@ec-lyon.fr
E2M2	**EVOLUTION, ECOSYSTEME, MICROBIOLOGIE, MODELISATION** **http://e2m2.universite-lyon.fr** Insa : H. CHARLES	Mme Gudrun BORNETTE CNRS UMR 5023 LEHNA Université Claude Bernard Lyon 1 Bât Forel 43 bd du 11 novembre 1918 69622 VILLEURBANNE Cédex Tél : 04.72.43.12.94 e2m2@biomserv.univ-lyon1.fr
EDISS	**INTERDISCIPLINAIRE SCIENCES-SANTE** **http://ww2.ibcp.fr/ediss** Sec : Safia AIT CHALAL Insa : M. LAGARDE	M. Didier REVEL Hôpital Louis Pradel Bâtiment Central 28 Avenue Doyen Lépine 69677 BRON Tél : 04.72.68 49 09 Fax :04 72 35 49 16 Didier.revel@creatis.uni-lyon1.fr
INFOMATHS	**INFORMATIQUE ET MATHEMATIQUES** http://infomaths.univ-lyon1.fr	M. Johannes KELLENDONK Université Claude Bernard Lyon 1 LIRIS - INFOMATHS Bâtiment Nautibus 43 bd du 11 novembre 1918 69622 VILLEURBANNE Cedex Tél : 04.72. 43.19.05 Fax 04 72 43 13 10 infomaths@bat710.univ-lyon1.fr
Matériaux	**MATERIAUX DE LYON**	M. Jean-Yves BUFFIERE Secrétaire : Mériem LABOUNE INSA de Lyon École Doctorale Matériaux Mériem LABOUNE Bâtiment Antoine de Saint-Exupéry 25bis Avenue Jean Capelle 69621 VILLEURBANNE Tel : 04 72 43 71 70 Fax : 04 72 43 72 37 ed.materiaux@insa-lyon.fr
MEGA	**MECANIQUE, ENERGETIQUE, GENIE CIVIL, ACOUSTIQUE (ED n°162)**	M. Philippe BOISSE Secrétaire : Mériem LABOUNE Adresse : INSA de Lyon École Doctorale MEGA Mériem LABOUNE Bâtiment Antoine de Saint-Exupéry 25bis Avenue Jean Capelle 69621 VILLEURBANNE Tel : 04 72 43 71 70 Fax : 04 72 43 72 37 mega@insa-lyon.fr Site web : http://www.ed-mega.com
ScSo	**ScSo*** M. OBADIA Lionel	M. OBADIA Lionel Université Lyon 2

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Remerciements

Les travaux présentés dans ce manuscrit de thèse ont été réalisés au laboratoire Ampère (UMR 5005), au sein de l'équipe « Electronique de Puissance et Intégration» sur le campus scientifique de la Doua à Lyon. Je tiens à remercier M. Bruno Allard, mon directeur de thèse, pour m'avoir donné la possibilité de travailler durant ces années de thèse sur ce sujet passionnant, pour ses conseils avisés, pour sa rigueur scientifique qui m'a permis d'approfondir mon travail, pour la confiance qu'il a su me témoigner et pour ses encouragements qui ont contribué à l'aboutissement de cette thèse.

Je remercie la Fondation de Recherche pour l'Aéronautique et l'Espace (FNRAE) pour leur soutien financier au travers du projet COTECH, et la société Hispano-Suza pour leur soutien logistique en nous donnant accès à de nombreux échantillons de circuits.

Je remercie les membres du jury qui ont pris le temps de lire et commenter ce manuscrit, et tout particulièrement les rapporteurs : Mme Corinne Alonso (Professeur des Universités - Laboratoire LAAS - Toulouse) et M. Jean-Christophe Crébier (Chargé de recherche CNRS - Laboratoire G2Elab - Grenoble).

Je tiens aussi à remercier très chaleureusement toutes les personnes de l'équipe qui m'ont aidé et soutenu. En particulier, un très grand merci à Pascal pour sa réactivité sans faille lors de la mise en place des tests, pour toutes ses compétences et son savoir faire dans la réalisation des cartes électroniques haute température (haute technologie) et pour son soutien lors des phases de débugage des circuits. Merci à Abder, Bo, Lulu, Cyril, Stan, Xavier, Rafael, Christian pour l'intérêt porté à ce projet et surtout pour toute l'aide qu'ils ont su m'apporté lors de la phase de test du second run. Merci pour la bonne ambiance de travail qui régnait dans notre bureau !

Enfin, j'aimerais dédier ce manuscrit à mes proches, familles et amis : mon père Lhaj, ma mère Omi, mes frères Hamouda et Amine et toute ma famille si loin, Roland (Mu-loose), Eric (The winner), Piero (Le fou), Lucas (The greek), Sam (All-In), Francis (The Boss), Ivanovitch (Le perdu), Nico (Le bon), Well Well (l'Anglais), Damien (Le montagnard), Doudou (Le juste), Guy (The nose)… bref tous les Finocks et leurs petites familles ! Merci pour votre soutien sans faille, Merci pour votre écoute, Merci pour votre réconfort, Merci pour votre patience… Et puis merci à ma petite femme Claire pour ses rires, ses coups de boosts et son petit grain de folie. Sans elle rien de cela ne serait possible. Je vous aime…

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Résumé

Dans le domaine aéronautique, les systèmes électriques remplacement progressivement les systèmes de contrôle mécaniques ou hydrauliques. Les bénéfices immédiats sont la réduction de la masse embarquée et des performances accrues à condition que l'électronique supporte l'absence de système de refroidissement. Si la haute température de fonctionnement n'empêche pas d'atteindre une fiabilité suffisante, il y aura réduction des coûts opérationnels. Des étapes clefs ont été franchies en introduisant des systèmes à commande électriques dans les aéronefs en lieu et place de systèmes conventionnels : freins électriques, inverseur de poussée, vérins électriques de commandes de vol… Toutes ces avancées se sont accélérées ces dernières années grâce entre autre à l'utilisation de nouveaux matériaux semiconducteurs, dit à grand gap (SiC, GaN…), opérant à haute température et palliant ainsi une faiblesse des dispositifs classiques en silicium (Si). Des composants de puissance haute température, diode Schottky ou transistor JFET SiC, sont ainsi disponibles commercialement et peuvent supporter des ambiantes de plus de 220°C. Des modules de puissances (onduleur) à base de transistor JFET SiC ont été réalisés et validés à haute température. Finalement la partie « commande » de ces modules de puissance reste à concevoir pour les environnements sévères pour permettre leur introduction dans le module de puissance. C'est dans ce contexte de faiblesse concernant l'étage de commande rapprochée qu'a été construit le projet FNRAE COTECH, et où s'inscrivent les travaux de cette thèse,

Dans un premier temps, un état de l'art sur les drivers et leurs technologies nous a permis de souligner le lien complexe entre électronique et température ainsi que le potentiel de la technologie CMOS sur Silicium sur Isolant (SOI) pour des applications hautes températures. La caractérisation en température de drivers SOI disponibles dans le commerce nous a fourni des données d'entrée sur le comportement de tels dispositifs. Ces caractérisations sont essentielles pour visualiser et interpréter l'effet de la température sur les caractéristiques du dispositif. Ces mesures mettent aussi en avant les limites pratiques des technologies employées. La partie principale de cette thèse concerne la conception et la caractérisation de blocs ou IPs pour le cœur d'un driver haute température de JFET SiC. Elle est articulée autour de deux runs SOI (TFSmart1). Les blocs développés incluent entre autres des étages de sortie et leurs buffers associés et des fonctions de protection. Les drivers ainsi constitués ont été testés sur un intervalle de température allant de -50°C à plus de 250°C sans défaillance constatée. Une fonction originale de protection des JFETs contre les courts-circuits a été démontrée. Cette fonction permet de surmonter la principale limitation de ces transistors normalement passant (Normaly-ON). Finalement, un module de bras d'onduleur a été conçu pour tester ces driver in-situ.

Mots-clefs

SiC JFET driver, SOI CMOS, haute température, module de puissance, fonction de sécurité

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Abstract

In aeronautics, electrical systems progressively replace mechanical and hydraulic control systems. If the electronics can stand the absence of cooling, the immediate advantages will be the reduction of mass, increased performances, admissible reliability and thus reduction of costs. In aircraft, some important steps have already been performed successfully when substituting standard systems by electrical control system such as electrical brakes, thrust reverser, electrical actuators for flight control… Large band gap semiconductors (SiC, GaN…) have eased the operation in high temperature over the last decade and let overcome a weakness of conventional silicon systems (Si). High temperature power components such as Schottky diodes or JFET transistors, are already commercially available for a use up to 220°C, limited by package. Moreover inverters based on SiC JFET transistors have been realized and characterized at high temperature. Finally the control part of these power systems needs to be designed for harsh environment. It is in this context of lack of integrated control part that the FNRAE COTECH project and my doctoral research have been built.

Based on a state of the art about drivers, the complex link between electronic and temperature and the potentialities of CMOS Silicon-On-Insulator technology (SOI) for high temperature applications have been underlined. The characterization of commercial SOI drivers gives essential data on these systems and their behavior at high temperature. These measurements also highlight the practical limitations of SOI technologies. The main part of this manuscript concerns the design and characterization of functions or IPs for high temperature JFET SiC driver. Two SOI runs in TFSmart1 have been realized. The developed functions include the driver output stage, associated buffers and protection functions. The drivers have been tested from -50°C up to 250°C without failure under short time-range. Moreover, an original protection function has been demonstrated against the short-circuit of an inverter leg. This function allows overcoming the main limitation of the normally on JFET transistor. Finally, an inverter module has been built for in-situ test of these new drivers.

Key words:

SiC JFET driver, SOI CMOS, high temperature, power module, safety function

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Table des matières

Introduction générale **10**

1 Module de puissance haute température **17**

1.1 Matériaux haute température et packaging 18

1.1.1 Le substrat 18

1.1.2 La semelle 20

1.1.3 Les brasures 21

1.1.4 Les connexions électriques 22

1.1.5 L'encapsulant 23

1.2 Dispositifs passifs 23

1.2.1 Les condensateurs 23

1.2.2 Les dispositifs magnétiques 26

1.3 Dispositifs actifs 27

1.3.1 Semiconducteur et tolérance à la température 27

1.3.1.1 Concentration intrinsèque des porteurs 28

1.3.1.2 Courant de fuite d'une jonction PN 29

1.3.1.3 Mobilité des porteurs 30

1.3.1.4 Synthèse de l'influence de la température sur les caractéristiques des composants électroniques 30

1.3.2 Silicium sur isolant (SOI) 32

1.3.2.1 SOI : définition et caractéristiques 32

1.3.2.2 Principaux mécanismes de défaillance attendus 35

1.3.2.3 Electromigration 37

1.3.2.4 Contribution vis-à-vis des mécanismes de défaillance . . . 39

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

1.4 Le transistor JFET 40
1.4.1 Descriptif 41
1.4.2 Caractéristiques des transistors JFET SiC 41
1.4.3 Circuits d'attaque de grille 46
1.4.4 Modélisation du JFET SiC 47
1.4.5 Etat de l'art des circuits de conversion à base de transistor SiC . . . 49
1.4.6 Cahier des charges 51
1.5 Conclusion 53

2 Driver SOI **55**
2.1 Architecture globale 55
2.2 Spécifications des fonctions 57
2.2.1 Etage de sortie et puissance de sortie du driver 57
2.2.2 Bloc de mise en forme des signaux 58
2.2.3 Les fonctions de protection 60
2.2.3.1 Détection du niveau d'alimentation 60
2.2.3.2 Protection en surtension 60
2.2.3.3 Protection contre la saturation. 63
2.2.3.4 Surveillance de la température. 64
2.2.3.5 Protection court-circuit 64
2.2.4 La fonction d'isolation 67
2.2.5 Schéma global du driver Ampère 71
2.3 Etat de l'art des drivers intégrés 71
2.4 Caractérisation de driver commerciaux 74
2.5 Conclusion 78

3 Conception et caractérisation du Premier Run **80**
3.1 Présentation de la technologie Smartis-1 80
3.2 Conception et test de l'étage de sortie 82
3.2.1 Les transistors de l'étage de sortie 84
3.2.1.1 Conception 84
3.2.1.2 Tests 85
3.2.2 Conception et tests des Buffers 87

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

3.2.3 Test des étages de transistors de sortie. 90
3.2.4 Test sur bras d'onduleur 96
3.2.5 Fonction d'isolation 101
3.3 Conclusion 103

4 Second Run **105**
4.1 Conception 105
4.1.1 Etages de sorties retenus pour le second run 105
4.1.2 Fonction de mise en forme des signaux 107
4.1.2.1 Gestion des temps morts 107
4.1.2.2 Circuit de décalage de tension (*Level Shifter*) 109
4.1.2.3 Bond Gap Circuit (BGC) 111
4.1.3 Fonction de protection 112
4.1.3.1 Surveillance de la température 112
4.1.3.2 Circuit de détection de sous-alimentation ($UVLO$) 114
4.1.3.3 Protection contre le court-circuit de bras 115
4.2 Caractérisation 120
4.2.1 Caractérisation du driver Drv1 120
4.2.2 Caractérisation du driver Drv2 124
4.2.3 Caractérisation du driver Drv3 128
4.2.3.1 Fonctionnement global du driver 128
4.2.3.2 Circuit de détection de la température 131
4.2.3.3 Fonction de gestion des temps morts 132
4.2.4 Transformateur à air intégré 133
4.2.5 Fonction de protection contre les court-circuits 136
4.2.6 Vers un module de bras d'onduleur à JFET SiC 139
4.3 Conclusion 141

5 Conclusion générale et perspectives **142**
5.1 Conclusion 142
5.2 Perspectives 144

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Table des figures

1 Consommation prévisionnelle de pétrole 11
2 Localisation des actionneurs électriques au sein d'un avion 12
3 Evolution de la puissance électrique embarquée au sein des aéronefs 12
4 Commande électrique de l'inverseur de poussée 13
5 Evolution de la température près des réacteurs d'un avion 13
6 Chaîne standard de commande d'un actionneur électrique 14
7 Historique de quelques projets dédiés à l'électronique de puissance haute-température 14

1.1 Structure classique d'un module de puissance 17
1.2 Simulation de l'effet du stress thermo-mécanique au sein d'un substrat . . . 19
1.3 Schéma d'un module APEI pour des fonctionnements jusqu'à 400°C 21
1.4 Assemblage par frittage de poudre nano-Ag d'une puce SiC sur substrat DBC Si_3N_4 (a). Photographie de la presse expérimentale (b) 22
1.5 Interconnexion par ruban Au pour la haute température 23
1.6 Condensateurs sur platine de test en haute température 24
1.7 Capacité d'un condensateur en BaTiO3 sous différentes températures . . . 25
1.8 Exemple de module expérimental embarquant des condensateurs céramiques 25
1.9 Vue de la capacité HTSC424-100 (a). Evolution de la valeur de la capacité d'un produit HTSC424-100 (b) 26
1.10 Concentration intrinsèque des porteurs en fonction de la température . . . 28
1.11 Vue en coupe d'un transistor n-MOSFET 29
1.12 Limite physique entre tension de claquage et température (a). Relation entre tension de claquage et résistance à l'état passant (b) 31
1.13 Comparaison des architectures des transistors MOS 32
1.14 Coupe d'un transistor MOS sur substrat SOI, à trois niveaux de métal . . 33

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

1.15 Comparaison des architectures des transistors PDSOI et FDSOI 33
1.16 Illustration du phénomène de latch-up dans un circuit CMOS 34
1.17 Capacités de jonction pour la technologie Si et SOI 35
1.18 Courant de fuite en fonction de la température pour la technologie standard et pour le SOI 35
1.19 Exemple de rupture de ligne due à l'électromigration 37
1.20 Diffusion lacunaire 38
1.21 Energie potentielle au sein d'un cristal 38
1.22 Représentation schématique de la force de friction 38
1.23 Schéma de principe du transistor JFET 41
1.24 Evolution de la résistance R_{DSON} en fonction de la température 42
1.25 Evolution des caractéristiques d'un JFET dit de type B en température . . 42
1.26 Cellule de commutation pour la caractérisation d'un JFET 1500V – 4A et forme d'onde à la fermeture d'un dispositif sous V_{DC}=150V 43
1.27 Formes d'ondes à l'ouverture en lien avec la figure 1.26 43
1.28 Bras d'onduleur en mode hacheur, sous 15kHz de fréquence de découpage et 20% de rapport cyclique, utilisant des JFETs 4x4mm^2 44
1.29 Forme d'ondes de tension au point milieu des JFETs et de courant source du JFET bas de pont à la fermeture (a) et à l'ouverture (b) 44
1.30 Caractéristiques de grille du JFET bas de pont à la fermeture (a) et à l'ouverture (b) 45
1.31 Capacité de grille mesurée pour un JFET 4x4mm^2 45
1.32 Trois topologies de circuit d'attaque de grille de JFET 46
1.33 Coupe 1D axisymétrique de la cellule du JFET (a) et représentation des composantes du modèle analytique (b) 47
1.34 Cellule de validation du modèle du JFET (a) et caractéristique statique R_{DSon} en fonction de la température (b) 47
1.35 Forme d'ondes du courant (b) et de la tension (a) drain-source 48
1.36 Onduleur à base de JFET SiC fonctionnant en température 49
1.37 Onduleur haute température composé de JFET 50
1.38 Comparaison de trois types de module à base de composants MOSFETs SiC 50
1.39 Détails du module HT-2000 de la société APEI, connectiques de puissance et carte driver 51
1.40 Module APEI avec un étage driver plus compact 51

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

1.41 Positionnement des drivers au sein de l'onduleur de tension 52
1.42 Synoptique originel de la contribution du projet FNRAE COTECH au driver intégré SOI 52

2.1 Synoptique d'un cœur de driver 55
2.2 Schéma du driver piloté en mode courant (a) et avec protection (b) 56
2.3 Fonctions utiles et nécessaires à la réalisation d'un driver 57
2.4 Architecture de driver sans étage de sortie 57
2.5 Exemple d'un étage de sortie à base d'interrupteurs contrôlables 58
2.6 Circuit abaisseur de tension 59
2.7 Fonction de mise en forme 59
2.8 *UVLO* 60
2.9 Les éléments parasites dans un bras d'onduleur 61
2.10 Surtension liée aux éléments parasites du bras d'onduleur 61
2.11 Protection active contre la surtension 62
2.12 Génération de courant I_{GD} 63
2.13 Schéma de la protection désaturation 63
2.14 ThermalShutDown 64
2.15 Application EMA (a) et bus d'alimentation (b) 65
2.16 Cas de défaut des drivers 66
2.17 Principe de la protection contre la défaillance du driver 67
2.18 Coupe d'une structure favorisant un couplage capacitif 68
2.19 Proposition de mise en œuvre d'un couplage capacitif au sein d'un PCB . . 68
2.20 Proposition de driver isolé en énergie et signal 69
2.21 Description de l'isolation par transformateur à air des circuits AduM . . . 70
2.22 Bloc-diagramme du driver 71
2.23 Driver SOI développé par Huque 72
2.24 Driver SOI intégrant une isolation coreless 73
2.25 Dispositif de test pour les drivers commerciaux 74
2.26 Banc de test haute température 75
2.27 Paramètres liés aux signaux de sortie et de commande 75
2.28 Tension de sortie : (a) temps de montée, (b) temps de descente 76
2.29 Tension de sortie : (a) retard à la fermeture, (b) retard à l'ouverture 77

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

2.30 Courant de sortie : (a) à la fermeture, (b) à l'ouverture 77

3.1 Transistor en technologie Smartis-1 80
3.2 Champs dessinés sur la première puce SOI 81
3.3 Caractéristique statique Ids(Vds) à 25°C et à 200°C 83
3.4 Courant Iout typique d'un étage PN à 25°C et à 200°C 83
3.5 Premiers *layouts* des transistors MOSFET ($L = 1.6\mu m$) 84
3.6 Caractéristique statique du transistor NMOS 45V à température ambiante et à 250°C 85
3.7 Résistance R_{DSon} pour les différents transistors dessinés 86
3.8 Schéma du *buffer* commandant les transistors de l'étage de sortie 87
3.9 Notation au sein des étages d'un *buffer* où i varie de 0 à N-1. 87
3.10 Retard entre la tension de sortie et la commande du *buffer* 89
3.11 Temps de montée et de descente de la tension de sortie 90
3.12 Configuration PushPull 91
3.13 Relevé des tensions de commande et de sortie 91
3.14 Temps de montée et de descente de la tension de sortie 92
3.15 Retard entre la tension de sortie et la commande du *buffer* 93
3.16 Configuration Totempole 93
3.17 Temps de montée et de descente de la tension de sortie (Totempole) 94
3.18 Retard entre la tension de sortie et la commande du *buffer* (Totempole) . . 94
3.19 Temps mort minimal en fonction de la température 95
3.20 Test du driver sur un bras d'onduleur à base de JFET SiC 96
3.21 Signaux de contrôle 97
3.22 Tensions et courants de grille des deux transistors 98
3.23 Tensions de grille des deux transistors et tension de sortie V_{out} 99
3.24 Temps de montée et de descente des signaux de grille 99
3.25 Retard à la commande en fonction de la température 100
3.26 Temps de montée et de descente de V_{out} en fonction de la température . . . 100
3.27 Fonction minimale électrique vis-à-vis de l'isolation du signal de commande 101
3.28 Forme d'onde d'entrée et de sortie de la fonction d'isolation 102
3.29 Evolution de l'amplitude de la tension de sortie en fonction de la température102
3.30 Retard à l'ouverture et à la fermeture en fonction de la température 103

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

4.1 Surfaces dédiées aux drivers Drv1 et Drv2 106
4.2 Circuit de génération d'un temps mort 108
4.3 Simulation de t_{mort} avec la température 108
4.4 Circuit de génération des temps morts en fonction de la température . . . 109
4.5 Circuit abaisseur de tension (*LevelShifter*) 110
4.6 Forme des tensions relatives au circuit de la figure 4.5 110
4.7 Circuit Band gap 111
4.8 Simulation de la tension Vref en fonction de la température 112
4.9 Circuit de détection de la température 113
4.10 Circuit de détection de sous-tension d'alimentation ($UVLO$) 114
4.11 Simulation de la tension de seuil $UVLO$ avec la température ambiante . . . 115
4.12 Principaux scenarii de perte de contrôle des JFETs 116
4.13 Prototype du circuit de protection contre le court-circuit (a), Tensions caractéristiques à 200°C (b) 116
4.14 Second prototype discret avec la solution intégrable (a), Tensions caractéristiques à 200°C (b) 117
4.15 Synoptique de la première solution intégrée contre le court-circuit 118
4.16 Simulation des tensions caractéristiques de la fonction à 200°C 118
4.17 Chronogramme du fonctionnement de la fonction anti court-circuit. 119
4.18 Circuit de test des drivers du Run2 120
4.19 Structure du driver Drv1 121
4.20 Relevé des courbes à 275°C 121
4.21 Mesure des temps de retard, montée et descente du driver Drv1. 122
4.22 Evolution du courant de sortie du driver Drv1 123
4.23 Relevé des courbes à 295°C 124
4.24 Evolution des temps de montée et de descente en fonction de la température 125
4.25 Retards à la commande en fonction de la température 126
4.26 Courant de sortie en fonction de la température 127
4.27 Schéma du driver Drv3 128
4.28 Relevé des courbes à 250°C 128
4.29 Mesure des temps de montée et de descente du driver Drv3 129
4.30 Mesure des pics de courant du driver Drv3 130

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

4.31 Mise en évidence de perturbations électriques au sein du driver Drv3 . . . 130
4.32 Layout du driver Drv3 131
4.33 Mesure des temps morts en fonction de la combinaison de capacités 132
4.34 Dessin d'un transformateur à air de 25 spires (2,5 x 2,5 mm) 133
4.35 Lignes de champs électro-magnétique dans la simulation sous Flux2D du transformateur à air. 135
4.36 Détail des lignes de champ sans la présence de l'écran en métal 1 (a) et avec l'écran (b). 135
4.37 Dessin de la solution intégrée de fonction de protection contre les court-circuits 136
4.38 Banc de test de la fonction anti court-circuit 136
4.39 Mesures lors de l'étape de pré-charge à température ambiante et 200°C . . 137
4.40 Opération de la pompe de charge négative à 200°C 138
4.41 Evolution de la réactivité de la fonction de protection contre le court-circuit. 139
4.42 Premier module sur DBC pour le test fonctionnel du bras d'onduleur JFETs SiC avec des drivers SOI 140
4.43 Tensions de grilles des JFETs et tension et courant de sortie du module . . 140

5.1 Synoptique du driver prévu pour le run 3. 144

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Liste des tableaux

1.1 Propriétés des céramiques isolantes 19
1.2 Propriétés des matériaux utilisés pour la semelle 20
1.3 Comparaison des technologies de condensateurs pour la haute température 24
1.4 Comparaison de matériaux magnétiques pour la haute température 26
1.5 Evolution des caractéristiques des composants électroniques en fonction de la température 31
1.6 Principaux mécanismes de défaillance à prendre en compte dans l'intégration en CMOS SOI d'un étage driver 36
1.7 Principales spécifications du driver SOI 54

2.1 Quelques résultats d'énergie critique de puces JFET 65
2.2 Performances d'isolation de quelques produits commerciaux 71
2.3 Récapitulatif des principaux résultats 78

3.1 Dimension des étages du Buffer_{P8} 88
3.2 Dimension des étages du Buffer_{N8} 89

4.1 Taille des étages de sortie des drivers Drv1 et Drv2 106
4.2 Taille des étages de sortie du driver Drv3 107
4.3 Temps de montée et de descente des drivers Drv1 et Drv2 en fonction de la température 125
4.4 Pic du courant de sortie pour le driver Drv1 et Drv2 127
4.5 Ecart théorie-expérience pour la mesure de la température 132
4.6 Grandeurs électriques principales issues de la simulation sous Flux2D du transformateur à air. 134

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Introduction générale

De part l'augmentation de la population et le développement économique de certains pays, notre monde est de plus en plus énergivore. Dans les pays émergents, la croissance économique est soutenue (11.2% en moyenne en Chine entre 2006 et 2010), et l'augmentation de la consommation d'énergie est évaluée à un taux annuel moyen de 3% entre 2004 et 2020. La progression de la consommation du pétrole reflète le développement des secteurs des transports routiers et aériens : +12% en Chine, +9% au Brésil en 2010 (figure 1). Ce qui soulève d'énormes défis face à des ressources naturelles de moins en moins accessibles, inégalement reparties et inégalement consommées. Sans évoquer l'impact de cette tendance sur l'environnement. Il est donc urgent d'améliorer l'efficacité énergétique et d'augmenter la part des énergies renouvelables dans la consommation.

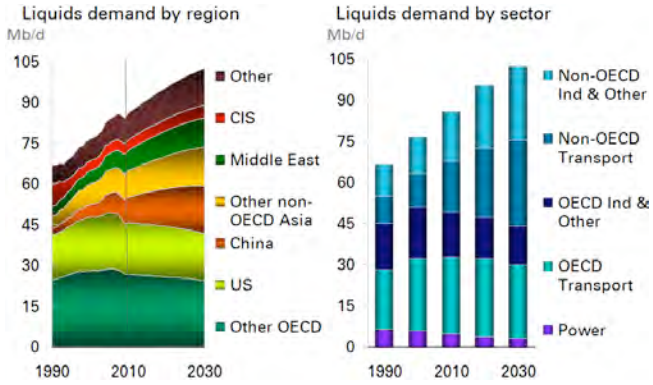


FIGURE 1 – Consommation prévisionnelle de pétrole *(source BP Energy Outlook 2030)*

Dans le domaine des transports, l'ensemble des acteurs se tourne vers l'énergie électrique. La mobilité électrique connaît un formidable essor avec l'apparition de véhicules hybrides ou électrique fiables. Mais, l'aviation n'est pas en reste. En effet, l'histoire de l'avion « plus électrique » commence dès 1964 avec l'apparition de commande de vol électrique sur le Mirage IV, puis sur les Airbus A320 dans les années 80. Plus récemment, le développement d'actionneurs à puissance électrique pour les inverseurs de poussée et des vérins électriques de commandes de vol équipent les avions Airbus A380. Soulignons aussi les freins électriques et le conditionnement de l'air sur les Boeing B787. Avec les freins électriques, il est aisé d'imaginer la masse de système hydraulique qui est gagnée. Ainsi, des étapes clefs ont été

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

franchies en introduisant des systèmes à commande électrique et/ou à puissance électrique en remplacement de systèmes mécaniques ou hydrauliques (figure 2).

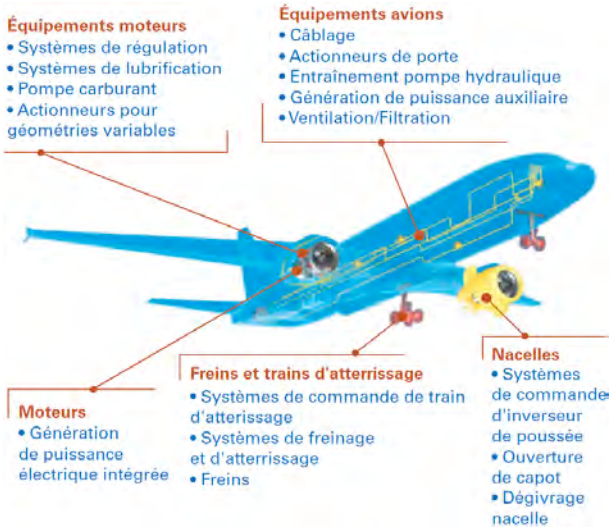


FIGURE 2 – Localisation des actionneurs électriques au sein d'un avion *(source Hispano-Suiza)*

Réduction de la masse embarquée, hautes performances, fiabilité, et réduction des coûts opérationnels sont, en effet, les bénéfices immédiats que peut apporter l'installation de systèmes électriques dans les aéronefs en lieu et place de systèmes hydrauliques ou pneumatiques. Par conséquence, la puissance électrique embarquée à bord des avions ne cesse de croître ces dernières années. Elle est passée de 180kW sur l'Airbus A320 à plus de 1MW sur l'Airbus A380 et le Boeing B787 (figure 3).

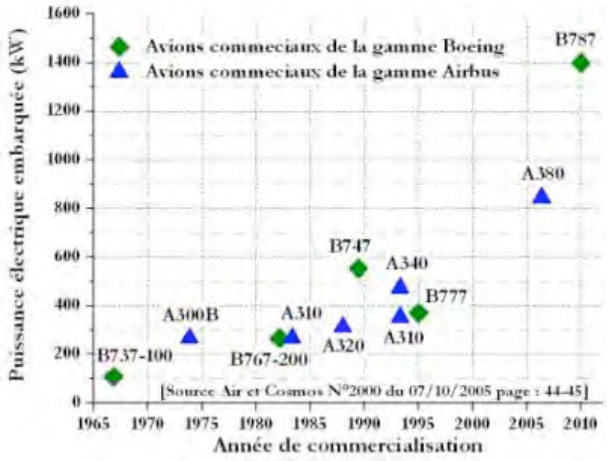


FIGURE 3 – Evolution de la puissance électrique embarquée au sein des aéronefs

De grandes avancées ont été réalisées dans le développement de solutions de génération

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

et de stockage de l'énergie électrique (générateur-démarreur du B787, batterie lithium ion...). Ces techniques s'appuient aussi sur des dispositifs de l'électronique de puissance pour la mise en forme et la distribution de l'énergie (convertisseurs DC/DC, onduleur...). Toutefois, l'essor des convertisseurs électriques est actuellement freiné par leurs limitations en température. La gestion thermique des pertes des convertisseurs et/ou l'ambiance thermique sévère à certains endroits de l'aéronef (figure 5) limitent l'utilisation de ces convertisseurs comme pour les commandes électriques de l'inverseur de poussée (figure 4).

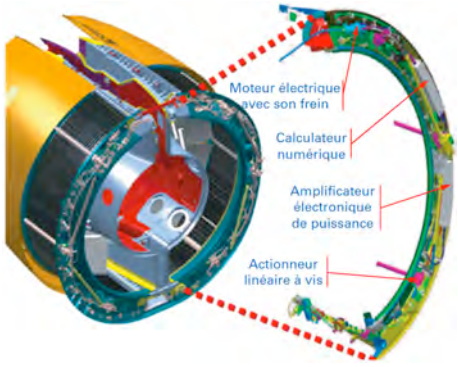


FIGURE 4 – Commande électrique de l'inverseur de poussée *(source Hispano-Suiza)*

Ainsi, optimiser l'énergie embarquée, développer des dispositifs électriques à haut rendement n'est plus suffisant et les recherches actuelles s'orientent vers des technologies capables de fonctionner à haute température. C'est l'émergence de ces technologies qui ont réellement permis l'essor de l'avion plus électrique. En effet, la haute température et les cycles thermiques sont les principales sources de limitation fonctionnelle des circuits électriques (figure 5).

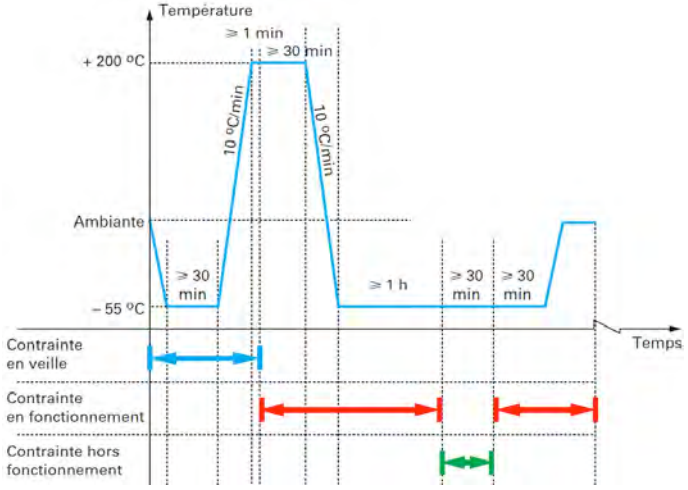


FIGURE 5 – Evolution de la température près des réacteurs d'un avion *(source : norme DO-160 Environmental conditions and test procedures for airbone equipment)*

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Une chaîne standard de conversion d'énergie pour un actionneur électrique est présentée sur la figure 6. La partie charge (actionneur type moteur électrique) est très robuste, et peut être placée dans des environnements extrêmes. Reste les parties « commande » et « onduleur » à concevoir pour des environnements sévères.

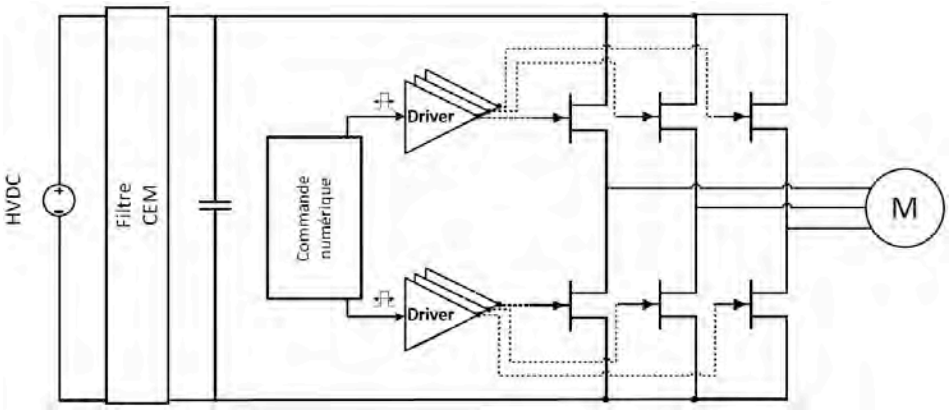


FIGURE 6 – Chaîne standard de commande d'un actionneur électrique

A ce titre, plusieurs projets ont vu le jour dans l'optique de développer un module de puissance regroupant l'ensemble des dispositifs depuis les interrupteurs de puissance jusqu'à leurs étages de commande rapprochée, pour des applications aéronautiques (figure 7).

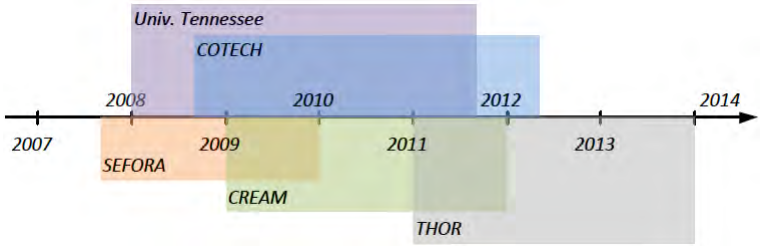


FIGURE 7 – Historique de quelques projets dédiés à l'électronique de puissance haute-température

Le projet ***SEFORA*** (Smart electrical actuators for harch environment aeronautic application) a délivré des modules de puissance à base de transistors JFET en carbure de silicium (normalement passant). Seule l'intégration des étages de commande rapprochée des JFETs n'a pas été conclue. C'est dans ce contexte de « faiblesse de résultats concernant l'étage de commande rapprochée » qu'a été construit le projet FNRAE ***COTECH*** (Composantes d'un driver en technologie SOI pour la haute température), et où s'inscrivent les travaux de cette thèse.

En parallèle s'est déroulé le projet européen ***CREAM*** (Innovative technological platform for compact and reliable electronic integrated in actuators and motors), également tourné vers le module onduleur, et où l'intégration de driver en technologie CMOS SOI a été menée

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

par l'industriel belge CISSOID. Les résultats de ces travaux seront repris dans l'analyse de l'état de l'art. Le projet européen ***THOR*** reprend l'objectif du module de puissance dans une perspective de pré-industrialisation. Ce projet constituera une suite logique des présents résultats. Enfin, des résultats importants autour de drivers intégrés de composants SiC ont été réalisés dans le cadre d'un projet américain porté par l'Université de Tennessee, mais avec un cahier des charges lié à l'application automobile.

Le déroulement du projet COTECH a été influencé dans le temps par la publication des résultats des projets concurrents. La contribution à la conception de driver intégré de transistor JFET SiC a donc ciblé principalement :

- la caractérisation d'une technologie encore non utilisée pour le cahier des charges aéronautique (technologie Smartis 1, CMOS SOI 0.8μm)
- la conception des briques de base d'un cœur de driver de JFET SiC, normalement passant et bloqué sous -27V
- la conception des fonctions essentielles à un cœur de driver
- l'intégration d'une fonction de protection primordiale : l'effacement du court-circuit au sein du bras d'onduleur.
- la caractérisation des dispositifs sur une gamme étendue de température, [-75°C, +300°C] en prévision des tests à venir autour de l'analyse des mécanismes de défaillance.

Le chapitre 1 décrit l'état de l'art autour des modules de puissance pour la haute température et met en évidence le rôle du driver.

Le chapitre 2 est quant à lui consacré à la bibliographie sur l'intégration de driver pour la haute température. Une spécification électrique est présentée et sera reprise dans le cadre du projet CREAM. Des tests préliminaires de produits commerciaux, qui avaient pour but d'évaluer le risque d'utilisation d'une technologie SOI CMOS à 300°C, y sont aussi résumés.

Le chapitre 3 est centré sur les fonctions intégrées essentielles au cœur de driver. Ce chapitre traite de la conception et du test du premier run qui a servi à évaluer la technologie Smartis-1. Les caractérisations en température sont présentées et confrontées aux simulations électriques initiales. Le test en température d'un premier module utilisant les buffers et les étages de sortie du run 1 pour commander un bras d'onduleur JFET SiC, y est présenté.

Le chapitre 4 expose autour d'un second run des résultats plus aboutis sur le cœur driver. Ce deuxième run présente en plus des fonctions standards, une fonction de protection contre les court-circuits au sein du bras d'onduleur ainsi que des fonctions modulables permettant de contrer l'effet de la température sur le système. Des tests de plusieurs versions de driver intégré sur un intervalle de température allant jusqu'à -80°C et 300°C, y sont présentés.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Le dernier chapitre livre une conclusion et les perspectives à court et moyen terme de ces travaux.

La partie principale de cette thèse concerne donc **la conception et la caractérisation de blocs ou IPs pour le cœur d'un driver de JFET SiC** et est articulée autour de deux runs silicium. Un module complet de la commande d'un bras d'onduleur a également été conçu mais la fabrication s'est heurtée à un problème qui n'a pas permis le test à la date d'édition de ce manuscrit.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Chapitre 1

Module de puissance haute température

Un module de puissance réalise une fonction électrique particulière (interrupteur, onduleur...). Il est généralement constitué de composants actifs (puces semi-conductrices) et de composants passifs (substrats, pistes conductrices...). Le tout est encapsulé dans un gel en silicone pour protéger tous les constituants du module des agressions externes. La figure 1.1 présente un exemple d'architecture d'un module de puissance embarquant son intelligence de commande **[MEN 10]**. Ce type de module avait d'ailleurs, à l'origine, été baptisé « Intelligent Power Module » (IPM) par Mitsubishi **[MIT 98]**.

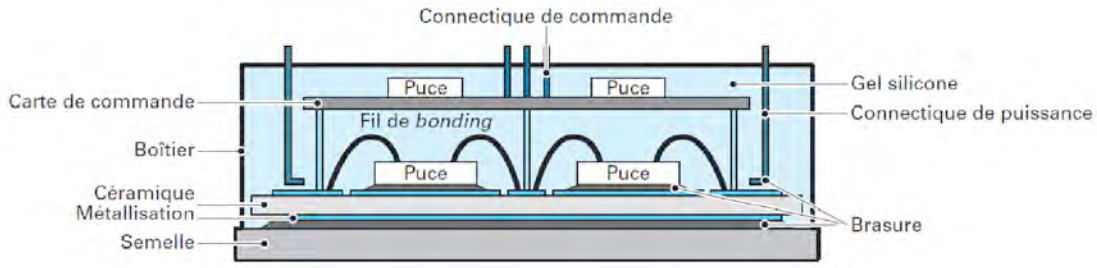


FIGURE 1.1 – Structure classique d'un module de puissance **[MEN 10]**

Différentes technologies de module coexistent mais destinées à une utilisation en gamme de température industrielle normale **[SHE 04]**. Le paragraphe précédant donne des exemples d'applications où de tels modules devront fonctionner à haute température ambiante (200°C) tout en offrant une densité de puissance élevée. Ainsi, un point clef pour répondre à cette problématique est l'amélioration du packaging du module. Un second point est l'utilisation de dispositif électronique dédié à la haute température (fonctions de puissance et de commande). Nous allons détailler dans ce chapitre ces deux aspects. Un des compromis les plus délicats à obtenir est un rapport « masse/volume/performances » intéressant surtout à haute température tout en maîtrisant les mécanismes de défaillances liés aux contraintes thermomécaniques (coefficient d'expansion thermique).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Les efforts de recherche actuels répondent aux problématiques suivantes, dont la liste n'est pas exhaustive **[BUT 11]** :

Semelle	Substrat	Report de Puce	Interconnexion
- Matériau - Géométrie	- Type de céramique - Epaisseur de céramique - Type de métal - Epaisseur de métal - Procédé d'élaboration	- Matériau - Epaisseur - Espacement entre puce et vis-à-vis des bords du substrat - Dessin des pistes	- Matériau - Procédé - Orientation - Espace libre minimal

1.1 Matériaux haute température et packaging

Nous abordons dans ce paragraphe les matériaux utilisés pour la réalisation des composants dits passifs d'un module de puissance. Il s'agit d'établir un panel de technologies haute température pour le substrat, la semelle, les brasures, les connexions électriques et l'encapsulant. Quelques exemples de matériaux pour les composants passifs seront présentés.

1.1.1 Le substrat

Le substrat accueille les pistes électriques et le support du module de puissance. Il doit réaliser les fonctions d'isolation électrique entre les différents composants, et doit aussi permettre de favoriser l'évacuation de la chaleur. Le substrat est donc un diélectrique (isolant) organique ou céramique. On distingue trois classes de substrat :

– le substrat métallique isolé

– le substrat céramique DCB

– le substrat céramique brasé

Le substrat métallique isolé est un tri-couche « métal-diélectrique-cuivre ». Le diélectrique utilisé, de faible épaisseur (50 à 100μm), est généralement une résine verre époxy (utilisable jusqu'à 160°C) ou un polyimide. Ce dernier peut supporter des hautes températures (200°C) au prix de propriétés électriques, thermiques et mécaniques fortement dégradées **[CHA 08]**.

Le substrat céramique DCB est aussi un tri-couche, composé d'une céramique prise en sandwich entre deux couches de métallisation en cuivre. Les céramiques isolantes les plus utilisées sont : l'alumine polycristalline (Al_2O_3), le nitrure d'aluminium (AlN) ou l'oxyde de béryllium (BeO). Le tableau 1.1 récapitule quelques propriétés de ces diélectriques à température ambiante. D'autres compositions font l'objet d'étude mais dépassent le cadre de cette thèse **[SIN 10]**.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Propriété	Matériau		
	Al_2O_3	AlN	BeO
CTE .....(ppm/°C)	7,5 à 8,1	4,2 à 5,2	6,8 à 7,5
Conductivité thermique .....($W.m^{-1}.K^{-1}$)	20 à 30	170 à 260	250
Tension de claquage ... (kV/mm)	11 à 16	14 à 17	10 à 14
Module de Young..... (GPa)	300 à 400	300 à 310	300 à 350
Contrainte maximale à la flexion.....(MPa)	250 à 300	300 à 500	170 à 250

TABLE 1.1 – Propriétés des céramiques isolantes **[MEN 10]**

Au vu du tableau 1.1, l'alumine possède une faible conductivité thermique et n'est donc pas bien adaptée aux applications à fortes densités d'énergie. Le nitrure d'aluminium développe quant à lui une bonne conductivité thermique et est préconisé pour des applications haute température (>400°C) **[DUP 06] [CHA 08]**. Il est toutefois plus onéreux que l'alumine mais développe de plus faibles contraintes thermo-mécaniques (coefficient de dilatation thermique CTE proche de celui du silicium). Finalement, le béryllium reste peu utilisé. Il est cher et surtout toxique lors de son usinage.

Le substrat céramique brasé est de même topologie que le substrat céramique DCB mais obtenu par un procédé de fabrication différent (brasure au Ti/Ag/Cu), ce qui autorise la réalisation de substrat en nitrure de silicium (Si_3N_4). Ce dernier développe des résistances mécanique et thermo-mécanique supérieures à celles de l'alumine et du nitrure d'aluminium (meilleur vieillissement et résistance aux variations thermiques). La figure 1.2 illustre une simulation 3D du stress thermo-mécanique d'un substrat Si_3N_4 **[HOR 11]**. La reproduction des déformations et des contraintes au cours des cyclages conduit à des fatigues et définit les limites de fiabilité par rapport à certains critères.

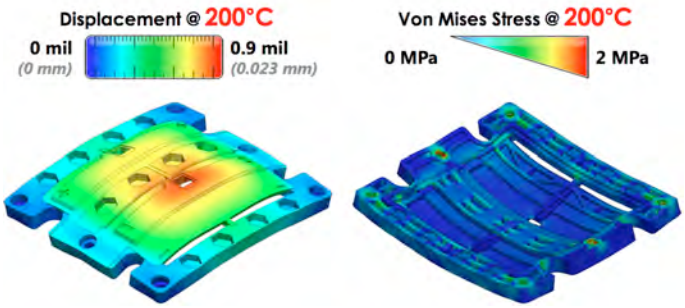


FIGURE 1.2 – Simulation de l'effet du stress thermo-mécanique au sein d'un substrat **[JAR 11]**

Au sein du projet SEFORA, un module de la société Kyocera, contenant deux substrats Si_3N_4 d'épaisseurs différentes (320μm et 640μm), a été testé sous cyclage thermique par les laboratoires IFSTTAR et SATIE. Ce module ne présente pas de défaillance après 950 cycles entre -50°C et 200°C, avec une pente à 10°C/min et 15 minutes de stockage par pallier.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

La simulation thermo-mécanique 3D a ensuite permis d'aborder l'approche d'assemblage de puces en SiC par nano pate d'argent. Une brasure de 50μm en CuAg à 780°C présente une énergie de déformation cyclique de 0,3J.cm^{-3}, soit une valeur plus faible que dans les brasures standard connues. Même si la fatigue ne peut pas être facilement évaluée autour des vias, le résultat établie une haute fiabilité du module au fonctionnement en haute température. De même la brasure nano-Ag a une énergie de déformation cyclique (0,2J.cm^{-3}) très faible : d'où une forte immunité à la fatigue thermique et une espérance de fiabilité élevée.

On peut conclure que des substrats seront disponibles industriellement, à court terme, avec des performances de fiabilité très élevées en haute température ambiante.

1.1.2 La semelle

La semelle est l'organe qui assure le maintient mécanique de tous les composants du module. Elle doit donc être légère, résistance mécaniquement, proposer une bonne conductivité thermique et une dilatation thermique proche de celle des autres constituants du module (minimisation des contraintes thermo-mécaniques). Les matériaux les plus utilisés sont le cuivre (Cu), l'aluminium renforcé de particule de carbure de silicium (AlSiC), le cuivre tungstène (CuW), le cuivre molybdène (CuMo) ou le kovar (Ni/Fe). Le tableau 1.2 présente les principales propriétés de ces matériaux.

Matériau	CTE (ppm/°C)	Conductivité thermique (W.m^{-1}.K^{-1})	Densité volumique (g/cm^3)
Cu	17,8	398	8,96
AlSiC (60 % SiC)	6,5 à 9	170 à 200	3
CuW (10 à 20 % Cu)	6,5 à 8,3	180 à 200	15,7 à 17
CuMo (15 à 20 % Cu)	7 à 8	160 à 170	10
Ni/Fe	5,2	11 à 17	8,1
Al_2O_3	7,5 à 8,1	20 à 30	3,98
AlN	4,2 à 5,2	170 à 260	3,3
Si	4,2	151	2,3
Al	23,6	238	2,7

TABLE 1.2 – Propriétés des matériaux utilisés pour la semelle **[MEN 10]**

La figure 1.3 donne une vue d'artiste du package utilisé par la société Arkansas Power Electronics International, Inc. (source APEI high temperature packaging). On y retrouve la meilleure association des matériaux décrits juste avant. Le coût d'un tel module le destine à des marchés à forte marge ou dans le cadre d'un gain économique global important. C'est le cas du gain de masse dans l'avion plus électrique.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

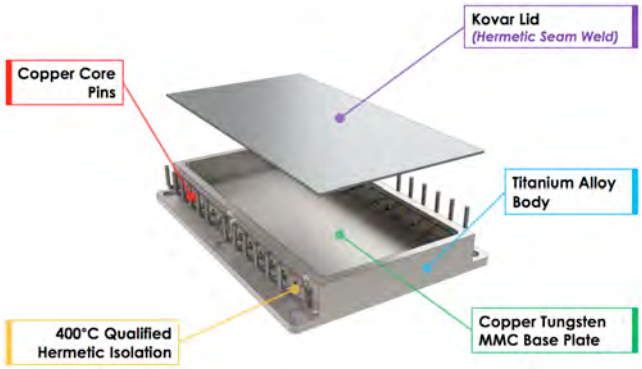


FIGURE 1.3 – Schéma d'un module APEI pour des fonctionnements jusqu'à 400°C

1.1.3 Les brasures

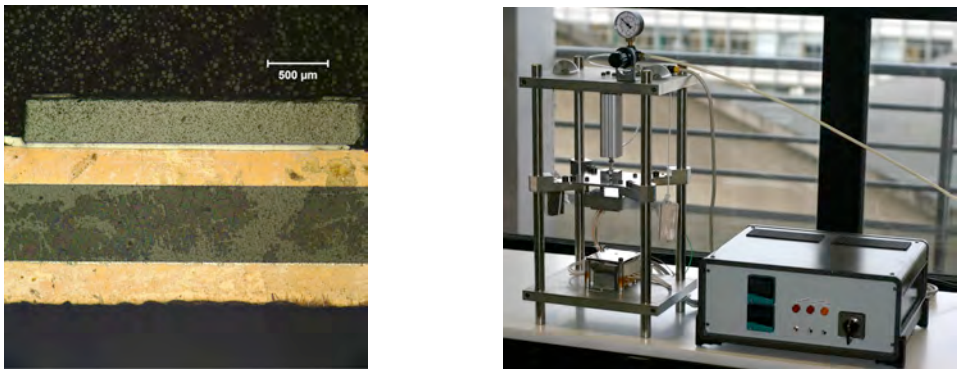
Une brasure est le lien entre la face arrière des puces et le substrat ou encore entre le substrat et la semelle. Les brasures doivent développer une bonne conductivité thermique pour évacuer la chaleur, une bonne résistance mécanique pour limiter la fatigue en cyclage (fissures), et une faible résistance électrique. L'alliage le plus répandu pour la brasure est un alliage étain/plomb (Sn/Pb) avec plus ou moins de plomb en fonction de la température d'utilisation **[SHE 04]**. Plus la température de fonctionnement est haute et plus l'alliage est composé de plomb. Toutefois, le plomb est une matière toxique dont on vise à réduire l'utilisation. Ainsi, un substitut intéressant est l'alliage étain/argent/cuivre (Sn/Ag/Cu) qui développe des propriétés physiques proches des alliages étain/plomb. Finalement, pour les applications hautes températures (200°C), les alliages à base d'or sont préconisés (Au/Sn). La brasure reste toutefois un maillon faible au sein du module **[BOU 08]**.

La brasure par frittage de pâte à poudre d'argent **[GOB 06]** permet d'obtenir un joint dont la température de fusion est très grande (960°C), assurant ainsi une température maximale de fonctionnement élevée (jusqu'à 480°C). Ce process est réalisé sous une pression raisonnable (40MPa) et une température faible (250°C). Les poudres Ag nano-structurées visent à éviter l'emploi d'un pressage **[BAI 05] [BAI 07]**. Néanmoins, de faibles pressions (quelques MPa) facilitent la mise en œuvre des brasures.

Le procédé baptisé « Transient Liquid Phase Bonding » est une alternative intéressante à la brasure y compris par frittage **[ROM 92] [JOH 07] [QUI 08]**. Un apport métallique à faible point de fusion va diffuser dans les parties (phases) solides. Une fois diffusé, l'alliage obtenu autour du joint présente un point de fusion beaucoup plus élevée. Les couples or/étain ou indium/argent ont été testés avec succès **[MAS 12]**.

La figure 1.4 présente le report par frittage d'une puce en carbure de silicium (puce factice) sur un substrat DBC autour d'une céramique Si_3N_4. Une épaisseur de 50μm de nano poudre d'argent (NBETech) est utilisée et mise en œuvre sous faible pressage (6MPa) et sous 285°C. La tenue au cisaillement de l'ensemble est supérieure à 70MPa, au-delà des performances requises.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés



(a) (b)

FIGURE 1.4 – Assemblage par frittage de poudre nano-Ag d'une puce SiC sur substrat DBC Si_3N_4 (a). Photographie de la presse expérimentale (b)

L'état de l'art laisse à penser que des solutions de report de puce (notamment SiC) sur substrat sont d'ores et déjà satisfaisantes pour les applications haute température.

1.1.4 Les connexions électriques

Les connexions électriques (*bonding*) sur les puces semi-conductrices sont généralement réalisées par des fils de faible diamètre (100 à 150μm) à base d'aluminium ou d'or. Pour éviter la corrosion de l'aluminium, il est généralement associé à du nickel. De même, si l'on souhaite augmenter son durcissement, l'aluminium est associé à du silicium ou du magnésium. Finalement, soulignons que pour éviter la formation d'inter-métalliques, la métallisation de la puce et les fils sont généralement choisis de même nature. Différents procédés de *bonding* ont vu le jour pour réduire les pertes (inductance parasite, échauffement...) **[MEN 10]**.

Des alternatives aux fils de liaison sont étudiées à haute température de fonctionnement **[HAR 10] [REA 10]**. Que ce soit par billes, par poteaux, par rubans, les meilleurs résultats sont obtenus avec de l'or. Il y a donc une limitation du côté des puces semiconductrices, dont la métallisation superficielle par cuivre est tout juste disponible. Des travaux utilisant une finition Au/Ta/Al sur des puces ainsi qu'une barrière tri-métallique (par exemple kovar) ont montré des résultats intéressants avec une ambiante à 300°C. La figure 1.5 montre une interconnexion par ruban en or sur une puce GaN avec une finition Au/Ta/Al, ne montrant pas de défaillance après 100h à 300°C. De nombreuses finitions en métal noble de puces SiC sont étudiées **[OKO 10]**

Les interconnexions aux puces reportées sur substrat n'ont pas encore trouvé de solutions fiables à haute température mais les résultats de l'état de l'art sont convaincants.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

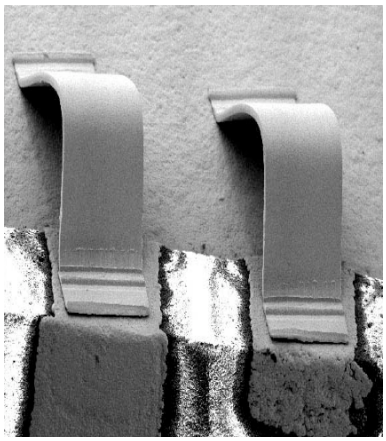


FIGURE 1.5 – Interconnexion par ruban Au pour la haute température *(source www.nist.gov)*

1.1.5 L'encapsulant

Les puces reportées sur le substrat nécessitent une isolation interstitielle. Le module de puissance est également noyé dans un isolant, souvent sous forme de gel (silicone) avant fermeture du boîtier. L'encapsulant doit assurer une bonne rigidité diélectrique (pas de claquage électrique) et doit permettre de protéger les composants des agressions extérieures type humidité... Les gels actuels ont des températures d'utilisation limite proche de 200°C. Des matériaux ont été récemment mis en avant notamment le parylène, présentant une fiabilité intéressante pour les environnements sévères **[KHA 11]**. Cet aspect fonctionnel dans le module de puissance continue à recevoir une grande attention sans qu'une solution industrielle ne soit actuellement disponible bien qu'une fiabilité suffisante ait été démontrée en laboratoire.

1.2 Dispositifs passifs

1.2.1 Les condensateurs

Les technologies de condensateurs pour la haute température sont basées sur les diélectriques énumérés dans le tableau 1.3. La figure 1.6 montre quelques dispositifs sur une platine de test en température **[ALL 11]**. Les condensateurs au tantale sont limités aux applications où les tensions n'excèdent pas 50V **[BEA 07] [AVX 10]**. Au contraire, les films métallisés comme le MICA concernent les applications haute-tension. Dans la gamme de tension intermédiaire (condensateurs de bus, 1kV-5μF), les films diélectriques (PPS) et les céramiques présentent des comportements assez équivalents jusqu'à 175°C.

Pour un fonctionnement fréquent proche de 200°C, les condensateurs céramiques sont plus adéquats car les films PPS, malgré leur bonne stabilité, ne peuvent côtoyer des tempé-

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Technologies	Tenue en tension	Tan(δ)	C max. @1kV	Temperature	ΔC/C (%)	Indice de coût (x/5)	Indice de fiabilité (x/5)	Maturité (x/5)
Ceramics, Class I, NP0/C0G	>qlq kV	<1%	<200nF	-55°C/250°C	<2%	4	3	4
Ceramics, Class II, X7R, X8R, BX..	>qlq kV	<3%	<10µF	-55°C/200°C	>50%	5	2	3
Films, PPS	>1kV	<3%	<5µF	-55°C/175°C	<2%	3	4	2
Films, PTFE	<1kV	<3%	<1µF	-55°C/200°C	<3%	5	4	5
Films, Mica HT°	>qlq kV	<3%	<100nF	-55°C/250°C	<1%	3	5	5
Films, PEEK	<1kV	NI	NI	-55°C/200°C	NI	3	NI	1
Films, PEI	<1kV	NI	<5µF	-55°C/180°C	NI	2	NI	2
Solid Electrolytic, Tantalum	<100V	NI	<100nF @100V	-55°C/200°C	>20%	3	3	5

TABLE 1.3 – Comparaison des technologies de condensateurs pour la haute température (NI : non indiqué)



FIGURE 1.6 – Condensateurs sur platine de test en haute température

ratures proches de 200°C que peu de temps. Toutefois, les céramiques à forte constante diélectrique ont malheureusement un comportement non linéaire en fonction de la tension et de la température **[GOD 96] [ROB 10] [NIE 10]**. Notamment, les dispositifs à base de diélectrique X7R perdent 60% de leur valeur de capacité sous forte tension continue ou à 200°C. La figure 1.7 illustre l'influence de la température sur la capacité d'un dispositif en $BaTiO_3$.

Des produits industriels sont disponibles et offrent une bonne alternative dans la gamme de tension intermédiaire et en haute température **[NOV 10]**. La figure 1.8 présente un module expérimental, embarquant deux JFETs SiC ainsi que deux condensateurs de type NP0 (Presidio). Ce module a été testé jusqu'à 250°C. La technologie d'assemblage est celle développée au CPES (Virginia Tech) **[NIN 10]**.

Le point faible de ces condensateurs reste actuellement les électrodes et les terminaisons qui

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

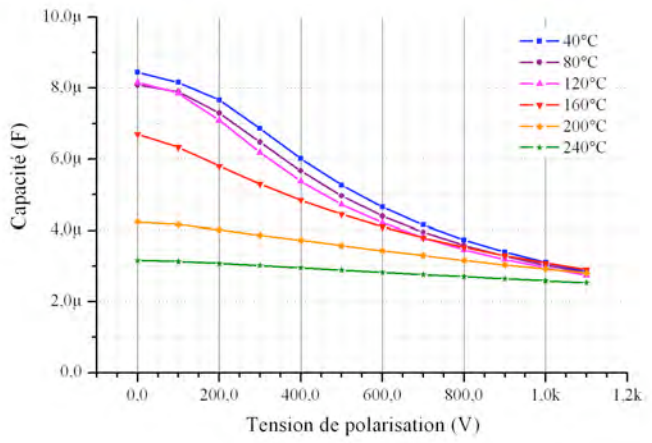


FIGURE 1.7 – Capacité d'un condensateur en BaTiO3 sous différentes températures **[ROB 11]**

vieillissent le plus rapidement avec la température **[BUT 10]**. Quoiqu'il en soit les données de fiabilité à long terme sont rarement disponibles dans la littérature, sauf peut-être pour le forage pétrolier *(source Schlumberger.com)* mais les normes de fiabilité ne correspondent pas à celles des applications aéronautiques.

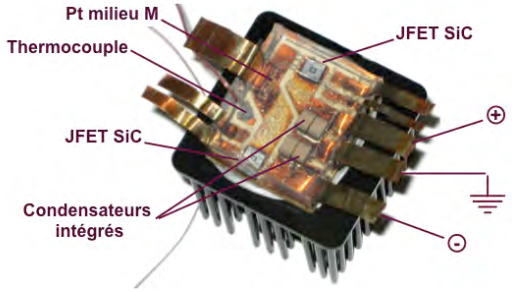


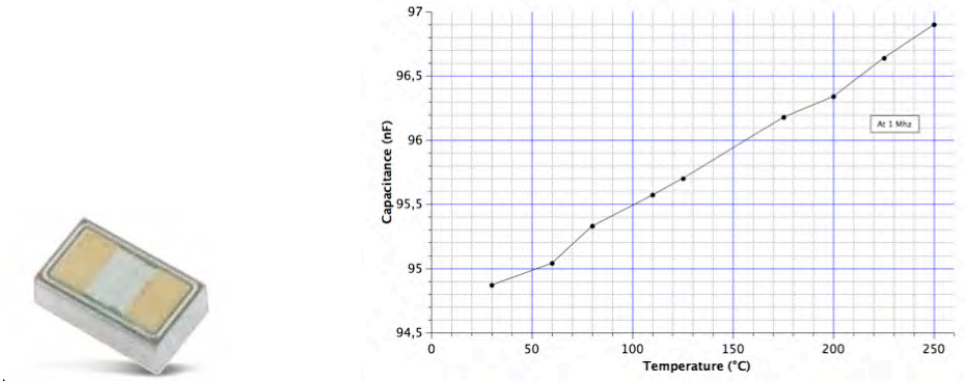
FIGURE 1.8 – Exemple de module expérimental embarquant des condensateurs céramiques **[ROB 11]**

Finalement, il est apparu récemment des condensateurs très basse tension (11V nominal), fabriqués en tranchée (Ipdia) et présentant une impressionnante stabilité (+/-1% typique) sur la gamme -55°C/+250°C *(source Ipdia.com)*. Les produits HTSC424xxx utilisent un procédé offrant 250nF/mm2, soit une valeur proche de ce que permet le diélectrique X7R mais de meilleures performances électriques en haute température. La figure 1.9 présente l'évolution [1] de la capacité d'un produit 100nF en boîtier 0805, excité à 1MHz. Aucune donnée de fiabilité n'est disponible et probablement l'intérêt d'une telle technologie doit attendre une tenue en tension d'au moins 45V pour une application driver.

De cet état de l'art, on peut conclure que des condensateurs, certes non idéaux, sont

1. Mesures effectuées par Fabien Dubois lors de son passage au CPES en février 2012

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés



(a) (b)

FIGURE 1.9 – Vue de la capacité HTSC424-100 (a). Evolution de la valeur de la capacité d'un produit HTSC424-100 (b) *(source Ipdia)*

disponibles pour la haute température notamment ceux en céramiques. Mise à part une marge de sécurité, en prévision de la chute de la capacité avec la température, aucune précaution ne sera prise par la suite dans l'utilisation de condensateurs céramiques pour la réalisation de notre driver.

1.2.2 Les dispositifs magnétiques

Plusieurs matériaux magnétiques possèdent une température de Curie élevée, leur permettant un fonctionnement en haute température. Au vu du tableau 1.4 qui liste les propriétés de quelques uns de ces matériaux, l'intégration de composants magnétiques au sein de notre module haute température (200°C) est raisonnablement réalisable.

Alliage	Permeabilité	Bsat	Hc	Temperature de Curie	Δμ/μi (%)	Indice de coût (x/5)
Ferrites (MnZn, NiZn)	60 – 2000	0.3 – 0.45T	10 – 100 A/m	280 – 400°C	<±50%	2
Poudres (Fe, FeNi, FeNiMo, FeSi, FeSiAl)	20 – 500	0.75 – 1.6T	20 – 100 A/m	460 – 550°C	< 10%	2 à 5
Rubans amorphes (Fe, FeCo, FeNi)	1000 – 100000	0.6 – 1.2T	1 – 10 A/m	365 – 485°C	< 50%	3 à 5
Rubans nanocristallins (FeCuNbSiB)	200 – 100000	1.2T	1 – 10 A/m	< 570°C	< 50%	2 à 4

TABLE 1.4 – Comparaison de matériaux magnétiques pour la haute température

Les ferrites permettent d'envisager des composants pour la haute température mais en limitant le champ de saturation (B_{SAT}). Les matériaux amorphes ou les rubans nanocristallins offrent quant à eux un bon comportement jusqu'à 200°C mais leur perméabilité décroît

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

fortement avec la température. Les amorphes ferriques sont aussi moins fragiles que les rubans nanocristallins **[ROB 11]**. Toutefois, certains matériaux comme le FeCo ou FeSi ne sont pas adaptés à la conversion d'énergie électrique (fréquence de fonctionnement trop basse) **[BUR 06]**. Si les matériaux en poudre, du fait de l'entrefer réparti, peuvent fonctionner jusqu'à la température de Curie, des progrès restent à apporter à l'encapsulement et à la finition de ces matériaux pour atteindre en pratique les 200°C **[BUT 10]**. Le cas des transformateurs pour la fonction d'isolation au sein de l'étage driver est plus complexe. Il sera abordé au chapitre 2.

1.3 Dispositifs actifs

Le paragraphe précédent a établi que peu de points faibles persistaient dans le package du module de puissance et qui ne soient pas déjà l'objet de pistes intéressantes pour la haute température. Nous abordons ici la problématique des composants actifs.

Les dispositifs électroniques, généralement en silicium, sont très affectés par la température, ce qui en fait une principale limitation. L'étude de ces effets est largement détaillée dans la littérature **[THO 99]**, **[WON 99]**. Les technologies pour la haute température et en particulier les matériaux à grand gap, seront présentées dans les paragraphes suivants.

1.3.1 Semiconducteur et tolérance à la température

Le silicium (Si), matériau dit à petite « bande interdite, *bandgap* » 1.1eV, reste le matériau sur lequel se base la majorité des dispositifs électroniques. En effet, cette technologie, bien maîtrisée par l'industrie, est souvent suffisante pour développer des composants travaillant à température ambiante déjà assez élevée (175°C maximale). Les études concernant des températures plus élevées relèvent de l'application de niche ou de l'exploration universitaire **[XU 11]**. Par ailleurs, il est bon de rappeler que porter un composant Si à haute température pendant un temps court, est toujours physiquement possible mais les objectifs de recherche visent des solutions autorisant un fonctionnement sur la durée. En substance, le comportement électrique d'un IGBT 1220V (IKW40N12H3) reste stable, avec une bonne immunité au latch-up à 200°C mais son aire de sécurité est dramatiquement réduite (destruction au-delà de 30ns de fonctionnement en avalanche).

Le Carbure de Silicium (SiC) ou le Nitrure de Galium (GaN) sont par opposition au silicium, appelés matériaux à « grand gap » car l'énergie nécessaire pour passer entre deux états d'énergie est plus conséquente (respectivement 2.9eV et 3.39eV). Soulignons que cette valeur de bande interdite influence directement le comportement en température des matériaux à grand gap, notamment sur des paramètres comme la concentration intrinsèque des porteurs ou encore les courants de fuite.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

1.3.1.1 Concentration intrinsèque des porteurs

Le comportement des composants à semiconducteur est basé sur le contrôle des porteurs présents dans le matériau. Cela commence dès la fabrication par la création de régions dopées grâce à l'injection d'impuretés qui modifient la concentration des porteurs selon le type de dopants. Dans le silicium, l'ordre de grandeur de la concentration des porteurs due aux dopants ionisés est de 10^{14} à 10^{17}cm^{-3}. D'autre part, les régions non dopées contiennent aussi des porteurs, de manière intrinsèque. La concentration de ces porteurs n_i est donnée par **[WON 99]** :

$$\eta_i = \alpha.T^{\frac{3}{2}}.e^{\frac{-E_g}{2kT}} \tag{1.1}$$

Avec α constante du matériau, T température absolue (°K), E_g gap du matériau (eV) et k constante de Planck.

A température ambiante, la concentration de porteurs intrinsèques n_i est de l'ordre de 10^{10} cm^{-3}, ce qui est négligeable devant la concentration des porteurs dans les zones dopées. Toutefois, nous remarquons que cette concentration est fortement dépendante de la température T. Ainsi, la densité des porteurs générée par l'énergie thermique augmente exponentiellement et peut dépasser à des températures élevées, la génération due aux dopants ionisés (figure 1.10). Il en ressort que la physique des matériaux impose un domaine de fonctionnement au-delà duquel les propriétés électriques du semi-conducteur se dégradent jusqu'à l'emballement thermique.

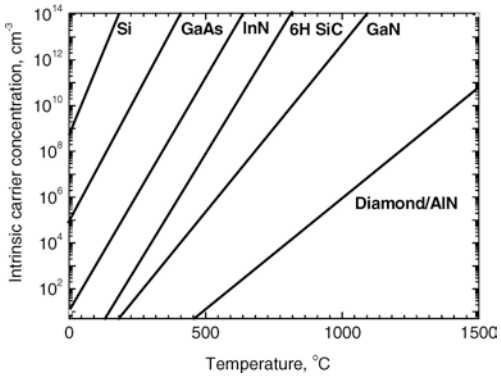


FIGURE 1.10 – Concentration intrinsèque des porteurs en fonction de la température **[ZOL 98]**

Sur la figure 1.10, nous remarquons que pour des matériaux à large bande interdite (SiC, GaN), la concentration intrinsèque des porteurs à température ambiante est bien moins importante et augmente moins rapidement avec la température que celle du silicium. Il en résulte que pour ces matériaux l'emballement thermique interviendra à des températures plus élevées que pour le silicium, les autorisant ainsi pour une utilisation en haute température.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Par ailleurs, s'agissant d'électronique de puissance, les composants doivent supporter de fortes tensions d'où l'existence de couches semiconductrices épaisses et peu dopées. L'impact de la température sera encore plus flagrant dans ces couches où le dopage est faible et où un champ électrique important apparaît.

1.3.1.2 Courant de fuite d'une jonction PN

La jonction PN est présente dans la plupart des composants électroniques. Elle est réalisée par la mise en contact d'une couche semiconductrice dopée N et d'une autre dopée P. Une polarisation directe de cette jonction réduit la barrière de potentiel. Ainsi, un courant de porteurs majoritaires va s'installer. Plus la différence de potentiel appliquée est élevée, plus le courant va être important. En revanche, une polarisation inverse augmente la barrière de potentiel. Cela va provoquer un courant de porteurs minoritaires. Prenons l'exemple d'un transistor n-MOSFET en silicium, dont le fonctionnement est bien connu, pour illustrer le courant de fuite associé aux jonctions PN (figure 1.11).

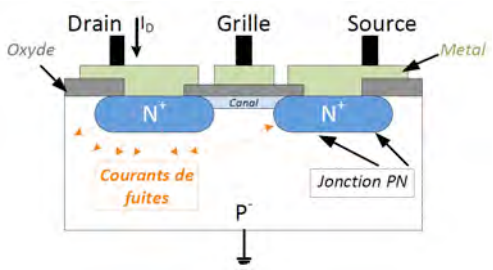


FIGURE 1.11 – Vue en coupe d'un transistor n-MOSFET

Pour assurer une bonne utilisation de ce composant électronique, le courant de fuite du aux courants inverses dans la jonction PN doit rester négligeable par rapport au courant qui circule dans le canal. **[WON 99]** donne une relation simplifiée qui met en évidence les dépendances du courant de fuite dans une jonction PN.

$$j_R = A.n_i^2 + B.\frac{n_i}{\tau_g} \tag{1.2}$$

Avec n_i la concentration intrinsèque, A et B deux constantes indépendantes de la température. τ_g est la constante de temps de génération et est donnée par :

$$\tau_g \approx n_i.e^{\frac{\Delta E}{kT}} \tag{1.3}$$

Avec E champ électrique (eV), T la température (K) et k la constante de Planck.

Le temps de génération τ_g est proportionnel à la concentration intrinsèque des porteurs. Ainsi, à température élevée, le courant de génération augmente exponentiellement et participe aux courants de fuite. D'autre part, le courant inverse de la jonction PN est lui aussi

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

proportionnel à la concentration intrinsèque et peut être multiplié par un facteur variant entre 10^2 et 10^4 par pallier de 100°C. En utilisant un matériau à grand gap, la concentration intrinsèque des porteurs pour une température élevée donnée est plus faible que celle du silicium, limitant ainsi les courants de fuite.

1.3.1.3 Mobilité des porteurs

La mobilité des porteurs est une grandeur déterminante pour beaucoup de composants électroniques. Elle est inversement proportionnelle à la masse effective des porteurs et dépend directement des collisions que subissent ces derniers dans le cristal. A l'origine, ces collisions peuvent être dues aux impuretés présentes dans le matériau. Elles peuvent aussi naître des vibrations des atomes du cristal qui génèrent des collisions avec les phonons. Enfin, ces collisions peuvent survenir entre les porteurs eux-mêmes à cause de leur agitation thermique. A température élevée, la vibration des atomes est plus importante ainsi que la vibration thermique des porteurs, ce qui augmente le nombre des collisions. L'augmentation de la température engendre ainsi une diminution de la mobilité et donc de la conductivité électrique du matériau. La dépendance entre mobilité et température est décrite par **[WON 99]**.

$$\begin{aligned} \mu_p &= AT^{-0.87} + B(n).T^{-2} \qquad (trous) \\ \mu_n &= AT^{-1.23} + B(p).T^{-2.38} \qquad (electrons) \end{aligned} \tag{1.4}$$

A est une constante et $B(n)$ et $B(p)$ sont des constantes dépendantes de la concentration respectives en porteurs.

La baisse de la mobilité des porteurs avec la température engendre une augmentation importante de la résistivité du matériau. Cette résistivité est proportionnelle à T^x avec x compris entre 1.5 et 2.5.

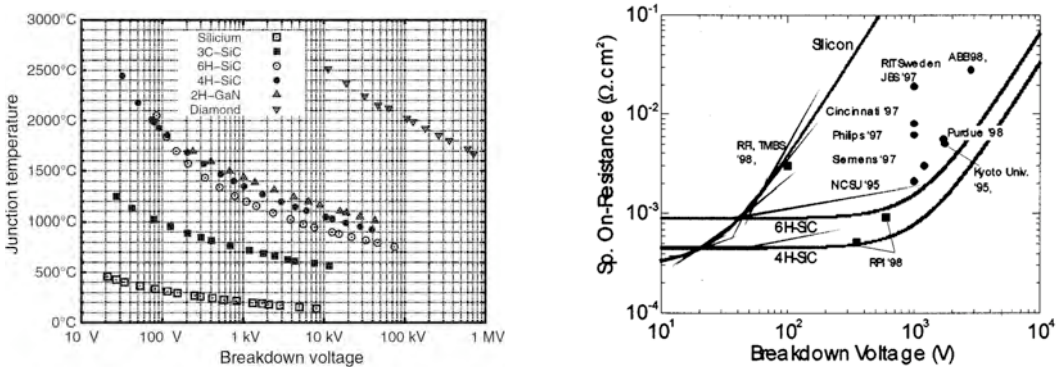
1.3.1.4 Synthèse de l'influence de la température sur les caractéristiques des composants électroniques

De part la forte dépendance de certains paramètres du matériau semiconducteur à la température, cette dernière peut influencer notablement les performances des composants électroniques. Le tableau 1.5 regroupe les paramètres les plus importants ainsi que les effets engendrés par l'évolution de la température. La génération des porteurs intrinsèques, dépendante du gap, est fortement sensible à la température. Cette densité peut atteindre des niveaux équivalents à la densité des porteurs dans les zones dopées et altérer le fonctionnement du dispositif électronique. De la même manière, le coefficient d'ionisation, déterminant la tension de claquage du composant, est proportionnel à la température (figure 1.12). Il a été établi **[WON 99]** que pour des composants haute tension, la limite théorique du Si est

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Paramètres	Dépendance à la température	Influence
Densité des porteurs	$n_i = T^{3/2} e^{-E_g/2kT}$	Augmentation du courant de fuite
Facteur d'ionisation	$\alpha \approx e^{-1100(T-300K)/E}$	Diminution de la tension de claquage
Mobilité	$\mu_p \approx AT^{-0.87} + B(p)T^{-2}$ $\mu_n \approx AT^{-1.23} + B(n)T^{-2.38}$	Diminution de la conductivité électrique
Temps de génération	$\tau_{SC} \approx n_i e^{\Delta E/kT}$	Augmentation du courant de fuite
Temps de recombinaison	$\tau_{rek} \approx T^{-3/2} ... T^{-2}$	Augmentation de la résistance ON et des temps de commutation
Conductivité thermique	$\lambda_{th} \approx T^{-1.6}$	Augmentation de l'échauffement

TABLE 1.5 – Evolution des caractéristiques des composants électroniques en fonction de la température



(a) (b)

FIGURE 1.12 – Limite physique entre tension de claquage et température (a). Relation entre tension de claquage et résistance à l'état passant (b) **[BUT 11] [ELA 02]**

de 150°C, contre 750°C pour le 4H-SiC. Pour des dispositifs à faible tension de claquage (<100V), la température limite du Si est de l'ordre de 250°C.

Conclusion : Les composants actifs Si haute tension/fort courant ont un fonctionnement limité en température. Il est donc nécessaire de se tourner vers des technologies grand gap en vue de la réalisation du module. Les matériaux à grand gap comme le SiC ou le GaN sont mieux adaptés aux composants de puissances. Dans ce paragraphe il n'a pas été évoqué l'effet à long terme de la température sur le vieillissement du dispositif. Cet aspect dépasse le cadre de cette thèse.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

1.3.2 Silicium sur isolant (SOI)

En attendant l'arrivée à maturité d'une technologie SiC à forte intégration, les composants actifs, faible puissance, haute température, peuvent être réalisés en technologie SOI. Des technologies GaN sont disponibles mais aucun circuit intégré en GaN n'a été démontré pour la haute température, même si on peut imaginer que les applications micro-ondes de puissance ne peuvent que s'accompagner d'échauffement *(source hrl.com)*. Le coût est par ailleurs un indicateur qui pousse à porter des efforts sur la filière CMOS SOI avant le GaN. Dans cette section, nous allons définir la technologie CMOS SOI et mettre en évidence au travers de ces caractéristiques, son potentiel pour des applications haute température en comparaison aux technologies massives (Bulk). Nous soulignerons dans un second temps les limites de cette technologie.

1.3.2.1 SOI : définition et caractéristiques

Historiquement, cette technologie a été développée pour répondre aux besoins de robustesse face aux irradiations ionisantes que rencontrent les circuits électroniques dédiés aux applications aérospatiales ou nucléaires **[HAR 09]**. Le but étant d'isoler la partie utile au transport d'électrons dans un substrat, et qui représente 0.1% de l'épaisseur d'une plaquette. Par la suite, les différents avantages offerts par le SOI en ont fait une technologie de choix dans plusieurs domaines tel que la radiofréquence, les applications base consommation ou le calcul (processeur). La principale différence entre un transistor sur SOI et substrat massif (appelé « bulk ») réside dans l'isolation diélectrique assurée par l'oxyde enterré et l'oxyde latéral (Figure 1.13 et 1.14).

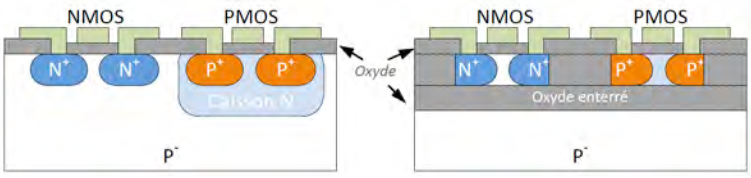


FIGURE 1.13 – Comparaison des architectures des transistors MOS

Cet îlot ainsi constitué confère au composant SOI de nombreux avantages en terme d'intégration, de latch-up, de capacité de jonction et de tenue à la température. Le SOI est fabriqué sur des wafers spéciaux et l'épaisseur de la couche supérieure offerte à la fabrication des composants définit deux comportements, complètement déplété *(Fully Depleted)* et partiellement déplété *(Partially Depleted)*, comme illustrés dans la figure 1.15.

Avec une couche épaisse, le canal d'un transistor MOSFET ne déplète qu'incomplètement le film silicium. L'ionisation par avalanche est toujours possible (effet de body flottant). Au contraire, un film silicium mince assure cette déplétion complète. Vue des fournisseurs (SOITEC par exemple), il semble que le wafer DF-SOI soit sensiblement plus onéreux que le PD-SOI (couche plus mince donc contraintes renforcées de fabrication). L'application

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

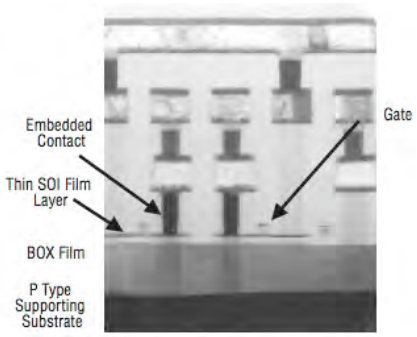


FIGURE 1.14 – Coupe d'un transistor MOS sur substrat SOI, à trois niveaux de métal **[FUK 01]**

driver va embarquer des composants moyenne tension, fabriqués latéralement et où le FD-SOI ne permet pas facilement de loger les lignes de champ. Il semble que ce soit néanmoins le coût qui conduit les technologies CMOS dédiées à la haute température à utiliser du PD-SOI **[CAU 10]**.

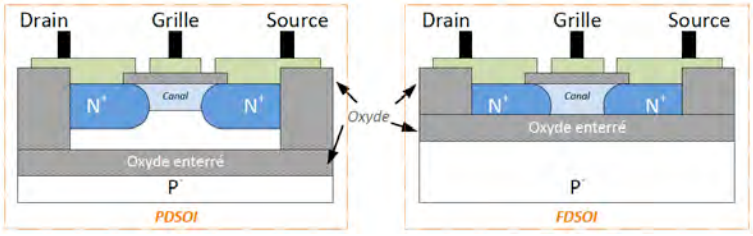


FIGURE 1.15 – Comparaison des architectures des transistors PDSOI et FDSOI

PD SOI et FD SOI jouent jeu égal vis-à-vis de l'auto-échauffement. L'évacuation de la chaleur est freinée par l'oxyde enterré comparé au CMOS Bulk. Finalement, l'extraction de la chaleur trouve un chemin plus efficace par les contacts métalliques de source et de drain. Le chapitre suivant montrera que l'étage driver nécessite de très larges transistors MOS, ce qui a pour effet d'étaler le transfert de chaleur.

a . Niveau d'intégration

Une des premières conséquences des possibilités particulières des technologies CMOS SOI est le gain en surface. En effet, traditionnellement, la séparation entre deux dispositifs voisins dans la technologie *Bulk* est assurée par une isolation par jonction ou par tranchée. L'isolation par jonction est basée sur l'utilisation de jonction PN polarisée en inverse, limitant ainsi les courants parasites. Une certaine distance entre deux dispositifs est donc à respecter en plus de la surface prise par les contacts sur le caisson *bulk* des transistors. L'utilisation de l'oxyde comme isolant dans la technologie

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

SOI limite ces courants de fuite et autorise un positionnement plus proche des dispositifs voisins. Cette technologie consomme moins de surface de silicium ce qui permet un niveau plus élevé d'intégration à finesse de grille donnée.

b . Latch-up ou verrouillage

D'autre part, l'isolation complète de chaque composant du reste du circuit octroie à cette technologie une parfaite immunité contre toute interaction parasite entre dispositifs voisins. Ces interactions sont généralement le fruit de courants circulant dans le substrat en silicium. Dans la technologie silicium standard, ces courants sont à l'origine du phénomène dit de verrouillage du dispositif, communément appelé « latch-up ». Ce problème majeur de fonctionnement disparait avec l'utilisation d'une technologie CMOS SOI. La figure 1.16 illustre ce phénomène.

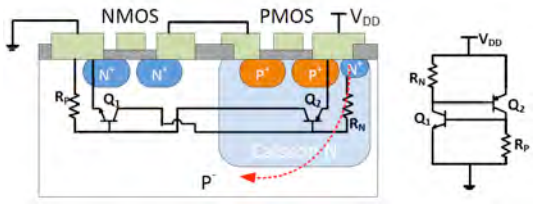


FIGURE 1.16 – Illustration du phénomène de latch-up dans un circuit CMOS

Le « latch-up » est dû au courant de fuite traversant la résistance R_N reliant le caisson N+ et le substrat. Le transistor Q_2 devient alors passant. Du courant est ainsi injecté dans la base du transistor Q_1 qui devient à son tour passant, provocant le verrouillage (*latch*) du dispositif. Ainsi, et tant que l'alimentation est présente, un courant incontrôlable circule dans ce thyristor constitué de Q_1 et Q_2, ce qui provoque l'échauffement du circuit et à terme sa destruction. L'isolation par l'oxyde du SOI prévient ce courant de fuite et limite ainsi ce phénomène.

c . Capacités de jonction

A chaque ouverture ou fermeture d'un transistor, les capacités internes à la structure doivent être chargées ou déchargées avant de permettre le passage ou non du courant dans le canal. Ces capacités parasites constituent un frein à la commutation rapide du transistor. Les réduire permet un fonctionnement plus haute fréquence d'une part, et d'autre part diminue la consommation de la structure. Ces capacités parasites sont présentes au niveau des jonctions entres les différentes zones de diffusion et le substrat (figure 1.17). Les capacités parasites dépendent du niveau de dopage et de la largeur de la surface constituant la jonction. Dans un transistor MOS SOI, les régions dopées (source et drain) s'étalent vers l'oxyde enterré, réduisant ainsi la surface de jonction. Ceci permet une diminution significative des capacités parasites en comparaison à une technologie silicium massif. L'approche FD-SOI réduit encore les capacités parasites en

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

même temps que les courants de fuite sont quasi éliminés.

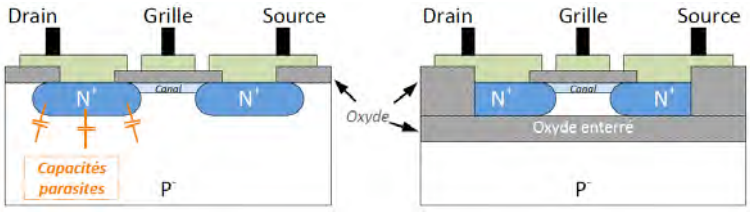


FIGURE 1.17 – Capacités de jonction pour la technologie Si et SOI

d . Tolérance à la haute température

Le courant de fuite d'une jonction PN classique augmente exponentiellement avec la température (figure 1.18 et équation 2). Le CMOS SOI permet une diminution de ces courants de fuite d'un facteur 100 en comparaison au silicium standard. Sur la figure 1.18 sont comparés les courants de fuite d'une technologie standard avec ceux d'une technologie SOI de même finesse, et ceci en fonction de la température.

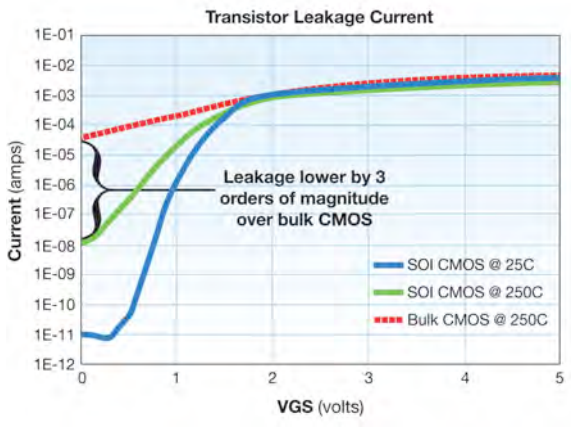


FIGURE 1.18 – Courant de fuite en fonction de la température pour la technologie standard et pour le SOI **[ROM 08]**

1.3.2.2 Principaux mécanismes de défaillance attendus

De nombreuses études ont déjà porté sur les mécanismes de défaillance au sein des circuits intégrés CMOS SOI pour les applications haute température **[VEN 02] [COR 02] [FLA 01] [ZHA 01] [ERB 11] [IOA 07]**. Il ressort de ces études que les mécanismes de défaillances importants sont :

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

– l'électromigration et la migration sous contrainte thermo-mécanique dans les lignes métalliques **[GAM 06]**

– le claquage d'oxyde entre couches métalliques **[RAG 09] [NGW 04]**

– les effets de porteurs chauds dans l'oxyde de grille **[CHE 09]**

– le vieillissement d'oxyde (Time Dependent Dielectric Breakdown) **[MIY 09]**

– les instabilités de polarisation **[ARE 07]**

Dans le cas de l'application driver, ces mécanismes principaux doivent être étudiés vis-à-vis du profil de mission retenu pour l'application aéronautique. Le tableau 1.6 résume les mécanismes qui se rattachent à un transistor MOS de l'étage driver intégré en technologie CMOS SOI (de faible finesse de grille).

	Mécanisme	**Impact**	**Localisation**
Electromigration	Formation de lacune au sein du conducteur	Augmentation de la résistance	Pistes métalliques
Claquage de l'oxyde inter-couche métallique	Courant de fuite voire claquage conducteur	Court-circuit entre pistes	Oxyde inter-couche
Vieillissement de l'oxyde de grille	Courant de fuite voire impédance faible entre grille et canal	Court-circuit de la grille	Oxyde de grille
Instabilité de polarisation	Défauts d'interface sous l'oxyde de grille	Evolution du Vth	Oxyde de grille
Porteurs chauds	Lacune dans l'oxyde	Evolution du Vth	Oxyde de grille

TABLE 1.6 – Principaux mécanismes de défaillance à prendre en compte dans l'intégration en CMOS SOI d'un étage driver

L'oxyde de grille doit être analysée d'autant plus qu'aucune donnée n'est disponible auprès des fondeurs de silicium. Ceci va concerner l'analyse de transistors MOSFET 5V et plus haute tension (25V et 45V). Les problématiques liées aux interconnexions et aux lignes métalliques semblent plus critiques car ces mécanismes affectent tous les composants compatibles avec la technologie CMOS. En effet, l'électromigration constitue le premier mécanisme à contrôler. Pour réduire l'impact de ce phénomène, une solution habituelle consiste à adopter des pistes métalliques de largeurs suffisamment importantes diminuant ainsi la densité de courant à transporter.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

1.3.2.3 Electromigration

Outre la température, d'autres phénomènes apparaissant en particulier au niveau des contacts et des interconnexions peuvent causer la détérioration d'un dispositif électronique. En effet, dans un circuit intégré, les interconnexions entre les différentes parties actives sont des éléments décisifs pour le bon fonctionnement du dispositif électronique. Ces lignes de métal qui assurent la transmission des signaux, voient leurs dimensions de plus en plus réduites dans la course à la miniaturisation des circuits intégrés. En parallèle à cette réduction des dimensions, les interconnexions doivent supporter une densité de courant de plus en plus importante à chaque nouvelle génération de circuit intégré. Ceci affecte leurs propriétés électriques et peut même entraîner leur rupture (figure 1.19).

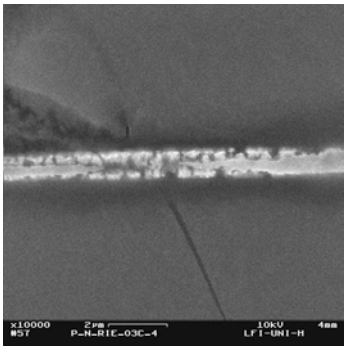


FIGURE 1.19 – Exemple de rupture de ligne due à l'électromigration *(source electromaniacs.com)*

L'électromigration décrit ainsi le transport de matière dans les métaux de faibles dimensions et traversés par de forts courants. Considérer comme principale cause de défaillance des interconnexions en aluminium dans les années 60, de nombreuses études se sont penchées sur ce problème pour essayer d'en comprendre la cinétique et pour développer des procédés de fabrication permettant d'améliorer la fiabilité des lignes métalliques. Un premier pas a été le remplacement de l'aluminium pur par des alliages comme AlCu ou encore AlSiCu, qui ont nettement augmenté la durée de vie des interconnexions.

a . Physique de l'électromigration

A l'équilibre thermodynamique, le réseau cristallin d'un métal contient des lacunes constituées de sites atomiques vacants qui autorisent la migration de la matière. On parle alors de diffusion lacunaire pour expliquer le mouvement d'un atome d'une position d'équilibre à une autre par l'intermédiaire d'une lacune présente sur le site voisin (figure 1.20).
D'un point de vue énergétique, ce mouvement est rendu possible par la diminution de l'énergie nécessaire pour franchir la barrière de potentiel (figure 1.21).
En l'absence de force, une barrière de potentiel isotrope empêche la diffusion du site « i » vers le site « i-1 » ou vers le site « i+1 » (figure 1.21). Pour autoriser le déplacement

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

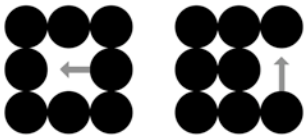


FIGURE 1.20 – Diffusion lacunaire

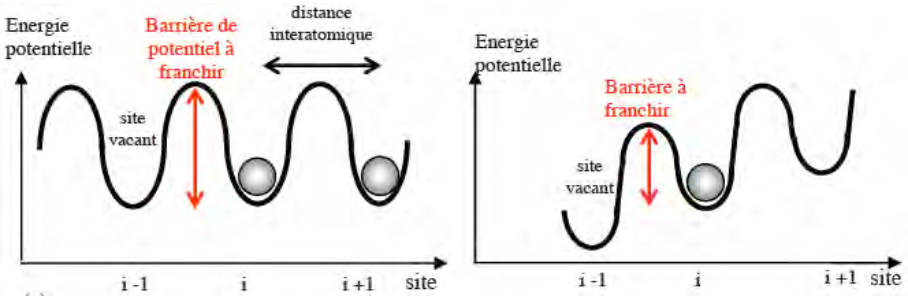


FIGURE 1.21 – Energie potentielle au sein d'un cristal **[DOY 09]**

de l'atome vers la lacune, la présence d'une force extérieure est nécessaire. En effet, cette dernière permet de modifier l'énergie potentielle en abaissant la barrière à franchir pour l'atome. Ainsi, en appliquant un fort champ électrique à un métal, on observe un déplacement d'atomes de la cathode vers l'anode. Ficks et Huntington traduisent cette observation par la présence d'une force dite de « friction », due au transfert de la quantité de mouvement des électrons accélérés à l'atome, lui permettant ainsi de se déplacer (figure 1.22). Ce déplacement de matière est activé par la température et induit par le passage d'un courant.

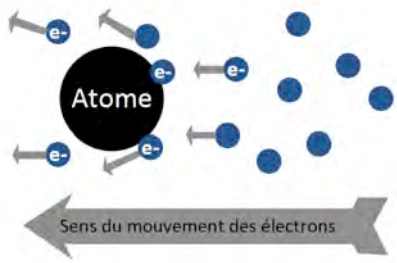


FIGURE 1.22 – Représentation schématique de la force de friction

b . Electromigration et interconnections

Quand on applique une différence de potentiel à une interconnexion, les électrons vont naturellement migrer et se heurter à la structure cristalline, aux atomes. L'électromigration intervient alors et permet aux atomes de se déplacer. Ce phénomène est amplifié par la présence d'impuretés, d'imperfections, de discontinuités dans la structure cristalline ou

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

encore dans l'interface entre les cristaux (joint de grains). Deux phénomènes principaux peuvent apparaître :
– la diffusion des atomes
– la création d'un gradient de contrainte
L'électromigration induit une diffusion des atomes qui peut causer la défaillance de l'interconnexion si une zone se trouve en surabondance de matière (croissance d'une cavité entrainant un court-circuit par exemple) ou en défaut de matière (augmentation de la résistance de l'interconnexion ou ouverture de la ligne). Mais, l'électromigration entraine aussi l'apparition d'une contrainte de traction à la cathode (région de départ du flux) et une contrainte de compression à l'anode (région d'arrivée du flux). Comme l'interconnexion est un petit milieu fini, c'est le gradient de contrainte qui risque de détériorer la ligne. Ce phénomène, connu sous le nom d'effet Blech, peut être annulé si le produit de la densité de courant j par la longueur de la ligne L ne dépasse par une valeur critique $(jL)_c$. Toutefois, cette méthode de dimensionnement simple peut difficilement se mettre en place sur des circuits complexes et est donc peu employée par les concepteurs.
Plus conventionnellement, le modèle empirique mis au point par Black en 1969, est utilisé pour assurer un degré de fiabilité aux interconnexions. Ce modèle se base sur une loi empirique et permet d'estimer la durée de vie moyenne avant défaillance (MTTF : Mean Time To Failure) d'une ligne soumise à l'électromigration (équation 1.5).

$$MTTF = A.j^{-n}.e^{\frac{\Delta H}{kT}} \tag{1.5}$$

avec A une constante déterminée empiriquement, ΔH l'énergie d'activation et n une constante comprise entre 1 et 2, j la densité de courant et T la température.
Ce type de modèle, couplé à des approches statistiques, permet d'établir des règles de conception pour assurer une durée de vie convenable aux interconnexions. Ces règles sont généralement sous jacentes dans les logiciels commerciaux. Soulignons aussi que certaines règles de bons sens peuvent être mise en place : éviter les angles à 90°, concevoir des matrices de vias minimisant les gradients de densité de courant, joint type « bambous » (grains perpendiculaires au flux d'électrons).
Finalement, la fiabilité des interconnexions est évaluée en pratique par des tests accélérés. Des lois empiriques (loi de Black en particulier) permettent alors de relier ces tests aux conditions de température et aux courants et d'en déduire la fiabilité de la ligne sous des conditions données. Dans **[MAL 05]**, il est établi qu'un produit SOI atteignant une durée de vie de 5 ans sous 225°C, voit sa durée de vie portée de 10 à 15 ans sous 175°C et de 15 à 20 ans sous 150°C. Ce résultat reste néanmoins insuffisant puisque ce sont les cyclages thermiques qui agressent le plus la structure.

1.3.2.4 Contribution vis-à-vis des mécanismes de défaillance

La technologie CMOS SOI retenue pour le projet sera présentée au chapitre suivant. Celle-ci est livrée au concepteur à travers un design-kit, rassemblant les fichiers et informations essentielles pour utiliser au mieux la technologie. L'électromigration est citée au rang des

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

mécanismes nuisibles, avec une valeur de densité maximale de courant à respecter pour chaque niveau de métal :

- Metal 1 (0.7μm d'épaisseur) : 5.8mA/μm
- Metal 2 (1 μm d'épaisseur) : 10mA/μm
- Metal 3 (2 μm d'épaisseur) : 6mA/μm pour une ligne de largeur supérieure à 4μm et 53mA/μm pour une ligne de largeur inférieure à 4μm.

Des valeurs conservatives de largeur de pistes métalliques peuvent être signalées mais il n'en reste pas moins qu'aucune certitude n'est acquise vis-à-vis de l'électromigration. Le test des mécanismes de défaillance est hors du champ d'investigation de cette thèse. Toutefois, des échantillons représentatifs de la technologie utilisée (pistes métalliques de différentes largeur, MOSFET, portes logiques etc...) ont été intégrés dans un run et seront analysés par un de nos partenaires (EADS) au sein du projet THOR. Aussi critiques que soient ces mécanismes, des résultats récents permettent d'être serein quand à l'obtention d'une technologie SOI CMOS fiable à 220°C :

- Dans le cadre du projet SEFORA, la société IDMOS, travaillant avec les spécifications de l'application du forage profond pour Schlumberger a pu établir que la technologie CMOS SOI 1μm du fondeur XFAB était fiable à 300°C **[THO 07] [XFAB]**. De même, la technologie CMOS SOI 0.35μm est réputée fiable à 225°C, toujours pour la spécification du forage profond.
- Des circuits commerciaux, non qualifiés au-delà de 150°C, ont pu fonctionner plusieurs dizaines d'heures à 260°C sans présenter de défaillance (voir chapitre 2).
- La société CISSOID a fait réaliser des tests en haute température de plusieurs circuits, notamment par la NASA **[DEL 10]**. Ces circuits sont fondus par la société XFAB. Un circuit type 555 a été testé à 250°C sans défaut, pendant 5000h, permettant d'extrapoler plus de 10000h à 225°C. Il ne s'agit pas de tests de cyclage mais les résultats constituent une indication de robustesse de la technologie (0.8μm CMOS SOI).

1.4 Le transistor JFET

En raison des limitations technologiques et du grand attrait porté sur les transistors bipolaires, les transistors à effet de champ (FET) n'étaient pas considérés comme une alternative viable dans les années 60. Mais les avancées technologiques et les recherches menées sur ce sujet ont depuis permis à ce type de composant de devenir indispensable.

Les transistors à effet de champ comportent deux grandes familles de composants : les MOSFET (Metal Oxide Field Effect Transistor) et les JFET (Junction Field Transistor). Contrairement aux transistors bipolaires, ces composants fonctionnent avec un seul type de porteurs de charge.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

1.4.1 Descriptif

Dans sa forme la plus simple, le transistor JFET se comporte comme une résistance contrôlée en tension. La figure 1.23 explique le fonctionnement d'un JFET de type N.

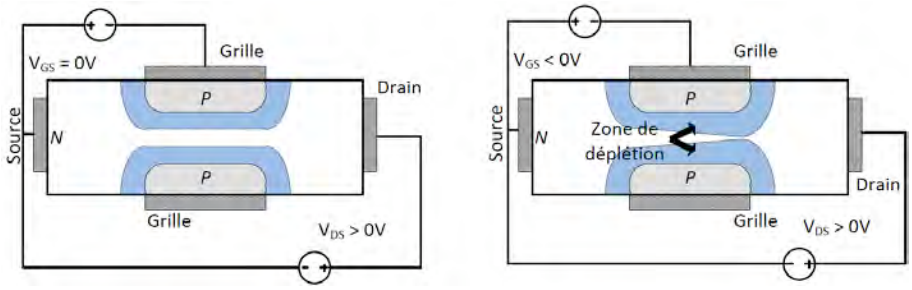


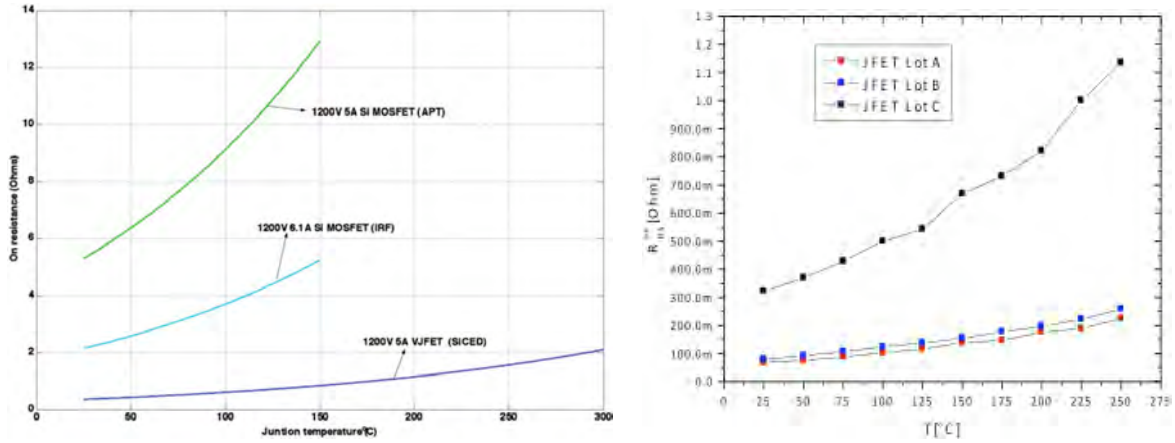
FIGURE 1.23 – Schéma de principe du transistor JFET

Le canal dopé N est pris en sandwich entre deux régions dopées P. L'application d'une tension négative entre la grille et la source forme une zone de déplétion qui réduit la surface du canal offerte aux porteurs de charge. Il en résulte l'augmentation de la résistivité du canal. A tension drain-source faible, en diminuant la tension grille-source, les deux zones de charge d'espace se rejoignent (pincement du canal) bloquant ainsi le passage des électrons. A tension grille-source négative fixée, l'augmentation de la tension drain-source permet l'augmentation du courant de drain, tout d'abord de manière linéaire avec V_{DS} (régime triode), mais quand la zone de charge d'espace côté drain pince le canal, le courant de drain se sature (régime saturé). Le JFET ainsi constitué est un composant normalement fermé (*normally-on*). En l'absence de tension entre grille et source, le transistor est passant au minimum de résistance, et en appliquant une tension grille-source négative, il devient bloqué. Plusieurs technologies de JFET existent et nous nous intéressons ici aux composants JFET en carbure de silicium, fournis par Infineon (SiCED).

1.4.2 Caractéristiques des transistors JFET SiC

Ce transistor de puissance se caractérise par une résistance R_{DSon} très faible à l'état passant, lui offrant de faibles pertes en conduction. En effet, la figure 1.24 trace l'évolution de la résistance à l'état passant pour trois transistors 1200V (MOSFETs et JFET) en fonction de leur température de jonction. Le transistor JFET offre une meilleure caractéristique. Le composant JFET a, de plus, été testé sous haute température (jusqu'à 300°C) et développe une résistance passante de valeur raisonnable. La résistance passante d'un JFET (2,4x2,4mm^2, lot C dans la fig. 1.24(b)) à 300°C est de l'ordre de 2Ω, soit 10 fois la valeur à 20°C ou la valeur de la résistance passante du MOSFET à 20°C. Pour les JFETs plus récents (lot A et lot B dans la fig. 1.24(b), l'évolution de R_{DSon} est bien meilleure. Comme elle reste faible, les pertes par conduction resteront acceptables.

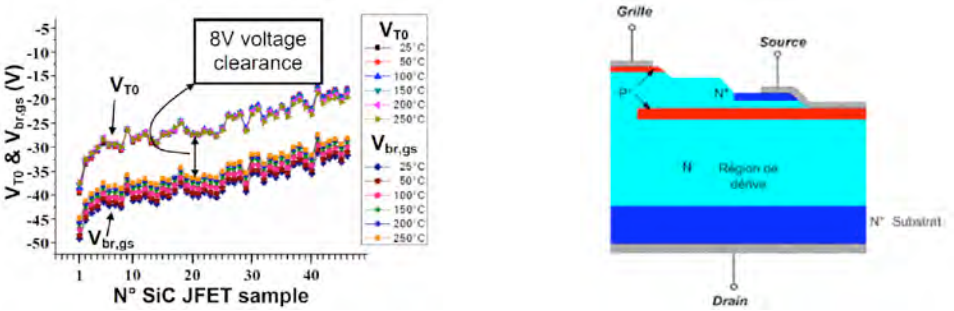
Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés



(a) (b)

FIGURE 1.24 – Evolution de la résistance R_{DSON} en fonction de la température **[BHA 93] [HAM 11]**

La figure 1.25 présente le comportement en température du même transistor JFET SiC 1200V de la société SiCED vis-à-vis de la tension de seuil et de la tension de claquage de grille. Il s'agit d'un transistor dit de type B **[HAM 11] [MOU 09]**.

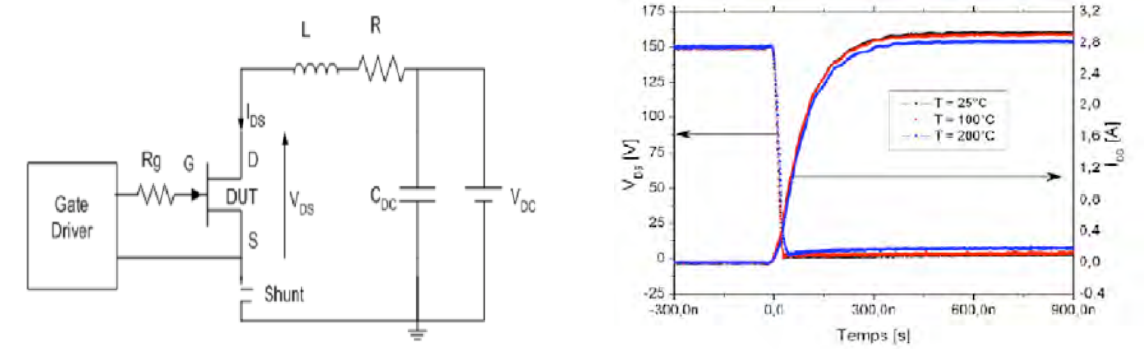


(a) (b)

FIGURE 1.25 – Evolution des caractéristiques d'un JFET dit de type B en température **[BER 10]**

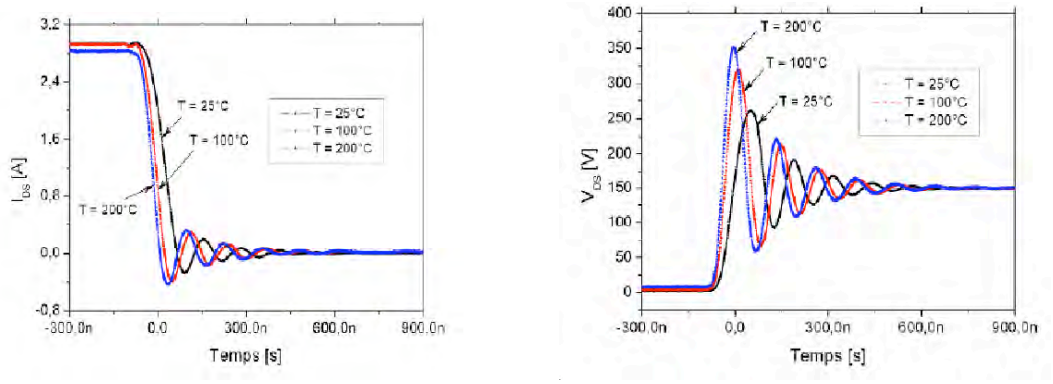
Le comportement de ces transistors JFETs SiC est assez stable en température (peu de fluctuation des tension en fonction de la température), ce qui en fait un très bon candidat pour la réalisation de circuits à haute température. On remarquera la marge faible laissée entre la tension grille-source minimale pour bloquer le composant et celle initiant le claquage par avalanche de la grille (intervalle entre 4V et 8V). Il en ressort que la tension de commande de la grille doit être précise. Pour un JFET de 2,4x2,4mm^2, d'ancienne génération, la tension de blocage est de -25V, abaissée à -15V pour un JFET de maturité plus récente. Le driver SOI sera dimensionné pour la tension la plus exigeante.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés



(a) (b)

FIGURE 1.26 – Cellule de commutation pour la caractérisation d'un JFET 1500V – 4A et forme d'onde à la fermeture d'un dispositif sous V_{DC}=150V **[MOU 08]**



(a) (b)

FIGURE 1.27 – Formes d'ondes à l'ouverture en lien avec la figure 1.26 **[MOU 08]**

En plus de caractéristiques statiques, plusieurs JFET SiC de la société SICED ont été testés en commutation révélant quelques caractéristiques principales de ces composants en haute température **[MOU 08] [ROB 11]**. Ainsi, dans une cellule de commutation simple, Mousa *et. al.* ont mis en évidence que si la température influe peu sur la fermeture du transistor (fig. 1.26), il n'en est pas de même pour l'ouverture (fig. 1.27).

Ces tests mettent en évidence une commutation rapide du JFET sur toute la plage de température. Toutefois, plus la température augmente, plus les surtensions parasites apparaissant lors de la commutation sont importantes. Le dimensionnement de l'étage de commande de grille peut donc s'opérer en respectant un compromis entre vitesse de commutation à atteindre et surtension supportable par le composant JFET. A température ambiante, des temps de commutation très rapides (60ns à l'ouverture et 63ns à la fermeture) ont été mesurés dans un bras d'onduleur avec des JFET SiC (figure 1.28 à 1.30) **[ROB 11]**.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

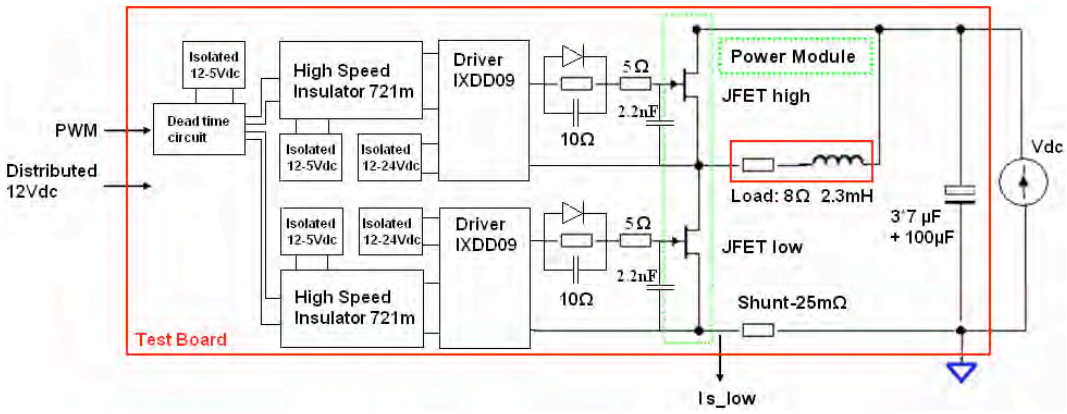
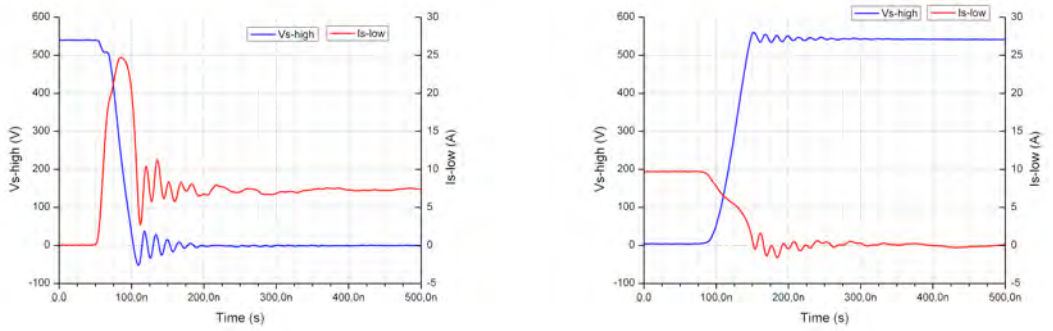


FIGURE 1.28 – Bras d'onduleur en mode hacheur, sous 15kHz de fréquence de découpage et 20% de rapport cyclique, utilisant des JFETs 4x4mm^2 (lot A de la figure 1.24) **[ROB 11]**

Sur la figure 1.28, le dispositif JFET en haut de pont fonctionne en mode synchrone avec un temps mort de 1.4μs. La charge absorbe une puissance active de 862W. Ce test a permis de mettre en évidence un rendement du hacheur de plus de 98% mais avec un échauffement des transistors de 54°C, dû à un système de refroidissement très sommaire. La puissance consommée par un étage de commande de grille est de 1.1W.

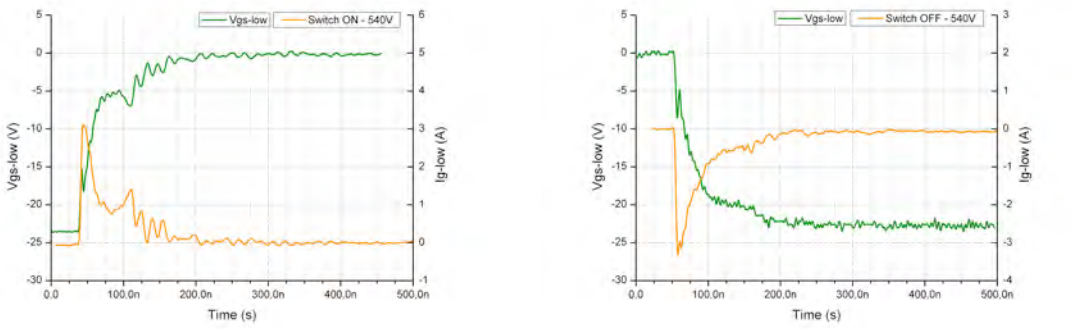


(a) (b)

FIGURE 1.29 – Forme d'ondes de tension au point milieu des JFETs et de courant source du JFET bas de pont à la fermeture (a) et à l'ouverture (b) **[ROB 11]**

Ces performances ont été obtenues grâce à un étage de commande de grille très puissant (4A pic sous tension positive ou négative) et un circuit de grille adapté (voir chapitre 1.4.3). Les pertes par commutation sont logiquement plus élevées à la fermeture (260μJ) qu'à l'ouverture (68μJ). Des valeurs raisonnables de temps de commutation des JFET pour l'application aéronautique « EMA », en deçà des valeurs expérimentales ci-dessus, ont été confirmées dans **[ROB 11]**. Ceci fixe grossièrement le courant pic du driver à concevoir

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés



(a) (b)

FIGURE 1.30 – Caractéristiques de grille du JFET bas de pont à la fermeture (a) et à l'ouverture (b) **[ROB 11]**

autour de 2A à haute température, avec une tension de blocage du JFET entre -27V et -20V suivant la maturité du dispositif JFET. Le cahier des charges du driver SOI est repris plus loin.

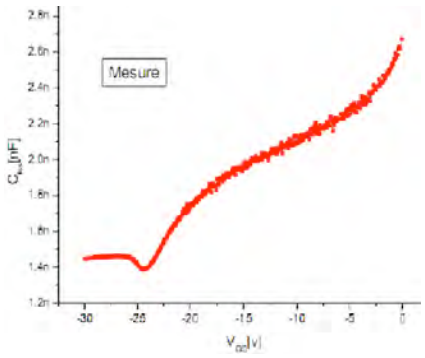


FIGURE 1.31 – Capacité de grille mesurée pour un JFET 4x4mm^2 **[HAM 11]**

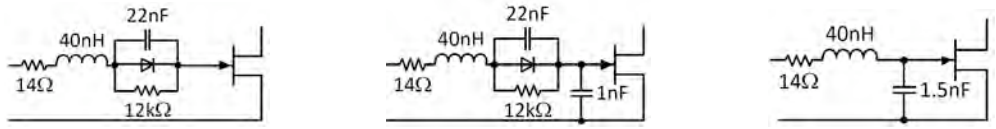
Soulignons aussi le comportement des différentes capacités du transistor JFET en fonction de la température. En effet, la capacité C_{GS}, vue entre grille en source (drain en l'air) évolue fortement en fonction de la tension grille (fig. 1.31) **[HAM 11]**. Dans les tests des chapitres suivants, le JFET est remplacé notamment par une capacité de 4,7nF, en relation avec les JFETs plus anciens. Ceci ne change rien au test mais minimise les performances en dV/dt qui pourront être mesurées. Le test avec une capacité normalisée permet la comparaison de drivers d'origines diverses. L'évolution de C_{GS} avec la température n'est pas significative mais Hamieh *et. al.* ont montré qu'une évolution assez significative était entraînée par un vieillissement du JFET. La valeur de la capacité peut évoluer d'un facteur 2. Du point de vue du driver, cette évolution n'est pas contraignante, sachant que le dimensionnement est fait avec une valeur initiale plus élevée.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Les études traitant du comportement du courant capacitif absorbé lors de la fermeture et de ses variations en fonction de la température, ne sont pas disponibles. Ce point sera repris avec le paragraphe relatif à l'effet Miller. Finalement, d'autres points particuliers liés à la cellule de commutation choisie peuvent apparaître tel qu'un sur-courant à la fermeture du JFET bas de pont (figure 1.28 à 1.30). Il est du à une interaction capacitive drain-grille lors de la chute du potentiel au point milieu du hacheur, induisant une retard dans l'étage de commande.

1.4.3 Circuits d'attaque de grille

Les circuits d'attaque de grille ont pour objectif de limiter l'impact des interactions entre puissance et commande lors de la commutation du JFET. Ces interactions peuvent conduire soit au claquage de la grille (*punch-through*) par ré-application d'une tension grille trop négative lors du blocage du dispositif, ou bien conduire à une remontée de la tension de grille avec un risque de court-circuit du bras d'onduleur. Ceci concerne surtout le JFET placé en bas du bras.



(a) (b) (c)

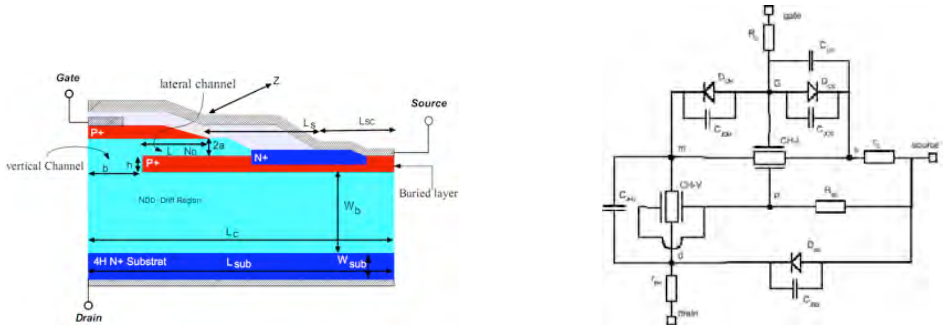
FIGURE 1.32 – Trois topologies de circuit d'attaque de grille de JFET

Dans le circuit de la figure 1.32(a), proposé par **[ROU 05]**, le condensateur doit être largement dimensionné pour assurer le blocage du JFET. L'intégration au sein du driver SOI en est alors délicate. La diode limite la charge du condensateur à la fermeture du JFET. La résistance Rp limite quant à elle le courant de punch-through de la grille quand le dispositif est bloqué et qu'une tension de grille trop négative est appliquée (inférieure à $V_{br,gs}$). Cette résistance a pour but de relâcher la contrainte sur la précision de la tension en sortie du driver, à l'état bloqué du JFET. L'amélioration proposée par le laboratoire CPES (figure 1.32 (b)) consiste à intégrer une capacité C_G qui a pour but de limiter les interactions par effet Miller. La grille n'est pas davantage protégée contre le claquage par punch-through. Finalement, avec la contrainte que le driver (intégré) contrôle précisément la tension négative de grille, le réseau de grille minimal devient celui de la figure 1.32(c), étudié au GREEN. Des essais sur la dernière génération de JFET SiC en provenance de SiCED montre que la capacité C_G n'est pas indispensable dans le circuit d'attaque de grille. Toutefois, dans tout ce qui suit, le driver SOI a été étudié en retenant l'hypothèse de la présence d'une capacité C_G externe, donc réglable, comme la résistance R_G, en fonction du dispositif JFET mis en œuvre. L'inductance L_G n'a par contre pas été retenue, partant du principe qu'une inductance parasite existerait toujours, même minimale, au sein du module de puissance entre les connexions de drivers et de grilles des JFETs.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

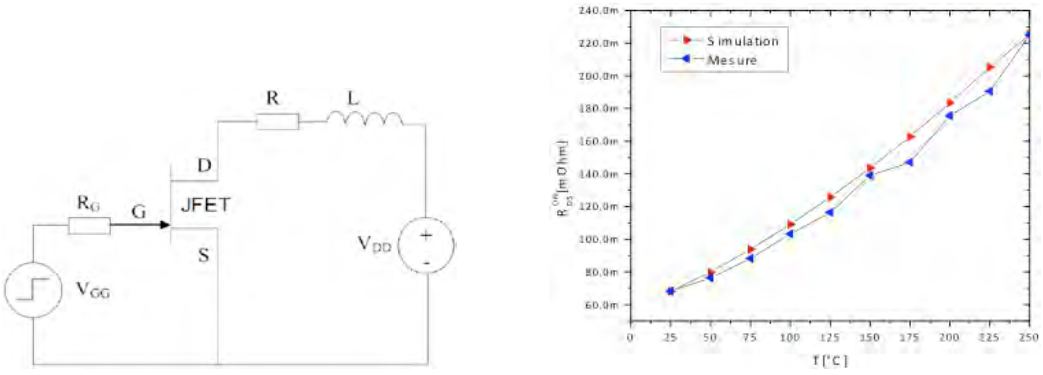
1.4.4 Modélisation du JFET SiC

La conception d'un driver est facilitée si un modèle réaliste du JFET SiC est disponible. De tous les modèles analytiques présents dans l'état de l'art, celui développé par Hamieh est le plus en avance. Il inclue un modèle comportemental du canal latéral symétrique, la prise en compte des effets de la température, l'évolution réelle du R_{DSON} et des différentes capacités, et une identification fine des paramètres géométriques et technologiques du dispositif **[HAM 11]**. La figure 1.33 présente une coupe 1D de la demi-cellule ainsi que les composantes du modèle analytique.



(a) (b)

FIGURE 1.33 – Coupe 1D axisymétrique de la cellule du JFET (a) et représentation des composantes du modèle analytique (b) **[HAM 11]**



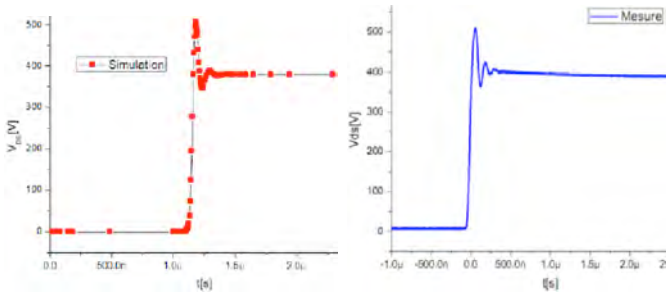
(a) (b)

FIGURE 1.34 – Cellule de validation du modèle du JFET (a) et caractéristique statique R_{DSon} en fonction de la température (b) **[HAM 11]**

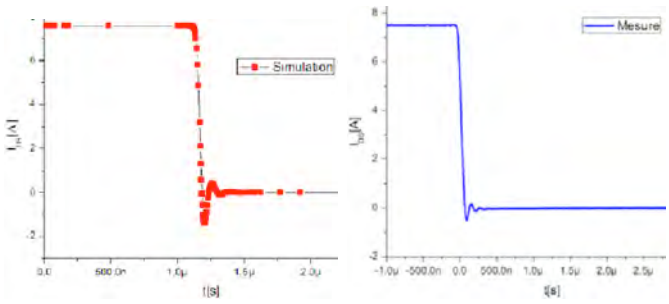
Le modèle a été validé au sein d'une cellule inductive (figure 1.34), et rend compte fidèlement des vitesses de commutations (figure 1.35). Ce modèle de JFET, développé par le laboratoire Ampère dans le cadre du projet SEFORA, a été écrit dans le langage *MAST*,

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

pour le logiciel *Saber*. Le driver SOI, objet de ce manuscrit, est développé avec différents outils fonctionnant au sein du logiciel *Cadence*. L'écriture d'une passerelle informatique entre ces deux environnements est complexe : il s'agit de joindre la base de données interne à *Cadence* à la génération automatique d'un script pour produire une simulation sous *Saber*. Une telle passerelle doit utiliser le langage *Script* sous Cadence, d'ailleurs prévu à cet effet (de nombreux logiciels de simulation sont ainsi interfacés à Cadence, grâce à des passerelles ad-hoc). Une autre solution consiste à reprendre le modèle analytique du JFET SiC sous les langages *VHDL-AMS* ou *Verilog*, puisque des simulateurs pour les deux langages sont interfacés à *Cadence*. Le langage VHDL-AMS est plus familier dans la communauté de l'électronique de puissance. L'entreprise s'est heurtée au faible niveau de prise en compte de la norme *VHDL-AMS* par le simulateur interfacé à Cadence (version ICC6.1 2011). Au final, les modèles *VHDL-AMS* sont assez lourds et le simulateur rencontre de nombreux problèmes d'initialisation et de convergence. Le réglage délicat de ces problèmes a fait abandonner l'entreprise de portage en *VHDL-AMS* sous *Cadence*, en attendant un simulateur plus rigoureux.



(a)



(b)

FIGURE 1.35 – Forme d'ondes du courant (b) et de la tension (a) drain-source **[HAM 11]**

La conception du driver SOI s'est donc faite avec le modèle basique du JFET sous forme d'une capacité fixe vue de la grille. Les simulations du JFET n'ont servi qu'à établir le cahier des charges du driver. La méthodologie de conception est donc ici largement perfectible, mais touchant aux outils, elle a dépassé le cadre de ce travail de thèse.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

1.4.5 Etat de l'art des circuits de conversion à base de transistor SiC

Plusieurs convertisseurs (onduleurs, redresseurs, régulateurs DC-DC) à base de transistors SiC ont été réalisés et ont démontré la potentialité de ces composants de puissance pour des applications à haute densité volumique de puissance **[AGG 08]**, **[MAZ 07]**, **[REB 03]**, **[CAS 07]**, **[CAS08]** et pour la haute température ambiante **[RAY 07]**, **[MOU 06]**, **[CIL 06]**, **[HOR 07]**, **[FRI 07]**, **[BER 05]**, **[BUT 11]**.

En 2003, Rebbereh *et. al.* présente le premier onduleur à base de transistors JFET SiC **[REB 03]**. Leur circuit fonctionne à 4kHz et offre une puissance supérieure à 5kW. Les transistors JFET SiC sont aussi largement utilisés pour réaliser des convertisseurs DC/DC. Aggeler *et. al.* ont réalisé un convertisseur dévolteur (5kV-700V) à base de JFET SiC. Leur circuit fonctionne à 50kHz et offre une puissance de 25kW **[AGG 08]**. Dans **[FRI 07]**, un convertisseur DC/DC 100kHz utilise des JFET normalement ouverts, en architecture cascode (SiCED). Cette architecture limite toutefois son fonctionnement à haute température. Soulignons aussi l'utilisation de transistor JFET SiC dans un redresseur en courant 2kW fonctionnent à 150kHz **[CAS 07]**, **[CAS 08]**. L'idée est de tirer avantage du caractère normalement ouverts des JFET pour assurer la continuité du courant. En effet, en cas de problème sur les drivers, le système se comporte comme un redresseur à diode offrant un bras de roue libre.

Il faut néanmoins attendre 2006 pour voir apparaître les premiers modules d'onduleur à JFET SiC (4kW, 20kHz) fonctionnant à plus de 200°C **[CIL 06]**, **[HOR 07]** (figure 1.36).

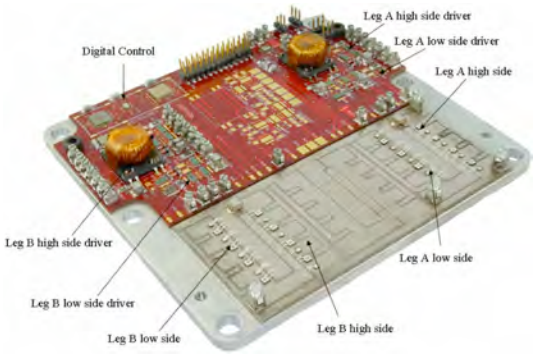


FIGURE 1.36 – Onduleur à base de JFET SiC fonctionnant en température **[CIL 06]**

Soulignons aussi les travaux de Bergogne *et. al.* qui ont présenté en 2005 un bras d'onduleur fonctionnent à 300°C et en 2007 un onduleur complet (540V, 15A en sortie) fonctionnant au-delà de 200°C (figure 1.37) **[BER 05] [BER 08] [BUT 11]**.

Récemment, une comparaison a été menée entre les commutations de trois types de modules commerciaux à base de MOSFET SiC et dédiés au secteur aéronautique et du forage (figure 1.38) **[LOS 11]**.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés



FIGURE 1.37 – Onduleur haute température composé de JFET **[BUT 11]**

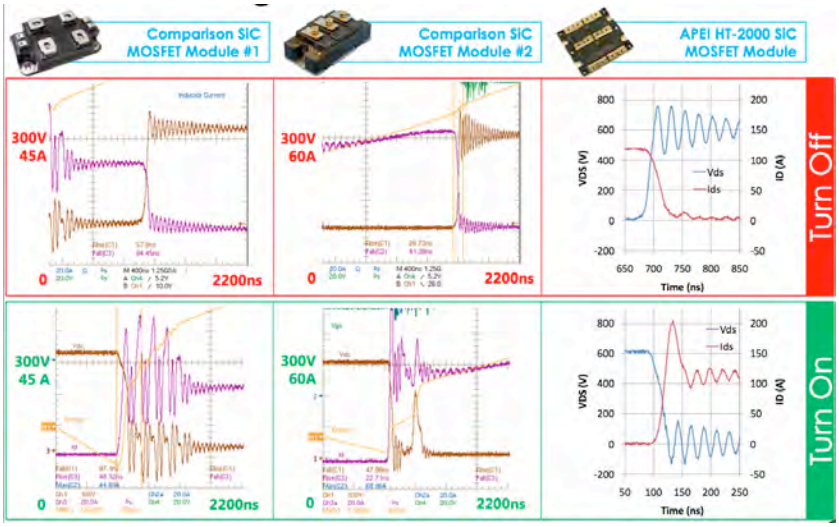


FIGURE 1.38 – Comparaison de trois types de module à base de composants MOSFETs SiC **[LOS 11]**

Le produit le plus mature est le module HT-2000 de la société APEI, embarquant les derniers développements en terme de MOSFET (6 dispositifs CMPF-1200-S020B par interrupteur) mais aussi en terme de packaging (voir figure 1.3).

La durée de vie à haute température se chiffre en dizaines d'années, mais pour autant la société APEI n'a jamais présenté d'études relatives à des cyclages thermiques.

La société APEI a communiqué récemment sur le test d'un module sans fil (*bondless power module*), à base de MOSFETs de la société ROHM et mis en œuvre à l'aide d'un étage driver utilisant des puces SOI intégrées (Honeywell) (figure 1.40). La comparaison entre les figures 1.38 et 1.40 montrent déjà un gain en nombre de composants sur cette carte driver. Il reste néanmoins plusieurs puces, laissant à penser que l'isolation des signaux de commande logique utilisent des transformateurs capotés mais toujours volumineux. De même pour l'alimentation du driver. Par ailleurs le cœur de driver lié aux grilles des dispositifs de puissance semble être formé de plusieurs puces.

Hors question de fiabilité, il est évident que le module de la figure 1.38 gagnerait en densité de puissance avec un étage driver intégré, voire embarqué au sein du module. C'est le but des projets SEFORA, CREAM, COTECH et THOR, évoqué en introduction de ce manuscrit.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés



(a) (b)

FIGURE 1.39 – Détails du module HT-2000 de la société APEI, connectiques de puissance et carte driver

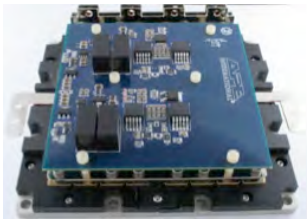


FIGURE 1.40 – Module APEI avec un étage driver plus compact

L'état de l'art des drivers intégrés fait l'objet du chapitre 2. Le présent chapitre introduit néanmoins les éléments du cahier des charges du driver, comme il a été développé lors du dépôt des projets SEFORA et CREAM, avec une forte contribution du laboratoire Ampère.

1.4.6 Cahier des charges

Le driver est un étage d'interface entre une commande logique, consistant généralement en signaux logiques (PWM) et la grille d'un composant de puissance, ici le transistor JFET normalement fermé. Cet étage transmet les signaux de commande émanant généralement d'un FPGA ou d'un DSP au transistor de puissance. La figure 1.41 rappelle l'intégration du driver dans un dispositif de commande de moteur.

En général, le rôle du driver est de fournir les tensions adéquates entre la grille et la source du transistor de puissance à contrôler. Ainsi, l'étage de sortie du driver doit assurer une tension négative pour l'ouverture du JFET, et une tension nulle pour la fermeture du JFET. La grille des JFET ayant un comportement capacitif, les temps de commutation à la fermeture et à l'ouverture dépendront en particulier du pic de courant (noté I_G) que peut fournir et absorber l'étage de sortie du driver. Compte-tenu de l'application, ces temps de commutation à l'ouverture (t_{rise}) et à la fermeture (t_{fall}) ont été fixés à une valeur maximale de 200ns à 220°C. Le tableau 1.7 récapitule toute les spécifications choisies pour le driver SOI.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

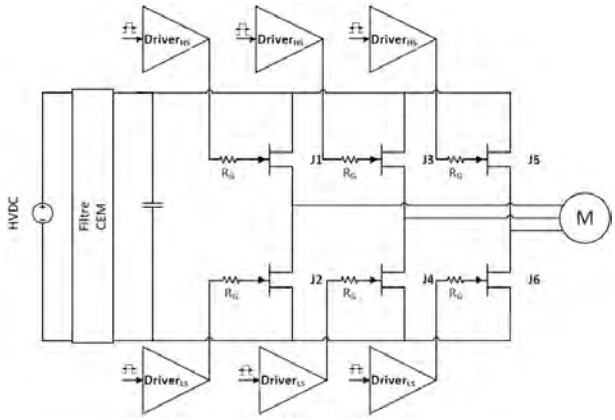


FIGURE 1.41 – Positionnement des drivers au sein de l'onduleur de tension

Les propriétés du driver (courant de sortie, temps de commutation, fonctions de protection...) dépendent à la fois du type d'application et de la nature du transistor de puissance à commander. Une conception spécifique est souvent nécessaire pour s'adapter à la charge, à l'environnement de fonctionnement et au niveau de sécurisation nécessaire. Par ailleurs, certaines fonctions reste communes à toutes les topologies **[SIM 10]** telle que l'isolation des signaux de commande ou des tensions d'alimentation, ou encore une fonction « amplification des signaux de commande ».

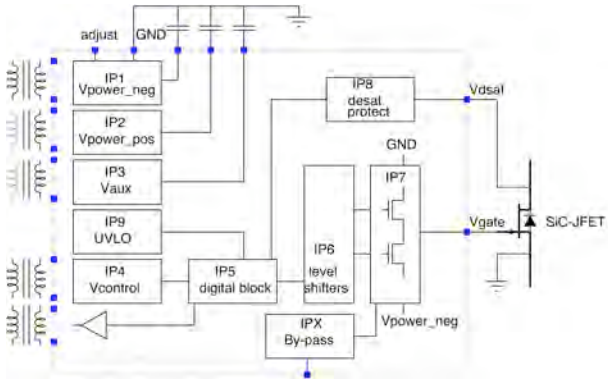


FIGURE 1.42 – Synoptique originel de la contribution du projet FNRAE COTECH au driver intégré SOI

La figure 1.42 reprend le synoptique originel de la contribution du projet FNRAE COTECH à la conception d'un driver intégré pour le transistor JFET SiC. Les éléments fonctionnels seront détaillés au chapitre suivant :

- IP1 : mise en forme d'une tension négative, régulée, ajustable (en fonction de la maturité des JFETs) : V_{supply_neg}
- IP2 : mise en forme d'une tension positive, régulée, V_{supply_pos}
- IP3 : mise en forme d'une éventuelle tension auxiliaire, V_{supply_aux} (notamment pour la

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

fonction de surveillance de désaturation et/ou des blocs analogiques supplémentaires)
- IP4 : démodulation du signal de commande, compatible avec les blocs digitaux, et modulation de signal vers l'extérieur (adossé à un transformateur)
- IP5 : blocs digitaux, mise en forme des signaux de contrôle internes au driver
- IP6 : adaptation des niveaux de signaux vers l'amplificateur de sortie
- IP7 : amplificateur de sortie, contrôle de la tension de grille
- IP8 : fonction de protection vis-à-vis de la désaturation (en fait, il s'agit de la saturation du JFET)
- IP9 : bloc de surveillance des alimentations du driver et de la température.
- IPx : interface vers la fonction d'auto-protection contre les court-circuits (conduisant à neutraliser le driver vis-à-vis de la grille).

A ces blocs sont associées des grandeurs dont les spécifications sont précisées ci-dessous :

- Tension négative d'alimentation : Vsupply_neg
- Tension positive d'alimentation : Vsupply_pos
- Signal d'entrée après l'étage d'isolation : Vcontrol
- Signal de sortie avant un étage d'isolation : Vdefault
- Potentiel de référence à la source du JFET (ce choix sera commenté au chapitre 2)
- Tension négative de grille : Vgate
- Potentiel de surveillance de la désaturation : Vdesat

1.5 Conclusion

La conclusion de ce chapitre d'état de l'art des modules de puissance pour la haute température est à lire à deux niveaux :

- Le packaging du module bénéficie de grandes avancées et des produits commerciaux convaincants seront disponibles à court terme.
- Par contre ces modules n'embarquent que les dispositifs de puissance alors qu'un des objectifs, notamment en aéronautique, est d'aller vers un module complet, au sens du multi-puces (MCM), afin de réduire au maximum la taille et l'encombrement.

Ainsi, l'amélioration des modules hautes puissances passe par une intégration du driver en CMOS SOI. Le projet COTECH dans lequel s'inscrit cette thèse doit répondre à cet objectif. Le lien entre électronique et température a mis en avant le potentiel des matériaux à grand gap pour les applications hautes températures. Actuellement, le SiC pour la puissance et le SOI pour la commande sont les matériaux les plus prometteurs. La vision module a aussi permis de dégager un cahier des charges détaillé et réaliste pour notre driver.

Le chapitre 2 décrit l'état de l'art autour des drivers intégrés. Le choix de la structure de driver est explicité. Des circuits commerciaux sont testés et apportent certaines réponses quand à la faisabilité de la puce SOI vis-à-vis de l'application aéronautique.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Symbole	Paramètre	Gamme	Valeur typique	Unité
Vpower_neg	Negative supply Voltage vs. GND	- 30 to -15		V
Vsupply_pos	Positive supply voltage vs GND	+11 to 13	12	V
Vaux	Negative supply voltage vs GND	-4 to -5.5	-5	V
Pout	Output gate average power (C=15nF, 20kHz, -27V)	0.2 to 0.5	0.22	W
Iout_on	Output gate peak current – turn-on (source)	1 to 2	2	A
Iout_off	Output gate peak current – turn-off (sink)	1 to 2	2	A
Fcarrier	Signal transformer operating frequency	> 1		MHz
Vdefault	Output signal vs GND	-4 to -5.5	-5	V
Idefault	Primary transformer current			A
Fpower	Power supply transformer operating frequency	> 50		kHz
Vprimary_power	Primary voltage to negative power transformer	14 to 16	15	V
Vds	Threshold for desaturation detection	8 to 12	10	V
Tstg	Storage temperature	-55 to 225		°C
Tj	Maximum Junction Temperature	<230	225	°C
Tdelay	Driver global delay (50% transformer primary voltage to 50% JFET gate voltage)	< 2000	1000	ns
TRgate	Gate voltage rise or fall time	10 to 250	100	ns
Sdie	Die surface			mm2
Pd	Power dissipation			W
ESD	Electrostatic discharge	2		kV
Vsupply	Supply Voltage vs. GND	-25 to -31		V
Fsw	JFET operating frequency	20		kHz
Pneg_max	Maximum neg power consumption	1		W
Ppos_max	Maximum pos power consumption (R=10kOhm, 12V)	15		mW
Paux_max	Maximum aux power consumption	< 26		mW
Top	Operating Free Air Temperature range	-55 to 201		°C

TABLE 1.7 – Principales spécifications du driver SOI

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Chapitre 2

Driver SOI

2.1 Architecture globale

Le driver est le circuit d'interface entre la commande électronique et le composant de puissance, ici le transistor JFET. La figure 2.1 montre le bloc-diagramme d'un cœur de driver contrôlant un JFET, cœur composé entre autre d'un étage d'attaque de grille, d'une fonction d'isolation du signal et d'une alimentation isolée générant la tension V_{neg} pour commander le transistor de puissance ainsi que des tensions auxiliaires V_{Aux}.

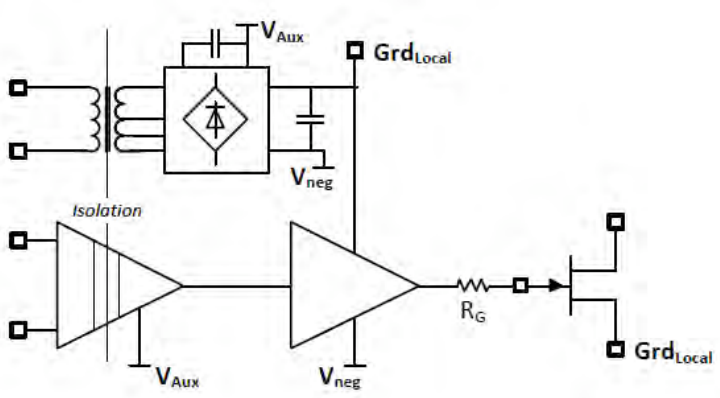


FIGURE 2.1 – Synoptique d'un cœur de driver

L'analyse du mode d'attaque de grille du JFET a été résumée dans **[BER 10]**. Le choix de piloter la grille par rapport à la source a été comparé à celui de l'attaque de la source par rapport à la grille. Dans ce dernier cas, le driver ne gère que des tensions positives. Ceci simplifie par exemple, l'implémentation de la protection vis-à-vis de la saturation qui exige une tension positive de référence par rapport au drain (voir le paragraphe 2.2.3.3). Par contre, le pilotage du composant JFET par sa source impose au driver de gérer deux sortes de perturbations, lors des commutations, dues aux différentes capacités parasites. Alors

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

que le pilotage par la grille permet d'avoir une action directe sur ces perturbations. Par ailleurs, la protection contre le *punch-through* de la grille (protection contre l'avalanche) est moins efficace car l'étage de sortie du driver n'est pas directement connecté à la grille. Il a donc été décidé très tôt, dans le programme SEFORA, donc aussi dans le programme COTECH, de considérer l'architecture standard pour les composants normalement fermés.

Le pilotage de la grille du JFET peut s'entendre en commutation dure, à l'aide d'un étage inverseur, ou bien au sein d'un étage plus complexe, mettant en œuvre une résonance dans le but de réduire les pertes du driver. L'annexe A1 résume l'étude à propos de l'approche résonante. Le circuit à mettre en œuvre est complexe et n'offre qu'un intérêt limité car le gain sur les pertes est faible et la complexité ne peut que se « payer » au niveau de la robustesse et de la fiabilité du circuit intégré.

Il a également été considéré l'attaque en courant de la grille, partant du principe que la capacité en courant du driver définit au premier ordre la vitesse de commutation du JFET. L'analyse du circuit simplifié de la figure 2.2 révèle que lors de l'ouverture du JFET par action sur l'interrupteur de court-circuit, l'effet Miller peut amener à une surtension au niveau de la grille, maintenant le dispositif passant au-delà du temps voulu. Un condensateur de soulagement a d'ailleurs été proposé dans la littérature pour limiter cet effet **[DOM 06]**.



FIGURE 2.2 – Schéma du driver piloté en mode courant (a) et avec protection (b) **[BER 10]**

Cette voie n'a pas été poursuivie, d'où le choix d'une attaque en tension de la grille. Par ailleurs, l'adaptation du driver à la grille par un circuit passif de protection de la grille a été évoquée au chapitre 1. La figure 2.3 récapitule toutes les fonctions utiles et nécessaires au bon fonctionnement d'un tel driver.

Au vue de la figure 2.3, la spécification globale du driver doit donc traiter de plusieurs aspects (isolation, protection...) tout en tenant compte de la particularité des JFET normalement passants (étage de sortie). Nous allons détailler les spécifications propres à chaque fonction.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

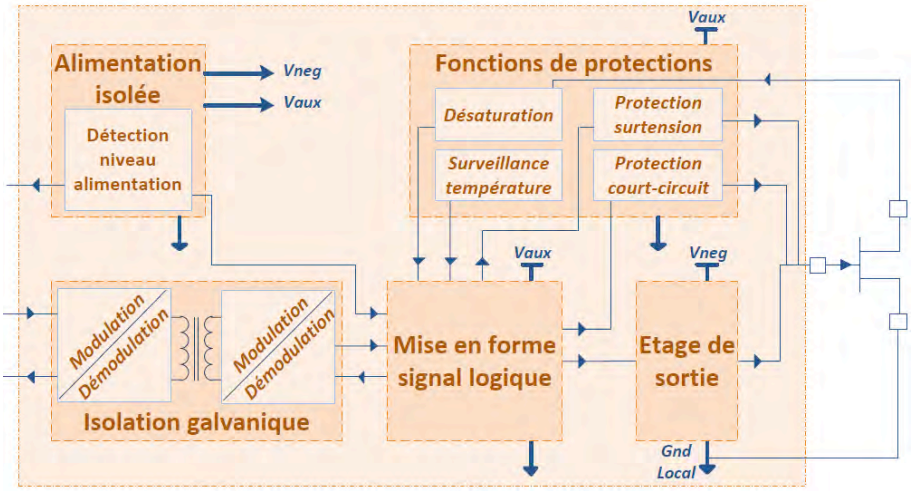


FIGURE 2.3 – Fonctions utiles et nécessaires à la réalisation d'un driver

2.2 Spécifications des fonctions

2.2.1 Etage de sortie et puissance de sortie du driver

En l'absence d'étage de sortie, la grille du transistor JFET peut être directement attaquée par le secondaire du transformateur d'isolation (figure 2.4). Ces architectures de driver, entièrement constituées de composants passifs, ont l'avantage d'être simples à réaliser et nécessitent peu de composants, mais elles présentent plusieurs inconvénients.

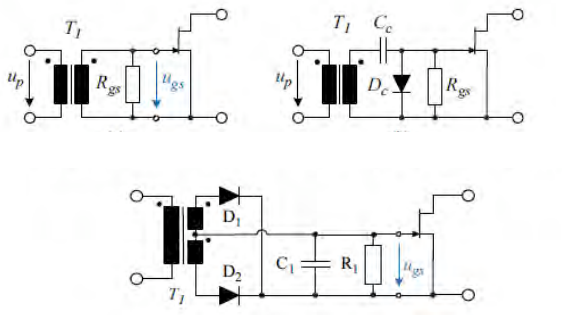


FIGURE 2.4 – Architecture de drivers sans étage de sortie **[WAF 08]**

Cette méthode induit plusieurs limitations au fonctionnement du JFET **[WAF08]** : difficulté pour fournir une tension négative continue et contrôlée, limitation des fréquences de fonctionnement et du rapport cyclique. Ainsi, l'utilisation d'un étage de sortie à base d'interrupteurs contrôlables semble indispensable. De plus, l'utilisation d'un étage de sortie permet lors de la phase de conception de définir la capacité en courant du driver et ainsi de maitriser les temps de montée t_{rise} et les temps de descente t_{fall} du JFET (figure 2.5).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

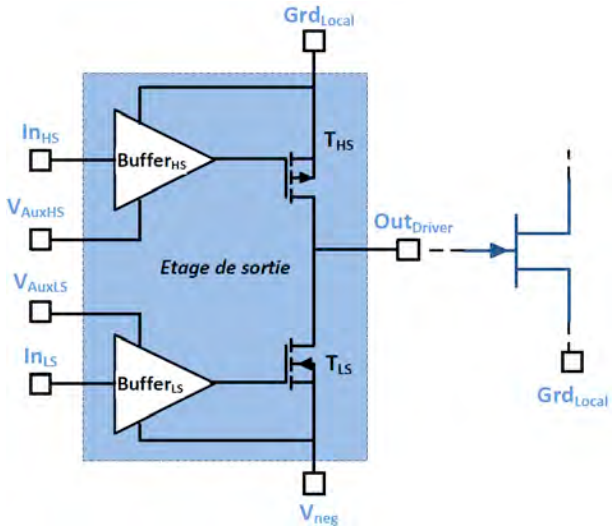


FIGURE 2.5 – Exemple d'un étage de sortie à base d'interrupteurs contrôlables

La figure 2.5 détaille un étage de sortie constitué d'un PMOS (T_{HS}), d'un NMOS (T_{LS}) et de buffers (circuit d'attaque de grille). Nous allons appeler, dans ce manuscrit, cette structure utilisant un PMOS et un NMOS, « structure PN » (*PushPull*) en opposition à une structure utilisant uniquement des NMOS, « Dual N » (*Totempole*). Soulignons que la taille des transistors composant l'étage de sortie détermine leurs résistances à l'état passant (R_{DSon}) et donc le courant susceptible de les traverser. Cette taille influence aussi leur capacité de grille (C_{GS}) qu'il faut charger et décharger rapidement pour ne pas ralentir le contrôle de ces transistors. Il est donc nécessaire d'utiliser un circuit d'attaque des grilles des transistors MOSFET dans cet étage de sortie.

Finalement, la dernière spécification concerne les niveaux de tension au sein de cet étage de sortie. La tension V_{GS} négative (V_{neg}), appliquée lors de l'ouverture du JFET, peut atteindre une valeur maximale de -27V pour les premières générations de JFET. Or, les transistors de sortie ainsi que les circuits buffers peuvent supporter une différence de tension grille/source maximale de 5V. Des circuits de mise en forme et notamment de décalage de tensions sont donc indispensables.

2.2.2 Bloc de mise en forme des signaux

Le signal, à la sortie de la fonction d'isolation, est un signal bas niveau, de 0 à V_{AuxHS} (-5V). Il permettra de contrôler le transistor T_{HS}, dont la source est connectée au potentiel Grd_{Local} (figure 2.5). Pour le transistor T_{LS} dont la source est au potentiel V_{neg}, il est nécessaire d'utiliser un circuit abaisseur de tension (*Level Shifter*) pour décaler la tension de commande de $[0\,;\,V_{AuxHS}]$ à $[V_{AuxLS}\,;V_{neg}]$ (figure 2.6).

Ce circuit abaisseur de niveau est indispensable quelque soit la structure de l'étage de

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

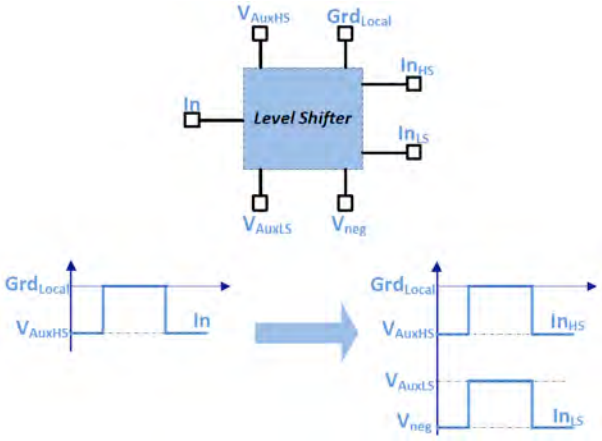


FIGURE 2.6 – Circuit abaisseur de tension

sortie « Dual N » (*Totempole*) ou « PN » (*PushPull*). D'autre part, les transistors composant l'étage de sortie doivent avoir un fonctionnement complémentaire pour assurer la commande du JFET. En effet, quand le transistor T_{HS} est conducteur, le transistor T_{LS} doit être bloqué, et inversement. Ceci peut être réalisé par l'intermédiaire d'un inverseur. Mais pour éviter un court-circuit sur l'étage de sortie, un temps mort (*dead time*) doit être introduit entre les deux signaux de commande (figure 2.7). La difficulté réside dans la synthèse de ces circuits où les grandeurs dimensionnantes des fonctions doivent peu varier en fonction de la température.

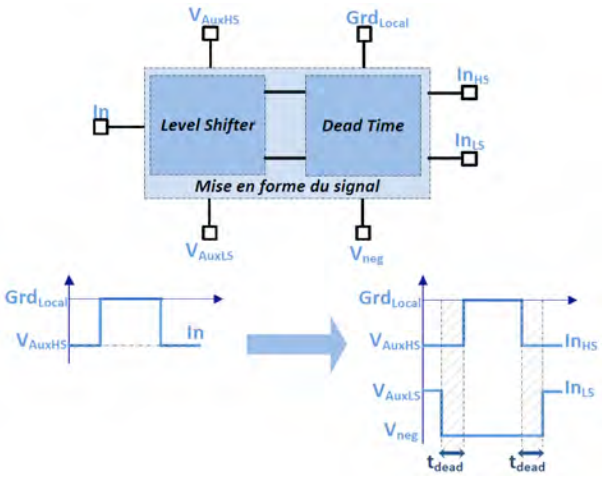


FIGURE 2.7 – Fonction de mise en forme

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

2.2.3 Les fonctions de protection

Pour assurer le bon fonctionnement du driver ainsi que du transistor à commander, certaines fonctions de protection doivent être mises en place.

2.2.3.1 Détection du niveau d'alimentation

Le transistor JFET normalement fermé nécessite une tension grille/source précise pour sa commande à l'ouverture. Cette tension V_{neg} fournie par le bloc « alimentation isolée » ne doit pas être inférieure à la tension de seuil V_{th} du JFET au risque que le driver transmette la commande sans pouvoir ouvrir le JFET. La fonction de détection de niveau d'alimentation (*UVLO, UnderVoltageLockOut*) s'assure que la tension V_{neg} permet bien de contrôler le transistor JFET. Dans le cas contraire, un signal d'erreur est renvoyé au gestionnaire de contrôle numérique (FPGA) pour bloquer la commande et faire intervenir les fonctions de sécurisation (figure 2.8).

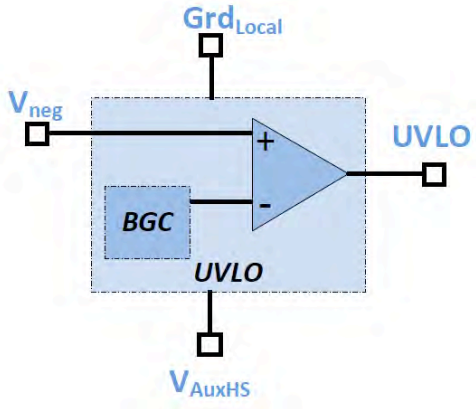


FIGURE 2.8 – *UVLO*

Cette fonction se base sur un comparateur de niveau de tension. Une tension de référence est donc nécessaire dans le circuit *UVLO*. Cette tension de référence est fournie par un circuit dit à *bandgap* (BGC). Quand la tension V_{neg} atteint la valeur minimale requise, le circuit *UVLO* envoie un signal autorisant la transmission de la commande par le bloc « mise en forme du signal ».

2.2.3.2 Protection en surtension

Pour des raisons physiques, les inductances parasites dans un module de JFET ne peuvent être éliminées. Leur influence sur le comportement du système ne peut être négligée, surtout pour les modules de forte puissance fonctionnant à haute fréquence. La figure 2.9 détaille les inductances parasites présentent dans un bras d'onduleur à base de JFET ainsi que les capacités équivalentes C_{GD} dites de *Miller*.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

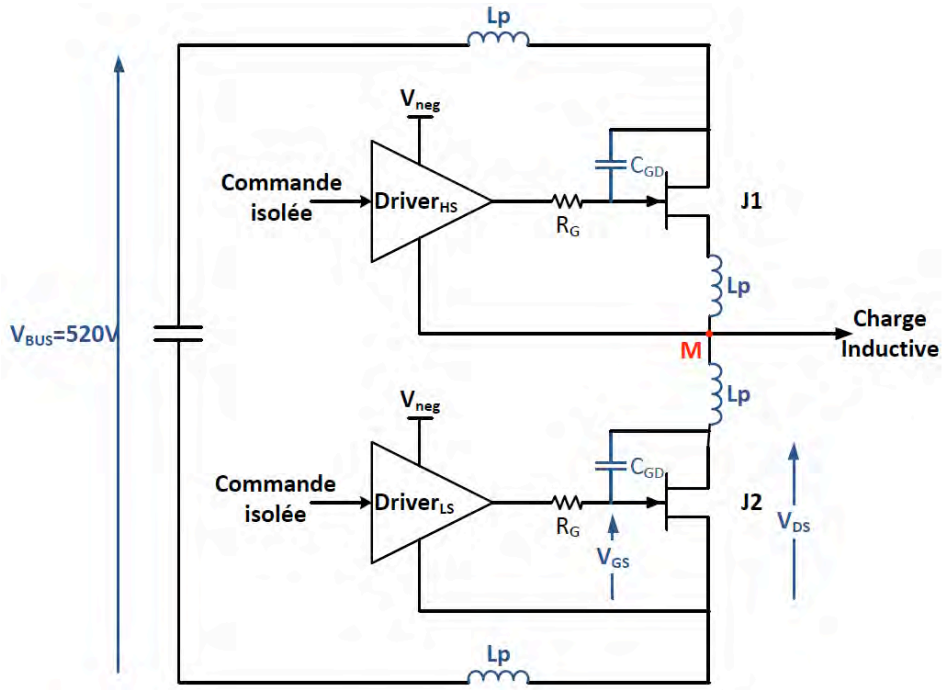


FIGURE 2.9 – Les éléments parasites dans un bras d'onduleur

Pour expliquer les surtensions qui surviennent entre le Drain et la Source du JFET, nous allons nous intéresser au courant I_{DS} qui le traverse. Pour minimiser les pertes à la commutation, on utilise une faible résistance de grille R_G. Ainsi à la fermeture du transistor, le courant I_{DS} passe très rapidement de 0 à quelque dizaine d'ampères, et inversement à l'ouverture. Cette variation provoque une surtension (V_{OV}) proportionnelle au dI_{DS}/dt que voie le transistor (figure 2.10).

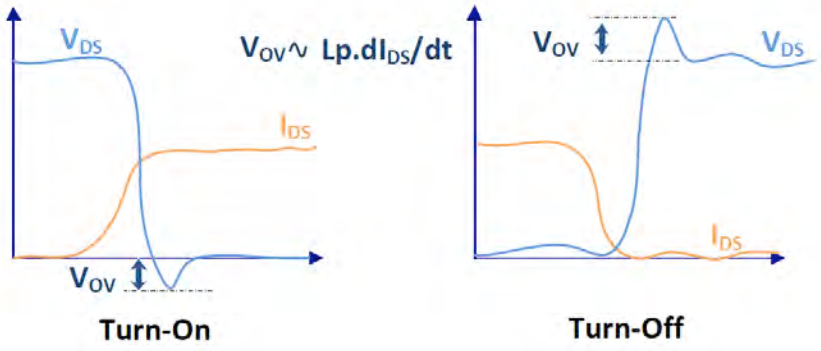


FIGURE 2.10 – Surtension liée aux éléments parasites du bras d'onduleur

Le transistor de puissance doit être protégé contre cette surtension qui peut provoquer sa destruction par avalanche. Il existe principalement deux méthodes de protection contre

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

cette surtension. L'une « passive » nécessitant des composants externes au driver et qui est donc peu fiable à cause du niveau élevé d'énergie dissipée par ces derniers ainsi que de leur comportement thermique. L'autre dite « active » et qui est très largement développée dans la littérature **[RUE 09] [PAR 01]**, notamment pour la protection de module IGBT. Le principe de ce type de protection est présenté sur la figure 2.11.

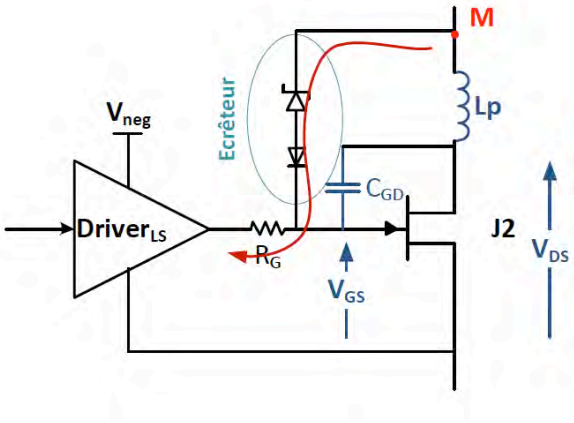


FIGURE 2.11 – Protection active contre la surtension

Lorsqu'une surtension est détectée à la fermeture du JFET, l'élément écrêteur permet le passage d'une partie du courant vers le driver. Ceci provoque l'élévation du potentiel V_{GS} et ainsi la réouverture partielle du transistor de puissance. Cette réouverture contrôlée permet de ralentir la fermeture du JFET ce qui provoque l'écrêtage de la surtension et protège le composant.

D'autre part, il existe un phénomène de génération de courant I_{GD} qui peut provoquer une ouverture non contrôlée du JFET, ou pire encore sa destruction par *punch-through*. En effet, la forte variation de tension qui survient au bord de la capacité parasite C_{GD} induit un courant I_{GD}. Selon que ce dV/dt est positif ou négatif, la différence de potentiel V_{GS} diminue provoquant la fermeture inopinée du JFET, ou bien elle augmente dépassant sa tension de *punch-through* et mène ainsi à sa destruction par emballement thermique.

Pour résoudre ce problème, une solution simple consiste à placer une capacité additionnelle entre Grille et Source pour shunter ce courant I_{GD} (voir chapitre 1). Une autre méthode basée sur la surveillance de la tension V_{GS} permet grâce à un transistor additionnel placé entre la Grille et la Source, d'absorber ce courant une fois la tension V_{th} atteinte (figure 2.12). On parle alors *d'Active Miller Clamping*. Les caractéristiques particulières en terme de capacités du MOSFET de protection rendent son intégration sur la technologie CMOS SOI difficile (sauf à développer un composant spécifique mais l'exercice semble délicat).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

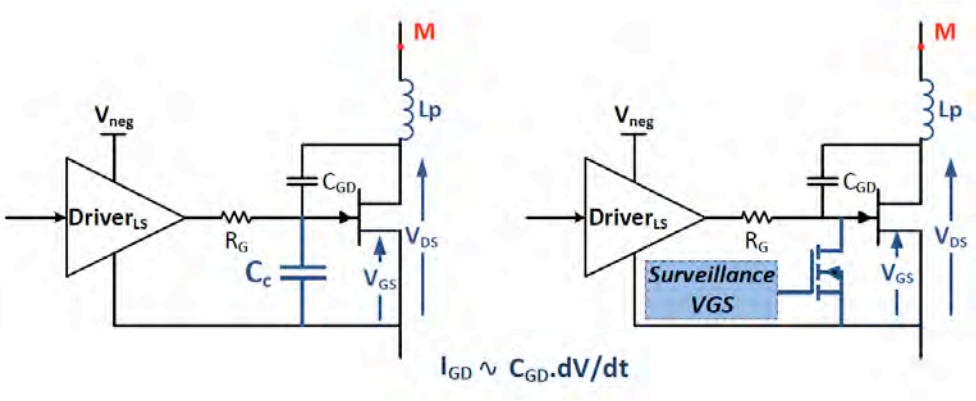


FIGURE 2.12 – Génération de courant I_{GD}

2.2.3.3 Protection contre la saturation.

La fonction de protection dite de désaturation (DESAT) permet d'immuniser le JFET contre le sur-courant voire le court-circuit. En substance, il faut éviter au transistor JFET d'entrer en régime saturé, siège de fortes pertes par conduction et de danger vis-à-vis de l'échauffement (surtout à 250°C d'ambiante). La protection se base sur la surveillance de la tension de Drain du composant de puissance, généralement par l'intermédiaire d'une diode haute tension externe. Le schéma de la figure 2.13 décrit ce circuit.

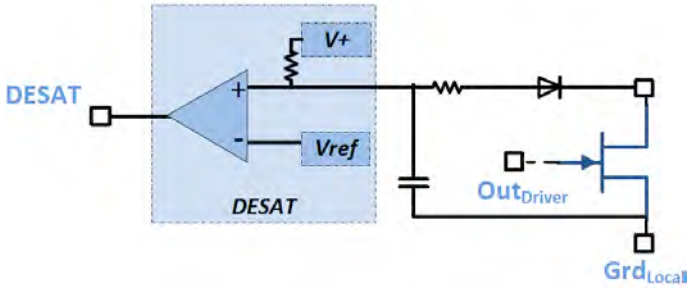


FIGURE 2.13 – Schéma de la protection désaturation

Lorsque la tension de Drain dépasse une certaine valeur prédéfinie lors du dimensionnement, la tension à l'entrée du comparateur augmente et dépasse la tension de référence *Vref*. Ceci provoque l'envoie d'un signal d'erreur DESAT au bloc de contrôle qui commande l'ouverture du JFET. L'ouverture du transistor de puissance doit être ralentie (*Soft Turn-Off*) pour éviter les surtensions résultant des éléments parasites. C'est à l'organe de commande de haut niveau d'appliquer la politique de remise en conduction (généralement un second essai de mise en conduction est pratiquée et la persistance du défaut provoque la reconnaissance d'une panne côté puissance).

Le premier verrou à l'intégration de la fonction d'anti-(de)saturation est la génération de la tension positive (V+) sachant que notre driver travaillera avec une tension d'alimentation

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

négative. Une technique employée dans la conception de la fonction contre les court-circuits (présentée au chapitre 4) offre une solution satisfaisante. Il ne reste alors que la conception d'un comparateur, dont l'offset est compensé en température. Faute de temps, cette fonction de protection n'a pas été étudiée dans le cadre de la thèse.

2.2.3.4 Surveillance de la température.

A des températures élevées, le fonctionnement du driver peut être altéré par le rallongement des temps de propagation dans le circuit ou encore par la diminution de sa capacité en courant qui provoque le ralentissement des vitesses de commutation du JFET. La surveillance de température (*ThermalShutDown*) envoie un signal d'erreur ouvrant le JFET si la température détectée au sein du driver dépasse une valeur prédéfinie (figure 2.14)

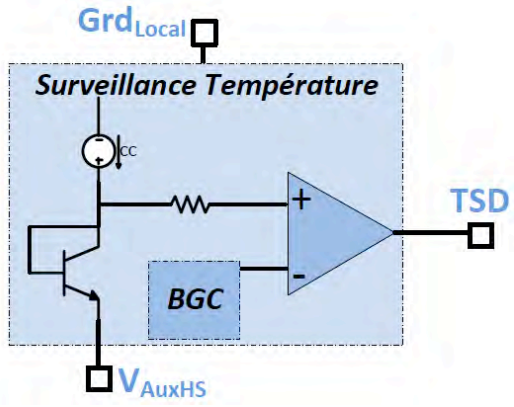


FIGURE 2.14 – ThermalShutDown

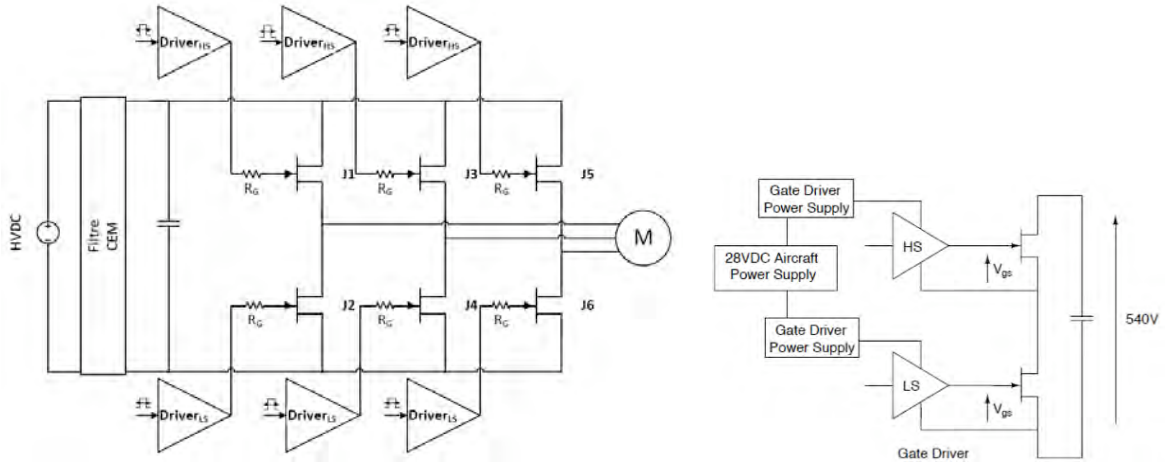
La détection de température se fait grâce à un transistor bipolaire monté en diode. Il est traversé par un courant de polarisation Icc stable en température. La tension V_{BE} varie quasi linéairement avec la température. Ainsi, en dimensionnant le pont diviseur de tension, on peut détecter assez précisément la température du composant.

2.2.3.5 Protection court-circuit

L'application cible des projets aéronautiques est l'actionneur électrique (EMA) en remplacement de l'actionneur hydraulique (EHA). Le moteur de cet actionneur électrique est piloté par un onduleur de tension (figure 2.15). L'intégration vise l'émergence d'un module intelligent comme évoqué au chapitre précédent. Sur le réseau de bord de l'avion, le bus de puissance atteint 540V (+270V/-270V) mais une alimentation auxiliaire de 28V est disponible comme source primaire d'alimentation pour les drivers.

Toutefois, la vie du réseau de bord peut présenter des situations qui conduisent à un état critique (court-circuit) des JFETs au sein de l'onduleur. Au cours du projet SEFORA, les

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés



(a) (b)

FIGURE 2.15 – Application EMA (a) et bus d'alimentation (b)

tenues en énergie de court-circuit de JFETs de la société SiCED ont été analysées par les laboratoires SATIE et IFSTTAR **[BOU 09]**.

JFET SiC	Energie critique	Durée de soutien du court-circuit
5.76 mm[1]	1.78 J	700 µs
16.81 mm[1]	8.3 J	1.7ms

TABLE 2.1 – Quelques résultats d'énergie critique de puces JFET

Le tableau 2.1 montre qu'un JFET peut supporter une énergie de court-circuit au moins dix fois supérieure à celle d'un IGBT silicium à calibre égal en tension et courant. Si la durée de court-circuit est très courte, les JFETs pourront supporter un grand nombre de répétitions. C'est ce qui motive le principe de la fonction de protection contre le court-circuit : l'état critique peut apparaître pour peu qu'il soit rapidement neutralisé.

Les cas de défaut, listés dans le cadre de la thèse de F. Dubois, sont notamment les suivants :

- Défaut d'alimentation du driver
- Alimentation du bus de puissance avant les auxiliaires (fig. 2.16(a))
- Extinction du bus auxiliaire avant celle du bus (décharge de la capacité de bus, fig. 2.16(b))
- Défaut d'un driver haut-de-pont (plus probable que pour un driver bas-de-pont, fig. 2.16(c))
- Moteur agissant en mode génératrice en l'absence d'alimentation auxiliaire (fig. 2.16(d))

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

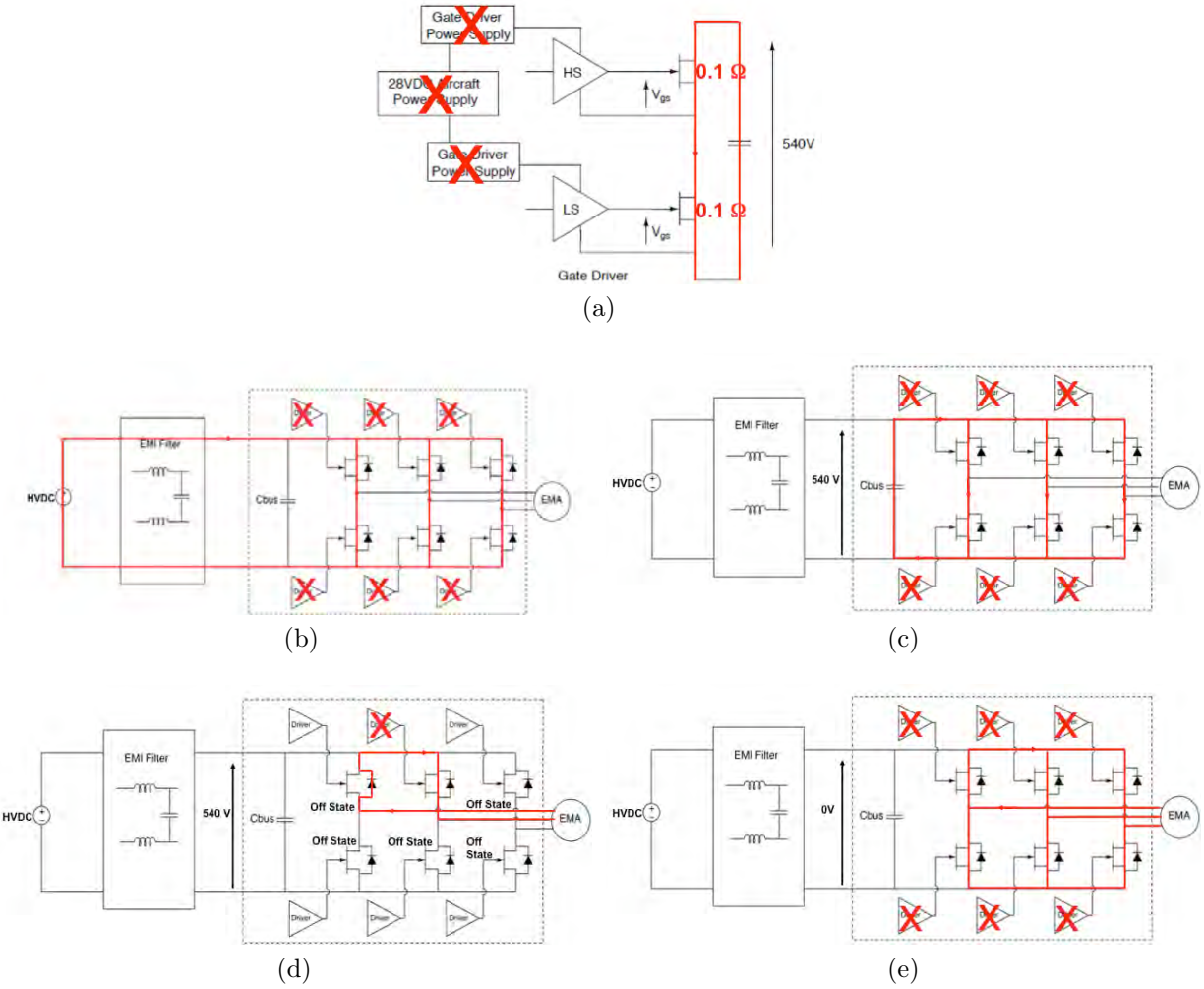
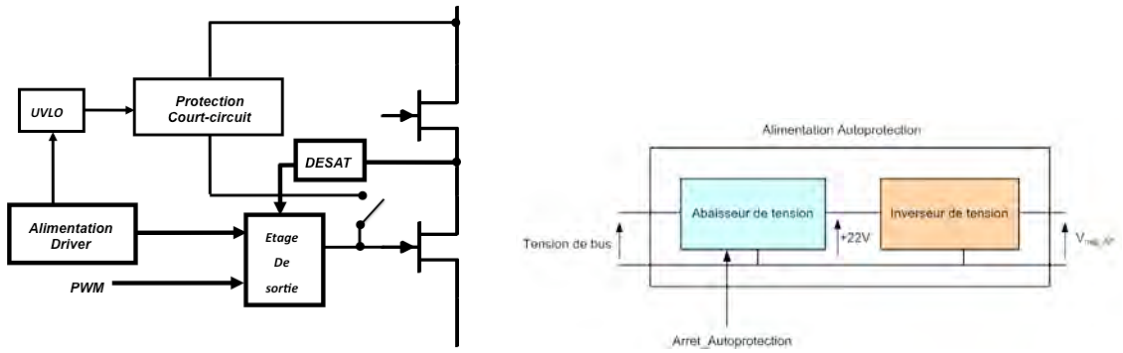


FIGURE 2.16 – Cas de défaut des drivers

Au vue des défaillances possibles, la protection contre le court-circuit peut prélever son énergie sur le bus de puissance (fig. 2.17). Le signal *UVLO* du driver (actif au niveau bas) est le signal idéal pour indiquer une défaillance d'alimentation du driver. A l'activation du signal *UVLO*, un convertisseur doit prélever la tension de bus, en abaisser la valeur autour de 22V puis produire une tension négative pour bloquer un des JFETs du bras d'onduleur (le bas-de-pont étant plus simple à priori).

Une structure de type Forward permet d'inverser la tension en sortie en offrant la régulation de sa valeur. Dans un objectif d'intégration, le transformateur central pose une limitation. Une conversion de type capacitive offre plus de degré de liberté de ce point de vue. L'inversion de tension sera donc produite par une pompe de charge négative (circuit à capacités commutées).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés



(a) (b)

FIGURE 2.17 – Principe de la protection contre la défaillance du driver

2.2.4 La fonction d'isolation

L'isolation concerne d'une part les signaux de commande provenant du circuit numérique (FPGA ou DSP) et d'autre part les différentes tensions d'alimentation du driver. Cette partie adresse aussi bien les fonctions de reconstitution et de transmission des signaux (*Signal Reconstruction*) que les composants permettant l'isolation.

Les drivers IGBT embarquent classiquement une barrière optoélectronique pour l'isolation des signaux logiques **[SCH 02]**. De nombreux produits industriels sont disponibles, témoignant de l'ampleur de la demande (ou du marché). Il y a néanmoins peu de solutions pour une gamme étendue de température. Une étude récente sur le vieillissement de produits, testés avec une température d'accélération de 200°C, montre des durées de vie très réduites dès que la température excède la préconisation du constructeur (en général de l'ordre de 80°C) **[BEN 08]**. Fairchild semble vouloir étendre la gamme de température d'utilisation de ses produits mais la limite haute ne dépasse pas 100°C **[FAR 10]**. Un composant très récent **[MII 12]** étend la gamme de température de fonctionnement de -55°C à 200°C. Le fait que la température maximale de stockage soit 200°C laisse à penser que le vieillissement à 200°C peut être très rapide.

Le couplage capacitif est connu en haute fréquence, que ce soit comme effet parasite (*cross talk*) ou fonction **[FIO 04]**. De nombreux brevets proposent des solutions géométriques diverses, usant de matériaux divers, pour produire un couplage plus ou moins contrôlé par effet capacitif **[YON 88] [BEI 01] [RAI 10] [SMI 10]**. La figure 2.18 présente un exemple typique de structure faisant apparaître les capacités **[HOW 95]**.

L'effet de couplage capacitif a été appliqué au cas des signaux de contrôle de grille comme alternative au transformateur. Au début, la motivation était sans doute de simplifier l'architecture des circuits **[HES 99]**. Plus récemment le driver d'IGBT dans la configuration onduleur a reçu plus d'attention **[ZEL 10]**. La figure 2.19 présente le principe technologique du couplage. Si la fonctionnalité est démontrée, il est néanmoins mis en avant la sensibilité du montage aux capacités de mode commun.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

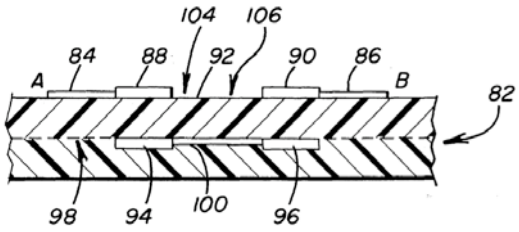
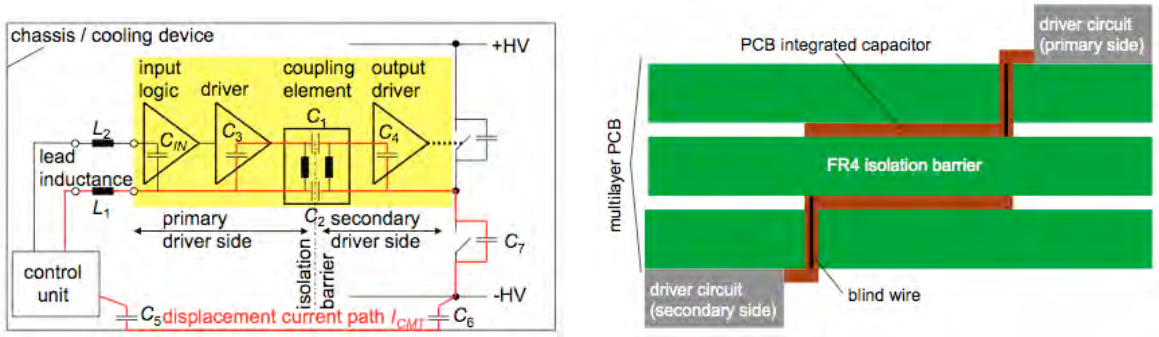


FIGURE 2.18 – Coupe d'une structure favorisant un couplage capacitif **[HOW 95]** (88 et 90 pistes externes, 94 et 96 pistes internes au PCB)



(a) (b)

FIGURE 2.19 – Proposition de mise en œuvre d'un couplage capacitif au sein d'un PCB **[ZEL 10]**

Le principe précédent est repris dans le produit commercial Texas Instrument : ISO72x. Les performances d'isolation statique (2500Vrms) et dynamique sont comparables à celles des solutions à transformateurs. Les circuits présentent une limitation en température de fonctionnement.

L'intégration de condensateur sur CMOS SOI est séduisante. Il faut écarter l'oxyde de grille et considérer les oxydes intermétalliques. Malheureusement, l'épaisseur de ces oxydes (μm) est trop faible vis-à-vis des tensions statiques à satisfaire dans les spécifications d'isolation (>2500V). La robustesse en température de ces éventuels condensateurs métal-oxyde-métal (MIM) n'est pas prouvée par ailleurs. Le choix du couplage capacitif n'a pas été retenu.

Finalement, le transformateur a été choisi comme alternative plus crédible à court terme du point de vue de la fiabilité **[ROB 11]**. On retrouvera ce choix dans plusieurs produits commerciaux (type ADuM1100, Analog Devices) ou dans des développements récents.

Les applications haute-tension suscitent des solutions où signal de commande et énergie sont servis au driver du transistor de puissance à travers le même transformateur. Des solutions ont même exploré la transmission d'énergie à travers des enroulements couplés par une boucle simple et assistée par la transmission radio-fréquence du signal de commande **[BRE 06]** (fig. 2.20). De telles solutions ne conviennent manifestement pas dans notre

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

cas où un transformateur sans ou avec noyau magnétique constitue une approche plus raisonnable compte-tenu de la gamme de température.

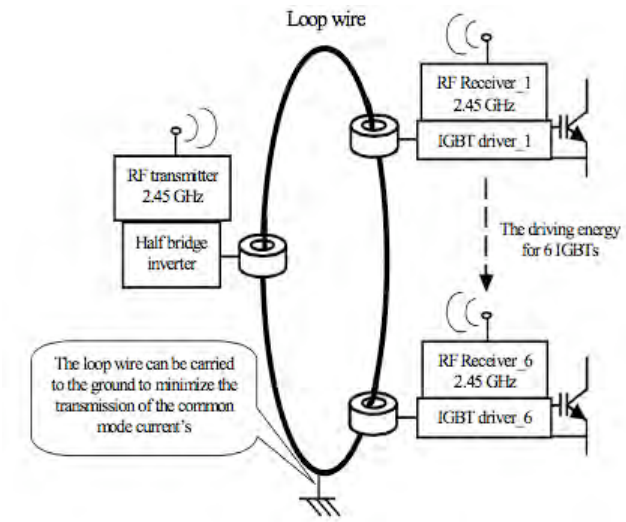


FIGURE 2.20 – Proposition de driver isolé en énergie et signal

L'état de l'art mentionne un certain nombre d'expériences d'utilisation du transformateur sans noyau magnétique à des fins d'isolation de signal pour le driver :

- Transformateur avec modulation haute fréquence **[HUI 99]**
- Transformateur d'impulsion **[MUN 03]**

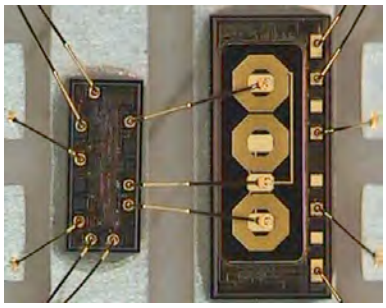
Pour limiter la taille du transformateur, le signal transmis (ordre MLI) doit être modulé à haute fréquence, typiquement entre 10MHz et au-delà de 100MHz. Ceci introduit 2 types de limitations :

- Le transformateur devient le siège d'une émission électromagnétique susceptible de perturber le voisinage
- Les étages de modulation et de démodulation du signal transmis présentent d'autant plus de pertes que la fréquence est élevée, ce qui est antagoniste avec une température ambiante élevée.

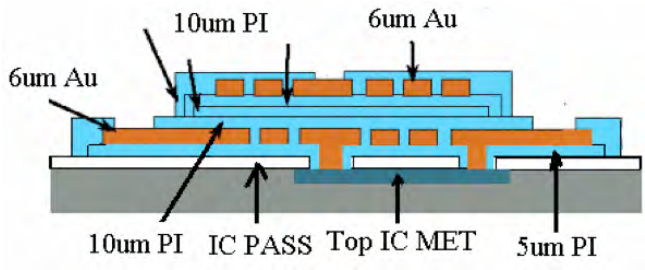
Analog Devices a développé une gamme de produit en incluant dans un boîtier le tryptique d'étages de modulation, un transformateur à air planar et un étage de démodulation (ADuM, fig. 2.21). La figure 2.21(b) présente la structure simple du transformateur à air. Analog Devices spécifie une température maximale de fonctionnement de 150°C avec un échauffement du circuit de l'ordre de 55°C. L'estimation de la taille des spires du transformateur à air et la consommation raisonnable du circuit (100mA, 3V) laisse penser que la fréquence de modulation se situe autour des 10MHz. Les pertes sont élevées et limite la température ambiante à 105°C. Un circuit identique sera décrit plus loin (chapitre 4).

Des circuits Analog Device sont également destinés à l'isolation de l'énergie. Les produits

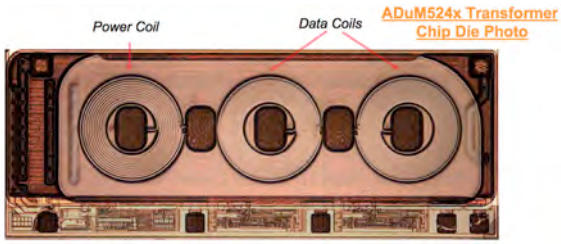
Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés



(a)



(b)



(c)

FIGURE 2.21 – Description de l'isolation par transformateur à air des circuits AduM *(source Analog Device)*

actuels sont limités au transfert de 400mW et soumis à la même limitation de température ambiante.

Le tableau 2.2 résume deux indicateurs de performances en isolation des solutions qui viennent d'être évoquées. Les produits à transformateur à air (ADuM620x) présentent des performances comparables aux barrières optoélectroniques mais ne repoussent pas plus loin la limitation en température.

Citons enfin les travaux de D. Vasic qui a récemment montré tout le potentiel des transformateurs piézoélectriques, y compris vis-à-vis de l'intégration **[VAS 11]**. De l'étude du comportement en température (Annexe A2), il faut retenir que le choix de la céramique reste primordiale (ce sera également le cas des transformateurs magnétiques) et que le procédé d'assemblage des disques n'a pas de solutions simples en haute température.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Dénomination commerciale	Technologie	Tenue en tension statique (norme UL 1577)	Tenue en tension dynamique (norme IEC 60747-5-2)
ISO721	Capacitif	2500	560
ADuM1100	Inductif	2500	560
HCPL-0900	Inductif	2500	Non disponible
HCPL-072x	Optique	3750	560
ADuM620x	Inductif	5000	846

TABLE 2.2 – Performances d'isolation de quelques produits commerciaux

2.2.5 Schéma global du driver Ampère

Toutes les fonctions énumérées dans les paragraphes ci-dessus, sont regroupées dans le bloc diagramme de la figure 2.22. Toutes ces fonctions doivent supporter un environnement dure et assurer le fonctionnement du driver SOI en haute température.

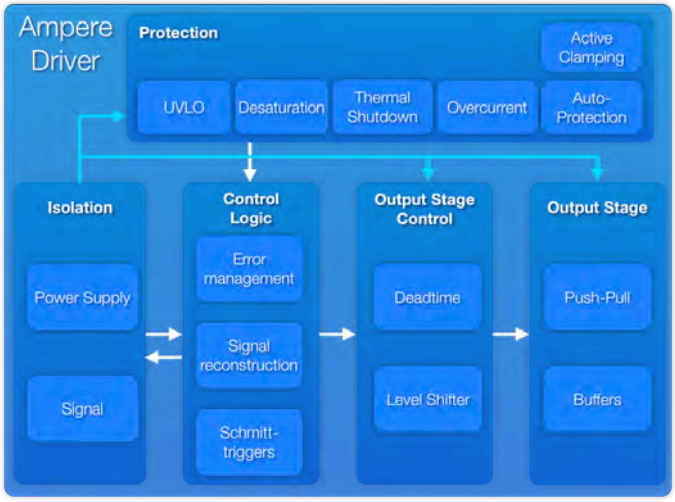


FIGURE 2.22 – Bloc-diagramme du driver

2.3 Etat de l'art des drivers intégrés

La littérature relate diverses architectures de driver pour la commande de différents types de transistors de puissance certains fonctionnant à l'ambiante, **[PAR 01] [LI 02] [HOF 05]**, d'autres en haute température **[ROU 05] [HUQ 05] [ROB 05]**. Ces drivers sont aussi classifiés en fonction du pic de courant de sortie qu'ils peuvent générer (100mA, 750mA...)

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

et des diverses fonctions de protections qu'ils embarquent pour assurer un fonctionnement et une commande optimale des transistors qu'ils pilotent.

Citons, par exemple, les travaux de Park *et. al.* qui présentent une architecture assez complète de driver pour IGBT pouvant délivrer un pic de courant de sortie de 100mA avec plusieurs fonctions de protection dont « *Over-current protection* », « *Short-circuit protection* », « *ThermalShutdown* » et « *UVLO* » **[PAR 01]**.

Il est toutefois délicat de trouver dans les études antérieures un driver combinant fonctionnement à haute température, bonne capacité en courant et protections. Un de ces trois critères est souvent privilégié au détriment des deux autres. Ainsi, Li *et. al.* présentent un driver de MOSFET en technologie CMOS SOI avec une bonne capacité en courant entre 350mA et 750mA, mais des protections limitées (pas de gestion des temps morts) et ne fonctionnant pas à haute température **[LI 02]**.

Plus récemment, Chen *et al.* ont développé un driver de MOSFET et d'IGBT avec une capacité en courant de l'ordre de 1,5A mais fonctionnant à l'ambiante. L'originalité de ce driver consiste dans le développement de plusieurs fonctions de diagnostique et de protection du driver et du transistor de puissance **[CHE 08]**. A l'inverse, Huque *et. al.* proposent un driver SOI pour les composants SiC FET fonctionnant à 200°C mais sans circuit de protection ni circuit d'isolation, pourtant essentiel au bon fonctionnement de l'ensemble commande/puissance (figure 2.23) **[HUQ 05]**. De même, Robberg *et. al.* ont réalisé des drivers d'IGBT en CMOS SOI haute température (200°C) mais sans isolation d'alimentation ni de signal. Leurs drivers disposent toutefois de fonctions de protection type *UVLO*, *over-current protection*, et surtout d'une bonne capacité en courant, 500mA à 600mA à 25°C **[ROB 05]**.

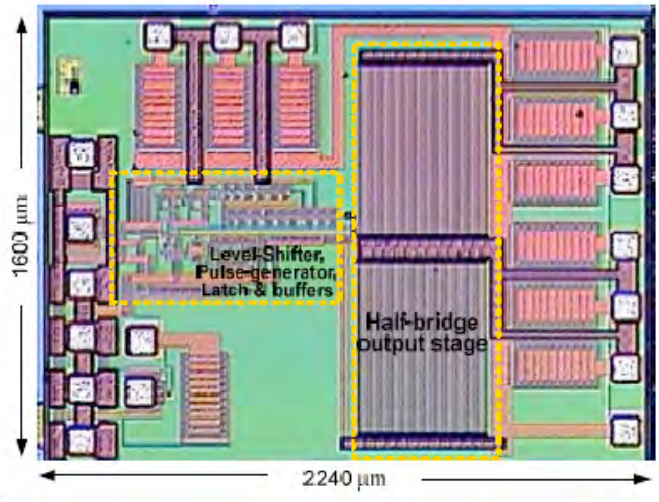


FIGURE 2.23 – Driver SOI développé par Huque **[HUQ 05]**

Il semble alors tout à fait opportun de développer un driver combinant une bonne capacité de courant, des protections et fonctionnant à haute température (200°C).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Plusieurs laboratoires ont apporté leurs contributions sur les architectures de drivers et en particulier sur l'étage de sortie délivrant le signal de commande au transistor. Ainsi, est apparu l'utilisation d'étage de sortie en dual NMOS (*Totempole*) complété par une capacité boostrap externe **[LI 02]**, ou encore l'association de MOSFET en configuration cascode sur des JFETs **[ROU 05]**. Cette dernière structure est toutefois peu efficace, et augmente considérablement les pertes à la commutation. Wang *et. al.* présentent quant à eux, un driver pour le contrôle des transistors GaN HFET, basé sur une architecture résonante **[WAN 08]**. Plusieurs circuits *Level Shifter* sont proposés pour décaler la tension positive à l'entrée du driver vers une tension négative à appliquer à la grille du transistor de puissance. Ce driver a une fréquence de fonctionnement très élevée (10Mhz), mais sa capacité en courant est très faible (50mA de courant de sortie). Finalement, soulignons les travaux de Hofsajer *et. al.* qui proposent une architecture originale permettant l'utilisation de driver conventionnel MOSFET/IGBT pour le contrôle de transistor JFET. Leurs drivers appliquent ainsi en permanence une petite tension négative sur la grille du transistor quand le JFET est conducteur et ils l'augmentent pour le passer en état bloqué **[HOF 05]**. L'inconvénient de cette technique est l'augmentation des pertes dans le composant et donc l'apparition d'un auto-échauffement du système.

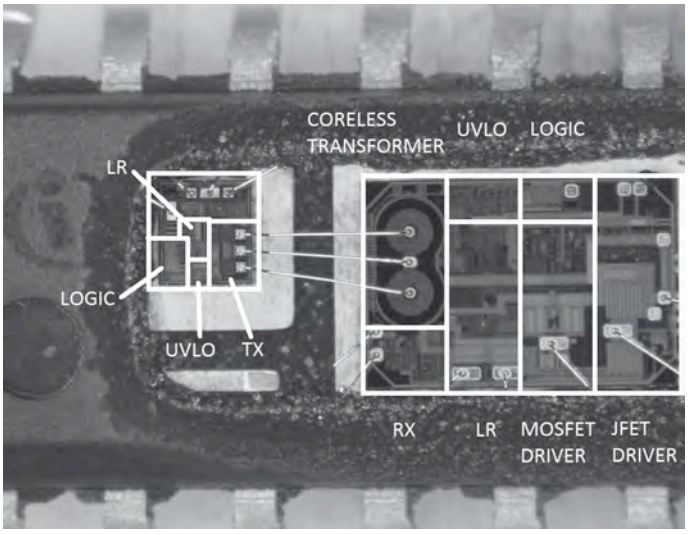


FIGURE 2.24 – Driver SOI intégrant une isolation coreless **[NOR 12]**

Concernant les fonctions de protections, l'état de l'art est beaucoup plus fourni. Dulau *et. al.* intègrent entre autre dans leur driver les fonctions « *Active Miller Clamping* » et « Désaturation ». Leur dernier driver peut ainsi contrôler les grilles des IGBT avec deux niveaux de tensions pour réduire les sur-courants et protège les transistors du claquage. Ce driver a une capacité en courant entre 750mA et 1,2A sur un intervalle de fonctionnement de -20°C à 125°C **[DUL 06]**. Soulignons les travaux de Heldwein *et. al.* qui introduisent un circuit RCD parallèle entre la sortie du driver et la source du JFET pour assurer une bonne commutation et éviter que le JFET entre en avalanche **[HEL 04]**. Ou encore, l'utilisation d'un régulateur de tension, proposée par Huques *et. al.*, pour stabiliser la tension

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

de grille en fonction de la température **[HUQ 05]**. Un des drivers les plus complets sur cette thématique est celui proposé par l'université du Tenessee qui incorpore les fonctions suivantes : *Short circuit protection*, *desaturation protection*, *UVLO*, surveillance du courant de grille. Ce driver développe une capacité en courant de 2.2A à 200°C. Toutefois, il ne propose pas d'isolation **[GRE 11]**. Cette dernière est pourtant importante pour le découplage des signaux et peut être réalisée par divers composants tel des opto-coupleurs **[ROU05]** ou un transformateur d'isolation **[MAY 11]**. Norling *et. al.* ont présenté un driver en technologie SOI utilisant un transformateur de signal coreless mais l'ensemble n'a pas été testé en température (figure 2.24).

Notons enfin qu'il existe, dans le commerce, des drivers en technologie CMOS SOI pour commander des composants de puissance comme les MOSFET. Mais la plupart d'entre eux sont limités à des températures de 150°C, eu égard à leur boîtier souvent en plastique. La caractérisation de quelques-uns d'entre eux est présentée dans ce qui suit.

2.4 Caractérisation de driver commerciaux

Dans la première phase de notre étude, nous nous sommes intéressés aux performances de drivers commerciaux en technologie SOI afin de valider en pratique la faisabilité du CMOS SOI pour la haute température. La température maximale de fonctionnement spécifiée par les fabricants de composants SOI est de 150°C, voire 200°C. La figure 2.25 montre le dispositif de test repris pour l'ensemble des produits testés.

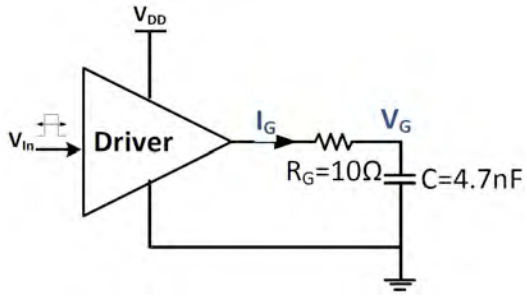


FIGURE 2.25 – Dispositif de test pour les drivers commerciaux

Les tests sont réalisés sur un PCB haute température avec une charge normalisée de 4.7nF en série avec une résistance de 10Ω, charge équivalente à la grille d'un transistor SiC JFET de calibre moyen. Seuls les drivers sont exposés à la température. Les composants discrets qui composent le circuit testé sont à température ambiante. Le PCB haute température est fabriqué par ProDesign en polyamide 85N avec une brasure haute température HMP Pb92/Sn5/Ag2. Nous utilisons une soufflerie d'air chaud régulée pour amener ces composants de la température ambiante à une haute température, par palier de 10°C (figure 2.26).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

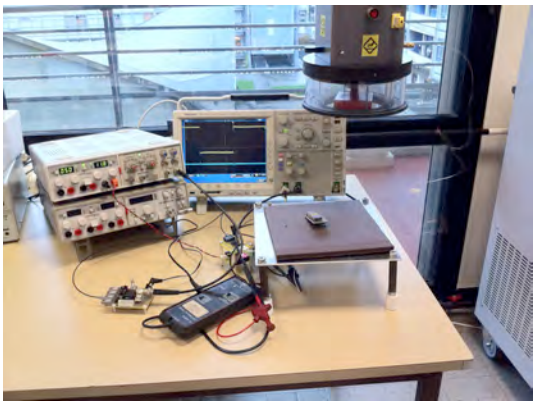


FIGURE 2.26 – Banc de test haute température

Les paramètres relevés sont

- les temps de montée « tr » et de descente « tf » de la tension de sortie V_G
- les courants de sortie « I_{Gon} » et « I_{Goff} »,
- les délais à l'ouverture « td_{on} » et à la fermeture « td_{off} » entre la commande V_{In} et la sortie $V_G$du dispositif.

La figure 2.27 illustre ces paramètres.

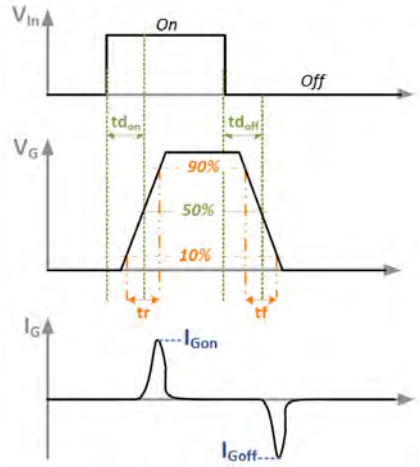


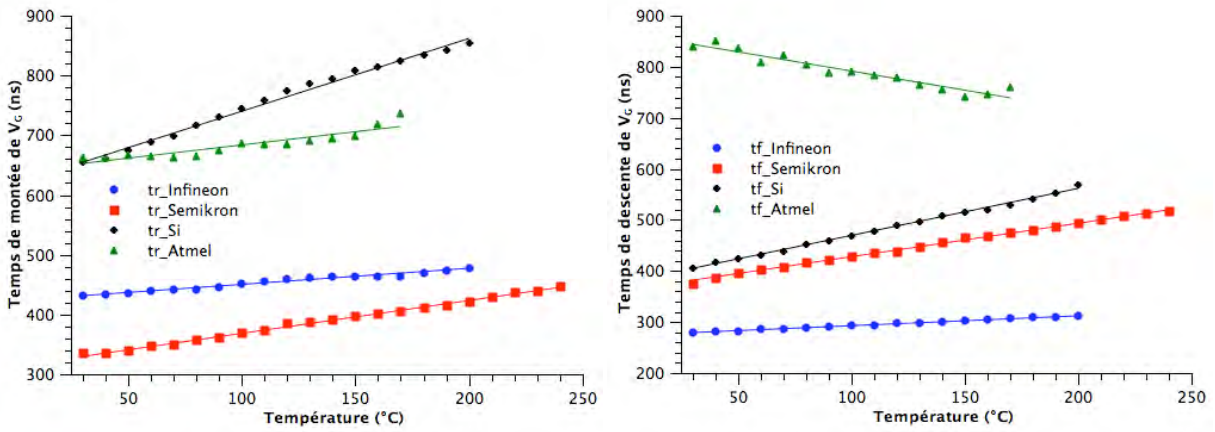
FIGURE 2.27 – Paramètres liés aux signaux de sortie et de commande

Les circuits testés sont :

- le driver 1ED020I12-FA fabriqué par Infinon,
- le driver SKIC7607 fabriqué par Semikron
- le driver ATA6832 fabriqué par Atmel.
- un driver en technologie silicium (Si) standard (NCP5106A) comme référence.

La figure 2.28 montre les temps de montée et les temps de descente de la tension de sortie pour différentes températures.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés



(a) (b)

FIGURE 2.28 – Tension de sortie : (a) temps de montée, (b) temps de descente

Le driver Atmel n'a pu être testé à une température supérieure à 170°C, puisqu'il embarque une fonction de protection contre la température, qui se déclenche à 170°C. Soulignons aussi que ce driver fait partie d'un module de commande complet, comportant le driver mais aussi la commande numérique (PWM) et l'onduleur intégré. Les tests de ce driver ont donc été plus compliqués d'où la différence de résultats observée, notamment pour les temps de descente. De plus, nous n'avons pas pu avoir accès au courant fourni par ce driver ce qui explique l'absence de résultats concernant la variation d'amplitude du courant de sortie en fonction de la température.

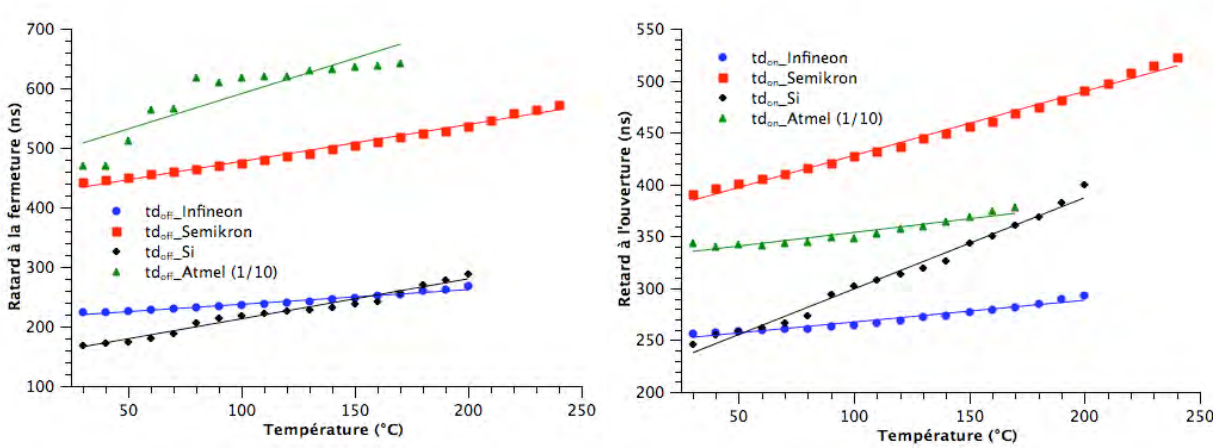
Les temps de montée et de descente augmentent avec la température. Cette variation est de l'ordre de +23% à +25% pour le driver Infineon, et de +30% à +40% pour le driver Semikron entre la température ambiante et 200°C. D'autre part, nous remarquons que la pente des courbes est plus importante pour le driver en technologie Si standard que pour les autres drivers en SOI, ce qui induit une dérive en température plus importante pour la technologie Si.

Le comportement du temps de descente du driver Atmel est opposé à celui des autres drivers. Seule la mesure du courant aurait pu permettre de formuler des hypothèses, comme par exemple l'asservissement de la capacité en courant de l'étage de sortie du driver, en fonction de la température.

La figure 2.29 présente les variations des temps de retard à la commande en fonction de la température.

Comme pour les temps de montée et de descente (figure 2.28), ces temps de retard augmentent avec la température. Nous observons une variation de +20% à +24% pour les drivers Semikron et Infineon entre 25°C et 200°C. Pour le driver en technologie Si standard, l'augmentation est presque deux fois plus importante.

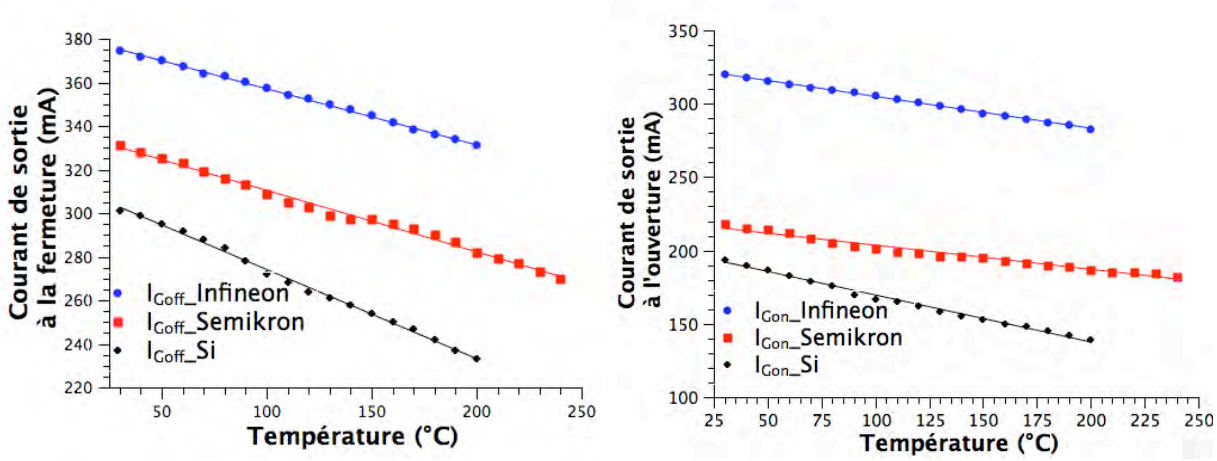
Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés



(a) (b)

FIGURE 2.29 – Tension de sortie : (a) retard à la fermeture, (b) retard à l'ouverture

Pour expliquer la variation de ces paramètres temporels en fonction de la température, il faut regarder l'évolution des courants de sortie. En effet, la figure 2.30 montre que les amplitudes du courant de sortie baissent avec l'augmentation de la température. La baisse du courant disponible implique l'allongement des temps de charge et de décharge de la grille.



(a) (b)

FIGURE 2.30 – Courant de sortie : (a) à la fermeture, (b) à l'ouverture

L'amplitude du courant de sortie des driver SOI varie entre -20% et -28%. Ce phénomène est un des facteurs le plus influant en haute température et doit être pris en considération lors de la conception d'un circuit destiné aux environnement extrêmes.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

	Semikron	Infineon	Standard Si
$\Delta tr/\Delta T°$ (ns/C°)	0.5	0.27	1.18
$\Delta tf/\Delta T°$ (ns/C°)	0.7	0.19	0.96
$\Delta td_{on}/\Delta T°$ (ns/C°)	0.58	0.21	0.91
$\Delta td_{off}/\Delta T°$ (ns/C°)	0.55	0.26	0.7
$\Delta I_{Gon}/\Delta T°$ (mA/C°)	-0.18	-0.22	-0.32
$\Delta I_{Goff}/\Delta T°$ (mA/C°)	-0.27	-0.25	-0.32

TABLE 2.3 – Récapitulatif des principaux résultats

De manière générale, les résultats des tests prouvent la faisabilité d'un driver haute température en technologie SOI (tableau 2.3), hors aspects de vieillissement, mécanismes de défaillance et fiabilité. Mais les dérives dues à la température restent importantes même si elles sont moins prononcées que dans le cas du driver en technologie Si standard. Ces dérives peuvent affecter le fonctionnement du composant de puissance à commander en abaissant sa fréquence de commutation. Finalement, les pertes du composant de puissance seraient alors susceptibles d'augmenter. Sans doute l'impact sur les aspects CEM ne serait pas de nature à simplifier les choses.

Pour réguler les problèmes dus à la haute température, il faut en plus de l'utilisation d'une technologie robuste, envisager des solutions au niveau de la conception. Ainsi, les dérives temporelles peuvent être corrigées au niveau du contrôle du driver. De la même façon, la baisse du courant de sortie peut être compensée en utilisant un étage de sortie constitué de plusieurs transistors MOSFET en parallèle, par exemple. Ces derniers sont déclenchés selon les besoins pour assurer la stabilité du courant de sortie en fonction de la température. Toutes ces améliorations et d'autres innovations sont le coeur de ce travail de thèse.

Remarque : Des drivers fabriqués par l'entreprise belge Cissoid ainsi que par l'entreprise suédoise ROHM ont été testés. Un accord de confidentialité empêche d'évoquer les résultats. Ceux-ci confirment la faisabilité de la technologie CMOS SOI pour la haute température ambiante.

2.5 Conclusion

L'état de l'art des drivers SOI a mis en lumière l'absence actuelle d'un driver intégré combinant une bonne capacité de courant, des fonctions de protections et un fonctionnement en haute température (200°C). Ce chapitre a ainsi permis de détailler l'architecture de

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

notre driver SOI ainsi que les fonctions de protections utiles et nécessaires à son bon fonctionnement en haute température. Le principe de fonctionnement de chaque fonction a été établie, reste à les améliorer et les adapter à un fonctionnement haute température. Le choix de la technologie SOI pour la haute température a été validé par le biais des tests sur les drivers commerciaux.

Le chapitre suivant décrit la conception d'une première puce en CMOS SOI portant des circuits élémentaires à des fins de caractérisations électriques sur la gamme de température [-75°C ; +300°C]. Ce premier run sur les fonctions de base aurait du être notre point de départ au sein du projet COTECH. Mais, les projets FUI SEFORA et CREAM n'ont pas abouti à une contribution dans ce sens. La société IDMOS en charge de cette partie dans SEFORA n'a travaillé que sur des problématiques relevant du forage pétrolier. Au contraire, le projet européen CREAM a permis à la société CISSOID de mettre au point des briques du coeur de driver. Mais, les échanges scientifiques n'ont pas opéré. Nous sommes donc parti de la base et avons développé les architectures pour tous les blocs constituants le driver.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Chapitre 3

Conception et caractérisation du Premier Run

3.1 Présentation de la technologie Smartis-1

Plusieurs industriels mettent en œuvre des technologies SOI pouvant fonctionner à haute température. Citons entre autre, la société Honeywell qui fabrique des dispositifs à base de technologie CMOS SOI 0,8μm fonctionnant à plus de 200°C. En Allemagne, XFAB a qualifié sa technologie CMOS SOI 1μm à 225°C. La société Atmel, propose une série de technologies SOI « Smartis » allant de 0,15μm à 0,8μm et qualifiées jusqu'à 180°C d'ambiante.

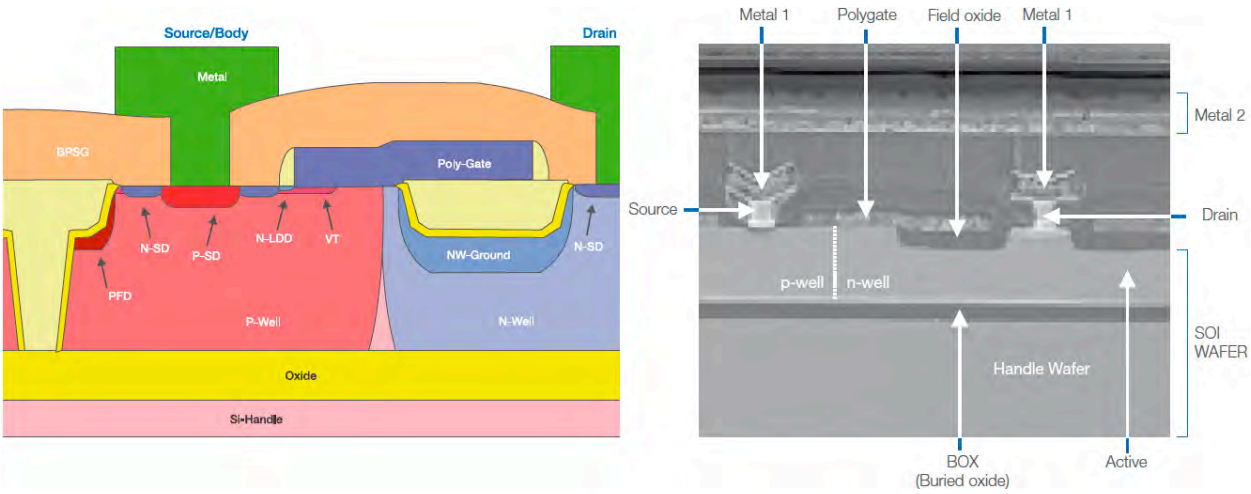


FIGURE 3.1 – Transistor en technologie Smartis-1

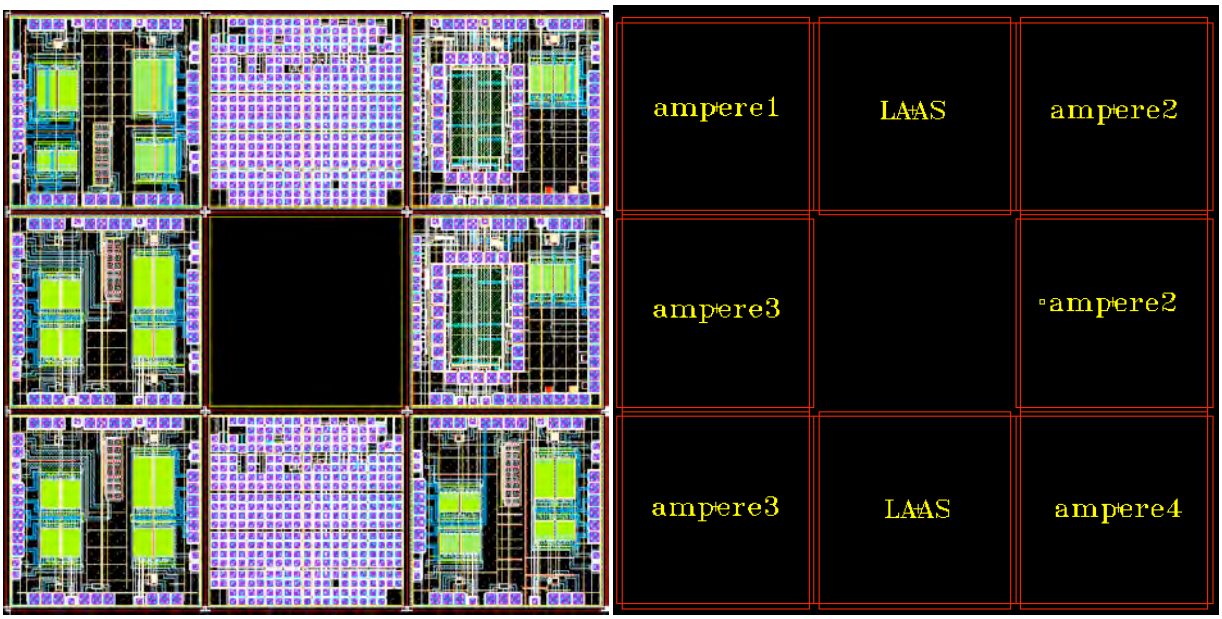
Pour des raisons d'accessibilité à la technologie, notre choix s'est porté sur la « TFSmartis-1 » développée par Atmel.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

La technologie Smartis-1 (Smart-power Integrated Systems) est une technologie 0,8μm BiCMOS (BCD) sur SOI partiellement déplété, avec 3 niveaux de métaux AlSiCu, avec des interconnexions Ti/AlSiCu/TiN (pour la réduction de l'électromigration). A la base de plusieurs dispositifs destinés à l'industrie automobile, la technologie est en cours de qualification pour un intervalle de température de -50°C à 200°C. La figure 3.1 montre un schéma ainsi qu'une coupe d'un transistor MOSFET. Outre les composants CMOS 5V à haute densité, une famille de transistors LDMOS (Double diffused MOS) supportant des tensions de 25V, 45V, 65V et 80V est disponible.

Cette technologie a été spécialement développée pour fournir des composants avec des résistances R_{DSon} réduites et des courants de fuite très faibles. La technologie est accessible par MPW (Multi-Project Wafer) chez le fondeur allemand Telefunken.

Les paragraphes suivants ne décrivent qu'une partie des dispositifs embarqués sur la puce n°1. Celle-ci a été partagée avec le LAAS (Houssam Arbess). Un très grand nombre de dispositifs ont été fabriqués, à travers divers champs pour simplifier leur cartographie et la connexion lors de leur mise en boîtier (figure 3.2). L'annexe A3 regroupe les dispositifs des champs traités par Ampère.



(a) (b)

FIGURE 3.2 – Champs dessinés sur la première puce SOI

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

3.2 Conception et test de l'étage de sortie

L'objectif de ce premier Run est clairement une prise en main et une évaluation de la technologie Smartis-1 à haute température. Ainsi, seuls les blocs élémentaires composant le driver sont concernés. Nous testerons aussi quelques éléments de la bibliothèque fournis avec le design kit (DK). Ce premier Run sera aussi l'occasion de confronter l'exactitude des informations données dans le DK (Design Rule Manual) et de jauger la pertinence des modèles utilisés durant la simulation.

Un intérêt particulier est porté au dimensionnement des étages de sortie ainsi qu'aux *buffers* permettant leurs commandes et cela pour différentes configurations. En effet, cette partie, considérée comme le cœur du driver, est certainement la plus touchée par les effets de la température de part sa taille d'une part (presque 80% de la surface de la puce), et des forts courants qu'elle génère d'autre part. Certaines fonctions dont le développement nécessite une connaissance du comportement de la technologie en haute température, ne sont pas étudiées dans ce premier Run.

Pour permettre la commutation rapide du JFET, il est nécessaire de fournir un pic de courant au niveau de sa grille. Comme détaillé au paragraphe 2.2.1, l'étage de sortie est constitué de deux transistors montés selon une architecture *PushPull* ou *Totempole*. Ce fonctionnement conditionne le choix des MOSFET qui doivent être capables de fournir ce courant (R_{DSon} le plus faible possible), mais également l'architecture des étages de sortie.

Le composant SiC-JFET à piloter ayant une tension de blocage qui varie entre -27V et -15V selon les versions, deux types d'étages de sortie ont été prévus : un étage dimensionné à 45V et un autre à 25V. Un grand intérêt est porté à la partie 45V dans le dimensionnement et les simulations. La partie 25V s'inspire quant à elle, très largement de l'étage sous 45V.

La première étape est donc le choix judicieux des transistors PMOS et NMOS, leur conception et leur caractérisation. Quatre différents *layouts* de transistor N-LDMOS 45V sont présents dans la librairie du DK. La valeur de la résistance passante R_{DSon}, est de 14,7 kΩ.μm pour les quatre transistors. Cette résistance est donnée pour une tension V_{GS}=5V, valeur maximale de travail. Grâce à des simulations DC de ces transistors en régime saturé, les coefficients de conduction K de chacun ont pu être déterminés. Le coefficient de conduction est calculé en relevant le courant Ids_i correspondant à une tension grille source Vgs_i de travail et en utilisant la relation K= μC W/2L où μ est la mobilité sous faible champ des porteurs (majoritaires), C la capacité surfacique de grille, W la largeur du dispositif et L sa longueur électrique de grille. La même démarche a été adoptée pour les transistors P-LDMOS 45V, N-LDMOS et P-LDMOS 25V.

Ces simulations nous ont conduit à choisir les transistors N-LDMOS **MNEMH1** (Kn=7.45 10^{-2} mA/V^2) et P-LDMOS **MPEMH6** (Kp=3 10^{-2} mA/V^2) car leur dessin géométrique correspond à celui mis en avant dans l'état de l'art et que leur transconductance respective est une des plus élevée dans la liste des dispositifs disponibles.

Les étages de sorties composés de ces transistors sont au nombre de quatre : deux configurations *Totempole* et *PushPull* avec des MOS 45V, et deux autres configurations avec les

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

MOS 25V. Le dimensionnement des étages de sortie est basé sur différentes simulations :

– en statique pour évaluer la résistance passante R_{DSon} des transistors à température ambiante et à 200°C. Un exemple de ces simulations est donné en figure 3.3. On constate la chute de la valeur de la transconductance ainsi que l'impact de l'auto-échauffement.

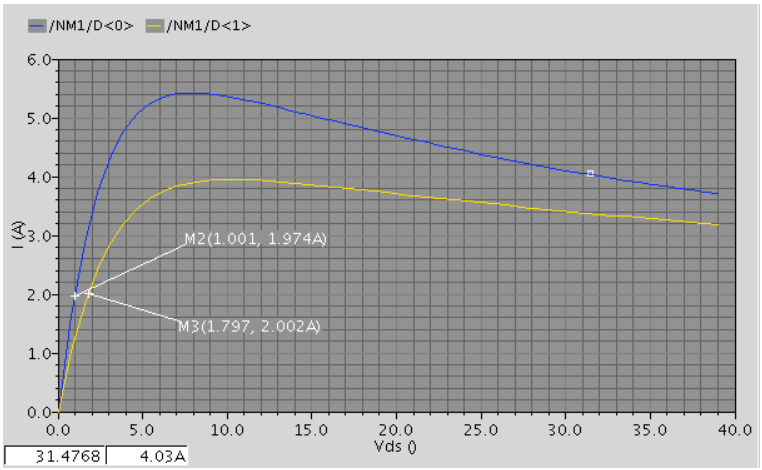


FIGURE 3.3 – Caractéristique statique Ids(Vds) à 25°C et à 200°C

– en dynamique, avec un circuit RC comme charge, pour valider les différents temps de montée, de descente et les temps morts. Un exemple de ces simulations est donné en figure 3.4

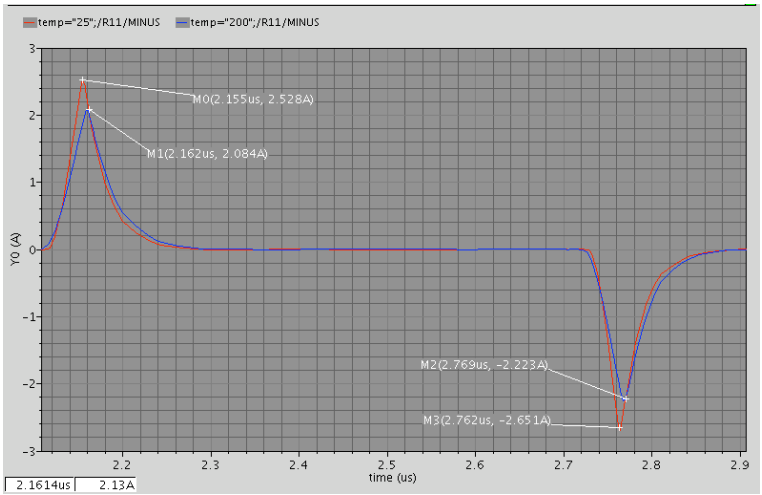


FIGURE 3.4 – Courant Iout typique d'un étage PN à 25°C et à 200°C

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

3.2.1 Les transistors de l'étage de sortie

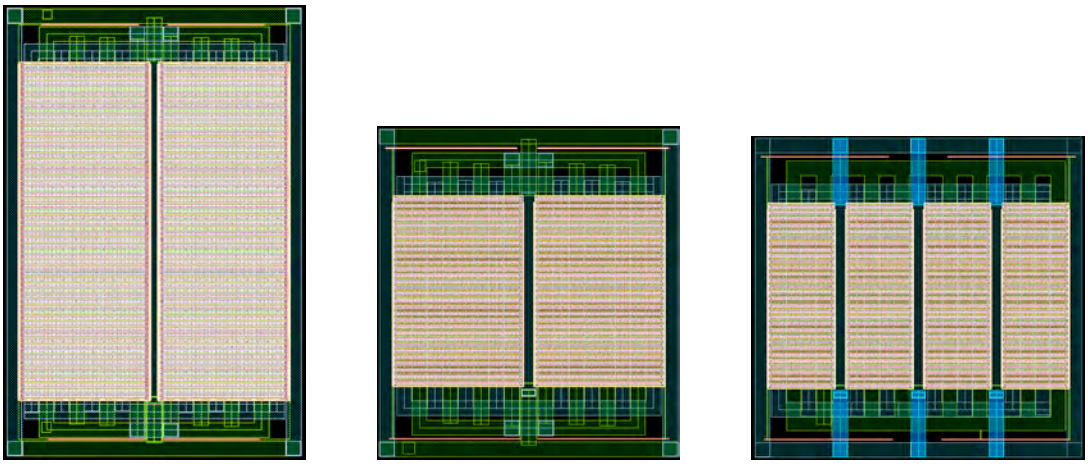
3.2.1.1 Conception

L'objectif de ces simulations est de trouver un compromis entre une valeur acceptable de la résistance à l'état passant et une taille du transistor qui ne doit pas être excessive pour limiter sa capacité effective de grille. Ainsi, les simulations dynamiques montrent que pour avoir un courant de sortie pic de 2A à 200°C, le transistor de sortie doit avoir une R_{DSon} inférieure 0.5Ω à température ambiante.

Pour le transistor N-LDMOS MNEMH1, la longueur du canal L étant fixe (1.6μm), il faut un W_{NMOS} de l'ordre de 30000μm. Notons que le P-LDMOS MPEMH6 a généralement un R_{DSon} deux à trois fois supérieur au NMOS, ce qui se traduit ici par un transistor de largeur plus importante que le NMOS. Finalement et pour prendre en compte les résistances parasites (Via, Pistes métalliques...) présentes dans le *Layout*, les dimensions suivantes ont été retenues après simulation :

$$W_{NMOS} = 36000\mu m$$
$$W_{PMOS} = 72000\mu m$$

Il n'est pas raisonnable de dessiner ces transistors en seul dispositif pour éviter des prises d'accès trop résistives aux caissons (*bulk*) des transistors. Ainsi, chacun des transistors conçus est constitué de deux MOS de même taille, mis en parallèle. Une structure supplémentaire du $NMOS_{45V}$ est réalisée avec quatre cellules en parallèle au lieu de deux. Ce MOS segmenté appelé $NMOS_{45V_Seg}$ permettra de comprendre l'influence du *layout* sur les propriétés du transistor (figure 3.5).



(a) $PMOS_{45V}$ (b) $NMOS_{45V}$ (c) $NMOS_{45V_Seg}$

FIGURE 3.5 – Premiers *layouts* des transistors MOSFET ($L = 1.6\mu m$)

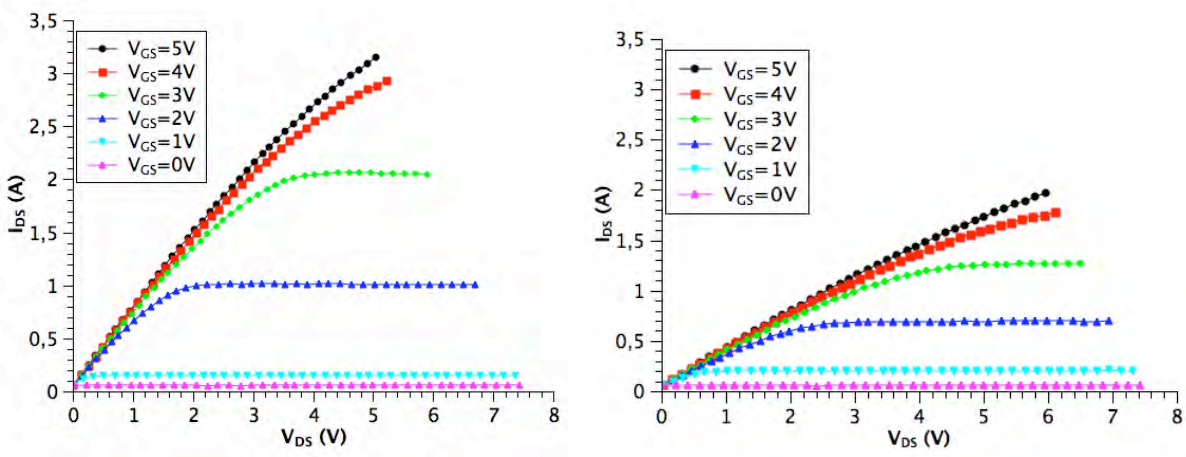
Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Remarque : dans le cas d'un inverseur PMOS-NMOS, utilisé en commutation, le dimensionnement des transistors s'effectue au point d'égalité des pertes par commutation et par conduction. C'est le résultat repris ci-avant mais expliqué plus loin avec le paragraphe concernant l'étage de sortie.

3.2.1.2 Tests

La caractérisation statique I(V) de ces transistors est réalisée grâce au traceur TEK370 en mode impulsionnel. Ces relevés sont réalisés sur un intervalle de température de 25°C à 250°C.

Nous remarquons, dans un premier temps, que la valeur de la résistance R_{DSon} mesurée à température ambiante, est plus grande que celle prévue par la simulation. Les tests expérimentaux mettent en avant une résistance passante de 1,3Ω pour les transistors NMOS et 1,9Ω pour les PMOS, soit respectivement 2,6 et 3,8 fois la valeur de la résistance simulée (0,5Ω). Une hypothèse expliquant cet écart considérable, réside dans le *layout* des MOS. En effet, l'introduction de via et de pistes métalliques lors de la conception engendrent des résistances parasites qui peuvent être très importantes. Le seul moyen de les réduire (en simulation) est d'utiliser un outil d'extraction pour identifier leur emplacement et essayer de les minimiser. Cette fonction d'extraction liée au logiciel (Assura) n'était pas au point lors de ce premier Run.



(a) 25°C (b) 250°C

FIGURE 3.6 – Caractéristique statique du transistor NMOS 45V à température ambiante et à 250°C

Au-delà de cette résistance passante sous-estimée en simulation, le comportement réel global des différents paramètres des transistors en fonction de la température est le point clef de ce premier run pour la compréhension des phénomènes liés à la température et la

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

mise en place de règles adéquates de design. Une large réduction du courant de saturation est constatée entre le test effectué à température ambiante et celui effectué à 250°C (figure 3.6). Celle-ci correspond à l'augmentation de la résistivité du canal R_{DSon} en fonction de la température. Il s'agit donc de caractériser cette résistance pour les différents MOS et de visualiser l'influence de la température sur la valeur de cette résistance. Un banc de test semblable à celui développé pour la caractérisation des drivers commerciaux a été mis en place. Les transistors ont été montés sur un PCB haute température fabriqué par ProDesign en polyamide 85N et une soufflerie d'air chaud assure la montée en température. La figure 3.7 montre l'évolution du R_{DSon} pour les transistors $PMOS_{25V}$, $NMOS_{25V}$, $PMOS_{45V}$, $NMOS_{45V}$ et $NMOS_{45V_Seg}$.

Nous avons relevé un écart important, de l'ordre de 1 Ω, entre la résistance des transistors N et celle des transistors P. Signalons que la largeur des PMOS est deux fois plus importante que pour les NMOS. Ces tests montrent que cette règle ne suffit pas pour avoir une résistance du même ordre. Pour diminuer cette valeur de résistance passante, les transistors devront être de tailles plus importantes.

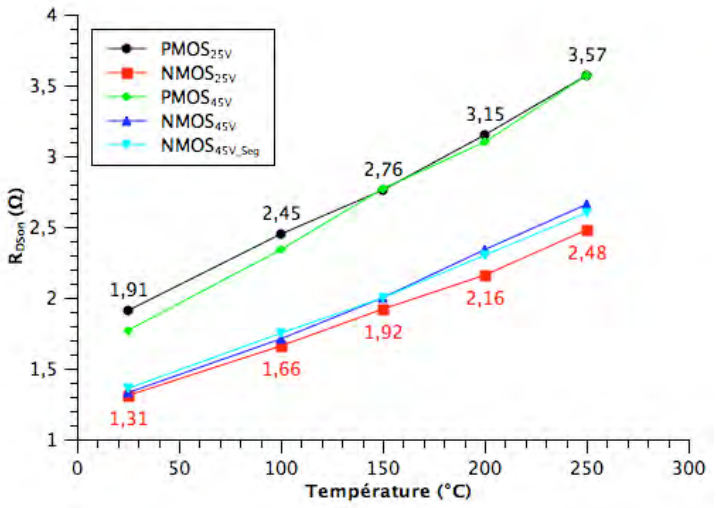


FIGURE 3.7 – Résistance R_{DSon} pour les différents transistors dessinés

En ce qui concerne la dérive en température de ces résistances, nous avons relevé des différences de comportement entre les PMOS et les NMOS (figure 3.7). En effet, l'augmentation de la résistance des PMOS entre 25°C et 250°C est de 1,7 Ω ; et elle n'est que de 1,2 Ω pour les NMOS. L'augmentation de la résistance passante avec la température reste importante puisque cette dernière double de valeur entre l'ambiante et la haute température (200°C). Cette variation est à l'origine de la diminution du courant de sortie du driver qui peut s'avérer insuffisant pour piloter correctement les transistors JFETs. Mais, cette résistance influe aussi sur les pertes du driver. Notons aussi que le transistor segmenté $NMOS_{45V_Seg}$ est légèrement moins sensible à la température que le transistor $NMOS_{45V}$, l'augmentation de sa résistance étant moins importante.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Ainsi, et dans la perspective d'un second run, une attention particulière sera portée à ces transistors. Nous proposerons deux tailles fixes de l'étage de sortie et une taille dite reconfigurable avec la température pour palier à ces variations.

3.2.2 Conception et tests des Buffers

Les transistors constituant l'étage de sortie ayant des dimensions importantes, leur capacité effective de grille équivalente est importante. Il est alors nécessaire de fournir de fort courants pour charger rapidement cette capacité, assurant ainsi une commutation rapide des transistors. La notion de *buffer* pour commander les transistors de l'étage de sortie est classique (figure 3.8), et a été présentée au paragraphe 2.2.1.

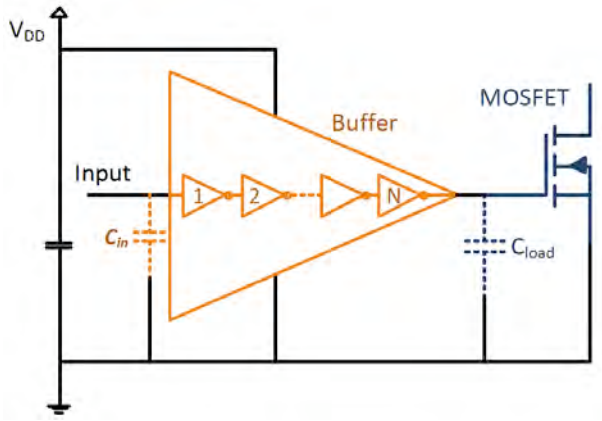


FIGURE 3.8 – Schéma du *buffer* commandant les transistors de l'étage de sortie

Les *buffers* sont généralement constitués d'une série d'inverseurs avec un rapport largeur/longueur (W/L) croissant. Classiquement, pour un *buffer* à base de N inverseurs (figure 3.9) de capacité d'entrée C_i en série, et devant commander un transistor de capacité équivalente C_{load}, la taille de ces inverseurs augmente par un coefficient A donné par :

$$A = \frac{\frac{W_{i+1}}{L_{i+1}}}{\frac{W_i}{L_i}}$$

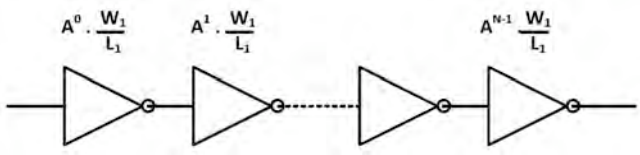


FIGURE 3.9 – Notation au sein des étages d'un *buffer* où i varie de 0 à N-1.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Le dimensionnement des *buffers* consiste donc à fixer ce gain A. Idéalement, ce coefficient est déterminé de telle sorte que l'équation suivante soit vérifiée :

$$A = \left[\frac{C_{load}}{C_{in}}\right]^{\frac{1}{N}}$$

En dérivant le temps de propagation total par rapport à ce coefficient A, on trouve que le minimum de temps de propagation est obtenue pour un coefficient :

$$A = e = 2.718$$

Dans notre cas, cette valeur n'est pas la plus adéquate pour dimensionner le *buffer*. En effet, cela nécessiterait un nombre d'étages très important, ce qui augmenterait les résistances et capacités parasites entre deux inverseurs. En pratique, la valeur de ce coefficient A est choisie assez grande pour réduire le nombre d'étages constituant le *buffer*. Une fois le gain A connu, on peut déterminer le nombre d'inverseurs nécessaires et vis versa. Différents *buffers* sont alors dimensionnés afin d'évaluer leurs performances.

Détaillons l'exemple d'un *buffer* constitué de quatre étages d'inverseurs (N=4), et décliné en deux versions : Buffer$_{P8}$ pour contrôler le PMOS et Buffer$_{N8}$ pour le contrôle du NMOS de sortie. Pour le Buffer$_{P8}$ le calcul donne une valeur A= 6,88. Nous avons choisi d'arrondir cette valeur à 8. L'idée est de considérer que les dimensions de chaque inverseur sont multipliées par un coefficient A=8, par rapport à celui qui le précède :

$$A = \left[\frac{\frac{W_{load}}{L_{load}}}{\frac{W_{in}}{L_{in}}}\right]^{\frac{1}{N}}$$

Nous avons, dans un premier temps, déterminé les largeurs des PMOS (Wp) des inverseurs puis déduit les largeurs des NMOS Wn (Wp≈3.Wn). Ainsi, pour le PMOS de sortie présentant une taille 72000μm/1.6μm, on trouve pour l'inverseur qui le commande un rapport Wp$_3$/Lp$_3$ de 4500μm/0.8μm, ce qui mène aux autres dimensions (tableau 3.1).

***Buffer*$_{P8}$**	**Wp$_i$/Lp$_i$**	**Wn$_i$/Ln$_i$**
Etage 3	4500/0.8	1500/0.8
Etage 2	564/0.8	188/0.8
Etage 1	72/0.8	24/0.8
Etage 0	9/0.8	5/0.8

TABLE 3.1 – Dimension des étages du Buffer$_{P8}$

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Pour le NMOS de sortie, les dimensions sont regroupées au sein du tableau 3.2.

***Buffer*$_{N8}$**	**Wp_i/Lp_i**	**Wn_i/Ln_i**
Etage 3	3000/0.8	1000/0.8
Etage 2	375/0.8	125/0.8
Etage 1	48/0.8	16/0.8
Etage 0	8/0.8	3/0.8

TABLE 3.2 – Dimension des étages du Buffer$_{N8}$

Pour tester ce *buffer* ainsi que les quatre autres conçus (voir Annexe A4), nous avons utilisé une charge capacitive de 200pF, pour pouvoir comparer leurs performances. Cette valeur correspond à la capacité C_{GS} du transistor PMOS de sortie dimensionné auparavant. Les paramètres relevés sont les temps de montée et de descente de la tension de sortie, et les retards à la commande au turn-on et au turn-off (figure 3.10).

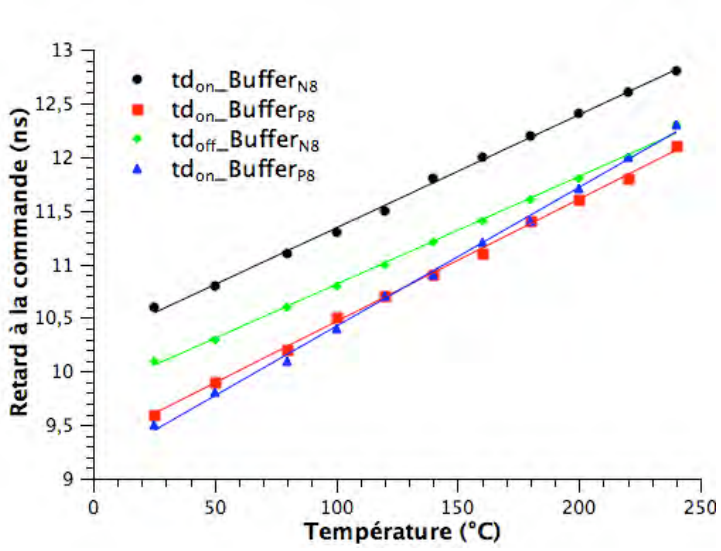


FIGURE 3.10 – Retard entre la tension de sortie et la commande du *buffer*

Le retard entre la tension d'entrée et la tension de sortie des deux *buffers* (Buffer$_{P8}$ et Buffer$_{N8}$) est de l'ordre d'une dizaine de nanoseconde à l'ambiante (figure 3.10). Sur la plage de température 20°C à 250°C, ce temps augmente linéairement d'à peine 2ns avec la température.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

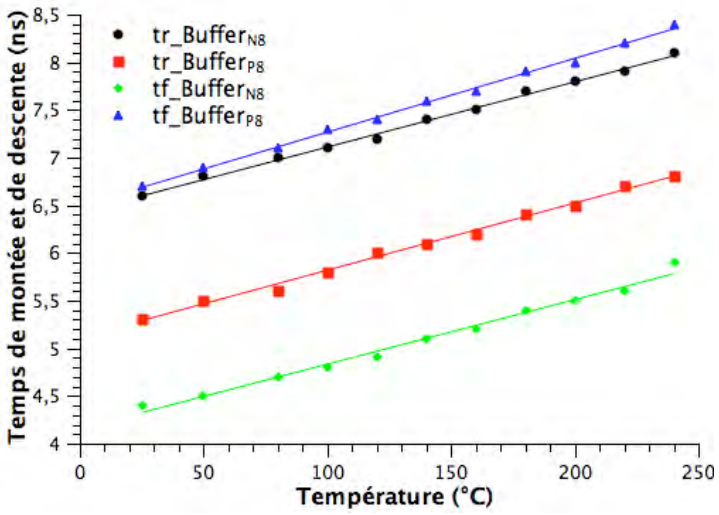


FIGURE 3.11 – Temps de montée et de descente de la tension de sortie

Les tensions de sortie des *buffers* ont un temps de montée et de descente qui varient entre 4,4 ns et 6,8 ns à température ambiante (figure 3.11). L'évolution de ces temps est linéaire en fonction de la température. La commutation reste très rapide puisque même à 240°C les temps des turn-on et des turn-off ne dépassent pas 8,5ns.

Nous avons présenté ici le dimensionnement et la caractérisation des *buffers* retenus pour le contrôle des étages de sortie Buffer$_{P8}$ et Buffer$_{N8}$. D'autres *buffers* ont été conçus avec un nombre d'étage N différents et/ou avec des coefficients A variables. L'intérêt fut de comparer leurs performances dans une application haute température. Les deux *buffers* traités ci-dessus présentent les meilleures performances en terme de tenue en température. Mais de manière générale, les autres *buffers* conçus ont des performances similaires à 1 ou 2 ns près.

Conclusion : Les caractérisations sur une charge capacitive montrent de bonnes performances des buffers conçus en terme de vitesse de commutation et de tenue en température. En effet, les temps de commutations sont de l'ordre de la dizaine de nanoseconde de 25°C à 240°C, ce qui ne constitue pas une limitation pour notre application.

3.2.3 Test des étages de transistors de sortie.

La caractérisation statique des transistors PMOS a montré que malgré leur taille deux fois supérieure à celle des transistors NMOS, leur résistance à l'état passant R_{DSon} reste plus importante. Dans ce qui suit, nous présentons la caractérisation de ces transistors en commutation pour valider le fonctionnement de l'étage de sortie. Les deux configurations des étages de sortie sont testées (*Totempole* et *PushPull*). La figure 3.12 illustre le dispositif de test de la configuration *PushPull*.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

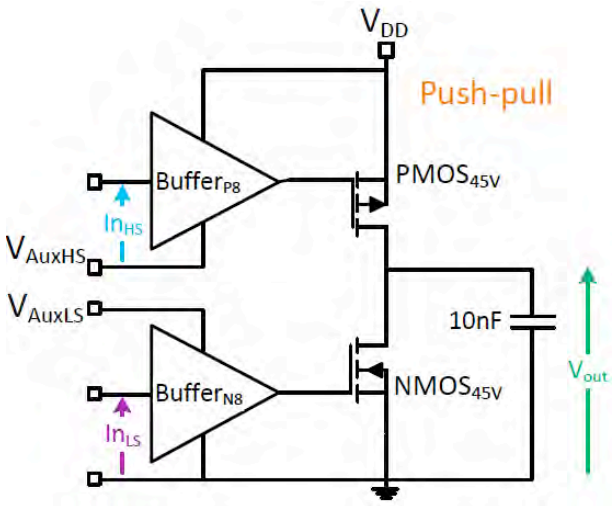


FIGURE 3.12 – Configuration PushPull

Les tests se font sur une charge capacitive de 10nF, simulant une grille de JFET associée à sa capacité de protection de quelques nF (capacité d'amortissement des dV/dt). Les *buffers* Buffer$_{P8}$ et Buffer$_{N8}$ dimensionnés et caractérisés, sont utilisés pour contrôler les transistors NMOS$_{45V}$ et PMOS$_{45V}$. Les tensions d'alimentation ainsi que les signaux de contrôle sont générés par une carte externe qui fournie une tension (V$_{DD}$) de 20V. Les tensions d'alimentation des *buffers* ne pouvant pas dépasser 5V (tension nominale des grilles des transistors), les niveaux des tensions auxiliaires basse (V$_{AuxLS}$) et haute (V$_{AuxHS}$) sont respectivement fixées à 5V et 15V.



FIGURE 3.13 – Relevé des tensions de commande et de sortie

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

La figure 3.13 montre le relevé des tensions de commande In_{HS} et In_{LS} ainsi que la tension de sortie V_{out} à température ambiante. Un temps mort de 2μs est mis en place entre les deux tensions In_{HS} et In_{LS}. Ce temps mort est exagéré mais n'influence pas le test. In_{HS} contrôle la mise au potentiel V_{DD} par l'intermédiaire du PMOS, et In_{LS} contrôle le NMOS du bas pour la mise à la masse.

L'étage de sortie *PushPull* assure bien le passage de la tension Vout de 0V à -20V avec des temps de montée et de descente très brefs. Les oscillations sont dues principalement au design du PCB non optimisé.

Le comportement de cet étage de sortie est étudié en température entre 25°C et 280°C. La figure 3.14 trace l'évolution des temps de montée (tr) et de descente (tf) de la tension V_{out} en fonction de la température.

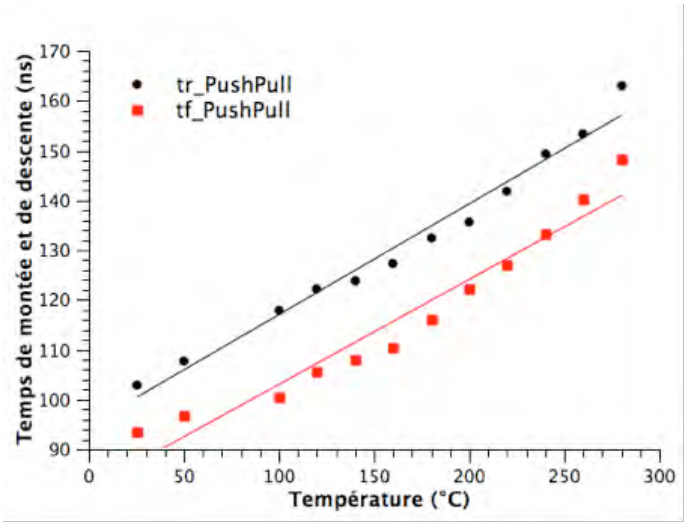


FIGURE 3.14 – Temps de montée et de descente de la tension de sortie

Le temps de descente t_f de la tension V_{out} augmente quasi-linéairement avec la température, de presque 20ns par palier de 100°C. Le temps de montée t_r suit la même évolution mais avec un décalage de 10ns par rapport au temps de descente. Cet écart se justifie par la différence de résistance passante entre le PMOS et le NMOS relevée dans le paragraphe précédent. A 200°C, le temps de montée est de 134ns et celui de descente de 120ns, ce qui ne constitue pas un résultat bloquant car la charge capacitive de 10nF utilisée pour ces tests est plus grande que ne sera la capacité réelle du JFET SiC et les différents temps sont liés à la taille de l'inverseur (courant pic).

Un autre point qualifiant le comportement de cet étage de sortie est le retard entre la tension de sortie et la commande du *buffer*, aussi appelé retard à la commande de l'étage de sortie (figure 3.15). Ce temps est induit à la fois par les transistors de sortie et par les *buffers* qui les contrôlent. Ce retard doit rester raisonnable. Nous avons relevé ces temps de retards sur un intervalle de température de 25°C à 280°C.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

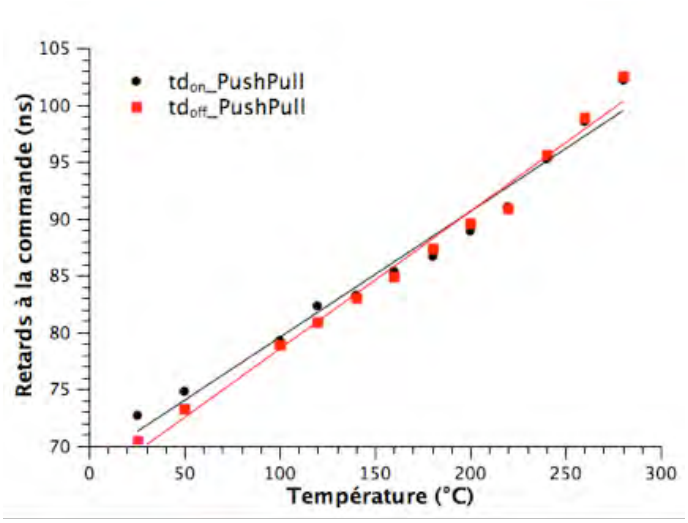


FIGURE 3.15 – Retard entre la tension de sortie et la commande du *buffer*

Les retard à la commande varient linéairement entre 70ns à 25°C et 104ns à 280°C, ordre de grandeur qui semble tout à fait correct comparé aux drivers commerciaux testés (entre 170ns et 650ns, figure 2.29). Le retard à l'ouverture td_{on} et celui à la fermeture td_{off} ont des valeurs très similaires : 72ns à température ambiante et 89ns à 200°C. Une augmentation de l'ordre de 10ns par tranche de 100°C est relevée.

Notons que la limite haute de température dans de test (ici 280°C) est uniquement liée à la possibilité de l'appareillage (soufflerie d'air chaud) notamment à cause de la taille de la carte testée.

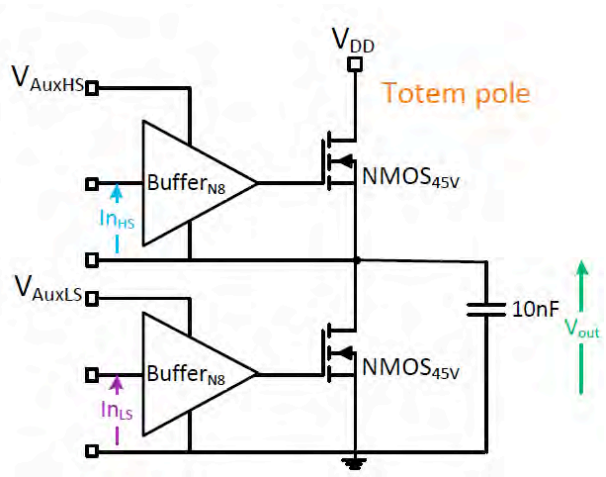


FIGURE 3.16 – Configuration Totempole

La même démarche de test a été mise en place pour la configuration *Totempole* de l'étage de sortie (figure 3.16). La limite maximale de température pour ce test est de 260°C.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

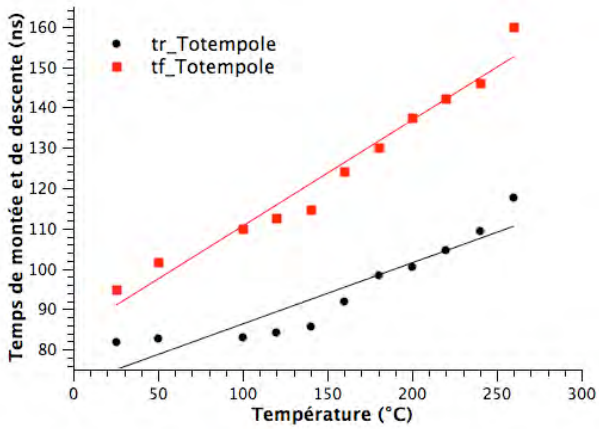


FIGURE 3.17 – Temps de montée et de descente de la tension de sortie (Totempole)

En effet, nous avons constaté une perte du signal de sortie V_{out} au-delà de 260°C. Des tests supplémentaires sont en cours pour identifier la source de cette limitation. Par ailleurs, cette caractérisation a mis en lumière le comportement quasi-équivalent de ces deux configurations. Les valeurs ainsi que les dérives en température des temps de commutation et des retards à la commande relevés (figures 3.17 et 3.18) sont du même ordre de grandeur que ceux de la configuration *PushPull*. Toutefois, ce circuit *Totempole* a besoin d'une capacité et d'une diode *Bootstrap* nécessaire à son fonctionnement. Cette capacité de grande valeur ne peut être intégrée car elle occuperait une surface silicium trop importante au sein du driver. Nous avons donc favorisé l'architecture *PushPull* pour la conception de nos drivers.

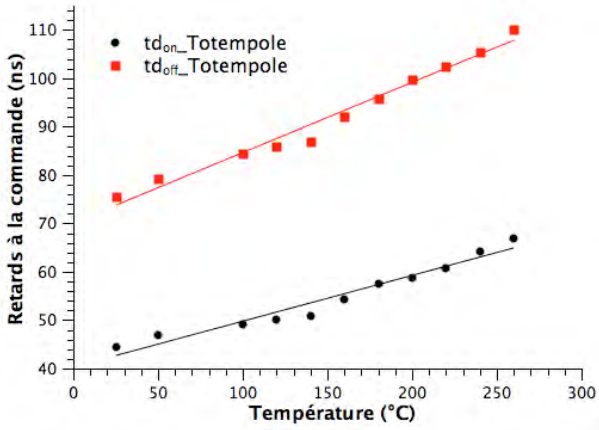


FIGURE 3.18 – Retard entre la tension de sortie et la commande du *buffer* (Totempole)

Pour les deux étages de sortie, les dérives des temps de commutation en fonction de la température peuvent être assez importantes, jusqu'à 50% entre 25°C et 280°C. Cette aug-

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

mentation peut engendrer la disparition du temps mort t_{mort} et ainsi provoquer un court-circuit sur l'étage de sortie à moins de dimensionner le temps mort en conséquence, ce qui pénalisera le fonctionnement à basse température.

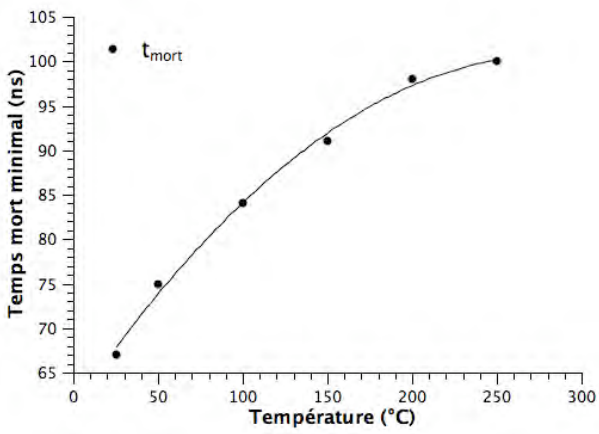


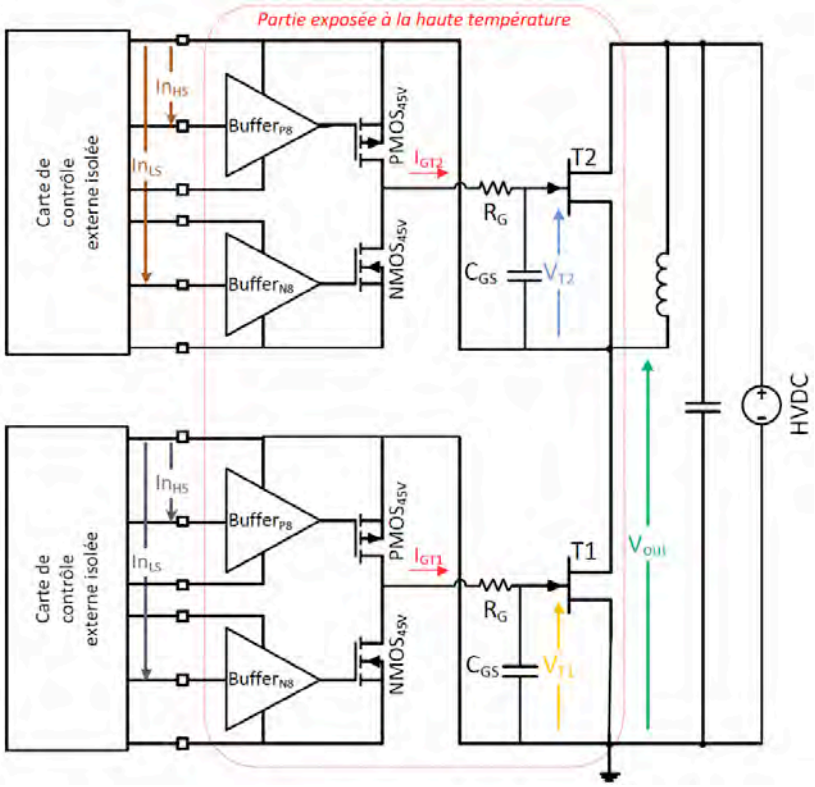
FIGURE 3.19 – Temps mort minimal en fonction de la température

La figure 3.19 présente la valeur du temps-mort minimal à considérer en fonction de la température. Ces valeurs sont issues de nos mesures sur la configuration *PushPull*. Elles seront utilisées dans le premier run pour le test des drivers sur bras d'onduleur et dans le second run pour définir un temps mort permettant de sécuriser le fonctionnement du driver. Un mécanisme d'ajustement dynamique permettra de satisfaire la contrainte entre sécurité contre les court-circuits et précision sur les rapports cycliques dans le bras d'onduleur.

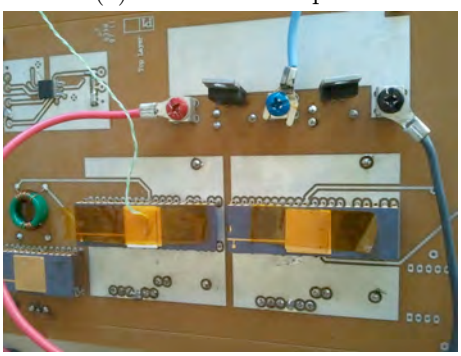
Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

3.2.4 Test sur bras d'onduleur

Les premiers tests du Run1 présentés auparavant ont montré de bons résultats en température pour la commande rapide d'un transistor JFET. Ceci nous permet d'envisager la caractérisation in situ de l'étage de sortie, c'est-à-dire la commande d'un bras d'onduleur à base de JFET. Le schématique suivant décrit le module conçu pour ce test.



(a) Schéma électrique



(b) Carte de test

FIGURE 3.20 – Test du driver sur un bras d'onduleur à base de JFET SiC

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

La partie soumise à la haute température englobe deux transistors JFET SiC de chez SICED, l'étage de sortie *PushPull* et les *buffers* associés. Tous ces composants sont placés sur un PCB haute température en polyamide 85N. Une soufflerie d'air chaud assure toujours une montée régulée en température.

Dans ce test, deux cartes externes fournissent des tensions isolées d'alimentation et de contrôle. Une carte FPGA gère la mise en forme des tensions de commande (figure 3.21). La gestion des temps morts entre les MOSFET de chaque étage de sortie est déduite du temps mort entre les JFET T1 et T2 du bras d'onduleur (présenté figure 3.19).

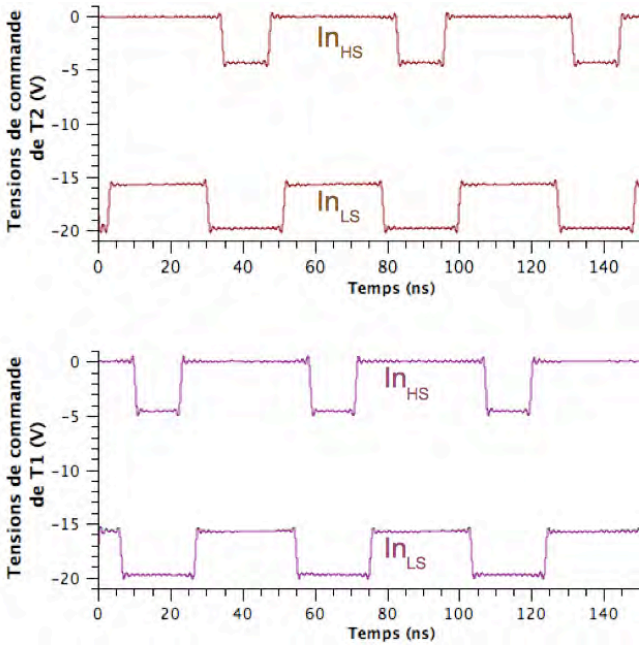


FIGURE 3.21 – Signaux de contrôle

La tension de seuil des JFETs T1 et T2 est de l'ordre de -20V. Un circuit RC est introduit entre chaque étage de sortie et le JFET qu'il commande (figure 3.20). Le but est de baisser la vitesse de commutation des JFETs pour éviter les perturbations dues au dV/dt. La valeur de la résistance de Grille R_G varie habituellement entre quelques ohms et la dizaine de ohms. De même, la capacité C_{GS} est de quelques nanofarads.

Le choix de la valeur de ce circuit RC dépend des JFETs ainsi que de la fréquence de fonctionnement souhaitée. Nous avons choisi une résistance R_G de 10 Ω, une capacité C_{GS} de 4,7nF (valeurs issues des études du projet SEFORA).

La figure 3.22 trace les courants et les tensions de grille des deux transistors T1 et T2 du bras d'onduleur. Les paramètres relevés pour ce test sont les temps de montée et de descente des tensions V_{T1} et V_{T2} en fonction de la température. Les transistors T1 et T2 sont bien en conduction en accord avec les signaux de contrôle (figure 3.21). Les valeurs des tensions et courants de sorties sont conformes.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

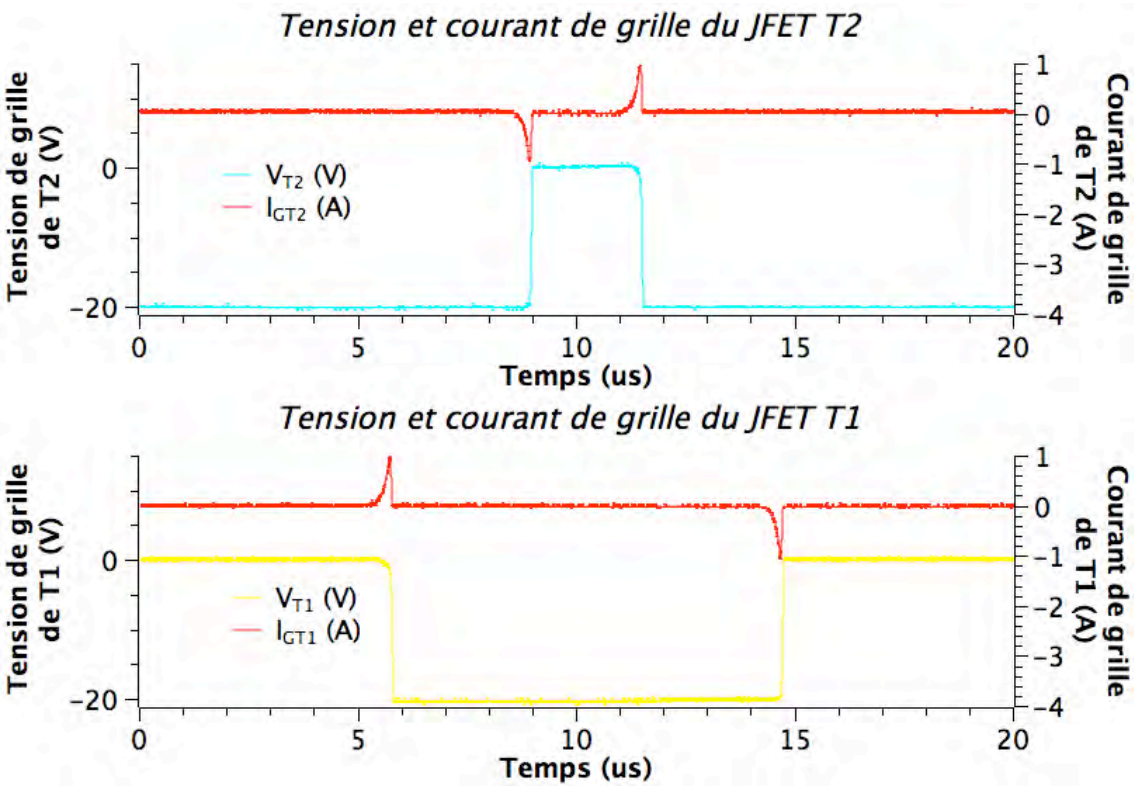


FIGURE 3.22 – Tensions et courants de grille des deux transistors

Finalement, le bras d'onduleur JFET est alimenté par une tension HVDC de 200V et sa sortie alimente une charge inductive de quelque mH. Le relevé des tensions de sortie à température ambiante est présenté sur la figure 3.23. La tension de sortie du bras d'onduleur opère bien une variation entre 0V et 200V. Toutefois, le comportement global en fonctionnement du bras d'onduleur (figure 3.23) met en évidence que lors de l'ouverture d'un des deux JFET, la grille de l'autre subie des perturbations, mais sans aller jusqu'à sa mise en conduction.

Ce phénomène non destructif peut être réduit si nécessaire en augmentant la valeur de la capacité grille-source C_{GS} de 4,7nF à 10nF. Il est évident que le routage de la carte de test n'est pas optimal vis-à-vis de ces perturbations de commutation (figure 3.20).

Le fonctionnement à température ambiante étant validé, la vitesse de commutation des JFET ainsi que les retards de la commande à l'ouverture et à la fermeture sont relevés sur la plage [25°C ; 200°C]. Les résultats sont présentés sur les figures 3.24 à 3.26.

Les drivers pilotant ces deux transistors, bien que de même architecture, n'induisent pas des comportements parfaitement identiques pour les tensions de grille V_{T1} et V_{T2}. Les tendances et ordres de grandeurs sont certes similaires. Cette différence peut provenir du routage sur la carte PCB et des signaux de commande.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

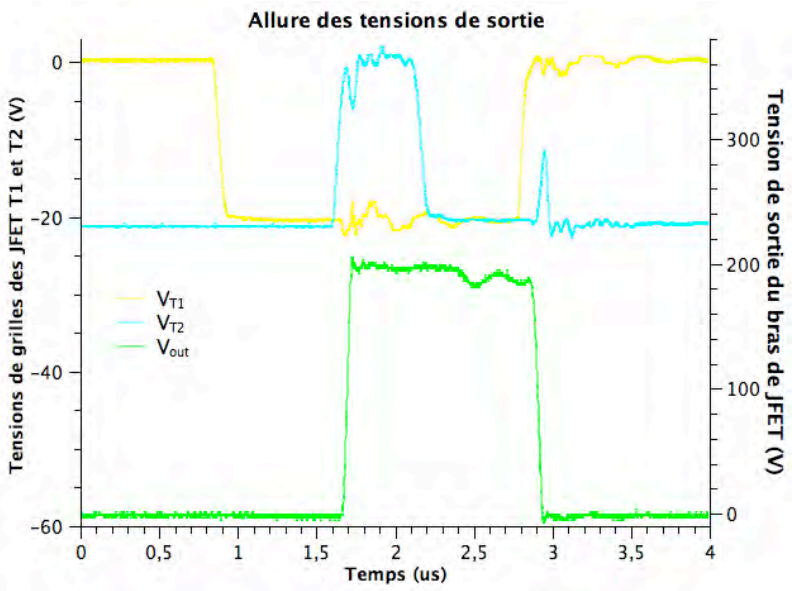
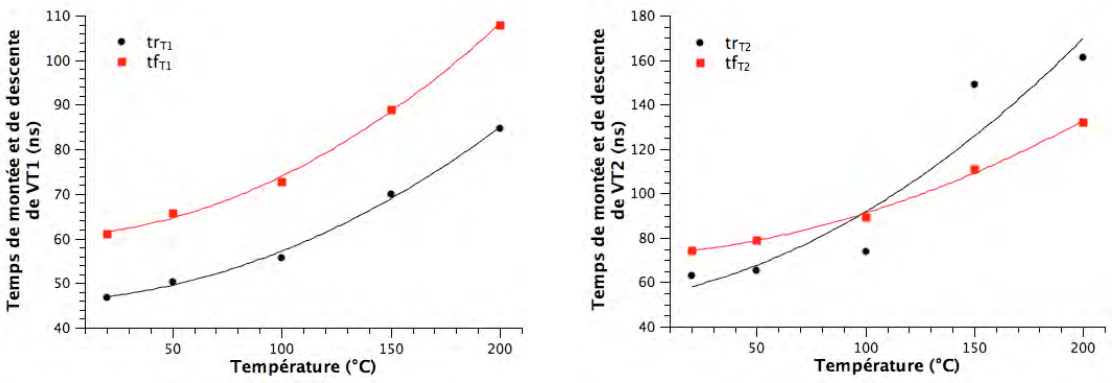


FIGURE 3.23 – Tensions de grille des deux transistors et tension de sortie V_{out}

Le temps de montée de V_{T1} (tr_{T1}) passe de 47ns à 20°C à 84ns à 200°C ; et le temps de descente de V_{T1} (tf_{T1}) évolue entre 61ns à l'ambiante et 110ns à haute température (200°C).



(a) JFET T1 (b) JFET T2

FIGURE 3.24 – Temps de montée et de descente des signaux de grille

Pour le second transistor T2 en haut du pont, ces temps sont légérement plus élevés. Le temps de montée (tr_{T2}) passe de 64ns à 160ns, et celui de descente (tf_{T2}) de 75ns à 128ns pour des températures respectives de 20°C et 200°C.

Ces augmentations sont non négligeables (valeurs doublées) et sont la conséquence directe de l'augmentation de la résistance passante des étages de sortie du driver en fonction de la température. En effet, une résistance passante plus grande induit un courant de sortie

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

plus faible et donc un temps plus important pour charger les capacités de grille C_{GS} des deux transistors JFET SiC. Toutefois, ces temps respectent le cahier des charges objectif (tableau 1.7) qui stipulait des valeurs inférieures à 200ns à 200°C.

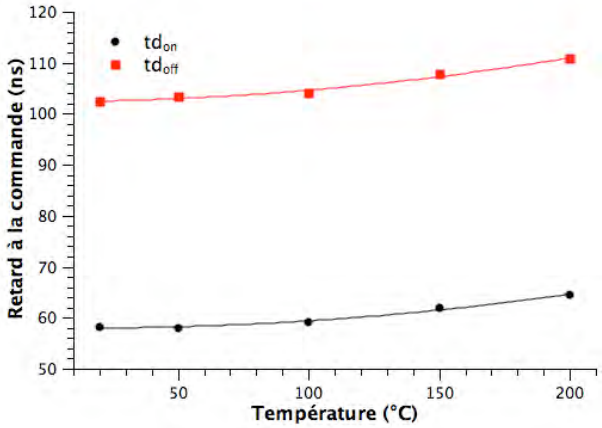


FIGURE 3.25 – Retard à la commande en fonction de la température

Le retard à la commande augmente peu et de manière linéaire avec la température. Le retard à l'ouverture passe de 58ns à 20°C à 64ns à 200°C et celui à la fermeture évolue de 102ns à l'ambiante à 110ns à haute température.

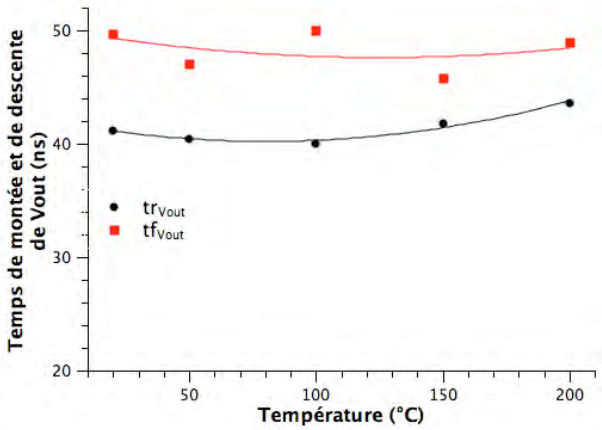


FIGURE 3.26 – Temps de montée et de descente de V_{out} en fonction de la température

Cette quasi-stabilité est assurée par les *buffers* et permet un envoi d'ordre rapide pour la commutation des JFETs. Finalement, les temps de montée et de descente de la tension de sortie sont assez stables autour de 41ns et 49ns respectivement et ceci sur toute la plage de température testée. Ces temps sont très faibles. Ils traduisent le bon fonctionnement des JFETs SiC en haute température et valide les drivers associés.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Conclusion : Les premiers tests en haute température sur bras d'onduleur sont très encourageants. Les différentes valeurs sont comparables à celles obtenues avec les drivers commerciaux testés au début du projet et respectent bien le cahier des charges. Le coeur de driver présenté ici, dessiné de manière assez sommaire, rend la fonctionnalité souhaitée, hors fonctions de protection, d'isolation et d'adaptation.

3.2.5 Fonction d'isolation

Dans le cadre de ce premier Run, nous avons cherché à embarquer une fonction minimale pour le test de transformateurs magnétiques, comme pivot de l'isolation du signal de commande. Il s'agit d'un circuit d'attaque du transformateur de signal constitué d'inverseurs et de *buffers*, conçu initialement pour le contrôle des transistors de sortie. Le rôle de ce circuit est de fournir le courant nécessaire au primaire du transformateur. La remise en forme des signaux se fait par l'intermédiaire d'un circuit diode et filtre RC (figure 3.27). Cette simple fonction d'isolation ainsi constituée permettra après sa caractérisation, de mettre en évidence les principaux verrous liés à son fonctionnement à des températures élevées.

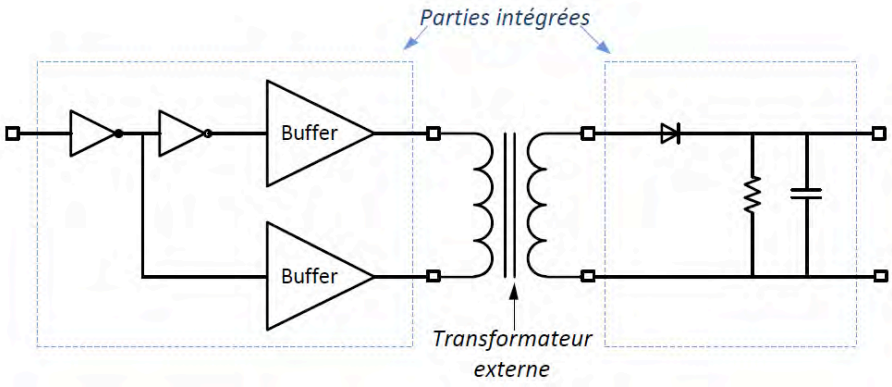


FIGURE 3.27 – Fonction minimale électrique vis-à-vis de l'isolation du signal de commande

Pour ce test, le circuit d'attaque du primaire est commandé par un signal carré (5V) de 65kHz et modulé à 10MHz. Ce signal caractérisé est généré par une association de deux générateurs externes, en l'absence de circuit de modulation intégré (PWM). La figure 3.28 montre les formes d'ondes au primaire du transformateur (en jaune) et à la sortie (en bleu) du filtre RC, à température ambiante. Le transformateur, visible sur la gauche de la platine de la figure 3.20, a été bobiné autour d'un noyau de ferrite haute température (Nanophy, Arcelor). Nous reviendrons sur la fonction d'isolation au chapitre 4, relatif à la seconde puce SOI.

Dans un premier temps, nous nous intéressons à la variation de l'amplitude de la tension détectée à la sortie, en fonction de la température (figure 3.29). Cette amplitude doit rester

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

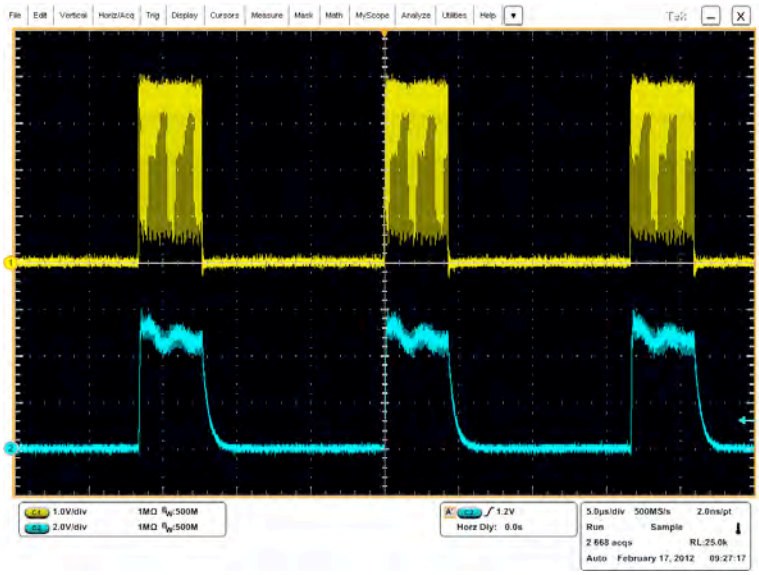


FIGURE 3.28 – Forme d'onde d'entrée et de sortie de la fonction d'isolation

assez élevée pour contrôler le reste du circuit driver, à travers notamment l'attaque d'un circuit de filtrage de type *Trigger de Schmitt*.

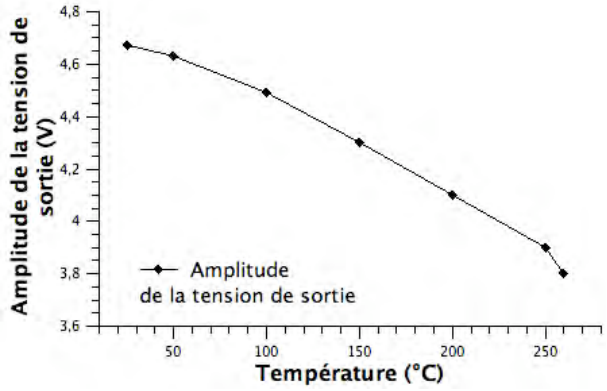


FIGURE 3.29 – Evolution de l'amplitude de la tension de sortie en fonction de la température

L'amplitude de la tension de sortie passe de presque 4,7V à température ambiante à 3,8V à 260°C. Cette baisse s'explique à la fois par la diminution du courant à la sortie du secondaire du transformateur, et par l'augmentation de la résistance à l'état passant de la diode du circuit démodulateur. En l'état la valeur de 3,8V reste suffisante. On peut donc conclure que le principe de la figure 3.27 est satisfaisant vis-à-vis de l'application au détail près des immunités au bruit, à l'alimentation et à la fréquence de modulation, qu'il faudra tester par ailleurs.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

D'autre part, nous avons relevé le retard entre le signal d'entrée et la sortie pour une commande à l'ouverture td_{on} et à la fermeture td_{off} en fonction de la température (figure 3.30).

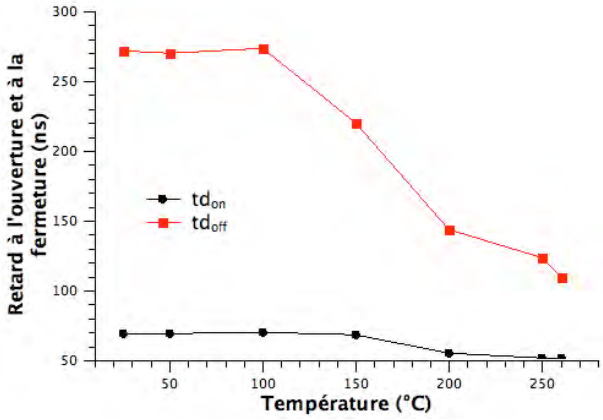


FIGURE 3.30 – Retard à l'ouverture et à la fermeture en fonction de la température

Ces retards à la commande incluent le temps de propagation à travers le circuit d'attaque du primaire, le transformateur et le circuit de détection. Les résultats montrent une faible variation de td_{on} sur un intervalle de température de 20°C à 260°C. En ce qui concerne td_{off}, sa valeur élevée à température ambiante est liée au dimensionnement du circuit RC. L'amélioration que nous apporterons dans les futures runs sera liée à une architecture plus réactive de la partie détection du signal.

3.3 Conclusion

Le premier run a donc permis de tester de nombreux dispositifs avec deux types de résultats :

– le design-kit, sommaire, ne suffit pas à garantir les dimensionnements des circuits
– les premières idées simples de circuit donnent des résultats satisfaisants vis-à-vis de l'application.

Les fonctions de base constituant le coeur d'un driver (étage de sortie et *buffer*) ont été dimensionnées et testées en haute température. Il a ainsi été mis en avant que les transistors des étages de sortie développent une résistance passante R_{DSon} élevée ne bloquant point le fonctionnement du driver et assurant en partie les spécifications souhaitées. Le comportement des *buffers* s'est avéré très correct. L'étage de sortie constitué de ces transistors sera ainsi repensé pour le second run en y ajoutant en plus des dispositifs à taille fixe un dispositif dit à taille modulable. Le test des drivers sur un bras d'onduleur à base de JFET SiC s'est révélé très concluant. Le fonctionnement sain et rapide de ce bras est assuré sur toute

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

la plage de température avec des temps caractéristiques respectant le cahier des charges fixé au chapitre 1. Soulignons que dès ce premier test, les temps morts ont été ajusté en fonction de la température. Cette fonction assurée par une commande externe dans ce run, sera intégrée au sein du prochain. Finalement, la fonction d'isolation sommaire testée a révélée la nécessité d'une architecture plus réactive de la partie détection du signal.

C'est sur la base de ces quelques résultats encourageants qu'a été lancée la fabrication d'une seconde puce.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Chapitre 4

Second Run

La conception d'un premier prototype de driver a été basée sur des fonctions simples pour ne pas mettre en danger la pérennité du projet face au défit de robustesse lié à l'environnement de fonctionnement d'une part, et d'autre part à la prise en main d'une nouvelle technologie (SOI Smartis). Les insuffisances du *design-kit* (DK) liées au manque de précision des modèles de dispositifs, notamment pour la haute température, ainsi que les différentes incohérences relevées lors de la conception et des tests du premier run, ont obligé à conserver une certaine prudence quant à la réalisation de ce second run. Les efforts ont été concentrés sur les fonctions de mise en forme des signaux de contrôle de l'étage de sortie du cœur de driver et sur certaines fonctions de protection : le but étant d'aboutir à un cœur driver le plus complet possible (vis-à-vis du bras d'onduleur).

4.1 Conception

Les paragraphes qui suivent font référence à la figure 2.3 qui détaille le fonctionnement du driver. Certaines fonctions sont largement décrites dans la littérature et leur conception n'est rendue nécessaire que par le fait que la contrainte de température exige de revoir les solutions connues et que le test des contributions originales les rend indispensables, quoiqu'il en soit.

4.1.1 Etages de sorties retenus pour le second run

Dans un esprit d'intégration et de compacité, un effort important est porté sur les étages de sortie basés sur une structure *PushPull*. Trois étages *PushPull* équipent les drivers Drv1, Drv2 et Drv3, alors que le dernier driver Drv4 est basé sur une structure *Totempole*.

La caractérisation du premier run a pointé les limites d'un dimensionnement basé uniquement sur le Design Kit (R_{DSon} mesurée de 1,3Ω au lieu des 0,5Ω simulée). Toutefois, grâce aux nombreuses caractérisations réalisées sur les transistors PMOS et NMOS (25V,

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

45V et segmenté), nous avons acquis une certaine expérience et pouvons poser quelques corrélations simples entre simulations et expériences. Une résistance passante de 0,5Ω est toujours désirée pour assurer une valeur du courant de sortie dans la plage 1A-2A (cahier des charges). La taille des transistors PMOS et NMOS choisie au premier run (WNMOS=36mm et WPMOS=72mm) doit donc être augmenté en conséquence. Toutefois, nous ne souhaitons pas proposer des transistors disproportionnés pour notre driver final. Si bien que nous dégagons après plusieurs simulations deux tailles pour les étages de sortie des drivers Drv1 et Drv2 (tableau 4.1).

	Drv1	**Drv2**
W_{NMOS}	48mm	17.6mm
W_{PMOS}	131.2mm	33.6mm

TABLE 4.1 – Taille des étages de sortie des drivers Drv1 et Drv2

Le driver Drv1 possède un étage de sortie de taille conséquente assurant une résistance passante faible à haute température et donc respectant la contrainte en courant à cette température (courant entre 1A et 2A).

Le driver Drv2 a été conçu avec une taille de l'étage de sortie volontairement très faible et en deçà du calcul théorique. Un driver plus petit est conçu pour être intégré par exemple au côté de fonctions de protection nécessitant une surface de silicium importante (figure 4.1). Il est important d'évaluer le coût en performance de la contrainte en surface.

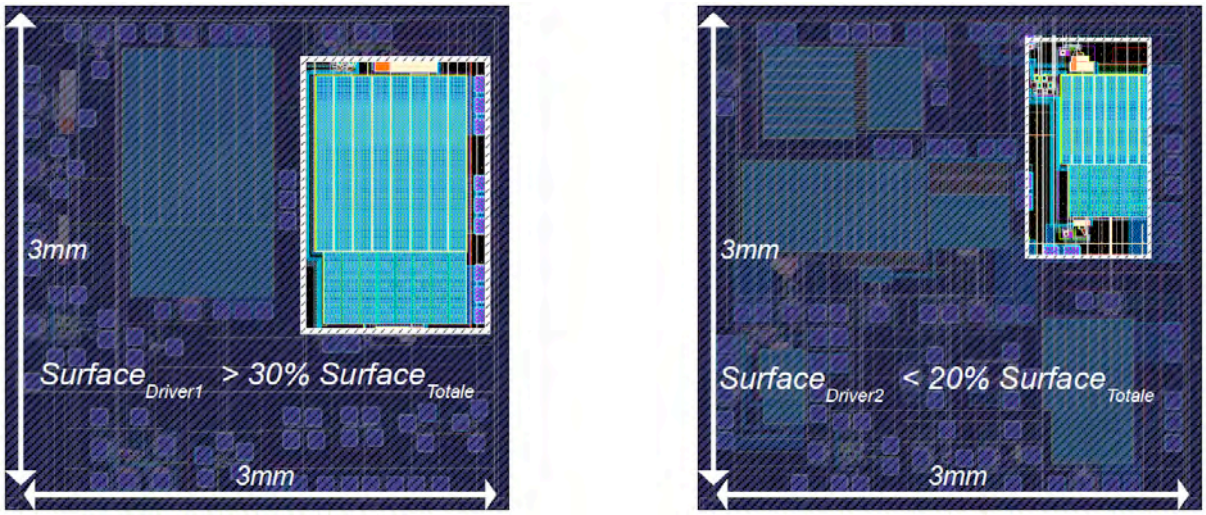


FIGURE 4.1 – Surfaces dédiées aux drivers Drv1 et Drv2

Dans la perspective d'un troisième run qui vise un driver complet et optimisé, il est important de comprendre le comportement d'un driver de taille plus faible. Ce driver Drv2 présente une capacité en courant volontairement réduite (en théorie), mais une exposition à la température moindre de part sa taille.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Comme la valeur de la résistance passante R_{DSon} conditionne les caractéristiques globales du driver (courant de sortie), une dernière version de l'étage de sortie basée sur une taille modulable a été proposée. Le driver Drv3 intègre cet étage de sortie. Cinq étages *PushPull* auxiliaires de même taille peuvent être connecté en parallèle selon le besoin. La configuration de base à température ambiante basse (moins de 0°C) est constituée d'un étage de sortie principal de taille plus importante (tableau 4.2).

	Etage Auxiliaire	**Etage Principale**
W_{NMOS}	4.7mm	17.4mm
W_{PMOS}	11.5mm	43.2mm

TABLE 4.2 – Taille des étages de sortie du driver Drv3

Concrètement, en fonction de la température détectée, des étages de sortie sont ajoutés en parallèle à la configuration de base pour augmenter la taille de cet étage et donc diminuer la valeur de la résistance passante. Ce cœur de driver est auto-configurable et se base sur un dimensionnement pré-établi en fonction de la température (par exemple : à 50°C deux étages sont connectés, à 100°C trois le sont et ainsi de suite). Cette nouvelle fonction originale permet donc de contrôler et d'ajuster la valeur de la résistance passante en fonction de la température. Le principe est simple mais assure largement la fonction souhaitée.

Finalement et dans un souci de comparaison un dernier driver Drv4 basé sur une architecture *Totempole* a été conçu, mais faute de temps il n'a pas encore été testé.

4.1.2 Fonction de mise en forme des signaux

Ces blocs de mises en forme sont indispensables au bon fonctionnement du driver et assurent le lien entre la commande logique ; et la partie étage de sortie et fonction de protection du driver (figure 2.3). Ces fonctions doivent être les plus indépendantes possibles de la température.

4.1.2.1 Gestion des temps morts

La fonction de gestion des temps mort est essentielle pour prévenir un court-circuit entre les deux transistors de l'étage de sortie. La valeur minimale de ces temps en fonction de la température est issue des mesures réalisées au cours du premier run (figure 3.17). Lors du test du bras d'onduleur, ces temps étaient fixés par une commande externe non soumise à la haute température. Dans ce run, cette fonction sera intégrée. Ainsi, pour créer un décalage entre les commandes du transistor du haut et celui du bas, nous avons introduit une constante de temps τ par l'intermédiaire d'un circuit RC, suivi d'une porte logique NAND de remise en forme du signal et d'un inverseur (figure 4.2). Au vue des résultats de

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

la valeur minimale du temps mort présentés dans le chapitre précédant, et en prenant une marge de sécurité, nous avons fixé le retard à 120ns.

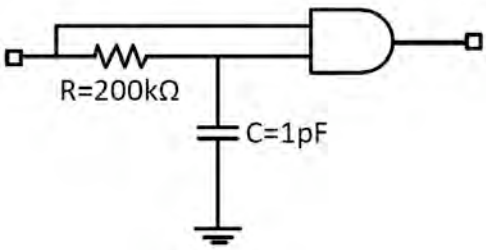


FIGURE 4.2 – Circuit de génération d'un temps mort

De part l'augmentation des résistances parasites dues aux pistes et vias présentes dans le layout, le courant qui charge la capacité C à travers la résistance R diminue avec la température. Ceci implique une augmentation de la valeur du temps mort avec la température et peut engendrer sa disparition. Pour contrer cet effet, nous avons utilisé une résistance R qui a un coefficient de température négatif. Ainsi, la valeur de cette résistance diminue avec la température pour palier l'augmentation des résistances parasites et aboutir à une valeur du temps mort stable autour de la valeur de 120ns prédéfinie. La figure 4.3 présente les résultats de simulation du circuit 4.2 sur la variation du temps mort en fonction de la température.

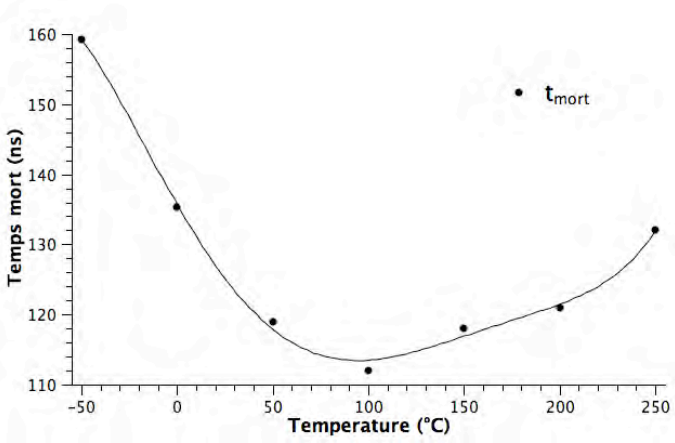


FIGURE 4.3 – Simulation de t_{mort} avec la température

Avec le circuit simple décrit ci-dessus, lorsque la température augmente de -50°C et 100°C, le temps mort diminue de 160ns à 112ns. Puis, il augmente avec la température pour se stabiliser autour de 134ns à 250°C. Les valeurs du temps mort en haute température sont suffisantes pour assurer la non mise en court-circuit des transistors du bras de l'étage de sortie.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Par ailleurs, nous avons vu dans la caractérisation du Run1 que la valeur minimale du temps mort à température ambiante peut devoir être inférieure à la valeur choisie (120ns) par souci de sécurité. Ainsi, en embarquant un circuit de détection de température, il est possible d'agir sur la valeur du temps mort en adaptant la constante de temps τ du circuit RC. Nous avons ainsi conçu et intégré une variante de ce circuit de génération de temps mort, présentée dans la figure 4.4.

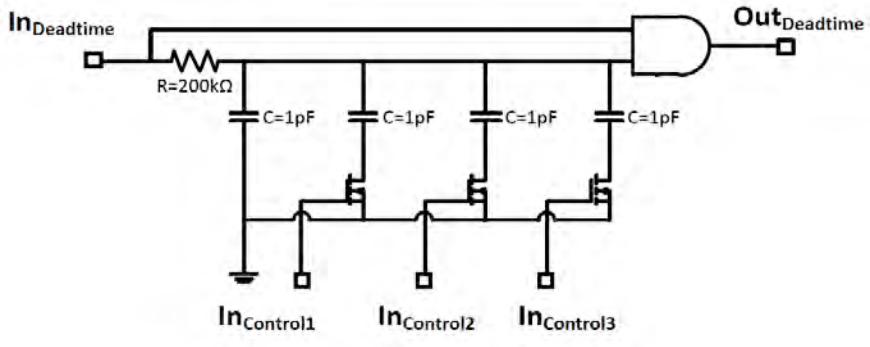


FIGURE 4.4 – Circuit de génération des temps morts en fonction de la température

Le circuit présenté en figure 4.4 permet d'intervenir sur la valeur de la capacité par l'intermédiaire de signaux de contrôle externes liés à la détection de température. Il est ainsi possible en contrôlant les interrupteurs d'ajouter des condensateurs et donc d'augmenter la constante de temps du circuit. Cette adaptation permet d'envisager le principe de temps mort adaptatif.

4.1.2.2 Circuit de décalage de tension (*Level Shifter*)

La tension Grille-Source maximale supportée par les transistors (de sortie) de la technologie choisie est de 5V. Un décalage de tension est donc nécessaire pour adapter le signal en entrée du driver à la commande effective de l'étage de sortie, notamment celle du transistor du bas, qui a sa Source connectée au potentiel V_{neg}. Le principe de base de cette fonction a été détaillé au paragraphe 2.2.2. L'enjeu ici est de concevoir ce bloc pour un fonctionnement haute température c'est-à-dire sans ou avec peu de variations des signaux de sortie en fonction de la température. Un premier circuit abaisseur de tension a été conçu (figure 4.5).

L'entrée In du circuit est un signal carré variant entre Gnd_{Local}, correspondant à la référence de tension pour le haut de pont de l'étage de sortie et V_{AuxHS} (0V à -5V). La différence de potentiel entre Gnd_{Local} et V_{AuxHS} ne peut pas dépasser la valeur maximale de 5V (tenue en tension des oxydes de grille). Il en est de même pour la différence de potentiel entre V_{neg} et V_{AuxLS}. Les tensions de polarisation V_{AuxLS} et V_{AuxHS}, nécessaires pour alimenter l'étage de sortie, sont associées à deux transistors PMOS45V et deux transistors NMOS45V pour créer une contre-réaction et permettre de contenir, d'une part Out_{LS} entre les valeurs

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

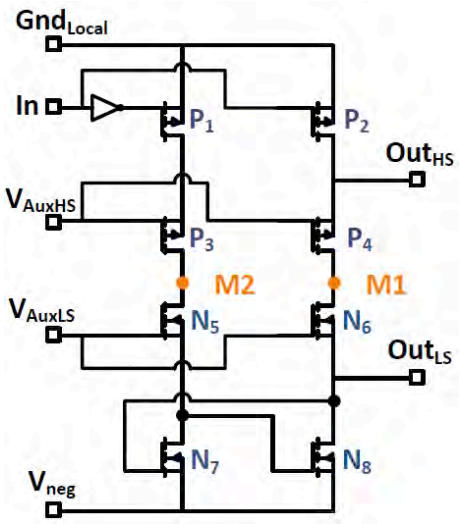


FIGURE 4.5 – Circuit abaisseur de tension (*LevelShifter*)

de tension V_{AuxLS} et V_{neg}, et d'autre part Out_{HS} entre les valeurs de tension V_{AuxHS} et Gnd_{Local}.

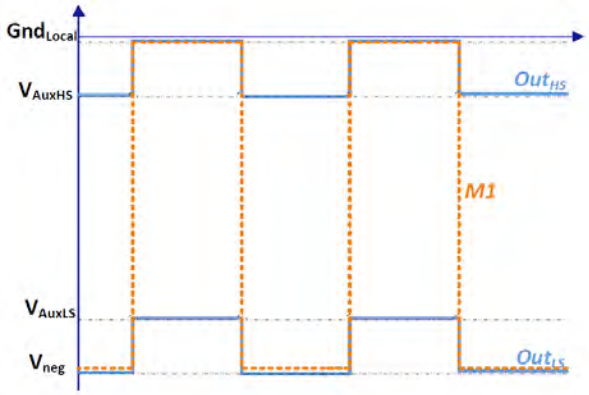


FIGURE 4.6 – Forme des tensions relatives au circuit de la figure 4.5

Quand le signal d'entrée In est au niveau bas, le transistor P_2 devient passant, mettant ainsi le potentiel Out_{HS} au niveau haut (Gnd_{Local}). Il s'en suit l'ouverture du transistor P_4. Le potentiel du point milieu M1 se retrouve au niveau Gnd_{Local}. Le transistor N_6, associé au potentiel V_{AuxLS}, oblige Out_{LS} à rester plus haut que la valeur du potentiel V_{AuxLS}-V_{thN}. Car dans le cas contraire (V_{AuxLS}-Out_{LS} > V_{thN}) N_6 s'ouvre pour tirer Out_{LS} vers un potentiel haut, de l'ordre de V_{AuxLS}-V_{thN}. Finalement, la contre-réaction assurée par les deux transistors N_7 et N_8 permet de tirer Out_{LS} vers le potentiel de polarisation V_{AuxLS}. Ces deux transistors N_7 et N_8 permettent un comportement complémentaire entre les deux bras de transistors qui constituent ce circuit. Dans notre cas, N_7 est fermé, imposant l'ouverture de N_8. Le potentiel du point milieu M2 se retrouve au niveau V_{neg}. De la même

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

manière, quand le signal d'entrée In est au niveau haut, le point M2 est tiré vers Gnd_{Local}. La tension de sortie Out_{LS} ainsi que le point M2 se retrouvent au niveau du potentiel Vneg. La figure 4.6 présente l'allure des tensions principales de ce circuit. Le fonctionnement de ce circuit sera vérifié au cours des tests sur les drivers Drv1, Drv2 et Drv3.

4.1.2.3 Bond Gap Circuit (BGC)

Pour un circuit destiné à des applications haute température, la génération de tensions de référence la plus indépendante possible de la température est indispensable. En effet, les circuits BG se retrouvent dans plusieurs sous-blocs du driver. Tous les blocs utilisant un comparateur de tension, comme les fonctions de protection *UVLO* et *ThermalShutdown* ou encore la fonction de détection de température, nécessitent une référence de tension, donc un circuit BG. Ce dernier s'appuie sur deux parties : un circuit de démarrage (*Start-Up*) et un circuit de génération de courant proportionnel à la température (PTAT). En ajustant le rapport entre les deux résistances R_1 et R_2, ainsi que le coefficient N (coefficient multiplicateur du premier bipolaire Q1, générant le courant I_{PTAT}), la tension de référence V_{ref} reste stable en fonction de la température (figure 4.7).

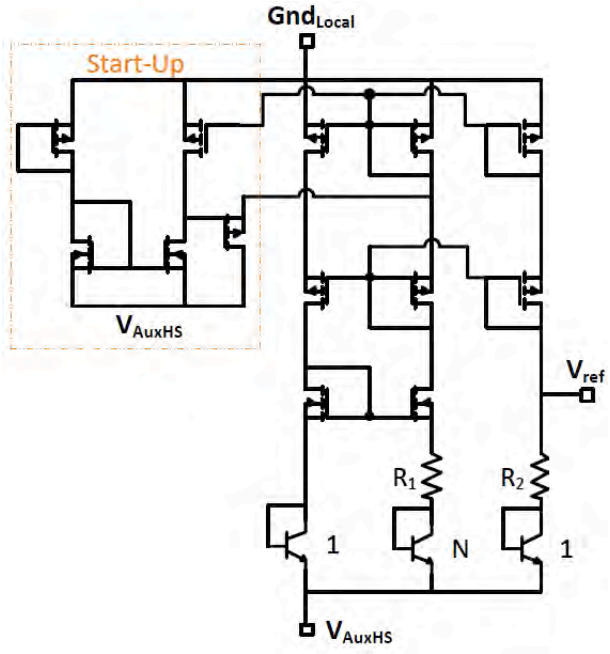


FIGURE 4.7 – Circuit Band gap

La figure 4.8 présente la variation de la tension V_{ref} en fonction de la température.

La simulation du circuit BCG donne un résultat correct, puisqu'une variation de moins de 1mV est constatée sur l'intervalle de température 0°C à 250°C. La tension passe ainsi de -3,889V à 0°C à -3,902V à 250°C, soit une variation relative de 0,33%. A ce stade, faute

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

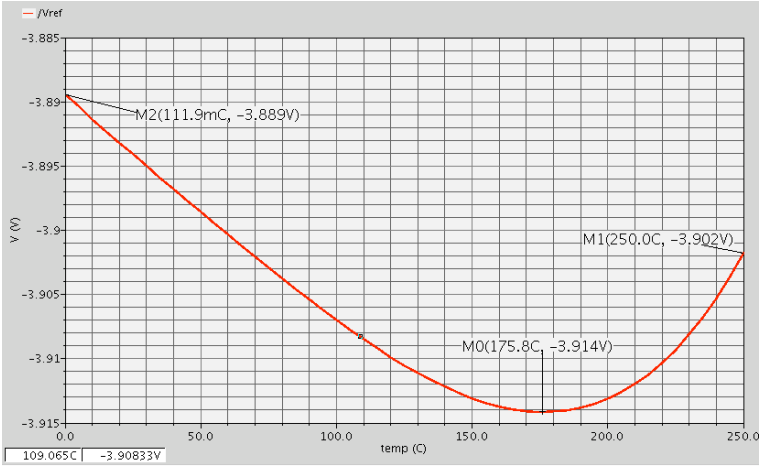


FIGURE 4.8 – Simulation de la tension Vref en fonction de la température

de certitude, nous avons préféré ne pas complexifier le circuit, en attente des mesures pour envisager une action supplémentaire. La littérature présente des solutions pour compenser la courbure de la tension V_{ref} et tendre vers une stabilisation accrue, mais aucune testées dans la gamme de température qui nous intéresse. En effet, il n'existe pas de circuit BG validé à très basse et à très haute température comme c'est l'objectif ici. Des efforts sont toujours consentis actuellement pour améliorer les performances de ce circuit incontournable. La question reste le compromis entre le bénéfice de la complexité accrue du circuit et sa robustesse à prouver en haute température.

4.1.3 Fonction de protection

4.1.3.1 Surveillance de la température

Aux vues des dérives constatées lors de la caractérisation des drivers commerciaux et des circuits du premier run, nous avons décidé d'intégrer une fonction de détection de la température. Le premier objectif étant la réalisation d'une fonction de sécurisation *ThermalShutDown* permettant d'une part l'arrêt des transmissions de commande au transistor de puissance et donc la sécurisation du binôme driver/JFET, et d'autre part le renvoi d'un signal d'erreur du coté du bloc numérique (FPGA/DSP). Le principe de fonctionnement de cette fonction est décrit au paragraphe 2.2.3.4.

Ce circuit de surveillance (figure 4.9) a été conçu et optimisé pour un fonctionnement en haute température. Il est composé de cinq sous-parties réalisant chacune une fonction particulière : band gap, ajustement, détection, comparaison et *buffer*. Le circuit BG fournit une tension de référence stable en température. Le pont diviseur permet l'ajustement de cette tension, par l'intermédiaire de la résistance R_{Ti}, pour obtenir un niveau de tension correspondant à la température que l'on souhaite détecter. La détection de température

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

est basée sur des transistors bipolaires montés en série et alimentés par une source de courant. Le circuit ainsi constitué délivre une tension variant quasi linéairement avec la température. Quand cette tension atteint le niveau de la tension de référence, fournie par le circuit d'ajustement, le comparateur envoie par l'intermédiaire d'un *buffer*, un signal de mise en veille du driver, en mode sécurisé du point de vue du bras d'onduleur (JFET maintenu bloqué).

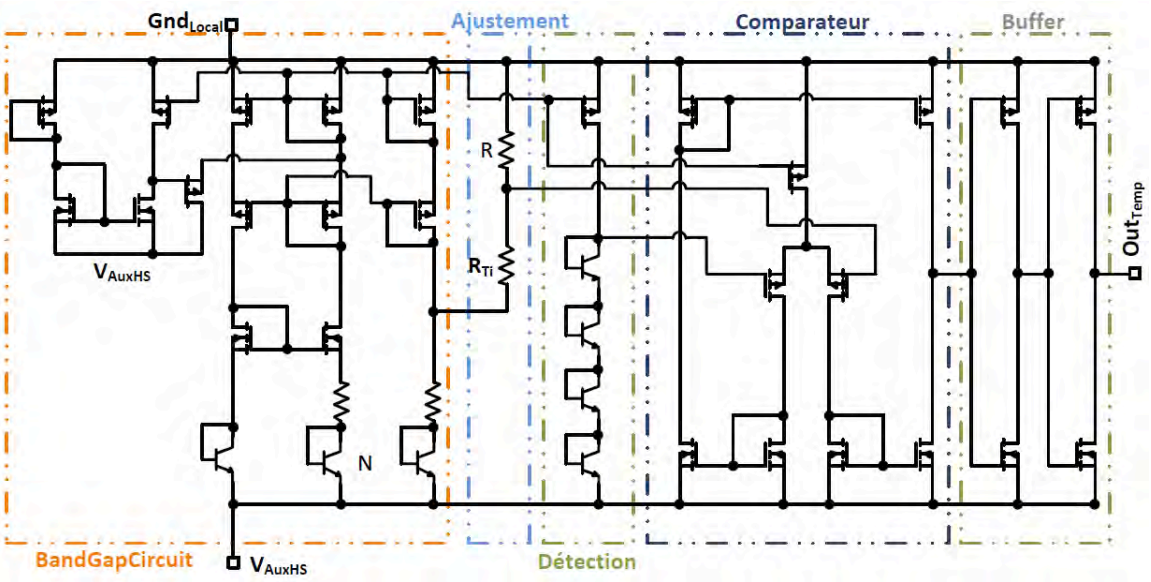


FIGURE 4.9 – Circuit de détection de la température

L'intervalle de température visé par cette application s'étale de -50°C à 250°C. Les dérives sur un intervalle aussi large peuvent être importantes, d'où l'intérêt d'introduire des fonctions de compensation, que cela soit pour les valeurs des temps morts, ou pour les courants de sortie du driver comme décrit auparavant. Pour simplifier cette compensation en température, nous avons décidé de diviser le domaine de fonctionnement en six parties, en considérant que les dérives sur chacune de ces parties restent acceptables. Ceci implique la détection des températures suivantes : 0°C, 50°C, 100°C, 150°C et 200°C. Ce qui est réalisé en utilisant le circuit de détection (figure 4.9) et en réajustant la valeur de la résistance R_{Ti} pour que la tension de référence délivrée corresponde à la température souhaitée. Ces valeurs de température ont été observées lors des tests des produits commerciaux, où des variations acceptables étaient constatées dans les intervalles correspondants. Il n'en reste pas moins que les valeurs sont arbitraires pour l'instant. Leur réglage, après caractérisation finale, ne remet pas en cause la fonctionnalité du bloc.

Outre la fonction de protection *ThermalShutDown*, le circuit de détection de la température présenté sur la figure 4.9 sera utilisé au sein des fonctions modulables avec la température telle que la fonction de gestion des temps morts et l'étage de sortie de taille reconfigurable.

Signalons que lors du dessin du *layout*, toutes les fonctions de détection de température ont

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

été placées au plus près de l'étage de sortie, qui est traversé par des courants importants, et constitue sans doute un des points chauds de la puce.

4.1.3.2 Circuit de détection de sous-alimentation (*UVLO*)

Parmi les fonctions de protections les plus importantes, figure la fonction de détection de sous-tension d'alimentation dite *UVLO*, et présentée au paragraphe 2.2.3.1. Le caractère normalement passant des transistors JFETs impose une vigilance importante pour éviter les courts-circuits sur le bras d'onduleur. Le rôle de la fonction *UVLO* est de bloquer la transmission de la commande tant que la tension d'alimentation du driver ne correspond pas à la tension de blocage du JFET. Dans ce cas, une autre fonction de protection (contre le court-circuit) prend le relai à la détection d'une erreur de niveau de tension (erreur$_{UVLO}$). La figure 4.10 présente le circuit retenu pour la fonction de détection *UVLO*. La littérature décrit de nombreux circuits dits *UVLO* et notre souci lors de la synthèse du circuit de la figure 4.10 a été de limiter la complexité de la fonction, pour espérer trouver un meilleur compromis entre les performances de la fonction et sa robustesse à haute température.

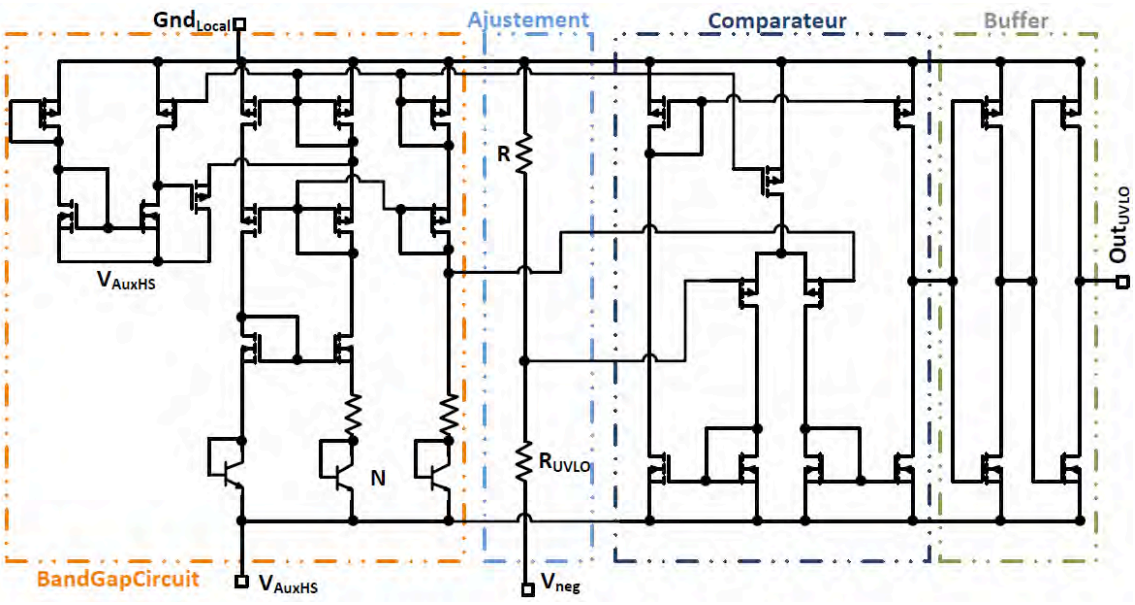


FIGURE 4.10 – Circuit de détection de sous-tension d'alimentation (*UVLO*)

Au même titre que la fonction de détection de la température, la protection *UVLO* est basée sur la comparaison de deux tensions, une de référence à la sortie du BG, et l'autre ajustée à travers une pont diviseur (figure 4.10). La résistance R$_{UVLO}$ permet de fixer le niveau de la tension correspondant à la tension de blocage du JFET.

De plus, pour éviter la dérive de la tension de référence à la sortie du circuit d'ajustement, nous avons utilisé une résistance R$_{UVLO}$ à coefficient de température négatif, associée à

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

une résistance R à coefficient de température positif. La figure 4.11 présente l'évolution de la tension seuil de la fonction $UVLO$ en fonction de la température.

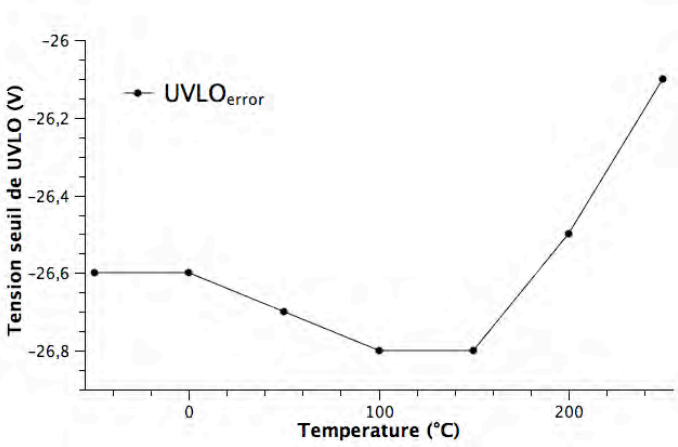


FIGURE 4.11 – Simulation de la tension de seuil $UVLO$ avec la température ambiante

La tension de blocage des transistors JFETs à piloter est aux alentours de -27V. La fonction $UVLO$ doit donc être capable de détecter si la tension fournie par l'alimentation isolée n'est pas inférieure à cette valeur. Le seuil de déclenchement de l'erreur $UVLO$ (sous-alimentation) doit donc être situé autour de -27V et stable en température. Au vu de la figure 4.11, ce seuil est situé autour de -26,7V (valeur à température ambiante) et évolue peu avec l'augmentation de la température. Le seuil est ainsi à -26,6V à -50°C et -26,1 à 250°C soit des variations inférieures à 2,3%. Le circuit conçu remplit son rôle sur toute la plage de température puisque pour des tensions inférieures à la tension de blocage du transistor de puissance, un message d'erreur est émis.

4.1.3.3 Protection contre le court-circuit de bras

Le chapitre 1 liste les propriétés intéressantes des transistors JFET SiC en termes de tenue en température, de vitesse de commutation et de résistance à l'état passant. Toutefois, leur acceptation reste limitée, notamment dans le milieu automobile à cause de la réticence de certains industriels (Toyota) vis-à-vis des transistors normalement fermés. En effet, outre les précautions qui doivent être prises due à sa commande négative, le principal point bloquant pour les concepteurs de module de puissance reste le court-circuit, qui peut être engendré par des anomalies au niveau du driver ou de la charge. Ce sont les anomalies au niveau du driver qui nous intéressent ici sachant que la fonction de surveillance contre la saturation (DESAT) englobe indirectement la protection contre le court-circuit côté charge.

Rappelons qu'un module de puissance embarqué dans un aéronef est alimenté par un bus haute tension (HVDC) de 540V, et par un bus basse tension (LVDC) de 28V pour les auxiliaires, dont les drivers (Chapitre 2.2.1.5). L'apparition d'une anomalie sur le bus

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

LVDC ou sur le driver ou son alimentation isolée, en présence d'énergie sur le bus HVDC, provoquera un court-circuit par non-blocage des JFETs (figure 4.12).

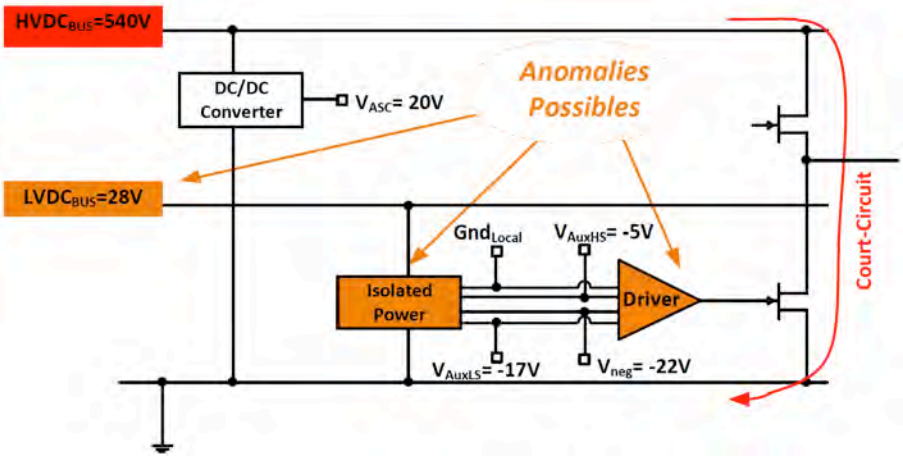
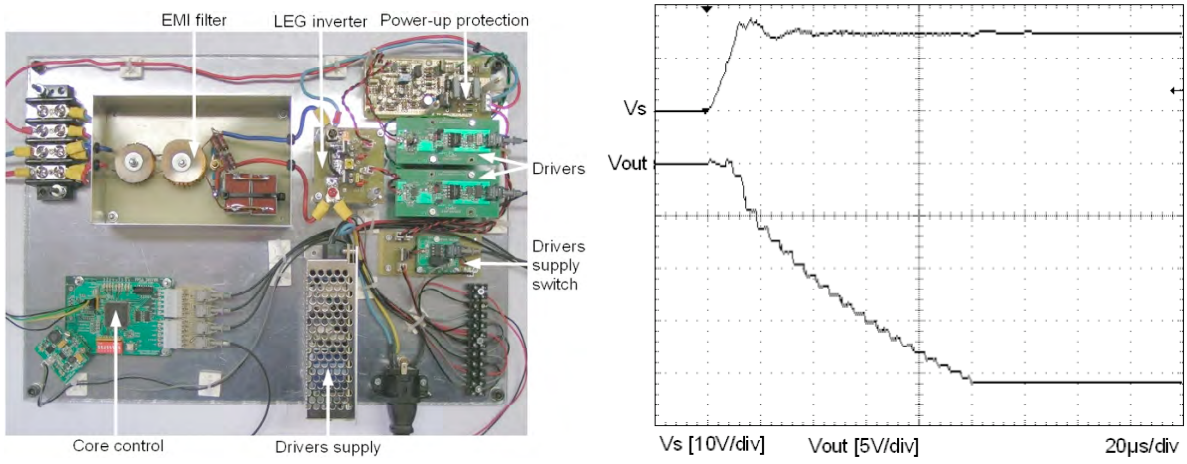


FIGURE 4.12 – Principaux scenarii de perte de contrôle des JFETs

Pour résoudre ce problème, une première solution a été développée au sein du laboratoire Ampère, dans le cadre du projet SEFORA (figure 4.13a). Cette solution est basée sur le prélèvement, sur le bus HVDC, d'une tension positive avoisinant la tension de blocage du JFET (V_{ASC}). Cette tension vient ensuite alimenter une pompe de charge négative. Le tout permet de fournir une tension négative pour imposer l'ouverture du transistor JFET. L'action de la pompe de charge négative est visible sur les marches de tension dans la figure 4.13b.



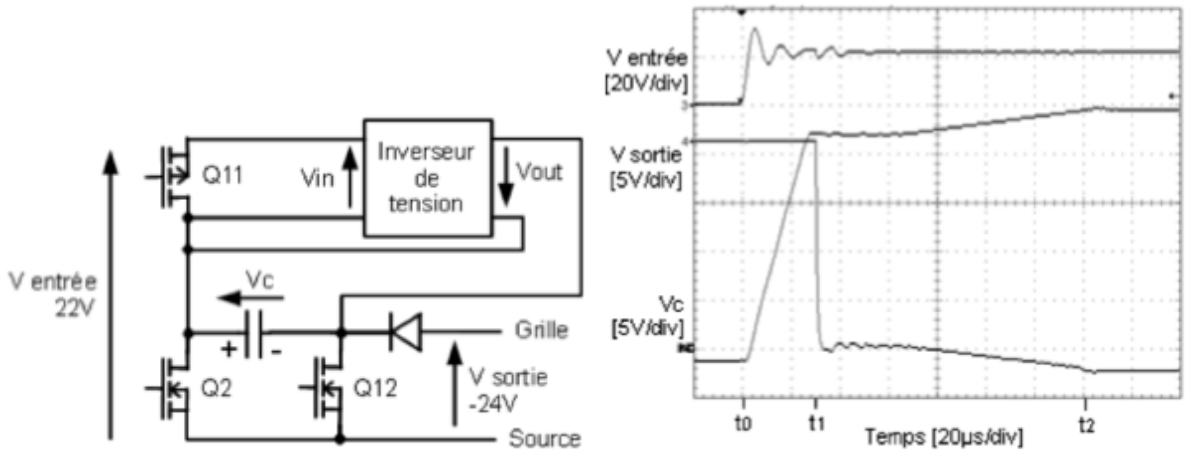
(a) (b)

FIGURE 4.13 – Prototype du circuit de protection contre le court-circuit (a), Tensions caractéristiques à 200°C (b)

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Ce premier prototype en composants discrets a été testé jusqu'à 200°C, et montre une bonne réactivité. Sur la figure 4.12(b), une tension positive (Vs) est rapidement prélevée à l'arrivée du bus HVDC pour alimenter la fonction de protection qui génère une tension Grille-Source négative (Vout), permettant l'ouverture du JFET au bout de 100μs environ. Le transistor JFET montre une bonne robustesse pendant la durée de ce court-circuit. Pour autant, la durée du court-circuit engendre un vieillissement prématuré du composant (détecté expérimentalement après 10000 cycles de court-circuit dans les conditions ci-dessus de la protection). Pour repousser cette limitation, nous avons procédé en deux temps : vérification sur prototype discret d'une solution intégrable plus réactive et intégration de cette solution.

L'amélioration principale est venue de l'introduction d'un fonctionnement en deux étapes. Un condensateur est préalablement chargé sous la tension V_{ASC}, puis sa connexion est inversée de manière à présenter une tension négative sur la grille du JFET. La pompe de charge négative ne sert alors plus qu'à abaisser cette tension négative jusqu'à la valeur de blocage du JFET. L'idée repose sur le fait que la charge d'un condensateur peut être rendue très rapide, que l'inversion de polarité l'est tout autant, et que sous une tension suffisamment négative, le transistor JFET limite déjà de façon importante le courant drain-source. Sans l'avoir vérifié expérimentalement, on peut dire que l'agressivité du court-circuit vis-à-vis du vieillissement du JFET est très fortement réduite. Le rôle de la pompe de charge, comme il sera détaillé après, devient presque accessoire. D'où le gain de réactivité attendu.



(a) (b)

FIGURE 4.14 – Second prototype discret avec la solution intégrable (a), Tensions caractéristiques à 200°C (b)

Le circuit de pré-charge du condensateur a été testée à l'aide de composants logiques de la famille 74HCMOS (figure 4.14) et permet d'atteindre une réactivité mesurée à 200°C de 35μs, juste après l'inversion de polarité. La pompe de charge, réduite en capacité de courant, met encore 100μs avant le blocage total du JFET.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

La solution intégrée a repris les valeurs des composants passifs des deux prototypes discrets. Les blocs intégrés sont donc le circuit de pré-charge du condensateur, la logique de contrôle et l'oscillateur de la pompe de charge négative. Les composants passifs de la pompe de charge ont des valeurs trop importantes pour une intégration ; ces valeurs seront décrites dans la partie de caractérisation. Le schéma considéré pour le second run SOI est celui de la figure 4.15.

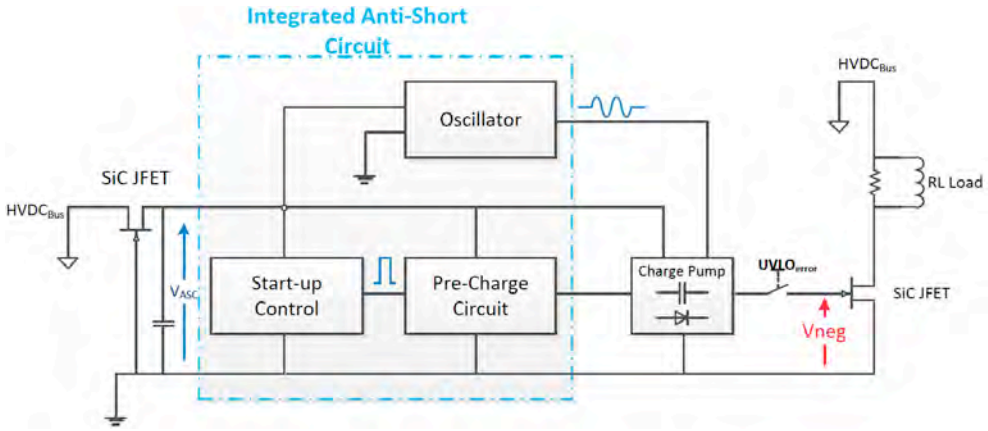


FIGURE 4.15 – Synoptique de la première solution intégrée contre le court-circuit

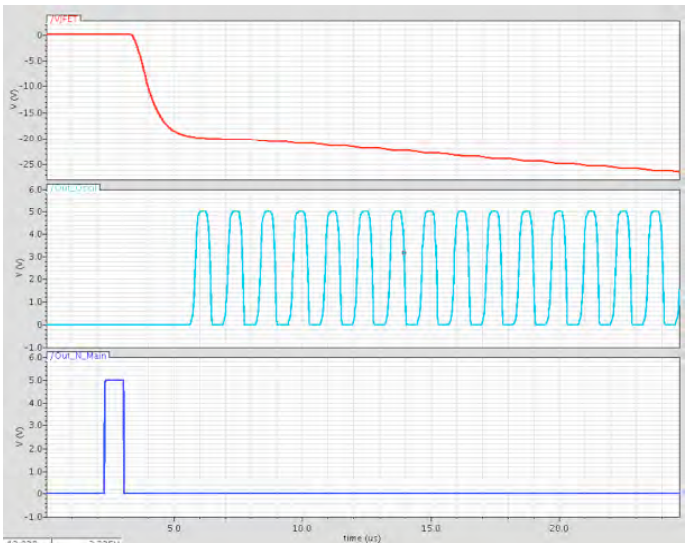
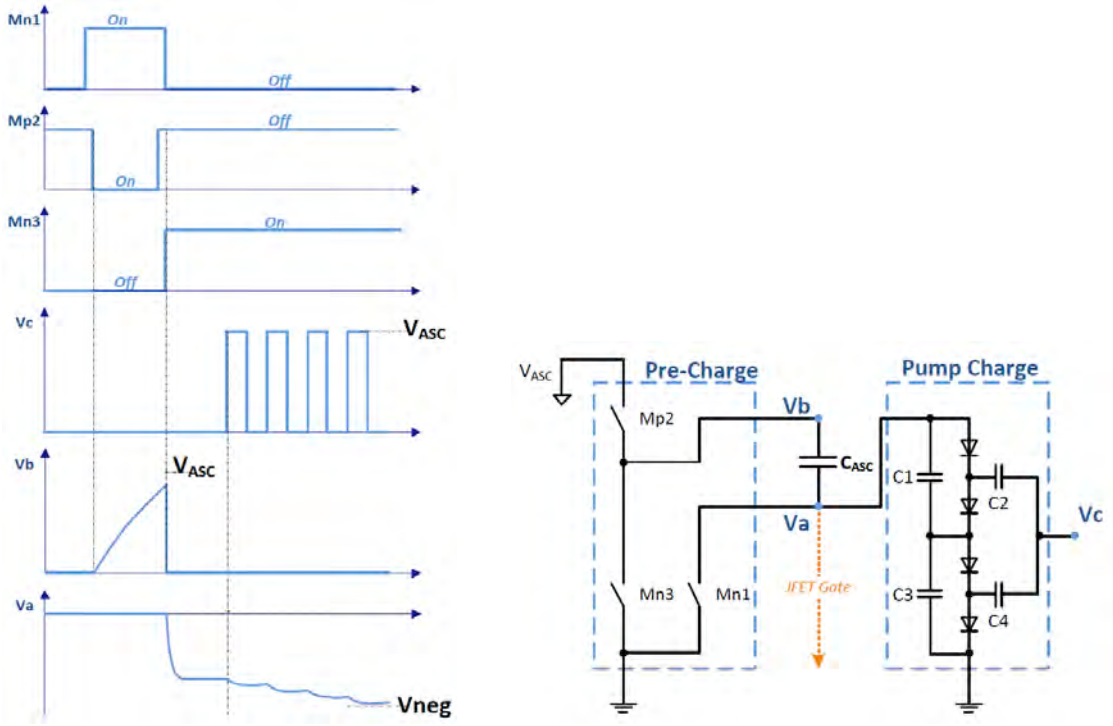


FIGURE 4.16 – Simulation des tensions caractéristiques de la fonction à 200°C

Un circuit de contrôle détecte la tension V_{ASC} générée à partir du bus HVDC et provoque la fermeture, correctement échelonnée, des deux transistors Mn1 et Mp2. Le condensateur de stockage C_{ASC} se charge. La durée de charge dépend du calibre en courant des transistors Mn1 et Mp2 (1A à 225°C). Le potentiel Vb se retrouve à un niveau avoisinant V_{ASC}. Après une durée prédéfinie, le circuit de contrôle commande les transistors Mn1 et Mp2 à

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés



(a) (b)

FIGURE 4.17 – Chronogramme du fonctionnement de la fonction anti court-circuit.

l'ouverture, et le transistor Mn3 à la fermeture. Le potentiel Va est tiré vers une tension négative de l'ordre de $-V_{ASC}$. Ce potentiel est ensuite abaissé par l'intermédiaire de la pompe de charge négative, pour atteindre la tension Vneg de blocage du JFET. La figure 4.17 présente les grandeurs caractéristiques de ce circuit : la tension de sortie (rouge), le signal de sortie de l'oscillateur activant la pompe de charge (bleu ciel) et le signal de détection de V_{ASC} déclenchant la série d'ordre émis par l'étage de contrôle (bleu).

Les simulations du circuit de la figure 4.15 ont montré que la réactivité peut être augmentée d'un facteur de 10 par rapport au premier prototype discret. En effet, grâce au circuit de pré-charge, la tension de blocage Vneg est atteinte au bout de seulement 15μs au lieu de 100μs et 35μs pour les deux prototypes discrets respectivement.

L'oscillateur ainsi que la pompe de charge servent dans ce cas, de fonction d'appoint pour stabiliser la tension générée, autour de la tension de blocage du JFET (Vneg). Les valeurs des composants passifs pourront donc être redimensionnées puisque pour l'instant ces valeurs viennent du premier prototype où la pompe de charge agissait seule.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

4.2 Caractérisation

Le premier run a permis de caractériser la technologie SOI Smartis-1 (TFSmart1) à travers quelques fonctions élémentaires du cœur de driver. Un premier module contenant les étages de sortie d'un driver ainsi qu'un bras d'onduleur à JFET a été réalisé et testé à haute température avec des résultats très satisfaisants, validant l'étape d'intégration. Toutefois, certaines des fonctions utilisées pour cette caractérisation étaient déportées sur une carte de contrôle externe. Dans le run 2, ces fonctions ont été intégrées au cœur de driver pour réaliser une version plus complète, se rapprochant voire dépassant des résultats publiées récemment, comme il sera rappelé plus loin.

Ainsi, nous avons conçu quatre variantes de driver, en plus de fonctions spécifiques liées à la sécurisation du système ou encore à la gestion des dérives en température. Les trois premiers drivers présentés dans ce paragraphe, sont basés sur une structure *PushPull* de l'étage de sortie, et le dernier sur un étage de sortie *Totempole*. Les drivers numérotés Drv1 & Drv2 se différencient par la taille de leurs étages de sortie respectifs. Ils embarquent les mêmes fonctions permettant ainsi une comparaison de l'influence de la taille de leur étage de sortie. Le driver Drv3 est constitué entre autre d'un étage de sortie à largeur modulable et de fonction supplémentaire au regard des drivers Drv1 et Drv2.

Le test de ces drivers est réalisé sur une charge RC dans premier temps, pour relever les caractéristiques de la tension de sortie (retard à la commande, temps de commutation) ainsi que les pics du courant de sortie (figure 4.18).

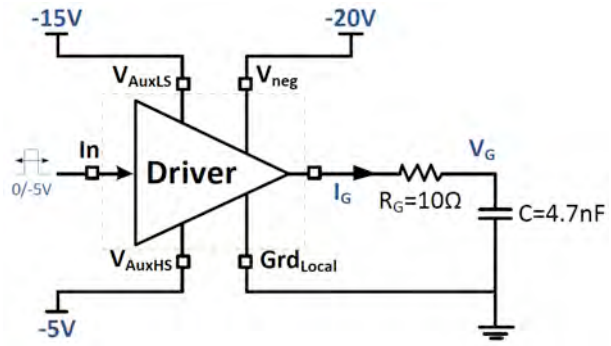


FIGURE 4.18 – Circuit de test des drivers du Run2

Les drivers soumis à la haute température sont placés sur un PCB haute température en polyamide 85N et une soufflerie d'air chaud assure une montée en température régulée.

4.2.1 Caractérisation du driver Drv1

La structure de ce driver (figure 4.19) est composée d'un étage décaleur de tension (*LevelShifter*), d'une fonction de gestion des temps morts et d'un étage de sortie constitué de

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

MOSFETs de grande largeur ($Buffer_{HS}$ et $Buffer_{LS}$). Le transistor T_{HS} est un P-LDMOS de largeur 131200μm et le transistor T_{LS} est un N-LDMOS de largeur 48000μm (tailles issues de la contrainte en courant à la température maximale). La fonction de gestion des temps morts est de première version (figure 4.1) et non modulable par une commande externe (figure 4.2).

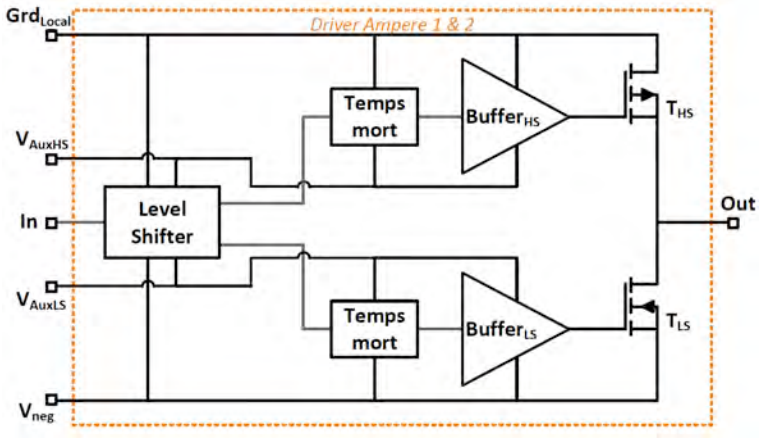


FIGURE 4.19 – Structure du driver Drv1

La figure 4.20 présente le fonctionnement général de ce driver (commande et sortie) à haute température (275°C).

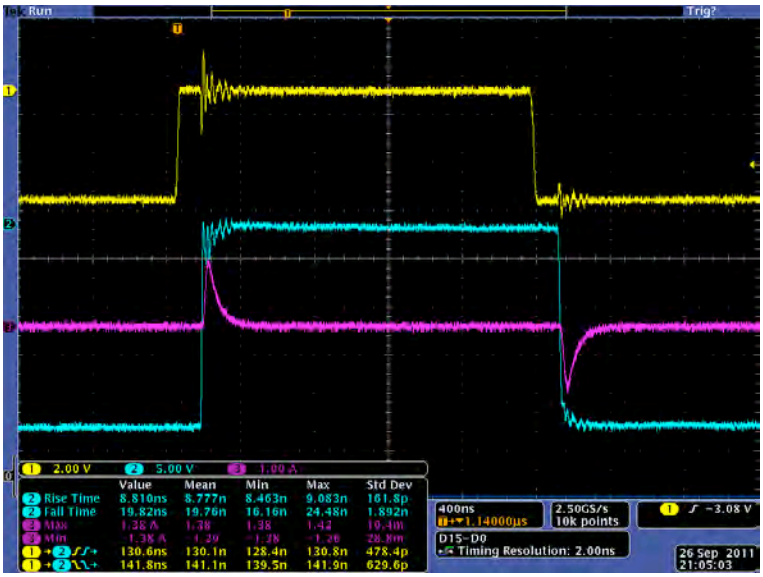


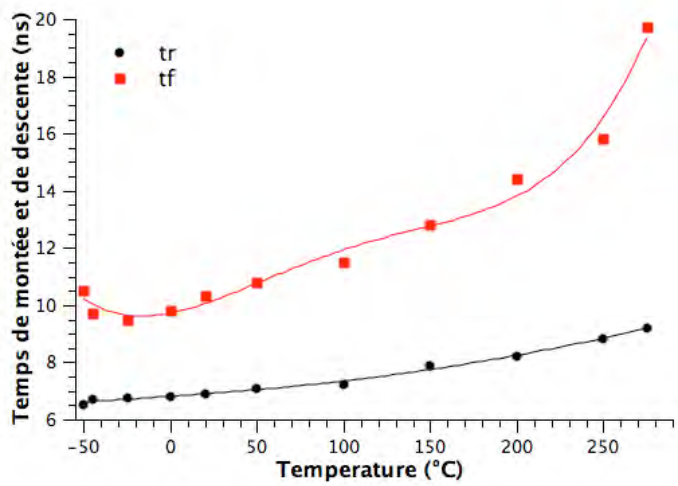
FIGURE 4.20 – Relevé des courbes à 275°C

En jaune la commande d'entrée, en bleu la tension de sortie et en rose le courant de sortie.

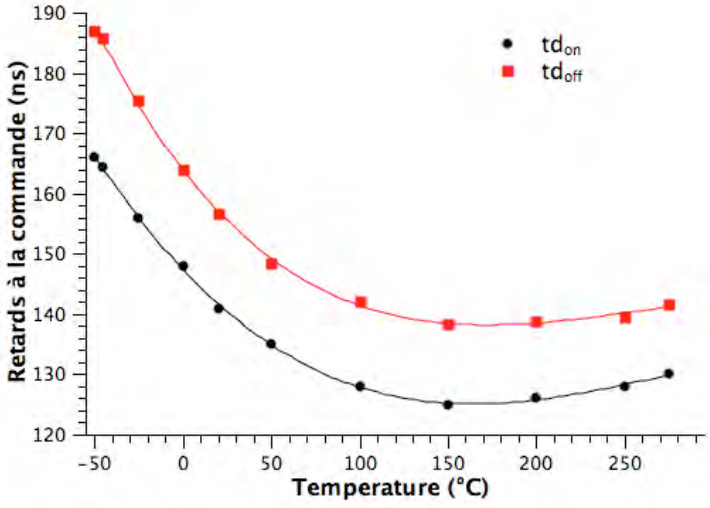
Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Sur la figure 4.20, les retards à la commande à l'ouverture et à la fermeture sont de 130ns et 140ns respectivement, assurant une commande rapide des JFETS en haute température. Quelques oscillations sont visibles sur la tension de sortie du driver à la fermeture et à l'ouverture. Elles sont dues aux inductances parasites introduites par la carte de test.

Pour valider le fonctionnement en température, les temps de montée et de descente ainsi que le retard à la commande ont été relevés sur la plage -50°C à 280°C (figure 4.21).



(a)



(b)

FIGURE 4.21 – Mesure des temps de retard, montée et descente du driver Drv1.

Le temps de montée (tr) du signal de sortie varie quasi-linéairement en fonction de la température, passant de 6,5ns à -50°C à 9ns à 280°C. Après une première décroissance (plage de -50°C à -30°C), le temps de descente (tf) augmente plus significativement avec la

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

température. Ce temps est de 10,5ns à température ambiante et de 19,5ns à 280°C, soit 95% de variation. Dans l'absolu, ces augmentations des temps de montée et de descente avec la température restent acceptables, liées à la variation de la capacité en courant de sortie. Les valeurs maximales relevées restent faibles, ce qui permet de prévoir un impact mineur sur la vitesse de commutation du transistor JFET et la précision du rapport cyclique. Cette vitesse devra d'ailleurs être contrôlée pour des questions d'interaction puissance-commande et des questions de CEM plus larges.

Les retards à la commande sur le front positif du signal de sortie (tdon) et sur le front négatif (tdoff) développent la même allure en fonction de la température : forte décroissance de -50°C à 150°C puis légère augmentation jusqu'à 280°C. Le retard à la commande sur le front positif évolue entre 126ns à 150°C et 166ns à -50°C, celui sur le front négatif entre 142ns à 150°C et 186ns à -50°C. Soulignons que la fonction « temps mort » est conçue pour fournir un délai minimal de 120ns, correspondant à la valeur relevée expérimentalement lors des caractérisations du Run1, pour éliminer le risque d'empiètement lors de la commutation de l'étage de sortie. Ce temps mort est basé sur un circuit RC avec une résistance R ayant un coefficient de température négatif, ce qui permet une certaine stabilité des temps morts, donc des retards à la commande. Toutefois, cette astuce provoque une nette augmentation des temps de retard à très basse température (-50°C à 0°C).

La figure 4.22 présente l'évolution de la valeur du pic du courant de sortie en fonction de la température.

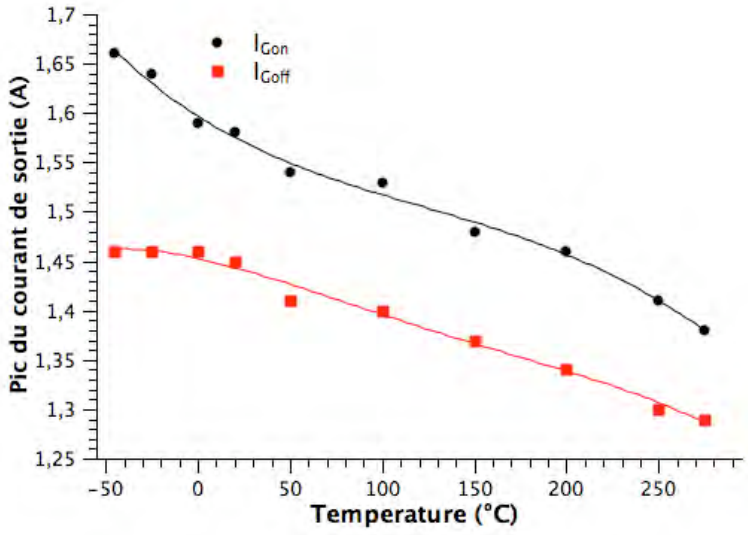


FIGURE 4.22 – Evolution du courant de sortie du driver Drv1

Les courants de sortie accompagnant le front positif de la tension de sortie (I_{Gon}) et accompagnant le front négatif (I_{Goff}) décroissent quasi-linéairement avec l'augmentation de la température dans la plage considérée (-50°C à 280°C), avec toutefois un comportement

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

différent en basse température. Le courant sur front positif passe de 1,66A à -50°C à 1,4A à 280°C, soit une variation de 15%. Il est de 1,58A à température ambiante. Le courant sur front négatif évolue entre 1,46A à -50°C et 1,31A à 280°C, passant par 1,45A pour une température ambiante. La chute relative maximale est de 10%. La conception a été menée avec un objectif de courant de sortie 2A à température ambiante avec une résistance de grille de 10Ω. Cette valeur n'est pas tout à fait atteinte, obligeant à considérer la correction des paramètres des modèles des transistors MOSFETs dans le *design kit*.

Conclusion : Le driver Drv1 développe une bonne tenue face à la température ambiante avec des chutes du courant de sortie acceptable aux vues des spécifications choisies pour notre driver. D'autre part, en réduisant la résistance de grille du transistors de puissance à commander, le courant à la sortie de ce driver devrait dépasser la spécification à haute température.

4.2.2 Caractérisation du driver Drv2

La caractérisation du driver Drv1 a montré une bonne tenue en température entre -50°C et +280°C, grâce notamment à son étage de sortie de bonne taille. Le driver Drv2 a été conçu avec une taille volontairement plus faible que celle issue du calcul théorique de dimensionnement (W_{PMOS}=33600um et W_{NMOS}=17600um). La figure 4.23 montre l'évolution des signaux de commande et de sortie à haute température (295°C).



FIGURE 4.23 – Relevé des courbes à 295°C

En jaune la commande d'entrée, en bleu la tension de sortie et en rose le courant de sortie.

Les signaux de sortie du driver Drv2 (figure 4.23) ont la même allure que ceux du driver Drv1 (figure 4.20) avec une différence d'amplitude du courant de sortie. Le driver Drv2 est

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

caractérisé sur une plage de température s'étalant de -70°C à 300°C. La figure 4.24 montre l'évolution des temps de montée et de descente en fonction de la température.

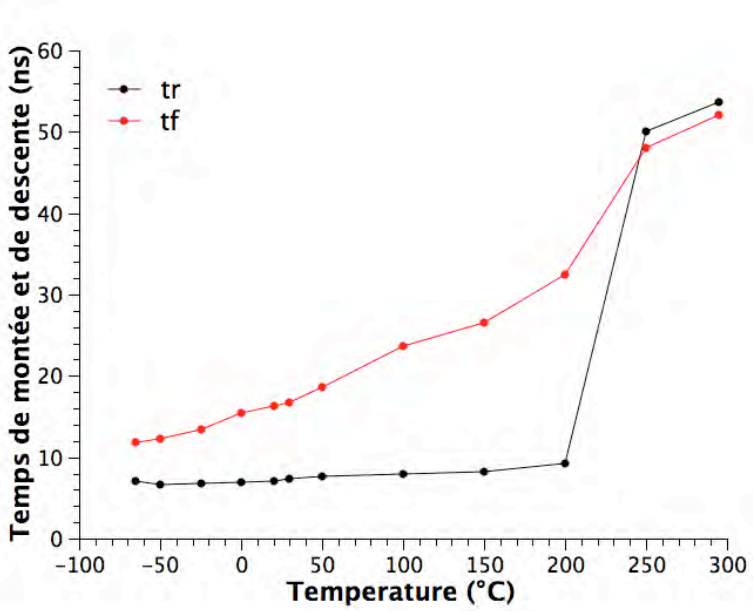


FIGURE 4.24 – Evolution des temps de montée et de descente en fonction de la température

Sur la plage de température -70°C à 200°C, le temps de montée (tr) est quasi-stable passant de 7ns à -70°C à 8ns à 200°C, soit une augmentation relative de 12,5%. Sur la même plage, le temps de descente (tf) évolue liénairement avec l'augmentation de la température de 12ns à -70°C à 32ns à 200°C. Mise à part les derniers points en haute température qui doivent être validés par le test d'autres circuits, les vitesses de commutation restent élevées sur toute la gamme de température.

Comparé au driver Drv1, le temps de montée est du même ordre de grandeur, celui de descente est largement supérieur. Le tableau 4.3 récapitule ces temps.

	Temps de montée (ns)					**Temps de descente (ns)**				
	à -50°C	**à 20 °C**	**à 200°C**	**à 280°C**	**évolution**	**à -50°C**	**à 20 °C**	**à 200°C**	**à 280°C**	**évolution**
Driver Drv1	6,5	7	8	9	↑	10,5	10,5	15	19,5	↓ plus (>-30°C)
Driver Drv2	7	7,2	8	55	↑	13	16	32	48	↑

TABLE 4.3 – Temps de montée et de descente des drivers Drv1 et Drv2 en fonction de la température

Le transistor NMOS responsable du temps de descente atteint dans le driver Drv2 une taille limite faisant que le compromis entre capacité en courant et tenue en température

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

n'est plus respecté. En perspective du Run3, la taille de ce transistor doit être augmentée. A l'inverse, le transistor PMOS responsable du temps de montée développe des propriétés similaires pour les deux tailles testées. Ce transistor pourra conserver une taille restreinte au sein des futurs drivers.

La figure 4.25 montre l'évolution des retards à la commande à l'ouverture (tdon) et à la fermeture (tdoff) en fonction de la température.

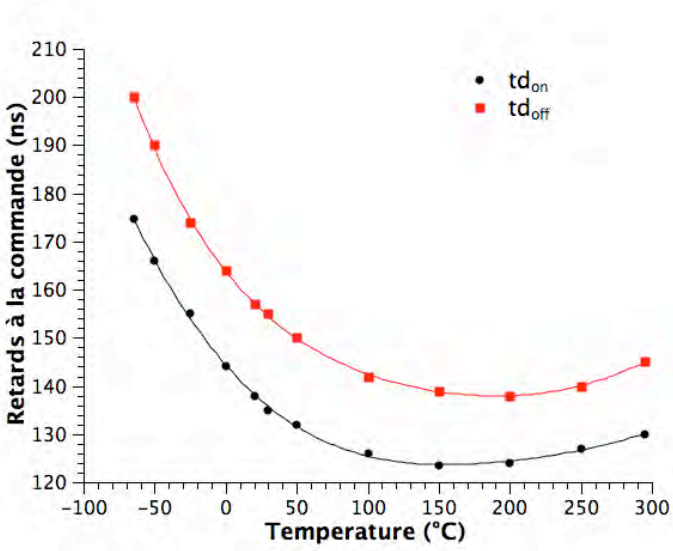


FIGURE 4.25 – Retards à la commande en fonction de la température

Les retards à la commande du driver Drv2 développent la même allure en fonction de la température que les retards à la commande du driver Drv1. Ce qui est logique, ces deux drivers ayant la même architecture mais des largeurs d'étage de sortie différentes.

Le retard à la commande à l'ouverture décroît de -70°C à 150°C puis croît jusqu'à 300°C, valant respectivement 176ns 124ns et 130ns. Le retard à la commande à la fermeture a la même allure pour des valeurs de 200ns 142ns 146ns respectivement aux mêmes températures. Ces valeurs sont du même ordre de grandeur que celle relevées pour le driver Drv1, à quelques nanosecondes près.

La figure 4.26 relate la variation de la valeur du pic de courant de sortie en fonction de la température.

Le courant de sortie à l'ouverture et à la fermeture chute avec l'augmentation de la température, comme pour le driver Drv1 mais avec des valeurs de courant plus faible en haute température.

Le pic de courant à l'ouverture passe de 1,54A à -70°C, à 1,12A à 300°C. Il est de 1,42A à température ambiante. Le pic de courant à la fermeture chute de 1,46A à -70°C, à 1,08A à 300°C, avec une valeur de 1,36A à température ambiante. Le tableau 4.4 récapitule les valeurs des pics de courant à la sortie pour les drivers Drv1 et Drv2.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

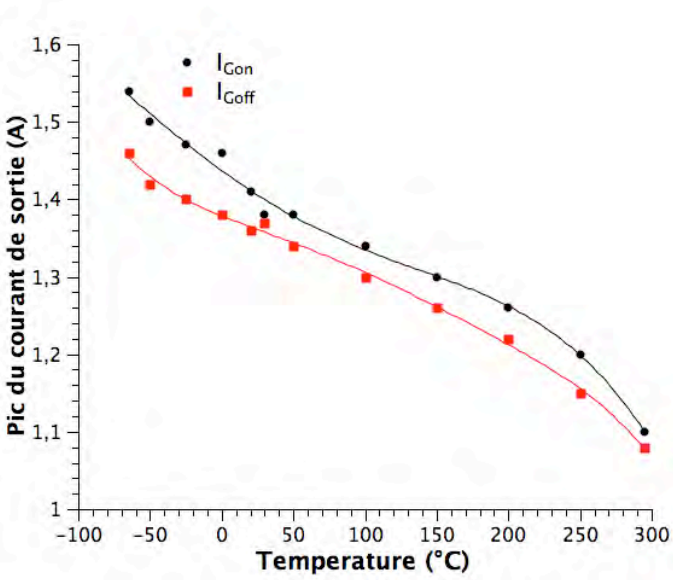


FIGURE 4.26 – Courant de sortie en fonction de la température

	Pic de courant à l'ouverture (A)			Pic de courant à la fermeture (A)		
	à -50°C	**à 20 °C**	**à 280°C**	**à -50°C**	**à 20 °C**	**à 280°C**
Driver Drv1	1,66	1,58	1,4	1,46	1,45	1,31
Driver Drv2	1,5	1,42	1,14	1,42	1,36	1,1

TABLE 4.4 – Pic du courant de sortie pour le driver Drv1 et Drv2

Les pics du courant de sortie du driver Drv2 ont des valeurs toujours inférieures à ceux du driver Drv1. La chute de la valeur des pics de courant en fonction de la température pour le driver Drv1 et Drv2 suit sensiblement la même évolution jusqu'à 200˚C : linéaire avec des coefficients directeurs proches. A partir de 200˚C, le driver Drv2 voit la valeur de ces pics de courant de sortie chuter plus brutalement avec la température que le driver Drv1.

Conclusion : Le driver Drv2 a un étage de sortie de plus petite largeur que le driver Drv1 ce qui implique une capacité en courant plus petite sur toute la plage de température testée. A partir de 200˚C, le driver Drv2 voit son courant de sortie chuter plus brutalement que le driver Drv1 ce qui induit des temps de montée et de descente plus importante que pour le driver Drv1. Toutefois, ces temps de montée et descente restent raisonnable et permettent des commutations rapides du JFET à piloter.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

4.2.3 Caractérisation du driver Drv3

Ce driver est constitué de certaines fonctions de protection (*UVLO*, *ThermalShutDown*) et d'un étage de sortie de taille modulable en fonction de la température. Le détecteur de température agissant sur la taille effective de l'étage de sortie est présenté au paragraphe suivant. La tension V_{neg} est ici de -30V pour ne pas déclencher la protection *UVLO* (figure 4.27)

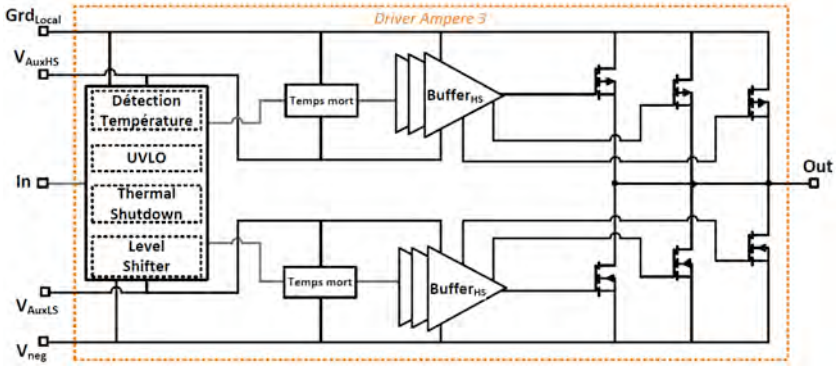


FIGURE 4.27 – Schéma du driver Drv3

4.2.3.1 Fonctionnement global du driver

La figure 4.28 présente le comportement du driver Drv3 (commande et sortie) à haute température (250°C).

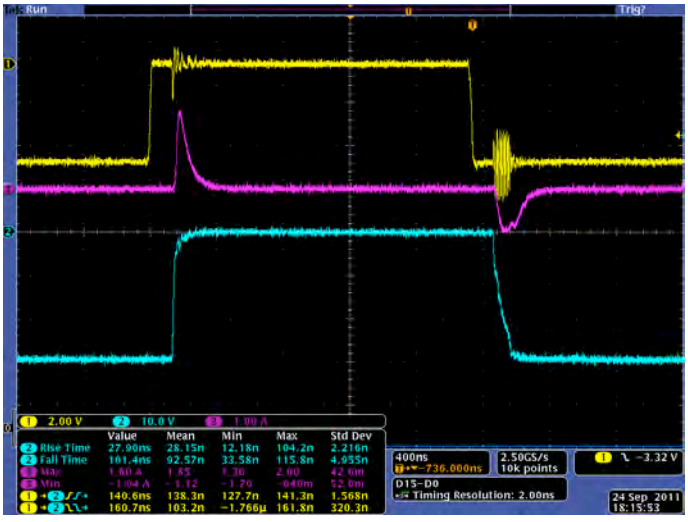


FIGURE 4.28 – Relevé des courbes à 250°C

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

En jaune est relevée la commande d'entrée, en bleu la tension de sortie et en rose le courant de sortie. Comme pour le driver Drv1 et Drv2, le comportement global en haute température est correct et permet le contrôle de transistor JFET, mise à part les quelques perturbations notées à la fermeture et expliquées en fin de paragraphe. La caractérisation complète sur toute la plage de température (-70˚C à 250˚C) commence par le relevé des temps de montée et de descente (figure 4.29).

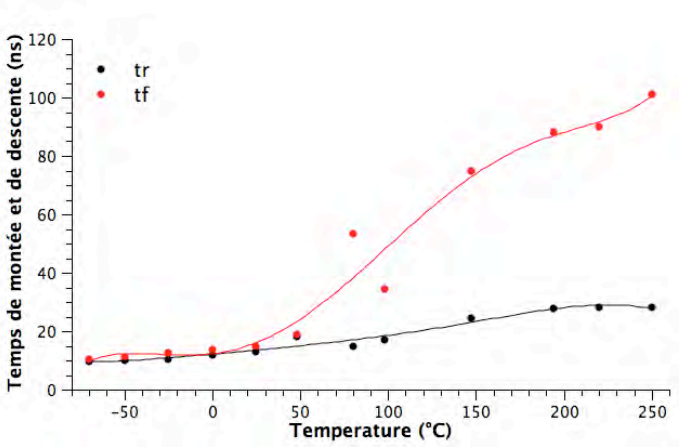


FIGURE 4.29 – Mesure des temps de montée et de descente du driver Drv3

Dans un premier temps, le temps de montée (tr) augmente avec la température passant de 10ns à -70˚C à 27ns à 200˚C puis il se stabilise jusqu'à 250˚C. Sur la plage de température allant de -70˚C à 20˚C, le temps de descente augmente avec la température selon la même évolution et valeurs que le temps de montée. Puis, à partir de 20˚C, le temps de descente augment brutalement avec la température pour atteindre la valeur de 100ns à 250˚C. Le temps de descente est lié aux transistors NMOS des étages de sortie.

Le pic du courant de sortie à l'ouverture décroît quasi linéairement sur toute la plage de température entre 2,1A à -70˚C et 1,9A à 250˚C (figure 4.30). Le pic de courant de sortie à la fermeture décroît faiblement avec la température jusqu'à 50˚C puis la chute est plus accentuée ensuite. Ce courant passe ainsi de 1,9A à -70˚C à 1,8A à 50˚C puis 1,05A à 250˚C. L'évolution des valeurs des pics de courant à la fermeture est en adéquation avec l'évolution des valeurs des temps de descente. En effet, plus le courant est faible, plus il faut du temps pour décharger la capacité simulant la grille du JFET et donc plus le temps de descente est important. Or, la contribution des étages de sortie (figure 4.27) augmente en surface en fonction de la température. Le fonctionnement est correct pour la partie PMOS (courant I_{Gon}). Le défaut sur ce courant I_{Goff} peut être attribué à une erreur de *layout* ou un défaut électrique de commande (V_{GS} plus faible) dû à un routage parasité ou un *buffer* de grille mal dessiné. Le design kit ne permet pas de relever d'anomalie et les modèles, en l'état des paramètres, ne permettent pas non plus davantage d'investigations pour l'instant.

Le concept d'étage de sortie modulable est donc très intéressant pour garantir un courant de sortie nominal stable en fonction de la température à la fermeture, avec toutefois quelques

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

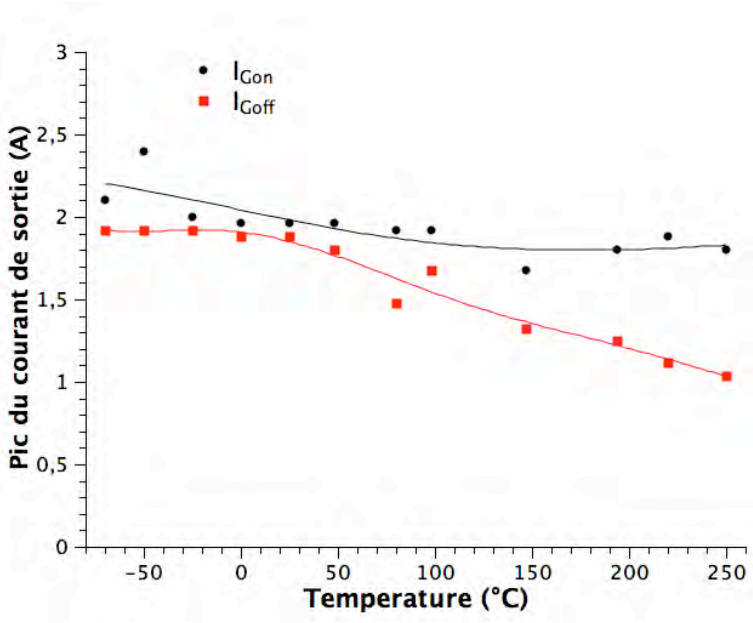


FIGURE 4.30 – Mesure des pics de courant du driver Drv3

améliorations possibles dans le comportement à l'ouverture. Au vue de ces résultats, il semble que le dimensionnement des PMOS soit correct, et que celui des NMOS soit à revoir pour assurer capacité en courant et tenue en température. Dans la perspectiviste du troisième run, cette configuration sera retenue mais la conception des fonctions temps mort modulable et celle de l'étage de sortie reconfigurable seront peaufinées.

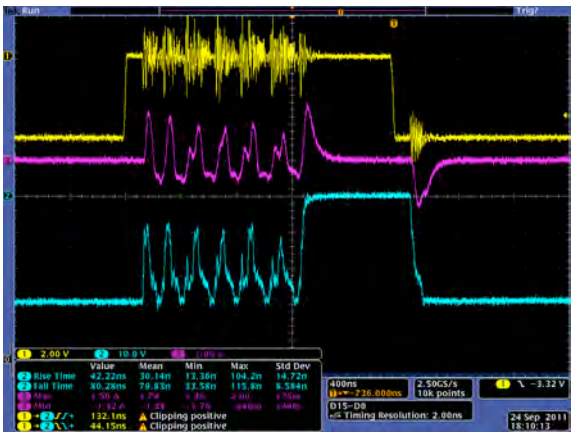


FIGURE 4.31 – Mise en évidence de perturbations électriques au sein du driver Drv3

Finalement, les perturbations notées sur les figures 4.28 et 4.31 sont liées à l'absence de filtre (*Trigger de Schmitt*) sur les différentes entrées des étages auxiliaires, ce qui autorise des perturbations des niveaux de tension de grille, provoquant des ouvertures intempestives.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Les perturbations sont plus importantes sur les étages du bas à cause de la longueur importante des lignes de routage des signaux de grille.

Conclusion : La nouvelle configuration modulable de l'étage de sortie de ce driver Drv3 donne des résultats très encourageants en particulier sur la stabilité des pics du courant de sortie en fonction de la température. Cette configuration respecte les critères du cahier des charges. Elle sera toutefois améliorée, dans la perspective du troisième run, en ajustant prioritairement la taille des transistors NMOS pour assurer une stabilité des pics du courant à l'ouverture et des temps caractéristiques plus faibles.

4.2.3.2 Circuit de détection de la température

Six détecteurs de température ont été intégrés au sein du driver Drv3. Il s'agit de circuits décrits plus haut. Les cinq premiers sont utilisés pour autoriser la mise en parallèle d'étages de sortie supplémentaires, et le dernier pour la fonction *ThermalShutDown*. La figure 4.32 montre le *Layout* du driver Drv3 avec successivement de droite à gauche, l'étage de sortie modulable, les fonctions de détection de la température et la protection *UVLO*.

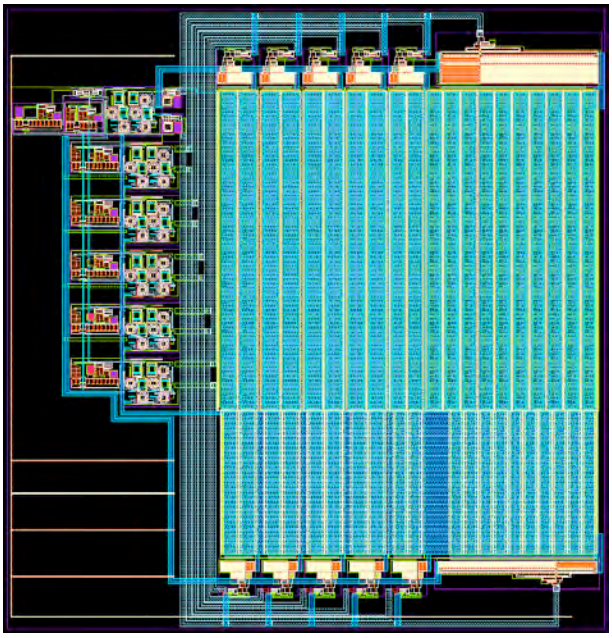


FIGURE 4.32 – Layout du driver Drv3

Le tableau 4.5 récapitule les écarts entre les résultats de mesures et les valeurs de simulation pour la détection de température.

Nous constatons que le circuit réagit correctement avec l'augmentation de la température ambiante. Le circuit détecte parfaitement la température pour les hautes températures (>150°C) avec une erreur relative maximale de 3%. Il détecte correctement la température dans la plage allant de 50°C à 150°C avec des erreurs relatives inférieures à 20%. Toutefois,

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

	Valeurs des températures détectées (°C)					
Simulations	0,1	50	100	150	200	270
Expériences	-7	37	80	145	200	275

TABLE 4.5 – Ecart théorie-expérience pour la mesure de la température

en basse température, des écarts subsistent et nécessitent un réajustement en conséquence, après correction des modèles de dispositifs au sein du *design kit*.

4.2.3.3 Fonction de gestion des temps morts

La fonction de gestion de temps mort utilise une résistance fixe R de 200kΩ et une capacité C sélectionnable de 1pF à 4pF. La figure 4.33 présente la mesure des temps morts (*Dead-Time*) en fonction de la température et ceci pour plusieurs configurations de capacités mises en parallèle.

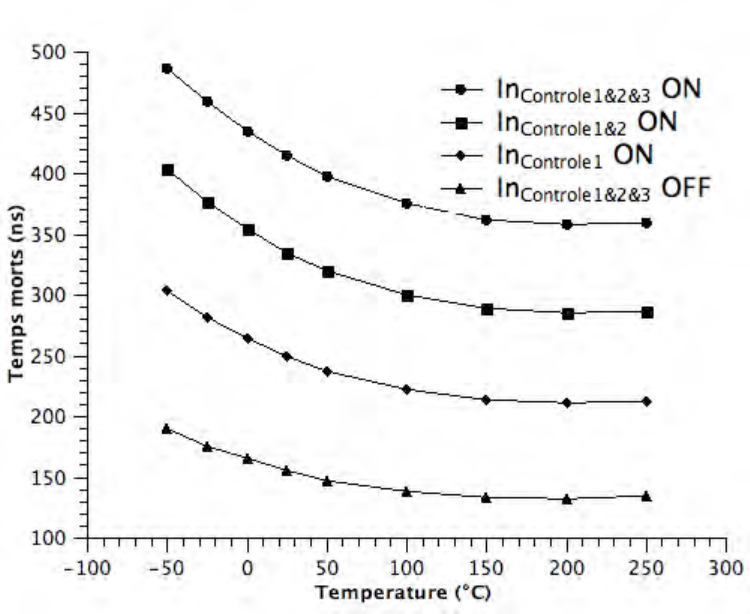


FIGURE 4.33 – Mesure des temps morts en fonction de la combinaison de capacités

Sans commande logique (cas $\text{In}_{Controle1\&2\&3}$OFF sur la figure 4.33), la valeur effective de la capacité correspond à celle utilisée aux paragraphes 4.2.1 et 4.2.2 vis-à-vis de de l'évolution du retard à la commande en fonction de la température. Plus on ajoute de capacités (1 : cas $\text{In}_{Controle1}$ ON, 2 : cas $\text{In}_{Controle1\&2}$ ON et 3 : cas $\text{In}_{Controle1\&2\&3}$ ON sur la figure 4.33),

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

plus la courbe du temps mort en fonction de la température se décale en valeur. Il est ainsi possible de choisir la valeur du temps mort à une température donnée. Soulignons que nous analysons ici l'évolution des temps morts dans le mode modulable et non les valeurs développées qui peuvent sembler élevées. Il semble évident que les valeurs des temps morts sont ajustables par le biais du choix de la résistance et des capacités composants le circuit RC.

4.2.4 Transformateur à air intégré

Dans le chapitre 2 ont été présentés des produits industriels embarquant des transformateurs à air, fabriqués sur silicium, pour l'isolation des signaux logiques. Deux remarques se sont posées vis-à-vis d'une contribution à l'intégration d'un transformateur :

– un transformateur à air peut être légitimement suspecté de signature CEM, notamment si la fréquence d'excitation (ou de modulation) atteint 100MHz et que l'amplitude de l'excitation primaire reste élevée pour garantir une immunité aux bruits au secondaire, à haute température. Pour autant le développement d'un transformateur magnétique dépasse le cadre de la thèse et n'a pas été abordé. Nous avons tout de même eu la possibilité de tester la solution de la société CISSOID autour de transformateur magnétique bobiné de la société RHEA.
– l'utilisation de niveaux de métaux pour un transformateur à air en fait un dispositif témoin intéressant pour l'analyse des mécanismes de défaillance de puces SOI.

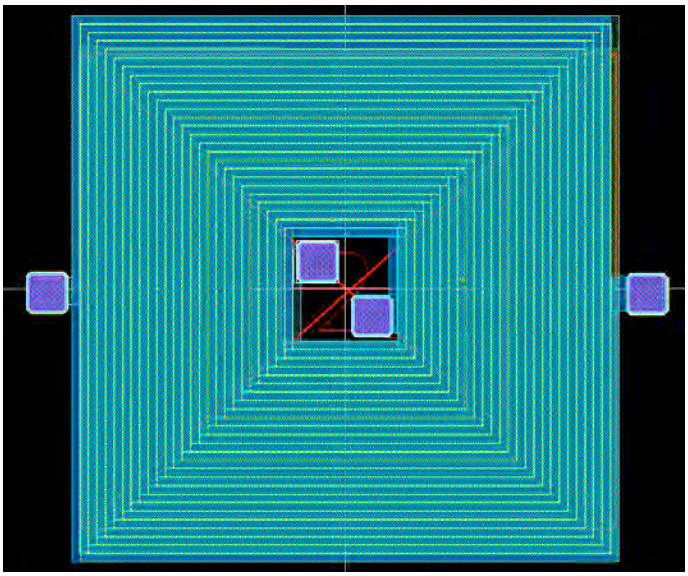


FIGURE 4.34 – Dessin d'un transformateur à air de 25 spires (2,5 x 2,5 mm)

Nous avons donc conçu un transformateur à air en utilisant les 3 niveaux de métaux disponibles dans la technologie. Le métal 1 agit comme écran vis-à-vis du silicium actif

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

(limitation des courants de Foucault). Le métal 2 sert de primaire et le métal 3 sert de secondaire (figure 4.34).

L'objectif d'un tel dispositif est de vérifier fonctionnellement une chaine de modulation/démodulation de signal logique, à haute température. La contrainte est donc d'obtenir au secondaire une tension suffisante. Avec un primaire attaqué par une tension symétrique de 5V d'amplitude crête, des simulations simplifiées sous Flux2D, ont montré un couplage satisfaisant à partir de 10MHz. En fixant le courant primaire à une valeur maximale de 50mA, la simulation (comme un rapide calcul analytique) conduit à retenir 25 spires de caractéristiques suivantes :

– largeur (primaires et secondaire) : 20μm
– épaisseur spire primaires : 1μm (technologie)
– épaisseur spires secondaires : 2μm (technologie)
– espacement entre spires : 2μm
– espacement primaire-secondaire : 0,9μm (technologie)
– espace centre-première piste : 140μm

Le bobinage carré est le plus simple à réaliser. L'influence de la forme du bobinage pourrait être discutée mais dépasse le cadre de la thèse et l'objectif fixé ici.

Les simulations sous Flux2D [1] ont retenu une hypothèse de géométrie axisymétrique et les analyses sont restées harmoniques (figure 4.35). Le tableau 4.6 résume quelques grandeurs en fonction de la fréquence de l'onde sinusoïdale de tension au primaire et à température ambiante. Le secondaire est chargé par une résistance de 10kΩ.

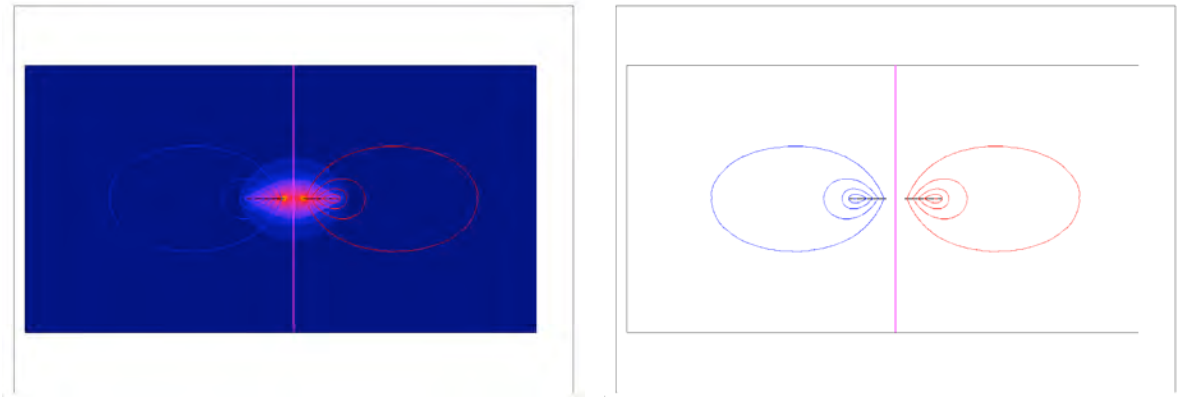
fréquence	**$V1_{eff}$**	**I1eff**	**$V2_{eff}$**	**I2eff**	**P_{Total}**	**Q_{Total}**
100 kHz	5	170,9m	48,2m	4,82µ	854m	8,34m
1 MHz	5	169,5m	477,6m	47,76µ	843,4m	81,96m
10 MHz	5	108,86m	2,86	286,5µ	455,8m	296,3m
100 MHz	5	49,7m	3,55	355,2µ	238,4m	65,76m

TABLE 4.6 – Grandeurs électriques principales issues de la simulation sous Flux2D du transformateur à air.

Une autre information de la simulation électromagnétique est le niveau de champ dans l'air autour du transformateur. L'influence de l'écran en métal 1 se voit sur le niveau relatif du champ mais il apparaît assez nettement qu'une zone devra rester sans composants sensibles autour du périmètre du transformateur au risque d'interactions électromagnétiques. La surface du transformateur est importante (2,5x2,5 mm) : on peut donc conclure qu'un tel transformateur n'a pas d'intérêt à être embarqué au sein de la puce driver. Ce transformateur est en cours de caractérisation.

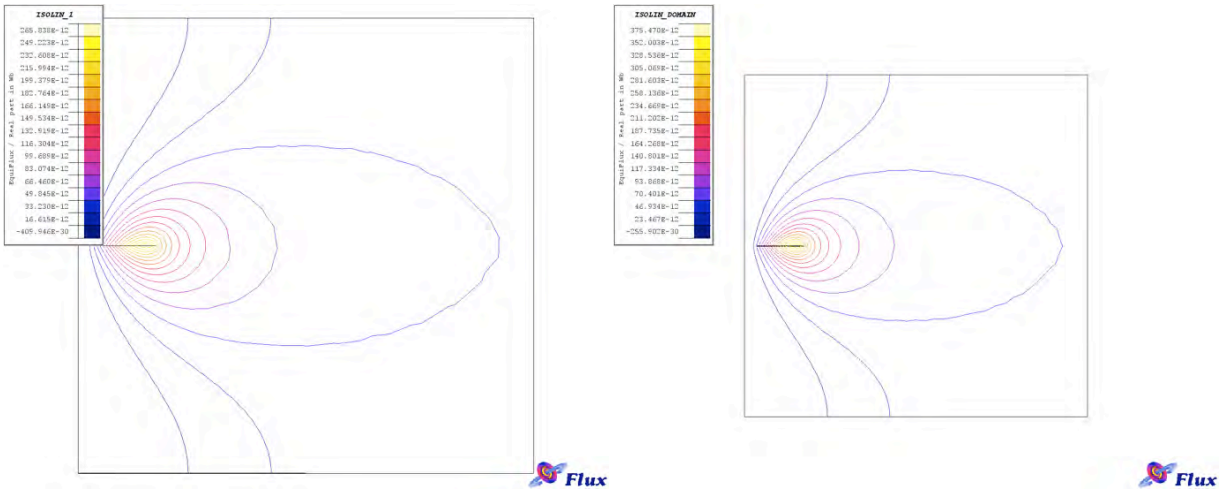
1. Simulations effectuées par Christian Martin

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés



(a) (b)

FIGURE 4.35 – Lignes de champs électro-magnétique dans la simulation sous Flux2D du transformateur à air.



(a) (b)

FIGURE 4.36 – Détail des lignes de champ sans la présence de l'écran en métal 1 (a) et avec l'écran (b).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

4.2.5 Fonction de protection contre les court-circuits

La fonction de protection contre les courts-circuits décrite auparavant a été integrée sur une puce 3x3mm^2 au côté du driver Drv2 (figure 4.37). Ce circuit encapsulé dans un boitier DIL est embarqué sur un PCB haute temperature ainsi que les composants passifs de la pompe de charge négative et la capacité C_{ASC}.

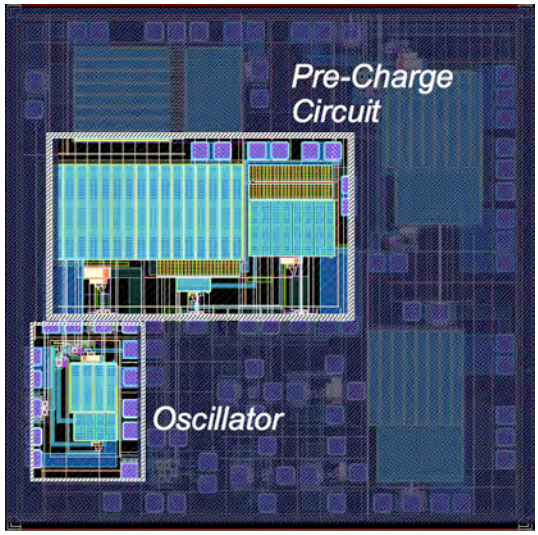


FIGURE 4.37 – Dessin de la solution intégrée de fonction de protection contre les court-circuits

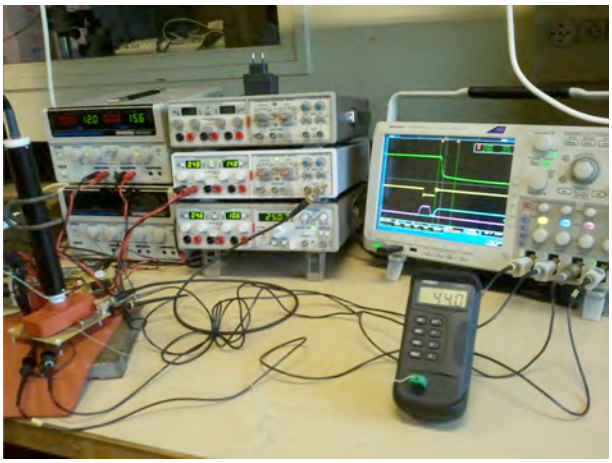


FIGURE 4.38 – Banc de test de la fonction anti court-circuit

Pour pouvoir comparer les performances de cette nouvelle fonction de protection à celles des prototypes discrets, nous avons conservé le même dimensionnement de la pompe de charge. Les condensateurs C1, C2 , C3 et C4 de la figure 4.13 ont respectivement les valeurs

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

suivantes : 10nF, 47nF, 220nF et 220nF. Le condensateur de précharge C_{ASC} vaut 1μF. Cette valeur, très grande, est issue d'une évaluation simple. A haute température il a été montré une perte de la valeur de capacité pouvant atteindre 50%. Par ailleurs, la capacité effective de grille d'un transistor JFET SiC, au début de l'étude sur le court-circuit, était encore mal caractérisée, et évaluée à 4nF environ. Un facteur 100 a été retenu pour garantir une décharge négligeable de la capacité C_{ASC} une fois connectée à la grille du JFET. Il est évident qu'un dimensionnement raisonnable doit être éprouvé. Sans doute les travaux en cours pour aboutir à un banc de simulation (en VHDL-AMS) de l'ensemble driver et JFET permettront de mieux appréhender la conception. Quoiqu'il en soit le condensateur C_{ASC} restera volumineux et ne pourra prétendre à l'intégration, contrairement aux composants passifs de la pompe de charge. La figure 4.38 montre le banc de test fonctionnel.

Seule l'évaluation de la réactivité de ce circuit a été testée à haute température, en attente d'un banc de test plus complet au sein d'un bras d'onduleur. L'objectif est d'atteindre, le plus rapidement possible, une tension négative de -18V correspondant à la tension de blocage de la dernière version de JFET SiC de la société SiCED, à partir d'une tension positive amont de +18V. La génération de cette tension, à partir du bus HVDC n'a pas été traitée dans le cadre de la thèse. La solution retenue pour les prototypes discrets (JFET SiC cascodé) s'apparente à un régulateur linéaire de tension, dissipateur d'énergie, et peut donc être remplacé par une solution à découpage. Il s'agit donc ici de premiers tests réalisés sur une charge capacitive de 4.7nF en guise de grille de JFET.

A l'application de la tension positive de 18V, le bloc de contrôle envoie un signal de commande (en rose sur la figure 4.39) au circuit de pré-charge qui enclenche le processus.

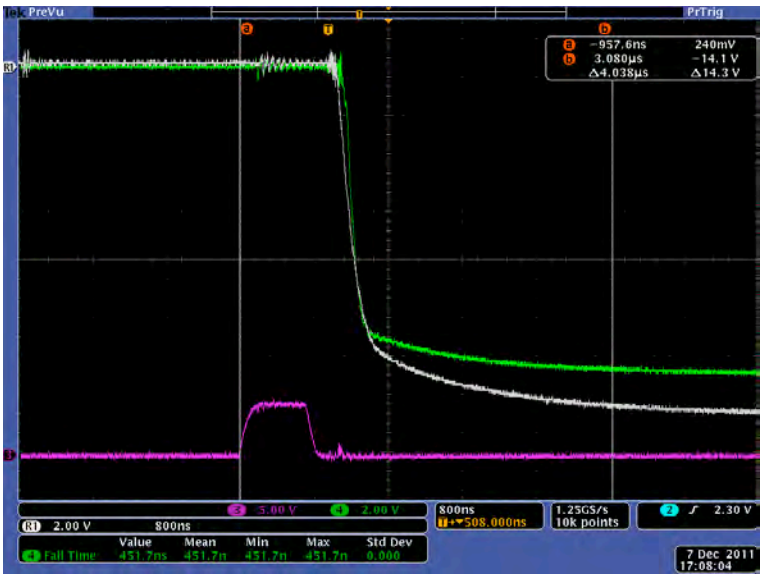


FIGURE 4.39 – Mesures lors de l'étape de pré-charge à température ambiante et 200°C

La tension de sortie du circuit de pré-charge à température ambiante (relevée en blanc sur la figure 4.39) atteint rapidement une tension négative permettant d'amorcer l'ouverture

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

du transistor JFET à protéger. A 200°C, la tension de sortie s'écrase légèrement (relevé en vert sur la figure 4.39) à cause de l'augmentation des résistances à l'état passant des transistors Mp1, Mn2 et Mn3 (figure 4.15). Toutefois, la perte en réactivité reste limitée et la tension effective aux bornes du condensateurs C_{ASC} reste inférieure à -15V. Cette valeur, rapportée à la dernière génération de transistor JFET, assure un courant drain-source déjà très faible (17mA à température ambiante sous 270V de V_{DS}).

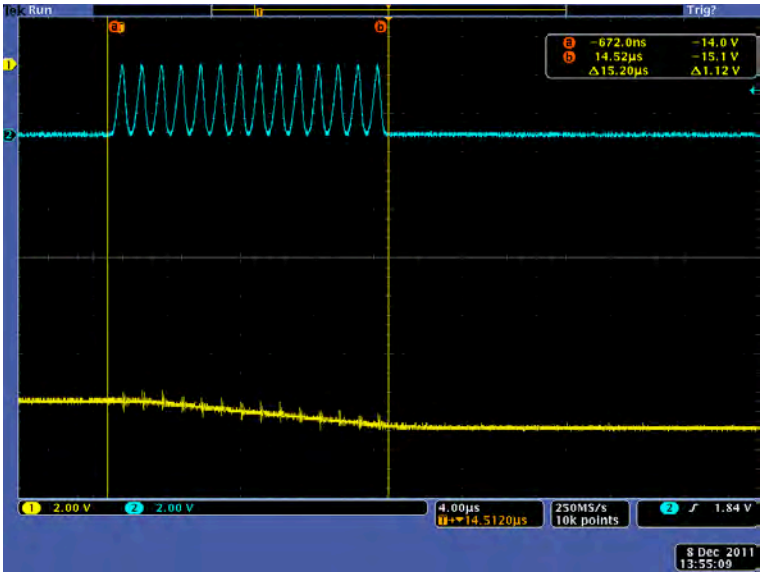


FIGURE 4.40 – Opération de la pompe de charge négative à 200°C

Cette phase de précharge terminée, l'oscillateur à 10kHz est déclenché. Ainsi, et contrairement aux prototypes discrets, l'action de la pompe de charge négative, commandée par l'oscillateur, se limite à abaisser la tension de sortie du circuit de précharge de quelques volts, pour bloquer complètement le JFET (figure 4.40). La réactivité de ce circuit d'appoint est largement dépendante de la fréquence d'oscillation et du dimensionnement de la pompe de charge.

Les temps de réponses du circuit de précharge et celui de l'ensemble oscillateur/pompe de charge ont été relevés sur un intervalle de température allant de l'ambiante à 200°C (figure 4.41).

La baisse de la valeur de la capacité C_{ASC} avec la température compense la réduction de la capacité en courant du circuit de précharge. Ceci explique la très relative augmentation du temps de réponse de ce circuit.

D'autre part, la pompe de charge est responsable de la majeure partie du temps de réponse de l'ensemble du circuit de protection. Toutefois, la réactivité reste très satisfaisante comparée à celle du prototype hybride, puisqu'elle varie entre 15μs à température ambiante et 20μs à 200°C pour le blocage du JFET. Ces premiers tests permettent de valider le fonctionnement du nouveau circuit de sécurisation des JFETs et montrent un gain de ré-

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

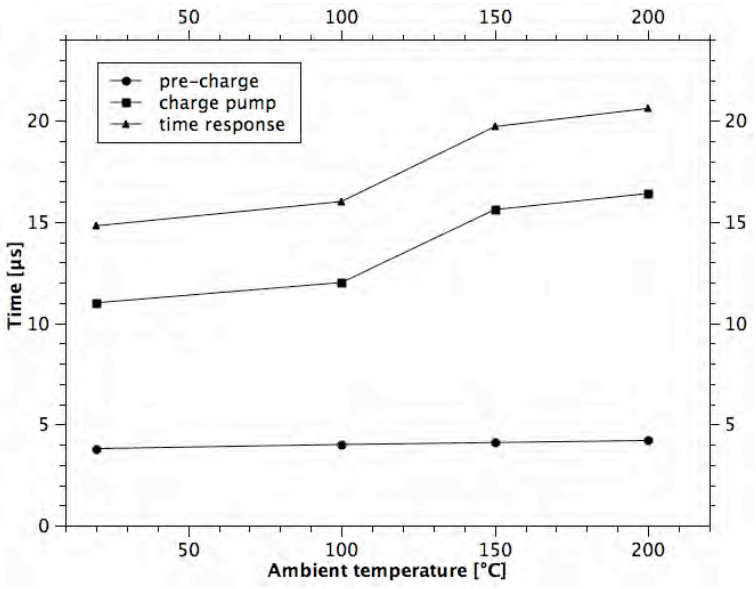


FIGURE 4.41 – Evolution de la réactivité de la fonction de protection contre le court-circuit.

activité très important par rapport au prototype discret. L'intégration de cette fonction de protection est donc pertinente.

Conclusion : Cette nouvelle fonction Anti court-circuit intégrée peut assurer une sécurisation efficace des JFETs en évitant un cour-circuit prolongé aux transistors. Elle est très rapide même en haute température (20µs à 200°C) et montre un gain de réactivité d'un facteur 10 par rapport à l'ancienne fonction développée au laboratoire.

4.2.6 Vers un module de bras d'onduleur à JFET SiC

L'objectif à moyen terme des études d'intégration vise la démonstration d'un module multi-puces (Multi-Chip Module) d'onduleur tri-phasé, embarquant l'ensemble des fonctionnalités.

Un premier module de bras d'onduleur complet a été réalisé sur DBC (figure 4.42). Ce dernier inclut en plus des éléments passifs (résistances, capacités), deux drivers Drv1 et deux puces nues de JFET SiC de la société SICED. Le test à l'ambiante a permis de valider le fonctionnement du module. Les composants ont été brasés avec de la soudure haute température mais les premiers tests montrent une fragilité mécanique. Une étude, dans le cadre du projet THOR, consécutif au projet COTECH, vise à améliorer ces problèmes de report. Notamment la finition du DBC est sujette à investigation (dépôt d'or ou alliage), un boitier adéquat s'avère nécessaire en plus d'un gel de silicone encapsulant l'ensemble. L'objectif n'est pas de proposer une solution de packaging haute température mais de permettre les tests fonctionnels à haute température.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

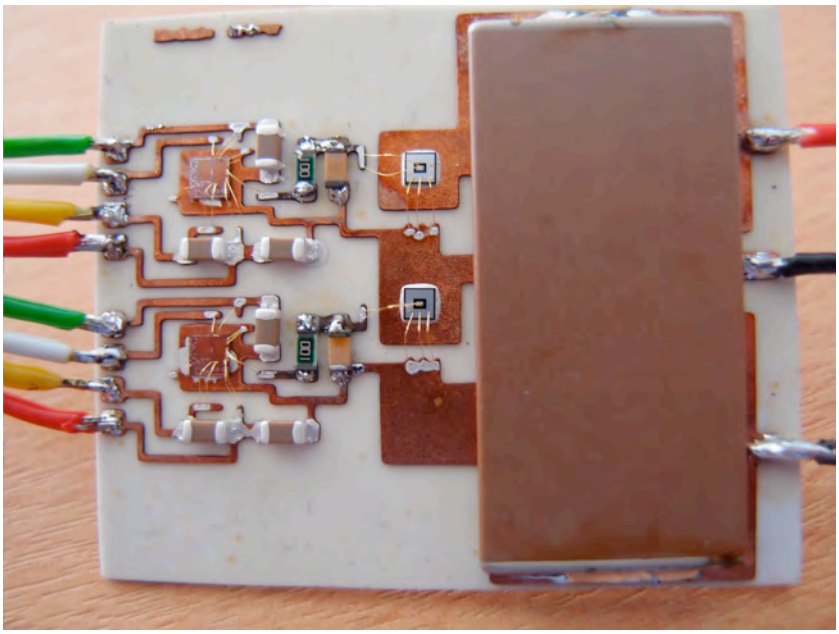


FIGURE 4.42 – Premier module sur DBC pour le test fonctionnel du bras d'onduleur JFETs SiC avec des drivers SOI

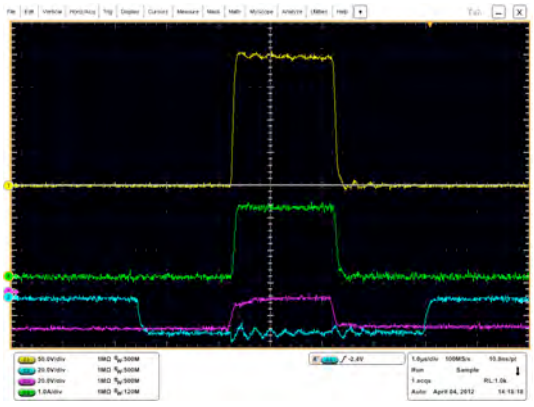


FIGURE 4.43 – Tensions de grilles des JFETs et tension et courant de sortie du module

La figure 4.43 montre les relevés des signaux caractéristiques du module à l'ambiante sur une charge résistive (En jaune la tension de sortie, en vert le courant de sortie, en bleu la tension de grille du JFET du bas et en rose la tension de grille du JFET du haut). Le premier test de fonctionnalité est concluant, reste à caractériser ce module en température.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

4.3 Conclusion

Au sein de ce chapitre, nous avons présenté la conception et la caractérisation de trois drivers Drv1, Drv2 et Drv3, (un quatrième driver Drv4 étant encore en test). La plus grande partie des circuits embarqués sur le run 2 a été testée avec succès et ceci à des températures dépassant largement ce qui a été présenté dans la littérature.

Les trois drivers Drv1, Drv2 et Drv3 sont basés sur la même architecture de l'étage de sortie (*PushPull*) mais pour des tailles différentes de cet étage. Ils présentent tous les trois un fonctionnement acceptable entre -50°C et 250°C, et au delà, avec une bonne capacité en courant et des temps caractéristiques (montée, descente, retard) suffisamment faibles pour assurer une vitesse de commutation élevée du transistor JFET. Un comparatif sur les tailles des étages de sortie découle directement de ces mesures et permet d'identifier la taille adéquate de l'étage de sortie, en perspective d'un troisième run et compte tenu de la maturité actuelle des transistors JFET SiC.

Des fonctions de protection essentielles (*UVLO*, *ThermalShutdown*) ont été intégrées aux drivers et testées en haute température. Le driver Drv3 embarque d'autres fonctions innovantes telles qu'un étage de sortie à taille modulable en fonction de la température. Ceci permet une stabilité accrue du courant de sortie, même si quelques défauts persistent. Des tests pour évaluer les pertes énergétiques sont en cours. Les premières mesures (statiques, moyennes) donnent une consommation inférieure à 1.8W pic pour 10kHz de récurrence de commande. La puissance moyenne dépend du rapport cyclique. Ce chiffre est important pour évaluer l'existence de points chauds dans la structure (en vue de l'analyse de défaillance) et pour le dimensionnement de l'alimentation isolée du driver. D'autre part, nous avons validé une fonction de génération de temps morts, permettant de fixer sa valeur à une température donnée. Ces fonctions adaptatives avec la température offrent une gestion plus précise des performances des drivers vis-à-vis de la commande de haut niveau de l'onduleur.

Finalement, une nouvelle fonction de protection contre les court-circuits a été développée et testée avec succès. Sa caractérisation a démontré une réactivité nettement plus importante que celle obtenue avec un premier prototype discret, et somme toute aussi améliorée par rapport au second prototype discret, servant de validation de faisabilité de la solution intégrée. Des améliorations sont à apporter sur le dimensionnement de la pompe de charge négative, qui se trouve largement surdimensionnée. Cette fonction est actuellement testée sur un bras d'onduleur, avec l'idée de court-circuits répétitifs sous 540V et à haute température ambiante (avec une inductance de bus HVDC variable).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Chapitre 5

Conclusion générale et perspectives

5.1 Conclusion

Les travaux présentés dans ce mémoire de thèse, concernent la conception et la caractérisation de blocs pour le cœur d'un driver en technologie CMOS SOI pour la commande de transistors JFET SiC et ceci en environnement haute température. Ces travaux ont été réalisés dans le cadre du projet FNRAE COTECH.

Pour des applications aéronautiques, les modules de puissances devront fonctionner à température ambiante extrême tout en offrant une densité de puissance élevée. Les points clefs pour répondre à cette problématique sont l'amélioration du packaging et l'utilisation de dispositifs électroniques dédiés à la haute température. Le premier point bénéficie de grandes avancées mais pour l'électronique, seule la partie puissance est embarquée, notamment grâce à des composants de puissance à grand gap (SiC). L'amélioration de ces modules de puissance passe donc par une intégration de la partie commande, et en particulier par la conception de driver intégré. La technologie CMOS SOI semble la plus prometteuse à court terme pour réaliser cette intégration, de part les excellents propriétés du SOI comparé au silicium standard.

Un état de l'art sur les drivers SOI a mis en lumière l'absence actuelle de driver intégré combinant une bonne capacité en courant, des fonctions de protection et un fonctionnement en haute température (225°C). A partir de cet état de l'art, une architecture de driver ainsi que des spécifications ont été mises en place. Ce cahier des charges, propre au projet COTECH, sera repris dans les projets futurs devant aboutir à un module complet. Cette première phase a aussi été l'occasion de nous intéresser aux drivers commerciaux en technologie SOI, en permettant, à notre point de vue, de valider l'utilisation de cette technologie pour la haute température.

La conception d'une première puce en CMOS SOI porte sur la réalisation de circuits élémentaires pour la haute température. En effet, les fonctions dites « de base » auraient dû être notre point de départ au sein du projet COTECH mais les projets antérieurs n'ont

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

pas abouti à une contribution dans ce sens. Ainsi, l'objectif de ce premier run a clairement été une prise en main et une évaluation de la technologie choisie : Smartis-1 de la société Atmel (TFSmar1 chez Telefunken). Le design kit est apparu trop sommaire pour garantir le dimensionnement de nos circuits. Toutefois, les tests réalisés sur les fonction de base (étage de sortie, *buffers*, fonction d'isolation) sont très satisfaisants pour une application haute température. Ainsi, les performances de l'étage de sortie *PushPull* ont montré que celui-ci ne souffrait pas de la comparaison avec l'étage *Totempole*. Ce qui permet d'envisager un driver plus intégré en se passant de la pompe de charge (ou de *bootstrapping*) nécessaire au fonctionnement de l'architecture *Totempole*. Nous avons aussi pu tester avec succès, un premier module hybride incluant la première puce SOI et un bras de JFET à haute température. Sur la base de ces résultats encourageant, une seconde puce a été conçue.

La seconde puce vise la réalisation de premiers prototypes de driver en se focalisant sur la mise en forme des signaux de contrôle de l'étage de sortie et sur certaines fonctions de protection. Quatre drivers ont été intégrés. Trois sont basés sur une architecture *PushPull* avec des options différentes, et le dernier sur une configuration *Totempole*. Dans ce manuscrit, seuls les trois premiers sont présentés. Les résultats expérimentaux montrent que tous les trois présentent un fonctionnement très satisfaisant sur un intervalle de température allant de -80°C à 300°C, avec une bonne capacité en courant et des temps caractéristiques (montée, descente, retard) faibles, pouvant assurer une vitesse de commutation élevée au transistor JFET. La caractérisation des drivers Drv1 et Drv2 laisse envisager un dimensionnement plus fin de la taille de l'étage de sortie, permettant d'aboutir à un compromis entre sa capacité en courant et son exposition à la température. Le driver Drv3 plus complet, a permis de nous démarquer des études concurrentes, en introduisant tout d'abord des fonctions modulables avec la température. De plus, nous avons conçu une fonction anti court-circuit intégrée, originale au sens de l'état de l'art et plus réactive que les prototypes discrets.

Nos résultats rattrapent donc globalement les travaux de l'université du Tennessee et de la société CISSOID pour ne retenir qu'un exemple académique et un industriel. En effet, la société CISSOID, impliquée dans le projet européen CREAM, a développé un lot de composants en CMOS SOI 0,8μm (fondeur XFab) permettant de réaliser un driver embarquant les isolations de signaux et d'alimentations. Toutefois, cette carte de driver, composée d'autant de puces que fonctions, n'as pas fait l'objet d'une analyse de défaillance au delà de 225°C. De l'autre coté, la quatrième génération de driver de l'université du Tennessee embarque au sein d'une même puce la majeure partie des fonctions nécessaires au bon fonctionnement du driver. Leur puce reste cependant de grande taille, de part le choix d'un étage de sortie *Totempole* totalement intégré. Reste à réaliser et intégrer la protection contre les court-circuits et l'isolation des signaux logiques d'entrée et d'alimentation. Leur driver n'a d'ailleurs pas été testé au delà de 200°C. Ainsi, notre seconde puce comporte quasiment les même fonctions de base que celle du Tennessee avec quelques nouveautés en terme de modularité avec la température. Il nous a toutefois manqué de temps au sein du projet FNRAE COTECH pour aboutir à la livraison d'un driver optimisé (figure 5.1) ayant toute les fonctions de sécurisation (*Desat, ActiveClamping*) et d'isolation (transformateur

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

planar). Le troisième run se comparera directement à celui du Tennessee mais avec un souci de caractérisation sur une plage de température plus étendue, et avec plusieurs fonctions originales (Anti court-circuit, étage modulable) non démontrées ni côté industriel ni côté laboratoire.

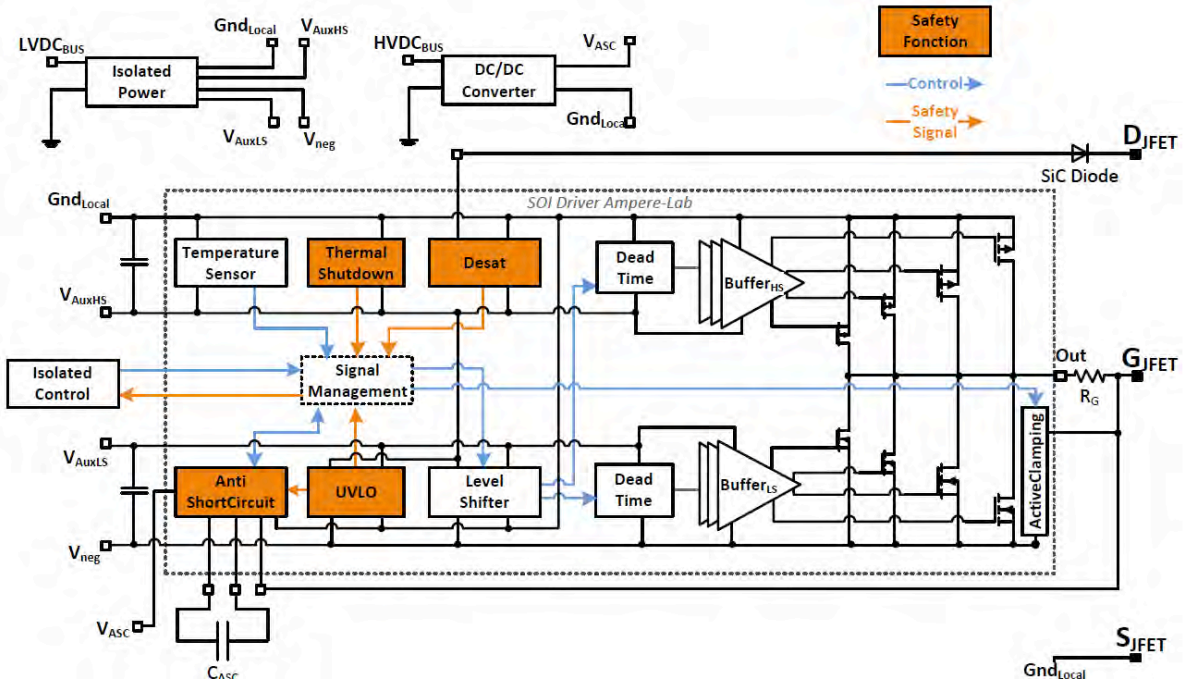


FIGURE 5.1 – Synoptique du driver prévu pour le run 3.

5.2 Perspectives

Le projet COTECH a permis d'acquérir une expérience indispensable vers la réalisation de modules multi-puces (MCM) pour des applications visant un environnement sévère. Les perspectives sont ainsi multiples et s'étalent au travers d'action à court terme et à long terme.

Les actions court terme sont :

- Le test de l'anti court-circuit sur un bras d'onduleur sous 540V et sur la gamme étendue de température ;
- L'évaluation de la fatigue des JFETs protégés par le circuit de précharge uniquement ;
- Le test en température du dernier module sur DBC ;
- La caractérisation du transformateur à air du run 2 ;
- La construction d'un banc de test et la caractérisation vis-à-vis de l'isolation (statique et dynamique) de transformateurs et leurs modulateurs associés (produits commerciaux et IPs non testées des run 1 et 2) ;

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

– Le dimensionnement de la pompe de charge négative dans le but d'atteindre des valeurs de composants passifs compatibles avec l'intégration, dans la fonction de protection contre les court-circuits ;
– La validation expérimentale d'une solution (plus) intégrable de la fonction « Desat » ;
– La validation expérimentale d'une solution (plus) intégrable de la fonction « *Active clamping* » ;
– La validation expérimentale d'une solution intégrable (hors transformateur) de l'alimentation isolée du driver.

Les actions moyen terme sont :

– La réalisation d'un driver plus abouti (run 3) sur la base du circuit Drv3 en y intégrant les protections « *Desat* » et « *ActiveClamping* » ;
– La réalisation des fonctions d'isolation de puissance et du signal (notamment la tendance actuelle est de porter la fréquence de modulation vers 100MHz dans l'isolation du signal PWM) ;

Les actions long terme sont :
– Comparaison des performances du driver sur plusieurs technologies SOI disponibles industriellement (autour d'une grille à 0.6-0.8μm) ;
– La démonstration d'un module bras d'onduleur sur une solution plus robuste de DBC ;
– L'analyse des défaillances en ambiante chaude du driver SOI : ces informations sont essentielles pour la maturité des projets et peu d'éléments sont actuellement disponibles.

Une partie des points de perspectives ci-dessus seront poursuivis dans le cadre du projet EURIPES CATERENE THOR (2009-2013). Une collaboration entre le laboratoire et ST Microelectronics (Tours) a pour objectif la fabrication de transformateurs à air, blindés ensuite par des films ferrite, à l'aide de la technologie industrielle «IPAD ». L'analyse de défaillance des puces SOI se fera en partenariat avec EADS (division IW). Le driver issu du run 3, à venir, doit donc permettre de rattraper de manière très significative, l'état de l'art, et autoriser les premiers tests d'un module onduleur MCM.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Références bibliographiques :

[AGG 08] D. Aggeler, J. Biela, and J. W. Kolar, "A compact, high voltage 25 kW, 50 kHz dc-dc converter based on SiC JFETs," *in Proc. of APEC,* 2008, pp. 801-807

[ALL 11] B. Allard, C. But- tay, D. Tournier, R. Robutel, J.-F. Mignotte, P. Lamelot, B. Morillon, Ph. Godignon, D. Bergogne, C. Martin, H. Morel, "Higher temperature power electronics for larger-scale mechatronic integration", *in Proc. of APEC*, 2011

[ARE 07] S. Aresu, W. Kanert, R. Pufall, M. Goroll, "Exceptional operative gate voltage induces negative bias temperature instability (NBTI) on n-type trench DMOS transistors", *Microelectronics Reliability,* 2007, vol. 47, pp. 1416-1418

[AVX 10] AVX Corp., "Datasheet High Temperature Tantalum Chip Capacitor - THJ Series", 2010

[BAI 05] G. Bai, "Low-temperature sintering of nanoscale silver paste for semi-conductor device interconnection", *Ph.D. thesis*, Virginia Polytechnic Institute and State University – USA, 2005

[BAI 07] J. G. Bai, J. Yin, Z. Zhang, G.-Q. Lu, van Wyk Jacobus Daniel, "High- temperature operation of sic power devices by low-temperature sintered silver die-attachment", IEEE *Trans. on Adv. Pack.*, 2007, vol. 30

[BHA 93] M. Bhatnagar and B. Baliga, "Comparison of 6H-SiC, 3C-SiC and Si for Power Devices", *IEEE Transactions on Electron Devices*, 1993, vol. 3, pp. 645-655

[BEA 07] A. Beauger, J.-M. Haussonne, J.-C. Niepce, "Condensateurs.", *Techniques de l'Ingénieur*, 2007

[BEI 01] M. L. Beigel, "Reactively coupled elements in circuits on flexible substrates", Patent n US6,181,287 B1, 2001

[BEN 08] J. Ben Hadj Slama et al., "Study and Modelling of Optocouplers Ageing, J. Automat" ion & Systems Engineering, 2008

[BER 05] D. Bergogne, P. Bevilacqua, S. M'Rad, D. Planson, H.Morel, B. Allard, O. Brevet, "300°C operating junction temperature inverter leg investigations " *EPE'05*, 2005, pp. 1-8

[BER 08] D. Bergogne, H. Morel, P. Planson, D. Tournier, P. Bevilacqua, B. Allard, R. Meuret, S. Vieillard, S. Raél, F. Meibody Tabar, "Towards an airbone high temperature sic inverter", IN *Proc. of PESC (IEEE)*, 2008

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

[BER 10] D.Bergogne et al. "Normally-On SiC JFETs in Power Converters : Gate Driver and Safe Operation" *Proc. of CIPS 2010*, Paper 4.2

[BOU 08] M. Bouarroudj-Berkani, "Etude de la fatigure thermo-mécanique de modules électroniques de puissance en ambiance de températures élevées pour des applications de traction de véhicules électriques et hybrides", *Thése de doctorat*, ENS Cachan - France, 2008

[BOU 09] N. Boughara, S. Moumen, S. Lefebvre, Z. Khatir, J.-C. Faugiére, "Robustness of SiC JFET in Short-Circuit Modes", IEEE Electron Device Letters, 2009

[BOW 98] J.S. Bowers, "Comparative characterization of capacitors used in high temperature electronics applications", *in Proc. HITEC*, 1998, pp. 184-190

[BUR 06] L. Burdet, "Active magnetic bearing design and characterization for high temperature applications", *PhD dissertation*, EPFL- Lausanne- Suisse, 2006

[BUT 10] C. Buttay, R. Robutel, C. Martin, C. Raynaud, S. Dampieni, D. Bergogne, T. Chailloux, "Effect of High Temperature Ageing on Active and Passive Power Devices", *Proc. of HITEC*, 2010

[BUT 11] C. Buttay, D. Planson, B. Allard, D. Bergogne, P. Bevilacqua, C. Joubert, M. Lazar, C. Martin, H. Morel, D. Tournier, C. Raynaud "State of the art of high temperature power electronics" Materials Science and Engineering B 2011, pp. 283-288,

[BRE 06] S. Bréhaut, F. Costa, "Gate driving of high power IGBT by wireless transmission", Proc. IEEE IPEMC, 2006

[CAS 07] C. Cass, Y. Wang, R. Burgos, T. P. Chow, F. Wang, and D. Boroyevich, "Evaluation of SiC JFETs for a three-phase current-source rectifier with high switching frequency", *in Proc. IEEE Applied Power Electronics Conf. (APEC),* 2007, pp. 345-351.

[CAS 08] C. Cass, R. Burgos, F. Wang, and B. Dushan, "Improved charge control with adjustable input power factor and optimized switching pattern for a 150 kHz three-phase buck rectifier," *in Proc. Applied Power Electronics Conf. (APEC) 2008*, pp. 1200-1206.

[CAU 10] X. Cauchy, F. Andrieu, "Questions and answers on fully depleted SOI technology for next generation CMOS node", 2010, accessible en ligne : `www.soitec.com/pdf/SOIconsortium_FDSOI_QA.pdf`

[CHA 03] H. R. Chang, E. Hanna, and A. V. Radun, "Demonstration of silicon carbide (SiC)- based motor drive," *in Proc. Industrial Electronics Conf. (IECON)* 2003, pp. 1116–1121.

[CHA 08] N Chasserio, S Guillemet-Fritsch, T Lebey, S Dagdag, "Ceramic Substrates for High-temperature Electronic Integration", *Journal of Electronic Materials*, 2008, vol. 38, pp. 164-174.

[CHE 08] L. Chen, F. Peng, and D. Cao, "A smart gate drive with self-diagnosis for power MOSFETs and IGBTs," *Proc. of Applied Power Electronics Conference and Exposition*, 2008, pp. 1602-1607.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

[CHE 09] J. F. Chen, K.-S. Tian, S.-Y. Chen, K.-M. Wu, J. R. Shih, and K. Wu, "Mechanisms of Hot-Carrier-Induced Threshold-Voltage Shift in High-Voltage p- Type LDMOS Transistors", IEEE *Transactions on Electron Devices*, 2009, pp. 3203-3206

[CIL 06] E. Cilio, J. M. Hornberger, B. McPherson, R. M. Schupbach, and A. B. Lostetter, "Design and fabrication of a high temperature (250˚C baseplate), high power density silicon carbide (SiC) multichip power module (MCPM) inverter," *in Proc. Industrial Electronics (IECON)* 2006, pp. 1822-1827

[COR 02] CORDIS FP7 Project, "High temperature failure modes in SOI", 2002

[CRI 02] S. Cristoloveanu, F. Balestra, "Technologie silicium sur isolant (SOI) ", *Techniques de l'Ingénieur, article E 2 380*

[DEL 10] P. Delatte, "Designing high temperature electronics", *Electronic Engineering Times*, June 14, 2010, pp. 28-29.

[DOM 06] D. Domes, R. Werner, W. Hofmann, K. Domes, S. Krauss, "A new universal and fast switching gate drive concept for SiC-JFETs basedon current source principle", ProC. IEEE PESC, 2006

[DOY 09] L. Doyen, "Caractérisation électrique de l'endommagement par électromigration des interconnexions en cuivre pour les technologies avancées de la microélectronique", *Thése de doctorat*, 2009

[DUL 06] L. Dulau, S. Pontarollo, A. Boimond, J.-F. Garnier, N. Giraudo, and O. Terrasse, "A new gate driver integrated circuit for IGBT devices with advanced protections," *Power Electronics, IEEE Transactions on*, vol. 21, no. 1, pp. 38-44, 2006.

[DUP 06] L. Dupont, K. Zoubir, S. Lefebvre, S. Bontemps, R. Meuret, Inrets Ltn, Général Malleret-joinville, and F Arcueil, "Study of different ceramic substrates technologies under high temperature cycles", *Test*, 2006, no. 1,

[ELA 02](A.ELASSER,T. PAUL CHOW, PROCEEDINGS OF THE IEEE, VOL. 90, NO. 6, JUNE 2002)

[ERB 11] B. Erbagci, "High temperature processor and memory implementation", *PhD Thesis*, EPFL Lausanne - Suisse, 2011

[FAR 10] Fairchild Semiconductor Corporation, "FOD3150 High Noise Immunity, 1.0A Output Current, Gate Drive Optocoupler," Data Sheet FOD3150 Rev. 1.0.3, May 2010. `http://www.fairchildsemi.com`

[FIO 04] R. Fiore, "Considerations for Optimal Capacitive Coupling", Microwave Product Digest, Juin, 2004

[FLA 01] D. Flandre et al., "Fully depleted SOI CMOS technology for heterogeneous micropower, high temperature or RF microsystems", *Solid-State Electronics*, 2001, vol. 45, pp. 541-549

[FRI 07] T. Friedli, S. D. Round, and J. W. Kolar, "A 100 kHz SiC sparse matrix converter," *in Proc. Power Electronics Specialists Conf. (PESC)* 2007, pp. 2148-2154.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

[FUK 01] Y. Fukuda, S. Ito, M. Ito, "SOI-CMOS device technology", *Fumio Ichikawa Nikkei Electronics*, 2001, vol. 68, pp. 54-57

[FUN 07] T. Funaki, J.C. Balda, J. Junghans, A.S. Kashyap, H.A. Mantooth, F. Barlow, T. Kimoto, H. Takashi, "Power conversion with SiC devices at extremely high ambient temperatures", *IEEE Transactions on Power Electronics*, 2007, vol.22, pp. 1321-1329

[GAM 06] J.P. Gambino et al., "Stress migration lifetime for Cu interconnects with CoWP-only cap", *IEEE Trans. Dev. And Mat. Rel.*, 2006, vol. 6, pp. 197-202

[GOB 06] C. Gébl, P. Beckedahl, H. Braml, "Low temperature sinter technology die attachment for automotive power electronic applications", *Automotive Power Electronics*, 2006

[GOD 96] G. Godefroy, "Ferroélectricité", *Techniques de l'Ingénieur*, 1996

[GRE 11] R.L. Greenwell, B.M. McCue, L. Zuo, M.A.A Huque, L.M. Tolbert, B. J. Blalock, S.K. Islam, "SOI-Based Integrated Circuits for High-Temperature Power Electronics Applications", *Applied power Electronics Conference and Exposition (APEC)* 2011, pp. 836-843

[HAM 11] Y. HAMIEH, "Caracteérisation et modeélisation du transistor JFET en SiC à haute tempeérature", *Thése de doctorat*, INSA-Lyon - France, 2011

[HAR 09] K. Hara et al., "Radiation resistance of SOI pixel devices fabricated with OKI 0.15μm FD-SOI technology", *IEEE Trans. On Nucl. Sc.*, 2009, vol. 56, pp. 2896-2904

[HAR 10] G. G. Harman, "Metallurgical Interconnections for High/low Temperature Extreme Environments in Microelectronics", `http://www.nist.gov`, 2010

[HEL 04] M. L. Heldwein and J. W. Kolar, "A novel SiC JFET gate drive circuit for sparse matrix converter applications," *IEEE Applied Power Electronics Conference and Exposition*, 2004, pp. 116-121.

[HES 99] H.L. Hess et al., "Transformerless capacitive coupling of gate signals for series operation of power MOS devices", Proc. IEEE PESC, 1999, pp. 673-675

[HOF 05] I.W. Hofsajer, "A simple, low cost gate drives method for pratical use of SiC JFETs in SMPS" *EPE* 2005, pp : 01-06.

[HOR 07] J. M. Hornberger, E. Cilio, B. McPherson, R. M. Schupbach, and A. B. Lostetter, "A fully integrated 300°C, 4 KW, 3-phase, SiC motor drive module," *in Proc. Power Electronics Specialists Conf. (PESC)* 2007, pp. 1048-1053.

[HOR 11] J. Hornberger, "High Temperature Silicon Carbide Power Modules for High Performance Systems", *Proc. of HiTEN IMAPS*, 2011

[HOW 95] J. R. Howard, "Circuit boards including capacitive coupling for signal transmission and methods of use and manufacture", Patent n US 5,466,892, 1995

[HRL] HRL laboratories, "ULTRA-HIGH-PERFORMANCE INTEGRATED CIRCUITS", `www.hrl.com/capabilities/caps_circuits.html`

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

[HUI 99] S. Y. Hui, S. C. Tang, and Henry Shu-Hung Chung, "Optimal Operation of Coreless PCB Transformer-Isolated Gate Drive Circuits with Wide Switching Frequency Range", IEEE Trans. Pow. Electr., 1999, vol.14, n°3, pp.506-514

[HUQ 05] M. Huque, S. Islam, B. Blalock, C. Su, R. Vijayaraghavan, L. Tolbert, "Silicon-on-Insulator Based High-Temperature Electronics for Automotive Applications", *IEEE International Symposium on Industrial Electronics*, 2008

[IPDA] IPDIA, "High temperature silicon capacitors (up to 250°C)", *http ://www.micross.com/pdf/IPDiA%20High%20temp.pdf*

[IOA 07] D.P. Ioannou, D.E. Ioannou, "Some issues of hot-carrier degradation and negative bias temperature instability of advanced SOI CMOS transistors", *Solid-State Electronics*, 2007, vol. 51, pp. 268-277

[JOH 07] R. W. Johnson, C. Wang, Y. Liu, J. D. Scofield, "Power device packaging technologies for extreme environments", *IEEE Trans. on Electr. Pack. Man.*, 2007, 30

[KHA 11] R. Khazaka, "Etude du vieillissement de polyméres isolants utilisés dans le packaging des modules de puissance haute température", *Thése de doctorat*, Université de Toulouse - France, 2011

[LI 02] F. Li, D. Giannopoulos, and I. Wacyk, "A low loss high-frequency half-bridge driver with integrated power devices using EZ-HV SOI technology," *IEEE Applied Power Electronics Conference and Exposition*, 10-14 March 2002, pp. 1127-1132.

[LOS 11] Lostetter et al., "High Temperature Silicon Carbide Power Modules for High Performance Systems", *Proc. of ICSCRM*, 2011

[MAL 05] E. R. Mallison, "High temperature SOI CMOS Electronics development", *Proc. of HiTEN*, 2005

[MAS 12] A. Masson, "Mise en œuvre de techniques d'attache de puces alternatives aux brasures pour des applications haute tempeérature", *Thése de doctorat*, INSA Lyon - France, 2012

[MAY 11] J. Valle Mayorga, C. Gutshall, K. Phan, I. Escorcia, H. A. Mantooth, B. Reese, M. Schupbach, A. Lostetter, "High Temperature Silicon-on-Insulator Gate Driver for SiC-FET Power Modules", *IMAPS International Conference on High Temperature Electronics Network (HiTEN 2011),* 2011

[MAZ 07] S. K. Mazumder, K. Acharya, and C. M. Tan, "Design of an all-SiC radio-frequency controlled parallel dc-dc converter unit," *in Proc. IEEE Power Electronics Specialists Conf. (PESC)* 2007, pp. 2833-2839.

[MII 12] Mii Hybrid Mircoelectronics, "Dual current-to-current opto-isolatir, high temperature (200°C)", 10 février 2012, [Available] `http://www.micropac.com`

[MIY 09] H. Miyazaki, D. Kodama, N. Suzumura, "Phenomenological classification of stress-induced leakage current and time-dependent dielectric breakdown mechanism," *Journal of Applied Physics* , 2009, vol.106, no.10

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

[MIT 98] Mitsubi electric "Using intelligent power modulus", 1998, accessible en ligne : www.mitsubishielectric.com/semiconductors/files/manuals/powermos6_0.pdf

[MOU 06] S. Mounce, B. McPherson, R. Schupbach, and A. B. Lostetter, "Ultra-lightweight, high efficiency SiC based power electronic converters," *in Proc. IEEE Aerospace Conf.*, 2006, pp. 1-19.

[MUN 03] M. Munzer, W. Ademmer, B. Strzalkowski, K.T. Kaschani, "Insulated signal transfer in a half bridge driver IC based on coreless transformer technology", Proc. IEEE PEDS, 2003, vol. 1, pp. 93-96

[NGW 04] V.C. Ngwan, Z. Chunxiang, A. Krishnamoorthy, "Analysis of leakage mechanisms and leakage pathways in intra-level Cu interconnects," *Reliability Physics Symposium Proceedings*, 2004, vol., no., pp. 571-572,

[MEN 10] L. Ménager, B. Allard, V. Bley, "Conditionnement des modules de puissances", *article E3385 des Techniques de l'ingénieur*, 2010

[MOU 08] R. Mousa, D. Planson, H. Morel, B. Allard, et C. Raynaud, "Modeling and high temperature characterization of SiC-JFET", *Proc. of IEEE PESC*, 2008, pp. 3111-3117

[MOU 09] R. Moussa, "Caractérisation, modélisation et intégration de JFET de puissance en carbure de silicium dans des convertisseurs haute température et haute tension", *Thése de doctorat*, INSA-Lyon - France, 2009

[NIE 10] C. Nies, S. Harris, "A Comparison of Multilayer Ceramic Capacitor Technologies for High Temperature Applications", *Proc. of HITEC*, 2010

[NIN 10] P. Ning, R. Lai, D. Huff, F. Wang, K. D.T . Ngo, V. D. Immanuel, and K. J. Karimi, "SiC wirebond multichip phase-leg module packaging design and testing for harsh environment", *IEEE Transactions on Power Electronics*, 2010, vol. 25, no. 1, p16-23

[NOR 12] K. Norling, C. Lindholm, D. Draxelmayr, "An Optimized Driver for SiC JFET-Based Switches Delivering More Than 99% Efficiency", *Proc. Of ISSCC*, 2012

[NOV 10] Novacap., "Datasheet 200°C HIGH TEMPERATURE - COG", 2010

[OKO 10] R. S. Okojie, L. J. Evans, D. Lukco, and J. P. Morris, "A novel tungstene-nickel alloy ohmic contact to Si Cat 900°C", *IEEE Electron Device Letters*, 2010, vol. 31, no. 8, pp. 791-793

[PAR 01] J. M. Park, E. D. Kim, S. C. Kim, N. K. Kim, W. Bahng, G. H. Song, and S. B. Han, "A monolithic IGBT gate driver for intelligent power modules implemented in 0,8μm voltage (50 V)CMOS process," Microelectronics Journal, vol. 32, no. 5-6, pp. 537-541, 2001.

[QUI 08] T. Quintero, Pedro O. andy Oberc, F. P. McCluskey, "High temperature die attach by transient liquid phase sintering", *Proc. of HITEC*, 2008

[RAG 09] N. Raghavan, K. Prasad, "Statistical outlook into the physics of failure for copper low-k intra-metal dielectric breakdown," *IEEE Int. Reliability Physics Symposium,* 2009, pp.819-824

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

[RAI 10] S. L. Rai, "Coupling element for electromagnetic coupling of at least two conductors of a trnamission line", Patent n° US 7,760,047 B2, 2010

[RAY 08] B. Ray, H. Kosai, J. D. Scofield, and B. Jordan, "200°C operation of a dc–dc converter with SiC power devices," *in Proc. IEEE Applied Power Electronics Conf. (APEC)* 2007, pp. 998-1002.

[REA 10] D.T. Read, "Interconnect Metal Damage Mechanisms and Reliability : Current Practice, Recent Research on Accelerated Stress Testing, and Future Needs", *IEEE workshop on accelerated stress testing and reliability*, 2010

[REB 03] C. Rebbereh, H. Schierling, and M. Braun, "First inverter using silicon carbide power switches only," *in Proc. European Power Electronics Conf. (EPE)*, 2003, pp. 1-6.

[ROB 05] M. Roßberg, R. Herzer, S. Pawel : "Latch-up free 600V SOI Gate Driver IC for Medium Power and High Temperature Applications", *Proc. EPE* 2005

[ROB 10] R. Robutel, C. Martin, H. Morel, C. Buttay, D. Bergogne, N. Gazel, "Design of High Temperature EMI Input Filter for a 2 kW HVDC-fed Inverter", *Proc. of HITEC*, 2010

[ROB 11] R. Robutel, "étude des composants passifs pour l'électronique de puissance a haute température : application au filtre CEM d'entrée", *Thése de doctorat*, INSA Lyon - France, 2011

[ROM 92] J. Roman, T. Eagar, "Low stress die attach by low temperature transient liquid phase bonding", *Int. Symposium on Microelectronics*, 1992

[ROM 08] T. Romanko, "Developing integrated circuits for -55°C to +250°C", *Applications Engineer, Honeywell Aerospace*, 2008

[ROU 05] S. Round, M. Heldwein, J. Kolar, I. Hofsajer, and P. Friedrichs, "A SiC JFET driver for a 5 kW, 150 kHz three-phase PWM converter," *Proc. of IAS*, 2005, pp. 410-416

[SCH 02] U. Schwarzer, R.W. De Doncker, "Design and implementation of a driver board for a high power and high frequency IGBT inverter", Proc. IEEE PESC, 2002, vol. 4, pp. 1907-1912

[Schlumberger] Schlumberger, "A 200°C 35,000-psi HP/HT MWD Tool : Development Program, Architecture, Mission Profile, and Prototype Testing Results to Date", `www.slb.com/services/drilling`

[SHE 04] W.W. Sheng, R.P. Colino, "Power Electronic Modules : Design and Manufacture", *CRC*, 2004

[SIM 10] T. Simonot, N. Rouger, J.-C. Crebier, "Design and characterization of an integrated CMOS gate driver for vertical power MOSFETs", *Energy Conference and Exposition IEEE*, 2010

[SIN 10] M. Singh, R. Asthana, "Joining and integration of ZrB2-based ultra-high temperature ceramic composites using advanced brazing technology", *J. of Materials Science*, 2010, pp.4308-4320

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

[SMI 10] B. Smith, "High voltage signal isolation by capcitive coupling", Patent n° WO 2010/039449 A1, 2010

[THO 99] F. Thomél, D. B. King, "Applications, Needs, and Alternatives", *IEEE Press*, "High Temperature Electronics", 1999, pages : 97-110.

[THO 07] S. Thorhallsson, T. Schulte, "Drilling cost effectiveness and feasibility of high-temperature drilling" *Workshop Abstracts of the Engine*, 2007

[VAS 11] D. Vasic, "Applications des matériaux piézoélectriques en électronique", Habilitation à Diriger des Recherche, Université Cergy Pontoise, 2011

[VEN 02] D. De Venuto, M. Kayal, M.J. Ohletz, "Fault detection in CMOS/SOI mixed-signal circuits using the quiescent current test", *Microelectronics Journal*, vol. 33, pp. 387-397, 2002

[WAF 08] S. Waffler, S. D. Round, J. W. Kolar, "High Temperature (>200°C) Isolated Gate Drive Topologies for Silicon Carbide (SiC) JFET", *Proc. of the 34th Annual IEEE Conference of Industrial Electronics (IECON08)*, Orlando (Florida), USA, Nov. 10-13, pp. 2867-2872, 2008

[WAN 08] B. Wang, M. Riva, J. Bakos, and A. Monti, "Integrated circuit implementation for a GaNHFETs driver circuit,"*Proc. Of Applied Power Electronics Conference and Exposition*, 2008.

[WON 99] W. Wondrak, "Physical Limits and Lifetime Limitations of Semiconductor Devices at High Temperatures", *Microelectronics Reliability*, vol.39, pp.1113-1120, 1999

[XU 11] Z. Xu, M. Li, F. Wang, Z. Liang, "Investigation of Si IGBT Operation at 200°C for transportation applications", *Proc. of IEEE ECCE*, 2011

[XFA 11] xfab.com *http ://www.slb.com/news/press_ releases/2011*

[YON 88] S. Yoneda et al., "Capacitive coupling type data transmission circuit for portable electronics apparatus", Patent n° 4,763,340, 1988

[ZEL 10] S. Zeltner, "Insulating IGBT driver with PCB integrated capacitive coupling elements", Proc of CIPS, 2010

[ZHA 01] H. Zhang, T. Wei, G. Yang, Y. Feng, A. Song, "New auto-bulk-biased multi-threshold SOI CMOS circuit operating at high temperature", *J. of Functional Materials and Devices,* 2001

[ZOL 98] J. C. ZOLPER, *Solid-State Electronics* 42 (1998) 2153

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Annexes

Annexe A1 : Driver résonnant

L'environnement haute température appelle à prendre en considération la puissance dissipée par l'étage driver pour limiter son auto-échauffement et ainsi contrôler la température maximale dans le cristal de semiconducteur. L'état de l'art de l'analyse de défaillance a établi que cette température maximale influe au premier ordre sur la robustesse du composant **[DRO 08]**. En schématisant l'interaction driver-JFET comme sur la figure A1.1, on peut évaluer une valeur minimale de la puissance dissipée par le driver par la relation :

$$P_{driver} = C_g . f_{SW} . \Delta V_{out}^2$$

où Cg est la capacité équivalente du JFET (~4nF), f_{SW} la fréquence de découpage (100kHz) et V_{out} la tension de travail du driver (-25V). L'évaluation conduit à 250mW environ, à quoi il faut ajouter la consommation de chacun des étages à l'intérieur du driver. Une puissance maximale de 1W est attendue.

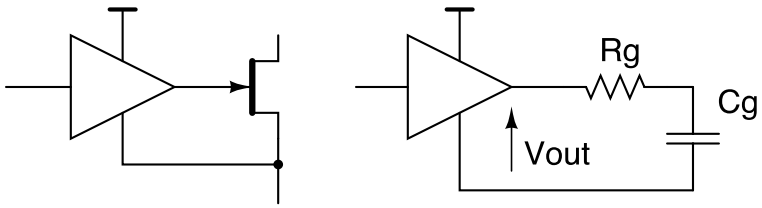


Fig. A1.1 : Principe schématique du driver

En considérant que le cristal de semiconducteur qui porte le driver est relié thermiquement à l'ambiante par une résistance thermique de l'ordre de 2 à 5°C/W (meilleure valeur industrielle à l'instant t), on voit aisément, qu'en première approximation, l'échauffement dû aux pertes ne dépasserait pas quelques degrés. Les pertes du driver peuvent donc être négligées dans un premier temps.
La structure d'un driver autour d'un amplificateur en fonctionnement en saturation (figure A1.1) est donc raisonnable. C'est celle qui a été retenue dans les travaux de cette thèse.

Le concept de driver résonant est venu avec l'idée de contrôler la charge de grille d'un transistor (MOSFET) non plus en tension, mais par une onde de courant **[DWA 05] [WAR 08] [XIN 10]**. Le driver résonant semble s'imposer lorsque de très hautes fréquences de découpage doivent être obtenues **[KOL 10] [SOE 10] [PLE 08]**. Diverses structures ont été proposées dans différents contextes d'utilisation avant que ne surgisse l'objectif de réduire les pertes du driver par récupération d'une partie des charges transmises ou prélevées sur la grille du transistor à contrôler. De manière globale, on peut résumer le fonctionnement du driver résonant par le schéma de la figure A1.2 où deux générateurs de tension peuvent imposer des échanges d'énergie avec la grille à charger (condensateur Cg) à travers une inductance L.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

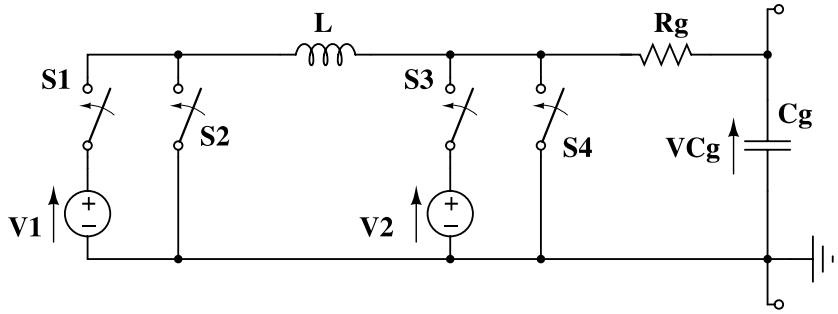


Figure A1.2 : Structure générale d'un driver résonant.

Dans le cas général, quatre interrupteurs peuvent intervenir pour construire la forme d'onde du courant de charge, et probablement ce nombre peut augmenter si on considère davantage de sources de tension pour gérer plus finement l'onde de courant vers la capacité Cg. Il apparaît immédiatement un compromis entre la finesse de contrôle de la charge et la complexité du circuit. La haute température impose de garder une certaine simplicité.

Les interrupteurs S1 à S4 isolent cinq phases principales de fonctionnement. Sans correspondre à un driver précis, les phases possibles sont illustrées sur la figure A1.3.

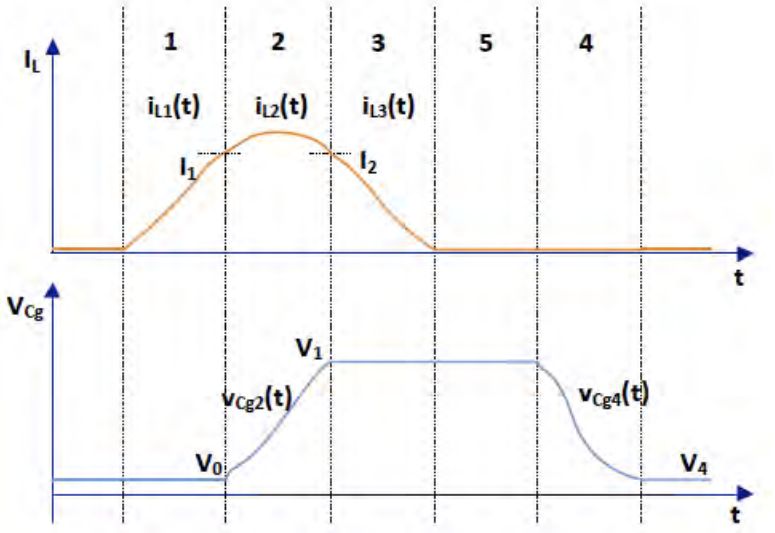


Figure A1.3 : Illustration d'un fonctionnement possible du driver schématique de la figure A1.2

Ces cinq phases sont brièvement décrites au sein de cette annexe. La plus triviale correspond à l'ensemble des interrupteurs ouverts, c'est-à-dire la grille laissée en l'air ; ce cas n'est pas raisonnable du point de vue de l'immunité au bruit et au dV/dt.

- Une phase (#1) correspond à l'accumulation d'énergie dans l'inductance, avec l'idée d'aboutir à un courant ayant une valeur voulue, I_1. Le courant dans l'inductance dépend de la différence de tension imposée au composant. La figure A1.4 illustre les cas possibles à partir du schéma général de la figure A1.2.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

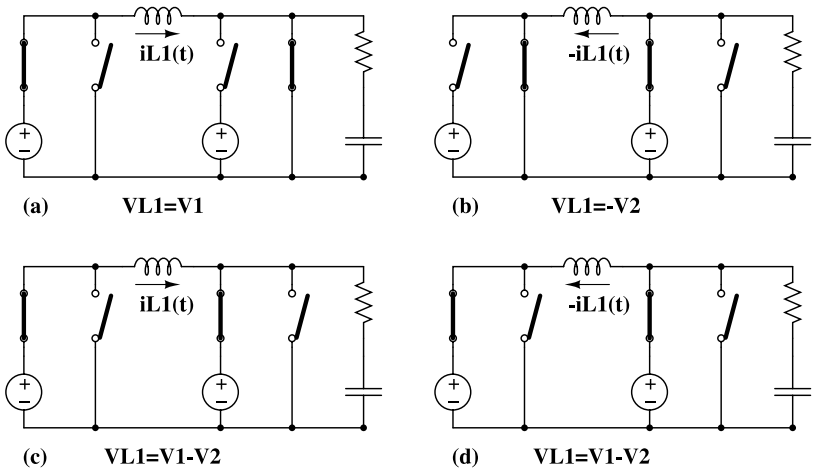


Figure A1.4 : Phase d'accumulation d'énergie dans l'inductance et topologies possibles.

La phase #1 permet de charger plus énergétiquement la capacité de grille mais au prix d'un délai. Un compromis apparaît naturellement entre le temps de charge et la valeur de l'inductance.

- La seconde phase (notée 2 sur la figure A1.3) correspond à la charge de la grille (capacité Cg) au travers d'un circuit résonant. La figure A1.5 résume les différents chemins possibles pour obtenir cet effet. Si la topologie (a) correspond à la charge de la capacité, la topologie (b) correspondra à la décharge. La phase de charge de la capacité sera limitée par une tension visée finale aux bornes de la capacité (V_2) dont l'amplitude va fixer la durée de la phase et le courant final dans l'inductance (I_2). La phase #2 décrit un demi-cycle de résonance : dans le cas (b) par exemple, seul la moitié de l'énergie de grille pourra être récupérée.

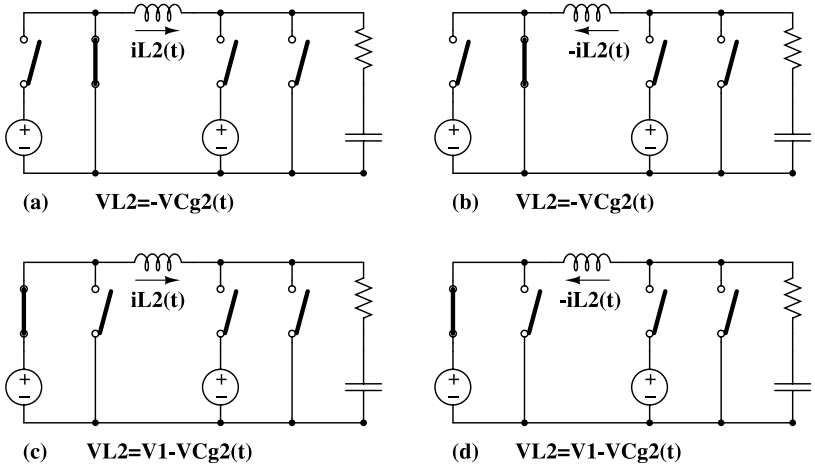


Figure A1.5 : Echange d'énergie entre l'inductance et la capacité de grille et topologies possibles.

- La phase #3 dans la figure A1.3 correspond à une récupération de l'énergie encore stockée dans l'inductance, vers une des sources. L'objectif est souvent de 'vider' l'inductance pour permettre ensuite la récupération des charges stockées dans la

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

capacité lors de la commande à l'ouverture du dispositif de puissance, par le driver. La capacité est isolée, ou clampée à une tension donnée pour garantir la tension à ses bornes. La phase 3 peut apparaître 2 fois dans le fonctionnement d'un driver donné : une première fois après la charge de la capacité et une seconde fois après la décharge de la capacité. Les topologies possibles sont résumées dans la figure A1.6. Les phases #2 et #3 sont concurrentes. En effet, une grande énergie inductive préalablement chargée permet, durant la phase #2, de charger très rapidement la capacité. Il est résulte néanmoins un plus grand risque d'énergie inductive à récupérer en phase #3. Ce qui peut s'appréhender comme le temps de montée de la tension de grille est influencé par la phase #2 mais le rapport cycle de conduction du composant de puissance est tributaire d'une valeur minimale fixée par la phase #3.

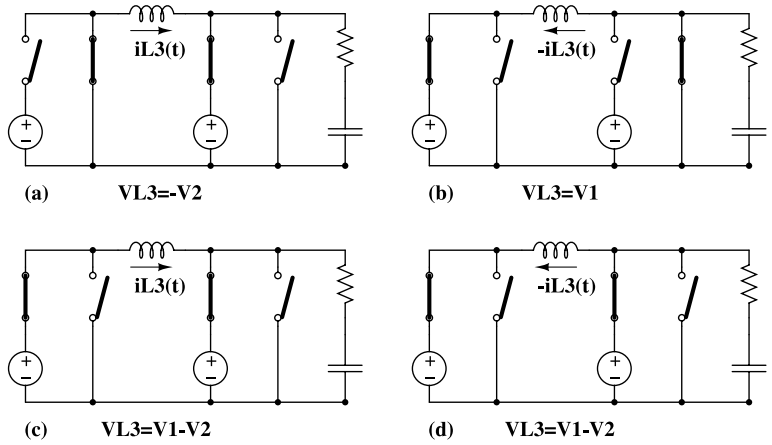


Figure A1.6 : Récupération de l'énergie résiduelle dans l'inductance et topologies possibles.

- La phase (#4) correspond à la limitation de la tension aux bornes de la capacité, soit pour écrêter la charge/décharge résonante, soit pour achever la phase de charge/décharge dans le cas d'une phase résonante trop peu énergétique (figure A1.7). Durant la phase #2, la tension V_{Cg2} est limitée à la tension V_2 mais atteindrait une tension plus élevée si le cycle de résonance était complet. Les phases #3 et #4 peuvent être combinées pour gagner sur la durée des phases.

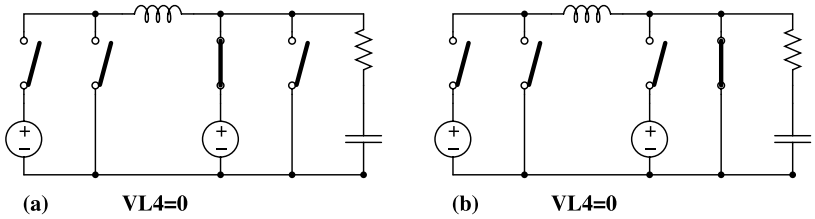


Figure A1.7 : Phases de contrôle de la tension aux bornes de la capacité de grille et topologies possibles.

Les différentes figures A1.4 à A1.7 décrivent des topologies qui doivent être reproduites à partir des mêmes interrupteurs. Les circuits décrits dans l'état de l'art sont résumés ci-après du plus simple ou plus complexe.

Devries *et. al.* présentent un circuit semi-résonant très simple mais qui n'implémente pas d'écrêtage de la tension de grille ni de phase de récupération d'énergie (figure A1.8) **[DEV**

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

02]. Le tableau A1.1 résume la succession des séquences en accord avec la topologie générale présentée figure A1.2. Ce circuit ne présente pas toutefois d'avantage par rapport au circuit à amplificateur en saturation.

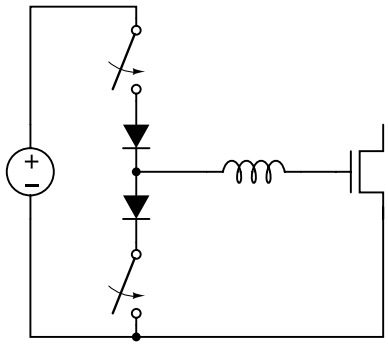


Figure A1.8 : Circuit semi-résonant **[DEV 02]**

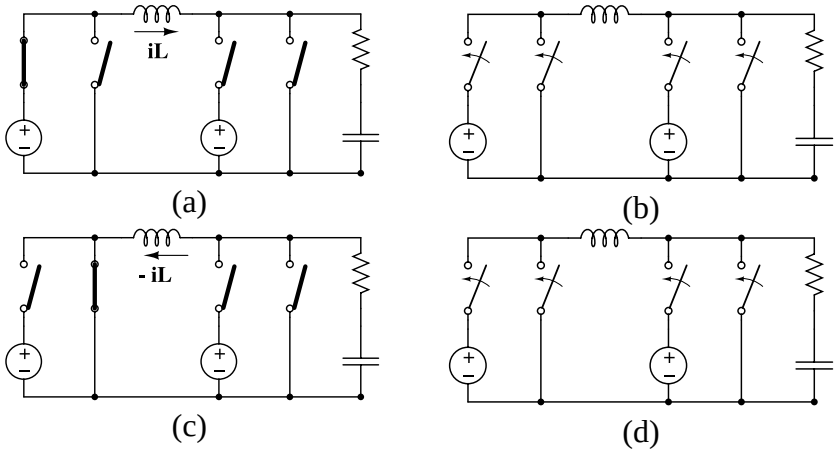


Tableau A1.1 : Séquence de topologie du driver de la figure A1.7

Plus récemment, un circuit toujours simple (semi-résonant) mais introduisant une récupération d'énergie à la mise en conduction du composant de puissance a été proposé par Dwane *et. al* (figure A1.9 et tableau A1.2) **[DAW 05]**. Toutefois, ce circuit garde la dissipation de la charge de grille à l'ouverture du composant de puissance. Le gain en pertes étant minime, ce circuit a peu d'intérêt compte-tenu de l'inductance supplémentaire. Les mêmes remarques et limitations sont faites pour les variantes de ce cicruit.

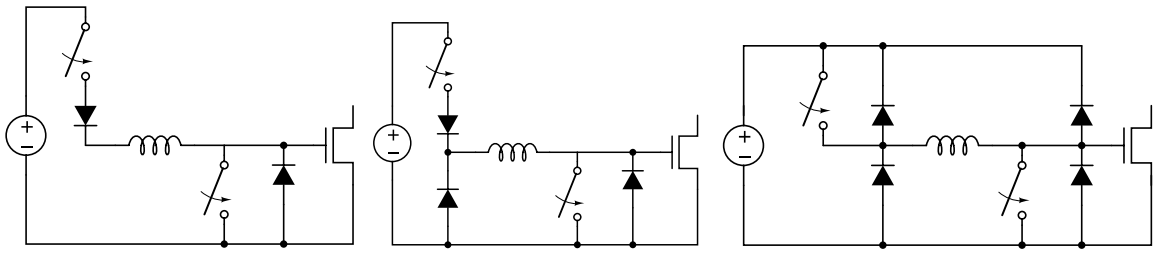


Figure A1.9 : Circuit semi-résonant [DWA 05] et ses variantes

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

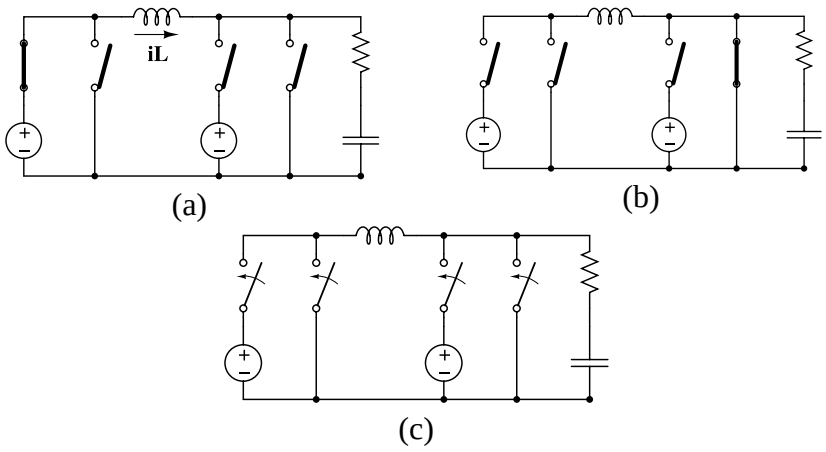


Tableau A1.2 : Séquence de topologie du driver de la figure A1.8

Plusieurs circuits semi-résonnants récupérant l'énergie en excès sur la bobine ont été mises en avant dans la littérature **[YUH 00] [YUH 04] [EBE 08]** (figure A1.10). L'élimination de deux interrupteurs commandables simplifie légèrement la séquence de topologies mais empêche la récupération de la charge de grille (tableau A1.3).

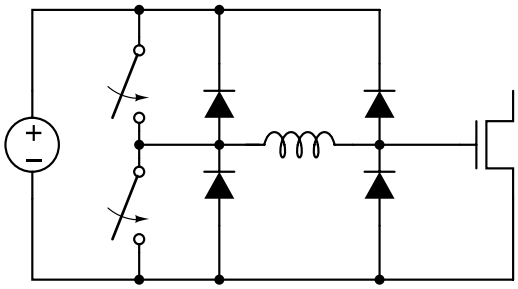


Figure A1.10 : Circuit semi-résonant à une phase de récupération d'énergie dans l'inductance

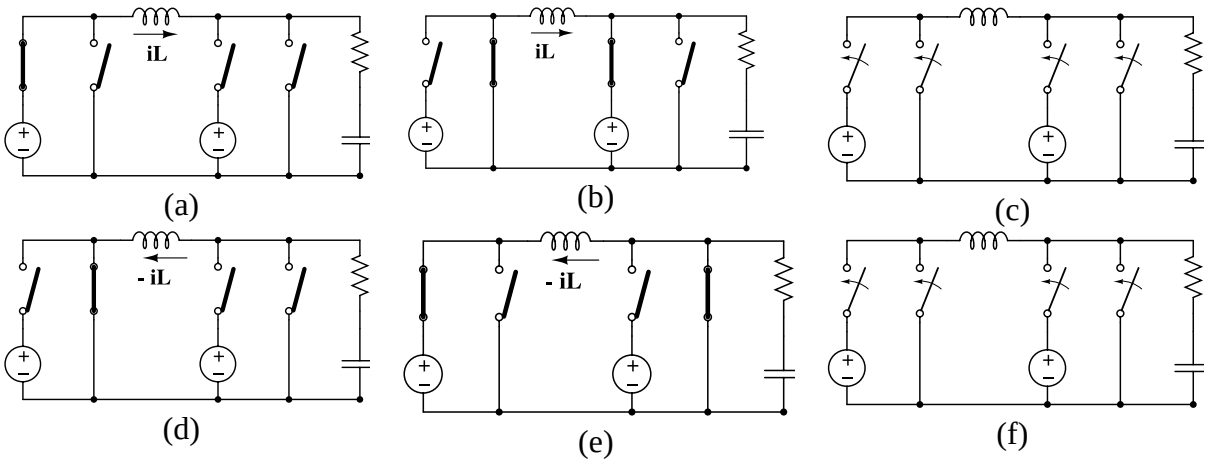


Tableau A1.3 : Séquence de topologie du driver de la figure A1.10

Finalement, plusieurs équipes de recherche ont développées des architectures de drivers semi-résonnant incluant une phase supplémentaire de récupération d'énergie sur la capacité (figure A1.11 et tableau A1.4) **[MAK 91] [PAN 06] [ZHI 10]**. L'élimination de deux diodes impose un condensateur de grande taille (~1µF pour f_{sw}=250kHz). La capacité de stockage d'énergie

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

apparaît comme la seconde source de tension dans le schéma général du driver. On notera la phase de charge de l'inductance avant la charge résonante de la capacité de grille (*a* → *b*), puis l'opération duale à la décharge du condensateur (*d* → *e*). La capacité de stockage est un composant supplémentaire rendant cette structure non intéressante en haute température. Par ailleurs, le driver résonant n'offre quasiment pas de gain en pertes du fait des deux phases préalables de charge de l'inductance.

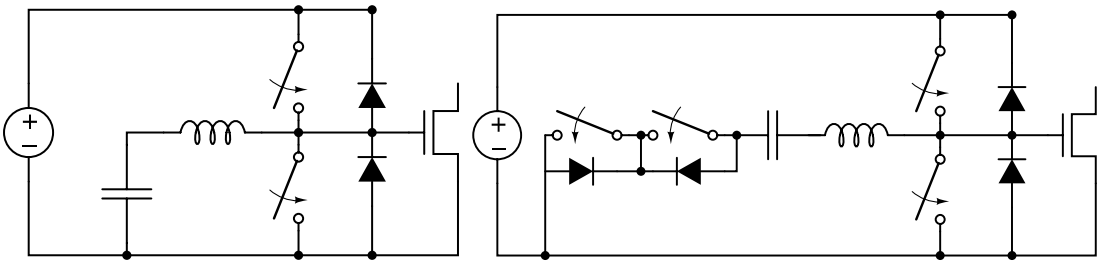


Figure A1.11 : Circuit semi-résonant et une variante du circuit

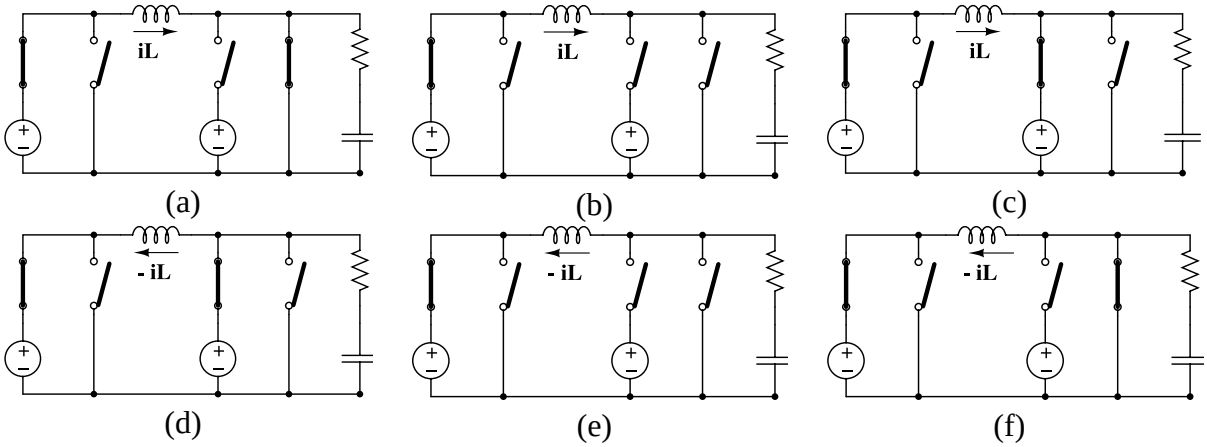


Tableau A1.4 : Séquence de topologie du driver de la figure A1.11.

Les structures en pont complet permettant de réaliser des drivers résonants sont aussi multiples au sein de l'état de l'art (figure A1.11 et tableau A1.5) **[ZHI 08] [PEN 11] [XIN 10] [BAT 09] [BAT 12]**. Cette structure s'impose en haute fréquence de découpage car elle permet le contrôle de la tension aux bornes de la capacité (phases *d* et *h*). Le contrôle est plus complexe que le circuit semi-résonant mais équivalent à celle de la variante de la figure A1.11, avec un gain en pertes plus important. Les phases de pré-charge de l'inductance (*a* et *e*) peuvent être abandonnées car le compromis vitesse de contrôle de la capacité de grille et temps de pré-charge de l'inductance est peu pertinent quand la fréquence de découpage est élevée. Ce mode de fonctionnement à 6 phases au lieu de 8 a fait l'objet d'une étude par ailleurs et d'une vérification sur SOI (figure A1.13) **[BAT 12]**.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

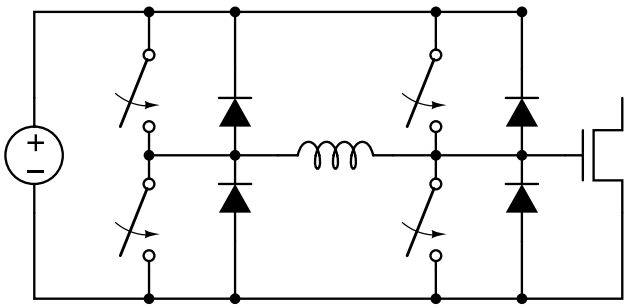


Figure A1.12 : Circuit résonant

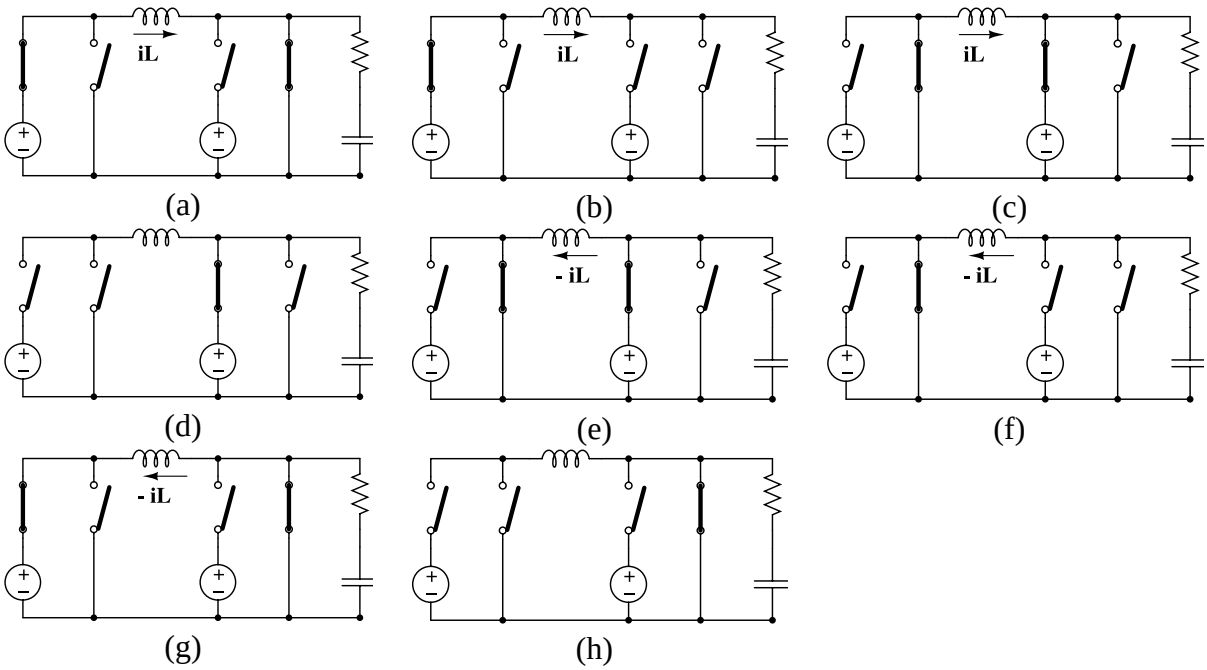


Tableau A1.5 : Séquence de topologie du driver de la figure A1.11.

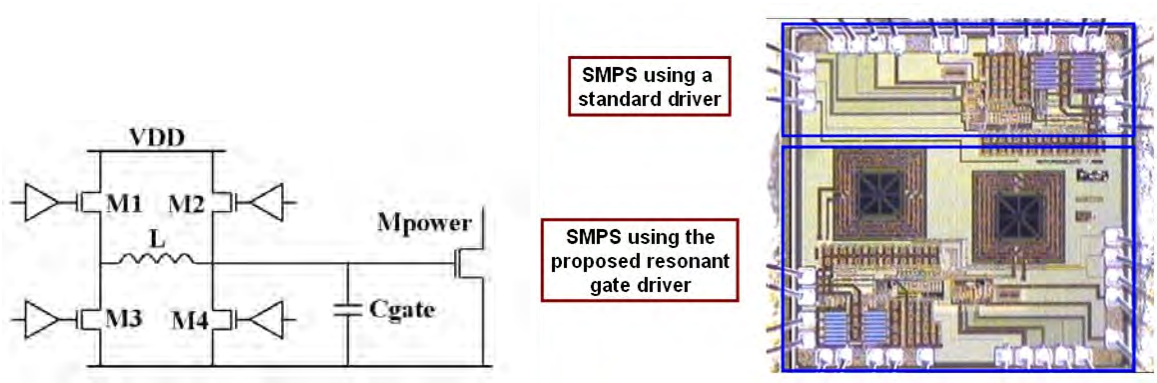


Figure A1.13 : Driver résonant en CMOS SOI 0.13µm **[BAT 12]**

La figure A1.13 illustre le circuit driver intégré et montre la place non négligeable des inductances à air dans le cas d'un driver double pour une structure de bras d'onduleur. La fréquence de découpage très élevée (200MHz) permet la réduction de la taille de ces inductances. On voit que ramener à une fréquence de travail de 100kHz, les inductances ne

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

seront plus intégrables et que les composants externes à introduire seront volumineux. Ceci a conduit des auteurs à utiliser leur implémentation sous la forme de transformateur **[KAI 06] [LOP 07]**. Par ailleurs, l'impact sur les pertes de commutation est réel mais reste faible (figure A1.14). On peut conclure que la structure résonante n'est pas une option pertinente pour l'instant dans un environnement haute température.

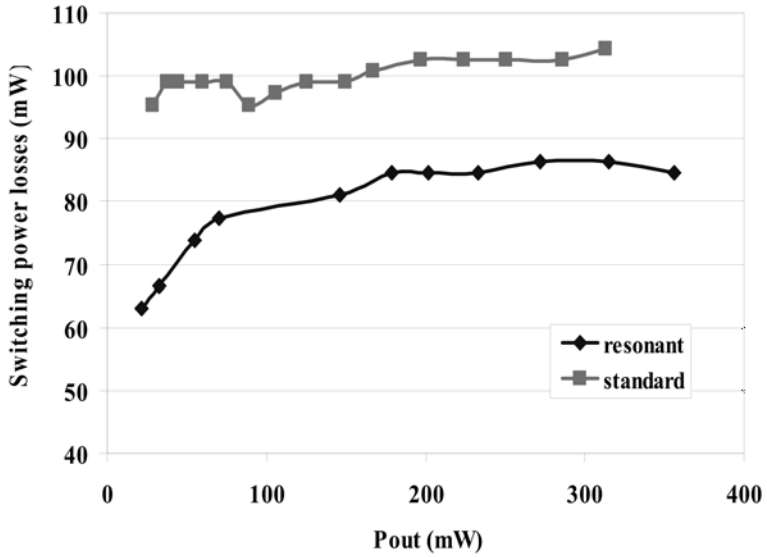


Figure A1.14 : Impact du driver résonant sur les pertes de commutation

Ceci n'empêche pas des développements concernant spécifiquement le bras d'onduleur **[ZHI 08] [YU 07]**. Pour diminuer le volume occupé pour les inductances, des efforts sont consacrés à la mutualisation d'un transformateur d'isolement par exemple **[XU 05] [JAC 98] [DIA 95]**, ou à la réalisation d'inductances réparties **[FUJ 10]**. On citera enfin l'usage de driver résonant dans les développements d'onduleur à base de composants HEMT en Nitrure de Galium (GaN) puisque la fréquence de découpage peut être assez élevée **[WAN 06]**. L'ambiance haute température de travail n'est pas encore considérée dans ces travaux.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Annexe A2 : Transformateur piézoélectrique et haute température

Comme évoqué au paragraphe 2.2.4, la nécessité d'une isolation du signal de commande en amont peut renvoyer à des structures de driver constituées d'un transformateur d'impulsion, attaqué pour transmettre suffisamment d'énergie à une capacité, assurant le maintien en conduction (ou blocage) du composant (figure A2.1).

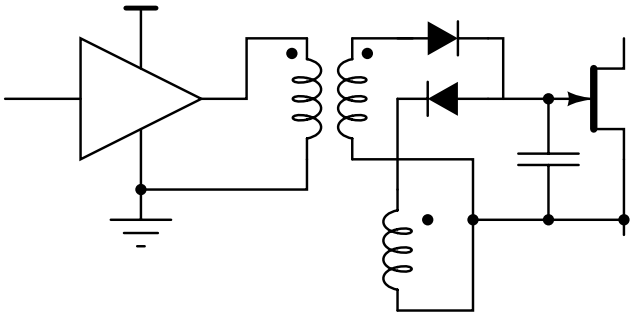
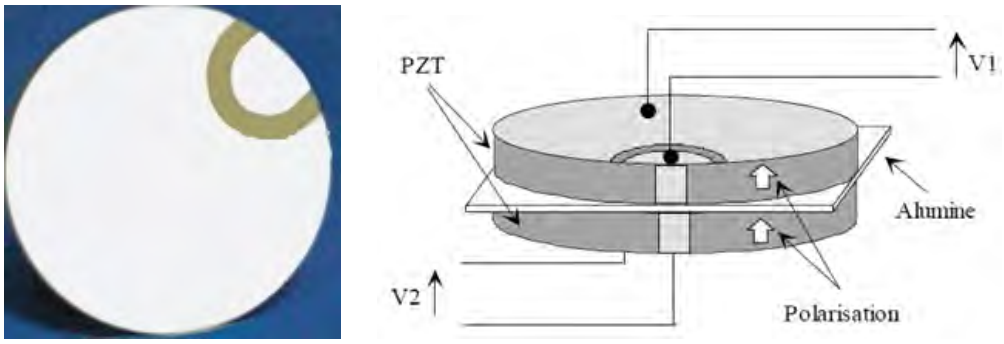


Figure A2.1 : Structure schématique d'un driver simple autour d'un transformateur d'isolement.

Toutefois, les structures actuelles sont assez complexes et la fréquence de commutation n'est pas assez élevée pour permettre l'utilisation de technologie compacte de transformateur **[HON 06]**. Le volume et la masse deviennent prohibitifs. C'est une des raisons qui a poussé le laboratoire SATIE a envisagé l'utilisation d'un transformateur piézoélectrique pour dépasser les limitations du transformateur magnétique dans l'application driver **[VAS 01] [VAS 03]**. Des échantillons de résonateur PZT (Zirconate de titanate de plomb) ont été caractérisés en température et utilisés pour fabriquer un transformateur multi-couche (figure A2.2).



(a) (b)

Figure A2.2 : (a) Echantillon de résonanteur en céramique PZT, (b) Structure du transformateur multi-couche

La figure A2.3 montre l'évolution de la puissance transmise au secondaire du transformateur en fonction de la charge et de la température. Une tension sinusoïdale de $20V_{eff}$ est appliquée au primaire. La fréquence du générateur d'attaque est réglée pour atteindre le maximum de puissance transmise à température ambiante, en fonction de la charge. Le point de fonctionnement est alors surveillé lorsque la température ambiante varie.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

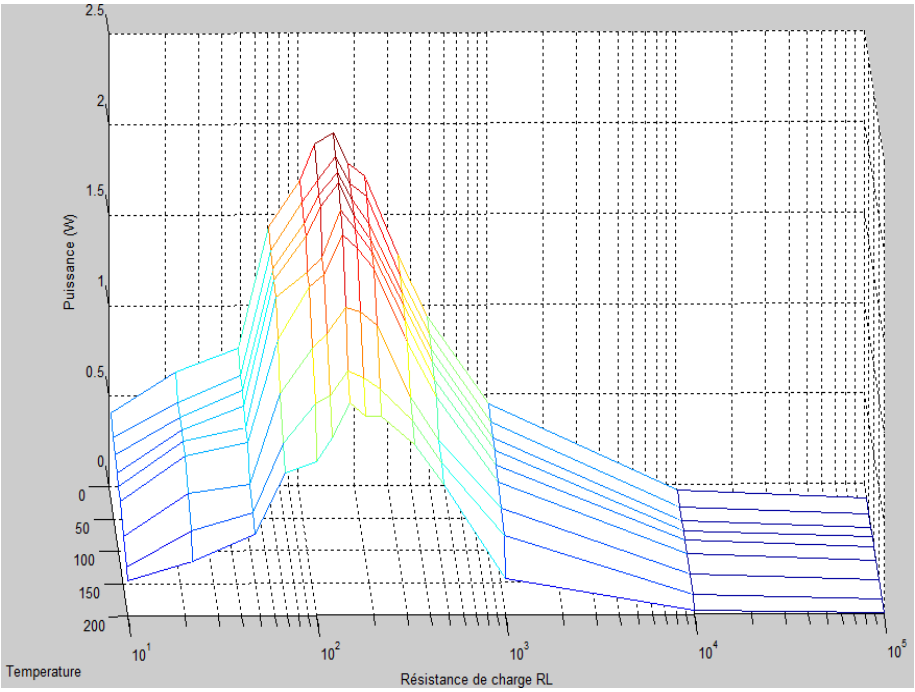


Figure A2.3 : Evolution de la puissance transmise en fonction de la charge et de la température

La puissance maximale au secondaire varie de 2W à température ambiante jusqu'à 1.18W à 200°C. Le rendement, à ce point de puissance maximale, passe de 75% à 55%, soit des pertes évoluant de 660mW à 965mW. Il est à craindre qu'à 300°C et même en deçà, la puissance de sortie soit devenue négligeable.

La figure A2.4 expose un schéma de principe issu des travaux de D. Vasic. La température ambiante modifie la fréquence de résonance du transformateur, obligeant à embarquer un bloc de modulation spécifique, asservi en température. Un circuit de démodulation synchrone suffit à produire le signal de commande du JFET.

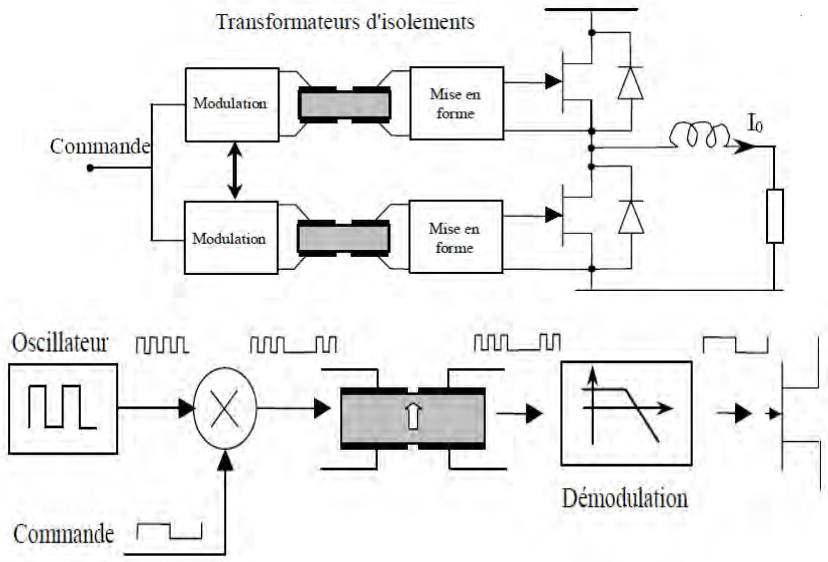


Figure A2.4 : Schéma de principe d'un étage de commande de JFET à l'aide d'un transformateur piézoélectrique

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

La première conclusion est que la céramique PZT permet de fabriquer un transformateur fonctionnel à haute température (<200°C) malgré l'évolution médiocre de ses caractéristiques en fonction de la température. Fonctionnel ne veut pas dire fiable car la technologie de collage employée pour le transformateur multi-couche n'est pas adaptée à la température élevée. Il n'est reste pas moins que les pertes dans le transformateur deviennent très importante, ajoutant un risque supplémentaire vis-à-vis de la fiabilité.

Ainsi, l'idée du transformateur piézoélectrique pourra être reprise dans le cas du module de puissance à JFET SiC dès lors qu'une céramique piézoélectrique aura pu être identifiée avec un point de Curie suffisamment élevé (>300°C) et que le comportement à très basse température aura été vérifié.

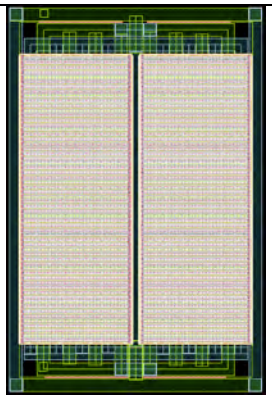
Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

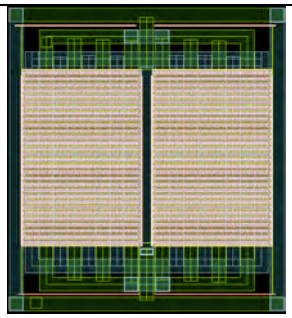
Annexe A3 : Layout du premier Run

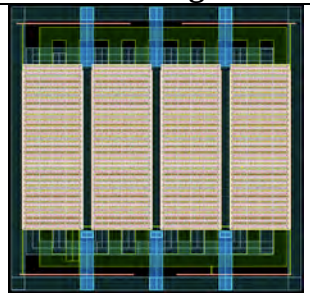
Cette annexe présente tous les dispositifs embarqués sur la première puce ainsi que les tests envisagés pour chacun d'eux. Les dispositifs propres au laboratoire LAAS présents sur cette première puce SOI ne sont pas décrits.

A3.1 Transistors et Etage de sortie

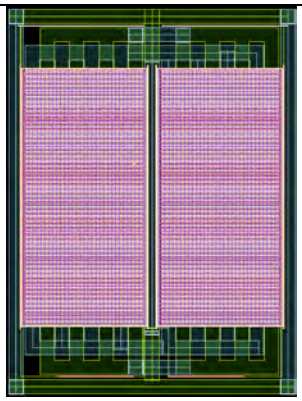
Nous avons conçu plusieurs transistors PMOS et NMOS (figure A3.1 à A3.5) et les étages de sotie associés (figure A3.6 à A3.9).

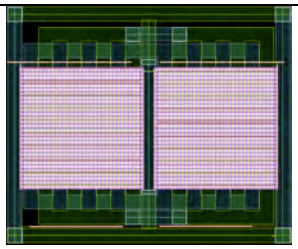
Layout **PMOS 45V**	*Tests envisagés*
 Figure A3.1 : Layout du PMOS 45V	• Comportement DC à température ambiante et à 200°C : I(V) pour différents Vgs • Comportement en commutation : extraction des capacités et leur évolution avec la température.

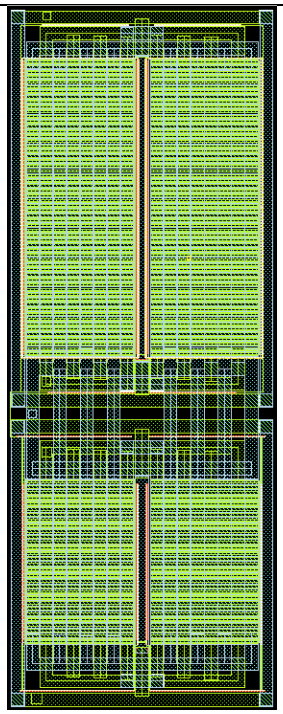
Layout **NMOS 45V**	*Tests envisagés*
 Figure A3.2 : Layout du NMOS 45V	• Comportement DC à température ambiante et à 200°C : I(V) pour différents Vgs • Comportement en commutation : extraction des capacités et leur évolution avec la température.

Layout **NMOS45V dit segmenté**	*Tests envisagés*
 Figure A3.3 : Layout du $NMOS45V_{Seg}$	• Comportement DC à température ambiante et à 200°C : I(V) pour différents Vgs • Comportement en commutation : extraction des capacités et leur évolution avec la température.

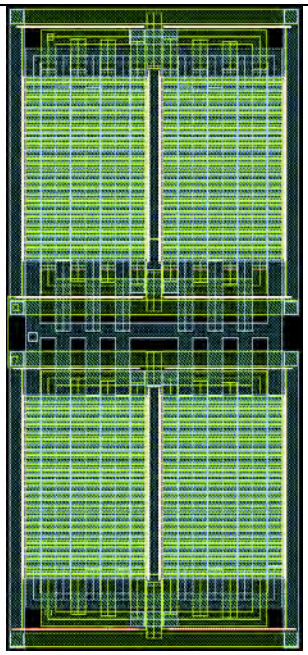
Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

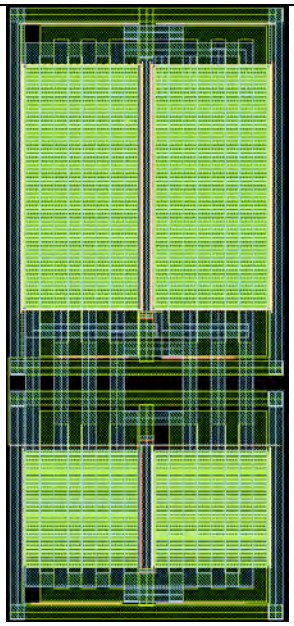
Layout **PMOS 25V**	*Tests envisagés*
 Figure A3.4 : Layout du PMOS25V	• Comportement DC à température ambiante et à 200°C : I(V) pour différents Vgs • Comportement en commutation : extraction des capacités et leur évolution avec la température.

Layout **NMOS 25V**	*Tests envisagés*
 Figure A3.5 : Layout du NMOS 25V	• Comportement DC à température ambiante et à 200°C : I(V) pour différents Vgs • Evaluation des capacités (vis-à-vis du modèle), en fonction de la T° • Comportement en commutation : extraction des capacités et leur évolution avec la température.

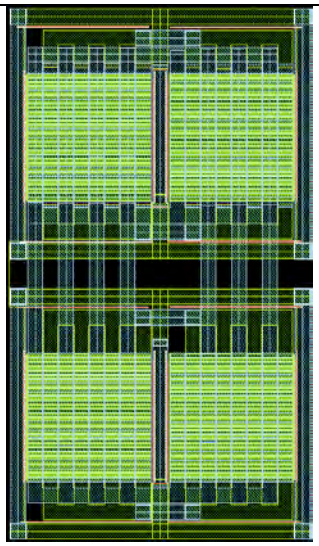
Layout **CMOS 45V**	*Tests envisagés*
 Figure A3.6 : Layout du CMOS45V	• Comportement DC à température ambiante et à 200°C : Courant fournis • Comportement en commutation : Evolution du courant et de la tension de sortie en fonction de la température, ainsi que les temps de montée et de descente et du temps de propagation

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Layout **NNMOS 45V**	*Tests envisagés*
 Figure A3.7 : Layout du NNMOS45V	• Comportement DC à température ambiante et à 200°C : Courant fournis • Comportement en commutation : Evolution du courant et de la tension de sortie en fonction de la température, ainsi que les temps de montée et de descente et du temps de propagation

Layout **CMOS 25V**	*Tests envisagés*
 Figure A3.8 : Layout du CMOS25V	• Comportement DC à température ambiante et à 200°C : Courant fournis • Comportement en commutation : Evolution du courant et de la tension de sortie en fonction de la température, ainsi que les temps de montée et de descente et du temps de propagation

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Layout **NNMOS 25V**	*Tests envisagés*
 Figure A3.9 : Layout du NNMOS25V	• Comportement DC à température ambiante et à 200°C : Courant fournis • Comportement en commutation : Evolution du courant et de la tension de sortie en fonction de la température, ainsi que les temps de montée et de descente et du temps de propagation

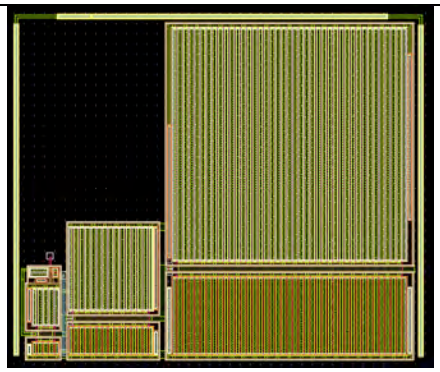
A3.2 : Buffers

Différents buffers ont été conçus pour plusieurs valeurs du gain A (figure A3.10 à A3.18).

BUF_A8_P

Ce buffer est prévu pour un transistor PMOS et développe un gain A de 8.

Buffer du PMOS de puissance	Wp_i/Lp_i	Wn_i/Ln_i
Etage 3	4500/0.8	1500/0.8
Etage 2	564/0.8	188/0.8
Etage 1	72/0.8	24/0.8
Etage 0	9/0.8	5/0.8

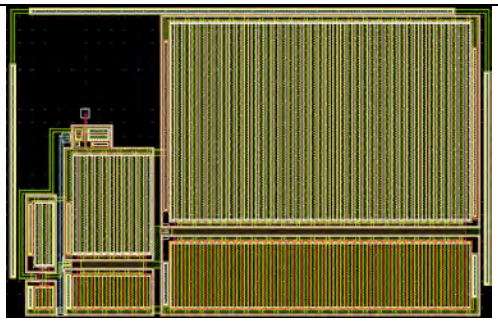
Layout	*Tests envisagés*
 Figure A3.10 : Layout du buffer BUF_A8_P	• Comportement DC à température ambiante et à 200°C : Courant fournis • Comportement en commutation : Evolution du courant et de la tension de sortie en fonction de la température, ainsi que les temps de montée et de descente et du temps de propagation

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

BUF_A8_N

Ce buffer est prévu pour un transistor NMOS et développe un gain A de 8.

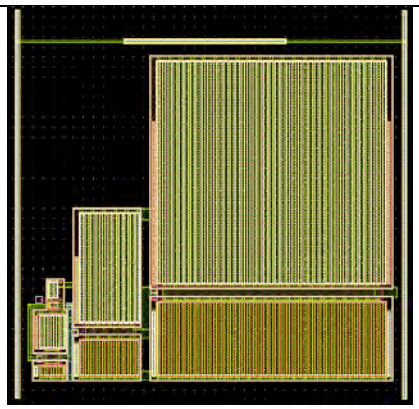
Buffer du NMOS de puissance	Wp_i/Lp_i	Wn_i/Ln_i
Etage 3	3000/0.8	1000/0.8
Etage 2	375/0.8	125/0.8
Etage 1	48/0.8	16/0.8
Etage 0	8/0.8	3/0.8

Layout	*Tests envisagés*
 Figure A3.11 : Layout du buffer BUF_A8_N	• Comportement DC à température ambiante et à 200°C : Courant fournis • Comportement en commutation : Evolution du courant et de la tension de sortie en fonction de la température, ainsi que les temps de montée et de descente et du temps de propagation

BUF_POWER_P

Ce buffer est prévu pour un transistor PMOS.

Buffer du PMOS de puissance	Wp_i/Lp_i	Wn_i/Ln_i
Etage 3	4412/0.8	1471/0.8
Etage 2	541.2/0.8	180.4/0.8
Etage 1	66.4/0.8	21.2/0.8
Etage 0	8.2/0.8	3/0.8

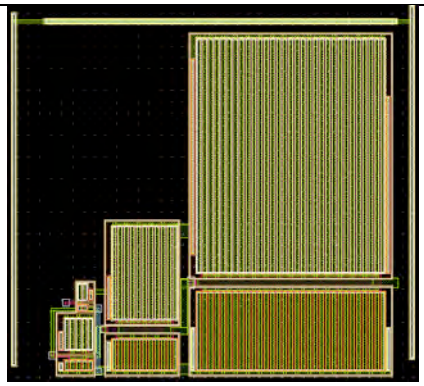
Layout	*Tests envisagés*
 Figure A3.12 : Layout du buffer BUF_POWER_P	• Comportement DC à température ambiante et à 200°C : Courant fournis • Comportement en commutation : Evolution du courant et de la tension de sortie en fonction de la température, ainsi que les temps de montée et de descente et du temps de propagation

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

BUF_POWER_N

Ce buffer est prévu pour un transistor NMOS.

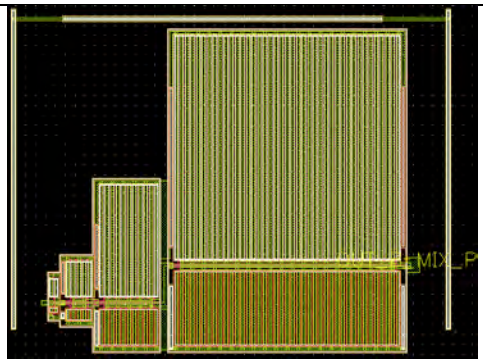
Buffer du NMOS de puissance	Wp_i/Lp_i	Wn_i/Ln_i
Etage 3	3192.8/0.8	1064.2/0.8
Etage 2	424.8/0.8	141.6/0.8
Etage 1	56.6/0.8	19/0.8
Etage 0	7.6/0.8	2.6/0.8

Layout	*Tests envisagés*
 Figure A3.13 : Layout du buffer BUF_POWER_N	• Comportement DC à température ambiante et à 200°C : Courant fournis • Comportement en commutation : Evolution du courant et de la tension de sortie en fonction de la température, ainsi que les temps de montée et de descente et du temps de propagation

BUF_MIXTE_P

Ce buffer est prévu pour un transistor PMOS.

Buffer du PMOS de puissance	Wp_i/Lp_i	Wn_i/Ln_i
Etage 3	3600/0.8	1200/0.8
Etage 2	600/0.8	200/0.8
Etage 1	30/0.8	10/0.8
Etage 0	15/0.8	5/0.8

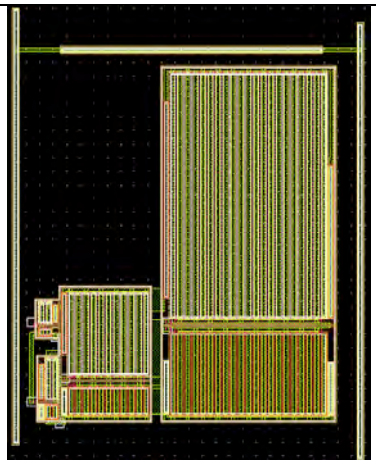
Layout	*Tests envisagés*
 Figure A..14 : Layout du buffer BUF_MIXTE_P	• Comportement DC à température ambiante et à 200°C : Courant fournis • Comportement en commutation : Evolution du courant et de la tension de sortie en fonction de la température, ainsi que les temps de montée et de descente et du temps de propagation

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

BUF_MIXTE_N

Ce buffer est prévu pour un transistor NMOS.

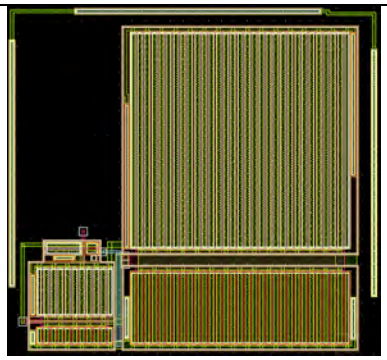
Buffer du NMOS de puissance	Wp_i/Lp_i	Wn_i/Ln_i
Etage 3	1800/0.8	600/0.8
Etage 2	300/0.8	100/0.8
Etage 1	15/0.8	5/0.8
Etage 0	7.5/0.8	2.5/0.8

Layout	*Tests envisagés*
 Figure A3.15 : Layout du buffer BUF_MIXTE_N	• Comportement DC à température ambiante et à 200°C : Courant fournis • Comportement en commutation : Evolution du courant et de la tension de sortie en fonction de la température, ainsi que les temps de montée et de descente et du temps de propagation

BUF_INV_P

Ce buffer est prévu pour un transistor PMOS.

Buffer du PMOS de puissance	Wp_i/Lp_i	Wn_i/Ln_i
Etage 2	2515.6/0.8	838.6/0.8
Etage 1	185/0.8	61.8/0.8
Etage 0	15/0.8	4.6/0.8

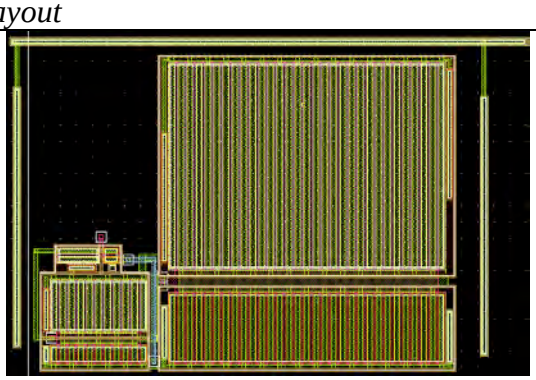
Layout	*Tests envisagés*
 Figure A3.16 : Layout du buffer BUF_INV_P	• Comportement DC à température ambiante et à 200°C : Courant fournis • Comportement en commutation : Evolution du courant et de la tension de sortie en fonction de la température, ainsi que les temps de montée et de descente et du temps de propagation

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

BUF_INV_N

Ce buffer est prévu pour un transistor NMOS.

Buffer du NMOS de puissance	Wp_i/Lp_i	Wn_i/Ln_i
Etage 2	1907.2/0.8	635.8/0.8
Etage 1	153.8/0.8	51.2/0.8
Etage 0	12.4/0.8	4.2/0.8

Layout	*Tests envisagés*
 Figure A3.17 : Layout du buffer BUF_INV_N	• Comportement DC à température ambiante et à 200°C : Courant fournis • Comportement en commutation : Evolution du courant et de la tension de sortie en fonction de la température, ainsi que les temps de montée et de descente et du temps de propagation

BUF_Modif

Ce buffer est prévu pour un transistor PMOS.

Buffer du PMOS de puissance	Wp_i/Lp_i	Wn_i/Ln_i
Etage 3	5206.8/0.8	1735.6/0.8
Etage 2	756.8/0.8	252.2/0.8
Etage 1	110/0.8	36.6/0.8
Etage 0	16/0.8	5.4/0.8

Layout	*Tests envisagés*
 Figure A3.18 : Layout du buffer BUF_Modif	• Comportement DC à température ambiante et à 200°C : Courant fournis • Comportement en commutation : Evolution du courant et de la tension de sortie en fonction de la température, ainsi que les temps de montée et de descente et du temps de propagation

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

A3.3 Autres fonctions embarquées sur la première puce

A3.3.1 Fonction Detector

Nous avons envisagé un circuit appelé « Detector », composé d'une diode et d'un circuit RC en parallèle pour permettre la mise en forme du signal de commande à la sortie du transformateur d'isolation.

Layout :

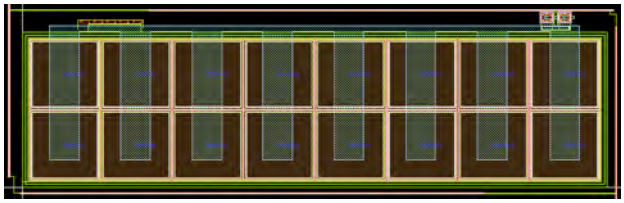


Figure A3.19 : Layout du circuit Detector

Tests envisagés :

- Comportement dynamique: Evolution de la tension de sortie en fonction de la température et de la fréquence de fonctionnement
- Test au secondaire d'un transformateur pour vérifier la mise en forme des signaux

A3.3.2 Fonction V_clamp

Un circuit nommé « V_clamp » est testé. Il est composé d'une diode Zener et d'une résistance. Il permettra de passer de la tension Vneg à la tension Vneg+5V nécessaire pour alimenter le buffer du NMOS de puissance.

Layout :

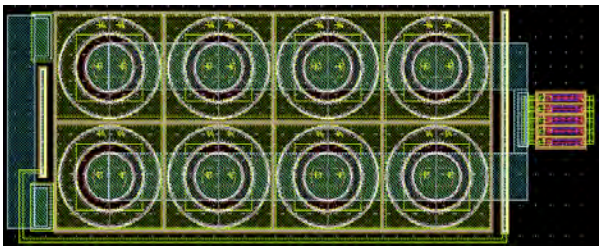


Figure A3.20 : Layout du circuit V_clamp

Tests envisagés :

- Comportement DC à température ambiante et à 200°C : Tension de sortie pour différents Vneg sur charge résistive.

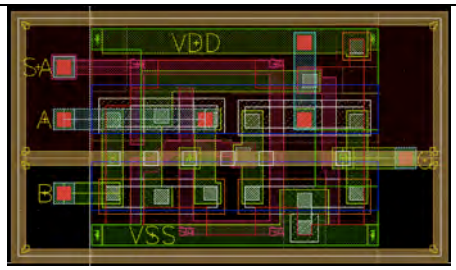
A3.3.3 Fonction Modul

Un circuit nommé « Modul » a aussi été réalisé et a pour fonction d'attaquer le primaire du transformateur d'isolation. Il est dérivé de Buf_INV.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

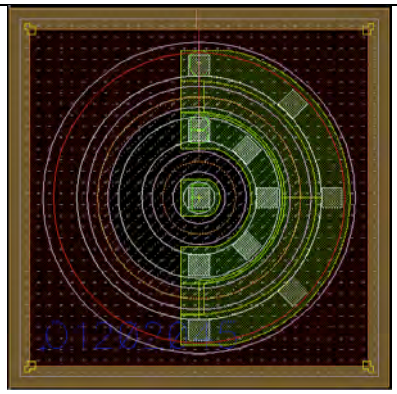
Layout	*Tests envisagés*
 Figure A3.21 : Layout du circuit Modul	• Comportement en commutation à température ambiante et à 200°C, en fct de la fréquence et amplitude d'attaque. • Tension de sortie sur charge résistive, puis sur primaire d'un transformateur.

A3.3.4 Fonction Mux (multiplexeur)

Layout	*Tests envisagés*
 Figure A3.22 : Layout du circuit Mux	• Comportement en commutation à température ambiante et à 200°C : Tension de sortie sur charge résistive, délai de propagation et temps de montée et de descente

A3.3.5 Fonction temp_detect

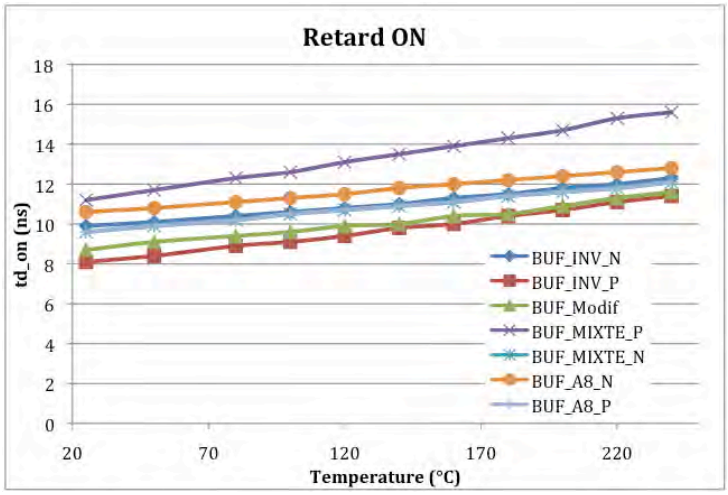
Un transistor bipolaire est aussi utilisé en guise de capteur de température.

Layout	*Tests envisagés*
 Figure A3.23 : Layout du circuit temp_detect	• Comportement DC pour le calibrage du capteur de température.

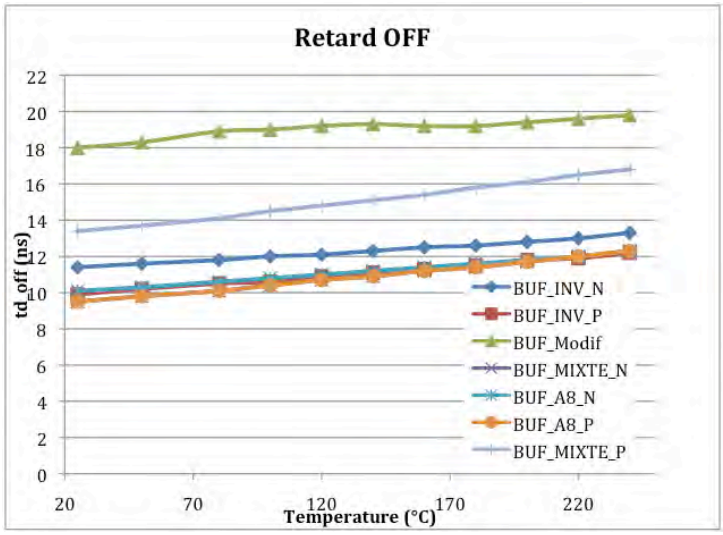
Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Annexe A4 : Résultats du test des buffers du premier Run

Les *buffers* conçus et présentés en annexe A3, ont été testés sur une charge capacitive de 200pF, pour pouvoir comparer leurs performances. Cette valeur correspond à la capacité C_{GS} du transistor PMOS de sortie dimensionné lors du Run1. Les paramètres relevés sont les temps de montée et de descente de la tension de sortie, ainsi que les retards à la commande au turn-on et au turn-off



(a)

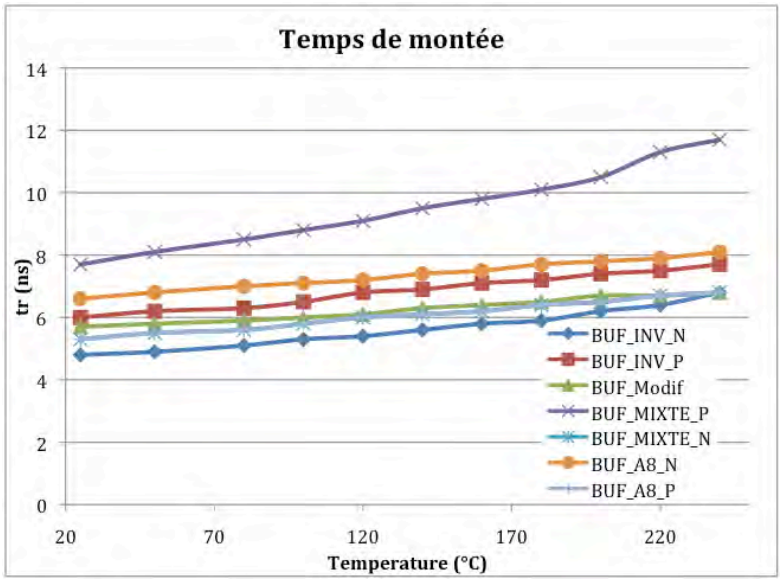


(b)

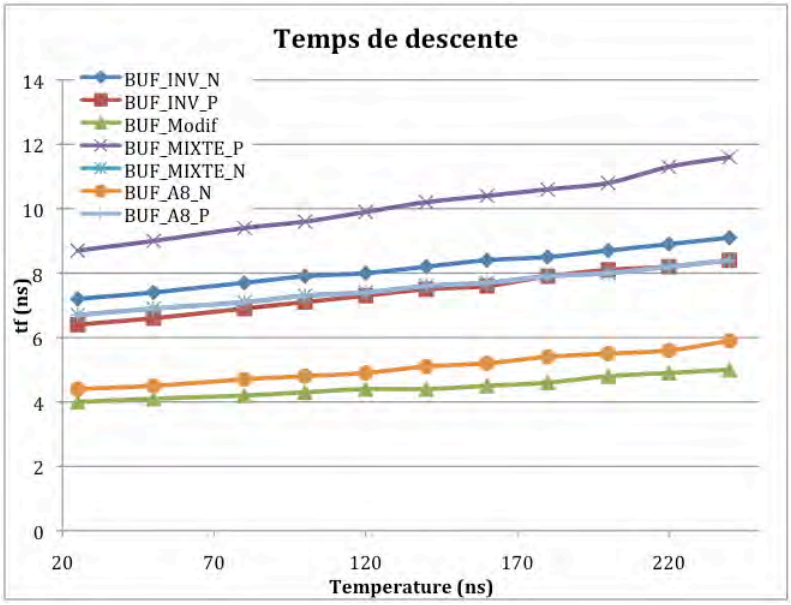
A4.1: Retard entre la tension de sortie et la commande du buffer on (a) et off (b)

Les retards à la fermeture (turn-on) pour les 7 *buffers* testés sont du même ordre de grandeurs évoluant entre 8ns et 12ns en fonction de la température. Les retards à l'ouverture sont aussi du même ordre de grandeur avec toutefois des valeurs plus faibles pour les *buffers* dits P8 et N8.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés



(a)



(b)

A4.2: Temps de montée (a) et de descente (b) de la tension de sortie

Les temps de montées et de descente pour les 7 *buffers* testés sont du même ordre de grandeur entre 4ns et 12ns en fonction de la température.

Les buffers sélectionnés pour notre driver répondent donc à un compromis en surface occupée et temps caractéristiques (montée, descente, retard) faibles. Nous avons choisis les Buffers dits P8 et N8.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Références liées aux annexes:

[BAT 09] M. Bathily, B. Allard, J. Verdier, F. Hasbani, "Resonant gate drive for silicon integrated DC/DC converters," *in Proc. of Energy Conversion Congress and Exposition*, 2009, pp.3876-3880

[BAT 12] M. Bathily, B. Allard, F. Hasbani, "A 200-MHz Integrated Buck Converter With Resonant Gate Drivers for an RF Power Amplifier," *Power Electronics, IEEE Transactions on* , 2012, vol.27, no.2, pp.610-613

[BIE 07] J. Biela, D. Bortis, J.W Kolar, "Modeling of Pulse Transformers with Parallel- and Non-Parallel-Plate Windings for Power Modulators," *IEEE Transactions on Dielectrics and Electrical Insulation*, 2007, vol.14, no.4, pp.1016-1024

[BOR 01] D. Bortis, G. Ortiz, J.W. Kolar, J. Biela, "Design procedure for compact pulse transformers with rectangular pulse shape and fast rise times," *IEEE Transactions on Dielectrics and Electrical Insulation*, 2001, vol.18, no.4, pp.1171-1180

[DEV 02] D. De Vries, "A resonant power MOSFET/IGBT gate driver," *in Proc. of Applied Power Electronics Conf. (APEC)*, 2002, pp.179-185

[DIA 95] J. Diaz, M.A. Perez, F.M. Linera, F. Aldana, "A new lossless power MOSFET driver based on simple DC/DC converters ," *in Proc. of Power Electronics Specialists Conference*, 1995, pp.37-43

[DWA 05] P. Dwane, D. O' Sullivan, M.G. Egan, "An assessment of resonant gate drive techniques for use in modern low power dc-dc converters," *in Proc. of Applied Power Electronics Conf. (APEC)*, 2005, pp.1572-1580

[EBE 08] W. Eberle, L. Yan-Fei, P.C. Sen, "A New Resonant Gate-Drive Circuit With Efficient Energy Recovery and Low Conduction Loss," *Industrial Electronics, IEEE Transactions on* , 2008, vol.55, no.5, pp.2213-2221

[FUJ 10] H. Fujita, "A Resonant Gate-Drive Circuit Capable of High-Frequency and High-Efficiency Operation," *Power Electronics, IEEE Transactions on* , 2010, vol.25, no.4, pp.962-969

[HON 06] W. Hongfang, F. Wang, "A self-powered resonant gate driver for high power MOSFET modules," *in Proc. of Applied Power Electronics Conf. (APEC)*, 2006, pp. 19-23

[JAC 98] B. Jacobson, R. DiPerna, "Design of a series resonant converter with clamped capacitor voltage and anti-cross-conduction inductors," *in Proc. of Applied Power Electronics Conf. (APEC)*, 1998, pp.829-833

[KAI 06] X. Kai, L. Yan-Fei, P.C. Sen, "A new resonant gate drive circuit utilizing leakage inductance of transformer," *in Proc. of IEEE Industrial Electronics (IECON)*, 2006, pp.nil-nil4

[KOL 10] J.W. Kolar, J. Biela, S. Waffler, T. Friedli, U. Badstuebner, "Performance trends and limitations of power electronic systems," *in Proc. of Integrated Power Electronics Systems (CIPS)*, 2010, pp. 1-20

[LOP 07] T. Lopez, R. Elferich, "Quality Factor in Resonant Gate Drivers," *in Proc. of Power Electronics Specialists Conference*, 2007, pp.2819-2825

[MAK 91] D. Maksimovic, "A MOS gate drive with resonant transitions," *in Proc. of Power Electronics Specialists Conference*, 1991, pp.527-532

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

[PAN 06] S. Pan, P.K. Jain, "A New Pulse Resonant MOSFET Gate Driver with Efficient Energy Recovery," *in Proc. of Power Electronics Specialists Conference,* 2006, pp.1-5

[PEN 11] X. Pengcheng, Z. Zhiliang, L. Yan-Fei, P.C. Sen, "Adaptive discontinuous Current Source Driver to achieve switching loss reduction for MHz PFC boost converters," *in Proc. of Energy Conversion Congress and Exposition (ECCE),* 2011, pp.1346-1352

[PLE 08] H. Plesko, J. Biela, J. Luomi, J.W. Kolar, "Novel Concepts for Integrating the Electric Drive and Auxiliary DC–DC Converter for Hybrid Vehicles," *Power Electronics, IEEE Transactions on* , 2008, vol.23, no.6, pp.3025-3034

[SOE 10] T. Soeiro, J. Biela, J. Muhlethaler, J. Linner, P. Ranstad, J.W. Kolar, "Optimal design of resonant converter for Electrostatic Precipitators," *in Proc. of Power Electronics Conference (IPEC),* 2010, pp.2294-2301

[VAS 01] D. Vasic, F. Costa, E. Sarraute, "A new MOSFET & IGBT gate drive insulated by a piezoelectric transformer," *in Proc. of IEEE Annual Power Electronics Specialists Conference,* 2001, pp.1479-1484

[VAS 03] D. Vasic, F. Costa, E. Sarraute, "A new method to design piezoelectric transformer used in MOSFET and IGBT gate drive circuits," *in Proc. of IEEE Annual Power Electronics Specialist Conference,* 2003, pp. 307- 312

[WAN 06] B. Wang, N. Tipirneni, M. Riva, A. Monti, G. Simin, E. Santi, "A Resonant Drive Circuit for GaN Power MOSHFET," *in Proc. of Industry Applications Conference,* 2006, pp.364-368

[WAR 08] J.R. Warren, K.A. Rosowski, D.J. Perreault, "Transistor Selection and Design of a VHF DC-DC Power Converter," *Power Electronics, IEEE Transactions on* , 2008, vol.23, no.1, pp.27-37

[XIN 10] Z. Xin, L. Zhigang, A. Huang, "A new resonant gate driver for switching loss reduction of high side switch in buck converter," *in Proc. of Applied Power Electronics Conf. (APEC),* 2010, pp.1477-1481

[XU 05] K. Xu, Y.F. Liu, P.C. Sen, "A new resonant gate drive circuit with centre-tapped transformer," *in Proc. of Industrial Electronics Society,* 2005

[YU 07] M. Yu, L. Li, X. Xiaogao, Q. Zhaoming, "Dual Channel Pulse Resonant Gate Driver," *in Proc. of Industrial Electronics and Applications,* 2007, pp.2317-2321

[YUH 00] C. Yuhui, F.C. Lee, L. Amoroso, W. Ho-Pu, "A resonant MOSFET gate driver with complete energy recovery," *in Proc. of Power Electronics and Motion Control Conf.,* 2000, pp.402-406

[YUH 04] C. Yuhui, F.C. Lee, L. Amoroso, W. Ho-Pu, "A resonant MOSFET gate driver with efficient energy recovery," *in Proc. of Power Electronics, IEEE Transactions on* , 2004, vol.19, no.2, pp. 470- 477

[ZHI 08] Z. Zhiliang, W. Eberle, L. Ping, L. Yan-Fei, P.C. Sen, "A 1-MHz High-Efficiency 12-V Buck Voltage Regulator With a New Current-Source Gate Driver," *Power Electronics, IEEE Transactions on* , 2008, vol.23, no.6, pp.2817-2827

[ZHI 10] Z. Zhiliang, F. Jizhen, L. Yan-Fei, P.C. Sen, "Discontinuous-Current-Source Drivers for High-Frequency Power MOSFETs," *Power Electronics, IEEE Transactions on* , 2010, vol.25, no.7, pp.1863-1876

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés

Liste des publications

Journaux

K. El Falahi, B. Allard, D. Tournier, D. Bergogne, « Evaluation of commercial CMOS SOI drivers in harsh conditions (200°C). Consideration for delay, rise-time and fall-time versus température », *European Journal of Electrical Engineering* 14, 5 (2011) 587-600

Conférences Internationales

K. El Falahi, B. Allard, D. Tournier, D. Bergogne, « Evaluation of Commercial SOI Driver Performances While Operated in Extreme Conditions (up to 200°C)», *High Temperature Electronics HITEC 2010*

K. El Falahi, B. Allard, D. Tournier, D. Bergogne, « Evaluation of Commercial SOI Driver Performances While Operated in Extreme Conditions (up to 200°C) », *International Conference on Integrated Power Electronics Systems CIPS 2010*

K. El Falahi, F. Dubois, D. Risaletto, D. Bergogne, B. Allard, « Integrated Anti-Short-Circuit Safety Circuit in CMOS SOI for Normally-On JFET », *International Conference on Integrated Power Electronics Systems CIPS 2012*

K. El-Falahi, F. Dubois, D. Bergogne, L.-V. Phung, C. Buttay, B. Allard, « High Temperature Anti Short Circuit Function for Normally-on SiC JFET in an Inverter Leg Configuration », *High Temperature Electronics HITEC 2012*

D. Bergogne, F. Dubois, C. Martin, K. El-Falahi, L.-V. Phung, C. Butay, S. Dhokkar, B. Allard, R. Meuret, H. Morel, « An Airborne High Temperature SiC Inverter for Medium Power Smart Electro Mechanical Actuators », *High Temperature Electronics HITEC 2012*

Conférences Nationales

K. El Falahi, B. Allard, D. Tournier, D. Bergogne, « Évaluation des performances de drivers commerciaux en technologie SOI dans des nditions extrêmes (200°C) », *Électronique de Puissance du Futur (EPF 2010)*

K. El-Falahi, F. Dubois, D. Bergogne, L.-V. Phung, C. Buttay, B. Allard, « Driver SOI pour la commande rapprochée de JFET SiC à température extrême (-50°C ; 250°C) », *Électronique de Puissance du Futur (EPF 2012)*

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2012ISAL0056/these.pdf
© [K. El Falahi], [2012], INSA de Lyon, tous droits réservés