HAL
open science

Contribution à l'étude d'interfaces analogiques hautes fréquences pour objets communicants à faible coût de fabrication

Jean Gaubert

To cite this version:

Jean Gaubert. Contribution à l'étude d'interfaces analogiques hautes fréquences pour objets communicants à faible coût de fabrication. Micro et nanotechnologies/Microélectronique. Université de Provence - Aix-Marseille I, 2007. tel-00796512

HAL Id: tel-00796512

https://theses.hal.science/tel-00796512v1

Submitted on 4 Mar 2013

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Année 2007

MEMOIRE
Présenté devant

L'UNIVERSITE DE PROVENCE
AIX-MARSEILLE 1

Par

Jean GAUBERT
Docteur de l'INSA de Toulouse
Maître de Conférences à l'Université de Provence

En vue d'obtenir

L'HABILITATION A DIRIGER DES RECHERCHES

Sur le thème

"*Contribution à l'étude d'interfaces analogiques hautes fréquences pour objets communicants à faible coût de fabrication*"

Soutenue le 3 décembre 2007 devant la commission d'examen :

Président :	**G. JACQUEMOD**	Pr, Université de Nice
Rapporteur :	**R. BOUCHAKOUR**	Pr, Université de Provence Aix-Marseille 1
Rapporteur :	**T. PARRA**	Pr, Université de Toulouse 3
Rapporteur :	**P. POUVIL**	Pr, ENSEA
Examinateur :	**H. BARTHELEMY**	Pr, Université de Toulon et du Var
Examinateur :	**P. CANET**	Pr, Université de Provence Aix-Marseille 1

Remerciements

Je tiens à exprimer ma reconnaissance à Monsieur le Professeur Gilles JACQUEMOD pour avoir accepté de participer à ce jury et pour avoir accepté de le présider.

Je présente mes vifs remerciements à Messieurs les Professeurs Rachid BOUCHAKOUR, Thierry PARRA, et Pierre POUVIL pour avoir accepté, malgré leurs nombreuses responsabilités, de rapporter sur ce travail.

J'adresse tous mes remerciements à Messieurs les Professeurs Hervé BARTHELEMY et Pierre CANET pour avoir accepté de juger ce travail.

Je remercie tout particulièrement Rachid BOUCHAKOUR, pour la confiance qu'il m'a témoignée en m'accueillant dans son laboratoire. Je veux lui témoigner l'expression de ma sincère reconnaissance et de toute ma sympathie.

Je tiens aussi à témoigner du plaisir que j'ai pu avoir de travailler avec mes collègues de l'équipe CCI et tout particulièrement Hervé BARTHELEMY, Sylvain BOURDEL et Philippe PANNIER qui m'ont aidé et soutenu tout le long de ce travail.

Je ne saurai oublier de remercier Pascal MASSON et Pierre CANET qui m'ont témoigné toute leur confiance dans leurs fonctions de directeurs des études.

Je remercie également tous les doctorants qui ont contribué à ce travail, Mathieu EGELS, Emmanuel BERGERET, Amir FANAEI, Romen CUBILLO et Marc BATTISTA. Qu'ils trouvent ici toute l'expression de ma sympathie.

Je tiens à remercier Frédéric LALANDE pour ses conseils éclairés et son aide précieuse dans le domaine de la mesure.

Je ne saurai oublier de remercier et d'assurer de toute ma sympathie Isabelle PONCIN, Sandrine GALMICHE, Ginette LANNOO, Sandrine FISCHER, et Isabelle GIUSIANO, pour leur gentillesse et pour leur aide efficace concernant les tâche administratives.

Je voudrai enfin remercier l'ensemble de l'équipe du L2MP-Polytech ainsi que les membres du département Microélectronique et Télécommunications pour l'ambiance de travail au quotidien qui a toujours été très cordiale.

Sommaire

Introduction générale 1

Chapitre 1

Amplificateurs faible bruit accordés pour systèmes intégrés CMOS 5

1.1 Introduction 6

1.2 Analyse de l'état de l'art 7

1.3 Etude des LNA CMOS entièrement intégrés 15

1.4 Résultats 32

1.5 Conclusion 34

1.6 Bibliographie 36

Chapitre 2

Amplificateurs bas niveau large bande pour systèmes intégrés CMOS 39

2.1 Introduction 40

2.2 Etat de l'art de l'amplification faible bruit et large bande CMOS 41

2.3 Contributions à l'étude des amplificateurs large bande CMOS à cellule d'adaptation de type LC pour applications UWB de la bande 3-10GHz 52

2.4 Contributions à l'étude des amplificateurs distribués CMOS 66

2.5 Méthodologies d'interfaçage et de mise en boîtier des circuits et systèmes intégrés large bande et faible coût 75

2.6 Conclusion 83

2.7 Bibliographie 84

Chapitre 3

Convertisseurs RF/DC pour la télé-alimentation haute fréquence en RFID 87

3.1 Introduction 88

3.2 Etat de l'art 89

3.3 Etude des multiplieurs de tension intégrés 92

3.4 Conclusion 109

3.5 Bibliographie 111

Conclusion générale 113

Sélection de publications 117

Curriculum vitae 169

Introduction générale

Après une thèse de Doctorat effectuée au L.A.A.S. de Toulouse, dans le domaine de la modélisation physique des composants de puissance j'ai intégré en septembre 1989 l'Equipe de recherche en Micro-Ondes de l'E.N.S.E.A. de Cergy-Pontoise en tant que Maître de Conférences. Après deux années consacrées à l'étude des effets thermiques sur les composants à effet de champ (MESFET, HEMT) et à leurs procédures de caractérisation, j'ai participé à la mise en place d'une activité de recherche dans l'équipe Micro-ondes consacrée aux transistors bipolaires à hétérojonction. Mes travaux de recherche ont porté sur le développement de modèles électriques et de procédures de caractérisation du Transistor Bipolaire à Hétérojonction (TBH) pour la CAO des circuits micro-ondes.

En Novembre 2001 j'ai rejoint le Laboratoire de Matériaux et de Microélectronique de Provence (L2MP, UMR 6137). J'ai participé à la création d'une nouvelle activité de recherche au sein du laboratoire consacrée aux circuits et systèmes intégrés radiofréquences. L'intérêt de cette activité a été suscité par les potentialités offertes par les nouvelles filières technologiques de fabrication de circuits intégrés Silicium qui offraient, pour un faible coût de fabrication, la possibilité de réaliser des circuits dont les performances étaient auparavant exclusivement réalisables avec les technologies dédiées aux applications hyperfréquences. L'intérêt industriel et le verrou technologique à lever étaient de réaliser sur une même "puce" la partie réception/émission des signaux hautes fréquences ainsi que la partie traitement de l'information en technologie numérique. Les activités de recherche en conception de circuit du laboratoire sont actuellement regroupées dans l'équipe "Conception de Circuits Intégrés" dirigée par Hervé Barthélémy. Cette équipe, qui compte actuellement 11 enseignants chercheurs permanents, est structurée en 3 thématiques : "Circuits et Systèmes Intégrés Radiofréquences", "Circuits Radiofréquences à Identification RFID", "Interfaces Analogiques et Numériques BF".

Mes activités de recherche concernent les thématiques "Circuits et Systèmes Intégrés Radiofréquences " et "Circuits Radiofréquences à Identification RFID". Dans ce cadre et dans le contexte des systèmes intégrés CMOS pour objets communicants à faible coût de fabrication et d'exploitation, mes travaux de recherche concernent principalement :

- Les amplificateurs faible bruit accordés pour systèmes intégrés communicants,
- Les amplificateurs bas niveau large bande,
- Les convertisseurs RF/DC pour la télé-alimentation haute fréquence,
- Les méthodes d'interfaçage Circuit Intégré/Boîtier/Carte.

Mon mémoire en vue d'obtenir une Habilitation à Diriger des Recherches portera exclusivement sur les thèmes de recherche que j'ai développé depuis 2001 au L2MP en conception de circuits intégrés analogiques. Les travaux présentés résultent de recherches personnelles ainsi que de travaux de recherche qui ont été réalisés sous ma direction au travers d'autorisations ponctuelles de direction de recherche ou sous mon encadrement direct.

Le premier chapitre de ce mémoire intitulé "*Amplificateurs faible bruit accordés pour systèmes intégrés CMOS*" s'intéresse aux méthodes de conception permettant l'intégration complète de l'amplificateur faible bruit d'une (LNA) depuis la gamme des radiofréquences jusqu'à la gamme des fréquences millimétriques. Ces travaux ont été menés dans le cadre de la Thèse de Mathieu Egels et dans le cadre d'une convention de recherche avec la société ST-Microélectronics financée par le Conseil Général des Bouches du Rhône.

Le deuxième chapitre est intitulé "*Amplificateurs bas niveau large bande pour systèmes intégrés CMOS*". Ce chapitre présente les solutions que nous avons développées au laboratoire qui permettent de contrôler la bande passante des amplificateurs faible bruit pour systèmes intégrés destinés aux applications utilisant les normes UWB ainsi que des études plus prospectives sur l'amplification distribuée CMOS pour des applications à très grandes bandes passantes. Dans la dernière partie de ce chapitre nous décrivons nos travaux concernant la mise en boîtier des circuits et systèmes intégrés haute fréquence et large bande. Ces différents travaux ont été réalisés d'une part dans le cadre des Thèses de Mathieu Egels, et de Marc Battista, dans le cadre d'une convention de recherche avec la société ST-Microélectronics financée par le Conseil Général des Bouches du Rhône,

et d'autre part dans le cadre de la thèse de Romen Cubillo avec le soutien de la plateforme conception du Centre Intégré de Microélectronique de la région PACA (CIMPACA).

Le troisième chapitre "*Convertisseurs RF/DC pour la téléalimentation haute fréquence en RFID*" décrit nos activités de recherche concernant les circuits et architectures pour la télé-alimentation des circuits intégrés au moyen d'une onde électromagnétique. Les applications ciblées concernent essentiellement les étiquettes électroniques sans contact dans le domaine des fréquences UHF pour lesquelles nous avons développé des circuits et des architectures pour les technologies CMOS standard. Ces travaux ont été réalisés dans le cadre de la Thèse de Emmanuel Bergeret dans le cadre d'une convention de recherche avec la société ST-Microélectronics soutenue par le Conseil Général des Bouches du Rhône.

Dans ce mémoire nous nous attacherons à décrire l'état de l'art des différents thèmes de recherche abordés et à situer nos travaux vis-à-vis de cet état de l'art. Le détail de nos travaux de recherche étant disponible dans les différents articles et thèses référencés, nous donnerons dans ce mémoire uniquement les grandes lignes de nos études et les principaux résultats obtenus.

Chapitre 1

Amplificateurs faible bruit accordés pour systèmes intégrés CMOS

1 INTRODUCTION.

La réduction des dimensions a permis vers la fin des années 1990 aux technologies silicium standard de concurrencer pour certaines applications les technologies plus coûteuses de type GaAs ou bien BiCMOS sur le marché des circuits intégrés analogiques hautes fréquences. Depuis leur utilisation dans ce domaine n'a cessé de croître et a permis l'essor considérable des technologies de communication sans fil pour le grand public. L'effort de recherche initialement dévolu à l'intégration de fonctions simples s'est progressivement reporté vers l'intégration de systèmes de plus en plus complets regroupant sur une même puce toutes les fonctions analogiques et numériques. Dans le domaine des radiofréquences un des besoins de recherche concerne les systèmes à très faible coût de production tant au niveau des technologies de fabrication des semiconducteurs utilisées pour la production des puces qu'au niveau d'architectures nécessitant un nombre de composants externes minimal. Un critère de performance tout aussi important pour des systèmes fonctionnant sur batteries est la consommation de puissance. Dans ce contexte la conception des amplificateurs à faible bruit des récepteurs est un des points centraux de la partie analogique des systèmes de communications intégrés radiofréquences car il représente dans les architectures permettant des faibles coûts, comme les récepteurs à conversion directe par exemple, une part importante de la consommation de surface de semiconducteur et de la puissance consommée dans le système intégré. Nous explicitons dans la première partie de ce chapitre notre contribution à l'amélioration des performances de cette fonction clé dans le contexte des technologies CMOS standard. Notre travail vise à définir une méthode de conception destinée à permettre l'intégration complète du LNA sans adjonction d'éléments externes et sans réduction de performance notable.

L'encombrement spectral actuel dans la gamme des radiofréquences résultant de la multiplicité des applications dans le domaine des communications sans fils qui ont vu le jour ces dernières années a suscité l'ouverture de bandes de fréquences élevées dévolues aux communications sans fils grand public. Ce besoin correspond à la disponibilité de technologies silicium dont les transistors de longueurs de grille maintenant à l'échelle nanomètrique disposent d'une plage d'utilisation dans le domaine des fréquences millimétriques. Néanmoins la conception d'amplificateurs faible bruit performants en

technologie CMOS standard dans ce domaine de fréquences reste encore limitée par de nombreux verrous technologiques comme par exemple la qualité des passifs disponibles pour réaliser les cellules d'adaptation. Dans la deuxième partie de ce chapitre nous proposons quelques contributions visant à améliorer les performances des LNA CMOS hautes fréquences.

2 ANALYSE DE L'ETAT DE L'ART

L'analyse de l'état de l'art proposée dans cette section se limite aux amplificateurs faible bruit et à leur méthodes de conception en technologie CMOS standard. En outre cette analyse est faite dans la perspective d'une utilisation pour la réalisation de systèmes intégrés.

2.1 Architectures et méthodes de conception

Dans la mesure où les éléments passifs sont idéaux le facteur de bruit minimal que l'on peut atteindre avec un transistor MOS ne dépend pas de la topologie et augmente au fur et à mesure que la fréquence de fonctionnement se rapproche de la fréquence de transition [1]. Les différentes topologies se différentient par leur aptitude à produire un facteur de bruit faible tout en assurant une adaptation d'impédance avec une source de signal d'impédance donnée. La Table 1 résume les performances théoriques des topologies usuelles calculées à partir d'un modèle de bruit du MOS à canal long [1] lorsque la fréquence de fonctionnement est située loin de f_T.

	common-source	common-gate	common-source with inductive degeneration	local shunt feedback
F_{min}	$=1+2\sqrt{\frac{\delta\gamma}{5}(1-\lvert c\rvert^2)}\frac{\omega}{\omega_T}$ $=1+2.32\frac{\omega}{\omega_T}$	$=1+2\sqrt{\frac{\delta\gamma}{5}(1-\lvert c\rvert^2)}\frac{\omega}{\omega_T}$ $=1+2.32\frac{\omega}{\omega_T}$	$=1+2\sqrt{\frac{\delta\gamma}{5}(1-\lvert c\rvert^2)}\frac{\omega}{\omega_T}$ $=1+2.32\frac{\omega}{\omega_T}$	$=1+2\sqrt{\frac{\delta\gamma}{5}(1-\lvert c\rvert^2)}\frac{\omega}{\omega_T}$ $=1+2.32\frac{\omega}{\omega_T}$
G_{sopt}	$\sqrt{\frac{\alpha^2\delta(1-\lvert c\rvert^2)\omega^2C_{gs}^2}{5\gamma}}$	$\sqrt{\frac{\alpha^2\delta(1-\lvert c\rvert^2)\omega^2C_{gs}^2}{5\gamma}}$	$\frac{\omega C_{gs}}{\alpha}\sqrt{\frac{5\gamma}{\delta}(1-\lvert c\rvert^2)}$	$\sqrt{\frac{\alpha g_m}{\gamma R_f}+\frac{\alpha^2\delta(1-\lvert c\rvert^2)\omega^2C_{gs}^2}{5\gamma}}$
B_{sopt}	$-\omega C_{gs}\left(1+\alpha\lvert c\rvert\sqrt{\frac{\delta}{5\gamma}}\right)$	$-\omega C_{gs}\left(1+\alpha\lvert c\rvert\sqrt{\frac{\delta}{5\gamma}}\right)$	$\omega C_{gs}\left(1+\frac{\lvert c\rvert}{\alpha}\sqrt{\frac{5\gamma}{\delta}}\right)$	$-\omega C_{gs}\alpha\lvert c\rvert\sqrt{\frac{\delta}{5\gamma}}$

Table 1 Caractéristiques des amplificateurs faible bruit CMOS de topologies usuelles d'après D. Gee-Wai Yee [1]. α=0.8, δ=4, γ=2, c=j 0.395

Les méthodes de conception des amplificateurs accordés qui permettent de dimensionner les éléments de l'amplificateur en vue de minimiser le facteur de bruit sont nombreuses. Certaines méthodes sont basées sur le modèle de bruit du transistor et sur la dépendance des éléments de ce modèle avec la polarisation et les dimensions physiques du transistor. D'autres méthodes plus empiriques considèrent l'élément actif comme une quadripôle linéaire possédant des paramètres de bruit qui ne sont pas explicitement reliés au dimensionnement.

La méthode la plus simple permettant d'obtenir le facteur de bruit minimal F_{MIN} d'un quadripôle consiste à présenter au port d'entrée une impédance optimale Z_{OPT}. Cette impédance peut être déterminée par la connaissance d'une des matrices linéaires du quadripôle et des sources de bruits du quadripôle [2]. L'inconvénient de cette méthode résulte du fait que Z_{OPT} est généralement différent de l'impédance Z_{IN*} qui assure l'adaptation d'entrée. Certaines topologies, comme la contre réaction inductive de source par exemple, ont cependant la propriété de rapprocher le lieu de ces deux impédances. De manière pratique le concepteur synthétise un réseau d'adaptation qui transforme l'impédance du générateur d'attaque en une impédance Z_S assurant le compromis désiré entre les performances en bruit et l'adaptation d'impédance en entrée. Avec ce type de méthode le dimensionnement optimal de l'amplificateur est fastidieux puisque les paramètres de bruit de l'élément actif dépendent de sa polarisation et de sa taille. Il est par exemple impossible de prévoir d'emblée le dimensionnement qui conduit au facteur de bruit minimal pour une puissance consommée imposée sans avoir recours à une procédure d'optimisation associée à un modèle en bruit précis. Ce type d'approche est le plus souvent utilisé en conception non intégrée où le composant actif est imposé de manière arbitraire et par conséquent son dimensionnement n'est pas un paramètre d'optimisation.

Le but ultime de toute méthode de conception d'amplificateur faible bruit consiste à atteindre simultanément l'adaptation en puissance et l'adaptation en bruit. Pour les amplificateurs intégrés où le concepteur maîtrise, outre le dimensionnement de la cellule d'adaptation, les tailles et la polarisation du transistor cette adaptation simultanée peut être approchée en technologie CMOS pour certaines valeurs de longueur de grille avec la topologie source commune à dégénération inductive [3]. Cette topologie qui est

représentée sur la figure 1 est la plus largement utilisée à l'heure actuelle car elle permet d'excellentes performances lorsqu'une adaptation en puissance à un générateur d'impédance 50Ω est requise. Néanmoins aucune méthode n'assure de manière exacte cette adaptation simultanée en bruit et en puissance car le lieu de Z_{OPT} est différent de l'impédance Z_{IN*} malgré la présence de L_S. En effet l'analyse faite dans la référence [3] montre que cette adaptation simultanée n'est atteinte que pour des valeurs particulières des paramètres des sources de bruit du transistor α, δ, γ, c. Les valeurs de ces paramètres pour une technologie donnée peuvent différer sensiblement de ces valeurs particulières surtout pour les technologies actuelles où les longueurs de grille sont nettement inférieures à celle de la technologie utilisée dans la référence [3].

L'objectif affiché des méthodes de conception les plus utilisées pour la conception des LNA CMOS intégrés est d'obtenir le facteur de bruit minimal possible lorsque l'adaptation d'impédance est atteinte et ce pour un budget de puissance consommée donné. La première méthode de ce type a été établie par D. Schaeffer à partir du modèle de bruit du transistor MOS et avec la topologie source commune à dégénération inductive [4]. Dans cette publication de référence une méthode de dimensionnement du transistor et des éléments de la cellule d'adaptation est décrite. Le modèle en bruit du transistor inclus le courant de bruit induit dans la grille ainsi que sa corrélation avec le courant de bruit de drain [5]. La cellule d'adaptation est réalisée par une simple inductance en série sur la grille. Dans ces conditions des expressions analytiques permettent d'assurer un dimensionnement optimal de la cellule d'adaptation et de la taille du transistor. Il est en outre montré dans cette publication que le courant de bruit de grille n'est pas négligeable et que sa prise en compte, y compris sa corrélation avec le courant de bruit de drain, est nécessaire pour aboutir au dimensionnement optimal. En revanche la prise en compte de la résistance parasite de grille est ignorée ce qui est justifié dans la mesure où le concepteur maîtrise le nombre de doigts de grille et peut ajuster ce nombre afin de rendre cette résistance négligeable.

Une modification de cette topologie a été proposée par P. Andréani [6] afin d'obtenir un degré de liberté sur la largeur du transistor. Cette modification consiste en l'ajout d'une capacité C_p en parallèle entre la grille et la source du MOS comme l'indique la figure 1.b. Cette topologie est intéressante lorsque les transistors fonctionnent loin de leur

fréquence de transition car alors la diminution du f_T qui résulte de cette augmentation de la valeur de C_{GS} n'est pas trop pénalisante en terme de gain et permet de relâcher certaines contraintes imposées par la méthode de D. Shaeffer. On peut de cette manière décorréler le choix de la largeur du transistor d'entrée et du facteur de qualité de la cellule d'adaptation. On obtient ainsi de faibles facteurs de bruit à l'adaptation d'impédance même pour des consommations de puissance faibles.

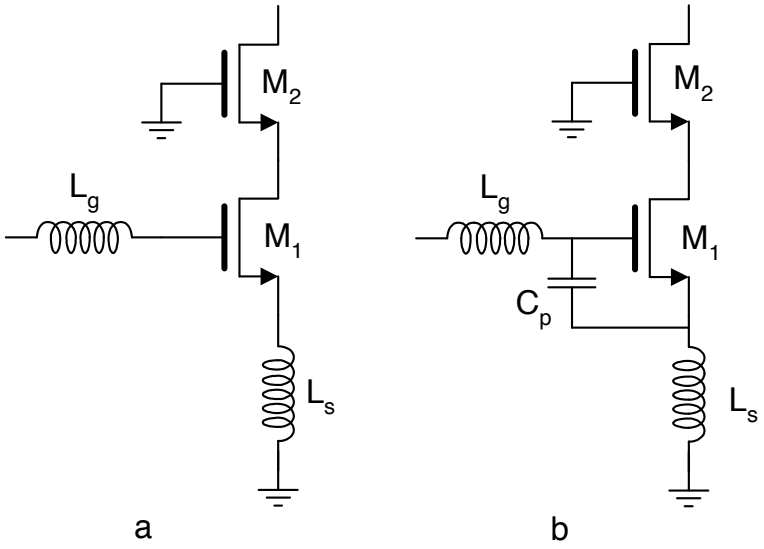


Figure 1 Topologies de LNA à dégénération inductive. (a) topologie utilisée par la méthode de dimensionnement proposée par D. Schaeffer [4], (b) topologie utilisée par la méthode de dimensionnement proposée par P. Andréani [6].

Une des principales faiblesses des deux méthodes précédentes, lorsque l'on s'intéresse aux LNA entièrement intégrés, provient du fait qu'elles négligent l'impact du facteur de qualité de l'inductance L_G sur le facteur de bruit. En effet lorsque l'impact de ce facteur de qualité est ignoré ces deux méthodes conduisent à un dimensionnement non optimal du LNA. Des révisions des méthodes proposées initialement par D. Schaeffer et P Andréani prenant en compte le facteur de qualité des inductances dans le dimensionnement des LNA ont été publiées récemment [7],[8].

Néanmoins toutes les méthodes précédentes se limitent aux topologies d'adaptation données figure 1 qui comportent une inductance série L_G dont la valeur déterminée par les méthodes précédentes est élevée si l'on veut atteindre de faibles valeurs de facteur de bruit. Ces méthodes restent donc, malgré ces révisions, peu adaptées aux LNA

entièrement intégrés. De fait les réalisations de LNA conçues à partir de ces méthodes utilisent généralement des inductances externes ou des fils d'interconnexions. Dans le but d'éviter l'ajout d'éléments externes une modification de la topologie de la cellule d'adaptation a été publiée récemment [9]. La nouvelle cellule utilise un circuit LC parallèle à la place de l'inductance L_G. Le principe repose sur l'équivalence de ce circuit avec un circuit LC série, à une fréquence donnée inférieure à la fréquence de résonance propre du circuit LC parallèle. On peut de cette manière synthétiser une inductance L_G de valeur élevée à partir d'une valeur d'inductance plus faible et sans pénalité sur le facteur de qualité. Une fois cette équivalence établie on peut utiliser la méthode de dimensionnement classique proposée par D. Shaeffer [4].

En dehors de ces méthodes de conception qui permettent de dimensionner tous les éléments du LNA de manière explicite à partir de la modélisation en bruit du transistor quelques études basées sur la modélisation de type quadripolaire de l'élément actif ont été publiées. La référence [10] présente une étude approfondie de la topologie source commune à dégénération inductive en se limitant aux possibilités offertes par une adaptation d'impédance présentant une partie réelle égale à 50Ω au niveau du transistor. Cette limitation revient à se restreindre à des cellules d'adaptation équivalentes à celle présentée sur la figure 1.a. Par rapport aux méthodes de conception purement analytiques présentées plus haut ce travail, qui utilise des résultats de mesures pour la représentation des transistors, fournit une description exhaustive et réaliste de l'influence du dimensionnement des éléments actifs en incluant la dégradation des performances en bruit découlant de l'utilisation d'un montage cascode. Bien évidemment l'influence des paramètres sur les performances n'est pas donnée de manière explicite, mais seulement de manière quantitative pour une technologie donnée.

Il est possible d'obtenir davantage de degrés de liberté sur le dimensionnement du LNA en abandonnant le principe d'une adaptation d'entrée par une résonance série. L'utilisation d'une cellule d'adaptation d'entrée en Π constituée d'éléments LC permet de relâcher de nombreuses contraintes [11]. Avec ce type de cellule la partie réelle synthétisée par l'inductance de dégénération L_S peut être choisie différente de 50Ω. Ce degré de liberté permet de minimiser le facteur de bruit à l'adaptation d'impédance tout en choisissant la consommation de puissance de manière arbitraire. En outre le choix

d'une cellule en Π comportant une inductance et deux capacités permet de fixer la valeur de l'inductance de manière arbitraire et par exemple d'utiliser la valeur qui conduit aux meilleures performances en terme de facteur de bruit de la maille d'adaptation d'entrée. Concernant les LNA entièrement intégrés cet avantage est déterminant car beaucoup d'autres méthodes conduisent à des valeurs de L_G non intégrables ou peu performantes.

La majorité des LNA radiofréquences accordés utilisent la topologie source commune à contre réaction inductive avec des transistors montés en configuration cascode. Toutefois quelques réalisations utilisent le montage grille commune. Les propriétés de ce montage liées à sa stabilité et à sa facilité d'adaptation sont intéressantes en hautes fréquences [12].

2.2 Réalisations dans le domaine des radiofréquences

Les réalisations de LNA entièrement intégrés sont peu nombreuses dans le domaine des radiofréquences. En effet la majorité des nombreux LNA publiés à ce jour utilisent les architectures et méthodes de dimensionnement décrites dans les références [4][6]. Le tableau 2 rassemble la plupart des résultats publiés à ce jour sur des LNA entièrement intégrés fabriqués dans des technologies CMOS standard. On peut noter que les performances en terme de facteur de bruit restent modestes même avec les technologies récentes utilisant des transistors de très faible longueur de grille. Ces performances sont nettement en deçà des performances que l'on peut atteindre en utilisant des passifs externes ou des fils d'interconnexions au boîtier [3],[10],[13],[14]. Paradoxalement un des meilleurs facteurs de bruit mesuré a été obtenu en 1998 avec une technologie 0.8 μm. Cette bonne performance s'explique par la bonne qualité des inductances disponibles dans cette technologie possédant des niveaux d'interconnexions d'épaisseur supérieure à 3 μm. La forte consommation de puissance provient des fortes tension d'alimentation utilisées avec ces longueurs de grille.

Ces résultats démontrent que dans le contexte des systèmes intégrés la qualité des passifs est primordiale et que par conséquent l'architecture traditionnelle des LNA accordés utilisant une inductance série dans la grille n'est certainement pas optimale surtout si le dimensionnement ne permet pas de fixer sa valeur de manière arbitraire afin

de tirer profit des meilleurs performances des passifs disponibles dans la technologie à la fréquence de travail.

Table 2 Performances de LNA entièrement intégrés dans le domaine des radiofréquences.

Ref, année	Technologie	Fréquence de fonctionnement	S21	NF	Consommation
[15]	CMOS 0,8 μm	1.9 GHz	15 dB	2.8 dB	54 mW
[16]	CMOS 0,18 μm	2.4 GHz	23 dB	3,8 dB	13 mW
[17]	CMOS 90 nm	5.5 GHz	12.3 dB	2.7 dB	9.72 mW
[9]	CMOS 018 μm	2.4 GHz	25 dB	2.7 dB	15 mW
[12]	CMOS 0,18 μm	6 GHz	7.1 dB	3 dB	6.5 mW
[7]	CMOS 0,18 μm	10 GHz	11.2 dB	2.9 dB	17.6 mW

2.3 Réalisations dans le domaine des fréquences millimétriques

Dans le domaine des fréquences millimétriques les réalisations d'amplificateurs faible bruit en technologie CMOS standard sont encore rares. Bien que ce domaine de fréquences permette l'utilisation de cellules d'adaptation d'impédance de nature distribuée celles-ci sont le plus souvent réalisées avec des éléments localisés. Le tableau 3 rassemble les résultats des principales publications où l'on peut constater que les performances obtenues sont à l'heure actuelle encore faibles. Remarquons que la meilleure performance relevée en terme de facteur de bruit [22] n'utilise pas l'une des topologies décrites figure 1 contrairement à la plupart des LNA fonctionnant dans le domaine des radiofréquences. La cellule d'adaptation est une simple cellule LC et les montages cascode sont remplacés par une architecture source commune simple où la contre réaction inductive n'est pas dimensionnée pour fournir une impédance de 50Ω mais plutôt pour stabiliser le transistor sans faire chuter le gain de manière excessive.

Table 3 Performances de LNA entièrement intégrés en hautes fréquences et en fréquences millimétriques.

Ref	Technologie	Fréquence de fonctionnement	S21	NF	Surface du circuit	Consommation
[18]	CMOS 0,18 μm	21.8 GHz	15 dB	6 dB	-	24 mW
[19]	CMOS 0,18 μm	17 GHz	12 dB	5.2 dB	-	100 mW
[19]	CMOS	24 GHz	10 dB	6 dB	-	100 mW

	0,18 μm					
[20]	CMOS 0,18 μm	24 GHz	13 dB	5.6 dB	0.73 mm^2	54 mW
[21]	CMOS 90 nm	20 GHz	6	6.4 dB	0.56 mm^2	10 mW
[22]	CMOS 0,18 μm	24 GHz	13.1 dB	3.9 dB	0.34 mm^2	14 mW

2.4 Conclusion sur l'état de l'art

L'analyse de l'état de l'art montre qu'il existe très peu de méthodes de conception qui permettent un dimensionnement direct des LNA CMOS. Les deux principales méthodes [4],[6] qui ont été largement utilisées par la suite proposent un dimensionnement optimal, dans les conditions d'adaptation d'impédance et pour une consommation imposée, à partir des paramètres de bruit du transistor. Ces méthodes, qui ne prennent pas en compte les pertes dans les inductances de la maille d'adaptation, sont limitées à une architecture figée qui comporte une inductance série dans la maille d'adaptation. Ces méthodes s'imposent en outre de travailler avec une partie réelle de 50Ω à l'entrée du transistor. Ces méthodes ont été corrigées récemment pour rendre compte de l'influence des pertes de l'inductance série dans le dimensionnement du LNA. Enfin une adaptation de ces méthodes consistant à substituer l'inductance série par un réseau LC parallèle a été proposée récemment dans le but de réduire la valeur d'inductance fournie par le dimensionnement optimal qui conduisait auparavant à des valeurs non intégrables en technologies CMOS standard.

Les réalisations de LNA entièrement intégrés dans le domaine des radiofréquences sont peu nombreuses. Les facteurs de bruit atteints sont beaucoup plus élevés que ceux des réalisations utilisant des passifs externes et assez peu dépendants des longueurs de grille des transistors. Leurs performances sont essentiellement limitées par la qualité des passifs disponibles dans la technologie.

Les réalisations de LNA accordés dans le domaine des fréquences millimétriques sont elles aussi peu nombreuses. Dans ce domaine de fréquences les LNA sont le plus souvent entièrement intégrés et leurs conceptions ne font pas appel aux méthodes de dimensionnement utilisées en radiofréquences mais plutôt aux règles de conception usuelles des circuits intégrés microondes développées pour les technologies GaAs ou

BiCMOS SiGe.

3 ETUDE DES LNA CMOS ENTIEREMENT INTEGRES [23]

3.1 Objectifs de l'étude

L'objectif de cette étude est de dégager des règles de conception pour les amplificateurs faible bruit dans le contexte des technologies CMOS standard et des systèmes intégrés à faible coût. On s'intéresse donc aux LNA entièrement intégrés pouvant être assemblés sur des supports à faible coût par un montage « flip chip » par exemple. Les domaines de fréquences considérés sont celui des radiofréquences ainsi que celui des fréquences millimétriques.

3.2 Etude en bruit de l'architecture source commune à dégénération inductive

L'analyse de l'état de l'art a montré que l'architecture source commune à dégénération inductive présentait généralement les meilleures performances en bruit lorsque une adaptation d'impédance était requise pour les LNA accordés. Toutefois la plupart des études publiées se restreignent à des topologies particulières pour les cellules d'adaptation qui ne sont généralement pas bien adaptées aux LNA entièrement intégrés qui nous intéressent ainsi qu'aux LNA fonctionnant aux fréquences millimétriques. Dans ce paragraphe nous étudions la topologie source commune à dégénération inductive sans se limiter à une cellule d'adaptation particulière ni s'imposer une contrainte de 50Ω pour la partie réelle de du quadripôle amplificateur.

3.2.1. Modélisation des quadripôles bruyants

De manière générale en régime de fonctionnement linéaire les propriétés pour le bruit d'un quadripôle peuvent s'étudier à partir de sa matrice de représentation linéaire associée à deux sources de bruit corrélées [24],[25],[26]. Dans le cas de la matrice chaîne on obtient l'association représentée sur la Figure 2 où une source de tension de bruit e_n et une source de courant de bruit i_n sont ramenées en entrée du quadripôle. Cette représentation est particulièrement bien adaptée à l'étude des quadripôles en cascade.

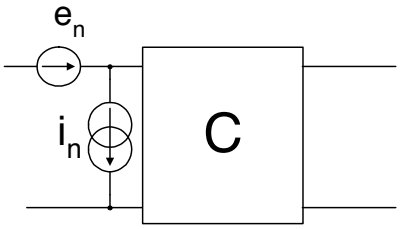


Figure 2 Représentation linéaire d'un quadripôle bruyant avec la matrice chaîne.

Les propriétés pour le bruit du quadripôle se déduisent de la matrice de corrélation associée dont l'expression est donnée par la relation (1). Cette matrice peut s'exprimer à partir des grandeurs usuelles définissant le facteur de bruit du quadripôle comme indiqué dans la relation (2). Dans ces relations K est la constante de Boltzmann, T la température absolue, Δf la bande de fréquence, F_{min} le facteur de bruit minimal réalisable avec le quadripôle, R_n la résistance équivalente de bruit, et Y_{opt} l'admittance de source permettant de minimiser le facteur de bruit.

$$C_C = \frac{1}{\Delta f}\begin{bmatrix} \langle e_n . e_n^* \rangle & \langle e_n . i_n^* \rangle \\ \langle i_n . e_n^* \rangle & \langle i_n . i_n^* \rangle \end{bmatrix} \qquad (1)$$

$$C_c = 4KT\begin{bmatrix} R_n & \frac{F_{\min}-1}{2} - R_n Y_{opt}^* \\ \frac{F_{\min}-1}{2} - R_n Y_{opt} & R_n \left|Y_{opt}\right|^2 \end{bmatrix} \qquad (2)$$

La connaissance de la matrice de corrélation permet donc de déterminer les grandeurs d'intérêt concernant toutes les propriétés en bruit du quadripôle.

3.2.2. Modèle du transistor MOS bruyant.

Le modèle linéaire du transistor MOS incluant les sources de bruit généralement adopté dans la littérature pour les hautes fréquences est représenté sur la Figure 3 [27],[4][28].

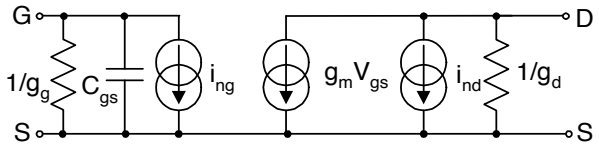


Figure 3 Modèle bruyant du transistor MOS.

Les expressions des sources de courant de bruit sont données ci-dessous [29],[30]:

$$\left\langle i_{ng}^2 \right\rangle = 4KT\Delta f\,\delta \frac{C_{gs}^2\omega^2}{5g_{d0}} \quad (3)$$

$$\left\langle i_{nd}^2 \right\rangle = 4KT\Delta f\,\gamma\, g_{d0} \quad (4)$$

$$c = \frac{\left\langle i_{ng} i_{nd}^* \right\rangle}{\sqrt{\left\langle i_{ng}^2 \right\rangle \left\langle i_{nd}^2 \right\rangle}} \le j|c|, \quad |c| \le 0.395 \quad (5)$$

Dans les transistors à canal long les paramètres γ, δ et |c| sont égaux à 2/3, 4/3 et 0.395. Pour les transistors actuels à canaux ultra courts γ est beaucoup plus grand (plus du double par rapport à un canal long), mais le rapport γ/δ reste à peu près constant et voisin de 2. Les variations de g_{d0} sont modélisées par le paramètre α dont la valeur décroît avec la diminution de la longueur de grille :

$$\alpha = \frac{g_m}{g_{d0}} \quad (6)$$

3.2.3. Etude analytique du montage source commune à dégénération inductive

A partir d'un schéma équivalent simplifié du montage source commune à dégénération inductive donné sur la Figure 4 on peut déterminer l'expression analytique des deux sources de bruit i_n et e_n ramenées en entrée. Lorsque la fréquence d'excitation est suffisamment basse devant la fréquence de cassure f_S définie par l'expression (7), les expressions analytiques des deux sources se réduisent aux relations (8) et (9).

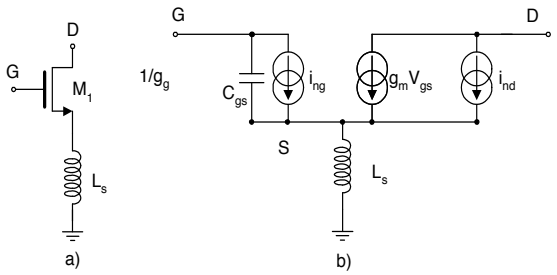


Figure 4 Schéma équivalent en bruit simplifié du montage source commune à dégénération inductive.

$$f_S = \frac{1}{2\pi\sqrt{L_S C_{GS}}} \quad (7)$$

$$i_n = i_{ng} - j\frac{\omega}{\omega_T} i_{nd} \quad (8)$$

$$e_n = -jL_s\omega i_{ng} + \frac{\left(1 - L_s C_{gs}\omega^2\right) i_{nd}}{g_m} \quad (9)$$

On peut ensuite, à partir des expressions (8) et (9) déterminer la matrice de corrélation définie en (1) et par conséquent les paramètres de bruit du quadripôle.

Lorsque la fréquence est suffisamment faible par rapport à la fréquence de coupure f_S, on obtient les expressions analytiques suivantes :

$$\begin{aligned} F_{\min} &= 1 + 2\frac{\omega}{\omega_T}\sqrt{\left(1 - |c|^2\right)\frac{\gamma\delta}{5}} \\ &= 1 + A\frac{\omega}{\omega_T} \end{aligned} \quad (10)$$

$$\begin{aligned} R_{opt} &= \frac{1}{C_{gs}\omega}\frac{\alpha\sqrt{5\left(1 - |c|^2\right)\gamma\delta}}{5\gamma + \alpha\left(\alpha\delta - 2|c|\sqrt{5\gamma\delta}\right)} \\ &= \frac{B}{C_{gs}\omega} \end{aligned} \quad (11)$$

$$\begin{aligned} X_{opt} &= \frac{1}{C_{gs}\omega}\left[\frac{5\gamma - \alpha|c|\sqrt{5\gamma\delta}}{5\gamma + \alpha\left(\alpha\delta - 2|c|\sqrt{5\gamma\delta}\right)}\right] - L_s\omega \\ &= \frac{C}{C_{gs}\omega} - L_s\omega \end{aligned} \quad (12)$$

$$R_n = \frac{\gamma}{\alpha}\frac{1}{g_m} \quad (13)$$

$$\begin{aligned} G_n &= \frac{g_m\omega^2}{\omega_T^2}\left[\frac{5\gamma + \alpha\left(\alpha\delta - 2|c|\sqrt{5\gamma\delta}\right)}{5\alpha}\right] \\ &= D\ g_m\left(\frac{\omega}{\omega_T}\right)^2 \end{aligned} \quad (14)$$

Dans les expressions précédentes les paramètres A, B, C, et D sont des paramètres qui dépendent uniquement des valeurs des paramètres α, γ, δ et |c|. Au premier ordre on peut considérer que ces paramètres ne dépendent pas du dimensionnement du transistor

et ne sont donc pas maîtrisés par le concepteur du circuit.

Les expressions (10) à (14) associées à l'expression (15) permettent de calculer le facteur de bruit dans toutes les conditions d'impédance de la source d'attaque en utilisant une des formules suivantes par exemple.

$$F = F_{\min} + \frac{G_n}{R_i}\left[\left(R_i - R_{opt}\right)^2 + \left(X_i - X_{opt}\right)^2\right] \quad (15)$$

$$F = F_{\min} + \frac{R_n}{G_i}\left[\left(G_i - G_{opt}\right)^2 + \left(B_i - B_{opt}\right)^2\right] \quad (16)$$

$$F = F_{\min} + 4R_N \frac{\left|\Gamma_i - \Gamma_{opt}\right|^2}{\left|1 + \Gamma_{opt}\right|^2 \left(1 - \left|\Gamma_i\right|^2\right)} \quad (17)$$

Dans ce expressions R_i et X_i, G_i et B_i, et Γ_i sont respectivement les parties réelles et imaginaires de l'impédance de la source d'attaque, les parties réelles et imaginaires de l'admittance de la source d'attaque, le coefficient de réflexion de la source d'attaque.

L'examen des relations (10) à (14) montre que l'inductance de source n'agit que sur la valeur de la réactance optimale X_{opt} les autres valeurs étant identiques à celles de la topologie source commune sans contre réaction.

L'expression (10) montre que le facteur de bruit minimal présenté par cette topologie dépend uniquement de la pulsation de transition ω_T qui peut être approximée par la relation :

$$\omega_T = \frac{g_m}{C_{gs}} \quad (18)$$

La valeur de la transconductance peut être approximée à partir de la relation (19), et la capacité C_{GS} par la relation (20).

$$g_m = \alpha\, \mu\, C_{ox} \frac{W}{L}\left(V_{GS} - V_T\right) \quad (19)$$

$$C_{GS} = \frac{2}{3} W\, L\, C_{ox} \quad (20)$$

On peut donc conclure que, dans ce cadre d'hypothèses, le facteur de bruit minimum de cette topologie est indépendant de la largeur du transistor et de la valeur de l'inductance de source L_S.

3.2.4. Stratégies de dimensionnement

A partir de l'analyse faite au paragraphe précédent on peut définir plusieurs stratégies de dimensionnement basées sur la topologie source commune. Le concepteur maîtrise le choix des dimensions du transistor, de la valeur de l'inductance de source L_S, et des conditions de polarisation du transistor. Les critères de performance principaux sont le facteur de bruit, l'amplification, et la consommation de puissance.

L'obtention du facteur de bruit minimal F_{min} suppose de présenter une impédance au quadripôle égale à :

$$Z_{opt} = R_{opt} + j\,X_{opt} \quad (21)$$

L'impédance à présenter pour obtenir l'adaptation d'impédance a pour expression :

$$Z_{ip} = \frac{g_m L_s}{C_{gs}} + j\left(\frac{1}{C_{gs}\omega} - L_s\omega\right) \quad (22)$$

L'expression (22) qui a été obtenue, à partir du schéma électrique simplifié de la figure Figure 4, néglige la résistance parasite d'accès à la grille ainsi qu'une partie réelle provenant des effets non quasi statiques. Ces éléments sont négligeables au premier ordre devant la partie réelle procurée par la contre réaction inductive.

3.2.4.1 Amplificateur source commune

A partir des relations (11), (12), (21), et (22), on peut montrer que les conditions d'adaptation simultanée en bruit et en puissance sont impossibles à réaliser sans inductance de source L_S. On peut obtenir néanmoins le facteur de bruit minimal en présentant Z_{opt} au quadripôle au prix d'une désadaptation d'entrée importante.

3.2.4.2 Amplificateur source commune à dégénération inductive

L'idéal à atteindre pour tout LNA est une adaptation simultanée en bruit et en puissance

qui suppose l'égalité entre les expressions (21) et (22). On en déduit les conditions d'adaptation simultanée

$$\frac{B}{C_{gs}\omega} = \frac{g_m L_s}{C_{gs}} \quad (23)$$

$$\frac{C}{C_{gs}\omega} = \frac{1}{C_{gs}\omega} \quad (24)$$

Le concepteur peut aisément satisfaire la relation (23) par le choix du couple (g_m,L_S), mais ne dispose d'aucun moyen d'action pour satisfaire la relation (24). On peut donc conclure que l'adaptation simultanée est rigoureusement impossible hormis dans le cas particulier d'une technologie qui garantit une valeur de C égale à l'unité. Pour les transistors à canal long la valeur des paramètres α, γ, δ et $|c|$ conduisent à une valeur de C voisine de 0.6, alors que dans les technologies submicroniques la valeur des paramètres α, γ, δ et $|c|$ observés conduisent à une valeur de C proche de l'unité [3]. Il résulte de ces considérations que la condition (24) est quasiment remplie de manière automatique et qu'une adaptation en puissance associée à la relation (23) conduit à un facteur de bruit proche de la valeur minimale F_{min}.

En présentant au transistor l'impédance Zip avec une partie réelle qui satisfait (23) on obtient à la fréquence d'accord ω_0, un facteur de bruit proche de F_{min} dont l'expression est donnée ci-dessous.

$$\begin{aligned} F &= F_{\min} + \frac{D}{B}\left(1-C\right)^2 \frac{\omega_0}{\omega_T} \\ &= 1 + \left[A + \frac{D}{B}\left(1-C\right)^2 \right] \frac{\omega_0}{\omega_T} \end{aligned} \quad (25)$$

La valeur d'inductance de source garantissant la condition (23) est donnée par la relation (26) :

$$L_{Sopt} = \frac{B}{g_m\,\omega_0} \quad (26)$$

La pulsation de transition étant au premier ordre indépendante de la largeur W du

transistor comme l'indique les expressions (18), (19), (20), seule la polarisation intervient dans la valeur du facteur de bruit obtenu avec cette méthode de dimensionnement.

La relation (26) montre aussi que les faibles courant de polarisation qui conduisent à des valeurs de g_m faibles entraînent des valeurs d'inductances L_S élevées.

3.2.4.3 Amplificateur source commune à dégénération inductive modifié

On peut obtenir les avantages permis par la topologie précédente avec des valeurs modérées d'inductance de source pour les faibles consommation de puissance en utilisant la topologie proposée par Andréani [6] représentée sur la Figure 1.b. On peut montrer que la présence de la capacité additionnelle C_P en parallèle de C_{GS} ne modifie pas le facteur de bruit minimal et que les conditions d'adaptation simultanées en bruit et en puissance sont quasiment obtenues lorsque le quadripôle est adapté en puissance avec une inductance de source satisfaisant la relation (27) :

$$L_{Sopt} = \frac{B'}{\omega_0 \ \omega_T \ C_T} \quad (27)$$

avec :

$$B' = \alpha \sqrt{\frac{\delta}{5\gamma\left(1-|C|^2\right)}} \quad (28)$$

Dans la relation (27) C_T correspond à la somme des capacités C_{GS} et C_P. On obtient dans ces conditions un rapport entre la valeur de L_S donnée par la méthode précédente et celle issue de la relation (27) de valeur :

$$\frac{L_S\left(C_{GS}\right)}{L_S\left(C_T\right)} = \frac{B}{B'}\frac{C_T}{C_{GS}} \quad (29)$$

3.2.5. Limitations de la modélisation analytique simplifiée

L'analyse des différents paramètres de bruit, déterminés à partir du schéma analytique simplifié de l'architecture source commune à dégénération inductive et en nous limitant

à des fréquences petites devant la fréquence de transition f_T du transistor et devant la fréquence f_S définie par la résonance de L_S et C_{GS}, nous a permis de dégager des règles de dimensionnement qui permettent d'approcher une adaptation simultanée en bruit et en puissance. Nous allons dans ce paragraphe analyser de manière plus précise les limitations de cette analyse en utilisant un modèle analytique implanté dans un simulateur de circuits. Le modèle analytique qui servira de référence inclus l'effet de tous les éléments du schéma équivalent petit signal bruyant du transistor MOS représenté Figure 3, et la capacité grille drain C_{GD}. Au niveau de la topologie nous comparons le montage source commune au montage cascode généralement utilisé en basses fréquences. Les résultats présentés ont été obtenus avec des éléments du schéma équivalent déterminés en utilisant des lois physiques à partir des données d'une technologie CMOS 0.28µm sur laquelle a été réalisé un prototype dont les résultats seront présentés à la fin du chapitre [23]. Les valeurs des paramètres α, γ, δ et $|c|$ décrivant le comportement des sources de bruit du transistor ont été obtenues en utilisant les lois de variations décrites dans [1].

3.2.5.1 Effet de l'inductance de source L_S sur les paramètres de bruit.

L'expression analytique (10) du paragraphe 3.2.3 prévoit que le facteur de bruit est indépendant de la largeur W du transistor. La figure Figure 5 montre que ce résultat est valide lorsque les valeurs d'inductances de source L_S donnent une fréquence de résonance f_S donnée par la relation (7) grande devant la fréquence de travail.

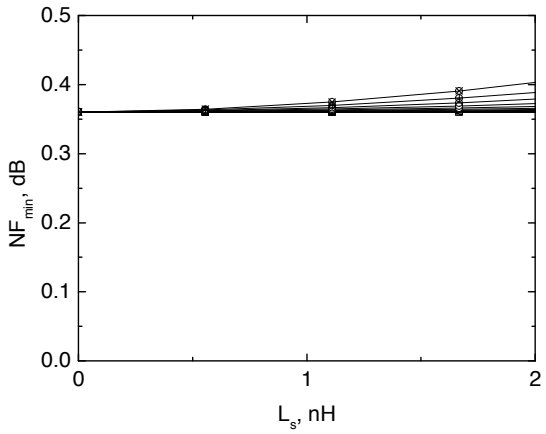


Figure 5 Variation du facteur de bruit minimal de la topologie source commune en fonction de l'inductance de source pour une largeur W comprise entre 50µm et 500µm. La tension de polarisation VGS est maintenue à la valeur de 0.7V et la fréquence de simulation à 2.4GHz.

Sur les Figure 6 et Figure 7 les valeurs de la partie réelle et de la partie imaginaire de l'impédance de source optimale obtenues avec les expression (11) et (12) sont comparées aux résultats obtenus en simulation avec le modèle analytique implémenté présenté au paragraphe précédent. Un bon accord est obtenu lorsque les conditions de validité des expressions analytiques sont remplies (ie : $f_0 << f_S$).

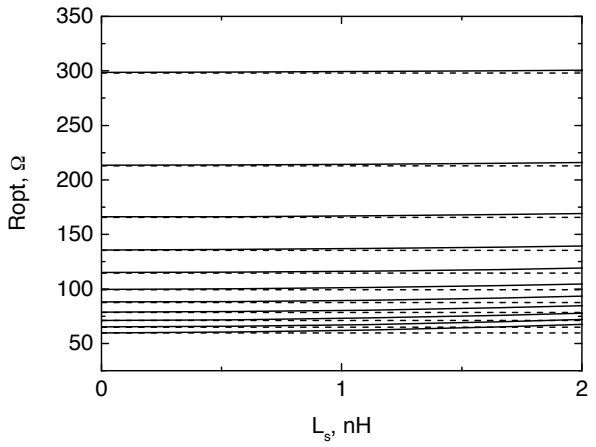


Figure 6 Comparaison entre l'expression (11) et le modèle analytique concernant l'évolution de la partie réelle de l'impédance optimale pour le bruit en fonction de l'inductance de source L_S. La tension de polarisation V_{GS} est maintenue à la valeur de 0.7V et la fréquence de simulation à 2.4GHz.

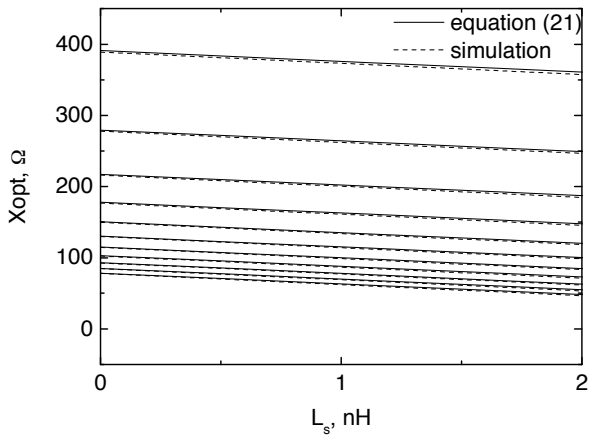


Figure 7 Comparaison entre l'expression (12) et le modèle analytique concernant l'évolution de la partie imaginaire de l'impédance optimale pour le bruit en fonction de l'inductance de source L_S. La tension de polarisation V_{GS} est maintenue à la valeur de 0.7V et la fréquence de simulation à 2.4GHz.

3.2.5.2 Effets liés aux canaux courts et à la saturation de la vitesse des porteurs

L'expression analytique simplifiée de la transconductance (19) qui ne tient pas compte de la vitesse de saturation des porteurs indique une croissance monotone de g_m avec la tension de polarisation V_{GS}. Nous avions déduit de cette relation, qu'au premier ordre, la fréquence de transition du transistor et le facteur de bruit minimum avaient des variations monotones vis-à-vis de V_{GS}. Nous avons représenté sur la Figure 8 les valeurs du facteur de bruit minimum Fmin obtenues à partir du modèle analytique implémenté. On peut constater que pour les fortes polarisations (V_{GS}-V_T) on observe une saturation de F_{min}, et même une remontée aux très forts niveaux de polarisation.

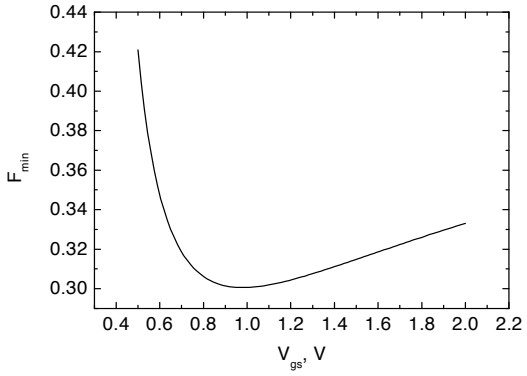


Figure 8 Evolution du facteur de bruit minimum de la topologie source commune avec V_{gs}. W = 100 μm, L = 0.28 μm, V_T = 0.35 V, E_{stat}=4 10^6 V/m.

3.2.5.3 Influence de l'architecture cascode sur le facteur de bruit minimum

Le bruit rajouté par le deuxième transistor dans la configuration cascode n'est pas pris en compte dans les expressions analytiques du paragraphe 3.2.3. La Figure 9 montre que le bruit rajouté par le deuxième transistor devient sensible au-delà de la fréquence $f_T/10$.

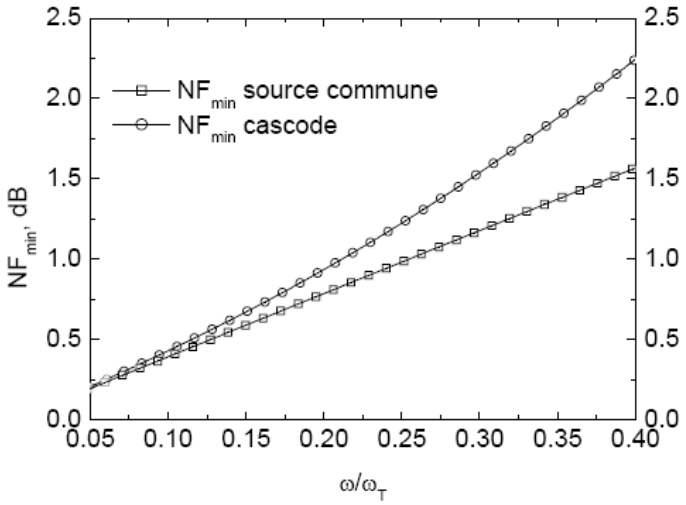


Figure 9 Comparaison entre le facteur de bruit minimal F_{min} de la topologie source commune et de la topologie cascode en fonction de la fréquence. L=0.13µm, W=100µm, I_0=10mA, V_{DD}=1.2V.

3.2.6. Conclusions sur l'étude en bruit de l'architecture source commune à dégénération inductive

Nous avons étudié l'architecture source commune à dégénération inductive à partir des expressions analytiques de ses paramètres de bruit. Nous avons pu dégager une méthode de dimensionnement de l'élément actif permettant d'aboutir simultanément à une adaptation en puissance et à un facteur de bruit proche du facteur de bruit minimal permis par la technologie. L'utilisation d'un modèle analytique plus complet implémenté dans un simulateur de circuits nous a permis de valider les résultats précédents dans la gamme des basses fréquences.

3.3 Méthode de conception des amplificateurs faible bruit accordés

L'objectif de ce paragraphe est de définir une méthode de conception des amplificateurs faible bruit accordés CMOS. Nous discuterons d'une part la gamme des fréquences basses comparativement à la fréquence de transition de la technologie pour laquelle les expressions analytiques des paramètres de bruit développés au paragraphe 3.2.3 sont valides et d'autre part la gamme des fréquences élevées, qui correspond aux fréquences millimétriques pour les technologies actuelles où le montage cascode pénalise les performances en bruit.

3.3.1. Méthode de conception d'amplificateurs faible bruit accordés fonctionnant en deçà de $f_T/10$

La gamme de fréquences communément dénommée RF aujourd'hui correspond pour les technologies usuelles à des fréquences de fonctionnement très inférieures à la fréquence de transition des transistors. La validité des expressions analytiques permet d'appliquer la méthode de dimensionnement décrite au paragraphe 3.2.4. Cette méthode consiste à réaliser une adaptation en puissance avec une valeur d'impédance de source définie par la relation (26) rappelée ci-dessous :

$$L_{Sopt} = \frac{B}{g_m \omega_0}$$

Dans le cas courant où la source d'attaque possède une impédance interne réelle égale à 50Ω, la cellule d'adaptation aura pour rôle de transformer cette résistance en l'impédance Z_S de valeur :

$$Z_{ip} = \frac{B}{C_{gs}\omega_0} + j\left(\frac{1}{C_{gs}\omega_0} - L_s\omega_0\right) \quad (30)$$

Compte tenu de la valeur d'inductance optimale imposée par la relation (26), (30) se réécrit comme :

$$Z_{ip} = \frac{B}{C_{gs}\omega_0} + j\frac{1}{g_m}\left(\frac{\omega_T}{\omega_0} - B\right) \quad (31)$$

3.3.1.1 Choix d'une cellule d'adaptation

En examinant la relation (31) on peut conclure que la topologie d'adaptation couramment employée pour les LNA accordés qui est constituée par une inductance L_G en série avec la grille du transistor ne permet un dimensionnement optimal que pour une largeur unique de transistor qui permet de satisfaire la condition (32):

$$R_0 = 50\Omega = \frac{B}{C_{gs}\omega_0} \quad (32)$$

La valeur du facteur de bruit étant définie uniquement par la pulsation de transition ω_T

(cf. (25)), elle même contrôlée par la polarisation V_{GS}, cette cellule d'adaptation ne permet pas de maîtriser la consommation de puissance et le facteur de bruit de manière indépendante.

En utilisant la topologie modifiée proposée par Andréani [6] on obtient un degré de liberté supplémentaire grâce à la capacité additionnelle entre grille et source. La taille du transistor est alors fixée à partir de l'équation :

$$R_0 = 50\Omega = \frac{B'}{C_T \omega_0} \frac{C_{gs}}{C_T} \quad (33)$$

Toutefois il n'est pas possible de choisir des valeurs de C_T très éloignées de C_{GS} sous peine d'une diminution importante de la fréquence de transition effective du dispositif.

Finalement la cellule d'adaptation constituée par une inductance série à l'inconvénient d'avoir une valeur d'inductance qui ne peut être choisie de manière arbitraire. Sa valeur est donnée par l'expression :

$$L_G = \frac{1}{\omega_0 g_m} \left(\frac{\omega_T}{\omega_0} - B \right) \quad (34)$$

qui peut conduire à des valeurs non intégrables pour les transistors de petit développement de grille.

Nous avons proposé une cellule d'adaptation qui permet de résoudre tous ces problèmes [11]. Cette cellule représentée sur la Figure 10 est un quadripôle en Π constituée par une inductance et deux capacités permettant de synthétiser toutes les valeurs d'impédance requises par la relation (31) avec en outre la possibilité de choisir la valeur d'inductance de manière arbitraire. La valeur de cette inductance est donc choisie de manière à être intégrable et à présenter les meilleures performances en terme de facteur de qualité à la fréquence de travail. Ces avantages sont déterminants pour les LNA entièrement intégrés compte tenu des faibles performances des inductances intégrées en technologie CMOS standard.

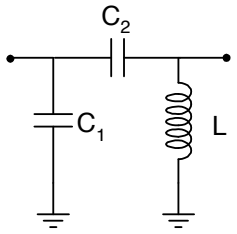


Figure 10 Cellule d'adaptation pour LNA accordé.

3.3.1.2 Dimensionnement du transistor et choix de la polarisation

Comme le montre la relation (25) le facteur de bruit obtenu avec cette méthode ne dépend pas du développement de grille W du transistor. Il dépend uniquement de la pulsation de transition ω_T, qui croit avec V_{GS} lorsque la tension de polarisation (V_{GS}-V_T) n'est pas trop importante. Pour une même polarisation V_{GS} le choix d'un transistor à faible développement de grille W permet donc d'obtenir des facteurs de bruit équivalents pour une consommation de puissance faible comparativement aux transistors de largeurs plus importantes.

Néanmoins, pour un courant de polarisation donné, un fort développement de grille W conduit à une valeur plus élevée de la transconductance (cf. (19)) qui se répercute directement sur l'amplification.

Enfin, comme on peut le constater sur la Figure 8, la tension de polarisation VGS, ne doit pas être augmentée au-delà d'un certain seuil sous peine d'une dégradation des performances en bruit et d'une augmentation de puissance consommée.

3.3.1.3 Conception assistée par ordinateur

La méthode de conception présentée permet d'aboutir à un dimensionnement optimal de l'amplificateur dans un cadre d'hypothèses donné. A partir de cette conception, servant de valeurs initiales proches de l'optimum, on peut utiliser un logiciel de CAO associé à une "bibliothèque fondeur", procurant des modèles intégrant tous les effets de deuxième ordre négligés auparavant, dans le but d'affiner la conception initiale.

On peut aussi adopter une démarche purement phénoménologique qui repose sur l'analyse de la relation (17) rappelée ci-dessous :

$$F = F_{\min} + 4R_N \frac{\left|\Gamma_i - \Gamma_{opt}\right|^2}{\left|1+\Gamma_{opt}\right|^2\left(1-\left|\Gamma_i\right|^2\right)}$$

Nous avons proposé une méthode de conception adaptée à ce type d'approche basée sur les paramètres de bruit qui permet d'optimiser les valeurs du développement de grille W et de la valeur de l'inductance de source L_S [11].

La première étape de cette méthode consiste à optimiser la valeur du développement de grille W, dans l'objectif de réduire à la fois les valeurs de F_{min} et de R_N, pour une valeur fixée de consommation de puissance.

La deuxième étape consiste à déterminer la valeur d'inductance de source L_S qui permet de minimiser la valeur notée **dist** définie comme le module de la différence entre le coefficient de réflexion qui conduit au facteur de bruit minimum Γ_{opt} et le coefficient de réflexion qui conduit à l'adaptation de puissance Γ_E*.

$$dist = \left|\Gamma_{opt} - \Gamma_E^*\right| \quad (35)$$

La Figure 11 montre les variations de R_N et de N_{Fmin}, en fonction de W, d'une topologie cascode à dégénération inductive, lorsque la tension d'alimentation du circuit et le courant de polarisation sont maintenus constants. Dans ces conditions l'augmentation de W se traduit par une diminution de la polarisation V_{GS} des transistors. Les variations de F_{min} sont conformes à celles prévues par l'équation (10). D'après (13) R_N ne dépend que de gm qui varie avec W et avec la polarisation V_{GS}. A partir de différentielle du courant de polarisation qui doit être nulle à courant constant, on peut montrer que les variations de W et de V_{GS} sont liées, et que R_N décroît avec W à courant constant. Ces résultats, qui ont été obtenus avec un modèle de transistor intégrant les effets de canaux courts, confirment la pertinence de relations analytiques décrivant l'évolution de ces paramètres décrits au paragraphe 3.2.3.

De manière phénoménologique une faible valeur de R_N permet d'augmenter le rayon des cercles qui représentent les coefficients de réflexion présentés à l'entrée du quadripôle entraînant un facteur de bruit constant [31]. Une faible valeur de R_N permettra donc un

facteur de bruit plus faible pour une désadaptation donnée.

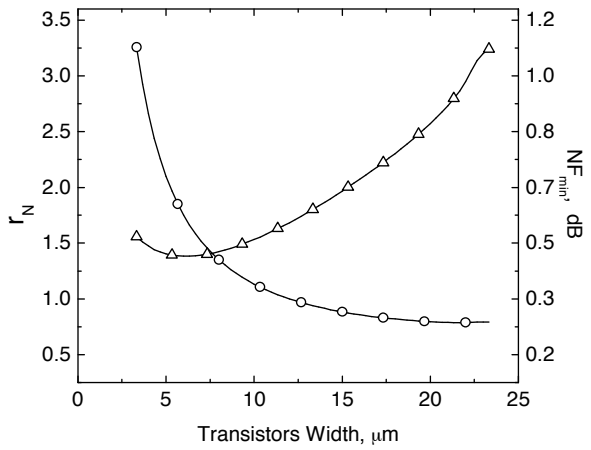


Figure 11 Evolution de la résistance de bruit R_N et du facteur de bruit minimal d'une architecture Cascode à dégénération inductive en fonction du développement de grille. Les résultats sont obtenus avec les modèles de la bibliothèque d'une technologie CMOS 0.28μm. Le courant de polarisation est maintenu constant à 4mA.

La Figure 12 représente les variations du module de la différence entre Γ_{opt} et Γ_E* en fonction de l'inductance de source L_S pour un transistor et une polarisation donnés. On constate bien que la valeur de L_S permet de minimiser la valeur du paramètre **dist** et par consèquent le facteur de bruit à l'adaptation d'impédance.

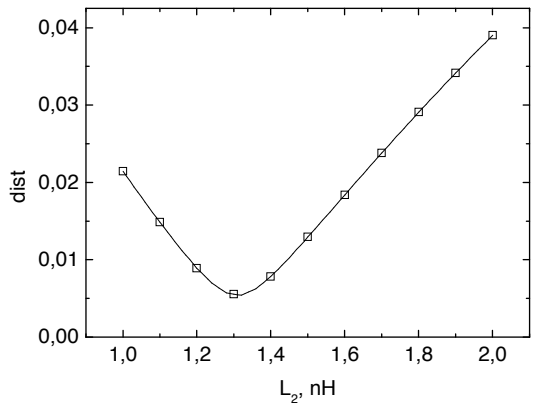


Figure 12 Evolution du critère **dist** (cf. équation (35)) en fonction de l'inductance de source. Les résultats sont obtenus avec les modèles de la bibliothèque d'une technologie CMOS 0.28μm. Le courant de polarisation est maintenu constant à 4mA.

3.3.2. Conception d'amplificateurs faible bruit accordés fonctionnant au-delà de $f_T/10$

Pour les technologies CMOS actuelles la gamme de fréquences correspondant à des valeurs supérieures au dixième de la fréquence de transition de la technologie correspond aux fréquences millimétriques. Dans cette gamme de fréquences l'analyse du paragraphe 3.2.5 a montré que l'utilisation d'une topologie cascode entraîne une dégradation sensible du facteur de bruit. La validité des expressions analytiques développées au paragraphe 3.2.3 supposant que la fréquence d'utilisation soit faible devant la fréquence de transition l'utilisation de modèles intégrant tous les effets de deuxième ordre liés aux effets de canaux courts devient incontournable pour valider les stratégies de dimensionnement développées pour des fréquences plus basses. Enfin la réalisation de cellules d'adaptation à faibles pertes est critique dans cette gamme de fréquence, et la mauvaise qualité des passifs localisés peut conduire à l'utilisation de cellules d'adaptation distribuées dont l'encombrement n'est plus rédhibitoire aux fréquences millimétriques.

Dans cette gamme de fréquence l'utilisation de la méthode de conception assistée par ordinateur décrite au paragraphe 3.3.1.3 avec une architecture source commune à dégénération inductive comme premier étage permet d'obtenir des facteurs de bruit modérés [32]. En revanche le choix de la valeur de l'inductance de source L_S ne doit pas être conduit avec pour seul objectif de réduire la valeur du critère **dist** défini précédemment mais doit tenir compte de la réduction d'amplification qui découle d'une augmentation de L_S. En effet les valeurs d'amplification permises par les technologies CMOS standard dans ces gammes de fréquence sont faibles et la réduction du bruit lié aux étages suivant le LNA est un critère de performance tout aussi important que le facteur de bruit puisque plusieurs étages sont souvent nécessaires pour atteindre l'amplification requise.

4 RESULTATS

La méthode de conception présentée au paragraphe 3.3.1 a été appliquée pour la conception d'un LNA destiné à un système intégré pour la norme 802.15.4. Un prototype de ce LNA dont le schéma électrique est donné sur la Figure 13 a été caractérisé et les résultats de mesure sont donnés sur la Figure 15. Ce LNA, qui n'utilise

aucun élément externe, occupe une surface de 1mm^2. Les inductances du circuit d'adaptation d'entrée et de la charge accordée de sortie ont une valeur de 4.5nH qui présente le meilleur facteur de qualité offert par cette technologie à la fréquence d'accord de 2.45GHz. Les résultats obtenus sont résumés sur la Table 4. Nous avons mesuré un facteur de bruit de 2.4dB qui constitue l'état de l'art pour un LNA entièrement intégré dans une technologie CMOS standard.

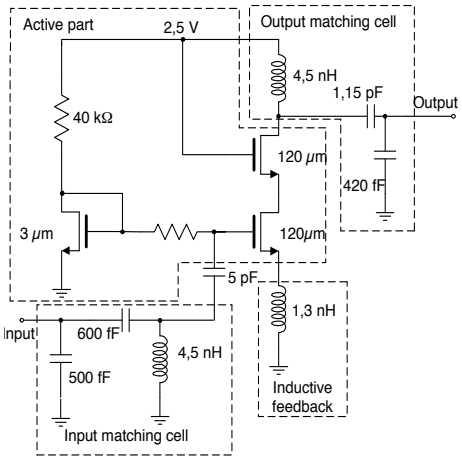


Figure 13 Schéma électrique du LNA 2.4GHz

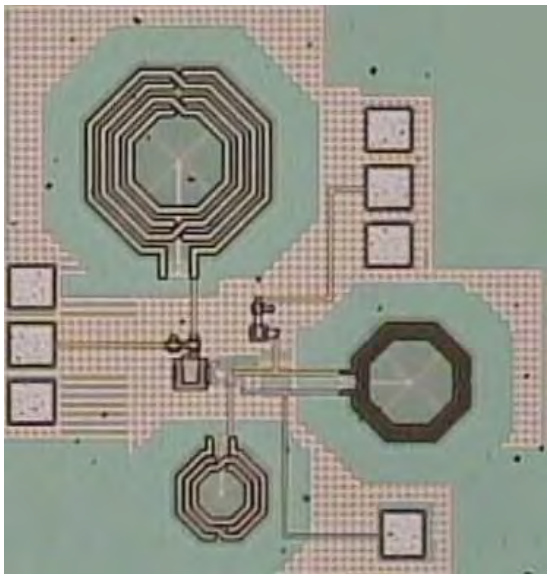


Figure 14 Photographie du LNA 2.4GHz

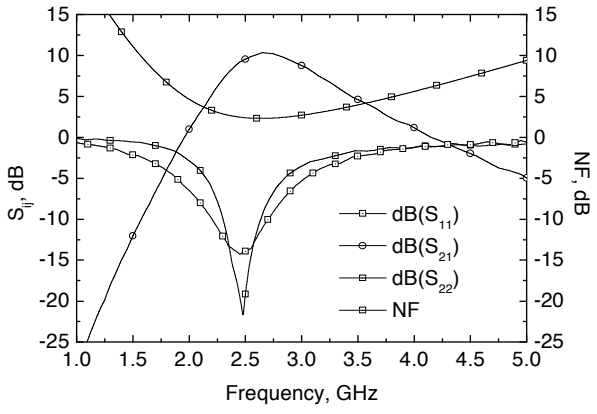


Figure 15 Paramètres S et facteur de bruit mesurés

Table 4 Résumé des caractéistiques du LNA 2.4 GHz

Parameters	Values
Fréquence centrale	2.45 GHz
Technologie	0,28 μm
Facteur de bruit	2,4 dB
S21	10 dB
Puissance consommée	10 mW
Surface	0,95 mm^2

5 CONCLUSION

Nous avons présenté dans ce chapitre nos travaux concernant les amplificateurs faible bruit accordés en technologie CMOS standard.

L'analyse de l'état de l'art montre que la plupart des LNA utilisent une méthode de conception basée sur la minimisation du facteur de bruit lorsque l'amplificateur est adapté en puissance à l'entrée d'une cellule d'adaptation constituée par une inductance en série avec la grille du transistor d'attaque. Avec cette cellule d'adaptation qui impose que la partie réelle du quadripôle amplificateur présente une partie réelle de 50Ω, les méthodes usuelles montrent qu'il existe un développement de grille optimal du transistor d'attaque permettant de minimiser le facteur de bruit lorsque le courant de polarisation est imposé. Cet optimum se traduit par des valeurs d'inductance de la cellule d'adaptation d'entrée qui ne sont pas, ou difficilement, intégrables.

Une analyse des expressions analytiques des paramètres de bruit nous a permis de

montrer que, lorsque aucune contrainte n'existe sur la partie réelle du quadripôle amplificateur, le facteur de bruit minimum réalisable à l'adaptation en puissance ne dépend pas du développement de grille. La seule condition à réaliser est de fixer l'inductance de dégénération de source L_S à une valeur optimale qui permet d'obtenir l'égalité entre la partie réelle de l'impédance optimale de bruit et la partie réelle du quadripôle amplificateur. L'adaptation en puissance du transistor, qui ne présente plus une impédance de partie réelle égale à 50Ω, peut être réalisée avec des inductances intégrées en utilisant une cellule d'adaptation en Π. Cette cellule, comprenant une inductance et deux capacités, permet en outre de choisir la valeur d'inductance optimale de la technologie afin de minimiser le facteur de bruit global du LNA. Cette méthode de conception a été utilisée pour la réalisation, dans une technologie CMOS standard 0.28μm, d'un prototype fonctionnant à 2.45GHz. Les mesures réalisées montrent que le facteur de bruit est à l'état de l'art pour un LNA entièrement intégré.

Concernant les LNA intégrés destinés aux gammes de fréquences millimétriques la méthode de conception analytique présentée ne peut être appliquée car ces fréquences correspondent à des valeurs proches des fréquences de transition des transistors dans les technologies CMOS actuelles. La prise en compte de tous les phénomènes négligeables en basses fréquences montre que l'architecture cascode abondamment utilisée dans la gamme des fréquences RF se traduit par une augmentation du facteur de bruit et qu'une contre réaction inductive dimensionnée de manière classique conduit à une réduction notable de l'amplification.

6 BIBLIOGRAPHIE

[1] *Yee D. G. W., "A Design Methodology Highly-Integrated Low-Power Receivers for Wireless Communications", Thèse de l'université de Berkeley, USA, 2001, 291 Pages.*

[2] *H. A. Haus et al., "Representation of noise in linear two ports," Proc.IRE, vol. 48, pp. 69–74, Jan. 1960.*

[3] *Nguyen T-K., Kim C-H, , Ihm G-J, Yang M-S, Lee S-G, « CMOS Low-Noise Amplifier Design Optimization Techniques », IEEE Transactions on Microwave Theory and Techniques, 2004, 52, 5, pp 1433-1442*

[4] *D. K. Shaeffer et al., "A 1.5 V, 1.5 GHz CMOS low noise amplifier," IEEE J. Solid-State Circuits, vol. 32, pp. 745–758, May 1997.*

[5] *Y.P. TSIVIDIS., "Operation and modeling of the MOS transistor"., McGraw-Hill Book Company, 1987.*

[6] *ANDREANI, P., SJÖTLAND, H. : 'Noise Optimization of an Inductively Degenerated CMOS Low Noise Amplifier.' IEEE Transaction on Circuits and Systems-II Analog and Digital Signal Processing, 2001, 48, (9), pp. 835-841*

[7] *Sun K-J, Tsai Z-M, Lin K-Y, Wang H., A Noise Optimization Formulation for CMOS Low-Noise Amplifiers With On-Chip Low-Q Inductors, IEEE Transactions on Microwave Theory and Techniques, 2006, 54 (4), pp 1554-1560.*

[8] *"Noise Figure Optimization of Inductively Degenerated CMOS LNAs With Integrated Gate Inductors", L. Belostotski, J. W. Haslett, IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—I, VOL. 53, NO. 7, JULY 2006, pp 1409-1422*

[9] *"A Modified Architecture Used for Input Matching in CMOS Low-Noise Amplifiers", Shouxian M., Jian-Guo M., Kiat Seng Y., Anh D-M, , IEEE Transaction on Circuits and Systems-II: Express Briefs, 2005, 52, (11), pp 784-788.*

[10] *"A Noise Optimization Technique for Integrated Low-Noise Amplifiers", J-S Goo, , H-T Ahn, , D. J. Ladwig, Z. Yu, T. H. Lee, R. W. Dutton, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 37, NO. 8, AUGUST 2002*

[11] *"Design Method For Fully Integrated CMOS RF LNA", EGELS M., GAUBERT J., PANNIER Ph., BOURDEL S., Electronics Letters, 2004, **40,** (24), pp. 1513-1514.*

[12] *"A Capacitor Cross-Coupled Common-Gate Low-Noise Amplifier", W. Zhuo, X. Li, S. Shekhar, S. H. K. Embabi, J. Pineda de Gyvez, D. J. Allstot, and E. Sanchez-Sinencio, IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—II: EXPRESS BRIEFS, VOL. 52, NO. 12, DECEMBER 2005 875*

[13] *P. Sivonen, A. Pärssinen, "Analysis and Optimization of Packaged Inductively Degenerated Common-Source Low-Noise Amplifiers With ESD Protection", IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 53, NO. 4, APRIL 2005, pp : 1304-1313.*

[14] *P. Leroux, J. Janssens, M. Steyaert", A 0.8-dB NF ESD-Protected 9-mW CMOS*

LNA Operating at 1.23 GHz", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 37, NO. 6, JUNE 2002, pp : 760-765.

[15] *"A Fully Integrated 1.9-GHz CMOS Low-Noise Amplifier", C-S Kim, M. Park, C-H Kim, Y-C Hyeon, H-K Yu, K. Lee, K-S Nam,IEEE MICROWAVE AND GUIDED WAVE LETTERS, VOL. 8, NO. 8, AUGUST 1998 293*

[16] *"A 1V, 2.4GHz Fully Integrated LNA Using 0.18pm CMOS Technology", L. Zheiying, S.C. Rustng, A-F. Li, Y. Linn, 2003 International Symposium on circuits and Systems, ISCAS '03, 25-28 May 2003, Volume: 4 , pp 916 - 932.*

[17] *"A 5-GHz Fully Integrated ESD-Protected Low-Noise Amplifier in 90-nm RF CMOS", D. Linten, S. Thijs, M-I Natarajan, P. Wambacq, W. Jeamsaksiri, J. Ramos, A. Mercha, S. Jenei, S. Donnay, S. Decoutere, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 40, NO. 7, JULY 2005, pp 1434-1442.*

[18] *"A 24-GHz CMOS Front-End", X. Guan, A. Hajimiri, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 39, NO. 2, FEBRUARY 2004, pp. 368-373.*

[19] *Franca-Neto L. M., Bloechel B. A., Soumyanath K., "17 GHz and 24 GHz LNA Designs based on Extended-S-parameter with Microstrip-on-Die in 0.18 µm Logic CMOS Technology," ESSCIRC '03, 2003.*

[20] *"K-Band Low Noise Amplifiers Using 0.18 µm CMOS Technology", K-W.Yu, Lu Y. L., Chang D. C., Liang V., Chang M. P., IEEE Microwave and Wireless Components Letters, Vol: 14 n° 3, pp. 106-108, Mars 2004.*

[21] *A. Masud, H. Zirath, M. Ferndahl, and H.-O. Vickes, "90-nm CMOS MMIC amplifier," in RFIC Symp. Dig., 2004, pp. 971–974.*

[22] *"A 24-GHz 3.9-dB NF Low-Noise Amplifier Using 0.18 mm CMOS Technology", S-C Shin, M-D Tsai, R-C Liu, K-Y Lin, H. Wang, IEEE MICROWAVE AND WIRELESS COMPONENTS LETTERS, VOL. 15, NO. 7, JULY 2005, pp 448-450.*

[23] *Mathieu EGELS, « Contribution à l'Étude des Amplificateurs Faible Bruit Haute Fréquence en Technologies CMOS Standard », Thèse de doctorat de l'Université de Provence, Novembre 2006.*

[24] *Rothe H., Dahlke W., "Theory of Noisy Fourpoles," Proceedings of the IRE, Vol: 44 n° 810-818 1956.*

[25] *Hillbrand H., Russer P. H., "An Efficient Method for Computer Aided Noise Analysis of Linear Amplifier Networks," IEEE Transaction on Circuits and Systems., Vol: 23 n° 4, pp. 235-238, Avril 1976.*

[26] *K. HARTMAN, "Noise Characterization of linear circuits", IEEE Trans. Circuits Systems, vol. 23, pp. 581 – 590, October 1976*

[27] *"Noise in Solid State Devices and Circuits", A. van der Ziel, New York, NY: Wiley, 1986, pp. 88–90.*

[28] *"Comments and Corrections to "A 1.5-V, 1.5-GHz CMOS Low Noise Amplifier", D. K. Shaeffer, T. H. Lee, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 40, NO. 6, JUNE 2005, pp. 1397-1398*

[29] *T. H. Lee, The Desing of CMOS Radio-Frequency Integrated Circuit (Second edition), Cambride University press ed, 2004.*

[30] *J. S. Goo, C. H. Choi, A. Abramo, J. G. Ahn, Z. Yu, T. H. Lee, and R. Dutton, "Physical Origin of the Excess Thermal Noise in Short Channel MOSFETs,"* IEEE Electron Devices Letters, *vol. 22, pp. 101-103, 2001.*

[31] *Ch. Gentili, "Amplificateurs et oscillateurs micro-ondes", Editions Masson, 1984.*

[32] *Egels M., Gaubert J., P.Pannier, " High frequency LNA design in Standard CMOS process " NEWCAS , Gatineau, CANADA 18-21 Juin 2006.*

Chapitre 2

Amplificateurs bas niveau

large bande

pour systèmes intégrés CMOS

1 INTRODUCTION

Il existe actuellement une forte demande concernant des systèmes de transmissions à bas coût et à débit élevé. Pour répondre à cette demande des bandes de fréquence ont été récemment allouées. On peut citer à titre d'exemple les bandes de fréquence UWB 3.1-10.6GHz (FCC) ou 6-8.5GHz (ECC), ainsi que la bande 59-66GHz. Les applications envisagées sont nombreuses et variées : réseaux personnels sans fil à courte portée pour communications à l'intérieur des bâtiments, systèmes d'imagerie, systèmes radars pour l'automobile, …. Concernant les nombreuses applications grand public envisagées un des principaux critères de performance est le coût de fabrication. Un haut niveau d'intégration de ces systèmes dans des technologies standard avec le minimum de composants externes est donc le principal enjeu de recherche.

Les technologies CMOS standard, qui permettent d'intégrer aujourd'hui sur une même puce les parties analogiques haute fréquence et les parties nécessaires au traitement numérique de l'information, offrent naturellement les meilleures potentialités pour l'industrialisation de masse de ces nouvelles applications. Dès lors que l'intégration de fonctions analogiques performantes aura été démontrée dans ces gammes de fréquences et ces largeurs de bande, ces technologies occuperont une large part du marché. Cependant, en raison de la qualité souvent médiocre des éléments passifs intégrés en technologie CMOS et d'un facteur de mérite des transistors MOS inférieur à celui permis par les technologies de type BiCMOS SiGE par exemple, les premières réalisations de systèmes ou sous systèmes font souvent appel aux technologies BiCMOS SiGE. Néanmoins la diminution constante des longueurs de grille des transistors MOS et les possibilités offertes en terme de composants passifs sur les technologies CMOS dédiées aux applications RF permettent d'envisager l'intégration de systèmes de communications large bande et haute fréquence performants dans ces technologies à court terme.

L'intégration de l'amplificateur faible bruit de la chaîne de réception constitue un bon démonstrateur de l'aptitude d'une technologie à pouvoir intégrer les fonctions analogiques hautes fréquences. En effet cet élément clé doit assurer une adaptation d'impédance avec l'antenne dans une large bande de fréquence, un facteur de bruit raisonnable, et un gain en tension suffisant pour attaquer les étages suivants.

L'obtention de bonnes performances électriques nécessite des éléments passifs de qualité ainsi que des éléments actifs qui présentent, pour une consommation de puissance donnée, un bon facteur de mérite pour la réalisation de cette fonction : grandeur élevée du rapport amplification sur température équivalente de bruit par exemple. Les efforts de recherche sur l'amplification large bande en technologie CMOS se sont multipliés depuis l'ouverture de la bande de fréquence UWB 3.1-10.6 GHz et de nombreux prototypes ont été publiés dans cette gamme de fréquence. Les travaux de recherche concernant les gammes de fréquence millimétriques sont moins nombreux mais quelques réalisations en technologie CMOS ont déjà été publiées jusqu'à 60 GHz. Les résultats publiés à ce jour présentent des performances encore insuffisantes en terme de facteur de bruit et d'amplification notamment.

Les travaux présentés dans ce chapitre concernent les amplificateurs large bande CMOS totalement intégrés utilisant des architectures distribuées ou bien à adaptation par cellule LC passe bande. Une partie du travail concerne la gamme de fréquence UWB 3-10 GHz principalement pour des systèmes utilisant des signaux informatifs de type impulsionnel. L'autre partie s'intéresse à l'utilisation des technologies CMOS standard vers les fréquences millimétriques. Nous présentons dans un premier paragraphe l'état de l'art des amplificateurs faible bruit large bande réalisés en technologie CMOS standard. Un deuxième paragraphe est consacré aux méthodes de conception que nous avons développées pour les LNA large bande utilisant une cellule d'adaptation de type passe bande à éléments LC. Un troisième paragraphe traite de l'amplification distribuée en technologie CMOS pour les applications à très hauts débits.

2 ETAT DE L'ART DE L'AMPLIFICATION FAIBLE BRUIT ET LARGE BANDE CMOS

Les architectures permettant d'obtenir une bande passante étendue sont nombreuses. Les principales architectures, utilisées en technologie CMOS dans les gammes de fréquences considérées ici, sont :

(i) les amplificateurs distribués,

(ii) les amplificateurs à contre réaction,

(iii) la topologie à grille commune,

(iiii) la topologie source commune adaptée par une cellule LC passe bande.

A ces architectures peuvent être associées des techniques permettant d'augmenter la bande passante comme la compensation inductive (dénommées shunt ou series peacking dans les publications en langue anglaise), ou permettant de diminuer le bruit comme l'annulation du bruit (noise cancelation en anglais).

2.1 Amplificateurs distribués CMOS

Le principe de l'amplificateur distribué consiste à réaliser deux lignes de transmission artificielles couplées par un certain nombre d'amplificateurs élémentaires dont les capacités d'entrée et de sortie constituent tout ou partie des capacités constituant les lignes de transmission [1],[2]. La partie inductive de ces lignes de transmission artificielles est synthétisée soit par des inductances localisées soit par des tronçons de lignes de transmission. Dans cette topologie les étages d'amplification ne sont pas cascadés mais mis en parallèle. L'amplification obtenue résulte donc de l'addition des amplifications des étages élémentaires et non de leur produit comme dans les amplificateurs à étages cascadés. On obtient donc comparativement des gains plus faibles avec ces architectures dont le principal avantage est leur capacité à obtenir des bandes passantes très étendues approchant les performances intrinsèques des composants actifs constitutifs. En outre le temps de groupe sensiblement constant sur toute la bande passante caractérisant ces amplificateurs permet de les utiliser dans le cadre de signaux de type impulsionnels de très grande bande passante. Les principaux inconvénients sont la surface de silicium consommée pour synthétiser les lignes de transmission artificielles, ainsi que la consommation importante résultant des nombreux étages couramment nécessaires à l'obtention de produits gain bande élevés. Les limitations principales concernant les technologies CMOS pour ce type d'architecture proviennent de la difficulté à réaliser ou à synthétiser des inductances de bonne qualité. Cela se traduit par des pertes importantes limitant les performances potentielles des transistors MOS actuels.

Les méthodes de conception des amplificateurs distribués sont maintenant bien connues. Elles ont été développées pour d'autres technologies et leur application aux technologies

CMOS est directement transposable. Lorsque les retards de propagation associés aux lignes artificielles d'entrée et de sortie sont identiques, le module de l'amplification en tension est donné au premier ordre par :

$$A = \frac{N.g_m.Z_0}{2\sqrt{1-\frac{\omega^2}{\omega_C^2}}} e^{-N\alpha} \qquad (1)$$

où N est le nombre d'étages, g_m la transconductance de chaque étage, Z_0 l'impédance caractéristique des lignes de transmission artificielles supposée identique, α la constante d'atténuation des lignes artificielles, et ω_C la fréquence de cassure de la ligne d'entrée définie par (3). L_E, L_S, C_E, C_S sont les inductances et capacités permettant de synthétiser les lignes d'entrée et de sortie qui doivent être égales dans ce cadre d'hypothèse.

$$Z_0 = \sqrt{\frac{L_E}{C_E}} = \sqrt{\frac{L_S}{C_S}} \quad (2)$$

$$\omega_C = \frac{1}{Z_0.C_E} \quad (3)$$

En négligeant les pertes dans les lignes artificielles et en approximant la capacité d'entrée de chaque étage au C_{GS} du transistor, le produit amplification bande passante obtenu est donné par (4) où f_T est la fréquence de transition du transistor.

$$A.B_W = \frac{N.g_m}{2\pi.C_E} = N.f_T \quad (4)$$

Si l'on tient compte des pertes dans les lignes artificielles d'accès on peut montrer qu'il existe un nombre d'étages optimal donné par :

$$N_{opt} = \frac{\ln(\alpha_s) - \ln(\alpha_e)}{\alpha_s - \alpha_e} \quad (5)$$

L'expression approchée (1) montre une augmentation de l'amplification au voisinage de la fréquence de cassure. Pour compenser cette déformation [3] utilise une fréquence de cassure différente pour les lignes artificielles de grille et de drain. L'inconvénient de cette technique est le déséquilibre entre les temps de propagation des lignes artificielles d'entrée et de sortie qui peut devenir gênant lorsque le nombre d'étages est important.

Le tableau (1) résume les performances des principaux amplificateurs distribués totalement intégrés utilisant une technologie CMOS standard. On peut noter que les consommations de puissance et de surface sont importantes hormis dans le cas de la référence [8]. Cette réduction de la consommation de puissance est obtenue par l'utilisation de transistors dont la fréquence de transition est très supérieure à la bande passante visée. Dans ces conditions la bande passante et l'amplification recherchées peuvent être obtenues avec des transistors polarisés entre le régime de faible et de forte inversion avec un nombre d'étages limité. La référence [8] présente une méthode de conception permettant d'optimiser ce compromis. Cette méthode de conception présente un intérêt certain pour la réalisation d'amplificateurs destinés à la bande de fréquence UWB 3-10 GHz malgré une occupation de surface conséquente.

Lorsque des bandes passantes très importantes sont visées, pour des applications de type communication par fibre optique par exemple, les références [7],[9],[10] montrent que les technologies CMOS standard actuelles sont capables de répondre aux besoins générés par les applications à très haut débit. Ces résultats confirment l'aptitude de ces technologies pour les applications millimétriques.

Table 1 Récapitulatif des performances de quelques amplificateurs distribués réalisés en technologie CMOS standard.

Ref	Tech	Etages	L	Gain	Bande	PGB	NF	surface	conso
[3]	0.6µm	4		7.4dB	0.5-4GHz		8.2dB @2GHz	1.4x0.8mm^2	104mW@3V
[4]	0.6µm			7dB [1]	1.5-7.5GHz		13dB@2GHz	1.3x2.2mm^2	216mW@3V
[5]	0.18µm			11.5dB	0.5-14GHz		3.5-5.4dB	1.6mm^2	52mW
[6]									
[7]	0.18µm		MSL	4dB	40GHz				140mW
[8]	0.18µm	3	lumped	8.6dB	0.03-7GHz		4.2-6.2dB	1.45x0.8mm^2	9mW@1.3V
[9]	0.18µm	5		9.5dB		96GHz		0.94x0.86mm^2	95mW
[10]	0.13µm	7	CPW	8.5dB	3-52GHz	145GHz		0.8x2.2mm^2	137mW@2.5V

1 Gain en puissance différentiel.

2.2 Amplificateurs à contre réaction résistive parallèle

L'utilisation d'une contre réaction permet d'élargir la bande passante des amplificateurs. Nous considérons uniquement la contre réaction parallèle résistive qui a montré son intérêt dans le cadre de réalisations dans les bandes de fréquence et les technologies que nous considérons dans ce mémoire. La topologie de ces amplificateurs est représentée sur la Figure 1 dans le cas d'un étage actif de type cascode. Sur cette figure la capacité C_{in} représente la capacité d'entrée du montage cascode. L'amplification en tension en basses fréquences est donnée par la relation (6) et son impédance d'entrée Z_{IN} est donnée par les relations (7) et (8). En basses fréquences cette impédance d'entrée tend vers une résistance de valeur $1/g_m$ lorsque la valeur de cette transconductance est élevée comme le montre l'expression (8).

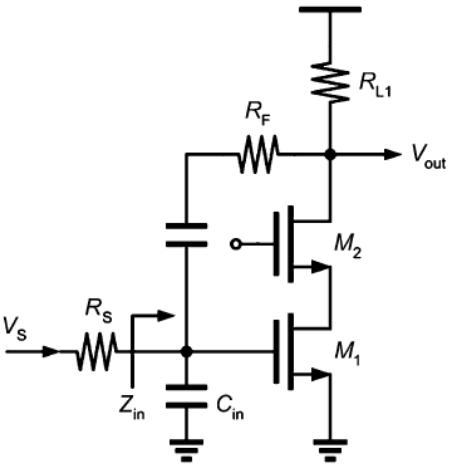


Figure 1 Amplificateur à contre réaction parallèle résistive.

$$A_v = -\frac{g_{m1}.R_F - 1}{1 + R_F / R_L} \qquad (6)$$

$$Z_{IN} = R_{IN} // C_{IN} \qquad (7)$$

$$R_{IN} = \frac{R_L + R_F}{1 + g_{m1}.R_L} \qquad (8)$$

Dans les conditions d'adaptation d'impédance en basses fréquences R_{IN} doit être égale à R_S l'impédance de la source d'attaque et la fréquence de cassure à 3dB est alors reliée à la capacité C_{IN} par la relation (9).

$$f_C = \frac{1}{\pi.R_S.C_{IN}} \qquad (9)$$

C_{IN} étant directement reliée à la taille du MOS M_1, la largeur maximale W_1 est donc déterminée par la relation (9).

Dans les conditions précédentes, lorsque le budget de puissance est fixé, le courant d'alimentation est imposé. Comme la relation (9) fixe la largeur de M_1, la valeur de g_{m1} est limitée. Avec l'architecture donnée sur la Figure 1 l'amplification est alors limitée par la tension d'alimentation en raison de la chute de tension statique dans la résistance de charge R_L. Ce problème est généralement contourné en utilisant une charge active constituée par un PMOS selon la topologie d'un inverseur CMOS comme indiqué sur la Figure 2. Cette topologie permet d'augmenter l'amplification en utilisant la transconductance du PMOS qui est excitée par le signal d'entrée en même temps que le NMOS. En contrepartie la capacité d'entrée est elle aussi augmentée. On peut remarquer sur la Figure 2 la présence d'inductances permettant de compenser les capacités d'entrée afin d'améliorer l'adaptation d'impédance en haut de bande. Le deuxième étage de type cascode utilise une compensation inductive de la décroissance du gain vers les hautes fréquences ("inductive series peacking" en anglais).

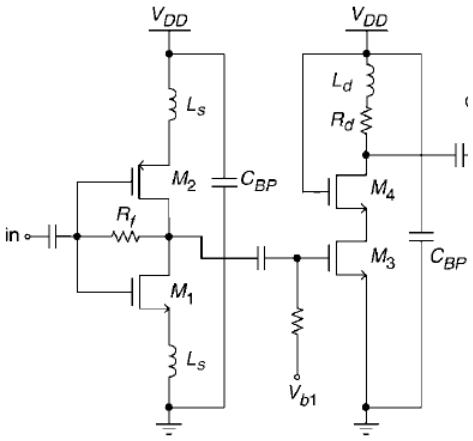


Figure 2 Topologie d'un LNA à contre réaction résistive à réutilisation du courant de polarisation [16].

Du point de vue du facteur de bruit la topologie donnée sur la Figure 1 conduit à l'expression (10) si l'on néglige les contributions des résistances R_F et R_L [11]. Ce facteur de bruit est élevé compte tenu que le rapport entre les deux paramètres γ et α est sensiblement égal à 1.33 [12] et que la valeur du produit $g_m.R_S$ est proche de l'unité si une impédance d'entrée de 50Ω est requise.

$$F = 1 + \frac{\gamma}{\alpha}\frac{1}{g_m.R_S} \qquad (10)$$

Afin de s'affranchir de la contrainte de taille du transistor imposée par une adaptation sur 50Ω avec la topologie de la Figure 1 on peut utiliser une inductance qui compense en haut de bande la capacité d'entrée et utiliser une taille de transistor plus importante [13],[16]. Cette technique permet de jouer sur le compromis bande passante bruit au détriment de la consommation de puissance et de surface.

Dans le cas où l'on ne recherche pas une réponse de type passe bas on peut utiliser la contre réaction résistive pour contrôler le coefficient de qualité d'une maille d'adaptation d'entrée accordée sur la fréquence centrale de la bande passante visée afin d'obtenir la largeur de bande voulue [17]. L'avantage de cette technique est une réduction notable de la consommation puisque il n'est plus nécessaire d'obtenir une partie réelle de 50Ω, et de pouvoir utiliser les techniques de minimisation du facteur de bruit qui ont été développées pour les LNA accordés. La topologie utilisée est donnée sur la Figure 3.

Le facteur de bruit des amplificateurs peut être amélioré en utilisant la technique d'annulation du bruit. Le principe consiste à prélever une tension proportionnelle à une source de bruit, et de générer en sortie une tension de même amplitude et de signe opposé au bruit en sortie qui a été amplifié par les divers étages d'amplification. Ce principe, illustré sur la Figure 4, a été appliqué à la réalisation d'un LNA à contre réaction résistive pour la bande de fréquence 2-1600MHz [18].

La topologie à contre réaction résistive parallèle peut aussi être utilisée pour réaliser des amplificateurs large bande à forte amplification en cascadant de nombreux étages compensés par une inductance série [19]. Les applications visées par les auteurs concernent les communications optiques à haut débit.

Le tableau 2 résume les principaux résultats de mesure obtenus en technologie CMOS standard avec l'architecture à contre réaction résistive parallèle et ses variantes. Comme le montrent les résultats obtenus dans la référence [15] cette topologie peut conduire à des facteurs de bruit acceptables avec des consommations de surface et de puissance intéressantes lorsque ces architectures sont réalisées avec des transistors dont la fréquence de transition est très supérieure à la fréquence maximale visée.

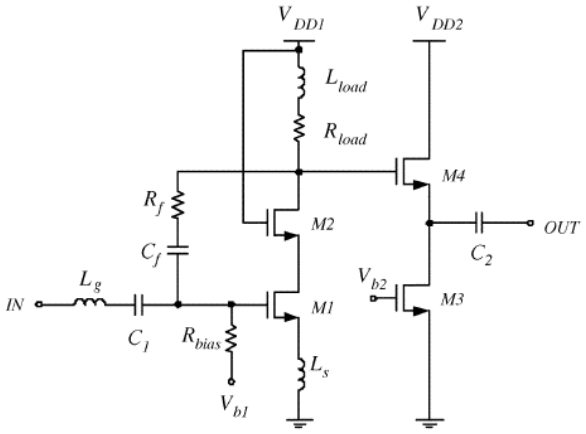


Figure 3 Amplificateur accordé dont la largeur de bande est contrôlée par une contre réaction parallèle [17].

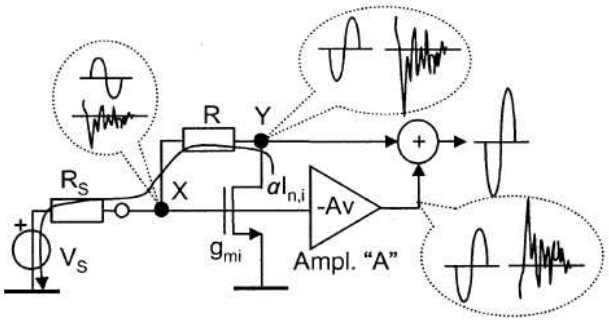


Figure 4 Principe de l'annulation du bruit

Table 2 Performances obtenues en technologie CMOS standard avec l'architecture à contre réaction résistive parallèle et ses variantes

Ref	Techno	S_{11max}	G_{MAX}	BW_{3dB}	NF	Conso	Surface
[14]	0.13µm	-9dB	16dB	5.9GHz	4.7-5.7dB	38mW	0.24mm^2
[15]	0.13µm	-10dB	13dB	0.1-0.93GHz	4dB	7.2mW	
[16]	0.18µm	-8.5dB	13.5dB	2-9GHz	2.5-5.4dB	25.2mW	0.87mm^2
[17]	0.18µm		9.8dB	2-4.6GHz	2.3-5.2dB	12.6mW	0.9mm^2
[18]	0.18µm	-8dB	13.7dB	0.002-1.8GHz	<2.4dB	35mW	0.075mm^2

2.3 Architecture large bande à grille commune

La topologie grille commune décrite sur la Figure 5 permet naturellement de fournir une impédance d'entrée de 50Ω en basses fréquences lorsque le courant de polarisation choisi assure la condition :

$$R_{in} = \frac{1}{g_m} = 50\Omega \quad (11)$$

Le facteur de bruit obtenu est alors donné par l'expression (12) lorsque le courant de bruit induit dans la grille est négligé :

$$F = 1 + \frac{\gamma}{\alpha} + \frac{4R_S}{R_L} \quad (12)$$

Compte tenu de la valeur du rapport γ/α le facteur de bruit lié à cette topologie est nettement plus élevé que celui d'une topologie source commune à dégénération inductive. Cependant la simplicité de cette architecture est intéressante car elle ne nécessite pas d'inductances pour sa cellule d'adaptation qui pénalisent par leur faible facteur de qualité les performances en bruit de certaines architectures concurrentes.

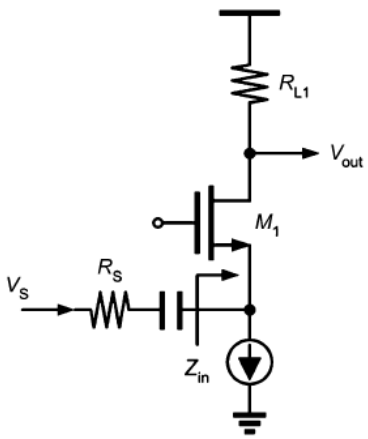


Figure 5 Architecture grille commune.

En technologie CMOS et pour les applications UWB, la bande passante requise est souvent obtenue par l'ajout d'inductances qui limitent l'intérêt au niveau de l'occupation de surface. La référence [20] propose un LNA de type passe bande basé sur un premier étage de type grille commune dont l'architecture est décrite sur la Figure 6. Les mesures montrent un facteur de bruit inférieur à 6.5dB dans la bande de fréquence 0.4-10GHz pour une consommation de puissance de 12mW.

Les performances en bruit peuvent être améliorées en utilisant la technique d'annulation du bruit. La référence [21] utilise cette technique ainsi que "l'inductive peacking" pour la réalisation d'un LNA couvrant la bande 1.2-11.9GHz avec un facteur de bruit inférieur à 5.1dB et une consommation de 20mW.

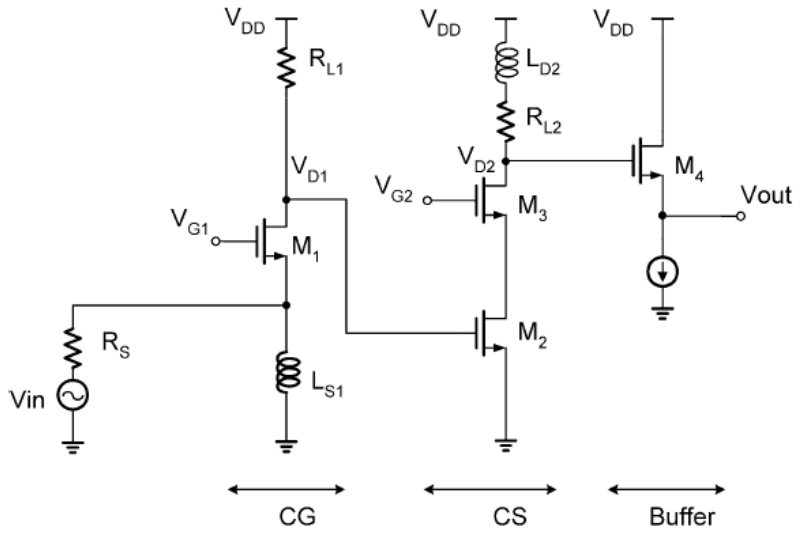


Figure 6 Architecture à base d'une topologie grille commune [20]

2.4 Amplificateurs à cellule d'adaptation de type LC passe-bande

Dans ce type d'architecture la cellule d'adaptation d'entrée est dimensionnée comme un filtre passe bande dont la bande passante correspond à celle désirée pour l'amplificateur. La capacité C_{GS} du transistor d'attaque est intégrée à un résonateur LC et la terminaison du filtre est réalisée à l'aide d'une dégénération inductive. La topologie d'un des premiers LNA CMOS utilisant ce principe est donnée sur la Figure 7 [22]. Ce LNA utilise un filtre de Chebyshev d'ordre 3 comme cellule d'adaptation. Un des avantages de cette architecture est de procurer un filtrage d'entrée intégré au LNA qui correspond à la bande passante désirée. Le principal inconvénient réside dans le nombre important d'inductances de la cellule d'adaptation d'entrée qui limite les performances en bruit et aussi en terme d'occupation de surface. Le facteur de bruit peut être amélioré en utilisant des cellules d'adaptation d'ordre moins élevé [23],[24].

Lorsque des bandes passantes relatives inférieures à 50% sont requises la méthode de conception précédente n'est plus utilisable en raison des fortes valeurs d'inductances nécessaires à la réalisation des résonateurs série. On peut alors utiliser des topologies

utilisant exclusivement des résonateurs parallèles et des inverseurs d'admittances localisés réalisés à base de capacités [25],[26].

Enfin d'excellentes performances en terme de bruit ont été obtenues avec une adaptation de type LC utilisant peu d'inductances et intégrant les éléments parasites liés à l'effet Miller pour réaliser une adaptation de type LC passe-bande [27].

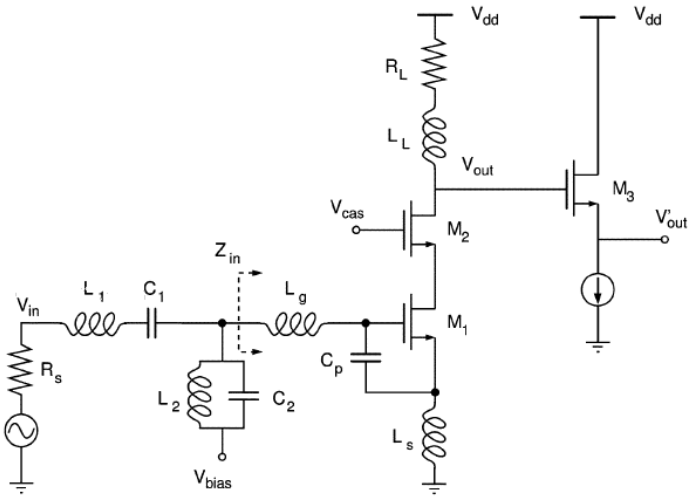


Figure 7 Architecture typique d'un LNA à adaptation de type LC passe-bande [22].

Les performances des principaux LNA passe-bande publiés sont résumées dans la

Table 3 Performances mesurées sur des LNA CMOS à adaptation LC passe-bande

Réf.	Tech.	Bande (GHz)	Interfaces	Surface (mm^2)	Conso. (mW)	Amplif. (dB)	NF (dB)	S_{11} (dB)
[22]	0.18µm	2.3-9.2	sgle/sgle	1.1	9	10	4-9	<-10
[24]	0.13µm	2-4.6	dif/dif	1.1	16.5	9.5	3-6	<-10
[26]	0.13µm	6.8-8.8	single	0.4	15	29.5 (tension)	4-4.9	<-10.1
[28]	0.13µm	6.8-8.8	sgle/diff.	0.5	22	30.6 (tension)	-	<-7.5
[26]	0.13µm	6-10	sgle	0.4	16	27 (tension)	3.5-5	<-11
[27]	0.18µm	3-5	sgle	0.6	7.7	16	<2.2	<-10

2.5 Conclusions sur l'analyse de l'état de l'art

L'analyse de l'état de l'art concernant l'amplification large bande en technologie CMOS montre que de nombreuses techniques concurrentes ont été développées pour répondre aux besoins de l'amplification faible bruit et large bande pour les applications UWB de la bande de fréquence 3-10GHz. Néanmoins au regard des performances mesurées à ce jour les performances restent encore faibles en terme de facteur de bruit pour la partie haute de la bande UWB, ainsi qu'en terme de consommation de puissance.

Concernant les très larges bandes passantes requises pour les composants pour communication à très haut débit seule l'architecture distribuée permet d'obtenir les bandes passantes nécessaires.

3 CONTRIBUTIONS A L'ETUDE DES AMPLIFICATEURS LARGE BANDE CMOS A CELLULE D'ADAPTATION DE TYPE LC POUR APPLICATIONS UWB DE LA BANDE 3-10GHZ

Nous présentons dans ce paragraphe nos travaux concernant les amplificateurs large bande a cellule d'adaptation de type LC destinés aux systèmes intégrés utilisant la norme UWB dans les bandes de fréquence 3-10GHz.

Les LNA à cellule d'adaptation de type LC passe-bande permettent de réaliser un bon compromis entre l'amplification, le facteur de bruit et la consommation de puissance pour une occupation de surface acceptable. Nous présentons dans ce paragraphe une méthode de conception de ces amplificateurs. Cette méthode propose un dimensionnement des cellules d'adaptations et des tailles des transistors en vue de maximiser les performances en terme d'amplification et de facteur de bruit.

Pour ce qui concerne les applications UWB on doit considérer deux catégories d'architectures selon la bande passante relative qui est visée. Lorsque la totalité de la bande de fréquence UWB entre 3.1 et 10.6-GHz est recherchée, la bande passante relative est proche de l'unité et une architecture classique du type de celle utilisée dans la référence [22] peut être utilisée. En revanche pour des bandes passantes relatives inférieures à 50%, comme la bande UWB Européenne qui s'étend entre 6 et 8.5GHz, l'architecture précédente ne convient plus en raison des valeurs élevées d'inductances série qu'elle requiert.

3.1 Amplificateurs à faible bande relative

Architecture et dimensionnement du premier étage et de la cellule d'adaptation d'entrée

Le schéma équivalent de la cellule d'adaptation à élément LC traditionnelle est représenté sur la Figure 8 en éléments normalisés dans le cas d'une cellule d'ordre 3. Les valeurs de g_1, g_2, g_3 et g_4 sont fixées par les caractéristiques souhaitées pour la bande

passante, l'ondulation, et le type de réponse. Leurs valeurs, qui peuvent être trouvées dans les ouvrages de filtrage [29], sont proches de l'unité. On s'aperçoit donc, à partir de la Figure 8, que lorsque la valeur de la bande passante relative **b** est faible, les inductances des résonateurs série ont des valeurs beaucoup plus grandes que les inductances des résonateurs parallèles. En conséquence les inductances série ne sont pas intégrables car elles présentent des fréquences de résonance propre qui peuvent être inférieures à la bande de fréquence UWB et les inductances parallèles présentent des facteurs de qualité très faibles.

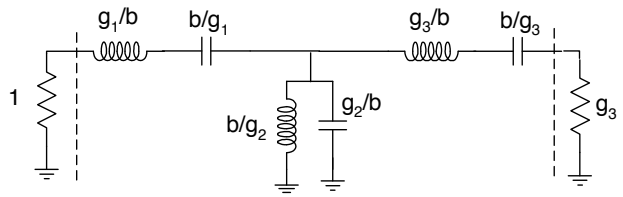


Figure 8 Schéma équivalent normalisé de cellule d'adaptation d'entrée de type LC passe bande traditionnelle.

Nous avons proposé une nouvelle cellule d'adaptation qui permet de résoudre ces problèmes [25]. Le schéma électrique de cette cellule d'adaptation est donné sur la Figure 9.a. Cette cellule est équivalente à un filtre passe bande d'ordre 2. L'utilisation d'un ordre 2 est intéressant dans le contexte des LNA entièrement intégrés dans l'objectif de réduire l'atténuation liée aux pertes des inductances et par voie de conséquence le facteur de bruit du LNA. L'utilisation d'ordres plus élevés peut permettre d'obtenir un filtre d'entrée plus sélectif dans le cadre d'un co-design où des éléments externes de facteur de qualité important sont disponibles.

La dégénération inductive de M_1 par L_S est utilisée pour synthétiser la terminaison résistive du filtre. En négligeant la capacité C_{GD}, l'impédance Z_{IN} présentée au niveau de la grille du MOS d'attaque M_1 a pour expression :

$$Z_{IN} = \frac{g_m L_S}{C_{GS}} + j\omega L_S + \frac{1}{j\omega C_{GS}} = R_{IN} + j X_{IN} \quad (13)$$

Dans la gamme de fréquences où la partie inductive liée à L_S est faible en regard de la partie capacitive liée à C_{GS}, l'impédance Z_{IN} correspond à une capacité de valeur C_{GS} en série avec une résistance de valeur R_{IN}. Dans ce cadre d'approximation la cellule

d'adaptation d'entrée est équivalente au filtre passe bande représenté sur la Figure 9.b en éléments normalisés.

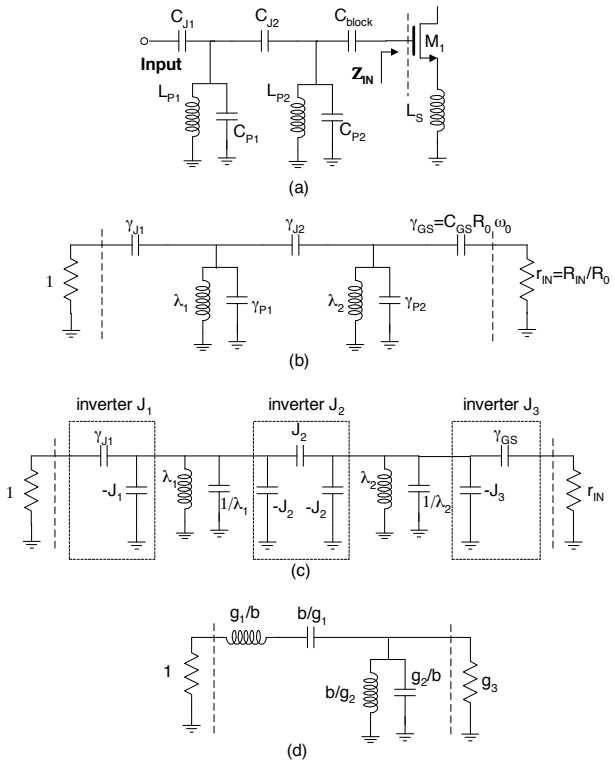


Figure 9 : Cellule d'adaptation pour bandes passantes relatives (b<25%). a) Topologie. b) schéma équivalent en éléments normalisés. c) schéma équivalent en éléments normalisés montrant les inverseurs d'admittance. d) filtre équivalent.

Le circuit de la Figure 9.b est équivalent au circuit représenté sur la Figure 9.c où les quadripôles capacitifs en Π (encadrés en pointillés sur la figure) sont équivalents autour de la fréquence centrale à des inverseurs d'admittance. Finalement, dans le même cadre d'hypothèses, le circuit représenté sur la Figure 9.c est équivalent au filtre passe bande d'ordre 2 donné sur la Figure 9.d, lorsque les relations (14) à (21) sont vérifiées et lorsque les valeurs normalisées des inverseurs J_1 et J_3 sont petites devant l'unité.

$$J_1 = \sqrt{\frac{b}{g_1 \lambda_1}} \quad (14)$$

$$J_2 = \frac{b}{\sqrt{g_1 g_2 \lambda_1 \lambda_2}} \quad (15)$$

$$J_3 = \sqrt{\frac{b}{g_2 g_3 r_{IN} \lambda_2}} \quad (16)$$

$$\gamma_{J1} = J_1 \left(1 + J_1^2\right) \quad (17)$$

$$\gamma_{J2} = J_2 \quad (18)$$

$$\gamma_{GS} = J_3 \left(1 + J_3^2 r_{IN}^2\right) \quad (19)$$

$$\gamma_{P1} = \frac{1}{\lambda_1} - J_1 - J_2 \quad (20)$$

$$\gamma_{P2} = \frac{1}{\lambda_2} - J_2 - J_3 \quad (21)$$

Dans ces relations, $b=(f_{P2}-f_{P1})/f_0$ est la bande passante relative du filtre équivalent, f_{P1} et f_{P2} sont les fréquences de cassure basse et haute, et f_0 la fréquence centrale. g_1, g_2, g_3 sont les valeurs normalisées du filtre passe-bas équivalent, et J_1, J_2, J_3 les valeurs normalisées des inverseurs d'admittance. Ces inverseurs d'admittance permettent d'une part de transformer les résonateurs parallèles en résonateur série et d'autre part de pouvoir choisir la valeur des inductances de manière arbitraire. De cette manière on peut choisir comme valeur d'inductance une valeur qui soit intégrable et qui conduit au facteur de qualité le plus élevé dans la bande passante de l'amplificateur dans l'objectif de minimiser l'atténuation et le facteur de bruit. Ces inverseurs permettent en outre d'obtenir la terminaison résistive du filtre g_3 avec une partie réelle r_{IN} arbitraire. Cela donne un degré de liberté qui permet d'optimiser la valeur de L_S et la taille de M_1 pour réduire le bruit à l'adaptation en puissance.

Méthode de dimensionnement pour minimiser le facteur de bruit

L'objectif est de dimensionner le premier étage du LNA afin de minimiser le facteur de bruit pour un courant consommé I_{01} donné.

(i) g_1, g_2, g_3 et b sont déterminés pour synthétiser un filtre passe-bande du deuxième ordre avec la bande passante et l'ondulation désirée. Dans un filtre sans pertes l'ondulation se déduit simplement du coefficient de réflexion en utilisant la conservation

de puissance dans la cellule d'adaptation. On peut de cette manière définir l'ondulation qui correspond à la valeur souhaitée pour le coefficient de réflexion d'entrée S_{11}.

(ii) Les valeurs λ_1 et λ_2 des inductances sont choisies afin d'obtenir le facteur de qualité maximal permis par la technologie utilisée dans la bande passante. Cela permet de réduire l'atténuation de la cellule d'adaptation qui est un des principaux contributeurs au facteur de bruit du LNA. C'est un des principaux avantages à l'utilisation des inverseurs d'admittance.

(iii) Nous avons montré au chapitre 1 que la partie réelle de l'impédance optimale ZOPT qui minimise le facteur de bruit de la topologie source commune à dégénération inductive est donnée par la relation :

$$R_{opt} = \frac{1}{C_{gs}\omega} \frac{\alpha\sqrt{5\left(1-|c|^2\right)\gamma\delta}}{5\gamma + \alpha\left(\alpha\delta - 2|c|\sqrt{5\gamma\delta}\right)} \quad (22)$$
$$= \frac{B}{C_{gs}\omega}$$

En combinant (22) et (13) on obtient comme valeur optimale de la capacité d'entrée :

$$\gamma_{GS_opt} = \frac{B}{\Omega\ r_{IN}} \quad (23)$$

Cette capacité peut aussi s'exprimer en fonction de J_3 à partir de la relation (19). Comme nous l'avons indiqué la valeur de J_3 doit être faible devant l'unité et par conséquent on peut approximer (19) par l'expression approchée :

$$\gamma_{GS} \approx J_3 \quad (24)$$

En reportant (24) dans la relation (16) on obtient la valeur optimale de C_{GS} en fonction des paramètres du filtre, de la valeur des inductances du résonateur, et des paramètres du modèle de bruit du transistor au travers du coefficient B :

$$\gamma_{GS} = \frac{b\Omega}{g_2 g_3 \lambda_2 B} \quad (25)$$

(iiii) Finalement, pour la valeur de courant de polarisation I_{01} choisie, la valeur de l'inductance de dégénération qui permet de minimiser le facteur de bruit à une valeur de pulsation ω donnée vaut :

$$L_{SOPT}(\omega) = \frac{B}{g_m \omega} \quad (26)$$

En prenant une inductance de dégénération de valeur :

$$L_{SOPT} = L_{SOPT}(\omega_0) = \frac{B}{g_m \omega_0} \quad (27)$$

$L_S = L_{SOPT}(\omega_0)$, la différence avec la valeur optimale restera inférieure (b/2)% dans toute la bande passante du LNA.

Optimisation de l'amplification en tension

Dans les systèmes intégrés UWB l'amplificateur faible bruit est le plus souvent chargé par un étage à haute impédance d'entrée de type capacitive où une valeur importante de tension est requise. Le LNA assure donc une fonction d'interfaçage entre l'antenne généralement adaptée en puissance et l'étage suivant situé au cœur du circuit intégré qui nécessite une tension d'amplitude élevée. L'architecture du LNA que nous avons développée pour répondre aux besoins des systèmes intégrés UWB est donnée sur la Figure 10. Cette architecture comporte un premier étage de type cascode qui suit la cellule d'adaptation qui a été présentée au paragraphe précédent, et un deuxième étage à charge active qui permet d'augmenter l'amplification en tension.

Dans la bande passante du LNA la cellule d'adaptation d'entrée assure une adaptation en puissance entre l'antenne et la charge R_{IN} du filtre équivalent qui est synthétisée par la dégénération inductive du transistor M_1. Par conséquent, dans la bande passante, l'amplitude du courant i_1 qui traverse la grille de M_1 est donnée par l'expression (28).

$$|i_1| = \sqrt{\frac{2 P_{IN}}{R_{IN}}} \quad (28)$$

Dans cette expression P_{IN} est la puissance disponible aux bornes de l'antenne où de l'étage précédent.

Dans les conditions d'adaptation en bruit définies par (23) et (27), et si l'on néglige l'effet de la capacité C_{GD}, on peut déterminer l'expression du courant de sortie i_2 du premier étage. On obtient à un terme de déphasage près l'amplitude complexe :

$$i_2 = \sqrt{\frac{2\omega_0 P_{IN}}{B}} \frac{g_{m1}}{\sqrt{C_{GS1}}} \frac{1}{j\omega} \quad (29)$$

Cette expression conduit, pour une loi de courant drain source quadratique, à une amplitude du courant de sortie indépendante du développement de grille W_1 et proportionnelle à la racine carré du courant de polarisation I_{01}.

Du point de vue fréquentiel, l'expression (29) montre une décroissance de l'amplitude du courant i_2 avec la fréquence qui doit être compensée par une charge de type inductive.

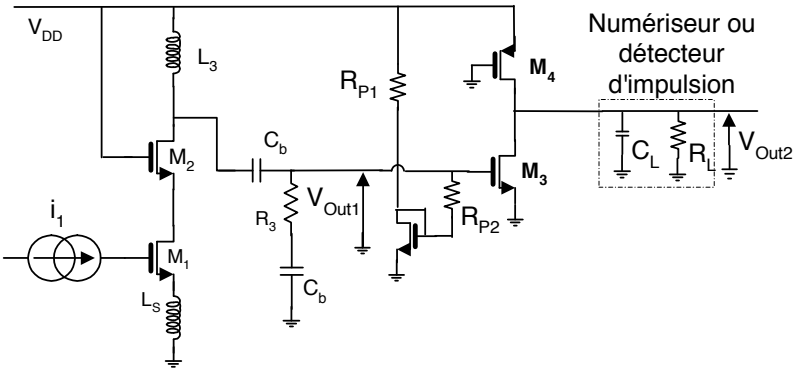


Figure 10 Architecture de l'amplificateur large bande.

Le schéma équivalent simplifié du deuxième étage est donné sur la Figure 11. Cet étage présente une charge essentiellement capacitive au premier étage dont la valeur peut être approximée par :

$$c_3 \cong c_{GD2} + c_{DB2} + c_{GS3} + c_{GD3}(1 + g_{m3} r_{EQ}) \quad (30)$$

L'amplification A_{V2} du deuxième étage peut être approximée par l'expression (31) où $1/r_{DS3}$ et $1/r_{DS4}$ sont les conductances de sortie des transistors M_3 et M_4, et r_{EQ}, C_{EQ}, et ω_{C3} sont donnés par les relations (32), (33), et (34).

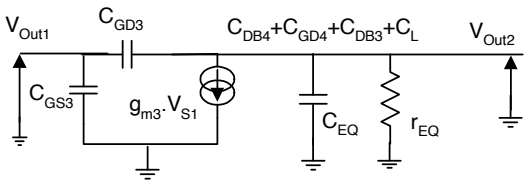


Figure 11 Schéma équivalent du deuxième étage

$$A_{V2} = \frac{V_{Out2}}{V_{Out1}} \cong \frac{-g_{m3} r_{EQ}}{1 + j\omega / \omega_{C3}} \quad (31)$$

$$r_{EQ} = r_{DS3} \,//\, r_{DS4} \,//\, R_L \quad (32)$$

$$c_{EQ} = \left(c_{DB3} + c_{GD3} + c_{DB4} + c_{GD4} + c_L \right) \quad (33)$$

$$\omega_{C3} = \frac{1}{r_{EQ} c_{EQ}} = 2\pi f_{C3} \quad (34)$$

A partir des expressions (29) et (31) on peut déterminer l'expression de l'amplitude complexe de la tension de sortie en fonction de la puissance disponible en sortie d'antenne P_{IN} dans la bande passante de l'amplificateur :

$$v_{Out2} = \sqrt{\frac{2\omega_0 P_{IN}}{B}} \frac{g_{m1}}{\sqrt{C_{GS1}}} \frac{L_3}{1 + \frac{j\omega}{Q_3 \omega_{03}} - \left(\frac{\omega}{\omega_{03}} \right)^2} \frac{g_{m3} r_{EQ}}{1 + \frac{j\omega}{\omega_{C3}}} \quad (35)$$

Dans cette expression Q_3 et ω_{03} sont respectivement le coefficient de qualité et la pulsation de résonance du résonateur parallèle constituant la charge du premier étage :

$$Q_3 = \frac{R_3}{L_3 \omega_0} \quad (36)$$

$$\omega_{03} = \frac{1}{\sqrt{L_3 C_3}} \quad (37)$$

Il est important de remarquer que cette expression, qui a été établie en supposant une adaptation d'impédance entre l'antenne et la résistance équivalente R_{IN}, est valide uniquement dans la bande passante de l'amplificateur. En dehors de la bande passante, la cellule d'adaptation procure un filtrage de type passe-bande venant faire chuter la valeur de la puissance transmise à R_{IN}. De manière qualitative, la réponse globale de l'amplificateur peut s'appréhender comme le produit de (35) avec une fonction de transfert passe bande définie par la cellule d'adaptation.

A partir de l'expression (35) on peut définir une méthode de dimensionnement qui permet d'obtenir une tension de sortie d'amplitude constante dans la bande passante de l'amplificateur et de maximiser son amplitude. Cette expression montre que v_{OUT2} résulte du produit d'une fonction de tranfert de type passe-bas du deuxième ordre par une fonction de tranfert de type passe-bas du premier ordre associée au deuxième étage.

Une valeur élevée de R_{EQ} conduit à de fortes valeurs d'amplitude de sortie mais conduit aussi à une valeur faible pour la pulsation de cassure ω_{C3} associée au deuxième étage.

Le meilleur compromis consiste à choisir une valeur de R_{EQ} qui conduit à une fréquence de cassure f_{C3} du deuxième étage inférieure à la fréquence de coupure basse f_{P1} désirée pour le LNA. La pente décroissante induite par le deuxième étage peut alors être compensée par un facteur de qualité Q_3 supérieur à la valeur $1/\sqrt{2}$ et par le choix d'une fréquence de résonance f_{03} supérieure à la fréquence de coupure haute f_{P2} du LNA.

Pour maximiser v_{OUT2} (35) montre qu'il faut choisir une valeur de L_3 maximale tout en maintenant f_{03} supérieure f_{P2}. Par conséquent C_3 doit être minimisée en choisissant un développement de grille W_3 très inférieur à W_2. En outre, toujours dans le but de maximiser L_3 en gardant f_{03} supérieure f_{P2}, W_2 doit être égal à la valeur minimum permettant de conduire le courant statique I_{01} du premier étage afin de minimiser les valeurs de C_{GD2} et C_{DB2}.

Le dimensionnement est conduit de la manière suivante :

(i) La longueur de grille de M_3 est fixée à la valeur minimale permise par la technologie pour maximiser la transconductance g_{m3} et minimiser son bruit. C_{GS3} devant être négligeable devant $C_{DB2}+C_{GD2}$ pour maintenir $f_{03}>f_{P2}$, W_3 est fixée à la valeur maximale satisfaisant $W_3<<W_2$. En conséquence la consommation en courant du deuxième étage I_{02} est négligeable devant celle du premier étage I_{01}.

(ii) I_{02} et la longueur de M_4 sont fixés pour définir une valeur de R_{EQ} élevée et qui conduit à la condition $f_{C2}<f_{P1}$. Par conséquent l'amplitude de la tension de sortie dans la bande passante sera maximisée et constante si la décroissance de l'amplification du deuxième étage est compensée par la surtension générée au niveau du deuxième étage avec une valeur du coefficient de qualité Q_3 suffisante.

(iii) La largeur W_4 est ensuite fixée à une valeur suffisante pour conduire le courant I_{02}.

(iiii) Finalement la valeur de R_3 est ajustée pour obtenir une valeur du coefficient de qualité Q_3 qui permet de compenser la pente de la fonction de transfert du deuxième étage dans la bande passante.

Méthode de dimensionnement pour maximiser l'amplification

Il est intéressant pour certaines applications de maximiser l'amplification en tension du LNA. A partir de la relation (28) rappelée ci-dessous :

$$|i_1| = \sqrt{\frac{2P_{IN}}{R_{IN}}}$$

on peut déterminer l'amplitude du courant de sortie i_2 :

$$i_2 = \sqrt{\frac{2P_{IN}}{R_{IN}}}\frac{\omega_{T1}}{j\omega} \quad (38)$$

et en utilisant la relation :

$$R_{IN} = \omega_{T1} L_S \quad (39)$$

on aboutit à l'expression :

$$i_2 = \sqrt{\frac{2P_{IN}\ \omega_{T1}}{L_S}}\frac{1}{j\omega} \quad (40)$$

Cette expression montre que l'amplitude du courant i_2 peut être maximisée pour une puissance disponible d'entrée P_{IN} donnée en : (i) maximisant la pulsation de transition qui ne dépend au premier ordre que de la polarisation grille source. (ii) en minimisant la valeur de L_S.

Les limitations à l'utilisation de valeur trop faibles de L_S proviennent de ce que d'après (39) elles impliquent, pour une même pulsation de transition qui est limitée dans une technologie donnée, des valeurs de R_{IN} faibles qui conduisent d'après (16) et (19) à des valeurs de C_{GS} et de développement de grille importants. Cela se traduit alors, à pulsation de transition ω_T fixée, par une augmentation de la consommation.

3.2 Amplificateurs large bande à bande relative élevée

Pour les grandes bandes relatives (50%<b<150%) les topologies issues des filtres passifs LC permettent de réaliser des cellules d'adaptation d'entrée intégrables avec les composants passifs disponibles dans les technologies CMOS actuelles. La topologie présentée au paragraphe 2.4 sur la Figure 7 utilise un filtre LC d'ordre 3 comme cellule d'adaptation.

Cependant la topologie précédente comporte les inconvénients d'utiliser deux résonateurs série et de nécessiter des inductances de valeurs élevées. L'utilisation de résonateurs série impose des fréquences de fonctionnement faibles devant la fréquence

de résonance propre (SFR) des inductances qui est d'autant plus faible que la valeur de l'inductance est grande. Lorsque ces conditions ne sont pas réunies on obtient une cellule d'adaptation dont les performances se dégradent vers les fréquences hautes de la bande passante, et la maîtrise de celle ci n'est plus assurée. En outre le facteur de bruit augmente rapidement avec le nombre de résonateurs puisque les facteurs de qualité atteints dans les technologies CMOS pour les inductances sont souvent médiocres.

Architecture et dimensionnement de la cellule d'adaptation

Pour atténuer l'impact de ces inconvénients nous utilisons une cellule d'adaptation d'entrée du 2eme ordre avec une réponse de type Tchebytcheff et avec le résonateur série placé coté transistor comme le montre la Figure 12. Cette cellule n'utilise qu'un seul résonateur série dont l'inductance est composée par L_{S2} et L_S. En outre l'utilisation d'une réponse de type Tchebytcheff permet de minimiser la valeur d'inductance nécessaire et d'obtenir ainsi des fréquences de résonance propres bien au-delà de la fréquence maximale de la bande passante du LNA.

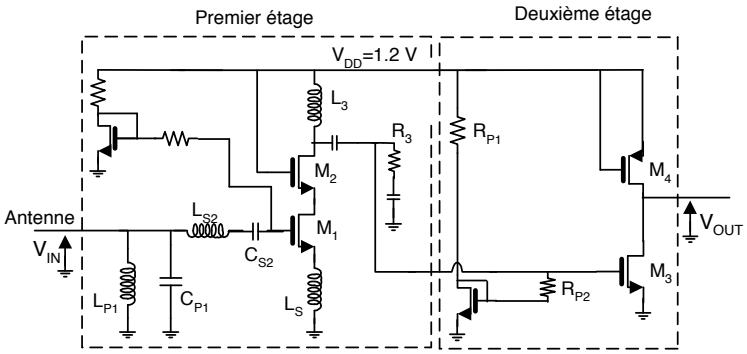


Figure 12 Architecture adaptée aux bandes relatives élevées

Le schéma équivalent de la cellule d'adaptation, qui est donné en éléments normalisés sur la Figure 13, correspond à la topologie d'un filtre passe bande LC du deuxième ordre. Les valeurs normalisées de la cellule d'adaptation sont données par les relations ci-dessous :

$$\gamma_1 = g_1 / b \quad (41)$$

$$\lambda_1 = b / g_1 \quad (42)$$

$$\gamma_2 = b / g_2 \quad (43)$$

$$\lambda_{S2} + \lambda_S = g_2 / b \quad (44)$$

$$r_{IN} = 1/ g_3 \qquad (45)$$

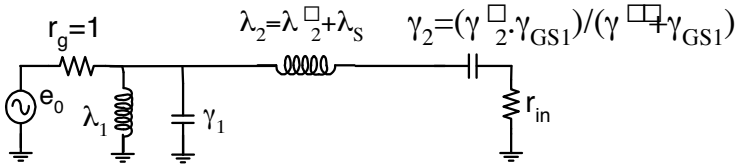


Figure 13 Schéma équivalent de la cellule d'adaptation en éléments normalisés.

En se référant à la Table 4 qui donne les valeurs permettant d'obtenir une réponse de Tchebytcheff d'ondulation 1dB on peut constater que l'inductance série obtenue $\lambda_{S2}+\lambda_S$ à une valeur g_2/b beaucoup plus faible que la valeur g_3/b obtenue avec un ordre 3. En outre cette topologie ne nécessite qu'une seule inductance supplémentaire par rapport à la topologie bande étroite couramment utilisée.

Table 4 Valeurs normalisées des filtres d'orde 3 et d'ordre 2 de Tchebytcheff d'ondulation 1dB

ordre	g_1	g_2	g_3	g_4
2	1.8219	0.6850	2.6597	-
3	2.0236	0.9941	2.0236	1

Lorsque les relations définies dans les relations (41) à (45) sont satisfaites on obtient une adaptation d'impédance dans la bande passante relative $b=(f_{P2}-f_{P1})/f_0$ où f_{P1}, f_{P2} et f_0 sont respectivement les fréquences de coupures basse, haute et la fréquence centrale.

Méthode de dimensionnement pour minimiser le facteur de bruit

Comme indiqué au chapitre précédent et au paragraphe 0.5 la minimisation du facteur de bruit suppose uniquement que la condition (23) rappelée ci-dessous soit vérifiée :

$$\gamma_{GS_opt} = \frac{B}{\Omega . r_{IN}}$$

En combinant cette relation avec (45) on peut montrer que le couple de valeurs (g_m,L_S) est alors lié par la relation :

$$g_m = \frac{B}{L_S \omega_0} \quad (46)$$

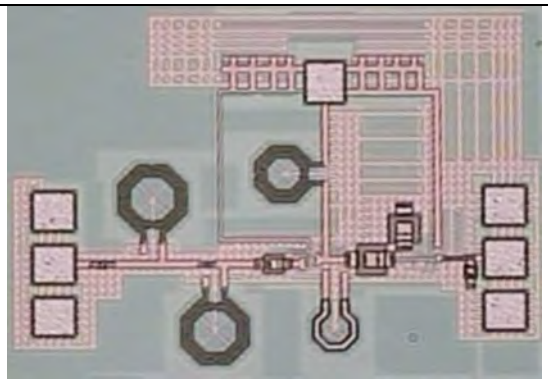
Par ailleurs la condition (23) ne peut être satisfaite que pour des valeurs de bande relative b qui satisfont la relation :

$$b < g_2 \, g_3 \, B \quad (47)$$

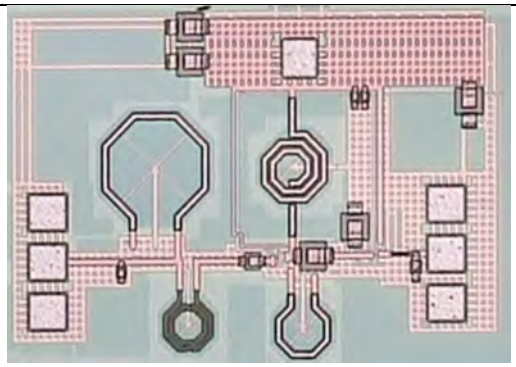
Avec les relations précédentes et les expressions (41) à (45) on peut dimensionner la cellule d'adaptation et la largeur du transistor d'attaque pour un fonctionnement optimal en bruit. Le dimensionnement du deuxième étage et des autres éléments du premier étage est conduit de manière similaire à celui décrit au paragraphe 0.0.

3.3 Résultats

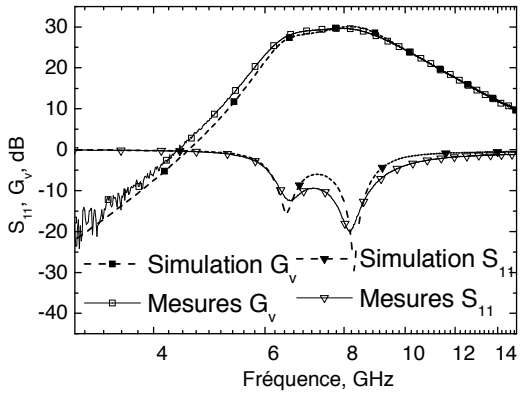
Les méthodes de conception développées aux paragraphes 3.1 et 3.2 ont été utilisées afin de concevoir différents prototypes d'amplificateurs de bandes relatives diverses dans la bande de fréquence 3-10GHz dans une technologie CMOS 0.13µm. Les performances obtenues sont comparées à l'état de l'art dans la Table 3 du paragraphe 2.4 de l'analyse de l'état de l'art. La Figure 14 donne les principales caractéristiques obtenues en mesure et en simulation de deux LNA à faible et grande bande relative.



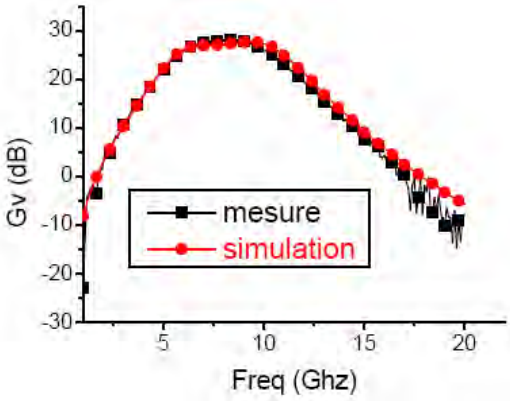
Photographie LNA 6.8-8.8GHz



Photographie LNA 6-10GHz



Gain en tension et adaptation LNA 6.8-



Gain en tension LNA 6-10GHz

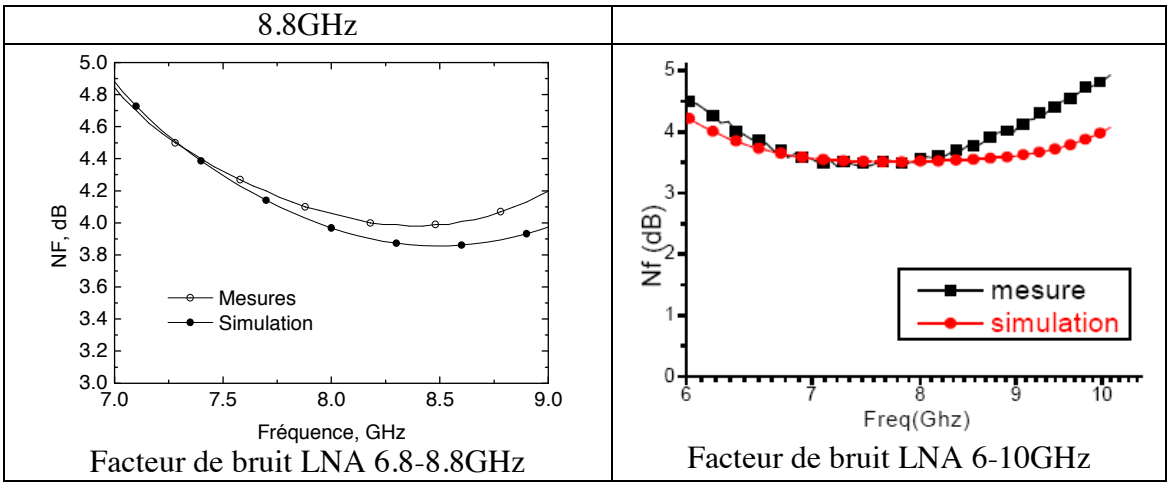


Figure 14 Photographie et comparaison simulation/mesure de 2 LNA large bande à adaptation LC.

4 CONTRIBUTIONS A L'ETUDE DES AMPLIFICATEURS DISTRIBUES CMOS

Les amplificateurs distribués présentent une architecture qui permet les bandes passantes les plus étendues en regard de la performance intrinsèque des composants actifs utilisés. En outre leurs performances en terme de bruit sont très bonnes. Cependant ils sont généralement pénalisés pour ce qui concerne l'occupation de surface et la consommation de puissance. Nous présentons dans ce paragraphe notre étude concernant les potentialités des amplificateurs distribués pour systèmes de communication à très haut débit.

4.1 Architecture et contraintes de conception

L'architecture de base d'un amplificateur distribué est décrite sur la Figure 15. Deux lignes de transmission artificielles d'entrée et de sortie sont couplées par des amplificateurs élémentaires. La ligne artificielle d'entrée est composée des inductances L_{IN} et des capacités d'entrée des amplificateurs élémentaires. La ligne artificielle de sortie est composée des inductances L_{OUT} et des capacités de sortie des amplificateurs élémentaires. Les inductances peuvent être localisées ou bien synthétisées à partir de tronçons de lignes de transmission. Lorsque la condition (48) est satisfaite l'excitation d'entrée se propage à la même vitesse que le signal de sortie et les contributions de chaque étage s'ajoutent.

$$\sqrt{L_{IN}C_{IN}} = \sqrt{L_{OUT}C_{OUT}} \quad (48)$$

Lorsque une impédance d'entrée et de sortie identique est requise la condition (49) doit être satisfaite :

$$Z_{cin} = \sqrt{L_{in}/C_{in}} = Z_{cout} = \sqrt{L_{out}/C_{out}} \quad (49)$$

La réalisation simultanée des conditions (48) et (49) impose l'égalité entre les inductances des lignes d'entrée et de sortie, et entre les capacités d'entrée et de sortie des amplificateurs élémentaires :

$$\begin{aligned} L_{IN} &= L_{OUT} \\ C_{IN} &= C_{OUT} \end{aligned} \quad (50)$$

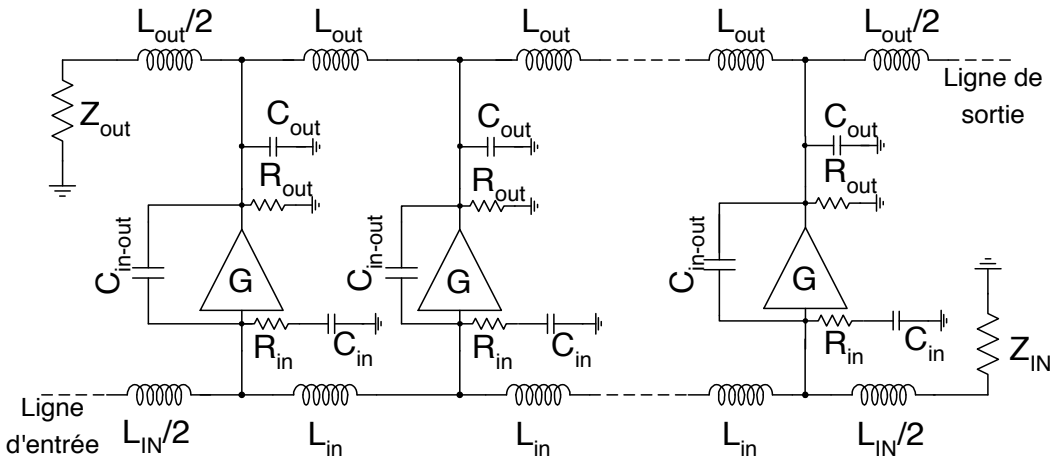


Figure 15 Architecture d'un amplificateur distribué

La fréquence de cassure associée au lignes d'entrée et de sortie est alors identique et donnée par :

$$F_{3dB} = \frac{1}{\pi\sqrt{L_{in}C_{in}}} \quad (51)$$

Le problème majeur limitant les performances des amplificateurs distribués est lié aux différentes pertes dans les lignes artificielles d'entrée et de sortie. Lorsque ces pertes sont prises en compte on montre qu'il existe un nombre d'étages qui conduit a une amplification maximale. Ce nombre optimal d'étages N_{OPT} est donné par [30]:

$$N_{opt} = \frac{\ln(\alpha_s) - \ln(\alpha_e)}{\alpha_s - \alpha_e} \quad (52)$$

ou α_E et α_S sont les coefficients d'atténuation des lignes artificielles d'entrée et de sortie donnés par (53) et (54) lorsque les pertes associées à la partie réelle de l'impédance d'entrée des amplificateurs élémentaires sont négligées :

$$\alpha_e = \Re e\left(\sqrt{\left(R_{L_IN} + jL_{IN}\omega\right)\left(jC_{IN}\omega\right)}\right) \quad (53)$$

$$\alpha_s = \Re e\left(\sqrt{\left(R_{L_OUT} + jL_{out}\omega\right)\left(R_{out}^{-1} + jC_{out}\omega\right)}\right) \quad (54)$$

4.2 Minimisation des pertes dans les lignes artificielles

Minimisation des pertes liées aux inductances

Les pertes dans les inductances des lignes artificielles sont responsables des paramètres R_{L_IN} et R_{L_OUT} des expressions (53) et (54). Des inductances localisées à facteur de qualité élevé utilisables aux fréquences millimétriques sont rarement disponibles en technologie CMOS standard. De plus lorsque des bandes passantes supérieures à quelques dizaines de GHz sont recherchées comme dans les systèmes de communication à très haut débit, une synthèse réalisée à partir de lignes de transmission conduit à des performances comparables ou supérieures en terme d'occupation de surface et d'atténuation.

Dans les technologies CMOS standard on peut implémenter sans difficulté des lignes de transmission de type micro-strip (MSL) et coplanaires (CPW). L'implémentation d'une ligne coplanaire a pour avantage de pouvoir utiliser pour réaliser les rubans de masse et de signal le niveau de métal supérieur qui est le plus épais, alors que l'implémentation d'une ligne microbande utilise pour son plan de masse le niveau de métal inférieur, généralement plus mince, mais qui permet d'isoler le substrat conducteur des champs électromagnétiques.

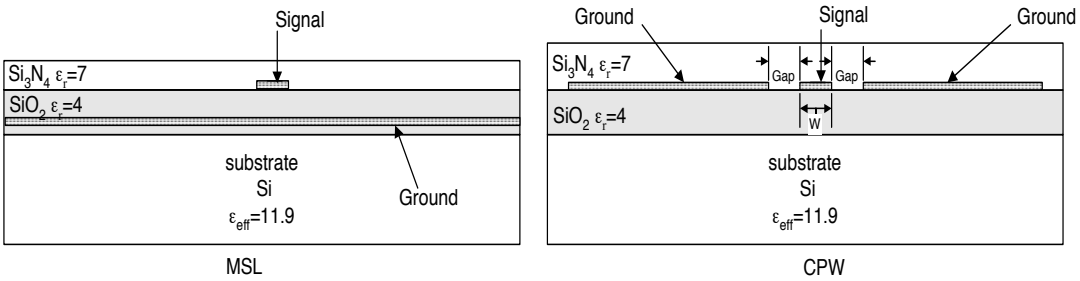


Figure 16 Implémentation de lignes microbande et coplanaire en technologie CMOS standard

Dans le but de minimiser les pertes dans les inductances nous avons comparé les pertes en dB/nH associées à chaque type de ligne de transmission et pour toutes les impédances caractéristiques réalisables. La Figure 17 montre les résultats obtenus par simulation électromagnétique 3d avec une technologie CMOS standard 0.13µm [10]. On constate sur la Figure 17 que dans cette technologie les lignes microbandes de faible impédance caractéristique permettent des coefficients d'atténuation plus faibles que les

lignes coplanaires. Néanmoins, pour synthétiser une inductance de valeur donnée, une impédance caractéristique de valeur élevée conduit à une ligne plus courte. Avec ce dernier critère, qui est le plus pertinent dans notre cas, on s'aperçoit qu'une ligne coplanaire d'impédance caractéristique élevée est le meilleur choix de conception.

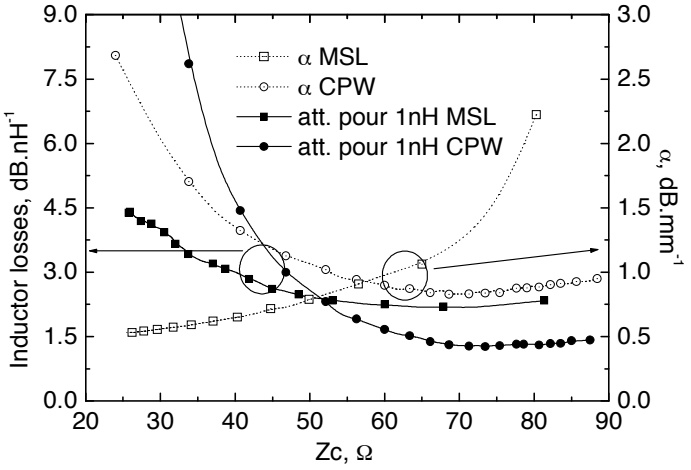


Figure 17 Atténuation correspondant à une ligne synthétisant une inductance de 1nH, et coefficient d'atténuation en fonction de l'impédance caractéristique. Résultats obtenus par simulation électromagnétique dans une technologie CMOS 0.13µm à la fréquence de 40GHz.

Minimisation des pertes liées aux amplificateurs élémentaires

L'autre source de pertes dans les lignes de transmission artificielles provient de la partie réelle de l'impédance de sortie des amplificateurs élémentaires. Les pertes liées à la partie réelle de l'impédance d'entrée sont en effet négligeables jusqu'aux fréquences millimétriques dans les technologies CMOS submicroniques dés lors que le transistor est dessiné avec un degré d'interdigitation suffisant.

Dans le but de réduire les pertes associées à la partie réelle de l'impédance de sortie des amplificateurs élémentaires nous avons utilisé une architecture d'amplificateur élémentaire basée sur les travaux de Kimura [31] concernant les amplificateurs distribués réalisés en technologie InP. La cellule amplificatrice que nous utilisons est représentée sur la Figure 18. C'est une topologie de type cascode où 3 inductances ont été rajoutées afin de diminuer la partie réelle de la résistance de sortie tout en conservant la stabilité de l'amplificateur global.

Le dimensionnement est conduit de la manière suivante :

(i) L'inductance L_3 est dimensionnée pour minimiser la partie réelle de l'impédance de sortie $Re(Z_S)$ tout en gardant une valeur positive. La Figure 19 donne un exemple des résultats obtenus en simulation dans une technologie 0.13µm.

(ii) L'inductance L_2 est dimensionnée afin d'obtenir une valeur positive de $Re(Z_S)$ dans tout le domaine de fréquence (Cf. Figure 20).

(iii) L'inductance L_1 est dimensionnée afin d'obtenir la stabilité de l'amplificateur final (Cf. Figure 21).

La Figure 22 montre l'augmentation sur la partie réelle de l'admittance de sortie obtenue par l'utilisation de cette technique. Ces résultats ont été obtenus en simulation dans le cadre d'une technologie CMOS 0.13µm.

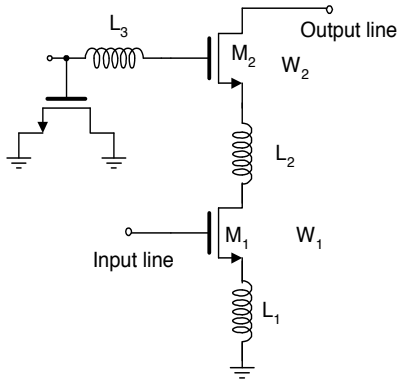


Figure 18 Architecture de l'amplificateur élémentaire à compensation de pertes

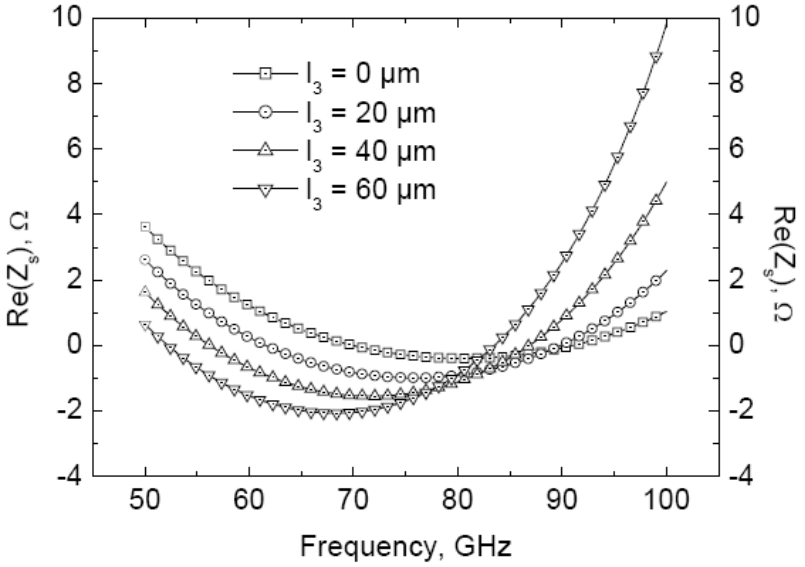


Figure 19 Influence de l'inductance L_3 sur la partie réelle de l'impédance de sortie de l'amplificateur élémentaire.

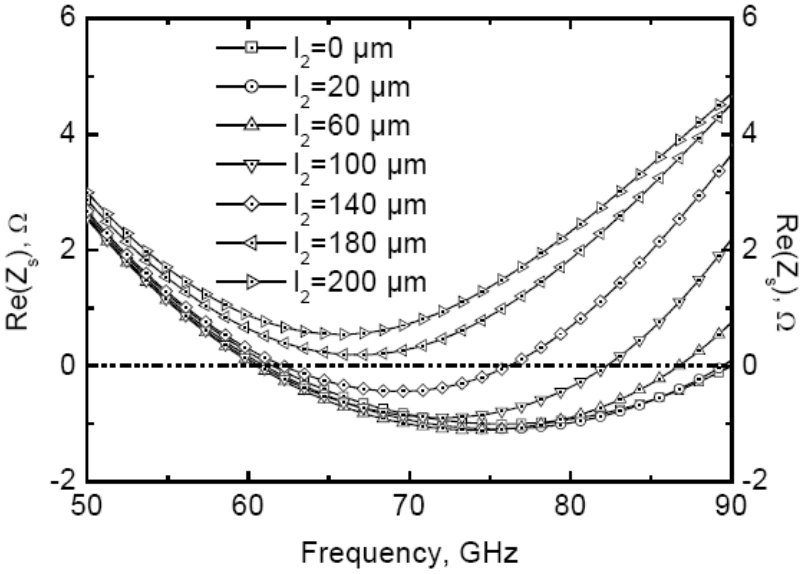


Figure 20 Influence de l'inductance L_2 sur la partie réelle de l'impédance de sortie de l'amplificateur élémentaire.

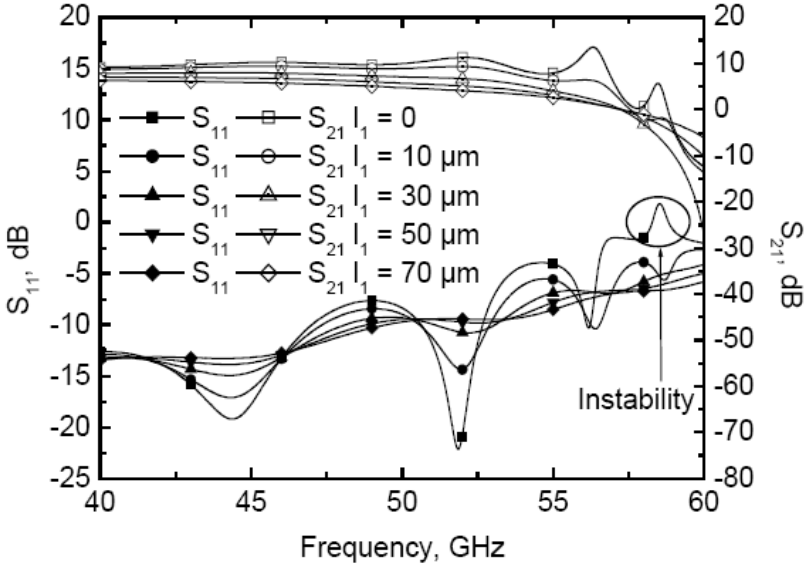


Figure 21 Influence de l'inductance L_1 sur la stabilité de l'amplificateur distribué finalisé.

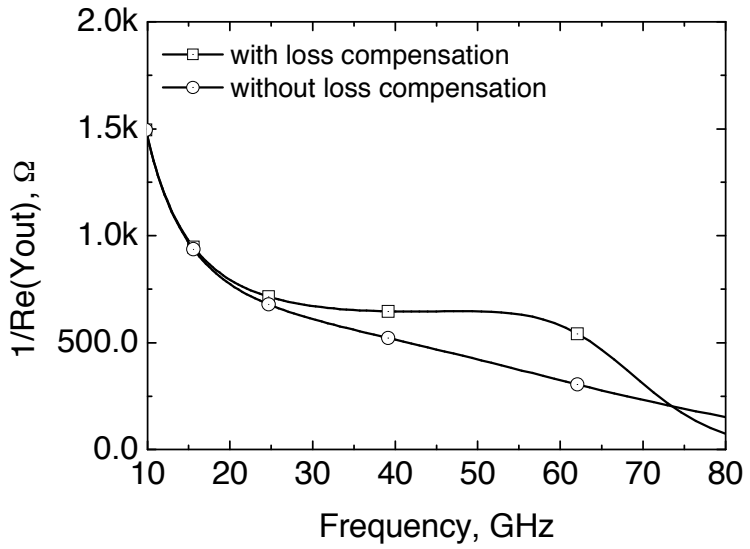


Figure 22 Effet de la compensation des pertes sur la partie réelle de l'admittance de sortie.

4.3 Dimensionnement des amplificateurs distribués à bande passante maximale

Lorsque des bandes passantes très élevées sont requises il est fondamental de respecter l'égalité des vitesses de phase dans les lignes artificielles d'entrée et de sortie. Nous avons vu au paragraphe 4.1 que lorsque cette égalité était associée à l'égalité des impédances caractéristiques des lignes il était nécessaire d'utiliser des cellules élémentaires d'amplification dont les capacités d'entrée et de sortie étaient égales. La capacité d'entrée des étages d'amplification courants utilisant des transistors à effet de champ étant plus élevée que celle de sortie diverses solutions d'équilibrage ont été étudiées. La technique la plus utilisée avec les transistors HEMT est la division capacitive dans la ligne d'entrée qui consiste à attaquer les grilles du transistor d'attaque par un diviseur capacitif permettant de réduire la valeur de capacité vue par chaque inductance [32]. Cette technique a en outre l'avantage de réduire les pertes associées à la ligne d'entrée qui ne sont plus négligeables en très hautes fréquences. L'inconvénient principal est la division d'amplitude qui est réalisée sur le signal d'excitation du transistor. Cette réduction de l'amplification de chaque étage se répercute directement sur l'amplification globale de l'amplificateur.

Pour atteindre une amplification suffisante sans consommation prohibitive avec une technologie CMOS standard nous avons préféré équilibrer les capacités d'entrée et de sortie en utilisant une cellule d'amplification de type cascode avec un transistor grille

commune dessiné avec un développement de grille plus important que celui du transistor en source commune. La configuration cascode a en outre l'avantage de minimiser le couplage sortie-entrée ainsi que les pertes liées à la partie réelle de l'impédance de sortie.

Le dimensionnement du développement de grille nécessaire s'obtient aisément en combinant les relations (48), (50), et (51) qui montrent que la valeur de la capacité d'entrée et de sortie des étages doit satisfaire la relation :

$$C \leq \frac{1}{\pi R_0 f_C} \quad (55)$$

lorsque une bande passante de valeur f_C est recherchée avec des valeurs d'impédance d'entrée et de sortie égales à R_0. Lorsque une bande passante maximale est recherchée il convient alors d'utiliser pour chaque amplificateur élémentaire un courant de polarisation qui maximise la fréquence maximale d'oscillation f_{max}.

Une fois la cellule d'amplification élémentaire dimensionnée on peut déterminer la valeur des inductances nécessaires et les coefficients d'atténuation de lignes d'entrée et de sortie α_E et α_S qui doivent prendre en compte la technique de réduction des pertes présentée au 0.0. On peut alors en déduire le nombre d'étage optimal qui permet de maximiser l'amplification à l'aide de (52) si aucune contrainte de consommation de puissance n'est imposée.

4.4 Résultats

Cette démarche a été appliquée à la réalisation d'un amplificateur distribué à bande passante et à gain maximum. L'objectif de ce travail de type exploratoire était d'étudier les potentialités des technologies CMOS standard pour la réalisation de composants pour les systèmes de communication à très haut débit.

La description électrique est donnée sur la Figure 23. Cet amplificateur comporte 7 étages pour maximiser l'amplification de puissance. La technique de compensation des pertes décrite au paragraphe 0.5 a été utilisée pour les étages d'amplification élémentaire de type cascode asymétrique. Afin de minimiser les pertes dans les inductances, toutes les inductances ont été synthétisées par des tronçons de lignes coplanaires d'impédance

caractéristique de 88Ω. La photographie du circuit représentée sur la Figure 24 montre une surface de 2.5x0.8 mm².

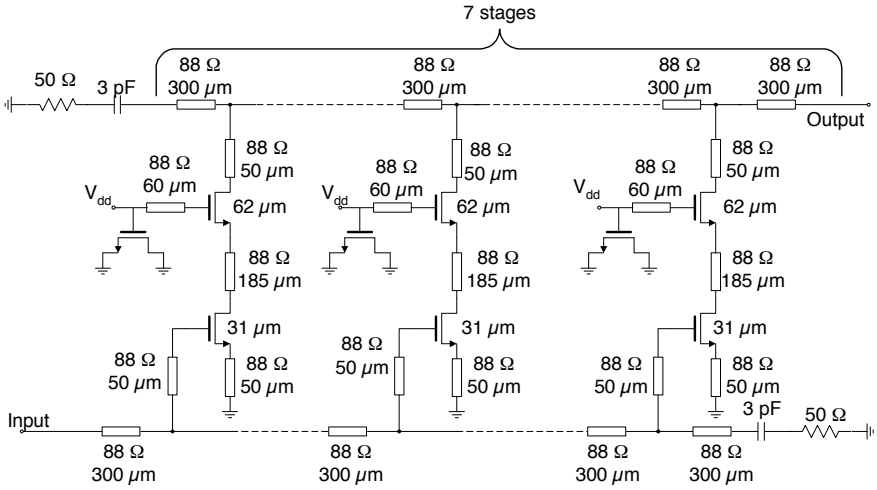


Figure 23 Description électrique de l'amplificateur distribué à amplification maximale.

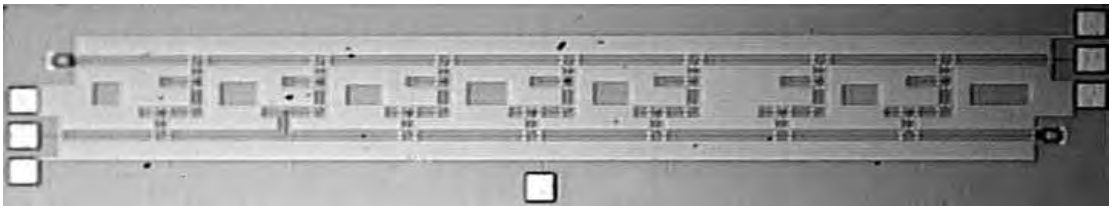


Figure 24 Photographie de l'amplificateur distribué à amplification maximale.

Les caractéristiques électriques simulées et mesurées pour une consommation de 55 mA sous 2.5 V sont représentées sur la Figure 25. Comme on peut le voir en examinant la Table 1 du paragraphe 2.1 présentant l'état de l'art de l'amplification distribuée CMOS, cet amplificateur distribué présente les meilleures performances en terme de produit gain-bande passante en technologie CMOS standard [10].

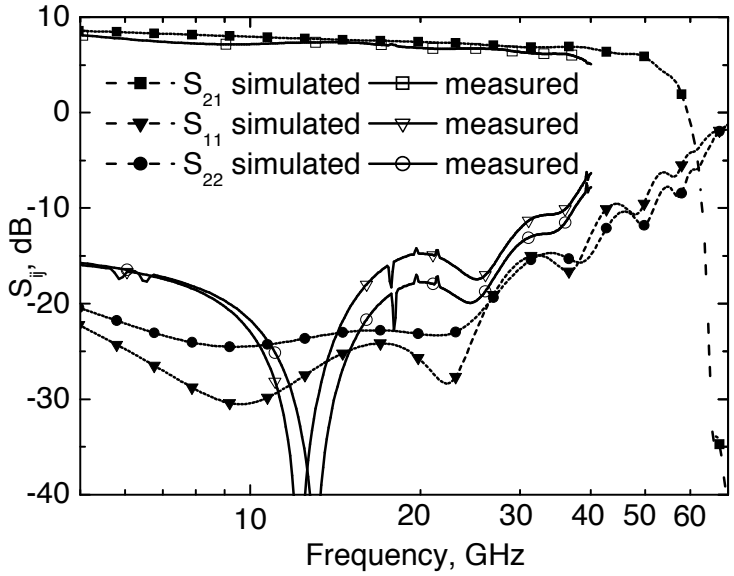


Figure 25 Comparaison simulation expérience des paramètres S de l'amplificateur distribué.

5 METHODOLOGIES D'INTERFACAGE ET DE MISE EN BOITIER DES CIRCUITS ET SYSTEMES INTEGRES LARGE BANDE ET FAIBLE COUT

Pour les applications hautes fréquences et large bande l'utilisation des techniques d'interfaçages conventionnelles conduit à des coûts de production relatifs aux boîtiers et carte-support exagérés en regard du coût du silicium. En effet la bande passante requise pour les systèmes de communication large-bande actuels exige des boîtiers de grandes bandes passantes jusqu'alors réservés à des applications ne nécessitant pas des composants de très faible coût. Dans ce paragraphe nous présentons des techniques d'interfaçage permettant d'augmenter la bande passante des transitions carte – boîtier – circuit intégré qui autorisent l'emploi de boîtiers à faible coût pour ces applications.

5.1 Intégration de la transition carte-boîtier-circuit intégré dans un filtre de type passe bas

Lorsque la fréquence est suffisamment basse, le schéma équivalent d'une transition carte – boîtier – circuit intégré se réduit à une topologie en π de type passe-bas [33]. La Figure 26 montre le modèle électromagnétique d'une transition carte-

boîtier-circuit intégré d'un boîtier de type MLF faible coût. En utilisant les paramètres S obtenus par la simulation électromagnétique de ce modèle on peut obtenir la valeur des éléments du schéma équivalent localisé représenté sur la Figure 27 à partir des équations :

$$L_{extracted}(f) = -imag((\frac{1}{Y_{(1,2)}} + \frac{1}{Y_{(2,1)}})/2)/(2\pi.f) \quad (56)$$

$$C_{die-extracted}(f) = imag(Y_{(1,1)} + Y_{(1,2)})/(2\pi.f) \quad (57)$$

$$C_{pcb-extracted}(f) = imag(Y_{(2,2)} + Y_{(2,1)})/(2\pi.f) \quad (58)$$

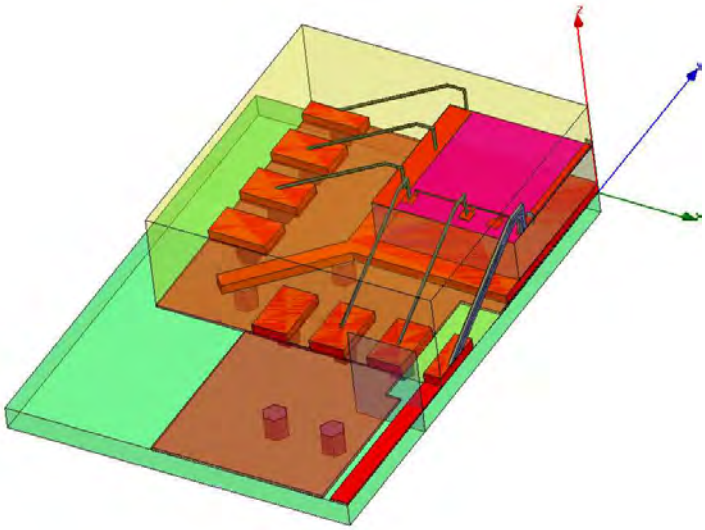


Figure 26 Modèle électromagnétique d'une transition carte-boîtier-circuit intégré d'un boîtier de type MLF.

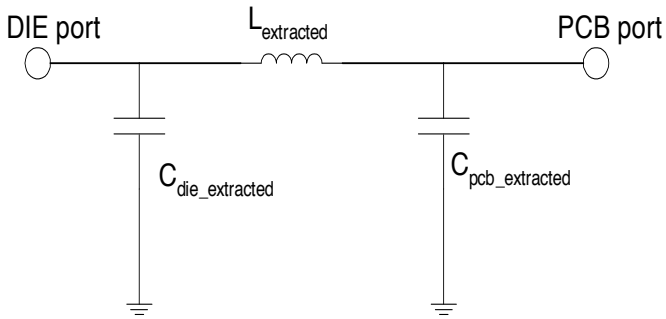


Figure 27 Schéma équivalent localisé d'une transition carte-boîtier-circuit intégré

En examinant les variations normalisées des paramètres extraits obtenus à partir des équations (59)-(61) on peut appréhender le domaine de validité du modèle localisé.

$$l_1(f) = 2\pi.f.L_{extracted}(f)/Z_0 \tag{59}$$

$$c_1(f) = 2\pi.f.Z_0 C_{die-extracted}(f) \tag{60}$$

$$c_2(f) = 2\pi.f.Z_0 C_{pcb-extracted}(f) \tag{61}$$

La Figure 28 montre les variations des valeurs normalisées du modèle localisé en fonction de la fréquence. On s'aperçoit sur cette figure que le modèle localisé présente une bonne approximation de la transition jusqu'à la fréquence de 9GHz notée f_{linear} sur la Figure 28. Cette fréquence correspond à une déviation de 10% par rapport à la valeur extraite en basse fréquence pour le cas le plus défavorable.

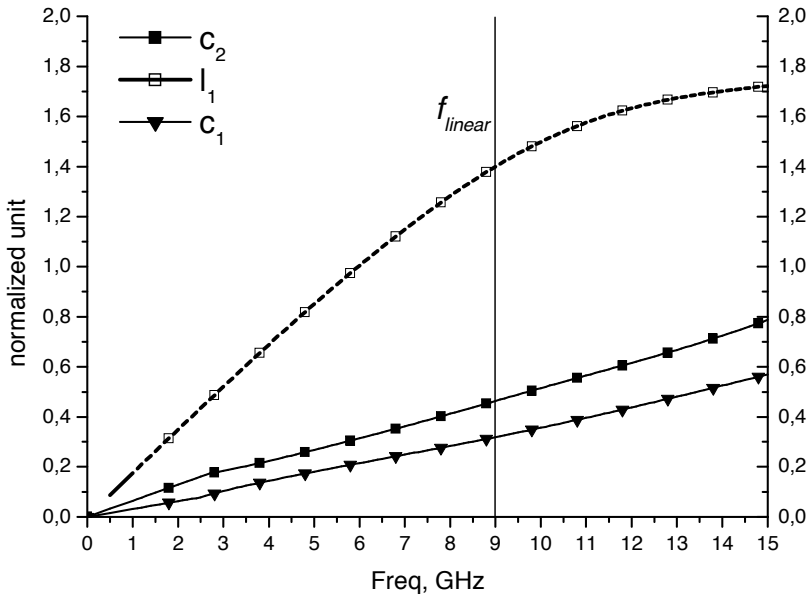


Figure 28 Valeurs normalisées des éléments du modèle équivalent d'une transition carte-boîtier-circuit intégré d'un boîtier de type MLF.

A partir de la topologie du modèle équivalent localisé de la transition carte-boîtier-circuit intégré de la Figure 27 on peut rajouter des capacités δC_1 et δC_2 sur les deux accès de la transition selon le schéma de la Figure 29 afin d'obtenir un filtre passe bas du troisième ordre répondant à un gabarit standard de type Tchebycheff ou Butterworth par exemple. La capacité δC_1 coté circuit intégré peut être intégrée sous forme de capacité MIM sans surcoût notable en terme de surface et avec des performances

suffisantes. La capacité δC_2 coté carte peut être réalisée par une section de ligne de faible impédance caractéristique au prix d'une augmentation de la surface de la carte et sans adjonction d'un élément supplémentaire.

Nous avons appliqué cette technique pour augmenter la bande passante des boîtiers à faible coût. A titre d'illustration nous présentons dans la suite de ce paragraphe les résultats que nous avons obtenus sur un boîtier de type MLF. Afin d'augmenter sa bande passante nous avons synthétisé un filtre passe bas de Chebyshev d'ordre 3 et d'ondulation 0.01dB et de fréquence de cassure 10.3 GHz autour du schéma équivalent localisé de la transition carte-boîtier-circuit intégré.

Cette synthèse nécessite d'implémenter des capacités additionnelles de valeur :

$$\delta C_1 = 200\,fF$$
$$\delta C_2 = 145\,fF$$

La Figure 30 montre le modèle électromagnétique de la transition modifiée et la Figure 31 les résultats obtenus pour la transition de référence et pour la transition modifiée. On peut constater que la transition modifiée permet d'étendre notablement la plage de fréquence correspondant à des pertes en réflexion acceptables (-15dB ou -20dB par exemple).

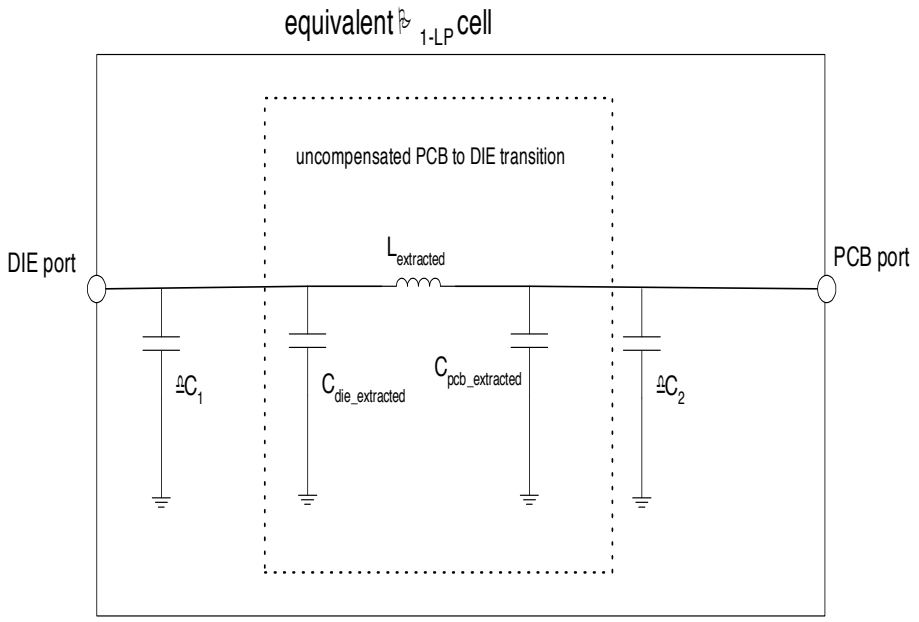


Figure 29 Filtre passe bas intégrant la transition carte-boîtier-circuit intégré

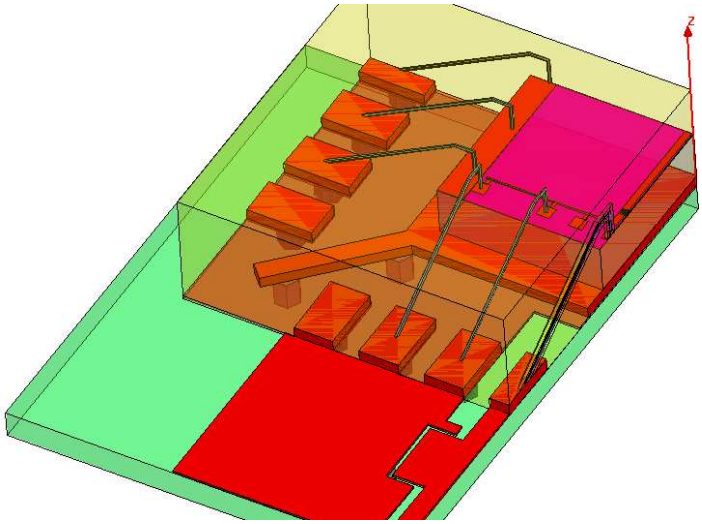


Figure 30 Modèle électromagnétique de la transition modifiée correspondant à une réponse de Chebyshev d'ordre 3 et d'ondulation 0.01dB et de fréquence de cassure 10.3 GHz.

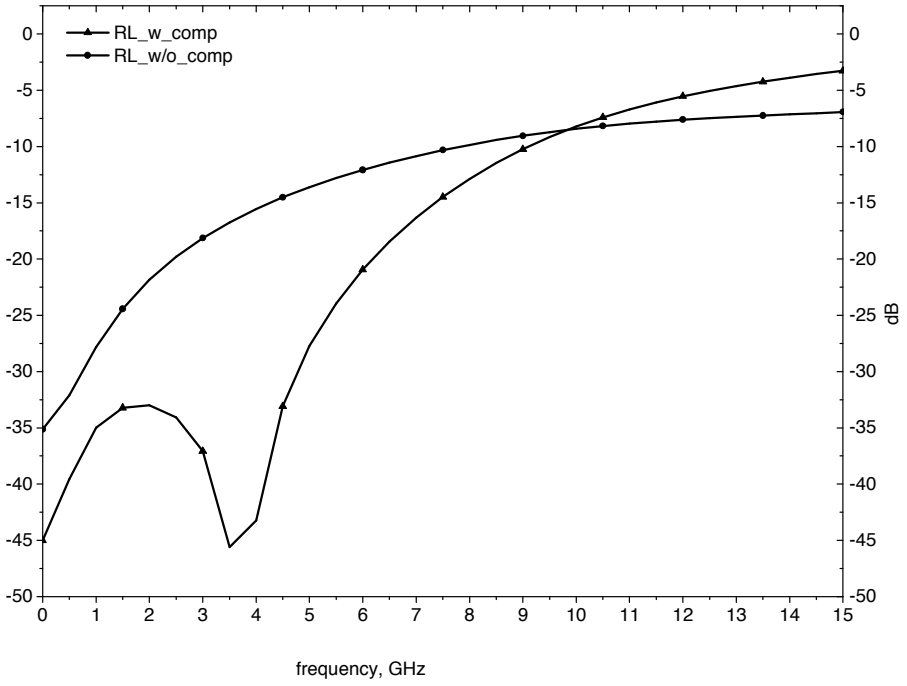


Figure 31 Réponses comparées de la transition initiale et de la transition modifiée.

5.2 Intégration de la transition carte-boîtier-circuit intégré dans un filtre de type passe bande

Une deuxième approche, intéressante pour la mise en boîtier de systèmes de type passe bande, consiste à intégrer la transition carte – boîtier – circuit intégré dans un filtre passe bande global faisant intervenir de éléments localisés coté circuit intégré, et des éléments distribués coté carte incluant la présence d'inverseurs d'admittances [35]. Cette approche permet, comme la précédente, d'obtenir un gain de performance significatif en terme de bande passante, de fréquence maximale d'utilisation, et de valeur d'adaptation, sans ajout de composants annexes sur la carte. En outre on obtient une fonction de filtrage supplémentaire sans modification significative des pertes d'insertion car la synthèse du filtre se fait par l'utilisation d'éléments à fort coefficient de qualité (bonding wires, tronçons de lignes sur la carte).

La Figure 32 montre le schéma électrique de la transition carte-boîtier-circuit intégré modifiée permettant de synthétiser un filtre passe bande d'ordre 3 dont la topologie est donnée sur la Figure 33.

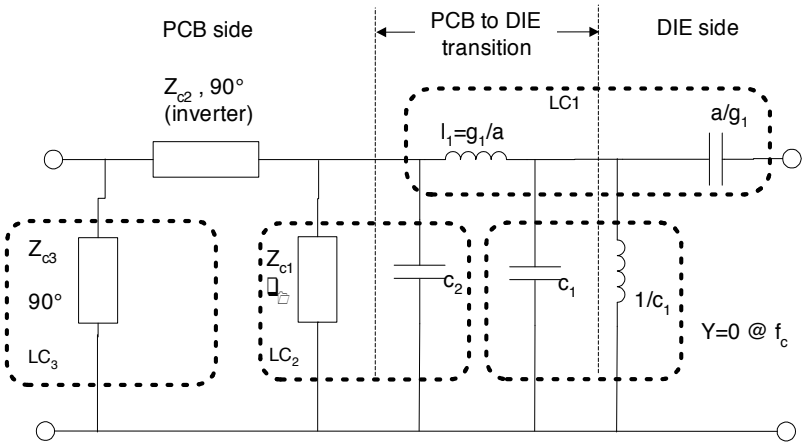


Figure 32 Schéma électrique normalisé de la transition carte-boîtier-circuit intégré modifiée.

Le filtre est synthétisé par trois résonateurs notés LC1 LC2 LC3 sur la Figure 32. Un troisième résonateur de faible coefficient de qualité ($c_1//1/c_1$) permet d'annihiler l'effet de la capacité du plot d'entrée du circuit intégré c_1 dans la bande passante recherchée. Ce résonateur nécessite l'implémentation de l'inductance $1/c_1$ dans le circuit intégré. Le résonateur série LC1 est constitué par l'inductance l_1 qui est fixée par la topologie du boîtier utilisé et par une capacité MIM de valeur normalisée $1/l_1$ sur le circuit intégré.

Les deux autres résonateurs du filtre, LC2 et LC3, sont constitués par des lignes quart d'onde en court circuit. La capacité parasite c_2 de la transition coté carte est absorbée dans le résonateur quart d'onde LC2 en modifiant la fréquence d'accord de ce dernier. L'équivalence avec la topologie représentée sur la Figure 33 est obtenue en utilisant la lignes quart d'onde d'impédance ZC2 qui joue le rôle d'un inverseur d'admittance autour de sa fréquence centrale.

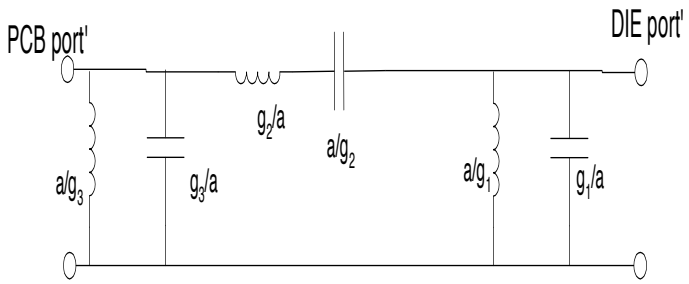


Figure 33 Schéma normalisé du filtre passe bande équivalent à la transition modifiée.

La Figure 34 montre le modèle électromagnétique d'une transition modifiée de ce type dans le cas du boîtier MLF présenté au paragraphe précédent et pour une utilisation dans la bande UWB ECC 6-8.5GHz. Les lignes de transmission sont de type coplanaires et le filtre passe bande correspond à une réponse de Chebyshev d'ordre 3 de bande relative 35%. Les performances obtenues en simulation sont données sur la Figure 35. Ces résultats utilisent les résultats de la simulation électromagnétique pour ce qui concerne le circuit imprimé et le boîtier et les modèles de la technologie pour ce qui concerne le circuit intégré. Tous les détails concernant les matériaux et la technologie du boîtier sont donnés dans la référence [35]. Les pertes d'insertion dans la bande passante présentent une léger accroissement de 0.5dB par rapport à celles de la transition brute. Néanmoins la transition modifiée permet d'intégrer le filtre passe bande et permet d'obtenir un coefficient de réflexion bien inférieur (Cf. Figure 31).

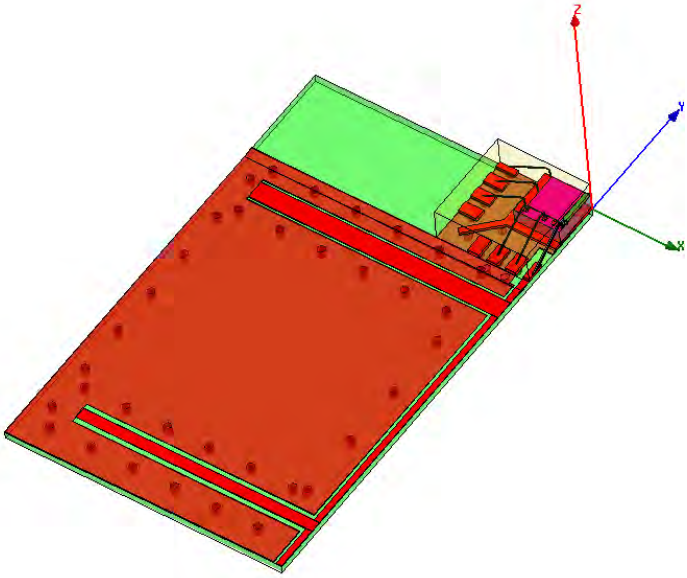


Figure 34 Modèle électromagnétique de la transition modifiée.

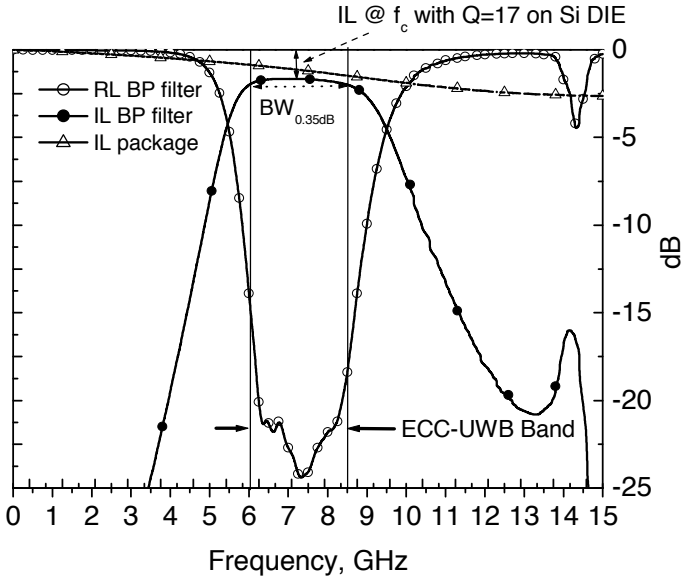


Figure 35 Coefficients de réflexion et de transmission de la transition modifiée.

6 CONCLUSION

Nous avons présenté dans ce chapitre nos travaux concernant l'amplification large bande pour systèmes intégrés CMOS.

Pour ce qui concerne les amplificateurs large bande à adaptation LC nous avons proposé une nouvelle architecture d'amplificateurs qui permet de contrôler des bandes passantes relatives de faibles étendues. Cela permet de répondre aux besoins la nouvelle norme ECC 6-8.5GHz dont la bande passante ne pouvait être obtenue avec l'architecture traditionnelle proposée dans la référence [22]. Pour les grandes bandes relatives qui correspondent à la norme FCC 3.1-10.6GHz nous avons proposé une amélioration de l'architecture donnée dans [22]. Pour ces deux types d'amplificateurs nous avons proposé une méthode de dimensionnement qui permet d'optimiser le facteur de bruit et l'amplification en tension. Les résultats obtenus avec ces architectures ont été comparés aux divers résultats publiés à ce jour et montrent des performances intéressantes en terme de compromis amplification/bruit/consommation.

Pour ce qui concerne les amplificateurs distribués CMOS nous avons cherché à maximiser les performances réalisables en terme de produit gain-bande passante dans les technologies standard. Une méthode de conception basée sur la minimisation des pertes dans les lignes artificielles dans le contexte de ces technologies nous à permis d'obtenir un prototype qui présente l'état de l'art des performances en terme de produit gain-bande passante pour une technologie CMOS standard.

7 BIBLIOGRAPHIE

[1] E. L. Ginzton, W. R. Hewlett, J. H. Jasberg, and J. D. Noe, "Distributed amplification," *Proc. IRE*, vol. 36, pp. 956–969, Aug. 1948.

[2] W. S. Percival, "Thermonic valve circuits," British Patent 460 562, Jan. 25, 1937.

[3] B. M. Ballweber, R. Gupta, and D. J. Allstot, "A fully integrated 0.5–5.5-GHz CMOS distributed amplifier," *IEEE J. Solid-State Circuits*, vol. 35, pp. 231–239, Feb. 2000.

[4] H-T Ahn, D. J. Allstot, "A 0.5–8.5-GHz Fully Differential CMOS Distributed Amplifier", *IEEE J. Solid-State Circuits*, vol. 37, NO. 8, Aug. 2002, pp. 985-993.

[5] R.-C. Liu, C.-S. Lin, K.-L. Deng, and H. Wang, "A 0.5-14-GHz 10.6-dB CMOS cascode distributed amplifier", Symp. VLSI Circuits Dig. of Tech. Papers, June 12–14, 2003, pp. 139–140.

[6] M-D. Tsai, K-L. Deng, H. Wang, C-H. Chen, C-S Chang, and J. G.J. Chern, "A Miniature 25-GHz 9-dB CMOS Cascaded Single-Stage Distributed Amplifier," *IEEE Microwave and Wireless Components Letters*, vol. 14, pp. 554-556, 2004

[7] H. Shigematsu, M. Sato, T. Hirose, F. Brewer, and M. Rodwell, "40 Gb/s CMOS Distributed Amplifier for Fiber-Optic Communication Systems," presented at 2004 IEEE International Solid-State Circuits Conference, 2004.

[8] F. Zhang and P. Kinget, "Low power programmable-gain CMOS distributed LNA for ultra-wideband applications", *Symp. VLSI Circuits Dig. Tech. Papers*, Jun. 2005, pp. 78–81.

[9] L-H Lu, T-Y Chen, and Y-J Lin, "A 32 GHz Non-Uniform Distributed Amplifier in 0.18 μm CMOS," *IEEE Micowave and Wireless Components Letters*, vol. 15, pp. 745-747, 2005

[10] M. Egels, J. Gaubert, P. Pannier et S. Bourdel, "*A 52 GHz, 8.5 dB Traveling Wave Amplifier in 0.13 µm standard CMOS process*", IEEE RFIC2007, Honolulu, Hawaii USA, 3-8 Juin 2007.

[11] T. H. Lee, The Design of CMOS Radio-Frequency Integrated Circuits, 1st edition, New York: Cambridge Univ. Press, 1998.

[12] A. J. Scholten, L. F. Tiemeijer, R. Van Langevelde, R. J. Havens, A. T. A. Zegers-van Duijnhoven, and V. C. Venezia, "Noise modeling for RF CMOS circuit simulation," *IEEE Trans. Electron Devices*, vol. 50, no. 3, pp. 618–632, Mar. 2003.

[13] S. Andersson, C. Svensson, and O. Drugge, "Wideband LNA for a multistandard wireless receiver in 0.18 µm process," in Proc. Eur. Solid State Circuits Conf. (ESSCIRC), Sep. 2003, pp. 655–658.

[14] R. Gharpurey, "A broadband low-noise front-end amplifier for ultra wideband in 0.13 _m CMOS," in *Proc. IEEE Custom Integrated Circuits Conf.*, Oct. 2004, pp. 605–608.

[15] Wang S. B. T., Niknejad A. M., Brodersen R. W., "A Sub-mW 960 MHz Ultra-Wideband CMOS LNA," présenté à RFIC 2005.

[16] Kim C. W., Jung M. S., Lee S. G., "Ultra-wideband CMOS low noise amplifier," *IEE Electronics Letters*, Vol: 41 n° 7, pp., 31 Mars 2005.

[17] C.-W. Kim, M.-S. Kang, P. T. Anh, H.-T. Kim, and S.-G. Lee, "An ultra wide-band CMOS low-noise amplifier for 3–5-GHz UWB system," *IEEE J. Solid-State Circuits*, vol. 40, no. 2, pp. 544–547, Feb. 2005.

[18] F. Bruccoleri, E. A. M. Klumperink, and B. Nauta, "Wide-band CMOS low-noise amplifier exploiting thermal noise Cancelling", *IEEE J. Solid-State Circuits*, vol. 39, no. 2, pp. 275–282, Feb. 2004.

[19] C.-H. Wu, C.-H. Lee, W.-S. Chen, and S.-I. Liu, "CMOS Wideband Amplifiers Using Multiple Inductive-Series Peaking Technique", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 40, NO. 2, FEBRUARY 2005.

[20] K.-H. Chen, J.-H. Lu, B.-J. Chen, S.-I. Liu, "An Ultra-Wide-Band 0.4–10-GHz LNA in 0.18-_m CMOS", IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—II: EXPRESS BRIEFS, VOL. 54, NO. 3, MARCH 2007, pp. 217-221.

[21] C.-F. Liao, S.-I. Liu, "A Broadband Noise-Canceling CMOS LNA for 3.1–10.6-GHz UWB Receivers", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 42, NO. 2, FEBRUARY 2007, pp. 329-339.

[22] A. Bevilacqua, A. M. Niknejad, "An Ultrawideband CMOS Low Noise Amplifier For 3.1-10.6-GHz Wireless Receivers", IEEE Journal of Solid-State Circuits, 2004, 39, (12), pp. 2259-2268.

[23] "*Méthodes de conception pour amplificateurs faible bruit pour systèmes intégrés UWB 3.1-10.6 GHz*" , J. GAUBERT, S. BOURDEL, PH. PANNIER, H. BARTHELEMY, M. BATTISTA, M. EGELS, 6ème Colloque Traitement Analogique de l'Information, du Signal et ses Applications, Marseille, 13 et 14 octobre 2005.

[24] A. Bevilacqua, C. Sandner, A. Gerosa, A. Neviani, "A Fully Integrated Differential CMOS LNA for 3–5-GHz Ultrawideband Wireless Receivers", IEEE Microwave and Wireless Components Letters, 2006, 16, (3) pp. 134-136.

[25] " *Design Method For broadband CMOS RF LNA* ", J. GAUBERT, M. EGELS, PH. PANNIER, S. BOURDEL, Electronics Letters, 2005, 41, (24), pp. 1513-1514.

[26] "*Amplificateurs faible bruit pour systèmes intégrés UWB utilisant des modulations de type impulsionnel* ", JEAN GAUBERT, MARC BATTISTA, MATTHIEU EGELS, PHILIPPE PANNIER, SYLVAIN BOURDEL, HERVE BARTHELEMY, 15èmes Journées Nationales Microondes, 23-24-25 Mai 2007 Toulouse.

[27] H-J Lee, D. S. Ha, S. S. Choi, "*A 3 to 5GHz CMOS UWB LNA with Input Matching using Miller Effect*", 2006 IEEE International Solid-State Circuits Conference.

[28] "*CMOS UWB transceiver for Impulse Radio*", S. BOURDEL, J. GAUBERT, M. BATTISTA, Y. BACHELET, G. BAS, The 2007 IEEE International Conference on Ultra-Wideband, ICUWB 2007, Singapore, September 24-26, 2007.

[29] Anatol I. Zverev, "*Handbook of Filter Synthesis*", John Willey & Sons (New York, 1967), chapter. 6.10.

[30] J.B. BEYER, S.N. PRASAD, R.C. BECKER, J. E. NORDMAN, G. K. HOHENWARTER, "Mesfet distributed amplifier design guide lines", *IEEE Tran. Microwave Theory and Techniques*, vol. 32, pp. 268-275, Mar. 1984.

[31] S. Kimura, Y. Imai, Y. Umeda, and T. Enoki, "Loss-Compensated Distributed Baseband Amplifier IC's for Optical Transmission Systems," IEEE Transactions on Microwave Theory and Techniques, vol. 44, pp. 1688-1693, 1996.

[32] B. Agarwal, A. E. Schmitz, J. J. Brown, M. Matloubian, M. G. Case, M. Le, M. Lui, M. J. W. Rodwell, "*112-GHz, 157-GHz, and 180-GHz InP HEMT Traveling-Wave Amplifiers*", IEEE Transactions on Microwave Theory and Techniques, vol.46, NO. 12, DECEMBER 1998, pp 2553-2559

[33] J.R Cubillo, J. Gaubert, S. Bourdel , H. Barthélemy, "*Simulation study of characterization test plan for a PCB to DIE transition in a fcCBGA application*.", 14th IEEE International Conference on Electronics, Circuits and Systems December 11-14, 2007, Marrakech, Morocco.

[34] J.R CUBILLO, J.GAUBERT, S.BOURDEL, H. BARTHÉLÉMY, P. PANNIER, "*A simple filtering approach to improve the return loss of a PCB to DIE transition trough a PBGA package for over GHz applications*", 11th IEEE WORKSHOP ON SIGNAL PROPAGATION ON INTERCONNECTS, May 13-16, 2007, Genova, Italy.

[35] J.R.CUBILLO, J.GAUBERT, S.BOURDEL, H.BARTHÉLÉMY, M.BATTISTA, M.EGELS, "*Ultra Wide Band Band Pass filter embedding a MLF low cost package with wire bound attach process*", 14th IEEE International Conference on Electronics, Circuits and Systems December 11-14, 2007, Marrakech, Morocco.

Chapitre 3

Convertisseurs RF/DC

pour la télé-alimentation haute fréquence en RFID

1 INTRODUCTION

Les besoins en terme de distance de communication des applications d'identification sans contact (RFID) ont conduit à la mise en œuvre récente de nouvelles normes dans la bande de fréquence UHF. Une des clefs de l'augmentation de la distance de fonctionnement dans les étiquettes RFID passives est la performance du circuit de télé-alimentation. Les premiers circuits industriels ont utilisé pour ces circuits une architecture de multiplieur de tension de type Dikson réalisée avec des diodes Schottky. Malgré les très bonnes performances dynamiques des diodes Schottky et leur faible tension de déchet les distances de fonctionnement mesurées sur les étiquettes de première génération étaient insuffisantes. De nombreux efforts de recherche ont été développés ces dernières années pour (i) optimiser le fonctionnement de ces circuits multiplieurs de tension, (ii) utiliser des composants actifs à plus faible coût de fabrication, (iii) proposer de nouvelles architectures.

La topologie des multiplieurs de tension de type Dikson étant connue l'amélioration de leurs performances résulte d'une meilleure modélisation de ceux-ci à partir des paramètres pertinents maîtrisés par le concepteur. En effet, le comportement fortement non linéaire de ces circuits, dont les éléments actifs travaillent en commutation, limite l'intérêt de l'utilisation des techniques d'optimisation souvent mises en œuvre en conception de circuit. Une des difficultés résulte du fait que le multiplieur est directement attaqué par l'antenne de l'étiquette sans contact. On peut montrer qu'en terme de transfert de puissance et de tension, cette antenne doit être adaptée en impédance au circuit. L'impédance d'entrée du circuit ayant un comportement fortement non linéaire, toute variation de paramètre se traduit par une modification de l'antenne optimale permettant d'évaluer les performances du circuit étudié. Cette difficulté entraîne la quasi impossibilité d'effectuer des analyses systématiques pour obtenir l'influence des paramètres de conception. En outre toute analyse de type temporel consomme un temps de calcul conséquent puisque la période de la porteuse qui attaque le multiplieur est inférieure de plusieurs décades aux constantes de temps des circuits d'alimentation. Ces difficultés ont longtemps retardé la réalisation de multiplieurs optimaux. Ce verrou a été levé en 2005 pour les composants bipolaires et les diodes Schottky par une modélisation des multiplieurs faisant intervenir les fonctions de Bessel

[1], la non linéarité intervenant en fonction du rapport de l'amplitude de l'onde de tension d'attaque du multiplieur à la tension thermodynamique.

2 ETAT DE L'ART

De nombreuses études sur les circuits de conversion RF/DC ont été effectuées dans le passé en particulier dans le domaine des micro-ondes. Toutefois dans le domaine de la RFID les puissances et les technologies mises en jeu sont très différentes. A quelques mètres d'un lecteur la puissance reçue par l'étiquette est de l'ordre d'une dizaine de μW et les technologies de réalisation doivent satisfaire à des exigences sévères en terme de coût de production. Les premier circuits spécifiques à la RFID ont été dimensionnés et optimisés en utilisant des modèles sommaires [2],[3],[4].

Dans la référence [1] les auteurs proposent une modélisation des convertisseurs RF/DC intégrés à plusieurs étages ou multiplieurs de tension utilisant des diodes bipolaires ou des diodes shottky comme composants actifs. Cette modélisation prend en compte la non linéarité de la caractéristique courant-tension et permet d'obtenir l'équation caractéristique du multiplieur suivante :

$$\left(1+\frac{I_U}{I_S}\right)\exp\left(\frac{V_U}{2NV_T}\right)=B_0\left(\frac{V_0}{V_T}\right) \tag{1}$$

où I_U est le courant statique délivré en sortie, I_S le courant de saturation de la diode, V_U la tension statique de sortie, V_0 l'amplitude crête de la tension RF d'attaque, N le nombre d'étages du multiplieur, V_T la tension thermodynamique, et B_0 le terme d'ordre 0 de la fonction de Bessel modifiée de première espèce.

Cette équation caractéristique permet de déterminer l'amplitude de la tension RF nécessaire à l'obtention des conditions de sortie désirées, en fonction du nombre d'étages et de la dimension des composants actifs au travers du courant de saturation.

Cette modélisation permet en outre d'obtenir la partie réelle de l'admittance d'entrée pour le premier harmonique. L'impédance d'entrée complète s'obtient en ajoutant l'effet des capacités de jonction des diodes. Il convient de remarquer que la détermination de l'impédance d'entrée correspondant à des conditions de sortie données est fondamentale pour la conception du multiplieur ainsi que pour la conception de l'antenne de

l'étiquette. En effet le caractère fortement non linéaire des multiplieurs de tension fait qu'il est difficile d'obtenir en simulation des conditions d'attaque qui correspondent à un point de fonctionnement désiré.

Enfin à partir des données précédentes on peut déterminer le rendement en puissance du multiplieur. Ce rendement étant affecté par les pertes liées au substrat conducteur des technologies à faible coût de fabrication la modélisation de l'impédance d'entrée proposée intègre les pertes substrat des diodes. Malheureusement l'étude très complète présentée dans cette publication n'est pas validée par des mesures et ne s'applique pas aux multiplieurs réalisés avec des diodes conçues à base de transistors MOS.

Dans la référence [5] les auteurs proposent une modélisation des multiplieurs de tension à base de transistors MOS. Les grandeurs caractéristiques du multiplieur s'obtiennent de manière phénoménologique à partir des caractéristiques mesurées ou simulées sur les diodes constitutives du multiplieur. La tension de polarisation de chaque diode MOS notée $\overline{V_D}$ s'obtient à partir de l'équation caractéristique du régime statique du multiplieur :

$$\int_0^T i_D\left[v_D(t)\right] dt = I_{\text{out}} T \tag{2}$$

où i_D et v_D sont respectivement le courant et la tension appliquée à la diode MOS, I_{OUT} le courant statique de sortie et T la période du signal RF.

A partir de la caractéristique statique courant tension de la diode MOS, on peut construire des abaques (Cf.Figure 1) qui permettent de relier la valeur de la polarisation de chaque diode à l'amplitude $\widehat{v_{IN}}$ pour des valeurs fixées du courant de sortie I_{OUT}. La tension de sortie du multiplieur s'obtient alors en fonction du nombre d'étages par l'équation :

$$V_{OUT} = 4N\overline{V_D} \tag{3}$$

Une procédure similaire permet de déterminer les éléments du schéma équivalent non linéaire du multiplieur donné sur la Figure 2. Le principal inconvénient de ce modèle tient à son caractère phénoménologique qui ne permet pas d'obtenir de manière directe l'effet des paramètres de conception que sont les dimensions des transistors et le nombre

d'étages. Ce modèle montre une bonne concordance avec les mesures et a été appliqué à la réalisation d'un multiplieur pour une application RFID dans une technologie CMOS sur substrat saphir qui présente un rendement d'une valeur de 37% très supérieur à ceux atteints dans les technologies à faible coût [6].

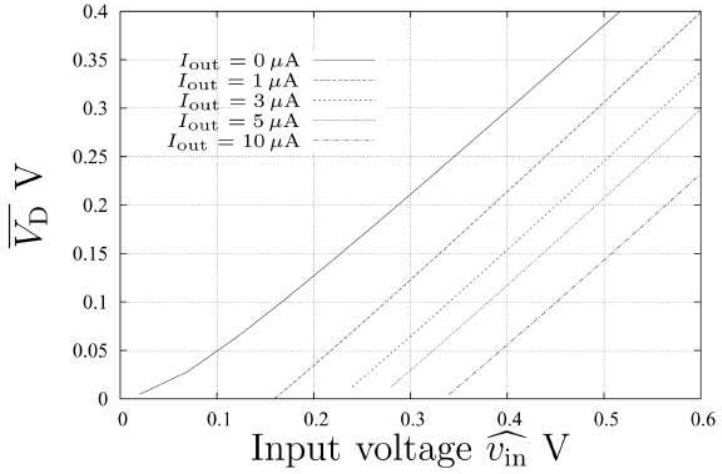


Figure 1 Abaque reliant la polarisation d'une diode MOS à l'amplitude de la tension RF [5].

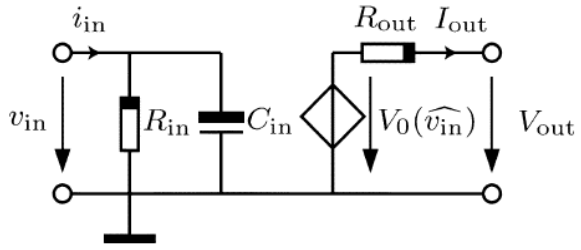


Figure 2 Schéma équivalent non linéaire du multiplieur

Dans la référence [7] les auteurs développent un modèle des multiplieurs de tension à base de diodes MOS qui permet de décrire l'influence des paramètres de conception sur la tension de sortie et le rendement du multiplieur. Ce modèle rend compte de l'influence du courant inverse circulant dans la diode MOS qui peut devenir important lorsque des transistors à très faible valeur de tension de seuil sont utilisés. L'effet des non linéarités est pris en compte classiquement au travers d'une caractéristique courant tension quadratique des transistors en régime de forte inversion mais avec une simplification valide pour les petits angles de conduction. Le modèle intègre l'effet des capacités parasites liées aux transistors ainsi qu'aux armatures des capacités MIM. Les équations caractéristiques du multiplieur pour le régime statique sont données par :

$$V_{\text{boost}} = V'_a - V_{tn} - \left(\frac{15\pi}{8} \frac{I_{o\text{eff}} \sqrt{2V'_a}}{\mu_n C_{\text{ox}} \left(\frac{W}{L}\right)} \right)^{2/5} \tag{4}$$

$$I'_{o\text{eff}} = I_o + \frac{I_{\text{so}}}{\pi} \cdot \frac{W}{L} \cdot (1 - e^{-V'_a/V_T}) \cdot (1 + \lambda_{\text{sub}} V'_a) \tag{5}$$

$$V'_a = \frac{C}{C + C_{\text{par}}} V_a \tag{6}$$

Dans ces expressions V_{boost} est la tension statique produite par chaque étage du multiplieur, V_a et V_a' respectivement l'amplitude du signal RF et la valeur effective vue par chaque diode compte tenu des capacités parasites (Cf. équation (6)), V_{tn} la tension de seuil des transistors MOS, W et L leurs dimensions, I_0 le courant de sortie du multiplieur et I_{0eff} le courant statique compte tenu des fuites liées au courant inverse dans les diodes. La principale faiblesse de ce modèle provient de ce que les pertes liées au substrat ne sont pas prises en compte. En outre aucun commentaire n'est donné sur la modélisation de l'impédance d'entrée. Les auteurs annoncent des rendements de conversion de l'ordre de 25% pour des multiplieurs comportant un nombre d'étages élevés (voisin de 10) dans une technologie CMOS de 0.18µm. C'est un résultat excellent pour une technologie standard et pour des puissances d'attaque typiques des application RFID. Toutefois aucun renseignement n'est fourni sur la tension de seuil des MOS utilisés ni sur la présence de circuits de protection pour les décharges électrostatiques sur les prototypes mesurés. En outre le bilan de puissance qui sert de base au calcul du rendement est fait dans des conditions de très forte désadaptation.

3 ETUDE DES MULTIPLIEURS DE TENSION INTEGRES

Nous limiterons cette étude aux multiplieurs de tension intégrés basés sur la topologie proposée par DIKSON fonctionnant en hautes fréquences, et plus particulièrement aux multiplieurs réalisables dans les technologies CMOS standard.

3.1 Architecture

L'architecture d'un convertisseur de tension RF/DC de type DIKSON (multiplieur de DIKSON) est représentée sur la Figure 3. Dans l'hypothèse de diodes idéales (interrupteurs unidirectionnels sans seuil) et de capacités de valeurs infinies, la tension continue de sortie vaut en régime permanent :

$$V_{DC} = 2\,N\,V_{RF} \tag{7}$$

N est le nombre d'étages du multiplieur, et V_{RF} l'amplitude de la tension sinusoïdale d'entrée.

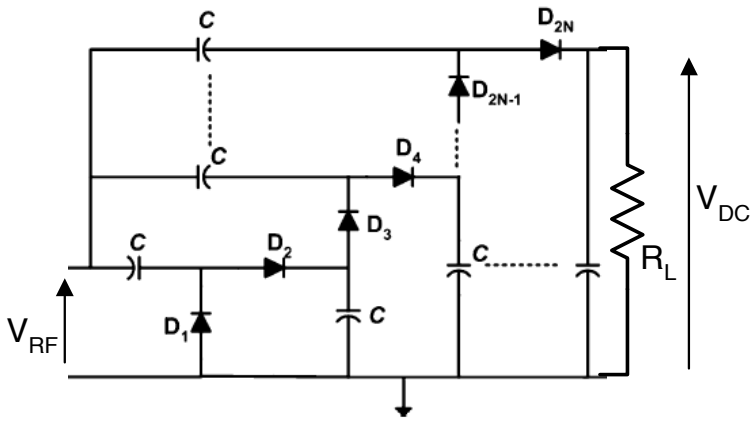


Figure 3 Architecture d'un convertisseur RF/DC de type DIKSON.

Lorsque le multiplieur est chargé il fournit un courant continu utile de valeur I_{DC} et l'on définit son rendement de conversion comme :

$$\eta_C = \frac{P_{DC}}{P_{RF}} \tag{8}$$

où P_{RF} est la puissance RF absorbée à l'entrée du multiplieur et P_{DC} la puissance utile en sortie. Dans les multiplieurs réels et dans la gamme de fréquence UHF ce rendement est nettement inférieur à l'unité en raison du seuil des redresseurs utilisés et des éléments parasites des divers composants. Les composants qui sont généralement utilisés pour réaliser la fonction de redressement sont les diodes schottky en raison de leur faible tension de déchet, et les transistors MOS montés en diode car ils ne nécessitent pas d'étape technologique supplémentaire dans une technologie CMOS standard.

3.2 Modélisation des multiplieurs à base de diodes Bipolaires ou Shottky

Description du modèle développé

La modélisation des multiplieurs à base de composants bipolaires pour les convertisseurs RF/DC UHF a été développée dans la référence [1]. La transposition de ces résultats aux diodes Shottky est immédiate puisque la relation courant-tension de

ces deux composants est décrite par la même loi non linéaire au coefficient de non idéalité près. Nous proposons ci-après une modélisation simplifiée de ces multiplieurs permettant de déterminer directement la valeur de l'excitation V_{RF} nécessaire à l'obtention d'un point de fonctionnement donné en sortie. En outre cette modélisation donne la valeur de l'impédance d'entrée dans les mêmes conditions, ce qui permet de connaître la puissance disponible nécessaire à l'obtention d'un point de fonctionnement donné, ou bien la distance de fonctionnement lorsque la puissance d'émission est fixée par une norme. Cette modélisation simplifiée est valide lorsque l'amplitude de l'excitation est grande devant l'unité thermodynamique V_T, ce qui correspond à la plupart des cas pratiques.

L'analyse du multiplieur en régime permanent montre que le courant continu I_{DC} qui alimente la charge R_L circule depuis la masse au travers de toutes les diodes D_I qui se trouvent en série pour ce régime. Si l'on considère que ces diodes sont identiques, on peut montrer que la tension continue V_{DC} se répartit également sur chaque diode dont la polarisation vaut :

$$V_{bias} = -\frac{V_{DC}}{2N} \tag{9}$$

Pour ce qui concerne le régime variable on peut considérer que la tension sinusoïdale d'entrée s'applique sur chaque diode si les valeurs des capacités C du multiplieur ont une impédance négligeable à la fréquence RF. En utilisant le modèle de diode donné sur la Figure 4 et la relation courant-tension classique :

$$i_D = I_S\left(e^{\frac{v_D}{nV_T}} - 1\right) \tag{10}$$

où I_S est le courant de saturation de la diode et n le coefficient de non idéalité, on obtient :

$$i_D = I_S\left(e^{-\frac{V_{DC}}{N\,n\,V_T}}\, e^{\pm\frac{V_{RF}}{n\,V_T}\cos(\omega_0 t)} - 1\right) \tag{11}$$

La décomposition du courant i_D en série de Fourrier permet de déterminer la relation entre le courant I_{DC}, la tension V_{DC} et l'amplitude de la tension alternative d'entrée V_{RF} :

$$I_{DC} = I_S\left(I_0(x)e^{-\frac{V_{DC}}{N\,n\,V_T}} - 1\right)$$
$$avec \quad x = \frac{V_{RF}}{nV_T} \tag{12}$$

Dans cette relation I(x) est la fonction de Bessel modifiée de première espèce.

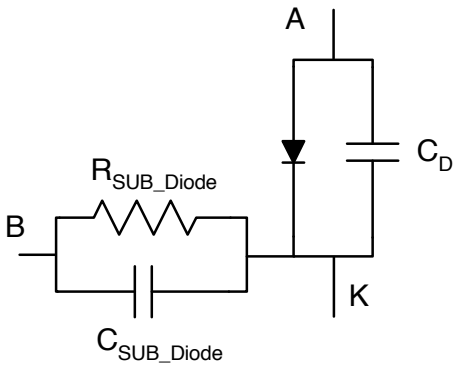


Figure 4 Modèle simplifié de la diode Schottky.

Lorsque l'on s'intéresse aux fonctionnement de multiplieurs qui alimentent des charges absorbant un courant très supérieur au courant de saturation on peut négliger le deuxième terme de l'équation (12). En outre, lorsque l'amplitude de la tension V_{RF} est grande devant l'unité thermodynamique V_T, on peut utiliser les simplifications :

$$\frac{I_1(x)}{I_0(x)} \approx 1 \quad lorsque \quad x = \frac{V_{RF}}{nV_T} >> 1 \tag{13}$$

$$I_0(x) \approx \frac{e^x}{\sqrt{2\pi x}} \quad lorsque \quad x = \frac{V_{RF}}{nV_T} >> 1 \tag{14}$$

Dans ce cadre d'hypothèse l'équation caractéristique d'un multiplieur à N étages permettant de relier la tension de sortie V_{DC} et son courant utile I_{DC} à l'amplitude de l'excitation V_{RF} est donnée par :

$$Ln\left(I_{DC}/I_S\right) = x - \frac{V_{DC}}{N\,n\,V_T} - \tfrac{1}{2}Ln(2\pi x) \;\; avec \;\; x = \frac{V_{RF}}{nV_T} >> 1 \tag{15}$$

Pour un objectif donné en terme de courant et de tension de sortie (V_{DC},I_{DC}), l'équation (15) permet de déterminer, pour un nombre d'étage N donné, l'amplitude de la tension V_{RF} nécessaire.

Dans le même cadre d'hypothèse l'amplitude I_{D1} du premier harmonique du courant circulant dans les diodes vaut :

$$I_{D1} \approx 2\frac{I_1(x)}{I_0(x)} I_{DC} \approx 2 I_{DC} \tag{16}$$

On peut donc déterminer la valeur de la partie réelle de l'admittance d'entrée pour le premier harmonique d'une diode :

$$R_{Diode} = \frac{V_{RF}}{I_{D1}} = \frac{V_{RF}}{2\, I_{DC}} \tag{17}$$

L'admittance d'entrée complète s'obtient en ajoutant les éléments parasites des diodes et des capacités MIM. En utilisant le schéma équivalent de la Figure 5 pour les capacités C du multiplieur et de la Figure 4 pour les diodes, on obtient pour la configuration optimale (en raison de la dissymétrie du modèle) l'admittance de sortie ci-dessous où l'effet des harmoniques d'ordre supérieur à 1 du courant ont été négligés :

$$\begin{aligned} &Y_{IN} = R_{IN} // C_{IN} \quad avec \\ &C_{IN} = N\left(2C_D + C_{SUB-Diode} + C_{SUB-MIM}\right) \\ &R_{IN} = R_1 // R_2 \\ &R_1 = \frac{R_{Diode}}{2N} \quad R_2 = \frac{1}{N}\frac{R_{SUB-Diode} R_{SUB-MIM}}{R_{SUB-Diode} + R_{SUB-MIM}} \end{aligned} \tag{18}$$

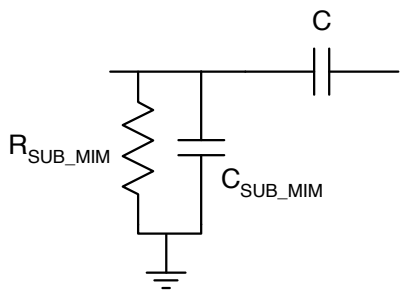


Figure 5 Schéma équivalent simplifié d'une capacité MIM.

Validation du modèle à partir de modèles "fondeur"

La modélisation présentée au paragraphe précédent a été validée en comparant les résultats prévus par le modèle analytique aux résultats de simulation obtenus en utilisant la bibliothèque d'une technologie CMOS représentative des applications visées. Les modèles de la technologie incluent les éléments parasites vers le substrat. Les éléments

du schéma équivalent des diodes et des capacités MIM ont été caractérisés à partir de simulations en utilisant les modèles de la bibliothèque. Le modèle de la diode Schottky est un modèle ELDO de niveau 3. L'objectif des comparaisons modèle analytique simulation que nous présentons est de vérifier que les hypothèses faites pour le calcul des différents éléments non linéaires du schéma équivalent du multiplieur sont fondées.

Les comparaisons présentées sur les figures ci-dessous montrent que notre modélisation permet de prévoir avec une bonne précision l'amplitude nécessaire à l'obtention d'un point de fonctionnement donné en sortie de multiplieur, ainsi que la partie réelle de son admittance d'entrée pour différents nombre d'étages.

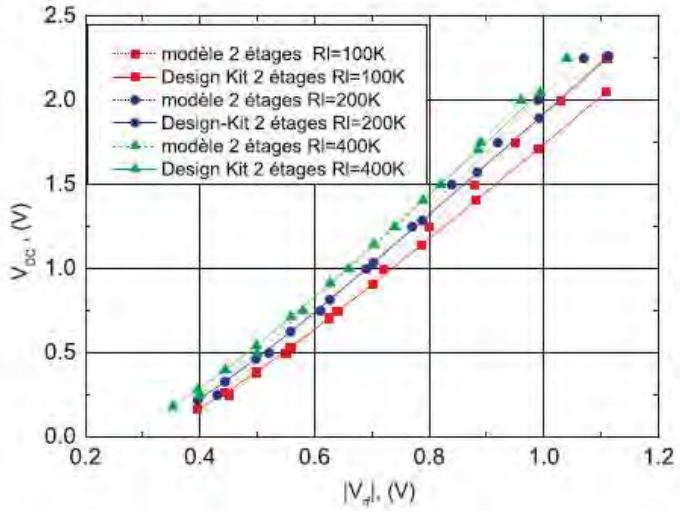


Figure 6 Comparaison modèle-design kit de la caractéristique en tension d'un multiplieur à diodes Schottky à 2 étages pour différentes charges.

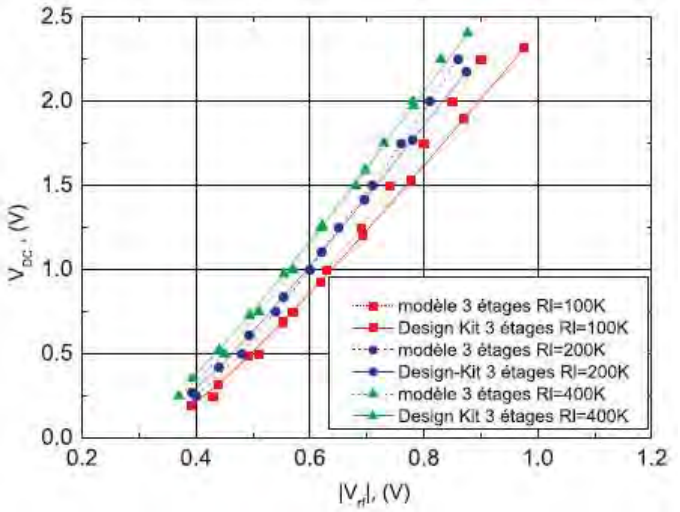


Figure 7 Comparaison modèle-design kit de la caractéristique en tension d'un multiplieur à diodes Schottky à 3 étages pour différentes charges.

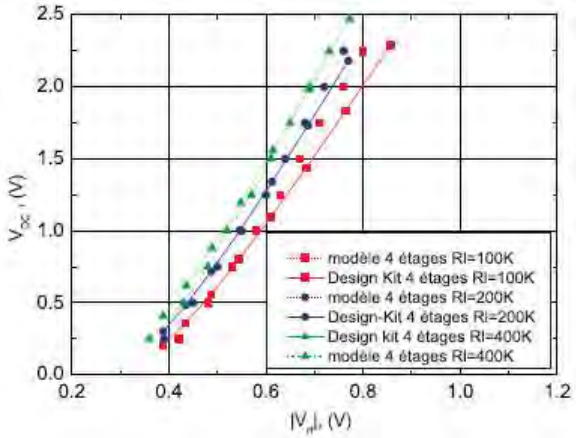


Figure 8 Comparaison modèle-design kit de la caractéristique en tension d'un multiplieur à diodes Schottky à 4 étages pour différentes charges.

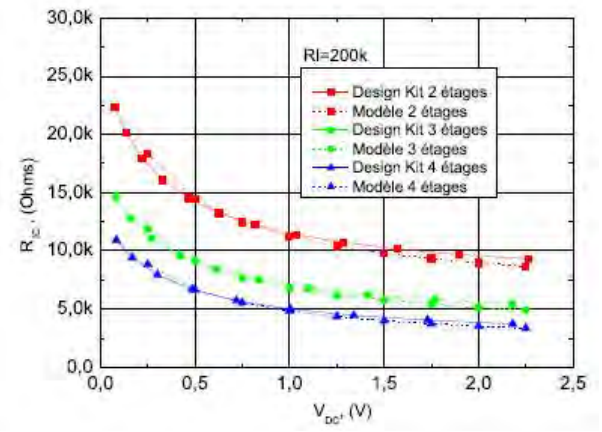


Figure 9 Comparaison modèle-design kit de la partie réelle de l'admittance d'entrée d'un multiplieur à diodes Schottky pour différents nombres d'étages.

3.3 Modélisation des multiplieurs à base de "diodes MOS"

Description du modèle

Les diodes Schottky sont des composants performants pour la réalisation de multiplieurs de tension dans la gamme de fréquence UHF car elles présentent un courant de saturation élevé en regard de leur surface active. On arrive donc à des diodes présentant un rapport courant/tension élevé pour le courant nominal associé à des valeurs de capacités et de pertes substrat faibles. Le principal inconvénient est le fait que ces composants ne sont pas disponibles dans les technologies standard car elles "coûtent" des étapes technologiques supplémentaires. Ce dernier inconvénient a motivé de nombreux travaux de recherche destinés à réaliser des multiplieurs dans des technologies standard en remplaçant les diodes Schottky par des transistors MOS

montés en diode. Nous décrivons dans la suite de ce paragraphe un modèle de multiplieur de tension à base de transistor MOS qui prend en compte la non linéarité de la caractéristique courant tension de cet élément actif et qui permet d'obtenir l'influence des paramètres de conception sur les caractéristiques du multiplieur [8].

Le schéma d'un multiplieur de tension à N étages à base de transistors MOS est donné sur la Figure 10. L'architecture est identique à celle du multiplieur à base de diodes Schottky donnée sur la Figure 3.

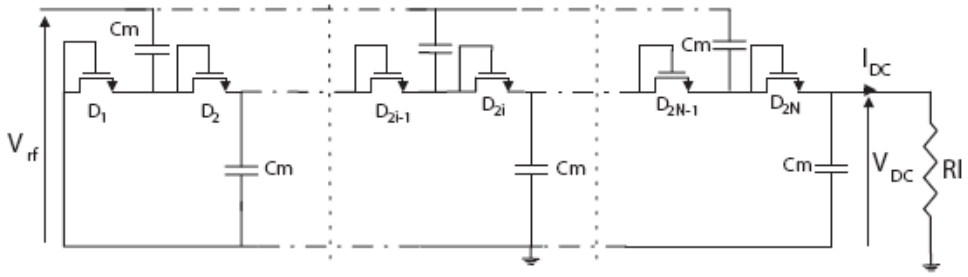


Figure 10 Schéma électrique d'un multiplieur à base de transistors MOS.

La différence essentielle provient de ce que la caractéristique courant-tension d'une diode à base de transistors MOS ne suit pas une loi de type exponentielle, mais plutôt quadratique lorsque les longueurs de grille sont élevées, ou bien quasi linéaire pour les transistors à grille submicroniques.

Nous nous plaçons, pour la suite du paragraphe sur la modélisation des multiplieurs MOS, dans l'hypothèse de transistors à canal long dont le courant en régime de forte inversion sera décrit par la loi simplifiée donnée en (19). Néanmoins la modélisation présentée est aisément transposable aux transistors submicroniques en utilisant une loi de type linéaire. Nous présentons notre modèle dans ce cadre d'hypothèse car la technologie qui nous a permis de le valider interdit le dessin des transistors à faible tension de seuil (MOS naturels) avec des longueurs de canal submicroniques.

$$I_{DS} = K_D \frac{W}{L}\left(V_{GS} - V_T\right)^2 \tag{19}$$

Dans la relation (19) K_D est une constante qui dépend de la technologie, et V_T la tension de seuil du transistor.

En faisant la même analyse du multiplieur à MOS que celle qui a été faite pour les multiplieurs bipolaires au paragraphe précédent, on peut déterminer le signal

d'excitation des diodes MOS qui est représenté sur la Figure 11. La tension V_{DS} est ainsi la superposition d'une polarisation V_{BIAS} donnée par la relation (9) avec le signal sinusoïdal d'amplitude V_{RF}.

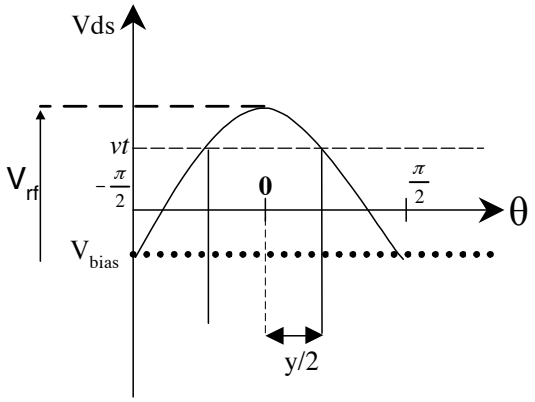


Figure 11 Excitation de la diode MOS dans le multiplieur de tension.

On peut déterminer à partir de la Figure 11 l'angle de conduction y du transistor défini comme l'intervalle où la tension grille source V_{GS} dépasse le seuil V_T.

$$y = 2 \arccos\left(\frac{V_T - V_{BIAS}}{V_{RF}}\right) \tag{20}$$

Cet angle de conduction est relié à l'amplitude de la tension RF par la relation :

$$V_{RF} = \frac{V_T - V_{BIAS}}{\cos\left(y/2\right)} \tag{21}$$

En considérant que le courant de drain est nul en dehors de la période de conduction, un développement en série de Fourrier permet de calculer la composante continue et les harmoniques du courant circulant dans les diodes MOS. On obtient, en utilisant la loi courant-tension (19), l'expression (22) qui permet de relier la tension de sortie V_{DC} et le courant utile I_{DC} du multiplieur à l'amplitude de l'excitation V_{RF}:

$$\begin{aligned} I_{DC} &= \frac{K_D W}{4\pi L} V_{RF}^2 \left[\left(1+2x^2\right)\arccos\left(x\right) - 3x\sqrt{1-x^2}\right] \\ avec \quad x &= \frac{V_T - V_{BIAS}}{V_{RF}} \end{aligned} \tag{22}$$

L'amplitude V_{RF} étant connue on peut calculer la valeur du fondamental du courant circulant dans chaque diode :

$$I_{D1} = \frac{K_D W}{2\pi L} V_{RF}^2 \left[\sqrt{1-x^2} \left(\frac{4+2x^2}{3} \right) - 2x \arccos(x) \right] \tag{23}$$

ainsi que la résistance équivalente de chaque diode pour le premier harmonique :

$$R_{MOS} = \frac{V_{RF}}{I_{DS1}} \tag{24}$$

L'admittance d'entrée complète s'obtient, comme pour le multiplieur à diodes Schottky, en ajoutant les éléments parasites des diodes MOS et des capacités MIM. En utilisant le schéma équivalent de la Figure 12 pour la diode MOS, on obtient pour la configuration optimale l'admittance de sortie ci-dessous où l'effet des harmoniques d'ordre supérieur à 1 du courant a été négligé :

$$\begin{aligned} &Y_{IN} = R_{IN} // C_{IN} \quad avec \\ &C_{IN} = N\left(2C_D + 2C_{SUB-MOS} + C_{SUB-MIM}\right) \\ &R_{IN} = R_1 // R_2 \\ &R_1 = \frac{1}{2N} \frac{R_{MOS} R_{SUB-MOS}}{R_{MOS} + R_{SUB-MOS}} \quad R_2 = \frac{R_{SUB-MIM}}{N} \end{aligned} \tag{25}$$

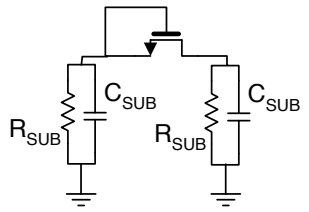


Figure 12 Modèle d'une diode MOS.

Validation du modèle à partir de modèles "fondeur"

La modélisation présentée au paragraphe précédent a été validée en comparant les résultats prévus par le modèle analytique aux résultats de simulation obtenus en utilisant la bibliothèque d'une technologie CMOS représentative des applications visées. Les modèles de la technologie incluent les éléments parasites vers le substrat. Comme pour la comparaison effectuée au paragraphe 0.0 les éléments du schéma équivalent des diodes MOS et des capacités MIM ont été caractérisés à partir de simulations en utilisant les modèles de la bibliothèque. Le modèle des transistors MOS est un modèle de type MM9. L'objectif des comparaisons modèle analytique simulation que nous

présentons est de vérifier que les hypothèses faites pour le calcul des différents éléments non linéaires du schéma équivalent du multiplieur sont fondées.

Les comparaisons présentées sur les figures ci-dessous montrent que notre modélisation permet de prévoir avec une bonne précision l'amplitude nécessaire à l'obtention d'un point de fonctionnement donné en sortie de multiplieur, ainsi que la partie réelle de son admittance d'entré pour différents nombres d'étages.

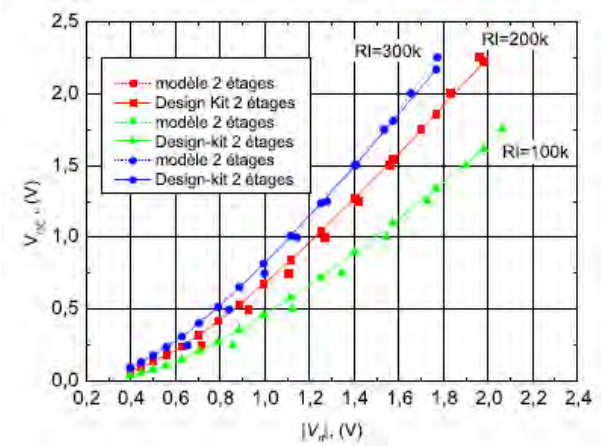


Figure 13 Comparaison modèle-design kit de la caractéristique en tension d'un multiplieur à diodes MOS à 2 étages pour différentes charges.

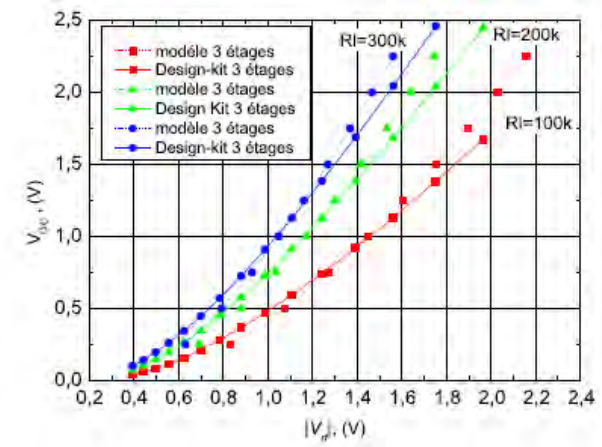


Figure 14 Comparaison modèle-design kit de la caractéristique en tension d'un multiplieur à diodes MOS à 3 étages pour différentes charges.

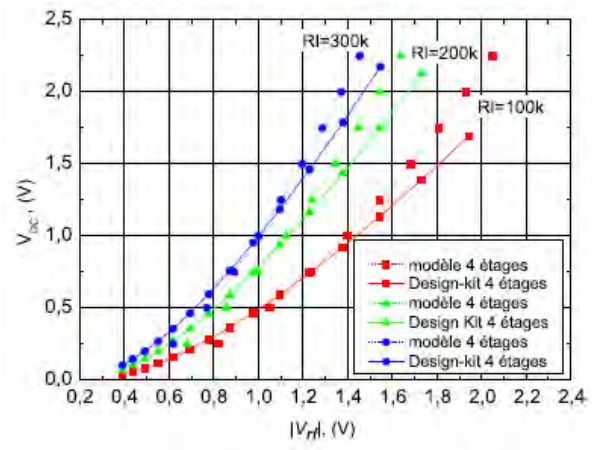


Figure 15 Comparaison modèle-design kit de la caractéristique en tension d'un multiplieur à diodes MOS à 4 étages pour différentes charges.

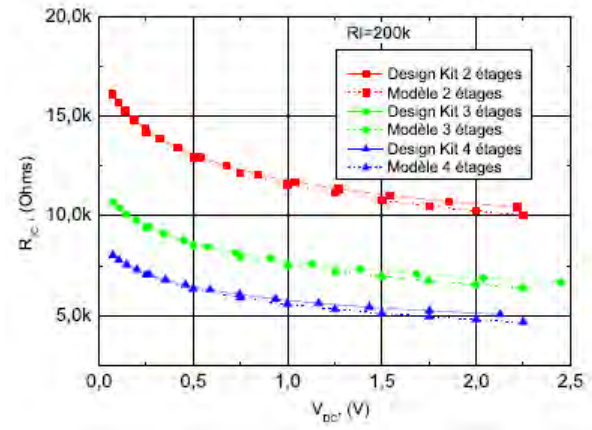


Figure 16 Comparaison modèle-design kit de la partie réelle de l'admittance d'entrée d'un multiplieur à diodes MOS pour différents nombres d'étages.

3.4 Conception d'un multiplieur de tension UHF à base de MOS

Nous avons utilisé le modèle développé au paragraphe 3.3 pour dimensionner un multiplieur de tension à MOS. Nous avons cherché à optimiser les paramètres accessibles au "designer" dans l'objectif d'atteindre un point de fonctionnement donné pour une puissance disponible en entrée minimale. Cet objectif revient à maximiser la distance de fonctionnement de l'étiquette UHF puisque la puissance disponible en sortie d'antenne dépend directement de la distance à l'émetteur dont la puissance d'émission est limitée par la norme. Les paramètres accessibles au "designer" sont principalement la longueur et la largeur des transistors MOS, et le nombre d'étages.

Les valeurs des éléments parasites, qui sont déterminés pour une taille donnée à partir du design kit de la technologie, suivent ensuite les lois d'échelle suivantes pour les transistors MOS et les capacités MIM :

$$C_{SUB} \propto W\,L$$
$$R_{SUB} \propto \frac{1}{\sqrt{W\,L}} \tag{26}$$

Par ailleurs, une capacité additionnelle correspondant à la capacité du plot d'entrée et à celle du dispositif de protection aux surcharges électrostatiques a été rajouté à l'expression de l'admittance d'entrée donnée en (25).

Influence du dimensionnement des transistors

Le modèle analytique développé permettant d'accéder à la valeur de l'amplitude de la tension RF nécessaire à l'obtention d'un point de fonctionnement et à l'impédance d'entrée du multiplieur pour ce même point, nous pouvons aisément en déduire la puissance d'entrée nécessaire et la distance de fonctionnement pour une norme donnée. Nous avons pu faire des études systématiques de l'influence des paramètres géométriques du transistor sur les caractéristiques du multiplieur de manière directe sans avoir à faire d'itérations comme cela aurait été nécessaire avec un simulateur et un design kit. La Figure 17 montre l'effet du dimensionnement du transistor sur la puissance d'entrée nécessaire à l'obtention d'une puissance continue en sortie caractéristique de la consommation d'applications RFID UHF.

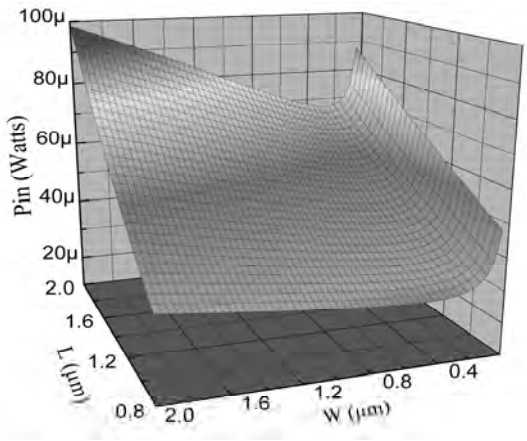


Figure 17 Effet de la longueur L et du développement de grille W sur la puissance nécessaire à l'obtention du point de fonctionnement P_{DC}=1.2V.3μA sur un multiplieur à 3 étages.

Influence du nombre d'étages

La table 1 présente l'influence du nombre d'étages du multiplieur sur la puissance nécessaire à l'obtention d'un point de fonctionnement P_{DC} donné. On peut constater que cette puissance croît avec le nombre d'étages du multiplieur en raison des différentes pertes vers le substrat qui affectent le rendement en puissance. Les multiplieurs à faible nombre d'étages nécessitent, pour travailler dans la condition d'adaptation d'impédance, des valeurs très élevées de la partie réelle du générateur équivalent d'attaque dans une configuration parallèle. Ces valeurs correspondent à des coefficients de qualité importants pour l'impédance interne de l'antenne ou pour la cellule d'adaptation qui ne sont pas réalisables dans des technologies à faible coût.

Table 1 Influence du nombre d'étages du multiplieur sur la puissance nécessaire à l'obtention d'un point de fonctionnement P_{DC} donné.

Nombre d'étages	1	2	3	4	5
P_{in} (μW) pour 1.2Vx3µA	40.89	52.4	65.7	79.61	93.7
P_{in} (μW) pour 1.7Vx3µA	-	63.9	76.35	89.73	103.5

Prototype de multiplieur à base de diodes MOS

Nous avons conçu un prototype de multiplieur de tension pour une technologie CMOS 0.18µm. Il a été optimisé pour obtenir le point de fonctionnement 1.2V, 3µA avec le minimum de puissance disponible d'entrée. La longueur des transistors et leur développement de grille ont été optimisés comme indiqué au 0.5 et en respectant les limitations imposées par la technologie utilisée. Les contraintes sur la faisabilité de l'antenne de l'étiquette ont conduit à choisir un nombre d'étages égal à 3. La photographie du prototype est donnée sur la Figure 18 et la surface occupée par le multiplieur est de 180 μm x 90 μm.

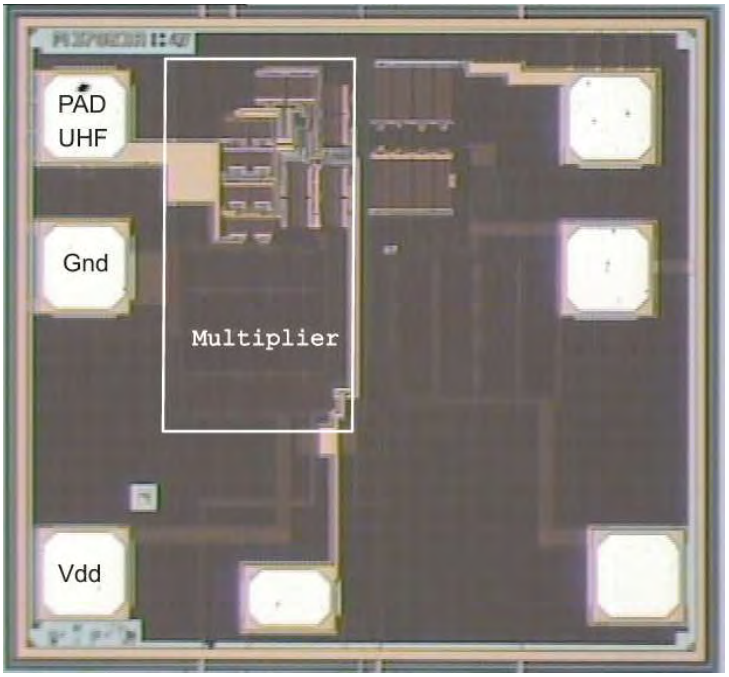


Figure 18 Photographie du circuit intégré incluant le prototype de multiplieur MOS.

La Table 2 présente les résultats de mesure sous pointes effectués au point de fonctionnement désiré ainsi que les résultats prévus par notre modèle analytique et par la simulation non linéaire avec le design kit de la technologie. On peut constater une bonne concordance pour les caractéristiques principales du multiplieur que sont l'impédance d'entrée et le rendement de conversion.

Table 2 Comparaison des résultats pour le point de fonctionnement 3 μA, 1.2V

	modèle	mesures	Simulation (DK)
Partie réelle	8.5KΩ	10 KΩ	8.666 KΩ
Partie imaginaire	503 fF	579 fF	509 fF
Rendement	5.5 %	6.3%	5.3%

Des mesures ont été effectuées en chambre anéchoïde sur un prototype assemblé avec une antenne adaptée à l'impédance du multiplieur pour le point de fonctionnement désiré. La Figure 19 montre qu'une téléalimentaion est possible à partir d'une distance de 4.75m. La prévision calculée à partir du modèle analytique et d'une antenne de gain 1dB montre une différence notable par rapport aux mesures. Les performances inférieures obtenues en mesure peuvent provenir des pertes liées au matériau utilisé pour réaliser l'antenne, à une différence de gain par rapport au gain d'antenne de 1dB prévu en simulation, et enfin à l'assemblage antenne/puce du prototype.

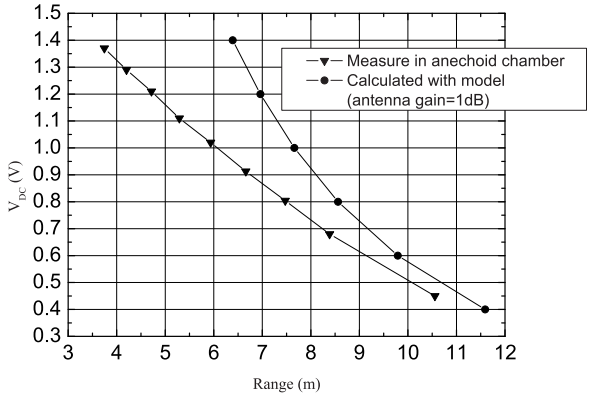


Figure 19 Tension de sortie du multiplieur en charge mesurée en chambre anéchoïque et prévue par le modèle analytique.

3.5 Nouvelles architectures pour la conversion RF/DC UHF

L'étude menée au paragraphe 0.5 montre que le rendement des multiplieurs diminue avec le nombre d'étages dans les technologies CMOS standard. A partir de ce constat nous avons évalué l'intérêt d'une architecture de convertisseur RF/DC plus complexe décrite sur la Figure 20 où la conversion RF/DC s'effectue avec un seul étage et où le niveau requis pour la tension continue de sortie VDC est ensuite atteint en utilisant une pompe de charge travaillant en basse fréquence [9],[10]. L'architecture proprement dite du convertisseur est encadrée en pointillé sur la Figure 20. Le multiplieur de tension à un seul étage ou rectifieur, sert à générer une tension continue qui alimente d'une part un oscillateur VCO et une pompe de charge cyclée par ce VCO. La pompe de charge sert à élever la tension DC fournie par le rectifieur avec un rendement élevé de manière à atteindre les exigences requises pour l'alimentation du micro-contrôleur qui pilote l'étiquette UHF. Il convient de noter que dans une architecture classique d'étiquette UHF un VCO est requis également mais uniquement pour le cyclage de la partie numérique.

Les performances mesurées sur la nouvelle architecture et sur un multiplieur conventionnel à 3 étages dans une même technologie CMOS 0.18µm sont données sur les figures ci-dessous.

La Figure 21 compare les rendements mesurés sur une charge de 400KΩ qui permet d'émuler la consommation du circuit intégré de l'étiquette. Au-delà de la puissance de -12dBm, qui correspond à la mise en route du VCO, la nouvelle architecture présente un

rendement plus important qui peut permettre d'alimenter une partie numérique de consommation plus élevée autorisant plus de fonctionnalités et de débit d'information.

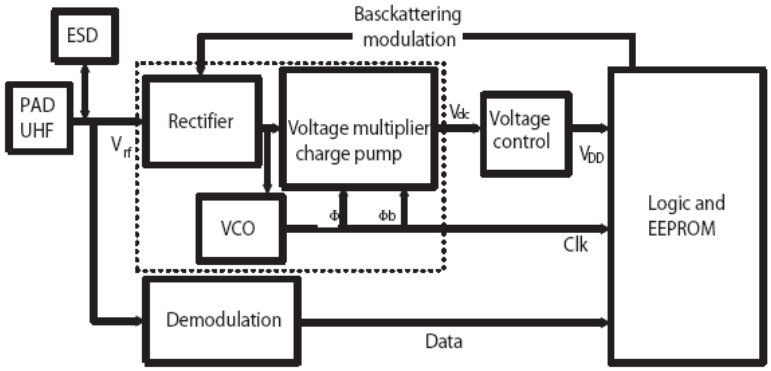


Figure 20 Architecture de convertisseur RF/DC utilisant une fréquence RF et une fréquence basse.

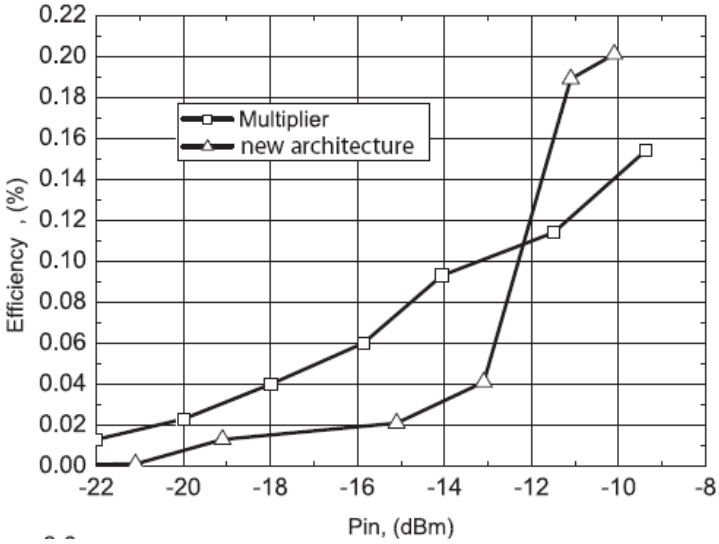


Figure 21 Rendement mesurés sur un multiplieur classique et sur la nouvelle architecture. La charge est une résistance de 400KΩ.

Sur la Figure 22 on peut comparer les tensions de sortie continue des deux multiplieurs. Nous avons également fait figurer la tension de sortie du rectifieur qui atteint 1V pour la puissance de -12dBm. Cette puissance correspond, en simulation, à la mise en route du VCO qui alimente la pompe de charge.

La Table 3 compare les performances en terme de puissance disponible pour le circuit intégré en fonction de la distance à l'émetteur. Cette distance est calculée à partir de la puissance nécessaire au convertisseur et en considérant une liaison en espace libre avec

une puissance d'émission de 4W et des gains d'antenne unitaires. On peut constater que la nouvelle architecture autorise des consommations nettement plus importantes.

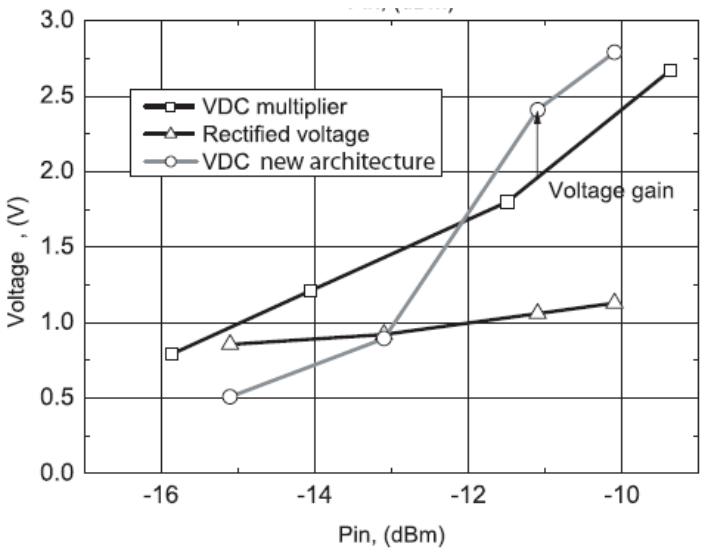


Figure 22 Tensions de sortie mesurées sur un multiplieur classique et sur la nouvelle architecture. La charge est une résistance de 400KΩ.

Table 3 Récapitulatif des performances mesurées sur les deux architectures.

Distance	8m	7m	6m
Puissance utile avec la nouvelle architecture	8µW	14.5µW	20µW
Puissance utile avec le multiplieur à 3 étages (VCO déduit)	5µW	8µW	13µW

4 CONCLUSION

Nous avons proposé une modélisation non linéaire des multiplieurs à base de transistors MOS qui permet au concepteur d'évaluer l'impact des paramètres de conception sur les principales performances du multiplieur. Avec ce modèle analytique le concepteur peut évaluer rapidement et sans optimisation (i) la distance de fonctionnement de l'étiquette sans contact, (ii) l'impédance optimale de l'antenne de l'étiquette, (iii) le rendement en puissance du multiplieur. Les paramètres de conception pris en compte dans le modèle sont : (i) le nombre d'étages du multipleur, (ii) le développement de grille et la longueur des MOST constitutifs. Cette méthode nous a permis de réaliser un circuit de télé-alimentation dans une technologie CMOS compatible EEPROM sans surcoût de niveau

de masques induit. Ce circuit autorise des distances de télé-alimentation de l'ordre de 5m validées par des mesures.

Notre travail a aussi porté sur l'évaluation de nouvelles architectures de convertisseurs RF/DC. Considérant que les multiplieurs fonctionnant avec une fréquence de porteuse élevée avaient un rendement en puissance faible en raison des pertes substrat, nous avons proposé une architecture constituée par un multiplieur à un seul étage, un oscillateur basse fréquence et basse tension d'alimentation alimenté par le multiplieur, et une pompe de charge à haut rendement. Une réalisation en technologie CMOS 0.18µm a démontré l'intérêt de cette architecture lorsque la charge du circuit est importante.

5 BIBLIOGRAPHIE

[1] G. De Vita, G. Iannaccone, "*Design Criteria for the RF Section of UHF and Microwave Passive RFID Transponders*", IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 53, NO. 9, SEPTEMBER 2005, pp. 2978-2990.

[2] U. Karthaus, M. Fischer,"*Fully Integrated Passive UHF RFID Transponder IC With 16.7-µW Minimum RF Input Power*", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 38, NO. 10, OCTOBER 2003, pp. 1602-1608

[3] Y. Yao, Y. Shi, and F. F. Dai, "*A novel low-power input-independent MOS AC/DC charge pump*" in *Proc. IEEE Int. Symp. Circuits Syst.*, May 2005, pp. 380–383.

[4] T. Umeda, H. Yoshida, S. Sekine, Y. Fujita, T. Suzuki, S. Otaka, "*A 950-MHz Rectifier Circuit for Sensor Network Tags With 10-m Distance*", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 41, NO. 1, JANUARY 2006, pp. 35-41.

[5] J-P. Curty, N. Joehl, F. Krummenacher, C. Dehollain, M. J. Declercq, " A Model for µ-Power Rectifier Analysis and Design", IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—I: REGULAR PAPERS, VOL. 52, NO. 12, DECEMBER 2005, pp. 2771-2779

[6] J-P. Curty, N. Joehl, C. Dehollain, M. J. Declercq, "*Remotely Powered Addressable UHF RFID Integrated System*", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 40, NO. 11, NOVEMBER 2005 pp. 2193-2202

[7] J. Yi, W-H Ki, C-Y Tsui, "*Analysis and Design Strategy of UHF Micro-Power CMOS Rectifiers for Micro-Sensor and RFID Applications*", IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—I: REGULAR PAPERS, VOL. 54, NO. 1, JANUARY 2007, pp. 153-166.

[8] "*Modeling and design of CMOS UHF voltage multiplier for RFID in a EEPROM compatible process*", E. BERGERET, J. GAUBERT, PH. PANNIER, J. M. GAULTIER, accepté pour publication dans IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—II.

[9] "*New power generation system for UHF passive RFID*", E. BERGERET, J. GAUBERT , P. PANNIER, and P.RIZZO, Electronics Letters, 2006, 42, (25), pp. 0013-5194.

[10] "*Standard CMOS voltage multipliers architectures for UHF RFID applications : study and implementation.*", E. BERGERET, J. GAUBERT, P. PANNIER, IEEE International Conference on RFID 2007, Grapevine, Texas, USA, March 27-28, 2007.

Conclusion générale

1 CONCLUSION.

Ce mémoire synthétise les activités de recherche que nous avons développé depuis 2001 au L2MP en conception de circuits et systèmes intégrés analogiques sur les thèmes :

- Amplificateurs faible bruit accordés pour systèmes intégrés communicants,
- Amplificateurs bas niveau large bande,
- Convertisseurs RF/DC pour la télé-alimentation haute fréquence en RFID,
- Méthodes d'interfaçage Circuit Intégré/Boîtier/Carte.

Dans le premier chapitre consacré aux amplificateurs faible bruit accordés pour systèmes intégrés CMOS nous avons proposé une nouvelle méthode de conception basée sur une analyse des expressions analytiques des paramètres de bruit qui permet de minimiser le facteur de bruit à l'adaptation en puissance. Cette méthode contrairement aux méthodes traditionnelles n'impose pas que la partie réelle présentée par l'élément actif soit égale à 50Ω. L'utilisation de ce degré de liberté supplémentaire autorise l'emploi de cellules d'adaptation totalement intégrables et qui peuvent être optimisées dans le but de réduire les pertes et de diminuer le facteur de bruit. Cette méthode de conception a été utilisée pour la réalisation, dans une technologie CMOS standard 0.28µm, d'un prototype fonctionnant à 2.45GHz. Les mesures montrent que le facteur de bruit est à l'état de l'art pour un LNA entièrement intégré.

Dans le deuxième chapitre, consacré à l'amplification large bande pour systèmes intégrés CMOS, nous avons proposé une nouvelle architecture d'amplificateurs à adaptation LC qui permet de contrôler des bandes passantes relatives de faibles étendues répondant aux besoins de la nouvelle norme ECC 6-8.5GHz dont la bande passante ne pouvait être obtenue avec les architectures traditionnelles. Pour les grandes bandes relatives, qui correspondent à la norme FCC 3.1-10.6GHz, nous avons proposé une amélioration de l'architecture traditionnelle. Pour ces deux types d'amplificateurs nous avons développé une méthode de dimensionnement permettant d'optimiser le facteur de bruit et l'amplification en tension.

Pour ce qui concerne les amplificateurs distribués CMOS nous avons cherché à maximiser les performances réalisables en terme de produit gain-bande passante dans les technologies standard. Une méthode de conception basée sur la minimisation des pertes dans les lignes artificielles dans le contexte de ces technologies nous a permis d'obtenir un prototype qui présente l'état de l'art des performances en terme de produit gain-bande passante pour une technologie CMOS standard.
Enfin concernant la mise en boîtier des circuits et systèmes intégrés faible coût nous avons développé une méthodologie permettant d'accroître notablement la bande passante des interfaces Circuit Intégré/Boîtier/Carte. De cette manière la mise en boîtier des applications hautes fréquences et large bande, comme les applications utilisant les standard UWB de la bande 3-10GHz, peut s'effectuer en utilisant des boîtiers à faible coût de fabrication qui ne pénalisent pas les avantages résultant de l'emploi des technologies CMOS standard en terme de coût.

Dans le troisième chapitre consacré aux convertisseurs RF/DC pour la télé-alimentation haute fréquence nous avons proposé une modélisation non linéaire des multiplieurs à base de transistors MOS qui permet au concepteur d'évaluer l'impact des paramètres de conception sur les principales performances du multiplieur. Cette méthode nous a permis de réaliser un circuit de téléalimentation dans une technologie CMOS compatible EEPROM sans surcoût de niveau de masques induit qui autorise des distances de télé-alimentation de l'ordre de 5m validées par des mesures dans le cadre des normes en vigueur en RFID UHF. Notre travail a aussi porté sur l'évaluation de nouvelles architectures de convertisseurs RF/DC. Nous avons proposé une architecture constituée par un multiplieur à un seul étage, un oscillateur basse fréquence et basse tension d'alimentation alimenté par le multiplieur, et une pompe de charge à haut rendement. Une réalisation en technologie CMOS 0.18µm a démontré l'intérêt de cette architecture lorsque la consommation de l'étiquette électronique est importante.

Dans ces différents domaines de recherche nous nous sommes attaché à dégager des méthodologies générales de conception qui ont pu être appliquées avec succès à la réalisation de différents prototypes répondants aux besoins d'applications industrielles.
Ces méthodologies s'appuient sur une analyse approfondie de l'état de l'art et sur la prise en compte des besoins spécifiques au domaine particulier des objets communicants à

faible coût de fabrication et d'exploitation.

La majeure partie des travaux présentés dans ce mémoire a été publiée sous forme d'articles dans des journaux et dans des conférences de référence dans notre domaine de recherche.