



HAL
open science

Réseaux de micro convertisseurs, les premiers pas vers le circuit de puissance programmable

Trung Hieu Trinh

► **To cite this version:**

Trung Hieu Trinh. Réseaux de micro convertisseurs, les premiers pas vers le circuit de puissance programmable. Energie électrique. Université de Grenoble, 2013. Français. NNT : . tel-00824938

HAL Id: tel-00824938

<https://theses.hal.science/tel-00824938>

Submitted on 22 May 2013

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

UNIVERSITÉ DE GRENOBLE

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **Génie Electrique**

Arrêté ministériel : 7 août 2006

Présentée par

Trung Hieu TRINH

Thèse dirigée par **Yves LEMBEYE** et
codirigée par **Jean-Christophe CREBIER** et **Nicolas ROUGER**

préparée au sein du **Laboratoire de Génie Electrique de
Grenoble** dans l'**École Doctorale Electronique,
Electrotechnique, Automatique & Traitement du signal**

**Réseaux de micro convertisseurs,
les premiers pas vers le circuit de
puissance programmable**

Thèse soutenue publiquement le « **09 Janvier 2013** »,
devant le jury composé de :

M. Eric LABOURE

Professeur à l'université Paris Sud, Président

M. François COSTA

Professeur à l'université Paris 12, Rapporteur

M. Bruno ESTIBALS

Professeur à l'université Paul Sabatier Toulouse, Rapporteur

M. Christian MARTIN

Maître de conférence à l'université Claude Bernard Lyon 1, Membre

M. Nicolas ROUGER

Chargé de recherche au CNRS, Co-encadrant

M. Jean-Christophe CREBIER

Chargé de recherche au CNRS, Co-encadrant

M. Yves LEMBEYE

Professeur à l'université Joseph Fourier Grenoble, Directeur de thèse



À mes parents

À ma famille Ly Na + Bastin

Remerciements

Je tiens premièrement à remercier le Ministère de l'Education Nationale Française qui a financé cette thèse avec laquelle j'ai eu l'occasion de suivre une étude de haute qualité.

Je remercie ensuite l'ensemble du Laboratoire de Génie Electrique de Grenoble qui m'a accueilli et m'a offert l'opportunité de faire cette thèse.

Et puis, je tiens à remercier M. François COSTA et M. Bruno ESTIBALS pour avoir accepté d'être rapporteur de mon travail et pour l'intérêt qu'ils ont porté à ce travail. Merci également à M. Eric LABOURE qui m'a fait l'honneur d'être le président de mon jury. Je remercie aussi M. Christian MARTIN pour sa participation au jury de ma soutenance de thèse.

Avec tous mes sentiments, je remercie à M. Yves LEMBEYE, mon directeur de thèse, qui était toujours à côté de moi tout au long de mes années de thèse. Il m'a donné non seulement les conseils scientifiques mais encore beaucoup d'encouragement. Je suis très heureux d'avoir eu l'honneur, la chance et le plaisir de travailler avec lui.

J'adresse mes sincères remerciements à M. Jean-Christophe CREBIER, mon encadrant du M2R et mon co-encadrant de la thèse, qui m'a orienté et m'a accompagné dans la recherche depuis que je suis étudiant du Master 2. Ses idées et ses solutions intéressantes ont apporté des améliorations importantes pour mon travail de thèse.

Je remercie sincèrement à Nicolas ROUGER, mon co-encadrant, avec ses aides durant mes travaux de thèse et pour nombreuses discussions avec ses conseils, remarques et suggestion expertes et avisées lors des réunions de travail, et aussi pour les corrections de mes rapports

Je voudrais adresser mes remerciements à tout le personnel du CIME-Nanotech que j'ai eu l'occasion de cotoyer durant ces trois années de thèse, Alexandre CHAGOYA pour son aide particulière et qui était toujours présent dès que j'avais un problème sur logiciel Cadence, Irène Pheng pour s'être occupé de réaliser les bondings quand j'en avais besoin, Delphine Constantin et Stéphane Litaudon pour leur aide et leurs conseils en salle blanche en premier temps. Merci également à M. Laurent MENDIZABAL qui m'a aidé de réaliser l'assemblage des composants par la technologie flip chip.

Merci également à M. Jean-Paul Ferrieux pour ses conseils pertinents à mes travaux.

Mes remerciements vont également au personnel technique du G2Elab qui m'a aidé dans mes travaux, M. Jean Barbaroux qui m'ont apporté leurs conseils, Gigi pour son rôle dans l'usinage des noyaux magnétiques en Ferrite.

Quant à mes collègues doctorants, je remercie premièrement à Timothé Simonot qui m'a aidé dans la conception du circuit intégré sous Cadence, Alexandre Collet pour ses aides dans l'utilisation du micro contrôleur ainsi que la réalisation du circuit PCB. Je remercie également à Luybomir Kerachev et Thanh Hai Phung pour plusieurs de discussion scientifique et le partage des expériences dans la conception et la mise en œuvre du convertisseur. Merci également à tous les personnes du G2Elab que j'ai heureusement croisé et que j'ai eu des échange d'idées intéressantes (Kremena, Antoine, Johan, Jean-Romain, Benoit...).

Je tiens à remercier chaleureusement aux potes de la promotion IPH-K46 (Kien-Mai, Minh- Minh, Hung-Mai, ...) pour les bons souvenirs depuis plus de dix ans. Merci également à tous les amis vietnamiens Hoa-Quynh, Tung-Chau, Van-Maria, Hai-Linh, Hai, Thanh, Hoang Anh, Phuong, Son, Linh, Long, Duc, Vinh, Phu, ...) avec qui j'ai passé des moments inoubliables en France.

Pour finir je réserve mon remerciement spécial aux membres de ma grande famille et de ma petite famille qui sont toujours à mon côté.

Merci encore à tous

Grenoble, Janvier 2013

TABLE DES MATIERES

TABLE DES MATIERES	1
Introduction générale	3
CHAPITRE I : Contexte et solutions pour les réseaux de micro convertisseurs	9
I.1. Contexte et objectif de travail	12
I.2. Approche conceptuelle du réseau de micro convertisseur	14
I.2.1. Introduction	14
I.2.2. Problèmes lors de la mise en réseau des CEs.	16
I.2.3. Configuration du réseau	18
I.3. Topologies de la CE pour l’approche réseau de micro convertisseurs	20
I.3.1. Critères du choix de la topologie.	20
I.3.2. Technologies disponibles pour la réalisation de la CE	21
I.3.3. Cahier des charges	24
I.3.4. Structure Flyback classique	26
I.3.5. Structure Dual Active Bridge (DAB)	30
I.3.6. Structure à résonance série	36
I.3.7. Comparaison et choix de la structure.....	39
I.3.8. Analyses du convertisseur DAB	41
I.4. Conclusions	48
 CHAPITRE II : Développement de la technologie de configuration du réseau de micro convertisseurs	 51
II.1. Introduction	54
II.2. Circuit de puissance programmable (CPP)	54
II.2.1. Circuit logique programmable dans l’électronique	55
II.2.2. Circuit de puissance programmable	58
II.3. Dispositifs de configuration – actionneurs fusibles-rupteurs	61
II.3.1. Positions et contraintes des dispositifs de configuration	61
II.3.2. Les structures pour la configuration – actionneurs fusibles – rupteurs intégrés sur silicium.....	63

II.4. Développement de la technologie de configuration.....	69
II.4.1. Conditions limites pour la configuration	69
II.4.2. Algorithme de configuration du CPP	70
II.4.3. Zones de réponse du CPP.....	79
II.4.4. Augmentation de la puissance transférable du CPP	82
II.5. Conclusions.....	84
 <i>CHAPITRE III : Conception et dimensionnement du convertisseur élémentaire pour le</i>	
<i>réseau de micro convertisseurs.....</i>	<i>87</i>
III.1. Introduction.....	90
III.2. Conception et intégration de la partie active	91
III.2.1. Conception de la puce active	92
III.2.2. Mise en œuvre et caractérisation.....	110
III.2.3. Conclusions sur les composants actifs.....	115
III.3. Composants passifs	115
III.3.1. Introduction	115
III.3.2. Conception du transformateur planar.....	116
III.4. Conclusions	136
 <i>CHAPITRE IV : Technologie d'hybridation – Résultats expérimentaux.....</i>	<i>139</i>
IV.1. Introduction.....	142
IV.2. La technologie flip-chip	142
IV.3. Etudes des performances électriques et thermiques des assemblages sur PCB.	
.....	144
IV.3.1. Etudes des performances électriques.	144
IV.3.2. Etudes des performances thermiques	148
IV.4. Procédés technologiques et réalisation.....	154
IV.4.1. Interconnexion par stud bumping en Or	154
IV.4.2. Réalisation pratique	159
IV.4.3. Caractérisation du micro convertisseur	163
IV.5. Conclusions	169
 <i>Conclusions générales et perspectives</i>	<i>173</i>
 <i>Références bibliographiques.....</i>	<i>179</i>

INTRODUCTION GENERALE

Les techniques de conception et de réalisation des convertisseurs d'électronique de puissance sont actuellement principalement basées sur l'association et l'assemblage de composants discrets. Ainsi un convertisseur peut être vu comme un ensemble de composants passifs et actifs interconnectés pour réaliser la fonction recherchée pour un cahier des charges donné. Chaque composant doit alors être choisi en fonction des contraintes qui lui seront imposées par ce cahier des charges. Cette approche nécessite donc une étude spécifique pour chaque fonction à réaliser ce qui va avoir plusieurs conséquences :

- La diversité des fonctions que l'on rencontre en électronique de puissance : convertisseurs AC/DC, DC/DC, DC/AC, isolés ou non ... mais aussi les larges domaines d'application : de quelques Watt à plusieurs Méga Watt, font qu'il est indispensable de maintenir un large panel de technologies et de composants passifs et actifs pour répondre à ces besoins.

- A chaque nouvelle application correspond un nouveau convertisseur, ce qui conduit à revoir et reconcevoir systématiquement de nouvelles structures de conversion et s'avère coûteux en temps et en argent. Eventuellement, cela peut conduire à des développements technologiques spécifiques qui, eux aussi, ont des conséquences sur le coût de développement des solutions d'électronique de puissance.

- La maîtrise des fonctions de conversion et des phénomènes, électriques, magnétiques, thermiques et mécaniques complexes et couplés qui interviennent dans le fonctionnement d'un convertisseur de puissance nécessite une excellente connaissance de l'électronique de puissance réservée aux seuls spécialistes du domaine. De plus, avec le processus d'intégration actuel, ce point devient de plus en plus critique.

- Les trois points précédents induisent des durées et des coûts de développement importants limitant ainsi la généralisation d'une électronique de puissance à haut rendement de conversion dans les applications grand public et industrielles. Ceci conduit à réduire la pénétration de l'électronique de puissance dans des applications de masse où elle permettrait de réduire la facture énergétique de notre civilisation.

Afin de contourner les difficultés énumérées ci-dessus, nous proposons dans ce travail une nouvelle approche permettant de répondre de manière totalement flexible à n'importe quel cahier des charges. Cette approche reprend, d'une certaine manière, l'évolution produite en électronique analogique avec l'avènement de l'amplificateur opérationnel. Elle vise à créer un composant unique appelé cellule élémentaire (CE), permettant de répondre à tout type de cahier des charges, par la mise en réseau d'un nombre plus ou moins important d'éléments (Réseau de micro convertisseurs $R_{\mu C}$). La grandeur à traiter dans toute application d'électronique de puissance étant l'énergie, c'est par association, en série et/ou en parallèle, de plusieurs de ces CE que l'on règlera les calibres en tension et/ou en courant du convertisseur à réaliser. La cellule étant générique, l'effort de développement peut être concentré, la fiabilisation et la gestion des retours de services grandement améliorée, cette approche permettrait de réduire de manière substantielle la pénétration de l'électronique de puissance mais aussi des nouvelles technologies dans les applications déjà existantes. Afin de détacher l'utilisateur de cette cellule

élémentaire, nous proposons ici de faire un pas en avant, en étudiant ce que pourrait être le « CPLD » de puissance. L'analogie que nous faisons ici avec l'électronique numérique n'est pas un hasard car nous souhaitons reproduire, en proposant un circuit de puissance programmable (CPP), ce qui a été déjà fait sur les circuits logiques.

Ce mémoire se décompose en quatre chapitres décrits ci-dessous.

Le premier chapitre intitulé « Contexte et solution pour les réseaux de micro convertisseurs » commence par présenter le contexte et les objectifs de ce travail de thèse. Ce chapitre sera l'occasion d'un premier état de l'art de la réalisation de convertisseurs fortement intégrés et traitera de la réalisation des composants actifs, des composants passifs et de l'hybridation de ces composants pour réaliser un convertisseur. S'en suivra une présentation du concept de réseau de micro convertisseurs (R μ C) afin de déterminer les contraintes sur la cellule élémentaire (CE), élément central du réseau, et d'en fixer le cahier des charges. Viendra ensuite le temps du choix de la topologie du convertisseur réalisant la CE adaptée aux contraintes du R μ C. Ce choix sera conduit en se basant sur les topologies de conversion DC-DC isolées classiques. Les trois meilleures structures seront retenues pour une comparaison technique entre elles afin de choisir la meilleure topologie sur les critères de l'intégration, et de l'efficacité. Le choix de la topologie Dual Active Bridge (DAB) est ensuite validé par des simulations et une première réalisation en composants discrets.

Le deuxième chapitre intitulé « Développement de la technologie de configuration du réseau de micro convertisseur », aborde la problématique de la programmation du CPP en recherchant, dans un premier temps, les actionneurs pouvant être mis en œuvre pour connecter entre elles les CE du R μ C. Ainsi, nous nous attacherons, dans un premier temps à rechercher quelle organisation entre CE et actionneurs il est nécessaire de mettre en œuvre pour permettre les connexions en série et en parallèle pour ce CPP. Cela nous permettra de définir les contraintes en tension et en courant que nos choix imposent sur ces actionneurs, Un choix de topologie globale du CPP sera proposé, minimisant ces contraintes tout en autorisant une grande souplesse dans l'utilisation de ce composant. Toujours dans le but de développer le CPP, nous nous attacherons ensuite à rechercher les solutions technologiques qui permettront de réaliser les actionneurs de configuration. Pour cela, différentes technologies telles que les fusible-rupteurs, des contacteurs MEMS ou les interrupteurs électroniques seront étudiées et comparées sur des critères technico-économiques afin de sélectionner la meilleure solution. Enfin, un algorithme de configuration permettant de donner au CPP la meilleure configuration pour n'importe quel cahier des charges sera présenté.

Au cours du troisième chapitre « Conception et dimensionnement du convertisseur élémentaire pour le réseau de micro convertisseur », nous aborderons le processus de conception et de dimensionnement des composants actifs et des composants passifs ainsi que l'hybridation de ces composants pour la réalisation de la CE. Des étapes de caractérisation de ces composants ainsi que de la CE réalisée dans un premier temps par une interconnexion des puces par la technologie des fils de bonding sont ensuite effectuées afin de confronter les résultats pratiques à ceux de simulation. Cette première

réalisation nous permettra de justifier les efforts importants qui vont devoir être faits sur l'hybridation des composants de la CE et se terminera par, notamment, une évaluation de la résistance parasite créée par les fils de bonding et son influence sur le rendement de la CE.

Le dernier chapitre intitulé « Technologie d'hybridation – résultats expérimentaux » présente tout d'abord la technologie flip-chip utilisée pour le report des puces de actives sur le PCB recevant les composants passifs. Cette technologie va nous permettre d'améliorer le rendement de la CE par rapport à celle présentée dans le chapitre précédent. Des étapes de caractérisation des performances électriques et des performances thermiques de la CE seront ensuite réalisées. Ce dernier chapitre se fini par la caractérisation des influences de l'inductance parasite de connexion sur les performances électriques et thermique du convertisseur et propose une réalisation intégrée de la CE offrant des performances à la hauteur des besoins des R μ C et du CPP.

CHAPITRE I :

Contexte et solutions pour les réseaux de micro convertisseurs

SOMMAIRE DU CHAPITRE I

CHAPITRE I : Contexte et solutions pour les réseaux de micro convertisseurs.....	9
I.1. Contexte et objectif de travail	12
I.2. Approche conceptuelle du réseau de micro convertisseur	14
I.2.1. Introduction	14
I.2.2. Problèmes lors de la mise en réseau des cellules élémentaires.....	16
I.2.3. Configuration du réseau	18
I.3. Topologies de la CE pour l'approche réseau de micro convertisseurs.....	20
I.3.1. Critères du choix de la topologie.	20
I.3.2. Technologies disponibles pour la réalisation de la CE	21
I.3.3. Cahier des charges	24
I.3.4. Structure Flyback classique	26
I.3.5. Structure Dual Active Bridge (DAB)	30
I.3.6. Structure à résonance série	36
I.3.7. Comparaison et choix de la structure.....	39
I.3.8. Analyses du convertisseur DAB	41
I.4. Conclusions	48

Ce chapitre présente tout d'abord sur le contexte et l'objectif des travaux de thèse dont l'objectif est de réaliser un circuit de puissance programmable appliqué spécifiquement à réalisation d'un convertisseur de puissance en associant plusieurs convertisseurs élémentaires. Le choix d'une topologie de conversion utilisée dans le réseau de micro convertisseur est ensuite présenté. Ce choix se base sur les topologies utilisées fréquemment dans le domaine d'électronique de puissance tels que la structure Flyback, résonance série, Dual Active Bridge. Des analyses et la manipulation de la topologie choisie sont ensuite abordées pour valider la topologie choisie.

I.1. Contexte et objectif de travail

Les systèmes de production, de conditionnement et de consommation de l'énergie électrique évoluent continuellement avec les apports de la technologie et grâce aux efforts consentis pour mieux utiliser et maîtriser l'énergie en général. Récemment, des systèmes de production ou de stockage d'énergie à base de cellules élémentaires montées en matrices ou en réseau ont fortement été mis en avant comme solutions partielles ou totales à nos besoins énergétiques [Vin08-Vix05-Che01]. Que ce soit les structures de production photovoltaïques, les systèmes de piles à combustible, ou encore les systèmes de stockage électrochimique, ces systèmes reposent sur l'association d'un nombre plus ou moins important de cellules élémentaires à interfacer avec le réseau de distribution ou les charges. Cela nécessite de mettre en œuvre des étages de conversion d'énergie et une structuration distribuée de ceux-ci paraît convenable pour ces systèmes – voir figure I.1. En effet, la plupart des cellules élémentaires de ces sources ou de ces batteries sont en "basse tension". Pour les connecter au réseau électrique, il est possible de les associer en série afin d'élever la tension et faciliter la gestion de l'énergie. Pour adapter totalement les grandeurs électriques aux contextes applicatifs, par exemple, la tension d'une installation solaire pour habitat résidentiel qui reste encore faible par rapport à la tension du réseau électrique, il est difficile d'utiliser un seul étage de conversion pour concilier les fortes contraintes de tension d'un côté et fortes contraintes du courant de l'autre côté [Xu99]-[Zha98]. L'approche "Réseau de micro convertisseurs" est adaptée à la conversion d'énergie pour ces systèmes. Il se compose de plusieurs convertisseurs élémentaires associés en série et/ou en parallèle. Cela permet alors de répartir les contraintes de tension et de courant sur les composants.

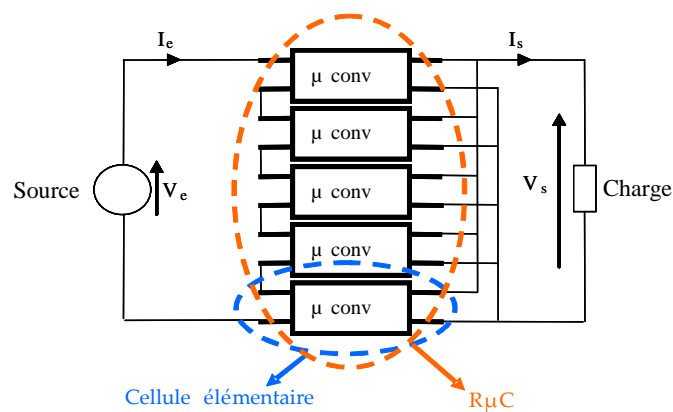


Figure I.1. Structure du réseau de micro convertisseurs - Association série en entrée et parallèle en sortie

L'approche réseaux de micro convertisseur (R μ C) a débuté voici quelques années au G2Elab dans le but d'offrir une alternative à la conception classique des convertisseurs. Le principe de base de cette approche est la mise en réseau de convertisseurs génériques de petite puissance et de faible tension (cellules élémentaires – abréviation pour la suite : CE), que l'on peut ensuite connecter en série et/ou

en parallèle suivant les tensions et les courants désirés en entrée et en sortie du convertisseur ainsi réalisé.

Cette approche présente beaucoup d'intérêts par rapport à une approche de conception classique visant à concevoir et réaliser un convertisseur spécifique pour un cahier des charges défini. En effet, sa conception est simple et le coût est réduit par la fabrication en grand nombre des composants identiques. Chaque CE du R μ C est générique, elle n'est conçue pour aucun cahier des charges spécifique donc sa conception est réalisée en une seule fois pour répondre à n'importe quel cahier des charges par association de CEs. La fabrication du grand nombre de convertisseurs en utilisant une même technologie et un même outil de fabrication peut abaisser son coût. De plus, elle a la possibilité d'offrir de la redondance et une bonne répartition des contraintes électriques et thermiques. En effet, les courants et les tensions dans chaque CE du R μ C sont identiques pour toutes les cellules, l'équilibrage étant assuré par les modes de connexion. Ainsi, dans le cas de cahiers des charges à fortes contraintes en tension ou à fortes contraintes en courant, il est possible de répartir les contraintes en tension en associant les CEs en série ou de répartir les contraintes en courant en les associant en parallèle. En revanche, le R μ C nécessite une gestion spécifique permettant d'ajouter ou d'éliminer une ou plusieurs CEs en fonction de la tension et de la puissance pour obtenir un bon taux d'utilisation de chaque CE (la puissance transférée dans chaque cellule est au plus près de la puissance nominale de la CE) ce qui permet de garder un bon rendement de la CE pour les différents cahiers des charges.

L'élément clé de l'approche de R μ C est ainsi la CE. En effet, des performances de celle-ci dépendent celles du réseau. Pour cela, nos efforts se sont tout d'abord portés sur l'amélioration des caractéristiques des composants actifs et passifs de puissance ainsi que sur l'environnement de ces derniers tels que le refroidissement, la connectique et la commande. Ces travaux sont conduits en veillant à la mise en oeuvre de techniques de réalisation et d'intégration toujours plus performantes, ainsi que sur la miniaturisation de ces structures et la réduction des coûts de fabrication en visant des procédés de fabrication collectifs. Les progrès technologiques permettent de pousser la miniaturisation à un niveau toujours plus élevé, que ce soit pour les composants actifs tels que les transistors Mosfet ou pour les composants passifs comme les inductances, les transformateurs ou les condensateurs.

Notre objectif sera ensuite de concevoir un circuit de puissance programmable qui intégrera dans un même circuit un nombre limité de CEs de convertisseur DC/DC. Leurs interconnexions seront commandables et configurables, suivant un programme de configuration défini par des dispositifs de configuration tels que des fusibles-rupteurs afin de créer un réseau de micro convertisseur qui puisse répondre à n'importe quel cahier des charges de tension d'entrée, de tension de sortie et de puissance transférée tout en gardant un bon rendement de conversion.

Les performances du R μ C étant directement liées à celles de la CE, notre première tâche est alors de rechercher et de concevoir la structure du micro convertisseur DC/DC parfaitement adaptée pour l'intégration et présentant de très bons niveaux de rendement pour les basses tensions tout en offrant une puissance volumique élevée. Il est à noter que cette topologie nécessite un étage d'isolation

galvanique pour répondre aux diverses applications et associations série - parallèle en entrée et en sortie du réseau de micro convertisseur.

La deuxième tâche sera liée au développement de techniques de configuration du R μ C par, d'une part, la création d'un programme permettant de définir le nombre des CEs nécessaires pour une application donnée ainsi que les modes de connexions entre les cellules. Plusieurs cas seront à envisager tels que parallèle en entrée / série en sortie (PISO), série en entrée / parallèle en sortie (SIPO), série en entrée / série en sortie (SISO) et parallèle en entrée / parallèle en sortie (PIPO). D'autre part, des études sur les dispositifs de configuration seront abordées pour développer les dispositifs de configuration : les interrupteurs permettant la configuration du R μ C.

I.2. Approche conceptuelle du réseau de micro convertisseur

I.2.1. Introduction

Les techniques de conception et de réalisation des convertisseurs d'électronique de puissance sont actuellement principalement basées sur l'association et l'assemblage de composants discrets [Che02-Dus08]. Ainsi un convertisseur peut être vu comme un ensemble de composants passifs et actifs interconnectés pour réaliser la fonction recherchée pour un cahier des charges donné. Chaque composant doit alors être choisi en fonction des contraintes qui lui seront imposées par ce cahier des charges. Cette approche nécessite donc une étude spécifique pour chaque fonction à réaliser ce qui va avoir plusieurs conséquences :

La diversité des fonctions que l'on rencontre en électronique de puissance : convertisseurs AC/DC, DC/DC, DC/AC isolés ou non ... mais aussi les larges domaines d'application : de quelques Watt à plusieurs Méga Watt, et de quelques volts à plusieurs centaines voire milliers de Volts font qu'il est indispensable de maintenir un large panel de technologies et de composants passifs et actifs pour répondre à ces besoins.

A chaque nouvelle application correspond un nouveau convertisseur, ce qui conduit à revoir et reconcevoir systématiquement de nouvelles structures de conversion ce qui s'avère coûteux en temps et en argent. Eventuellement, cela peut conduire à des développements technologiques spécifiques qui, eux aussi ont des conséquences sur le coût de développement des solutions d'électronique de puissance.

La maîtrise des fonctions de conversion et des phénomènes électriques, magnétiques, thermiques et mécaniques complexes et couplés qui interviennent dans le fonctionnement d'un convertisseur de puissance nécessite une excellente connaissance de l'électronique de puissance réservée aux seuls spécialistes du domaine. De plus, avec le processus d'intégration actuel, ce point devient de plus en plus critique.

Les trois points précédents induisent des durées et des coûts de développement importants limitant ainsi la généralisation d'une électronique de puissance à haut rendement de conversion dans les applications grand public et industrielles. Ceci conduit à réduire la pénétration de l'électronique de puissance dans des applications de masse où elle permettrait de réduire la facture énergétique de notre civilisation. Cela conduit aussi à ralentir la pénétration des nouvelles technologies, plus performantes, ce qui limite la valorisation des activités de recherche sur les composants, les matériaux et les nouvelles topologies.

Afin de contourner les difficultés énumérées ci-dessus, la démarche R μ C propose une nouvelle approche permettant de répondre de manière totalement flexible à n'importe quel cahier des charges. Cette approche reprend, d'une certaine manière, l'évolution produite en électronique analogique avec l'avènement de l'amplificateur opérationnel. Elle vise à créer un composant unique, appelé cellule élémentaire (CE), permettant de répondre à tout type de cahiers des charges, par la mise en réseau d'un nombre plus ou moins important d'éléments. La grandeur à traiter dans toute application d'électronique de puissance étant l'énergie, c'est par associations, en série et/ou en parallèle, de plusieurs de ces CEs que l'on règlera les calibres en tension et/ou en courant du convertisseur à réaliser. La cellule étant générique, l'effort de développement peut être concentré, la fiabilisation et la gestion des retours de services grandement améliorées. Par ailleurs, cette approche permettrait d'augmenter de manière substantielle la pénétration de l'électronique de puissance mais aussi des nouvelles technologies dans les applications déjà existantes. Dans un premier temps, nous limiterons cette étude aux seuls convertisseurs DC/DC et la Figure I.2 présente les schémas de convertisseurs réalisés par ce principe, les éléments DC/DC représentant les CEs. Dès lors, une structure performante et fiable, adaptable à un grand nombre de besoins doit être créée. En effet, le besoin final en termes de tension et de puissance étant atteint en associant, entre elles, des CEs, il n'y a alors plus besoin d'adapter la structure de puissance à l'application. Ainsi la conception des convertisseurs d'énergie en électronique de puissance se trouve simplifiée et devient accessible pour un plus grand nombre d'applications.

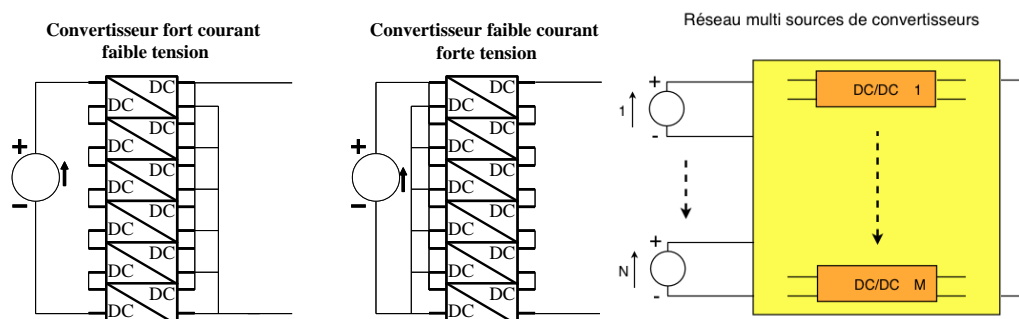


Figure I.2 : Association de CEs pour réaliser un convertisseur DC/DC

I.2.2. Problèmes lors de la mise en réseau des CEs.

Pour avoir une chance de mettre en place l'approche du R μ C, il est nécessaire de relever tout d'abord plusieurs défis liés à la CE et au réseau à proprement parler. Pour ce faire, nous avons choisi de partitionner la description des défis, des problèmes et des solutions proposées au niveau de la cellule puis au niveau du réseau de micro convertisseur et enfin au niveau des interactions entre les deux qui sont présentées ci-dessous [DanT09]:

I.2.2.a Le convertisseur opérationnel ou la CE

Les CEs utilisées dans le réseau doivent satisfaire tout type de connexions en série et/ou en parallèle en entrée et en sortie. Elles doivent être versatiles et autonomes et présenter un niveau élevé de rendement. En effet, la mise en œuvre d'un grand nombre de CEs au sein du réseau ne doit pas se traduire par un surcroît de complexité pour l'ensemble. De plus, l'ajout de cellules dans le réseau ne doit pas remettre en cause le contrôle de l'ensemble, ni même l'environnement du réseau de convertisseurs. Enfin, la structure doit être fiable et facilement intégrable par des procédés monolithiques et hybrides.

Si l'on souhaite que le R μ C soit capable de répondre à n'importe quel cahier des charges, les CEs le constituant doivent avoir un niveau de discrétisation suffisamment petit. Il est intéressant de noter que les CEs ne sont pas dimensionnées ni optimisées en fonction d'une application donnée mais pourront être optimisées pour offrir le meilleur rendement de conversion et le meilleur niveau d'intégration en fonction des caractéristiques technologiques. On regagne ainsi un degré de liberté qui peut être investi sur les points les plus importants de la problématique propre à la cellule tels que son intégration, ses performances, son autonomie. Cette démarche permet de maximiser les niveaux de performances de la structure élémentaire mais elle nous oblige à offrir un maximum de souplesse et d'adaptabilité à la matrice et aux cellules elles-mêmes.

En outre, le rendement de conversion de la CE semble être l'un des plus importants problèmes à résoudre. En effet, il est difficile de développer une structure de conversion faible tension faible puissance intégrant une isolation galvanique avec un rendement de conversion supérieur à 90%. L'état de l'art produit en la matière dans la thèse de O. Deleage permet d'en attester [Del09]. Il fait ressortir les problématiques liées à la conception, la réalisation et la mise en œuvre de composants basses tensions, très hautes fréquences, ultra performants. L'assemblage et l'intégration de ces composants tout en maintenant un niveau de fonctionnement optimal deviennent alors un vaste champ d'investigation allant des problèmes associés à l'intégration de structures faibles puissances et hautes fréquences : composants passifs et leur intégration hybride ou sur support Silicium, jusqu'à l'hybridation de la cellule complète en un package cohérent et compact [Dan09].

Nous sommes ici face à des challenges importants au niveau de l'intégration de l'ensemble, de la gestion des interactions dans un environnement réduit, que celles-ci soient électromagnétiques, électrostatiques ou encore thermiques mais également de la gestion avec l'extérieur et l'environnement, en général, incluant les transferts d'informations, l'isolation entre cellules mais aussi et surtout entre l'entrée et la sortie de chacune d'elles.

I.2.2.b Réseau de micro convertisseur.

Un certain nombre de problématiques spécifiques émergent lors de l'association des CEs au sein d'un réseau ou d'une matrice. Ces problèmes sont liés aux conditions de mise en œuvre des cellules et aux interactions entre elles. Il apparaît donc plusieurs points à résoudre :

- ❖ L'équi-répartition des courants, tensions et/ou transferts de puissance entre les cellules au sein d'un réseau est un problème important à résoudre lors de la mise en réseau pour assurer une bonne répartition des contraintes en tension et en courant sur chaque cellule. En fonction du type d'association entre les cellules, série ou parallèle, en entrée ou en sortie, le problème du déséquilibre peut devenir plus important. En effet, le problème de l'équi-répartition de la tension peut apparaître lors de mise en série des CE et le problème de l'équi-répartition du courant peut apparaître lors de la mise en parallèle des CE. Ces problèmes sont étudiés prioritairement par certains auteurs [Gir04] [Gir06] [Sir07] et [Lin07]. Ces études, menées sur des systèmes modulaires, traitent des problématiques de régulation et d'équilibrage proposent une expertise importante en fonction des types de connexions pour éviter les déséquilibres. Cette expertise, très importante, sera utilisée pour notre approche lors de la mise en réseau des CEs.
- ❖ Les couplages indésirables inhérents aux réseaux de convertisseurs créés, soit au niveau conduit, soit au niveau électromagnétique, électrostatique ou thermique compte tenu de la très forte proximité des cellules entre elles.
- ❖ La création de couplages positifs et leur mise en place avec, par exemple, des couplages thermiques permettant de contenir les effets des éventuelles disparités au niveau des cellules ou encore les couplages de type électromagnétique pour mutualiser les besoins et les matériaux et aussi pour réduire les besoins en filtrage [Dan06].
- ❖ Le transfert d'informations entre les cellules
- ❖ La gestion et la configuration du réseau pour favoriser la flexibilité et la mise en œuvre du fonctionnement en mode dégradé. Dans le cas de défaillances d'un des éléments, l'association en série et ou en parallèle des convertisseurs peut être mise en défaut. Dans cette situation, la mise en parallèle semble moins critique que celle en série [Hua07]. En ce sens, [Pal09] présente une méthode pour assurer la fiabilité de l'ensemble du système par le mode by-pass. Mais si l'on

souhaite utiliser ces modes de fonctionnement, le dimensionnement de chaque convertisseur doit être prévu en tenant compte du mode de défaillance comme présenté sur la figure ci-dessous avec l'exemple d'une PAC à trois modules pouvant fonctionner en marche dégradée.

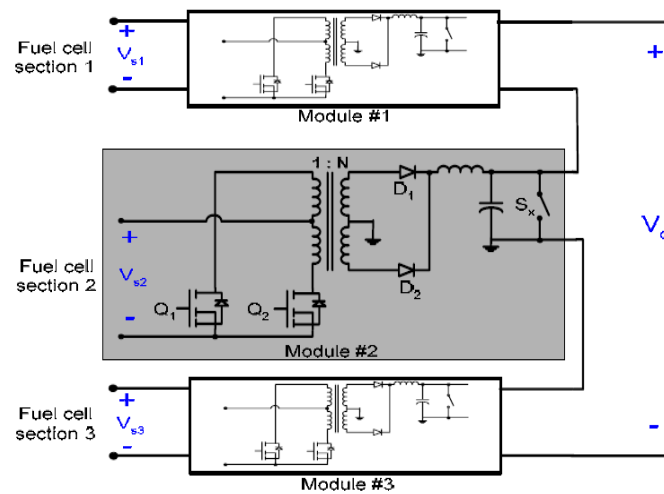


Figure I.3. Proposition de convertisseur modulaire pour PAC [Pal09]

Nous venons de parcourir et de recenser les différentes problématiques à résoudre liées à la cellule et au réseau lors de la mise en réseau de convertisseurs génériques ainsi que quelques solutions proposées par les chercheurs en électronique de puissance pour résoudre à ces problèmes. De plus, pour les problématiques plus spécifiques à la cellule et au réseau nous vous convions de consulter la thèse de DANG Thai Ha [DanT09]

I.2.3. Configuration du réseau

Comme nous l'avons dit plus haut, notre objectif est de créer un circuit de puissance programmable par l'intégration d'un nombre limité de CEs dans un circuit d'électronique de puissance permettant de répondre à n'importe quel cahier des charges défini par V_{in} – tension d'entrée, V_{out} – tension de sortie et P – puissance à transférer. On doit pour cela définir le nombre de CEs nécessaires ainsi que les modes de connexions entre cellules en série et/ou en parallèle pour obtenir la tension et le courant désirés tout en gardant un bon rendement de conversion. La figure I.4 présente un exemple d'une matrice de convertisseurs utilisée pour répondre à un cahier des charges pour lequel un nombre limité de convertisseurs est nécessaire. Les interconnexions entre les CEs sont assurées par deux matrices de configuration comportant des actionneurs fusibles-rupteurs configurables après la fabrication pour créer un convertisseur à grande puissance et tension élevée suivant les cahiers des charges désiré. De plus, il est possible de réguler la tension ainsi que la puissance de ce convertisseur en ajoutant ou éliminant une ou plusieurs CEs grâce à ces dispositifs de configuration. Pour utiliser ces matrices de configuration dans le circuit de puissance programmable, ces dispositifs doivent générer peu de pertes,

avoir les bonnes capacités en courant et en tension et les éléments doivent être facilement intégrés et faciles à mettre en œuvre. En effet, le rendement du dispositif de configuration influence fortement le rendement total du réseau de micro convertisseurs qui dépend du rendement du convertisseur élémentaire, du rendement des dispositifs de configuration ainsi que des modes d'association entre les convertisseurs élémentaires. De plus, l'efficacité énergétique du dispositif de configuration dépend de sa topologie, des matériaux, des technologies utilisées (qui seront présentés en détail dans le chapitre 2) et bien évidemment des contraintes sur la tension et le courant de ces composants. Il est bien connu que, pour les composants d'électronique de puissance, il existe toujours un compromis entre la chute de tension à l'état passant liée à la résistance à l'état passant, la tenue en tension et la surface de silicium. En effet, si ces dispositifs ont besoin d'une tenue en tension importante, la surface de silicium doit être grande pour limiter les pertes. L'intégration de ces composants de configuration peut également être sensiblement complexifiée selon les architectures retenues. En conséquence, les positions de ces dispositifs de configuration ainsi que les modes de connexion entre les convertisseurs élémentaires sont choisies pour que les contraintes de la tension et du courant sur les dispositifs de configuration soient les plus petits possibles et le taux d'intégration le plus élevé possible.

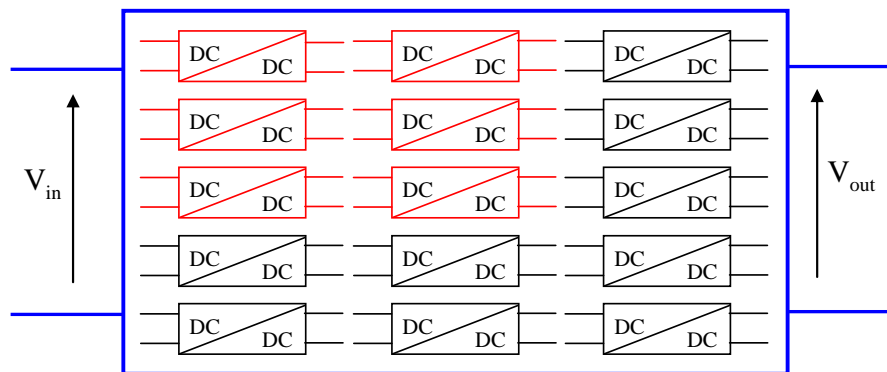


Figure I.4. Mise en matrice des CEs.

Aussi, pour assurer la bonne régulation de la tension et de la puissance réalisée en complément des dispositifs de configuration, la tension du R μ C peut être adaptée en interne au niveau de chaque cellule. C'est-à-dire, qu'il est possible de réguler la tension de sortie par rapport à la tension d'entrée de chaque CE afin de réguler la tension totale du réseau. Cette régulation dépend fortement de la structure du convertisseur élémentaire utilisée dans le réseau. Par exemple, pour une structure de type Buck, on a $V_{outc} = \alpha * V_{inc}$ où α est le rapport cyclique, V_{outc} , V_{inc} sont la tension d'entrée et de sortie de chaque CE. Pour une structure de type Boost on aura $V_{outc} = 1/(1-\alpha)*V_{inc}$ en régime de conduction continue; Enfin, sur une structure plus complexe comme une structure Dual Active Bridge, la tension de sortie est une fonction plus complexe de la tension entrée, de la fréquence de découpage, des inductances au point milieu et la résistance de la charge. Le choix de la topologie du convertisseur élémentaire est une étape très importante qui conditionne le succès de l'approche du R μ C.

I.3. Topologies de la CE pour l'approche réseau de micro convertisseurs

I.3.1. Critères du choix de la topologie.

Comme nous l'avons vu, la viabilité de l'approche R μ C est très liée aux performances de la CE. La sélection d'une topologie adaptée est donc cruciale. Dès lors, celle-ci doit se faire après études des avantages et inconvénients des topologies fréquemment utilisées dans le domaine de l'électronique de puissance. Mais avant tout, définissons les conditions que doivent satisfaire cette CE :

❖ *Faible niveau de puissance.*

Afin de pouvoir répondre à un grand nombre de cahiers des charges, les niveaux de tension, courant et puissance unitaire de chaque cellule doivent être faibles devant la gamme des applications auxquelles est destiné le réseau. On voit ici apparaître une notion de gamme laissant penser qu'il est intéressant de concevoir, non pas un réseau unique mais une gamme de réseaux permettant ainsi d'adapter la granulométrie de ceux-ci aux gammes d'applications visées. Dans ce premier travail, les applications visées sont dans la gamme de quelques centaines de Volt pour quelques centaines de Watt. Dans ce cas, les CEs vont être très basse tension (quelques Volt) et faible puissance (quelques Watt).

❖ *Permettre de hauts rendements*

On l'a dit plus haut, le rendement de la CE va impacter directement celui du réseau. Il est en effet impossible d'avoir un rendement du réseau supérieur à celui de la CE et, de plus, il est à craindre que sous l'effet de la mise en réseau, ce rendement soit dégradé.

❖ *Offrir des caractéristiques électriques adaptées*

Permettre des mises en série ou en parallèle en entrée ou en sortie des CEs impose des contraintes particulières à celle-ci. En effet, il est ici nécessaire d'isoler galvaniquement les entrées par rapport aux sorties. La topologie que nous devons choisir doit donc comporter un transformateur dans sa structure. De plus, afin de limiter les types de CEs, il peut être intéressant de disposer de leur réversibilité en courant. Ce point sera débattu plus loin dans ce manuscrit.

❖ *Etre facilement intégrable.*

Un tel réseau ne peut pas se concevoir sans imaginer une fabrication collective des différents éléments le constituant. La CE n'échappe pas à cette règle. Pour chaque topologie de convertisseur proposée il sera indispensable d'étudier les contraintes qu'impose une réalisation intégrée, que ce soit par des technologies monolithique ou hybride pour les actifs comme pour les passifs. Les difficultés d'intégration des passifs et, notamment, des composants bobinés font que, dans la suite, nous prendrons garde de ne sélectionner que des structures minimisant le nombre de ces composants.

I.3.2. Technologies disponibles pour la réalisation de la CE

L'approche modulaire de la conception du R μ C a été réalisée par de nombreuses équipes de recherche du domaine de l'électronique de puissance. En effet, de nombreux travaux font référence à la mise en parallèle ou la mise en série de convertisseurs pour adapter une technologie à un besoin. De même, les avantages d'une commande de type entrelacée ont, eux aussi, été grandement étudiés [Des06, Ger04]. Plus récemment des travaux réalisés autour de l'ANR 3DPHI portant sur l'amélioration de la conception de convertisseurs utilisant l'entrelacement par le biais d'un composant passif nouveau "le transformateur intercellulaire" ont été présentés. Il a été montré que l'on pouvait pousser encore plus loin l'intérêt de cet entrelacement [For07]. Pourtant, une différence majeure persiste entre ces travaux et la démarche que nous proposons. En effet, les convertisseurs ainsi créés, le sont pour une application donnée et un nouveau transformateur intercellulaire est nécessaire pour chacune d'elles. Seules peu de recherches sont basées sur une approche purement modulaire faisant appel à une CE unique et suffisante. A ce jour, nous avons identifié quelques approches portant sur la gestion d'un réseau de convertisseurs et proposant d'organiser l'entrelacement des CEs via une approche déterministe [Zha07-Hul12]. Au G2Elab, une thèse portant sur la conception modulaire de convertisseurs pour piles à combustibles [Dan10] a été soutenue. Cette thèse a montré l'intérêt d'une telle démarche en révélant les avantages que l'on peut obtenir du découplage entre le cahier des charges d'un convertisseur élémentaire permettant la réalisation du convertisseur modulaire et celui de l'application finale. Plus récemment deux thèses ont été soutenues sur les deux chantiers majeurs de cette approche que sont la CE et l'organisation du réseau de convertisseurs génériques [DanT09-2, DanT09-3 Del09-2, Del09-3]. Des avantages sont obtenus grâce à la liberté de choix des technologies de réalisation du convertisseur élémentaire permettant ainsi d'en optimiser les performances. Au niveau international, des travaux importants sont répertoriés autour des structures de conversion intégrées et enrichissant fortement le socle concernant le développement de la CE [Del09-2, Del09-3]. On peut distinguer entre autres les travaux concernant le développement des parties actives et passives sur Silicium mais aussi la synthèse de structures de conversion complètes [Wyk05]. Ces travaux reposent sur des développements technologiques spécifiques, en particulier pour les composants passifs magnétiques mais aussi pour le stockage d'énergie de type électrostatique [Del09-2].

Pourtant, si l'on peut montrer les avantages que l'on peut tirer d'une conception basée sur les caractéristiques de la technologie, la réalisation d'un réseau de convertisseurs va se confronter à plusieurs difficultés telles que la connectique, l'optimisation de la CE, la commande et la fiabilité de l'ensemble. La aussi un travail important est en cours au niveau de la communauté pour faire émerger des solutions de report et de prise de contact performantes et fiables. Mais il s'adresse à des puces de puissance avec des contraintes spécifiques qui sont différentes de celles auxquelles nous sommes confrontés dans ce projet. Compte tenu de la quantité importante des contacts et interconnexions à prévoir au niveau d'un réseau de micro convertisseurs, plusieurs références sont disponibles au niveau

de disciplines telles que la micro électronique [Tum06]. Mais il reste tout de même un travail technologique important pour adapter ces approches de contacts en grand nombre non pas au transfert du signal ou de l'information mais à celui de l'énergie électrique.

I.3.2.a Réalisation des passifs

En premier lieu, si l'on souhaite que la CE soit miniaturisée et peu invasive, il est nécessaire de réduire sa taille en travaillant sur les passifs, les actifs et leur intégration. Concernant les passifs, la réduction de la taille passe soit par une augmentation de la fréquence d'utilisation, soit par l'entrelacement astucieux des passifs et des lois de commandes, soit encore par leur intégration. De fait, plusieurs chantiers importants sont envisagés. Par ailleurs, nous pensons que la notion de fractionnement peut, à terme, engendrer des facteurs d'échelle positifs sur les passifs malgré la forte augmentation de la connectique.

L'intégration devient alors conditionnée par les moyens technologiques à disposition, les types de matériaux utilisables mais aussi et surtout le cahier des charges de la CE.

L'intégration hybride peut être considérée en premier lieu pour les fréquences de découpage intermédiaires, jusqu'à quelques MHz. Consistant en une réalisation par un procédé commun de tous les composants passifs, l'intégration hybride est actuellement grandement exploitée et permet de répondre à des applications de puissance faible à moyenne (quelques W à quelques 100W) pour des fréquences de travail allant de quelques 100kHz jusqu'au MHz [Li10-Rez11]. Plusieurs équipes dans le monde travaillent sur ce thème et deux technologies de réalisation émergent plus particulièrement. La première est basée sur la filière circuit imprimé (PCB) et permet, par l'utilisation conjointe de composants planars et de céramiques ou de polyimides aux propriétés diélectriques intéressantes, de réaliser les éléments inductances L, condensateurs C et transformateurs T [Waf05, Wyk05-2, Ara04, Lem05]. Les problématiques de cette approche sont essentiellement liées aux matériaux et à leurs performances qui sont pour l'heure encore trop modestes, surtout en ce qui concerne les matériaux diélectriques. Des verrous importants concernent également leur mise en œuvre. La seconde utilise un procédé jusque là limité à la RF : la technique du cofrittage basse température (LTCC). Cette technique permettra à terme la réalisation des éléments L, C et T par empilement de couches conductrices, magnétiques et diélectriques. De grands groupes comme THALES travaillent sur cet axe dont la problématique principale est, là aussi, la création de matériaux dont les propriétés permettent de réaliser ce cofrittage [Leb05].

Lorsque la fréquence de travail devient suffisamment importante (supérieure à quelques MHz et jusqu'à plusieurs 100MHz), les deux voies d'intégration monolithique et hybrides des composants passifs deviennent alors possibles. La voie monolithique fera exclusivement appel à la filière silicium et aux procédés associés tandis qu'un développement hybride offrira plus de degrés de liberté d'un point de vue technologique mais nécessitera des étapes de report et de connexion. Dans les deux cas, des densités de puissance et d'énergie élevées sont recherchées tout en gardant les meilleurs

rendements possibles (η). Bien que des travaux aient déjà été entamés de part le monde sur l'intégration de composants passifs pour les filtres de sortie des convertisseurs [Kat00, Kim02, Hay03, Mus05, Wib07, Oni07], les densités d'énergie et de puissance des composants passifs ainsi que leur rendement restent problématiques.

Dans le cas des inductances et des transformateurs, de nombreuses études ont permis de mettre en place les technologies «planars». Afin d'augmenter la densité d'énergie de ce type de composants, les matériaux ferromagnétiques sont incontournables. Les performances souhaitées pour ce matériau sont alors une forte induction à saturation (B_{sat}), une grande perméabilité (μ) et une grande résistivité (ρ) et ceci sur une grande plage de fréquence. Ces propriétés magnétiques doivent être associées à une mise en œuvre simple et compatible avec les techniques de micro technologie ainsi qu'à un faible coût de fabrication. La technologie de micro bobines utilisant comme matériau magnétique du CoNiFe a été démontrée au LAAS [Mas08] mais une augmentation significative des fréquences d'utilisation permettrait d'augmenter considérablement les performances des composants avec un volume moindre. Dans le cadre de l'association de micro-convertisseurs, une structure entrelacée permettrait d'augmenter la fréquence apparente des signaux appliqués sur les composants passifs et ainsi permettrait d'explorer d'autres matériaux magnétiques et de pousser encore plus loin la miniaturisation.

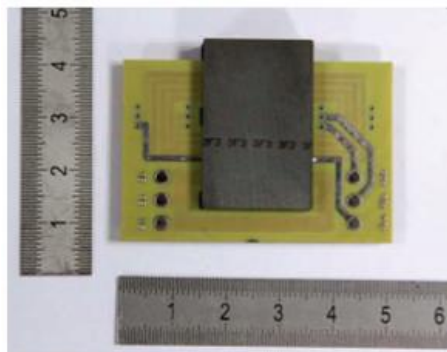


Figure I.5. Prototype du transformateur planar multicouche [Lai10]

I.3.2.b Réalisation des actifs

Dans le même but de réduction de la taille mais aussi pour augmenter performances et fonctionnalités, la partie active du convertisseur, comprenant sa commande et sa puissance, devra, elle aussi être réalisée par intégration. Aujourd'hui, plusieurs fondeurs (AMS, AMIS, STMicroelectronics, Xfab ...) proposent des technologies de type CMOS permettant de répondre aux demandes de la CE. Ces technologies présentent des caractéristiques différentes en fonction de leur finesse de gravure (0.6 μ m, 0.35 μ m, 135nm ...). Une part de l'étude devra donc être consacrée à la recherche et à la mise en œuvre de la technologie présentant les bonnes caractéristiques. Figure I.6 présente un exemple de prototype de l'onduleur intégré réalisé par la technologie AMS 0.35 μ m [Del09].

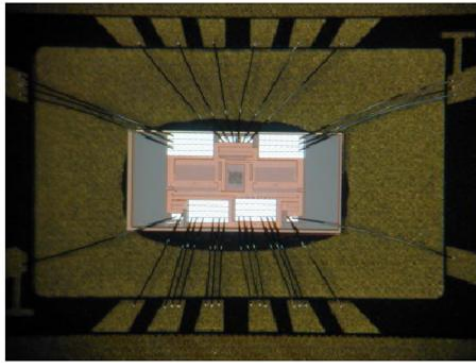


Figure I.6. Prototype de l'onduleur intégré réalisé par la technologie AMS 0.35 μ m [Del09]

I.3.2.c Hybridation de l'ensemble

La mise en œuvre des connexions nécessaires entre les parties actives et passives de la CE pourront s'appuyer sur les travaux réalisés sur les techniques de report de puces que ce soit par des techniques classiques comme le bonding ou le bumping mais aussi par des techniques plus originales telles que le contact pressé. Il en ira de même pour les connexions entre cellules au sein du réseau avec des contacts par brochages par exemple. Sur ces points, il est intéressant de noter d'ailleurs une activité importante dans le milieu de la micro électronique et des microsystèmes avec le packaging sur silicium [Pou08, Ben08, Led07]. Plusieurs techniques sont à l'étude ou en cours de développement dans le monde et nous pensons exploiter certaines retombées technologiques pour la mise en œuvre des réseaux de micro-convertisseurs.

Enfin, la fiabilité du réseau devra être assurée. Pour cela des stratégies d'isolation des éléments défaillants peuvent être imaginées. Celles-ci vont nécessiter la mise en œuvre d'indicateurs de défaillance et d'actionneurs permettant l'isolation qui n'ont, pour l'heure pas encore été étudiés.

I.3.3. Cahier des charges

Différents verrous technologiques seront ainsi à lever concernant la réalisation de la CE. Cette cellule étant la base du réseau, elle devra, en premier lieu, présenter un très bon rendement car de ce rendement dépendra le rendement du convertisseur complet. D'autre part, si l'on souhaite offrir une souplesse importante dans l'utilisation des réseaux de convertisseurs, elle devra être de faible puissance, facile à mettre en œuvre et de faible volume. Ces caractéristiques vont impliquer de lever plusieurs verrous techniques.

- ❖ Choix de la technologie : la technologie AMS0.35 μ m a été simplement choisie en se basant tout d'abord sur l'outil de conception disponible dans notre laboratoire qui est facilement proposé au CIME-nanotech. De plus, les résultats du choix de la technologie adaptée pour l'intégration des composants actifs appliqués dans le réseau de micro convertisseur sont justifiés en détails dans la thèse de Olivier Deleage [Del09]. Il montre que cette technologie

est maintenant bien maîtrisée, fiable et relativement peu chère comparée à d'autres technologies plus récentes.

- ❖ Choix de la tension et de la puissance : Notre CE n'est conçue pour aucun cahier des charges spécifique. Elle devra avoir un faible niveau de tension. En conséquence, la tension nominale de la CE est choisie à 3V légèrement en deçà du niveau de la tenue en tension de la technologie AMS 0.35 μ m. La puissance de la CE est fixé à 6W
- ❖ Choix de la fréquence : Pour cette technologie de fabrication, la fréquence de commutation possible varie de quelques centaines kHz à quelques MHz. Elle est choisie en se basant sur le critère du rendement optimal obtenu pour la structure de conversion (les pertes dans les composants actifs et passif doivent être les plus faibles possible). Les travaux dans [Del09] montrent la relation entre le rendement optimal d'un transistor Nmos et la fréquence de commutation pour la technologie AMS 0.35 μ m - Figure I.7. Grâce à cette figure, on trouve que la fréquence de 500kHz est convenable comme fréquence de fonctionnement de la CE en raison du meilleur rendement des composants actifs. Ainsi, le volume du composant passifs est limité, le courant et l'épaisseur de peau à cette fréquence rendant possible la réalisation d'une piste de cuivre sur PCB.

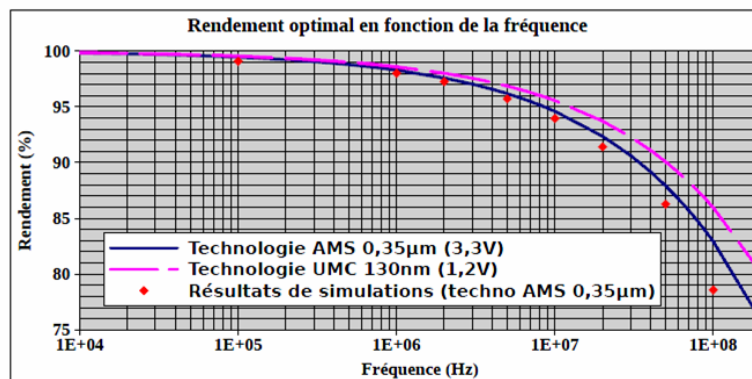


Figure I.7. Rendement en fonction de la fréquence d'un onduleur réalisé dans différentes technologies [Del09]

On cherche maintenant une topologie de conversion DC/DC adaptée à notre cahier des charges et qui répond aux contraintes définies au niveau de la CE du R μ C. Les comparaisons des avantages et des inconvénients entre plusieurs structures de conversion isolées DC/DC classiques dans le domaine d'électronique de puissance sont effectuées pour choisir la meilleure topologie. Seules trois structures de convertisseurs différentes ont été retenues dans ce comparatif. En effet, un tri important a été réalisé en amont pour ne sélectionner que celles ne nécessitant qu'un seul composant bobiné intégrant la fonction transformateur. Ainsi, dans la suite, seront comparées la structure Flyback, la structure Dual Active Bridge et une structure à résonance série.

I.3.4. Structure Flyback classique

I.3.4.a Principe de fonctionnement

La Figure I.8 présente la topologie du convertisseur Flyback étudiée. Afin de réduire les chutes de tension dans la diode du secondaire, celle-ci a été remplacée par un Mosfet et dans la structure étudiée les interrupteurs N_1 et N_2 sont de type Nmos commandés de façon complémentaire. Cela permet, en outre, de rendre réversible en courant la structure de conversion. Nous nous placerons ici dans des conditions de conduction continue et la Figure I.9 présente les formes d'ondes classiques.

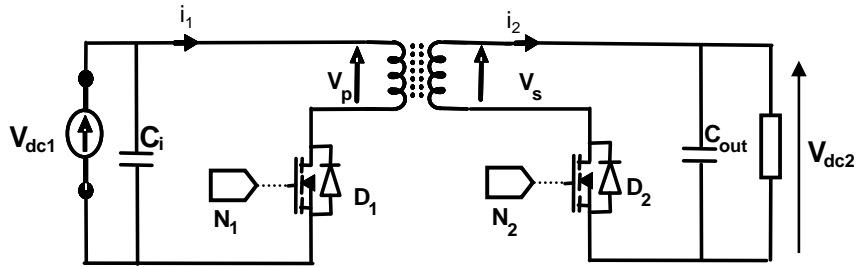


Figure I.8. Topologie de la structure Flyback

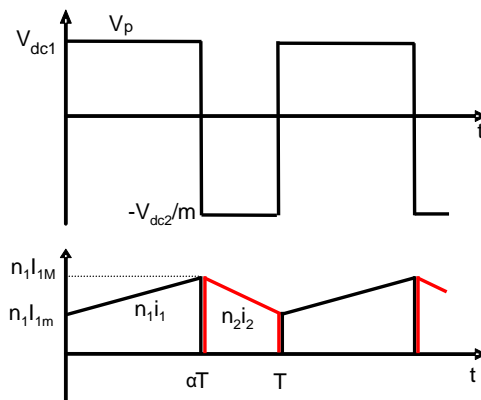


Figure I.9. Formes d'ondes

Dans l'intervalle $(0, \alpha T)$, α étant le rapport cyclique, N_1 est passant et N_2 bloqué entraîne le stockage de l'énergie dans l'inductance primaire.

Le courant dans l'inductance primaire est alors de la forme :
$$i_1 = I_{1m} + \frac{V_{dc1}}{L_1} t \quad (I.1)$$

Et la tension appliquée aux bornes de la diode de structure D_2 du Mosfet N_2 :

$$v_{D2} = -\left(\frac{n_2}{n_1} V_{dc1} + V_{dc2}\right) < 0 \text{ avec } m = \frac{n_2}{n_1} \quad (I.2)$$

La diode de structure D_2 est donc bloquée.

Dans l'intervalle $(\alpha T, T)$ N_2 est passant et N_1 bloqué :

$$\text{Le courant dans l'enroulement secondaire vaut alors : } i_2 = I_{2m} - \frac{V_{dc2}}{L_2} t \quad (\text{I.3})$$

Et la tension appliquée entre le Drain et la Source du Mosfet N_1 :

$$v_{N1} = V_{dc1} + \frac{V_{dc2}}{m} \quad (\text{I.4})$$

On obtient la relation entre la tension de sortie et la tension d'entrée suivante :

$$\frac{V_{dc2}}{V_{dc1}} = m \frac{\alpha}{1 - \alpha} \quad (\text{I.5})$$

$$\text{Et l'ondulations de courant d'entrée est : } \Delta I_1 = \frac{\alpha \cdot V_{dc1}}{L_1 \cdot F} \quad (\text{I.6})$$

I.3.4.b Contraintes sur les composants

Mosfet N_1

$$I_{N1\max} = m \cdot \frac{I_{ch}}{1 - \alpha} + \frac{V_{dc1} \cdot \alpha \cdot T}{2 \cdot L_1} \quad (\text{I.7})$$

$$V_{N1\max} = V_{dc1} + \frac{V_{dc2}}{m} \quad (\text{I.9})$$

Mosfet N_2

$$I_{N2\max} = \frac{I_{N1\max}}{m} \quad (\text{I.8})$$

$$V_{N2\max} = V_{dc2} + m \cdot V_{dc1} \quad (\text{I.10})$$

Facteur de dimensionnement des Mosfets :

La régulation de la tension en sortie du convertisseur de 10% par rapport à la tension nominale est nécessaire pour être utilisée dans le R μ C. Grâce à cette régulation, on peut facilement réguler la tension totale du R μ C. En conséquence, le dimensionnement des composants actifs doit garantir les conditions de tension et du courant pour que le micro convertisseur puisse fonctionner correctement à cette condition.

Le facteur de dimensionnement du Nmos de cette structure est calculé par (I.11) pour $m = 1$:

$$F_d = \frac{I_{N1\max} \cdot V_{N1\max}}{P} \quad (\text{I.11})$$

En combinant cette équation avec (I.7) et (I.9), on trouve que le facteur de dimensionnement dépend du rapport cyclique α qui est déterminé en fonction de la tension de sortie par rapport à la tension d'entrée présenté dans l'équation (I.5). Un calcul analytique pour les valeurs de la tension de sortie variées autour 10% de la tension d'entrée montre que le facteur de dimensionnement F_d a une valeur maximale de 4,4 à l'instant où la tension de sortie est supérieure à la tension d'entrée de 10%.

I.3.4.c Pré dimensionnement des composant passifs

Le dimensionnement de l'inductance couplée va nous permettre d'évaluer son intégration tout en gardant comme ligne de mire le bon rendement souhaité pour la CE. ($V_{in} = 3V$, $I = 2A$, $f = 500kHz$).

Le choix de la valeur minimale de l'inductance se base sur l'ondulation du courant dans cette inductance couplée. Pour un courant nominal de 2A, une ondulation de courant $\Delta I = 0,8A$ (une variation de 0,4A par rapport à la valeur nominale) est choisie. La valeur de l'inductance est calculée à partir l'équation I.5, on a :

$$L_1 = \frac{\alpha \cdot V_{dc1}}{\Delta I \cdot f_s} = \frac{0.5 \cdot 3}{0.8 \cdot 500000} = 3.75 \mu H \quad (I.12)$$

On considère que l'inductance couplée assure simplement l'isolation galvanique entre l'entrée et la sortie du convertisseur, on fixe donc un rapport de transformation unitaire $m = 1$. Le rapport cyclique α est de 0,5 pour que la tension de sortie soit égale à la tension d'entrée.

Afin de limiter les pertes fer nous fixons le champ maximum B_M dans le noyau magnétique inférieur à 70 mT - Figure III.32 ce qui nous donne pour le produit des aires A_i [Fer99] :

$$A_i = \frac{K_B \cdot L_1 \cdot I_{M1} \cdot I_{eff1}}{J \cdot B_M} = \frac{3 \cdot 3,75 \cdot 10^{-6} \cdot 2,4 \cdot 2}{5 \cdot 0,07} = 154 mm^4 \quad (I.13)$$

Où : K_B est le coefficient de bobinage fixé à 3 ; I_{eff1} la valeur efficace du courant dans l'enroulement primaire ; J la densité de courant, que l'on fixe à $5A/mm^2$.

A partir de la valeur A_i calculée ci-dessus, le noyau magnétique choisit doit avoir le produit des aires supérieur à $154mm^4$. Si on sélectionne le noyau disponible dans la liste du fabricant FERROXCUBE [Ferro], le noyau ER14.5/3/7 est choisi pour son produit des aires de $304 mm^4$ conduisant à un volume de $333 mm^3$.

I.3.4.d Pré dimensionnement des composants actifs.

Du point de vue de l'intégration des actifs, cette structure présente l'avantage d'être complètement symétrique faisant que la même puce pourra être utilisée au primaire comme au secondaire. Ces composants étant intégrés sur silicium dans une technologie AMS $0,35\mu m$ 5V, nous allons, pour en fixer l'encombrement, nous intéresser à la largeur de leur grille. En effet, ce paramètre rend compte de la surface qu'occupera le Mosfet sur la puce. Pour cela, nous allons nous appuyer sur les résultats de l'optimisation de la largeur des transistors Mosfet conduit par Olivier DELEAGE lors de sa thèse [Del09]. Ces résultats montrent que chaque Mosfet a une largeur optimale fonction de sa fréquence de travail et du courant le traversant. Cet optimum étant le résultat de la minimisation des pertes.

En première approximation, la taille des Mosfets est fonction du courant que l'on souhaite commuter et de la tension qu'il doit tenir. On doit choisir une taille des Mosfets pour que les pertes totales dans le circuit soient faibles. On essaie d'établir tout d'abord une relation entre les pertes dans le circuit et la taille du Mosfet. Pour aller plus loin, les pertes dans les composant actifs (Mosfets) se décomposent en deux parties, les pertes par commutation et les pertes par conduction. Elles sont calculées suivant (I.14) et (I.15).

$$\Delta P_{con} = \frac{1}{2} \cdot R_{DS} \cdot I^2 \quad (I.14)$$

$$\Delta P_{com} = \frac{1}{2} \cdot (C_{DS} + C_{ISS}) \cdot V_{DD}^2 \cdot f + \frac{1}{2} \cdot I \cdot V_{DD} \cdot (t_{on} + t_{off}) \approx \frac{1}{2} \cdot (C_{DS} + C_{ISS}) \cdot V_{DD}^2 \cdot f \quad (I.15)$$

Où : ΔP_{con} - perte par conduction ; ΔP_{com} - perte par commutation ; R_{DS} - résistance à l'état passant ; C_{DS} - Capacité entre le Drain et la Source ; C_{ISS} - capacité d'entrée du Mosfets composant la capacité entre Grille - Drain et la capacité entre Grille - Source ; f - fréquence de découpage ; t_{on} et t_{off} - temps de fermeture et d'ouverture des Mosfets. On peut négliger les pertes dans le canal des mosfet devant les pertes liées à la charge des grilles en raison des temps de commutation très faibles de ces composants (inférieur à 2ns - [Chapitre 3]) on considèrera donc que les pertes sont uniquement celles liées à la charge de la grille.

Grâce à ces formules, on trouve que les pertes dans la partie active dépendent de la fréquence, de la résistance à l'état passant et des capacités parasites qui dépendent fortement de la géométrie du composant. Les relations entre la résistance à l'état passant, les capacités parasites et la largeur du Mosfet sont établies dans la thèse de Olivier Deleage [Del09] dont : $R_{DS} = K_{RN}/W_N$; $C_{ISSN} = K_{ISSN} \cdot W_N$; $C_{DSN} = K_{DSN} \cdot W_N$. Où les constantes K_{ISS} , K_{DS} , K_{RN} peuvent être déterminées analytiquement ou à l'aide des simulations sous logiciel prenant en compte la technologie utilisée. Pour la technologie AMS 0.35 μ m, avec la tenue en tension de 5V qui est compatible à cette structure, ces constantes sont déterminés comme suit $K_{ISS} = 1,23 \cdot 10^{-9}$ F/m ; $K_{RN} = 2,527 \cdot 10^{-3}$ Ω m ; $K_{DS} = 6,15 \cdot 10^{-10}$ F/m [ams]. On obtient donc la relation entre les pertes totales et la largeur du Mosfet d'un côté de l'onduleur - Figure I.10.

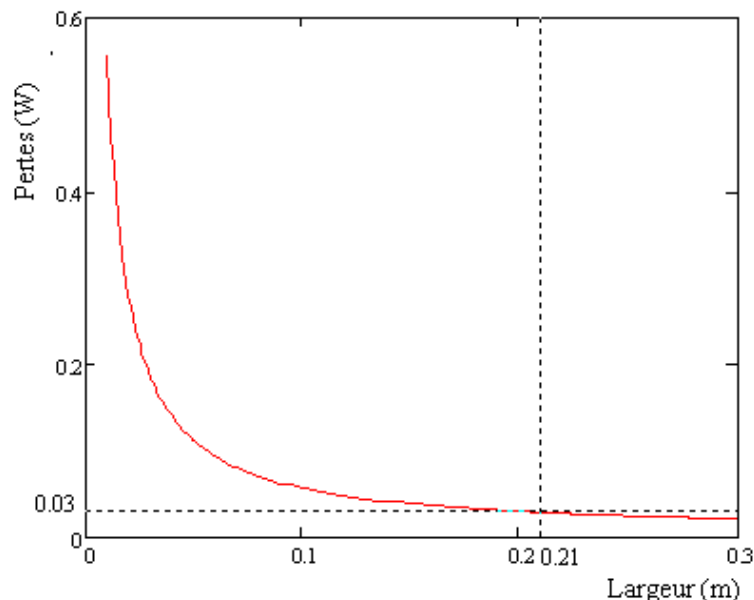


Figure I.10. Relation entre les pertes et la largeur du Mosfet

Toutefois, il est à noter que cette relation ne prend pas en compte les pertes créées par la surtension lors du fonctionnement de cette structure.

Grâce à cette figure, un compromis entre la surface de silicium et les pertes totales, la largeur de 210mm peut être présélectionnée pour obtenir des pertes totales dans les composants actifs de 30mW.

I.3.5. Structure Dual Active Bridge (DAB)

I.3.5.a Principe de fonctionnement

La Figure I.11 [Khe91] présente la topologie Dual Active Bridge (DAB). Elle se compose de trois parties principales : un onduleur en pont complet, un transformateur et un redresseur en pont complet. Si l'on fait le choix d'utiliser des Mosfets complémentaires, ces deux ponts sont facilement intégrables notamment en technologie CMOS pour des applications de faible puissance. Cette intégration a déjà été réalisée en technologie CMOS 0,35 μ m à deux occasions au G2ELab lors des thèses de Olivier Deleage [Del09] et de Timothée Simonot [Sim11].

Dans cette structure, le transformateur assure un double rôle. Tout d'abord il assure l'isolation galvanique entre l'entrée et la sortie du convertisseur et, ensuite, son inductance de fuite joue un rôle important dans le transfert d'énergie dans la structure.

Il est à noter que cette structure est symétrique et qu'un fonctionnement de type Buck–Boost est possible. Le fonctionnement dans les zones de commutation douce ainsi que la réversibilité du transfert de la puissance est possible. Les interrupteurs de l'onduleur et du redresseur sont commandés de façon complémentaire avec un rapport cyclique de 0,5 pour ce qui est d'un bras, l'autre étant piloté de la même façon mais en opposition de phase. Le réglage du transfert de puissance et donc le rapport entre la tension d'entrée et celle de sortie dépendent de l'angle de décalage θ des commandes de l'onduleur par rapport à celles du redresseur. Les formes d'ondes sont présentées à la Figure I.12

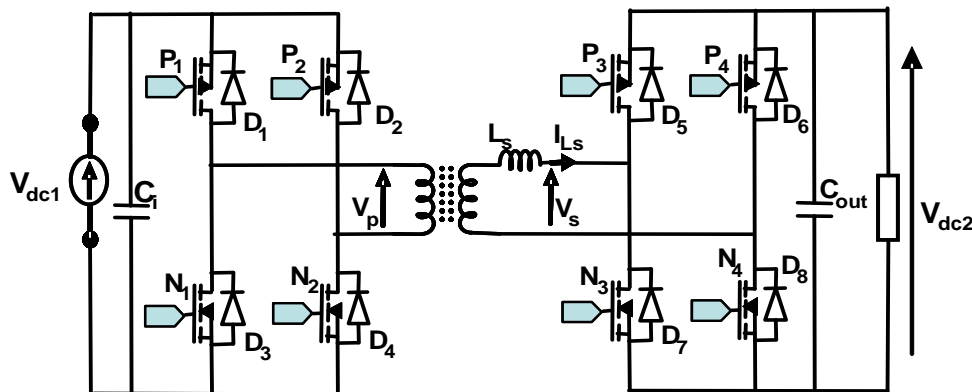


Figure I.11. Topologie de la structure DAB

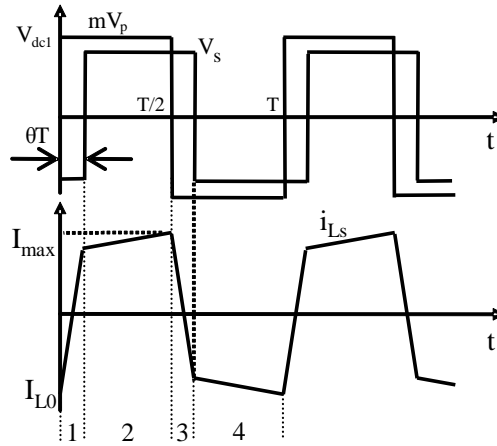


Figure I.12. Formes d'ondes dans le transformateur

- Durant le premier intervalle $(0, \theta T)$: du côté de l'onduleur, les transistors P_1 et N_2 sont passants donc la tension au primaire du transformateur est égale à la tension de la source $V_p = V_{dc1}$. Les transistors P_4 et N_3 du côté du redresseur sont passants et donc $V_s = -V_{dc2}$

Le courant dans l'inductance de fuite peut s'écrire comme suit :

$$i_{L1} = I_{L0} + \frac{m \cdot V_{dc1} + V_{dc2}}{L_s} \cdot t \quad (I.16)$$

On peut en déduire l'ondulation de courant dans cet intervalle :

$$\Delta I_1 = \frac{m \cdot V_{dc1} + V_{dc2}}{L_s} \cdot \theta \cdot T \quad (I.17)$$

Les tensions appliquées aux bornes des transistors P_2 , N_1 , P_3 et N_4 sont alors :

$$v_{P2} = v_{N1} = V_{dc1} \quad (I.18)$$

$$v_{P3} = v_{N4} = V_{dc2} \quad (I.19)$$

- Dans le deuxième intervalle $(\theta T, T/2)$: les transistors P_1 et N_2 sont passants donc la tension aux bornes du primaire du transformateur est égale à la tension de la source $V_p = V_{dc1}$. Les transistors P_3 et N_4 sont passants donc $V_s = V_{dc2}$

Le courant traversant l'inductance de fuite est alors :

$$i_{L2} = I_{L0} + \Delta I_1 + \frac{m \cdot V_{dc1} - V_{dc2}}{L_s} \cdot (t - \theta \cdot T) \quad (I.20)$$

L'ondulation de courant durant cet intervalle est alors :

$$\Delta I_2 = \frac{m \cdot V_{dc1} - V_{dc2}}{L_s} \cdot \left(\frac{T}{2} - \theta \cdot T \right) \quad (I.21)$$

Les tensions appliquées aux bornes des transistors P_2 , N_1 , P_4 et N_3 sont alors :

$$v_{P2} = v_{N1} = V_{dc1} \quad (I.22)$$

$$v_{P4} = v_{N3} = V_{dc2} \quad (I.23)$$

- Durant le troisième intervalle ($T/2, T/2+\theta T$) : le transistor P_2 et N_1 sont passants donc $V_p = -V_{dc1}$. Les transistors P_3 et N_4 sont passants donc $V_s = V_{dc2}$

Le courant traversant l'inductance de fuite devient :

$$i_{L3} = I_{L0} + \Delta I_1 + \Delta I_2 + \frac{-m \cdot V_{dc1} - V_{dc2}}{L_S} \cdot \left(t - \frac{T}{2}\right) \quad (I.24)$$

Et l'ondulation de courant durant cet intervalle est :

$$\Delta I_3 = \frac{-m \cdot V_{dc1} - V_{dc2}}{L_S} \cdot \theta \cdot T \quad (I.25)$$

Les tensions appliquées aux bornes de transistor P_1, N_2, P_4 et N_3 sont :

$$v_{P1} = v_{N2} = V_{dc1} \quad (I.26)$$

$$v_{P4} = v_{N3} = V_{dc2} \quad (I.27)$$

- Durant le quatrième intervalle ($T/2+\theta T, T$) : les transistors P_2 et N_1 sont passants donc $V_p = -V_{dc1}$.

Les transistors P_4 et N_3 sont passants donc $V_s = -V_{dc2}$

Le courant traversant l'inductance de fuite devient :

$$i_{L4} = I_{L0} + \Delta I_1 + \Delta I_2 + \Delta I_4 + \frac{-m \cdot V_{dc1} + V_{dc2}}{L_S} \cdot \left(t - \left(\frac{T}{2} + \theta \cdot T\right)\right) \quad (I.28)$$

Son ondulation durant cet intervalle est :

$$\Delta I_4 = \frac{-m \cdot V_{dc1} + V_{dc2}}{L_S} \cdot \left(\frac{1}{2} - \theta\right) \cdot T \quad (I.29)$$

Les tensions appliquées aux bornes des transistors deviennent :

$$v_{P1} = v_{N2} = V_{dc1} \quad (I.30)$$

$$v_{P4} = v_{N3} = V_{dc2} \quad (I.31)$$

I.3.5.b Contraintes sur les interrupteurs

Grâce à la symétrie de la structure de conversion, on a : $i_{L2(T/2)} = -I_{L0}$. À partir de l'équation (I.17) et (I.20) on obtient :

$$I_{L0} = \frac{T}{4 \cdot L_S} \left[(1 - 4 \cdot \theta) \cdot V_{dc2} - m \cdot V_{dc1} \right] \quad (I.32)$$

La valeur du courant maximal dans l'inductance de fuite dépend du mode de fonctionnement Buck ou Boost. C'est aussi la valeur du courant maximal traversant les interrupteurs. En mode de fonctionnement de type Buck, c'est-à-dire dans le deuxième intervalle $mV_{dc1} > V_{dc2}$ on a :

$$I_{Lmax} = -I_{L0} \quad (I.33)$$

En revanche, pour le mode de fonctionnement de type Boost, c'est-à-dire dans le deuxième intervalle $mV_{dc1} < V_{dc2}$ on a :

$$I_{Lmax} = \frac{T}{4 \cdot L} [(4 \cdot \theta - 1) \cdot m \cdot V_{dc1} + V_{dc2}] \quad (I.34)$$

La relation entre la tension d'entrée et la tension de sortie est alors :

$$V_{dc2} = m \cdot (\theta - 2 \cdot \theta^2) \cdot R \cdot T \frac{V_{dc1}}{L_S} \quad (I.35)$$

Où R est la résistance de charge.

La tension maximale aux bornes des interrupteurs du côté de l'onduleur est $V_{Omax} = V_{dc1}$

La tension maximale aux bornes des interrupteurs du côté du redresseur est $V_{Rmax} = V_{dc2}$

Le facteur de dimensionnement peut se calculer comme cela a été fait pour les interrupteurs de la structure Flyback. Il est un rapport entre la puissance apparente commutée par l'interrupteur et la puissance du convertisseur – voir la formule (I.36). Pour cette topologie, avec $m = 1$, la tension maximale des interrupteurs du côté de l'onduleur est toujours égale V_{dc1} donc ce facteur est le rapport entre le courant maximal et le courant moyen du convertisseur.

$$F_d = \frac{V_{Tmax} \cdot I_{Tmax}}{V_{dc1} \cdot I_1} = \frac{I_{Tmax}}{I_1} \quad (I.36)$$

Comme on en a parlé plus haut, cette structure peut fonctionner en deux modes Boost-buck donc la valeur du courant maximal peut être calculé soit par (I.33) soit par (I.34). Cette valeur du courant maximal et donc le facteur de dimensionnement dépendent de la fréquence de commutation, de l'inductance de fuite ainsi que de la variation de la tension de sortie par rapport à la tension d'entrée. Il est difficile de trouver une formule générale du facteur de dimensionnement pour cette topologie. On peut donc dégager une formulation analytique du facteur de dimensionnement en fonction des différents paramètres. Elle est mise en oeuvre sous le logiciel Mathcad. La Figure I.13 présente la relation entre le facteur de dimensionnement et la plage de variation de la tension en sortie pour différentes valeurs de l'inductance de fuite. Cette relation est calculée pour notre cahier des charges $f_s = 500\text{kHz}$, $I = 2\text{A}$, $V_{dc1} = 3\text{V}$ et $m = 1$. Tout d'abord, nous utilisons les valeurs du facteur de dimensionnement correspondant à l'inductance de fuite de 75nH pour la comparaison avec les autres structures. Le choix de cette valeur de l'inductance de fuite va être justifié dans la partie I.3.8.

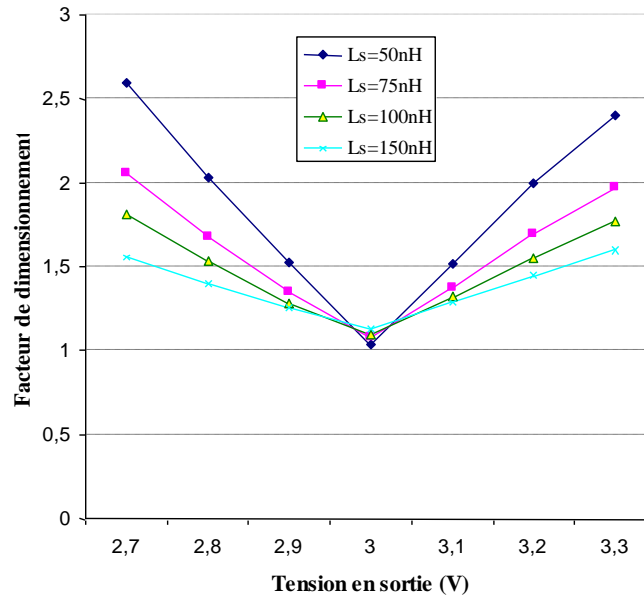


Figure I.13. Facteur de dimensionnement en fonction de la variation de la tension en sortie

Grâce à cette figure, on trouve que le facteur de dimensionnement est inférieur à 1,4 lorsque la tension de sortie varie dans un faible intervalle de 2,9V à 3,1V et la valeur minimale obtenue de 1,1 lorsque la tension de sortie est égale à la tension d'entrée. Le facteur de dimensionnement augmente lorsque la différence entre la tension de sortie et la tension d'entrée augmente. Dans le cadre des travaux sur les réseaux de micro convertisseur, la variation maximale entre V_{dc2} et V_{dc1} est choisie autour de 10% dans le but de maintenir un bon rendement de conversion qui dépend du décalage entre la tension de sortie et la tension d'entrée – voir partie I.3.8. De plus, pour cet intervalle de régulation, on peut réguler la tension du R μ C pour répondre à n'importe quel cahier des charges – voir chapitre 2. En conséquence, le facteur de dimensionnement maximal dans ce cas est de 2,2

$$F_d = 2,2 \quad (I.37)$$

I.3.5.c Pré dimensionnement des composants passifs pour notre cahier des charges.

La valeur de l'ondulation du courant dans l'inductance magnétisante est choisie à 0,8A pour le pré-dimensionnement, cette valeur est égale à celle dans le cas précédent. De même, l'induction maximale du transformateur doit être toujours inférieure à 70mT. La valeur de l'inductance magnétisante est donc calculée comme suit :

$$L_1 = \frac{\alpha \cdot V_{dc1}}{\Delta I \cdot f_s} = \frac{0,5 \cdot 3}{0,8 \cdot 500000} = 3,75 \mu H \quad (I.38)$$

Pour le calcul du produit des aires, on détermine tout d'abord le courant efficace circulant dans le transformateur. La Figure I.14 présente la relation entre le courant efficace et la variation de la tension de sortie en gardant toujours la tension d'entrée de 3V, la puissance dans la charge 6W, et montre que le courant efficace maximal est de 2,28A pour une tension de sortie de 2,7V.

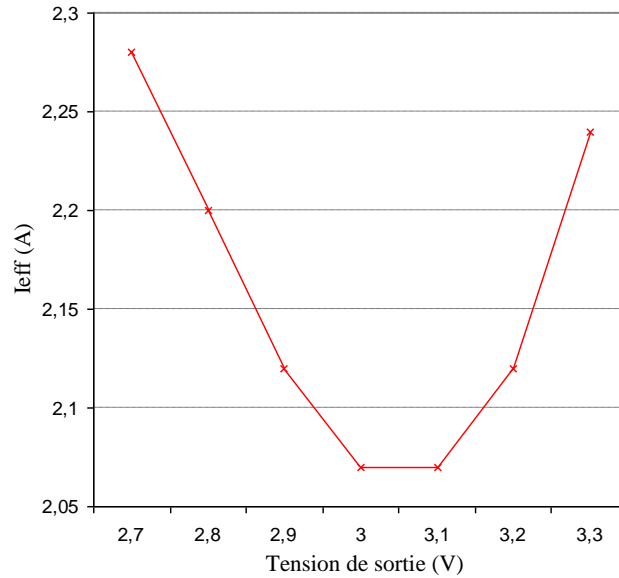


Figure I.14. Valeur du courant efficace dans l'inductance de fuite en fonction de la variation de la tension en sortie

Le produit des aires est donc déterminé par (I.39) :

$$A_i = \left(\frac{K_{b1}}{J_1} + \frac{K_{b2}}{J_2} \right) \cdot V_{dc1} \cdot I_{eff} \cdot \frac{\alpha}{f_s \cdot 2 \cdot B_{max}} = 58 \text{mm}^4 \quad (\text{I.39})$$

On peut constater que le volume du noyau magnétique de ce transformateur est petit en comparaison de celui du Flyback. Ceci est logique car, dans la structure Dual Active Bridge il n'y a pas le même niveau de stockage d'énergie. Pour réaliser ce transformateur nous pouvons utiliser le noyau ER9.5/2.5/5 qui est le plus petit disponible chez FERROXCUBE [ferro]. Son volume est de 120mm^3 .

Il est à noter que pour être utilisé dans cette structure, le transformateur devra présenter une inductance de fuite bien contrôlée. Comme l'inductance de fuite dépend de la géométrie des bobinages ceux-ci devront être réalisés dans une technologie fixant parfaitement cette valeur.

I.3.5.d Pré dimensionnement des composants actifs.

La partie active de puissance de ce convertisseur est composée de quatre transistors dont deux Pmos et deux Nmos pour chaque côté du primaire et du secondaire. Cette structure est symétrique et donc il est possible d'utiliser un rapport de transformation unitaire ainsi que la même technologie et le même design pour l'onduleur et pour le redresseur.

Si on pense à une réalisation intégrée sur une puce CMOS, l'encombrement des Mosfets dépend fortement de la largeur de grille des transistors nécessaires au fonctionnement de l'onduleur et du redresseur. Pour garder la même valeur de la chute de tension à l'état passant pour les Pmos et pour les Nmos et ainsi répartir les pertes par conduction dans ces deux types de transistors, la largeur optimale du transistor P (W_P) doit être trois fois plus grande que la largeur du transistor N (W_N) [Del09].

Pour comparer la surface de silicium de cette structure par rapport à celle des autres structures, on calcule la surface totale de cette structure tout en gardant un même niveau des pertes que dans les autres structures (30mW). La relation entre les pertes totales et la largeur totale dans le circuit est exprimée Figure I.15 et est calculée en utilisant les paramètres géométriques de la technologie AMS $0.35\mu\text{m}$ pour une tenue en tension de 3,3V. Les constantes de la géométrie sont fixées comme suit : $K_{ISS} = 1,8125 \cdot 10^{-9} \text{ F/m}$; $K_{RN} = 1,648 \cdot 10^{-3} \Omega\text{m}$; $K_{DS} = 9,0625 \cdot 10^{-10} \text{ F/m}$ [Del09].

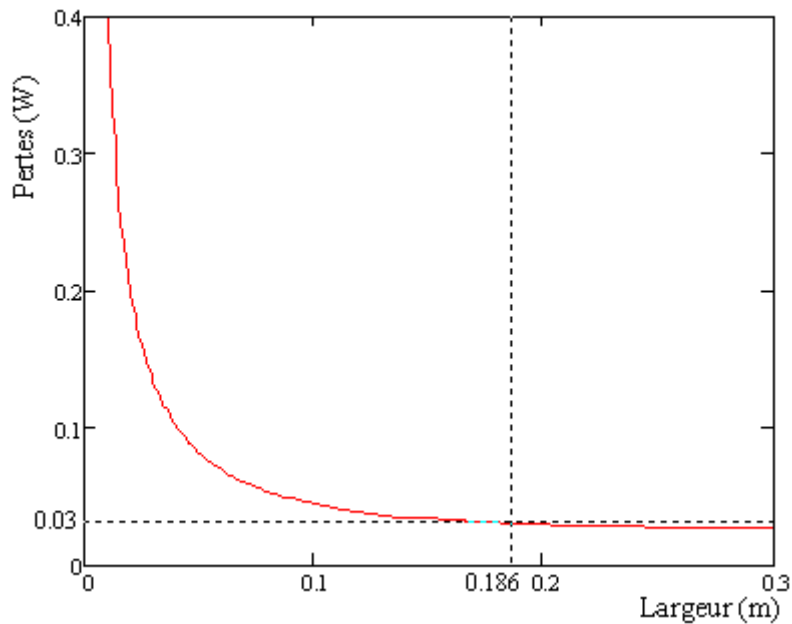


Figure I.15. Relation entre les pertes et la largeur du DAB

Grâce à cette figure, il est possible de voir que pour obtenir un même niveau de pertes totales de 30mW comme dans la structure Flyback la structure DAB nécessite 186mm de la largeur de composants actifs pour l'onduleur. La même largeur sera nécessaire pour réaliser le redresseur.

I.3.6. Structure à résonance série

I.3.6.a Principe de fonctionnement

La Figure I.16 présente la structure du convertisseur à résonance série pouvant être utilisé ici. Elle est composée de quatre parties principales : l'onduleur, le redresseur, le transformateur et le circuit résonant L_s, C_s . Les étages onduleur et redresseur sont les mêmes que précédemment. Le transformateur a pour le but d'assurer l'isolation galvanique et son inductance de fuite est dimensionnée pour réaliser avec la capacité C_s le circuit de résonance.

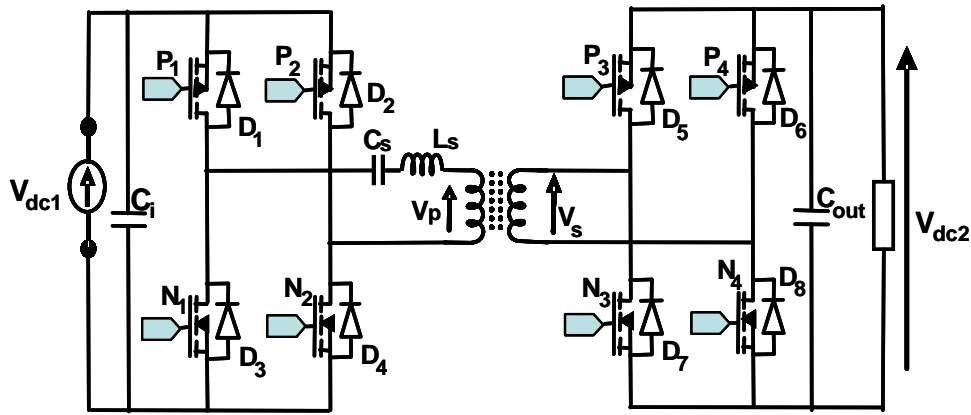


Figure I.16. Topologie de la structure résonance série

Les principes de fonctionnement de la structure pour plusieurs régimes selon que $f_s > f_0$, $f_s < f_0$, $f_0/2 < f_s < f_0$ ou $f_s < f_0/2$ sont présentées en détails dans le livre de J-P Ferrieux et F.Forest [Fer99]. Grâce à ces analyses, on trouve que cette structure ne présente aucune perte à la fermeture dans les interrupteurs si l'on prend garde de la faire fonctionner en ZVS (commutation à zéro de tension). Le transformateur est bien utilisé en raison de la symétrie de l'onduleur. Les inconvénients de cette structure sont qu'elle fonctionne à fréquence variable et qu'elle présente un composant passif supplémentaire. Elle sera donc plus difficile à intégrer car elle impose des contraintes importantes sur les composants passifs.

I.3.6.b Contraintes sur les interrupteurs pour le cas $f_s > f_0$ [Fer]

Mosfet P₁;P₂; N₁; N₂

$$I_{\max} = m \cdot \frac{\pi}{2} \cdot I_{ch} \approx \frac{\pi \cdot P_n}{2 \cdot V_{dc1}} \quad (I.40)$$

$$V_{\max} = V_{dc1} \quad (I.42)$$

Mosfet P₃;P₄; N₃; N₄

$$I_{\max} = \frac{\pi}{2} \cdot I_{ch} \quad (I.41)$$

$$V_{\max} = V_{dc2} \quad (I.43)$$

Le facteur de dimensionnement des interrupteurs est alors :

$$F_d = \frac{\pi}{2} \quad (I.44)$$

Pour le cas $f_0/2 < f_s < f_0$ le facteur de dimensionnement est encore plus grand que dans ce cas [Fer99].

I.3.6.c Pré dimensionnement des composants passifs

Le dimensionnement du transformateur dans ce cas est similaire au cas de la structure Dual Active Bridge avec le courant efficace de 3,14A. A partir de la formule (I.39), le produit des aires est déterminé de 80,74mm⁴. Le noyau ER9.5/2.5/5 sera utilisé pour la conception du transformateur.

I.3.6.d Pré dimensionnement des composants actifs.

Le calcul de la surface du silicium occupée par les composants actifs dans ce cas est similaire à celle déterminée pour le DAB avec une valeur du courant efficace redressé dans l'inductance de fuite de $\pi/2$ fois supérieure par rapport au courant en sortie. Figure I.17 présente la relation entre les pertes dans les composants actifs et leur largeur de la grille. Grâce à cette figure, on trouve que l'on ne peut pas obtenir les pertes de 30mW de cette structure pour comparer aux autres structures. Les pertes minimales obtenues sont de 38mW pour une largeur de 328mm. Les pertes ainsi que la largeur de la grille de cette structure sont donc plus grandes que celles des structures présentées ci-dessus.

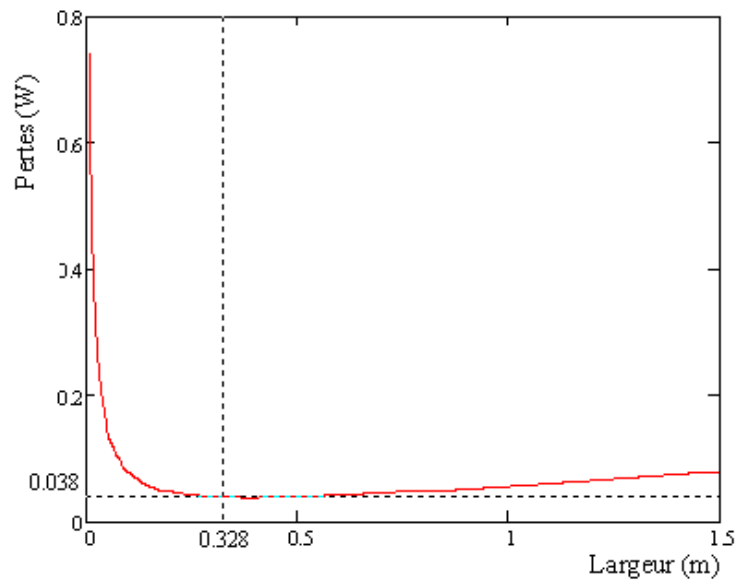


Figure I.17. Relation entre les pertes et la largeur de la structure résonance série

I.3.6.e Plage de variation de la tension en sortie.

Pour l'obtention d'une plage de variation de tension en sortie par rapport aux autres structures qui n'a besoin que d'une régulation du rapport cyclique (Flyback) ou de déphasage (DAB), cette structure a besoin de variation de la fréquence de commutation pour l'obtention d'une plage de variation de la tension de sortie de 10%. En effet, la relation entre la tension d'entrée et la tension de sortie est exprimée par l'équation (I.45) [Fer99].

$$\left[\frac{4 \cdot V_{dc1}}{\pi} \right]^2 = \left[\frac{4 \cdot V_{dc2}}{m \cdot \pi} \right]^2 + \left[\frac{\left[\frac{f_s}{f_0} \right]^2 - 1}{\frac{f_s}{f_0}} \sqrt{\frac{L_s}{C_s}} \cdot \frac{m \cdot \pi \cdot I_s}{2} \right]^2 \quad (I.45)$$

Une inductance de fuite du transformateur de 500nH est une valeur minimale que l'on peut choisir si l'on veut pouvoir régler la valeur de la tension de sortie dans la plage souhaitée. Toutefois cette valeur

est importante par rapport à la valeur de l'inductance de fuite d'un transformateur intégré. Il est donc nécessaire d'ajouter une inductance connectée en série avec le transformateur. Ces deux composant devront être intégrées ensemble en un composant magnétique unique si l'on souhaite maîtriser le volume de ce composant. Dans ce conditions, la valeur de C_S est de $0,25\mu\text{F}$ pour que la fréquence de résonance soit proche de la fréquence de commutation choisie. Figure I.18 présente la relation entre la variation de la tension de sortie et la fréquence de commutation f_S pour $L_S = 500\text{nH}$ et $C_S = 0,25\mu\text{F}$. On trouve que pour obtenir une variation de tension en sortie autour de -10% par rapport à la tension médiane, la fréquence de commutation doit varier de 500kHz jusqu'à 585kHz . Pour cette plage de variation de la fréquence, les pertes par commutation dans les Mosfets et les pertes fer dans le transformateur de cette structure ne changent pas par rapport à celles du point de fonctionnement nominal

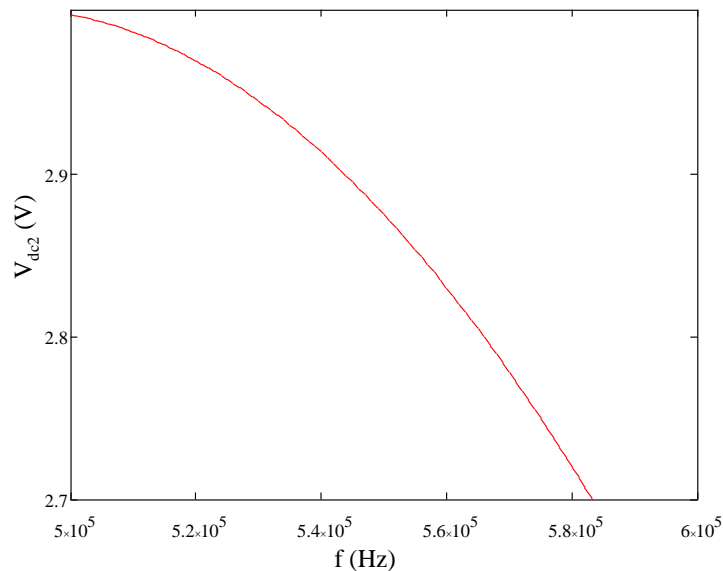


Figure I.18. Relation entre la tension de sortie et la fréquence de commutation

On trouve que la régulation de la tension et la commande de cette structure sont plus complexes que pour les deux structures précédentes.

I.3.7. Comparaison et choix de la structure

Nous venons de présenter trois structures de convertisseur disposant d'un étage d'isolation galvanique et qui sont adaptées à notre réseau de micro convertisseurs. La sélection de la meilleure structure pour notre application se base sur des critères tels que le volume du ou des composants passifs, la surface de silicium des composants actifs, le facteur de dimensionnement et le nombre de composants passifs. Tous ces critères sont rassemblés dans le tableau I.1 ci-dessous.

Critères de sélection	Flyback	DAB	Résonance série
Nombre de composants passifs	3	3	4
Largeur de grille	210 mm	186 mm	Supérieure à 328 mm
Produit des aires du transformateur	154 mm ⁴	58 mm ⁴	80,7 mm ⁴
Facteur de dimensionnement	4,4	2,2	$\pi/2$
Facilité pour la commande	Excellent	Moyen	Moyen
Compatibilité à la technologie	Moyen	Bon	Bon

Tableau I.1 : Comparaison entre les trois structures du convertisseur DC/DC

A partir des résultats présentés dans le tableau ci-dessus, on voit que la structure Flyback présente un volume important lié aux composants passifs et un facteur de dimensionnement élevé pour les composants actifs. De plus cette structure présente une surtension importante à la commutation lors du fonctionnement pouvant augmenter encore le facteur de dimensionnement. Toutefois, cette structure est facile à commander et à contrôler.

La structure DAB présente des bonnes caractéristiques liées au volume et la taille de composants actifs et passifs. Elle est facile à intégrer grâce au nombre limité de composants passifs qu'elle nécessite et à son volume faible. Ceci est confirmé par un faible facteur de dimensionnement lors d'un fonctionnement avec une faible variation autour de la tension nominale de la tension de sortie. Mais la commande de cette structure est complexe à cause de la difficulté de contrôle de l'inductance de fuite du transformateur.

La structure de résonance série présente plus de composants passifs donc elle est plus difficile à intégrer. De plus, la taille des composants passifs de cette structure est plus importante que pour les autres structures. Enfin, elle travaille à la fréquence variable ce qui peut ne pas correspond à certaines applications.

On voit donc que chaque structure présente des points forts et des points faibles par rapport aux autres. Mais la structure DAB présente plusieurs des points forts par rapport aux autres structures. Elle est de ce fait une très bonne candidate pour être utilisée comme CE dans notre réseau de micro-convertisseurs. Pour mieux comprendre le fonctionnement de cette structure, nous allons conduire des analyses détaillées dans la partie I.3.8 afin de la valider.

I.3.8. Analyses du convertisseur DAB

I.3.8.a Analyses du fonctionnement du convertisseur DAB.

Plusieurs topologies ont été proposées dans la section précédente en raison de leurs capacités à répondre au cahier des charges et leur simplicité à être intégrées. En particulier, le DAB présenté Figure I.11 est très prometteur en raison du nombre réduit de composants passifs qu'il nécessite, de sa capacité à autoriser une commutation à tension nulle (ZVS) sur une large plage de fonctionnement ainsi que sur la simplicité de sa mise en œuvre. Un avantage supplémentaire à cette structure est qu'elle permet un fonctionnement en Buck-Boost [Wan98]. La puissance de transfert de cette structure est exprimée par la formule (I.46) [Wan98]

$$P = \frac{m \cdot V_{dc1} \cdot V_{dc2} \cdot \theta(1-2 \cdot \theta)}{f_s \cdot L_s} = \frac{m^2 \cdot V_{dc1}^2 \cdot d \cdot \theta(1-2 \cdot \theta)}{f_s \cdot L_s} \quad (\text{I.46})$$

Où :

$$d = \frac{V_{dc2}}{m \cdot V_{dc1}} \quad (\text{I.47})$$

La direction de transfert de puissance dépend de la valeur du déphasage θ . En effet $\theta > 0$ conduit à transférer la puissance à partir de V_{dc1} vers V_{dc2} et $\theta < 0$ conduit à un transfert de puissance dans le sens inverse [Jai08]. Cette fonctionnalité peut être pratique dans certaines applications ou mise en œuvre du réseau de convertisseur comme la gestion des systèmes multicellulaires (PV, PAC, Batteries) ainsi que pour le réseau seul afin d'avoir davantage de degrés de liberté.

Malgré ces nombreux avantages, cette topologie souffre d'un inconvénient important ; de (I.32) on trouve qu'il y a toujours un déphasage entre le courant circulant dans le transformateur et la tension primaire et secondaire. Ce déphasage contribue à l'écoulement de puissance réactive dans le circuit, générant des pertes en conduction indésirables. Les techniques de commande sont proposées par [Bai08] pour réduire ce courant circulant en utilisant des états nuls de la tension dans les commutation du bras de l'onduleur pour limiter la puissance réactive. De plus, [Gui10] ont proposé des méthodes de choix de l'inductance de fuite pour réduire le pic de courant dans le transformateur planar entraînant l'amélioration du rendement de cette structure. En outre, toujours dans le but d'améliorer le rendement, les conditions limites pour le fonctionnement en commutation douce ont été considérées par [Dim08]. De l'analyse théorique donnée dans [Dem08], et afin de satisfaire les conditions de la commutation douce, I_{Ls} doivent suivre les contraintes ci-après:

$$\Rightarrow \begin{cases} I_{Ls}(0) \leq 0 \\ I_{Ls}(\theta \cdot T) \geq 0 \end{cases} \quad (\text{I.48})$$

En remplacement de cette condition à (I.32) et en combinaison avec (I.46) l'instant $t = \theta T$, les zones de commutation douce pour un convertisseur répondant à notre cahier des charges avec $L_S = 75\text{nH}$, sont exprimées dans la Figure I.19.

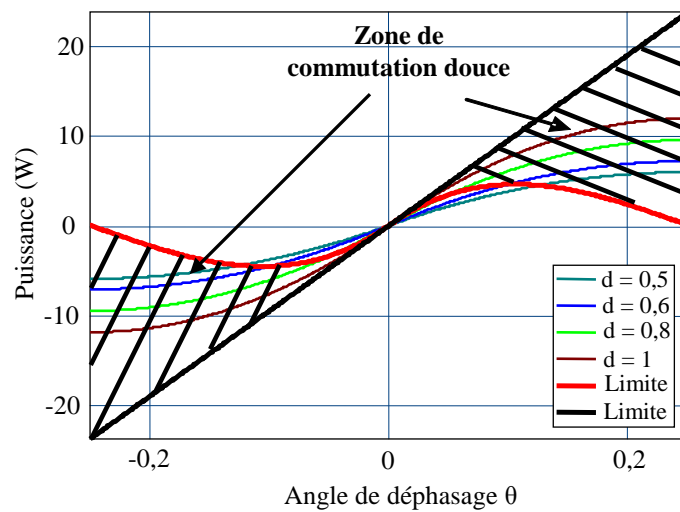


Figure I.19. Zones de commutation douce du DAB

La simulation du convertisseur pour notre cahier des charges sous le logiciel Simplorer permet d'obtenir le rendement pour différents rapports V_{dc2}/V_{dc1} . La Figure I.20 présente l'évolution de ce rendement lorsque les résistances des Mosfets sont fixées à $13\text{m}\Omega$, la capacité d'entrée de Pmos étant de 712pF et celle de Nmos est de 276pF .

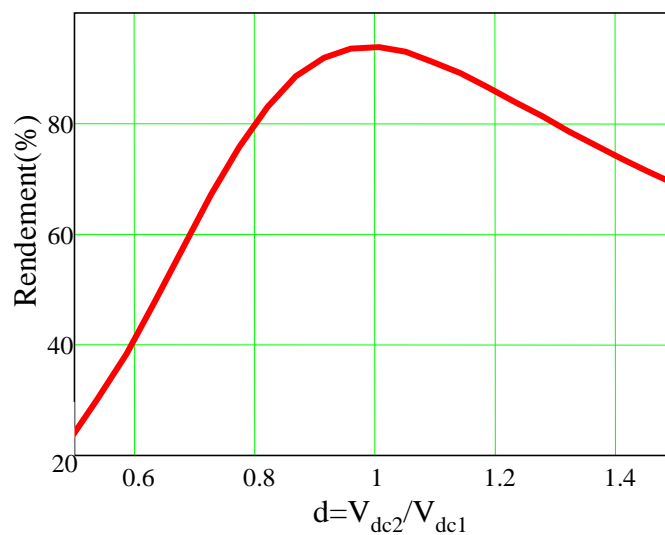


Figure I.20. Relation entre le rendement et le rapport de tension d à la puissance nominale

Sur cette figure, on constate que le rendement maximal est obtenu au point pour lequel $d = 1$ ($V_{dc2} = m.V_{dc1}$). A ce point, l'ondulation de courant à travers l'inductance de fuite est limitée et le courant efficace dans le transformateur est le plus petit bien que le courant sorti reste toujours à 2A . Le rendement de cette structure est donc maximal.

Choix de l'inductance de fuite :

La puissance transférée par cette structure est calculée suivant la formule (I.46). Pour un cahier des charges défini, cette valeur de la puissance dépend de l'angle de déphasage θ et de la valeur de l'inductance de fuite du transformateur L_S . La valeur de l'inductance de fuite doit être donc bien contrôlée pour que l'on puisse gérer facilement la commande de la structure pour bien contrôler le transfert de puissance ainsi que la tension de sortie. Pour cela il faut tenir compte de la résolution du contrôle du déphasage entre les deux signaux de commande de l'onduleur et du redresseur qui sera réalisé par un micro contrôleur type dsPIC33F [microchip] qui peut décaler la phase entre deux signaux par pas de 1ns. L'inductance de fuite doit donc être suffisamment grande, suivant les formules (I.35) et (I.46), pour que l'on puisse avoir une régulation fine de la tension et de la puissance à chaque pas de réglage du micro contrôleur ainsi pour avoir une faible ondulation de courant dans le transformateur. D'autre part, cette inductance de fuite influe sur la puissance maximale que peut transférer cette structure comme le montre la formule (I.49) [Kri06] :

$$P_{\max} = \frac{V_{dc1}^2 \cdot V_{dc2}^2 / m^2}{4 \cdot f_s \cdot L_S (V_{dc1}^2 + V_{dc1} \cdot V_{dc2} / m + V_{dc2}^2 / m^2)} \quad (\text{I.49})$$

Pour un rapport de transformation $m = 1$ et V_{dc2}/V_{dc1} autour de 1, la puissance maximale dépend justement de la valeur de l'inductance de fuite. La valeur de l'inductance de fuite doit donc être suffisamment petite pour que la puissance maximale soit supérieure à la puissance de conception du convertisseur [Kri06]. Pour notre cahier des charges, selon (I.49), la valeur de l'inductance de fuite doit être inférieure à 250nH pour que la puissance maximale soit supérieure à 6W. Cette valeur est correcte pour la tension nominale en entrée et la tension nominale en sortie (3V). Si on tient compte de la variation de la tension d'entrée et de la tension de sortie par rapport à la tension nominale durant la régulation de la tension totale du R μ C, la valeur de l'inductance de fuite doit être inférieure à 200nH pour une variation de tension de 10% et inférieure de 160nH pour une variation de 20%. La Figure I.21 présente la relation entre la puissance maximale, la tension d'entrée et la tension de sortie pour l'inductance de fuite de 150nH et une variation de tension de 20%.

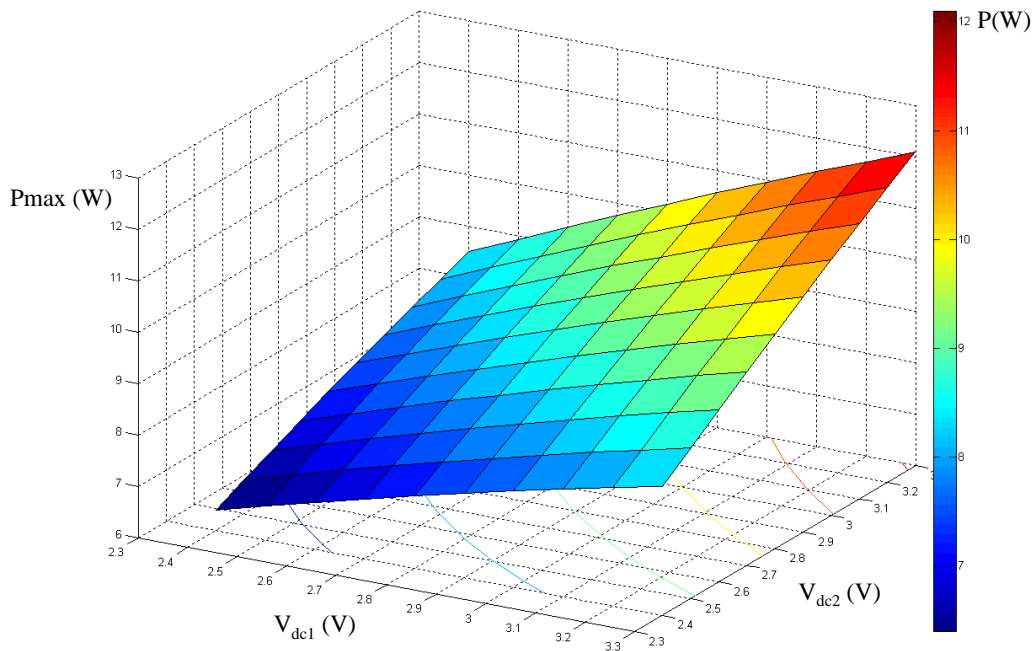


Figure I.21. Relation entre la puissance maximale, la tension d'entrée et la tension de sortie

Le choix de la valeur de l'inductance sera donc un compromis entre ces deux limites auxquelles il faut rajouter les contraintes de fabrication d'un transformateur présentant des fuites à maîtriser dans un petit volume. La Figure I.22 présente la relation entre le rendement du convertisseur et l'angle de déphasage θ pour différentes valeurs de l'inductance de fuite L_s (50nH, 75nH, 100nH et 150nH). Cette relation est calculée analytiquement pour un convertisseur dont la tension d'entrée est de 3V, chargé par une résistance de $1,5\Omega$ et fonctionnant à une fréquence de commutation de 500kHz. Pour ces tracés nous avons pris comme résistance à l'état passant R_{on} du Nmos de $13m\Omega$ et pour celui du Pmos $15m\Omega$. Les capacités d'entrée des Nmos et Pmos sont respectivement 276pF et 712pF. Ces valeurs de résistances et de capacités sont celles issues des résultats du dimensionnement en technologie CMOS $0,35\mu m$ de l'onduleur et du redresseur dans [Del09] qui vont être justifiées dans le troisième chapitre. Grâce aux valeurs de rendement calculées, on trouve que plus l'inductance de fuite est faible, plus la plage de réglage de θ pour que le rendement du convertisseur soit supérieur 90% est étroite. De plus, un compromis entre le volume, les pertes et la valeur de l'inductance de fuite du transformateur montre que la valeur de l'inductance de fuite est limitée autour de 75nH pour que le volume du transformateur soit le plus petit possible. Pour cela, la relation entre le rendement et l'angle de déphasage avec la valeur de l'inductance de fuite à 75nH est donc représentée par la courbe de couleur bleue dans la Figure I.22. Sur cette figure, on trouve que le rendement du convertisseur est toujours supérieur 90% pour des valeurs de θT variant de $0,023T$ à $0,03T$, correspondant à des retards de 46ns à 60ns pour une période de $2\mu s$.

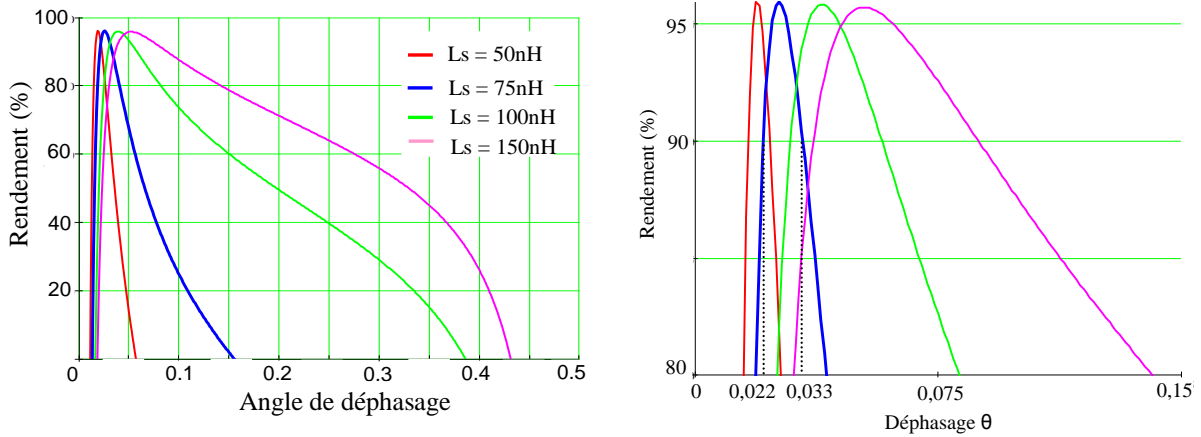


Figure I.22. Relation entre le rendement et l'angle de déphasage
 a - Les courbes du rendement ; b – Zoom sur la partie de rendement élevé

La Figure I.23 présente la relation entre la tension de sortie et l'angle de déphasage θ . On retrouve sur cette figure les valeurs de la tension de sortie dans l'intervalle de θT où le rendement obtenu est supérieur à 90%. Pour la plage de variation de θT dans l'intervalle de $0,023T$ à $0,03T$, la tension de sortie varie entre 2,62.V et 3,4V, c'est-à-dire que la plage de variation de la tension de sortie est supérieure à 10% de la tension de sortie médiane. Dans ce cas, le rendement est toujours supérieur de 90% et la puissance transférée varie de 4,62W à 7,63W. De plus, le rendement maximal est obtenu à l'instant où la tension de sortie est égale à la tension d'entrée (avec $m = 1$).

En outre, la Figure I.24 présente la relation entre le rendement et l'angle de θ lorsque la puissance transférée est maintenue à 6W.

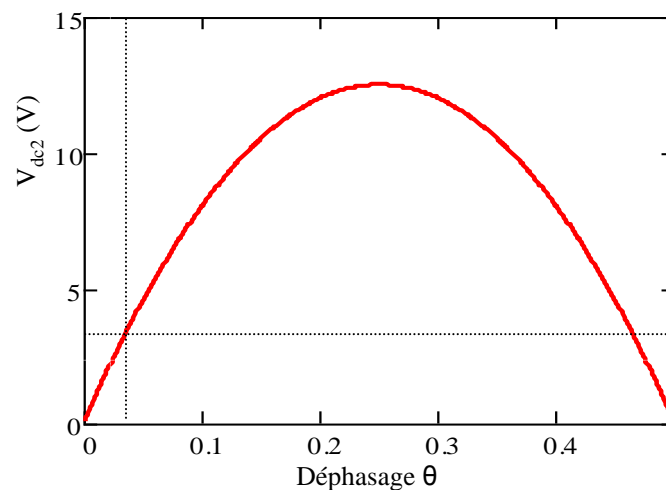


Figure I.23. Relation entre la tension de sortie et l'angle de déphasage θ .

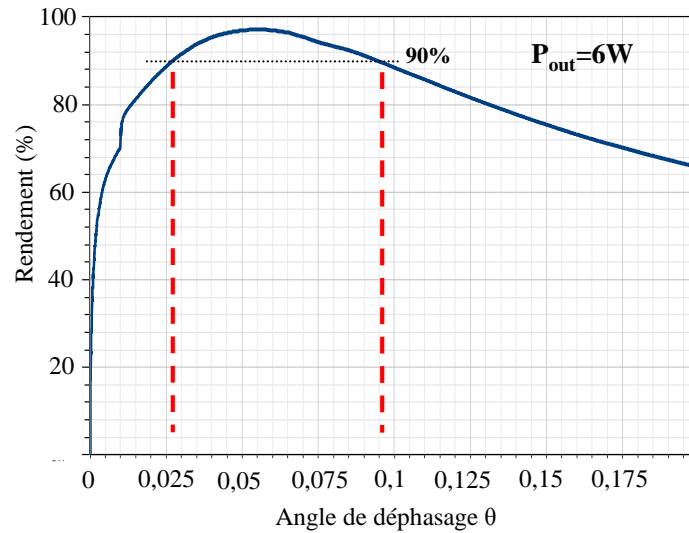


Figure I.24. Relation entre le rendement et l'angle de déphasage θ à charge nominale (6W)

I.3.8.b Validation de la structure.

Un premier prototype du convertisseur DAB a été réalisé et mis en œuvre en utilisant des composants discrets afin de tester les modes de fonctionnement, les caractéristiques ainsi que le rendement de ce convertisseur. Il est conçu pour fonctionner à des tensions nominales de 3V en entrée et en sortie, la puissance transférée nominale est de 6W et la fréquence de commutation de 100kHz. Les Nmos utilisés sont des IRFIZ34N dont la résistance à l'état passant est $R_{onN} = 0,04\Omega$ et la capacité d'entrée $C_{ISS} = 700pF$ et les Pmos sont des F9Z34N dont $R_{onP} = 0,1\Omega$ et $C_{ISS} = 620pF$. Ces valeurs de résistance à l'état passant sont importantes pour l'application visée mais nous verrons que nous pouvons grandement les diminuer lors de la réalisation intégrée.

Le schéma électrique de la commande rapprochée est présenté dans la Figure I.25. L'isolation de la commande du redresseur est nécessaire pour assurer l'isolation galvanique entre primaire et secondaire du convertisseur. Pour cela, nous allons utiliser le principe du couplage capacitif constitué de la capacité de découplage C_S entre primaire secondaire du transformateur ainsi que de 2 capacités C_3 , C_4 de faible valeur sur lesquelles sont appliqués les signaux de commande comme présenté Figure I.16. Ce sont les capacités C_3 et C_4 qui doivent être dimensionnées pour tenir la tension continue séparant le primaire du secondaire. Les étages RC réalisés par la capacité parasite des Mosfets et la résistance R_3 ou R_4 assurent le maintien de la tension de grille entre -3V et 3V pour un signal de commande variant entre 0 et 6V. Ce mode de transfert des ordres de commande est facile à gérer et à intégrer permettant d'isoler le primaire et le secondaire par des capacités de haut niveau d'isolation.

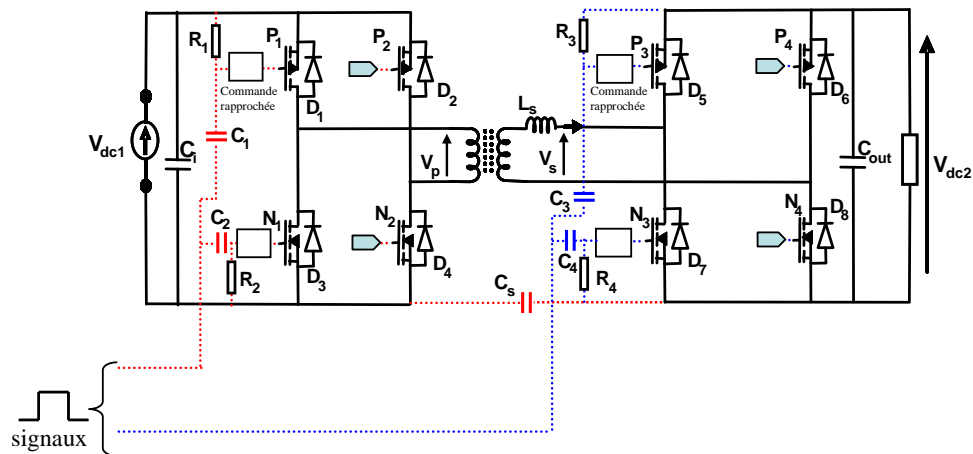


Figure I.25. Schéma des connexions des commandes isolées.

Le premier prototype du DAB est présenté Figure I.26 et la relation entre le rendement mesuré et la puissance transférée est tracée Figure I.27. Les valeurs des rendements maximums mesurés sur cette courbe ne prennent pas en compte la puissance consommée par le circuit de commande. Le rendement maximal obtenu est à 85% lorsque la tension d'entrée est égale à la tension sortie (le rapport de transformation du transformateur est de 1). Cette valeur du rendement est plus faible que la valeur théorique (87%) pour ces valeurs de la résistance à l'état passant des Mosfets. D'autres éléments sont à prendre en compte comme les pertes dans les connexions ou l'influence des parasites car il ne peut pas se justifier par une erreur de mesure car celle-ci est de 1,4% au maximum en utilisant une méthode voltampère métrique réalisée avec des multimètres MX579.

Les formes d'ondes sont présentées Figure I.28 et montrent les différents modes de fonctionnement de cette structure pour les cas de $V_{dc2} = m \cdot V_{dc1}$, $V_{dc2} > m \cdot V_{dc1}$ et $V_{dc2} < m \cdot V_{dc1}$. On peut vérifier que cette structure fonctionne bien en modes Buck ou Boost et que la tension de sortie est facilement régulée par la variation de l'angle de décalage θ .

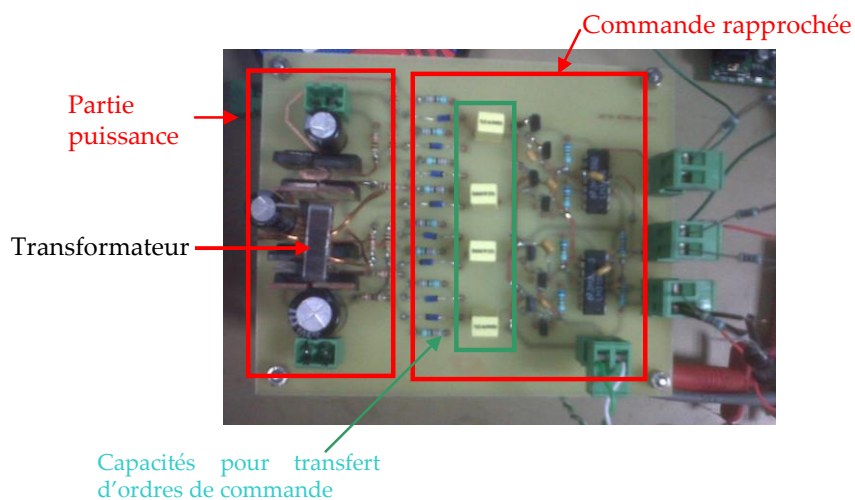


Figure I.26. Prototype de la structure DAB réalisée en composants discrets

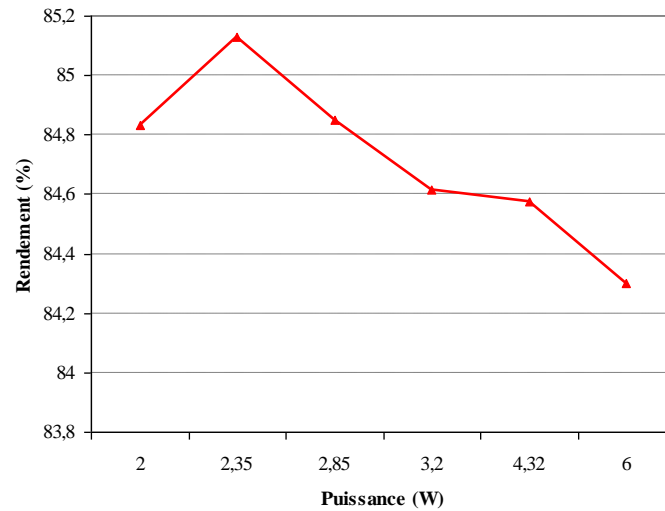


Figure I.27. Rendement mesuré en fonction de la puissance de sortie.

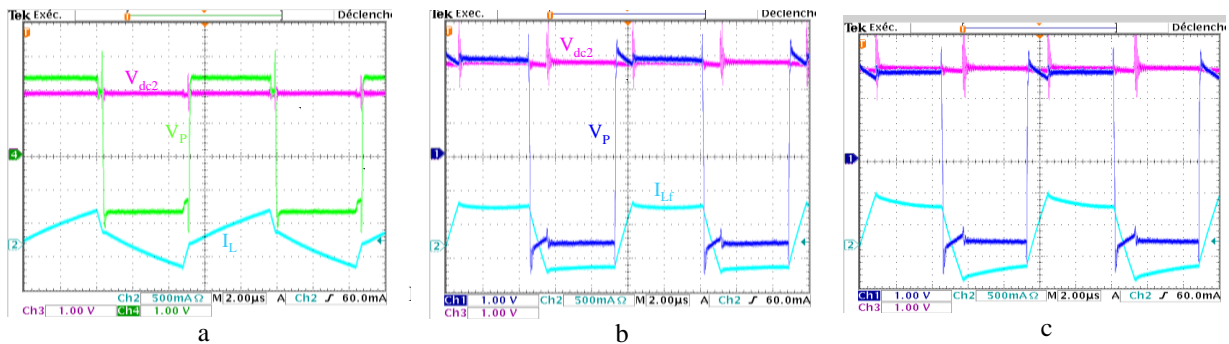


Figure I.28. Modes de fonctionnement de la structure DAB
 a- $V_{dc2} < mV_{dc1}$; b- $V_{dc2} = mV_{dc1}$; c- $V_{dc2} > mV_{dc1}$

Pour améliorer le rendement de cette structure, la résistance à l'état passant des composants actifs et passifs doit être améliorée. De plus, l'influence de l'inductance parasite doit être réduite en diminuant la longueur des pistes de connexion. En outre, la méthode de contrôle-commande du circuit doit être précise pour gérer exactement l'angle de déphasage entre la tension au primaire et secondaire du transformateur.

I.4. Conclusions

Le contexte et les objectifs de la thèse sont présentés dans ce premier chapitre. Il a pour but la réalisation d'un circuit de puissance programmable destiné à réaliser des convertisseurs de puissance. Ce circuit de puissance se compose d'un grand nombre de convertisseurs élémentaires de faible tension et de faible puissance intégrés dans un même circuit pouvant être associés en série et/ou en

parallèle pour créer un convertisseur de forte puissance et forte ou faible tension en entrée et en sortie permettant de répondre à n'importe quel cahier des charges de la conversion DC/DC.

Une deuxième partie se concentre sur la sélection d'une topologie du convertisseur DC/DC adaptée à notre R μ C. Ici, la structure DAB est choisie parmi plusieurs structures de convertisseurs utilisées classiquement dans le domaine de l'électronique de puissance telles que la structure Flyback ou la structure à résonance série en raison des différents avantages qu'elle présente : elle est facilement intégrable, bidirectionnelle en puissance, peut travailler en élévateur ou en abaisseur et présente une isolation galvanique.

Ses caractéristiques sont ensuite analysées et montrent les bons potentiels qu'offre le DAB. Une réalisation en composants discrets valide enfin le fonctionnement de cette structure par rapport aux calculs théoriques. Afin de compléter ce travail nous allons maintenant nous concentrer sur les moyens de configuration à mettre en œuvre pour donner aux R μ C la possibilité de répondre à n'importe quel cahier des charges de la conversion DC/DC.

CHAPITRE II :

Développement de la technologie de configuration du réseau de micro convertisseurs

SOMMAIRE DU CHAPITRE II

CHAPITRE II : Développement de la technologie de configuration du réseau de micro convertisseurs	51
II.1. Introduction	54
II.2. Circuit de puissance programmable (CPP)	54
II.2.1. Circuit logique programmable dans l'électronique	55
II.2.2. Circuit de puissance programmable	58
II.3. Dispositifs de configuration – actionneurs fusibles-rupteurs	61
II.3.1. Positions et contraintes des dispositifs de configuration	61
II.3.2. Les structures pour la configuration – actionneurs fusibles – rupteurs intégrés sur silicium	63
II.3.2.a. Micro fusible - antifusible	63
II.3.2.b. Rupteurs MEMS (Micro Electro Mechanical Systems)	66
II.3.2.c. Rupteurs électroniques	67
II.4. Développement de la technologie de configuration.....	69
II.4.1. Conditions limites pour la configuration	69
II.4.2. Algorithme de configuration du CPP	70
II.4.3. Zones de réponse du CPP	79
II.4.4. Augmentation de la puissance transférable du CPP	82
II.5. Conclusions.....	84

Ce chapitre présente le concept d'un circuit de puissance programmable (CPP) ainsi que les modes de configuration entre les convertisseurs élémentaires afin de pouvoir répondre à n'importe quel cahier des charges. Dans un premier temps et afin d'assurer la configuration / reconfiguration de ce CPP, des structures de fusibles-rupteurs ainsi que leurs contraintes en tension et en courant dans le réseau sont abordées. La méthodologie de configuration, ainsi que les modes de connexions seront présentés, associés aux performances et zones d'utilisation de ce CPP.

II.1. Introduction

Dans le premier chapitre, nous avons démontré que la topologie DAB était la plus adaptée pour la mise en œuvre et la réalisation de la CE, dans une mise en réseau de micro convertisseurs (R μ C). Dans ce deuxième chapitre, nous allons nous appuyer sur les caractéristiques de cette topologie pour développer la technique de configuration du CPP pour qu'il puisse répondre à n'importe quel cahier des charges de conversion en DC/DC. L'idée est ici de créer un circuit de puissance programmable composé d'un grand nombre de CEs intégrées dans ce circuit et pouvant être reconfiguré après sa fabrication. Pour cela, les convertisseurs élémentaires doivent pouvoir être interconnectés en série ou/et en parallèle à l'entrée ou/et à la sortie de chacun d'eux pour répondre à divers cahiers des charges. Les moyens de configuration peuvent être à action unique ou pilotable à volonté à l'image des circuits logiques programmables. Cela est obtenu grâce à de véritables fusibles ou encore de petits systèmes permettant l'aiguillage de l'énergie électrique. Pour gagner en continuité de configuration, il est possible d'adapter également le rapport entre la tension d'entrée et la tension de sortie de chaque cellule. Ainsi, en jouant sur l'angle de déphasage θ de chaque convertisseur élémentaire, il est possible de faire varier continûment la tension en sortie et la puissance transférée par chaque cellule, groupe de cellules ou même l'ensemble des cellules.

Pour configurer un CPP, il faut définir tout d'abord les stratégies de configuration, les topologies d'aiguillage et les positions des actionneurs fusibles-rupteurs dans ce réseau, qui offriront le meilleur compromis de flexibilité par rapport à des contraintes de dimensionnement et de performance. Ensuite, en fonction des contraintes sur les actionneurs des aiguillages, il faudra porter son attention sur la recherche des technologies les plus adaptées, sous la contrainte de l'intégration et à plus large échelle, de la fabrication collective.

Une fois la "matrice" d'interconnexion des CEs définie, il faut définir comment la piloter pour que celle-ci permette au CPP de remplir une large plage d'applications. L'établissement d'un programme de configuration du réseau de micro convertisseur permettant de répondre à n'importe quel cahier des charges est indispensable pour notre circuit de puissance programmable afin de trouver la configuration optimale du réseau pour le cahier des charges donné. Toutes ces études sur les dispositifs d'actionneurs fusibles-rupteurs ainsi que les modes de configuration du R μ C sont abordées dans ce chapitre.

II.2. Circuit de puissance programmable (CPP)

Pour mieux comprendre le principe de fonctionnement, les modes de configuration ainsi que la technologie de fabrication du circuit de puissance programmable, nous présentons tout d'abord le circuit logique programmable qui est utilisé fréquemment dans le domaine électronique sous les

termes anglais « Programmable Logic Device » (PLD). Il est connu pour plusieurs applications dans ce domaine, essentiellement utilisé dans certaines parties de l'ordinateur tels que la mémoire morte (Read-only memory : ROM), mémoire vive (Random-access memory : RAM) ... ou dans les télécommunications, aéronautique, transport [fpga-global].

II.2.1. Circuit logique programmable dans l'électronique

Un **circuit logique programmable** est un circuit intégré logique qui peut être (re)programmé après sa fabrication. Il est composé de nombreuses cellules logiques élémentaires qui peuvent être librement assemblées pour former une fonction logique complexe par exemple. Celles-ci sont connectées de manière définitive ou réversible par programmation, afin de réaliser la ou les fonctions logiques voulues. L'intérêt ici est qu'une même puce peut être utilisée dans de nombreux systèmes électroniques différents et permet de réaliser avec le même circuit intégré un nombre très important de fonctions logiques différentes.

Ce type de composant électronique est composé de trois grandes familles présentées ci-dessous :

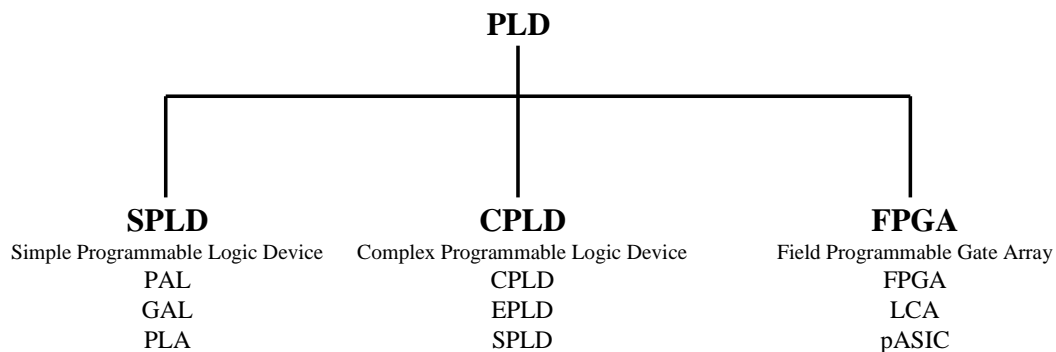


Figure II.1. Les familles de PLD [fpga]

SPLD (Simple Programmable Logic Device) :

Le premier circuit de PLD a été présenté en 1970 sous le nom « Programmable Array Logic » (PAL) et est composé que de deux types de la porte logique ET et OU pour réaliser les fonctions logiques en sortie. Les PLD dans les années suivantes étaient tous basés sur ce type d'architecture avec quelques améliorations.

Cette famille comprend trois types de circuits :

- **PAL** (*programmable array logic*, réseau logique programmable), présenté en 1970 qui avait une matrice ET programmable et une matrice OU figée.
- **PLA** (*programmable logic array*, réseau logique programmable), présenté en 1978 qui avait une matrice ET ou une matrice OU programmables
- **GAL** (*generic array logic*, réseau logique générique) a été inventé en 1985. Ce circuit à les mêmes caractéristiques que le PAL mais il peut être effacé et reprogrammé [Wiki-pld].

Aujourd'hui, cette famille est très facile à développer et ces circuits sont composés de centaines voire de milliers de portes logiques. Basés sur quelques familles de portes logiques, il n'est donc adapté que pour les simples fonctions logiques.

CPLD (Complexe Programmable Logic Device) :

Ce circuit a pour le but de réaliser un circuit logique de grande capacité contenant des milliers voire des centaines milliers des portes logiques intégrées dans un circuit [Wiki-PLD]. Il existe des variantes d'architectures du CPLD présentées sous les noms :

- **CPLD** (*complex programmable logic device*, circuit logique programmable complexe) ;
- **EPLD** (*erasable programmable logic device*, circuit logique programmable et effaçable) ;
- **SPLD** (*Segmented programmable logic device*, circuit logique programmable segmenté) ;

Ces circuits utilisent une matrice de connexion très complexe lors de la configuration d'une fonction logique qui peut, de fait, être très complexe.

FPGA (*field-programmable gate array*, réseau de portes programmables) :

Les FPGA sont les circuits intégrés à très haut niveau d'intégration. Typiquement, on estime qu'un circuit intégré comprend entre 10.000 et 99.999 portes logiques. Ils sont entièrement reconfigurables ce qui permet de les reprogrammer à volonté afin d'accélérer notablement certaines phases de calculs. L'avantage de ce genre de circuit est sa grande souplesse qui permet de les réutiliser à volonté avec des algorithmes différents via un temps de développement très court. La configuration d'un FPGA est généralement spécifiée en utilisant un langage de description du matériel afin d'optimiser les programmations et configurations et le routage entre les portes. Le progrès de ces technologies permet de faire des composants toujours plus rapides et à plus haute intégration, ce qui permet de programmer des applications importantes. Ils sont bien distincts des autres familles de circuits programmables tout en offrant le plus haut niveau d'intégration logique. Il existe des variantes d'architectures dans cette famille présentée ci-dessous :

- **FPGA** (*field-programmable gate array*, réseau de portes programmables) ;
- **LCA** (Logic Cell Array, réseau de cellule logique)
- **pASIC** (programmable ASIC, Application spécifique du circuit intégré programmable)

Pour mieux comprendre la structuration et la technologie de configuration du circuit logique programmable afin d'en appliquer la démarche dans le circuit de puissance programmable, regardons, en détail, la structuration d'un circuit FPGA.

Les circuits FPGA sont constitués d'une matrice de blocs logiques programmables entourés de blocs d'entrée sortie programmables. L'ensemble est relié par un réseau d'interconnexions programmable. La Figure II.2 présente les quatre principales catégories de FPGA disponibles dans le commerce : tableau symétrique ; en colonne ; « mer de portes » ; PLD hiérarchique. La structure interne d'un FPGA de type matrice symétrique est présentée dans la Figure II.3. On peut configurer en interne de chaque matrice symétrique pour créer les fonctions adaptées à nos besoins. De plus, les interconnexions entre

les cellules sont configurées par un programme grâce aux matrices des actionneurs fusibles-rupteurs reliant les cellules du circuit - Figure II.4.

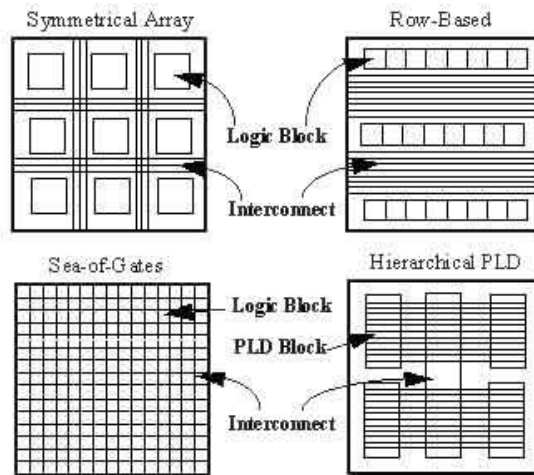


Figure II.2. Les différentes catégories de FPGA [Brown]

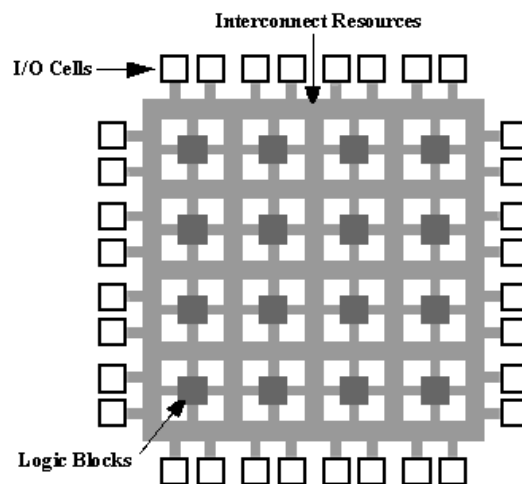


Figure II.3. Structure interne d'un FPGA [Brown]

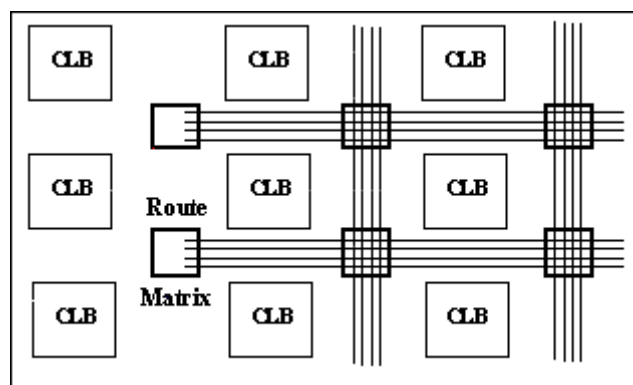


Figure II.4. Les interconnexions entre les cellules d'un FPGA [Brown]

L'avantage des FPGA est de pouvoir être configurés sur place, sans envoi du circuit chez le fabricant, ce qui permet de les utiliser quelques minutes après la conception de la fonction globale désirée. Les FPGA les plus récents sont configurables en une centaine de millisecondes. Les FPGA sont utilisés pour un développement rapide et bon marché des applications spécifiques du circuit intégré.

Si le FPGA semble être par définition le circuit programmable, son homologue de puissance serait vraiment un dispositif intéressant. Avant d'en arriver à ce stade de maturité technologique, on peut remarquer que les circuits programmables plus élémentaires reposent souvent sur des choix comme c'est le cas des PAL et des PLA. Les choix faits au niveau de ces circuits répondent à des analyses et des simplifications technologiques. Pour nos premières versions de R μ C, nous allons nous inspirer de cette approche, avec un système moins versatile mais offrant déjà beaucoup de possibilités et surtout, nous permettant de simplifier significativement sa réalisation et sa mise en œuvre.

II.2.2. Circuit de puissance programmable

Inspiré par le circuit logique programmable dans le domaine de l'électronique, notre idée est de créer un circuit de puissance programmable (CPP), appliqué spécifiquement pour réaliser un convertisseur de puissance composé de plusieurs dizaines ou centaines de CEs de conversion DC/DC de petite puissance et petite tension intégrées dans un CPP. Les interconnexions entre les cellules sont assurées par des matrices composées d'actionneurs fusibles-rupteurs configurables après la fabrication pour créer un convertisseur pouvant répondre à des cahiers des charges de forte puissance et de tension élevée ou de fort courant suivant les cahiers des charges désirés. Comme présenté dans le premier chapitre, chaque CPP est composé d'un nombre limité des CEs donc il peut répondre aux cahiers des charges dans un périmètre donné de tension, de courant et de puissance - partie II.4.

Pour pouvoir appréhender la réalisation de ce CPP, on doit résoudre les enjeux techniques tels que :

- ❖ Sa densité volumique de puissance doit être importante. Cet enjeu peut être résolu par des technologies d'intégration des composants actifs et passifs mais surtout via une optimisation du nombre et du volume des composants passifs.
- ❖ Afin de pouvoir adresser les applications de tension importantes, ce circuit doit avoir un niveau d'isolation suffisant entre l'entrée et la sortie des CEs ou entre les CEs.
- ❖ L'équi-répartition de la tension et du courant entre les cellules doit être assurée
- ❖ Le rendement de conversion doit être important.

De ces deux derniers points découlent les contraintes sur les CEs mais également sur les modes d'interconnexion qui désormais véhiculent de l'énergie et doivent être conçus et dimensionnés en conséquence. Ces connexions doivent être effectuées de façon à ce que le rendement total du circuit soit le plus élevé possible tout en assurant l'équi-répartition de la tension et du courant entre les CEs. Par conséquent, nous axerons dans un premier temps notre analyse pour déterminer les modes d'interconnexion entre les CEs du CPP. Pour cela, les mises en matrice des interconnexions entre les convertisseurs élémentaires du CPP seront abordées dans un premier temps – Figure II.5. Mais ces

modes de connexion présentent des inconvénients sur les caractéristiques des composants constituant la matrice de connexion et in fine sur le rendement et le volume du CPP. Ainsi, plus les degrés de liberté offerts par la matrice d'interconnexion seront importants, plus les contraintes en courant et en tension sur les composants assurant les interconnexions seront également importantes.

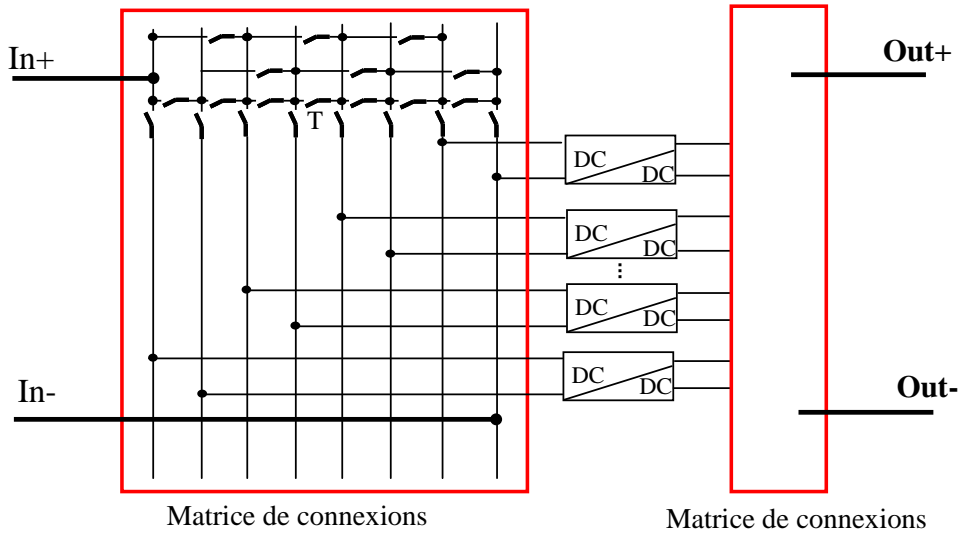


Figure II.5. Mise en matrice des cellules élémentaires d'un CPP

Par exemple, dans le cas de la figure II.5, on trouve que la tenue en tension des quelques fusibles-rupteurs est égale à celle des tensions d'entrée et de sortie, celles-ci pouvant correspondre à la somme des tenues en tension des convertisseurs du CPP. En effet, un exemple du cas de configuration présenté dans la Figure II.6.a, un réseau composé de quatre CEs divisé en deux blocs connectés en SIPO assurés par l'interrupteur T_1 . Dans chaque bloc, les CEs sont connectées en PIPO. Dans cette configuration, nous trouvons facilement que la tenue en tension de chaque interrupteur est égale à la tenue en tension de chaque CE et que le courant maximal est égal au courant maximal de la CE sauf le courant maximal passant dans l'interrupteur T_1 . Ce courant aura une valeur égale à n fois (ici 2) celui de chaque CE (chaque blocs ayant n CE connectés en parallèle, le courant passant par l'interrupteur T_1 doit être égale à n fois le courant de chaque CE). De manière complémentaire, le cas présenté dans la Figure II.6.b, où les CEs dans chaque bloc sont connectées en SIPO et puis sont connectées aux autres blocs en PIPO assurés par les interrupteurs de T_2 et T_3 . Dans ce cas, la tenue en tension des interrupteurs T_2 et T_3 est supérieure n fois (ici 2) par rapport à la tenue en tension de chaque CE

Pour satisfaire une plus grande tenue en tension dans les composants T_2 , T_3 , le fusible-rupteur doit avoir une plus "grande distance d'isolation" entre les deux points qui tiennent la tension. Ceci peut causer une plus grande résistance à l'état passant et donc une plus grande chute de tension pouvant soit détériorer le rendement total du CPP, soit augmenter le coût de la fabrication du CPP (en augmentant la surface des fusibles-rupteurs pour garder une faible résistance à l'état passant des fusibles-rupteurs). Ce sont les points faibles de mise en matrice série parallèle des CEs d'un CPP.

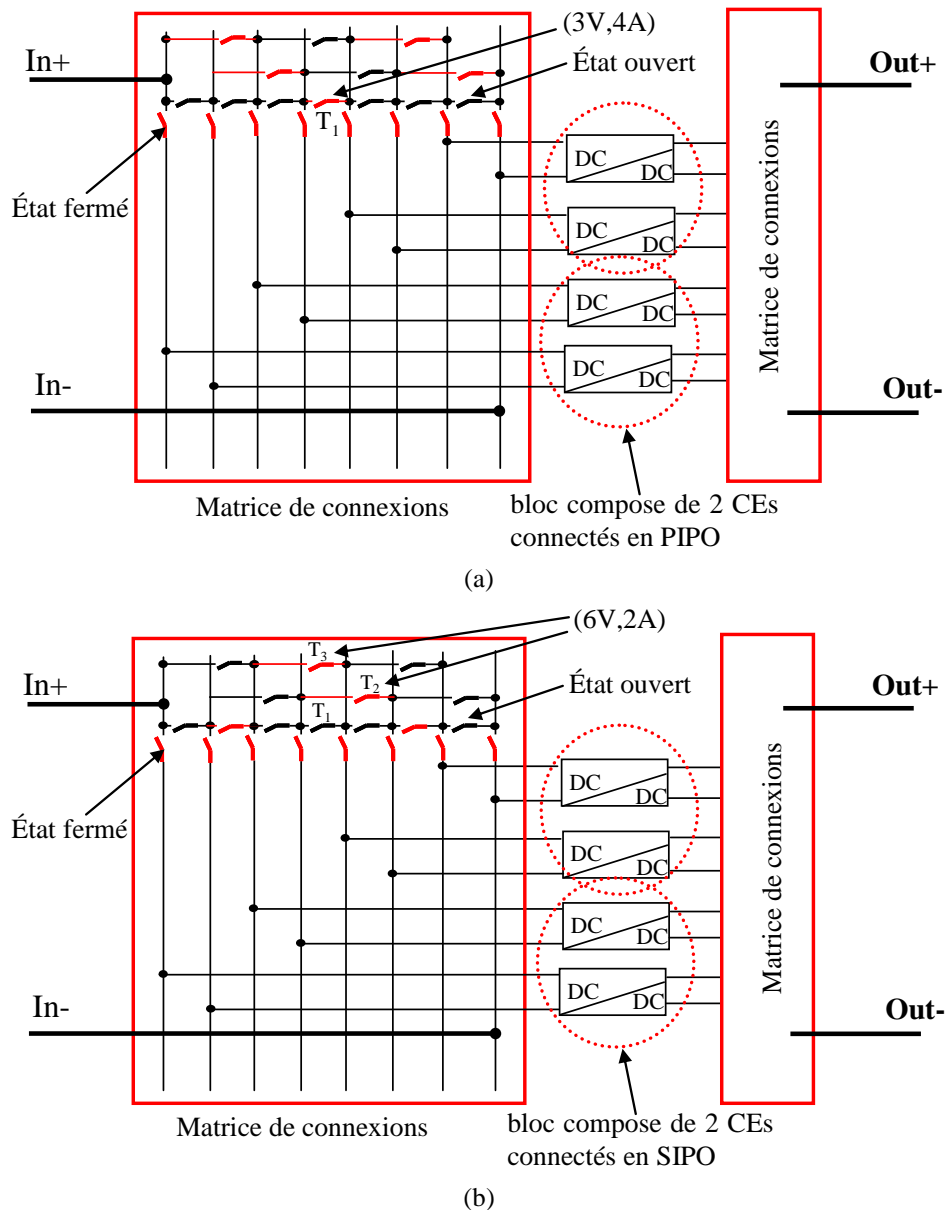


Figure II.6. Mise en matrice des CEs d'un CPP

Pour éviter ces problèmes, les interconnexions spécifiques entre les entrées des CEs et entre les sorties des CEs ont été proposées pour la mise en œuvre des premiers CPP – Figure II.7. Les CEs intégrées dans ce circuit se divisent en plusieurs blocs ayant un même nombre de CE. Les interconnexions entre les CEs de chaque bloc sont assurées par les matrices des fusible-rupteurs. Pour ces connexions, la tenue en tension et le courant maximal de chaque fusible-rupteur sont égaux à la tenue en tension et au courant nominal de chaque convertisseur élémentaire (3,3V et 2A). Les connexions entre les blocs (les parties nécessitant une tenue en tension importante et/ ou supportant un courant élevé) seront réalisées par soudure à l'extérieur du CPP en fonction du cahier des charges à réaliser. Dans ce cas, le rendement du CPP ne sera que faiblement affecté par ces interconnexions. De plus, l'équi-répartition du courant et de la tension est toujours satisfaite en utilisant un même nombre de CEs dans chaque

bloc à configurer du réseau. Le choix de ces modes de connexions permet de faciliter l'intégration et le pilotage de ces dispositifs de configuration qui pourront être alimentés par la tension de la CE.

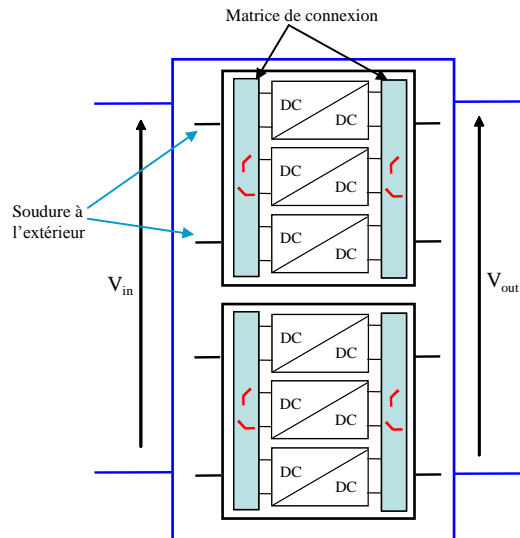


Figure II.7. Connexions à l'entrée et à la sortie de chaque CE

Au niveau du réseau, grâce à la réversibilité de la CE, on peut utiliser seulement les blocs connectés en SIPO intégrés dans un CPP pour configurer le R μ C dans les cas élévateur ou abaisseur de la tension. La réversibilité permet de soulager les contraintes de configuration de part ou d'autre des cellules. En choisissant au préalable certaines configurations privilégiées, il est possible de limiter fortement les contraintes en courant et en tension sur les matrices d'aiguillage même si cela se fait au prix d'une diminution des degrés de liberté. Cela est finalement assez comparable aux premiers circuits logiques dont certaines interconnexions étaient figées à l'avance.

II.3. Dispositifs de configuration – actionneurs fusibles-rupteurs

II.3.1. Positions et contraintes des dispositifs de configuration

Comme il a été présenté ci-dessus, les cellules dans chaque bloc sont pré-connectées en mode SIPO (série en entrée et parallèle en sortie). Comme nous allons le voir, le nombre de fusibles-rupteurs et leurs positions dans le CPP doivent être choisis afin de faciliter leur commande ainsi que limiter leurs influences sur le rendement total du convertisseur de puissance. La manière d'agencer les CE la plus adaptée pour notre CPP est donc proposée dans la Figure II.8. Pour ce cas du placement des fusibles-rupteurs, il est nécessaire d'avoir deux interrupteurs présents en entrée de chaque CE. A la sortie, on n'a pas besoin de dispositifs de configuration en raison de l'absence de changement de la tension du côté de connexion en parallèle lors de l'addition ou l'élimination d'une ou plusieurs CE. Les deux interrupteurs à l'entrée du convertisseur sont commandés de manière complémentaire. En effet, pour

mettre en œuvre une cellule dans un bloc, l'interrupteur du haut (T_O) est fermé pour la connecter au réseau alors que l'interrupteur du bas (T_C) est ouvert. Inversement, pour supprimer une cellule du réseau, l'interrupteur T_C est fermé pour bypasser la cellule que l'on veut écarter et T_O est ouvert pour la séparer du réseau. Dans ce cas, il reste encore des connexions électriques entre cette cellule et le réseau au secondaire permettant de maintenir active la cellule pour que l'on puisse utiliser la tension présente à l'entrée pour commander les interrupteurs de configuration (commande des interrupteurs de configuration par une source d'alimentation interne de la puce). En effet, la tension de sortie de chaque CE est toujours égale la tension de sortie de chaque bloc (3V). Avec le rapport de transformation du transformateur de l'unité, la tension présentée aux bornes de la capacité d'entrée C_e (V_{Ce}) est égale à la tension de sortie V_{Cs} – voir Figure II.9. On peut donc utiliser cette tension V_{Ce} pour commander les interrupteurs présents à l'entrée de cette CE.

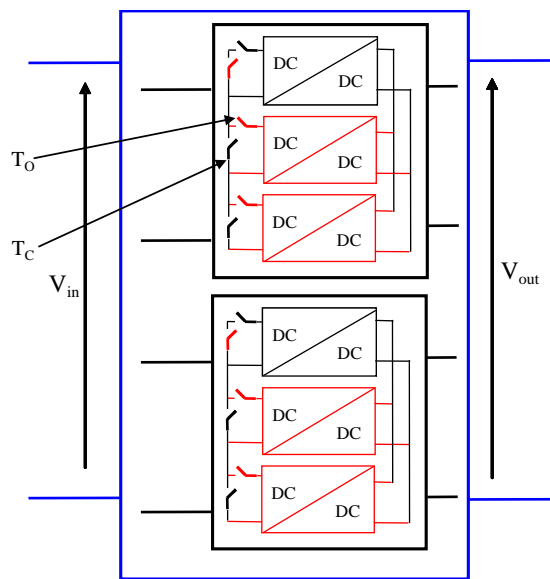


Figure II.8. Exemple d'un CPP composé de deux blocs de trois CEs

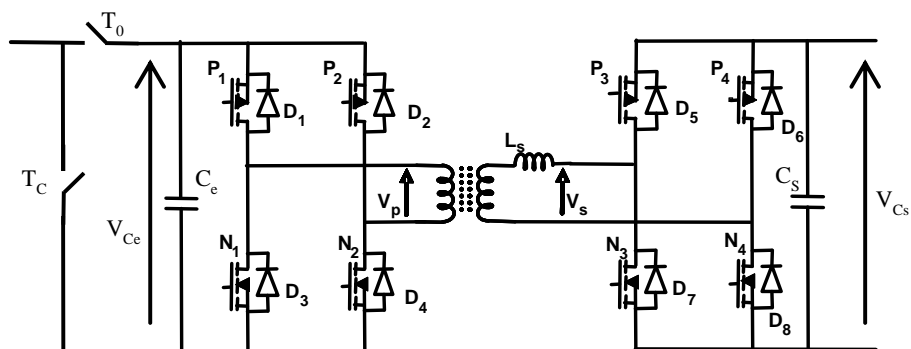


Figure II.9. Le convertisseur élémentaire avec les interrupteurs de configuration

Par cette manière d'agencer les CEs, il y a toujours un dispositif de configuration mis en conduction pour chaque configuration. La puissance dissipée dans ces dispositifs peut réduire alors sensiblement le rendement total du réseau. En conséquence, le choix et les caractéristiques du bon composant de configuration sont très importants pour notre approche du R μ C.

Les dispositifs de configuration dans le R μ C doivent répondre aux contraintes suivantes :

- ❖ Ces dispositifs doivent avoir une faible chute de tension et de faibles pertes pour limiter leur impact dans les R μ C ayant des CEs de faible tension et de faible puissance. Dans presque tous les cas de configuration du R μ C, ces dispositifs sont commandés en régime statique. Les pertes associées aux éléments de configuration sont donc presque exclusivement les pertes en conduction, les pertes par commutation étant alors négligeables et les pertes de commande très dépendantes du type de composant de configuration. Minimiser la résistance à l'état passant de ces composants est alors essentielle. Cette valeur de la résistance dépend de la géométrie et des caractéristiques des matériels utilisés dans les actionneurs fusibles-rupteurs.
- ❖ Les dispositifs de configuration doivent avoir une bonne tenue en tension. Suivant les modes de connexion présentés dans la Figure II.8, la tenue en tension minimale de ces dispositifs doit être égale à la tension maximale de la CE (3,3V pour notre application).
- ❖ Ces dispositifs sont commandables pour ajouter ou éliminer facilement une ou plusieurs CEs durant le processus de configuration mais également durant l'utilisation des convertisseurs de puissance programmables. Suivant les différentes structures de l'interrupteur, ses modes de commande peuvent être utilisés soit par le courant soit par la tension. Mais la structure du système de contrôle-commande doit être facile à réaliser.
- ❖ Ces dispositifs doivent être isolés
- ❖ Ils doivent être faciles à fabriquer et à intégrer. Les surfaces du composant doivent être les plus petites possibles pour réduire le coût de fabrication.

Pour identifier quelles pourraient être les meilleures technologies permettant de répondre à toutes ces contraintes, une analyse bibliographique et une comparaison doivent être faites pour un cahier des charges de 3V et 2A.

II.3.2. Les structures pour la configuration – actionneurs fusibles – rupteurs intégrés sur silicium

II.3.2.a Micro fusible - antifusible

Plusieurs structures différentes de micro fusibles, intégrées sur silicium, sont présentées dans [Mar01] [Uch89] [Poe89] [Coo92] [Bru95] [Ari82]. Les technologies de fabrication ainsi que les choix des matériaux pour les différents éléments du micro fusible sont détaillés. Ce sont les structures utilisées dans les circuits électroniques mais on peut s'en inspirer pour les utiliser dans les circuits

d'électronique de puissance. Le principe de fonctionnement de ces structures se base sur le principe thermique Figure II.10. Ces éléments se composent d'une couche mince conductrice reliant deux contacts pour que le courant puisse circuler par cette couche en régime de fonctionnement normal. En mode de configuration, c'est-à-dire si l'on veut séparer électriquement les deux contacts, un courant est appliqué dans l'élément chauffant générant une quantité de chaleur suffisante pour faire entrer en fusion la couche conductrice. Cela provoque la séparation des deux contacts (le fusible est déclenché). Une de ces structures est présentée Figure II.11. C'est une topologie compatible avec notre approche de réseau de micro convertisseurs qui est commandée par un courant externe [Uch89].

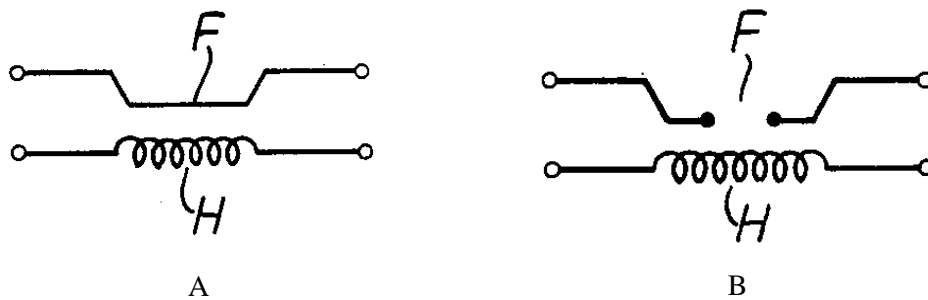


Figure II.10. Schéma principe de fonctionnement du fusible
a- Avant le déclenchement ; b- Après le déclenchement

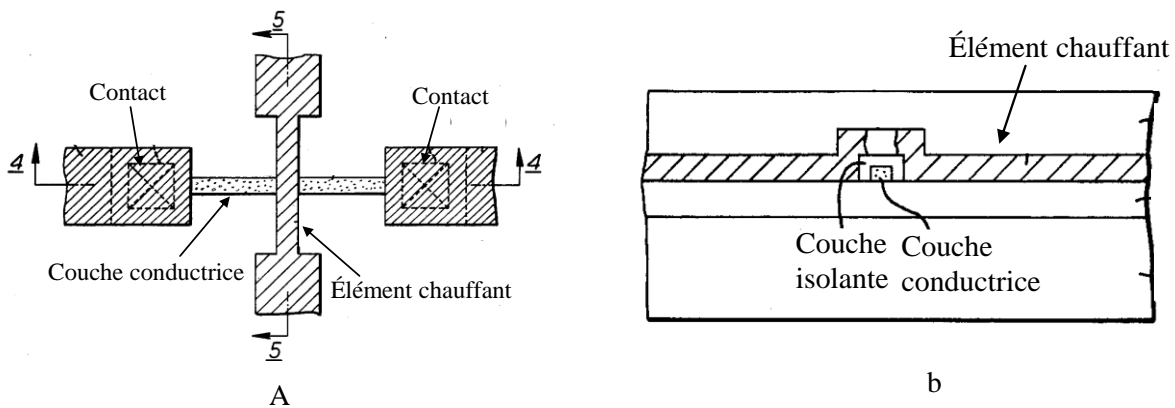


Figure II.11. Compositions du fusible [Uch89]
a- vue suivant le plan horizontal ; b- fusible après le déclenchement

Les limites des fusibles concernent le fait que seule l'ouverture de circuit est possible, il est impossible de le refermer par la suite. Ainsi, avec les fusibles, il est possible de retirer des éléments. Des structures d'anti-fusibles doivent donc être couplées avec les micro fusibles dans le circuit de puissance programmable pour ajouter un ou plusieurs éléments au réseau. Le principe de fonctionnement est présenté dans la Figure II.12. La Figure II.13 présente un exemple sur une structure d'un anti-fusible inventée par [Uch89].

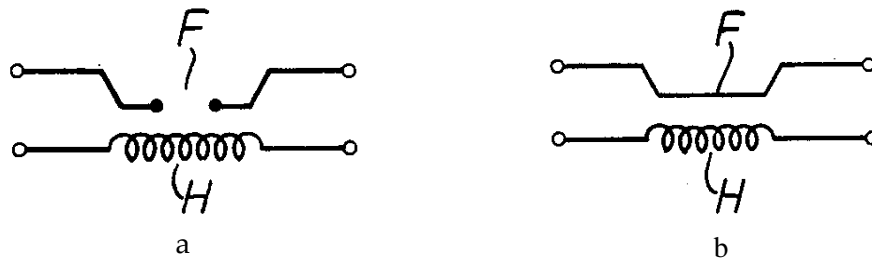


Figure II.12. Schéma principe de fonctionnement du fusible
a- Avant le déclenchement ; b- Après le déclenchement

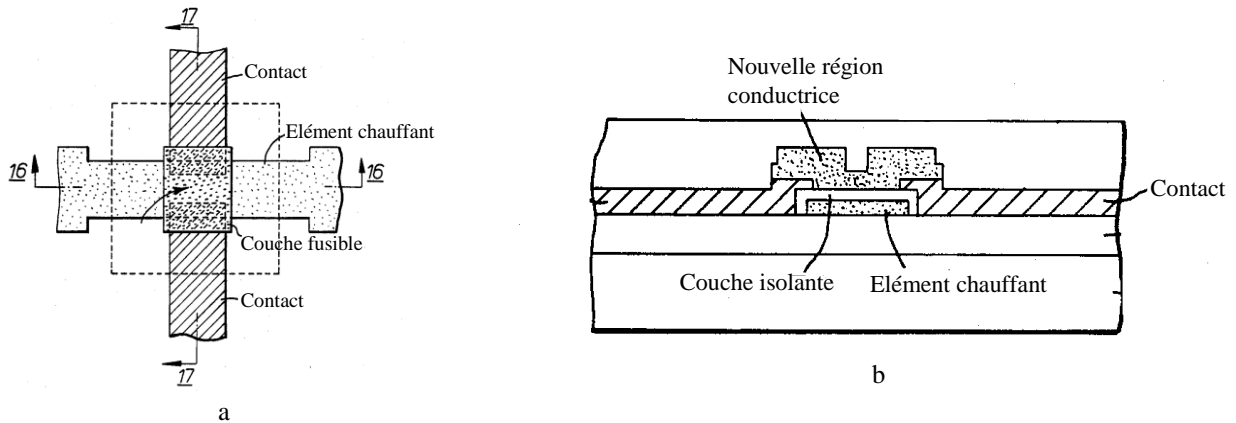


Figure II.13. Compositions de l'anti-fusible [Uch89]
a- voir suivant le plan horizontal ; b- anti-fusible après le déclenchement vue suivant le plan 17-17

Commandé comme le fusible, l'anti-fusible est programmé par le passage d'un courant dans l'élément chauffant pour générer de la chaleur diffusant aux couches conductrices proches de cet élément faisant entrer en fusion les couches conductrices et les faisant entrer en contact et reliant les deux contacts de l'anti-fusible. L'anti-fusible est déclenché passant de circuit ouvert à court-circuit [Uch89]. Cette solution technologique peut paraître intéressante, toutefois, si l'on consulte la bibliographie sur ces anti-fusibles on s'aperçoit que la résistance à l'état passant ne descend pas en dessous de 100Ω ce qui n'est pas viable pour notre application.

L'état de l'art et le fonctionnement des fusibles et anti-fusibles, montre que le principe de fonctionnement du micro fusible et de l'anti-fusible se base sur le principe thermique généré par un courant de commande externe. Ces structures sont simples à intégrer sur silicium en peuvent être fabriquées en même temps et dans la même technologie que notre onduleur. Les étapes de fabrication ne sont pas complexes à réaliser mais, pour les utiliser dans notre réseau, il est nécessaire d'utiliser parallèlement deux structures en même temps pour ajouter ou éliminer des CEs. En outre, la résistance à l'état passant de ces structures est toute à fait différente. Le micro fusible présente une faible résistance à l'état passant ce qui le rend compatible avec une utilisation dans le réseau. En revanche, l'anti-fusible présente une résistance importante à l'état passant faisant qu'il ne peut pas être utilisé en l'état dans le réseau. De travaux supplémentaires devront donc être envisagés pour améliorer ce point.

De plus, le fusible et l'anti-fusible sont déformés après un déclenchement. Ces dispositifs sont donc utilisés une seule fois pour la configuration. C'est une limite de ces structures en vue de l'utilisation dans notre R μ C.

II.3.2.b Rupteurs MEMS (Micro Electro Mechanical Systems)

Pour améliorer les limites du micro-fusible et de l'anti-fusible dans notre application, plusieurs structures de rupteurs contacteurs MEMS ont été étudiées durant ces travaux de thèse. Ces structures sont destinées à établir ou interrompre le passage du courant à partir d'une commande électrique [Rou04] [Mac02] [Yao96] [She06] [She08], pneumatique ou optique [Rou02] [Yeo01] [Yeo02]. Ces structures ne sont pas déformées après le déclenchement du rupteur. Elles peuvent donc fonctionner plusieurs fois. C'est l'un des intérêts du rupteur par rapport au micro fusible.

Une des structures intéressantes de rupteur MEMS est présentée Figure II.14 [Rou06]. Elle est commandée par un courant externe. Elle est composée d'un aimant 102, d'un substrat 104, d'une couche d'isolation 106 couvrant un conducteur 114, de deux contacts 108 et 408. Un cantilever 112 composé d'une couche magnétique sensible non conductrice est positionné au-dessus de la couche d'isolation. Une couche conductrice 402 est attachée au bout du cantilever 112 pour produire les contacts électriques entre les contacts 108 et 408. Deux contacts optionnels peuvent également être formés sur la partie de conduit 402. Le fonctionnement de ce rupteur se base sur l'interaction par la force magnétique entre l'aimant et la couche magnétique sensible du cantilever. La direction de cette force magnétique dépend des sens du courant de commande dans la bobine qui décide la fermeture ou ouverture des contacts du rupteur.

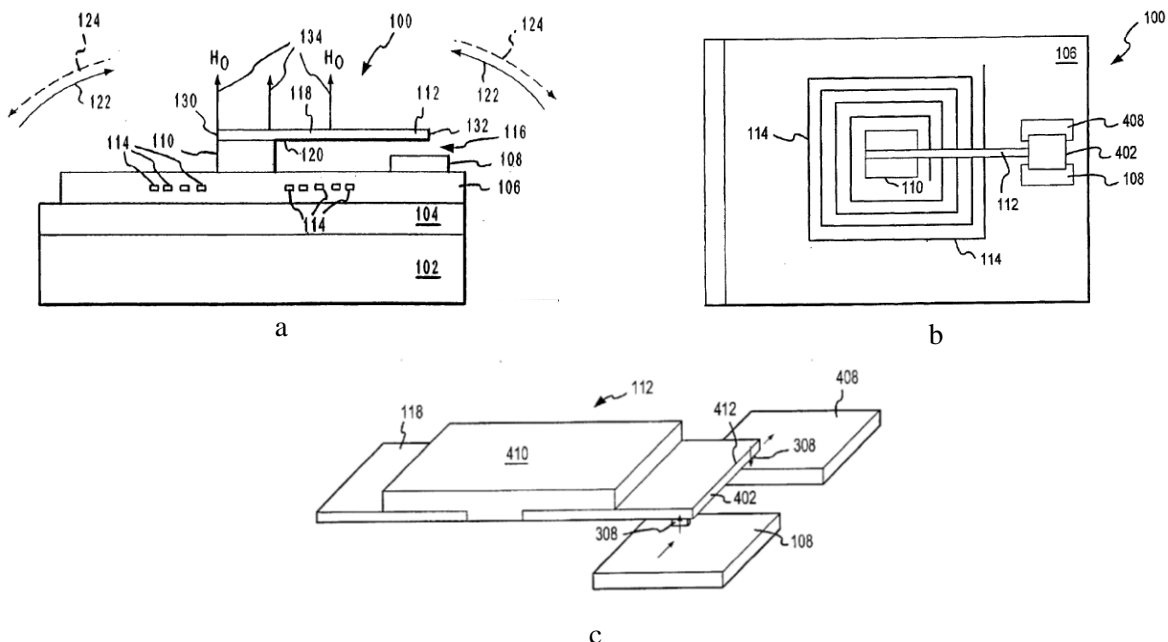


Figure II.14. Compositions du rupteur MEMS [Rou06]

a- vue suivant le plan vertical ; b- vue suivant le plan horizontal ; c- rupteur en régime de fonctionnement

La tenue en tension de ce rupteur est assurée soit par la distance entre les deux contacts 108 et 408 isolés par de l'air, soit par deux fois de la distance entre les contacts 108, 408 et les contacts optionnels 308. Pour notre cahier des charges avec la tenue en tension de 3V, la distance minimale entre deux contacts doit être supérieure à 0,83 μm . Si le cantilever et les contacts sont réalisés en cuivre, la résistance à l'état passant de ce rupteur sera très faible calculée en considérant la surface minimale du cuivre de 0,03 mm^2 .

La vitesse de réponse du rupteur dépend de la valeur du courant de commande et de la conception spécifique du rupteur tels que la position de la couche magnétique, de la longueur du cantilever, des matériaux du cantilever. Mais en général, le temps de réponse du rupteur MEMS est important, de 2 μs à 40 μs pour interrupteur MEMS électrostatique et de 200 μs à 3000 μs pour MEMS thermique/magnétique [Reb03-Rou02-Mac02-Sak89-Yao96-Gre94]

Ce type de rupteur présente des points faibles. Il est peu immunisé aux champs externes pouvant le faire changer d'état, de plus, sa structure est complexe est difficile à fabriquer

II.3.2.c Rupteurs électroniques

Les composants de puissance à semi-conducteur commandés peuvent être utilisés dans le réseau de micro convertisseur pour la fermeture ou l'ouverture du circuit. Il s'agit du transistor à jonction bipolaire, du transistor à effet de champs à grille isolé (MOSFET) qui sont adaptés pour la tension appliquée de 3V. Dans ces structures, le bipolaire présente comme avantages une faible tension de déchet, une faible résistance à l'état passant et le pouvoir de commuter de forts courant mais sa fréquence de commutation est relativement basse et il nécessite une puissance de commande grande par rapport à l'IGBT et le MOSFET [Lefr05]. Le MOSFET nous apparaît donc comme le composant le plus adapté à notre objectif même s'il présente une plus grande chute de tension que le bipolaire et l'IGBT. Il est facile à intégrer sur une même puce et demande peu d'énergie pour le circuit de commande. La Figure II.15 présente la structure d'un Nmos latéral sur substrat silicium. Il est composé de deux contacts (Source et Drain) aux deux extrémités de ce composant. La grille sert à ouvrir ou fermer le circuit.

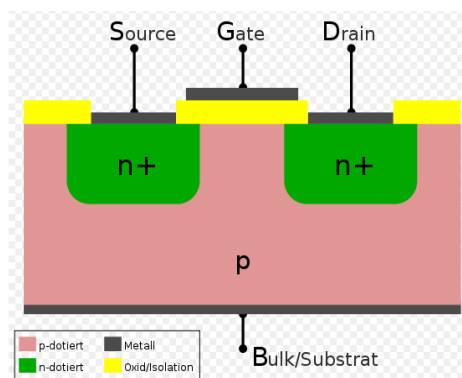


Figure II.15. Structuration du Nmos latéral

Au niveau de dimensionnement de ce composant, nous sommes face à un compromis entre la surface, la tenue en tension et la résistance à l'état passant. En effet, pour améliorer la résistance à l'état passant, il est nécessaire d'élargir la surface du composant pour une même tenue en tension. Un bon compromis entre le rendement de conversion et la surface de composant conduit, pour un Mosfet dont a tenue en tension est de 3V, a une résistance à l'état passant de 13mΩ imposant une largeur de grille de 1320mm.

La temps de réponse de ce rupteur est plus faible que celle des deux structures ci-dessus et varie de quelques ns à quelques dizaines ns. La consommation de son circuit de commande est faible, de l'ordre du μW pour 1MHz [Del09].

II.3.2.d Conclusion.

On voit que chaque structure a des points forts et des points faibles. Cependant, les fusibles et anti-fusibles ne sont pas adaptés à notre application de CPP à cause de la déformation irréversible de leur structure après un déclenchement et de la résistance importante à l'état passant. Dans la suite nous ne comparerons donc que les deux autres structures ; l'interrupteur MEMS et l'interrupteur électronique. Les principaux critères de choix sont présentés dans le tableau II.1

	Interrupteur MEMS	Interrupteur électronique (Mosfet)
Vitesse de réponse	de quelques μs à qq ms	De qq ns à dizaine ns
Facilité d'intégration	Complexe	simple
Résistance à l'état passant	Faible	mΩ
Tableau II.1 : Comparaison entre l'interrupteur MEMS et l'interrupteur électronique		

Au vu de résultats présentés dans le tableau II.1 nous choisissons le Mosfet pour une utilisation dans notre réseau de micro convertisseurs. Ce composant présente plus d'avantages que l'interrupteur MEMS bien qu'il présente encore une résistance à l'état passant plus élevée. Toutefois, pour des valeurs de résistance à l'état passant autour de 10mΩ, il est acceptable de l'utiliser sans influence important sur le rendement du CPP. De plus, la compatibilité entre la technologie de fabrication de cet actionneur avec la technologie de fabrication de la puce intégrée de l'onduleur permet de les réaliser sur une même puce évitant les pertes créées par les connexions de plus, ces interrupteurs sont faciles à commander par un seul signal. Ces travaux sont actuellement mis en œuvre par Kerachev Luybomir dans sa thèse en cours au G2elab.

Avec les moyens de configuration et de mise en œuvre choisis, dans la partie suivante nous allons aborder la question de la configuration du réseau de micro convertisseurs afin de répondre à n'importe quel cahier des charges.

II.4. Développement de la technologie de configuration

Dans les parties précédentes, nous avons identifié la topologie de la CE du R μ C ainsi que la topologie de l'actionneur rupteur-fusible qui sera utilisé dans ce réseau. Dans cette partie, nous développerons le mode d'aiguillage entre les CEs de chaque bloc du convertisseur et entre les blocs du convertisseur pour que le CPP puisse répondre à n'importe quel cahier des charges comportant la puissance transférée (P), la tension d'entrée (V_{in}) et la tension de sortie (V_{out}). Comme il a été présenté dans le premier chapitre, le CPP est composé d'un nombre fini de blocs identiques de convertisseurs. Chaque bloc est composé d'un nombre fini de CEs connectées en SIPO. L'addition ou l'élimination de cellules dans chaque bloc est assurée par la fermeture et/ou l'ouverture de l'interrupteur de configuration connectés à l'entrée de chaque cellule permettant la régulation de la tension du réseau ainsi que pour l'augmentation du rapport entre la puissance transférée et la puissance nominale de chaque CE (on l'appelle le taux d'utilisation de chaque CE). Cela permet à la CE de fonctionner à proximité de son point optimal garantissant alors le fonctionnement de chaque CE dans la zone de « bon rendement du DAB » présenté dans premier chapitre. La connexion entre les cellules et/ou entre les blocs doit donc être déterminée de façon à ce que le rendement du réseau soit maximal. Pour cela, nous avons tout d'abord établi un algorithme de configuration qui permet de déterminer le mode de connexion entre les cellules et les blocs permettant de satisfaire le cahier des charges tout en gardant un bon rendement. Cet algorithme a été établi en fonction des conditions limites liées au maximum et minimum de la tension d'entrée et de sortie des cellules ainsi qu'en fonction du nombre maximal de convertisseurs élémentaires.

II.4.1. Conditions limites pour la configuration

Ci-dessous la liste des conditions limites pour la configuration du CPP

- ❖ Le nombre maximal de CEs sélectionnées pour la configuration doit être inférieur ou égal au nombre total de CEs intégrées dans le CPP.
- ❖ Pour garantir l'équi-répartition des courants et des tensions entre les blocs dans le réseau, le nombre des CEs utilisées dans chaque bloc à chaque instant doit être identique.
- ❖ La tension appliquée sur chaque CE doit être comprise entre la tension minimale (V_{min}) et la tension maximale (V_{max}) garantissant un bon rendement. Dans notre cas, nous avons l'intention d'intégrer notre convertisseur élémentaire via la technologie AMS 0.35 μ m AMS35B4M3 offrant une tension maximale de 3.3V (présentation détaillée dans le troisième chapitre). La tension minimale de cette cellule est limitée à 2.7V pour garantir son rendement élevé; cette valeur minimale de la tension peut être repoussée à 2.4V dans quelques cas pour répondre aux besoins de la charge. C'est une valeur de tension minimale pour faire fonctionner le convertisseur élémentaire avec un rendement acceptable mais moins optimal.

- ❖ La régulation de la tension du réseau est partiellement assurée par l'addition/l'élimination de CEs. Elle est complétée par la régulation de la tension interne de chaque CE. La plage de variation de cette dernière dépend de la topologie du convertisseur élémentaire. Les analyses de cette topologie, présentées dans le premier chapitre, montrent que le rendement du convertisseur est bon si le décalage entre la tension d'entrée et la tension de sortie est inférieur ou égal à 10%. Cette condition doit être ajustée à 20% dans quelques cas lorsque la tension minimale est repoussée à 2,4V, pour les cas pour lesquels il est impossible de répondre au cahier des charges avec les contraintes initiales sur le niveau de performances du système.

II.4.2. Algorithme de configuration du CPP

Dans cette partie, nous allons décrire l'algorithme qui permet de répondre à n'importe quel cahier des charges en assurant les conditions limites présentées ci-dessus. A un cahier des charges donné, il est possible de trouver plusieurs configurations du réseau qui puissent y répondre. Toutefois, nous souhaitons choisir la meilleure configuration, du point de vue du rendement et du taux d'utilisation, pour la mise en œuvre.

La configuration du réseau pour répondre à un cahier des charges quelconque (V_{in} , V_{out} , P) commence par la connexion entre les blocs pour satisfaire les conditions de tensions d'entrée et de sortie – voir Figure II.16 dont les blocs sont connectés en SIPO pour satisfaire tout d'abord la tension d'entrée, puis on utilise tous ces blocs (un groupe) pour les mettre en PISO pour satisfaire la tension de sortie. Avec cette démarche on peut éviter les déséquilibres de la tension et du courant dans le réseau. Mais pour ce mode de configuration, on utilise dans quelques cas plus de blocs (ou CEs) pour satisfaire la tension d'entrée/sortie pouvant soit dépasser la limite de CE dans le CPP, soit faire abaisser le taux d'utilisation de chaque CE. En conséquence, le mode de connexion en SISO entre les blocs est utilisé en premier pour satisfaire les conditions de la tension et puis SIPO/PISO. En effet, par l'utilisation de ce mode de connexion SISO, on satisfait en même temps la tension d'entrée et la tension de sortie. Le choix de cette démarche permet d'utiliser le minimum des CEs pour satisfaire les tensions et la puissance.

Cependant, la tension nominale d'entrée/sortie du réseau à configurer n'est pas toujours identique à la tension du cahier des charges. On conçoit donc la tension nominale du réseau pour que la tension demandée de chaque côté soit dans une plage de 90% à 110% de la tension nominale. Puis, grâce à la régulation interne de chaque CE (régulation du déphasage), il est possible de régler de façon continue les tensions d'entrée et de sortie. Si ce moyen de régulation n'est pas suffisant pour satisfaire les conditions de tension, le mode de régulation par addition/élimination des cellules sera utilisé.

Ensuite, les conditions sur la puissance transférée sont considérées. Si la puissance du réseau est égale ou légèrement supérieure à la puissance demandée par la charge, la configuration du réseau est bien choisie. Mais si la puissance du réseau est inférieure à la puissance demandée, on va doubler ou tripler le réseau par des connexions PIPO du réseau précédent pour satisfaire ce point. En inverse, si la

puissance du réseau est plus élevée que la puissance demandée, le taux d'utilisation de chaque CE peut être faible, c'est-à-dire que la puissance transférée par chaque CE est plus faible que sa puissance nominale. Les CEs ne fonctionnent pas au point optimal de la conception entraînant l'abaissement du rendement. L'élimination d'une ou plusieurs CEs du bloc sont nécessaires pour avoir une autre configuration qui puisse avoir un bon rendement.

Pour mieux comprendre notre algorithme, on imagine un circuit CPP composé de m CEs divisées en L blocs, chaque bloc étant composé de $n = m/L$ CEs. La tension d'entrée et la tension de sortie de chaque cellule sont respectivement de V_{inc} et V_{outc} (la tension nominale de 3V en entrée et en sortie). Les CEs dans chaque bloc sont connectées en SIPO. Les tensions d'entrée et de sortie de chaque bloc sont donc respectivement de $n.V_{inc}$ et V_{outc} pour la configuration initiale, c'est-à-dire, avec toutes les cellules configurées actives (transférant de la puissance). Si l'on souhaite ajouter ou éliminer une ou plusieurs CEs, la tension du côté où les cellules sont connectées en parallèle (la tension en sortie par exemple) ne change pas ; la tension du côté où les cellules sont connectées en série (la tension d'entrée par exemple) varie de nV_{inc} à $(n-1).V_{inc}$, $(n-2).V_{inc}...$. En conséquence, cela entraîne une variation de la puissance maximale transmissible par chaque bloc variant de nP_{cel} à $(n-1)P_{cel} ...$. La Figure II.17 présente l'algorithme global pour la configuration du réseau. Avant d'entrer dans le détail de l'algorithme, voici, ci-dessous les paramètres utilisés dans cet algorithme ainsi que la structuration du CPLD – voir Figure II.16 :

- V_{in} : tension d'entrée du cahier des charges
- V_{out} : tension de sortie du cahier des charges
- P : puissance de transfert demandée
- P_{cel} : puissance de transfert par chaque CE
- V_{inc} : tension d'entrée de chaque CE du réseau
- V_{outc} : tension de sortie de chaque CE du réseau
- V_{max} : la tension maximale de chaque CE (3,3V)
- V_{min} : la tension minimale du fonctionnement de chaque CE
- ΔV : décalage entre les tensions V_{inc} et V_{outc}
- L_{max} : nombre maximal des blocs intégrés dans CPP
- L : nombre de blocs utilisés pour la configuration
- m_{max} : nombre maximal de CEs intégrées dans CPP
- M : nombre de CEs utilisées pour la configuration
- η : rendement calculé pour chaque CE ainsi que pour le réseau
- $n1$: tension d'entrée nominale de conception du réseau
- $n2$: tension de sortie nominale de conception du réseau
- V_{b1} : tension d'entrée du bloc
- V_{b2} : tension de sortie du bloc

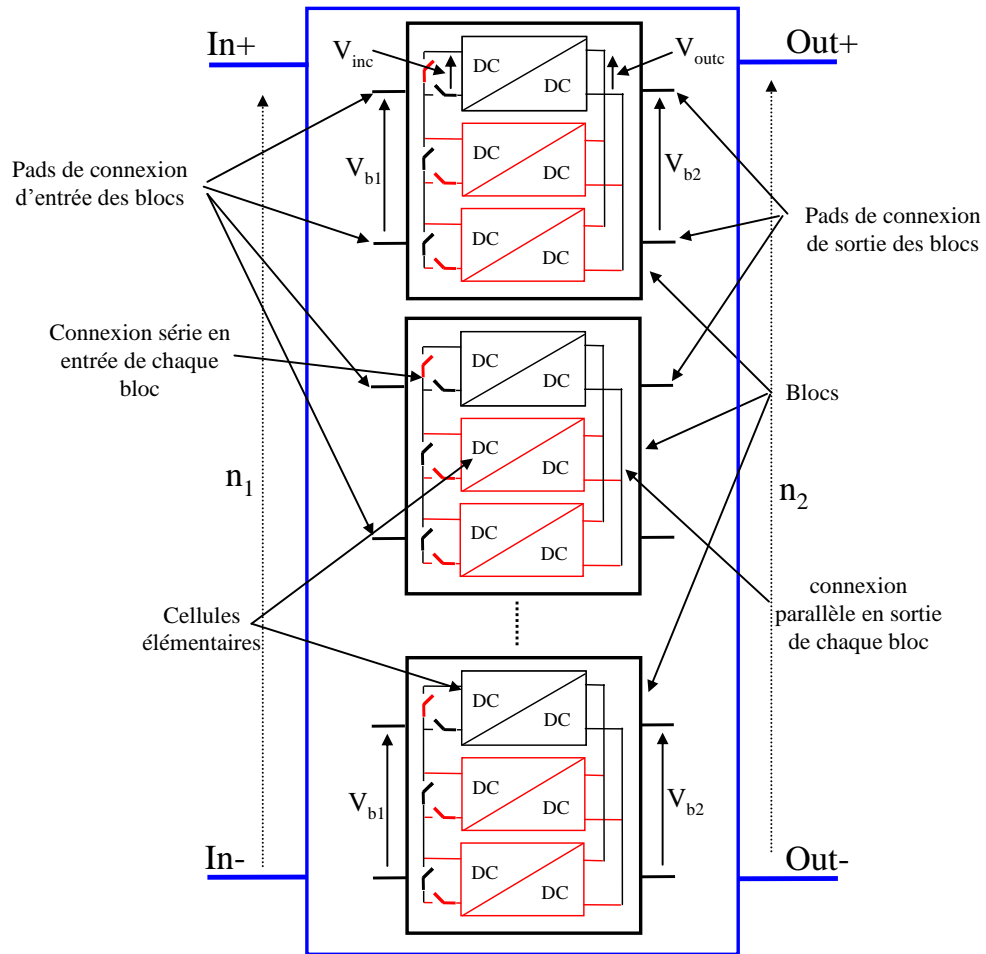


Figure II.16. Définition des paramètres pour la configuration du CPLD

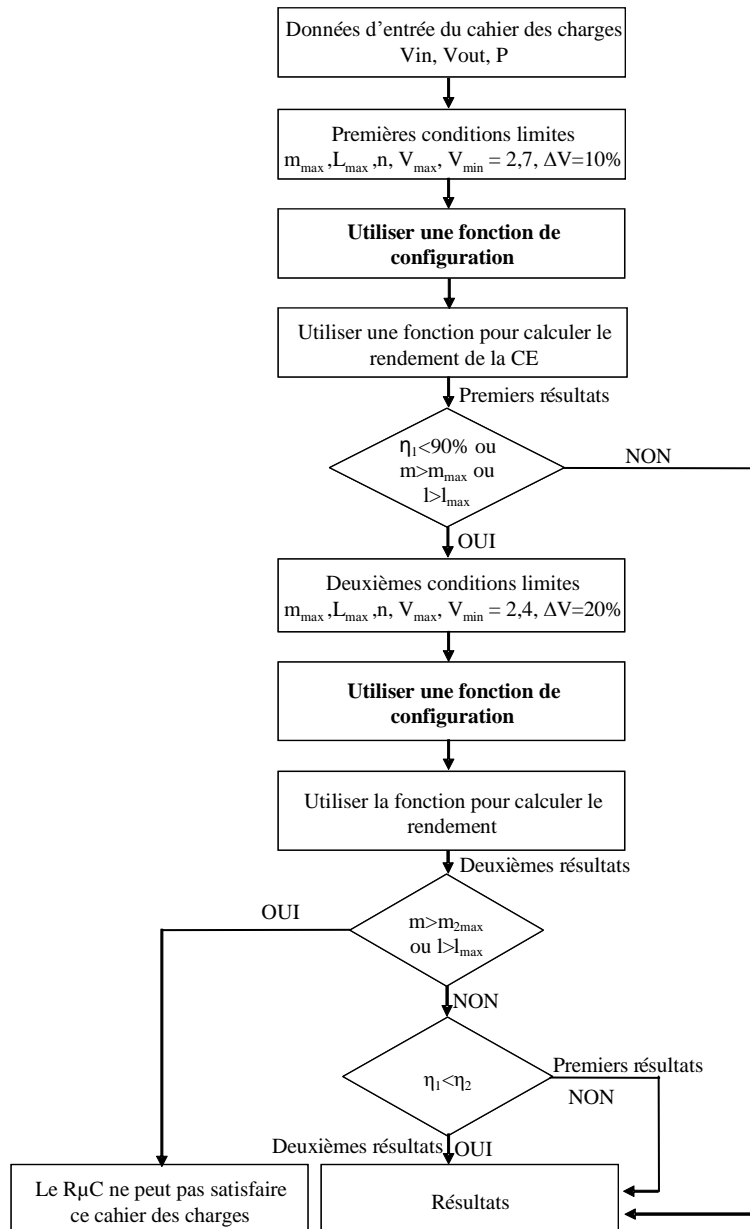


Figure II.17. Algorithme global pour la configuration du réseau

Pour un cahier des charges données V_{in} , V_{out} et P , on utilise tout d'abord **une fonction de configuration** qui permet de sélectionner les modes de connexion entre les cellules dans un bloc ainsi que les connexions entre les blocs en assurant les premières conditions limites présentées ci-dessus. Grâce à cette fonction, on peut calculer le nombre de CE ainsi que le nombre de blocs nécessaires pour répondre à ce cahier des charges. De plus, la tension d'entrée, la tension de sortie et la puissance de transfert dans chaque CE sont définies. Ensuite, le rendement du réseau est calculé par l'utilisation d'une fonction de calcul du rendement. Cette fonction sert à calculer analytiquement le rendement du convertisseur élémentaire à la fréquence de 500kHz, en négligeant les pertes fer dans le transformateur planar. Les résistances à l'état passant du Pmos et Nmos sont fixées à 13mΩ pour chaque transistor [chapitre 3]. Ses capacités d'entrée C_{ISS} sont respectivement de 712pF et 276pF (ces valeurs sont

obtenues par le dimensionnement sous le logiciel cadence, présentées en détail dans le troisième chapitre). Le calcul du rendement de chaque CE se base sur la V_{inc} , V_{outc} , et P_{cel} obtenus à partir de l'étape précédente qui permet de déterminer l'angle de déphasage θ déduit de la formule I.35 :

$$\theta = \frac{1}{2} - \sqrt{\frac{1}{4} - \frac{2 \cdot L_S \cdot P_{cel}}{V_{outc} \cdot T \cdot V_{inc}}} \quad (II.1)$$

Les valeurs du courant dans l'inductance de fuite i_{L1} ; i_{L2} ; i_{L3} ; i_{L4} sont ensuite déterminées suivant I.16 ; I.20 ; I.24 et I.28. La valeur efficace du courant est ainsi déterminée :

$$I_{effc} = \sqrt{\frac{\int_0^{\theta T} i_{L1}^2 \cdot dt + \int_{\theta T}^{\frac{T}{2}} i_{L2}^2 \cdot dt + \int_{\frac{T}{2}}^{\frac{T}{2} + \theta T} i_{L3}^2 \cdot dt + \int_{\frac{T}{2} + \theta T}^T i_{L4}^2 \cdot dt}{T}} \quad (II.2)$$

On a donc suffisamment de paramètres pour définir les pertes par conduction et les pertes par commutation ainsi que le rendement de la CE où les pertes de conduction dans les Mosfets et le transformateur sont déterminées par I.14, les pertes de commutation sont déterminées par I.15 et le rendement est déterminé par (II.3).

$$\eta = \frac{P_{trans} - P_{pertes}}{P_{trans}} \cdot 100\% \quad (II.3)$$

Où P_{trans} est la puissance transférée par chaque CE

P_{pertes} est la somme des pertes de conduction et des pertes de commutation

Après la configuration du réseau et le calcul du rendement, on vérifie les conditions aux limites de cette configuration pour voir si le nombre de CE et le nombre de blocs dépassent le nombre maximal de CEs et de blocs dans le CPP. De plus, on vérifie le rendement maximal du réseau pour essayer de l'améliorer. Si le rendement est supérieur à 80% et satisfait les conditions limites de m_{max} et L_{max} , on accepte cette configuration pour le cahier des charges donné. Sinon, on doit repousser les conditions limites de V_{min} ($2.7V \rightarrow 2.4V$) et ΔV ($10\% \rightarrow 20\%$). Ensuite on reconfigure le réseau avec ces nouvelles conditions limites et on calcule le nouveau rendement. On vérifie alors que les conditions aux limites m_{max} et L_{max} sont satisfaites. Dans ce cas, on compare le rendement obtenu dans le deux cas (pour deux conditions limites différentes) pour choisir la configuration ayant le rendement le plus élevé. Par opposition, si aucune de ces conditions n'est satisfaite, on conclut que ce CPP ne peut pas répondre à ce cahier des charges. Le CPP peut répondre à une plage de cahier des charges en tension d'entrée, tension de sortie et puissance maximale transmissible en fonction des caractéristiques des CEs, de leur nombre et de leur agencement en blocs dans le CPP.

Le cœur de cet algorithme global est **la fonction de configuration** qui permet de définir les modes de connexion entre les cellules, autrement dit cette fonction peut donner la bonne configuration à chaque condition limite donnée. La Figure II.18 présente l'algorithme de cette fonction de configuration.

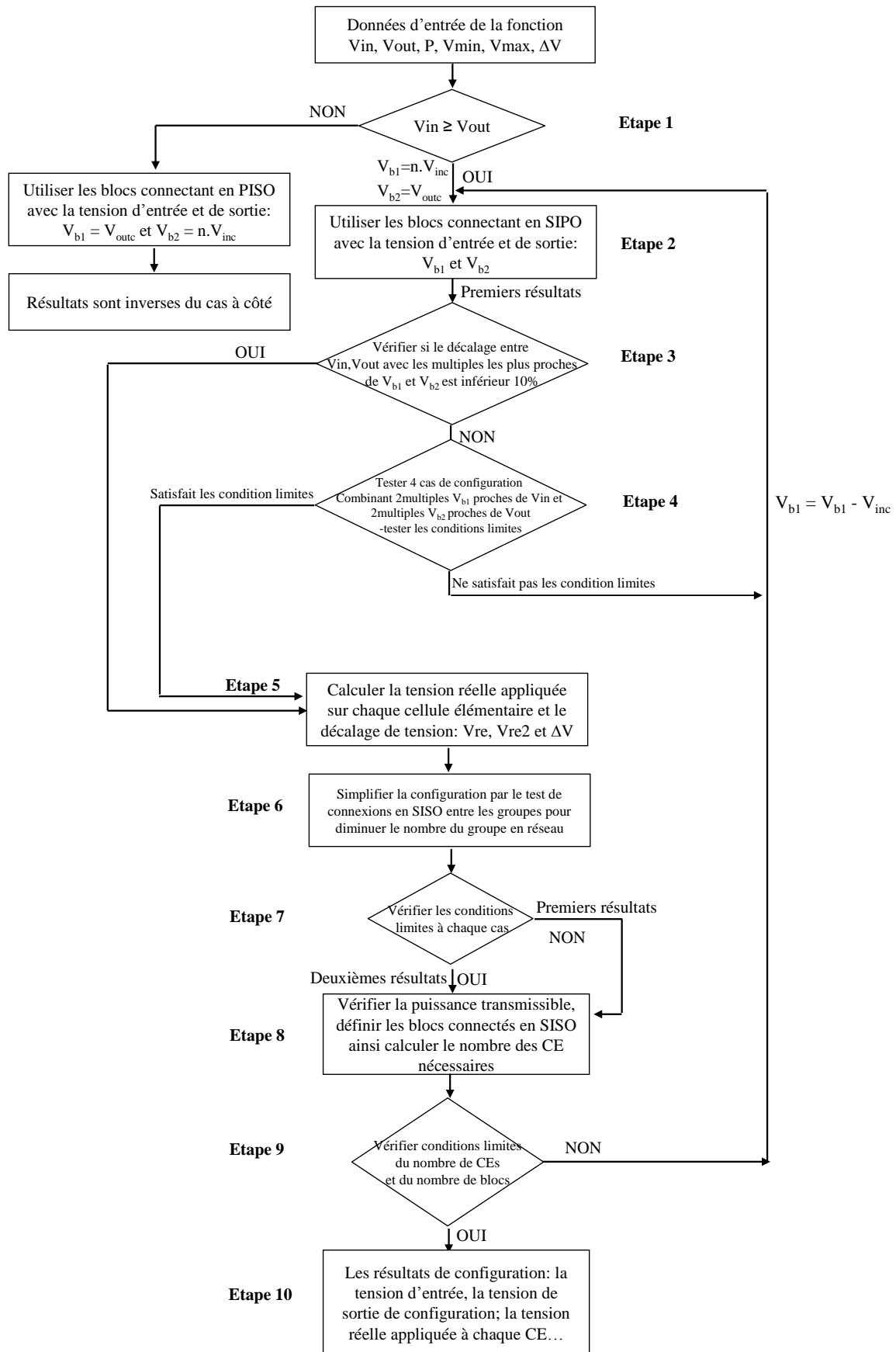


Figure II.18. Algorithme de la fonction de configuration

Explications de l'algorithme de la fonction de configuration :

Etape 1 et Etape 2 : Les paramètres d'entrée de cette fonction sont les tensions d'entrée et de sortie (V_{in} , V_{out}), la puissance (P) du cahier des charges et les conditions limites telles que la tension maximale et minimale de la CE, le décalage maximal entre la tension d'entrée et la tension de sortie de chaque cellule ΔV_{max} .

On sélectionne tout d'abord les modes de connexion entre les CEs dans chaque bloc en SIPO ou en PISO en fonction des tensions d'entrée et de sortie définies dans le cahier des charges. Si $V_{in} > V_{out}$, on choisit les blocs contenant les CEs connectées en SIPO. Par conséquent, chaque bloc a une tension d'entrée de $n.V_{inc}$ et une tension de sortie V_{outc} dans l'état initial (utiliser les n cellules dans chaque bloc). Si $V_{out} > V_{in}$, on choisit les blocs contenant les CEs connectées en PISO pour la configuration.

Etape 3 : Cette étape a pour but de vérifier si le décalage entre la tension d'entrée V_{in} par rapport à un « multiple de V_{b1} le plus proche de V_{in} » à 10%, ainsi le décalage entre la tension sortie V_{out} et un « multiple de V_{b2} le plus proche de V_{out} » à 10%. Si ces deux conditions sont satisfaites et l'addition du décalage entre ces deux valeurs inférieures à 10%, on peut cibler dans un premier temps la tension d'entrée à concevoir n_1 et la tension de sortie à concevoir n_2 du réseau. Ces valeurs sont bien les multiples de V_{b1} et V_{b2} et on passe à l'étape 5. Sinon, les conditions ne sont pas satisfaites et on passe à l'étape 4.

Etape 4 : Cette étape vérifie quatre cas de la configuration pour la tension d'entrée à concevoir n_1 et la tension de sortie à concevoir n_2 . Ces valeurs de n_1 et n_2 sont prises par la combinaison entre deux « multiples de V_{b1} les plus proches de V_{in} » avec « deux multiples de V_{b2} les plus proches de V_{out} ». A chaque configuration, on définit les modes de connexion entre les blocs. Puis, on calcule la tension réelle appliquée sur chaque cellule, le décalage de la tension et le nombre de CEs nécessaires. Ensuite on vérifie avec les conditions limites pour choisir l'une d'entre elles. Si plusieurs configurations satisfont ces conditions limites on choisit la configuration ayant la puissance transférable proche de la puissance du cahier des charges. On passe ensuite à l'étape 5 si aucune solution ne les satisfait on revient à l'étape 2 en négligeant une cellule pour chaque bloc. Ainsi, la tension en entrée de chaque bloc est de $(n-1).V_{inc}$, alors que la tension de sortie de chaque bloc reste toujours V_{outc} . Cette boucle continue jusqu'à l'obtention des résultats de n_1 et n_2 . Si on ne peut pas trouver la configuration adaptée, cette boucle sera arrêtée après n itérations.

Etape 5 : Après avoir trouvé la solution de configuration, cette étape calcule tous les paramètres du réseau tels que la tension réelle appliquée sur chaque cellule, le décalage entre la tension d'entrée et la tension de sortie de chaque cellule, le nombre de blocs utilisés, la manière dont ils sont agencés... On les considère comme les premiers résultats de configuration du réseau. Mais ce résultat n'est pas peut être la meilleure solution. On va l'améliorer si possible dans l'étape 6 et l'étape 7.

Etape 6 et Etape 7 : Comme cela a été dit ci-dessus, le résultat obtenu après l'étape 5 doit être amélioré pour obtenir la meilleure solution. Ces étapes servent donc à améliorer la configuration par la vérification de la configuration obtenue à l'étapes 3 ou 4 pour voir si la connexion entre les blocs peut

être de type SISO ou pas. Si le réseau peut configurer en SISO, les blocs sont connectés ainsi de manière privilégiée comme cela a été présenté ci-dessus, sinon ils sont connectés en SIPO et en PISO. De plus, si le résultat obtenu à l'étape 3 ou 4 ne peut pas être configuré en SISO, on va modifier la solution obtenue à l'étape 3 ou 4 par le maintien de la valeur n_1 et la modification de la valeur n_2 pour obtenir un réseau qui puisse se configurer en SISO. La nouvelle valeur de n_2 est calculée grâce à n_1 , V_{b1} et V_{b2} pour obtenir un maximum de blocs connectés en SISO. On vérifie alors les conditions limites pour la nouvelle configuration dans l'étape 7. Si celle-ci satisfait ces conditions limites, on choisit cette configuration, sinon on garde l'ancienne configuration (obtenue dans l'étape 3 ou 4).

Etape 8 et Etape 9 : Ces étapes servent à définir les modes de connexion entre les blocs dans le réseau et vérifier les conditions limites du nombre de cellules. Si la solution utilisée satisfait les conditions limites, on termine le processus de configuration et on renvoie les résultats en étape 10. Sinon, on revient à l'étape 2 en négligeant une cellule dans chaque bloc. Cette boucle continue jusqu'à l'obtention des résultats de n_1 et n_2 . Si on ne peut pas trouver la configuration adaptée, cette boucle sera arrêtée après n itérations.

Etape 10 : Synthèse des résultats de configuration tels que la tension appliquée sur chaque CE, le nombre de blocs ainsi que le nombre de cellules utilisées dans le réseau, les modes de connexion entre blocs, la puissance transférée par chaque cellule, la plage de variation possible de la tension de sortie en utilisant la régulation de la tension interne. Tous ces paramètres doivent être utilisés dans la fonction de calcul du rendement.

Ces dix étapes de configuration permettent de configurer un réseau pour répondre à n'importe quel cahier des charges. Mais en raison de l'utilisation d'un nombre limité de convertisseurs élémentaires dans le CPP, les zones de réponse de ce circuit CPP sont limitées par une tension d'entrée maximale, une tension de sortie maximale et une puissance maximale. Un exemple de configuration est présenté ci-dessous pour illustrer en détail le procédé de configuration.

Exemple d'application :

On suppose qu'un CPP est composé de 200 CEs divisées en 20 blocs de 10 cellules. La tension d'entrée nominale et la tension de sortie nominale de chaque cellule sont de 3V, avec une puissance nominale de 6W. Les cellules dans chaque bloc sont connectées en SIPO donc la tension d'entrée de chaque bloc est de 30V et la tension de sortie est de 3V. La puissance maximale disponible avec un tel réseau est ainsi de 1200W.

Un cahier des charges est choisi arbitrairement avec une tension en entrée de 79V, une tension de sortie de 28V et une puissance de 450W. Pour configurer le réseau dans ce cas, notre algorithme fixe tout d'abord les premières conditions limites de tension $V_{min}=2.7V$ et $\Delta V = 10\%$ (les autres conditions limites ne changent pas) pour configurer le réseau en se basant sur la fonction de configuration.

Etape 1 et Etape 2 : avec la tension $V_{in} > V_{out}$, on choisit le bloc de 30V/3V pour la configuration

Etape 3 : - Les deux multiples de V_{b1} (30V) les plus proches de V_{in} sont 60V et 90V; Les deux multiples de V_{b2} (3V) les plus proches de V_{out} sont 27V et 30V.

Le décalage de ces multiples par rapport à V_{in} et V_{out} : $(79-60)/60 = 31,7\% > 10\%$; $(90-79)/90 = 12,2\% > 10\%$; $(28-27)/27 = 3,7\%$; $(30-28)/30 = 6,6\%$. Pour la combinaison entre les quatre cas ci-dessus, on ne peut pas trouver la solution dans cette étape. On passe donc à l'étape 4.

Etape 4 : on teste quatre configurations (n_1, n_2) suivantes : (60,27) ; (60,30) ; (90,27) ; (90,30) et on les vérifie avec les conditions limites. Pour ces configurations, on ne trouve aucune solution qui satisfait les conditions limites. En effet, pour la configuration (60,27) on utilise deux blocs 30/3 connectés en SIPO, on obtient la tension entrée/sortie de 60V/3V. Puis, on connecte neuf fois ces deux blocs en PISO pour obtenir la tension entrée/sortie de 60V/27V. Avec cette configuration, on calcule la tension réelle appliquée à l'entrée et à la sortie de chaque cellule :

La tension réelle à l'entrée de chaque CE: $V_{re} = 79/(2 \times 10) = 3,95V$

La tension réelle à la sortie de chaque CE : $V_{re2} = 28/(9 \times 1) = 3,1V$

La décalage de la tension : $\Delta V = 21,5\%$

On trouve que cette configuration ne satisfait pas la condition limite de V_{max} (3.3V) et ΔV . Elle est donc rejetée. Le calcul similaire pour les autres configurations nous donne :

(60,30) : $V_{re} = 3,95V$; $V_{re2} = 2,8V$; $\Delta V = 29\%$

(90,27) : $V_{re} = 2,6V$; $V_{re2} = 3,1V$; $\Delta V = 19\%$

(90,30) : $V_{re} = 2,63V$; $V_{re2} = 2,8V$; $\Delta V = 6,4\%$

Aucune solution ne satisfait les conditions limites de la tension. Il est donc nécessaire d'éliminer une cellule dans chaque bloc et de revenir à l'étape 2 pour configurer le réseau avec la tension de chaque bloc de 27/3.

Le résultat de la seconde itération donne : la tension d'entrée $n_1 = 81V$; la tension sortie $n_2 = 27V$; la puissance transférée par chaque cellule $P_c = 5,55W$; la tension en entrée de chaque cellule $V_{re} = 2,93V$; la tension de sortie de chaque cellule $V_{re2} = 3,11V$; le décalage de la tension $\Delta V = 6,3\%$

Etape 5 : calcul des paramètres du premier résultat de configuration

Etape 6 et Etape 7 : pour cette configuration, si on connecte les CEs en PISO puis SIPO pour satisfaire les tensions d'entrée et de sortie, on a besoins de 27 blocs - 270 CEs (dont 243 CEs actives et 27 CEs inactives) dépassant les CEs limites dans le CPP. Ces étapes 6 et 7 servent donc à simplifier la configuration en gardant $n_1 = 81$. La valeur de n_2 doit être modifiée par une nouvelle valeur pour que le réseau puisse se configurer en SISO. Dans ce cas, n_2 ne change pas, on peut utiliser trois blocs de 27/9 à mettre en SISO pour obtenir une configuration (81,27) avec seulement 90 CEs utilisées pour la configuration dont 81 CEs actives.

Etape 8 et Etape 9 : la puissance transférée par chaque CE est de 5.5W. Elle est inférieure à la puissance maximale de chaque cellule (6W). On n'a pas besoin de les connecter en PIPO pour augmenter la puissance maximale du réseau.

On trouve que cette configuration satisfait toutes les conditions limites de ce réseau. Les paramètres obtenus sont utilisés pour calculer le rendement dans la fonction de calcul du rendement. Le rendement obtenu avec ces paramètres est de 92%.

II.4.3. Zones de réponse du CPP

Le CPP est composé d'un nombre limité de CEs donc la plage de réponse du CPLD est limitée par une tension d'entrée maximale, une tension de sortie maximale, une puissance transférée maximale. Les valeurs maximales de la tension et de la puissance dépendent du nombre des CEs intégrées dans le CPP, du nombre de CEs utilisées dans chaque bloc, des caractéristiques de la CE (la tension d'entrée, la tension de sortie et la puissance maximale de chaque CE) ainsi que des conditions limites pour configuration du réseau. La Figure II.19 présente les zones limites de la tension ainsi que le rendement associé d'un CPP pour répondre à une puissance transférée de 450W. Ce CPP est composé de 20 blocs de 10 CEs. Il est configuré avec les premières conditions limites (avec $\Delta V = 10\%$, $V_{\min} = 2,7V$, $V_{\max} = 3,3V$).

On trouve sur cette figure que le CPP peut répondre parfaitement dans la zone carrée limitée par deux lignes de 66V de la tension d'entrée et de la tension de sortie. A l'extérieur de cette zone, avec la tension du cahier des charges supérieure à 66V, ce CPLD répond localement à des cahiers des charges. Il existe plusieurs régions pour lesquelles le CPP ne peut pas répondre avec ces premières conditions limites. Ces zones peuvent être améliorées en modifiant les conditions limites en jouant sur la diminution de la tension V_{\min} et l'augmentation du décalage entre la tension de sortie et la tension d'entrée ΔV .

De plus, on trouve que le rendement du réseau dans la zone de réponse est presque autour de 90% mais il existe encore des points pour lesquels le rendement n'est pas bon, même si le décalage de la tension est inférieur à 10%. Ce problème est lié au faible taux d'utilisation de chaque CE,

Lorsque la puissance de transfert est augmentée, les zones de réponse de ce CPP sont de plus en plus petites. La Figure II.20 présente les zones de réponse du CPP pour une puissance de transfert de 900W.

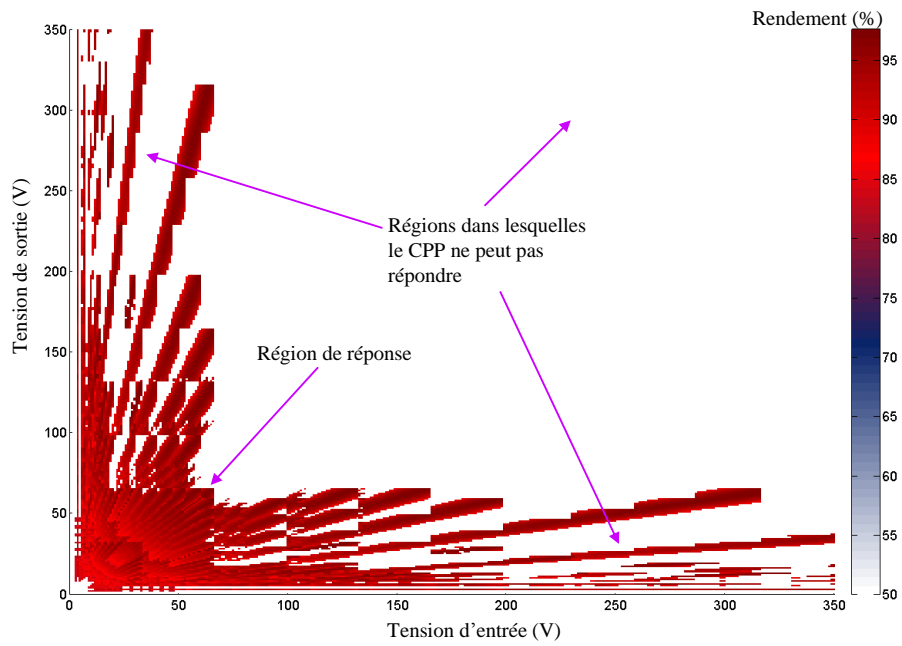


Figure II.19. Zones de réponse en tension et le rendement associé à $P = 450\text{W}$ pour la configuration avec les premières conditions limites ($V_{\min} = 2,7\text{V}$, $\Delta V = 10\%$)

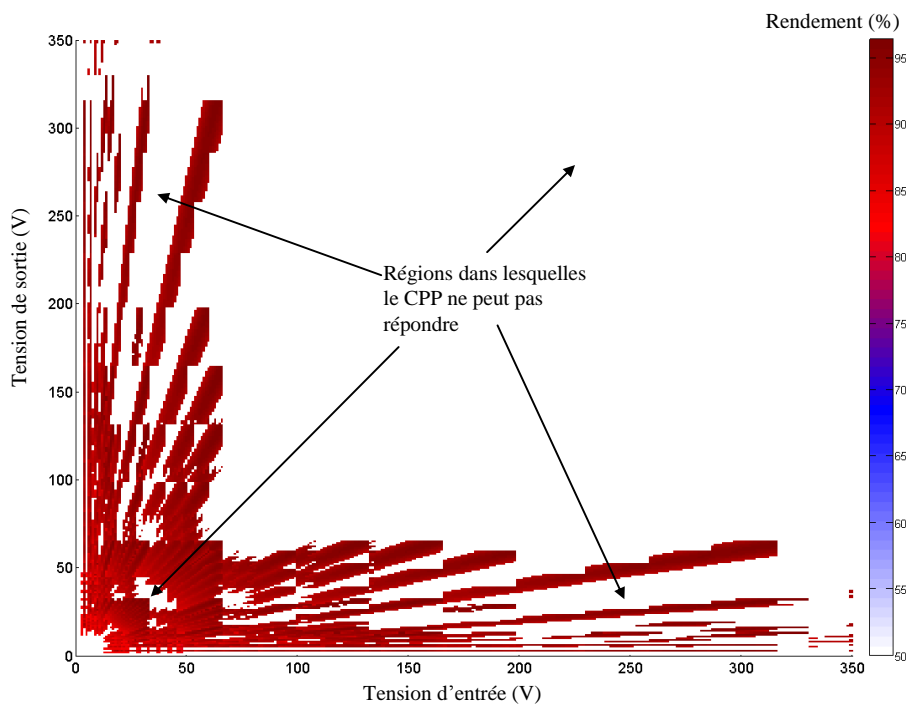


Figure II.20. Zones de réponse en tension et le rendement associé à $P = 900\text{W}$ pour la configuration avec les premières conditions limites ($V_{\min} = 2,7\text{V}$, $\Delta V = 10\%$)

On essaie donc d'améliorer le rendement du réseau en élargissant les zones de réponse du CPP en utilisant les deuxièmes conditions limites par augmentation de la plage de variation du décalage de

tension de 10% à 20% et de la tension minimale de 2,7 à 2,4V bien que ces actions peuvent augmenter le facteur de dimensionnement de la CE (comme cela fut présenté dans le chapitre 1)

Les zones de réponse du CPP dans ce cas sont présentées Figure II.21. On trouve que les zones de réponse sont élargies pour couvrir presque tous les cahiers des charges ayant la tension d'entrée de 2,4V à 350V et la tension de sortie de 2,4V à 66V et le cas contraire, la tension d'entrée de 2,4V à 66V et la tension de sortie de 2,4V à 350V. Il existe encore quelques points où le CLPD de puissance n'offre pas de réponse satisfaisante à ce cahier des charges avec ces conditions limites. On peut facilement les satisfaire en repoussant encore la condition limite du décalage de tension jusqu'à 30% au maximum. Le rendement calculé pour le réseau est présenté Figure II.21. Dans ce cas, on trouve que le rendement de la majorité des points est autour de 90% et qu'il existe quelques points pour lesquels le rendement est encore inférieur à 80%.

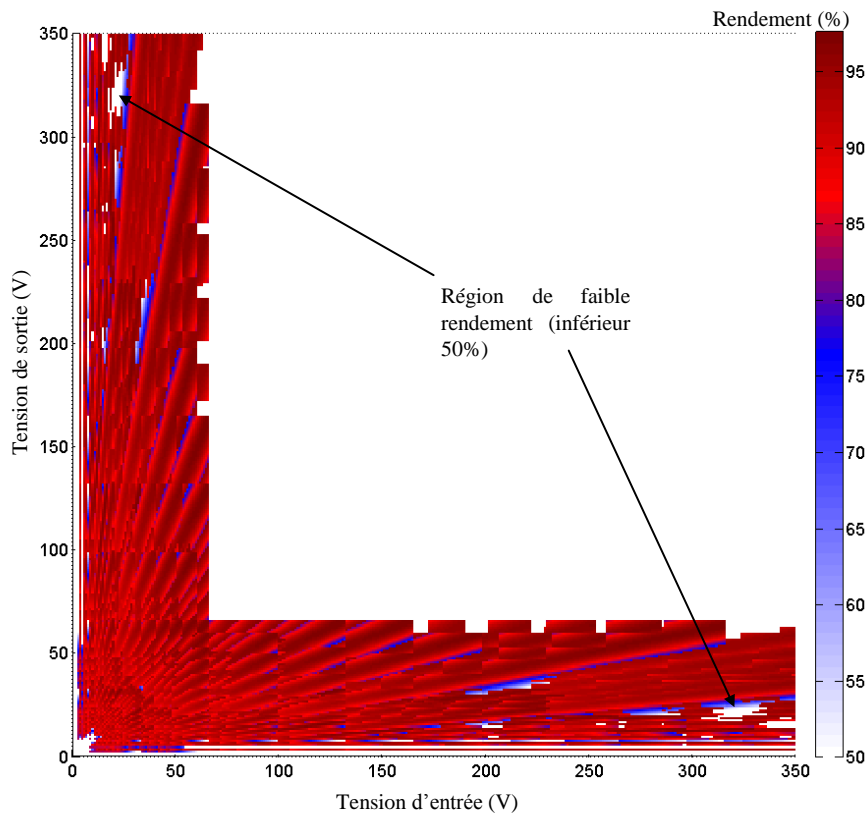


Figure II.21. Zones de réponse en tension et le rendement associé à $P = 450W$ pour la configuration avec les deuxièmes conditions limites ($V_{\min} = 2,4V$, $\Delta V = 20\%$)

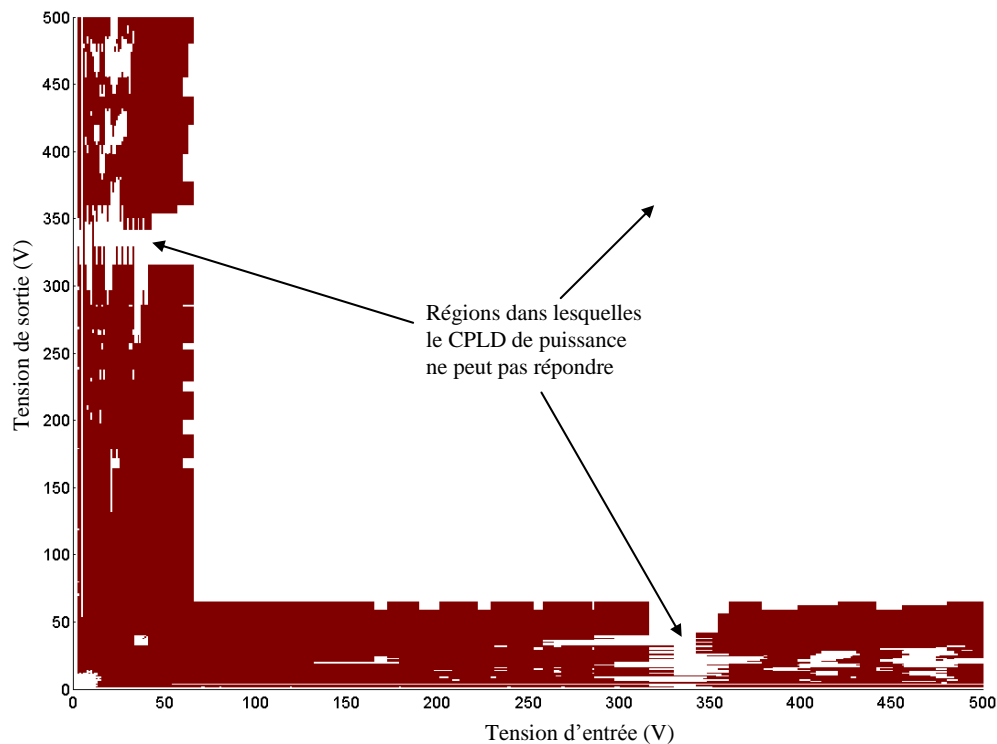


Figure II.22. Zones de réponse en tension à $P = 900W$ pour deuxièmes conditions limites ($V_{\min} = 2,4V$ et $\Delta V = 20\%$)

Les plages de réponse les plus étendues de ce CPP peuvent atteindre une tension d'entrée maximale de 600V pour une tension de sortie maximale de 66V et inversement. La puissance maximale transférée est supérieure de 1000W à certains points et supérieure de 500W pour quelques points du cahier des charges. La valeur de la puissance transférable à quelques points est petite par rapport à la puissance installée du CPP (1200W). On essaie donc d'améliorer la puissance transférable à ces points en utilisant la méthode de répartition des pertes entre les CEs dans chaque bloc.

II.4.4. Augmentation de la puissance transférable du CPP

Durant le processus de configuration, on trouve que la puissance transférable du CPP est diminuée lorsqu'on élimine des CEs du réseau dans l'objectif de satisfaire les tensions d'entrée et de sortie. Pour améliorer la puissance transférable du réseau dans ce cas, une méthode de répartition des pertes entre les cellules est donc utilisée. L'idée est d'utiliser toutes les CEs dans chaque bloc pour maximiser la puissance transférée en assurant la condition de la tension d'entrée et de la tension de sortie. Cette méthode est réalisée par la permutation périodique des rôles des CEs dans chaque bloc, c'est-à-dire une CE dans chaque bloc est utilisée pendant un temps $t_{ON} < T$ (où T est la période de commutation des CEs ; t_{ON} : le temps d'utilisation d'une CE). Avec cette méthode, chaque cellule fonctionne avec une puissance instantanée supérieure à sa puissance nominale mais le temps de fonctionnement des CE est diminué de telle sorte que la puissance moyenne dans chaque CE soit égale à sa puissance nominale.

On peut donc obtenir la puissance maximale égale à la puissance installée dans chaque bloc mais le rendement baisse par rapport au rendement en régime nominal. Le rendement dans ce régime dépend de la puissance instantanée et du temps de fonctionnement de chaque cellule. En effet, imaginons qu'un bloc soit composé de 10 CEs de 6W. Durant le processus de configuration, 8 CEs sont utilisés pour transférer une puissance de 60W en assurant toujours une tension d'entrée et de sortie de chaque bloc de respectivement 24V et 3V. Si on n'utilise que 8 CEs, la puissance transférée par chaque CE est de 7,5W ce qui dépasse la puissance nominale de chaque CE. En conséquence, 10 CEs de ce blocs seront utilisées mais avec un temps d'utilisation de chaque CE de $t_{ON} = 8/10 \cdot T$. La puissance maximale transférée dans ce temps est de $10/8 \times 6 = 7,5W$ pour que la puissance moyenne dans une période soit égale à la puissance nominale (6W). Le courant moyen traversant chaque CE dans un temps $0,8T$ est de 2,5A entraînant les pertes par conduction de :

$$P_{con} = \frac{2,5^2 \cdot R_{totale} \cdot 0,8 \cdot T}{T} = 5 \cdot R_{totale} \quad (II.4)$$

Ces pertes dans ce régime sont supérieures aux pertes par conduction dans le régime normale ($P_{con} = 2^2 \cdot R_{totale} = 4 \cdot R_{totale}$) donc elles vont faire baisser le rendement du CPP.

Cette méthode est tout à fait réalisable par la fermeture/ouverture en dynamique des actionneurs fusibles-rupteurs présents dans chaque cellule et par augmentation des niveaux du refroidissement pour évacuer les pertes car la CE fonctionne avec le courant plus important que son courant nominal.

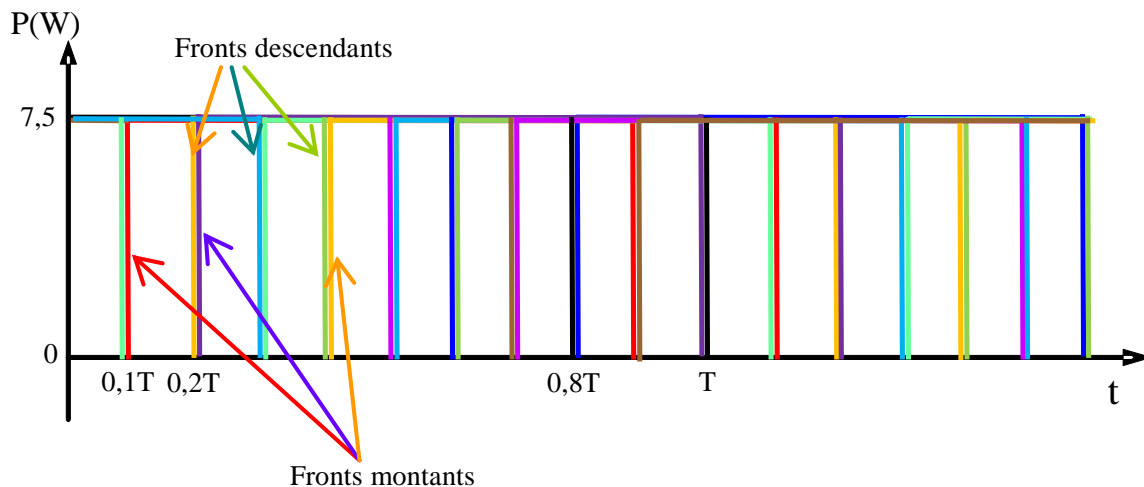


Figure II.23. Schéma du temps utilisé de dix CEs pour la répartition des pertes entre les cellules

En utilisant cette méthode, la puissance transférable minimale calculée pour ce CPP peut être augmentée à 25% (660W pour le réseau de 200CEs divisé en 10blocs) par rapport à la puissance maximale dans le régime nominal. Cette technique est très intéressante pour notre réseau de micro convertisseurs mais il reste un challenge pour la partie de commande.

En outre, il nous reste encore une technique d'entrelacement entre les blocs utilisés dans le réseau pour améliorer encore davantage la puissance maximale du CPP. On imagine que les connexions entre les

blocs sont maintenant assurées par des interrupteurs à l'intérieur du CPP – voir la Figure II.24. La répartition des pertes entre les blocs est donc utilisée pour augmenter la puissance maximale transférable par le réseau, cette méthode est la même que celle présentée auparavant. Mais en raison de pertes supplémentaires dans la CE proportionnelle à la puissance instantanée transférée dans chaque CE, on limite donc la puissance instantanée à 1,5 fois la puissance nominale de chaque cellule. En conséquence, la puissance transférable dans tous les points de fonctionnement est proche de la puissance installée du CPP, c'est un moyen très intéressant pour notre réseau de micro convertisseur.

Un point faible de cette méthode est lié à la mise en œuvre des structures du rupteur. La tenue en tension de ces rupteurs dans ce cas doit être grande, supérieure à la tension maximale de chaque bloc (33V). Elle provoque une grande résistance à l'état passant R_{on} entraînant une grande chute de tension à l'état passant dans ces dispositifs. Elle influence fortement le rendement total du réseau. Pour diminuer la valeur de cette résistance, on augmente la largeur de ces dispositifs entraînant l'augmentation de la surface du silicium faisant augmenter le coût fortement. Nous n'avons pas retenu cette solution dans notre premier CPLD.

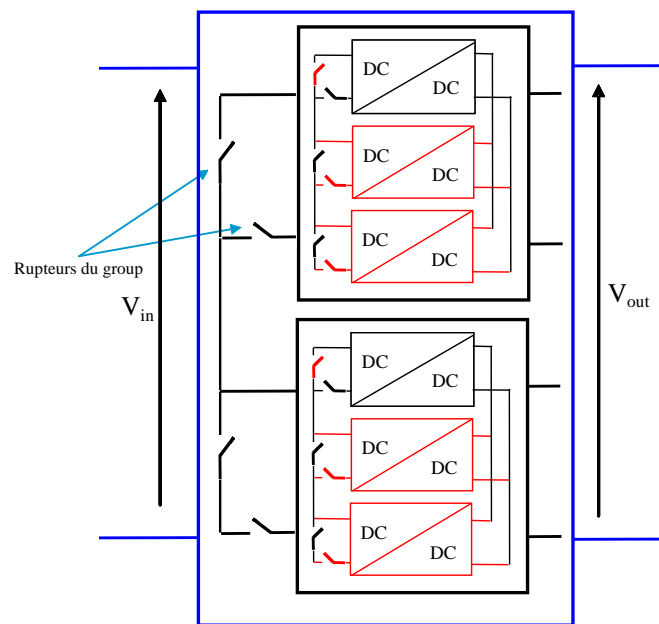


Figure II.24. Schéma principe de répartition des pertes entre les blocs

II.5. Conclusions

Inspiré par le circuit logique programmable dans le domaine de l'électronique logique, le concept du CPP est développé durant notre deuxième chapitre, tant au niveau des architectures de configuration que des algorithmes de configuration. Pour réaliser une telle technique, les interconnexions entre les CEs et la structure du CPP sont abordées dans un premier temps. Ces interconnexions sont réalisées de façon que le rendement du CPP ne soit pas abaissé significativement par rapport au rendement de

chaque CE tout en maintenant l'équilibrage du courant et de la tension entre les CEs. Par conséquent, l'interconnexion entre les entrées et entre les sorties de chaque CE sont choisies et prédéfinies et les CEs sont groupées en blocs de mêmes nombres de CE. De plus, cette interconnexion permet de minimiser les contraintes en tension et en courant sur les dispositifs de configuration utilisés dans le CPP car la tenue en tension est de 3,3V et le courant maximal est de 2A. Les différentes structures de l'actionneur fusible-rupteur sont abordées ensuite pour choisir les composants les plus adaptés à être utilisés dans notre CPP dont les structures de fusibles, anti-fusibles, rupteurs MEMS, rupteurs électriques. Chaque type d'actionneur présente des points forts et des points faibles pour notre réseau mais la structure à Mosfet est choisie pour une application dans un premier temps à notre CPP pour leur facilité d'intégration et de mise en œuvre bien qu'ils présentent encore une grande résistance à l'état passant par rapport aux autres structures. Les positions de l'interrupteur dans le CPP sont ensuite choisies. Deux interrupteurs placés à l'entrée de chaque convertisseur élémentaire, commandés en complémentaire servent à l'addition ou élimination des CEs. La sortie est toujours connectée au réseau pour maintenir le convertisseur élémentaire en activité en jouant le rôle de l'alimentation du circuit de commande de l'interrupteur. Ces positions de l'interrupteur dans le réseau permettent d'avoir un minimum de contraintes sur la tension et le courant qui sont égales à la tenue en tension et en courant maximale de chaque CE du réseau.

Les étapes générales de l'algorithme de configuration du réseau pouvant répondre à n'importe quel cahier des charges sont ensuite présentées dans ce chapitre. Une application spécifique de cet algorithme sur un CPP composé de 20 blocs de 10 cellules est présentée. Ce CPP peut répondre à des cahiers des charges ayant une tension d'entrée jusqu'à 600V pour une tension de sortie jusqu'à 66V. La puissance maximale transférée est supérieure à 1000W à certains points et supérieure de 500W pour quelques points du cahier des charges

CHAPITRE III :

Conception et dimensionnement du convertisseur élémentaire pour le réseau de micro convertisseurs

SOMMAIRE DU CHAPITRE III

CHAPITRE III : Conception et dimensionnement du convertisseur élémentaire pour le réseau de micro convertisseurs.....	87
III.1. Introduction.....	90
III.2. Conception et intégration de la partie active	91
III.2.1. Conception de la puce active	92
III.2.1.a Contraintes et cahier des charges.....	92
III.2.1.b Technologie AMS 0,35 μ m.....	92
III.2.1.c Partie puissance.....	94
III.2.1.d Partie de commande.....	99
III.2.1.e Elaboration du layout.....	105
III.2.2. Mise en œuvre et caractérisation.....	110
III.2.2.a Caractérisation en mode onduleur.	110
III.2.2.b Caractérisation en mode redresseur en pont complet.	114
III.2.3. Conclusions sur les composants actifs.....	115
III.3. Composants passifs	115
III.3.1. Introduction	115
III.3.2. Conception du transformateur planar.....	116
III.3.2.a Objectifs.....	116
III.3.2.b Critères de dimensionnement	117
III.3.2.c Modèles des pertes dans le transformateur planar	117
III.3.2.d Etapes de conception du transformateur planar	118
III.3.2.e Caractérisation du transformateur planar	125
III.3.2.f Pistes de réduction des pertes dans le transformateur planar	130
III.3.2.g Conclusions sur le composant passif	131
III.3.2.h Caractérisation du convertisseur complet DAB	132
III.4. Conclusions	136

Ce chapitre présente la conception et l'intégration des composants actifs et passifs utilisés dans un convertisseur élémentaire dont les composants actifs de puissance ainsi que ses circuits de commande rapprochée de l'onduleur et du redresseur sont monolithiquement intégrés sur le substrat silicium utilisant la technologie AMS 0,35 μ m. Le transformateur planar est conçu sur un substrat PCB de quatre couches. La caractérisation de chaque module de puissance est ensuite effectuée afin de valider leur fonctionnement. La dernière partie présente la caractérisation d'un convertisseur élémentaire dont les puces sont interconnectées par des fils de bonding.

III.1. Introduction

L'intégration des circuits de puissance est une voie nécessaire pour l'amélioration des performances, l'obtention d'une meilleure fiabilité, une plus grande simplicité de mise en œuvre et les gains de poids et de volume [Red11]. Toutefois, les étapes de fabrication deviennent plus complexes. Les techniques d'intégration et d'hybridation ont pour but la réduction et la mutualisation du nombre de connexions, des substrats ainsi que du packaging et des interfaces entre les parties puissance en incluant les composants de la commande. Mais surtout l'intégration permet de réaliser des fonctions complexes au cœur des composants et des substrats pour gagner en performance ou pour créer des caractéristiques nouvelles sans complexification extérieure et sans perte de fiabilité de la fonction première comme cela est généralement le cas dans une réalisation et un assemblage discrets. Les dispositifs et les fonctionnalités intégrés sont de plus en plus complets suivant le développement des outils de conception et de simulation à l'image des technologies de la microélectronique de puissance. Les dispositifs de puissance intégrés doivent être capables de supporter des densités de puissance importantes, de fortes contraintes thermiques, des dI/dt et dV/dt élevés [Cap09-Cre01]. Il existe deux types d'intégration utilisées en électronique de puissance : l'intégration monolithique et l'intégration hybride. Chaque type présente des points forts et des points faibles et le choix dépend de l'application spécifique [Cap09-Cre01-Bal91-Ric07-Cre02-Cre07-Sim11-Del09]. Compte tenu de la forte hétérogénéité des structures de conversion en électronique de puissance, pour les applications supérieures au Watt, l'hybridation est souvent incontournable et l'intégration monolithique ne peut être que partielle. Par conséquent, les parties de l'onduleur, redresseur, transformateur et les capacités sont fabriquées séparément et puis on les assemble par la technologie fils de bonding ou par la technologie flip chip sur un substrat de PCB ou un substrat métallique. Il est alors important de voir comment mutualiser fonctions et support, conducteurs et interconnexions, dissipateurs thermiques ... La Figure III.1 présente le schéma de principe de l'intégration du convertisseur élémentaire. L'onduleur avec sa commande intégrée monolithiquement sur silicium par la technologie AMS 0,35 μ m comme cela a été présenté dans le chapitre I. Le redresseur est intégré de la même façon. Le transformateur sera conçu et réalisé sur un substrat PCB. Il faut également prendre en compte, dès la conception, l'hybridation des puces actives et passives du micro convertisseur sur un même substrat. Donc des plots de connexion de la puce de l'onduleur et du redresseur devront avoir des tailles suffisantes afin de pouvoir placer des bumps de connexion ou des fils de bonding lors du processus d'hybridation. De plus, si on utilise la technologie flip chip pour l'hybridation, la distance entre les plots de connexion doit être suffisamment importante pour être compatible avec la technologie de fabrication du support, à savoir le PCB recevant les composants passifs pour lesquels les isolations entre deux pistes est définies par la classe de routage.

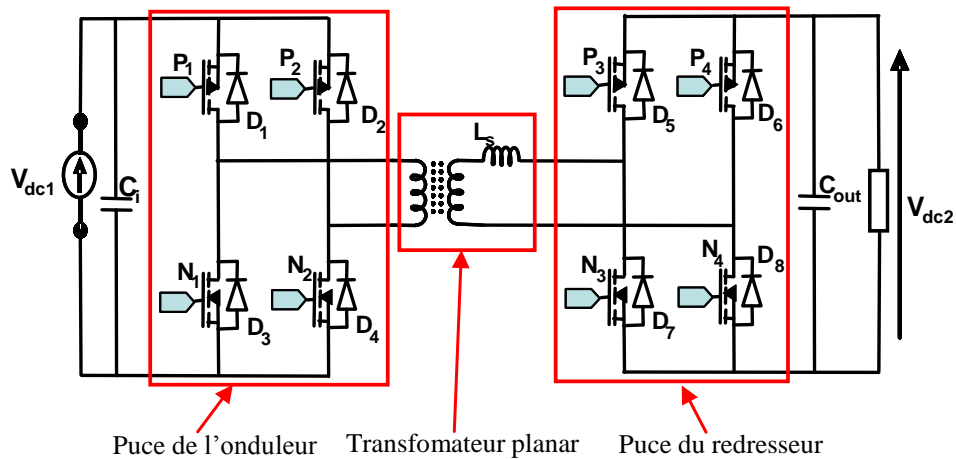


Figure III.1. Schéma de principe pour l'intégration hybride du convertisseur élémentaire

Tous ces aspects techniques seront présentés durant ce troisième chapitre. La conception et le dimensionnement des parties actives sont abordés en premier lieu. Le dimensionnement et la conception des parties passives sont ensuite présentés. Une dernière partie présente l'hybridation des différentes parties du convertisseur élémentaire ainsi que la réalisation du banc de test du convertisseur pour vérifier l'exactitude entre la conception et la réalité et ainsi vérifier les modes de fonctionnement du convertisseur.

III.2. Conception et intégration de la partie active

Comme présenté dans le premier chapitre de ce manuscrit, l'onduleur et le redresseur sont deux circuits intégrés mis en œuvre dans la technologie CMOS en raison de la facilité d'intégration des bras de pont et des commandes associées dans ce type de technologie [Del09 - Sim11]. En fixant un rapport de transformation unitaire pour le transformateur séparant l'onduleur et le redresseur, chacune de ces puces actives présente des caractéristiques courant et tension identiques, la seule différence fonctionnelle étant au niveau du sens de circulation du courant. L'onduleur de tension étant naturellement réversible en courant, ces deux puces actives sont basées sur la même conception de la puce intégrée. Notre objectif est d'intégrer les composants Mosfet de puissance, les circuits de commande rapprochés ainsi que les circuits de commande semi-éloignés ensemble au sein d'une puce (puce active) qui peut être utilisée en mode onduleur et en mode redresseur. Elle est commandée par un seul signal extérieur pour effectuer une fonction onduleur ou redresseur

III.2.1. Conception de la puce active

III.2.1.a Contraintes et cahier des charges

Les puces intégrées sont conçues pour former les CEs qui sont capables d'être associées en réseau pour créer un convertisseur pouvant répondre à divers cahiers des charge et niveaux de puissance. Comme présenté dans le premier chapitre, le cahier des charges de chaque CE du réseau est de 3V pour les tensions d'entrée et de sortie avec une variation de 10% ; le courant nominal est de 2A et la fréquence de commutation de 500kHz à 1MHz. Par conséquent, le cahier des charges de la puce active doit constituer les éléments suivants :

- Fréquence de fonctionnement est à 500 kHz
- Tenue en tension est de 3,3V,
- Courant nominal de conception de 2A avec la possibilité de fonctionnement avec un courant jusqu'à 5A.
- Pertes par conduction et par commutation ainsi que les pertes de commande au point du fonctionnement nominal (2A, 3V) sont limitées à 2 points du rendement total de la puce active
- Surface de silicium est la plus petite possible (quelques mm²) en maintenant la température de la puce inférieure à 120°C [chapitre IV]
- Temps de commutation d'un bras au point de fonctionnement nominal doit être inférieur à 2ns pour garantir un bon rendement

III.2.1.b Technologie AMS 0,35 μ m

Nous profitons ici des résultats disponibles dans le projet ANR Miconet [MiCoNet2] et des travaux conduits durant le processus d'optimisation et d'intégration de la puce de l'onduleur réalisée par Olivier Deleage [Del09] pour diminuer le temps de notre processus d'intégration. La filière technologique CMOS AMS 0,35 μ m a donc été choisie pour l'étude, le dimensionnement et la conception de la puce intégrée de l'onduleur et du redresseur à l'aide de l'environnement de conception « Cadence » [Cad]. Cet environnement est reconnu pour offrir un support de conception particulièrement performant et proche de la réalité. Les modèles utilisés en simulation, basés sur des procédés technologiques stabilisés et reproductibles, assurent un niveau de fiabilité important. Le produit final issu d'une conception sous Cadence est le jeu de masques lithographiques utilisés pour la fabrication d'un circuit, associé à un ensemble de simulations électriques pré- et post- layout, et les études de dispersions éventuelles (température, dispersion technologique, couplages parasites dus au placement-routage).

Cette technologie nous permet de faire fonctionner notre circuit aux fréquences souhaitées à 500kHz [Del09]. L'interface entre le concepteur et le fondeur est assurée par la société CMP (Circuits Multi Project) qui offre un large éventail de technologies tout en simplifiant l'interfaçage avec le fondeur et concentrant les diverses demandes pour mieux maîtriser les coûts de fabrication [CMP].

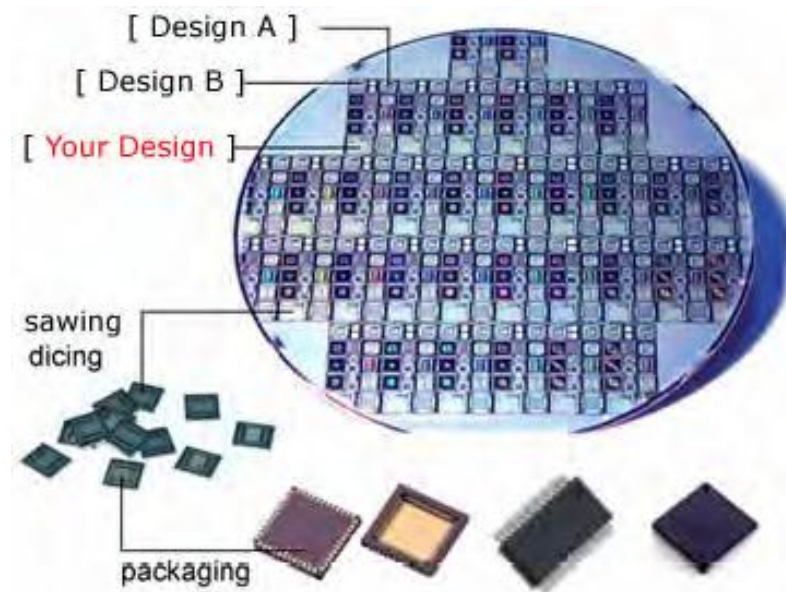


Figure III.2. Mutualisation du wafer par le CMP [CMP]

Caractéristiques de base de la technologie AMS 0,35 μ m

La technologie AMS CMOS 0,35 permet l'intégration monolithique de transistors Nmos et Pmos à enrichissement, de condensateurs de petites valeurs ($\approx < 100$ pF) et de différents types de résistances ($\approx < 1$ M Ω). Les transistors CMOS utilisés comportent des diodes et des transistors bipolaires intrinsèques (parasites) qui peuvent être aussi exploités dans certains cas particuliers. La technologie ne permet pas la réalisation de transistors JFET ou des transistors Mosfet à appauvrissement. La longueur minimale de la grille des transistors vaut 0,35 μ m et la tension d'alimentation nominale vaut +3,3 V. En utilisant des composants HV (« High Voltage »), la tension maximale peut être encore augmentée (+5 V / +15 V). Jusqu'à quatre couches de métal peuvent être utilisées pour la réalisation des interconnexions entre les composants dont le niveau supérieur présente une épaisseur plus importante (filière C35B4M3). En effet, l'épaisseur des couches de métal 1, 2, 3 et 4 est respectivement de 665nm, 640nm, 925nm et 2800nm. La capacité surfacique CMIM est de 1,25fF/ μ m². La sur-épaisseur de la couche métal 4 est particulièrement adaptée aux circuits destinés à faire transiter un courant important, puisque ce niveau de métallisation accepte des densités de courant plus importantes, et que la résistance s'en trouve donc réduite - Figure III.3.

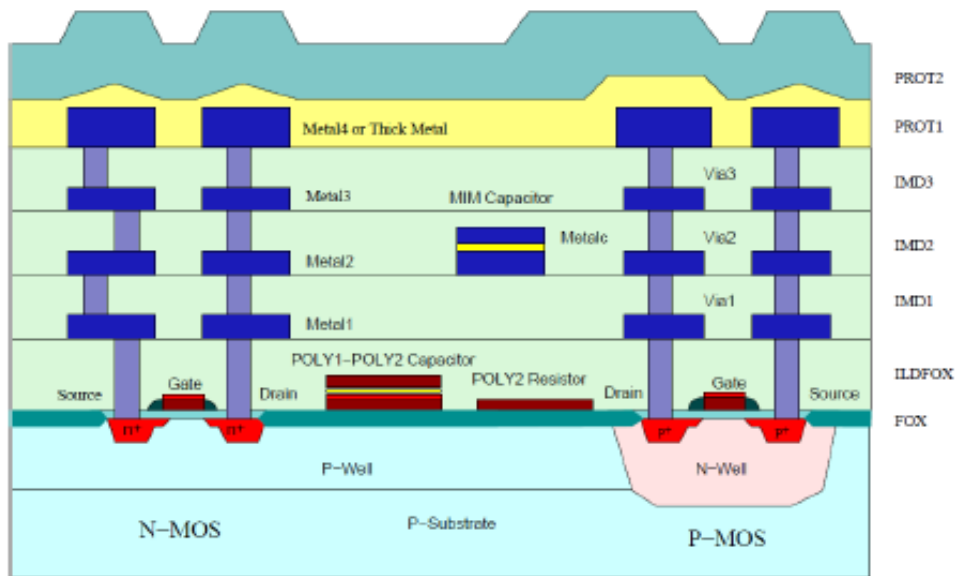


Figure III.3. Vue en coupe de la technologie AMS

III.2.1.c Partie puissance

Bras de commutation : La technologie CMOS a été utilisée pour réaliser le bras de commutation, qui sera dupliqué pour constituer notre onduleur ou notre redresseur. Il se compose d'un Pmos de puissance en haut et d'un Nmos de puissance en bas ainsi que du circuit de commande rapprochée (inverseur CMOS classique [cmos]).

La technologie CMOS présente beaucoup d'intérêts, que ce soit vis-à-vis du circuit de puissance ou de la commande rapprochée par rapport à un circuit basé uniquement sur des transistors Nmos (dont le bras de commutation est composé de deux Nmos [Bin08]). Une seule source de tension est nécessaire, appliquant soit +Vdd soit Gnd, pour piloter les grilles des deux transistors Pmos et Nmos de puissance de façon complémentaire. La commande est ainsi plus simple car elle ne nécessite pas d'adaptation des niveaux de commande dans le cas d'un bras de commutation Nmos, ce qui rend possible l'intégration de la structure – voir Figure III.4–a. Vis-à-vis de la commande rapprochée, la structure CMOS permet de s'affranchir des problèmes de consommation statique et dynamique inhérents à une structure Nmos classique [Bin08]. La Figure III.4 présente les principes de commande pour la structure CMOS et la structure Nmos classique. La structure Nmos classique de la Figure III.4-b nécessite un circuit de commande spécifique pour commander le Nmos en haut (High side). Pour effectuer cette commande, on utilise soit deux sources de tension différentes, soit l'auto-alimentation, soit un transformateur d'isolation ... Cela rend plus complexe la conception du circuit intégré avec la nécessité de faire cohabiter des tensions différentes dans la puce intégrée.

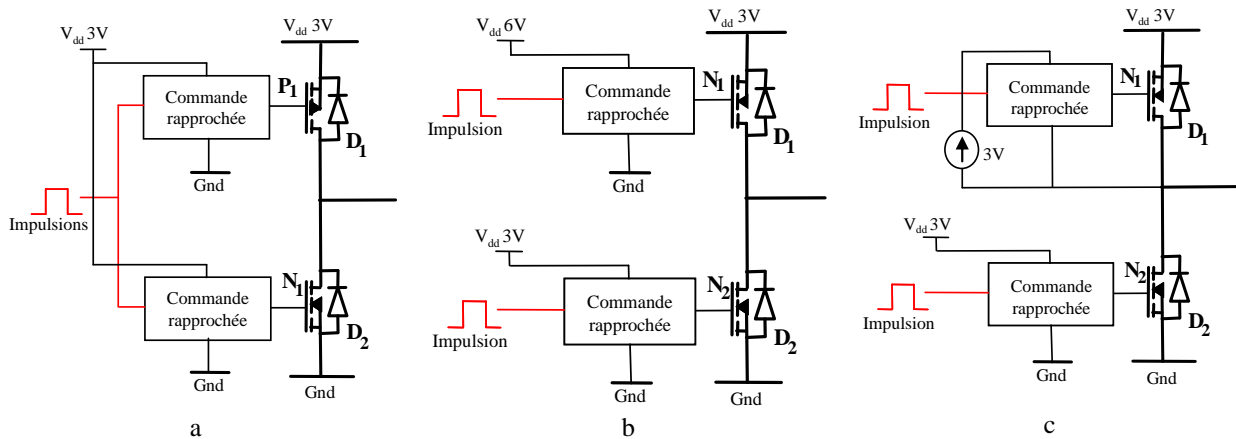


Figure III.4. Principes de commande du circuit CMOS et Nmos classique
 a – Circuit CMOS ; b – Circuit Nmos classique ; c – Circuit Nmos avec la référence flottante

Mais un des points faibles de la technologie CMOS est le court-circuit durant la phase de commutation si on utilise la méthode de commande classique des structures CMOS (les grilles des deux transistors sont connectées directement [Del09]). Ces courants de court-circuit détériorent le rendement. De plus, ces fortes sur-intensités génèrent des perturbations CEM qui peuvent perturber l'environnement du circuit de puissance. Donc la commande rapprochée doit être bien conçue pour permettre de gérer les temps morts nécessaires pour assurer des temps de conduction des Mosfets de puissance bien distincts [Del09] et éviter ainsi les phases de court-circuits de bras.

L'étude et le dimensionnement des Pmos de puissance et Nmos de puissance du bras CMOS ainsi que le circuit de commande rapprochée et les étages de décalage pour éviter le court-circuit dans la phase de commutation ont été réalisés par Oliver Deleage au cours de sa thèse au G2elab [Del09] pour le cahier des charges de 300mA, 3,3V et 1MHz. Dans son travail, le bras de l'onduleur est dimensionné pour obtenir la valeur minimum des pertes totales dans les bras (pertes par conduction et pertes par commutation dans les transistors Mosfets). Le circuit de commande rapprochée se compose de trois étages pour amplifier le courant utilisés pour charger la grille des Mosfets de puissance : ce courant doit être suffisamment grand pour piloter rapidement les Mosfets de puissance, le temps de commutation est inférieur à 2ns – voir Figure III.5. Le dimensionnement de chaque étage d'amplification a été effectué selon un même principe pour obtenir un meilleur rendement ainsi qu'une valeur du courant voulue après la sortie de chaque étage. Un circuit de décalage de la commande est présent avant les étages d'amplification. Ce circuit se compose de deux étages de CMOS dont la largeur et la résistance à l'état passant de chaque Mosfet sont dimensionnées pour qu'on puisse décaler le temps des impulsions d'entrée de Pmos et Nmos. Le principe de ce circuit est de retarder la commutation du MOS de puissance qui se ferme par une charge lente de la capacité de grille des étages constitués par T_{13} et T_{14} pour le Pmos et de T_{15} et T_{16} pour le Nmos. Les résistances à l'état passant des MOS T_{18} et T_{19} sont pour cela beaucoup plus importantes que celles des autres transistors

de ces étages. Par conséquent, lors d'une commutation négative de V_e , le bras de commutation T_{13} - T_{14} se charge beaucoup plus rapidement que T_{15} - T_{16} , permettant de retarder V_1 par rapport à V_2 . A l'inverse, lors d'une commutation positive de V_e , la capacité de grille de T_{15} - T_{16} se décharge beaucoup plus rapidement que celle de T_{13} - T_{14} , ce qui permet de retarder cette fois-ci V_2 par rapport à V_1 . Le dimensionnement du décalage est essentiel pour obtenir une commutation optimale [Del09].

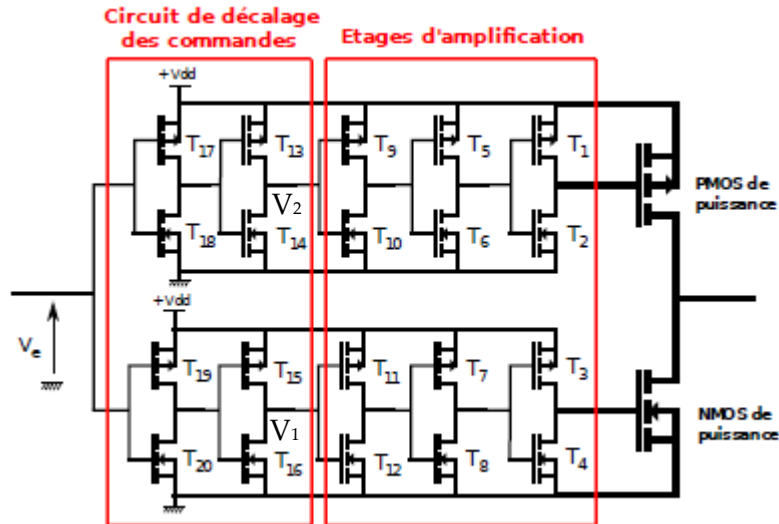


Figure III.5. Un bras de commutation CMOS de puissance et son circuit de commande rapprochée conçus pour transition d'un courant 300mA [Del09]

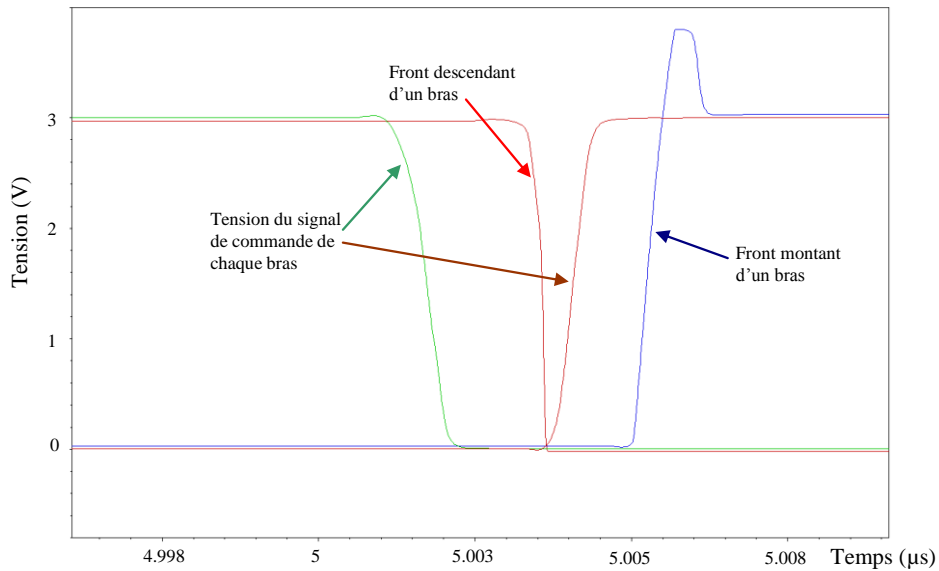


Figure III.6. Zoom sur le temps de commutation de la tension de sortie d'un bras de pont intégré sur puce

Pour le dimensionnement des différentes parties, les caractéristiques des Mosfets d'un bras CMOS (sans sa commande) conçu selon l'approche [Del09] sont présentées dans le tableau III.1 ci-dessous.

	Nmos	Pmos
R _{DSon}	52m Ω	63m Ω
C _{DS}	34pF	89pF
C _{ISS}	69pF	178pF
Temps de montée	1,39ns	1,39ns
Temps de descente	0,6ns	0,73ns
Tableau III.1. Caractéristiques d'un brique élémentaire du bras CMOS		

Pour le chiffrage, des temps de montée et de descente, on définit la durée pendant laquelle la tension passe de 0% jusqu'à 100% pour le point de fonctionnement nominal (0,3A ; 3V).

Dans nos travaux, nous nous appuyons sur ce dimensionnement pour développer la puce onduleur, en lien avec notre application et nos contraintes d'intégration globale. Nous considérons ce bras d'onduleur comme une brique élémentaire initiale qui sera mise en parallèle afin de faire transiter un courant plus important correspondant à notre cahier des charges (2A de courant efficace). Dans un premier temps, le nombre de briques élémentaires mises en parallèle, afin d'obtenir un rendement optimal, devra être déterminée, tout en respectant la contrainte du cahier des charges de surface maximale de silicium devant être utilisée pour les bras d'onduleur et leur commande rapprochée. Ainsi, on souhaite obtenir une puce intégrée ayant un bon rendement tout en gardant un coût de fabrication raisonnable.

Le nombre de briques élémentaires mises en parallèle et la surface de silicium équivalent sont montrés dans le tableau III.2. L'estimation du coût de fabrication de la puce intégrée réalisée par CMP [CMP] (890€/mm²) ainsi que la densité de puissance du convertisseur élémentaire sont des critères sur la surface de silicium de la puce de l'onduleur convergeant vers une valeur de 6mm² environ. On peut trouver que le nombre maximal de briques pouvant être mises en parallèle est donc de six pour notre bras d'onduleur. Pour cette valeur, la surface de silicium est de 6,346 mm² proche de la valeur que l'on a fixée ci-dessus. Le rendement de l'onduleur obtenu selon le courant de charge et le nombre de briques élémentaires mises en parallèle a été simulé par logiciel cadence est montré la Figure III.7.

Nombre de bras	Surface de Nmos+Pmos et la commande rapprochée
2 briques	1,058 mm ²
4 briques (2+2)	2,115 mm ²
8 briques (4+4)	4,23 mm ²
12 briques (6+6)	6,346 mm ²
Tableau III.2. La surface de silicium sera considérée équivalente au nombre de briques mises en parallèle	

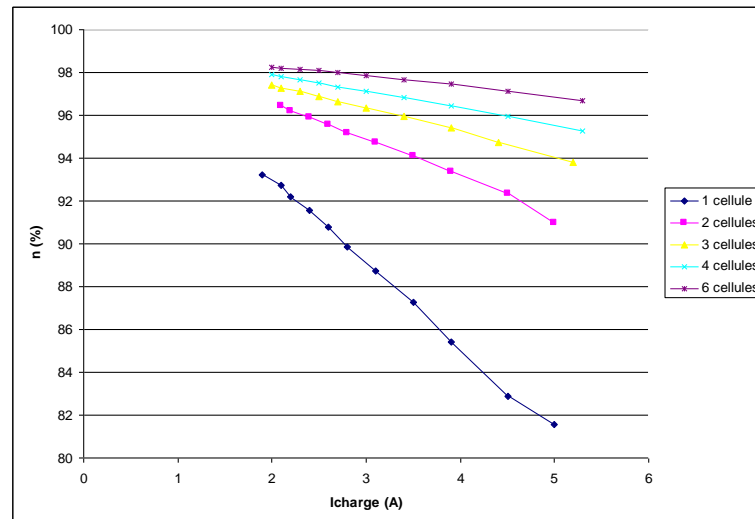


Figure III.7. Relation entre le rendement et le courant transisant dans l'onduleur pour différentes quantités de briques élémentaires mises en parallèle

Grâce aux résultats présentés dans Figure III.7, on trouve qu'une seule brique par bras est insuffisante pour obtenir un rendement satisfaisant. Lorsque six cellules sont mises en parallèle, on obtient un rendement de l'onduleur de 98% pour un courant de 2A et le rendement ne chute pas en dessous de 96% pour le courant 5A. Nous ferons un compromis entre le rendement de l'onduleur et la surface de silicium utilisée. De façon préliminaire et en prévoyant la surface de silicium occupée par le circuit de commande et les pads de connexions, un nombre de quatre briques élémentaires mises en parallèle a été donc choisi pour former notre bras de l'onduleur. On obtient le rendement total de l'onduleur variant de 98% à 2A et de 95% à 5A, pour une surface de silicium de 4,23mm².

La résistance équivalente des transistors ainsi réalisés est de 13m Ω pour les Nmos de puissance et de 14m Ω pour les Pmos de puissance. Les paramètres du Pmos et Nmos sont présentés dans le tableau III.3.

	Nmos	Pmos
R _{DS(on)}	13 m Ω	14 m Ω
C _{DS}	136 pF	356 pF
C _{ISS}	276 pF	712 pF
Temps de montée	1.39 ns	1.39 ns
Temps de descente	0.6 ns	0.73 ns
Tableau III.3. Caractéristiques d'un bras CMOS de notre onduleur		

III.2.1.d Partie de commande

Dans la partie précédente, nous avons traité la sélection et la conception du circuit de puissance et de la commande rapprochée à partir d'une brique élémentaire réalisée par Olivier Deleage en réalisant le compromis entre le rendement et la surface totale de la puce intégrée. Comme nous avons dit dans le premier chapitre, ce micro convertisseur doit être générique pour la mise en œuvre dans le réseau de micro convertisseur. Donc la partie de la commande semi-éloignée de chaque cellule est indispensable au projet des réseaux de micro convertisseurs. La Figure III.8 présente un schéma du circuit de commande d'un bras de l'onduleur pour lequel le circuit de commande semi-éloignée est composé de deux blocs ; le « level shifter » et le « générateur de commandes complémentaires »

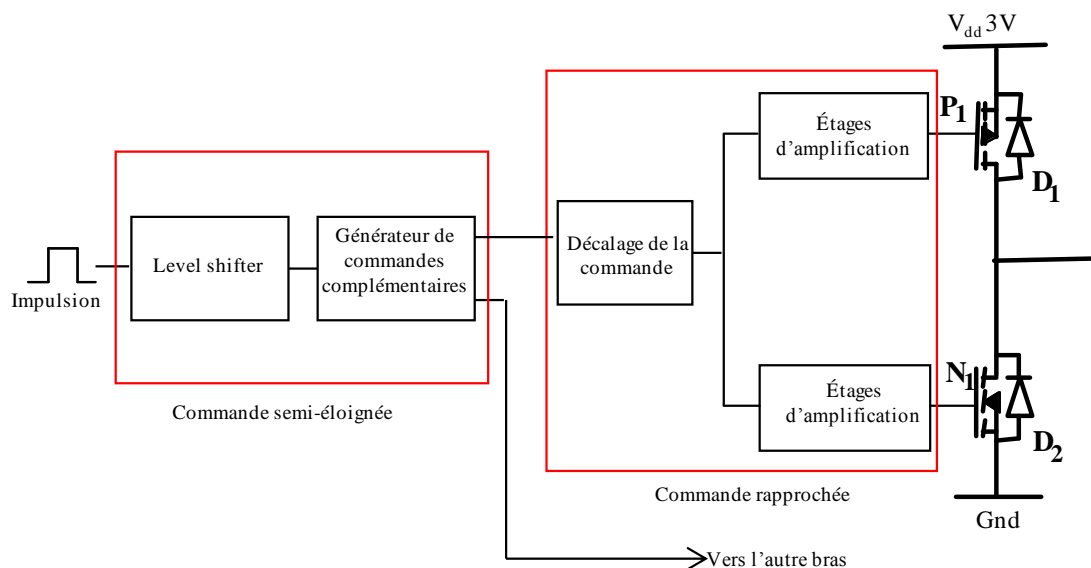


Figure III.8. Structure du circuit de commande d'un bras de l'onduleur

Level shifter

Ce circuit a pour objectif de récupérer l'information provenant de plusieurs types de sources (source de courant ou source de tension). De plus, il permet de référencer au potentiel de source dans le cas où le potentiel d'émetteur de l'interrupteur à commander est flottant. Dans notre cas, les potentiels à la grille des transistors du redresseur (la puce active après le transformateur planar) sont flottants. Il nécessite donc un système d'isolation et d'adaptation tels qu'un circuit level shifter [Has00-Cho09], des solutions optiques (fibre optique ou opto-coupleur) [Maz09] ou un transformateur [Her02-Hui99-Bao08]. Les avantages et les inconvénients de ces circuits sont présentés dans [Sim11]. Ici, on utilise le circuit intégré monolithique du level shifter qui est composé d'un étage à CMOS pour la facilité l'intégration, un faible coût de fabrication et la compatibilité avec le faible niveau de tension. Le schéma de ce circuit level shifter est présenté dans Figure III.9. Il se compose d'un étage CMOS avec

les grilles de Pmos et Nmos connectées directement entre elles. La résistance pull-up R ayant une grande valeur qui sert à référencer la tension de la grille du transistor Pmos et Nmos par rapport à la tension de la source dans le cas où il n'y a pas d'impulsion appliquée sur la commande de grille. Le dimensionnement de ce circuit (la résistance pull-up et l'étage de CMOS) dépend de la consommation énergétique totale ainsi que de la fréquence maximale de découpage de ce circuit.

La consommation de ce circuit doit être limitée pour garantir un bon rendement de la puce intégrée. On fixe donc la valeur du courant passant dans la résistance pull-up à 100 μ A. Pour cette valeur, la résistance pull-up est de :

$$R_{pull-up} = \frac{V_{dd}}{I_{conso}} = \frac{3.3}{1 \cdot 10^{-4}} = 33k\Omega \quad (III.1)$$

De plus, ce circuit doit être capable de fonctionner à la haute fréquence au-dessus 100MHz pour assurer sa stabilité lors du fonctionnement. Ainsi, les capacités du Pmos et du Nmos sont dimensionnées pour que la constante de temps soit inférieure à 1ns. Par ailleurs, suivant le procédé d'optimisation de la largeur des Mosfets dans le bras CMOS [Del09], la largeur de Nmos est trois fois plus petite que la largeur de Pmos, afin de garantir une même résistance à l'état passant entre les deux transistors. En conséquence, on calcule la largeur du Nmos de cet étage pour que la constante de temps formée par la résistance pull-up et la capacité d'entrée de Nmos C_{ISS} soit supérieure à 1ns. On a :

$$\tau = R \cdot C_{ISS} = 1 \cdot 10^{-6} \rightarrow C_{ISS} = \frac{1 \cdot 10^{-6}}{33 \cdot 10^3} = 30fF \quad (III.2)$$

Où la capacité d'entrée C_{ISS} se compose de deux parties : la capacité entre la grille et la source C_{GS} et la capacité entre la grille et le drain C_{GD}. Les valeurs de ces capacités dépendent aussi de la largeur du composant Mosfet. Elles sont calculées par la formule (III.3)

$$C_{GS} = C_{GD} = \frac{W_N \cdot L \cdot C_{ox}}{2} = \frac{C_{ISS}}{2} = 15fF \quad (III.3)$$

Où :

W : est la largeur du composant mosfet

L : est la longueur de la grille. En utilisant la technologie CMS35B4M3, cette valeur vaut 0.35 μ m

C_{ox} : la capacité créée par unité de largeur vaut 4.541 x 10⁻³ F/m.

A partir de la formule (III.3), avec les valeurs de C_{ox} et L présentées ci-dessus, on déduit que la largeur du Nmos est de W_N = 19 μ m. Donc la largeur du Pmos est de W_P = 3xW_N = 3x19 = 57 μ m.

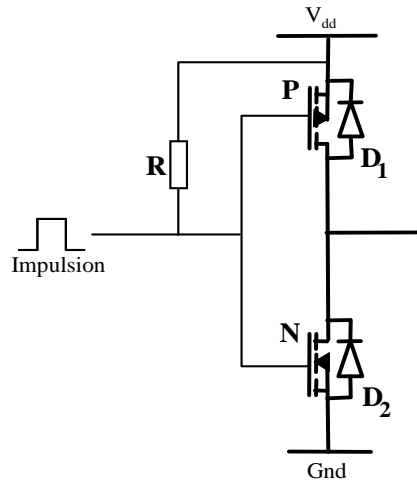


Figure III.9. Schéma du level shifter

La première simulation de ce circuit fait apparaître un délai de 14ns lors du passage du signal de commande de l'état haut à l'état bas – voir Figure III.10, correspondant à la constante de temps du circuit RC formé par la résistance de pull up et la capacité d'entrée de l'étage inverseur. Ce délai n'apparaît pas lors de l'autre commutation du fait de la résistance supposée plus faible du transistor de la commande externe.

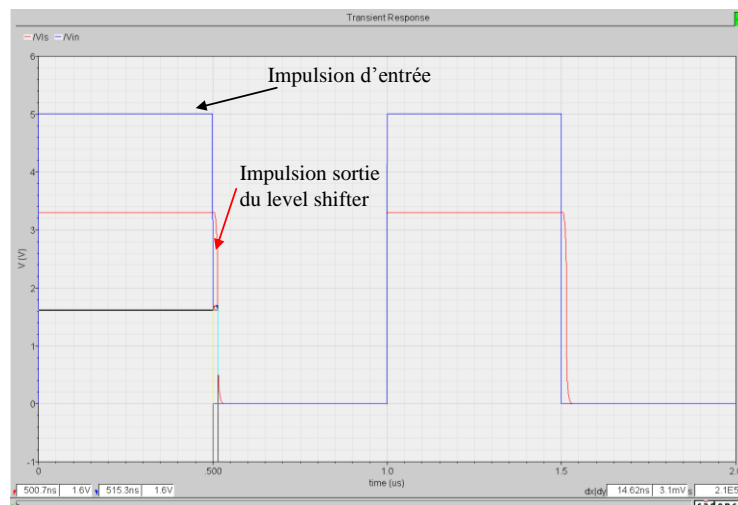


Figure III.10. Caractéristique de l'impulsion d'entrée et de sortie du level shifter

Générateurs de commandes complémentaires

Après avoir traversé l'étage de level shifter, le signal de commande provenant de l'extérieur doit être divisé en deux signaux de commandes complémentaires afin de commander les deux bras de l'onduleur. De plus, il faut éviter la conduction simultanée de tous les transistors pour minimiser les pertes par conduction. Pour cela, on doit créer deux signaux complémentaires non recouvrant par l'utilisation d'un circuit « générateur de commandes complémentaires » - voir la Figure III.11.

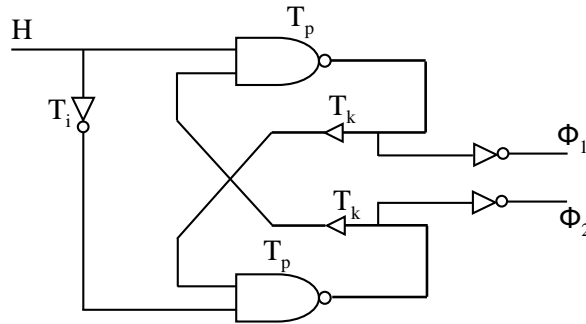


Figure III.11. Schéma de principe d'un générateur de signaux non recouvrants

Le signal provenant de la sortie du level shifter est séparé en deux, l'un entrant directement dans la première porte NAND, l'autre passant par un inverseur T_j pour générer un signal complémentaire avant d'entrer à la deuxième porte NAND. Les buffers de delay sur les autres entrées des portes NAND servent à introduire un retard T_k . T_p symbolise le temps de propagation dans les portes NAND et T_i celui de l'inverseur. On obtient alors les formes d'ondes exactes incluant les temps de retards dans les éléments de ce circuit - voir la Figure III.12.

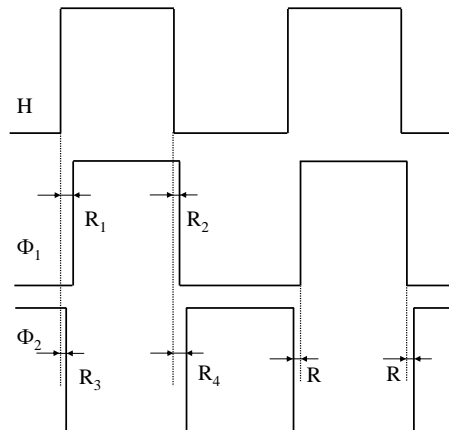


Figure III.12. Les impulsions d'entrée et de sortie du générateur d'horloges

Les retards sont alors :

$$R_1 = T_i + T_p + T_k + T_p$$

$$R_2 = T_p$$

$$R_3 = T_i + T_p$$

$$R_4 = T_p + T_k + T_p$$

$$\rightarrow R = R_1 - R_3 = R_4 - R_2$$

$$R = T_k + T_p$$

Pour diminuer le temps de design, on profite des bibliothèques de fonctions disponibles pour différents circuits logiques (NAND, inverseur, buffer de delay..) qui sont fournies avec la version accessible du Design kit 3.70. Il existe donc plusieurs designs différents du même type du circuit logique, il est donc possible de choisir le design qui dispose des paramètres convenables pour notre circuit de « générateur

de commandes complémentaires ». Ainsi, les buffers de délais sont des cellules DLY12 de la bibliothèque CORELIB dont le délai de propagation est de 1,53 ns pour une charge de 2 fF. On choisit donc des portes NAND20 dont les capacités d'entrées sont de 3 et 4 fF pour obtenir le délai le plus court possible. Le temps de retard de ces composants est choisi pour que l'on puisse obtenir un délai suffisant pour éviter le court-circuit entre les composants de puissance des deux bras en assurant un bon rendement de conversion de la puce. La simulation montre un délai entre les commandes de 1,5ns. Cette valeur est acceptable pour éviter le court-circuit (le temps de commutation des Mosfets est de 1,39ns ce qui est juste inférieur à 1,5ns).

Les deux commandes complémentaires vont attaquer, après la sortie de l'étage « générateur de commandes complémentaires », la commande rapprochée des bras de l'onduleur. Ces commandes doivent charger rapidement une impédance assez élevée du fait de la longueur des pistes transitant jusqu'aux commandes rapprochées des bras. Pour que le temps de propagation soit diminué le plus possible, ces commandes doivent être amplifiées par deux inverseurs (INV15). On choisit les plus gros de la bibliothèque et apportant un délai de 1,59ns chargés par une capacité de 4,8pF selon les données d'AMS.

Les simulations temporelles du circuit total « générateur de commandes complémentaires » ont pour but d'estimer le temps de propagation de l'entrée du circuit « générateur de commandes complémentaires » jusqu'à l'entrée du circuit de commande rapprochée du bras. Ce temps de propagation dépend des capacités parasites ajoutées par les pistes de connexions entre ces deux circuits. Les valeurs de ces capacités parasites dépendent des distances et des matériaux entre les pistes de connexion. Donc on ne peut obtenir des valeurs précises de la capacité parasite et du temps de propagation qu'après la simulation post layout. Mais on estime dans un premier temps que la valeur de cette capacité est dans l'intervalle de 1pF à 10pF pour estimer le temps de propagation de la commande entre les deux circuits. Le schéma équivalent du circuit est présenté Figure III.13.

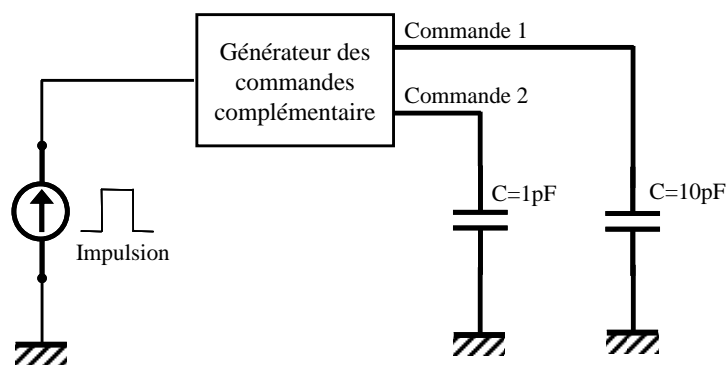


Figure III.13. Schéma principe pour l'estimation du temps de propagation entre le générateur de commandes et le circuit de commande rapprochée

On injecte un signal de commande dans le générateur de commandes et on rajoute des capacités de charge en sortie afin d'évaluer l'influence de l'impédance de sortie sur les commandes. La simulation

est effectuée deux fois pour les valeurs de la capacité parasite de 1pF et 10pF afin d'estimer le temps de propagation maximal et minimal possible dans le circuit. Pour des capacités de sortie de 1pF, les signaux de sortie ont un délai de 1ns à la commutation et le temps mort du signal entre la sortie de l'étage générateur de commandes complémentaires et l'entrée de la commande rapprochée du Mosfet est de 2,5ns. Cette valeur n'est pas trop importante et reste sans influence sur le fonctionnement global de la puce – voir Figure III.14.

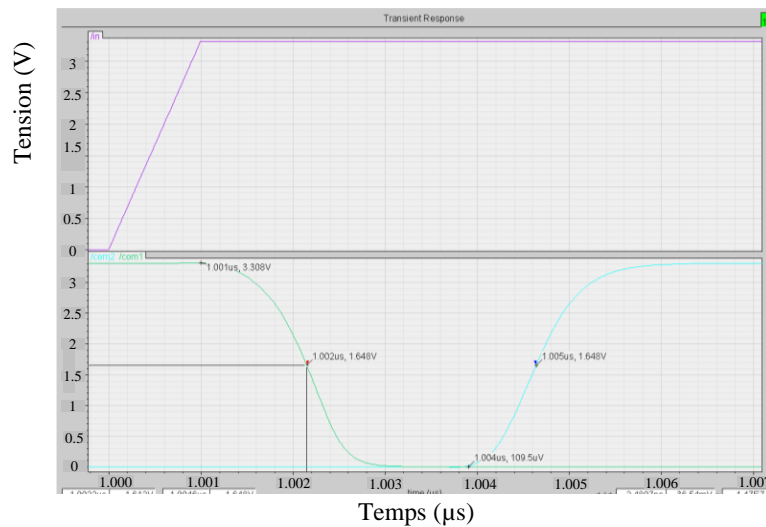


Figure III.14. Temps de propagation pour une capacité de sortie de 1pF

Pour des capacités de sortie de 10pF, le retard à la commutation des signaux de sortie est de 3ns et le temps mort entre les états hauts est de 4ns – voir Figure III.15. Le délai introduit par les capacités parasites n'est donc pas négligeable. Il faut donc vérifier, après extraction des éléments parasites du layout, que cette impédance n'est pas trop importante pour ralentir significativement la commutation. Par la simulation, la consommation de ce circuit est de 15 μ W.

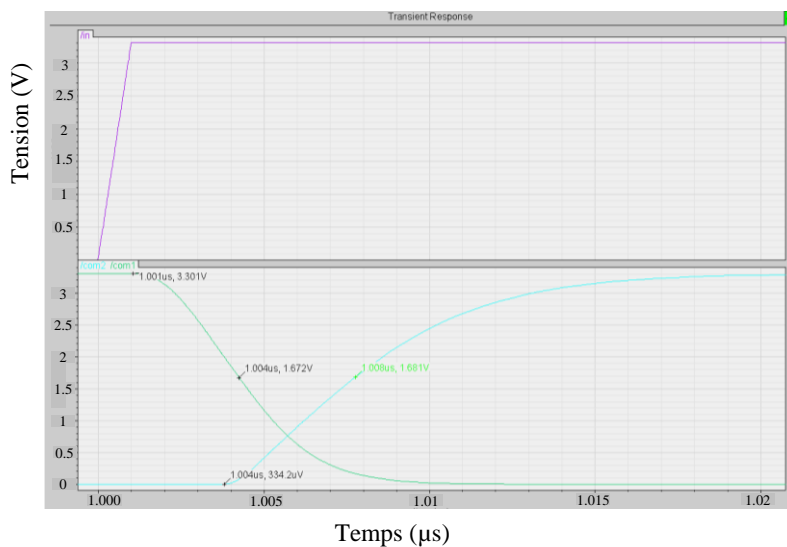


Figure III.15. Le temps de propagation pour une capacité de sortie de 10pF

Onduleur en pont complet

Les circuits de commande de l'onduleur ayant été dimensionnés, il reste à valider le fonctionnement de cette commande avec l'onduleur en pont complet. La Figure III.16 montre une commutation des deux bras de l'onduleur en pont complet piloté par le générateur de commandes complémentaires pour le point de fonctionnement nominal. Le Pmos du premier bras P1 conduisant pendant l'alternance précédente s'ouvre en premier, et le Nmos N1 du même bras est fermé en second. Le N2 du second bras est alors ouvert et le P2 fermé avec le décalage introduit par le circuit de décalage des commandes du même bras de 1ns. Il n'y a ainsi aucun court circuit de bras et la commutation de l'alternance négative à l'alternance positive est effectuée en 3ns avec un temps mort de 2.5ns. Le même fonctionnement inverse est retrouvé lors du passage de l'alternance positive à l'alternance négative. Le temps mort entre les commutations est correct donc on n'a pas besoin de réduire ce temps.

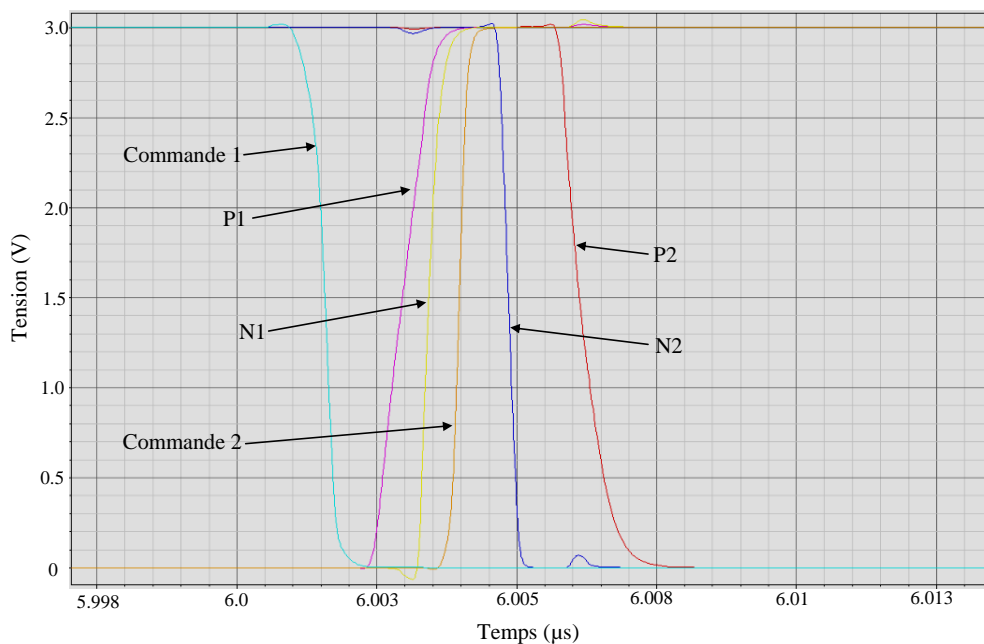


Figure III.16. Formes d'ondes de la tension à la Grille des Mosfets avec ordre de commande arrivant par le level shifter et le générateur de commandes non recouvrantes

III.2.1.e Elaboration du layout

Les circuits dimensionnés ayant été validés par la simulation, on peut procéder au layout ou dessin des masques et au routage du circuit. Ce routage peut introduire des composants parasites dans le circuit pouvant perturber son fonctionnement. Ceci doit être vérifié par une extraction des parasites du routage et une simulation post-layout.

Le layout individuel de chaque circuit va maintenant être présenté, puis le layout du circuit global.

Layout du level shifter :

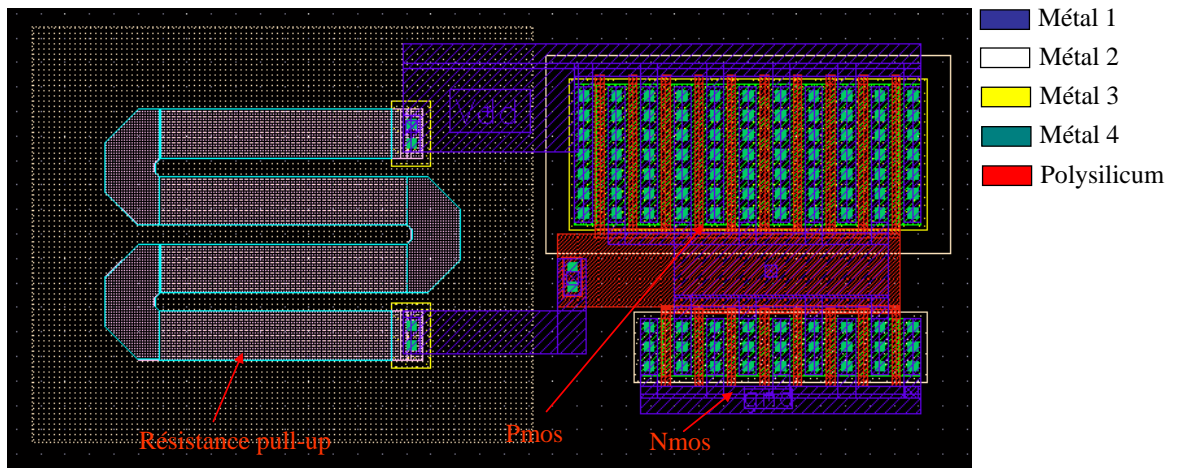


Figure III.17. Vue du layout du level shifter

Ce circuit est constitué d'un inverseur CMOS précédé d'une résistance de pull up en polysilicium. Aucun délai supplémentaire n'a été observé en simulation post layout.

Générateur de commandes complémentaires :

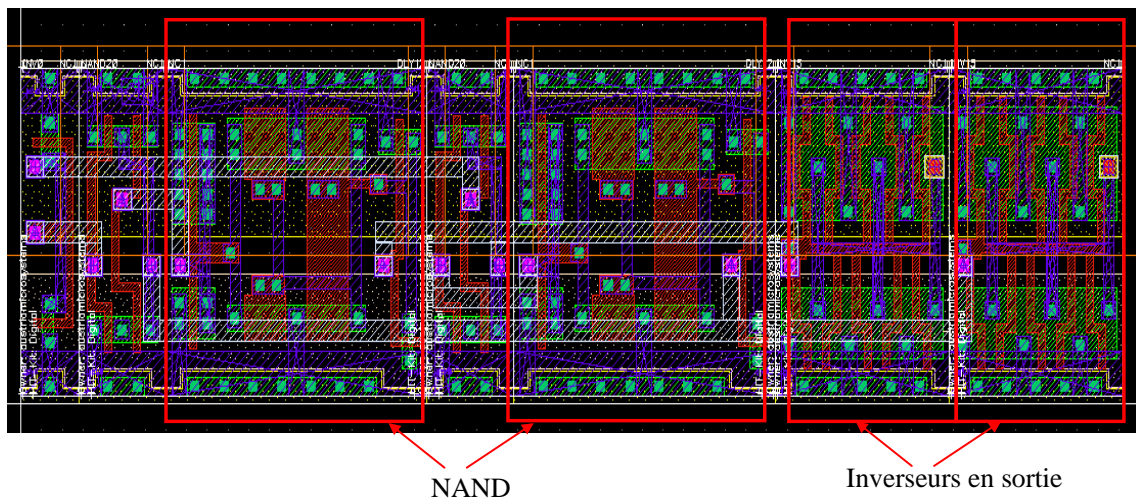


Figure III.18. Vue du layout du générateur de commandes complémentaires

Ce circuit est constitué uniquement de cellules standards de la bibliothèque AMS. Les simulations post layout sont identiques aux simulations schématiques.

Layout d'un bras d'onduleur :

Le layout des amenées de courant sur les transistors et des commandes rapprochées ayant été optimisé et validé dans la thèse d'Olivier Deleage, il n'a pas été modifié – voir Figure III.19. Dans notre cas, le courant transféré étant, en revanche, significativement plus élevé, les pistes de puissance (Vdd, Gnd et

points milieux des bras) ont donc du être redimensionnées (une largeur de 250 μ m de piste est requise par CE pour transiter un courant de 1,25A correspondant à un quart du courant de 5A). Les amenés de courant des commandes rapprochées ont également été modifiées pour passer au milieu des cellules plutôt que sur les côtés, réalisant un gain d'espace.

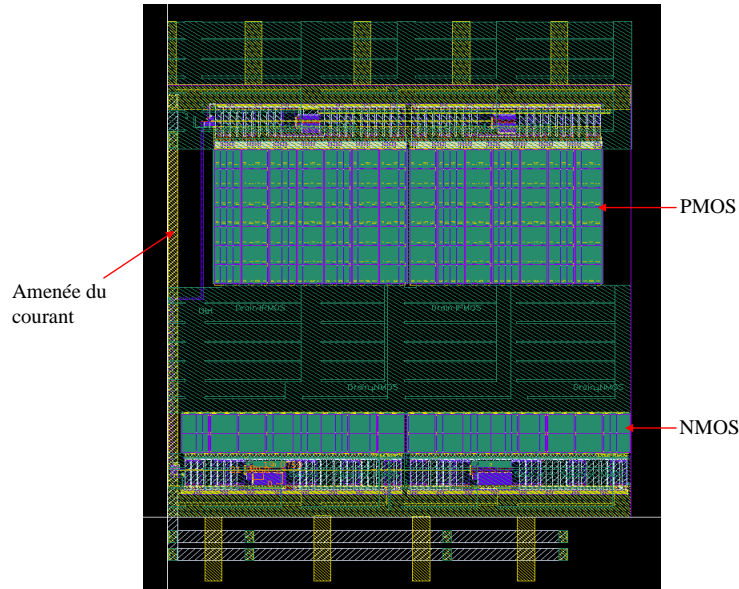


Figure III.19. Vue du layout d'une brique élémentaire d'un bras d'onduleur

La Figure III.20 montre donc le layout de notre bras d'onduleur comportant quatre briques élémentaires interfacées. Dans ce cas, les amenées du courant arrivent au milieu de notre bras pour avoir la distance la plus courte entre ces amenées et les Mosfet de puissance.

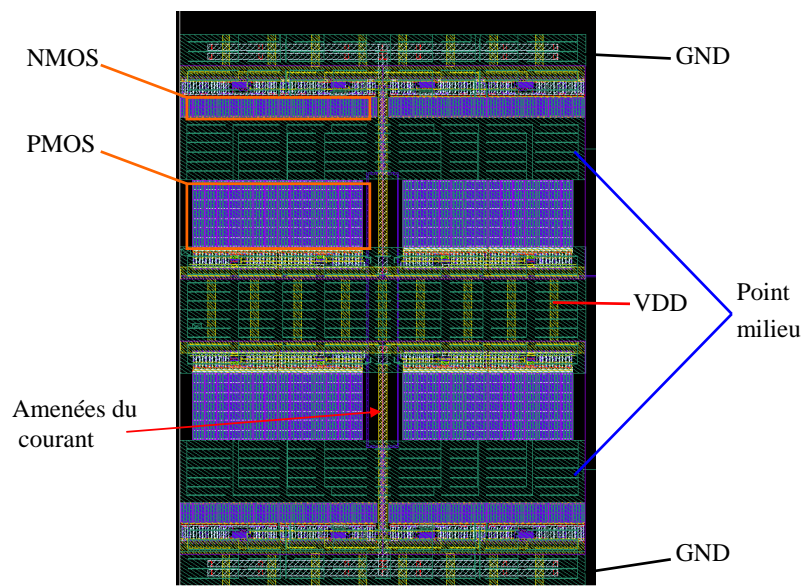


Figure III.20. Vue du layout d'un bras de notre onduleur

Layout complet :

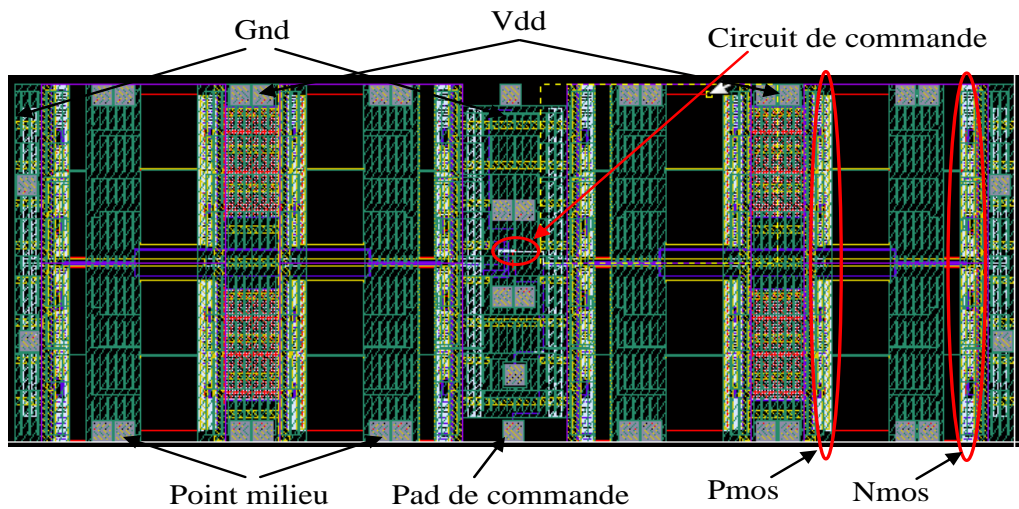


Figure III.21. Vue du layout du circuit global

Le layout final de l'onduleur complet est présenté Figure III.21. Il se compose des deux bras avec leurs commandes rapprochées, la commande du circuit et les pads de connexions. Ces pads de connexions ont été placés au cœur des pistes de puissance afin de réaliser un gain d'espace. Chaque piste de puissance contient deux petites pistes de chaque côté et est dimensionnée pour faire transiter 5A au maximum (sinon il y a risque d'électro-migration). Pour ce design, la connexion de Vdd se compose de huit pads de connexion, dont quatre pads dans chaque bras pour connecter cette puce avec les circuits externes. Cette conception a pour but de diminuer la résistance des connexions électriques entre la puce intégrée et les autres composants de puissance du micro convertisseur. De la même façon, les points "milieu" de chaque bras et la masse se composent de huit pads de connexions. La partie de commande semi-éloignée du circuit est placée au milieu du layout, sous une piste de Gnd – voir Figure III.22. Des capacités de filtrage en polysilicium de 107pF placées entre l'alimentation et la masse ont également été rajoutées afin de filtrer la tension d'alimentation au plus près de la commande. La taille du circuit complet est de 1,5 x 4,5 mm.

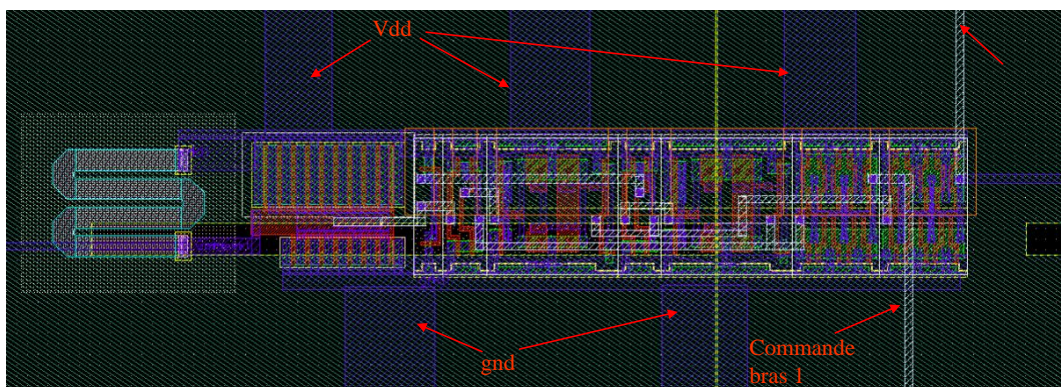


Figure III.22. Zoom sur la partie de commande

Extractions des paramètres et simulation du post-layout du circuit global

La phase de vérification et de simulation post-layout du circuit intégré est effectuée pour vérifier les valeurs des composants parasites introduits durant le routage et leur conséquence sur le bon fonctionnement du circuit. Si ces composants parasites ont de grandes valeurs, ils vont influencer le fonctionnement normal de la puce intégrée ainsi réalisée. Les extractions des éléments parasites des pistes de puissance sont exprimées dans le tableau III.4 ci-dessous qui montre les valeurs de la résistance, de la capacité propre totale (capacité entre les pistes et la masse) et de la capacité couplée avec les autres pistes des principales interconnexions du circuit.

Net	C (pF)	Capacité couplée (pF)	C+CC (pF)
Gnd	91,85	190,3	282,1
Vdd	210	362,1	572,1
Point milieu 1	4,57	61,73	66,3
Point milieu 2	4,57	61,73	66,3
Point milieu 3	4,57	61,73	66,3
Point milieu 4	4,57	61,73	66,3
Com1	0,87	0,87	1,74
Com2	0,87	0,82	1,69
Out1	0,09	0,09	0,17
Out2	0,07	0,12	0,2
Tableau III.4. Capacités des pistes du circuit			

Grâce à ce tableau, on trouve que les pistes de puissance Vdd et Gnd ont des capacités assez importantes mais ces pistes ne sont pas critiques donc ces valeurs n'influencent pas le fonctionnement de la puce intégrée. Les pistes les plus critiques sont les commandes com1 et com2 et les pistes connectées entre l'étage de générateur de commandes et la commande rapprochée car les capacités parasites de ces pistes peuvent faire décaler l'instant de commutation des transistors. Néanmoins ces pistes étant symétriques, les commutations des deux bras seront décalées d'un temps identique. De plus la capacité totale de ces pistes n'est que de 1,7pF et il a été vu que les étages de sortie du circuit générant les commandes peuvent fournir assez de courant pour charger rapidement cette capacité. La simulation post layout de la puce globale est difficile à réaliser à cause de grande taille du fichier après l'extraction de la puce. Seules ont donc pu être vérifiées les parties de commande de la puce. Le fonctionnement du circuit de commande semi-éloignée ainsi que la valeur de la capacité de l'amené du courant sont tout à fait corrects en simulation post-layout et aucun dysfonctionnement n'a été observé.

III.2.2. Mise en œuvre et caractérisation

Après la phase de conception, nous avons donc fait réaliser les puces via le CMP [CMP], qui nous a fourni 50 puces, dont 10 en boîtier SOIC24 pour les caractériser d'un point de vue fonctionnel dans un premier temps. La Figure III.23 montre le prototype de puce intégrée connectée avec les pads du boîtier par les fils de bondings. Les pads du boîtier et les fils de bonding sont en or pour avoir des bonnes caractéristiques d'adhérence et d'accroche sur les pads de la puce et les pattes du boîtier. Les résistances et inductances de ces fils de bonding vont s'ajouter aux éléments parasites de notre circuit durant le processus de caractérisation de la puce influençant de façon néfaste son fonctionnement. La prise en compte de ces influences sera effectuée dans la partie III.3.2 de ce chapitre. Nous avons réalisé nos premiers tests avec ces puces mises en boîtier.

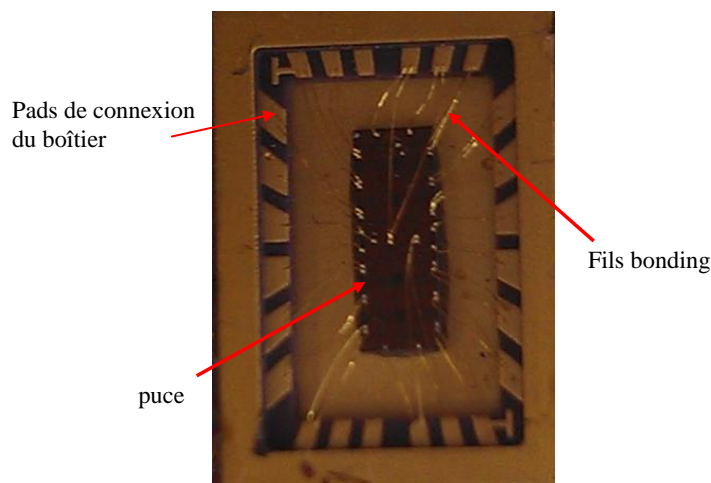


Figure III.23. Puce dans son boîtier SOIC24

III.2.2.a Caractérisation en mode onduleur.

Nous caractérisons tout d'abord le fonctionnement en mode onduleur d'une puce intégrée. Pour cela, nous avons réalisé un PCB d'essai sur lequel nous avons monté la puce en boîtier – voir Figure III.24.

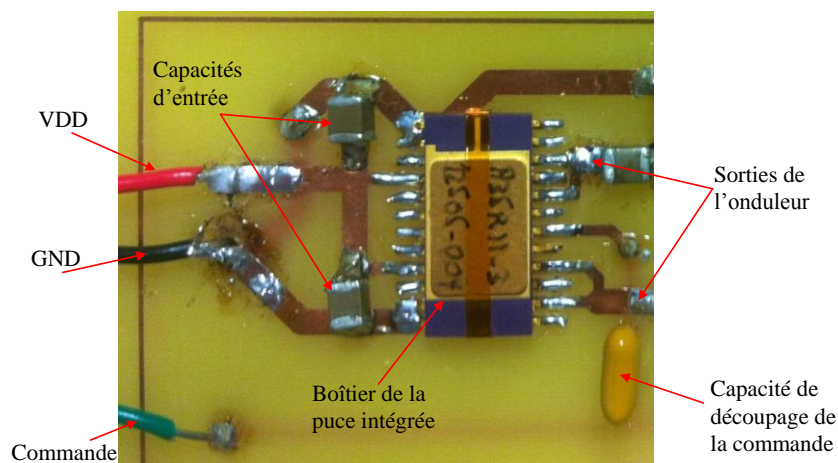


Figure III.24. Circuit de test de l'onduleur

On teste ici le fonctionnement de cette puce en mode d'onduleur en utilisant une impulsion avec un rapport cyclique de 0.5 (fonctionnement similaire à l'utilisation de la puce onduleur dans le convertisseur DAB). Cette impulsion est isolée de la puce intégrée par une capacité de découplage. Cela doit permettre de tester le fonctionnement de la puce dans un convertisseur élémentaire qui serait commandé par des signaux isolés. La Figure III.25 montre les formes d'ondes de la tension d'entrée et de la tension de sortie de l'onduleur avec les différentes valeurs de la charge résistive. On trouve que la chute de la tension augmente lorsque le courant augmente entraînant l'abaissement du rendement de cette puce intégrée – voir Figure III.26.

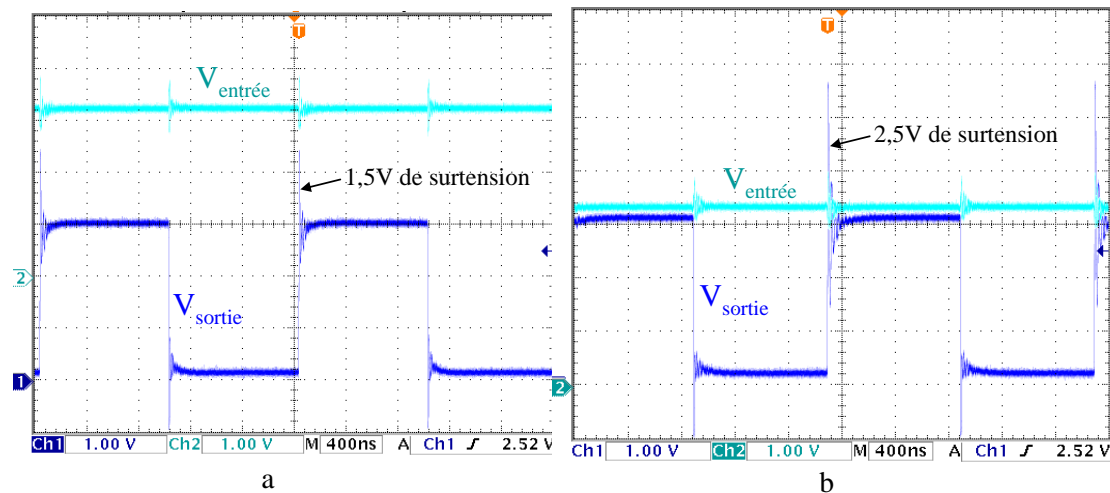


Figure III.25. Formes d'ondes de la puce intégrée en mode d'onduleur pour différentes valeurs du courant
 a – formes d'onde à $I = 0,3A$; b – formes d'onde à $I = 1,2A$

Le rendement mesuré en fonction du courant de la charge est présenté Figure III.26. Les valeurs de la tension et du courant utilisées pour le calcul du rendement ne peuvent pas être mesurées par les ampèremètres et voltmètres conventionnels car, côté alternatif (à la sortie de l'onduleur), les formes d'ondes sont hautes fréquences (500kHz). On utilise donc les sondes de courant et de tension d'oscilloscope pour mesurer ces valeurs et calculer analytiquement ce rendement à partir des formes d'ondes mesurées de la tension et du courant. Le rendement est le rapport entre la puissance efficace en sortie (côté alternatif) et la puissance moyenne en entrée (côté continu). La précision de la mesure de puissance côté alternatif est faible, liée non seulement à la précision de la sonde de mesure mais encore aux différents temps de réponse de ces sondes. En effet, la sonde de tension Tek P6111b [Tek] utilisée pour la mesure de la tension ayant un temps de réponse de 5ns et la sonde du courant Tek TCP202 ayant un temps de réponse de 20ns. Ces différences de temps de réponse entraînent une erreur d'estimation (se traduisant par une sous-estimation) de la puissance efficace mesurée du côté alternatif autour de 3% (pour la fréquence de 500kHz). De plus, une seconde erreur est introduite lors de la mesure du courant alternatif, avec cette sonde, dont la précision est autour de 3% (pour 1% en continu). La précision de ce type de mesure est donc de l'ordre de 10% ce qui est très important pour pouvoir évaluer finement le rendement de notre puce. Toutefois, nous avons continué l'exercice pour

pouvoir évaluer les tendances pour cela, la mesure du rendement est effectuée pour plusieurs puces intégrées et on choisit la valeur moyenne du rendement pour chaque point de mesure.

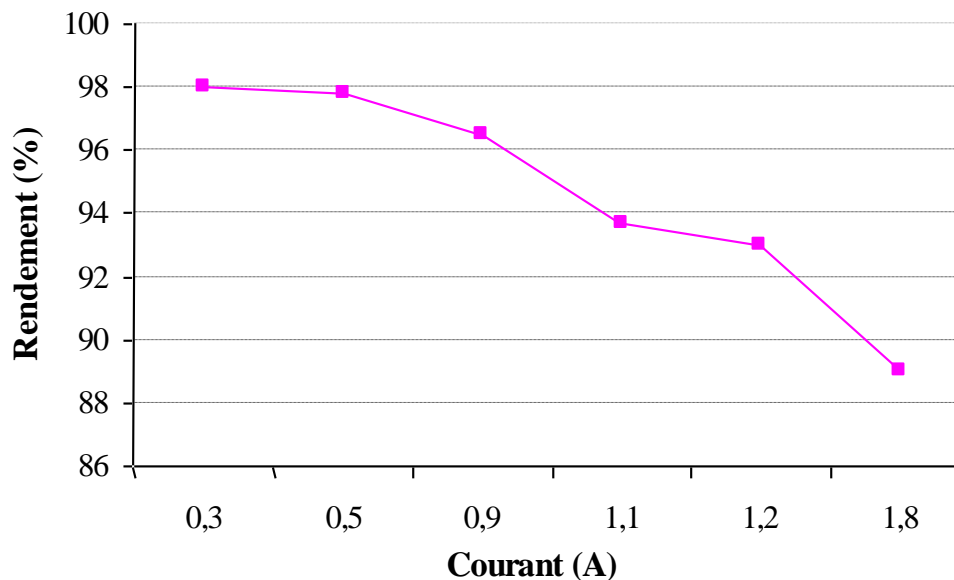


Figure III.26. Relation entre le rendement et le courant de la puce intégrée fonctionnant en mode de l'onduleur

Les résultats exprimés Figure III.26 montrent que le rendement mesuré à faible courant est autour de la valeur du rendement simulé sous Cadence. Le décalage entre le rendement mesuré et le rendement simulé devient plus grand en fonction du courant de la charge. Ces problèmes peuvent être causés par l'exactitude de la mesure, l'addition des résistances des fils de bonding, l'inductance parasite de connexion et les connexions du circuit qui font baisser le rendement mesuré par rapport au rendement simulé.

On essaie donc d'estimer la résistance ajoutée par ces fils de bonding sur la résistance totale de chaque composant actif. La Figure III.27 présente le schéma de principe pour la mesure de la résistance du Pmos composée de sa résistance à l'état passant à laquelle s'ajoute les résistances des fils de bonding. On polarise le Pmos par une tension continue pour qu'il soit fermé et on mesure, à l'aide de multimètres MX579, la chute de la tension entre Drain et Source du Pmos ainsi que la valeur du courant qui le traverse. La résistance est calculée et choisie à partir de plusieurs points de mesure à différentes valeurs du courant. La mesure est effectuée sur plusieurs Pmos et on obtient une valeur de 95m Ω . De manière similaire à cette méthode de mesure, la résistance du Nmos (la résistance à l'état passant du composant et la résistance du fils de bonding) est mesurée à 92m Ω .

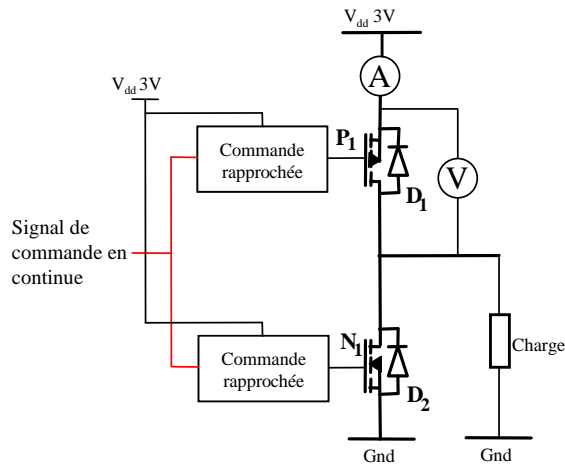


Figure III.27. Schéma de principe de la mesure de la résistance à l'état passant du Pmos et de la résistance des fils de bonding

On trouve que ces valeurs sont plus importantes que les valeurs souhaitées des résistances à l'état passant de chaque Mosfet ce qui montre que les autres résistances de connexion, d'amenées de courant et les résistances des connexions externes de la puce ne sont pas négligeables. La résistance d'amenée de courant interne à la puce est principalement liée à la résistance de la piste de connexion du métal 4 (en Al) de la technologie AMS 0,35 μ m. Cette piste de connexion de compose de quatre pistes mises en parallèle (pour un bras) ayant une épaisseur de 2800nm (présentée ci-dessus) et une longueur d'environ 250 μ mm et une largeur de 750 μ m. Avec la résistivité de l'aluminium étant de $26 \cdot 10^{-9} \Omega \cdot m$ la résistance de cette connexion est de 0,8m Ω . Si on suppose que la technologie AMS 0,35 μ m est fiable, et que les résistances à l'état passant des Mosfets de la puce sont comparables à celles de la simulation, la résistance ajoutée par les fils de bonding est donc de 39m Ω par chaque plot de connexion Vdd, Gnd, point milieu 1 et point milieu 2, entraînant la réduction du rendement du micro convertisseur. Par conséquent, les pertes créées par les fils de bonding sont estimées et présentées Figure III.28

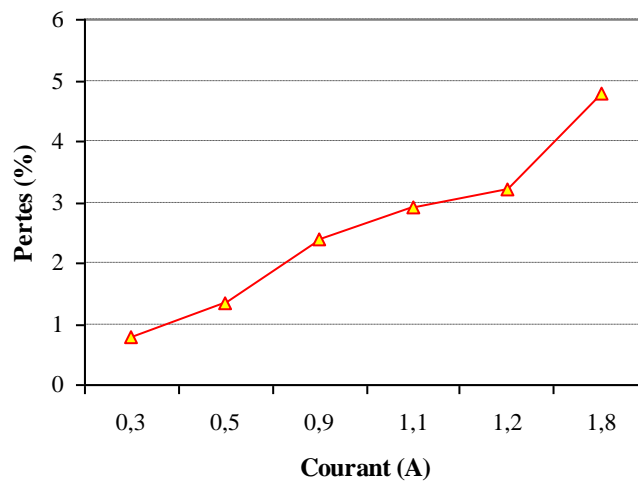


Figure III.28. Pourcentage des pertes créées par les fils de bonding

Il existe une petite erreur entre la valeur simulée et la valeur mesurée liée à l'erreur de la méthode de mesure.

Du point de vue du signal de tension de sortie, on trouve que la surtension à la commutation est importante. Il est de 4,5V pour un courant 0,3A et 5,5V pour un courant 1,2A. Cette surtension est liée à l'inductance parasite de connexion et au courant la traversant ce qui limite le fonctionnement de la puce intégrée à 1,8A et produit en plus les pertes par commutation sur les composants actifs. Ne pouvant pas mesurer les pertes par commutation des composants actifs (il n'est pas possible de mesurer les courants traversant les Mosfets) nous estimons ces pertes par la simulation à l'aide du logiciel Cadence en prenant en compte les inductances de maille. Ceci va être présenté au chapitre IV.

III.2.2.b Caractérisation en mode redresseur en pont complet.

Le circuit de test est présenté Figure III.29 avec l'entrée en alternatif et la sortie en continue. A l'entrée, il est possible d'utiliser un signal alternatif généré par un GBF suivi d'un amplificateur et un transformateur réalisé classiquement [Del09] ou d'utiliser un étage onduleur réalisé à partir de composants discrets suivi d'un transformateur. Ces deux méthodes basées sur l'utilisation de composants discrets ne sont pas très performantes à la fréquence de 500kHz donc le but de cette étape est de vérifier le fonctionnement en mode redresseur de la puce intégrée à moyenne fréquence (200kHz). Dès que l'on confirme le fonctionnement de la puce intégrée en mode redresseur, on utilise donc la tension en sortie de la puce en mode onduleur suivi par un transformateur discret afin d'exciter le redresseur avec des signaux convenable pour conduire sa caractérisation à 500kHz en mode redresseur– voir Figure III.29.

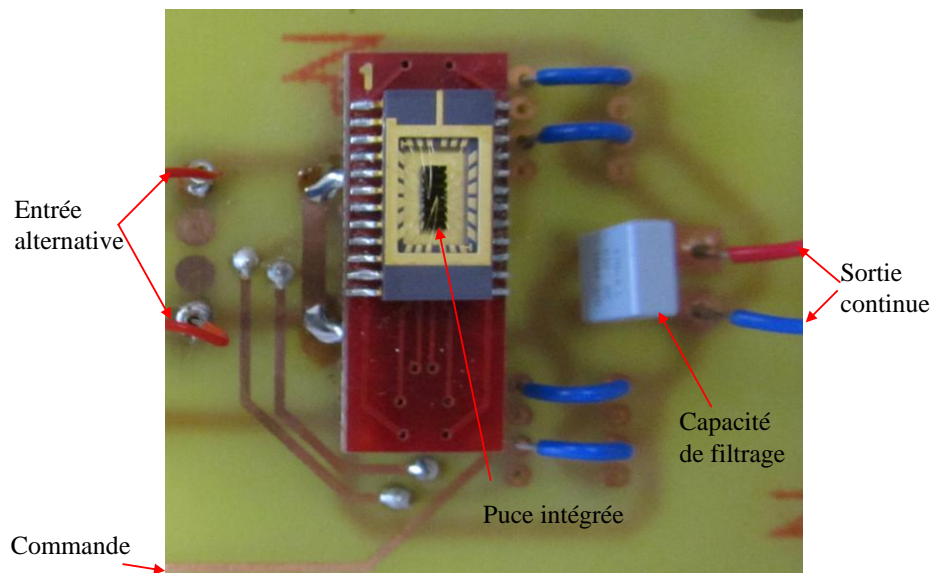


Figure III.29. Circuit de test de la puce intégrée en mode redresseur

La méthode de mesure du rendement est similaire dans le cas d'un fonctionnement en mode onduleur. On trouve que, avec une même puce, le fonctionnement en mode redresseur est identique à celui onduleur conduisant au même rendement.

Pour la caractérisation du micro convertisseur complet, il faudrait rajouter un transformateur planar, conçu et dimensionné pour s'adapter à notre micro convertisseur. Le dimensionnement et la conception de ce transformateur planar vont être présentés dans la partie suivante. La caractérisation du micro convertisseur complet va donc être effectuée ensuite pour obtenir les formes d'ondes et les résultats expérimentaux de notre micro convertisseur.

III.2.3. Conclusions sur les composants actifs

Le dimensionnement et la conception d'un circuit intégré de l'onduleur/redresseur sur silicium ainsi que les circuits de commande associés sont abordés. Cette puce intégrée peut fonctionner en mode onduleur en pont complet ainsi qu'en mode redresseur en pont complet, structure qui est utilisée spécifiquement dans la CE du réseau de micro convertisseur. Ils fonctionnent via une commande extérieure isolée, appliquée à un étage de level shifter. Ce circuit a été dimensionné pour faire circuler un courant de 2 à 5A et pour un rendement allant de 98% à 2A à 95% à 5A.

Le dessin des masques du circuit a été réalisé dans la technologie AMS C35B4M3. La taille du circuit est de 1,5 par 4,5mm. Le circuit a été simulé après routage et aucune perturbation due au routage n'a été observée.

La caractérisation de la puce intégrée en mode onduleur et en redresseur montre le bon fonctionnement de la puce intégrée. Un travail important de métrologie reste à faire pour mettre en place une solution efficace pour la mesure du rendement, pour les deux modes de fonctionnement, de la puce intégrée à cause de la précision de mesure de la tension et du courant du côté alternatif à haute fréquence. La mesure par les sondes de tension et de courant montre que le rendement de la puce intégrée, bien qu'il reste encore une certaine erreur de mesure, est inférieur à la valeur simulée. Une des raisons de la détérioration du rendement est liée aux résistances des fils de bonding connectés entre la puce et les pistes conductrices du circuit (39m Ω pour une connexion).

III.3. Composants passifs

III.3.1. Introduction

Les éléments passifs sont utilisés dans plusieurs dispositifs dans le domaine d'électronique et d'électronique de puissance tels que dans les téléphones portables, les réseaux sans fils, les dispositifs de conversion de l'énergie, et l'intégration de ces composants dans un substrat ou la synthèse d'un dispositif séparé fortement intégré peut fournir une performance significativement en hausse tout en réduisant le coût et les dimensions physiques [Lai10]. De nombreuses techniques de fabrication sont

utilisées dans l'industrie afin de réduire l'espace et les coûts des composants passifs. Les techniques d'intégration des composants passifs peuvent être divisées en deux catégories principales. La première est basée sur la filière circuit imprimé (PCB) et permet, par l'utilisation conjointe de composants planars et de céramiques ou de polyimides aux propriétés diélectriques intéressantes, de réaliser les éléments inductances L, condensateurs C et transformateurs T [Waf05, Wyk05-2, Ara04, Lem05]. En effet, l'usage des matériaux fins permet d'empiler un grand nombre de couches conductrices et isolantes que nécessite ce type de composants tout en gardant un encombrement réduit. De plus, ces composants s'appuient sur une géométrie bien maîtrisée et parfaitement reproductible permettant de garantir précisément leurs caractéristiques. Les problématiques de cette approche sont essentiellement liées aux matériaux et à leurs performances qui sont pour l'heure encore trop modestes, surtout en ce qui concerne les matériaux diélectriques. Le coût de réalisation des circuits imprimés multicouches reste encore élevé [Wurth]. Afin de limiter le coût de réalisation des composants passifs utilisant cette technologie, les auteurs de [Jon06 – Jon08] présentent les différentes techniques de réalisation de composants bobinés planar sur PCB soit par un pliage des circuits souples soit par un empilement des couches ou l'optimisation du coût du circuit imprimé.

La seconde catégorie de fabrication des composants passifs utilise un procédé jusque là limité à la RF : la technique du cofrittage basse température (LTCC) [Yos05]. Cette technique permettra à terme la réalisation des éléments L, C et T par empilement de couches conductrices, magnétiques et diélectriques. De grands groupes comme THALES travaillent sur cet axe dont la problématique principale est, là aussi, la création de matériaux dont les propriétés permettent de réaliser ce cofrittage [Leb05].

III.3.2. Conception du transformateur planar

III.3.2.a Objectifs

Le transformateur est un des éléments essentiels de notre micro convertisseur qui permet le transfert d'énergie, l'adaptation des niveaux de tension et de courant ainsi que l'isolation galvanique entre les deux parties d'une alimentation. Les caractéristiques géométriques et électriques de ce transformateur sont liées à celles des structures actives que sont l'onduleur et le redresseur intégrés sur silicium. Leurs pertes doivent être faibles afin de transférer l'énergie sans pénaliser le rendement global du micro convertisseur. De plus, leurs dimensions ne doivent pas être disproportionnées par rapport à la dimension globale du micro convertisseur.

Dans le but de minimiser le volume du transformateur fonctionnant à la fréquence de 500kHz, un composant de type planar est utilisé et réalisé par la technologie de PCB. Ce transformateur est dimensionné pour que la résistance série des bobinages soit la plus faible possible afin de limiter les pertes Joules. De plus, son inductance magnétisante doit être la plus grande possible pour limiter les circulations de courant au niveau du transformateur sans transfert de puissance entre primaire et secondaire. En outre, l'inductance de fuite doit être bien contrôlée pour un bon fonctionnement de la

structure du convertisseur DAB en présentant un couplage bien adapté aux besoins à l'image des études présentées dans les chapitres précédents. En présence de circuit magnétique, ce dernier ne doit pas présenter beaucoup de pertes fer créées par courant Foucault ou par hystérésis.

En anticipant sur le processus d'hybridation final de ce transformateur avec les puces intégrées de l'onduleur et du redresseur, la technologie utilisée pour la réalisation du transformateur doit être compatible avec la technologie de report de la puce active. De plus, dans le but d'une utilisation dans le R μ C, ce transformateur doit avoir un niveau d'isolation de la tension supérieure à la tension maximale du R μ C.

III.3.2.b Critères de dimensionnement

Durant le processus de conception du transformateur planar, on souhaite maximiser les caractéristiques idéales pour le transformateur planar mais nous sommes toujours face aux compromis entre ces caractéristiques. Ce compromis doit être effectué dans la limite des caractéristiques où le transformateur peut fonctionner de façon optimale. En conséquence, l'inductance magnétisante doit avoir une valeur minimale supérieure à 3,75 μ H permettant de limiter l'ondulation du courant.

$$L_{\min} = \frac{\alpha \cdot V}{\Delta I \cdot f_s} = \frac{0.5 \cdot 3}{0.8 \cdot 500000} = 3.75 \mu H \quad (\text{III.4})$$

Pour une fréquence de découpage de 500kHz et une tension carrée de 6V crête à crête à valeur moyenne nulle, l'ondulation du courant est limitée à 0,4A. Cette valeur est raisonnable pour un courant nominal de 2A.

L'inductance de fuite doit être bien contrôlée pouvant être fixée dans l'intervalle de 50nH à 100nH, qui a été dimensionné dans le premier chapitre, pour assurer un fonctionnement correct du micro convertisseur. Ces valeurs de l'inductance de fuite et de l'inductance magnétisante dépendent fortement de la structure du bobinage, du nombre de spires ainsi que du matériau magnétique et du volume du transformateur. Le moyen efficace pour obtenir des valeurs souhaitables de ces inductances est d'utiliser plusieurs spires dans chaque bobinage du transformateur mais cela va engendrer une valeur importante de la résistance série pouvant détériorer le rendement total du transformateur. Cette valeur de la résistance série ne doit pas contribuer de façon notable à la génération de pertes par rapport aux pertes dans les composants actifs de la puce intégrée (Pmos de 14m Ω et Nmos de 13m Ω). Afin d'économiser le coût et le temps de fabrication du transformateur planar, les noyaux magnétiques disponibles dans la liste des fabricants sont choisis en priorité pour la conception de notre transformateur.

III.3.2.c Modèles des pertes dans le transformateur planar

Pour concevoir un transformateur planar présentant un bon niveau de rendement, on considère tout d'abord les sources des pertes présentées dans ce transformateur pour qu'on puisse les calculer et les limiter en fonction de différents critères durant le processus de conception du transformateur planar.

Les pertes dans le transformateur se divisent en deux parties principales :

- Pertes cuivre, ce sont les pertes créées par effet Joule dans les enroulements du transformateur, elles dépendent de la résistance de ces enroulements et de l'intensité du courant qui les traverse. Cette valeur de la résistance dépend de la géométrie, du matériau de l'enroulement et de la fréquence de commutation. Cette valeur augmente lors du fonctionnement à haute fréquence par l'effet de peau dans le fils de conducteur. Cet effet de peau est créé par un champ magnétique à l'intérieur du conducteur lorsqu'un courant le traverse. La présence d'un champ non négligeable à l'intérieur du matériau à partir d'une certaine fréquence pour un matériau déterminé, impose au courant de se concentrer sur la périphérie du conducteur. De plus, l'effet de proximité peut faire augmenter la résistance de l'enroulement, ce phénomène apparaît lorsqu'un conducteur subit l'influence du champ magnétique créé par l'ensemble des bobinages. Enfin, les variations rapides du champ créent des courants de Foucault à l'intérieur des conducteurs [Rob00-Aba03]
- Pertes fer, ce sont les pertes présentes dans le circuit magnétique servant à canaliser les lignes de champ magnétique. Elles dépendent de la fréquence, du niveau d'induction, du matériau et de la structure formant le noyau magnétique. Elles sont à l'origine de deux phénomènes physiques composant les pertes par courant de Foucault et les pertes par hystérésis. En effet, le noyau magnétique du transformateur est placé dans le champ magnétique créé par les courants parcourant les enroulements provoquant un courant induit dans ce noyau qui chauffe ce dernier par effet Joule [Fas07]. Dans les transformateurs de grande puissance, on utilise des tôles magnétiques isolées électriquement les unes des autres pour constituer le circuit magnétique au lieu d'utiliser un noyau massif afin de minimiser ces pertes. Les pertes par hystérésis créées par l'orientation des moments magnétiques en permanence lors du changement de direction permanent du flux sont minimisées par l'utilisation d'un matériau ferromagnétique doux [Fas07]. En effet, elles sont proportionnelles à l'aire du cycle d'hystérésis, celui-ci doit donc être le plus étroit possible [Lac00].

III.3.2.d Etapes de conception du transformateur planar

Le transformateur à concevoir sera utilisé dans le convertisseur DAB ayant une tension d'entrée de 3V, une tension de sortie 3V, un courant nominal de 2A et fonctionnant à la fréquence de 500kHz. Les étapes de dimensionnement de ce transformateur se basent principalement sur la boucle de dimensionnement des composants passifs présentés dans [Fer99].

Choix de la piste du conducteur

Pour ce cahier des charges, on définit tout d'abord la section nécessaire du conducteur pouvant transférer un courant efficace de grande valeur sans trop chauffer le circuit PCB. La méthode analytique, présentée dans le premier chapitre, a été utilisée pour calculer la valeur du courant efficace dont la valeur maximale vaut 2,2A et est utilisée dans ce dimensionnement. La section nécessaire du

conducteur, en se basant sur les courbes de relation entre l'augmentation de la température, le courant efficace et la section du conducteur fournies par [Ferro] – voir Figure III.30, est choisie à 0,04mm² pour une augmentation de la température de 30°C sur le substrat PCB par rapport à la température de l'air. La densité du courant J est égale à 50A/mm² en supposant qu'elle est uniforme dans toute la surface de bobinage.

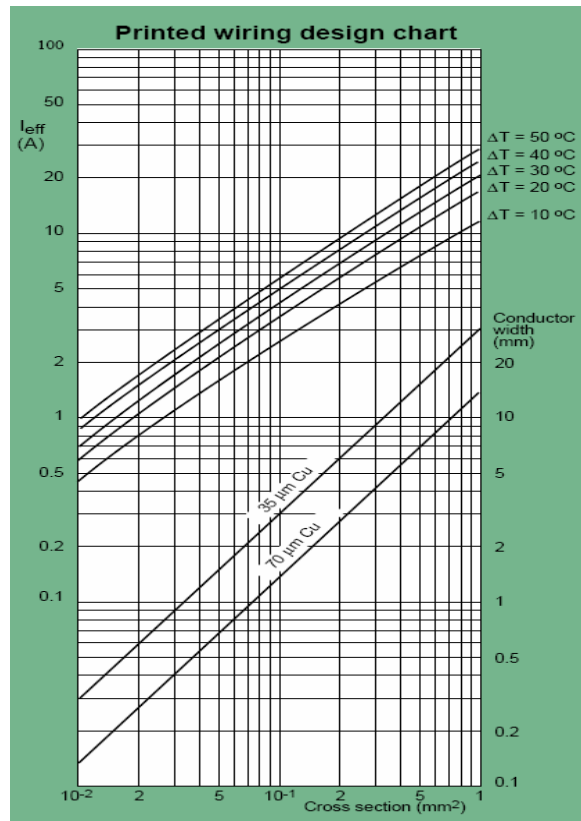


Figure III.30. Relation entre la section du conducteur, l'augmentation de la température et le courant efficace traversant le conducteur [Ferro]

Selon que l'épaisseur du cuivre du circuit PCB vaut 35μm ou 70μm, on a respectivement une largeur du cuivre de 1066μm ou 533μm. De plus, l'épaisseur de peau à la fréquence de 500kHz du matériau cuivre est calculée par (III.5)

$$\delta = \sqrt{\frac{\rho}{\pi \cdot f_s \cdot \mu}} = \sqrt{\frac{17 \cdot 10^{-9}}{\pi \cdot 500000 \cdot 4\pi \cdot 10^{-7}}} = 92.8\mu m \quad (III.5)$$

Où : δ – épaisseur de peau du cuivre

ρ - résistivité du cuivre

μ - perméabilité magnétique

On peut trouver que l'épaisseur de ces sections de cuivre est toujours inférieure à deux fois l'épaisseur de peau 2δ . Au contraire, la largeur équivalente de ces pistes est supérieure à deux fois l'épaisseur de peau. Afin de d'évaluer l'influence de l'effet de peau sur les conducteurs dans le transformateur planar, on doit définir tout d'abord la direction du flux dans le transformateur qui est perpendiculaire

ou parallèle par rapport aux conducteurs, celle-ci dépend justement de la structure des enroulements primaires et secondaires. Si le flux magnétique est parallèle aux conducteurs, on peut négliger, dans ce cas, l'influence de l'effet de peau sur la résistance des conducteurs. A l'inverse, le flux magnétique perpendiculaire aux conducteurs, l'effet de peau est suivant la largeur de la piste conducteur qui est supérieure à deux fois l'épaisseur de peau entraînant l'augmentation de la résistance de la piste [Schneider].

Des pistes d'épaisseur de 70 μ m sont choisies pour la réalisation de notre transformateur. Pour cette épaisseur, la largeur de la piste doit être au minimum de 250 μ m et l'isolation minimale entre les pistes 250 μ m. C'est la largeur minimale et l'isolation minimale pour des conducteurs ayant 70 μ m d'épaisseur fixée par la technologie de la fabrication du PCB – classe 4 [Muller]. Par conséquent, le coefficient de foisonnement est calculé par (III.6) où L_c est la largeur du conducteur.

$$K_b = \frac{(L_c + 125 + 125) \cdot (70 + 125 + 125)}{L_c \cdot 70} \quad (\text{III.6})$$

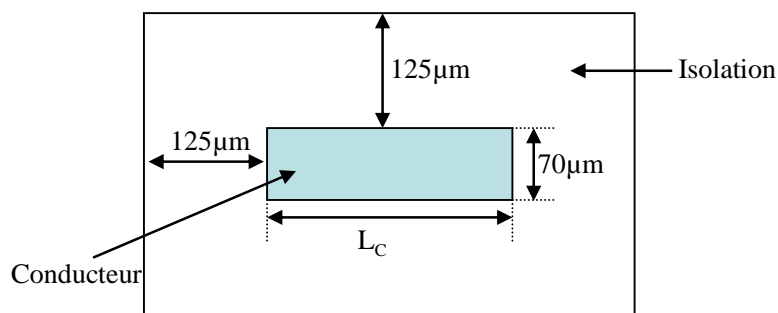


Figure III.31. La section de la piste cuivre avec son isolation

Pour une variation de la largeur du conducteur de 250 μ m à 533 μ m, le coefficient du foisonnement atteint la valeur maximale de 9,14. On prend donc cette valeur pour le calcul du noyau magnétique.

Choix du noyau magnétique

Le matériau magnétique 3F4 est utilisé pour le noyau magnétique, car il est compatible avec la fréquence de découpage de 500kHz [Ferro]. Ensuite, on choisit la valeur de l'induction maximale B_{\max} en se basant sur les pertes volumiques présentes dans le noyau magnétique.

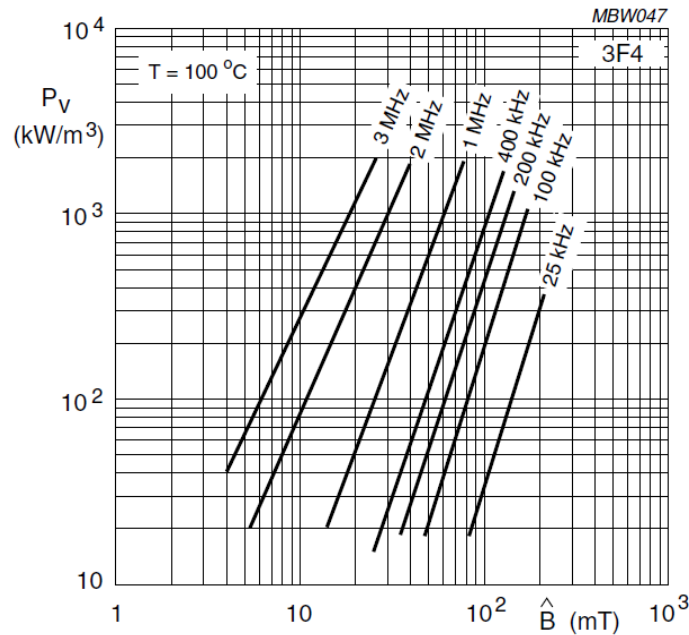


Figure III.32. Relation entre l'induction maximale et les pertes volumiques du matériau magnétique 3F4 [Ferro]

La Figure III.32 [Ferro] présente les courbes liant l'induction maximale B_{\max} , les pertes volumiques P_v et la fréquence de commutation pour une température de 100°C pour le matériau 3F4. Grâce à cette figure, on fixe tout d'abord la valeur de l'induction maximale du transformateur à 70mT pour que les pertes volumiques soient inférieures à 300mW/mm³.

Le produit des aires A_i est calculé par I.3.9 pour les nouvelles valeurs de J_1 et $J_2 = 50\text{A/mm}^2$ et les coefficients de K_{b1} et $K_{b2} = 9,1$.

$$A_i = \left(\frac{K_{b1}}{J_1} + \frac{K_{b2}}{J_2} \right) \cdot V_{dcl} \cdot I_{eff} \cdot \frac{\alpha}{f_s \cdot 2 \cdot B_{\max}} \approx 20\text{mm}^4$$

Afin de minimiser le coût de fabrication du transformateur planar, le noyau magnétique est choisit dans la liste des fabricants [Ferro] ayant le produit des aires plus grand que le celui calculé ci dessus A_i . Le noyau planar ER9.5/2.5/5 a été choisit car son volume est le plus petit disponible chez le fabricant [Ferro] - Figure III.33. Ce noyau a un produit des aires A_i de 64mm⁴, un volume de 120mm³, une surface effective S_f de 8,47mm² et une surface de la fenêtre de bobinage S_{\min} de 7,6mm².

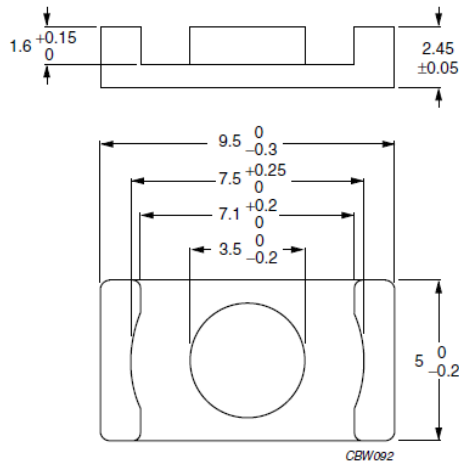


Figure III.33. Noyau magnétique ER9.5/2.5/5 ; dimension en mm

Choix du nombre de spire

Le nombre de spires de chaque enroulement est prédéterminé par (III.7) où la variation de l'induction ΔB dans une période est égale à deux fois l'induction maximale dans le noyau magnétique B_{\max} .

$$n_1 = n_2 = \frac{\alpha \cdot V_{dc1}}{S_f \cdot \Delta B \cdot f_s} = \frac{\alpha \cdot V_{dc1}}{S_f \cdot 2 \cdot B_{\max} \cdot f_s} = \frac{0,5 \cdot 3}{8,47 \cdot 2 \cdot 0,07 \cdot 500000 \cdot 10^{-6}} = 2,5 \quad (\text{III.7})$$

Puisque le produit des aires du noyau magnétique choisi est plus grand que le produit des aires calculé pour $B_{\max} = 0,07\text{T}$, on peut choisir soit trois spires (pour avoir des pertes fer volumiques inférieures à 300mW/mm^3 , et des pertes fer inférieures à 36mW), soit deux spires (pour augmenter sensiblement des pertes fer et réduire les pertes cuivre) pour chaque enroulement du transformateur. Ce choix est effectué, en se basant sur les pertes totales dans le transformateur, par la comparaison des pertes totales dans le transformateur pour les deux cas ci-dessus.

Dès la conception, les pertes dans le transformateur sont limitées à 4% du rendement au point de fonctionnement nominal ce qui est équivalent à 240mW . La valeur des pertes fer estimées dans le transformateur avec trois spires (36mW) est relativement petite devant les pertes totales admissibles (240mW). Par conséquent, le transformateur à deux spires a été considéré pour tolérer une augmentation sensible des pertes fer tout en permettant de réduire les pertes cuivre dans le but d'avoir un minimum des pertes globales dans le transformateur.

Les pertes totales dans le transformateur dépendent de plusieurs paramètres géométriques, physiques comme cela fut présenté dans la partie précédente. La méthode des éléments finis via l'outil de simulation Flux2D et 3D [Cedrat] (Flux 2D pour des estimations des pertes cuivre dans le transformateur, Flux 3D sert à vérifier l'inductance magnétisante et l'inductance de fuite) est utilisée pour évaluer les pertes des différentes structures de bobinage du transformateur planar. En effet, grâce à cet outil, on peut obtenir directement les pertes cuivre ainsi que l'induction maximale dans le transformateur qui est combinée avec la Figure III.32 pour déterminer les pertes fer dans ce

transformateur. De plus, on peut bien contrôler l'inductance de fuite et l'inductance magnétisante pour les différentes structures de bobinage. Les résultats obtenus par la simulation sous Flux des différentes structures de bobinage nous permettent de choisir une structure ayant le minimum de pertes et des valeurs correctes des inductances de fuite et magnétisante.

Structuration du bobinage du transformateur planar

La Figure III.34.a présente la structure du bobinage du transformateur planar par rapport à un axe de symétrie, utilisée pour la simulation sous Flux-2D [Cedrat]. Ce type de bobinage se compose de l'enroulement primaire à gauche et l'enroulement secondaire à droite (vers le centre du transformateur) permettant d'obtenir une plus grande valeur de l'inductance de fuite par rapport à l'entrelacement entre les couches primaires et secondaires. Mais, pour ce type de bobinage, la direction des lignes de flux est perpendiculaire aux fils conducteurs provoquant ainsi l'effet de peau suivant la largeur du conducteur - Figure III.34.(b). On limite donc l'influence de cet effet par l'utilisation de deux pistes de cuivre superposées pour former une spire de primaire et de secondaire. Chaque piste ayant une épaisseur de 70 μ m et une largeur de 300 μ m (deux pistes en parallèle ayant la largeur de 600 μ m pouvant garder l'élévation de la température du PCB inférieure à 30°C). Mais ce type de bobinage peut être influencé par le courant de circulation traversant les deux pistes en parallèle de chaque spire [Mar09].

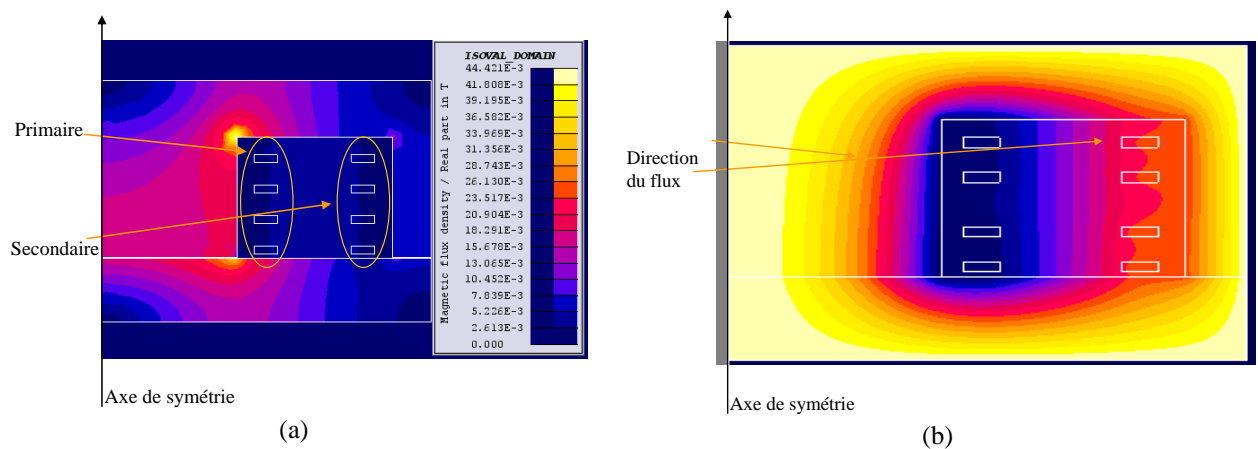


Figure III.34. Première structure de bobinage du transformateur planar avec 5 μ m d'entrefer

(a) – Induction dans le noyau magnétique ; (b) – Direction des lignes du flux

La simulation sous Flux 3D a pour le but de vérifier l'exactitude de l'inductance de fuite et de l'inductance magnétisante. Pour cette simulation, on a alors fixé de façon préliminaire une valeur de l'entrefer de 5 μ m dans le noyau magnétique en prévision des incertitudes dans la surface du matériau magnétique. Si la géométrie du noyau est parfaite, l'inductance magnétisante sera plus élevée - Figure III.35.

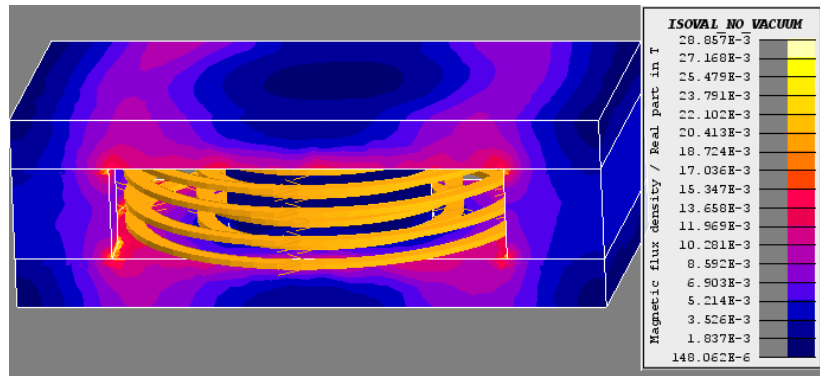


Figure III.35. Induction dans le transformateur avec 5 μ m de l'entrefer

On peut adapter la valeur de l'inductance de fuite et dans une moindre mesure celle de l'inductance magnétisante en jouant sur la distance entre les spires et/ou la distance entre les enroulements. En effet, l'inductance de fuite augmente lorsque l'on augmente la distance entre les deux enroulements.

De plus, pour avoir plus de précision sur l'impact du courant sur les pertes du transformateur, on décompose tout d'abord la forme d'onde du courant en série de Fourier – voir formule (III.8). Et puis, on utilise des compositions impaires pour la simulation sous flux 2D. Les pertes totales sont calculées en ajoutant les résultats des pertes à chaque simulation.

$$i(t) = \frac{4 \cdot 2,2}{\pi} \left[\sin \omega t + \frac{1}{3} \sin 3\omega t + \frac{1}{5} \sin 5\omega t + \dots \right] \quad (\text{III.8})$$

Les meilleurs résultats obtenus pour différentes structurations de bobinage nous donnent :

- ❖ L'inductance magnétisante est de 3,96 μ H qui est juste supérieure à celle de prédimensionnement (3,75 μ H).
- ❖ L'inductance de fuite est de 60nH qui est acceptable pour notre micro convertisseur
- ❖ Les pertes cuivre sont de 220mW. La résistance série équivalente est donc de 45m Ω (pour le courant efficace 2,2A).
- ❖ L'induction maximale dans le transformateur planar est de 45mT. Les pertes fer sont donc estimées autour de 18mW. Les pertes totales sont de 238mW.

Conception et fabrication

Le layout du transformateur réalisé par Altium designer est présenté sur la Figure III.36. Au niveau de la technologie de fabrication du PCB (garantie d'une distance minimale entre deux spires, entre bobines, entre les pistes conductrices et les via...), on peut fabriquer ce transformateur sans modifier les bobinages par rapport à ceux de la simulation.

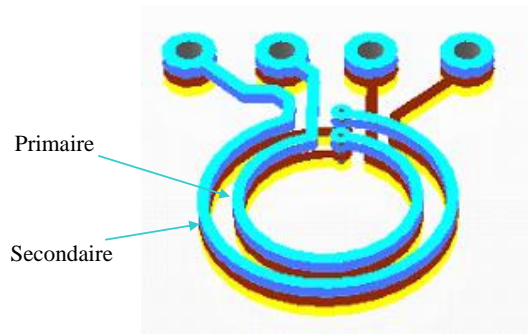


Figure III.36. Design du transformateur planar sous Altium Designer

La Figure III.37 présente un prototype du transformateur planar réalisé par la technologie de PCB dont chaque enroulement est réalisé sur quatre couches de circuit imprimé. Il se compose de deux spires dont chaque spire est formée de deux couches superposées. L'isolation entre les enroulements est assurée par 650 μ m d'air pouvant tenir une tension de l'ordre de 1950V, pour un champ de claquage dans l'air de 30kV/cm [Bar98]

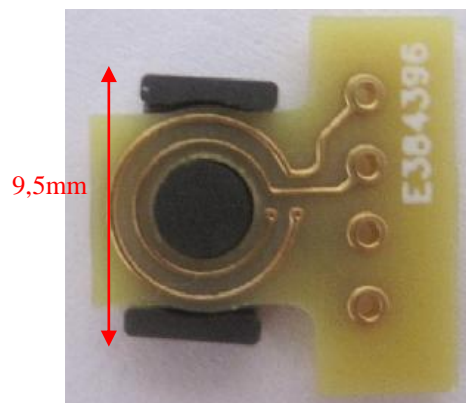


Figure III.37. Prototype du transformateur planar

III.3.2.e Caractérisation du transformateur planar

L'identification expérimentale des paramètres dans le circuit équivalent du modèle inductif du transformateur planar est ensuite réalisée par des mesures de chaque grandeur présentée sur la Figure III.38.

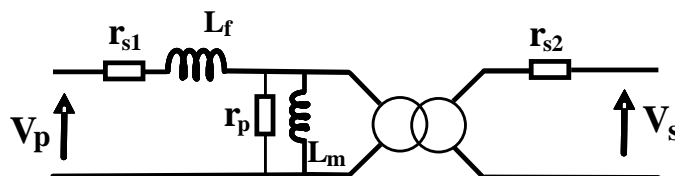


Figure III.38. Schéma équivalent du transformateur de deux enroulements

Où : r_{s1} – résistance du primaire

r_{s2} – résistance du secondaire

r_p – résistance parallèle présentant les pertes fer dans le transformateur

Pour ce schéma équivalent, deux impédances à vide et les deux impédances en court-circuit sont mesurables. Ces quatre impédances ne sont pas indépendantes, elles sont liées, pour un quadripôle passif, par la relation (III.9)

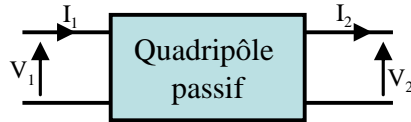


Figure III.39. Quadripôle passif

$$Z_0 \cdot Z'_{cc} = Z'_0 \cdot Z_{cc} \quad (III.9)$$

Avec : Z_0 – Impédance à vide vue de '1'

Z_{cc} – Impédance à court-circuit vue de '1'

Z'_0 – Impédance à vide vue de '2'

Z'_{cc} – Impédance à court-circuit vue de '2'

En conséquence, trois mesures seulement sont nécessaires (deux à vide Z_0 et Z'_0 et une à court-circuit Z_{cc} ou Z'_{cc}) pour caractériser entièrement notre transformateur planar. Il existe plusieurs méthodes pour mesurer les impédances du transformateur. Les auteurs de [Mar06] ont analysés les avantages et les inconvénients de trois méthodes utilisées pour la mesure des impédances du transformateur dont la méthode de mesure voltampèométrique, la méthode de mesure quatre points, et celle du pont auto calibré. Chaque méthode ayant des avantages et des inconvénients mais le choix d'une de ces méthodes se base en fonction de la gamme de fréquence, de l'ordre de grandeur des impédances à mesurer, de la précision désirée et la simplicité de mise en œuvre. Pour obtenir plus de détails sur le principe de mesure, les avantages et inconvénients ainsi que la comparaison entre les méthodes de mesure, nous vous convions à consulter la thèse de Xavier Margueron [Mar06].

Ici, nous choisissons la méthode du pont auto calibré pour sa grande précision sur une large gamme d'impédance et sa large gamme de fréquence (de 40Hz à 110MHz). Le schéma de principe de cette méthode est présenté sur la Figure III.40. L'impédance à mesurer Z_x est placée entre deux points 'H' et 'L' du pont impédance. Le courant I_1 traversant Z_x est opposé au courant I_2 traversant la résistance R. L'amplificateur maintient le potentiel au point 'L' proche de zéro Volt. A l'état d'équilibre, on a alors :

$$\frac{V_1}{Z_x} - \frac{V_2}{R} = 0 \Rightarrow Z_x = \frac{R \cdot V_1}{V_2} \quad (III.10)$$

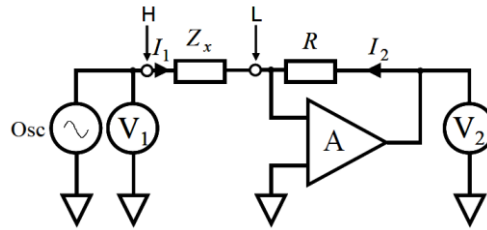


Figure III.40. Mesure de l'impédance par méthode auto-calibré

Cette méthode est mise en œuvre avec le pont d'impédance disponible au G2ELab [Agilent 4294A] - Figure III.41 que nous utilisons pour caractériser expérimentalement notre transformateur planar. La plage de fréquences varie de 40Hz à 110MHz, les impédances peuvent être tracées de 3m Ω à 50M Ω en basse fréquence.

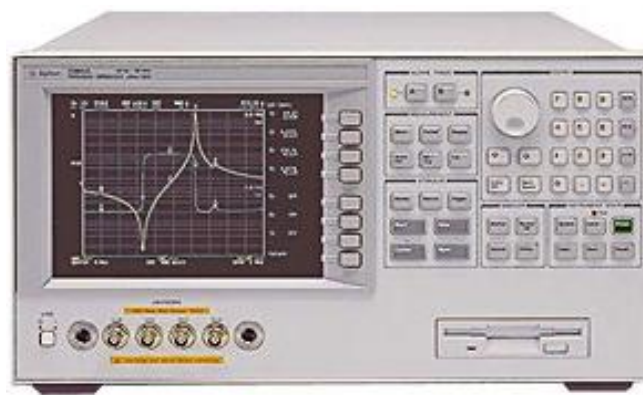


Figure III.41. Pont d'impédance Aligent 4294A

Les méthodes utilisées dans [Mar06] pour que la mesure soit plus exacte nécessitent la compensation poussée lors de la mesure de notre transformateur en raison des petites valeurs des inductances et résistances. En effet, il est nécessaire, durant le processus de caractérisation, d'utiliser des fils de connexion pour relier notre transformateur aux borniers du pont de l'impédance. Ces fils peuvent ajouter des résistances ainsi que des inductances aux résultats obtenus. Ces valeurs ne sont pas négligeables pour les mesures des résistances et de l'inductance de fuite qui ont des faibles valeurs.

La Figure III.42 présente le transformateur ainsi que les longueurs nécessaires des fils de connexions pour la caractérisation. La compensation à vide et en court-circuit est effectuée par l'utilisation de fils ayant même la même caractéristique et la même longueur que les fils de connexions. Pour la compensation en court-circuit, on place encore un fils de 10mm connecté entre deux points extrêmes d'un enroulement. Ce fils va être réutilisé pour court-circuiter un enroulement lors de la mesure de l'impédance en court-circuit.

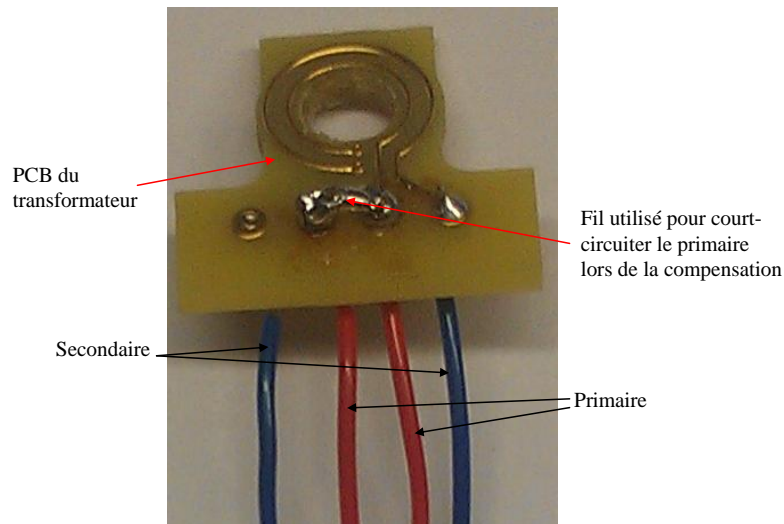


Figure III.42. Les fils à compenser lors de la caractérisation du transformateur planar

L'identification des paramètres du transformateur se base sur le cheminement présenté par [Mar06]. La résistance DC du primaire est tout d'abord déterminée en prenant la partie réelle de l'impédance Z_0 mesurée à faible fréquence (40Hz). Ici, on néglige l'influence de la fréquence, due à l'effet du courant induit dans les conducteurs, sur les pertes cuivre dans le transformateur. Cette valeur mesurée est de $17\text{m}\Omega$.

La résistance parallèle et l'inductance magnétisante sont ensuite déterminées à partir de la mesure à vide secondaire Z_0 pour laquelle l'impédance parallèle Z_p est calculée à partir de l'impédance Z_0 mesurée à 500kHz en retranchant la résistance primaire $Z_p = Z_0 - r_{s1}$. De plus, en raison de la faible valeur de l'inductance de fuite devant l'inductance magnétisante, il est possible d'assimiler l'inductance mesurée à l'inductance magnétisante. La Figure III.45.a présente la courbe de l'impédance parallèle mesurée à vide au secondaire dont la valeur de Z_0 à 500kHz est de $12,89 \angle 82^\circ \Omega = 1,82 + j12,76 \Omega$ donc l'impédance parallèle est de $Z_p = 1,805 + j12,76$. A partir de cette valeur de l'impédance, on déduit la valeur de la résistance parallèle et de l'inductance magnétisante. Elles sont respectivement de :

$$R_p = 92\Omega$$

$$X_L = 12,8\Omega \rightarrow L_m = 4\mu\text{H}$$

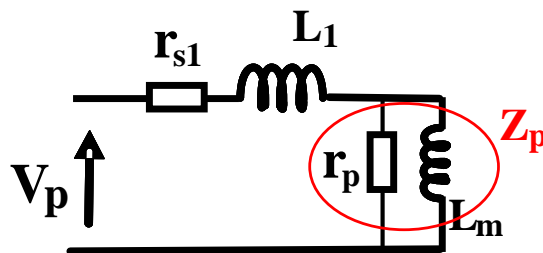


Figure III.43. Schéma équivalent du transformateur lors de la mesure à vide secondaire

La mesure à vide du primaire est ensuite effectuée pour déterminer Z'_0 à la fréquence de 500kHz. La résistance DC du secondaire est déterminée en prenant la partie réelle de Z'_0 à faible fréquence 40Hz, $r_{s2} = 18m\Omega$

La mesure en court-circuit secondaire est ensuite effectuée. Le schéma équivalent de cette mesure est présenté dans la Figure III.44 et le résultat de mesure est présenté dans la Figure III.46.b. Cette mesure permet d'identifier l'inductance de fuite et la résistance série (AC+DC) du transformateur (la somme de la résistance de deux enroulements primaire et secondaire) en tenant en compte de l'influence de la fréquence sur la résistance du fils conducteur. On obtient $L_f = 54nH$ et $R_s = 47m\Omega$ à la fréquence de 500kHz.

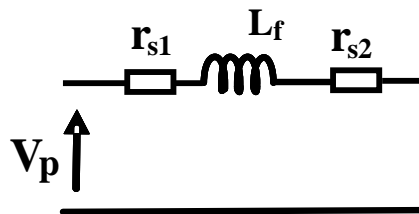


Figure III.44. Schéma équivalent du transformateur lors de la mesure en court-circuit secondaire
Avec les paramètres mesurés, le couplage du transformateur est déterminé par (III.11) [Mar06]

$$\eta = \sqrt{\frac{Z'_0 \cdot (Z_0 - Z_{cc})}{(Z_0 - r_{s1})^2}} = 99,4\% \quad (III.11)$$

La Figure III.45 présente le module et la phase de l'impédance pour la mesure à vide du secondaire et du primaire

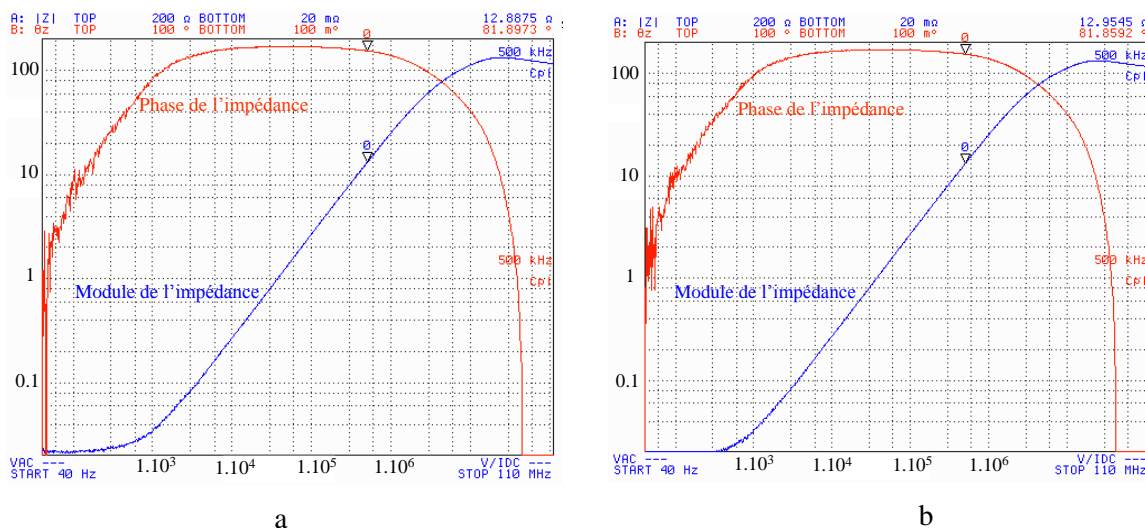


Figure III.45. a- Mesure de l'impédance vue du primaire secondaire ouvert ; b- Mesure de l'impédance vue du secondaire primaire ouvert

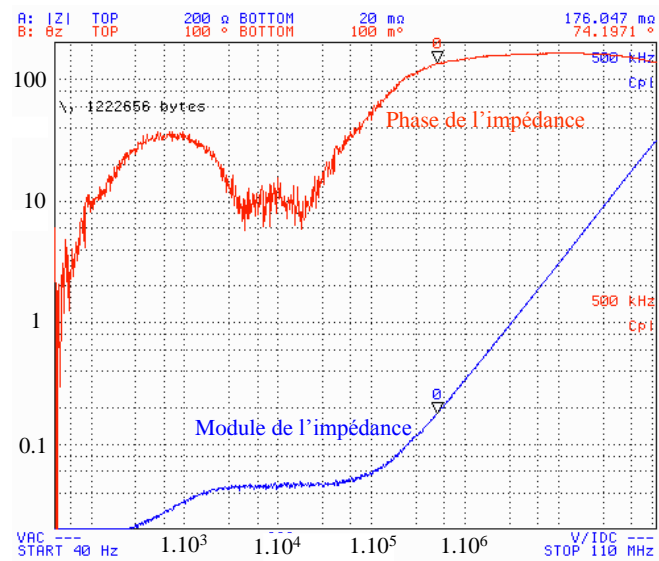


Figure III.46. Mesure de l'impédance vue du primaire, secondaire en court-circuit

III.3.2.f Pistes de réduction des pertes dans le transformateur planar

Ce type de bobinage présente encore une résistance série importante. On essaie donc d'améliorer cette résistance par le changement du type de bobinage. Dans cette nouvelle géométrie, chaque enroulement du transformateur se compose de deux spires bobinées sur une même couche - Figure III.47.a. La direction des lignes de flux dans ce cas est parallèle aux fils conducteurs provoquant l'effet de peau suivant l'épaisseur du conducteur - Figure III.34.b. On peut donc négliger l'influence de l'effet de peau sur la résistance du conducteur en raison de l'épaisseur du conducteur, qui est toujours inférieure à deux fois par rapport à l'épaisseur de peau. La largeur du conducteur est élargie au maximum pour réduire la résistance série de cette topologie en gardant l'épaisseur de 70 μ m. De plus, la distance entre deux enroulements est éloignée au maximum pour obtenir une valeur de l'inductance de fuite suffisante.

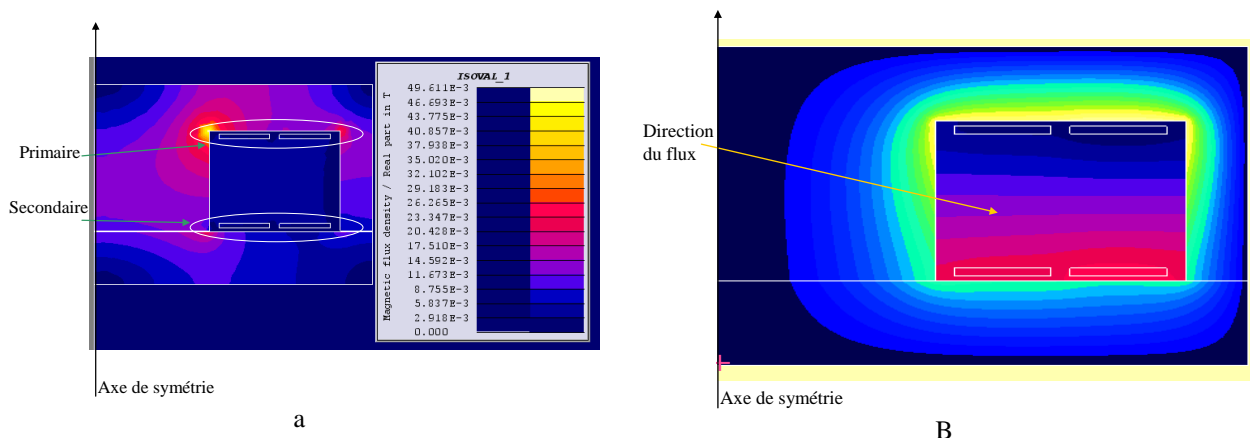


Figure III.47. Deuxième structure de bobinage du transformateur planar avec 5 μ m de l'entrefer
 a – Induction dans le noyau magnétique ; b – la direction des lignes du flux

Les simulations dans ce cas nous donnent :

- ❖ L'inductance de fuite simulée est de 60nH qui est presque identique à celle du cas précédent.
- ❖ L'inductance magnétisante est de 3,9 μ H
- ❖ Les pertes cuivre sont de 106mW. La résistance série est donc de 22m Ω . (pour un courant efficace de 2,2A et la fréquence de commutation à 500kHz). Les pertes fer sont estimées, grâce à la Figure III.32 et le volume du noyau magnétique, autour de 14mW pour l'induction maximale de 46mT. Les pertes totales du transformateur sont donc de 120mW qui sont plus faibles que celles du cas précédent. Elles sont réduites de 50% par rapport au cas précédent

Le layout du transformateur réalisé par Altium Designer est présenté sur la Figure III.48. On trouve qu'il apparaît deux éléments sousestimés sur les deux bobines du transformateur par rapport à celles de la simulation. Ces contraintes sont apparues en raison de la technologie de fabrication qui demande une garantie de la distance d'isolement entre les pistes conductrices et entre les pistes conductrices et les vias. Ces contraintes peuvent faire augmenter légèrement la résistance réelle du transformateur par rapport à celle de la simulation.

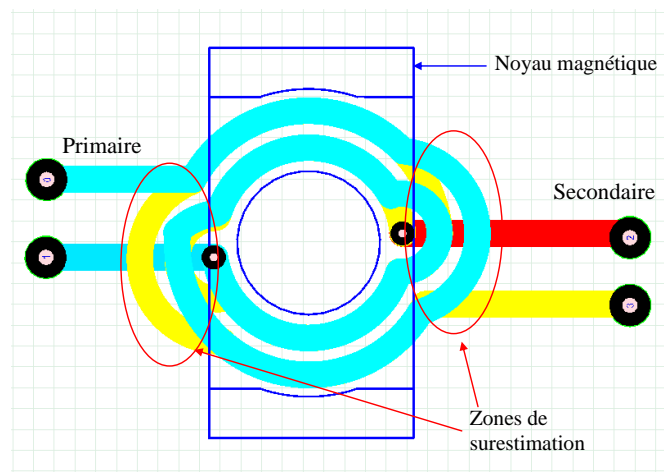


Figure III.48. Design du transformateur planar sous Altium Designer

III.3.2.g Conclusions sur le composant passif

Cette partie a traité des problématiques liées à la conception et la fabrication du transformateur planar adapté à notre micro convertisseur. La technologie PCB quatre couches, permettant une maîtrise simple du volume et une garantie précise des caractéristiques des composants passifs, a été choisie pour la fabrication du transformateur planar.

Le nombre de spires ainsi que les modes de bobinage sont abordés durant ce processus de conception pour que l'on puisse obtenir le minimum de pertes dans le transformateur en assurant les valeurs et les caractéristiques sur l'inductance magnétisante et l'inductance de fuite. En conséquence, le transformateur composé de deux spires superposées pour chaque enroulement a été choisi pour la mise

en œuvre dans le R μ C. Le type de bobinage, les valeurs de l'inductance de fuite, de l'inductance magnétisante, des résistances série et de l'induction maximale du transformateur ont été évaluées sous Flux 2D et Flux 3D. Chaque spire se compose de deux conducteurs connectés en parallèle. Bien qu'il reste encore l'influence néfaste sur les pertes dans le transformateur du courant de circulation entre les fils en parallèle, ce type de bobinage minimise les conséquences de l'effet de peau.

La caractérisation du transformateur planar est ensuite effectuée par le pont d'impédance Agilent 4294A. Les paramètres principaux du transformateur sont légèrement décalés par rapport à ceux de la simulation dont l'inductance magnétisante qui est de 4 μ H, l'inductance de fuite de 54nH et la résistance série de 47m Ω (elle est proche que celle de la simulation). Ces valeurs permettent de limiter les pertes totales dans le transformateur à une valeur inférieure à 4% de la puissance nominale transférée.

III.3.2.h Caractérisation du convertisseur complet DAB

Les puces intégrées et le transformateur planar ont été mis en œuvre et caractérisés séparément, un prototype du micro convertisseur, comportant deux puces intégrées de l'onduleur et du redresseur reliées par un transformateur planar ont été réalisés afin de tester le mode de fonctionnement DAB et d'étudier les caractéristiques ainsi que les performances de cette structure – voir Figure III.49. Basée sur notre design, la valeur de l'inductance de fuite est de $L_s = 54\text{nH}$ permettant un transfert de puissance maximal supérieur à 6W. Les autres paramètres du convertisseur sont $V_{dc1} = 3\text{V}$; $V_{dc2} = 3\text{V}$; l'inductance magnétisante $L_m = 4\mu\text{H}$; fréquence de découpage $f = 500\text{ kHz}$; rapport de transformation $m = 1$.

Dans ce prototype, les signaux de commande de rapport cyclique $\frac{1}{2}$ de l'onduleur et du redresseur provenant de l'extérieur de la puce sont isolés de la puce par des condensateurs de découplage. Ces signaux sont commandés par un microcontrôleur de type dsPIC33F [microchip] qui peut décaler la phase entre deux signaux par pas de 1ns.

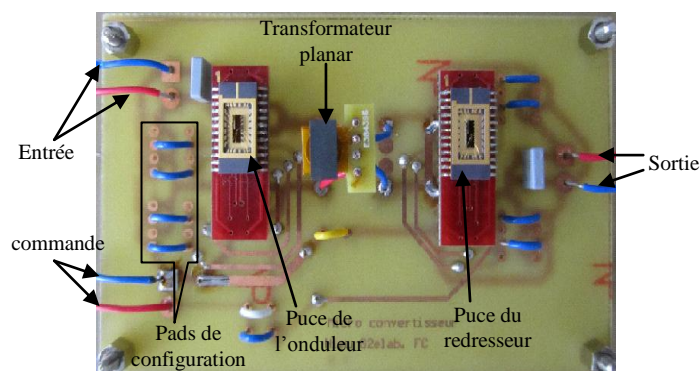


Figure III.49. Circuit de test du convertisseur global

Le mode de fonctionnement de ce micro convertisseur dépend de la valeur de la tension de sortie désirée voir - Figure III.50. Cette figure présente les tensions et les courants dans le transformateur HF

ainsi que la tension de sortie pour divers points de fonctionnement en régime permanent, à $m = 1$: $V_{dc2} < V_{dc1}$; $V_{dc2} = V_{dc1}$ et $V_{dc2} > V_{dc1}$. Dans ces captures d'écran d'oscilloscope, le courant I_{LS} au primaire du transformateur (circulant donc dans l'inductance de fuite) est mesuré par la sonde N°4 (couleur verte rapport 0.1V/A). Le rendement maximal est obtenu à la valeur du déphasage θT correspondant à $V_{dc2} = V_{dc1}$. Un zoom sur la partie de commutation à chaque point de fonctionnement est présenté Figure III.50.d-e-f.

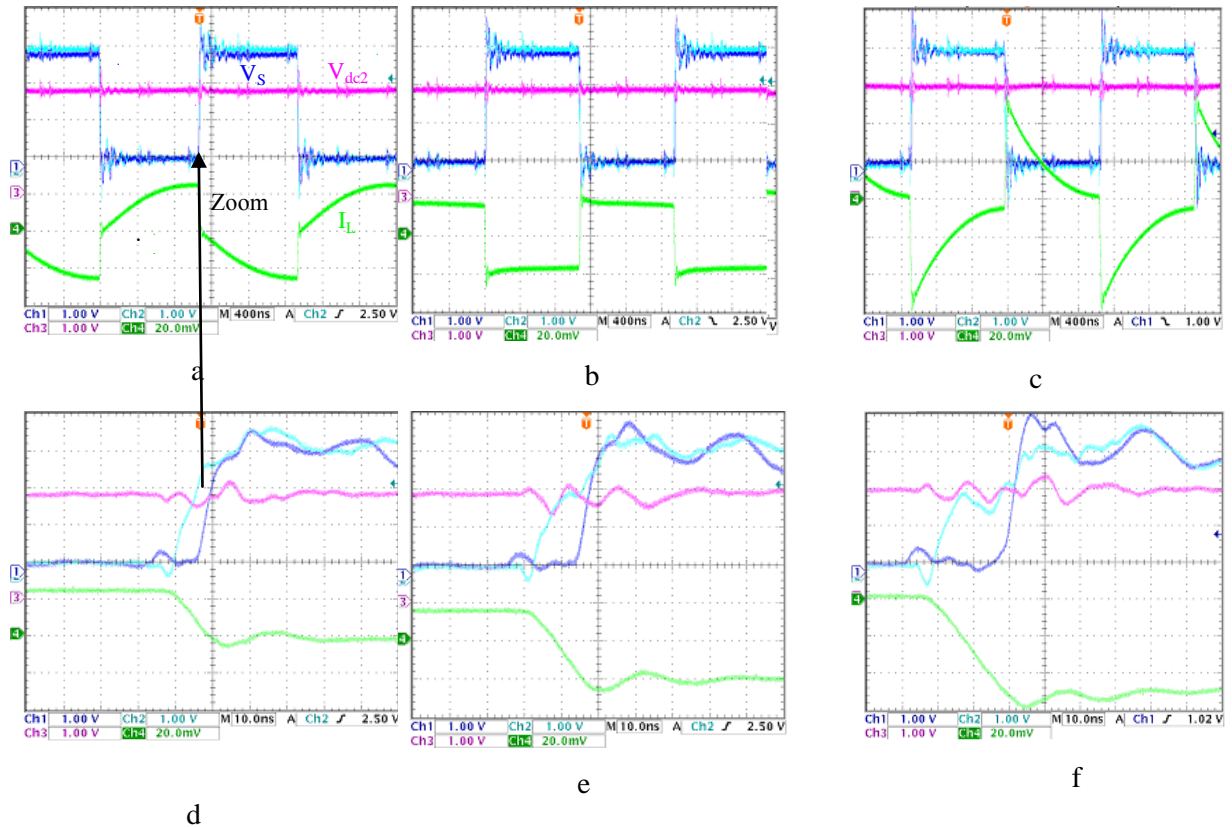


Figure III.50. Modes de fonctionnement pour différents états permanents.

a- $m \cdot V_p > V_s$; b- $m \cdot V_p = V_s$; c- $m \cdot V_p < V_s$; d,e,f – zoom sur la partie de commutation

Dans ce cas, l'inductance de la connectique du transformateur et l'inductance du fil de bonding sont ajoutées et font augmenter la valeur de l'inductance de fuite du transformateur. Le déphasage entre la commande de l'onduleur et du redresseur doit donc être adaptée par rapport à la valeur calculée précédemment pour ce point de fonctionnement. Ici, on se base tout d'abord sur les formes d'ondes du courant dans le transformateur et sur la valeur de la tension de sortie pour régler le déphasage entre l'onduleur et le redresseur ainsi que pour déterminer le point de fonctionnement ayant le rendement maximal. Ces modes de réglage seront par la suite remplacés par un système d'asservissement pouvant réguler automatiquement la tension de sortie et le courant dans la charge en fonction des besoins.

Ce convertisseur peut fonctionner correctement avec un courant maximal de 1,1A. Un courant supérieur à 1,1A, en combinaison avec une grande valeur d'inductance de maille, fait ralentir le temps de commutation de chaque puce intégrée et créer une surtension importante influant sur la stabilité du

fonctionnement du convertisseur. L'influence du courant et de l'inductance parasite sera présentée au chapitre IV.

La Figure III.51 présente l'évolution du rendement en fonction du courant de la charge. Puisque des deux côtés du convertisseur les grandeurs électriques à mesurer sont continues, la qualité de la mesure du rendement, en utilisant les multimètres MX579 metrix, a été satisfaisante avec moins de 1,4 points d'erreur possible. Le rendement le plus élevé obtenu était de 86% pour un courant de 0,6A équivalent à un transfert de puissance de 1,8W.

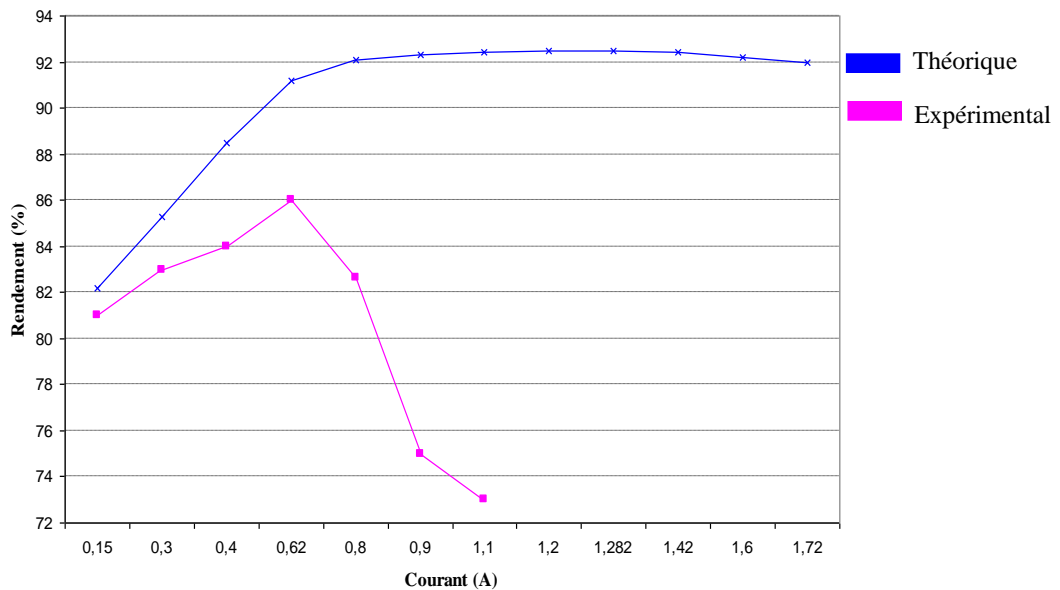


Figure III.51. Rendement mesuré en fonction du courant mesuré

On trouve que les pertes dans ce prototype sont plus grandes que les pertes estimées comme les pertes dans le transformateur sont de 4%, les pertes par commutation dans les mosfets sont inférieures à 2% (onduleur + redresseur), les pertes restantes sont les pertes liées à la résistance à l'état passant des mosfets, les fils de bonding et les connexions électriques qui occupent une grande partie des pertes totales dans le circuit. Ainsi les pertes créées par les fils de bonding influent beaucoup sur le rendement du micro convertisseur. L'influence de ces fils de bonding sur le rendement du convertisseur pour différents points de fonctionnement est présentée dans la Figure III.52

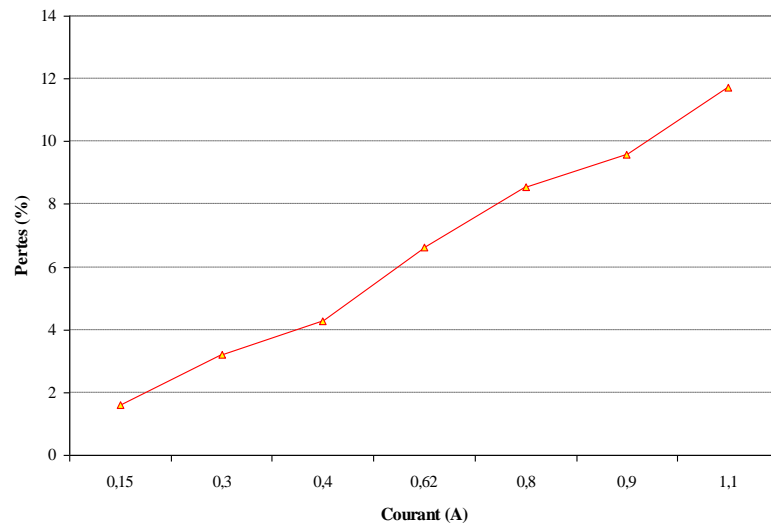


Figure III.52. Relation entre le courant dans la charge DC et les pertes créées par les fils de bonding

Les pertes créées par les fils de bonding pour un courant de 1,1A sont de près de 12% par rapport à la puissance transférée. Cette valeur trop importante détériore le rendement du convertisseur. Mais il existe un écart de 7% (pertes supplémentaires) entre le rendement simulé et le rendement mesuré pour ce point de fonctionnement. Cette valeur de pertes est causée de par les autres interconnexions et les inductances parasites de grande valeur sur le fonctionnement de la puce intégrée et du convertisseur. De grandes valeurs des inductances parasites peuvent faire ralentir le temps de commutation de la puce entraînant une augmentation des pertes en commutation. Cette influence de l'inductance sur le fonctionnement de la puce intégrée va être présentée en détail au chapitre IV.

Afin d'améliorer le rendement de ce micro convertisseur, on doit limiter la résistance des fils de bonding ainsi que celles des autres connexions entre les puces intégrées et le circuit PCB et ainsi réduire la valeur des inductances parasites créées par les fils de bonding. Une solution possible pour résoudre ce problème consiste à utiliser un assemblage flip chip entre la puce CMOS et le PCB pour réduire au maximum l'influence des interconnexions. L'utilisation d'une telle technique permettrait d'améliorer le rendement global de 11% environ au point de fonctionnement nominal en réduisant la résistance à l'état passant des fils de bonding. Si le processus de câblage par la technologie flipchip est bien réalisé, la valeur de résistance des plots de connexion sera inférieure à 5m Ω pour chaque bump de puissance en Or [Microelectronic] ; pour quatre bumps sur chaque plot de connexion, la résistance de chaque plot de connexion serait seulement de 1,2m Ω au lieu de 39m Ω . De plus, l'inductance parasite créée par les bumps (pour la technologie flipchip) est beaucoup plus petite que l'inductance créée par les fils de bonding. Cela permettrait de maintenir le temps de commutation de la puce intégrée plus proche de la valeur simulée ce qui peut réduire les pertes par commutation.

III.4. Conclusions

Le dimensionnement et la conception d'un circuit intégré onduleur en pont complet sur silicium ainsi que les circuits de commande associés sont effectués pour le but de les utiliser dans la CE du réseau de micro convertisseur. Cette puce intégrée peut fonctionner en mode onduleur en pont complet ainsi qu'en redresseur en pont complet contrôlée par la commande extérieure captée par un étage de level shifter. Les bras CMOS de puissance ainsi que ses circuits de commande rapprochés sont dimensionnés de façon à ce que les pertes totales dans le circuit soient minimales en assurant une surface de silicium limitée. Ce circuit a été dimensionné pour faire circuler un courant de 2 à 5A et pour un rendement théorique allant de 98% à 2A à 95% à 5A en mode d'ondeur.

Le dessin des masques du circuit a été réalisé dans la technologie AMS C35B4M3. La taille du circuit est de 1,5 par 4,5mm. Le circuit a été simulé après extraction des éléments parasites du routage et aucune perturbation due au routage n'a été observée.

Les étapes de caractérisation de la puce intégrée sont ensuite effectuées pour tester le fonctionnement en mode onduleur et redresseur. Les premiers résultats des tests se basent sur les formes du courant et de tension de l'entrée et de la sortie et nous avons validé le fonctionnement correct de la puce intégrée en mode onduleur et redresseur. Mais il reste encore la complexité de la mesure du rendement de la puce intégrée en raison de la difficulté de la mesure exacte de la puissance côté alternatif à haute fréquence. La mesure du rendement est effectuée par l'utilisation d'une sonde de courant et d'une sonde de tension mais il reste encore une erreur importante pour cette mesure (supérieure à 10%).

Le transformateur planar nécessaire à la structure DAB est ensuite dimensionné et conçu. Il est dimensionné de façon à ce que les pertes totales et le volume soient les plus faibles possibles en gardant les exigences techniques (au niveau de la commande et l'ondulation de courant) du micro convertisseur sur l'inductance de fuite et l'inductance magnétisante. La technologie PCB quatre couches est utilisée pour la fabrication de ce transformateur. Les caractérisations expérimentales du transformateur sont ensuite effectuées par les mesures des impédances réalisées sur le pont d'impédance Agilent 4294A. Les résultats nous montrent que l'inductance de fuite est de 54nH, l'inductance magnétisante de 4 μ H, la résistance série de 47m Ω . Ces résultats nous permettent d'estimer les pertes totales dans le transformateur inférieures à 4% de la puissance transférée pour la charge nominale.

Un prototype du micro convertisseur a été réalisé en utilisant la technologie des fils de bonding pour la connexion entre les puces intégrées et le circuit PCB afin de tester les modes de fonctionnement, ainsi que le rendement de ce micro convertisseur. Ce micro convertisseur peut bien fonctionner en mode buck, boost avec une variation de la tension de sortie de $\pm 10\%$ par rapport à la tension nominale et avec un rendement maximal obtenu de 86% pour un courant de 0,6A. Le rendement est plus faible que le rendement estimé en raison de la résistance ajoutée par les fils de bonding qui occupent une grande part de pertes en conduction. Les mesures de la résistance des fils de bonding montrent qu'une

résistance de 39m Ω est ajoutée à chaque plot de connexion Vdd, Gnd, le point de milieu 1 et le point de milieu 2. La réduction de ces résistances est indispensable pour améliorer le rendement global du convertisseur. En conséquence, une solution d'utilisant la technologie flipchip sera évaluée pour améliorer la résistance des connexions. Nous la verrons dans le quatrième chapitre.

CHAPITRE IV :

Technologie d'hybridation – Résultats expérimentaux

SOMMAIRE DU CHAPITRE IV

CHAPITRE IV : Technologie d'hybridation – Résultats expérimentaux	139
IV.1. Introduction	142
IV.2. La technologie flip-chip	142
IV.3. Etudes des performances électriques et thermiques des assemblages sur PCB.	144
IV.3.1. Etudes des performances électriques.	144
IV.3.2. Etudes des performances thermiques	148
IV.3.2.a Détermination de la température de fonctionnement maximale	148
IV.3.2.b Estimation de la température de travail	150
IV.4. Procédés technologiques et réalisation	154
IV.4.1. Interconnexion par stud bumping en Or	154
IV.4.1.a Processus de création des bumps	154
IV.4.1.b Processus d'assemblage	155
IV.4.2. Réalisation pratique	159
IV.4.2.a Création des bumps	159
IV.4.2.b Processus d'assemblage et problèmes rencontrés	160
IV.4.3. Caractérisation du micro convertisseur	163
IV.4.3.a Caractérisations électriques du micro convertisseur	163
IV.4.3.b Caractérisations de la résistance des bumps de connexion	166
IV.4.3.c Caractérisations thermique du convertisseur	168
IV.5. Conclusions	169
Conclusions générales et perspectives	173
Références bibliographiques	179

Ce chapitre présente la technologie flip-chip utilisée pour l'hybridation de la puce intégrée sur un substrat PCB recevant les bobinages du transformateur. Les études des performances électriques et thermiques sont ensuite effectuées pour évaluer les influences des résistances et des inductances parasites sur le fonctionnement du convertisseur. Dans la dernière partie, la caractérisation du micro convertisseur global assemblé par la technologie flip-chip est réalisée et les performances de ce convertisseur sont comparées avec celles de ceux réalisés par assemblage de composants discrets et mise en boîtier des puces actives à l'aide de fils de bonding.

IV.1. Introduction

Les résultats expérimentaux présentés dans le chapitre précédent et obtenus sur le circuit de test du DAB utilisant la technologie de connexion par fils de bonding ont montré que cette technologie présente des points faibles à améliorer tels que les résistances et les inductances de connexion qui sont importantes et induisent des pertes et des perturbations. Afin d'améliorer le rendement de conversion de la structure DAB, nous avons recherché des solutions de connexion limitant ces points faibles. Parmi les technologies de connexion utilisées dans le packaging, les technologies de flip-chip et de report en surface ont retenu notre attention. Initialement développées pour la micro électronique [Lau95-Tum95], ces techniques sont de plus en plus utilisées en électronique de puissance car elles permettent une réduction des résistances et des inductances parasites dues aux connexions par rapport à l'utilisation de fils de bonding, induisant une amélioration des performances [Liu00], une augmentation de la densité de puissance et une amélioration de l'évacuation de la chaleur [Vag10 – Fan02]. Pour tous ces intérêts, nous allons présenter dans ce chapitre cette méthode de packaging ainsi que les résultats d'hybridation du convertisseur DAB que nous avons réalisé.

IV.2. La technologie flip-chip

La technologie flip-chip est une technologie de connexion électrique directe entre la face avant d'une puce et un substrat ou un circuit imprimé utilisant des billes de connexion appelées bumps. La face avant de connexion de la puce est dirigée vers le substrat ou le circuit imprimé (ce qui est l'inverse de ce qui est fait en technologie fils de bonding). La soudure est réalisée par thermo-compression ou par ultrason.

Pour réaliser notre convertisseur, la technique flip-chip va nous permettre de reporter les puces sur le PCB qui intégrera, par ailleurs, les passifs nécessaires à la structure (transformateur, capacités). Cette technique de connexion a été développée dans [Bai03 – Xia02 – Fil03 – Zhe04], où il a été montré que les résistances et les inductances parasites dues à la connectique étaient réduites avec ce type d'assemblage par rapport à un assemblage par fils de bonding entraînant donc une réduction de l'énergie dissipée à la commutation ainsi que des surtensions et oscillations lors de la commutation des transistors de puissance. De plus, des résultats de mesure des résistances parasites des bumps de puissance, effectués récemment au laboratoire G2Elab via les travaux de [Neh11 – Sim11], montrent que la résistance de chaque bump en Or ayant un diamètre de $80\mu\text{m}$ et un hauteur de $30\mu\text{m}$ n'est que de $20\text{m}\Omega$ contre $160\text{m}\Omega$ pour les fils de bonding présenté au chapitre 3. En outre, les résultats obtenus par l'équipe de recherche internationale présentés dans [Flip-chip] montrent que la résistance d'une connexion n'est que $5\text{m}\Omega$ lors d'une connexion entre les matériaux Or – Cuivre.

De plus, d'un point de vue thermique, l'assemblage par flip-chip des composants simplifie la mise en œuvre du refroidissement de la puce intégrée. D'un point de vue technologique, les procédés de

fabrication de ce type de module sont maîtrisés et de faible coût, des modules utilisant cette technique peuvent donc être fabriqués à l'échelle industrielle [Sim11]. Cependant d'un point de vue thermo-mécanique, l'intégration sur un substrat PCB, composé le plus souvent d'époxy FR4, n'est pas optimale pour la fiabilité de l'assemblage. En effet un PCB de type FR4 présente un coefficient de dilatation de $14 \text{ ppm}/^\circ\text{C}$ [inject], les bumps en Or présentent un coefficient de dilatation de $14,2 \text{ ppm}/^\circ\text{C}$ et celui des pistes cuivre est de $16,5 \text{ ppm}/^\circ\text{C}$, tous sont plus grands que celui du silicium ($4,2 \text{ ppm}/^\circ\text{C}$) pouvant créer des stress importants et des déconnexions lors des cyclages thermiques et ainsi risquent de créer une fracture entre la surface de connexion des puces et du substrat. Pour s'affranchir de ce problème lors du processus de câblage par la technologie flip-chip, l'utilisation d'un "under fill" répartit les contraintes entre le substrat et la puce et permet de repousser l'apparition de fractures [Jol07]. Suite à ces résultats, l'assemblage par la technologie flip-chip en 2D a été choisi pour la mise en œuvre de notre micro convertisseur. Par conséquent, deux solutions de câblage des puces intégrées sur le substrat PCB sont présentées Figure IV.1. La solution présentée Figure IV.1.a comporte deux puces intégrées sur deux faces du substrat PCB, en vis-à-vis de chaque côté du substrat PCB. Pour ce type de connexion, les pertes thermiques générées par les deux puces influencent la même région de substrat PCB, ce qui augmentera la température de cette zone (si aucun système d'échange et de transport de chaleur n'est inséré dans le cœur du PCB). Ainsi et selon le dimensionnement thermique et le point de fonctionnement, une déformation du PCB peut apparaître à cet endroit lorsque de la température atteint 90°C et une détérioration importante à partir de 130°C (température de fusion du matériau FR4 [Sys96]). Par ailleurs, une contrainte d'isolation plus importante est présente au niveau du PCB entre la puce primaire et la puce au secondaire. Par contre, ce type de connexion 2D présente un avantage sur les couplages éventuels entre la puce au primaire et la puce au secondaire. Le type d'assemblage des puces présenté dans la Figure II.15.b sera utilisé pour réduire les contraintes thermiques sur le PCB et réduire les couplages éventuels entre la puce au primaire et celle au secondaire bien qu'il existe une augmentation de volume par rapport à la structure précédente. De plus, les contraintes thermiques peuvent être réduites par l'augmentation de la surface d'échange thermique du circuit entraînant l'augmentation de la surface des pistes de connexion entre la puce et le substrat pour réduire la température sur le substrat.

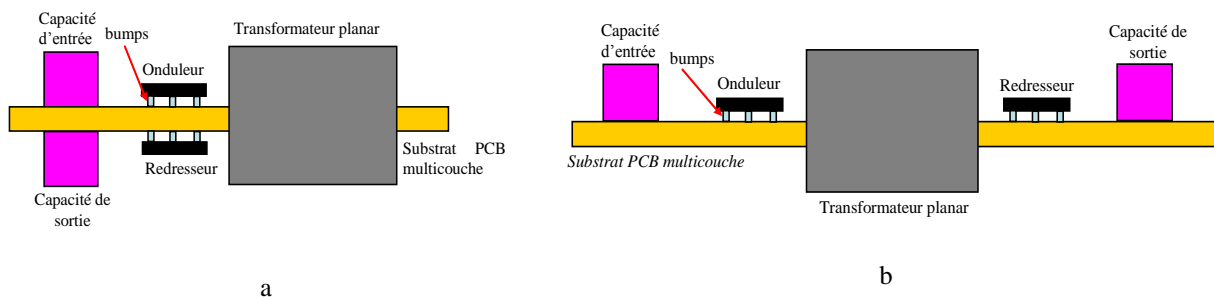


Figure IV.1. Schéma de l'hybridation du micro convertisseur

Même si cette technologie de câblage présente quelques inconvénients et que, malgré tout, la résistance et l'inductance parasite créée par les vias ne sont pas négligeables nous allons, dans la suite la mettre en œuvre pour notre convertisseur et évaluer les performances électriques et thermiques atteignables.

IV.3. Etudes des performances électriques et thermiques des assemblages sur PCB.

IV.3.1. Etudes des performances électriques.

L'étude des influences des inductances parasites des connexions sur le fonctionnement du convertisseur a été effectuée par simulation sur le logiciel cadence. La Figure IV.2 présente un schéma équivalent lors de la connexion de la puce au circuit de puissance en faisant apparaître l'inductance parasite de connexion dont la valeur de l'inductance parasite entre la puce-Vdd (L_{VDD}); la puce-GND (L_{GND}) et la puce-la commande (L_C) influencent très fortement les formes d'ondes de la tension et du courant dans le transformateur. En revanche, on peut négliger, en régime onduleur, l'influence sur ces formes d'ondes des inductances parasites des connexions de la puce-sortie 1 (L_{OUT1}), de la puce-sortie 2 (L_{OUT2}) et de l'inductance de fuite du transformateur (L_f).

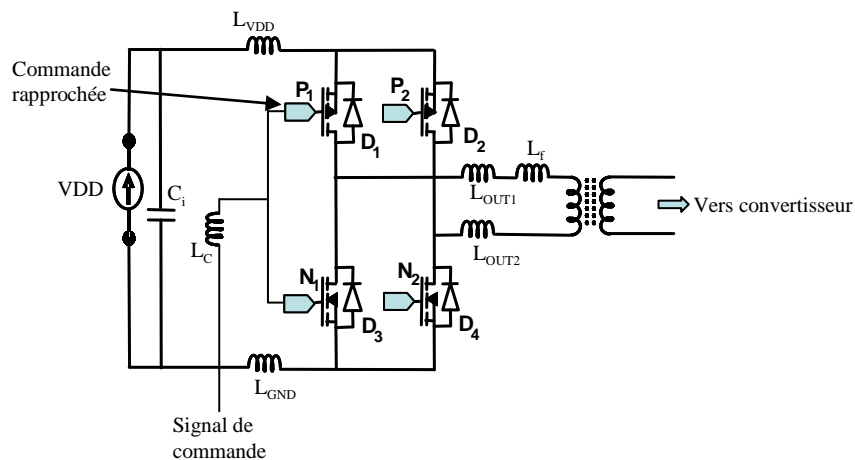


Figure IV.2. Schéma équivalent lors de connexion de la puce au circuit faisant apparaître les inductances parasites de connexion

Afin d'évaluer l'influence des inductances de connexions sur le fonctionnement de la puce intégrée, nous avons estimé que la valeur de chaque inductance de connexion était comprise entre 4nH et 20nH et nous avons simulé l'influence de ces inductances pour toutes les connexions (Vdd, gnd et point milieu) lorsque leur valeur varie de 4nH jusqu'à 20nH en utilisant une inductance de fuite du transformateur de 54nH. En deçà de 4nH il est possible de négliger l'effet de ces inductances. Pour visualiser l'effet de ces inductances, nous allons observer en simulation la tension aux bornes du

transformateur planar et la tension entre Drain et Source de chaque Mosfet durant la phase de commutation. Ces formes d'ondes sont présentées Figure IV.3 pour des inductances de connexion de 4nH et Figure IV.4 pour des inductances de 20nH.

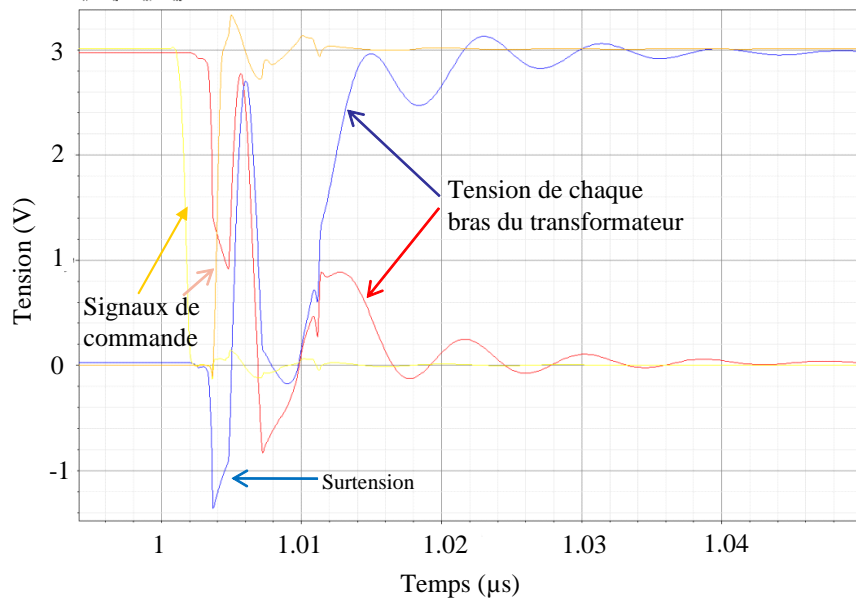


Figure IV.3. Formes d'ondes de la tension à la sortie de l'onduleur pour une inductance parasite de 4nH – courant de 2A

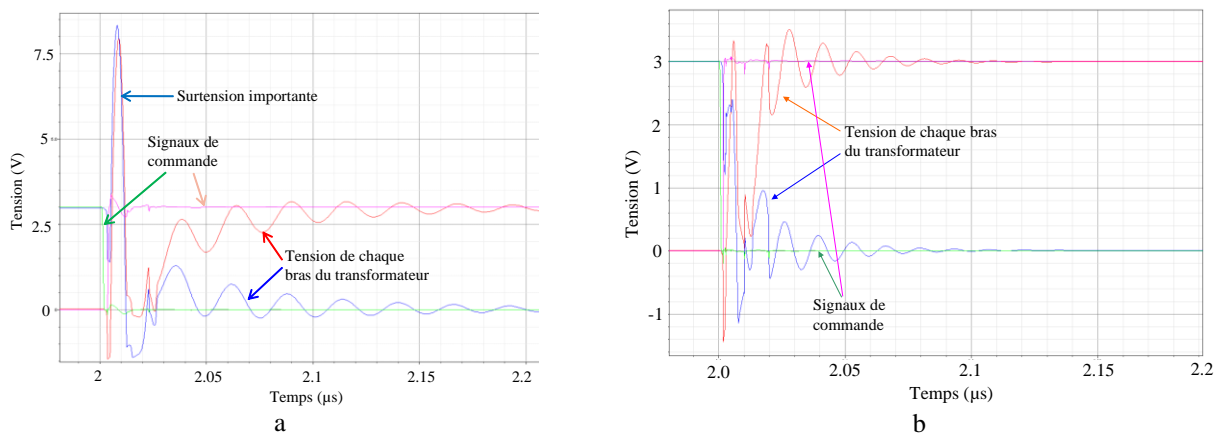


Figure IV.4. Formes d'ondes de la tension à la sortie de l'onduleur pour une inductance parasite de 20nH
a - courant de 2A ; b - courant de 0,6A

On trouve que pour la valeur de 4nH, les parasites influent peu sur les formes d'ondes de la tension aux bornes des composants actifs et en sortie de l'onduleur (cette considération est effectuée pour le courant de 2A). Pour des inductances parasites de 20nH et pour un fonctionnement DAB à 2A, elles déforment les formes d'ondes de la tension au primaire du transformateur. Elles font augmenter les temps de montée et de descente de la tension à chaque commutation des Mosfets de l'onduleur (100ns de temps de montée et descente) – voir Figure IV.4.a. Dans ce cas là, le rendement du convertisseur

est fortement réduit. En revanche, pour une faible valeur du courant (inférieure à 1,2A), cette valeur de l'inductance parasite n'a pas beaucoup d'influence sur le fonctionnement de ce convertisseur – voir Figure IV.4.b. Par conséquent, on trouve que c'est le produit entre le courant et l'inductance parasite de connexion qui influe sur les formes d'ondes de la tension dans les composants actifs, en sortie de l'onduleur et aux bornes du transformateur. De plus, il provoque des surtensions lors de la phase de commutation des composants actifs. Ces surtensions doivent être inférieures à la tenue en tension des composants actifs qui est fixée par sa technologie de fabrication (AMS CMOS $0,35\mu\text{m}$ 3,3V), pour avoir un bon fonctionnement du DAB. C'est ici une raison pour expliquer pourquoi le convertisseur réalisé par la technologie du fils de bonding, qui introduit des parasites plus importants que la technologie flip-chip, ne peut pas fonctionner pour le courant de 2A mais fonctionne plus efficacement pour une faible valeur du courant.

Une estimation des pertes en commutation est ensuite effectuée par simulation sous Cadence pour les deux valeurs de l'inductance parasite. Pour cela, on mesure la tension entre le Drain et la Source de chaque Mosfet ainsi que le courant le traversant durant la phase de la commutation. Le calcul des pertes dans la phase de commutation est ensuite réalisé par l'intégrale du produit entre la tension Drain-Source et le courant de Drain. La Figure IV.5 présente les formes d'ondes de la tension Drain-Source et du courant de Drain des Mosfets durant la phase de commutation pour une valeur de l'inductance parasite de 4nH (les formes de la tension entre Drain et Source sont mesurées aux points les plus proches des composants). Grâce à cette simulation, on détermine le temps de commutation et on calcule l'intégrale du produit entre la tension et le courant comme cela est présenté Figure IV.6. On utilisera aussi ce principe pour le calcul des pertes de commutation dans l'autre phase de commutation des Mosfets durant une période de découpage.

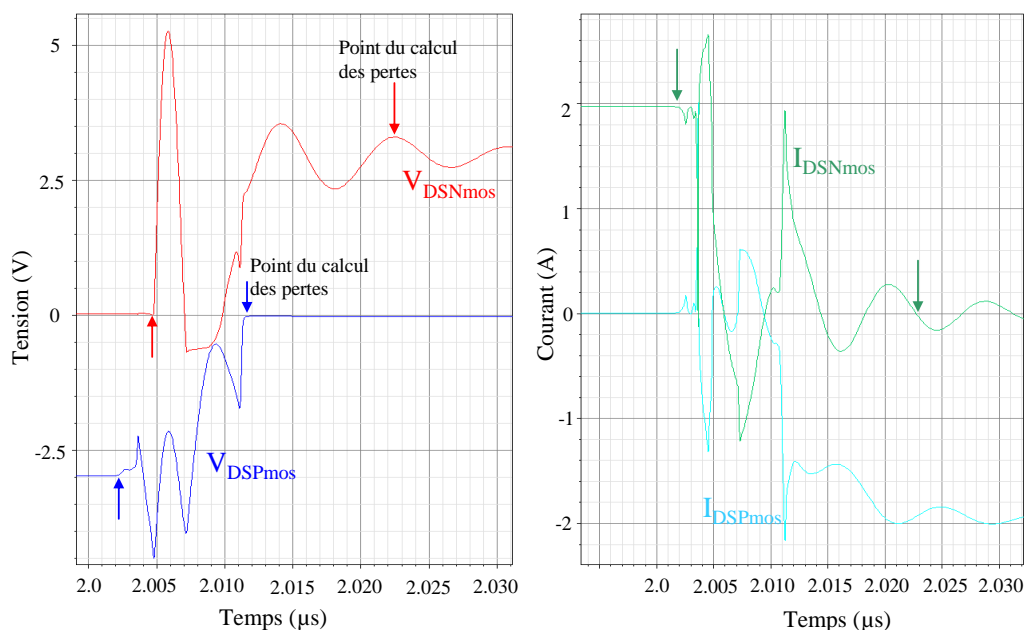


Figure IV.5. Formes d'ondes de la tension et du courant des Mosfet à la phase de commutation pour une valeur de l'inductance parasite de 4nH, et un courant de 2A

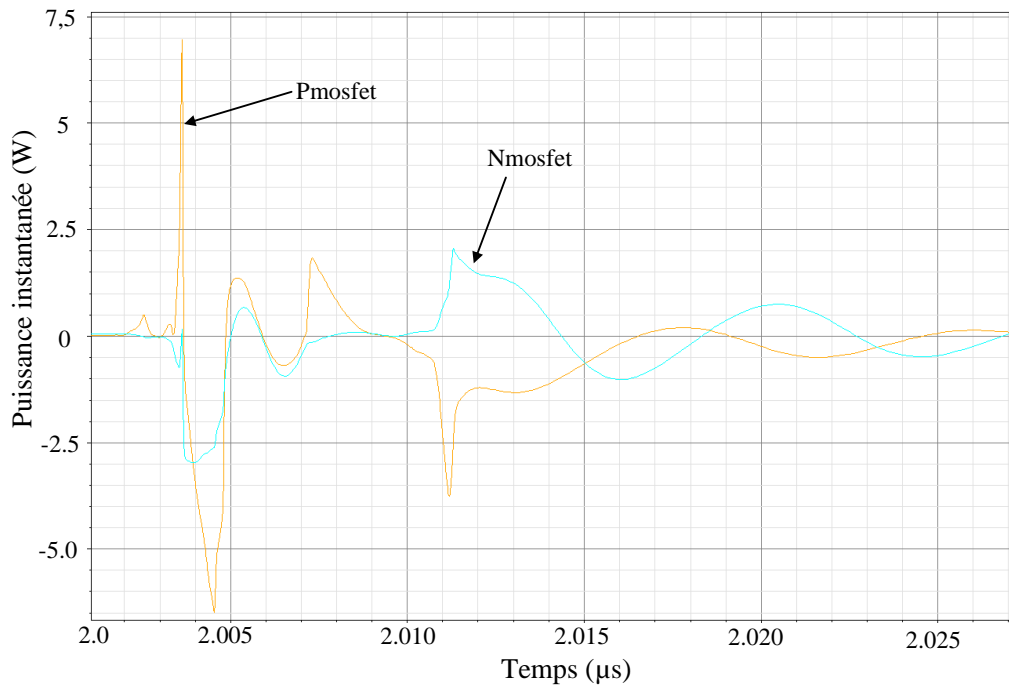


Figure IV.6. le produit entre la tension DS et le courant (puissance instantanée) d'un Pmos et d'un Nmos dans le temps de commutation

Même principe pour le calcul des pertes de commutation pour l'inductance parasite de 20nH, les résultats du calcul des pertes par commutation d'un bras CMOS et du convertisseur sont présentés dans le tableau IV.1

$L_{\text{parasite}} = 0$				$L_{\text{parasite}} = 4\text{nH}$				$L_{\text{parasite}} = 20\text{nH}$			
P_N (mW)		P_P (mW)		P_N (mW)		P_P (mW)		P_N (mW)		P_P (mW)	
Front montant	Front descendant	Front montant	Front desc.	Front montant	Front desc.	Front montant	Front desc.	Front montant	Front desc.	Front montant	Front desc.
1	0,54	2	1,5	5,97	0,735	15,34	5,8	53,55	1,985	59,85	5,24
Pertes d'un bras = 5mW				Pertes d'un bras = 27,8mW				Pertes d'un bras = 120,6mW			
Pertes par commutation du convertisseur = 20mW (0,3% du rendement)				Pertes par commutation du convertisseur = 111mW (1,8% du rendement)				Pertes par commutation du convertisseur = 482mW (8% rendement)			
Tableau IV.1. Pertes de commutation présentées dans le convertisseur pour les différentes valeurs de l'inductance parasite à 2A et 3V											

On trouve que les pertes en commutation dans le convertisseur ajoutées par les inductances parasites de connexion varient de 91mW à 462mW soit 1,5% à 7,7% des pertes par commutation dans le cas où l'on ne prend pas en compte la valeur de l'inductance de fuite ($L_{\text{parasite}} = 0$). Ces valeurs sont importantes pour le rendement total du convertisseur surtout pour l'inductance parasite de 20nH.

IV.3.2. Etudes des performances thermiques

Lors des procédés de miniaturisation des convertisseurs électroniques, la thermique intervient comme une limitation majeure au dimensionnement et à la conception. En effet, dans les structures d'électroniques de puissance, l'augmentation de la température de travail diminue les performances des matériaux les constituant sur plusieurs aspects. Tout d'abord la résistivité du cuivre des pistes de connexions ou dans les bobinages des transformateurs ou les résistances augmentent en fonction de la température, les pertes augmentent donc en conséquence. D'autre part cette augmentation de température fait aussi varier les caractéristiques des composants actifs. En effet, les puces intégrées de l'onduleur présentées ci-dessus présentent de bonnes caractéristiques pour une température inférieure à 120°C, au-delà de 120°C l'augmentation de la résistance à l'état passant et les courants de fuites des Mosfets entraînent une augmentation des pertes dans ces puces. Enfin, dans les composants passifs, les pertes fer admissibles ainsi que le niveau de saturation du noyau magnétique diminuent lorsque la température augmente pouvant entraîner des phénomènes d'emballement thermique [Lai10]. De plus, à plus long terme, l'effet d'une température trop élevée provoque le vieillissement prématuré des matériaux diélectriques et c'est, en général, ce dernier point qui conduit à la défaillance d'un composant passif.

A partir de cela, on doit garantir un bon fonctionnement de notre micro convertisseur en assurant une température de travail inférieure à une limite maximale de chaque matériau constituant notre micro convertisseur. Notre première tâche est de définir la température de travail maximale de notre micro convertisseur et la deuxième tâche est d'estimer la température de travail suivant des variantes de design de notre micro convertisseur afin que sa température de travail reste inférieure à sa température maximale.

IV.3.2.a Détermination de la température de fonctionnement maximale

Pour cette détermination, nous allons nous baser sur des études ayant été réalisées sur les matériaux constituant notre micro convertisseur. Pour les puces intégrées fabriquées en technologie AMS 0,35µm nous avons vu que leurs caractéristiques se dégradent lorsque la température excède 120°C et nous garderons cette limite comme température maximale admissible. En effet, la résistance à l'état passant des Mosfets et la résistance du métal augmentent lors de l'augmentation de la température [Has04] [ams]. Par une augmentation de la température de 25°C à 120°C, la résistance des divers matériaux utilisés dans la technologie AMS 0,35 augmente suivant (IV.1) [ams]

$$\frac{R(T)}{R(T_0)} = 1 + TCR \cdot (T - T_0) \quad (IV.1)$$

Où : $R(T)$: la résistance à la température T

$R(T_0)$: la résistance à la température 25°C

TCR : coefficient de température de la résistance

Les coefficients de température de la résistance sont fournis par [ams] et présentés dans le tableau IV.2

Matériau	Coefficient de température (K^{-1})	Le rapport $R(100^{\circ}C)/R(25^{\circ}C)$
NPLUS	$1,5 \times 10^{-3}$	1,112
PPLUS	$1,5 \times 10^{-3}$	1,112
Métal 1	$3,3 \times 10^{-3}$	1,247
Métal 2	$3,4 \times 10^{-3}$	1,255
Métal 3	$3,4 \times 10^{-3}$	1,255
Métal 4	$3,5 \times 10^{-3}$	1,262

Tableau IV.2. Coefficient de température de la résistance des matériaux utilisés dans la technologie AMS 0,35 μ m

Pour les autres éléments constituant le micro convertisseur, nous nous basons sur le tableau IV.3 montrant la température maximale de chaque type de matériau utilisé.

Matériau	Température maximale ($^{\circ}C$)
Cuivre	<1080
Etain	230
Ferrite (différentes familles)	200 à 250
Epoxy (différentes familles)	130 à 180

Tableau IV.3. température maximale admissible pour les différents matériaux constituant le micro convertisseur

Le cuivre est utilisé pour la connexion entre les puces de l'onduleur, le transformateur, le redresseur, la source et la charge. Il est aussi utilisé pour réaliser les bobinages du transformateur planar. Ce matériau possède une température de fusion très élevée (autour de 1080 $^{\circ}C$), pourtant le convertisseur ne travaille jamais à cette température car les autres matériaux constituant ce convertisseur ne peuvent pas subir des valeurs aussi élevées. L'étain utilisé pour les soudures de connexion entre des capacités d'entrée-sortie et la carte de PCB (substrat) présente une température de fusion autour de 230 $^{\circ}C$. L'époxy, composée des matériaux isolants diélectriques, change de l'état caoutchouteux à un état vitreux rigide et perd ses caractéristiques isolantes pour des températures relativement faibles. La température de fusion de l'époxy est autour de 130 $^{\circ}C$ à 180 $^{\circ}C$. Les matériaux ferrites perdent leurs caractéristiques ferromagnétiques à des températures aux environs de 200 $^{\circ}C$ à 250 $^{\circ}C$ (température de Curie des matériaux magnétiques) mais en réalité on limitera bien plus bas cette température en raison des risques d'emballement thermique dans ces matériaux. En effet selon les nuances de ferrite au-delà de 100 $^{\circ}C$ les pertes dans la ferrite augmentent avec la température pouvant entraîner, sous certaines conditions, un phénomène d'emballement thermique. Normalement, le point de fonctionnement optimal des ferrites est aux environs de 80 $^{\circ}C$ à 100 $^{\circ}C$ [ferro]. La Figure IV.7 présente la relation entre

les pertes volumiques et la température du matériau de la ferrite où l'on trouve que les pertes volumiques sont minimales dans la plage de 80°C à 100°C. On voit donc ici que les ferrites sont les plus contraignantes pour la conception du convertisseur de puissance en imposant la température de fonctionnement la plus basse. On doit donc garantir une température de travail de l'onduleur et du redresseur inférieure à 125°C et une température du transformateur dans la plage de 80°C à 100°C lors du fonctionnement du micro convertisseur.

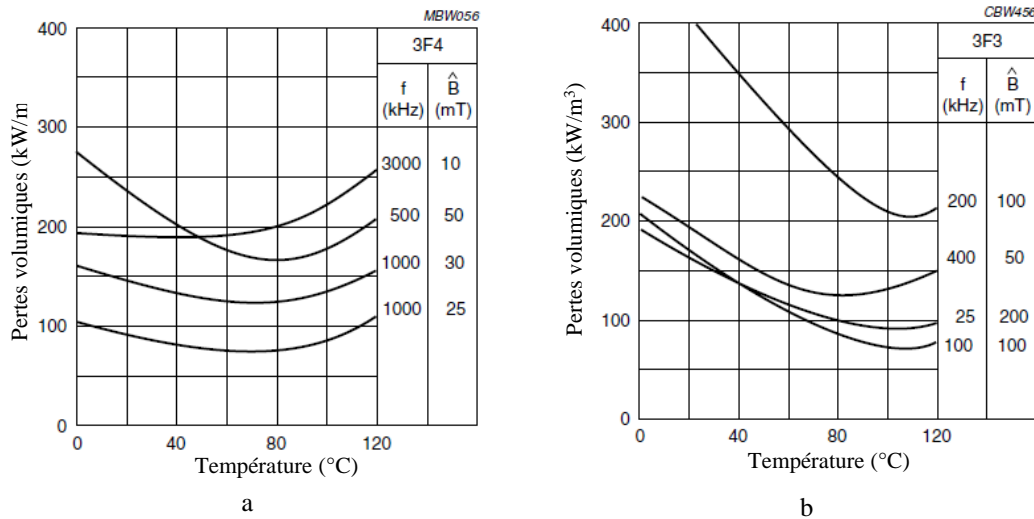


Figure IV.7. Relation entre les pertes volumiques et la température de la ferrite [ferro]
a – matériau 3F4 ; b – matériau 3F3

IV.3.2.b Estimation de la température de travail

Afin de déterminer la température de fonctionnement de notre micro convertisseur, il est maintenant nécessaire de lier les pertes à la température. Dans notre cas, compte tenu de la complexité géométrique du système ainsi que des multiples modes d'échanges de la chaleur, la simulation numérique nous a semblé pertinente. Pour faciliter la détermination de la température de travail maximale du convertisseur, on peut diviser notre convertisseur en trois parties afin de déterminer séparément la température sur la puce onduleur, sur la puce redresseur et sur le transformateur planar.

Estimation de la température de travail de l'onduleur et du redresseur

Comme présenté au début de ce chapitre, les puces onduleur et redresseur sont tout d'abord packagées sur un substrat PCB sans utiliser de refroidisseur autre que les pistes de connexions en cuivre. Nous ne nous attarderons pas davantage sur ce type de package dont les caractéristiques thermiques sont par ailleurs connues pour nous concentrer sur la version flip-chip de l'assemblage. La Figure IV.8 présente le schéma de connexion des puces intégrées, onduleur et redresseur, reportées par flip-chip sur un substrat de PCB sur lequel les pistes de cuivre ont été élargies afin d'augmenter la surface d'échange thermique et réduire les résistances de connexion.

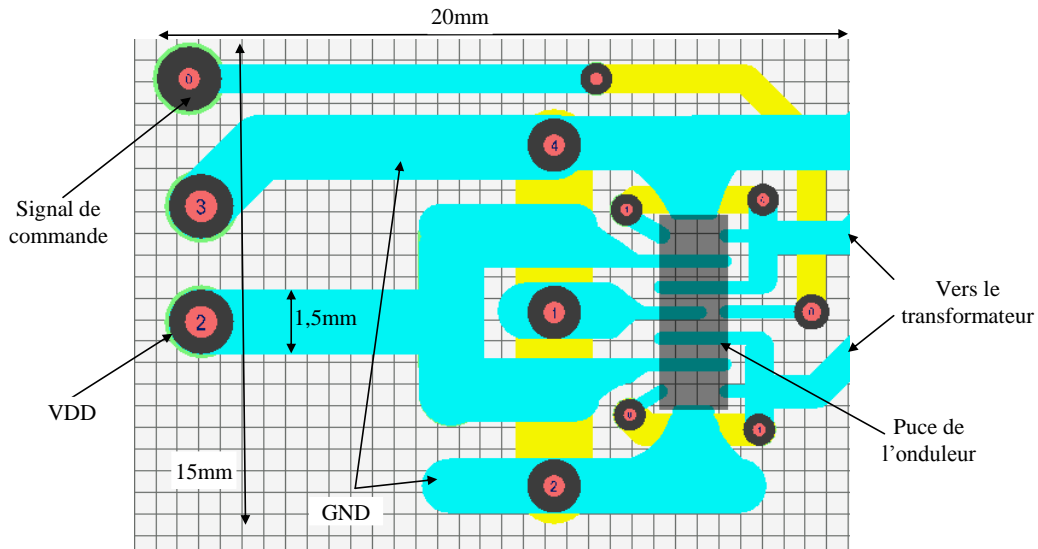


Figure IV.8. Dessin du PCB recevant les puces par flip-chip

A partir de ce dessin, une géométrie similaire de ce circuit est construite sous Flotherm pour déterminer la température de ce circuit dont les formes des pistes cuivre construites dans Flotherm ne sont pas les mêmes que celles dans Altium Designer à cause de la difficulté de construction d'une structure complexe. Toutefois on garde la même de surface d'échange thermique entre la géométrie construite sous Flotherm et celle d'Altium Designer pour que la température soit évaluée dans des conditions similaires à la réalité. Dans ce calcul, les hauteurs des pistes de cuivre sont fixées à $70\mu\text{m}$ équivalente à la hauteur du cuivre dans les bobinages du transformateur planar et les hauteurs des bumps après le packaging sont fixées à $50\mu\text{m}$. On suppose que les sources des pertes ne sont que dans la puce et on négligera les pertes dans les bumps ainsi que dans les pistes de cuivre. Ces valeurs de pertes dissipées par une puce sont de 120mW . Cette valeur est fixée à partir des résultats de conception de la puce, présentés au chapitre 3. Les conductivités thermiques des matériaux utilisés dans la simulation sont présentées dans le tableau IV.5

Matériaux	Silicium	Cuivre	Or	FR4	Ferrite
Conductivité thermique (W/mK)	117	385	296	0,3	5

Tableau IV.5. conductivités thermiques de matériaux utilisés dans la simulation thermique

Tous les phénomènes de transfert de la chaleur : conduction, convection et rayonnement ont été simulés en supposant que la convection naturelle de l'air est de 10W/K.m^2 et que la température ambiante était de 25°C . La puce est présentée par un cube dans lequel on suppose les pertes (sources thermiques) réparties homogènement dans le volume.

Les valeurs simulées des températures le long du circuit sont présentées Figure IV.10. Grâce à cette figure, nous vérifions que la température maximale dans ce circuit est de 73°C au niveau de la puce ce

qui est assez en deçà de la température maximale que nous nous étions fixée (120°C) et valide le dimensionnement que nous avons réalisé pour les pistes.

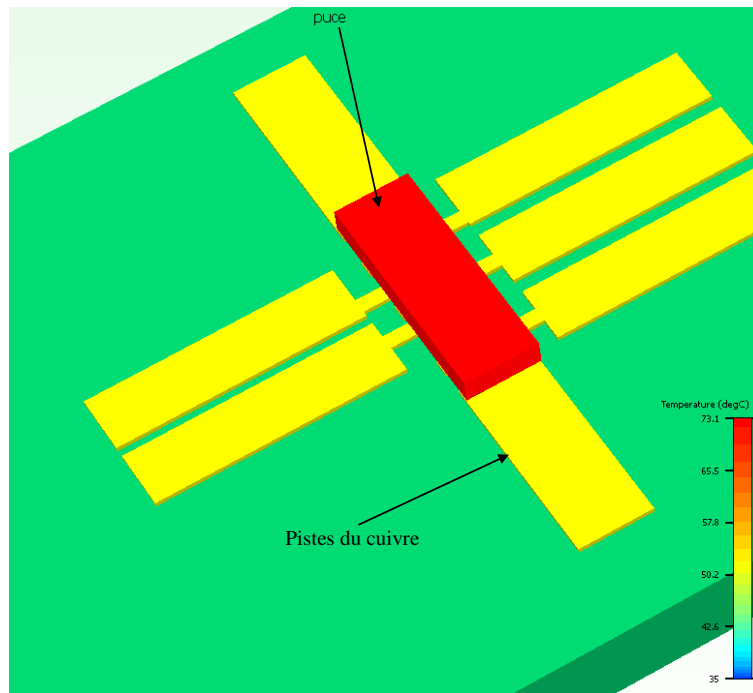


Figure IV.9. Température dans le circuit flip-chip

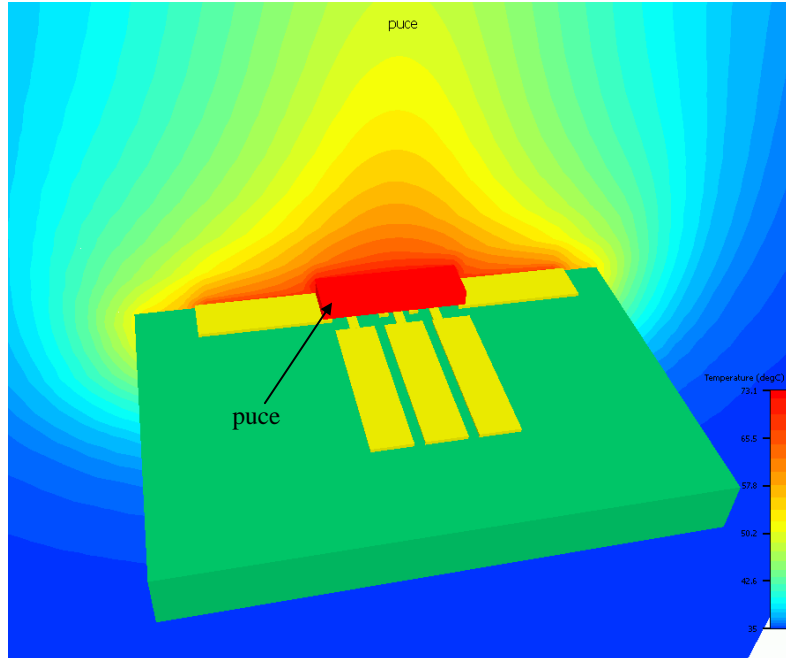


Figure IV.10. La température dans le circuit flip-chip vue suivant l'axe y

Estimation de la température de travail du transformateur planar

La géométrie du transformateur planar composé des bobinages et du noyau est ensuite construite sous Flotherm. A cause de la difficulté d'implémentation dans Flotherm du noyau du transformateur en un bloc, on utilise cinq cuboïdes pour construire ce noyau. Dans ce cas là, si on suppose que les pertes sont réparties uniformément dans le volume du noyau magnétique, les pertes dans chaque cuboïde ne sont relativement liées qu'aux volumes de celui-ci. Le calcul des pertes fer d'un volume est effectué grâce à (IV.2):

$$P_{Volume1} = \frac{Volume1}{Volume1 + Volume2 + Volume3 + Volume4 + Volume5} \cdot P_{fer} \quad (IV.2)$$

Les formes des bobinages du transformateur sont construites en forme carrée (elles ne sont pas rond comme le design) mais la surface d'échange thermique est toujours gardée de façon identique à celle conçue sous Altium Designer (routage). En récupérant les valeurs de pertes fer et des pertes cuivre obtenues au chapitre 3, on obtient les valeurs de la température du transformateur planar présentées Figure IV.11 où la température maximale est de 69,3°C dans le bobinage en contact avec le noyau magnétique. Cette température est inférieure à la température fixée (100°C) nécessaire au bon fonctionnement du transformateur planar.

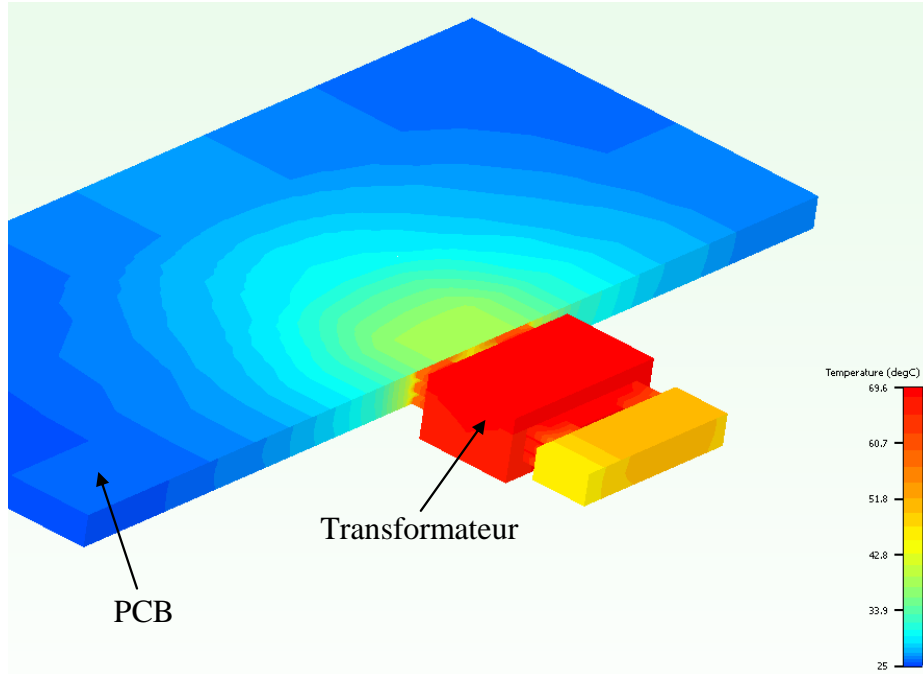


Figure IV.11. La température dans le transformateur planar et le substrat PCB

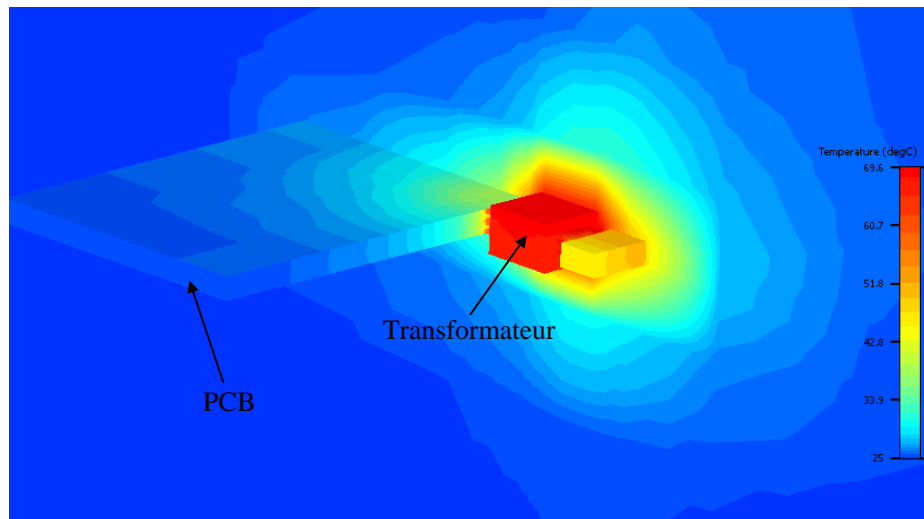


Figure IV.12. La température dans le transformateur planaire et le substrat PCB vue suivant l'axe x

On trouve que les températures maximales obtenues par la simulation sous Flotherm de la puce intégrée et du transformateur planaire sont inférieures aux températures maximales fixées pour un bon fonctionnement du micro convertisseur. Par conséquent, ces dimensions du circuit sont utilisées pour la mise en œuvre du convertisseur.

IV.4. Procédés technologiques et réalisation

IV.4.1. Interconnexion par stud bumping en Or

La technique d'assemblage du circuit flip-chip par stud bumps en Or consiste à créer des billes conductrices en Or permettant de connecter les plots de la puce intégrée au PCB ou au substrat, l'assemblage étant ensuite réalisé par thermo compression ou par ultrasons. Le stud bumping ne nécessite pas de métallisation sous les bumps (under-bumps metallisation UBM) et ne nécessite donc pas de traitement des wafers. Il ne nécessite donc pas plus de préparation que les fils de bonding, mais impose par contre un contrôle rigoureux des paramètres d'assemblage entre les deux éléments à reporter (force, températures, ultrasons).

IV.4.1.a Processus de création des bumps

Les bumps en Or sont déposés sur les plots de contact grâce à une modification du procédé de ball bonding utilisé pour la technologie classique du fils de bonding. Dans ce cas, les fils de bonding sont chauffés et déformés pour créer des billes. Ce processus est effectué par une machine permettant de créer de bumps (WB100 de Unitemp [Uni] utilisée dans notre laboratoire). Suivant les formes souhaitées pour les bumps et le matériau des plots de contacts, on ajuste les paramètres de la force mécanique, de la température et de l'énergie ultrasonique. La Figure IV.13 présente les différentes formes des bumps déposés sur les plots de contact. Les bumps peuvent avoir des hauteurs différentes

même si on utilise les mêmes paramètres pour la machine de bonding. Ces problèmes sont résolus après que les bumps soient placés sur la puce car ces bumps peuvent être aplatis par pression mécanique pour obtenir une hauteur uniforme. Chaque bump peut être aplati immédiatement après sa formation par un outil (tamping tool), ou tous peuvent être aplatis simultanément par pression sur une surface plane dans une opération séparée suivant le bumping.

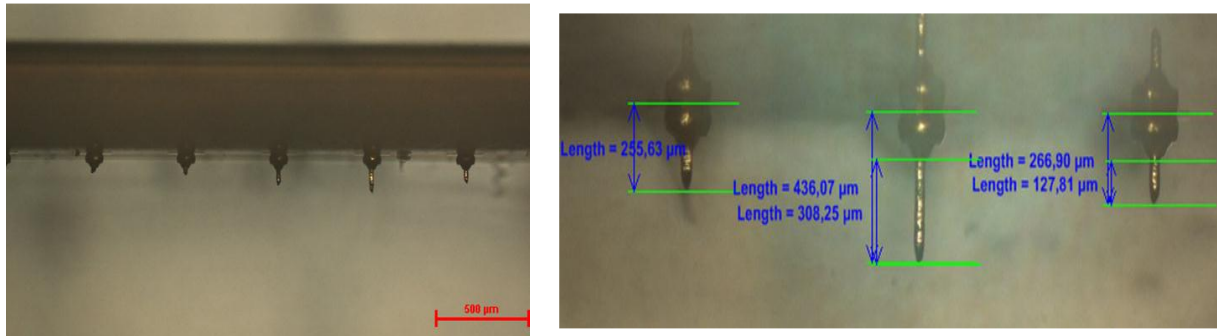


Figure IV.13. Les formes des bumps réalisées au laboratoire G2Elab

IV.4.1.b Processus d'assemblage

L'assemblage entre la puce bumpée et le substrat PCB peut être assuré par des adhésifs conducteurs ou non conducteurs, ou par assemblage à l'ultrason sans adhésif. L'adhésif conducteur peut être isotrope, conducteur dans toutes les directions, ou anisotrope, conducteur dans une direction préférée seulement.

Assemblage par adhésifs conducteurs (isotrope et anisotrope)

Les adhésifs conducteurs isotropes consistent en un liant adhésif chargé avec des particules conductrices normalement en contact entre elles. Les particules conductrices classiquement utilisées sont des micro particules en argent qui occupent de 25% à 35% du volume du liant [Kur05], le reste étant de la résine. Ce liant adhésif fournit une faible résistance électrique dans toutes les directions. L'adhésif peut être appliqué par impression au travers d'un « pochoir », ou la puce bumpée peut être trempée dans un liquide permettant le dépôt d'une fine couche d'adhésif ne recouvrant que les bump [Sim11]. La première méthode de dépôt reporte une plus grande quantité d'adhésifs que le trempage ce qui rend la liaison mécanique plus forte. De plus, l'adhésif supplémentaire compense, dans une certaine mesure, les variations des hauteurs des bumps. Cependant, le pas du pochoir est limité à 90µm du fait de la précision de sa réalisation.

Après que l'adhésif conducteur isotrope a été durci par la chaleur, un adhésif non conducteur appelé « underfill » est appliqué pour remplir complètement l'espace sous la puce. L'« underfill » ajoute une tenue mécanique à l'assemblage et protège les connexions. Le durcissement de l'adhésif

d' « underfill » par la chaleur complète le processus d'assemblage. La Figure IV.14 présente une image de l'assemblage par adhésifs conducteurs isotropes

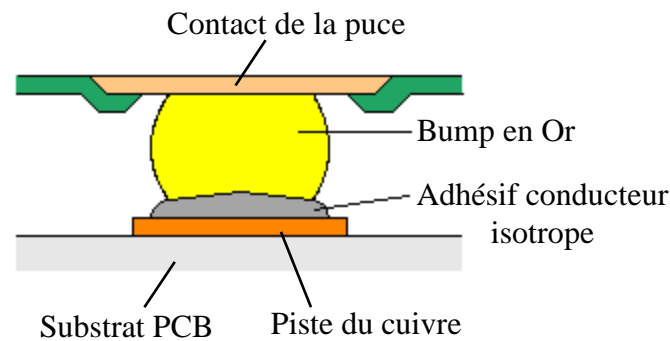


Figure IV.14. Assemblage par adhésifs conducteurs isotropes [extra]

Cette méthode fournit une bonne tenue mécanique, et une facilité de réalisation mais elle ajoute une petite résistance parasite entre les bumps et les plots de contact causée par la résistance de l'adhésif conducteur. Réalisé classiquement de micro particules d'argent comme éléments conducteurs, ce liant a une résistivité électrique satisfaisante de $10^{-5} \Omega\text{m}$ [Mar12]. Cette valeur de résistivité peut créer une petite résistance dans les contacts pouvant influencer sur le rendement total du circuit. De plus, la conductivité thermique de ces matériaux est peu élevée ($\approx 1 \text{ W/mK}$) [Mar12] ce qui peut provoquer des problèmes thermiques dans les contacts. De plus, la fraction volumique d'argent élevée entraîne des fissures de l'adhésif ce que limite la surface des composants collés [Mar12]. Pour cette technique de câblage, la résistance obtenue de chaque contact est autour de 8 à $10\text{m}\Omega$ [Ros96-Gay95].

Assemblage par adhésifs non-conducteurs

Un adhésif non-conducteur est déposé sous la puce puis, les bumps sont pressés sur les plots de contact avec une force suffisante créant une dispersion à la compression de l'adhésif, aucun adhésif ne reste entre les stud bumps et les surfaces de contact du substrat. Cette pression est maintenue alors que l'ensemble est chauffé pendant un temps suffisant pour durcir, au moins partiellement, l'adhésif. La puce est mécaniquement liée au substrat par l'adhésif durci et les contacts métaux-métaux entre les bumps et les plots de contact du substrat sont réalisés. Aucun adhésif d'underfill n'est requis.

L'adhésif non conducteur possède l'avantage de permettre l'assemblage sur des substrats flexibles, grâce à l'adhésif durci lors du processus d'alignement en maintenant la puce fixée en position par la suite. Le dosage correct et répété des adhésifs nécessite un équipement automatisé et l'étape d'alignement est déterminée par le temps de durcissement, y compris la montée et le descente de la température de cuisson [Geo10]. La résistance de connexion est plus élevée que celle de l'assemblage par adhésifs conducteurs, autour de $14\text{m}\Omega$ à $20\text{m}\Omega$ [Che07]. La Figure IV.15 présente une image de l'assemblage par adhésifs non-conducteur [extra]

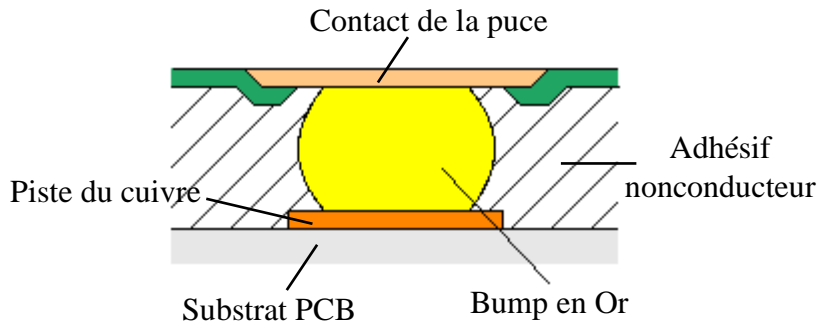


Figure IV.15. Assemblage par adhésif non-conducteur [extra]

Assemblage par thermocompression et énergie ultrasonique

Cet assemblage n'a pas besoin d'adhésif entre les bumps et les plots de contact. Les puces sur lesquelles sont déposés les bumps en Or sont pressées sur les plots de contact en appliquant la chaleur, la pression et une énergie ultrasonique suffisante pour former des liaisons métalliques. Cette méthode est intéressante pour les applications telles que les MEMS qui ne tolèrent pas les colles dans la surface active. De plus, cet assemblage présente une meilleure résistance de connexion que la première. Une valeur de résistance de $5\text{m}\Omega$ est obtenue par cette technique d'assemblage lors de connexion entre l'Or et Cuivre [Flip-chip]. En revanche, il n'est pas simple de réaliser un bon contact entre les bumps et les plots de contact donc dans quelques cas d'application spécifique, l'underfill est nécessaire pour la tenue mécanique du contact entre les puces et le substrat. La Figure IV.16 présente une image d'un assemblage par thermocompression, la Figure IV.17 présente des images de l'assemblage avec et sans underfill et la Figure IV.18 présente les formes des bumps après le processus d'assemblage réalisé par la centrale technologique RTB FEMTO-ST à Besançon.

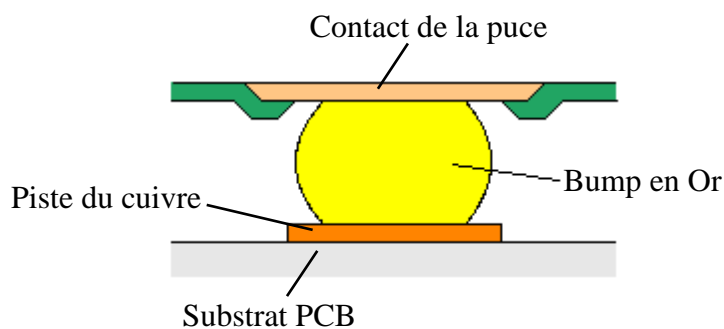


Figure IV.16. Assemblage par thermo compression [extra]

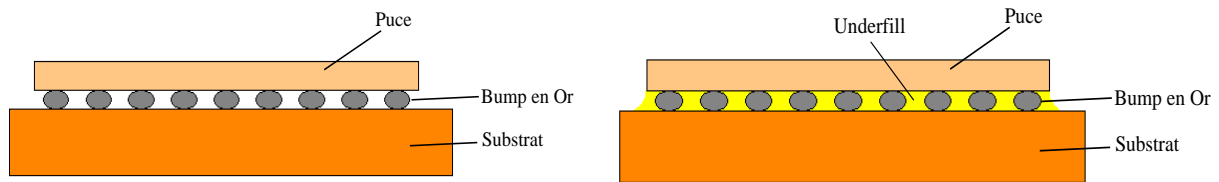


Figure IV.17. Assemblage par la technologie flip-chip avec et sans underfill

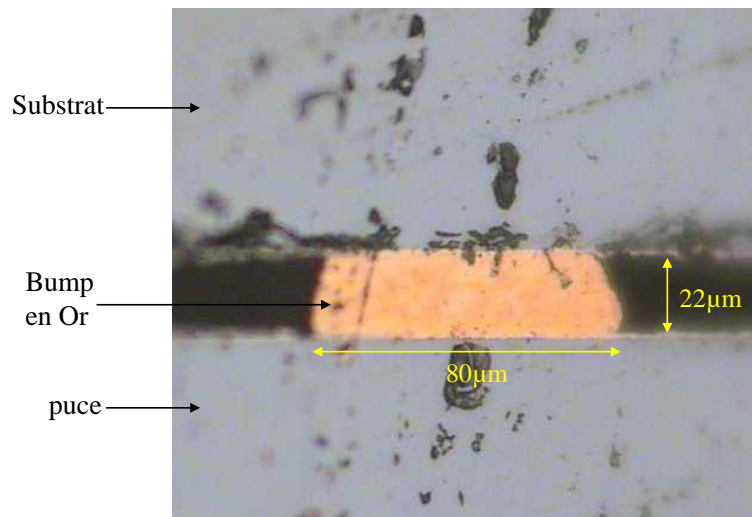


Figure IV.18. Vue en coupe d'un bump après le processus d'assemblage

Chaque processus d'assemblage des stud bumps ayant des avantages et des limitations liées à ses applications spécifiques, le choix du processus d'assemblage le plus approprié dépend de l'application, de la taille de la puce et du nombre de bumps, du substrat, de la disponibilité du matériel, du coût, et d'autres considérations. Dans notre cas, l'assemblage par thermo compression a été choisi pour assembler nos puces onduleur et redresseur sur le PCB. L'intérêt de cet assemblage est de ne pas insérer une résistance créée par des couches plus faiblement conductrices. On peut donc garantir un bon rendement de conversion au micro convertisseur après le processus d'assemblage. En effet, les résultats des caractérisations de la résistance de connexion des différents modes d'assemblage présentés dans [flip-chip] montrent que la résistance de la connexion par l'assemblage par thermo compression est toujours le plus adapté devant l'assemblage par adhésifs conducteurs. Cependant, la tenue mécanique de cet assemblage est bien plus faible que d'autres processus d'assemblage. Ce problème peut être amélioré par l'utilisation d'underfill.

IV.4.2. Réalisation pratique

Le premier circuit de test composé de deux puces intégrées a été réalisé afin de tester les caractéristiques des contacts électriques, la tenue mécanique des processus de bumping et du processus d'assemblage.

IV.4.2.a Création des bumps

Les puces intégrées conçues par la technologie AMS 0,35 μ m ont des plots de contacts réalisés sur les dernières couches de métal AlCu avec une finition TiN comme présenté à la Figure IV.19. Avec cette composition des plots de contacts, il est possible de faire du câblage en Or.

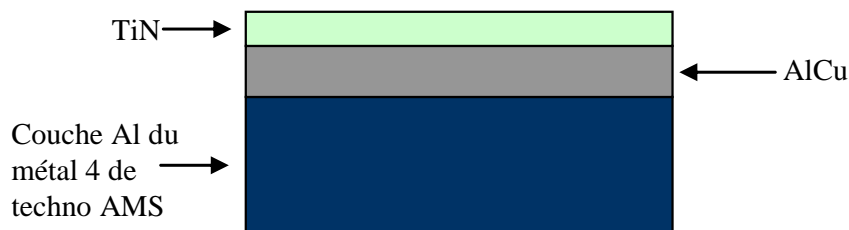


Figure IV.19. Structuration du plot de contact de la puce

Les bumps sont réalisés grâce à la machine WB100 de Unitemp. Pour obtenir une forme correcte de bumps qui adhère bien sur les plots de contacts de la puce, il est nécessaire de régler les paramètres de la machine que sont la force mécanique, la température de la plaque qui maintien la puce, l'énergie ultrasonique, le temps de maintien lors du contact entre l'outil et les plots. Afin de choisir un ensemble de paramètres corrects, la réalisation des bumps sur un substrat témoin pour les différents ensembles de paramètres a été effectuée. Ce processus a permis l'ajustement d'un ensemble de paramètres permettant d'avoir une forme correcte de bumps avec une fiabilité de 100%. Pour que ce processus ne prenne pas beaucoup de temps, on se base tout d'abord sur les paramètres d'expériences disponibles au CIME-Nanotech. Les formes des bumps sont présentées sur la Figure IV.20.

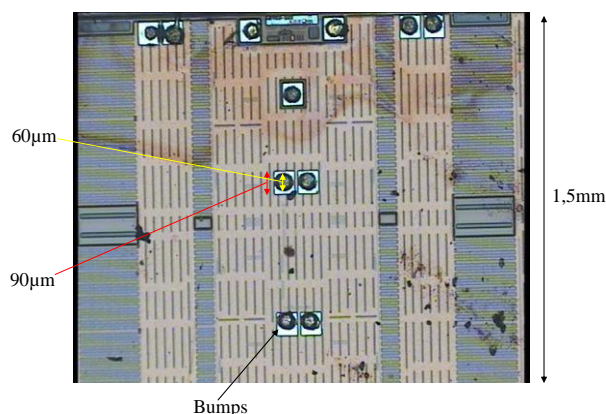


Figure IV.20. Vue en 2D sous microscope des bumps sur la partie centrale de la puce

IV.4.2.b Processus d'assemblage et problèmes rencontrés

Après le dépôt des bumps sur les plots de contacts, le report en flip-chip de ces puces a été effectué à l'institut FEMTO-ST de Besançon à l'aide d'une machine FC250 de Suss Microtec [Suss]. La soudure des bumps en Or a donc été réalisée par thermo-compression et donc plusieurs paramètres de pression sont nécessaires pour obtenir des bons contacts électriques et un entrefer correct entre les puces et le substrat. Pour réaliser des contacts corrects entre la puce et le substrat il est maintenant nécessaire de déterminer le bon cycle de température à appliquer lors de la pression. Pour cela, deux cycles thermiques utilisés fréquemment pour l'assemblage des circuits flip-chip ont été utilisés pour tester les contacts et comparer les performances des deux profils de température.

Programme 1 :

- Montée en température du substrat à 120°C.
- Application de 1kg de force d'appui pendant 10s ($T^{\circ}\text{puce}=100^{\circ}\text{C}$) puis application de 2kg pendant 1 minute.
- Montée en température à 300°C de la puce (100°C/s) et maintien pendant 20s.
- Refroidissement de la puce et du porte substrat.
- Relâchement de la force d'appui lorsque la puce est à 50°C.
- Déchargement du porte substrat lorsque l'assemblage est à 50°C.

Une première caractérisation de cette puce montre que la résistance mécanique est bonne mais que l'entrefer entre la puce et le substrat, estimé sous binoculaire, est trop fin mais homogène. La pression appliquée est donc trop importante. Les formes des bumps des deux côtés de la puce après le processus d'assemblage sont présentées Figure IV.21 (à cause de la distance focale du microscope qui est limitée, on ne peut voir qu'une des parties de la puce sur chaque image). On trouve qu'il y a une destruction des bumps d'un côté. On essaie d'améliorer tous ces problèmes via un nouveau programme, le programme 2

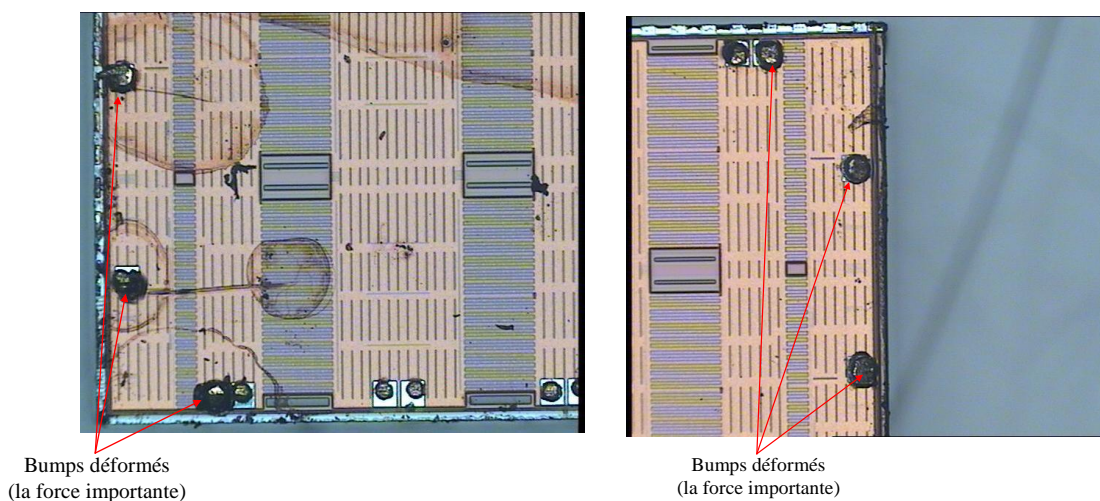


Figure IV.21. Vue en 2D sous microscope des bumps après le processus d'assemblage (les puces sont arrachées et enlevées du circuit pour voir la forme des bumps)

Programme 2:

- Montée en température du substrat à 120°C.
- Application de 750g de force d'appui pendant 10s ($T^{\circ}\text{puce}=100^{\circ}\text{C}$) puis application de 1,5kg pendant 1 minute 40s.
- Montée en température à 300°C de la puce (100°C/s) et maintien pendant 20s.
- Refroidissement de la puce et du porte substrat.
- Relâchement de la force d'appui lorsque la puce est à 50°C.
- Déchargement du porte substrat lorsque l'assemblage est à 50°C.

Une caractérisation de cette puce montre que la résistance mécanique est bonne, l'entrefer entre la puce et le substrat, estimé sous binoculaire, est correct et homogène. Les formes des bumps après le processus de l'assemblage de ce programme sont présentées Figure IV.22. La force mécanique dans ce cas est correcte pour ne pas déformer trop les formes des bumps.

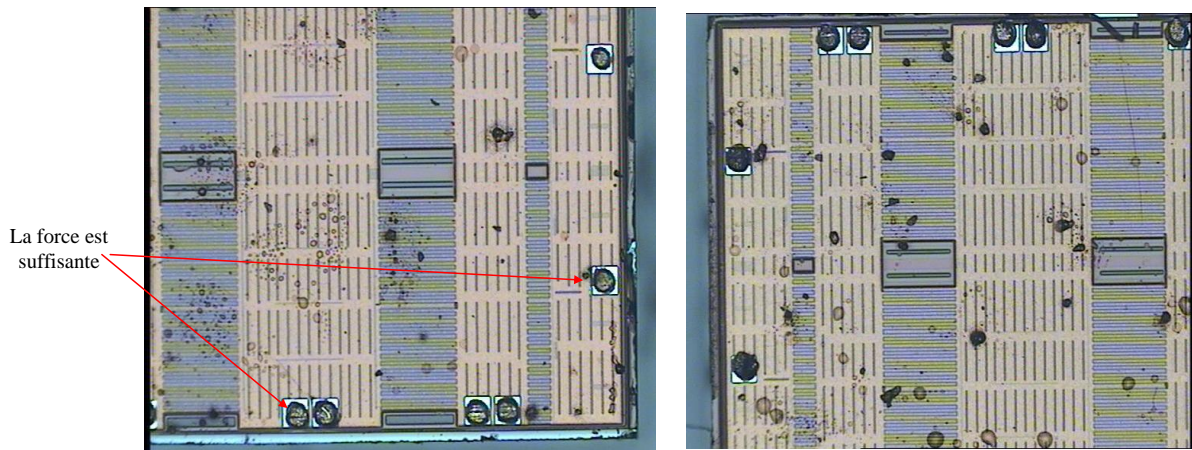


Figure IV.22. Vue en 2D sous microscope des bumps après le processus d'assemblage (les puces sont arrachées et enlevées du circuit pour voir la forme des bumps)

Cependant, des tests électriques de ces deux puces montrent que quelques bumps ne sont pas bien en contact avec le substrat. De plus, des problèmes de contact entre la puce et le substrat ont été rencontrés lors du report des autres puces et nous n'arrivons pas à créer des contacts de bonne qualité et reproductibles par cette méthode. La Figure IV.23 présente un problème de déformation du substrat que nous avons rencontré lors du processus d'assemblage du circuit en flip-chip. Par conséquent, la température du cycle thermique et la force mécanique de la machine flip-chip déforment le substrat PCB lors de l'essai avec le deuxième cycle thermique. De plus, la différence entre les coefficients de dilatation du silicium et du FR4 conduit à une fracture du substrat PCB comme présenté ci-dessus.



Déformations du substrat

Figure IV.23. Déformation du circuit lors de l'assemblage par la méthode ultrasonique, la puce n'a pas été correctement assemblée

Afin d'éviter les problèmes ci-dessus, une méthode d'assemblage par thermo compression utilisant un underfill a été mise en oeuvre. Même si la résistance mécanique obtenue par la méthode précédente était correcte, ajouter l'underfill va permettre d'accroître l'effort d'attraction entre la puce et le substrat et de ce fait améliorer les contacts électriques par accroissement de la pression sur ceux-ci. La Figure IV.24 présente un circuit flip-chip réalisé par assemblage avec underfill. Le cycle thermique du programme 2 a été utilisé pour ce processus de câblage produisant de bons contacts électriques entre la puce et le substrat.

Ce type de câblage est plus efficace que le type de câblage par thermo compression sans underfill. Ce procédé de report a été testé sur quatre puces dans les deux substrats séparés et l'on a eu trois reports corrects. Donc, au final, nous avons obtenu un convertisseur fonctionnel sur deux.

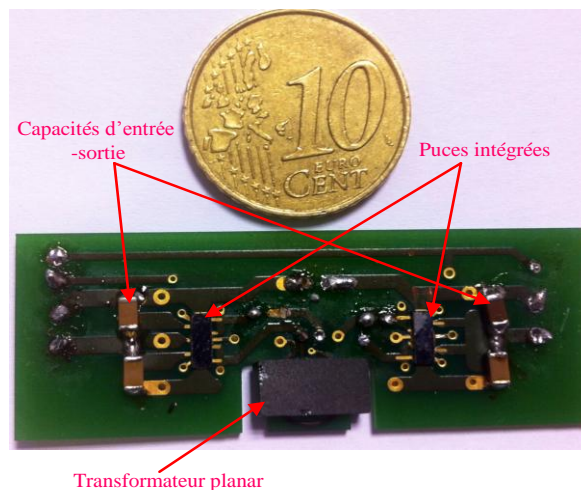


Figure IV.24. Circuit flip-chip réalisé par assemblage avec underfill

IV.4.3. Caractérisation du micro convertisseur

IV.4.3.a Caractérisations électriques du micro convertisseur

Le micro convertisseur présenté Figure IV.24 a été caractérisé afin, d'une part, de tester les modes de fonctionnement ainsi que les caractéristiques de la tension et du courant obtenues et, d'autre part, pour évaluer les apports de la méthode de report de la puce par flip-chip et comparer le fonctionnement de ce convertisseur par rapport à celui réalisé par fil de bonding.

Ici, on utilise une capacité de découplage connectée en série avec le transformateur planar afin de découpler les parties continues du courant et de la tension traversant le transformateur et ainsi éviter sa saturation. On souhaite que la taille de cette capacité soit la plus faible possible afin de ne pas grossir notre micro convertisseur. Pour cela on a choisi une capacité de $1\mu\text{F}$. Cependant, pour cette petite valeur de la capacité, il apparaît sur les formes d'ondes dans le transformateur un début de fonctionnement à résonance du micro convertisseur - Figure IV.25. Toutefois les caractéristiques de la structure DAB sont peu changées. On peut donc caractériser en premier temps le convertisseur avec cette capacité.

La Figure IV.25 présente les formes d'ondes de tension et de courant au niveau du secondaire du transformateur ainsi que la tension en sortie du micro convertisseur. On constate ici une réduction importante des oscillations et donc une amélioration des formes d'ondes de tension qui sont moins perturbées que dans le cas précédent. La Figure IV.26 présente, en les zoomant sur la partie de commutation, ces tensions. On peut constater que le pic de surtension atteint 4V comme prévu lors de la simulation pour de faibles inductances parasites. On a donc ici une nette amélioration du pic de la tension par rapport au cas précédent. De plus, avec cette technique de câblage, le micro convertisseur a pu atteindre le point de fonctionnement à 6W de puissance en entrée pour lequel il a été conçu ce qui est une nette amélioration par rapport aux $1,1\text{W}$ obtenus pour la technologie avec fil de bonding grâce à la réduction des inductances parasites.

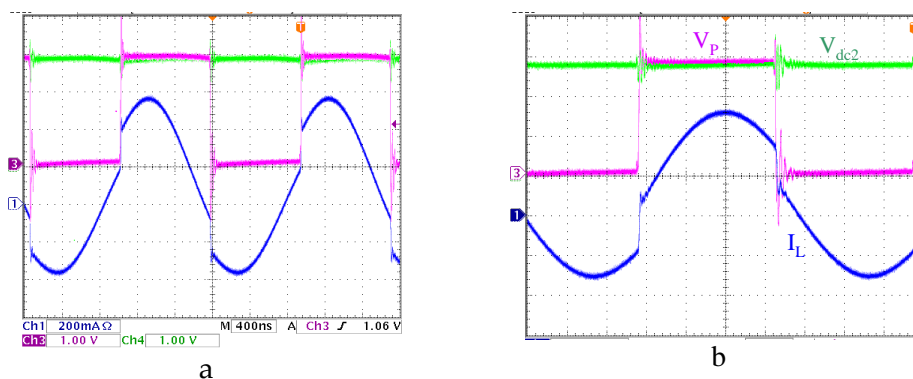


Figure IV.25. Différents modes de fonctionnement en régime établi.

a – $m.V_p < V_s$ avec un décalage de 8ns ; b – $m.V_p > V_s$ avec un décalage de 16ns

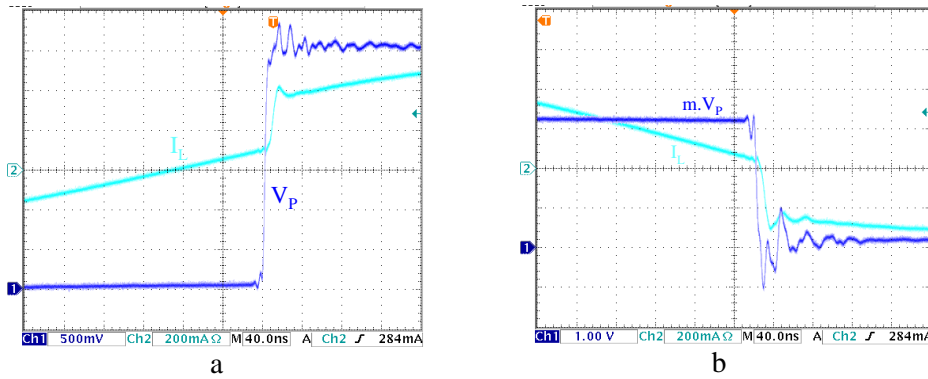


Figure IV.26. Zoom sur les commutations en régime $m.V_p > V_s$

La plage de variation de la tension en sortie du convertisseur est ensuite vérifiée ainsi que le bon fonctionnement en Buck et en Boost. On rappelle que le meilleur rendement du DAB est obtenu à l'instant où la tension au primaire du transformateur est égale à sa tension au secondaire au rapport de transformation près $V_s = m.V_p$. A cet instant, la valeur efficace du courant dans le transformateur est la plus faible et donc les pertes dans le DAB sont les plus faibles aussi. La tension de sortie obtenue dans ce cas est appelée « **tension de sortie à équilibre** ». Pour les composants idéaux et un rapport de transformation unitaire, cette tension de sortie est égale à la tension d'entrée (3V). La zone de bon rendement du DAB est obtenue lors d'une variation de 10% de la tension de sortie par rapport à cette tension de sortie à équilibre.

Expérimentalement, nous avons trouvé que la tension de sortie est simple à réguler dans une plage de 10% en abaissement et en élévation autour de la tension de sortie à équilibre. Mais cette tension de sortie à équilibre n'est pas égale à la tension d'entrée, elle baisse proportionnellement avec l'augmentation du courant dans la charge à cause de l'augmentation de la chute de tension dans le circuit liée à l'augmentation des pertes ainsi que la chute tension dans la capacité connectée en série avec le transformateur. Le Tableau IV.6 présente la relation entre la tension de sortie à équilibre et le courant traversant la charge.

Courant (A)	Tension entrée (V)	Tension de sortie à équilibre (V)
0,3	3	2,98
0,6	3	2,90
0,8	3	2,82
1,1	3	2,72
1,3	3	2,68
1,6	3	2,50
2	3	2,35

Tableau IV.5. Relation entre la tension de sortie à équilibre et le courant dans la charge

On trouve que la tension sortie à équilibre à pleine charge n'est que 2,35V donc on peut réguler dans ce cas la tension maximale en sortie jusqu'à 2,6V (+10% de la tension à équilibre) pour ne pas trop

réduire le rendement du convertisseur. Par conséquent, il n'est pas possible d'obtenir une tension de sortie pouvant aller jusqu'à 3,3V nécessaire pour la configuration du R μ C. Donc l'algorithme présenté dans le chapitre 2 doit être changé en utilisant des CEs ayant pour tension d'entrée 3V et pour tension de sortie de 2,35V.

La relation entre le rendement mesuré et le courant de charge est présentée Figure IV.27. Grâce à cette figure, on trouve que le rendement maximal obtenu est à 88% pour un courant de charge de 0,6A équivalent à une puissance transférée de 1,8W. La Figure IV.28 présente la comparaison du rendement du DAB hybridé par la technologie flip-chip avec celui réalisé par la technologie fils de bonding ainsi que la courbe du rendement théorique. On peut constater que le rendement du micro convertisseur réalisé par la technologie flip-chip est meilleur que celui obtenu avec le micro convertisseur utilisant des fils de bonding grâce à une amélioration de la résistance parasite des contacts entre la puce et le substrat. Cependant, ce rendement est encore inférieur au rendement théorique en raison de plusieurs sources de pertes jusque là négligées : les pertes créées par les résistances parasites des bumps de connexion, bien qu'elles aient été réduites par rapport à celles de la technologie du fils de bonding, les pertes créées par les contacts soudés des fils d'alimentation, des fils de la charge et du fil rajouté pour l'insertion de la sonde de courant, les influences des inductances parasites sur la forme d'onde de la tension. Enfin, les erreurs de mesure peuvent être une des sources de la différence entre les deux courbes de rendement (1,4% d'imprécision de mesure en utilisant le même principe de mesure que pour la technologie du fils de bonding).

Dans ces sources de pertes, l'impact de la résistance de connexion des bumps influe beaucoup sur le rendement total du micro convertisseur. Une caractérisation des résistances de ces connexions est nécessaire pour l'évaluation des influences de ces résistances sur le rendement total du convertisseur.

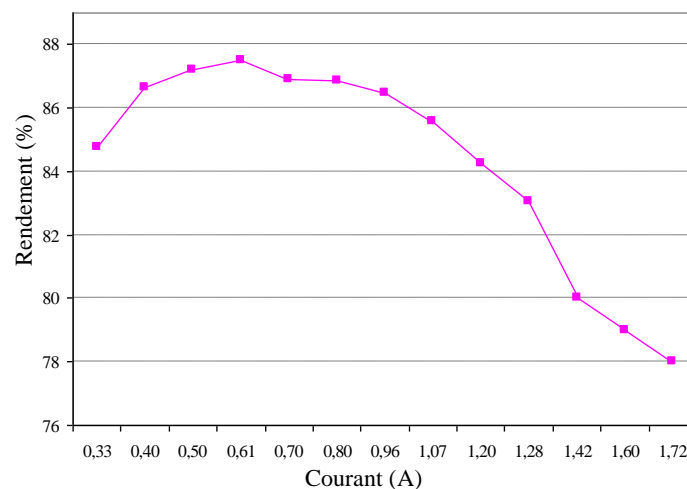


Figure IV.27. Rendement maximal mesuré en fonction du courant de la charge (La tension d'entrée est maintenue à 3V)

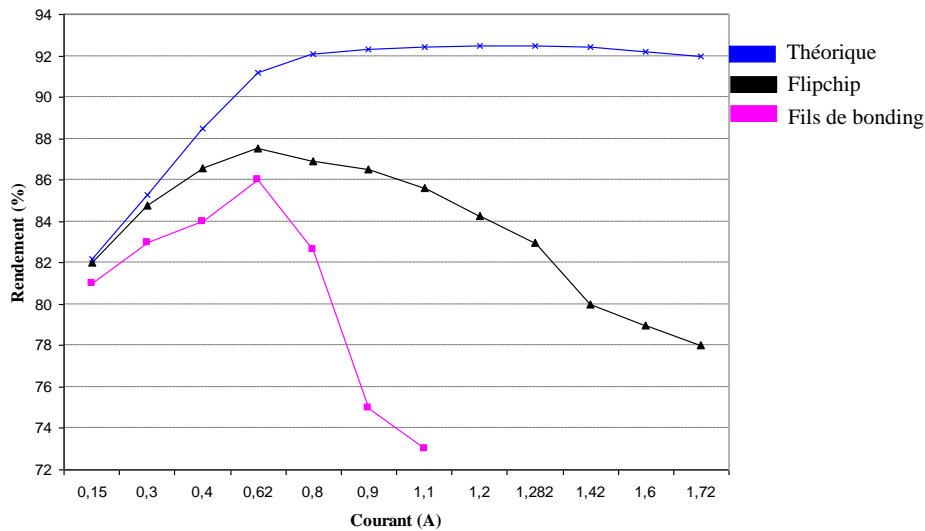


Figure IV.28. Comparaison du rendement entre théorie – technologie flip-chip – technologie fils de bonding

IV.4.3.b Caractérisations de la résistance des bumps de connexion

La même méthode de mesure que celle présentée au chapitre 3 est utilisée ici pour mesurer la résistance des bumps de connexion. Elle consiste à mesurer la résistance à l'état passant des Mosfets plus les résistances des connexions qui sont en série. Pour cette mesure, les Mosfets sont polarisés pour être constamment passants et un multimètre MX579 est utilisé pour mesurer, en continu, la tension entre Drain et Source de chaque Mosfet ainsi que le courant le traversant (cette mesure est effectuée pour une valeur du courant qui varie de 0,3A à 2A). Cette mesure est effectuée pour plusieurs Mosfets afin d'évaluer la qualité et la reproductibilité du processus de report et pour affiner la mesure.

Ces mesures montrent que la résistance à l'état passant des Mosfets est autour de 32mΩ. Si on suppose que la technologie AMS0.35 est bien stable et que la résistance à l'état passant des Mosfets du prototypage est la même que celle de la simulation (13mΩ), la résistance ajoutée par les connexions sur la résistance de chaque Mosfet est donc de 19mΩ. De plus, chaque Mosfet ayant deux pads de connexion entre Vdd et le point milieu pour un Pmos et entre le point milieu et Gnd pour un Nmos, on peut en déduire que la résistance ajoutée sur chaque pad est autour de 10mΩ. Chaque pad de connexion Vdd, Gnd et points milieux étant réalisés par quatre plots de connexion mis en parallèle, on peut déduire que la résistance de chaque bump de connexion est de 40mΩ. Cette valeur de résistance est grande par rapport aux valeurs obtenues par [Microelectronic].

Ces valeurs importantes de résistances parasites influent sur le rendement total du convertisseur. La Figure IV.29 présente le pourcentage de ces pertes par rapport à la puissance transférée.

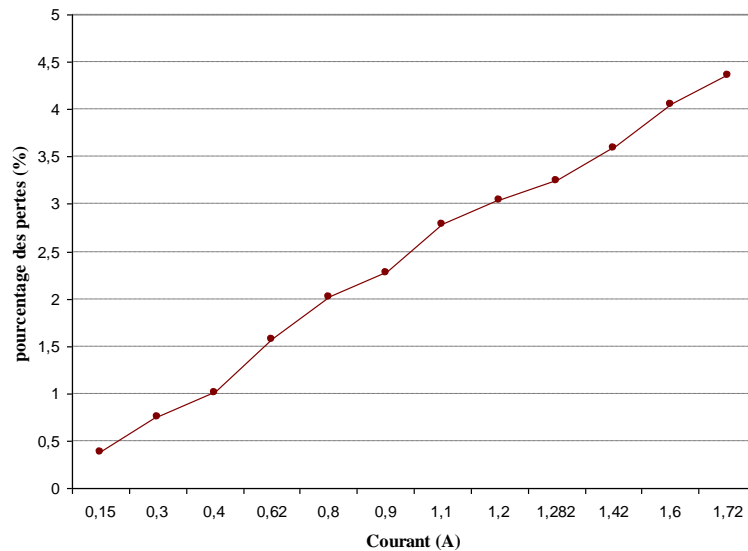


Figure IV.29. Relation entre le pourcentage des pertes créées par les bumps de connexion et le courant fourni à la charge.

On trouve que les résistances de contact influencent de façon importante le rendement total car elles engendrent une baisse de rendement de 4,5 points. Il nous reste un écart de 8 points entre le rendement théorique et le rendement estimé avec les pertes créées par les contacts. Cet écart résulte d'autres sources de pertes telles que celles présentées ci-dessus où les pertes par commutation ajoutées par les inductances parasites, issues des connexions des bumps et des pistes de PCB. La mesure des pertes par commutation des Mosfets est donc nécessaire dans ce cas mais il n'est pas possible de mesurer le courant traversant chaque Mosfet, seul le courant de sortie de chaque bras CMOS est accessible. Par conséquent, il nous manque un moyen efficace pour caractériser l'influence de l'inductance parasite sur le rendement du convertisseur.

En prenant en compte les pertes provoquées par les résistances de connexion et les pertes par commutation causées par les inductances parasites, l'écart entre théorie et mesure s'amenuise. La Figure IV.30 montre ces nouvelles courbes calculées pour des inductances parasites respectivement de 4nH et 20nH

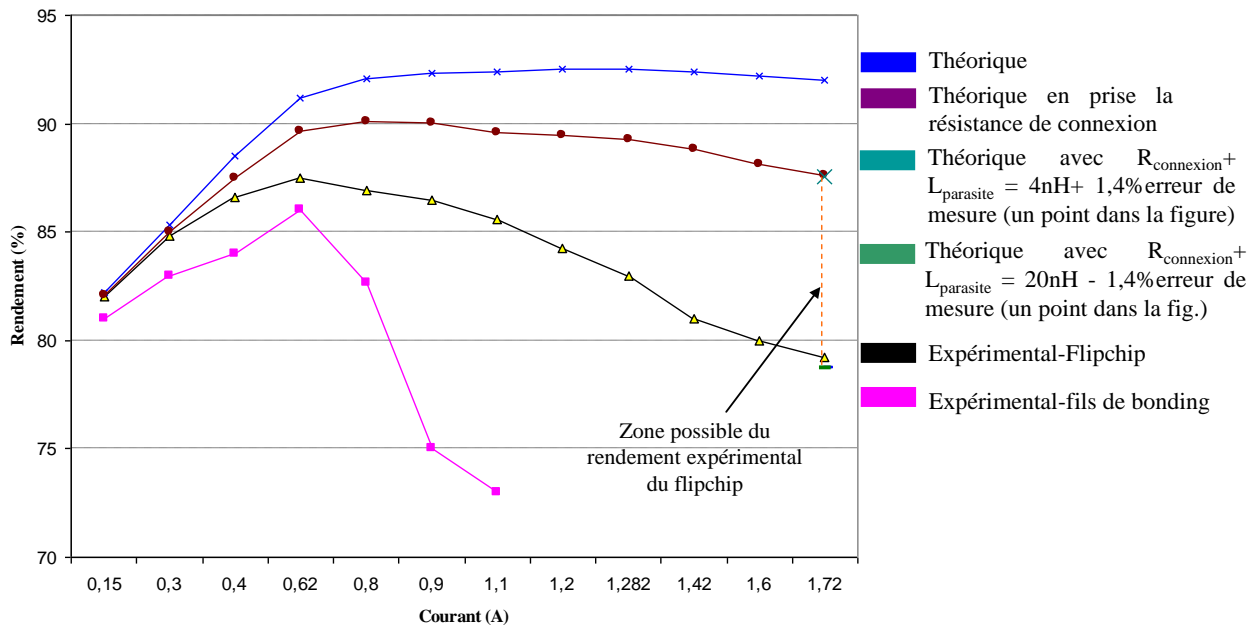


Figure IV.30. Comparaison des rendements théoriques et pratiques dans divers cas (prise en compte de la résistance de connexion, des inductances parasites et des précisions de mesure pour les technologies flip-chip et fils de bonding)

Pour améliorer encore le rendement du convertisseur, une réduction des résistances de connexion et des inductances parasites de connexion sont donc nécessaires. De plus, la réduction de la longueur des pistes du cuivre qui supportent l'interconnexion entre les composants actifs et les composants passifs peut réduire l'inductance parasite dans le circuit. Mais cette réduction entraîne la réduction de la surface d'échange thermique des pistes cuivre pouvant augmenter la température du convertisseur. On a un compromis entre l'inductance parasite et la surface d'échange thermique.

IV.4.3.c Caractérisations thermique du convertisseur

Afin de valider le dimensionnement du micro convertisseur, une caractérisation thermique des composants avec les bumps de connexions a été réalisée. Une première caractérisation thermique des composants actifs est effectuée lors du fonctionnement seul de la puce intégrée en mode "onduleur". La Figure IV.31 présente la température du PCB lors du fonctionnement de la puce intégrée en mode onduleur à 2A. On trouve que la température maximale sur les connectiques entre les pistes du cuivre et la puce est à 77°C ce qui est supérieur de 4°C à ce que l'on a estimé par la simulation. Toutefois, cette valeur est encore inférieure à la température maximale supportable par la puce et l'on peut supposer que le micro convertisseur fonctionne correctement dans ces conditions.

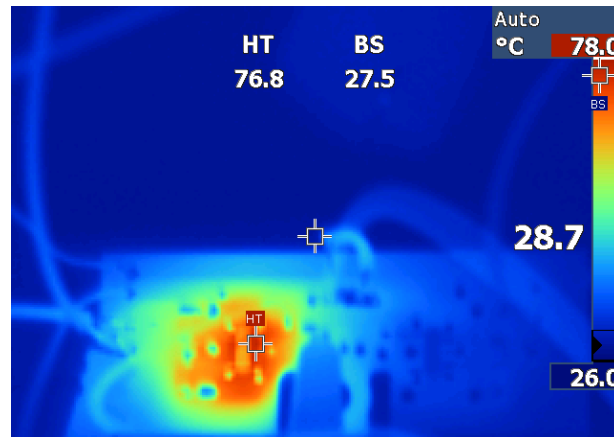


Figure IV.31. Mesure de la température de la puce lors du fonctionnement en mode onduleur

Afin de valider l'ensemble du dimensionnement, le circuit composé d'un ensemble puce l'onduleur et transformateur a ensuite été testé à 2A et 3V. La mesure de la température de l'ensemble des composants actifs et passifs est présentée Figure IV.32. La température maximale est toujours sur les connectiques des pistes de cuivre et la puce, elle est dans ce cas de 79°C supérieure aux 77°C du cas précédent. L'augmentation de cette température est liée à l'augmentation du courant passant dans la puce qui compense les pertes ajoutées par le transformateur. Ces mesures ont permis de constater que la thermique des composants ne posent pas de problème pour le fonctionnement de l'ensemble puce et transformateur.

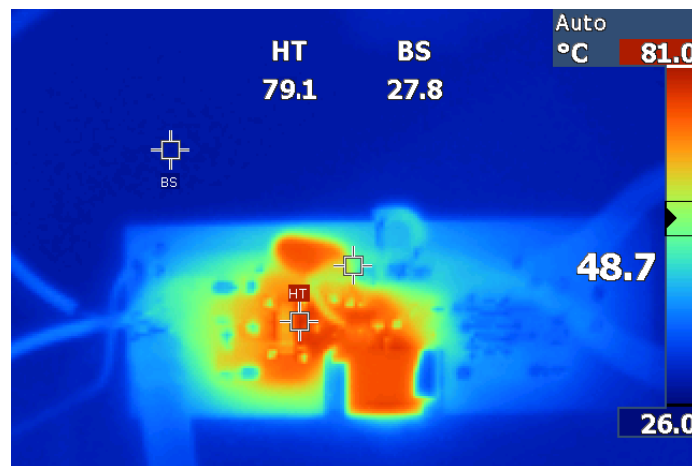


Figure IV.32. Mesure de la température de l'ensemble puce intégrée – transformateur planar

IV.5. Conclusions

La technologie flip-chip a été présentée et utilisée pour la mise en œuvre du micro convertisseur afin de câbler les puces onduleur et redresseur sur un substrat en PCB. Cette technique permet une

réduction de la résistance et de l'inductance parasite dues aux connexions, une amélioration de la performance, une augmentation de la densité de puissance et simplifie le refroidissement des puces. Les résultats expérimentaux montrent que la résistance parasite de chaque connexion réalisée par cette technologie est bien améliorée ($10\text{m}\Omega$) par rapport à celle obtenue par la technologie du fils de bonding ($40\text{m}\Omega$). Une étude de l'influence des parasites créés par les bumps de connexion sur les performances électromagnétiques et les performances thermiques est ensuite effectuée pour garantir un bon fonctionnement du micro convertisseur. On a pu constater que ces inductances parasites peuvent réduire de façon importante le rendement du convertisseur.

Les résultats expérimentaux montrent que ce micro convertisseur a fonctionné correctement à 2A de courant de sortie avec des formes d'ondes de tension et de courant moins perturbées. Toutefois, à pleine puissance, le rendement est largement inférieur aux niveaux attendus. Le rendement maximal est de 88% pour un courant dans la charge de 0,6A équivalent à 1,8W du transfert de la puissance. Le rendement du convertisseur est dans ces cas amélioré de 2 à 10 points suivant les valeurs du courant de charge par rapport à celui réalisé par la technologie fils de bonding. Cependant, en raison du choix d'une faible valeur pour la capacité connectée en série avec le transformateur, les formes d'ondes du courant et de la tension dans le transformateur sont légèrement déformées à cause d'une résonance apparue dans le circuit.

Une caractérisation thermique montre que la température maximale du convertisseur est de 79°C . Cette température est maximale sur la **connectique** entre les puces et les pistes cuivre du substrat PCB. Le convertisseur doit donc pouvoir fonctionner correctement dans ces conditions et ne nécessite pas de refroidisseur

A cause de la chute de tension dans le convertisseur provoquée par les pertes dans le circuit et par la chute de tension aux bornes de la capacité connectée en série avec le transformateur, la tension de sortie à équilibre baisse proportionnellement à une augmentation du courant de charge. A pleine charge (courant de 2A) la tension de sortie à équilibre n'est que 2,35V. On ne peut donc régler la tension de sortie que dans une plage de $\pm 10\%$ autour de cette valeur (plage de la tension en sortie de 2,1V à 2,6V) pour ne pas réduire le rendement total du convertisseur. Cette plage est très différente de celle souhaitée (de 2,7V à 3,3) pour utiliser l'algorithme de configuration présenté chapitre 2. Par conséquent, l'algorithme de configuration doit être ajusté pour prendre en compte cette variation. De plus, cette variation de la tension de sortie en fonction de la charge va complexifier la configuration car maintenant, le niveau de charge de chaque CE va devoir être prise en compte pour déterminer le niveau de tension accessible en sortie.

Pour améliorer les performances de la CE, il va être nécessaire de continuer à travailler sur la réalisation des connexions. En effet, les valeurs des résistances de connexion réalisées par la technologie flip-chip dans le cadre de ce travail sont plus importantes que celles obtenue dans le cadre d'une autre thèse menée au G2elab [Sim11] aussi il semble possible d'améliorer ce point. De plus, les pistes de connexion doivent pouvoir être réduite et la distance entre la capacité de découpage et la

puce doit aussi être réduite pour réduire les inductances de maille. En outre, l'utilisation d'une capacité de plus grande valeur est nécessaire pour éviter la résonance dans le circuit et pour réduire la chute de tension aux bornes de celle-ci.

CONCLUSIONS GENERALES ET PERSPECTIVES

Conclusions générales

Le cœur de cette thèse est la conception, le dimensionnement et l'intégration d'un micro convertisseur de faible tension et de faible puissance présentant un haut niveau d'isolation galvanique, la CE, pouvant être associée en série et/ou en parallèle (mise en réseau) pour créer un convertisseur de forte puissance et forte tension. Un nombre plus ou moins important de ces CE pouvant être intégré conjointement avec les dispositifs de configuration dans un circuit unique afin de réaliser un circuit de puissance programmable (CPP) permettant de répondre aux besoins de la conversion d'énergie DC/DC. Pour aborder l'ensemble de ces travaux, quatre chapitres ont été nécessaires :

Le premier chapitre fut tout d'abord consacré sur la réalisation de la CE et a commencé par un état de l'art de la réalisation des composants actifs, des composants passifs et des technologies d'hybridation de ces composants permettant de réaliser le micro convertisseur. La deuxième partie de ce chapitre a porté sur le choix d'une topologie de conversion adaptée à l'objectif du R μ C. Cette topologie doit être simple à intégrer, pouvoir fonctionner à haute fréquence, présenter un haut niveau de rendement de conversion, avoir une étage d'isolation galvanique. Après avoir été comparées à d'autres structures classiques de l'électronique de puissance, c'est la structure DAB qui a été choisie car elle répond à bon nombre des exigences des R μ C :

- Elle est simple à intégrer car elle ne nécessite qu'un seul composant bobiné, le transformateur qu'elle utilise dans un régime symétrique de flux, deux puces identiques réalisant les fonctions actives et deux capacités
- Elle permet un fonctionnement en haute fréquence car les interrupteurs commutent en ZVS
- Elle présente un très bon rendement lorsqu'elle est utilisée dans des rapports de tension entrée sur sortie proche de 1 (pour rapport de transformation unitaire du transformateur)
- Et offre bien d'autres dividendes comme
 - Être symétrique et réversible en puissance
 - Permettre le fonctionnement élévateur et abaisseur (Buck/Boost)

Ce choix se termine par une réalisation en composants discrets fonctionnant en moyenne fréquence (200kHz). Les résultats expérimentaux montrent que cette structure fonctionne bien en mode Buck et Boost avec une plage de tension en sortie de 2,7V à 3,3V pour 3V en entrée. Malgré tout son rendement est encore faible en raison des résistances importantes à l'état passant et des capacités d'entrée importantes des Mosfets utilisés dans le circuit. Afin d'améliorer ces points, des réalisations intégrées, basées sur la technologie CMOS 0.35 μ m seront proposées dans les chapitres suivants.

L'objectif de ce travail étant la définition, voire la réalisation des éléments nécessaires pour un circuit de puissance programmable, après le choix de la topologie de conversion DAB pour la Cellule Élémentaire, le deuxième chapitre s'est attaché à définir ce que pourrait être la structure d'un CPP et quels éléments seraient nécessaires pour permettre la configuration des inter connexions entre les CE. Tout d'abord un choix d'architecture du réseau a été réalisé et justifié. Tout d'abord, il permet de

limiter les déséquilibres en puissance entre les CE en imposant des connexions de type série/parallèle dans le réseau ensuite, il limite les contraintes sur les éléments de configuration en limitant la tension et le courant à supporter par ces éléments aux valeurs des tensions et courants que peuvent supporter les CE. Les contraintes importantes liées au cahier des charges de la fonction à réaliser avec le CPP étant, quant à elles, reportées sur des connexions réalisées par soudure à l'extérieur du CPP. Ce choix fait, plusieurs technologies issues des CPLD, des MEMS ou de la microélectronique ont été évaluées pour réaliser les éléments de configuration à savoir les actionneurs de connexion. La réalisation des actionneurs de configuration à l'aide de composant mosfet semble très prometteuse. En effet, ces composants peuvent facilement être intégrés dans la même puce que la partie active de la CE car les niveaux de tension et de courant sont les mêmes que pour la CE, de plus, leur commande peut facilement s'alimenter sur l'entrée ou la sortie de cette CE enfin leurs caractéristiques à l'état passant peuvent être excellentes dès lors que l'on peut augmenter leur taille sans dégrader le rendement car ces interrupteurs n'auront pas vocation à commuter à haute fréquence. Pour compléter cette approche et montrer l'intérêt du CPP ainsi créé, un algorithme permettant de déterminer la configuration entre les CE et les blocs du CPP afin de répondre à un cahier des charges donné a été proposé. Il a permis de montrer l'ensemble des couples puissance, tension de sortie et d'entrée que permet de satisfaire ce CPP tout en garantissant un très bon niveau de puissance et ce malgré une structure interne très simple et parfaitement intégrable.

Le troisième chapitre aborde la réalisation du CPP et plus particulièrement de la CE. Ainsi le choix de l'intégration a été fait pour lequel les composants actifs du côté de l'onduleur et redresseur de la structure DAB sont intégrés sur deux puces de puissance identiques réalisées en technologie AMS 0,35 μ m désignées par logiciel du Cadence. Ces puces ont une surface de 1,5 x 4,5mm et sont contrôlée par une commande extérieure captée par un étage de level shifter. Elles ont été dimensionnées pour permettre un courant de 2 à 5A et pour un rendement allant de 98% à 2A à 95% à 5A en mode d'onduleur. Le transformateur de type planar nécessaire à la structure DAB a été conçu pour être réalisé sur un PCB quatre couches. Il est dimensionné pour garantir de bonnes valeurs d'inductance magnétisante, d'inductance de fuite et de niveau d'isolation tout en offrant un bon rendement. L'assemblage de ces composants actifs et passifs est ensuite réalisé en utilisant, tout d'abord, des fils de bonding. Un banc de test de cette CE a été réalisé pour caractériser ces composants ainsi que le convertisseur global afin de comparer les résultats obtenus entre la conception et la pratique. Les résultats expérimentaux nous montrent que le rendement de chaque puce est de 93%, soit inférieur de 5 points à la valeur simulée, et que les pertes ajoutées par les fils de bonding sont estimées de 4,7 point de rendement bien qu'il existe encore une incertitude importante sur ces résultats liée aux moyens de mesure utilisés. Les pertes dans le transformateur sont limitées à 3 points de rendement du circuit. Le rendement maximal du convertisseur dans ce cas est de 86% pour 0,6A ce qui est inférieur à la valeur souhaitée. Cet abaissement du rendement est lié, en partie, à l'influence des résistances et des inductances parasites des connexions. Par exemple, il a été évalué que les résistances parasites de ces

connexions font abaisser de 11 points le rendement à 1,1A. De plus, les inductances parasites influencent négativement les formes d'ondes de la tension au primaire et secondaire du transformateur entraînant une réduction de la stabilité du convertisseur interdisant un fonctionnement au-delà de 1,1A.

Afin d'améliorer ce point la technologie de report par flip-chip est évaluée au quatrième chapitre. Dans ce quatrième chapitre, le processus d'assemblage des puces sur un substrat de PCB par la technologie flip-chip a été présenté. Cette technologie permet de réaliser des connexions présentant de faibles résistances et inductances parasites. L'intérêt d'utiliser cette technique de report, pour les performances électriques mais aussi thermiques de CE ont ensuite été montrés par simulation sous Cadence. Ces simulations ont prouvé que les effets des inductances parasites influent beaucoup sur les pertes de commutation du convertisseur et font abaisser le rendement de 1,5% à 7,7% pour des valeurs d'inductance variant de 4nH à 20nH (valeurs d'inductances atteintes pour des fils de bonding). Les résultats expérimentaux ont, quant à eux montré que le convertisseur fonctionne correctement grâce à la technologie flip-chip. En revanche, la plage de tension de sortie n'est que de 2,1 à 2,6V en raison du rendement de la CE qui est ici de 88% à 0,6A et de 78% en pleine charge. Ces rendements restent encore en deçà de nos espérances. Une explication de cette faible performance peut venir des difficultés rencontrées pour le report des puces par flip-chip. Aussi nous avons tenté d'évaluer les résistances des bumps et une première valeur a été mesurée à 10mΩ ce qui est de nature à faire baisser le rendement de 4,5 points à pleine charge. Toutefois, les caractérisations thermiques réalisées sur la CE en fonctionnement ont validé la conception du convertisseur. En effet, il présente une température maximale de 79°C au niveau des connectiques entre les puces et le substrat, pour une courant de 2A ce qui est inférieure à la température limite du fonctionnement.

Perspectives

Plusieurs perspectives peuvent être tirées de ce travail. Elles portent, pour certaines, sur les technologies de réalisation de la CE puis du CPP pour d'autres sur le concept même du CPP.

Tout d'abord si l'on considère le lien entre la CE et le CPP, se sont les actionneurs de configuration qui vont devoir être considérés. Il semble qu'une intégration conjointe avec les puces de puissance est à envisager afin, comme dit plus haut de pouvoir bénéficier d'une technologie commune pour, d'une part, la partie puissance qui pourrait être un mosfet, et, d'autre part, pour pouvoir intégrer les organes de commande de ces interrupteurs. Cette approche est parfaitement adaptée à la structure du CPP proposée ici. Bien sûr elle serait à revoir pour d'autres structures.

Concernant la CE, un travail important devra être fait sur les techniques d'interconnexion des puces. En effet, on l'a vu, même avec des résistances très faibles pour les bumps de l'ordre de 10mΩ, le rendement est insuffisant. Pour cela, la technique de soudure ultrasonique doit être utilisée. Toute la

difficulté sera de trouver les bons cycles thermiques ainsi que les bons paramètres sur l'énergie de packaging pour obtenir un bon contact électrique et thermique.

Pour réduire les inductances parasites, une des solutions possibles est de réduire la taille des pistes de cuivre assurant les connexions entre les composants. Toutefois, on l'a vu, on sera face à un compromis car, le refroidissement des puces demande une surface de cuivre conséquente. Malgré tout, il reste un degré de liberté car les dimensionnements proposés ici sont loin d'imposer une température importante aux puces (79°C). En effet, accepter une température dans les puces de 80°C à 90°C permettrait de réduire les pistes et donc la taille totale du convertisseur tout en réduisant les pertes.

Concernant maintenant le CPP, il serait nécessaire, dans un premier temps de reprendre l'algorithme de programmation en intégrant les chutes de tension créées par les pertes dans les CE. Toutefois, notons que si le rendement de la CE venait à s'améliorer, ceci serait moins critique.

Un travail plus amont qui devra inmanquablement être conduit concerne la régulation d'un ensemble aussi complexe qu'un R μ C. En effet, toutes les stratégies sont maintenant à inventer car ce système dispose d'un grand nombre de paramètres ajustables permettant de le contrôler. Rien que pour régler la tension de sortie, il est possible d'agir sur l'angle de déphasage θ de chaque CE ou sur le nombre de CE mises en série. De même, pour adapter le calibre en puissance du R μ C aux besoins de la charge il est possible de réduire le nombre de CE en fonctionnement. Dès lors, que faire des CE non utilisées ? Les garder en secours en cas de défaillance ? Soulager le fonctionnement de toutes les CE en intégrant un tour de rôle ? Ces deux stratégies vont certainement permettre d'augmenter la fiabilité de ces systèmes mais un travail important de caractérisation et de validation va être nécessaire pour valider ces approches.

En résumé, cette nouvelle approche de conception offre de très nombreuses perspectives tout d'abord sur la conception des convertisseurs de puissance car elle est de nature à modifier profondément les habitudes en la matière en éloignant le concepteur de la technologie elle devrait permettre une ouverture plus grande à la conversion de l'énergie et donc aux fonctions réalisées.

Ensuite sur la conception de ces éléments :

La CE tout d'abord, élément central du réseau et dont les performances fixent celles de l'ensemble mais aussi élément sur lequel il est possible de réaliser de très gros efforts de conception car il aura vocation à être produit en très grand nombre. Cela devrait permettre, là aussi, l'avènement de nouvelles technologies qui n'auraient pas pu être viables dans les approches de conception actuelles car trop onéreuses ou adressant des applications de niche. Le CPP ensuite pour lequel la structure proposée ici est un premier pas. Il devrait suivre la même trajectoire que les CPLD ou FPGA en offrant toujours plus de fonctionnalités et de souplesse de programmation.

REFERENCES BIBLIOGRAPHIQUES

Références bibliographiques

- [Aba03] M.T.Abakar, "Modélisation thermique des composants magnétiques utilisés en électronique de puissance" thèse de l'INSA Lyon, 2003
- [Ali10] Zoonubiya Ali and R.V Kshirsagar "Development of a CPLD based novel open loop stepper motor controller for high performance using VHDL", Intelligent Engineering Systems (INES), 2010 14th International Conference, p.p 307-312, 2010
- [ams] <http://www.ams.com/eng>
- [ams] <http://www.ams.com>
- [Ara04] M. Arab, E. Laboure, F. Costa, "Design of an integrated inductor-transformer LT component for power electronic applications" IEEE 35th Annual Power Electronics Specialists Conference, 2004
- [Ari82] H. Arikawa, "Quick-acting Micro-fuse" Patent No. 4,349,805, United States Patent, Sep. 1982.
- [Bai03] Bai, J.G., Guo-Quan Lu, Xingsheng Liu, "Flip-chip on flex integrated power electronics modules for high-density power integration," Advanced Packaging, IEEE Transactions on , vol.26, no.1, pp. 54- 59, Feb. 2003
- [Bai08] H. Bai, C. Mi, "Eliminate reactive power and increase system efficiency of isolated bidirectional dual-active-bridge dc-dc converters using novel dual-phase-shift control," IEEE Trans. on Power Electronics, Vol.23, No.6, Nov. 2008
- [Bal91] Baliga, B.J., "An overview of smart power technology," Electron Devices, IEEE Transactions on , vol.38, no.7, pp.1568-1575, Jul 1991
- [Bao08] Baoxing Chen, "Isolated half-bridge gate driver with integrated high-side supply," Power Electronics Specialists Conference, 2008. PESC 2008. IEEE , pp.3615-3618, 2008
- [Bar98] L Barsotti, P MERLE, JC CHEFTEL , "Traitement des aliments par champs électriques pulsés", Sciences des aliments, 1998
- [Ben08] L. Benini, G. De Micheli, "Networks on chips : a new SoC paradigm" IEEE transaction on computer, vol. 35, n°1, janvier 2008-11-20
- [Bin08] Binh Nguyen Dac. "Intégration fonctionnelle autour des composants quatre quadrants avec l'application à la conversion AC/AC", PhD thesis, INPG - G2Elab, 2008.
- [Bin08-1] D.B Nguyen, Y. Philibert, J. Créber, et C. Schaeffer, "Intégration Monolithique de l'Etage de Sortie de la Commande Rapprochée d'un Transistor VDMOS," EPF 2008 XIIème colloque Electronique de Puissance du Futur, Tours, France, Jul. 2008.
- [Brown] S. Brown, J. Rose "Architecture of FPGAs and CPLDs: A tutorial" Departement of Electrical and Computer Engineering, University of Toronto
- [Bru95] J. Brun, R. Salot, G. Poupon, H. Rouault, "Micro or Nano-electronics component comprising a power source and means for protecting the power source" Patent No. US2005/0001214 A1, United States Patent, Jan. 2005.
- [Cad] <http://www.cadence.com/solutions/dip/Pages/Default.aspx>
- [Cap09] Florence Capy, "Etude et conception d'un interrupteur de puissance monolithique à auto-commutation : le thyristor dual disjoncteur", thèse – Université Toulouse III - Université Paul Sabatier, 2009
- [Che01] H-M Cheng,Q-H Yang, C Liu "Hydrogen Storage in Carbon Nanotubes", sciencedirect, vol. 39, Issue 10, page 1447-1454, 2001 <http://www.sciencedirect.com/science/article/pii/S0008622305000308> - aff4
- [Che02] R Chen, "Volumetric optimal design of passive integrated power electronic module (IPEM) for distributed power system front-end DC/DC converter", Industry applications conference, vol 3, p. 1758-1765, 2002
- [Che07] Z.G. Chen, Y-H. Kim, "A New COP Bonding Using Non-conductive adhesives for LCDs Driver IC Packaging" ScienceDirect, Vol. 27, Issue 3, pp.130-135, July. 2007.

- [Cho09] Yongcheol Choi, Changki Jeon, Minsuk Kim « Design and Process Considerations for 1200V HVIC Technology » Power Semiconductor Devices & IC's, 2009. ISPSD 2009. 21st International Symposium on, pp. 311 – 314, June 2009.
- [Cho09] Yongcheol Choi, Changki Jeon, Minsuk Kim, "Design and process considerations for 1200V HVIC technology," ISPSD 2009. 21st International Symposium on , pp.311-314, 14-18 June 2009
- [Cmos] <http://comelec.enst.fr/tpsp/eni/poly/enich5.html>
- [Colostate] Lecture 27 « Basic magnetic's issues in transformers » www.engr.colostate.edu
- [Coo92] J.W. Cook, T.J. Evans, "Low Amperage Microfuse" Patent No. 5,097,246, United States Patent, Mar. 1992.
- [Cre06-1] Jean-Christophe Crébier. "Intégration Monolithique et composants de puissance. Habilitation à Diriger des Recherches - INPG - G2Elab, 2006.
- [Cre06-2] J. Crebier, B. NGuyen, L. Vincent, N. Rouger, L. Aubard, and C. Schaeffer, "Promotion d'une approche système dans l'intégration monolithique pour semi-conducteurs de puissance", In Electronique de Puissance du Futur - EPF, 2006.
- [Cre07] J. Crebier, B. NGuyen, L. Vincent, N. Rouger, L. Aubard, and C. Schaeffer, "Promotion d'une approche système dans l'intégration monolithique pour semi-conducteurs de puissance", Revue internationale de Génie Electrique, (ISBN : 2-7462-1961-1), 2007.
- [Dan06] Dang B. V., Y. Lembeye, J-P. Ferrieux, J. Barbaroux "New high power - high ratio non isolated DC-DC boost converter for Fuel cell applications", Power Electronics Specialists Conference, p.p 1-7, 2006
- [Dan09] Ha Dang Thai : Réseaux de micro-convertisseurs. Stage de master 2 recherche, LEG, Institut National Polytechnique de Grenoble, 2006.
- [Dan09a] Ha Dang Thai, "Réseaux de micro-convertisseurs" Thèse de doctorat, Institut Polytechnique de Grenoble, 2009.
- [DanT09] H. Dang Thai, O. Deleage, H. Chazal, Y. Lembeye, JC Crebier, "Design of Modular Converters: Survey and Introduction to Generic Approaches" IEEE - APEC, Washington, USA, Fevrier 15-19, 2009
- [DanT09-2] H. Dang Thai, J. Barbaroux, H. Chazal, Y. Lembeye, JC Crebier, G. Gruffat "Implementation and analysis Of large winding ratio transformers" IEEE - APEC, Washington, USA, Fevrier 15-19, 2009
- [Del08] O. Deleage, J. Crébier, Y. Lembeye, et R. Rolland, "Conception d'un onduleur CMOS avec commande intégrée pour micro-convertisseur DC/DC," EPF 2008 XIIème colloque Electronique de Puissance du Futur, Tours, France, Jul. 2008.
- [Del09] O. Deleage, « Conception, réalisation et mise en oeuvre d'un micro convertisseur intégré pour la conversion DC/DC », Thèse UJF octobre 2009.
- [Del09-2] O. Deleage, J.C. Crébier, M. Brunet, Y. Lembeye, M.H. Tran, "Design and realization of highly integrated isolated DC/DC micro-converter", IEEE ECCE 2009, 20-24 Sept. 2009 Page(s):3690 – 3697
- [Del09-3] O. Deleage, J.C. Crébier, Y. Lembeye, "Design and realization of autonomous power CMOS single phase inverter and rectifier for low power conditioning applications", EPE 2009, Barcelone, 8-10 Sept. 2009 Page(s):1 – 10
- [Dem08] Demetriades. G.D., Nee, H.-P., "Dynamic modeling of the Dual-Active Bridge topology for high-power applications", Power Electronics Specialists Conference, 2008. PESC 2008. IEEE , vol., no., pp.457-464, 15-19 June 2008
- [Dus08] B. Dushan, "IPEM-based Power Electronics System Integration", Integrated Power System Conference, p. 1-10, 2008
- [Extra] <http://extra.ivf.se/ngl/b-flip-chip/ChapterB1.htm>
- [Fan02] X. Fan, Haque. S, "Emerging MOSFET packaging technologies and there thermal evaluation" thermal and thermalmechanical phenomena in electronic systems, IThERM 2002. the Eighth intersociety conference on, pp 1102 – 1108, 2002
- [Fas07] A. Fasquelle « Contribution à modélisation multi-physique : électro-vibro-acoustique et aérothermique de machines de traction » thèse de l'Ecole Centrale de Lille, 2007

- [Fer99] Jean-Paul Ferrieux et François Forest : Alimentations à découpage, Convertisseurs à résonance. 3è édition, livre, 1999.
- [Ferro] <http://www.ferroxcube.com/>
- [Fil03] R.Fillon, E.Delgado, P.MacConnelee, R.Beaupre, "A high performance polymer thin film power electronics packaging technology", *Advancing microelectronics*, Vol. 28, No3, September October 2003.
- [flip-chip] "Interconnect resistance characteristics of several flip-chip bumping and assembly techniques" in *Microelectronics Reliability*, Vol. 39, Issue 1, pp.113-121, Jan. 1998
- [flipchip] "Interconnect resistance characteristics of several flip-chip bumping and assembly techniques" in *Microelectronics Reliability*, Vol. 39, Issue 1, pp.113-121, Jan. 1998
- [For07] Forest, F. Meynard, T. A. Laboure, E. Costan, V. Sarraute, E. Cuniere, A. Martire, T. "Optimization of the Supply Voltage System in Interleaved Converters Using Intercell Transformers" *IEEE Transactions on Power Electronics*, May 2007 Volume: 22, Issue: 3
- [fpga] http://www.fpga-guide.com/architecture_frame.html
- [G2-1] B. Destraz, Y. Louvrier, A. Rufer "High efficiency interleaved multi-channel DC/DC converter dedicated to mobile application" *IEEE – IAS* octobre 2006
- [Gay95] M.A. Gaynes, R.H. Lewis, R.S. Saraf, J.M. Roldan, "Evaluations of Contact Resistance for Isotropic Electrically Conductive Adhesives" in *IEEE Transactions on Components, Packaging and Manufacturing Technology*, Vol. 18, Issue 2, pp.299-304, May. 1995
- [Geo10] George A. Riley, "Stud bump Flip chip", flipchip.com, 12/2010.
- [Ger04-1] M Gerber, J.A. Feirrerera, I.W. Hofsjajer, N. Seliger "Interleaving optimisation in synchronous rectified DC-DC converters" *IEEE – PESC* 2004
- [Gir04-2] Ramesh Giri, Raja Ayyanar, et E. Ledezma, "Input-series and output-series connected modular DC-DC converters with active input voltage and output voltage sharing," *Applied Power Electronics Conference and Exposition, 2004. APEC '04. Nineteenth Annual IEEE, 2004*, pp. 1751-1756 Vol.3.
- [Gir06] R. Giri, V. Choudhary, R. Ayyanar, et N. Mohan, "Common-duty-ratio control of input-series connected modular DC-DC converters with active input voltage and load-current sharing," *Industry Applications, IEEE Transactions on*, vol. 42, 2006, pp. 1101-1111.
- [Gre94] M.A. Gretillat, P. Thiebaud, N. F. de Rooij, C. Linder "The Principle of an Electrostatic Linear Actuator Manufactured by Silicon Micromachining" in *Micro Electro Mechanical Systems*, pp. 97 – 101, Jan. 1994.
- [Gui10] G. Guidi; M. Pavlovsky; A. Kawamura; T. Imakubo; Y. Sasaki, "Efficiency optimization of dual-active-bridge dc-dc converters" *proc. of ECCE Asia 2010 (IPEC)*, Sapporo, Japan, 2010.
- [Has00] K. Joe Hass, David F. Cox, "Level Shifting Interfaces for Low Voltage Logic » 9th NASA Symposium on VLSI Design 2000
- [Has04] Md Hasanuzzaman, Syed K.Islam, Leon M.Tolbert, Mohammad T. Alam "Temperature dependent of Mosfet Devices characteristics in 4H ang 6H silicon carbide (SiC)", 2004 Scienccedirect.com
- [Hay03] Z. Hayashi, "High-efficiency DC-DC converter chip size module with integrated soft ferrite", *IEEE Trans. Magn.*, Vol. 39, No. 5, 2003.
- [Her02] Herzer, R.; Pawel, S.; Lehmann, J., "IGBT driver chipset for high power applications" *Power Semiconductor Devices and ICs, 2002. Proceedings of the 14th International Symposium on*, pp. 161- 164
- [http] <http://www.microchip.com/>
- [Hua07] Y. Huang, Chi K. Tse, "Circuit Theoretic Classification of Parallel Connected DC–DC Converters" *Industry Applications, IEEE Transactions on*, vol. 54, 2007, pp. 1099-1108.
- [Hui99] Hui, S.Y; Henry Shu-Hung Chung; Tang, S.C, "Coreless printed circuit board (PCB) transformers for power MOSFET/IGBT gate drive circuits," *Power Electronics, IEEE Transactions on* , vol.14, no.3, pp.422-430, May 1999

- [Hul12] JJ. Hulselstein, E. Sarraute, F. Richardeau, T. Martire, « Convertisseur Statique avec Structure Redondante », Brevet international, N° WO 2012/004488 A1, 2012
<http://www.sciencedirect.com/science/article/pii/S0008622305000308> - aff4
- [Inject] <http://www.injectorall.com/techsheetFR4.htm>
- [Inrets] <http://www.inrets.fr/ur/ltn/poles/energie/pdderdsidp.htm>
- [Jai08] Amit Kumar Jain, Raja Ayyanar, “PWM control of Dual Active Bridge: comprehensive analysis and experimental verification” Industrial Electronics, 2008.IECON , 34th annual conference of IEEE, 2008, pp. 909 - 915
- [Jol07] Jean Joly “Conception des cartes pour ordinateurs. Partie2” techniques ingénieur, Août, 2007
- [Kat00] Y. Katayama et al, High-power-density MHz-switching monolithic DC-DC converter with thin-film inductor, Proc. IEEE Power Electronics Specialists Conf., vol. 3, p. 1485-1490, 2000.
- [Khe91] M.H. Kheraluwala, R. W. DeDoncker, D. M. Divan, “Power conversion apparatus for dc-dc conversion using dual active bridges”, U.S patent, patent number 5,027,264, June 1991.
- [Khe92] M.H. Kheraluwala; R. W. DeDoncker, D. M. Divan, “Performance characterization of a high-power Dual-Active Bridge dc-to-dc converter”, IEEE Transc. on power electronics, Vol. 28, No. 6 November/December 1992
- [Kim02] K. H. Kim et al., A megahertz switching DC/DC converter using FeBN thin film inductor, IEEE Trans. Magn., vol. 38, no. 5, p. 3162-3164, 2002.
- [Kri06] F. Krismer; S. Round; and J. W. Kolar, “Performance Optimization of a High Current Dual Active Bridge with a Wide Operating Voltage Range,” in 37th IEEE Power Electronics Specialists Conference, 2006. PESC '06, 2006, pp. 1-7
- [Kur05] D. Kurra, Dr. Delalic, Lee Levine “Gold Stud bumped Flip chip: Surface Mounting and Joint Integrity with Thermal cycling” Department of Electrical and Computer Engineering, Temple University, 2005
- [Lac00] Etienne du Trémolet de Lacheisserie « Magnétisme : Matériaux et Application » Livre du Ministère de l'éducation nationale de la recherche et de la technologie, 2000
- [Lai10] LAI Dac Kien “Contribution à l'Optimisation du Dimensionnement de Composants Passifs Intégrés pour l'Electronique de Puissance" Thèse de doctorat, Institut Polytechnique de Grenoble, 2010.
- [Lau95] J. H. Lau, “Flip chip technologies” New York : McGraw Hill, 1995.
- [Leb05] R. Lebourgeois "Ferrite doux pour l'électronique de puissance", Techniques de l'Ingénieur, 2005.
- [Led07] P. Leduc, F. De Crecy, M. Fayolle "Challenges for 3D integration : bonding quality and thermal management" ITTC, 2007
- [Lefr05] P. Lefrance, “Etudes, conception et réalisation de circuits de commande d'IGBT de forte puissance”, thèse de l'Institut National des Sciences Appliquées de Lyon, 2005
- [Lem05] Y. Lembeye, P. Goubier, J.P. Ferrieux "Integrated Planar L-C-T Component: Design, Characterisation and Experimental Efficiency Analysis" Special Issue of IEEE Transactions on Power Electronics on Integrated Power Electronics. Mai 2005, Vol 20 N°3, pp 593-599.
- [Li10] P. Li, X. Lin, D. Bhatia, R. Bashirullah, “Digitally assisted discontinuous conduction mode 5V/100MHz and 10/45MHz DC/DC boost converter with integrated schottky diodes in standard 0.13µm CMOS”, Solid-State Circuits Conference, p. 206-207, 2010.
- [Lin07] Linbing Wang et Xiangning He, “Input- Series and Output- Parallel Connection Modular DC-DC Converters with Interleaved Constant Duty Cycle Control Strategy” Industrial Electronics Society, 2007. IECON 2007. 33rd Annual Conference of the IEEE, 2007, pp. 1901-1906.
- [Liu00] Xingsheng Liu, Guo-Quan Lu, “Power chip interconnection: from Wirebonding to Area bonding” IMAP 2000, international symposium on microelectronics, Boston MA 2000, vol. 4399, pp 264-269.

- [Mac02] B. McCarthy, G. G. Adams, N. E. McGruer, D. Potter, "A Dynamic Model, Including Contact Bounce, of an Electrostatically Actuated Microswitch" in *Journal of Microelectromechanical Systems*, Vol.11, No. 3, pp.276 – 283, Jun. 2002.
- [Mar01] P. Marmillion, A.M. Palagonia, D.A. Schmidt, "Micro fusible link for semiconductor devices and method of manufacture" Patent No.: US 6,333,546 B1, United States Patent, Dec. 2001.
- [Mar09] C.Martin, JJ.Rousseau, D.Allesem, L.Ménager, V.Bley, B.Allard, D.Tournier, M.Soueidan, JY.Lembeye, "Planar inductors for high frequency DC-DC converters using microwave magnetic material", ECCE, 20-24 september 2009, San Jose, California.
- [Mar09] X.Margueron, J-P.Keradec, H.Stéphan "Le Courant de Circulation dans les Conducteurs en Parallèle : Influence dans un Transformateur Planar" Version 1, Fer 2009.
- [Mar12] Marcq Fabien, "Elaboration, caractérisation et vieillissement d'adhésifs conducteurs hybrides époxy / microparticules d'argent / nanotubes de carbone", thèse de l'Université Paul Sabatier, Mars 2012.
- [Mas08] T. El Mastouli, J-P. Laur, J-L. Sanchez, M. Brunet, D. Bourrier, M. Dilhan, J-F. Bobo, "CoNiFe applied in microinductors for integrated dc-dc converters", IEEE International Magnetics Conference (INTERMAG 2008), Madrid (Espagne), 4-8 Mai 2008, 2p.
- [Maz09] Mazumder, S.K., Sarkar, T., "Optically-activated gate control of power semiconductor device switching dynamics," ISPSD 2009. 21st International Symposium on pp.152-155, 14-18 June 2009
- [MiCoNet2] <http://www.agence-nationale-recherche.fr>
- [microchip] <http://www.microchip.com/>
- [Mit05] Radoslava Mitova, "Intégration de l'alimentation de la commande rapprochée d'un interrupteur de puissance à potentiel flottant", PhD thesis, INPG - G2Elab, 2005.
- [Muller] D. Muller « Conception des circuits imprimés » sebastien.bernard.free.fr
- [Mus05] S. Musunuri, "Design Issues for monolithic DC-DC converters", IEEE Transactions on power electronics, vol. 20, no. 3, p. 639, 2005.
- [Ogg09] G. G. Oggier; G. O. García; and A. R. Oliva, "Switching Control Strategy to Minimize Dual Active Bridge Converter Losses," IEEE Transactions on Power Electronics, vol. 24, no. 7, pp. 1826-1838, Jul. 2009.
- [Oni07] K. Onizuka et al., Stacked-chip implementation of on-chip buck converter for distributed power supply system in SiPs, IEEE journal of solid-state circuits, vol. 42, No. 11, 2007.
- [Pal09] L. Palma et P. Enjeti, "A Modular Fuel Cell, Modular DC-DC Converter Concept for High Performance and Enhanced Reliability," Power Electronics, IEEE Transactions on, vol. 24, 2009, pp. 1437-1443.
- [Pez95] R. Pezzani, J-B Quoirin, "Functional integration of power devices: a new approach", EPE95, Seville (Spain), pp 2.219-2.222
- [Poe89] K. Poerschke, K. Stark, B. Frochte, "Electrical Fuse and method for its production" Patent No. 4,862,134, United States Patent, Aug. 1989.
- [Pop00] Stefan Popescu, "Hardware Implementation of Fast Neural Networks Using CPLD" in *Neural Network Applications in Electrical Engineering*, 2000. NEUREL 2000. Proceedings of the 5th Seminar on, p.p 121 – 124, 2000
- [Pou08] G. Poupon "Packaging avancé sur silicium" EGEM électronique et micro-électronique, Hermes, Lavoisier 2008
- [Reb03] G. M. Rebeiz, "RF MEMS Switches : Status of the Technologie", the 12th International Conference on Solid State Sensors, Actuators and Microsystems, p.p 1726-1729, 2003.
- [Red11] Joel Redoutey « Circuits hybrides de puissance », Centrale Marseille, 2011.
- [Rez11] I. Rezaei, M. Akhbari, « Transformerless hybrid buck converter with wide conversion ratio », Power Electronics, Drive Systems and Technologies Conference, p. 599-603, 2011

- [Ric07] Riccardi, D.; Causio, A.; Filippi, I.; Paleari, A.; Pregolato, L.V.A.; Galbiati, P.; Contiero, C, "BCD8 from 7V to 70V: a new 0.18 μ m Technology Platform to Address the Evolution of Applications towards Smart Power ICs with High Logic Contents," Power Semiconductor Devices and IC's, 2007. ISPSD '07. 19th International Symposium on , vol., no., pp.73-76, 27-31 May 2007
- [Rob00] F. Robert "Modélisation et simulation de transformateurs pour alimentation à découpage" thèse de l'Université Libre de Bruxelles, 2000
- [Ros96] B. Rosner, J. Liu, Z. Lai, "Flipchip Bonding Using Isotropically Conductive Adhesives" in Electronic Components and Technology Conference 1996, pp.578-581, May. 1996
- [Rou02] M. Rouan, J. Shen, C. Wheeler, "Optical MEMS Switching Array with Embedded Beam-Confining Channels and Method of Operating Same" Patent No. US2002/0021860 A1, United States Patent, Feb. 2002.
- [Rou04] M. Rouan, J. Shen, C. Wheeler, "Electronically Latching Micro-magnetic Switch and Method of Operating Same" Patent No. US2004/0013346 A1, United States Patent, Jan. 2004.
- [Sak89] M. Sakata, "An Electrostatic Microactuator for Electro- Mechanical Relay", Proc. IEEE MEMS Workshop 89, Salt Lake City, Utah 1989, pp. 149-151
- [San95] Jean-Louis Sanchez, "Intégration fonctionnelle de composants de puissance : principes et technologie", Habilitation à Diriger des Recherches - LAAS - Université Paul Sabatier, 1995.
- [Schneider] schneider electric «pertes supplémentaires dans les conducteurs pour forte intensité par l'effet de peau et de proximité » cahier technique n°83
- [She06] J. Shen, P. S. Godavarti "Packaging of Micro Magnetics Switch with a Patterned Permanent Magnet" Patent No. US2006/0055491 A1, United States Patent, Mar. 2006.
- [She08] J. Shen, M. Rouan, "Micro Magnetic Latching Switched and Method of Making Same" Patent No. US 7,391,290 B2, United States Patent, Jun. 2008.
- [Sim11] Timothé Simonot, « Conception et hybridation de l'environnement électronique des composants de puissance à structure verticale ». PhD thesis, INPG - G2Elab, 2011.
- [Sir07] K. Siri et M. Willhoff, "Uniform Current/Voltage-Sharing for Interconnected DC-DC Converters," Aerospace Conference, 2007 IEEE, 2007, pp. 1-17.
- [Suss] <http://www.suss.com/>
- [Sys96] System plus S.A, "Evolution des technologies d'interconnexion des composants" Mai 1996.
- [Tum06] Rao R. Tummala, Packaging: Past, Present and Future, IEEE. 2005 6th International Conference on Electronic Packaging Technology
- [Tum95] R. R. Tummala, E. J. Rymaszewski, A. G. Klopfenstein, "Micro electronics packaging handbook" New York: chapman & Hall, 1995.
- [Uch89] Y. Uchida, "Semiconductor devices with programmable fuse" Patent No.4,814,853, United States Patent, Mar. 1989.
- [Uni] <http://www.unitemp.de/>
- [Vag09] E. Vagnon, Y. Avenas, J. Crébier, P. Jeannin, I.A. Batta, et A. Besri, "Electrical Characterization of a Pressed Contact Between a Power Chip and a Metal Electrode" Instrumentation and Measurement Technology Conference, 2009. I2MTC '09. IEEE May 2009 Page(s):1738 - 1743.
- [Vag10] Vagnon. E, "Solutions innovantes pour le packaging de convertisseurs statiques polyphasés », thèse de l'Institut Polytechnique de Grenoble, Mars 2010.
- [Vig10] Stéphane Vighetti, "Systèmes photovoltaïques raccordés au réseau : Choix et dimensionnement des étages de conversion", Thèse de doctorat, Institut Polytechnique de Grenoble, 2010.
- [Vin08] Courtecuisse Vincent, "Supervision d'une centrale multisources à base d'éoliennes et de stockage d'énergie connectée au réseau électrique", Thèse en Génie électrique, L2EP, Paristech, 2008

- [Vix05] C. Vix-Guterl, E. Frackowiak, K. Jurewicz, M. Friebe, J. Parmentier, F. Béguin "Electrochemical Energy Storage in ordered porous carbon materials" sciencedirect, vol. 43, Issue 6 page 1293-1302, 2005
- [Waf05] E Waffenschmidt, B. Ackermann; J.A. Ferreira "Design Method and Material Technologies for Passive in Pinned Circuit Board Embedded Circuits" IEEE TRANSACTIONS ON POWER ELECTRONICS, VOL. 20, NO. 3, MAY 2005
- [Wan98] K. Wang; C.Y. Lin; L. Zhu, D. Qu; F.C. Lee, J.S. Lai, "Bi-directional dc-dc converters for fuel cell systems," Proc. IEEE Power Electronics in Transportation, pp. 47-52, Oct. 1998
- [Wib07] J. Wibben and R. Harjani, "A high efficiency DC-DC converter using 2 nH on-chip inductors", Symposium on VLSI Circuits Digest of Technical Papers, p. 22-23, 2007
- [Wiki-pld] http://en.wikipedia.org/wiki/Programmable_logic_device
- [Wyk05] van Wyk, J.D. Lee, F.C. Zhenxian L. Rengang C. Shuo W. Bing L. "Integrating active, passive and EMI-filter functions in power electronics systems: a case study of some technologies" IEEE Transactions on Power Electronics, May 2005 Volume: 20, Issue: 3 IEEE Power Electronics Specialists Conference PESC, Jeju, Korea, Juin 18 - 22, 2006.
- [Wyk05-2] van Wyk, J.D. Lee, F.C. Zhenxian L. Rengang C. Shuo W. Bing L. "Integrating active, passive and EMI-filter functions in power electronics systems: a case study of some technologies" IEEE Transactions on Power Electronics, May 2005 Volume: 20, Issue: 3 IEEE Power Electronics Specialists Conference PESC, Jeju, Korea, Juin 18 - 22, 2006.
- [Xia02] Xiao, Y.; Natarajan, R.; Chow, T.P.; Rymaszewski, E.J.; Gutmann, R.J.; , "Flip-chip flex-circuit packaging for 42 V/16 A integrated power electronics module applications," Applied Power Electronics Conference and Exposition, 2002. APEC 2002. Seventeenth Annual IEEE , vol.1, pp.21-26 vol.1, 2002
- [Xu99] Jianping Xu, Xiaohong Cao, Qianchao Luo, "An improved twotransistor forward converter," Proceedings of the IEEE 1999 International Conference on Power Electronics and Drive Systems. 1999, pp 225 -228.
- [Yao96] J. J. Yao, "Micro Electromechanical RF Switch" Patent No. 5,578,976, United States Patent, Nov. 1996.
- [Yeo01] T-W. Yeow, K. L. Eddie Law, A. Goldenberg, "MEMS Optical Switches" in IEEE Communication Magazine, pp.158 – 163, Nov. 2001.
- [Yeo02] P-D. Dobbelaere, K. Fanta, L. Fan, S. Gloeckner, S. Patra "Digital MEMS for Optical Switching" in IEEE Communication Magazine, pp.88 – 95, Mar. 2002.
- [Yos05] Yoshihiko Imanaka "Multilayered Low Temperature Cofired Ceramics" livre, 2005
- [Zha07] X. Zhang, A. Huang "Monolithic/Modularized Voltage Regulator Channel" IEEE Transactions on Power Electronics, Vol. 22, No. 4, July 2007
- [Zha98] Michael T.Zhang,Milan M.Jovanovic,Fred C.Y.Lee, "Analysis and Evaluation of Interleaving Techniques in Forward Converters", IEEE Transaction on PE. 1998, 13(4): 690-698.
- [Zhe04] Zhenxian Liang; van Wyk, J.D.; Lee, F.C.; Boroyevich, D.; Scott, E.P.; Zhou Chen; Yingfeng Pang; , "Integrated packaging of a 1 kW switching module using a novel planar integration technology," Power Electronics, IEEE Transactions on , vol.19, no.1, pp. 242- 250, Jan. 2004
- [Zilic] Z. Zilic, G. Lemieux, K. Loveless, S. Brown, and Z. Vranesic "Design for high speed-performance in CPLDs and FPGAs" Departement of Electrical and Computer Engineering, University of Toronto

