



HAL
open science

Etude de la variabilité en technologie FDSOI : du transistor aux cellules mémoires SRAM

Jérôme Mazurier

► **To cite this version:**

Jérôme Mazurier. Etude de la variabilité en technologie FDSOI : du transistor aux cellules mémoires SRAM. Autre. Université de Grenoble, 2012. Français. <NNT : 2012GRENT058>. <tel-00845680>

HAL Id: tel-00845680

<https://theses.hal.science/tel-00845680v1>

Submitted on 17 Jul 2013

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire HAL, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



HAL Authorization

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **Nano Électronique et Nano Technologies**

Arrêté ministériel : 7 août 2006

Présentée par

Jérôme MAZURIER

Thèse dirigée par **Marc BELLEVILLE** et
codirigée par **Olivier WEBER**

préparée au sein du **CEA LETI**
dans l'**École Doctorale Electronique, Electrotechnique,
Automatique et Traitement du Signal**

Etude de la variabilité en technologie FDSOI : du transistor aux cellules mémoires SRAM

Thèse soutenue publiquement le 24 octobre 2012,
devant le jury composé de :

Monsieur, Gérard, GHIBAUDO

Directeur de recherche à l'IMEP-LAHC (Président)

Monsieur, Amara, AMARA

Professeur à l'ISEP (Rapporteur)

Monsieur, Jean Luc, AUTRAN

Professeur à l'Université d'Aix Marseille (Rapporteur)

Monsieur, Marc, BELLEVILLE

Directeur de recherche au CEA LETI (Directeur de thèse)

Monsieur, Olivier, WEBER

Ingénieur de recherche au CEA LETI (Co-encadrant)

Monsieur, Michel, HAOND

Directeur technique à STMicroelectronics (Membre)

Monsieur, Liviu, MILITARU

Maître de conférences à l'INSA de Lyon (Membre)



« La statistique est moins une science qu'un art. Elle est la poésie des nombres.
Chacun y trouve ce qu'il y met. »

Albert BRIE, Le mot du silencieux (L'hiver nous fait suer), Le Devoir

Remerciements

Cette thèse a été réalisée au Commissariat à l'Énergie Atomique et aux Énergies Alternatives (CEA) de Grenoble, au sein du Laboratoire d'Électronique de Technologie de l'Information (LETI), dans le Département des Composants Silicium (DCOS) et dans le Laboratoire des Dispositifs Innovants (LDI), dirigé successivement par Olivier Faynot et Thierry Poiroux. Je les remercie tous les deux pour m'avoir accueilli au LDI.

Les résultats présentés dans ce manuscrit sont le fruit d'une étroite collaboration avec les entreprises de STMicroelectronics à Crolles, de SOITEC à Bernin et finalement de IBM à Albany (États-Unis).

J'adresse mes remerciements à l'ensemble des membres du jury pour avoir pris le temps d'évaluer ce travail. Merci à Gérard Ghibaudo, Directeur de l'IMEP-LAHC d'avoir présider mon jury. Merci à Jean-Luc Autran, Professeur à l'Université d'Aix-Marseille et à Amara Amara, Directeur de la recherche à l'ISEP, pour m'avoir fait l'honneur d'être les rapporteurs de cette étude. Merci enfin à Michel Haond et Liviu Militaru pour avoir accepté d'examiner mon travail.

J'exprime toute ma reconnaissance à mon directeur de thèse, Marc Belleville, pour sa disponibilité et son implication tout au long de ces trois années de thèse. Il a apporté à mes recherches le regard du concepteur, indispensable lors du développement d'une technologie en microélectronique, en plus du point de vue du technologue qui lui m'a été inculqué par mes collègues de laboratoire.

Je tiens à remercier Olivier Weber pour son aide et son soutien en tant qu'encadrent. Tes nombreuses connaissances scientifiques ont permis de me guider durant ces trois années, sans jamais montrer un signe de faiblesse. Je suis honoré d'avoir pu être ton premier thésard. Enfin, merci de m'avoir épaulé lors des deadlines, jusqu'à peaufiner les derniers détails à des heures relativement déraisonnables. J'en profite également pour témoigner ma reconnaissance envers François Andrieu qui aura toujours pris le temps pour m'aider, notamment suite au départ d'Olivier pour le site de Crolles. Tes conseils ont été extrêmement bénéfiques lors de l'accomplissement de cette thèse.

Je souhaite remercier Claude Tabone, maître du SIAM 5 (après Georges, bien sûr), qui m'aura enseigné toutes les manipulations permettant de caractériser les transistors. Merci également pour m'avoir aidé de nombreuses fois dans l'analyse électrique des lots. Enfin, un grand merci pour ton optimisme inébranlable (le célèbre « Tout va bien ») et ton enthousiasme lors de l'analyse des courbes de rendement...

Je tiens maintenant à remercier tout particulièrement Fabienne Allain et Alain Toffoli pour tout le temps qu'ils m'ont consacré, ainsi que pour m'avoir donné l'opportunité de tester de manière automatisée une quantité astronomique de dispositifs, me permettant ainsi d'étudier en détail la variabilité en technologie FDSOI. Merci également à Rabah Kies et Giovanni Romano pour avoir eu l'occasion de lancer des tests pour moi. Voici quelques chiffres permettant d'illustrer ce travail de caractérisation électrique. Ces trois années de thèse se sont traduites par l'étude de 30 lots électriques (soit 212 plaques), représentant un total de 2.154.888 transistors mesurés, obtenus grâce à 4275 heures de test. Record battu !

Cependant, tous ces dispositifs n'auraient pas pu voir le jour sans le travail du personnel des salles blanches du LETI et de STMicroelectronics, ainsi que des techniciens filière responsables du

suivi quotidien des lots. Je remercie donc Lucie Tosti, Laurent Brevard et Pierre Perreau pour toute l'aide qu'ils m'ont apportée.

J'adresse également mes remerciements à Marie-Anne Jaud et Olivier Rozeau pour avoir toujours pris le temps de me conseiller lors des périodes de doute, ainsi que pour m'avoir formé respectivement en TCAD et en modélisation compacte.

Merci à Maryline Cordeau et Nicolas Chevalier pour le temps qu'ils m'ont consacré dans l'acquisition et l'analyse des mesures AFM.

Je souhaite remercier les différentes personnes du LETI avec qui j'ai eu l'occasion de travailler durant cette thèse (Thierry Poiroux, Georges Guegan, Bernard Previtali, Cyrille Le Royer, Krunoslav Romanjek, Mikaël Cassé, Xavier Garros, Maud Vinet, Perrine Batude, Sylvain Barraud, Thomas, Ernst, Romain Wacquez, Phuong Nguyen, Claire Fenouillet-Beranger, Yves Morand, Olivier Thomas, Laurent Grenouillet), celles de ST (Frédéric Bœuf, Nicolas Planes, Michel Haond, Franck Arnaud, Aurélie Bajolet, ...) et celles de SOITEC (Walter Schwarzenbach, Nicolas Daval, Bich-Yen Nguyen, Konstantin Bourdelle, Pablo-Eduardo Acosta-Alba ...).

Merci évidemment à tous les stagiaires et thésards que j'ai vu passer : Alexandre Hubert, Sophie Baudot, Kiichi Tachi, Lia Masero, Marine Gasulla, Siméon Morvan, Gabriele Navarro, Anthony Villalon, Heimanu Niebojewski, Cuiqin Xu, Veeresh Deshpande, Mylène Clavel, Louis Hutin, Jean-Paul Mazellier, Manan Suri, Matthieu Berthome, Jean-Philippe Noel, et bien d'autres.

Pour finir, merci à ma famille et à mes amis pour m'avoir soutenu durant ces trois années.

Table des matières

REMERCIEMENTS	4
TABLE DES MATIERES	6
LISTE DES ACRONYMES	9
INTRODUCTION GENERALE	13
CHAPITRE 1	16
PRESENTATION DE LA TECHNOLOGIE METAL-OXYDE-SEMICONDUCTEUR ET DE LA PROBLEMATIQUE DE LA VARIABILITE POUR LE NŒUD TECHNOLOGIQUE 32NM ET EN DEÇA	16
1.1. Introduction	17
1.2. Technologie des transistors MOS à effet de champ	17
1.2.1. Le transistor MOS : principe et régimes de fonctionnement	17
1.2.1.a. Principe de fonctionnement et architecture.....	17
1.2.1.b. Régimes de fonctionnement	19
1.2.2. Effets de canaux courts et abaissement de la barrière de conduction induite par le drain.....	22
1.3. Amélioration des performances grâce à la technologie FDSOI	22
1.3.1. Présentation de la technologie SOI.....	22
1.3.2. Architecture et procédés de fabrication des transistors FDSOI.....	24
1.3.3. Améliorations obtenues grâce à l'utilisation d'un film de silicium et d'un oxyde enterré minces avec back-plane.....	25
1.4. La problématique de la variabilité en microélectronique.....	30
1.4.1. Variabilité systématique.....	30
1.4.2. Variabilité stochastique.....	31
1.4.3. Impact de la variabilité sur les circuits	31
1.4.3.a. Cellule mémoire SRAM	32
1.4.3.b. Circuits analogiques	33
1.4.4. Sources de variabilité stochastique du V_T en technologie FDSOI.....	34
1.4.4.a. Influence des dopants dans le canal de conduction	34
1.4.4.b. Sources liées aux effets de canaux courts.....	37
1.4.4.c. Contribution de l'empilement de grille	37
1.4.4.d. Sources spécifiques à la technologie FDSOI	39
1.5. Conclusion	41
1.6. Références bibliographiques	42
CHAPITRE 2	48
ETUDE EXPERIMENTALE DE LA VARIABILITE DE LA TENSION DE SEUIL EN TECHNOLOGIE FDSOI	48
2.1. Introduction	49
2.2. Variabilité de la tension de seuil en technologie UTBB	50
2.2.1. Modulation de la tension de seuil par polarisation du BP.....	50
2.2.2. Influence de l'oxyde enterré mince et de l'implantation des BP sur l'appariement des transistors.....	50
2.3. Modulation de la tension de seuil par l'empilement de grille et impact sur la variabilité.....	52
2.4. Utilisation de substrats sSOI à film mince contraint.....	54
2.5. Conclusion	55
2.6. Références bibliographiques	56

CHAPITRE 3	59
ETUDE DE LA VARIABILITE DES CARACTERISTIQUES ELECTRIQUES SNM ET WM DE CELLULES MEMOIRES SRAM EN TECHNOLOGIE FDSOI	59
3.1. Introduction	60
3.2. Figures de mérite des cellules mémoires SRAM.....	60
3.2.1. Fonctionnement de la cellule mémoire	60
3.2.2. Mesure de la variabilité de la stabilité en lecture et en écriture.....	63
3.3. Impact de la polarisation des BP sur la variabilité des cellules SRAM.....	64
3.4. Corrélations entre les caractéristiques électriques de transistors MOS et de cellules mémoires SRAM	66
3.5. Modèle analytique de variabilité de la SNM.....	69
3.6. Modélisation compacte de cellules mémoires SRAM	73
3.7. Conclusion	74
3.8. Références bibliographiques	74
CHAPITRE 4	77
ETUDE EXPERIMENTALE DE LA VARIABILITE DU COURANT DE DRAIN EN TECHNOLOGIE FDSOI	77
4.1. Introduction	78
4.2. Mesures expérimentales de la variabilité du courant de drain.....	78
4.3. Etude des corrélations existantes entre les différentes caractéristiques électriques du transistor MOS.....	80
4.4. Facteurs technologiques limitant la variabilité du courant de drain	82
4.5. Conclusion	84
4.6. Références bibliographiques	85
CHAPITRE 5	86
IMPACT DE L'UNIFORMITE DU FILM DE SILICIUM SUR LA VARIABILITE DES TRANSISTORS MOS ET DES CIRCUITS SRAM	86
5.1. Introduction	87
5.2. Analyse expérimentale de la variabilité du V_T sur des transistors FDSOI ayant un film de silicium mince.....	87
5.3. Etude TCAD de la dérivée dV_T/dT_{Si} : dépendance avec la position du barycentre de porteurs dans le canal.....	91
5.4. Développement d'un modèle analytique basé sur des mesures AFM	95
5.5. Influence des fluctuations de T_{Si} sur la variabilité globale des transistors et des circuits mémoires SRAM	103
5.5.1. Transistors nMOS (canal Si) et pMOS (canal SiGe)	103
5.5.1.a. Géométrie nominale ($L=20nm/W=165nm$)	104
5.5.1.b. Dispositifs pour les circuits analogiques ($L=W=5\mu m$)	107
5.5.1.c. Influence de la rugosité RMS sur la variabilité globale	109
5.5.2. Circuit SRAM de 200Mb	110
5.6. Conclusion	112
5.7. Références bibliographiques	113
CONCLUSION GENERALE	116
ANNEXE A	120
A.1. Structures de test	120
A.2. Distribution gaussienne	121
A.2.1. Moyenne et écart type	121
A.2.2. Test du khi-deux.....	121
A.3. Filtrage de données	123
A.4. Intervalle de confiance.....	123
A.5. Critère d'invalidité de la variabilité systématique.....	124

A.6. Méthodes d'extraction de la tension de seuil	125
A.7. Reproductibilité de la méthode.....	126
A.8. Précision de la mesure	127
ANNEXE B.....	128
BIBLIOGRAPHIE GENERALE.....	132
LISTE DES PUBLICATIONS.....	145
RESUME.....	148
ABSTRACT.....	148

Liste des acronymes

A

AC	Transistors nMOS d'accès (SRAM)
AFM	Microscopie à Force Atomique
$A_{\Delta VT}$	Paramètre d'appariement de la tension de seuil

B

<i>Band-gap</i>	Largeur de la bande interdite (=1.11eV à 300K, c'est-à-dire environ 27°C)
BL_L/BL_R	Lignes de bit dans les matrices SRAM (<i>Bit-Line</i>)
BOX	Oxyde enterré
BP	Plan de masse (<i>Back Plane</i>)
BP-n	BP de type n
BP-p	BP de type p
<i>Bulk</i>	Transistor sur silicium massif

C

C_{DEP}	Capacité de déplétion
CESL	Couche d'arrêt à la gravure des contacts
CMOS	Transistors Métal-Oxyde-Semiconducteur complémentaires
C_{OX}	Capacité de l'oxyde de grille
C_{SS}	Capacité liée à la qualité des états d'interfaces
cSiGeOI	<i>Compressive SiGe on Insulator</i>
χ	Affinité électronique du semiconducteur (=4.1eV pour le silicium)

D, Δ

DIBL	Abaissement de la barrière de potentiel par polarisation du drain
DR	Transistors nMOS de décharge (SRAM)
D°	Position moyenne de la zone de transition à partir de laquelle le travail de sortie évolue, dans les directions L et W
ΔD	Distance séparant les zones actives de deux transistors adjacents
$\Delta DIBL$	Différence de DIBL entre deux transistors adjacents
ΔI_D	Différence de I_D entre deux transistors adjacents
ΔI_{LIN}	Différence de I_{LIN} entre deux transistors adjacents
ΔI_{OFF}	Différence de I_{OFF} entre deux transistors adjacents
ΔI_{SAT}	Différence de I_{SAT} entre deux transistors adjacents
ΔR_{ON}	Différence de R_{ON} entre deux transistors adjacents
ΔSS_{SAT}	Différence de SS_{SAT} entre deux transistors adjacents
ΔV_T	Différence de V_T entre deux transistors adjacents
ΔV_{T_LIN}	Différence de V_{T_LIN} entre deux transistors adjacents
ΔV_{T_SAT}	Différence de V_{T_SAT} entre deux transistors adjacents

E, ϵ

E_F	Niveau de Fermi
E_G	Largeur de la bande interdite séparant la bande de conduction de la bande de valence (1.12eV à 300K, c'est-à-dire environ 27°C)
EOT	Epaisseur de diélectrique équivalente à du SiO_2
ϵ_0	Permittivité électrique du vide (=8.85x10 ⁻¹² F/m)
ϵ_{OX}	Permittivité électrique d'un oxyde (=3.9x ϵ_0)
ϵ_{Si}	Permittivité électrique du silicium (=11.9x ϵ_0)

F

FDSOI Transistor complètement déserté sur silicium sur isolant

G

G_m Transconductance

γ Facteur de couplage ($= \Delta V_T / \Delta V_B$)

γ_{BC} Facteur de couplage correspondant à une conduction à l'interface arrière

γ_{FC} Facteur de couplage correspondant à une conduction à l'interface avant

H

High-k Diélectrique de grille ayant une haute permittivité

HVT *High V_T*

\hbar Constante de Planck réduite ($=1.054 \times 10^{-34}$ J.s)

I

$iA_{\Delta VT}$ Paramètre d'appariement individuel de la tension de seuil pour une géométrie L/W

I_{CELL} Courant de lecture de la donnée (SRAM)

I_D Courant de drain

I_{DB} Courant entre le drain et le substrat

I_G Courant de grille

I_{GB} Courant tunnel entre la grille et le substrat

I_{GD} Courant tunnel entre la grille et le drain

I_{GS} Courant tunnel entre la grille et la source

I_{LIN} Courant de drain en régime ohmique ($V_G=V_{DD}$; $V_D=50mV$)

I_{OFF} Courant de fuite en régime de saturation ($V_G=0V$; $V_D=V_{DD}$)

I_{SAT} Courant de drain en régime de saturation ($V_G=V_{DD}$; $V_D=V_{DD}$)

I_{SB} Courant entre la source et le substrat (MOSFET) ou consommation de la cellule en mode de rétention (SRAM)

ITRS *International Technology Roadmap for Semiconductors*

K

k_B Constante de Boltzmann ($=1.38 \times 10^{-23}$ J/K = 8.62×10^{-5} eV/K)

k_{high-k} Constante diélectrique du *high-k*

k_{SiO_2} Constante diélectrique du SiO_2

L

L Longueur de grille

LD Transistors pMOS de charge (SRAM)

L_{EFF} Longueur effective du canal de conduction

LER Rugosité en bord de grille (*Line Edge Roughness*)

LVT *Low V_T*

M, μ

m^* Masse effective de confinement des porteurs.

MOSFET Transistor Metal-Oxyde-Semiconductor à effet de champ

μ_{EFF} Mobilité effective des porteurs

N

N_A Densité de dopants dans le film de silicium

N_{BP} Densité de dopants dans le BP

n_i Densité intrinsèque de porteurs dans le silicium ($=1.137 \times 10^{10}$ cm^{-3} à 300K)

P, Φ , ψ

PDSOI Transistor partiellement déserté sur silicium sur isolant

ϕ_{BP}	Travail de sortie du BP
ϕ_D	Hauteur de barrière entre la source et le canal.
ϕ_F	Différence d'énergie entre le niveau de Fermi extrinsèque et le niveau de Fermi intrinsèque
ϕ_m	Travail de sortie de la grille
ϕ_{ms}	Différence de travail de sortie entre la grille et le canal
ϕ_s	Travail de sortie du semiconducteur
Ψ_S	Potentiel de surface à l'interface diélectrique/silicium
$\Psi_{S,th}$	Potentiel de surface à l'interface diélectrique/silicium, au seuil de conduction

Q

q	Charge élémentaire ($=1.6 \times 10^{-19}$ C)
Q_{DEP}	Charge de déplétion du canal
Q_{INV}	Charge d'inversion du canal
$Q_{INV,th}$	Charge d'inversion du canal, au seuil de conduction
Q_{SS}	Charges positives piégées à l'interface oxyde/substrat et impuretés ionisées incluses dans le volume de l'oxyde de grille.

R, ρ

R_C	Résistances de contact
R_{CANAL}	Résistance du canal de conduction
RDF	Fluctuation du nombre de dopants dans le canal
R_{EXT}	Résistances d'extensions
R_J	Résistances de jonctions
RMS	Rugosité du film de silicium
RNM	Stabilité en rétention (SRAM)
R_{ON}	Résistance totale entre la source et le drain
R_{OV}	Résistances de recouvrement
R_{SD}	Résistances d'accès au canal
RVT	<i>Regular V_T</i>
ρ	Coefficient de corrélation

S, σ

SCE	Effets de canaux courts
SNM	Stabilité en lecture (SRAM)
SOI	Silicium sur Isolant
SRAM	Mémoire statique (<i>Static Random Access Memory</i>)
SS_{LIN}	Pente sous le seuil en régime ohmique
SS_{SAT}	Pente sous le seuil en régime de saturation
sSOI	Silicium contraint sur Isolant
STI	<i>Shallow Trench Isolation</i>
σ_L	Ecart type des fluctuations de la longueur effective du canal de conduction
σ_{NBP}	Ecart type des fluctuations de dopage du BP
σ_{Qox}	Ecart type des fluctuations de charges dans l'oxyde de grille
σ_{SNM}	Ecart type de la distribution de SNM
σ_{TBOX}	Ecart type des fluctuations d'épaisseur de l'oxyde enterré
σ_{Tox}	Ecart type des fluctuations d'épaisseur de l'oxyde de grille
σ_{Tsi}	Ecart type des fluctuations d'épaisseur du film de silicium
σ_{VT}	Ecart type de la distribution de V_T
σ_{WM}	Ecart type de la distribution de WM
σ_{EOX}	Ecart type des fluctuations de permittivité dans l'oxyde de grille
$\sigma_{(\Delta I_D/I_D)}$	Ecart type de la distribution de $\Delta I_D/I_D$
$\sigma_{(\Delta I_{OFF}/I_{OFF})}$	Ecart type de la distribution de $\Delta I_{OFF}/I_{OFF}$
$\sigma_{(\Delta I_{SAT}/I_{SAT})}$	Ecart type de la distribution de $\Delta I_{SAT}/I_{SAT}$

$\sigma_{\Delta V_T}$	Ecart type de la distribution de ΔV_T
$\sigma_{\Delta V_T, SCE/DIBL}$	Ecart type de la distribution de ΔV_T induit par le SCE et le DIBL
$\sigma_{\Delta V_T, T_{Si}}$	Ecart type de la distribution de ΔV_T induit par les variations de T_{Si}
$\sigma_{\phi_{BP}}$	Ecart type des fluctuations du travail de sortie du BP

T

T	Température
T_{BOX}	Épaisseur de l'oxyde enterré
T_{BOX_EFF}	Épaisseur effective de l'oxyde enterré prenant en compte T_{DEP_SUB}
TCAD	<i>Technology Computer Aided Design</i>
T_{DEP}	Épaisseur de la zone de déplétion sous la grille
T_{DEP_SUB}	Épaisseur de la zone de déplétion dans le substrat (sous le BOX)
T_{DS}	Profondeur de <i>darkspace</i> induite par les effets de confinement quantique
T_{OX}	Épaisseur physique de l'oxyde de grille
T_{Si}	Épaisseur du film de silicium
T_{SiO_2}	Épaisseur de la couche de SiO_2 (cSiGeOI par condensation)
$T_{SiO_2_pedestal}$	Épaisseur physique de l'oxyde piédestal
T_{SiGe_final}	Épaisseur finale du film de SiGe (cSiGeOI par condensation)
$T_{SiGe_initial}$	Épaisseur initiale du film de SiGe (cSiGeOI par condensation)

U

UTBOX	Oxyde enterré ultra-mince
UTBB	Film de silicium et oxyde enterré ultra-minces

V

V_B	Tension appliquée sur le substrat
V_D	Tension appliquée sur le drain
V_{DD}	Tension d'alimentation
V_{DD_MIN}	Tension minimale d'alimentation
V_{FB}	Tension de bande plate
V_G	Tension appliquée sur la grille
V_{MIN_READ}	Tension minimale d'alimentation en mode de lecture
V_{MIN_WRITE}	Tension minimale d'alimentation en mode d'écriture
V_S	Tension appliquée sur la source
V_T	Tension de seuil
V_{T_CC}	Tension de seuil mesurée avec la méthode du courant constant
V_{T_EXT}	Tension de seuil mesurée avec la méthode de l'extrapolation au maximum de la transconductance
V_{T_LIN}	Tension de seuil en régime ohmique
V_{T_SAT}	Tension de seuil en régime de saturation
V_{Tn}	Tension de seuil des transistors nMOS en régime ohmique (canal long)
V_{Tp}	Tension de seuil des transistors pMOS en régime ohmique (canal long)

W

W	Largeur de la zone active du transistor
W_{EFF}	Largeur effective du canal de conduction
WL	Ligne de mot dans les matrices SRAM (<i>Word-Line</i>)
WM	Stabilité en écriture (SRAM)

X

X_{EXT}	Profondeur de diffusion des dopants dans les extensions source-drain
X_{Ge_final}	Concentration finale de Ge dans le film de SiGe (cSiGeOI par condensation)
$X_{Ge_initial}$	Concentration initiale de Ge dans le film de SiGe (cSiGeOI par condensation)
X_{SD}	Profondeur de diffusion des dopants dans les jonctions source-drain

Introduction générale

La microélectronique est un secteur industriel extrêmement concurrentiel représentant un chiffre d'affaire de 250 milliards d'euros en 2011. Cette industrie repose sur le transistor MOS (pour Métal-Oxyde-Semiconducteur) à effet de champ. Il sert de base pour le développement de circuits intégrés, qui sont eux-mêmes utilisés pour de nombreuses applications telles que l'informatique, la téléphonie mobile, la photographie numérique, les consoles de jeux, l'automobile, l'aérospatiale, et bien d'autres. Depuis sa première démonstration expérimentale en 1947, les dimensions caractéristiques du transistor sont sans cesse revues à la baisse pour chaque nouvelle génération, suivant la loi de Moore [Moore '65]. Ce concept de miniaturisation reposant sur une simple réduction d'échelle et de la tension d'alimentation a permis durant de nombreuses années d'atteindre les objectifs qui sont la réduction du coût de fabrication, l'amélioration des performances du circuit, tout en doublant le nombre de transistors sur une puce tous les 18 mois. A titre d'exemple, nous pouvons citer le premier microprocesseur commercialisé, développé par la société Intel en 1971, possédant 2300 transistors. De nos jours, la même société propose des microprocesseurs composés de 1.4 milliards de transistors répartis sur 160mm².

Cependant, depuis le début des années 2000, cette loi n'est plus suffisante pour garantir de meilleures performances tout en réduisant le coût entre deux générations. Les dimensions caractéristiques du transistor sont devenues si faibles que des phénomènes parasites ont commencé à impacter significativement ses performances électriques, notamment la dégradation du contrôle électrostatique de la grille sur le canal de conduction. Des solutions technologiques ont vu le jour afin de poursuivre la miniaturisation, mais des limitations intrinsèques au transistor sur silicium massif ne pourront plus longtemps être contournées dans ce monde désormais nanométrique.

De nouvelles architectures ont ainsi été développées afin de le remplacer, parmi lesquelles on trouve notamment les transistors FinFET [Hisamoto '89] [Huang '99] [Colinge '07] et les dispositifs à film mince sur diélectrique enterré (nommés communément FDSOI) [Young '89] [Choi '00] [Poiroux '10]. La technologie FinFET présente une architecture verticale qui autorise une forte densité d'intégration. En revanche les transistors FDSOI sont de type planaire, à l'instar des dispositifs usuels sur silicium massif, ce qui autorise un transfert de certaines étapes technologiques et facilite la conception des cellules standards, en comparaison aux dispositifs FinFET.

Le marché actuel de la microélectronique requiert à la fois des performances élevées et une faible consommation pour les applications mobiles (informatique, téléphonie, ...) afin d'augmenter l'autonomie. Il est également indispensable de pouvoir co-intégrer sur une même puce plusieurs

fonctionnalités (pour un minimum de place). On parle alors de SoC (pour *System-on-Chip*). Cela est possible en développant une plateforme technologique possédant plusieurs tensions de seuil (V_T). Sur silicium massif, l'ajustement de la tension de seuil est réalisé par une modification du dopage du canal de conduction. Cependant, les architectures FDSOI et FinFET requièrent un canal non dopé afin de bénéficier de tous leurs avantages en termes de contrôle électrostatique. D'autres solutions sont par conséquent nécessaires, comme la modification du matériau de grille dont le travail de sortie a un impact direct sur la valeur du V_T . La technologie FDSOI planaire possède également un puissant bras de levier permettant d'adresser cette problématique de multi- V_T . L'utilisation d'un diélectrique enterré mince, couplé à un plan de masse implanté sous celui-ci, peut servir de seconde grille (de manière similaire aux transistors sur silicium massif), dont la polarisation appliquée sur le substrat peut être utilisée afin de moduler très précisément la tension de seuil.

Une autre problématique majeure liée à la miniaturisation des dimensions des transistors est la difficulté croissante d'avoir des caractéristiques électriques qui soient les plus proches possibles d'un dispositif à l'autre. Depuis le nœud technologique 90nm, la contribution systématique liée au processus d'intégration n'est plus prédominante devant la contribution stochastique, induite quant à elle par des sources de fluctuations dont la longueur de corrélation est très faible devant les dimensions des transistors, telles que la variation statistique du nombre de dopants, la granularité de la grille métallique, la rugosité de flanc de la grille, etc. On assiste alors à des variations de la tension de seuil et du courant de drain entre deux transistors situés à la distance minimale autorisée par les règles de dessin. Cette source de variabilité est par ailleurs beaucoup plus complexe à minimiser car elle n'est pas directement liée à la qualité des équipements utilisés pour la fabrication des dispositifs. Elle a tout d'abord eu une importante influence sur les applications analogiques (paires différentielles, miroirs de courants, etc.) [Kinget '96] [Pelgrom '98], puis ces variations ont impacté significativement les applications numériques en terme de délai et de fuite [Burnett '94] [Bowman '00] [Malavasi '01], et plus particulièrement la stabilité en lecture et en écriture des circuits mémoires SRAM en raison des très petites dimensions des dispositifs utilisés [Bhavnagarwala '00] [Stolk '01]. C'est désormais une problématique majeure lors du développement d'une nouvelle filière technologique, au-delà des optimisations usuelles des performances.

C'est dans ce contexte que se situe ce mémoire de thèse traitant de la variabilité stochastique du transistor MOS en technologie FDSOI. L'objectif est d'appréhender les sources de fluctuations impactant les caractéristiques électriques du dispositif et leur influence sur les circuits mémoires SRAM.

Dans le premier chapitre, nous allons présenter le fonctionnement du transistor MOS sur silicium massif, ainsi que les principales problématiques liées à la miniaturisation des dimensions du dispositif. Nous verrons également les avantages de la technologie FDSOI, notamment en termes de contrôle

électrostatique et de réduction de la variabilité stochastique. Les différentes sources de fluctuations intrinsèques à cette architecture seront présentées, ainsi que la méthodologie permettant d'estimer la variabilité.

Dans le second chapitre, nous allons présenter les solutions permettant d'ajuster la tension de seuil des transistors FDSOI, ainsi que leur impact sur la variabilité stochastique du V_T grâce à des résultats expérimentaux.

Le troisième chapitre sera consacré à l'analyse de la variabilité des caractéristiques électriques de cellules mémoires SRAM. Nous étudierons expérimentalement les corrélations existantes entre la variabilité des caractéristiques électriques des transistors et celles des SRAM. Un modèle compact sera utilisé afin de déterminer la contribution de la variabilité du V_T sur les fluctuations de la stabilité en lecture (nommée SNM). Nous verrons également quels sont les transistors de la cellule qui induisent le plus de fluctuations de la SNM grâce à un modèle analytique développé durant cette thèse.

Suite à cette étude exhaustive de la variabilité du V_T , nous allons analyser expérimentalement dans le quatrième chapitre la variabilité stochastique du courant de drain des transistors FDSOI réalisés. Ainsi, nous allons montrer quels sont les facteurs technologiques limitant et identifier les étapes critiques du processus d'intégration devant être optimisées.

Enfin, dans le cinquième et dernier chapitre, nous allons analyser l'influence des fluctuations locales de l'épaisseur du film de silicium en technologie FDSOI sur la variabilité stochastique de la tension de seuil. Cette étude sera basée sur des mesures expérimentales, ainsi que sur les résultats d'un modèle analytique développé durant la thèse, préalablement calibré sur des simulations TCAD. Suite à cette quantification de l'impact des fluctuations de T_{Si} , une étude prédictive de la variabilité globale de la tension de seuil sera finalement présentée en technologie FDSOI 20nm, avec des transistors nMOS et pMOS ayant respectivement un canal de conduction Si et SiGe. L'impact de cette source de fluctuations sur un circuit SRAM de 200Mb sera également analysé grâce à un modèle compact.

Chapitre 1

Présentation de la technologie Métal-Oxyde-Semiconducteur et de la problématique de la variabilité pour le nœud technologique 32nm et en deçà

1.1. Introduction

Le transistor Métal-Oxyde-Semiconducteur à effet de champ (pour *Metal-Oxide-Semiconductor Field-Effect-Transistor*), également appelé MOSFET ou MOS, est utilisé comme élément de base des circuits intégrés. De nombreuses optimisations ont été apportées au fil des nœuds technologiques afin de surmonter les effets parasites induits par la miniaturisation des dimensions caractéristiques et par l'augmentation de la densité d'intégration. Ainsi, des dispositifs ayant des longueurs de grille très courtes ont vu le jour, nécessitant d'intégrer de nouveaux matériaux comme les oxydes à forte permittivité ou les grilles métalliques. Des matériaux présentant une forte contrainte mécanique ont été utilisés afin d'atteindre des performances toujours accrues, telles que les couches d'arrêt de gravure des contacts (appelées CESL pour *Contact Etch Stop Layer*) [Pidin '04] ou les source-drain SiGe [Yeo '05]. La reproductibilité des caractéristiques électriques des transistors est par conséquent devenue très sensible aux variations pouvant survenir dans l'ensemble des étapes du processus d'intégration.

L'objectif de ce chapitre est de présenter les transistors MOS sur silicium massif et de comprendre comment la technologie FDSOI (pour *Fully Depleted Silicon On Insulator*) permet de limiter l'influence des effets parasites liés à la miniaturisation des dimensions. Nous détaillerons ensuite les sources de fluctuations impactant les caractéristiques électriques des transistors FDSOI. Enfin, la méthodologie utilisée afin de caractériser expérimentalement la variabilité sera introduite.

1.2. Technologie des transistors MOS à effet de champ

1.2.1. Le transistor MOS : principe et régimes de fonctionnement

1.2.1.a. Principe de fonctionnement et architecture

Le transistor MOS constitue l'élément de base des circuits intégrés utilisés dans le domaine de la microélectronique. Sa fonction est assez similaire à celle d'un interrupteur. En effet, il a pour rôle de laisser passer un courant ou de le bloquer. Afin de réaliser des fonctions logiques, deux types de transistors MOS sont utilisés : les nMOS, pour lesquels les porteurs du canal de conduction sont des électrons, et les pMOS, pour lesquels les porteurs sont des trous. La modulation de la concentration des porteurs dans le canal est obtenue par l'application d'un potentiel électrique sur l'électrode de grille qui crée un champ électrique vertical.

Un transistor MOS sur silicium massif (également appelé transistor *bulk*) est réalisé sur un substrat (de type p pour les nMOS et de type n pour les pMOS) dans lequel on trouve des zones fortement dopées (de type n pour les nMOS et de type p pour les pMOS) qui servent d'électrodes de source et de drain, comme le montre la Figure 1 (a). Ces deux jonctions jouent le rôle de réservoirs de porteurs et sont obtenues par implantation ionique de dopants. Le transistor est isolé électriquement par des tranchées d'oxyde appelées STI (pour *Shallow Trench Isolation*). La région de silicium située entre deux tranchées correspond à la zone active où est fabriqué le transistor. L'électrode de grille est

constituée d'un empilement de plusieurs matériaux, à savoir un oxyde, un métal de grille et une couche de polysilicium. Une siliciuration des jonctions source-drain et du sommet de la grille est effectuée dans le but d'optimiser le contact avec les vias métalliques servant de connexions vers différents niveaux de métaux, ainsi que pour diminuer les résistances d'accès. Les dimensions caractéristiques d'un transistor (Figure 1 (a)) sont la longueur de grille L , la longueur effective du canal de conduction (L_{EFF}), la largeur de la zone active (W , non représentée sur ce schéma car perpendiculaire au plan), l'épaisseur de l'oxyde de grille (T_{OX}), la profondeur de diffusion des dopants dans les extensions (X_{EXT}) et la profondeur de diffusion des dopants dans les jonctions source-drain (X_{SD}).

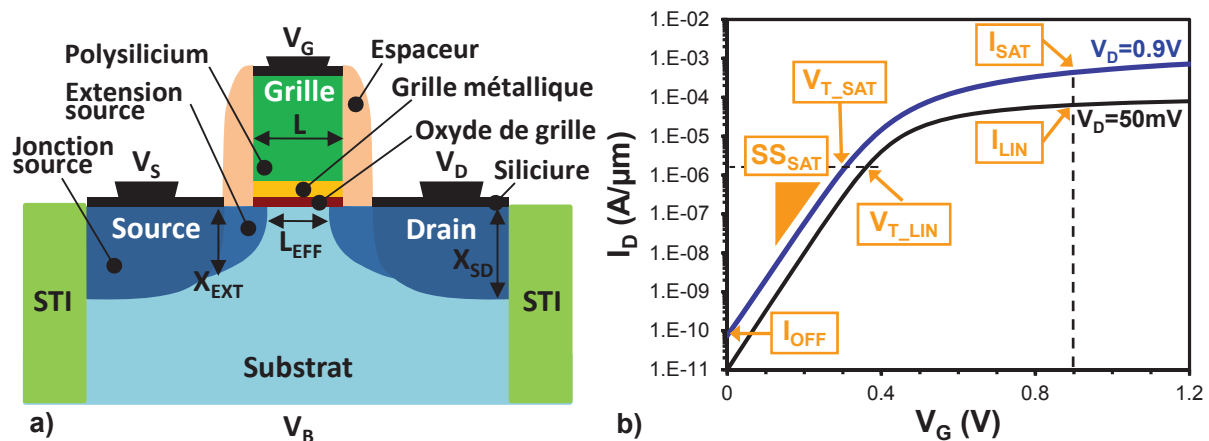


Figure 1 : (a) Représentation schématique d'un transistor nMOS sur silicium massif. (b) Courbe $I_D(V_G)$ en régime ohmique ($V_D=50mV$) et en régime de saturation ($V_D=0.9V$) illustrant les caractéristiques électriques usuelles.

Quand un potentiel électrique (positif pour les nMOS et négatif pour les pMOS) est appliqué sur la grille, le transistor bascule de l'état bloqué à l'état passant, par la création d'un canal de conduction surfacique entre la source et le drain, à proximité de l'interface entre le substrat et l'oxyde de grille (Figure 1 (a)). Cela correspond à un canal d'inversion de porteurs dans le canal : de type n (électrons) dans un substrat de type p pour les nMOS et de type p (trous) dans un substrat de type n pour les pMOS. L'application d'un potentiel sur l'électrode de drain permet aux porteurs de se déplacer de la source vers le drain, assurant la circulation d'un courant nommé I_D . L'électrode de substrat (notée V_B pour *bulk*) sera dans un premier temps polarisée à la masse ($V_B=0V$). Nous verrons par la suite l'intérêt que peut apporter la tension de substrat afin de moduler les caractéristiques électriques du transistor. La source est elle aussi polarisée à la masse ($V_S=0V$), autant pour les nMOS que pour les pMOS. Ceci restera valable pour l'analyse des transistors MOS individuels. Dans le cas des circuits intégrés, la source n'est pas polarisée de la même manière pour les nMOS et pour les pMOS.

Différentes caractéristiques électriques permettent de juger les performances du transistor. On s'intéresse notamment à la valeur du courant de drain dans les modes de fonctionnement bloqué ($V_G=0V$, $V_D=V_{DD}$ en nMOS et $V_D=-V_{DD}$ en pMOS) et passant ($V_G=V_D=V_{DD}$ en nMOS et $V_G=V_D=-V_{DD}$ en

pMOS), notés respectivement I_{OFF} et I_{SAT} . Le courant I_{OFF} dépend de la somme des courants tunnels entre la grille et le substrat (I_{GB}) et entre la grille et les extensions du drain (I_{GD}) et de la source (I_{GS}), de la qualité des jonctions PN côté source et côté drain impactant les courants entre le drain et le substrat (I_{DB}) et entre la source et le substrat (I_{SB}), ainsi que de la hauteur de la barrière de potentiel entre le canal et les extensions (impactant le courant entre la source et le drain I_{SD}). Le courant I_{SAT} évolue en fonction de la tension de drain appliquée et sera déterminé en général pour deux tensions V_D spécifiques, à savoir pour $|V_D|=50mV$ (noté I_{LIN}) et pour $|V_D|=|V_{DD}|$ (noté I_{SAT}). Typiquement, l'objectif d'un transistor est d'avoir un courant I_{OFF} aussi faible que possible (Équation 1), des courants I_{LIN} et I_{SAT} le plus fort possible et un passage entre ces deux états aussi abrupt que possible. Cette zone de transition est caractérisée par la valeur de la pente sous le seuil notée SS (SS_{LIN} pour $|V_D|=50mV$ et SS_{SAT} pour $|V_D|=|V_{DD}|$) (Équation 3), comme cela est illustré à la Figure 1 (b). La limite théorique de la pente sous le seuil est de 60mV/décade pour une température de 300K. Enfin, la tension de seuil V_T correspond à la frontière séparant l'état bloqué de l'état passant. Elle est notée V_{T_LIN} quand $|V_D|=50mV$ et V_{T_SAT} quand $|V_D|=V_{DD}$ (Figure 1 (b)).

$$\log(I_{OFF}) = \log(I_{TH}) - \frac{V_{T_LIN}}{SS_{LIN}} \quad (\text{Équation 1})$$

$$I_{TH} = 10^{-7} \cdot \frac{W}{L} \quad (\text{Équation 2})$$

$$SS = \left(\frac{\partial \log I_D}{\partial V_G} \right) = \frac{k_B \cdot T}{q} \cdot \ln(10) \left(1 + \frac{C_{DEP}}{C_{OX}} + \frac{C_{SS}}{C_{OX}} \right) \quad (\text{Équation 3})$$

avec C_{DEP} la capacité de déplétion dans le substrat, C_{SS} la capacité liée à la qualité des états d'interface oxyde/substrat, C_{OX} la capacité de l'oxyde de grille, k_B la constante de Boltzmann, T la température et q la charge élémentaire.

Les caractéristiques I_{OFF} et I_{SAT} sont très couramment utilisées afin de juger les performances globales d'un transistor. Plus le rapport I_{SAT}/I_{OFF} est élevé, meilleur est le dispositif.

1.2.1.b. Régimes de fonctionnement

La conduction dans un transistor MOS est modulée par le champ électrique de la grille qui agit à l'interface oxyde/substrat. Le potentiel de surface à cette interface est noté Ψ_s . La différence de type de dopants entre le canal de conduction et les jonctions source-drain crée une barrière de potentiel dont la hauteur varie en fonction de la polarisation appliquée sur l'électrode de grille. Nous introduisons la grandeur ϕ_F correspondant au potentiel de Fermi. Elle représente l'écart entre le niveau de Fermi extrinsèque (pour un semiconducteur ayant une concentration N_A de dopants de type accepteur) et le niveau de Fermi intrinsèque (pour le même semiconducteur, cette fois non dopé) :

$$\phi_F = \frac{k_B \cdot T}{q} \cdot \ln \left(\frac{N_A}{n_i} \right) \quad (\text{Équation 4})$$

avec n_i la densité intrinsèque de porteurs du matériau ($1.137 \times 10^{10} \text{ cm}^{-3}$ à 300K).

La tension de bande plate V_{FB} correspond à la tension qu'il faut appliquer sur la grille pour que le potentiel de surface Ψ_s soit nul :

$$V_{FB} = \phi_m - \phi_s - \frac{Q_{SS}}{C_{OX}} \quad (\text{Équation 5})$$

avec ϕ_m le travail de sortie de la grille, ϕ_s le travail de sortie du semiconducteur du canal et Q_{SS} l'ensemble des charges positives piégées à l'interface oxyde/substrat et des impuretés ionisées incluses dans le volume de l'oxyde de grille.

Les différents régimes de fonctionnement du transistor dépendent donc du potentiel de surface Ψ_s . Prenons pour exemple le cas d'un nMOS :

➤ Régime d'accumulation : $\Psi_s < 0$ c'est-à-dire $V_G < V_{FB}$

Les porteurs majoritaires (trous) du substrat sont attirés à proximité de l'interface oxyde/substrat. La barrière de potentiel est trop haute pour être franchie par les porteurs minoritaires présents dans la source. Le transistor est par conséquent en régime d'accumulation.

➤ Régime de bandes plates : $\Psi_s = 0$

La courbure des bandes est nulle.

➤ Régime de déplétion : $0 < \Psi_s < \phi_F$ c'est-à-dire $V_G > V_{FB}$

Les porteurs majoritaires (trous) sont repoussés de l'interface oxyde/substrat. Il se crée ainsi une zone dépourvue de porteurs libres. La barrière de potentiel entre le canal et les jonctions source-drain commence à s'abaisser mais ne laisse pas encore la possibilité aux électrons de la franchir. Le transistor est en régime de déplétion.

➤ Régime d'inversion faible : $\phi_F < \Psi_s < 2 \cdot \phi_F$ c'est-à-dire $V_{FB} < V_G < V_T$

Les porteurs minoritaires commencent à franchir la barrière de potentiel et forment une couche d'inversion à proximité de l'interface oxyde/substrat. La densité de porteurs minoritaires (électrons) reste inférieure à la concentration de porteurs majoritaires dans le substrat (trous). Le courant de drain évolue exponentiellement avec la tension V_G suivant un mécanisme de diffusion. Les porteurs se déplacent grâce à un gradient de charges de telle manière que les électrons vont de la zone de forte concentration (côté source) vers la zone de faible concentration (côté drain). La tension de seuil est atteinte lorsque la concentration de porteurs minoritaires à proximité de l'interface oxyde/substrat devient égale à la concentration des porteurs majoritaires dans le substrat, ce qui intervient quand $\Psi_s = 2 \cdot \phi_F$. Le transistor est en régime d'inversion faible. La tension de seuil est définie telle que :

$$V_T = V_{FB} + 2 \cdot \phi_F - \frac{Q_{DEP}}{C_{OX}} \quad (\text{Équation 6})$$

avec Q_{DEP} la charge de déplétion dans le canal. Nous noterons que le travail de sortie ϕ_m du métal intervient directement dans la valeur du V_T par l'intermédiaire de la tension V_{FB} (Equation 5).

➤ Régime d'inversion forte : $\Psi_S > 2 \cdot \phi_F$ c'est-à-dire $V_G > V_T$

La concentration de porteurs minoritaires (électrons) à proximité de l'interface oxyde/substrat est beaucoup plus grande que la concentration de porteurs majoritaires dans le substrat. Le courant de drain est déterminé par un mécanisme de dérive selon le champ longitudinal fixé par la tension V_D . Le transistor est en régime d'inversion forte.

Quand $V_D < V_G - V_T$, le transistor fonctionne en régime ohmique. Le courant de drain dépend linéairement de la tension V_G et est donné par :

$$I_{LIN} = \frac{W_{EFF}}{L_{EFF}} \cdot \mu_{EFF} \cdot C_{OX} \cdot \left(V_G - V_T - \frac{V_D}{2} \right) \cdot V_D \quad (\text{Équation 7})$$

avec W_{EFF} la largeur effective du canal ($W_{EFF} = W$ en technologie FDSOI simple grille), L_{EFF} la longueur effective du canal et μ_{EFF} la mobilité effective des porteurs.

Quand $V_D \geq V_G - V_T$, un pincement apparaît du côté du drain. Il tend à se rapprocher légèrement de la source quand V_D augmente. Le potentiel au point de pincement est constant et indépendant de la tension de drain. Le transistor est en régime de saturation. I_D n'évolue donc plus en fonction de V_D , ce qui donne :

$$I_{SAT} = \frac{1}{2} \cdot \frac{W_{EFF}}{L_{EFF}} \cdot \mu_{EFF} \cdot C_{OX} \cdot (V_G - V_T)^2 \quad (\text{Équation 8})$$

Les équations de courant de drain que nous venons de voir montrent qu'il est important de maintenir une capacité C_{OX} élevée. Il est en effet bénéfique de réduire l'épaisseur de l'oxyde de grille T_{OX} afin d'augmenter le couplage entre la grille et le canal, ce qui se traduit par une augmentation de la densité de charge d'inversion et donc des courants I_{LIN} et I_{SAT} . Cependant, l'amincissement de l'oxyde de grille entraîne une augmentation de la probabilité de voir des porteurs minoritaires franchir la barrière de potentiel représentée par ce diélectrique. Cet effet tunnel est à l'origine des fuites de grilles citées précédemment, à savoir les fuites entre la grille et le substrat et entre la grille et les extensions du drain et de la source. Celui-ci peut être minimisé en remplaçant le dioxyde de silicium par un matériau ayant une haute permittivité ($\epsilon > 10$), appelé *high-k*. Cela permet ainsi d'obtenir, pour une même valeur de capacité C_{OX} , une épaisseur physique plus grande et donc un courant de grille par effet tunnel atténué. On ne parle plus dans ce cas d'une épaisseur T_{OX} mais d'une épaisseur de SiO_2 équivalente, appelée EOT (pour *Equivalent Oxide Thickness*). Ces matériaux sont généralement utilisés en bicouche avec un oxyde SiO_2 de 0.8nm servant de piédestal pour le dépôt du *high-k*. L'EOT totale est donc égale à la somme de cette couche de dioxyde de silicium et de l'épaisseur équivalente du diélectrique à haute permittivité, tel que :

$$EOT = T_{high-k} \cdot \left(\frac{k_{SiO_2}}{k_{high-k}} \right) + T_{SiO_2_piédestal} \quad (\text{Équation 9})$$

avec k_{SiO_2} la constante diélectrique du SiO_2 , k_{high-k} celle du diélectrique ayant une haute permittivité, T_{high-k} l'épaisseur physique du *high-k* et $T_{SiO_2_piédestal}$ l'épaisseur physique de l'oxyde piédestal.

1.2.2. Effets de canaux courts et abaissement de la barrière de conduction induite par le drain

Les effets de canaux courts, nommés SCE (pour *Short Channel Effect*), désignent une perte du contrôle électrostatique du canal par la grille. Dans un transistor ayant un canal long, la composante verticale du champ électrique commence par désertier le canal, puis entraîne un phénomène d'inversion à plus forte polarisation sur la grille. Or, les jonctions n/p formées par les extensions source/drain créent des zones de déplétion de quelques nanomètres dans lesquelles le potentiel chute et empêche un contrôle par la grille. Ainsi, dans le cas de canaux courts, ces zones de déplétion vont finir par se superposer et induire une chute du potentiel. L'abaissement de la barrière de potentiel du canal qui en résulte va réduire le V_T du transistor (Figure 2), augmenter la pente sous le seuil, et finalement dégrader le courant de fuite I_{OFF} . En appliquant une tension de drain élevée, le DIBL (pour *Drain Induced Barrier Lowering*) va entraîner une perte additionnelle du contrôle électrostatique (abaissement de la barrière de potentiel du canal d'autant plus significative que V_D est important). Deux caractéristiques peuvent ainsi être extraites : les tensions de seuil V_{T_LIN} (en régime ohmique, à $|V_D|=50mV$) et V_{T_SAT} (en régime de saturation, à $|V_D|=V_{DD}$). Le DIBL est calculé en soustrayant ces deux tensions de seuil. L'influence du SCE et du DIBL sur les courbes $V_T(L)$ et $I_D(V_G)$ est illustrée à la Figure 2.

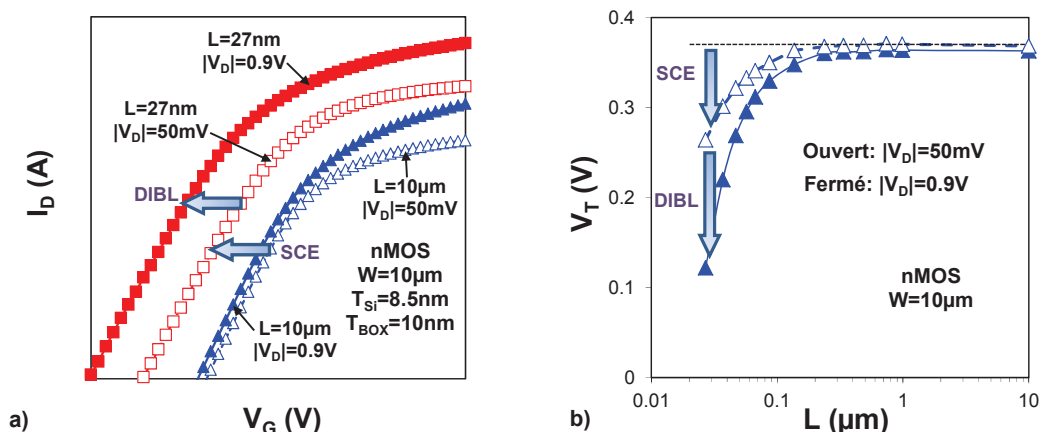


Figure 2 : (a) $I_D(V_G)$ mesurés sur des transistors ayant un canal long ($L=10\mu m$) ou un canal court ($L=30nm$), à $V_D=50mV$ et $0.9V$. (b) Tension de seuil V_T en fonction de la longueur de grille permettant de mettre en évidence le SCE et le DIBL.

1.3. Amélioration des performances grâce à la technologie FDSOI

1.3.1. Présentation de la technologie SOI

Comme nous l'avons vu précédemment, la miniaturisation des dimensions des transistors induit des effets parasites qui altèrent leurs performances. Cela se traduit par une complexification du processus d'intégration, indispensable afin de suivre les spécifications de l'ITRS (pour *International Technology Roadmap for Semiconductors*) [ITRS '11]. Le transistor *bulk* atteignant ses limites vis-à-vis du contrôle des effets de canaux courts pour les longueurs de grille inférieures à 30nm, d'autres architectures technologiques ont vu le jour. Parmi celles-ci, on trouve la technologie « Silicium sur

Isolant », également appelée SOI (pour *Silicon On Insulator*). Le substrat SOI est constitué d'un film de silicium monocristallin non dopé ($N_A \approx 10^{15} \text{ at.cm}^{-3}$), isolé du substrat de silicium par un oxyde enterré appelé BOX (pour *Buried OXide*). La zone active du transistor sera définie dans la couche de silicium supérieure. La société SOITEC est le premier fournisseur mondial de plaques SOI, utilisant le procédé Smart Cut™ [Bruel '95] [Maleville '06]. Le principe est d'utiliser un substrat de silicium (appelé A sur la Figure 3) sur lequel une oxydation est réalisée. L'épaisseur de celle-ci correspondra au final à celle de l'oxyde enterré. Une implantation d'atomes d'hydrogène est effectuée à la profondeur désirée (correspondant approximativement à l'épaisseur finale du film de silicium). Un collage moléculaire est réalisé entre A et un second substrat préalablement nettoyé (appelé B sur la Figure 3), suivi d'un recuit à haute température afin d'obtenir une fracture au niveau des atomes d'hydrogène. Finalement, un procédé permettant d'uniformiser la surface du film de silicium actif est utilisé.

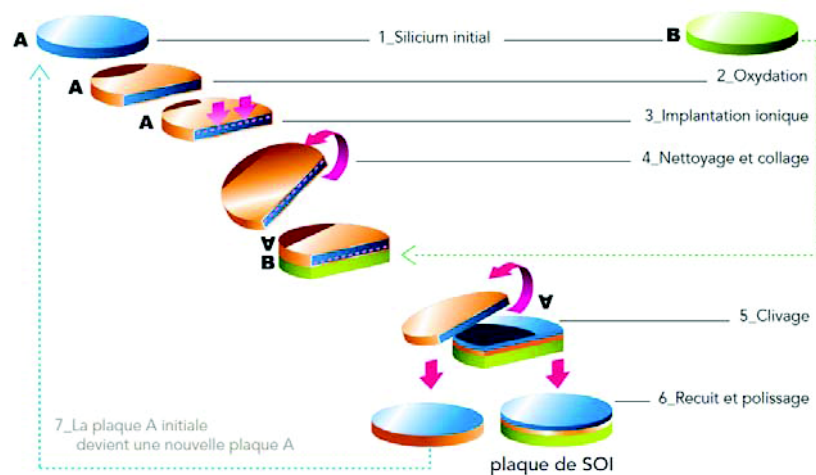


Figure 3 : Schéma de principe du procédé de fabrication des plaques SOI utilisant le procédé Smart Cut™ [Schwarzenbach '11]

Ainsi, deux nouveaux paramètres physiques entrent en considération par rapport à des transistors sur silicium massif : l'épaisseur du film de silicium actif, notée T_{Si} , et l'épaisseur de l'oxyde enterré, notée T_{BOX} . Deux catégories de transistors MOSFET peuvent être réalisées grâce aux substrats SOI. Quand T_{Si} est important (supérieur à 50nm), la zone de déplétion n'atteint pas le BOX. On observe ainsi une zone neutre, comme le montre la Figure 4 (a). On parle dans ce cas de transistors « partiellement déplétés » ou PDSOI (*Partially Depleted SOI*). Cette zone est définie telle que :

$$T_{DEP} = \frac{Q_{DEP}}{q \cdot N_A} \quad (\text{Équation 10})$$

En revanche, quand l'épaisseur du film de silicium est suffisamment mince pour que la zone de déplétion atteigne le BOX (Figure 4 (b)), on parle de transistors « complètement déplétés » ou FDSOI (*Fully Depleted SOI*). C'est à cette architecture que nous allons nous intéresser dans ce manuscrit.

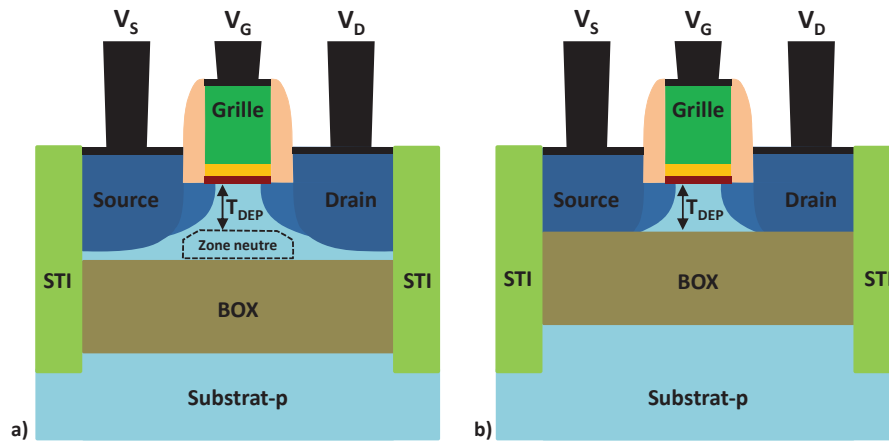


Figure 4 : Représentation schématique d'un transistor PDSOI (a) et d'un transistor FDSOI (b).

1.3.2. Architecture et procédés de fabrication des transistors FDSOI

Historiquement, les substrats SOI ont été développés pour des applications spatiales [Leray '90] car ils présentent une meilleure résistance aux rayonnements ionisants par rapport au silicium massif. Cependant, il existe également de nombreux avantages qui font de la technologie FDSOI un candidat pertinent pour les prochains nœuds technologiques :

- Une isolation totale grâce à la présence du BOX. Il n'y a pas de circulation de courant dans le substrat entre des transistors voisins, comme cela est le cas pour les transistors sur silicium massif. Le déclenchement du thyristor parasite (phénomène de « latch-up ») est par conséquent supprimé.
- Un excellent contrôle électrostatique grâce à une plus faible profondeur des jonctions source/drain [Barral '07] [Fenouillet '09a] et à une plus faible profondeur de déplétion T_{DEP} . Celles-ci sont fixées par l'épaisseur T_{Si} du film de silicium, non par les procédés d'implantation du canal et de recuit comme c'est le cas sur silicium massif. De plus, en technologie FDSOI, le canal est non dopé, ce qui implique l'absence de réservoir de porteurs libres dans le film de silicium. Il n'existe donc pas de régime d'accumulation et le film reste déserté tant que le potentiel de surface est inférieur à ϕ_F , assurant une pente sous le seuil et un courant I_{OFF} améliorés.
- Une réduction de la profondeur de déplétion, conduisant à un champ effectif transverse plus faible et par conséquent à une amélioration de la mobilité des porteurs. Le courant de drain en régime de saturation est amélioré.

Des substrats SOI de 300mm de diamètre ont été utilisés durant cette thèse afin de fabriquer les transistors FDSOI. Le film de silicium est aminci par oxydation et gravure humide afin d'atteindre l'épaisseur T_{Si} souhaitée. Cette étape est essentielle afin de bénéficier d'un bon contrôle électrostatique de la grille sur le canal de conduction. Une isolation STI est ensuite réalisée entre les transistors afin d'éviter la création de courants parasites. Il s'agit de tranchées d'oxyde situées à chaque extrémité de la zone active. Une zone fortement dopée est implantée sous le BOX. Celle-ci est

appelée BP (pour *Back-Plane*), et son pic de concentration maximale est ajusté afin de ne pas obtenir un dopage résiduel dans le canal de conduction. Le type de dopage va permettre d'ajuster la tension de seuil des transistors FDSOI par couplage électrostatique à travers le BOX, comme nous le verrons dans la section 1.3.3. Un empilement de grille est déposé (oxyde piédestal + oxyde à forte permittivité (*high-k*) + grille métallique). La grille métallique la plus utilisée sur cette architecture non dopée est le nitrure de titane TiN, dont le travail de sortie est proche du travail de sortie du silicium intrinsèque, c'est-à-dire 4.61eV [Sze '07]. On parle dans ce cas de matériaux *mid-gap* permettant d'obtenir des tensions de seuil équilibrées entre nMOS et pMOS ($V_{Tn} \approx -V_{Tp}$). L'ensemble est complété par un dépôt de polysilicium. Après gravure de cet empilement, un espaceur de nitrure (Si_3N_4) est réalisé de manière à isoler la grille des futures zones source et drain. Une épitaxie est effectuée afin d'augmenter l'épaisseur du film de silicium dans les jonctions source-drain, le but étant d'optimiser certaines composantes des résistances séries. Les extensions source-drain sont implantées afin de doper le film de silicium sous les espaceurs. Un second espaceur est réalisé juste avant l'implantation des jonctions source-drain. Le processus d'intégration se poursuit par une activation des dopants à forte température et une siliciuration des jonctions afin de réduire la résistance parasite de contact. Finalement, les vias et les niveaux de métaux supérieurs sont réalisés afin de rendre le transistor testable électriquement, ainsi que pour réaliser les interconnexions indispensables au fonctionnement des circuits intégrés complexes.

1.3.3. Améliorations obtenues grâce à l'utilisation d'un film de silicium et d'un oxyde enterré minces avec back-plane

Les travaux de [Skotnicki '88] sur la transformation « tension-dopage » permettent de modéliser analytiquement les effets de canaux courts, où le SCE et le DIBL sont définis en technologie FDSOI par les équations suivantes :

$$SCE = 0.64 \cdot \frac{\epsilon_{Si}}{\epsilon_{OX}} \cdot \left(1 + \frac{T_{Si}^2}{L_{EFF}^2} \right) \cdot \frac{EOT + T_{DS}}{L_{EFF}} \cdot \frac{T_{Si} + \lambda \cdot T_{BOX}}{L_{EFF}} \cdot \phi_D \quad (\text{Équation 11})$$

$$DIBL = 0.8 \cdot \frac{\epsilon_{Si}}{\epsilon_{OX}} \cdot \left(1 + \frac{T_{Si}^2}{L_{EFF}^2} \right) \cdot \frac{EOT + T_{DS}}{L_{EFF}} \cdot \frac{T_{Si} + \lambda \cdot T_{BOX}}{L_{EFF}} \cdot V_D \quad (\text{Équation 12})$$

$$\lambda = 0.21 \cdot \left(1 + \tanh \left(1.5 \cdot \frac{T_{BOX}}{L_{EFF}} \right) - 1 \right) \cdot \left(1 + 0.09 \cdot \left(\frac{T_{BOX}}{L_{EFF}} \right) \right) \cdot \left(\frac{L_{EFF}}{T_{BOX}} \right) \quad (\text{Équation 13})$$

avec ϵ_{Si} la permittivité électrique du silicium, ϵ_{OX} la permittivité électrique de l'oxyde SiO_2 , L_{EFF} la longueur effective définie par $L_{EFF} = 0.8 \cdot X_{EXT}$, T_{DS} la profondeur de *darkspace* induite par les effets de confinement quantique qui tendent à repousser les porteurs de l'interface SiO_2/Si et ϕ_D la hauteur de barrière entre la source et le canal.

Les équations 11 et 12 mettent ainsi en évidence que la réduction de l'épaisseur du film de silicium mince permet d'améliorer le contrôle des effets de canaux courts (réduction de la profondeur des jonctions source-drain et de la zone de déplétion T_{DEP}). En réduisant l'épaisseur du film de silicium, les

lignes de potentiel dans le canal s’aplanissent, se traduisant par une amélioration du contrôle de la grille sur le canal de conduction et donc à une réduction des effets de canaux courts. Un gain significatif est par conséquent obtenu sur le DIBL [Barral '07], comme illustré à la Figure 5 (a). En revanche, cela induit également une augmentation des résistances d’accès au canal (Figure 5 (b)), ce qui a pour conséquence de dégrader les performances du transistor. Une optimisation des jonctions source-drain est indispensable afin de maintenir R_{SD} aussi faible que possible [Ponoth '11].

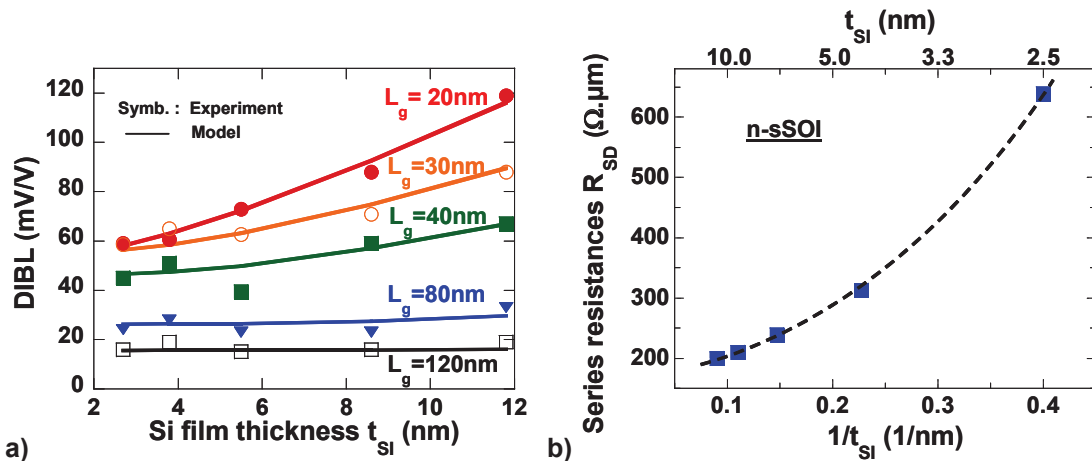


Figure 5 : (a) Evolution du DIBL en fonction de l’épaisseur du film de silicium pour différentes longueurs de grille de dispositifs FDSOI nMOS ($T_{BOX}=145nm$) et (b) des résistances d’accès au canal R_{SD} en fonction de T_{Si} [Barral '07].

En plus de l’amincissement du film de silicium, il est également intéressant de réduire l’épaisseur du BOX afin d’améliorer le contrôle des effets de canaux courts, comme l’illustre les équations 11 et 12. En effet, il existe des lignes de champ qui se propagent dans le BOX, créant un couplage entre la source et le drain [Yeh '95], [Ernst '99], [Fenouillet '04]. Pour de petites longueurs de grille, le potentiel dans l’oxyde enterré prend une forme parabolique et sa variation n’est donc plus linéaire comme sur un canal long. Ceci induit une augmentation du potentiel dans le canal de conduction (à l’interface Si/BOX). L’amincissement de la couche d’oxyde enterré permet de diminuer le couplage entre la source et le drain. Les lignes de champ retrouvent ainsi une variation linéaire dans le BOX, ce qui améliore le contrôle électrostatique [Gallon '07]. La Figure 6 montre qu’en diminuant l’épaisseur du BOX de 145nm à 20nm, il est possible de réduire le DIBL de 25 % pour une longueur de grille de 30nm. Par la suite, en présence de T_{Si} et de T_{BOX} minces, nous parlerons de substrats UTBB (pour *Ultra-Thin Body and Buried Oxide*).

En l’absence de dopage sous l’oxyde enterré, les champs électriques induits par la grille et par les source-drain provoquent une déplétion sous le BOX (d’épaisseur T_{DEP_SUB}) ce qui augmente son épaisseur effective T_{BOX_eff} . Lorsque T_{BOX} diminue, la zone de déplétion commence à prendre une importance significative par rapport à l’épaisseur physique de l’oxyde enterré. On obtient ainsi :

$$T_{BOX_eff} = T_{BOX} + \frac{\epsilon_{OX}}{\epsilon_{Si}} \cdot T_{DEP_SUB} \quad (\text{Équation 14})$$

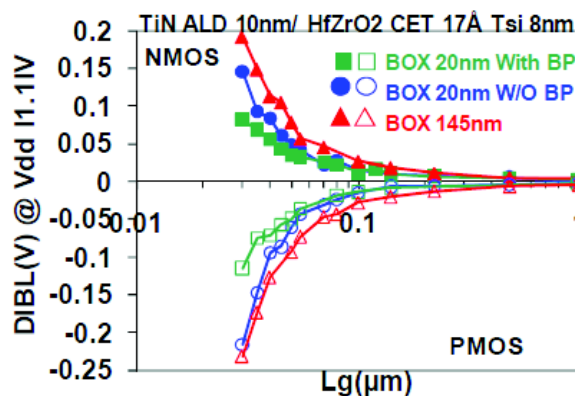


Figure 6 : Evolution du DIBL en fonction de la longueur de grille de dispositifs FDSOI nMOS et pMOS ($T_{Si}=8nm$, $EOT=1.4nm$). Les résultats sont donnés pour des épaisseurs de BOX de 145nm et 20nm (avec ou sans BP) [Fenouillet '11].

Cette zone de déplétion va par conséquent modifier le potentiel du canal de conduction et altérer le contrôle électrostatique. Une réduction de cette déplétion est possible en introduisant un dopage sous le BOX, appelé *back-plane* (BP) [Ernst '99] (voir la Figure 7). Celui-ci est réalisé avec des ions Indium ou Bore (BP de type p) et Arsenic ou Phosphore (BP de type n). Les conditions d'implantation (dose, énergie, type d'ions) sont définies de telle manière que le pic de concentration maximale soit situé juste en dessous du BOX, tout en évitant un dopage du film de silicium actif. L'utilisation d'un BP de type opposé à celui des jonctions source-drain permet par ailleurs d'améliorer encore plus le contrôle électrostatique [Gallon '07], le BP ayant pour rôle d'empêcher la pénétration du champ électrique dans le substrat.

L'utilisation d'un oxyde enterré mince présente également un intérêt pour l'ajustement de la tension de seuil des transistors FDSOI. C'est un point clé de cette technologie, permettant de contrôler les fuites et/ou d'augmenter la vitesse d'un même dispositif avec une grande flexibilité. L'intégration d'un BP implanté sous le BOX peut être utilisée comme une seconde grille, dont la polarisation V_B agit sur les caractéristiques électriques du dispositif [Noel '09] [Noel '11]. Cette méthode est basée sur les techniques de réduction du courant de fuite qui ont été développées en technologie MOS sur silicium massif. En appliquant une différence de potentiel entre le BP et la source du transistor (négatif pour les nMOS et positive pour les pMOS), la tension de seuil augmente et permet ainsi de réduire le courant I_{OFF} [Kuroda '96a] [Kuroda '96b] [Oowaki '98]. Cette technique est communément appelée RBB (pour *Reverse Back Biasing*). Par opposition, quand la différence de potentiel est positive pour les nMOS et négative pour les pMOS, le courant de drain en régime d'inversion forte augmente ce qui permet d'accroître la vitesse du dispositif. Cette technique s'appelle FBB (pour *Forward Back Biasing*).

La Figure 7 montre un schéma d'intégration dans lequel la polarisation face arrière V_B va agir de manière commune (à travers le substrat) sur les nMOS et les pMOS. Cette architecture a été utilisée sur les dispositifs expérimentaux (transistors MOS et cellules mémoires SRAM) que nous étudierons dans les prochains chapitres. Par ailleurs, une seule grille métallique est utilisée pour tous les transistors, ainsi qu'un seul type de BP. Néanmoins, deux types de BP ont été testés (Figure 7) permettant d'adresser deux V_T pour chaque type de MOS. Un BP du même type que les source-drain donnera un transistor de type LVT (pour *Low V_T*) alors qu'un BP de type opposé donnera un V_T plus élevé, de type RVT (pour *Regular V_T*) (voir le paragraphe suivant). Une flexibilité additionnelle pour l'ajustement des tensions de seuil est possible en polarisant indépendamment les BP des nMOS et des pMOS (pouvant également être de types différents sur un même substrat) grâce à l'implantation de caissons sous les BP et à la réalisation de prises caissons avec ouverture du BOX [Noel '10].

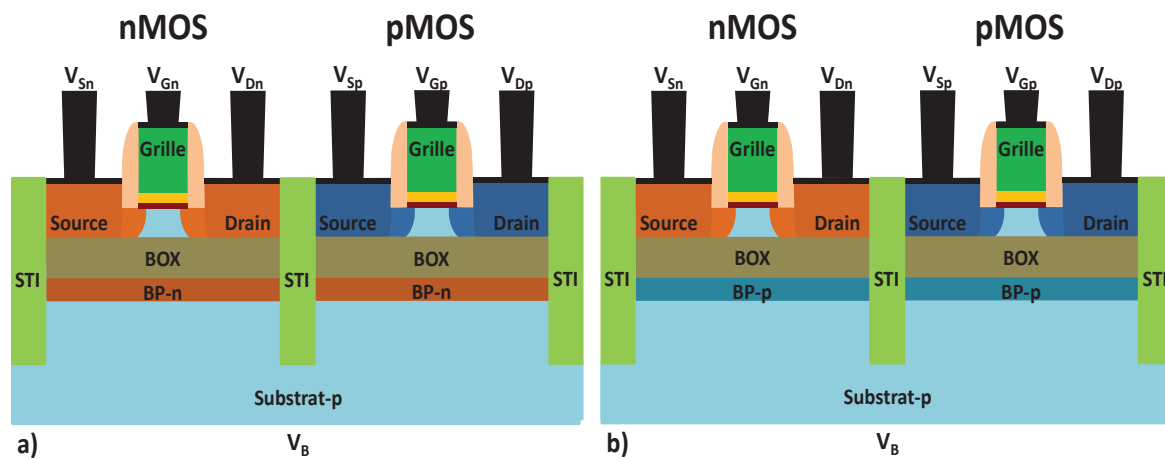


Figure 7 : Vue schématique en coupe de transistors nMOS et pMOS fabriqués en technologie FDSOI ayant un film de silicium mince, ainsi qu'un oxyde enterré mince avec un BP unique (de type n dans (a) et de type p dans (b)). La polarisation du BP se fait par l'intermédiaire du substrat. La même grille métallique est utilisée pour les nMOS et les pMOS.

Nous allons maintenant décrire la capacité de la grille arrière à ajuster la tension de seuil du transistor. Le facteur de couplage entre la grille avant et la grille arrière est défini tel que $\gamma = \Delta V_T / \Delta V_B$. Ce facteur de couplage est dépendant du mode de conduction du dispositif. Pour commencer, nous allons considérer une architecture de transistor ayant un canal long et un BOX mince sans BP. L'épaisseur du film de silicium est suffisamment épaisse pour que le canal de conduction reste de type surfacique. En effet, dans le cas d'un film extrêmement mince, celui-ci peut devenir volumique [Colinge '97] en raison d'un couplage entre les populations de porteurs situées aux interfaces avant et arrière.

En appliquant une tension négative sur V_B (positive dans le cas des pMOS), le potentiel à l'interface Si/BOX chute. Un canal de conduction est créé à l'interface avant du film de silicium lorsque $V_G = V_T$. Le facteur de couplage est donné par l'équation suivante (cas d'un canal long) [Lim '83] :

$$\gamma_{FC} = \frac{EOT}{T_{BOX} + \frac{\epsilon_{SiO_2}}{\epsilon_{Si}} \cdot T_{Si}} \quad (\text{Équation 15})$$

En appliquant une tension V_B comprise dans la gamme $[0V, 1V]$ ($[-1V, 0V]$ dans le cas des pMOS), l'interface BOX/substrat se situe en régime de déplétion [Mazellier '08] ce qui augmente l'épaisseur effective T_{BOX_eff} . Lorsque l'épaisseur du BOX est faible, la zone de déplétion va prendre une importance significative par rapport à l'épaisseur physique de l'oxyde enterré (Equation 14).

De plus, quand V_B est supérieure à environ 1V (inférieure à $-1V$ pour les pMOS), le potentiel à l'interface Si/BOX augmente et induit la création d'un canal de conduction à l'interface arrière du film de silicium à $V_G=V_T$. Le facteur de couplage se présente de la manière suivante [Lim '83] :

$$\gamma_{BC} = \frac{EOT + \frac{\epsilon_{SiO2}}{\epsilon_{Si}} \cdot T_{Si}}{T_{BOX}} \quad (\text{Equation 16})$$

L'influence du BP sur la courbe $V_T(V_B)$ est illustrée à la Figure 8 (a). Les trois régimes de fonctionnement du substrat sont très clairement visibles quand aucun BP n'est utilisé. En revanche, l'implantation d'un BP sous le BOX agit fortement sur le comportement électrique en fonction de V_B . Tout d'abord, cela minimise fortement l'effet de déplétion à l'interface BOX/substrat intervenant dans la gamme $[0V, 1V]$ pour les nMOS ($[-1V, 0V]$ pour les pMOS) sans BP. La Figure 8 (a) montre également que pour une valeur V_B négative (positive pour les pMOS), un BP-n n'a pas d'influence sur la courbe $V_T(V_B)$ par rapport à l'architecture BOX mince sans BP. Les électrons naturellement présents (lié au type de BP) sont plaqués à proximité de l'interface BOX/substrat. Par opposition, dans le cas où un BP-p est utilisé, on observe une influence de la déplétion des porteurs majoritaires (trous) présents dans le silicium à proximité de l'interface BOX/substrat. Finalement, pour une valeur V_B supérieure à environ 1V (inférieure à $-1V$ dans le cas des pMOS), c'est la configuration ayant un BP-p (des trous sont naturellement présents à proximité de l'interface BOX/substrat) qui a le même comportement que le cas sans BP. L'utilisation d'un BP-n se traduit par une modification de la courbe $V_T(V_B)$ en raison de la présence d'une zone de déplétion des porteurs majoritaires (électrons) présents dans le substrat. Le phénomène de déplétion est mis en avant grâce aux différentes conditions de simulations de BP (dopage à 2×10^{18} ou 1×10^{20} at.cm⁻³). En effet, quand ce dopage est fortement augmenté par rapport aux valeurs typiques égales à 2×10^{18} at.cm⁻³, l'épaisseur de la zone de déplétion à l'interface BOX/substrat est atténuée, ce qui donne deux courbes $V_T(V_B)$ identiques pour les deux types de BP, simplement décalées en V_B de la valeur de la bande interdite (*band-gap*) du silicium. On notera ainsi que pour une même valeur de V_B , un changement de type de BP permet de moduler le V_T de xmV , x étant défini tel que :

$$x = \text{band-gap} \cdot \frac{dV_T}{dV_B} \quad (\text{Equation 17})$$

Cet écart peut être utilisé avantageusement pour faire évoluer un dispositif de type LVT en RVT, par exemple. Un BOX mince ($T_{BOX} < 50nm$) est indispensable afin d'avoir une modulation efficace du V_T . L'entreprise SOITEC a déjà montré qu'il est possible de réduire T_{BOX} jusqu'à une épaisseur de 1.5nm [Delprat '09]. L'intégration de BP sous le BOX mince est requise, à laquelle est couplée une utilisation optimale de V_B . L'efficacité de cette architecture a par ailleurs été démontrée sur silicium

[Fenuillet '10]. Cette modulation de la tension de seuil des transistors est bénéfique pour l'ajustement des caractéristiques électriques de courants I_{SAT} ou I_{OFF} . La Figure 8 (b) montre qu'il est possible d'augmenter I_{SAT} de 25 % quand $V_B=+1$ V (par rapport au cas où $V_B=0V$) pour les nMOS ($V_B=-1V$ pour les pMOS) avec $T_{BOX}=10nm$, ou bien de réduire I_{OFF} de 2 décades quand $V_B=-1V$ (par rapport au cas où $V_B=0V$) pour les nMOS ($V_B=+1V$ pour les pMOS).

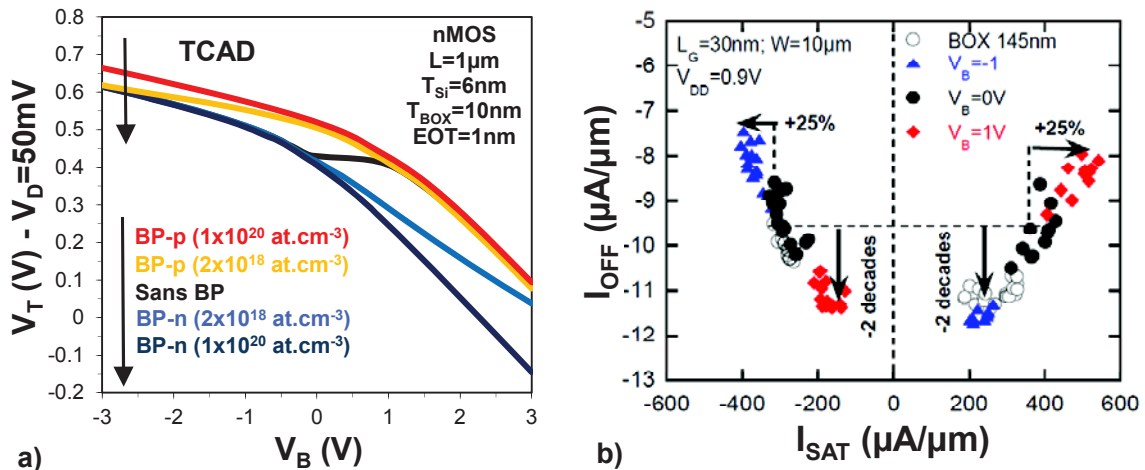


Figure 8 : (a) Evolution de la tension de seuil d'un transistor nMOS en fonction de la polarisation V_B , sans ou avec un BP (de type n ou de type p ayant des dopages de 2×10^{18} ou $1 \times 10^{20} \text{ at.cm}^{-3}$). (b) Evolution du compromis $I_{OFF}(I_{SAT})$ en fonction de V_B (-1V ; 0V et +1V). Les résultats sont donnés pour des transistors nMOS et pMOS ayant un oxyde enterré de 10nm [Andrieu '10].

Au-delà de ces aspects de contrôle des effets de canaux courts et d'ajustement de la tension de seuil, l'intérêt majeur de la technologie FDSOI est son immunité contre la variabilité. Ceci fait l'objet de la section suivante.

1.4. La problématique de la variabilité en microélectronique

1.4.1. Variabilité systématique

Considérons un circuit qui sera fabriqué sur deux sites de production. Il peut exister des variations entre ces deux usines étant donné que les équipements ne seront pas rigoureusement identiques. De plus, au sein d'un même site, les lots électriques vont être réalisés à des moments différents. Bien qu'un étalonnage soit effectué régulièrement sur chacun des équipements intervenant dans le processus, de légères déviations sur les conditions de réalisation d'une étape donnée vont créer des fluctuations entre deux lots réalisés consécutivement. Le même raisonnement intervient entre les plaques d'un même lot où, sur un intervalle de temps plus court, la reproductibilité ne sera pas forcément identique. Des variations entre les puces d'une même plaque peuvent survenir en raison d'un procédé de fabrication non uniforme (effet de gradient de température lors d'une oxydation ou d'un recuit, par exemple), de même que pour les variations à travers une puce. L'ensemble de ces sources de variabilité est directement lié au procédé de fabrication, et sera désigné comme étant la variabilité systématique.

1.4.2. Variabilité stochastique

En supplément des sources de fluctuations énumérées précédemment, il est également possible d'observer des variations sur les caractéristiques électriques de transistors d'un même lot, d'une même plaque, d'une même puce et étant séparé par la distance minimale autorisée par les règles de dessin. Les sources de fluctuations intervenant dans le cas présent seront regroupées et désignées comme étant la variabilité locale. Par opposition à la variabilité systématique, elle est de nature aléatoire. Celle-ci est reconnue depuis le nœud technologique 65nm comme ayant un effet notable d'une part sur les caractéristiques électriques des transistors, mais également sur celles des circuits.

Afin d'illustrer de manière plus concise ces deux types de variabilité, nous allons nous intéresser à une fluctuation observée au sein d'une même puce. La Figure 9 (a) représente la mesure brute effectuée sur l'ensemble d'une zone géographique donnée. Dans cette même zone, une décomposition est effectuée afin de dissocier les composantes stochastiques et systématiques des données d'origine. Il apparaît nettement une signature aléatoire dans la Figure 9 (b) et un fort gradient (induit par le processus d'intégration) dans la Figure 9 (c).

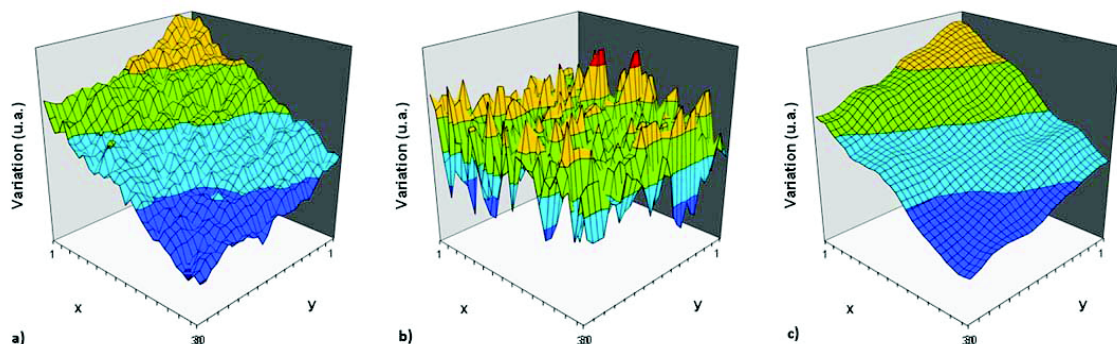


Figure 9 : Représentations illustratives des différents niveaux de variabilité : (a) variabilité mesurée au sein d'une même puce. (b) et (c) représentent respectivement les composantes stochastique et systématique de (a).

1.4.3. Impact de la variabilité sur les circuits

La variabilité affecte le rendement des circuits analogiques et numériques. Celui-ci correspond d'une part à la fonctionnalité des circuits, mais également au respect des spécifications telles que la vitesse et la consommation. Des marges doivent donc être mises à place sur les différentes caractéristiques électriques des transistors afin de garantir la fonctionnalité du produit final. C'est à partir de ces données que les circuits sont conçus. Cela signifie que les marges utilisées doivent refléter parfaitement la variabilité présente dans les dispositifs expérimentaux. Une surestimation de celles-ci entraînerait un surcoût lors de la conception et également un risque de réévaluation des performances (à la baisse) afin de maintenir des fluctuations acceptables. Par opposition, une sous-estimation compromettrait le rendement. Dans les deux cas, une modélisation optimale des sources de variations systématiques et stochastiques (écarts types et corrélations [Cheng '10]) est indispensable. La conception des circuits est généralement basée sur les résultats d'un simulateur électrique où les marges correspondent aux valeurs extrêmes des paramètres électriques (par

exemple pour la tension de seuil, on a $V_T = V_{T0} \pm n \cdot \sigma_{VT}$, où V_{T0} est la tension de seuil moyenne typique et n correspond au nombre d'écart types σ_{VT} tolérés) assurant le respect des spécifications. Celles-ci peuvent être des caractéristiques électriques des transistors mais également de circuits (SRAM, oscillateur à anneaux, etc.) [Saha '10]. Ces marges prennent également en compte des critères de température et de tension d'alimentation.

Nous allons voir maintenant quelques exemples de circuits permettant d'illustrer l'influence de la variabilité des caractéristiques électriques des transistors.

1.4.3.a. Cellule mémoire SRAM

Une cellule SRAM (pour *Static Random Access Memory*) est une cellule mémoire permettant de stocker une donnée. Ce point mémoire (1 bit) constitue l'élément de base d'un circuit SRAM pouvant regrouper plusieurs millions de cellules élémentaires (architecture matricielle). La forme la plus couramment utilisée en technologie CMOS est la cellule SRAM-6T (Figure 28 (a)) qui, comme son nom l'indique, est composée de six transistors. On trouve deux inverseurs CMOS (le premier étant constitué des transistors LD1 et DR1, le second des transistors LD2 et DR2) rebouclés l'un sur l'autre, permettant de conserver l'information. Chaque inverseur se compose ainsi d'un nMOS de décharge (noté DR pour *drive*) et d'un pMOS de charge (noté LD pour *load*). A cela s'ajoute deux transistors d'accès (notés AC pour *access*) nécessaires pour lire et écrire l'information par l'intermédiaire des connections nommées WL (pour *Word-Line*), BL_L et BL_R (pour *Bit-Line*).

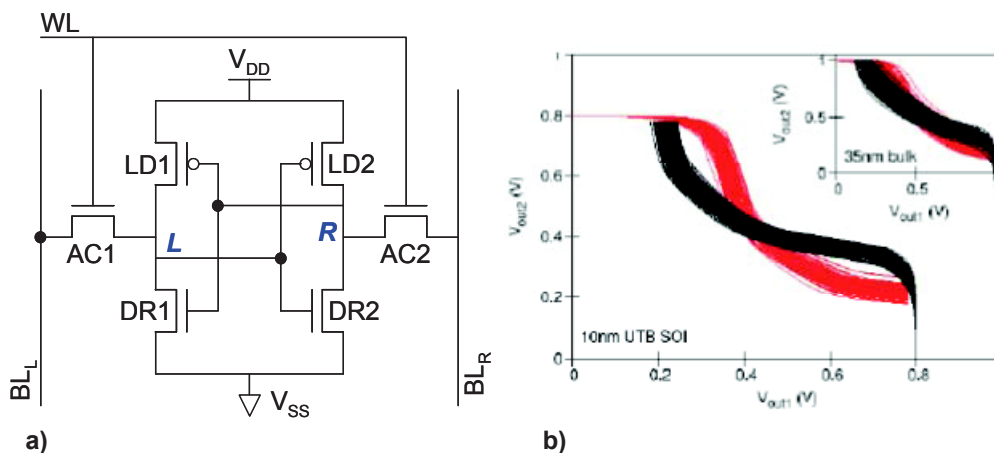


Figure 10 : (a) Schéma électrique d'une cellule SRAM-6T. (b) Courbes "papillons" obtenues par simulation sur des cellules SRAM-6T constituées de transistors bulk [Asenov '07]

Ce type de mémoire n'a pas besoin de rafraîchissement (par opposition aux mémoires dynamiques) et conserve la donnée tant que l'alimentation n'est pas coupée. Ces mémoires sont devenues des circuits de référence afin de tester la maturité et la fiabilité d'une technologie. On notera en particulier la nécessité d'avoir des caractéristiques électriques très proches sur chacun des transistors ayant la même fonction (charge, décharge et accès). L'appariement des dispositifs est par conséquent une problématique majeure pour ce type de circuit [Cheng '06a] [Cheng '06b], limitant le

rendement et la tension minimale d'alimentation (V_{DD_MIN}) [Shin '10]. Ceci est illustré à la Figure 10 (b) présentant des courbes de stabilité en lecture. La variabilité stochastique impactant les caractéristiques électriques des différents transistors de la cellule SRAM-6T ne permet plus d'avoir un fonctionnement correct en technologie sur silicium massif (nœud technologique 35nm). En effet, le désappariement entraîne une réduction de la zone de stabilité des cellules mémoires correspondant à la largeur des deux lobes (Figure 10 (b)) [Seevinck '87]. Une analyse détaillée de ces cellules mémoires réalisées en technologie FDSOI sera présentée au chapitre 3.

1.4.3.b. Circuits analogiques

Les problématiques d'appariement sont également très importantes dans le domaine de l'analogique [Pelgrom '98] [Kinget '96]. Nous allons illustrer ceci grâce à deux circuits élémentaires : le miroir de courant et la paire différentielle.

Un miroir de courant est constitué de deux transistors (T1 et T2) connectés en grille commune et source commune (Figure 11 (a)). Sa fonction est de fournir un courant I_0 pouvant servir de référence dans un circuit. C'est un élément souvent utilisé dans les applications analogiques. Ce courant sera parfaitement identique au courant de référence servant de signal d'entrée (I_{REF}) si et seulement si T1 et T2 sont identiques. Des fluctuations peuvent intervenir et rendre fautive la relation $I_0 = I_{REF}$ [Linn '98]. Cela peut donc avoir des conséquences néfastes sur le fonctionnement des circuits à polariser.

La paire différentielle est quant à elle composée de deux transistors T3 et T4 connectés en source commune et polarisés à une source de courant notée I , comme le montre la Figure 11 (b). R1 et R2 correspondent à des résistances de charge. Le rôle de la paire différentielle est d'amplifier avec un fort gain β une différence de potentiel notée $V_{IN} = V_{G3} - V_{G4}$. Ainsi, nous obtenons $V_{OUT} = V_{D3} - V_{D4} = \beta \cdot V_{IN}$. La présence de fluctuations sur les caractéristiques électriques des transistors T3 et T4 (et également des deux résistances, par ailleurs) va engendrer une erreur dans la précédente relation. Les performances du circuit (gain en mode différentiel et taux de réjection en mode commun) sont par conséquent dépendantes de l'appariement des dispositifs.

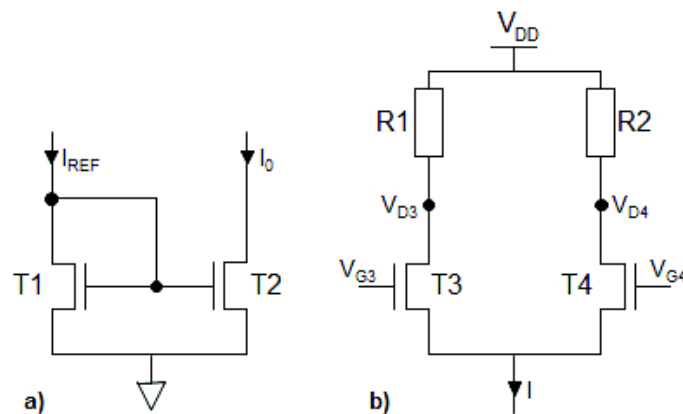


Figure 11 : Schéma électrique (a) d'un miroir de courant et (b) d'une paire différentielle

1.4.4. Sources de variabilité stochastique du V_T en technologie FDSOI

1.4.4.a. Influence des dopants dans le canal de conduction

Au fil des nœuds technologiques, la loi de réduction d'échelle a amené des difficultés pour maintenir un bon contrôle électrostatique pour les transistors sur silicium massif tout en conservant des tensions de seuil adéquates. Un dopage du canal toujours plus important était indispensable. Cependant, cette tendance a pour effet d'augmenter considérablement la fluctuation de nombre de dopant dans le canal, appelé RDF (pour *Random Dopant Fluctuation*). Celle-ci est ainsi devenue la principale source de variabilité stochastique des transistors sur silicium massif [Asenov '03] [Yang '07] [Asenov '07] [Kuhn '07] [Kuhn '11]. Or, depuis le nœud technologique 90nm, la contribution systématique liée au processus d'intégration n'est plus prédominante devant la contribution stochastique. La variabilité totale des caractéristiques électriques des transistors est donc fortement impactée par ces fluctuations aléatoires, qui seront essentiellement adressées dans ce manuscrit. Pour des longueurs de grille importantes, le nombre de dopants dans le canal (dont la distribution suit une loi normale) est suffisamment important pour que la variabilité de ce paramètre n'affecte pas significativement le désappariement des transistors (environ 5000 dopants pour un cube de 100nm^3) [Yang '07]. En revanche, pour des longueurs de grille très petites, le nombre de dopants se réduit à une moyenne de 40 dopants pour un cube de 20nm^2 , entraînant un désappariement plus important entre les transistors.

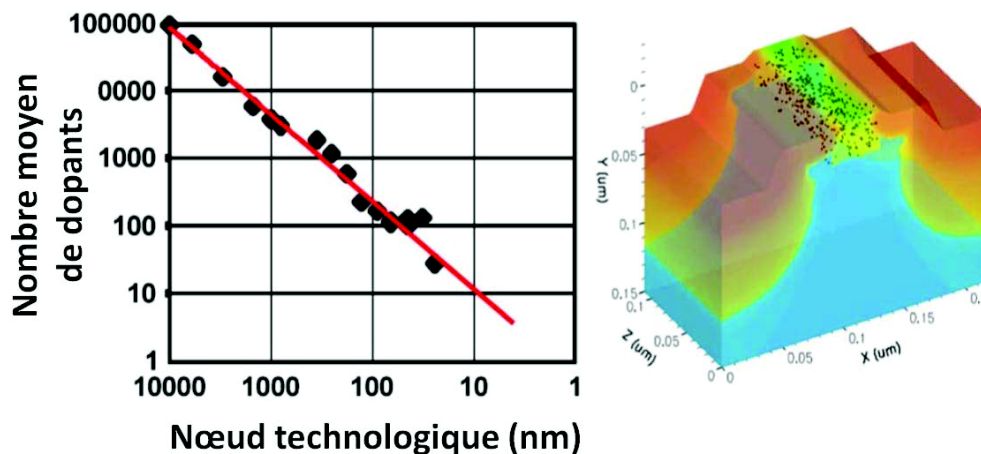


Figure 12 : Evolution du nombre de dopants en fonction du nœud technologique. Le RDF devient par conséquent une source de variabilité de plus en plus critique [Kuhn '11].

La variabilité locale de la tension de seuil est estimée par une analyse statistique basée sur la différence de V_T (notée ΔV_T) entre deux transistors adjacents situés à la distance minimale autorisée par les règles de dessin. La méthodologie utilisée lors des analyses de variabilité présentées dans ce manuscrit est donnée en Annexe A. Celle-ci se résume à un filtrage des données permettant de s'affranchir de possibles problèmes lors de la mesure ou de transistors présentant des caractéristiques électriques atypiques. L'écart type $\sigma_{\Delta V_T}$ de cette population épurée permet donc de quantifier la variabilité locale d'une géométrie donnée. Cette opération est répétée pour un certain nombre de

couples L/W afin de tracer le graphique de la Figure 13 (a). Historiquement, la variabilité locale de la tension de seuil a été tracée en fonction de $1/\sqrt{W.L}$ [Lakshmikumar '86]. Cela vient du fait que pour les transistors sur silicium massif, $\sigma_{\Delta VT}$ est proportionnel à la racine quatrième de la densité N_A de dopants dans le canal et à l'inverse de la racine carrée de la surface des transistors [Stolk '98] :

$$\sigma_{\Delta VT} \propto EOT \cdot \frac{\sqrt[4]{N_A}}{\sqrt{W.L}} \quad (\text{Équation 18})$$

Par ailleurs, cette évolution linéaire de $\sigma_{\Delta VT}$ avec $1/\sqrt{W.L}$ est liée à la nature aléatoire des sources de variabilité impactant les fluctuations locales de la tension de seuil. Celles-ci ont des longueurs de corrélation très faibles devant les dimensions des transistors, ce qui signifie que leur influence prend une proportion de plus en plus grande quand la surface est réduite. Ces fluctuations peuvent être représentées selon le modèle de Pelgrom [Pelgrom '89], stipulant que chacune des sources de variabilité locale s'exprime sous forme d'une variable aléatoire distribuée selon une loi normale de moyenne nulle. Le paramètre $A_{\Delta VT}$ représentatif du contrôle de la variabilité stochastique peut ainsi être estimé en utilisant une régression linéaire par la méthode des moindres carrés sur le graphique de $\sigma_{\Delta VT}$ en fonction de $1/\sqrt{W.L}$ [Pelgrom '89] :

$$A_{\Delta VT} = \sigma_{\Delta VT} \cdot \sqrt{W.L} \quad (\text{Équation 19})$$

L'évolution linéaire de $\sigma_{\Delta VT}$ avec $1/\sqrt{W.L}$ est communément appelée la « loi de Pelgrom ». La Figure 13 (a) représente la variabilité locale de la tension de seuil mesurée expérimentalement sur une plaque FDSOI de référence. Ici, $A_{\Delta VT}$ est égal à 1.34mV.μm.

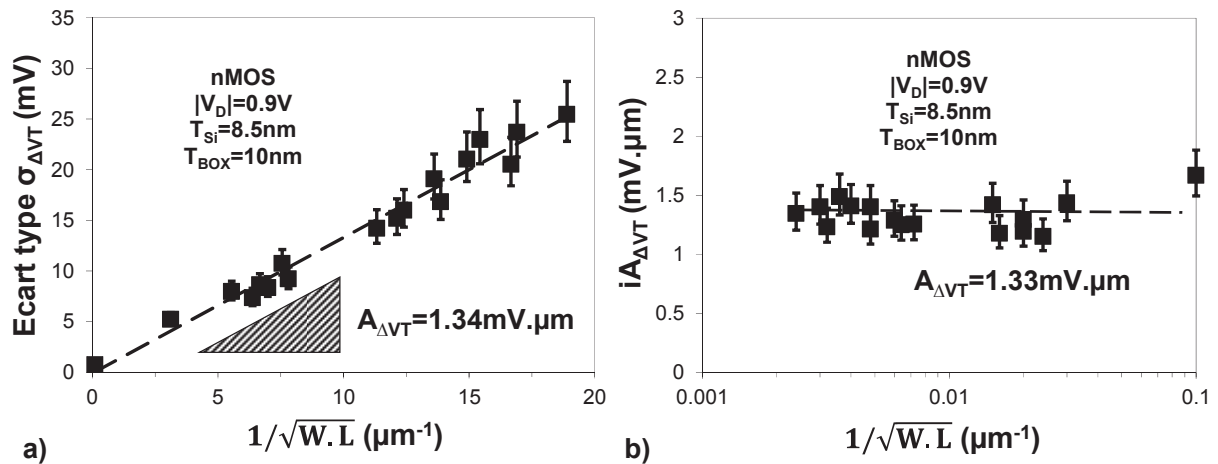


Figure 13. $\sigma_{\Delta VT}$ en fonction de $1/\sqrt{W.L}$. (a) Le paramètre d'appariement $A_{\Delta VT}$ est obtenu par régression linéaire. (b) Le paramètre d'appariement $A_{\Delta VT}$ est obtenu en calculant la moyenne des $iA_{\Delta VT}$. Les barres d'erreur représentées dans ce graphique représentent l'intervalle de confiance dans l'estimation des différents écarts types (voir en annexe A la section A.4).

Une seconde méthode a été développée afin d'améliorer la précision de calcul du paramètre $A_{\Delta VT}$ [Cathignol '06]. La section A.4 de l'annexe A montre que l'incertitude sur les écarts types estimés est proportionnelle aux écarts types eux-mêmes. Cela signifie que les écarts types les plus élevés sont

également ceux étant les plus entachés par une erreur d'estimation. Ainsi, le paramètre d'appariement peut facilement être impacté par cette erreur si le nombre de paires de transistors mesurées expérimentalement est trop faible (en raison d'une chute du rendement, par exemple). Dans cette méthode, un paramètre d'appariement individuel $iA_{\Delta VT}$ est calculé pour chacune des géométries L/W :

$$iA_{\Delta VT} = \sigma_{\Delta VT} \cdot \sqrt{W \cdot L} \quad (\text{Équation 20})$$

Finalement, $A_{\Delta P}$ est calculé de la manière suivante :

$$A_{\Delta VT} = \frac{1}{N} \sum_{i=1}^N iA_{\Delta VT} \quad (\text{Équation 21})$$

où N est le nombre de géométries L/W mesurées. En pondérant les estimations $\sigma_{\Delta VT}$ des écarts types vrais par l'inverse de la racine carrée de la surface, il est possible de limiter l'influence de l'incertitude relative aux $\sigma_{\Delta VT}$ les plus biaisés (c'est-à-dire les plus élevés) et ainsi estimer le paramètre $A_{\Delta VT}$ plus précisément que par une régression linéaire. La Figure 13 (b) représente la variabilité locale de la tension de seuil mesurée expérimentalement sur la même plaque FDSOI de référence que pour la Figure 13 (a), cette fois sous la forme de $iA_{\Delta VT}$. Dans le cas présent, $A_{\Delta VT}$ est égal à 1.33mV.µm.

En technologie FDSOI, l'utilisation d'un canal non dopé permet donc de s'affranchir la principale source de variabilité des transistors sur silicium massif. Cela se traduit par une nette amélioration du paramètre d'appariement $A_{\Delta VT}$, comme cela est illustré à la Figure 14.

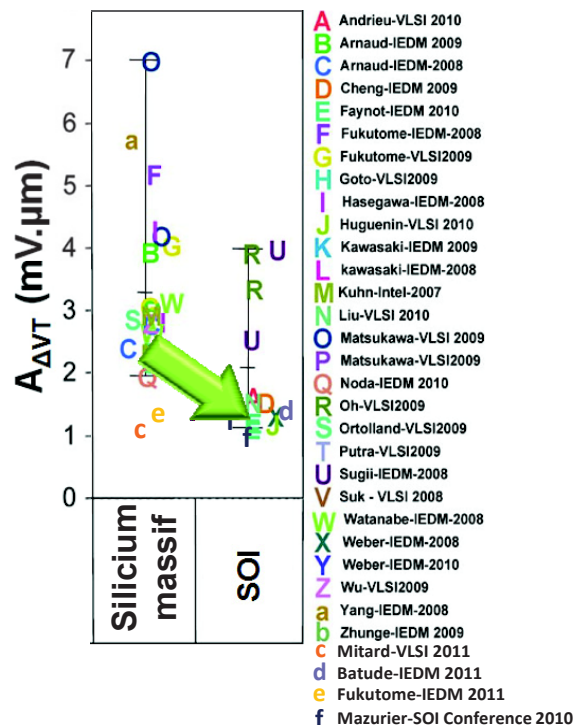


Figure 14 : Bilan des performances en variabilité stochastique publiées dans la littérature, regroupant des résultats obtenus sur des dispositifs sur silicium massif (bulk) et sur SOI [Kuhn '11].

1.4.4.b. Sources liées aux effets de canaux courts

Les effets de canaux courts (présentés à la section 1.2.2) vont avoir un impact sur la variabilité locale de la tension de seuil. Comme le montre la Figure 15 (a), la réduction de la tension de seuil observée sur les plus petites longueurs de grille tend à augmenter la dérivée de V_T par rapport à L (dV_T/dL). Les fluctuations σ_L de la longueur effective du canal de conduction sont en partie induites par les procédés de lithographie et de gravure à travers la rugosité de grille appelée LER (pour *Line Edge Roughness*) [Croon '02] [Wu '02] [Asenov '03] [Kim '04] [Ye '08]. La longueur effective varie également par l'intermédiaire de fluctuations stochastiques liées à la diffusion latérale des dopants sous les espaceurs [Markov '12] (fluctuations locales de la largeur des espaceurs, de l'épaisseur d'épitaxie, des conditions d'implantations des extensions source/drain et du recuit d'activation associé). Les variations de V_T vont ainsi être exacerbées. La contribution du SCE et du DIBL sur $\sigma_{\Delta V_T}$ donne :

$$\sigma_{\Delta V_T, \text{SCE/DIBL}} \propto \left(\frac{\partial V_T}{\partial L} \cdot \sigma_L \right) \quad (\text{Équation 22})$$

La loi de Pelgrom stipule que l'écart type $\sigma_{\Delta V_T}$ doit évoluer linéairement avec $1/\sqrt{W \cdot L}$ [Pelgrom '89]. Pour les plus petites longueurs de grille, une déviation par rapport à cette loi peut être observée à la Figure 15 (b) quand le contrôle des effets de canaux courts n'est pas suffisamment optimisé. De plus, cette dégradation de la variabilité est exacerbée par l'augmentation de la tension de drain.

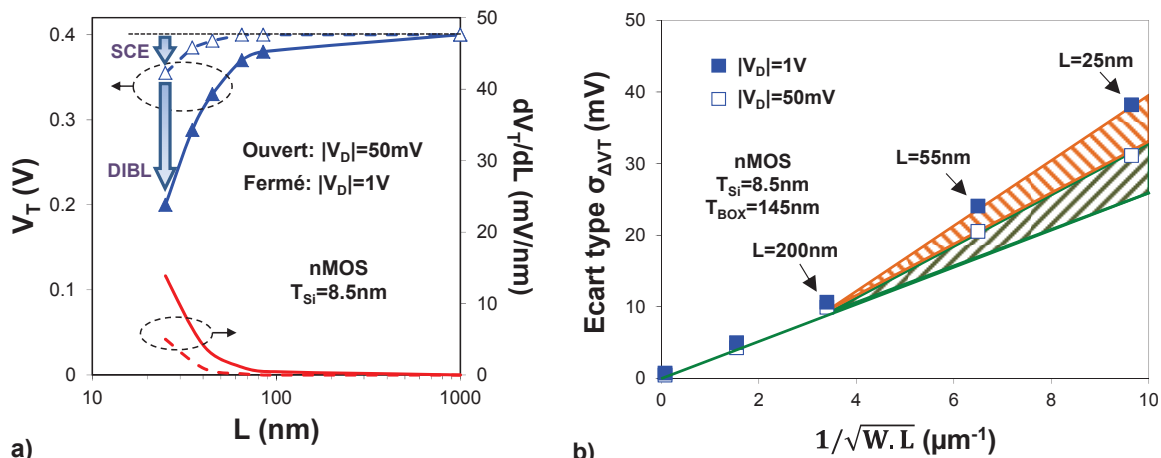


Figure 15 : (a) Tension de seuil et sa dérivée (dV_T/dL) en fonction de la longueur de grille [Weber '08]. (b) $\sigma_{\Delta V_T}$ en fonction de $1/\sqrt{W \cdot L}$ illustrant l'impact du SCE et du DIBL [Weber '08].

1.4.4.c. Contribution de l'empilement de grille

Nous avons vu à la section 1.2.1.b que la tension de seuil des transistors FDSOI est imposée par le travail de sortie de la grille métallique. Cependant, celui-ci peut présenter des irrégularités. La grille se trouve sous forme polycristalline dont la taille des grains varie entre 5 et 50nm avec une orientation aléatoire. La granularité de la grille métallique est liée aux conditions de dépôt, mais également au budget thermique du processus d'intégration. Quand la taille des grains est suffisamment petite par rapport aux dimensions L et W du transistor, la variation du potentiel de

surface sur l'ensemble du canal (influencée par le travail de sortie des grains) va tendre à se moyenniser, rendant la distribution de V_T proche d'une loi normale. En revanche, si la taille des grains devient comparable aux dimensions du transistor, la distribution va fortement dévier d'une loi normale et présenter des pics de forte probabilité d'occurrence correspondants aux différents travaux de sortie de la grille, qui sont eux-mêmes liés aux orientations cristallines des grains. Dans le cas du TiN, deux orientations cristallines peuvent être observées : l'orientation cristalline $\langle 111 \rangle$ donnant un travail de sortie de 4.4eV avec une probabilité d'occurrence de 40 % et l'orientation cristalline $\langle 200 \rangle$ donnant un travail de sortie de 4.6eV avec une probabilité d'occurrence de 60 % [Dadgour '10]. L'université de Glasgow a démontré par l'intermédiaire de simulations atomistiques que la variabilité de la tension de seuil en technologie *bulk* devrait être majoritairement induite par le RDF et par la contribution de la grille métallique (en considérant une taille moyenne de grains d'environ 20nm) pour une longueur de grille inférieure à 20nm [Wang '11]. Cela sous-entend que cette dernière aura également un impact prépondérant sur la variabilité de la tension de seuil des transistors FDSOI si la taille des grains n'est pas suffisamment bien contrôlée. Ce point est primordial car les principales sources de variabilité stochastiques en technologie FDSOI (Figure 16), en l'absence de dopants dans le canal, sont attribuées à l'empilement de grille (présence de charges localisées σ_{Qox} (ou de dipôles dans le high-k), variations d'épaisseur σ_{Tox} [Asenov '02] et variations de permittivité $\sigma_{\epsilon ox}$ et/ou aux fluctuations induites par la grille métallique) [Weber '08].

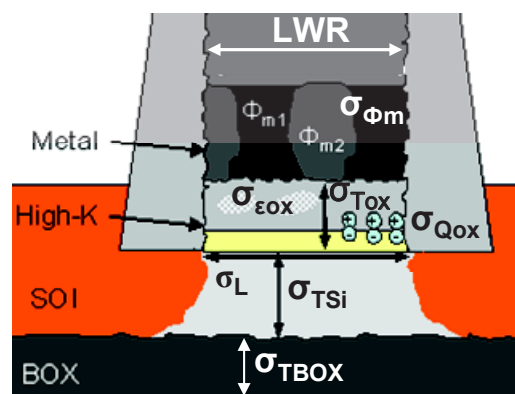


Figure 16 : Représentation schématique des sources de variabilité stochastique présentes en technologie FDSOI [Weber '08].

Une attention toute particulière doit donc être portée lors du dépôt des différents matériaux de l'empilement de grille. L'introduction de couches additionnelles dans l'empilement de grille (comme de l' Al_2O_3 ou du La) est également susceptible de dégrader l'appariement des dispositifs. Ceci doit être pris en considération lors de l'intégration d'une nouvelle grille métallique. Nous étudierons ces aspects dans la section 2.3. Une piste intéressante serait d'avoir un métal de grille ayant une structure cristalline amorphe lors de son dépôt et de pouvoir la conserver tout au long du processus d'intégration [Ohmori '08] [Matsukawa '12]. Ceci reste cependant difficile à mettre en place, notamment à cause des étapes d'épitaxie (750°C) et d'activation des dopants présents dans les jonctions et dans les extensions source-drain (1050°C) pour une stratégie d'intégration

conventionnelle, dite *gate-first*, par opposition au *gate-last* où le métal de grille est intégré après les recuits d'activation, ce qui permet d'éviter son exposition aux budgets thermiques élevés [Chatterjee '97] [Guillaumot '02] [Mistry '07].

1.4.4.d. Sources spécifiques à la technologie FDSOI

La technologie FDSOI diffère de celle sur silicium massif notamment par la présence du film de silicium monocristallin non dopé, isolé du substrat par le BOX. Dans le cas de transistors sur silicium massif, le canal de conduction se situe directement dans le substrat. Pour les dispositifs FDSOI, deux sources de variabilité additionnelles interviennent ($\sigma_{T_{Si}}$ et $\sigma_{T_{BOX}}$), comme le montre la Figure 16.

Nous allons tout d'abord nous intéresser à ce que peut apporter la réduction de l'épaisseur T_{Si} sur la variabilité de la tension de seuil. La section 1.3.3 a démontré que l'amincissement du film de silicium permet d'améliorer le contrôle de la grille sur le canal de conduction et donc de réduire les effets de canaux courts. Cela signifie donc que l'abaissement de la tension de seuil pour les plus petites longueurs de grille est atténué. La section 1.4.4.b a démontré que le SCE et le DIBL tendent à augmenter la dérivée de V_T par rapport à L . Ainsi, la réduction du T_{Si} de 12nm à 8nm permet de limiter dV_T/dL , tout en augmentant sensiblement dV_T/dT_{Si} comme l'illustre la Figure 17 (a). Cela se traduit à la Figure 17 (b) par une atténuation de la déviation de la variabilité stochastique par rapport à la loi de Pelgrom pour les plus petites longueurs de grille. On peut ainsi écrire :

$$\sigma_{\Delta V_T, SCE/DIBL} \propto \sqrt{\left(\frac{\partial V_T}{\partial L} \cdot \sigma_L\right)^2 + \left(\frac{\partial V_T}{\partial T_{Si}} \cdot \sigma_{T_{Si}}\right)^2} \quad (\text{Équation 23})$$

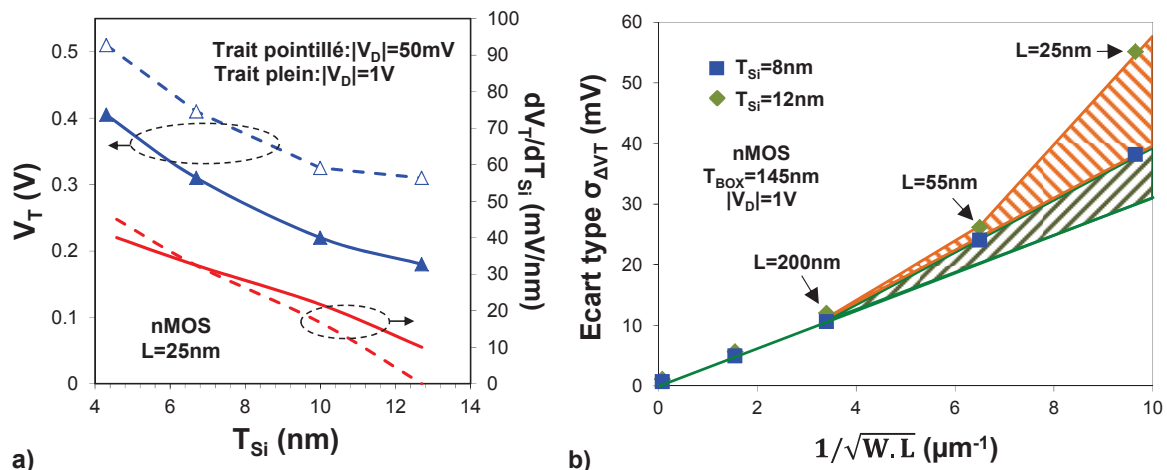


Figure 17 : (a) Tension de seuil et sa dérivée (dV_T/dT_{Si}) en fonction de l'épaisseur du film de silicium [Weber '08]. (b) $\sigma_{\Delta V_T}$ en fonction de $1/\sqrt{W \cdot L}$ représentant l'impact de la réduction du T_{Si} sur le contrôle des effets de canaux courts [Weber '08].

En contrepartie, une telle influence du T_{Si} sur le SCE et le DIBL signifie qu'un contrôle optimal de cette épaisseur est primordial pour maîtriser correctement les caractéristiques électriques des transistors ayant des longueurs de grille très courtes.

On peut dissocier deux gammes de fluctuations de T_{Si} . La première est à l'échelle de la plaque et correspond à des variations systématiques. La seconde est basée sur des fluctuations plus aléatoires donc la longueur de corrélation est locale (à l'échelle du μm). Cette dernière sera appelée rugosité.

D'importants efforts ont été menés afin d'améliorer l'uniformité du film de silicium à l'échelle de la plaque [Mazuré '10] [Schwarzenbach '12], comme le montre la Figure 18 (a). Une variation maximale (tous points, toutes plaques) de $\pm 0.5nm$ mesurée par ellipsométrie est actuellement atteinte par la société SOITEC grâce au procédé Smart CutTM. Il reste tout de même important de maintenir une optimisation croissante de cette uniformité car, pour les nœuds technologiques actuels, l'amplitude des variations de T_{Si} se rapproche significativement de l'épaisseur moyenne recherchée. Par ailleurs, cette variabilité systématique à l'échelle de la plaque ne représente qu'une partie des fluctuations de l'épaisseur du film de silicium. Des variations locales de T_{Si} vont venir impacter la variabilité locale et globale des caractéristiques électriques des transistors. Cet aspect sera traité de manière exhaustive dans le Chapitre 5.

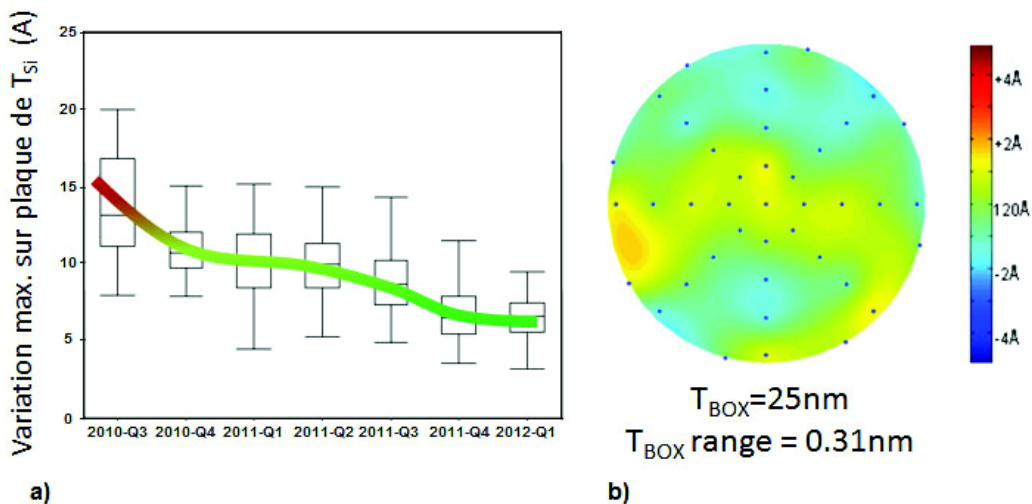


Figure 18 : (a) Evolution de la variabilité de l'épaisseur de la couche de silicium sur substrats SOI. Une uniformité de $\pm 0.5nm$ est désormais atteinte en production. (b) Mesures ellipsométriques de l'épaisseur du BOX sur l'ensemble du substrat (41 points de mesure, 3mm d'exclusion en bord de plaque) [Schwarzenbach '12].

Par ailleurs, l'ajustement de la tension de seuil des transistors est nécessaire lors du développement d'une plateforme technologique. Pour cela, nous avons vu à la section 1.3.3 qu'une option disponible en technologie FDSOI est d'appliquer une polarisation sur les BP implantés sous le BOX, jouant le rôle d'une seconde grille. Or, l'efficacité de cette technique réside dans l'utilisation d'un oxyde enterré mince. Les mesures ellipsométriques de la Figure 18 (b) montrent une variation maximale de l'épaisseur du BOX à l'échelle de la plaque de 0.31nm [Schwarzenbach '12] pour une épaisseur moyenne de 25nm. Cela représente une fluctuation du facteur de couplage de $\pm 0.42\%$ en considérant une valeur moyenne égale à 110mV/V [Faynot '10]. Nous pouvons donc en conclure que la composante systématique de cette source de variabilité est négligeable. Il est cependant indispensable que les fluctuations locales d'épaisseurs du BOX ne créent pas une source de variabilité

stochastique significative. Il en va de même pour les conditions d'implantation des BP. Ces deux points seront traités dans la section 2.2.2.

De nouvelles sources de variabilité existent par ailleurs sur les technologies concurrentes au FDSOI. On trouve notamment l'architecture FinFET, dont une illustration est faite à la Figure 19. Il s'agit d'un transistor double grille qui est réalisé en 3 dimensions, par opposition aux dispositifs *bulk* et FDSOI qui sont de type planaire. L'épaisseur du canal est définie par la largeur W_{Si} de l'aileron (appelé *fin*) et la largeur de la zone active correspond à 2 fois la hauteur de celui-ci (noté H_{Si}). D'un point de vue électrostatique, le FinFET est supérieur aux architectures planaires grâce à la présence de ces deux grilles. Sur ce type de dispositif, le contrôle électrostatique est déterminé par W_{Si} , ce qui impose d'avoir des dispositifs étroits. Or, W_{Si} est définie par les procédés de lithographie et de gravure, pour lesquelles est associée une rugosité de flan. Le compromis entre la réduction de la longueur de grille et le contrôle de la variabilité semble jusqu'à présent être meilleur en FDSOI par rapport au FinFET d'après la littérature [Weber '09]. Ceci peut être attribué à une meilleure uniformité du T_{Si} que de la largeur du *fin*. La variabilité stochastique de la tension de seuil et du courant I_{SAT} des transistors FinFET est par ailleurs très sensible à cette source de fluctuations [Wang '11].

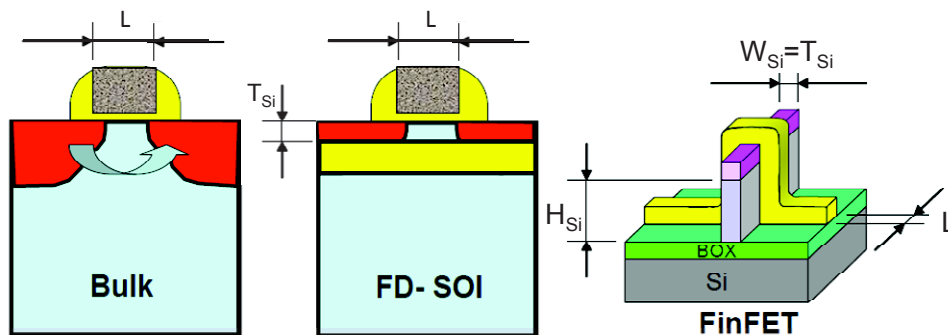


Figure 19 : Représentation schématique de transistors *bulk*, FDSOI et FinFET.

1.5. Conclusion

Les transistors MOS sont confrontés à des effets parasites induits par la miniaturisation des dimensions caractéristiques et par l'augmentation de la densité d'intégration. Pour les nœuds technologiques 32 nm et en deçà, la technologie FDSOI apparaît comme une alternative prometteuse au silicium massif. Il a d'ores et déjà été montré dans la littérature que la technologie FDSOI avec son canal non dopé permettait de réduire la variabilité stochastique de la tension de seuil par rapport à la technologie *bulk*.

L'objet des quatre chapitres suivants est de présenter en profondeur les résultats de variabilité stochastique de cette technologie FDSOI et par quelles variantes technologiques cette variabilité est-elle modulée. Ceci concernera l'analyse de la variabilité du V_T et du courant de drain au niveau du transistor unitaire, jusqu'à l'étude de la variabilité de la SNM au niveau de la cellule mémoire SRAM.

1.6. Références bibliographiques

- [Andrieu '10] F. Andrieu, O. Weber, J. Mazurier et al., "Low Leakage and Low Variability Ultra-Thin Body and Buried Oxide (UT2B) SOI Technology for 20nm Low Power CMOS and Beyond", *IEEE Symposium on VLSI Technology*, 2010, p. 57-58.
- [Asenov '02] A. Asenov, S. Kaya et J.H. Davies, "Intrinsic threshold voltage fluctuations in decanano MOSFETs due to local oxide thickness variations", *IEEE Transactions on Electron Devices*, Vol. 49, N° 1, 2002, p. 112-119.
- [Asenov '03] A. Asenov, S. Kaya et A.R. Brown, "Intrinsic parameter fluctuations in decanometer MOSFETs introduced by gate line edge roughness", *IEEE Transactions on Electron Devices*, Vol. 50, N° 5, 2003, p. 1254-1260.
- [Asenov '07] A. Asenov, "Simulation of Statistical Variability in Nano MOSFETs", *IEEE Symposium on VLSI Technology*, 2007, p. 86-87.
- [Barral '07] V. Barral, T. Poiroux, F. Andrieu et al., "Strained FDSOI CMOS technology scalability down to 2.5nm film thickness and 18nm gate length with a TiN/HfO₂ gate stack", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2007, p. 61-64.
- [Brueel '95] M. Brueel, "Silicon on insulator material technology", *Electronics Letters*, Vol. 31, N° 14, 1995, p. 1201-1202.
- [Cathignol '06] A. Cathignol, K. Rochereau, S. Bordez et al., «Improved methodology for better accuracy on transistors matching characterization», *IEEE International Conference on Microelectronics Test Structures (ICMTS)*, 2006, p. 173-178.
- [Cathignol '07] A. Cathignol, S. Bordez, K. Rochereau et al., "From MOSFET Matching Test Structures to Matching Data Utilization: Not an Ordinary Task", *IEEE International Conference on Microelectronic Test Structures (ICMTS)*, 2007, p. 230-233.
- [Chatterjee '97] A. Chatterjee, R.A. Chapman, G. Dixit et al., "Sub-100 nm gate length metal gate nmos transistors fabricated by a replacement gate process", *International Electron Device Meeting (IEDM) Technical Digest*, 1997, p. 821-824.
- [Cheng '06a] B. Cheng, S. Roy, G. Roy et al., "Impact of Random Dopant Fluctuation on Bulk CMOS 6-T SRAM Scaling", *European Solid-State Device Research Conference (ESSDERC)*, 2006, p. 258-261.
- [Cheng '06b] B. Cheng, S. Roy et A. Asenov, "Impact of Intrinsic Parameter Fluctuations on SRAM Cell Design", *International Conference on Solid-State and Integrated Circuit Technology (ICSICT)*, 2006, p. 258-261.
- [Cheng '09] K. Cheng, A. Khakifirooz, P. Kulkarni et al., "Extremely Thin SOI (ETSOI) CMOS with Record Low Variability for Low Power System-on-Chip Applications", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2009, p. 49-52.
- [Cheng '10] B. Cheng, D. Dideban, N. Moezi et al., "Capturing intrinsic parameter fluctuations using the PSP compact model", *Design, Automation & Test in Europe Conference & Exhibition (DATE)*, 2010, p. 650-653.
- [Cochran '54] W.G. Cochran, "Some Methods for Strengthening the Common chi-squared Tests", *Biometrics (International Biometric Society)*, Vol. 10, N° 4, Décembre, 1954, p. 417-451.

- [Colinge '97] J.P. Colinge, "Silicon-On-Insulator Technology: Materials to VLSI, 2nd Edition", *Springer*, 1997.
- [Croon '02] J.A. Croon, G. Storms, S. Winkelmeier et al., "Line edge roughness : Characterization, modeling and impact on device behaviour", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2002, p. 307-310.
- [Dadgour '10] H.F. Dadgour, K. Endo, V.K. De et al., "Grain-Orientation Induced Work Function Variation in Nanoscale Metal-Gate Transistors-Part I: Modeling, Analysis, and Experimental Validation", *IEEE Transactions on Electron Devices*, Vol. 57, N° 10, Octobre, 2010, p. 2504-2514.
- [Delprat '09] D. Delprat, F. Boedt, C. David et al., "SOI substrate readiness for 22/20 nm and for fully depleted planar device architectures", *IEEE International SOI Conference*, 2009, p. 120-123.
- [Ernst '99] T. Ernst and S. Cristoloveanu, "The GP concept for the reduction of short-channel effect in fully depleted SOI devices", *Electrochemical Society Proceedings*, Vol. 99-3, 1999, p. 329-334.
- [Faynot '10] O. Faynot, F. Andrieu, O. Weber et al., "Planar Fully Depleted SOI Technology: a powerful architecture for the 20nm node and beyond", *IEEE Symposium on VLSI Technology*, 2010, p. 50-53.
- [Fenouillet '04] C. Fenouillet-Beranger, T. Skotnicki, S. Monfray et al., "Requirements for ultra-thin film devices and new materials for the CMOS roadmap", *Solide-State Electronics*, Vol. 48, N° 6, 2004, p. 961-967.
- [Fenouillet '09a] C. Fenouillet-Beranger, P. Perreau, S. Denorme et al., "Impact of a 10nm Ultra-Thin BOX (UTBOX) and Ground Plane on FDSOI devices for 32nm node and below", *European Solid State Device Research Conference (ESSDERC)*, 2009, p. 89-92.
- [Fenouillet '10] C. Fenouillet-Beranger, O. Thomas, P. Perreau et al., "Efficient Multi-V_T FDSOI technology with UTBOX for low power circuit design", *IEEE Symposium on VLSI Technology*, 2010, p. 65-66.
- [Fenouillet '11] C. Fenouillet-Beranger, P. Perreau, L. Tosti, O. Thomas, J.-P. Noel, T. Benoist, O. Weber, F. Andrieu, A. Bajolet, S. Haendler, M. Cassé, X. Garros, K.K. Bourdelle, F. Boedt, O. Faynot et F. Boeuf, "Low power UTBOX and Back Plane (BP) FDSOI technology for 32nm node and below", *IEEE Conference on IC Design & Technology (ICICDT)*, 2011, p. 1-4.
- [Fujiwara '05] M. Fujiwara, T. Morooka, N. Yasutake et al., "Impact of BOX scaling on 30nm gate length FD SOI MOSFETs", *IEEE International SOI Conference*, 2005, p. 180-182.
- [Gallon '07] C. Gallon, "Architectures avancées de transistors CMOS SOI pour le nœud 32 nm et en deçà: films ultra-fins, contraintes mécaniques, BOX mince et plan de masse", Institut National Polytechnique de Grenoble, 2007.
- [Guillaumot '02] B. Guillaumot, X. Garros, F. Lime et al., "75 nm damascene metal gate and high-k integration for advanced cmos devices", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2002, p. 355-358.
- [ITRS '11] "International Technology Roadmap For Semiconductors", Edition 2011, available at: <http://www.itrs.net/Links/2011ITRS/Home2011.htm>
- [Jan '09] C.-H. Jan, M. Agostinelli, M. Buehler et al., "A 32nm SoC platform technology with 2nd generation High-k/ Metal Gate Transistors Optimized for Ultra Low Power, High Performance, and High Density Product

- Applications", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2009, p. 647-650.
- [Kanno '07] M. Kanno, A. Shibuya, M. Matsumura et al., "Empirical Characteristics and Extraction of Overall Variations for 65-nm MOSFETs and Beyond", *IEEE Symposium on VLSI Technology*, 2007, p. 88-89.
- [Kim '04] S.-D. Kim, H. Wada et J.C.S. Woo, "TCAD-based statistical analysis and modeling of gate line-edge roughness effect on nanoscale MOS transistor performance and scaling", *IEEE Transactions on Semiconductor Manufacturing (TSM)*, Vol. 17, Issue 2, May, 2004, p. 192-200.
- [Kinget '96] P. Kinget et M. Steyaert, "Impact of transistor mismatch on the speed-accuracy-power trade-off of analog CMOS circuits", *IEEE Custom Integrated Circuits Conference*, 1996, p. 333-336.
- [Kuhn '07] K. J. Kuhn, "Reducing Variation in Advanced Logic Technologies : Approches to Process and Design for Manufactuability of Nanoscale CMOS", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2007, p. 471-474.
- [Kuhn '11] K. J. Kuhn - "Process Technology Variation", *IEEE Transactions on Electron Devices*, Août, 2011, Vol. 58, N° 8, p. 2197-2208.
- [Kuroda '96a] T. Kuroda, T. Fujita, S. Mita et al., "A 0.9-V, 150-MHz, 10-mW, 4 mm², 2-D discrete cosine transform core processor with variable-threshold-voltage scheme", *IEEE International Solid-State Circuits Conference (ISSCC)*, 1996, p. 166-167.
- [Kuroda '96b] T. Kuroda, T. Fujita, S. Mita et al., "A 0.9-V, 150-MHz, 10-mW, 4 mm², 2-D discrete cosine transform core processor with variable threshold-voltage (VT) scheme", *IEEE Journal of Solid-State Circuits*, Vol. 31, Issue 11, 1996, p. 1770-1779.
- [Lakshmikumar '86] K.R. Lakshmikumar, R.A. Hadaway et M.A. Copeland, "Characterisation and modeling of mismatch in MOS transistors for precision analog design", *IEEE Journal of Solid-State Circuits*, Vol. 21, N° 6, p. 1057-1066.
- [Leray '90] J.L. Leray, E. Dupont-Nivet, J.F. Peret et al., "CMOS/SOI hardening at 100 Mrad (SiO₂)", *IEEE Transactions on Nuclear Science*, Vol. 37, Issue 6, 1990, p. 2013-2019.
- [Lim '83] H.-K. Lim et J. G. Fossum, "Threshold Voltage of Thin-Film Silicon-on-Insulator (SOI) MOSFET's", *IEEE Transactions on Electron Devices*, Vol. 30, N° 10, Octobre, 1983, p. 1244-1251.
- [Linn '98] C. G. Linnenbank, W. Weber, U. Kollmer et al., "What Do Matching Results of Medium Area MOSFETs Reveal for Large Area Devices in Typical Analog Applications", *European Solid-State Device Research Conference (ESSDERC)*, 1998, p. 104-107.
- [Liu '10] Y.X. Liu, K. Endo, S. O'uchi et al., "On the Gate-Stack Origin Threshold Voltage Variability in Scaled FinFETs and Multi-FinFETs", *IEEE Symposium on VLSI Technology*, 2010, p.101-102.
- [Maleville '06] C. Maleville, "SOI material readiness for 45nm and sub-45nm device options", *ECS Transactions*, Vol. 3, N° 4, 2006, p. 397-407.
- [Markov '12] S. Markov, B. Cheng et A. Asenov, "Statistical Variability in Fully Depleted SOI MOSFETs Due to Random Dopant Fluctuations in the Source and Drain Extensions", *IEEE Electron Device Letters*, Vol. 33, N° 3, Mars, 2012, p. 315-317.

- [Matsukawa '12] T. Matsukawa, Y. Liu, W. Mizubayashi et al., "Suppressing V_t and G_m Variability of FinFETs Using Amorphous Metal Gates for 14nm and Beyond", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2012.
- [Mazellier '08] J.P. Mazellier, F. Andrieu, O. Faynot et al., "Threshold Voltage in Ultra Thin FDSOI CMOS: Advanced Triple Interface Model and Experimental Devices", *International Conference on Ultimate Integration of Silicon*, 2008, p. 31-34.
- [Mazuré '10] C. Mazuré, R. Ferrant, B.-Y. Nguyen et al., "FDSOI: From Substrate to Devices and Circuit Applications", *European Solid-State Circuits Conference (ESSCIRC)*, 2010, p. 45-51.
- [Mistry '07] K. Mistry, C. Allen, C. Auth, B. Beattie, D. Bergstrom, M. Bost, M. Brazier, M. Buehler, A. Cappellani, R. Chau, C.-H. Choi, G. Ding, K. Fischer, T. Ghani, R. Grover, W. Han, D. Hanken, M. Hattendorf, J. He, J. Hicks, R. Huessner, D. Ingerly, P. Jain, R. James, L. Jong, S. Joshi, C. Kenyon, K. Kuhn, K. Lee, H. Liu, J. Maiz, B. McIntyre, P. Moon, J. Neiryck, S. Pae, C. Parker, D. Parsons, C. Prasad, L. Pipes, M. Prince, P. Ranade, T. Reynolds, J. Sandford, L. Shifren, J. Sebastian, J. Seiple, D. Simon, S. Sivakumar, P. Smith, C. Thomas, T. Troeger, P. Vandervoorn, S. Williams et K. Zawadzki K, "A 45nm logic technology with high-k+metal gate transistors, strained silicon, 9 cu interconnect layers, 193nm dry patterning, and 100percent pb-free packaging", *IEEE International Electron Devices Meeting (IEDM)*, 2007, p. 247-250.
- [Montgomery '01] D.C. Montgomery, "Introduction to Statistical Quality Control", *Edition Wiley*, 2001.
- [Morita '08] Y. Morita, R. Tsuchiya, T. Ishigaki et al., "Small V_{th} variability Achieved by Intrinsic Silicon on Thin BOX (SOTB) CMOS with Single Metal Gate", *IEEE Symposium on VLSI Technology*, 2008, p. 166-167.
- [Nassif '86] S.R. Nassif, A.J. Strojwas et S.W. Director, "A Methodology for Worst-Case Analysis of Integrated Circuits", *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 5, N° 1, Janvier, 1986, p. 104-113.
- [Noel '09] J.-P. Noel, O. Thomas, C. Fenouillet-Beranger et al., "A simple and efficient concept for setting up multi- V_T devices in thin BOX fully-depleted SOI technology", *European Solid State Device Research Conference (ESSDERC)*, 2009, p. 137-140.
- [Noel '10] J.-P. Noel, O. Thomas, M.-A. Jaud et al., "UT2B-FDSOI device architecture dedicated to low power design techniques", *European Solid State Device Research Conference (ESSDERC)*, 2010, p. 210-213.
- [Noel '11] J.-P. Noel, O. Thomas, M.-A. Jaud et al., "Multi- V_T UTBB FDSOI Device Architectures for Low Power CMOS Circuit", *IEEE Transactions on Electron Devices*, vol. 58, no. 8, 2011, p. 2473-2482.
- [Ohmori '08] K. Ohmori, T. Matsuki, D. Ishikawa et al., "Impact of additional factors in threshold voltage variability of metal/high-k gate stacks and its reduction by controlling crystalline and grain size in the metal gates", *IEEE International Electron Devices Meeting (IEDM)*, 2008, p. 409-412.
- [Oowaki '98] Y. Oowaki, M. Noguchi, S. Takagi et al., "A sub-0.1 μm circuit design with substrate-over-biasing", *International Solid-State Circuits Conference (ISSCC)*, 1998, p. 88-89.
- [Pelgrom '89] M.J.M. Pelgrom, A.C.J. Duinmajar et A.P.G. Welbers, "Matching properties of MOS transistors", *IEEE Journal of Solid-State Circuits*, Vol. 24, N° 5, Octobre, 1989, p. 1433-1439.

- [Pelgrom '98] M.J.M. Pelgrom, H.P. Tuinhout et M. Vertregt, "Transistor matching in analog CMOS applications", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 1998, p. 915-918.
- [Pergoot '95] A. Pergoot, B. Graindourze, E. Janssens et al., "Statistics in matching", *International Conference on Microelectronics Test Structures (ICMTS)*, 1995, p. 193-197.
- [Pidin '04] S. Pidin, T. Mori, K. Inoue et al., "A novel strain enhanced CMOS architecture using selectively deposited high tensile and high compressive silicon nitride films", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2004, p. 213-216.
- [Ponoth '11] S. Ponoth, M. Vinet, L. Grenouillet et al., "Implant Approaches and Challenges for 20nm Node and Beyond ETSOI Devices", *IEEE International SOI Conference*, 2011, p. 57-58.
- [Saha '10] S.K. Saha, "Modeling Process Variability in Scaled CMOS Technology", *IEEE Design & Test of Computers*, Vol. 27, N° 2, 2010, p. 8-16.
- [Schwarzenbach '11] W. Schwarzenbach, X. Cauchy, F. Boedt et al., "Excellent Silicon Thickness Uniformity on Ultra-Thin SOI for controlling V_t variation of FDSOI", *International Conference on IC Design & Technology (ICICDT)*, 2011.
- [Schwarzenbach '12] W. Schwarzenbach, V. Barec, X. Cauchy et al., "Ultra-Thin SOI/BOX Layers and Next Generations Planar Fully Depleted Substrates", *ECS Transactions*, Vol. 45, N° 6, 2012, p. 227-230.
- [Seevinck '87] E. Seevinck, F.J. List, J. Lohstroh, "Static-Noise Margin Analysis of MOS SRAM Cells", *IEEE Journal of Solid-State Circuits*, Vol. 22, N° 5, 1987, p.748-754.
- [Shin '10] C. Shin, M.H. Cho, Y. Tsukamoto et al., "Performance and Area Scaling Benefits of FD-SOI Technology for 6-T SRAM Cells at the 22-nm Node", *IEEE Transactions on Electron Devices*, Vol. 57, N° 6, 2010, p. 1301-1309.
- [Skotnicki '88] T. Skotnicki, G. Merckel et T. Pedrom, "The Voltage-Doping Transformation, a new approach to the modeling of MOSFET Short-Channel Effects", *IEEE Electron Devices Letters*, Vol. 9, Issue 3, 1988, p. 109-112.
- [Spiegel '00] M.R. Spiegel, J.J. Schiller et R.A. Srinivasan, "Schaum's Outline: Probability and Statistics", Schaum, 2^{ème} édition, 2000.
- [Stolk '98] P.A. Stolk, F.P. Widdershoven et D.B.M. Klaassen, "Modeling Statistical Dopant Fluctuations in MOS Transistors", *IEEE Transactions on Electron Devices*, Vol. 45, N° 9, 1998, p. 1960-1971.
- [Sugii '10] N. Sugii, R. Tsuchiya, T. Ishigaki et al., "Local V_{th} Variability and Scalability in Silicon-on-Thin-BOX (SOTB) CMOS With Small Random-Dopant Fluctuation", *IEEE Transactions on Electron Devices*, Vol. 57, N° 4, 2010, p. 835-845.
- [Sze '07] S.M. Sze and K.K. Ng, "Physics of Semiconductor Devices", 3rd Edition, *John Wiley & Sons Ltd*, 2007.
- [Tsuchiya '07] R. Tsuchiya, T. Ishigaki, Y. Morita et al., "Controllable Inverter Delay and Suppressing V_{th} Fluctuation Technology in Silicon on Thin BOX Featuring Dual Back Bias Architecture", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2007, p. 475-478.
- [Wang '11] X. Wang, A.R. Brown, N. Idris et al., "Statistical Threshold-Voltage Variability in Scaled Decanometer Bulk HKMG MOSFETs: A Full-Scale 3-D

- Simulation Scaling Study", *IEEE Transactions on Electron Devices*, Vol. 58, N° 8, 2011, p. 2293-2301.
- [Weber '08] O. Weber, O. Faynot, F. Andrieu et al., "High Immunity to Threshold Voltage Variability in Undoped Ultra-Thin FDSOI MOSFETs and its Physical Understanding", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2008, p. 641-644.
- [Weber '09] O. Weber, F. Andrieu, C. Fenouillet-Beranger et al., "High Scalability and Low Variability of Planar Fully Depleted SOI MOSFETs", *ECS Transactions*, Vol. 22, N° 1, 2009, p. 71-80.
- [Wu '02] J. Wu, J. Chen et K. Liu, « Transistor width dependance of LER degradation to CMOS device characteristics », *International Conference on Simulation of Semiconductor Processes and Devices (SISPAD)*, 2002, p. 95-96.
- [Yang '07] F.-L. Yang, J.-R. Hwang, H.-M. Chen et al., "Discrete Dopant Fluctuated 20nm/15nm-Gate Planar CMOS", *IEEE Symposium on VLSI Technology*, 2007, p. 208-209.
- [Ye '08] Y. Ye, F. Liu, S. Nassif et al., "Statistical Modeling and Simulation of Threshold Variation under Dopant Fluctuations and Line-Edge Roughness", *Design Automation Conference (DAC)*, 2008, p. 900-905.
- [Yeh '95] P.C. Yeh et J.G. Fossum, "Physical subthreshold MOSFET modeling applied to viable design of deep-submicrometer fully depleted SOI low-voltage CMOS technology", *IEEE Transaction on Electron Devices*, Vol. 42, N° 9, 1995, p. 1605-1613.
- [Yeo '05] Y.-C. Yeo et J. Sun, "Finite-element study of strain distribution in transistor with silicon-germanium source and drain regions", *Applied Physics Letters*, Vol. 86, N° 2, 2005, p. 023103-1-3.

Chapitre 2

Etude expérimentale de la variabilité de la tension de seuil en technologie FDSOI

2.1. Introduction

Le développement d'une plateforme de conception nécessite de mettre en place des solutions permettant d'ajuster la tension de seuil des transistors. On parle alors de plateforme multi- V_T . Ce type de stratégie a vu le jour afin de limiter l'influence des fuites de courant des transistors sur silicium massif [Yamashita '00]. Plusieurs tensions de seuil sont ainsi nécessaires :

- La tension de seuil de référence RVT (pour *Regular* V_T), est majoritairement utilisée par les circuits logiques. Elle est choisie afin d'obtenir un courant de fuite I_{OFF} en adéquation avec l'application visée (haute performance ou basse consommation).
- Il est également nécessaire d'avoir une tension de seuil permettant de répondre aux besoins des chemins critiques de ces circuits logiques. En effet, certaines zones du circuit nécessitent des performances accrues. On diminue par conséquent la tension de seuil, appelée LVT (pour *Low* V_T), afin d'augmenter le courant de drain en régime de saturation (au détriment du I_{OFF}).
- Certaines applications spécifiques requièrent quant à elles une tension de seuil plus élevée appelée HVT (pour *High* V_T). Elle est généralement utilisée pour les cellules mémoires SRAM nécessitant un courant de fuite le plus faible possible.

Sur silicium massif, ces tensions de seuil sont obtenues facilement grâce à l'ajustement du dopage du canal. Or, en technologie FDSOI, cette solution n'est pas envisagée afin de conserver tous les avantages du film de silicium non dopé. Cela signifie qu'un autre bras de levier est indispensable. Une solution consiste à changer le métal de grille [Skotnicki '08] pour chacun des V_T , mais rend le procédé de fabrication CMOS très complexe avec au moins 5 métaux différents. Une autre possibilité est d'intégrer un plan de masse (BP) sous l'oxyde enterré (obligatoirement mince pour que le couplage entre le BP et le canal de conduction soit suffisamment efficace) et d'y appliquer une polarisation permettant d'ajuster très précisément la tension de seuil des transistors [Noel '09] [Noel '11]. Cette technique est également utilisée en technologie *bulk* afin de compenser la variabilité inter-puce de la tension de seuil [Sathanur '09]. Une modulation dynamique de V_B permet ainsi d'optimiser le rendement des puces [Tschanz '02] [Tschanz '03]. L'objectif de ce chapitre est d'analyser l'impact de ces deux leviers (grille métallique et polarisation du BP) sur la variabilité stochastique du V_T des transistors nMOS et pMOS réalisés en technologie FDSOI.

Finalement, nous étudierons des dispositifs réalisés sur un substrat sSOI, dont la particularité est de posséder une forte contrainte mécanique en tension dans les directions longitudinale et transverse, ce qui permet d'augmenter les performances I_{SAT}/I_{OFF} des transistors nMOS. Ce type de transistors présente également une réduction de la tension de seuil V_{Tn} pouvant être utile pour ajuster les V_T .

2.2. Variabilité de la tension de seuil en technologie UTBB

2.2.1. Modulation de la tension de seuil par polarisation du BP

L'utilisation d'un oxyde enterré mince présente un avantage très important pour l'ajustement de la tension de seuil des transistors en technologie FDSOI. En effet, nous avons vu à la section 1.3.3 que le BP implanté sous cet oxyde mince peut être utilisé comme une seconde grille agissant sur les caractéristiques électriques du dispositif. La Figure 20 montre qu'en polarisant V_B entre $-V_{DD}$ et $+V_{DD}$, il est possible de moduler la tension de seuil sur une gamme de 270mV pour un BP de même type que les implantations source-drain du transistor (BP-n sur nMOS, BP-p sur pMOS). Cet ajustement s'étend par ailleurs sur 220mV quand le BP est de type opposé (BP-p sur nMOS, BP-n sur pMOS) en raison d'une légère dégradation du facteur de couplage, elle-même liée à la modification de la position du barycentre de porteurs dans le canal de conduction [Noel '11].

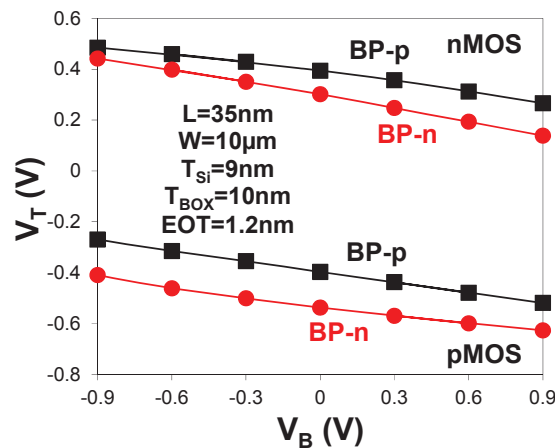


Figure 20 : Tension de seuil de transistors nMOS et pMOS en fonction de V_B , pour des BP-n et BP-p.

2.2.2. Influence de l'oxyde enterré mince et de l'implantation des BP sur l'appariement des transistors

L'efficacité de cette technique d'ajustement du V_T réside dans l'utilisation d'un oxyde enterré mince. Il est par conséquent indispensable que les fluctuations locales d'épaisseurs du BOX sur un oxyde aussi fin que 10nm ne créent pas une source de variabilité significative. Afin de quantifier cela, des transistors sans BP ont été utilisés pour ne pas biaiser le résultat. La polarisation V_B du substrat est fixée à 0V dans le cas présent. La Figure 21 montre que le paramètre d'appariement est maintenu à 1.4mV.µm quand l'épaisseur du BOX est réduite de 145nm à 10nm. L'épaisseur du BOX est donc suffisamment bien contrôlée pour ne pas affecter significativement la variabilité stochastique.

Une deuxième source potentielle de variabilité du V_T est liée à l'introduction de fluctuations induites par l'implantation du BP, dont les conditions (dose, énergie, type d'ions) sont définies de telle manière que le pic de concentration maximale se situe juste en dessous du BOX (tout en évitant un dopage du film de silicium). La Figure 21 prouve qu'en utilisant un BP implanté sur l'ensemble de la plaque, qu'il soit de type n (ions arsenic) ou de type p (ions indium), $A_{\Delta V_T}$ est maintenu à 1.4mV.µm. Le canal de conduction n'est pas impacté de manière significative par un éventuel dopage résiduel.

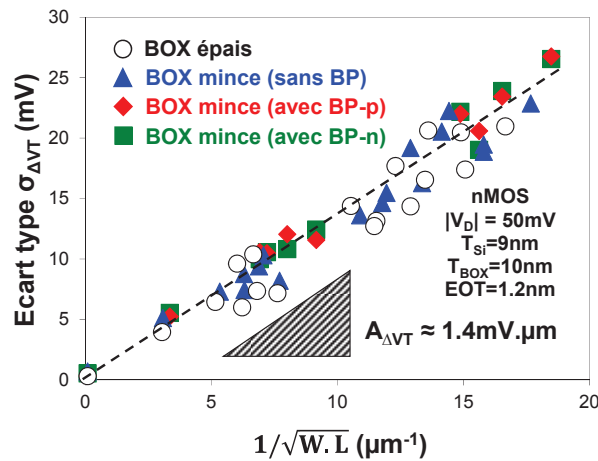


Figure 21 : (a) $\sigma_{\Delta V_T}$ en fonction de $1/\sqrt{W.L}$ pour différentes épaisseurs de BOX (145nm ou 10nm). Les résultats sont également donnés dans le cas où un BP (de type n ou p) a été implanté sous le BOX.

Il est également nécessaire de s'assurer que la polarisation V_B n'a pas d'influence significative sur la variabilité de la tension de seuil. La Figure 22 (transistors nMOS ayant un BP de type n ou de type p) et la Figure 23 (transistors pMOS correspondants à ces deux architectures) démontrent de très bonnes performances sur l'ensemble des géométries L/W quelle que soit la polarisation V_B appliquée ($-0.9V < V_B < 0.9V$). En effet, $A_{\Delta V_T}$ a été maintenu à $1.5mV.\mu m$ sur l'ensemble des configurations. Ceci prouve qu'il est parfaitement possible d'utiliser une polarisation V_B sur les transistors afin d'ajuster les tensions de seuil sans pour autant nuire au bon appariement. En technologie *bulk*, $\sigma_{\Delta V_T}$ se dégrade en configuration RBB par rapport au cas où $V_B=0V$ [Mukhopadhyay '08]. Ceci est dû à une augmentation de l'épaisseur de la zone de déplétion dans le canal, qui elle-même augmente l'impact des variations de charges induites par des impuretés (présence de dopants dans le substrat) sur le désappariement.

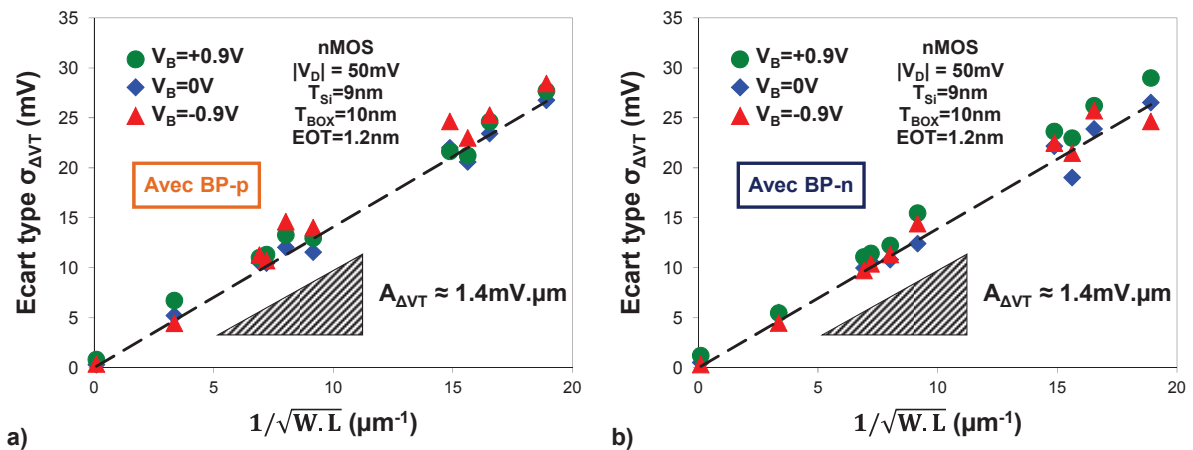


Figure 22 : $\sigma_{\Delta V_T}$ en fonction de $1/\sqrt{W.L}$ pour des transistors nMOS ayant un BP de type p (a) ou de type n (b) avec un oxyde enterré de 10nm. La polarisation V_B varie entre $-0.9V$ et $+0.9V$.

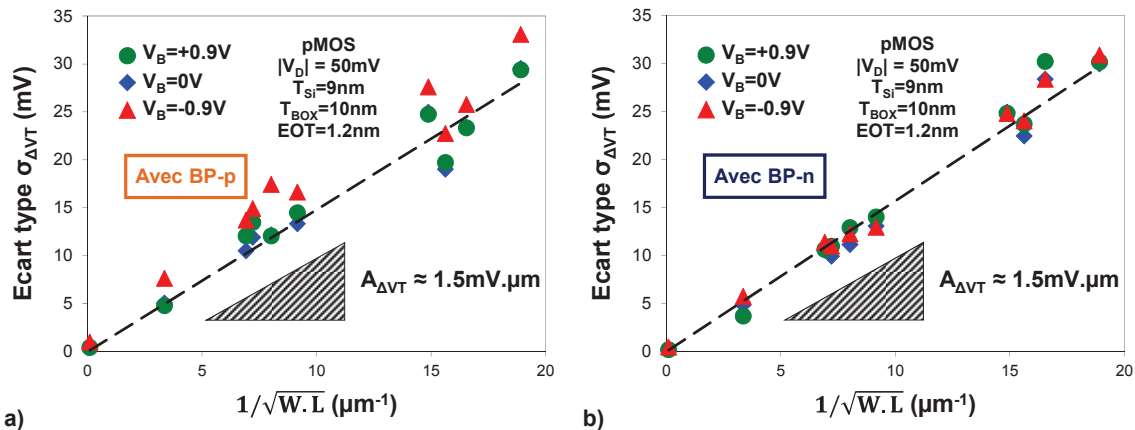


Figure 23 : $\sigma_{\Delta V_T}$ en fonction de $1/\sqrt{W.L}$ pour des transistors pMOS ayant un BP de type p (a) ou de type n (b) avec un oxyde enterré de 10nm. La polarisation V_B varie entre -0.9V et +0.9V.

2.3. Modulation de la tension de seuil par l'empilement de grille et impact sur la variabilité

Nous avons vu à la section 1.2.1.b qu'un ajustement de la tension de seuil est possible en modifiant le métal de grille. En effet, le travail de sortie ϕ_m du métal intervient directement dans la valeur du V_T par l'intermédiaire de la tension V_{FB} . La Figure 24 représente le compromis entre la tension de seuil des dispositifs nMOS et pMOS dans lequel différents empilements de grille ont été utilisés pour la réalisation des transistors (introduction d'une couche additionnelle (Al_2O_3 , TaAlN)).

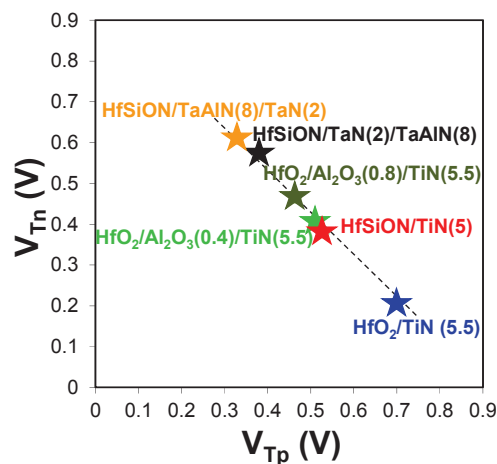


Figure 24 : Tensions de seuil obtenues expérimentalement sur des dispositifs FDSOI nMOS et pMOS pour différents empilements de grille [Faynot '10]. Les chiffres indiqués entre parenthèses correspondent à des épaisseurs données en nanomètres.

La Figure 24 présente des empilements de grille basés sur un diélectrique HfO_2 dans lesquels une couche d' Al_2O_3 a été déposée de manière optionnelle en dessous du TiN, avec des épaisseurs de 0.4 ou 0.8nm. Ce type d'intégration est connu en technologie sur silicium massif afin de réduire la tension de seuil des transistors pMOS [Linder '07] [Morooka '08]. Ce matériau peut ainsi être intégré en technologie FDSOI afin d'augmenter le V_{Tn} et abaisser le V_{Tp} tel qu'illustré à la Figure 24. La Figure 25 présente une synthèse des mesures de variabilité stochastique du V_T réalisées sur ces dispositifs. Une

forte dégradation des écarts types est obtenue par l'ensemble des géométries L/W sur les dispositifs ayant un diélectrique HfO_2 ($A_{\Delta VT} \approx 2.3\text{mV}\cdot\mu\text{m}$), alors que notre référence ayant un diélectrique HfSiON présente un $A_{\Delta VT}$ de $1.23\text{mV}\cdot\mu\text{m}$. La présence ou non d'une couche d' Al_2O_3 ne semble pas influencer fortement la valeur du paramètre d'appariement. Cependant, il est difficile de conclure étant donné que la forte dégradation induite par l'empilement de grille sur les dispositifs HfO_2/TiN 5.5nm pourrait éventuellement masquer l'influence de l' Al_2O_3 présents dans les autres transistors.

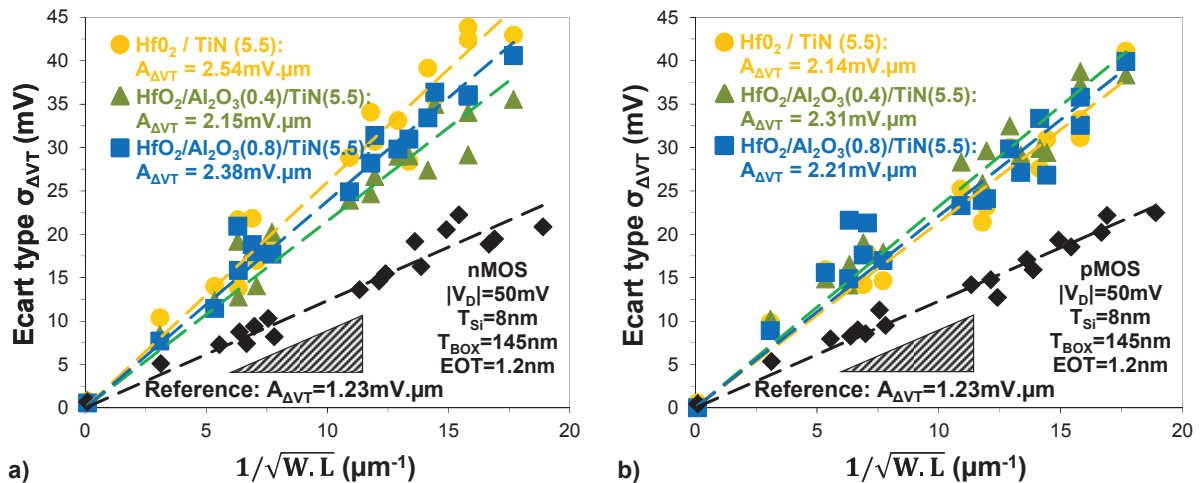
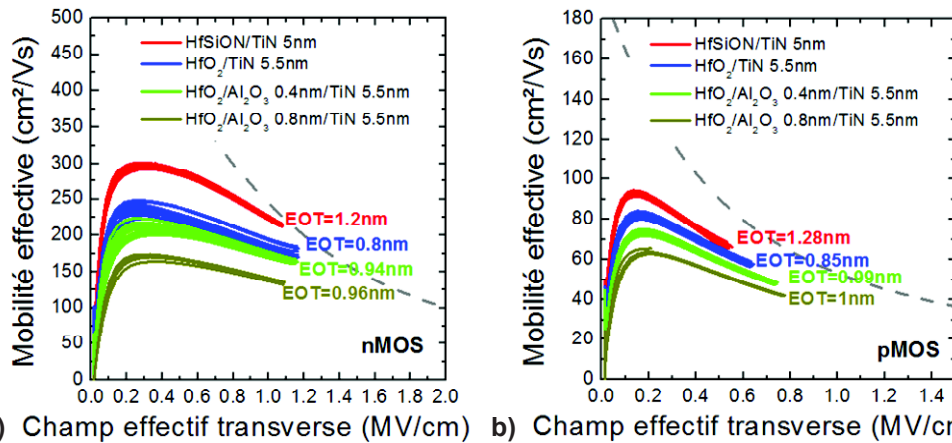


Figure 25 : (a) $\sigma_{\Delta VT}$ en fonction de $1/\sqrt{W.L}$ obtenu pour quatre empilements de grille différents. Une couche d' Al_2O_3 de 0.4 ou 0.8nm d'épaisseur a été déposée entre le diélectrique HfO_2 et le TiN . Des dispositifs sans Al_2O_3 sont également étudiés, ainsi qu'une référence ayant une grille HfSiON/TiN 5nm. (a) correspond aux transistors nMOS alors que (b) correspond aux pMOS. Les chiffres indiqués entre parenthèses correspondent à des épaisseurs données en nanomètres.

Cette dégradation du désappariement peut s'expliquer par l'influence de charges présentes dans le *high-k*. Nous avons vu à la section 1.4.4.c que les principales sources de variabilité en technologie FDSOI peuvent être attribuées à l'oxyde de grille (présence de charges localisées σ_{Qox} ou de dipôles dans le *high-k*, variations d'épaisseur σ_{Tox} et variations de permittivité σ_{Eox}) et/ou aux fluctuations induites par la grille métallique [Weber '08]. Or, l'augmentation du paramètre d'appariement semble corrélée avec la dégradation de la mobilité effective des porteurs observée à la Figure 26 sur les transistors ayant un diélectrique HfO_2 , ainsi qu'avec la forte réduction de l'EOT observée sur ces mêmes dispositifs. Cette dégradation est attribuée à la présence de charges coulombiennes dans le diélectrique [Saito '03] [Saito '04] [Barraud '08] et ces charges pourraient donc être également la cause de la dégradation de l'appariement observée à la Figure 25.



a) Champ effectif transverse (MV/cm) b) Champ effectif transverse (MV/cm)
 Figure 26 : Mobilité effective des porteurs en fonction du champ effectif transverse obtenu pour quatre empilements de grille différents. Une couche d'Al₂O₃ de 0.4 ou 0.8nm d'épaisseur a été déposée entre le diélectrique HfO₂ et le TiN. Des dispositifs sans Al₂O₃ sont également étudiés, ainsi qu'une référence ayant une grille HfSiON/TiN 5nm. (a) correspond aux transistors nMOS et (b) pMOS.

2.4. Utilisation de substrats sSOI à film mince contraint

Des substrats présentant une forte contrainte mécanique en tension ont été développés depuis quelques années dans le but d'améliorer les performances des transistors nMOS [Ghyselen '04]. Ce sont des substrats de silicium sur isolant appelés sSOI (pour *Strained Silicon On Insulator*). L'utilisation de substrats sSOI permet d'obtenir un gain d'environ 35 % sur le courant I_{SAT} des nMOS, tout en ayant une faible influence sur les performances des pMOS [Yin '06] [Andrieu '07] [Mazurier '10]. Ce gain peut d'ailleurs atteindre 100 % dans le cas des transistors à canaux étroits ($I_{SAT}=1200\mu A/\mu m$ pour $I_{OFF}=10nA/\mu m$ et $V_{DD}=0.9V$) comme le montre la Figure 27 (a). Ceci peut s'expliquer par une transformation de la contrainte biaxiale tensile en une contrainte uniaxiale longitudinale dans le sens de la longueur de grille, très favorable aux nMOS d'après les valeurs des coefficients piézorésistifs [Dorda '71]. Cependant, cette contrainte entraîne une diminution de la tension de seuil des nMOS. Ceci est dû à une levée de la dégénérescence des vallées Δ_2 de la bande de conduction et à la dégénérescence entre les bandes des trous lourds et des trous légers. La diminution, d'une part, de la masse effective de conduction des électrons et, d'autre part, des interactions avec les phonons inter-vallées dans la bande de conduction permet aussi un gain sur la mobilité des porteurs majoritaires [Fischetti '02] [Gallon '06]. Une réduction de la tension V_{Tn} d'environ 120mV est observée sur les dispositifs à canal long, alors que V_{Tp} reste sensiblement le même.

La Figure 27 (b) montre que la variabilité locale de la tension de seuil n'est pas dégradée par l'utilisation des substrats sSOI ($A_{\Delta VT}=1.15mV.\mu m$). Ceci indique que les variations locales de contraintes ont une influence négligeable sur la variabilité locale de la tension de seuil.

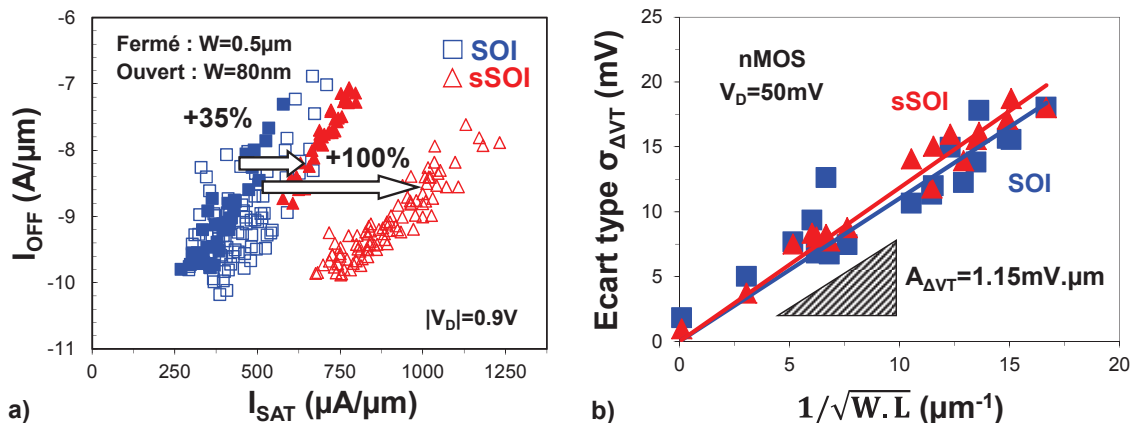


Figure 27 : (a) Caractéristique I_{SAT} (I_{OFF}) présentant le gain en performance obtenu grâce au sSOI par rapport au SOI et (b) comparatif du mismatch entre sSOI et SOI [Mazurier '10]

2.5. Conclusion

L'ajustement du V_T des transistors est un paramètre crucial dans le développement d'une plateforme technologique. Or, il n'est pas envisagé de doper le canal des dispositifs FDSOI afin de conserver le bon appariement. D'autres solutions sont par conséquent indispensables.

Le BP implanté sous l'oxyde enterré mince (inférieur à 50nm) peut être utilisé comme une seconde grille. En appliquant une polarisation sur celui-ci, la tension de seuil des transistors peut être ajustée très précisément. La variabilité stochastique du V_T n'est pas impactée par les fluctuations d'épaisseur du BOX (σ_{TBOX}) et du dopage des BP (σ_{NBP}). L'utilisation d'une polarisation V_B comprise entre $-V_{DD}$ et $+V_{DD}$ n'induit pas de dégradation significative des écarts types, quel que soit le type de transistor (nMOS ou pMOS) et de plan de masse utilisé (BP-n ou BP-p).

Le métal de grille peut également être modifié afin de rechercher des travaux de sorties plus ou moins éloignés du *mid-gap*. Différentes solutions sont possibles, comme par exemple l'ajustement de l'épaisseur du TiN [Fenouillet '09b], le remplacement de ce matériau par une combinaison de couches de TaAlN et de TaN [Weber '10] ou par l'introduction d'une couche d' Al_2O_3 . En revanche, nous avons vu expérimentalement que la modification de l'empilement de grille joue au premier ordre sur le désappariement de la tension de seuil. Il est donc indispensable de s'assurer que celui-ci n'a pas une influence préjudiciable sur la variabilité des dispositifs.

Finalement, les substrats sSOI fortement contraints en tension dans les directions longitudinale et transverse permettent non seulement d'améliorer les performances I_{SAT}/I_{OFF} des transistors nMOS (par rapport aux mêmes dispositifs réalisés sur un substrat SOI), mais également de réduire la tension de seuil V_{Tn} d'environ 120mV. La variabilité stochastique du V_T est quant à elle maintenue à 1.15mV. μm .

Suite aux modulations de V_T et de $\sigma_{\Delta V_T}$ que nous avons observées dans ce chapitre sur différentes variables technologiques, l'objet du chapitre suivant va être d'analyser leurs impacts sur la variabilité des caractéristiques électriques de cellules SRAM-6T.

2.6. Références bibliographiques

- [Andrieu '07] F. Andrieu, O. Faynot, F. Rochette et al., "Impact of Mobility Boosters (XsSOI, CESL, TiN Gate) on the Performance of <100> or <110> oriented FDSOI cMOSFETs for the 32nm Node", *IEEE Symposium on VLSI Technology*, 2007, p. 50-51.
- [Barraud '08] S. Barraud, O. Bonno, M. Cassé, "The influence of Coulomb centers located in HfO₂/SiO₂ gate stacks on the effective electron mobility", *Journal of Applied Physics*, Vol. 104, N° 7, 2008, p. 073725-(1-10)
- [Dorda '71] G. Dorda, "Piezoresistance in Quantized Conduction Bands in Silicon Inversion Layers", *Journal of Applied Physics*, Vol. 42, N° 5, 1971, p. 2053-2060.
- [Faynot '10] O. Faynot, F. Andrieu, O. Weber et al., "Planar Fully Depleted SOI Technology: a powerful architecture for the 20nm node and beyond", *IEEE Symposium on VLSI Technology*, 2010, p. 50-53.
- [Fenouillet '09b] C. Fenouillet-Beranger, P. Perreau, L. Pham-Nguyen et al., "Hybrid FDSOI/Bulk high-k/Metal gate platform for Low Power (LP) multimedia technology", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2009, p. 667-670.
- [Fischetti '02] M. V. Fischetti, F. Gamiz et W. Hänsch, "On the enhanced electron mobility in strained-silicon inversion layers", *Journal of Applied Physics*, Vol. 92, N° 12, 2002, p. 7320-7324.
- [Gallon '06] C. Gallon, C. Fenouillet-Beranger, A. Vandooren et al., "Ultra-Thin Fully Depleted SOI Devices with Thin BOX, Ground Plane and Strained Liner Booster", *IEEE International SOI Conference*, 2006, p. 17-18.
- [Ghyselen '04] B. Ghyselen, J.-M. Hartmann, T. Ernst et al., "Engineering strained silicon on insulator wafers with the Smart Cut™ technology", *Solid-State Electronics*, Vol. 48, N° 8, 2004, p. 1285-1296.
- [Ishigaki '08] T. Ishigaki, R. Tsuchiya, Y. Morita et al., "Silicon on Thin BOX (SOTB) CMOS for Ultralow Standby Power with Forward-biasing Performance Booster", *European Solid State Device Research Conference (ESSDERC)*, 2008, p. 198-201.
- [Linder '07] B.P. Linder, V. Narayanan, V.K. Paruchuri et al., "Gate First PFET Poly-Si/TiN/Al₂O₃ Gate Stacks with Inversion Thickness Less than 15Å for High Performance or Low Power CMOS Applications", *International Conference on Solid State Devices and Materials (SSDM)*, 2007, p. 16-17.
- [Mazurier '10] J. Mazurier, O. Weber, F. Andrieu et al., "High Performance and Low Variability Fully-Depleted Strained-SOI MOSFETs", *IEEE International SOI Conference*, 2010, p. 46-47.
- [Mazurier '11a] J. Mazurier, O. Weber, F. Andrieu et al., "Ultra-Thin Body and Buried Oxide (UTBB) FDSOI technology with low variability and power management capability", *VARI*, 2011.
- [Mazurier '11b] J. Mazurier, O. Weber, F. Andrieu et al., "On the variability in Planar FDSOI Technology: From MOSFETs to SRAM cells", *IEEE Transactions on Electron Devices*, Vol. 58, N° 8, 2011, p. 2326-2336.
- [Morooka '08] T. Morooka, "V_T Variation Suppressed Al₂O₃ Capped HfO₂ Gate Dielectrics for Low V_t pMOSFETs with High-k/Metal Gate Stacks", *Proceedings of the International Conference on Solid State Devices and Materials (SSDM)*, 2008, p. 24-25.

- [Mukhopadhyay '08] S. Mukhopadhyay, H. Mahmoodi et K. Roy, "Reuction of Parametric Failures in Sub-100-nm SRAM Array Using Body Bias", *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 27, N° 1, Janvier, 2008, p. 174-183.
- [Noel '09] J.-P. Noel, O. Thomas, C. Fenouillet-Beranger et al., "A simple and efficient concept for setting up multi- V_T devices in thin BOX fully-depleted SOI technology", *European Solid State Device Research Conference (ESSDERC)*, 2009, p. 137-140.
- [Noel '10] J.-P. Noel, O. Thomas, M.-A. Jaud et al., "UT2B-FDSOI device architecture dedicated to low power design techniques", *European Solid State Device Research Conference (ESSDERC)*, 2010, p. 210-213.
- [Noel '11] J.-P. Noel, O. Thomas, M.-A. Jaud et al., "Multi- V_T UTBB FDSOI Device Architectures for Low Power CMOS Circuit", *IEEE Transactions on Electron Devices*, Vol. 58, N° 8, 2011, p. 2473-2482.
- [Saito '03] S. Saito, D. Hisamoto, S. Kimura et al., "Unified mobility model for high-k gate stacks", *IEEE International Electron Devices Meeting*, 2003, p. 33.3.1-33.3.4.
- [Saito '04] S.-I. Saito, K. Torii, Y. Shimamoto et al., "Effects of remote-surface-roughness scattering on carrier mobility in field-effect-transistors with ultrathin gate dielectrics", *Applied Physics Letters*, Vol. 84, N° 8, 2004, p. 1395-1397.
- [Sathanur '09] A. Sathanur, A. Pullini, L. Benini et al., "Physically clustered forward body biasing for variability compensation in nanometer CMOS design", *Design, Automation & Test in Europe Conference & Exhibition (DATE)*, 2009, p. 154-159.
- [Signanamalla '06] R. Signanamalla, H. Y. Yu, G. Pourtois et al., "On the Impact of TiN Film Thickness Variations on the Effective Work Function of Poly-Si/TiN/SiO₂ and Poly-Si/TiN/HFSiON Gate Stacks", *IEEE Electron Device Letters*, Vol. 27, N° 5, Mai, 2006, p. 332-334.
- [Singhal '07] R. Singhal, A. Balijepalli, A. Subramaniam et al., "Modeling and analysis of non-rectangular gate for post-lithography circuit simulation", *IEEE Design Automation Conference (DAC)*, 2007, p. 823-828.
- [Skotnicki '08] T. Skotnicki, C. Fenouillet-Beranger, C. Gallon et al., "Innovative Materials, Devices, and CMOS Technologies for Low-Power Mobile Multimedia", *IEEE Transactions on Electron Devices*, Vol. 55, N° 1, Janvier, 2008, p. 96-130.
- [Tschanz '02] J. Tschanz, J. Kao, S. Narendra et al., "Adaptive Body Bias for Reducing Impacts of Die-to-Die and Within-Die Parameter Variations on Microprocessor Frequency and Leakage", *IEEE International Solid-State Circuits Conference (ISSCC)*, 2002, p. 422-478.
- [Tschanz '03] J.W. Tschanz, S. Narendra, R. Nair et al., "Effectiveness of Adaptive Supply Voltage and Body Bias for Reducing Impact of Parameter Variations in Low Power and High Performance Microprocessors", *Journal of Solid-State Circuits*, Vol. 38, N° 5, 2003, p. 826-829.
- [Weber '10] O. Weber, F. Andrieu, J. Mazurier et al., "Work-function Engineering in Gate First Technology for Multi-V_T Dual Gate FDSOI CMOS on UTBOX", *IEEE International Electron Devices Meeting*, 2010, p. 58-61.
- [Yamashita '00] T. Yamashita, N. Yoshida, M. Sakamoto et al., "A 450MHz 64b RISC Processor using Multiple Threshold Voltage CMOS", *IEEE International Solid-State Circuits Conference (ISSCC)*, 2000, p. 414-415, 475.

[Yin '06]

H. Yin, Z. Ren, H. Chen et al., "Integration of Local Stress Techniques with Strained-Si Directly On Insulator (SSDOI) Substrates", *IEEE Symposium on VLSI Technology*, 2006, p. 76-77.

Chapitre 3

Etude de la variabilité des caractéristiques électriques SNM et WM de cellules mémoires SRAM en technologie FDSOI

3.1. Introduction

La variabilité des caractéristiques électriques des transistors MOS a une influence notable sur le rendement et donc sur la tension minimale d'alimentation des cellules mémoires SRAM. Ceci est un problème majeur car cette limitation en termes de V_{DD_MIN} se répercute sur la puissance consommée du circuit et, de manière plus générale, sur celui de la puce électronique.

Ce chapitre a pour objectif d'étudier les corrélations existantes entre la variabilité des caractéristiques électriques des transistors et celles des SRAM-6T réalisées en technologie FDSOI. Pour cela, plusieurs types de dispositifs ayant différentes tensions de seuils et différents écarts types $\sigma_{\Delta V_T}$ ont été sélectionnés. Un modèle analytique de variabilité développé durant la thèse sera utilisé afin de déterminer quel type de transistor présent dans ces cellules mémoires est le plus critique pour la variabilité de la stabilité en lecture. Finalement, nous verrons grâce à un modèle compact que la prise en compte de la variabilité de la tension de seuil est suffisante pour donner une assez bonne estimation de σ_{SNM} en technologie FDSOI.

3.2. Figures de mérite des cellules mémoires SRAM

3.2.1. Fonctionnement de la cellule mémoire

Nous avons vu à la section 1.4.3.a que la cellule mémoire SRAM-6T constitue l'élément de base d'un circuit SRAM pouvant regrouper plusieurs millions de cellules élémentaires. Pour rappel, le schéma électrique de la cellule est donné à la Figure 28 (a).

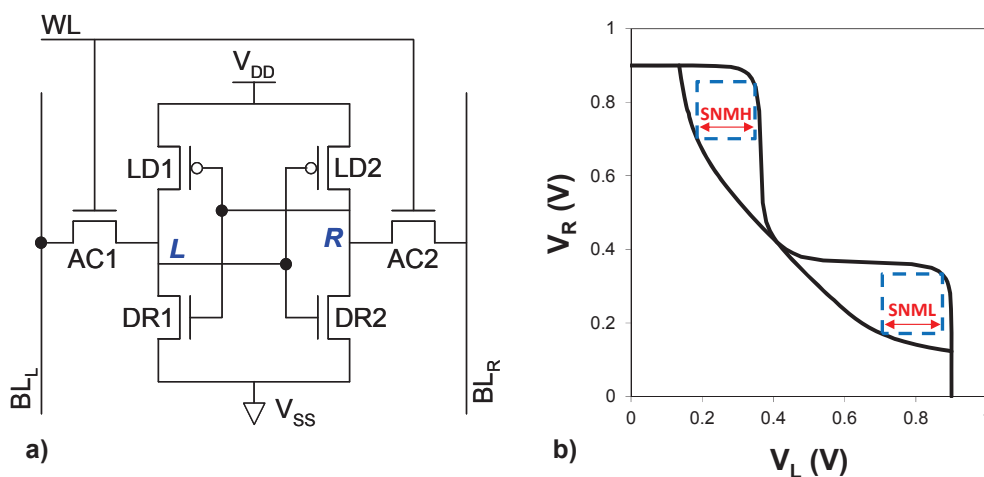


Figure 28 : (a) Schéma électrique d'une cellule SRAM-6T. (b) Courbe papillon permettant de quantifier la stabilité en lecture de la cellule.

Il existe trois modes de fonctionnement :

- La rétention : une information a été stockée dans la cellule mémoire (le nœud de stockage L est par exemple au niveau logique haut alors que R est au niveau logique bas) et doit

être conservée tant que l'alimentation V_{DD} est active. Les transistors d'accès AC1 et AC2 sont bloqués (la *Word-Line* WL étant au niveau logique bas).

- La lecture : les transistors d'accès sont passants ($WL=V_{DD}$) et l'information stockée dans la cellule mémoire peut être lue par l'intermédiaire des *Bit-Line* (BL_L et BL_R).
- L'écriture : les transistors d'accès sont passants et l'information peut être écrite par l'intermédiaire des *Bit-Line*.

Une des caractéristiques principales de la cellule mémoire SRAM est sa stabilité en lecture (notée SNM), c'est-à-dire sa capacité à conserver en mémoire une information stockée quand on cherche à lire cette donnée. La WL est donc polarisée à V_{DD} , ce qui implique que les deux transistors d'accès AC1 et AC2 sont en régime de saturation. La mémoire doit être capable de résister aux perturbations qui pourraient apparaître sur les nœuds de stockage L et R (Figure 28 (a)). La caractéristique électrique SNM représente donc la tension minimale sur L et R qui entraîne un changement d'état logique de la cellule. Afin de l'extraire, des rampes de tensions sont appliquées successivement sur le nœud L puis sur le nœud R, afin de tracer les courbes $V_R(V_L)$ et $V_L(V_R)$. Une fois superposées l'une sur l'autre (l'une d'elle ayant été remplacée par sa symétrie par rapport à la première bissectrice), nous obtenons une courbe dite en « papillon » [Seevinck '87] présentée à la Figure 28 (b). Pour chaque lobe, un carré ayant une taille aussi grande que possible y est inséré. La taille du côté de chacun de ces deux carrés est extraite, nommés respectivement SNML et SNMH. La SNM est finalement définie comme étant égale au minimum entre SNML et SNMH :

$$SNM = \text{MIN} [SNML, SNMH] \quad (\text{Équation 24})$$

Par conséquent, la donnée ne pourra pas être lue si la valeur de la SNM est trop faible. Afin de l'améliorer, il est utile de diminuer la tension de seuil des pMOS appelée V_{Tp} (d'où une meilleure capacité à maintenir le niveau logique haut à V_{DD}) et d'augmenter celle des transistors nMOS appelée V_{Tn} (d'où une meilleure capacité à maintenir la tension de niveau logique faible proche de 0V). En effet, la Figure 28 (b) montre que la courbe $V_R(V_L)$ n'atteint pas 0V quand $V_L=V_{DD}$. Ceci est dû au rapport des courants circulant dans les transistors de décharge DR2 et d'accès AC2 se trouvant respectivement en régimes ohmique et de saturation pour ces polarisations de V_L et V_R . Une tension de seuil V_{Tn} élevée permet de réduire cette tension de niveau logique faible, ce qui a pour conséquence d'augmenter SNML (ainsi que SNMH, en raison de la symétrie de la cellule mémoire).

Avec l'arrivée des nœuds technologiques inférieurs à 65nm, des sources de fluctuations impactent de manière significative la stabilité en lecture des cellules mémoires SRAM [Calhoun '05] [Tsukamoto '05] [Bhavnagarwala '00] [Bhavnagarwala '05] [Cheng '06]. Il existe deux solutions permettant de minimiser l'impact de cette variabilité sur le rendement et sur la tension minimale d'alimentation des SRAM. La première est de modifier le design en augmentant les dimensions des transistors (notamment le rapport des dimensions L/W des transistors de décharge et d'accès [Asenov '07]), ce qui va totalement à l'encontre de la loi de Moore. La seconde solution est de réduire la variabilité des

transistors [Shin '10] [Planes '12]. Comme nous l'avons vu à la section 1.4.4.a., ceci est possible en utilisant des transistors en technologie FDSOI possédant un canal non dopé. Le niveau de qualité acceptable pour un circuit SRAM est d'avoir une probabilité d'environ 10^{-11} défaillances par cellule. Afin de valider ce critère et avoir ainsi un circuit de 100Mb qui soit totalement fonctionnel, le rapport SNM/σ_{SNM} doit être supérieur à 6 [Lacord '12]. Toutes les cellules mémoires ayant une déviation par rapport à la moyenne inférieure à 6σ seront donc considérées comme fonctionnelles. La tension V_{MIN_READ} correspond à la tension V_{DD} minimale permettant de maintenir SNM/σ_{SNM} égal à 6 [Stolk '01].

De la même manière, on trouve un critère de stabilité pour le mode de rétention, noté RNM. Il est obtenu en suivant la même procédure que pour la SNM, à ceci près que la WL est polarisée à 0V dans le cas présent. La RNM est maximale quand les tensions de seuil V_{Tn} et $|V_{Tp}|$ sont équilibrées. La tension minimale d'alimentation correspondante (V_{MIN_HOLD}) est la tension V_{DD} permettant de maintenir RNM/σ_{RNM} égal à 6. Elle est toujours plus faible que V_{MIN_READ} .

Un autre critère important de la SRAM-6T est sa stabilité en écriture (notée WM). Elle correspond à la différence de tension entre les *Bit-Line* BL_L et BL_R nécessaire pour faire basculer la cellule mémoire. Cela signifie que la WM dépend de la capacité du transistor d'accès à abaisser suffisamment la tension présente sur le nœud de stockage étant au niveau logique haut pour rendre le pMOS de charge de l'inverseur complémentaire passant. A cet instant précis, la cellule bascule (la donnée a été écrite). Par opposition à la SNM, il est utile d'abaisser la tension de seuil des nMOS et d'augmenter celle des pMOS (en valeur absolue). Un compromis est par conséquent indispensable entre les stabilités en lecture et en écriture [Yamaoka '05]. Il est en général préférable de privilégier la SNM par rapport à la WM en termes d'ajustement des V_T . De plus, la WM peut être améliorée grâce aux techniques d'optimisation de l'écriture (appelées *write assist*) qui ont pour avantage de ne pas trop détériorer la stabilité en lecture [Itoh '09] [Makosiej '12].

La cellule SRAM-6T est également jugée sur deux critères de courant. On a tout d'abord la rapidité de la cellule, notée I_{CELL} , qui correspond au courant de lecture de la donnée préalablement écrite. Une tension de seuil V_{Tn} faible sera favorable à l'augmentation de I_{CELL} . Finalement, la consommation de cellule en mode de rétention, notée I_{SB} , pourra être optimisée en augmentant V_{Tn} et $|V_{Tp}|$ afin de minimiser les courants I_{OFF} respectifs.

Le Tableau 1 présente un récapitulatif des compromis en termes de tensions de seuil permettant d'ajuster les caractéristiques électriques des SRAM.

	SNM	WM	RNM	I_{CELL}	I_{SB}
V_{Tn}	HVT	LVT	RVT	LVT ou RVT	RVT ou HVT
$ V_{Tp} $	LVT	HVT	RVT	=	RVT ou HVT

Tableau 1 : Récapitulatif des configurations de tensions de seuil V_{Tn} et V_{Tp} les plus favorables afin de maximiser chacune des caractéristiques électriques de la cellule mémoire SRAM-6T.

3.2.2. Mesure de la variabilité de la stabilité en lecture et en écriture

Des cellules mémoires SRAM-6T ont été dessinées par une équipe de conception du LETI. La taille de ces cellules est de $0.99\mu\text{m}^2$. Les transistors ont pour dimensions $L_{\text{DR}}/W_{\text{DR}}=55/215\text{nm}$, $L_{\text{LD}}/W_{\text{LD}}=55/80\text{nm}$ et $L_{\text{AC}}/W_{\text{AC}}=65/170\text{nm}$, correspondant respectivement aux dispositifs de décharge (DR1 et DR2), de charge (LD1 et LD2) et d'accès (AC1 et AC2).

La Figure 29 démontre que l'excellent contrôle de la variabilité du V_T en technologie FDSOI ($A_{\Delta V_T} < 1.4\text{mV}\cdot\mu\text{m}$) se retranscrit dans les résultats électriques de SRAM, où 200 cellules mémoires réparties sur l'ensemble du substrat ont été mesurées (pour $V_B=0\text{V}$). Une tension minimale d'alimentation de 0.39V est obtenue en mode lecture, comme cela est illustré à la Figure 29 (b). $V_{\text{MIN_WRITE}}$ est quant à lui inférieur à 0.4V . Les tests électriques n'ont pas été faits en dessous de cette valeur de V_{DD} afin de l'estimer plus précisément.

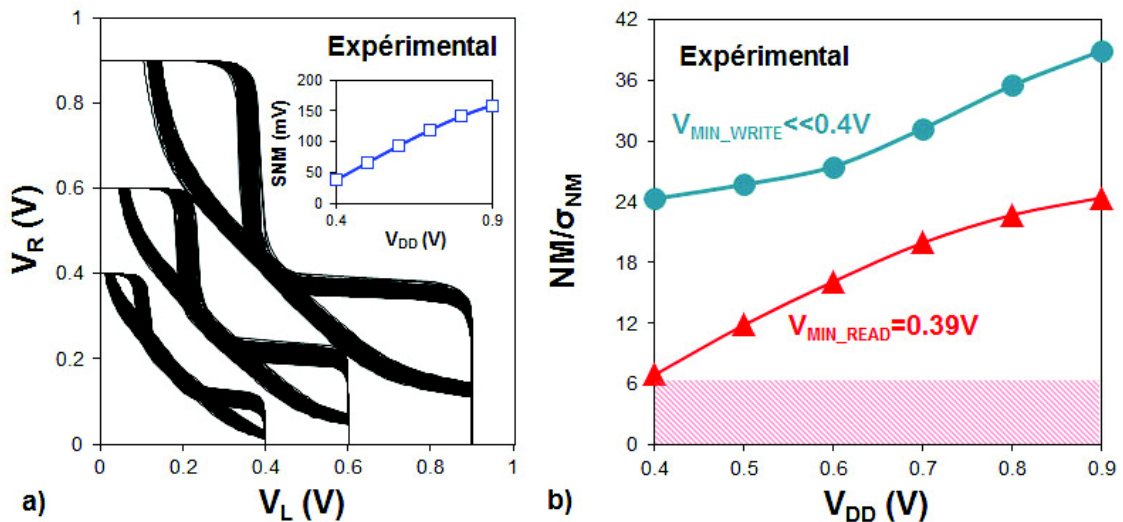


Figure 29 : (a) Courbes papillons de 200 cellules mémoires SRAM-6T réparties sur l'ensemble du substrat. Les mesures ont été réalisées pour $V_{\text{DD}}=0.4\text{V}$, 0.6V et 0.9V . Les valeurs de SNM en fonction de V_{DD} sont données en insert. (b) Evolution des rapports $\text{SNM}/\sigma_{\text{SNM}}$ et $\text{WM}/\sigma_{\text{WM}}$ en fonction de V_{DD} permettant d'extraire les tensions minimales d'alimentation $V_{\text{MIN_READ}}$ et $V_{\text{MIN_WRITE}}$.

La cartographie de la SNM présentée à la Figure 30 (a) démontre que les fluctuations de ce paramètre électrique à travers le substrat ne sont pas gouvernées par un effet de gradient. Cette variabilité a une allure assez proche de la loi normale, comme le montre la distribution de SNM tracée en quantiles à la Figure 30 (b). Une distribution purement stochastique doit donner une droite parfaite sur ce type de représentation graphique. Ceci prouve que la distribution de SNM n'est pas significativement impactée par une variabilité systématique. Par conséquent, les fluctuations globales de SNM devraient donner une image assez fidèle de la variabilité locale. Etant donné que dans le cadre de cette thèse, nous n'avons pas de circuits SRAM permettant d'étudier les fluctuations locales des caractéristiques électriques entre deux cellules mémoires adjacentes, nous nous baserons sur ces résultats afin d'étudier la corrélation entre σ_{SNM} et les $\sigma_{\Delta V_T}$ mesurés sur les transistors appartenant aux mêmes cellules SRAM.

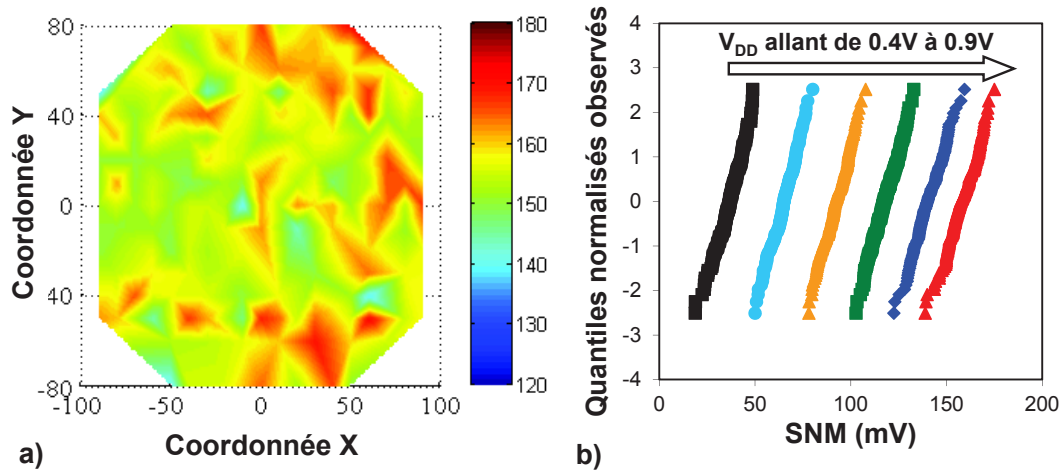


Figure 30 : (a) Cartographie de la SNM mesurée sur 200 cellules mémoires SRAM-6T réparties sur l'ensemble du substrat (unité: mV) pour $V_{DD}=0.9V$. (b) Distribution de SNM tracée en quantiles pour une tension V_{DD} allant de 0.4V à 0.9V.

3.3. Impact de la polarisation des BP sur la variabilité des cellules SRAM

La section 1.3.3 a montré l'intérêt de polariser les BP afin de moduler les caractéristiques électriques des transistors. Il est donc possible d'ajuster les compromis liant les critères de performance des cellules mémoires (voir Tableau 1). De plus, nous avons vu à la section 2.2.2 que la variabilité locale de la tension de seuil n'évolue pas en fonction de V_B . Cela devrait se traduire par une faible évolution de la variabilité des caractéristiques électriques des SRAM avec la polarisation appliquée sur les BP.

Le processus d'intégration utilisé pour la réalisation de nos dispositifs contient une seule grille métallique. De plus, un BP unique est implanté sous le BOX, comme le montre la Figure 31. Cela se traduit donc par une polarisation commune, notée V_B , du BP des transistors nMOS et pMOS.

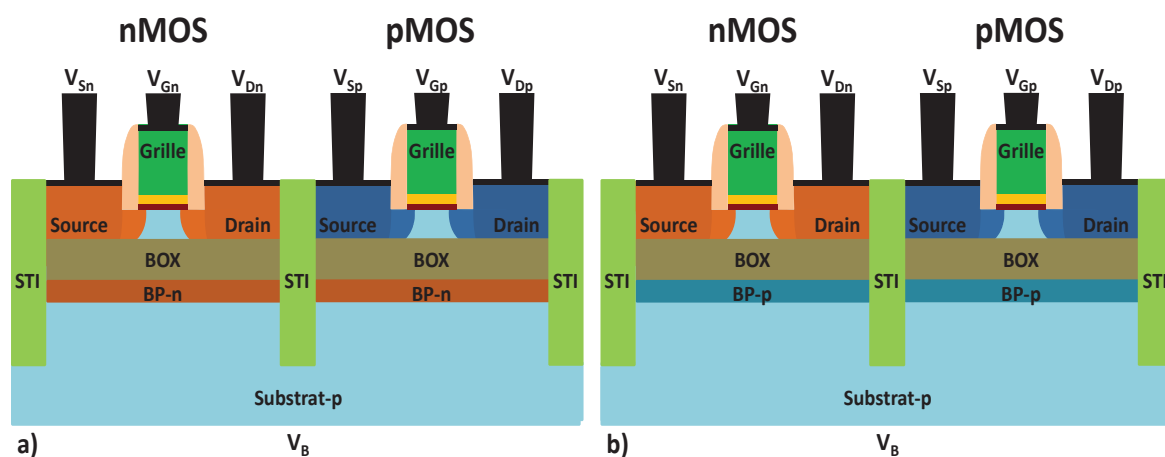


Figure 31 : Vue schématique en coupe de transistors nMOS et pMOS fabriqués en technologie FDSOI ayant un film de silicium mince, ainsi qu'un oxyde enterré mince avec un BP unique (de type n dans (a) et de type p dans (b)). La polarisation du BP se fait par l'intermédiaire du substrat. La même grille métallique est utilisée pour les nMOS et les pMOS.

Une polarisation négative sur V_B peut être utilisée afin d'augmenter le rapport SNM/σ_{SNM} grâce à une faible évolution de σ_{SNM} avec V_B (Figure 32 (a)). L'amélioration de la valeur moyenne de la SNM obtenue à $V_{DD}=0.9V$ permet d'atteindre des gains de 30 % et 68 % quand $V_B=-0.9V$ (par rapport à $V_B=0V$) pour les BP de type p et de type n, respectivement (Figure 32 (b)). La différence de σ_{SNM} entre les deux types de BP (Figure 32 (a)) n'est pas attribuée au dopage des BP. Elle est liée à des différences de longueurs de grille plaque à plaque (voir section 3.4).

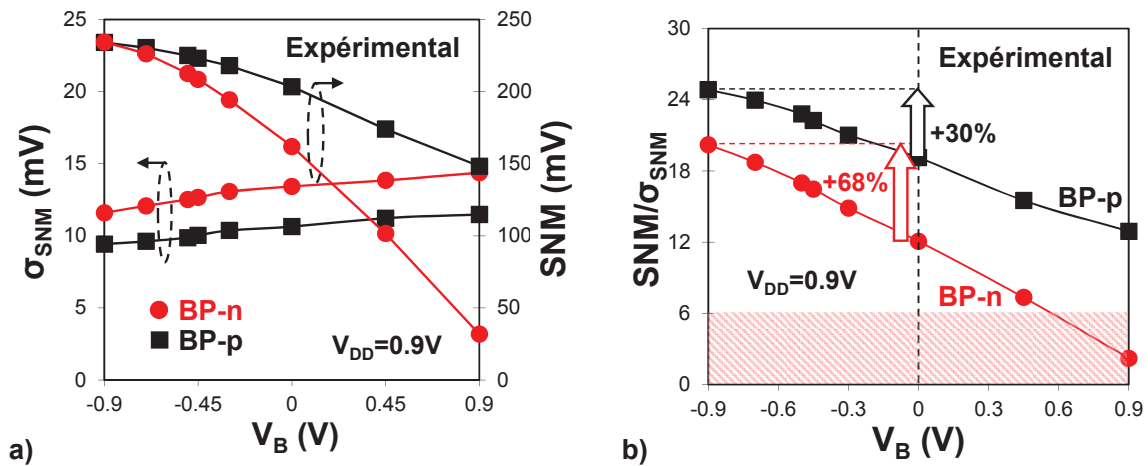


Figure 32 : (a) Evolution de la valeur moyenne de la SNM et de son écart type en fonction de V_B . (b) Evolution du rapport SNM/σ_{SNM} en fonction de V_B . Les écarts types sont estimés grâce à 200 cellules mémoires SRAM. Les résultats sont donnés pour les deux types de BP.

Finalement, ce gain sur le rapport SNM/σ_{SNM} permet d'améliorer la tension minimale d'alimentation des cellules mémoires. Afin de ne pas trop privilégier le mode de lecture vis-à-vis de l'écriture, la meilleure solution est peut-être d'ajuster V_B afin de maximiser le compromis entre SNM/σ_{SNM} et WM/σ_{WM} . Cela permet d'assurer que les tensions V_{MIN_READ} et V_{MIN_WRITE} seront optimales dans ces deux modes de fonctionnement de la SRAM. Dans le cas du BP de type n, la meilleure configuration est d'avoir $V_B=0V$ (Figure 33 (a)) alors que pour le BP de type p, il est préférable de polariser V_B à V_{DD} (Figure 33 (b)).

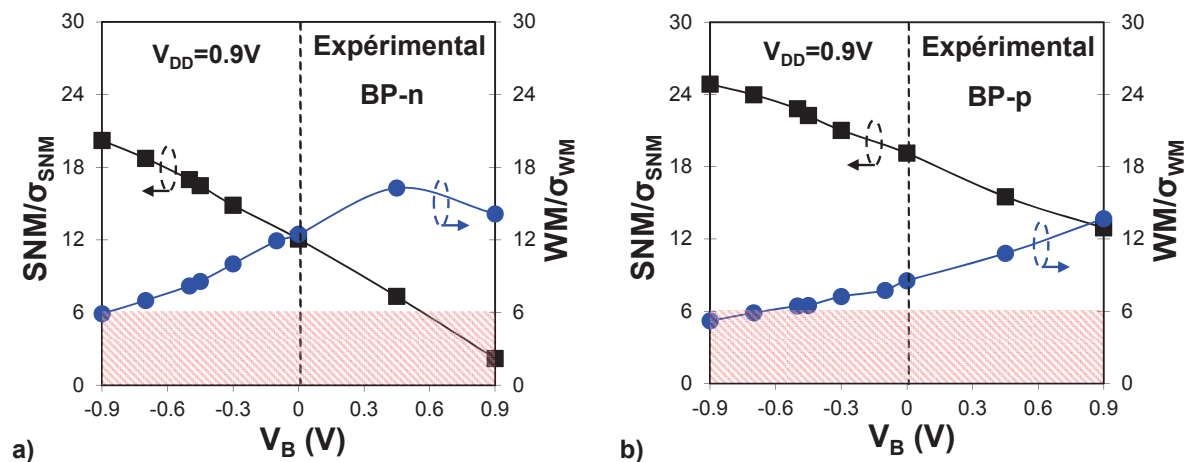


Figure 33 : Evolution des rapports SNM/σ_{SNM} et WM/σ_{WM} pour le deux types de BP.

3.4. Corrélations entre les caractéristiques électriques de transistors MOS et de cellules mémoires SRAM

Nous allons étudier les corrélations existantes entre les caractéristiques électriques V_T et $\sigma_{\Delta V_T}$ des transistors, avec les paramètres SNM et σ_{SNM} des cellules mémoires SRAM. Pour cela, 7 types de transistors ont été sélectionnés parmi les lots électriques FDSOI étudiés durant la thèse. Ils présentent des spécificités d'épaisseur du BOX, d'épaisseur du film de silicium, du travail de sortie de la grille métallique et l'intégration éventuelle d'un BP. Un substrat sSOI a également été inclus. Une synthèse des variantes technologiques est présentée dans le Tableau 2.

Comme indiqué à la section 2.4, la contrainte biaxiale tensile présente dans le film de silicium des substrats sSOI induit un abaissement de la tension de seuil des nMOS. Les transistors n° 1 possèdent ainsi sur canal long un V_{Tn} 150mV plus faible que les dispositifs n° 2, possédant tous les deux le même empilement de grille (Figure 34 (a)). Cela se traduit par une réduction de la SNM comme le montre la Figure 34 (b). Les transistors n° 3 à 5 permettent d'étudier l'influence du travail de sortie quand une couche d' Al_2O_3 est introduite entre le high-k et la couche de TiN de 5.5nm. Nous avons vu à la section 2.3 que cela entraîne un décalage du travail de sortie vers une grille plus de type p. L'augmentation de V_{Tn} et la réduction de $|V_{Tp}|$ (Figure 34 (a)) tend à améliorer la SNM jusqu'à 46 % (Figure 34 (b)). Finalement, les dispositifs n° 6 et 7 ayant respectivement un BP de type p et de type n montrent, l'un par rapport à l'autre, un accroissement de V_{Tn} , une diminution de V_{Tp} et par conséquent une optimisation de la SNM de 27 %. Nous pouvons conclure grâce à la Figure 34 (b) que la valeur de la SNM est bien corrélée aux tensions de seuil des nMOS et des pMOS.

Numéro du type de transistor	T_{BOX} (nm)	Type de substrat et T_{Si} (nm)	Présence d'un BP	Empilement de grille	$A_{\Delta V_T}$ $ V_D =50mV$ (mV.μm)		$\sigma_{\Delta V_T}$ (SRAM) $ V_D =50mV$ (mV)		$\sigma_{\Delta V_T}$ (SRAM) $ V_D =0.9V$ (mV)	
					nMOS	pMOS	nMOS	pMOS	nMOS	pMOS
1	145	sSOI 12	Non	HfSiON 2.3nm / TiN 5nm	1.21	1.18	9.8	15.4	13.5	16.5
2	10	SOI 8.5	Non	HfSiON 2.3nm / TiN 5nm	1.3	1.3	11.4	18	12.2	22.5
3	145	SOI 7.5	Non	HfO ₂ / TiN 5.5nm	2.54	2.14	20.6	24.4	22.5	25.2
4	145	SOI 7.5	Non	HfO ₂ / Al ₂ O ₃ 0.4nm / TiN 5.5nm	2.15	2.31	20.6	33.6	21	35.6
5	145	SOI 8	Non	HfO ₂ / Al ₂ O ₃ 0.8nm / TiN 5.5nm	2.38	2.21	17.5	24.3	18	25.3
6	10	SOI 9	Type p	HfSiON 2.3nm / TiN 5nm	1.43	1.51	17.8	31.9	25.2	37.5
7	10	SOI 9	Type n	HfSiON 2.3nm / TiN 5nm	1.43	1.59	21.9	35.5	33.3	45

Tableau 2 Description des types de transistors sélectionnés afin de réaliser une étude de corrélation entre les caractéristiques électriques des transistors et des cellules mémoires SRAM. En ce qui concerne les $\sigma_{\Delta V_T}$ des transistors présents dans les SRAM, les mesures nMOS ont été faites sur les transistors de décharge et les mesures pMOS sur les transistors de charge.

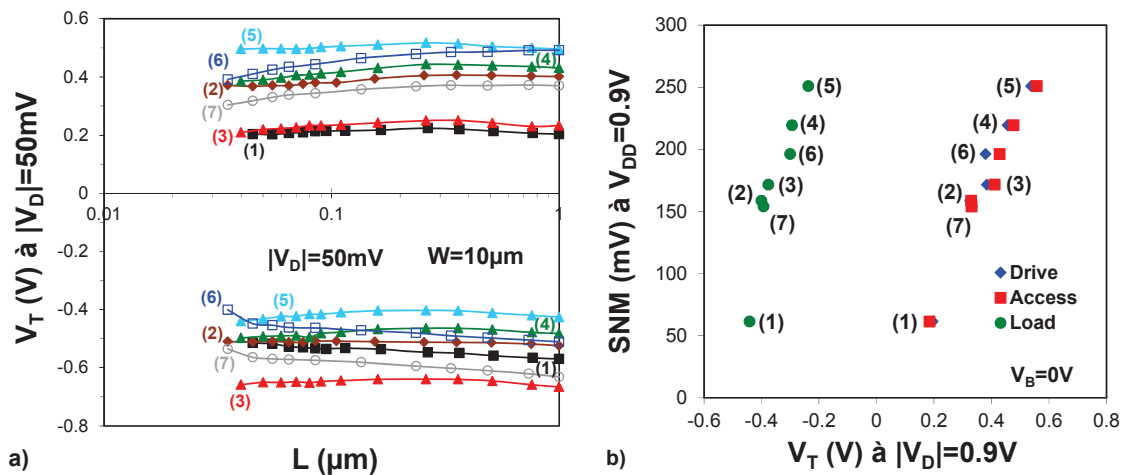


Figure 34 : (a) Valeur moyenne de la SNM en fonction du V_T moyen des transistors des cellules mémoires SRAM pour les différents dispositifs du Tableau 2.

La variabilité de la SNM est comparée à sa valeur moyenne dans la Figure 35 (a). Nous constatons que parmi les dispositifs n° 1 à 5, deux groupes se distinguent. Les transistors n° 1 et 2 du premier groupe présentent des SNM significativement différentes, sans pour autant avoir de changement sur σ_{SNM} . Cela montre que la valeur moyenne de la SNM n'est pas automatiquement corrélée à son écart type σ_{SNM} . La même tendance est obtenue dans le second groupe où, entre les transistors n° 3 et 5, on note une augmentation de 46 % de la SNM sans pour autant constater de dégradation de la variabilité. L'écart entre les valeurs de σ_{SNM} pour ces deux groupes semble en revanche être corrélé au paramètre d'appariement $A_{\Delta VT}$. La Figure 35 (b) illustre les performances en variabilité de la tension de seuil des dispositifs n° 2 et 3 où $A_{\Delta VT}$ augmente de $1.3\text{mV}\cdot\mu\text{m}$ à $2.54\text{mV}\cdot\mu\text{m}$ suite au changement d'empilement de grille. Cela explique la dégradation de 47 % sur la variabilité de la SNM. La même grille TiN ayant été utilisée sur l'ensemble des transistors, l'augmentation de $A_{\Delta VT}$ pourrait être attribuée à des charges présentes dans le high-k dont la variabilité va impacter le désappariement de la tension de seuil.

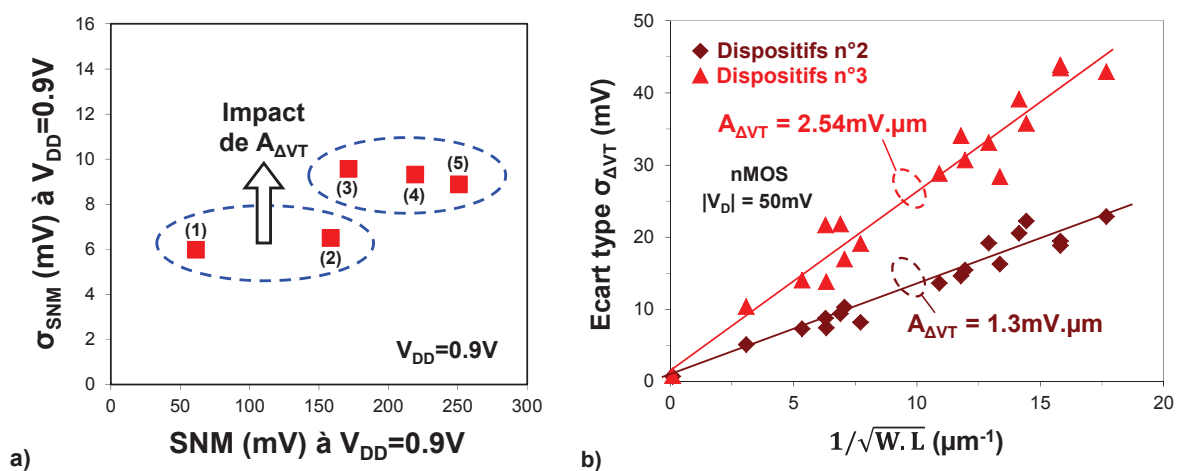


Figure 35 : (a) σ_{SNM} en fonction de la valeur moyenne de la SNM pour les dispositifs n° 1 à 5 du Tableau 2. (b) $\sigma_{\Delta VT}$ en fonction de $1/\sqrt{W \cdot L}$ pour les transistors n° 2 et 3. Les mêmes tendances ont été observées sur les pMOS.

La variabilité de la SNM est comparée à sa valeur moyenne dans la Figure 36 (a), en incluant cette fois les dispositifs n° 6 et 7. Tout comme à la Figure 35 (a), nous pouvons affirmer que SNM et σ_{SNM} ne sont pas corrélés. Les transistors n° 2 et 7 présentent des valeurs moyennes similaires (SNM=150mV) mais avec des différences importantes sur les écarts types (6mV et 13mV, respectivement). Cependant, nous pouvons voir dans le Tableau 2 que leurs paramètres d'appariement respectifs $A_{\Delta VT}$ sont du même ordre de grandeur. La Figure 36 (b) présente les écarts types estimés pour l'ensemble des géométries L/W. La pente de la régression linéaire donne bien des valeurs similaires. En revanche, une déviation par rapport à la loi de Pelgrom [Pelgrom '89] apparaît pour les plus petites longueurs de grille à cause des effets de canaux courts (voir la section 1.2.2). Les longueurs de grille des transistors n° 6 et 7 ont été fortement réduites par rapport aux valeurs nominales. Cela a eu pour conséquence de réduire les longueurs de grille des transistors présents dans les cellules SRAM (de 25 nm et 30 nm pour les dispositifs n° 6 et 7, respectivement) par rapport à celles des transistors n° 2. De plus, la réduction des longueurs de grille sur les dispositifs n° 6 et 7 n'a pas été associée à un amincissement du film de silicium afin de conserver le même rapport T_{Si}/L . Les effets de canaux courts ont ainsi été exacerbés. On peut signaler en outre que pour ces échantillons, l'épithaxie des jonctions source-drain et les conditions d'implantation des extensions ont été modifiées, conduisant à des transistors ayant de très petites longueurs effectives. L'influence des effets de canaux courts sur les valeurs $\sigma_{\Delta VT}$ des transistors présents dans les SRAM est mis en évidence en comparant les résultats à $|V_D|=50mV$ et à 0.9V (Tableau 2). Cela justifie la dégradation de σ_{SNM} sur les transistors n° 6 et 7.

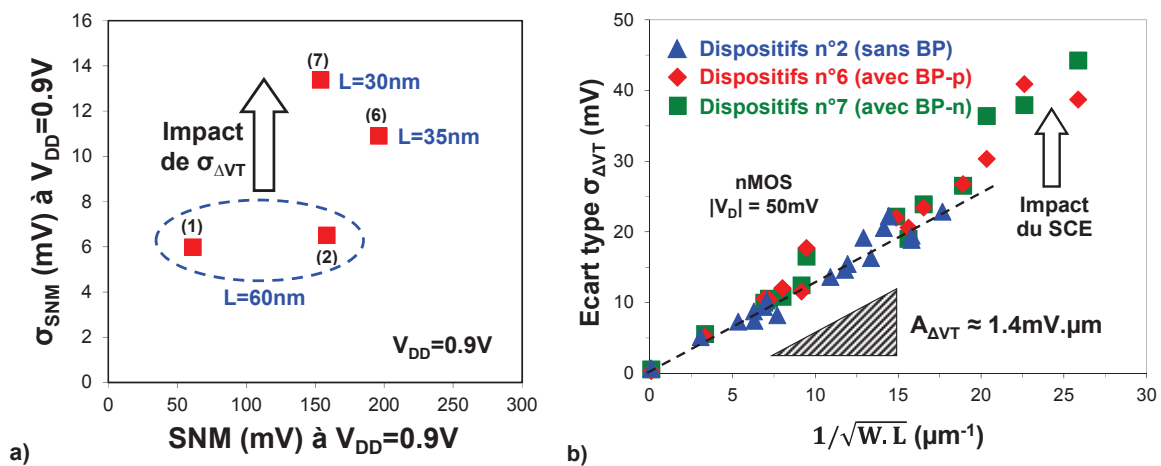


Figure 36 : (a) σ_{SNM} en fonction de la valeur moyenne de la SNM pour les dispositifs n° 1, 2, 6 et 7 du Tableau 2. (b) $\sigma_{\Delta VT}$ en fonction de $1/\sqrt{W.L}$ pour les transistors n° 2, 6 et 7. Les mêmes tendances ont été observées sur les pMOS.

Finalement, la variabilité de la SNM est comparée à celle de la tension de seuil des transistors présents dans les cellules SRAM (Figure 37). Une forte corrélation existe entre ces caractéristiques électriques. Cela démontre qu'en technologie FDSOI, la variabilité du V_T est la principale source de fluctuations de la SNM. La Figure 35 et la Figure 36 ont montré que la variabilité de la SNM est indépendante de sa valeur moyenne (et donc des valeurs moyennes de V_T). Cela signifie qu'avec un

contrôle optimal de processus d'intégration CMOS, il est possible d'ajuster la tension de seuil des transistors par un changement du travail de sortie de la grille métallique ou par l'utilisation d'un BP sans pour autant induire une dégradation de σ_{SNM} . Par opposition, les SRAM réalisées avec des transistors sur silicium massif montrent une corrélation entre SNM et σ_{SNM} étant donné que l'ajustement des tensions de seuil se fait par l'intermédiaire du dopage du canal de conduction. Cela a pour conséquence d'accroître l'influence de cette source de variabilité sur le désappariement (voir la section 1.4.4.a). La Figure 37 montre également que la corrélation entre σ_{SNM} et $\sigma_{\Delta VT}$ existe à la fois pour les transistors nMOS et pour les pMOS. Ces résultats indiquent qu'un coefficient de corrélation plus élevé est obtenu sur les nMOS (égal à 0.98, contre 0.86 pour les pMOS). Cela suggère que la variabilité des nMOS (transistors de décharge et d'accès) prédomine sur celle des pMOS (transistors de charge) dans les fluctuations de la SNM. Nous allons maintenant développer ceci par une modélisation analytique de la SNM et de sa variabilité.

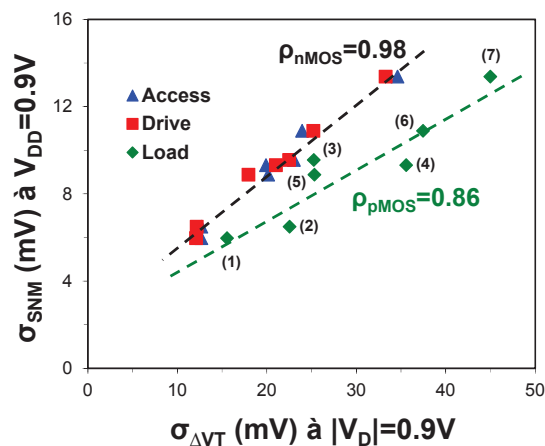


Figure 37 : σ_{SNM} en fonction de la variabilité de la tension de seuil estimée sur les transistors présents dans les cellules mémoires.

3.5. Modèle analytique de variabilité de la SNM

Cette section a pour objectif d'identifier le type de transistor présent dans les cellules mémoires SRAM (charge, décharge ou accès) qui prédomine sur la variabilité de la SNM. Pour cela, un modèle analytique a été développé. Nous allons commencer par étudier l'influence de chacun des transistors de la cellule SRAM-6T sur un lobe spécifique de la courbe « papillon ». La sensibilité du paramètre SNMH (correspondant au côté du carré placé dans le lobe supérieur de la courbe (Figure 28 (b)) avec la variation de la tension de seuil de chacun des six transistors est présentée à la Figure 38. Les transistors nMOS de décharge (DR1 et DR2) (pour rappel, la dénomination des transistors est donnée à la Figure 28 (a)) ont un très fort impact sur la valeur de SNMH, alors que seulement un nMOS d'accès (AC1) et un pMOS de charge (LD2) ont une influence. Les autres transistors (le nMOS d'accès appelé AC2 et le pMOS de charge appelé LD1) ont une influence uniquement sur SNML. Par conséquent, la sensibilité de la tension de seuil sur la courbe papillon est plus grande pour les

transistors nMOS que pour les pMOS, comme cela avait déjà été démontré dans [Calhoun '05] [Tsukamoto '05] [Bhavnagarwala '00].

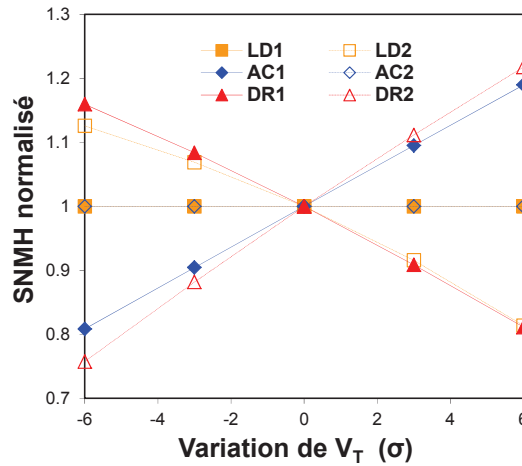


Figure 38 : Sensibilité du paramètre SNMH (à $V_{DD}=0.9V$) avec les fluctuations de tension de seuil appliquées sur chacun des six transistors de la cellule mémoire SRAM (voir la Figure 10 (a) concernant la dénomination des dispositifs).

En considérant que les variations de tension de seuil sont indépendantes sur chacun des transistors de la cellule mémoire, nous avons ainsi :

$$\sigma_{SNML} = \sqrt{\left(\frac{\partial SNML}{\partial V_{T_DR1}} \cdot \sigma_{VT_DR1}\right)^2 + \left(\frac{\partial SNML}{\partial V_{T_LD1}} \cdot \sigma_{VT_LD1}\right)^2 + \left(\frac{\partial SNML}{\partial V_{T_DR2}} \cdot \sigma_{VT_DR2}\right)^2 + \left(\frac{\partial SNML}{\partial V_{T_AC2}} \cdot \sigma_{VT_AC2}\right)^2} \quad (\text{Équation 25})$$

$$\sigma_{SNMH} = \sqrt{\left(\frac{\partial SNMH}{\partial V_{T_DR2}} \cdot \sigma_{VT_DR2}\right)^2 + \left(\frac{\partial SNMH}{\partial V_{T_LD2}} \cdot \sigma_{VT_LD2}\right)^2 + \left(\frac{\partial SNMH}{\partial V_{T_DR1}} \cdot \sigma_{VT_DR1}\right)^2 + \left(\frac{\partial SNMH}{\partial V_{T_AC1}} \cdot \sigma_{VT_AC1}\right)^2} \quad (\text{Équation 26})$$

La Figure 39 montre l'écart type simulé σ_{SNMH} quand les fluctuations de V_T sont appliquées uniquement sur les transistors d'accès (AC1 et AC2), de charge (LD1 et LD2) ou de décharge (DR1 et DR2). En raison de la symétrie de la cellule, les fluctuations stochastiques impactent de la même manière σ_{SNML} and σ_{SNMH} . La relation $\sigma_{SNML}=\sigma_{SNMH}$ a été vérifiée expérimentalement et par des simulations Monte-Carlo. σ_{SNMH} et σ_{SNM} sont également présentés à la Figure 39 dans le cas où les fluctuations de V_T sont appliquées sur tous les transistors. L'écart type σ_{SNMH} total correspond à la somme quadratique des contributions appliquées indépendamment sur chacun des types de transistors, comme cela était prévu d'après les équations 25 et 26. Ce résultat est cohérent étant donné que les transistors sont tous indépendants les uns des autres. Il apparaît clairement à la Figure 39 que les transistors de décharge (DR1 et DR2) sont les contributeurs prédominants de σ_{SNMH} . De plus, σ_{SNM} est moins élevé que σ_{SNMH} (ce dernier étant égal à σ_{SNML}).

Nous allons maintenant étudier ce comportement grâce à un modèle analytique couplé aux résultats de la Figure 38.

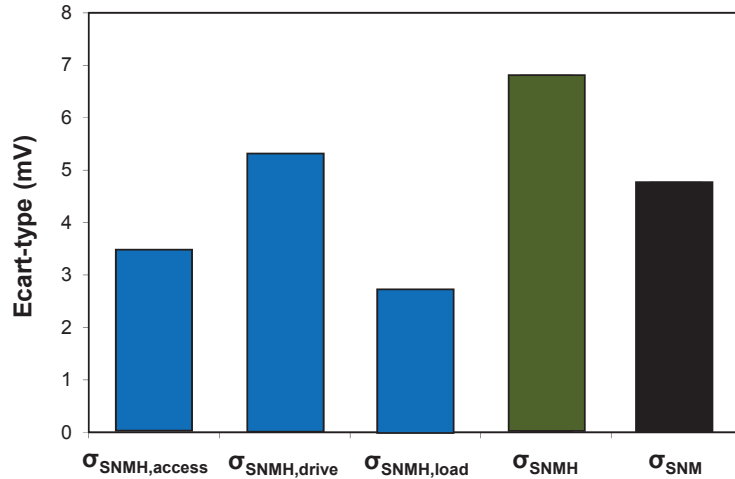


Figure 39 : Ecart-types obtenus en appliquant des fluctuations de V_T sur chaque type de transistors avec $A_{\Delta V_{Tn}}=A_{\Delta V_{Tp}}=1.4\text{mV}\cdot\mu\text{m}$ (les mêmes tendances ont été observées pour d'autres valeurs de $A_{\Delta V_T}$). Les trois premières barres ont été obtenues en introduisant les variations seulement sur les transistors d'accès, de charge ou de décharge. Les deux dernières barres correspondent aux écarts types de SNMH et de SNM quand les variations sont appliquées sur tous les transistors.

La distribution de SNM est égale au minimum des deux distributions gaussiennes (Figure 40 (a)) corrélées de SNML et de SMMH (équation 24). En effet, si SNML augmente, cela entraîne une réduction de SNMH (et inversement). En revanche, la SNM ne suit pas une loi normale (Figure 40(b)).

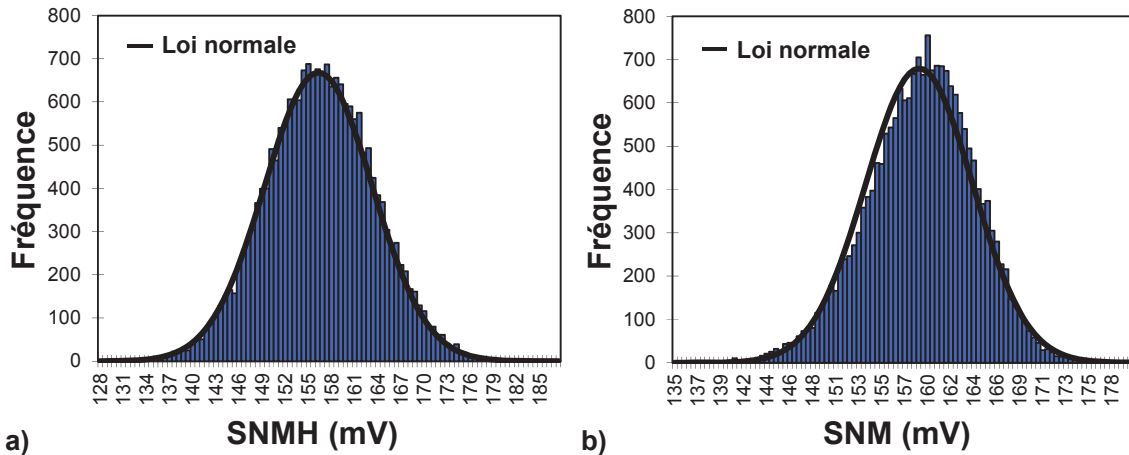


Figure 40 : Distributions de SNMH (a) et de SNM (b) obtenues grâce à 20000 simulations Monte-Carlo réalisées avec le modèle compact présenté à la section 3.6.

Grâce à [Nadarajah '08] et en considérant que ces deux variables stochastiques (SNML et SNMH) ont des valeurs moyennes identiques ($m_{\text{SNM}}=m_{\text{SNML}}=m_{\text{SNMH}}$), nous obtenons :

$$E(\text{SNM})=m_{\text{SNM}}-\frac{\theta}{\sqrt{2\pi}} \quad (\text{Équation 27})$$

$$E(\text{SNM}^2)=m_{\text{SNM}}^2+\frac{\sigma_{\text{SNML}}^2}{2}+\frac{\sigma_{\text{SNMH}}^2}{2}-2\cdot m_{\text{SNM}}\cdot\frac{\theta}{\sqrt{2\pi}} \quad (\text{Équation 28})$$

$$\theta = \sqrt{\sigma_{\text{SNML}}^2 + \sigma_{\text{SNMH}}^2 - 2\cdot\rho\cdot\sigma_{\text{SNML}}\cdot\sigma_{\text{SNMH}}} = \sigma_{\text{SNML}}\cdot\sqrt{2\cdot(1-\rho)} = \sigma_{\text{SNMH}}\cdot\sqrt{2\cdot(1-\rho)} \quad (\text{Équation 29})$$

où $E(\text{SNM})$ et $E(\text{SNM}^2)$ sont les deux premiers moments de la distribution de SNM et ρ correspond au coefficient de corrélation liant SNML à SNMH.

En utilisant un développement en série de Taylor sur les variables SNML et SNMH (tout en considérant que les termes du deuxième ordre et au-delà peuvent être négligés devant celui de premier ordre), nous avons :

$$SNML = m_{SNML} + \sum_{i=1}^6 \frac{\partial SNML}{\partial V_{Ti}} (V_{Ti} - m_{VTi}) \quad (\text{Équation 30})$$

$$SNMH = m_{SNMH} + \sum_{i=1}^6 \frac{\partial SNMH}{\partial V_{Ti}} (V_{Ti} - m_{VTi}) \quad (\text{Équation 31})$$

où m_{VTi} est la moyenne des V_T observés sur les transistors de la cellule mémoire SRAM.

Le coefficient de corrélation ρ est donné par :

$$\rho = \frac{E[(SNML - m_{SNML})(SNMH - m_{SNMH})]}{\sigma_{SNML} \cdot \sigma_{SNMH}} \quad (\text{Équation 32})$$

En utilisant les équations 30 et 31, l'équation 32 se simplifie à :

$$\rho = \frac{\sum_{i=1}^6 \frac{\partial SNML}{\partial V_{Ti}} \cdot \frac{\partial SNMH}{\partial V_{Ti}} \cdot E[(V_{Ti} - m_{VTi})^2]}{\sigma_{SNML} \cdot \sigma_{SNMH}} = \frac{\sum_{i=1}^6 \frac{\partial SNML}{\partial V_{Ti}} \cdot \frac{\partial SNMH}{\partial V_{Ti}} \cdot \sigma_{VTi}^2}{\sigma_{SNML} \cdot \sigma_{SNMH}} \quad (\text{Équation 33})$$

En considérant que σ_{SNM} est totalement induit par la variabilité de la tension de seuil des transistors présents dans les cellules mémoires SRAM, les équations 27, 28, 29 et 33 donnent :

$$\theta = \sqrt{\sum_{i=1}^6 \left(\frac{\partial SNML}{\partial V_{Ti}} - \frac{\partial SNMH}{\partial V_{Ti}} \right) \cdot \sigma_{VTi}^2} \quad (\text{Équation 34})$$

$$\sigma_{SNM} = \sqrt{\sum_{i=1}^6 \left[\left(\frac{\partial SNML}{\partial V_{Ti}} \right)^2 - \frac{1}{2 \cdot \pi} \left(\frac{\partial SNML}{\partial V_{Ti}} - \frac{\partial SNMH}{\partial V_{Ti}} \right)^2 \right] \cdot \sigma_{VTi}^2} \quad (\text{Équation 35})$$

En utilisant les valeurs des pentes $\partial SNM_x / \partial V_{Ti}$ extraites à partir de la Figure 38, l'équation 35 se simplifie. Nous avons ainsi :

$$\sigma_{SNM} \approx \sqrt{0.0994 \cdot \sigma_{VT_access}^2 + 0.1255 \cdot \sigma_{VT_drive}^2 + 0.0255 \cdot \sigma_{VT_load}^2} \quad (\text{Équation 36})$$

L'équation 35 permet d'estimer σ_{SNM} avec une assez bonne précision (moins de 4 % d'erreur). La validité de cette équation a été vérifiée grâce à des simulations Monte-Carlo réalisées avec le modèle compact qui sera présenté dans la prochaine section. L'équation 36 est une solution particulière de l'équation 35 pour laquelle les paramètres d'appariement des nMOS et des pMOS sont égaux à 1.4mV.µm avec $|V_D|=0.9V$. L'impact de chaque type de transistor sur σ_{SNM} est finalement quantifié grâce à l'équation 36. Il apparaît que ce sont bien les transistors nMOS qui ont le plus d'incidence sur la variabilité de la stabilité en lecture, comme le laissait présager la Figure 37. L'équation 36 indique également que ce sont plus particulièrement les transistors de décharge qui affectent σ_{SNM} . Cela sous-entend que les transistors pMOS de charge peuvent éventuellement être dessinés avec des dimensions plus petites, sans pour autant dégrader de manière importante σ_{SNM} . Nous allons

déterminer dans la prochaine section si σ_{SNM} peut être décrite totalement par la variabilité de la tension de seuil des dispositifs présents dans la cellule mémoire SRAM ou si d'autres caractéristiques doivent être prises en compte.

3.6. Modélisation compacte de cellules mémoires SRAM

Lors du développement d'une nouvelle technologie, des outils de simulation sont utilisés afin de prédire à l'avance les performances des transistors, avant même qu'ils ne soient réalisés. La conception des futurs circuits est optimisée grâce à ce type de modèle compact, basé sur des équations analytiques. Un modèle a été développé au sein du LETI [Rozeau '11] [Benosman '11] pour déterminer les gains en performance atteignables sur des circuits intégrés utilisant la technologie FDSOI au lieu des transistors sur silicium massif [Flatresse '12]. Les dispositifs n° 2 du Tableau 2 ont été utilisés pour le développement d'une carte modèle. Comme illustré à la Figure 41 (a), le modèle compact permet de reproduire correctement la valeur moyenne de SNM pour des tensions d'alimentation comprises entre 0.4 V et 0.9V, avec une erreur maximale de 6mV.

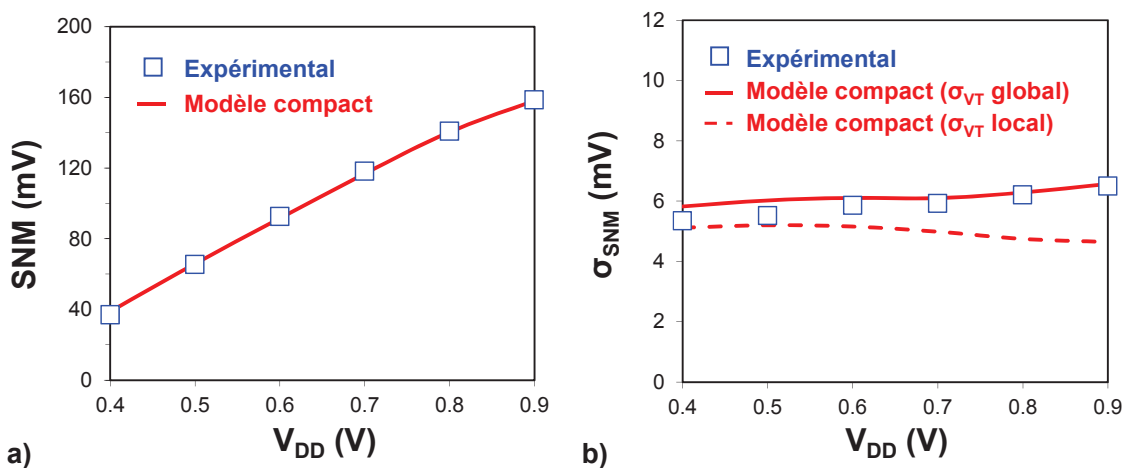


Figure 41 : (a) Comparatif entre les mesures expérimentales de SNM et (b) de σ_{SNM} réalisées sur les dispositifs n° 2 du Tableau 2 et les résultats de simulation du modèle compact FDSOI. Concernant σ_{SNM} , les écarts types sont estimés en prenant comme données d'entrée, soit les σ_{VT} locaux, soit les σ_{VT} globaux).

Des sources de variabilité ont ensuite été introduites dans le modèle compact dans le cadre de cette thèse. Les fluctuations locales de la tension de seuil sont appliquées individuellement sur la tension de bande plate V_{FB} de chacun des transistors. Une fonction suivant la loi normale est utilisée lors des simulations (méthode Monte-Carlo), dont l'écart type est calibré sur les mesures expérimentales à $|V_D|=50\text{mV}$ des transistors présents dans les cellules mémoires SRAM. Une autre fonction suivant la loi normale est appliquée sur le paramètre de dépendance de la longueur de grille sur le DIBL, afin de reproduire correctement la variabilité locale de la tension de seuil à $|V_D|=0.9\text{V}$. La Figure 41 (b) présente un comparatif entre la variabilité de la SNM estimée expérimentalement et celle obtenue grâce à 4096 simulations Monte-Carlo (à partir des écarts types de variabilité locale). Nous obtenons un assez bon accord à $V_{DD}=0.4\text{V}$, alors qu'une erreur devient de plus en plus significative

quand la tension d'alimentation augmente (2mV d'écart quand $V_{DD}=0.9V$). Cela semble être lié au fait que σ_{SNM} est estimé expérimentalement sur 200 cellules mémoires réparties sur l'ensemble du substrat. Une composante systématique de variabilité peut donc avoir affecté ces résultats. Afin de confirmer cette hypothèse, la variabilité globale de la tension de seuil a été estimée et utilisée dans le modèle pour chacun des types de transistors (PD, PG et PU). Nous constatons par exemple que dans le cas des nMOS de décharge (PD), la variabilité locale σ_{VT_local} est égale à 8.6mV alors que la variabilité globale σ_{VT_global} est égale à 12.8mV. Cette différence existe majoritairement à forte tension de drain, ce qui peut s'expliquer par des variations σ_L de la longueur de grille des dispositifs à travers le substrat. Ces nouvelles données expérimentales ont été introduites dans le modèle compact. Les résultats correspondants (désignés par "Modèle compact (σ_{VT_global})" à la Figure 41 (b)) démontrent que la variabilité de la SNM est bien mieux reproduite avec ces nouvelles données d'entrée. Le modèle compact donne par ailleurs une tension minimale d'alimentation de 0.38V (contre 0.39V expérimentalement). Ceci démontre que la variabilité de la tension de seuil est suffisante pour donner une assez bonne estimation de σ_{SNM} en technologie FDSOI.

3.7. Conclusion

L'étude expérimentale de la variabilité de la SNM a montré que sa valeur est directement corrélée aux fluctuations de la tension de seuil des transistors. Etant donné que le V_T en technologie FDSOI est ajusté par le travail de sortie de la grille métallique et/ou par la polarisation des BP, il apparaît que $\sigma_{\Delta VT}$ et σ_{SNM} sont indépendants des valeurs moyennes de V_T et de SNM. Il est donc possible en technologie FDSOI d'optimiser les stabilités en lecture et en écriture des cellules mémoires SRAM sans pour autant impacter la variabilité. La polarisation négative de V_B a ainsi un intérêt majeur pour réduire la tension minimale d'alimentation V_{MIN_READ} . Par opposition, les transistors sur silicium massif requièrent un dopage plus ou moins important du canal pour atteindre les tensions de seuil adéquates. La variabilité des transistors est par conséquent fortement impactée.

Nous avons pu prouver que les transistors nMOS sont les principaux responsables de la variabilité de la SNM grâce aux résultats expérimentaux. Ceci a par ailleurs été confirmé par un modèle analytique qui démontre que ce sont les transistors de décharge (PD) qui ont le plus d'influence. Celui-ci se présente comme une solution avantageuse pour estimer σ_{SNM} sans avoir recourt à des simulations Monte-Carlo relativement coûteuses en termes de temps de calcul.

Finalement, le modèle compact a mis en évidence que la prise en compte de la variabilité de la tension de seuil est suffisante pour donner une assez bonne estimation de σ_{SNM} en technologie FDSOI.

3.8. Références bibliographiques

- [Andrieu '10] F. Andrieu, O. Weber, J. Mazurier et al., "Low Leakage and Low Variability Ultra-Thin Body and Buried Oxide (UT2B) SOI Technology for 20nm Low Power CMOS and Beyond", *IEEE Symposium on VLSI Technology*, 2010, p. 57-58.

- [Asenov '07] A. Asenov, "Simulation of Statistical Variability in Nano MOSFETs", *IEEE Symposium on VLSI Technology*, 2007, p. 86-87.
- [Benosman '11] M. Benosman, "Extraction des paramètres du modèle compact UTSOI dédié au transistor FDSOI non dopé", manuscrit de DRT, Institut Polytechnique de Grenoble, 2011.
- [Bhavnagarwala '00] A. Bhavnagarwala, A. Kapoor et J. Meindl, "Fluctuation Limits on Scaling of CMOS SRAMs", *European Solid-State Device Research Conference (ESSDERC)*, 2000, p. 472-475.
- [Bhavnagarwala '05] A. Bhavnagarwala, S. Kosonocky, C. Radens et al., "Fluctuation Limits & Scaling Opportunities for CMOS SRAM Cells", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2005, p. 659-662.
- [Calhoun '05] B.H. Calhoun and A. Chandrakasan, "Analyzing Static Noise Margin for Sub-threshold SRAM in 65nm CMOS", *European Solid-State Circuits Conference (ESSDERC)*, 2005, p. 363-366.
- [Cheng '06] B. Cheng, S. Roy, G. Roy et al., "Impact of Random Dopant Fluctuation on Bulk CMOS 6T SRAM Scaling", *European Solid-State Device Research Conference (ESSDERC)*, 2006, p. 258-261.
- [Flatresse '12] P. Flatresse, G. Cesana et X. Cauchy, "Planar fully depleted silicon technology to design competitive SOC at 28nm and beyond", *ST white paper*, available at : http://www.soiconsortium.org/pdf/fullydepletedsoi/planar_fd_silicon_technology_competitive_soc_28nm.pdf
- [Itoh '09] K. Itoh, "Adaptive Circuits for the 0.5-V nanoscale CMOS era", *IEEE International Solid-State Circuits Conference (ISSCC) – Digest of Technical Papers*, 2009, p. 14-20.
- [Kanno '11] K. M. Kanno, M. D. Giles, D. Becher et al., "Process Technology Variation", *IEEE Trans. Electron Devices*, Vol. 58, N° 8, Août, 2011, p. 2197-2208.
- [Lacord '12] J. Lacord, G. Ghibaudo et F. Boeuf, "A Comparative Study of Minimal Supply Voltage of 6T-SRAM at the 16nm node using MASTAR into a Conventional CAD Environment", *International Conference on Solid State Devices and Materials (SSDM)*, 2012.
- [Makosiej '12] A. Makosiej, O. Thomas, A. Vladimirescu et al., "Stability and yield-oriented ultra-low-power embedded 6T SRAM cell design optimization", *Design, Automation & Test in Europe Conference & Exhibition (DATE)*, 2012, p. 93-98.
- [Mazurier '11b] J. Mazurier, O. Weber, F. Andrieu et al., "On the variability in Planar FDSOI Technology: From MOSFETs to SRAM cells", *IEEE Transactions on Electron Devices*, Vol. 58, N° 8, 2011, p. 2326-2336.
- [Nadarajah '08] S. Nadarajah and S. Kotz, "Exact Distribution of the Max/Min of Two Gaussian Random Variables", *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, Vol. 16, N° 2, 2008, p. 210-212.
- [Pelgrom '89] M.J.M. Pelgrom, A.C.J. Duinmajer et A.P.G. Welbers, "Matching properties of MOS transistors", *IEEE Journal of Solid-State Circuits*, Vol. 24, N° 5, Octobre, 1989, p. 1433-1439.
- [Planes '12] N. Planes, O. Weber, V. Barral et al., "28nm FDSOI Technology Platform for High-Speed Low-Voltage Digital Applications", *IEEE Symposium on VLSI Technology*, 2012, p. 133-134.
- [Rozeau '11] O. Rozeau, M.-A. Jaud, T. Poiroux et al., "Surface Potential Based Model of Ultra-Thin Fully Depleted SOI MOSFET for IC Simulations", *IEEE International SOI Conference*, 2011, p. 63-84.

- [Seevinck '87] E. Seevinck, F.J. List, J. Lohstroh, "Static-Noise Margin Analysis of MOS SRAM Cells", *IEEE Journal of Solid-State Circuits*, Vol. 22, N° 5, 1987, p. 748-754.
- [Shin '10] C. Shin, M.H. Cho, Y. Tsukamoto et al., "Performance and Area Scaling Benefits of FD-SOI Technology for 6-T SRAM Cells at the 22-nm Node", *IEEE Transactions on Electron Devices*, Vol. 57, N° 6, 2010, p. 1301-1309.
- [Stolk '01] P. A. Stolk, H.P. Tuinhout, R. Duffy et al., "CMOS device optimization for mixed-signal technologies", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2001, p. 215-218.
- [Tsuchiya '09] R. Tsuchiya, N. Sugii, T. Ishigaki et al., "Low Voltage ($V_{dd} \sim 0.6V$) SRAM Operation Achieved by Reduced Threshold Voltage variability in SOTB (Silicon on Thin BOX)", *IEEE Symposium on VLSI Technology*, 2009, p. 150-151.
- [Tsukamoto '05] Y. Tsukamoto, K. Nii, S. Imaoka et al., "Worst-Case Analysis to Obtain Stable Read/Write DC Margin of High Density 6T-SRAM-Array with Local V_{th} Variability", *IEEE/ACM International Conference on Computer-Aided Design*, 2005, p. 398-405.
- [Yamaoka '05] M. Yamaoka, N. Maeda, Y. Shinozaki et al., "Low-power embedded SRAM modules with expanded margins for writing", *IEEE International Solid-State Circuits Conference (ISSCC)*, 2005, p. 480-611.

Chapitre 4

Etude expérimentale de la variabilité du courant de drain en technologie FDSOI

4.1. Introduction

La variabilité des caractéristiques électriques des transistors est une problématique majeure depuis le nœud technologique 65nm. L'impact des sources de fluctuations sur le désappariement (énoncées au chapitre 1) est étudié depuis une trentaine d'années, particulièrement sur la tension de seuil. Cependant, l'ensemble des caractéristiques électriques définissant le transistor MOSFET sont sensibles à la variabilité, ce qui se répercute directement sur les performances et le rendement des circuits analogiques et numériques.

Ce chapitre a pour objectif d'étudier la variabilité du courant de drain en technologie FDSOI. Pour cela, nous allons différencier les sources de fluctuations impactant I_D , à travers la variabilité de la tension de seuil et la variabilité de la résistance entre la source et le drain. Nous allons également nous intéresser aux facteurs technologiques limitant le désappariement de courant en changeant l'épaisseur du film de silicium et les résistances d'accès des dispositifs.

4.2. Mesures expérimentales de la variabilité du courant de drain

Les fluctuations de certaines caractéristiques électriques clés du transistor MOSFET ont été analysées, comme illustré à la Figure 42. En régime ohmique ($|V_D|=50\text{mV}$), la tension de seuil (V_{T_LIN}), le courant de drain à $V_G=0.9\text{V}$ (I_{LIN}) et la résistance totale (R_{ON}) mesurée entre source et drain (en régime ohmique pour $V_G-V_T=0.7\text{V}$) ont été étudiés. Cette dernière est décrite par l'équation suivante :

$$R_{ON} = \frac{V_{D_LIN}}{I_{LIN}(V_G - V_T = 0.7\text{V})} \quad (\text{Équation 37})$$

En régime de saturation ($|V_D|=0.9\text{V}$), le courant de fuite à $V_G=0\text{V}$ (I_{OFF}), la pente sous le seuil (SS_{SAT}), la tension de seuil (V_{T_SAT}) et le courant de drain en forte inversion à $V_G=0.9\text{V}$ (I_{SAT}) ont été extraits.

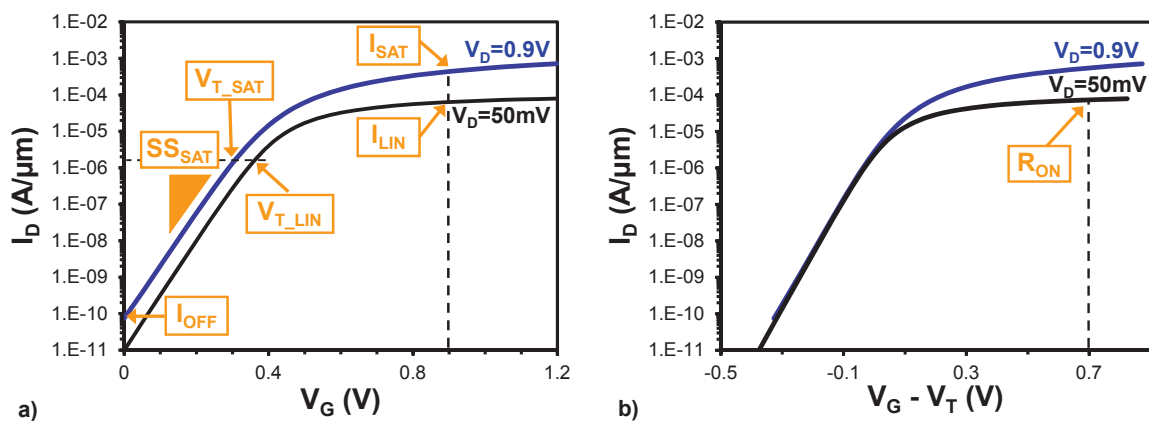


Figure 42 : (a) Courbe $I_D(V_G)$ en régime ohmique ($V_D=50\text{mV}$) et en régime de saturation ($V_D=0.9\text{V}$) illustrant les caractéristiques électriques standard extraites lors des tests de variabilité. (b) Courbe $I_D(V_G-V_T)$ en régime ohmique et en régime de saturation montrant la procédure d'extraction de la résistance R_{ON} .

La variabilité stochastique du courant de drain a tout d'abord été étudiée sur un substrat FDSOI ayant un T_{Si} de 6nm. Les fluctuations locales de courant ont été mesurées en utilisant le ratio $\Delta I_D/I_D$ présenté à la section A.2.1 de l'annexe A (même méthodologie que [Wils '10]) et en suivant la même méthodologie de traitement de données que pour la tension de seuil (section 1.4.4.a). Les courbes brutes I_D-V_G sont présentées à la Figure 43 (a). Aucun problème de défektivité n'est observé, permettant ainsi de réaliser une étude fiable de la variabilité stochastique du courant de drain.

La Figure 43 (b) montre la variabilité locale du courant I_{SAT} en technologie FDSOI ($T_{Si}=6nm$, $T_{BOX}=145nm$) [Mazurier '11c], mis en regard avec les performances publiées dans la littérature sur des transistors *bulk* [Masuda '05] [Saitoh '09] [Tsunomura '10]. La pente selon laquelle évoluent les points en technologie FDSOI est plus faible que celle des transistors sur silicium massif, assurant une meilleure immunité à la variabilité du courant de drain en forte inversion (de la même façon que pour la tension de seuil).

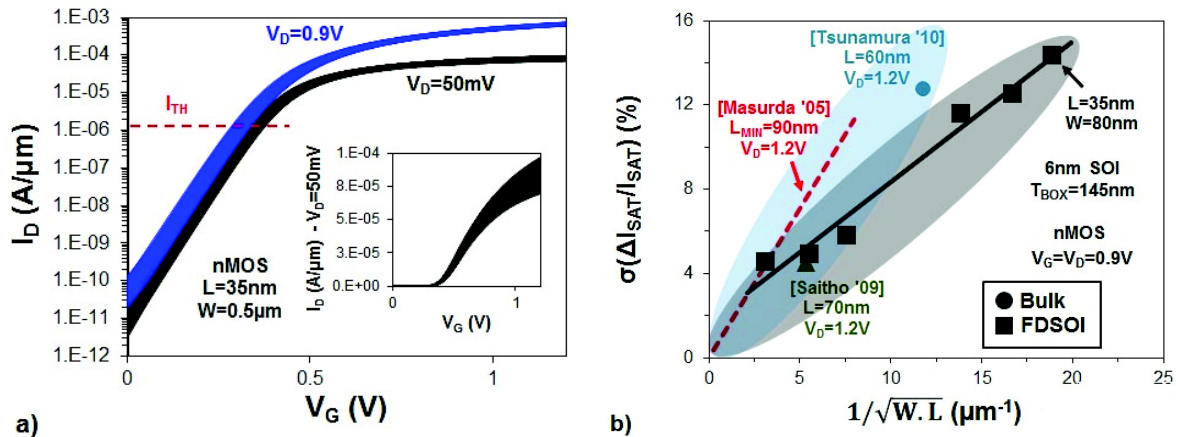


Figure 43 : (a) Courbes $I_D(V_G)$ brutes en régime ohmique ($V_D=50mV$) et en régime de saturation ($V_D=0.9V$). I_{TH} est le critère de courant utilisé pour la mesure des tensions de seuil par la méthode du courant constant. (b) Performances en variabilité locale du courant I_{SAT} sur la technologie FDSOI [Mazurier '11c] et sur silicium massif [Masuda '05] [Saitoh '09] [Tsunomura '10].

$\sigma(\Delta I_D/I_D)$ atteint 50 % en dessous du seuil de conduction, et décroît jusqu'à 5 % au-dessus du seuil (Figure 44 (a)). Ceci est lié respectivement à la loi exponentielle et à la loi de puissance du courant I_D en fonction de la tension V_G . En ce qui concerne le régime de conduction sous le seuil, les distributions de ΔI_{OFF} et de ΔSS_{SAT} (Figure 44 (b) et (c)) sont d'un intérêt majeur pour les circuits nécessitant de faibles courants de fuite. La technologie FDSOI montre des écarts types de variabilité locale sur les caractéristiques de courant de fuite et de pente sous le seuil respectivement égaux à $(\sigma_{\Delta I_{OFF}}/I_{OFF}) < 0.5$ décade et $\sigma_{\Delta SS_{SAT}} = 1.1mV/dec$. Ceci illustre un avantage majeur de la technologie FDSOI en termes d'immunité à la variabilité, en régime de conduction sous le seuil.

Au-dessus du seuil de conduction, les transistors FDSOI présentent une plus forte variabilité en régime ohmique ($V_D=50\text{mV}$) qu'en régime de saturation ($V_D=0.9\text{V}$), comme le montre la Figure 44 (a). Afin d'expliquer ce phénomène (à l'opposé de ce qui existe sur les transistors *bulk* [Tsunomura '10], nous allons nous focaliser sur les coefficients de corrélation relatifs aux fluctuations locales de R_{ON} , de V_T et des courants I_{SAT} et I_{LIN} (Figure 46 (a)). Il s'avère que les fluctuations de R_{ON} ont une influence significative sur les variations de I_{LIN} et de I_{SAT} (Figure 45), en plus de celles induites par la tension de seuil. Cette tendance tend d'ailleurs à s'accroître avec la réduction de la longueur de grille (Figure 46 (a)). De façon plus surprenante, une forte corrélation existe entre les fluctuations locales de V_T et de R_{ON} , quel que soit la longueur de grille (Figure 46 (b)). On obtient ainsi une équation de $\sigma(\Delta I_D/I_D)$ dépendant du coefficient de corrélation ρ liant ΔV_T et ΔR_{ON} :

$$\sigma_{\frac{\Delta I_D}{I_D}}^2 = \sigma_{\frac{\Delta I_D}{I_D}, V_T}^2 + \sigma_{\frac{\Delta I_D}{I_D}, R_{ON}}^2 - 2 \cdot \rho \cdot \sigma_{\frac{\Delta I_D}{I_D}, V_T} \cdot \sigma_{\frac{\Delta I_D}{I_D}, R_{ON}} \quad (\text{Équation 38})$$

où ρ correspond au coefficient de corrélation entre les paramètres $(\Delta I_D/I_D), V_T$ et $(\Delta I_D/I_D), R_{ON}$. Dans le cas présent, une approximation a été faite, de telle manière que ρ est défini comme étant le coefficient de corrélation entre ΔV_T et ΔR_{ON} .

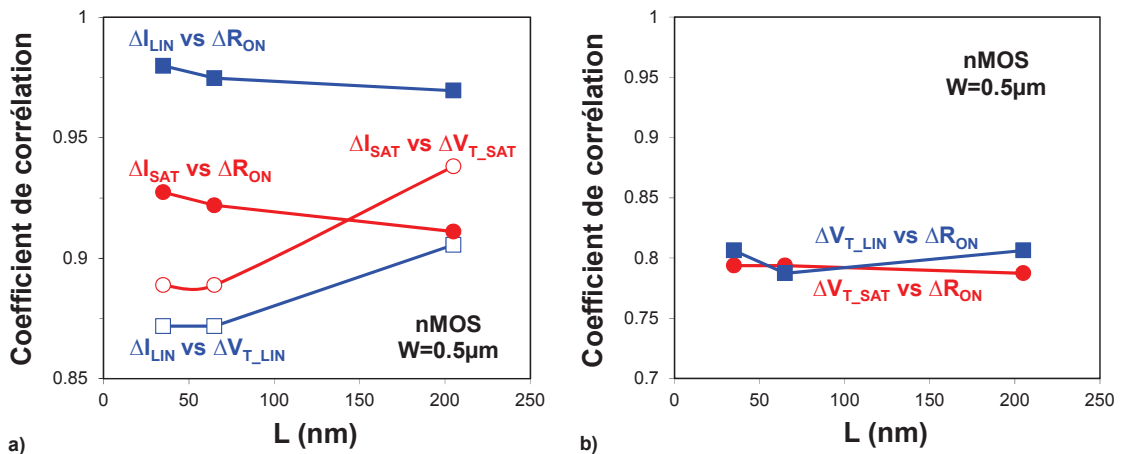


Figure 46 : (a) Coefficients de corrélation entre les variations ΔI , ΔV_T et ΔR_{ON} pour différentes longueurs de grille. (b) Coefficients de corrélation entre $\Delta V_{T,LIN}-\Delta R_{ON}$ et $\Delta V_{T,SAT}-\Delta R_{ON}$.

Afin d'extraire la composante de la variabilité de I_D due seulement aux fluctuations de R_{ON} , nous allons normaliser toutes les courbes de courant de drain par la tension de seuil correspondante. Il en résulte un ensemble de courbes $I_D(V_G-V_T)$ (Figure 47 (a)). Le rapport $\Delta I_D/I_D$ est calculé pour chacune des paires de transistors (interpolation des courbes $I_D(V_G-V_T)$ à $V_G-V_T=0.7\text{V}$) afin d'estimer $\sigma(\Delta I_D/I_D), R_{ON}$. L'équation 38, quant à elle, permet d'obtenir la contribution des fluctuations de V_T sur $\sigma(\Delta I_D/I_D)$, notée $\sigma(\Delta I_D/I_D), V_T$.

La Figure 47 (b) démontre que la variabilité locale du courant I_{LIN} induite par les fluctuations de V_T (correspondant aux triangles rouges ouverts) est plus grande que celle induite par les fluctuations de R_{ON} (carrés noirs ouverts). Il s'avère même qu'elle est plus grande que la variabilité totale (carrés noirs fermés). Il y a un effet de compensation. En effet, l'influence des fluctuations locales de R_{ON} et de V_T sur la variabilité du courant de drain est significativement réduite grâce à la forte corrélation

liant ces deux caractéristiques électriques (Figure 46 (b)). La valeur de ce coefficient de corrélation et sa stabilité quel que soit la longueur de grille (Figure 46 (b)) suggère qu'une source de variabilité commune impacte ces deux caractéristiques électriques et que les fluctuations (σ_L) de longueur effective du canal de conduction ne peuvent pas en être la cause. L'analyse réalisée en régime de saturation ($V_D=0.9V$) montre les mêmes tendances. Nous allons étudier dans la prochaine section l'origine de cette corrélation.

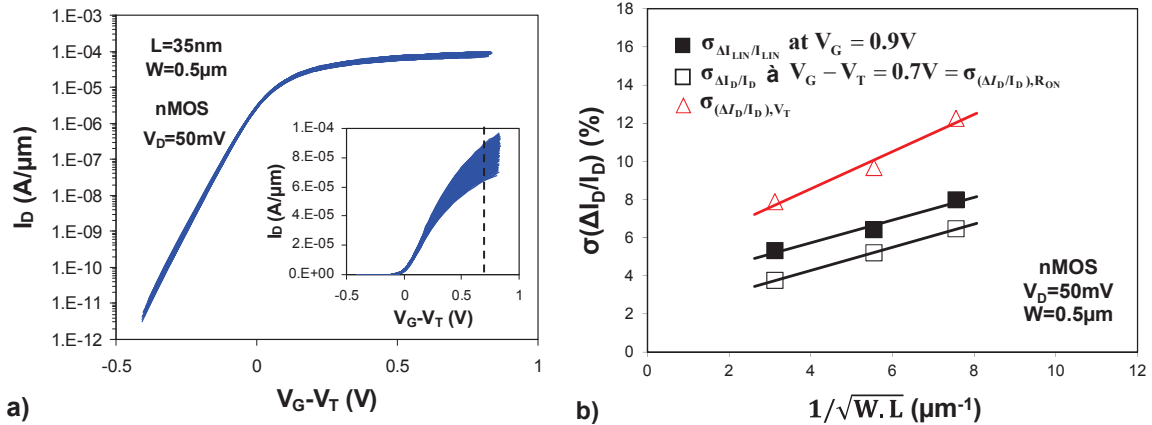


Figure 47 : (a) Courbes $I_D(V_G-V_T)$ en régime ohmique ($V_D=50mV$). Elles sont utilisées pour ôter l'influence de $\sigma_{\Delta V_T}$ sur la variabilité locale du courant de drain. (b) $\sigma(\Delta I_D/I_D)$ en fonction de $1/\sqrt{W.L}$ pour $V_G=0.9V$ (variabilité totale $\sigma(\Delta I_{LIN}/I_{LIN})$) et $V_G-V_T=0.7V$ (afin d'extraire la variabilité induite par les fluctuations de R_{ON} ($\sigma(\Delta I_{LIN}/I_{LIN}), R_{ON}$)). La contribution de V_T sur $\sigma(\Delta I_{LIN}/I_{LIN})$ a été calculée en utilisant l'équation 38).

4.4. Facteurs technologiques limitant la variabilité du courant de drain

La Figure 48 indique que la corrélation liant ΔV_T et ΔR_{ON} est fortement atténuée quand l'épaisseur du film de silicium passe de 6nm à 10nm ($\rho=0.81$ contre 0.48). On note également que la gamme de variation de ΔR_{ON} est fortement atténuée avec le T_{Si} le plus épais. Puisqu'on sait qu'une variation ΔT_{Si} va avoir plus d'impact en relatif sur un T_{Si} de 6nm que de 10nm, ce résultat suggère l'influence de variations locales du T_{Si} sur ces deux caractéristiques électriques, en particulier sur le ΔR_{ON} .

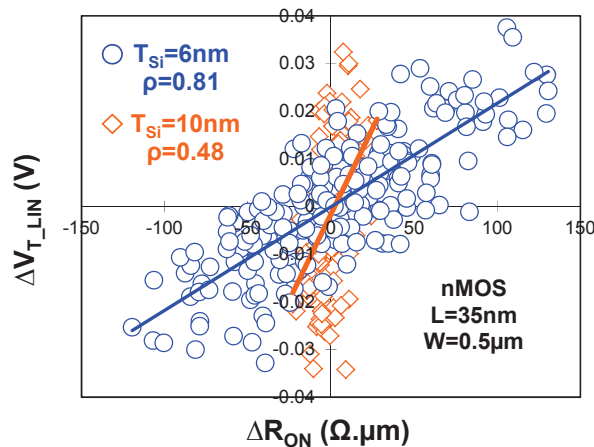


Figure 48 : Distributions de $\Delta V_{T,LIN}$ en fonction de ΔR_{ON} pour des transistors ayant été réalisés sur des substrats SOI possédant un T_{Si} de 6nm ou 10nm.

La résistance totale R_{ON} d'un transistor est l'addition de la résistance R_{CANAL} du canal de conduction et des résistances d'accès à la source et au drain (notés R_{SD}). Les résistances d'accès se décomposent en différentes composantes [Kim '02], comme l'illustre la Figure 49 (a). Nous avons les résistances de recouvrement R_{OV} (liées au recouvrement entre les extensions et la grille), les résistances d'extensions R_{EXT} , les résistances de jonctions R_J et les résistances de contact R_C (liées aux contacts entre le siliciure et les zones de jonctions fortement dopées, au siliciure lui-même et aux interconnexions métalliques). Ces résistances d'accès ont pour effet de diminuer la différence de potentiel entre la source et le drain, ce qui dégrade significativement le courant de drain. R_{SD} est extraite expérimentalement grâce à la résistance totale mesurée entre la source et le drain du transistor en régime ohmique et pour $V_G - V_T = 0.7V$, tel que :

$$R_{ON} = \frac{V_{D,LIN}}{I_{LIN}(V_G - V_T = 0.7V)} = R_{CANAL} + R_{SD} \quad (\text{Équation 39})$$

En utilisant plusieurs longueurs de grille, nous obtenons un graphique représentant R_{ON} en fonction de L_{EFF} (Figure 49 (b)). La réduction de L_{EFF} induit une diminution de R_{ON} par l'intermédiaire de R_{CANAL} . Cependant, comme R_{SD} ne dépend pas de L_{EFF} , la valeur de la résistance R_{SD} peut être extraite en déterminant le point d'intersection avec l'axe des ordonnées de la courbe $R_{ON}(L_{EFF})$. Dans cet exemple, R_{SD} est égale à $136.3\Omega \cdot \mu m$. Ces résistances parasites ont donc une influence dès que la valeur de R_{SD} n'est plus négligeable devant celle de la résistance totale, c'est à dire pour les longueurs de grille relativement courtes. Une optimisation des jonctions source-drain est par conséquent indispensable afin de maintenir des performances optimales.

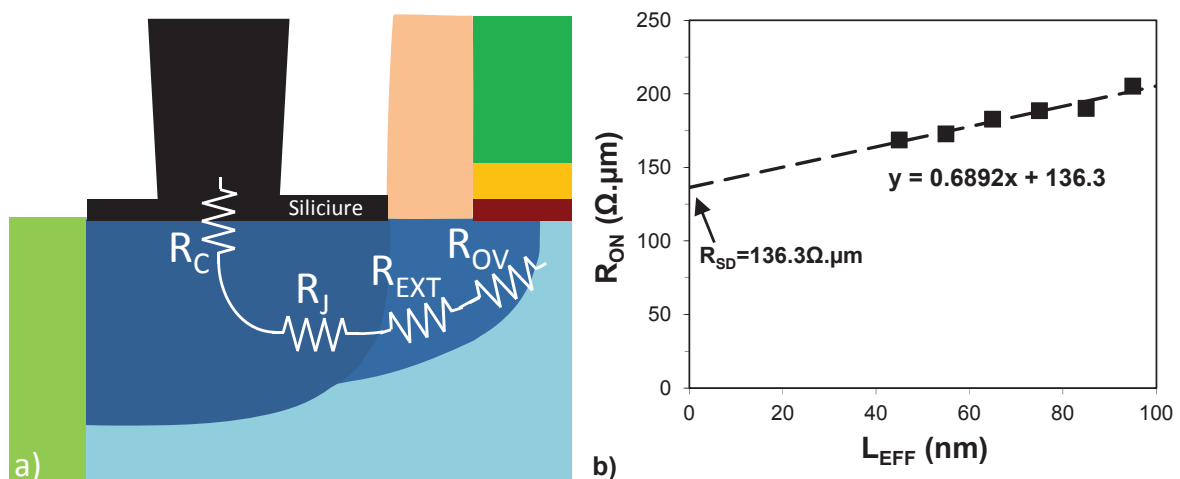


Figure 49 : (a) Schéma des différentes résistances intervenant dans les résistances séries. (b) Evolution de R_{ON} en fonction de L_{EFF} permettant d'extraire la valeur R_{SD} .

La Figure 50 (a) permet de comparer le comportement de $R_{ON}(L_{EFF})$ pour des transistors ayant été réalisés sur des substrats SOI ayant un T_{Si} de 6nm (présentés aux sections 4.2 et 4.3) ou de 10nm, ainsi que sur un substrat sSOI avec $T_{Si} = 12nm$. Ce dernier a été inclus car la contrainte biaxiale tensile présente dans ces transistors permet de modifier la mobilité des porteurs dans le canal de conduction (voir la section 2.4) ainsi que la résistance R_{SD} [Haizhou '06]. De plus, il présente comme particularité d'avoir de fortes différences de R_{SD} entre les dispositifs nMOS et pMOS en raison des spécificités en

termes de conditions d'implantations des extensions et des jonctions source-drain. Les fluctuations de R_{ON} mesurées pour chacune des longueurs de grille disponibles (avec $W=0.5\mu\text{m}$) sont présentées à la Figure 50 (b). Il apparaît une corrélation entre $\sigma_{\Delta R_{ON}}$ et la valeur moyenne des résistances d'accès R_{SD} , plutôt qu'avec celles de R_{ON} . Les transistors pMOS du substrat sSOI ayant un T_{Si} de 12nm ont également été inclus afin de montrer qu'un film de silicium épais ne permet pas nécessairement d'obtenir une faible valeur de $\sigma_{\Delta R_{ON}}$. En fait, cela dépend au premier ordre de la valeur des résistances d'accès pouvant être atteinte (Figure 50 (b)).

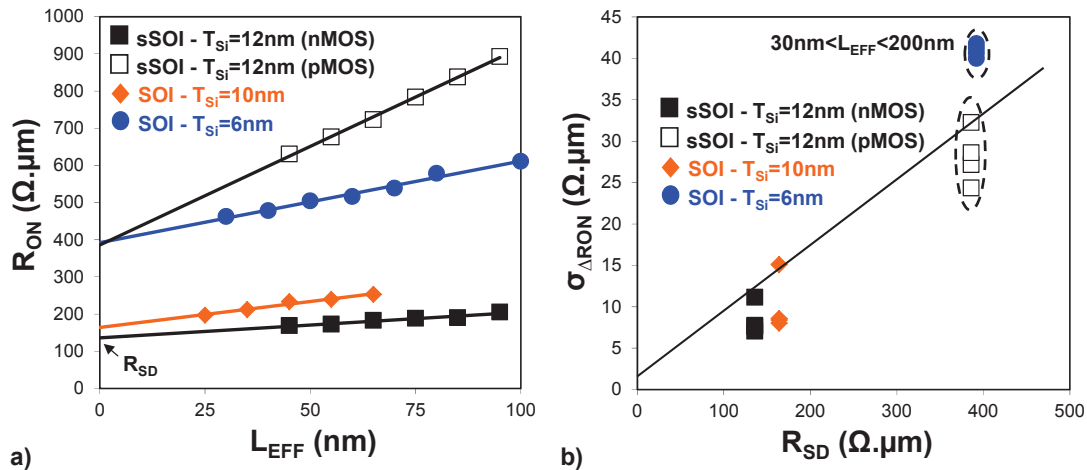


Figure 50 : (a) Résistance R_{ON} mesurée pour différentes longueurs de grille. (b) $\sigma_{\Delta R_{ON}}$ en fonction des résistances d'accès R_{SD} . Plusieurs substrats sont présentés (SOI de 6nm et 10nm, sSOI de 12nm).

4.5. Conclusion

Nous avons démontré que les variations locales du courant de drain en inversion forte sont corrélées aux fluctuations locales de V_T et de R_{ON} . De plus, il s'avère que ces deux contributions sont également corrélées en technologie FDSOI. Par conséquent, la variabilité totale du courant de drain n'est pas égale à la somme quadratique des fluctuations locales de I_D induites par R_{ON} et V_T puisqu'un effet de compensation limite leurs influences respectives sur $\sigma(\Delta I_D/I_D)$. Cette corrélation entre ΔR_{ON} et ΔV_T est associée au T_{Si} et ceci démontre la responsabilité des fluctuations locales de T_{Si} dans la variabilité du courant de drain. Celles-ci seront caractérisées en détail dans le chapitre suivant.

Au-delà de cette contribution, il a par ailleurs été montré que les fluctuations locales de R_{ON} dépendaient directement de la valeur absolue de R_{SD} qui est atteinte. Plus les résistances séries sont faibles et plus la variabilité sur le R_{ON} et le courant I_D sera faible. Ceci montre l'importance d'optimiser les jonctions source-drain en technologie FDSOI, pour la performance, mais aussi pour minimiser la variabilité du courant de drain. Ceci est d'autant plus important que le film de silicium est mince puisque R_{SD} dépend de T_{Si} [Barral '07].

4.6. Références bibliographiques

- [Barral '07] V. Barral, T. Poiroux, F. Andrieu et al., "Strained FDSOI CMOS technology scalability down to 2.5nm film thickness and 18nm gate length with a TiN/HfO₂ gate stack", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2007, p. 61-64.
- [Haizhou '06] H. Yin, Z. Ren, H. Chen et al., "Intergation of Local Stress Techniques with Strained-Si Directly On Insulator (SSDOI) Substrates", *IEEE Symposium on VLSI Technology*, 2006, p. 76-77.
- [Kim '02] S.-D. Kim, C.-M. Park et J.-C.-S. Woo, "Advanced Model and Analysis of Series Resistance for CMOS Scaling Into Nanometer Regime-Part II: Quantitative Analysis", *IEEE Transactions on Electron Devices*, Vol. 49, N° 3, Mars, 2002, p. 467-472.
- [Masuda '05] H. Masuda, S. Ohkawa, A. Kurokawa et al., "Challenge: variability characterization and modeling for 65- to 90-nm processes", *IEEE Custom Integrated Circuits Conference*, 2005, p. 593-599.
- [Mazurier '11c] J. Mazurier, O. Weber, F. Andrieu et al., "Drain current variability and MOSFET parameters correlations in planar FDSOI technology", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2011, p. 575-578.
- [Pawlak '06] B.J. Pawlak, R. Duffy, T. Janssens et al., "Suppression of phosphorus diffusion by carbon co-doping", *Applied Physics Letters*, Vol. 89, N° 6, 2006, p. 062102.
- [Saitoh '09] M. Saitoh, N. Yasutake, Y. Nakabayashi et al., "Physical understanding of V_{th} and I_{dsat} variations in (110) CMOSFETs", *IEEE Symposium on VLSI Technology*, 2009, p. 114-115.
- [Tsunomura '10] T. Tsunomura, A. Kumar, T. Mizutani et al., "Analysis and prospect of local variability of drain current in scaled MOSFETs by a new decomposition method", *IEEE Symposium on VLSI Technology*, 2010, p. 97-98.
- [Wils '10] N. Wils, H.P. Tuinhout et M. Meijer, "Characterization of STI Edge Effects on CMOS Variability", *IEEE Transactions on Semiconductor Manufacturing (TSM)*, Vol. 22, N° 1, Février, 2009, p. 59-65.

Chapitre 5

Impact de l'uniformité du film de silicium sur la variabilité des transistors MOS et des circuits SRAM

5.1. Introduction

Le chapitre 1 a montré que la technologie FDSOI est prometteuse pour adresser les prochains nœuds technologiques, notamment grâce à l'utilisation d'un canal non dopé et à un meilleur contrôle électrostatique. Nous avons vu à la section 1.4.4.d que l'uniformité du film de silicium est un paramètre crucial pour le contrôle du SCE et du DIBL des transistors ayant les longueurs de grille les plus courtes. La tension de seuil est dépendante de l'épaisseur T_{Si} et par conséquent, la variabilité des caractéristiques électriques des transistors est corrélée à l'uniformité du film sur l'ensemble de la plaque SOI. Ceci a été démontré expérimentalement en étudiant l'évolution de la variabilité du V_T inter-puce en fonction de T_{Si} [Weber '08]. Les canaux longs ($L=10\mu m$) présentent une dégradation de plus en plus forte de leur écart type quand l'épaisseur du film de silicium est réduite, alors que l'effet inverse est observé sur les canaux courts ($L=25nm$) grâce à une amélioration du SCE et du DIBL.

Nous allons étudier dans ce chapitre l'impact des fluctuations locales de l'épaisseur du film de silicium sur la variabilité stochastique de la tension de seuil des transistors. Un modèle analytique a été développé durant cette thèse afin de justifier les résultats expérimentaux obtenus en technologie FDSOI. Grâce à celui-ci, une analyse prédictive a ensuite pu être réalisée sur la variabilité induite par les fluctuations locales de T_{Si} sur les transistors de différentes dimensions et sur un circuit SRAM de 200 Mb, respectivement pour les nœuds technologiques 28 et 20nm. Ce modèle a également pour but de fournir des spécifications en termes d'uniformité $\sigma_{T_{Si}}$ et d'épaisseur moyenne $\mu_{T_{Si}}$ du film de silicium pour les prochains nœuds technologiques.

5.2. Analyse expérimentale de la variabilité du V_T sur des transistors FDSOI ayant un film de silicium mince

Différents substrats ont été analysés dans le cadre de ce chapitre afin d'étudier l'influence des variations locales de T_{Si} sur l'appariement des transistors. Tout d'abord, nous allons comparer deux substrats de génération XUT [Maleville '06] ayant respectivement une épaisseur moyenne du film de silicium de 6nm et de 12nm. Les transistors ont eu le même processus d'intégration dans les deux cas mais une fluctuation ΔT_{Si} va avoir un impact plus important sur un film de 6nm que sur un film de 12nm en relatif car $\Delta T_{Si}/T_{Si}$ est plus élevé. La Figure 51 (a) montre que la variabilité locale de la tension de seuil est fortement dégradée pour les géométries possédant une surface S relativement grande (ce qui correspond à une valeur $1/\sqrt{W.L}$ faible). En revanche, les plus petites surfaces ($S < 0.01\mu m^2$) ne sont pas significativement impactées entre 6nm et 12nm de T_{Si} nominal. Par conséquent, on peut suspecter que celles-ci sont peu impactées par les fluctuations locales de T_{Si} .

Afin d'étudier plus en détail le lien existant entre le désappariement et la surface des dispositifs, nous allons représenter la variabilité locale de la tension de seuil des transistors grâce au paramètre d'appariement $iA_{\Delta V_T}$ présenté à la section 1.4.4.a. Pour rappel, il est calculé pour chacune des géométries L/W disponibles, tel que :

$$iA_{\Delta V_T} = \sigma_{\Delta V_T} \cdot \sqrt{W.L} \quad (\text{Équation 40})$$

La loi de Pelgrom stipule que l'écart type $\sigma_{\Delta V_T}$ doit évoluer linéairement avec $1/\sqrt{W.L}$ [Pelgrom '89], ce qui signifie que $i_{\Delta V_T}$ doit rester constant quel que soit S . Ceci est effectivement observé à la Figure 51 (b) pour un T_{Si} de 12nm. Dans le cas où T_{Si} est égal à 6nm, les plus petites surfaces ($S < 0.01\mu m^2$) suivent également cette loi, avec des $i_{\Delta V_T}$ similaires à ceux obtenus pour $T_{Si}=12nm$. En revanche, $i_{\Delta V_T}$ s'accroît de plus en plus avec S pour des surfaces supérieures à $0.01\mu m^2$ quand T_{Si} est égal à 6nm (où les variations ΔT_{Si} prennent plus d'importance sur la variabilité locale du V_T que sur un T_{Si} de 12nm). Or, la loi de Pelgrom reste valable seulement si les sources de fluctuations stochastiques impactant la variabilité locale ont une longueur de corrélation largement inférieure à la taille des dispositifs étudiés. Ceci suggère que la longueur de corrélation des fluctuations de T_{Si} est du même ordre de grandeur, ou plus grande, que la taille des dispositifs ayant une surface importante.

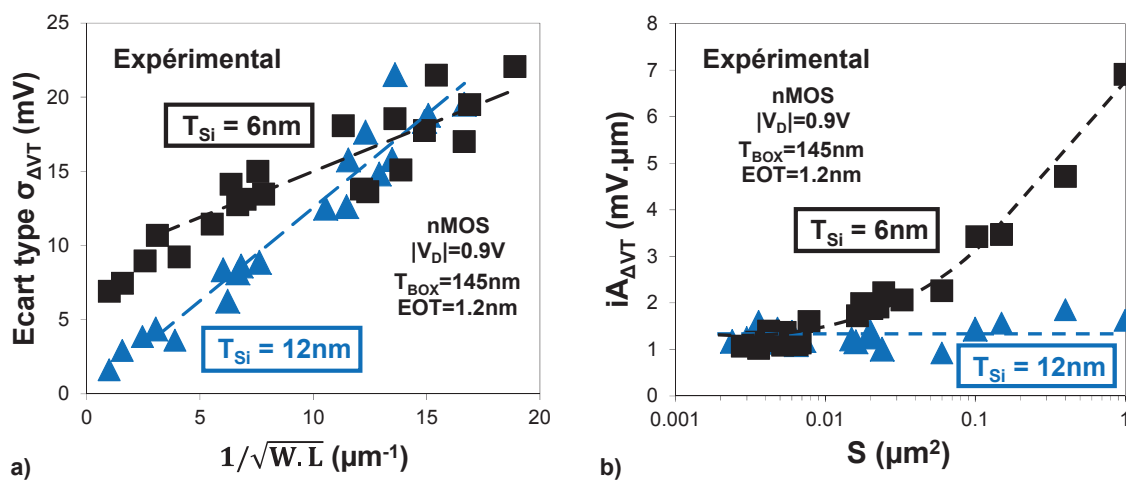


Figure 51 : (a) $\sigma_{\Delta V_T}$ en fonction de $1/\sqrt{W.L}$ pour des T_{Si} moyens de 6nm et 12nm. Les distributions de ΔV_T pour une géométrie $L/W=200nm/500nm$ sont présentées en insert. (b) $i_{\Delta V_T}$ en fonction de S pour les mêmes variantes.

Afin de confirmer cette hypothèse de variabilité de V_T induite par des fluctuations locales de T_{Si} , des mesures de rugosité ont été effectuées grâce à un microscope à force atomique (AFM, pour *Atomic Force Microscope*). Celui-ci permet de visualiser la topographie de l'interface avant du film de silicium. Cette étape de mesure est réalisée juste avant le dépôt de l'empilement de grille. L'interface Si/BOX restant quant à elle inaccessible, elle sera considérée dans tout ce chapitre comme étant parfaitement uniforme. Sachant que cette interface est obtenue par oxydation d'un substrat de silicium massif (voir la section 1.3.1), il est possible de négliger l'influence de ces fluctuations si la gamme maximale de variation reste suffisamment faible en comparaison à celle de l'interface avant, qui dépend quant à elle de la variabilité de chacune des étapes du procédé Smart Cut™.

La mesure AFM consiste à déplacer une pointe très fine (ayant un rayon de courbure de quelques nm) sur une zone géographique donnée ($30\mu m$ par $30\mu m$ dans le cas présent) afin de déterminer la topographie de l'échantillon à analyser. Cette zone est découpée en 512 lignes et en 512 colonnes, ce qui permet de déterminer l'altitude à chacune des coordonnées de cette matrice. L'AFM est utilisé en mode de contact intermittent (communément appelé le mode *Tapping*), qui consiste à faire vibrer un levier réfléchissant (sur lequel est fixé la pointe) à sa fréquence propre de résonance et avec une

certaine amplitude. Un rayon laser se réfléchit sur le levier. Quand la pointe entre en contact avec l'échantillon, l'amplitude d'oscillation décroît. Une réaction intervient ensuite sur l'amplitude d'oscillation du levier afin de ramener celle-ci à la consigne d'origine, ainsi que sur la hauteur du levier. Cet asservissement (géré par la déviation du rayon laser) agit tout au long du balayage de la surface afin de maintenir une distance constante entre la pointe et l'échantillon. Le lecteur pourra se référer à [Springer '04] pour avoir plus de détails sur cette technique de microscopie.

La rugosité de la surface étudiée est calculée de la manière suivante :

$$RMS = \sqrt{\frac{1}{M \cdot N} \cdot \sum_{k=0}^{M-1} \sum_{t=0}^{N-1} [z(x_k, y_t) - z_0]^2} \quad (\text{Équation 41})$$

$$z_0 = \frac{1}{M \cdot N} \cdot \sum_{k=0}^{M-1} \sum_{t=0}^{N-1} z(x_k, y_t) \quad (\text{Équation 42})$$

où M et N sont les dimensions de la zone étudiée (M=N=512 dans notre cas), $z(x_k, y_t)$ est l'altitude pour la coordonnée (x_k, y_t) et z_0 est la valeur moyenne des $z(x_k, y_t)$.

Un exemple est donné à la Figure 52 (a). Il s'agit des substrats de référence ayant un BOX de 25 nm. La distribution de T_{Si} sur l'ensemble de la zone de $30 \mu\text{m} \times 30 \mu\text{m}$ montre une variation maximale de 1.6 nm (Figure 52 (a)) tout en suivant une loi normale jusqu'à $\pm 3.5\sigma$ (avec $RMS=0.2 \text{ nm}$). Une décomposition en série de Fourier a par ailleurs montré que ces variations locales de T_{Si} ont un fondamental ayant une longueur de corrélation égale à $4 \mu\text{m}$, c'est-à-dire du même ordre de grandeur que les plus grandes surfaces des dispositifs étudiés expérimentalement.

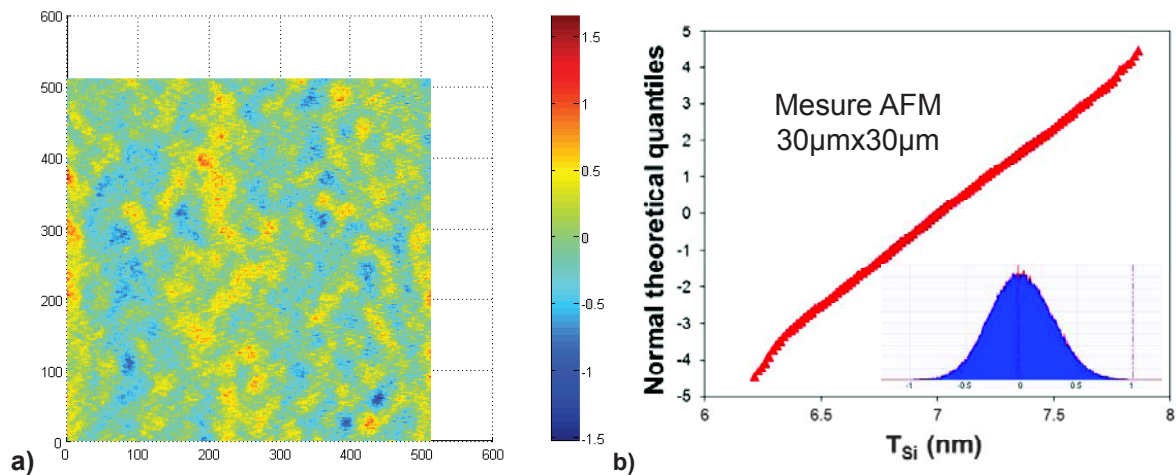


Figure 52 : (a) Mesure AFM représentant la dispersion du T_{Si} sur une zone de $30 \mu\text{m}$ par $30 \mu\text{m}$ (512 par 512 points) correspondant à un substrat de référence ayant un BOX de 25nm. (b) Distribution du T_{Si} tracée en quantiles. En insert se trouve la dispersion relative par rapport à la valeur moyenne.

Différents substrats ont été étudiés afin de corrélérer la valeur RMS mesurée en AFM à la variabilité locale de la tension de seuil des transistors. Nous avons des substrats de référence ($RMS=0.25 \text{ nm}$) et des substrats dont l'uniformité locale du T_{Si} est fortement améliorée (sSOI avec $RMS=0.16 \text{ nm}$). Le même processus d'intégration a été utilisé dans les deux cas et la même épaisseur moyenne de film de silicium a été obtenue ($T_{Si}=7 \text{ nm}$). La Figure 53 (a) montre qu'une forte amélioration de la

variabilité est possible pour des surfaces intermédiaires (à partir de $S=0.1\mu\text{m}^2$) grâce à une meilleure uniformité du T_{Si} . Finalement, l'influence de ces fluctuations locales sur le désappariement est résumée à la Figure 53 (b) (synthèse de 12 lots électriques). Pour une géométrie spécifique de transistors ($L/W=200\text{nm}/500\text{nm}$), une forte amélioration du $\sigma_{\Delta V_T}$ est obtenue en optimisant les substrats SOI.

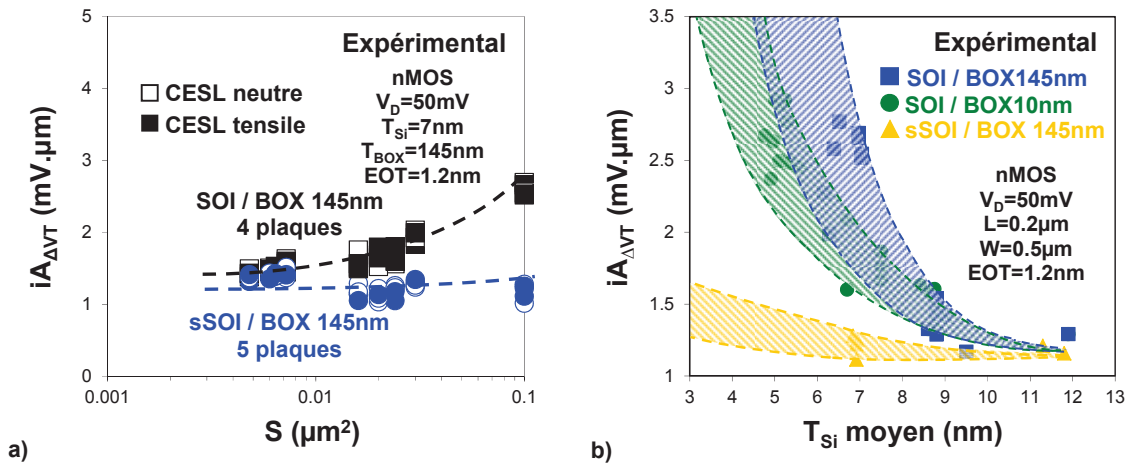


Figure 53 : (a) $iA_{\Delta V_T}$ en fonction de S pour les substrats de référence ($RMS=0.25\text{nm}$) et pour les substrats sSOI possédant une rugosité améliorée ($RMS=0.16\text{nm}$) avec un T_{Si} moyen de 7nm . (b) Synthèse du $iA_{\Delta V_T}$ estimée pour une géométrie donnée ($L/W=200\text{nm}/500\text{nm}$) en fonction du T_{Si} moyen pour des substrats de référence ayant un BOX de 145nm ($RMS=0.25\text{nm}$) ou de 10nm ($RMS=0.22\text{nm}$) et pour des substrats sSOI ayant une rugosité $RMS=0.16\text{nm}$ pour $T_{\text{BOX}}=145\text{nm}$.

De manière à moduler l'impact de cette rugosité du film de silicium sur la variabilité locale de la tension de seuil des transistors, des mesures ont été effectuées pour différentes polarisation V_B . Le premier substrat utilisé possède un BOX de 145nm et un T_{Si} de 6nm (celui de la Figure 51). La Figure 54 (a) montre que pour les surfaces les plus grandes, les écarts types sont fortement influencés par la polarisation du substrat. Il apparaît que pour des nMOS, la configuration RBB (V_B négatif) est très bénéfique pour minimiser l'influence de cette source de variabilité et se rapprocher ainsi de la loi de Pelgrom. Le mode FBB tend à amplifier la dégradation surfacique de l'appariement de la tension de seuil des transistors. Ces mesures ont également été réalisées sur une plaque ayant un oxyde enterré mince de 25nm (Figure 54 (b)). Le même phénomène intervient, à ceci près que la modulation de cette source de variabilité avec V_B est encore plus efficace. Pour une surface de $1\mu\text{m}^2$ et $T_{\text{BOX}}=145\text{nm}$, $iA_{\Delta V_T}$ diminue de 45% quand $V_B=-8\text{V}$. Il ne faut en revanche polariser V_B à seulement -2V pour obtenir la même amélioration en présence d'un BOX de 25nm . Pour les plus petites surfaces, la variabilité n'est que peu impactée par des changements de V_B . L'influence de la rugosité dans le paragraphe précédent ayant été déterminée comme faible sur les transistors de petite dimension, ce résultat était attendu. A l'aide de la TCAD, nous allons montrer dans la prochaine section comment V_B joue sur la modulation de l'effet rugosité à travers la relation de dépendance liant le V_T et l'épaisseur du film de silicium.

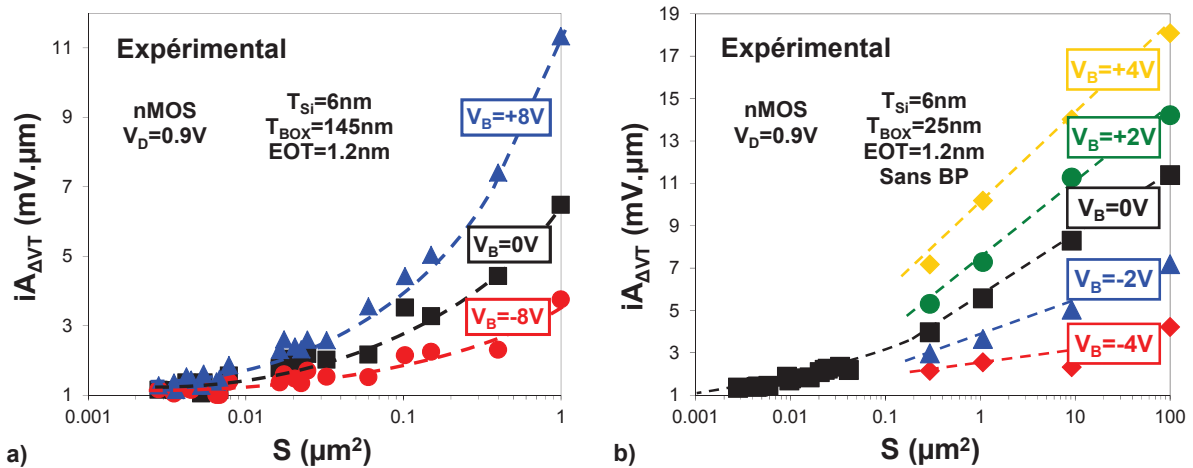


Figure 54 : (a) i_{AVT} en fonction de S pour un substrat de référence ($T_{Si}=6nm$, $T_{BOX}=145nm$, $EOT=1.2nm$) et (b) pour un substrat ayant un oxyde enterré mince ($T_{Si}=6nm$, $T_{BOX}=25nm$ (pas de BP), $EOT=1.2nm$) en fonction de la polarisation V_B appliquée sur le substrat. Les résultats de (a) obtenus à $V_B=0V$ correspondent à ceux de la Figure 51.

5.3. Etude TCAD de la dérivée dV_T/dT_{Si} : dépendance avec la position du barycentre de porteurs dans le canal

Dans cette section, nous nous focaliserons sur des transistors nMOS puisque les deux types de dispositifs seront impactés de la même manière. Un modèle de dérive-diffusion couplé à des corrections quantiques « density-gradient » sera utilisé pour les simulations TCAD [ATLAS], ainsi qu'un taux de génération-recombinaison usuel de type Shockley-Read-Hall pour le transport. Un modèle a également été développé au sein du LETI afin de reproduire nos résultats expérimentaux de mobilité effective des porteurs en fonction du champ effectif transverse (incluant la rugosité de surface et les effets de « remote coulomb scattering ») [Jaud '10]. L'architecture usuelle possède un film de silicium non dopé ($N_A=10^{15}$ at.cm⁻³), une grille avant ayant un travail de sortie proche du *mid-gap* ($\phi_m=4.61$ eV), un profil de dopage des BP tel que $N_{BP}=2 \times 10^{18}$ at.cm⁻³ (en accord avec les conditions d'implantation en expérimental [Fenuillet '09a]) et un travail de sortie de 4.1eV ou 5.1eV (respectivement pour BP-n et BP-p).

La Figure 55 (a) montre l'évolution des courbes $V_T(V_B)$ obtenues pour des épaisseurs T_{Si} allant de 4nm à 10nm. A partir de celles-ci, la dérivée dV_T/dT_{Si} (correspondant à la pente de la courbe $V_T(T_{Si})$ pour une épaisseur moyenne donnée et pour une variation autour de celle-ci de ± 1 nm) a été calculée en fonction de V_B (Figure 55 (b)). Les simulations sont basées sur l'architecture des transistors de la Figure 54 (b), c'est-à-dire pour $T_{Si}=6$ nm, $T_{BOX}=25$ nm (pas de BP) et pour une EOT de 1.2 nm. Etant donné que cette source de variabilité semble impacter de manière significative les transistors ayant une grande surface, nous nous focaliserons pour l'instant sur un L de 1 μ m. La Figure 55 (b) révèle que dV_T/dT_{Si} évolue fortement avec V_B . En mode RBB, la pente est réduite par rapport à $V_B=0V$ (ce qui se traduit par une atténuation de la variabilité du V_T induite par des fluctuations de T_{Si}), alors que la configuration FBB dégrade très significativement dV_T/dT_{Si} . Pour une valeur typique de 6.4mV/nm à

$V_B=0V$ (T_{Si} moyen=6nm), la pente peut être modulée entre 2.2mV/nm ($V_B=-4V$) et 35.6mV/nm ($V_B=+4V$). De plus, la zone de déplétion à l'interface BOX/substrat (voir section 1.3.3) induit une forte augmentation de dV_T/dT_{Si} à proximité de $V_B=0V$. Une intégration sans BP n'est par conséquent pas idéale pour limiter l'influence des fluctuations de T_{Si} sur la variabilité de la tension de seuil.

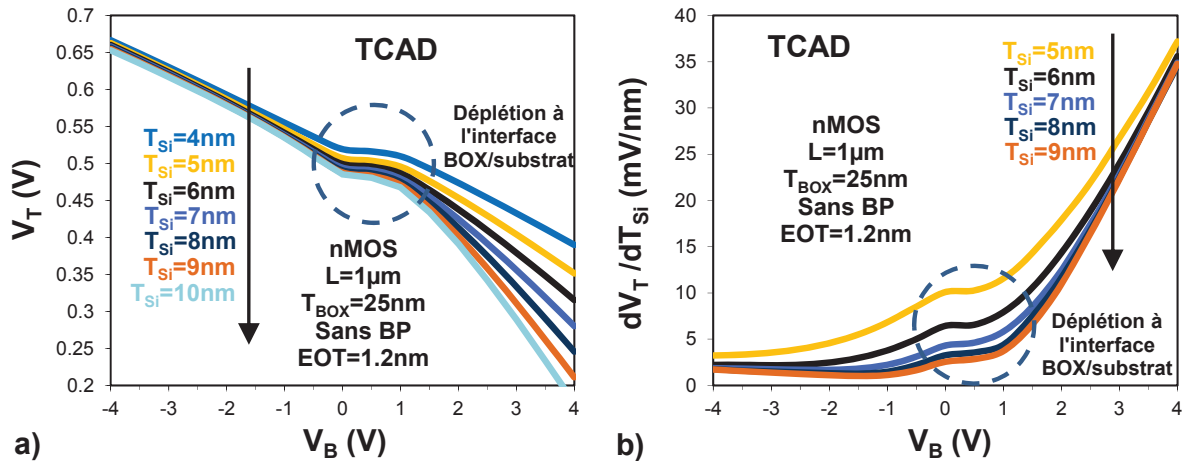


Figure 55 : (a) Evolution de la tension de seuil avec V_B pour plusieurs T_{Si} (entre 4nm et 10nm), avec $L=1\mu m$, $T_{BOX}=25nm$ et $EOT=1.2nm$. (b) Dérivée dV_T/dT_{Si} pour une épaisseur moyenne donnée et pour une variation autour de celle-ci de ± 1 nm (mêmes variantes que dans (a)).

L'évolution de dV_T/dT_{Si} avec V_B s'explique par un décalage de la position des porteurs dans le film de silicium, comme le montre la Figure 56. Quand les électrons (les trous dans le cas d'un pMOS) sont à proximité de l'interface SiO_2/Si (mode RBB, voir la section 1.3.3), la tension de seuil est moins influencée par la polarisation V_B que lors d'une conduction à proximité de l'interface Si/BOX.

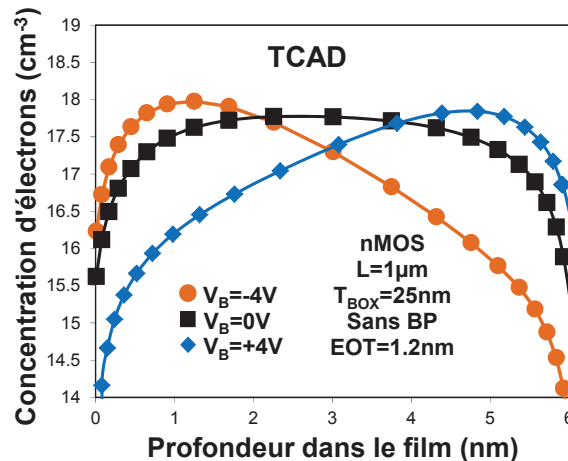


Figure 56 : Concentration d'électrons en fonction de la profondeur dans le film de silicium lorsque $V_G=V_T$, pour différentes polarisations V_B (-4V, 0V et +4V).

En considérant un canal long et un film de silicium suffisamment épais pour qu'il soit possible de conduire à l'interface avant et/ou à l'interface arrière, le facteur de couplage à l'interface avant γ_{FC} et à l'interface arrière γ_{BC} s'expriment respectivement [Lim '83] :

$$\gamma_{FC} = \frac{EOT}{T_{BOX} + \frac{\epsilon_{SiO2}}{\epsilon_{Si}} \cdot T_{Si}} \quad (\text{Équation 43})$$

$$\gamma_{BC} = \frac{EOT + \frac{\epsilon_{SiO2}}{\epsilon_{Si}} \cdot T_{Si}}{T_{BOX}} \quad (\text{Équation 44})$$

A partir de l'architecture des transistors de la Figure 54 (b), nous pouvons simplifier les équations 43 et 44 ($T_{BOX} \gg T_{Si}$ et $T_{Si} \gg EOT$), ce qui donne $\gamma_{FC} \approx \frac{EOT}{T_{BOX}}$ et $\gamma_{BC} \approx \frac{T_{Si}}{T_{BOX}}$. Ceci met en évidence le fait que l'épaisseur du film de silicium impacte essentiellement le facteur de couplage correspondant à une conduction face arrière (à proximité de l'interface Si/BOX). Par conséquent, le mode RBB doit atténuer la valeur de la dérivée dV_T/dT_{Si} , alors que la configuration FBB doit l'augmenter. Cela est en accord avec les résultats TCAD (Figure 55 (b)), à ceci près que cette pente continue à évoluer quand le transistor est très fortement en RBB alors que l'équation simplifiée de γ_{FC} donne une dépendance nulle dans ce mode de fonctionnement. Cette différence est liée à l'approximation faite précédemment, à savoir que l'épaisseur T_{Si} est suffisamment élevée pour autoriser uniquement une conduction à proximité des interfaces. Dans notre cas, les interfaces sont très proches l'une de l'autre. De plus, les effets de confinement quantique tendent à repousser les porteurs des interfaces, ce qui accentue encore plus le phénomène de conduction volumique, comme le montre la Figure 56 pour $V_B=0V$. La pente dV_T/dT_{Si} évolue donc dans toute la gamme de polarisation V_B .

Nous allons maintenant analyser l'impact du BP sur la relation de dépendance liant le V_T et l'épaisseur du film de silicium. La Figure 57 (a) présente la pente dV_T/dT_{Si} pour différentes valeurs de T_{Si} moyen et pour une variation autour de celle-ci de ± 1 nm. Sur canal court ($L=28nm$), une forte amélioration est obtenue en intégrant un BP sous l'oxyde enterré, de type opposé à celui des jonctions source-drain. Celui-ci a pour effet de limiter la déplétion à l'interface BOX/substrat qui tend à augmenter la valeur de cette pente autour de $V_B=0V$ de la même manière que sur les canaux longs (Figure 55 (b)). De plus, il permet d'optimiser le contrôle électrostatique (voir section 1.3.3), ce qui atténue l'influence du T_{Si} sur le contrôle du SCE et du DIBL des canaux courts. Concernant les canaux longs ($L=1\mu m$), la Figure 57 (a) démontre que dV_T/dT_{Si} est assez similaire sur les architectures sans BP et avec BP-n. En revanche, l'utilisation d'un BP de type p induit une réduction de la valeur de cette pente d'environ 50 %. Afin de justifier ces résultats, nous allons nous intéresser à l'évolution de dV_T/dT_{Si} avec V_B pour un T_{Si} moyen de 7nm (Figure 57 (b)). Sans BP, la pente suit la même évolution que sur la Figure 55 (b), alors que les BP-n et BP-p ne possèdent pas de « zone de plateau » grâce à la réduction de déplétion à l'interface BOX/substrat. Leurs courbes respectives sont par conséquent simplement décalées en V_B de la valeur du *band-gap* du silicium quand $N_{BP}=1 \times 10^{20} \text{ at.cm}^{-3}$, de la même manière que les $V_T(V_B)$ (voir section 1.3.3). En revanche, dans le cas présent, N_{BP} est égal à $2 \times 10^{18} \text{ at.cm}^{-3}$ afin de se placer dans des conditions proches de l'expérimental. Cela signifie que la

déplétion en mode FBB n'est pas totalement éliminée avec un BP-n (nous sommes toujours dans le cas d'un nMOS), ce qui se traduit par une augmentation de l'épaisseur effective du BOX et affecte légèrement dV_T/dT_{Si} .

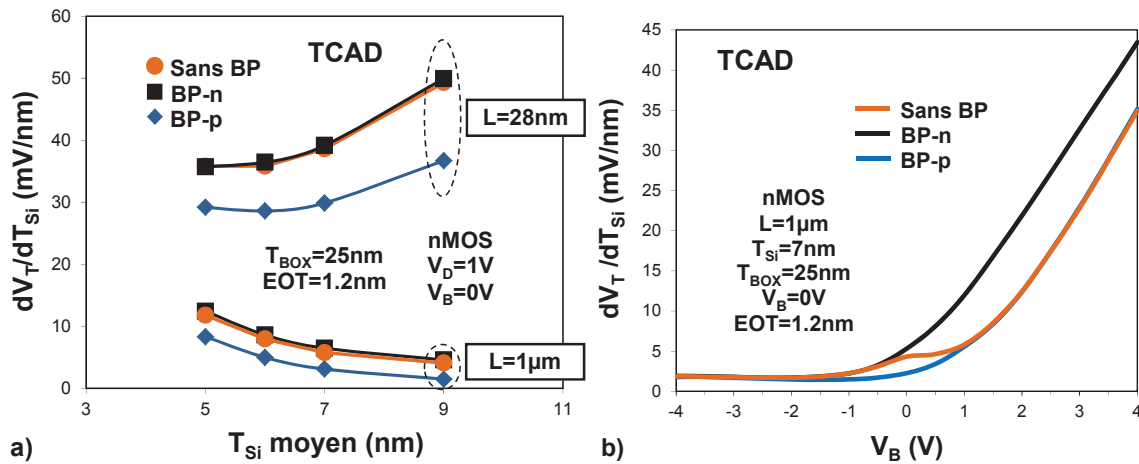


Figure 57 : (a) Pente dV_T/dT_{Si} en fonction de T_{Si} moyen (pour une variation de ± 1 nm autour de celui-ci) correspondant à des transistors nMOS avec $T_{BOX}=25$ nm et $EOT=1.2$ nm, ayant différentes architectures (sans BP, avec BP de type n ou de type p) pour $L=1$ µm et $L=28$ nm. (b) Pente dV_T/dT_{Si} en fonction de V_B avec une T_{Si} moyen de 6 nm (pour les mêmes variantes que dans a)).

Le changement du type de BP influence donc dV_T/dT_{Si} de la même manière que V_B , c'est à dire par une modulation de la position du barycentre de porteurs dans le film de silicium, comme le confirme la Figure 58. Finalement, l'idéal serait d'intégrer les transistors nMOS avec un BP-p (pMOS avec un BP-n) afin de limiter l'influence des fluctuations de T_{Si} sur la variabilité locale du V_T . Cette solution ne peut cependant pas être mise en place systématiquement. Selon le type de circuit considéré, les transistors devront être en LVT, RVT ou HVT et nécessiteront par conséquent des BP spécifiques afin d'atteindre les tensions de seuil adéquates).

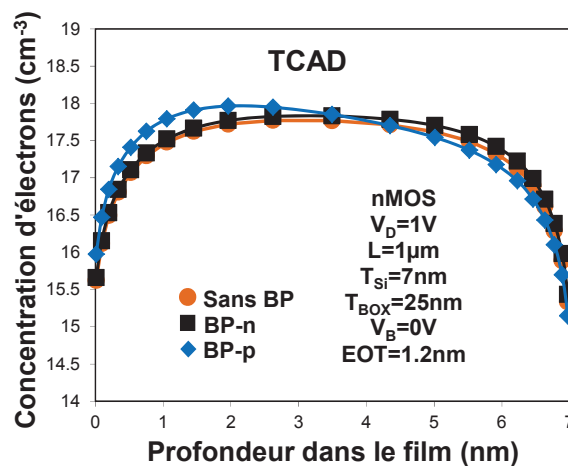


Figure 58 : Concentration d'électrons en fonction de la profondeur dans le film de silicium lorsque $V_G=V_T$ et $V_B=0$ V, pour différentes architectures (sans BP, avec BP de type n ou de type p).

Afin de poursuivre cette analyse, nous allons maintenant étudier plus en détails cette rugosité du film de silicium comme source de variabilité grâce à un modèle analytique. Ceci s'avère indispensable

afin de mieux appréhender l'influence des différents paramètres physiques du transistor FDSOI sur la pente dV_T/dT_{Si} et sur l'écart type induit par les variations de T_{Si} (noté $\sigma_{\Delta V_T, T_{Si}}$), sans avoir recourt à une très importante quantité de structures de test. De plus, ce modèle a pour but de fournir des spécifications en termes de rugosité et d'épaisseur moyenne de T_{Si} pour les prochains nœuds technologiques.

5.4. Développement d'un modèle analytique basé sur des mesures AFM

Un modèle analytique a été développé durant cette thèse afin d'analyser précisément l'influence des fluctuations de T_{Si} sur la variabilité de la tension de seuil, notamment en fonction de la surface des dispositifs et de la distance séparant deux transistors adjacents. Celui-ci est basé sur des équations analytiques reproduisant la dépendance du V_T avec T_{Si} , quel que soit la géométrie étudiée et la tension de drain appliquée. Ces équations ont par ailleurs été calibrées sur des simulations TCAD afin de prendre en compte le plus précisément possible les effets de confinement quantique et de contrôle électrostatique. Le modèle est principalement basé sur une équation de V_T valable pour un transistor ayant un canal long et un BOX semi-infini. L'influence de T_{BOX} sur la tension de seuil sera prise en compte grâce à des paramètres d'ajustement (nécessaires pour la calibration avec la TCAD). Le modèle développé par [Poiroux '05] a ainsi été adapté pour des dispositifs FDSOI simple grille.

Le théorème de Gauss permet de déterminer la relation entre la tension de grille, le potentiel de surface et les charges dans la structure MOS :

$$\int \vec{E} \cdot d\vec{S} = \frac{Q_{INV}}{\epsilon} \quad (\text{Équation 45})$$

$$V_G = \phi_{ms} + \psi_s - \frac{Q_{DEP}}{C_{OX}} - \frac{Q_{INV}}{C_{OX}} \quad (\text{Équation 46})$$

avec Q_{DEP} la charge de déplétion, Q_{INV} la charge d'inversion et ϕ_{ms} la différence de travail de sortie entre le métal de la grille métallique avant et le silicium du canal.

L'équation 46 est dérivée par rapport à ψ_s , ce qui donne :

$$dV_G = \left(1 + \frac{C_{DEP}}{C_{OX}} + \frac{C_{INV}}{C_{OX}} \right) d\psi_s \quad \text{avec} \quad C_{DEP} = -\frac{dQ_{DEP}}{d\psi_s} \quad \text{et} \quad C_{INV} = -\frac{dQ_{INV}}{d\psi_s} \quad (\text{Équation 47})$$

avec C_{DEP} la capacité de déplétion et C_{INV} la capacité d'inversion dans le canal.

La tension de seuil peut être définie comme la tension V_G pour laquelle la relation $C_{INV}=C_{OX}+C_{DEP}$ est satisfaite [Tsvividis '99]. Dans le cas du FDSOI, le film de silicium est non dopé donc $Q_{DEP}=C_{DEP}=0$. Au seuil, nous avons $\psi_s = \psi_{s,th}$ et $C_{INV}=C_{OX}$ [Poiroux '05]. Par conséquent, la charge d'inversion correspondante $Q_{INV,th}$ s'écrit sous la forme suivante :

$$Q_{INV,th} = -q \cdot n_i \cdot T_{Si} \cdot \exp\left(\frac{q \cdot (\psi_{s,th} - \phi_F)}{k_B \cdot T}\right) \Rightarrow \psi_{s,th} - \phi_F = \frac{k_B \cdot T}{q} \cdot \ln\left(-\frac{Q_{INV,th}}{q \cdot n_i \cdot T_{Si}}\right) \quad (\text{Équation 48})$$

La capacité d'inversion donnée à l'équation 47 devient :

$$C_{INV} = -\frac{dQ_{INV,th}}{d\psi_{s,th}} = -\frac{q}{k_B \cdot T} \cdot Q_{INV,th} = C_{OX} \quad \Rightarrow \quad Q_{INV,th} = -\frac{k_B \cdot T}{q} \cdot C_{OX} \quad (\text{Équation 49})$$

Finalement, la tension de seuil des transistors nMOS FDSOI est définie telle que :

$$V_T = \frac{k_B \cdot T}{q} \cdot \ln\left(C_{OX} \cdot \frac{k_B \cdot T}{q^2 \cdot n_i \cdot T_{Si}}\right) + \Delta\phi_m \quad (\text{Équation 50})$$

$$\Delta\phi_m = \phi_m - \left(\chi + \frac{E_G}{2}\right) \quad (\text{Équation 51})$$

avec $\Delta\phi_m$ le décalage du travail de sortie de la grille métallique par rapport au *mid-gap* du film de silicium non dopé et χ l'affinité électronique.

Les effets de confinement quantique aux interfaces doivent également être pris en compte afin de reproduire correctement l'influence de T_{Si} sur la tension de seuil pour des films de silicium très minces. Ils induisent une augmentation du V_T des nMOS (décroissance pour les pMOS) plus rapide que dans le cas où le confinement est négligé, comme le montre la Figure 59 (a). L'équation 50 devient par conséquent [Poiroux '05] :

$$V_{T,long} = \frac{k_B \cdot T}{q} \cdot \ln\left(\frac{C_{OX} \cdot k_B \cdot T}{q^2 \cdot n_i \cdot T_{Si}}\right) + \frac{\hbar^2 \cdot \pi^2}{2 \cdot q \cdot m^* \cdot T_{Si}^2} + \Delta\phi_m \quad (\text{Équation 52})$$

avec \hbar la constante de Planck réduite et m^* la masse effective de confinement des porteurs.

Une équation a également été intégrée afin de prendre en compte le SCE. Elle est basée sur les travaux de [Suzuki '93]. Nous avons ainsi :

$$V_{T,court} \Big|_{V_D=0V} = V_{T,long} - \frac{n_1 \cdot (V_B - (\Psi_{S,th} - \phi_F))}{\cosh\left(\frac{L}{2 \cdot \lambda}\right) - 1} \quad (\text{Équation 53})$$

$$\lambda = \sqrt{\frac{\epsilon_{Si}}{\epsilon_{OX}} \cdot T_{Si} \cdot \left(EOT + \frac{\epsilon_{OX}}{\epsilon_{Si}} \cdot \frac{T_{Si}}{2}\right)} \quad (\text{Équation 54})$$

avec n_1 un paramètre permettant de calibrer le modèle canal court avec la TCAD pour $|V_D|=50mV$.

Finalement, une fonction analytique reproduisant l'effet du DIBL est ajoutée dans l'équation 53 :

$$V_{T,court} \Big|_{V_D=V_{DD}} = V_{T,long} - \frac{n_1 \cdot (V_B - (\Psi_{S,th} - \phi_F))}{\cosh\left(\frac{L}{2 \cdot \lambda}\right) - 1} - \frac{n_2}{\cosh\left(\frac{L}{2 \cdot \lambda}\right) - 1} \quad (\text{Équation 55})$$

avec n_2 un autre paramètre permettant de calibrer le modèle canal court avec la TCAD pour $|V_D|=V_{DD}$.

La Figure 59 représente la dépendance de la tension de seuil avec T_{Si} en canal long ($L=1\mu m$) et en canal court ($L=28nm$), en régime ohmique ($|V_D|=50mV$) et en régime de saturation ($|V_D|=V_{DD}$). Un comparatif entre la TCAD et le modèle analytique est également donné afin d'illustrer la fidélité de ce dernier. La pente dV_T/dT_{Si} ainsi obtenue est égale à $6.4mV/nm$ en canal long (Figure 59 (a)) et atteint

39mV/nm sur canal court (Figure 59 (b)). Une estimation réaliste de la variabilité de la tension de seuil pourra donc être obtenue en incluant des fluctuations sur l'épaisseur T_{Si} . Par la suite, nous prendrons systématiquement en compte les effets quantiques dans le calcul du V_T .

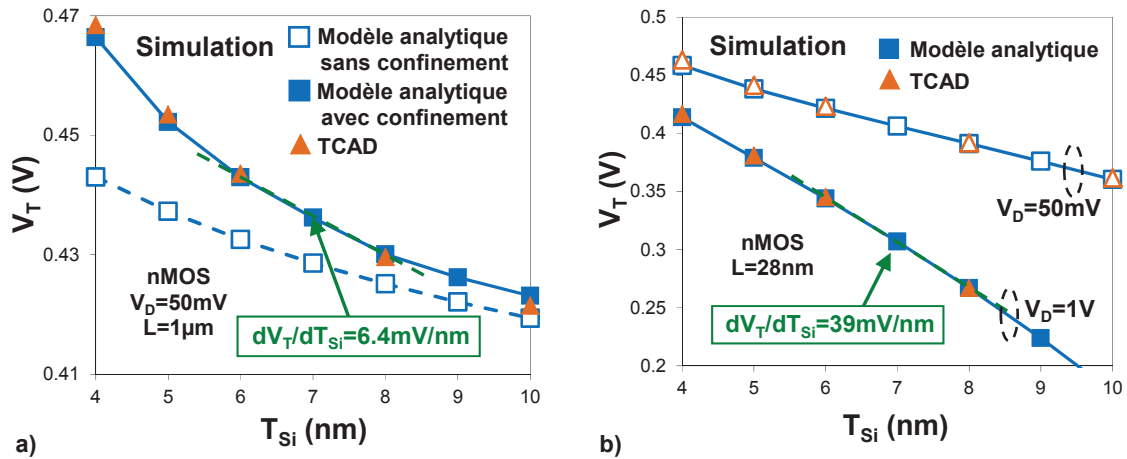


Figure 59 : V_T en fonction de l'épaisseur T_{Si} obtenus en TCAD et en modélisation analytique, pour (a) $L=1\mu\text{m}$ (avec ou sans confinement quantique) et (b) $L=28\text{nm}$ (avec confinement quantique).

Nous allons maintenant nous focaliser sur des transistors correspondants au nœud technologique 28nm ($\Delta D=120\text{nm}$), ayant un T_{Si} de 7nm, un BOX de 25nm et une EOT égale à 1nm [Skotnicki '12]. Le modèle analytique consiste à calculer les tensions de seuil de deux transistors séparés d'une distance nommée ΔD , en se basant sur la topologie du T_{Si} mesurée expérimentalement en AFM (zone de $30\mu\text{m}$ par $30\mu\text{m}$). Celle-ci étant découpée en 512 lignes et en 512 colonnes, nous obtenons une distance entre deux pixels adjacents égale à 58.7nm. Cela signifie que pour de petites surfaces, le calcul de la tension de seuil n'est basé que sur une seule valeur de T_{Si} (pas de prise en compte de la rugosité à l'échelle atomique). En revanche, les grandes surfaces englobent plusieurs pixels de la zone mesurée. La tension de seuil est extraite dans ce cas précis en recherchant un chemin de percolation entre la source et le drain. Un calcul itératif a été mis en place afin de déterminer le chemin le plus favorable à la conduction des porteurs. Les détails sont présentés dans l'Annexe B.

Un substrat de référence ayant un BOX de 25nm a été utilisé pour la mesure AFM (Figure 52). Ces données seront utilisées pour l'ensemble des simulations de ce chapitre. La rugosité RMS ainsi obtenue est égale à 0.2nm. L'influence des fluctuations locales de T_{Si} issues de cette mesure sur le désappariement de la tension de seuil des transistors est présentée à la Figure 60 (a). La largeur du canal est gardée constante alors que la longueur de grille varie entre 28nm et $12\mu\text{m}$. Si les équations de SCE et de DIBL (équations 55) ne sont pas prises en compte, dV_T/dT_{Si} est alors constant quel que soit la dimension du transistor et l'écart type $\sigma_{\Delta V_T, T_{Si}}$ reste également relativement constant. En première approximation, on a $\sigma_{\Delta V_T, T_{Si}}=(dV_T/dT_{Si}).\text{RMS}$. La prise en compte des effets de canaux courts entraîne une forte dégradation de la pente dV_T/dT_{Si} (Figure 59 (b)), ce qui se traduit par une augmentation de la variabilité dès que L est inférieure à une centaine de nanomètre. Une somme quadratique est ensuite effectuée entre la variabilité induite par ces fluctuations locales de T_{Si} et la composante stochastique usuelle avec $A_{\Delta V_T}=1.34\text{mV}.\mu\text{m}$ (obtenue à la section 1.4.4.a, dont la valeur

est attribuée essentiellement à l'empilement de grille (section 1.4.4.c)) afin d'étudier l'influence de cette nouvelle source de variations sur le $\sigma_{\Delta V_T}$ total. La Figure 60 (b) met ainsi en évidence la présence de deux zones sur le graphique $\sigma_{\Delta V_T}$ en fonction de $1/\sqrt{W.L}$ où la variabilité de la tension de seuil ne suit plus la loi de Pelgrom. La première correspond aux grandes surfaces pour lesquelles la contribution stochastique est moins significative que celle induite par les fluctuations de T_{Si} . La seconde correspond aux plus petites longueurs de grille pour lesquelles la pente dV_T/dT_{Si} augmente significativement, ce qui se traduit par une légère dégradation de $\sigma_{\Delta V_T}$. Il faut noter que pour ces dispositifs ayant un W de $2\mu\text{m}$, l'influence de la rugosité du film de silicium sur le désappariement est beaucoup plus grande que pour de petites surfaces. Les transistors nominaux du nœud technologique 28nm ($L=28\text{nm}$, $W=210\text{nm}$) sont encore moins impactés en raison d'une contribution stochastique plus prédominante. En effet, comme $\sigma_{\Delta V_T, T_{Si}}$ évolue peu avec W quand la largeur du canal est inférieure à $2\mu\text{m}$ (Figure 61 (a)) alors que $\sigma_{\Delta V_T, \text{stochastique}}$ varie en $1/\sqrt{W.L}$, la réduction de la surface tend à minimiser de plus en plus la contribution de $\sigma_{\Delta V_T, T_{Si}}$ sur le $\sigma_{\Delta V_T}$ total.

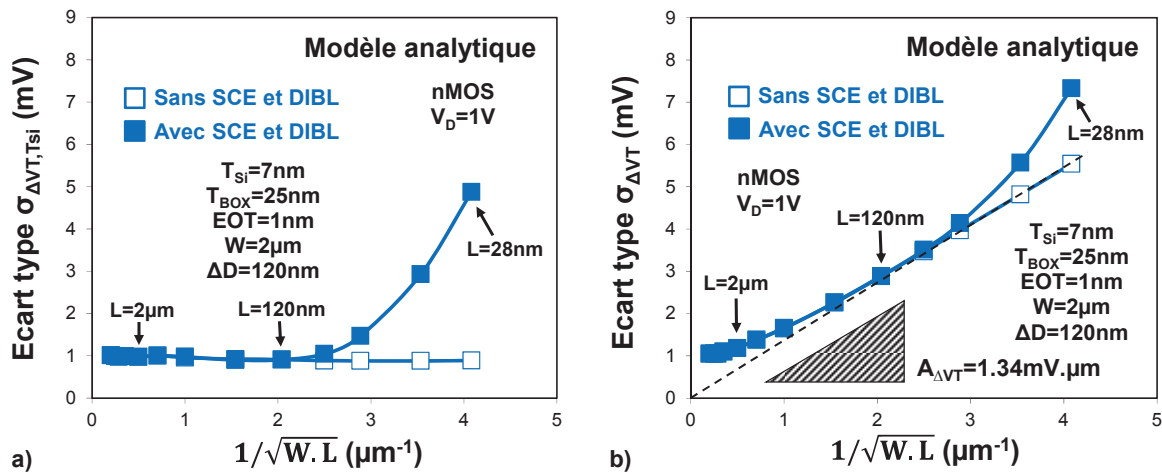


Figure 60 : (a) $\sigma_{\Delta V_T, T_{Si}}$ en fonction de $1/\sqrt{W.L}$ et (b) $\sigma_{\Delta V_T}$ en fonction de $1/\sqrt{W.L}$ (somme quadratique de $\sigma_{\Delta V_T, T_{Si}}$ et d'une variabilité stochastique donnée par $A_{\Delta V_T}=1.34\text{mV}\cdot\mu\text{m}$) obtenus pour différentes longueurs de grille (entre 28nm et $12\mu\text{m}$), avec $W=2\mu\text{m}$, $\Delta D=120\text{nm}$ et $T_{Si}=7\text{nm}$.

Nous venons donc de démontrer que la géométrie des transistors est un paramètre prédominant de l'influence qu'ont les fluctuations de T_{Si} sur le désappariement de la tension de seuil. En effet, la longueur de corrélation de cette source de variabilité et la surface des dispositifs étudiés sont du même ordre de grandeur, ce qui empêche tout effet de moyenne. De la même manière, la distance ΔD séparant deux transistors adjacents (pouvant aller jusqu'à plusieurs μm) pourrait elle aussi jouer un rôle significatif. La Figure 61 (b) montre que pour de grandes surfaces, $\sigma_{\Delta V_T}$ n'évolue pas avec ΔD (pour des valeurs comprises entre 120nm et $4\mu\text{m}$), alors que les plus petites longueurs de grilles voient leur écart type se dégrader avec l'augmentation de cette distance.

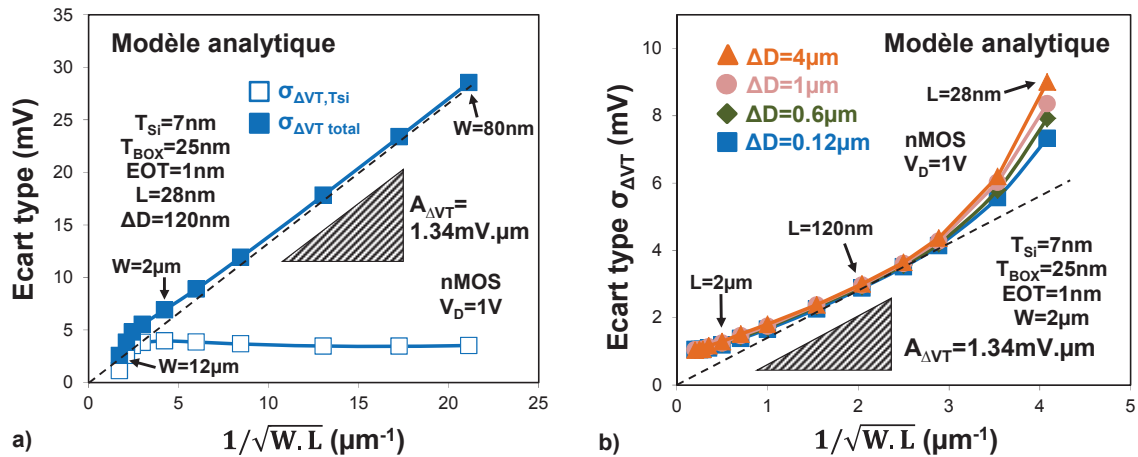


Figure 61 : (a) $\sigma_{\Delta V_T, T_{Si}}$ et $\sigma_{\Delta V_T}$ en fonction de $1/\sqrt{W \cdot L}$ (somme quadratique de $\sigma_{\Delta V_T, T_{Si}}$ et d'une variabilité stochastique donnée par $A_{\Delta V_T} = 1.34\text{mV} \cdot \mu\text{m}$) obtenus pour différents W (entre 80nm et $12\mu\text{m}$), avec $L = 28\text{nm}$, $\Delta D = 120\text{nm}$ et $T_{Si} = 7\text{nm}$. (b) $\sigma_{\Delta V_T}$ en fonction de $1/\sqrt{W \cdot L}$ obtenus pour différentes longueurs de grille (entre 28nm et $12\mu\text{m}$), avec $W = 2\mu\text{m}$, $T_{Si} = 7\text{nm}$ et $T_{BOX} = 25\text{nm}$. Différentes distances ΔD ont été simulées afin de déterminer son impact sur la variabilité locale du V_T . Les fluctuations locales de T_{Si} sont prises en compte, ainsi qu'une variabilité stochastique ayant un paramètre d'appariement $A_{\Delta V_T} = 1.34\text{mV} \cdot \mu\text{m}$.

Ce comportement s'explique par une plus forte corrélation entre les V_T (par l'intermédiaire des T_{Si}) des transistors n°1 et n°2 d'une même paire (coefficient estimé à partir d'un grand nombre de paires) quand ceux-ci sont à une distance minimale l'un de l'autre, comme le montre la Figure 62 (a). Cet effet est par ailleurs maximal pour les plus petits L . Considérons P1 et P2 comme étant les paramètres mesurés respectivement sur les transistors T1 et T2 d'une paire géographiquement proche :

$$\sigma_{\delta P} = \sqrt{\sigma_{P1}^2 + \sigma_{P2}^2 - 2 \cdot \rho \cdot \sigma_{P1} \cdot \sigma_{P2}} \quad (\text{Équation 56})$$

où ρ correspond au coefficient de corrélation liant les paramètres P1 et P2. Expérimentalement, il apparaît que σ_{P1} et σ_{P2} sont très proches et peuvent ainsi être considérés comme étant égaux (à partir du moment où le nombre d'échantillons est suffisamment élevé). Nous obtenons ainsi :

$$\sigma_{\delta P} = \sigma_P \cdot \sqrt{2 \cdot (1 - \rho)} \quad (\text{Équation 57})$$

La distribution de ΔV_T aura par conséquent un écart type plus élevé si la distance ΔD est grande (voir l'équation 57). Le coefficient de corrélation ρ est en revanche fortement atténué quand la contribution stochastique (donnée par un paramètre d'appariement $A_{\Delta V_T} = 1.34\text{mV} \cdot \mu\text{m}$) est introduite dans le modèle car cette dernière, par définition, a un coefficient de corrélation nul. En effet, cette source de variabilité a une longueur de corrélation largement inférieure à la taille des dispositifs étudiés. Celle-ci devient prédominante devant la contribution du T_{Si} , en accord la Figure 61 (b).

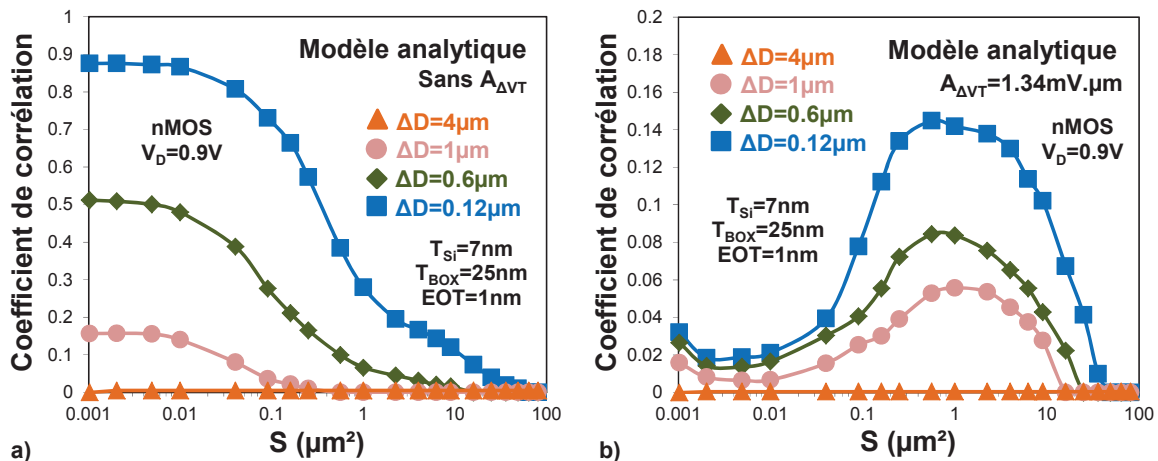


Figure 62 : (a) Corrélation entre les V_T des deux transistors d'une même paire, pour différentes distances ΔD (avec $L=200nm$, $W=500nm$ et $T_{BOX}=25nm$). (b) La contribution stochastique usuelle (donnée par un paramètre d'appariement $A_{\Delta VT}=1.34mV.\mu m$) a ensuite été introduite dans le modèle afin d'étudier l'influence de ΔD sur ρ quand toutes les sources de variabilité sont considérées.

Afin de déterminer quel est le niveau de variations locales de T_{Si} acceptable, une géométrie ayant $L=W=5\mu m$ a été simulée, de manière à se placer dans la gamme de dispositifs où la variabilité induite par la rugosité a une influence maximale. Un paramètre d'appariement $iA_{\Delta VT}$ égal à $3.7mV.\mu m$ est obtenu pour une rugosité RMS de $0.2nm$ (basée sur la mesure AFM de la Figure 52), comme le montre la Figure 63. Un coefficient de gain est appliqué sur l'ensemble des points de la mesure AFM afin de limiter la gamme de variations locales de T_{Si} et, par conséquent, réduire la rugosité. La Figure 63 met ainsi en évidence qu'il est nécessaire de réduire la RMS à $0.08nm$ pour que la variabilité stochastique du V_T en FDSOI soit inférieure à $2mV.\mu m$, par exemple.

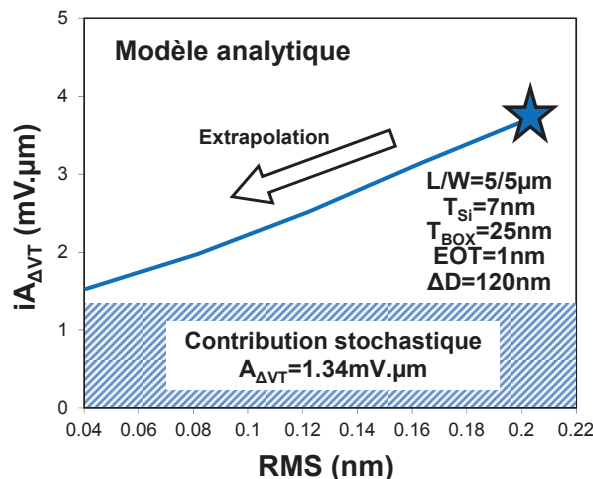


Figure 63 : $iA_{\Delta VT}$ en fonction de la rugosité RMS avec $\Delta D=120nm$, $T_{Si}=7nm$, $T_{BOX}=25nm$, $EOT=1nm$. Les fluctuations locales de T_{Si} sont prises en compte dans le modèle analytique, ainsi qu'une variabilité stochastique ayant un paramètre d'appariement $A_{\Delta VT}=1.34mV.\mu m$ afin de reproduire les résultats expérimentaux des dispositifs ayant les plus petites surfaces (Figure 67). En appliquant un coefficient de gain sur l'ensemble des points de la mesure AFM de référence, une extrapolation est faite vers des valeurs RMS plus faibles.

Les résultats du modèle analytique ont été comparés à des données expérimentales obtenues sur la technologie FDSOI 28nm de STMicroelectronics [Planes '12]. La Figure 64 montre que l'évolution du paramètre $iA_{\Delta VT}$ avec la surface des dispositifs est sous-estimée par la simulation. L'erreur commise atteint 40 % pour une surface de $20\mu\text{m}^2$. Ce désaccord peut s'expliquer par un manque de réalisme en utilisant une seule mesure AFM lors de la simulation des paires de transistors alors que les dispositifs réalisés expérimentalement sont répartis sur l'ensemble du substrat. Une variation de la rugosité RMS à travers la plaque pourrait ainsi justifier un tel résultat. Une autre possibilité serait que le modèle de calcul du V_T ne soit pas suffisamment réaliste. Une étude en TCAD 3D semble indispensable afin de valider ce point, ce qui n'a pas pu être effectué durant cette thèse en raison d'un manque d'outil de simulation. De plus, il est envisageable qu'une autre source de variabilité impacte le désappariement des plus grandes surfaces, en plus des fluctuations induites par l'épaisseur T_{Si} .

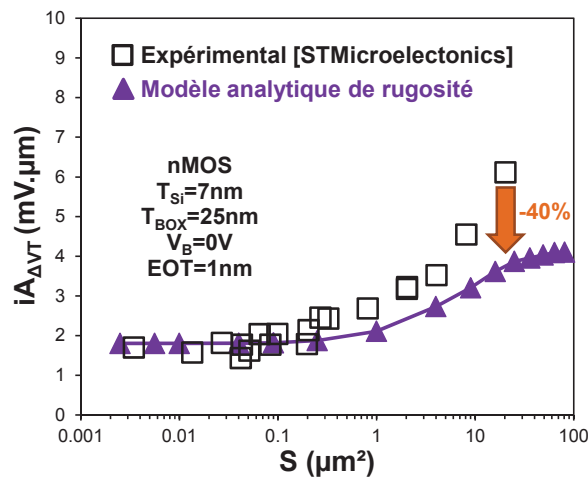


Figure 64 : $iA_{\Delta VT}$ en fonction de S pour un substrat de référence ayant un BOX de 25nm ($RMS=0.2\text{nm}$) avec $\Delta D=120\text{nm}$, $T_{Si}=7\text{nm}$, $EOT=1\text{nm}$. Les fluctuations locales de T_{Si} sont prises en compte dans le modèle, ainsi qu'une variabilité stochastique telle que $A_{\Delta VT}=1.6\text{mV}.\mu\text{m}$ afin de reproduire les résultats expérimentaux des dispositifs ayant les plus petites surfaces.

Afin d'illustrer cette dernière hypothèse, des mesures de variabilité stochastique du V_T ont été effectuées à STMicroelectronics sur des dispositifs FDSOI en technologie 28nm. Deux empilements de grille distincts ont été utilisés, l'un réalisé avec une grille métallique TiN M4 et l'autre avec une grille TiN Poison. Cette dernière est de type stœchiométrique avec une forte concentration d'azote à proximité de l'interface TiN/high-k. Le diélectrique est quant à lui identique pour tous les dispositifs. De par son architecture (gradient allant d'une concentration riche en Ti, à proximité de l'interface high-k/SiO₂, vers un TiN stœchiométrique), le TiN M4 permet de limiter la diffusion d'atomes d'azote vers le diélectrique qui tend à modifier le travail de sortie du matériau et par extension le V_T . La Figure 65 montre que la dégradation de la variabilité locale de la tension de seuil des grandes surfaces est améliorée d'environ 35 % avec le TiN M4 par rapport au TiN Poison, ce qui illustre un impact significatif de la grille métallique sur ce phénomène.

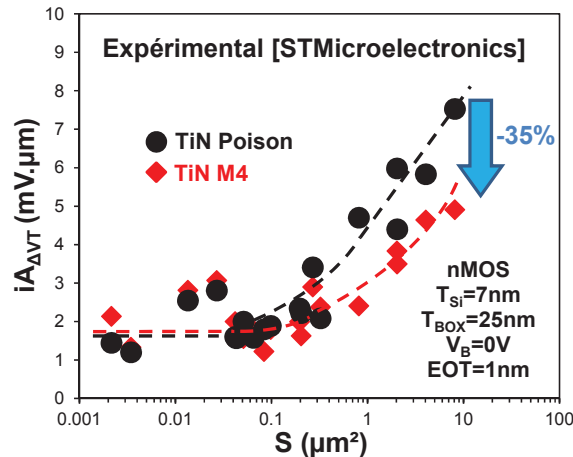


Figure 65 : iA_{DVT} en fonction de S pour un substrat de référence ayant un BOX de 25nm ($RMS=0.2nm$) avec $\Delta D=120nm$, $T_{Si}=7nm$, $EOT=1nm$. Les dispositifs ont été réalisés avec deux types de grilles métalliques (même diélectrique), appelées respectivement TiN Poison et TiN M4.

En se référant à l'étude précédente sur les fluctuations de T_{Si} , nous devons considérer une variation de V_T induite par la grille, dont la longueur de corrélation est de l'ordre de grandeur des dispositifs de grande surface puisque ce sont ces derniers qui s'écarte de la loi de Pelgrom sur la Figure 65. Il s'agirait donc dans le cas présent d'une source de variabilité systématique due à l'inhomogénéité du travail de sortie de la grille métallique (induite par le procédé d'intégration), par opposition aux sources de fluctuations stochastiques induites par la grille (variations de charges, de permittivité, d'épaisseur du diélectrique bi couche $SiO_2/high-k$, ainsi que les fluctuations aléatoires d'orientation et de travail de sortie des grains présents dans le TiN). Elle a néanmoins une composante stochastique puisqu'elle impacte l'appariement. L'hypothèse la plus plausible est d'envisager une variation graduelle du travail de sortie de la grille entre les bords et le centre des transistors, et que l'étendue de cette variation graduelle fluctue aléatoirement. En effet, les bords des transistors peuvent être impactés par les matériaux alentours (oxyde du STI, nitrure de l'espaceur) sous l'effet des budgets thermiques suivant la gravure de l'empilement de grille.

Des variations du ϕ_m en bord de grille ont ainsi été implémentées dans une adaptation du modèle analytique présenté précédemment. En temps qu'étude préliminaire, nous avons considéré que la gamme maximale de variation de ϕ_m dans les directions L et W du dispositif est identique (fixée à 100mV dans le cas présent), de même que pour la position moyenne de la zone de transition à partir de laquelle le travail de sortie évolue ($\mu_{D^0}=500nm$), afin de se rapprocher des résultats expérimentaux de variabilité locale du V_T . La variabilité stochastique est appliquée sur le paramètre D^0 (voir la Figure 66), de telle manière que son écart type $\sigma_{D^0}=10nm$. La Figure 66 montre que l'écart type $\sigma_{\Delta V_T, \phi_m}$ induit par les variations du travail de sortie est égal à 1.1mV quand la surface des transistors est supérieure à $0.1\mu m^2$ et décroît progressivement pour de plus petites géométries. Les dispositifs dont la surface est supérieure à $1\mu m^2$ auront un écart type fortement impacté par cette nouvelle source de variabilité car $\sigma_{\Delta V_T, \phi_m} \gg \sigma_{\Delta V_T, stochastique}$. En revanche, comme $\sigma_{\Delta V_T, stochastique}$ évolue en $1/\sqrt{W.L}$ d'après la loi de Pelgrom, les plus petites surfaces sont très sensiblement affectées.

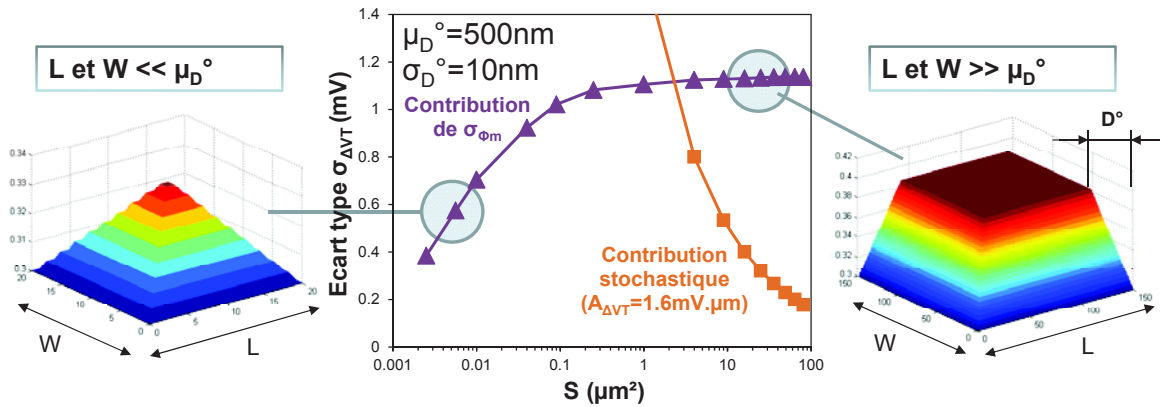


Figure 66 : Ecart type $\sigma_{\Delta V_T}$ obtenu pour différentes surfaces en introduisant une source de variabilité sur la longueur caractéristique μ_D^0 (distance entre le bord de la grille et le début de la zone de transition du Φ_m). Les écarts types correspondants, représentant la variabilité induite par le Φ_m de la grille métallique, sont comparés à ceux induits par la contribution stochastique usuelle ($A_{\Delta V_T}=1.6\text{mV}\cdot\mu\text{m}$).

Les modèles analytiques de rugosité du film de silicium et de cette variabilité du travail de sortie de la grille métallique sont combinés à la Figure 67. Une contribution stochastique « classique » suivant la loi de Pelgrom avec $A_{\Delta V_T}=1.6\text{mV}\cdot\mu\text{m}$ est également introduite dans les simulations. Le bon accord entre l'expérimental et le modèle analytique indique qu'une contribution de la grille telle que modélisée ci-dessus peut permettre d'expliquer la dégradation de la variabilité aux grandes surfaces, en plus de la contribution des fluctuations de T_{Si} .

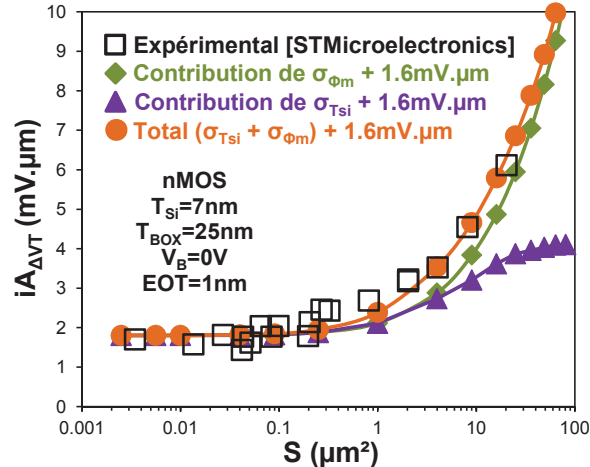


Figure 67 : $iA_{\Delta V_T}$ en fonction de S pour $T_{BOX}=25\text{nm}$, $RMS=0.2\text{nm}$, $\Delta D=120\text{nm}$, $T_{Si}=7\text{nm}$ et $EOT=1\text{nm}$. Les fluctuations locales de T_{Si} et les variations systématiques de Φ_m sont prises en compte, ainsi qu'une variabilité stochastique ayant un paramètre d'appariement $A_{\Delta V_T}=1.6\text{mV}\cdot\mu\text{m}$.

5.5. Influence des fluctuations de T_{Si} sur la variabilité globale des transistors et des circuits mémoires SRAM

5.5.1. Transistors nMOS (canal Si) et pMOS (canal SiGe)

L'architecture des transistors FDSOI est optimisée pour le nœud technologique 20nm afin de maintenir un contrôle électrostatique optimal et des performances accrues par rapport au 28nm. Ainsi,

les épaisseurs nominales de l'oxyde enterré et du film de silicium sont désormais égales à 20nm et 6nm, respectivement [Skotnicki '12]. L'EOT est quant à elle réduite à 0.82nm. Les transistors nMOS sont réalisés avec un canal Si alors que les pMOS auront un canal SiGe afin d'optimiser les performances électriques [Hutin '10] [Khakifirooz '12]. Ce dernier est obtenu grâce au procédé de condensation [Tezuka '01] [Damlencourt '06], de telle manière que les nMOS sont masqués durant ces étapes spécifiques qui sont effectuées juste après la réalisation des isolations STI. La technique de condensation consiste à faire croître une couche de SiGe (ayant une concentration de Ge égale à 28 % dans notre cas) sur un substrat SOI standard. Une oxydation sélective à haute température des atomes de Si est ensuite réalisée afin d'entraîner une ségrégation des atomes de Ge à l'interface supérieure SiO_2/Si , puis une diffusion vers la couche de SiGe/Si. Finalement, une désoxydation est réalisée afin d'éliminer la couche de SiO_2 liée à l'oxydation des atomes de Si. Pour plus de détails, le lecteur peut se référer au manuscrit de thèse de [Vincent '08].

5.5.1.a. Géométrie nominale (L=20nm/W=165nm)

Nous allons maintenant nous intéresser à la variabilité globale de la tension de seuil induite par les fluctuations de T_{Si} (pour les transistors nMOS et pMOS), ainsi que par les sources de variations induites par le procédé de condensation permettant de réaliser le canal SiGe des dispositifs pMOS. Des transistors ayant pour géométrie $L=20\text{nm}$ et $W=165\text{nm}$ sont simulés en utilisant l'architecture de la technologie 20nm ($T_{\text{Si}}=6\text{nm}$, $T_{\text{BOX}}=20\text{nm}$, $EOT=0.82\text{nm}$). Une contribution stochastique est prise en compte telle que $A_{\Delta V_T}=1.6\text{mV}\cdot\mu\text{m}$. La pente dV_T/dT_{Si} liant la tension de seuil à l'épaisseur du film de silicium a été estimée à 40mV/nm pour cette géométrie grâce à des simulations TCAD. La Figure 68 montre une décomposition des sources de variabilité impactant σ_{V_T} . On trouve les fluctuations locales de T_{Si} (noté $T_{\text{Si_local}}$) induites par la rugosité avec $\text{RMS}=0.2\text{nm}$, la contribution stochastique et les variations de $T_{\text{Si_global}}$ correspondant aux variations systématiques d'épaisseur du film de silicium à travers le substrat. La Figure 18 (a) avait mis en évidence une variation maximale (tous points, toutes plaques) de $\pm 0.5\text{nm}$. L'écart type σ_{V_T} a également été calculé pour une variation améliorée à $\pm 0.2\text{nm}$. Une dégradation de la variabilité de 8 % et 12 % par rapport à la contribution stochastique a ainsi été obtenue, respectivement pour les variations de T_{Si} à travers le substrat de $\pm 0.2\text{nm}$ et $\pm 0.5\text{nm}$. Ceci démontre une influence relativement faible des variations locale et globale de T_{Si} sur la variabilité globale du V_T pour ce type de géométrie, de la même manière que pour la variabilité locale $\sigma_{\Delta V_T}$.

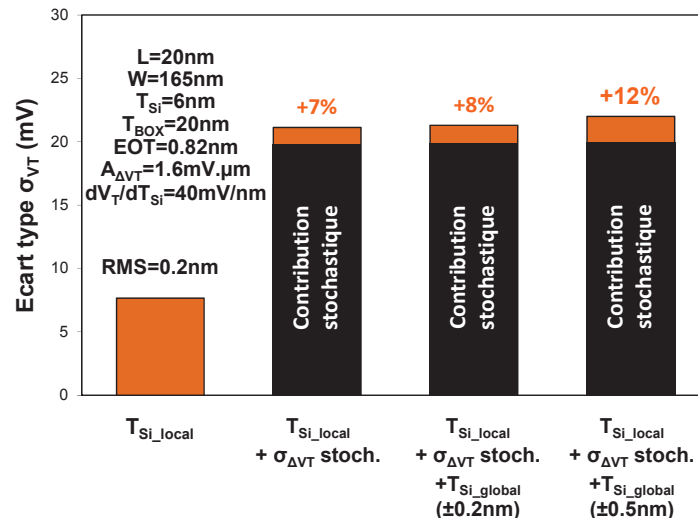


Figure 68 : Décomposition des sources de fluctuations impactant la variabilité globale σ_{VT} de la tension de seuil avec $L=20\text{nm}$ et $W=165\text{nm}$. Les fluctuations locales de T_{Si} sont basées sur la mesure AFM de la Figure 52 ($RMS=0.2\text{nm}$). Une variabilité stochastique ayant un paramètre d'appariement $A_{\Delta VT}=1.6\text{mV}\cdot\mu\text{m}$ est introduite. Les fluctuations globales de T_{Si} sont également prises en compte, avec des gammes de variation de $\pm 0.2\text{nm}$ et $\pm 0.5\text{nm}$. La dépendance de V_T avec T_{Si} ($dV_T/dT_{Si}=40\text{mV/nm}$) est basée sur des simulations TCAD correspondants à l'architecture du nœud technologique 20nm.

Nous allons maintenant nous intéresser à la variabilité globale de la tension de seuil des dispositifs pMOS. Ils possèdent les mêmes valeurs de T_{Si} et T_{BOX} que les nMOS, à une légère différence près concernant l'EOT. Nous considérerons celle-ci comme étant négligeable. Le procédé de condensation permet donc d'obtenir une couche de SiGe d'épaisseur T_{SiGe_final} dont la concentration de Ge (X_{Ge_final}) dépend des épaisseurs initiales du film de silicium ($T_{Si_initial}$), du film de SiGe initial ($T_{SiGe_initial}$), de la couche de SiO_2 induite par l'étape d'oxydation du procédé de condensation, ainsi que de la concentration de Ge ($X_{Ge_initial}$) dans la couche initiale de SiGe. Nous avons ainsi [Vincent '07] :

$$X_{Ge_final} = \frac{T_{SiGe_initial} \cdot X_{Ge_initial}}{T_{Si_initial} + T_{SiGe_initial} - \frac{T_{SiO_2}}{2.25}} = \frac{T_{SiGe_initial} \cdot X_{Ge_initial}}{T_{SiGe_final}} \quad (\text{Équation 58})$$

La Figure 69 (a) montre l'évolution de la tension de seuil sur un dispositif ayant $L=20\text{nm}$ pour différentes concentrations X_{Ge_final} . La gamme de variations ainsi étudiée allant de 21 % à 52 % est obtenue en modifiant l'épaisseur $T_{Si_initial}$ (entre 10 et 4nm). Quand les dispositifs sont basés sur un canal SiGe (noté cSiGeOI), il existe une corrélation entre la variation de V_T due à l'introduction d'une contrainte dans le canal et la concentration X_{Ge_final} . Expérimentalement, il est observé une droite ayant une pente de $8.1\text{mV}/\%$. Cette valeur a été introduite dans le modèle analytique, comme l'illustre la Figure 69 (a). Grâce à la Figure 69 (b), nous pouvons donc en conclure la tension de seuil est fortement dépendante de l'épaisseur T_{SiGe_final} , en accord avec l'équation 58.

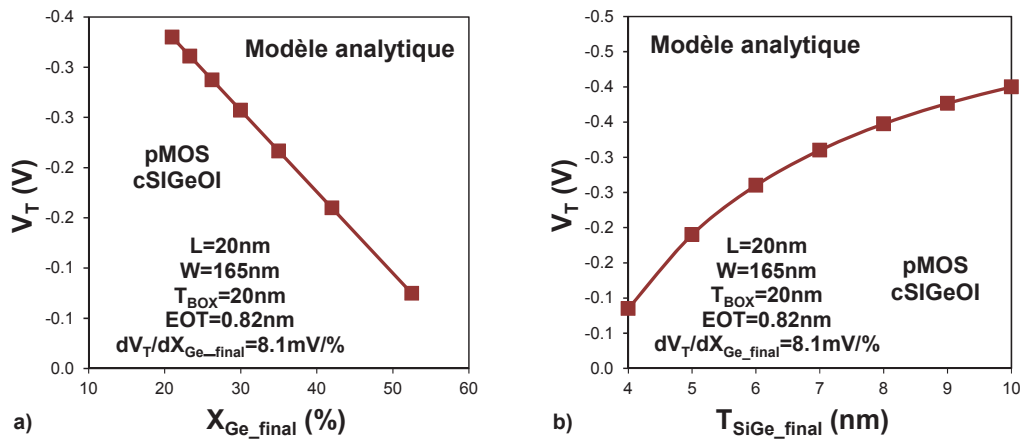


Figure 69 : Tension de seuil de transistors pMOS sur cSiGeOI en fonction de (a) la concentration X_{Ge_final} et (b) de l'épaisseur T_{SiGe_final} , avec $L=20nm$, $W=165nm$, $T_{BOX}=20nm$ et $EOT=0.82nm$.

Nous avons vu à la Figure 59 (b) que la tension de seuil des transistors SOI ayant une petite longueur de grille est fortement impactée par le contrôle du SCE et du DIBL, induisant une forte dépendance entre le V_T et le T_{Si} . Sur des dispositifs cSiGeOI, cet effet est contrebalancé par la corrélation liant le V_T à X_{Ge_final} , elle-même faisant varier la tension de seuil avec un signe opposé à celui observé communément sur les transistors SOI. Par ailleurs, les pentes dV_T/dT_{Si} et dV_T/dT_{SiGe} semblent également être très proches (au signe près). Par conséquent, lorsque toutes les dépendances sont prises en compte, un effet de compensation apparaît (Figure 70 (a)), ce qui limitera l'influence des fluctuations de $T_{Si_initial}$ et de $T_{SiGe_initial}$ sur la variabilité globale du V_T .

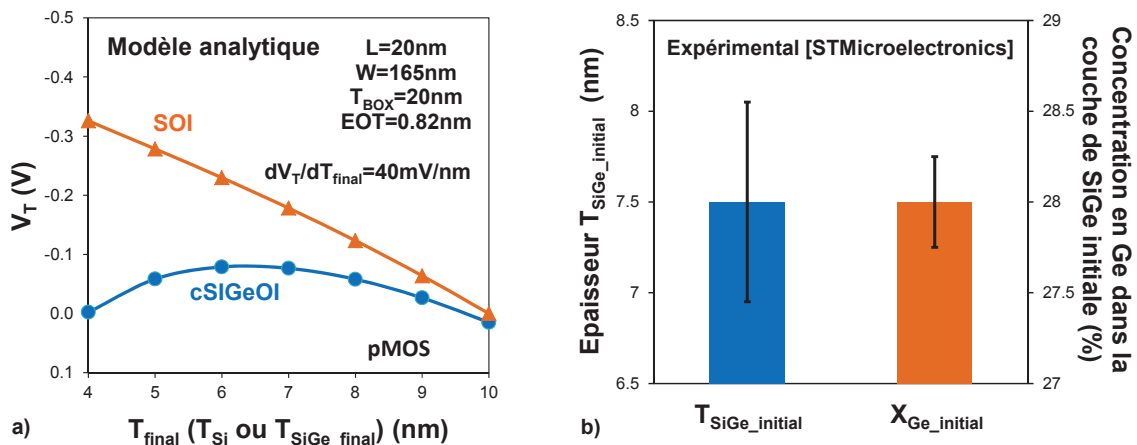


Figure 70 : (a) Evolution de la tension de seuil pour les deux versions du modèle analytique de V_T (SOI et cSiGeOI). (b) Mesures expérimentales (par ellipsométrie) d'uniformité de l'épaisseur de SiGe initiale, ainsi que de la concentration en Ge correspondante.

Des variations locale et globale de T_{Si} identiques à celles utilisées pour les dispositifs nMOS sont utilisées pour l'estimation de la variabilité globale du V_T des pMOS sur cSiGeOI. A cela s'ajoute des variations sur $T_{SiGe_initial}$ ($7.5nm \pm 0.55nm$) et $X_{Ge_initial}$ ($28 \% \pm 0.25 \%$) dont les distributions sont basées sur les mesures expérimentales de la Figure 70 (b). La Figure 71 montre une décomposition des sources de variabilité impactant σ_{V_T} . Les conditions de simulations sont les mêmes que pour les nMOS (en termes de fluctuations de $T_{Si_local_initial}$ et de $T_{Si_global_initial}$) avec $dV_T/dT_{SiGe_final}=40mV/nm$

(contribution unique du SCE et du DIBL). Une dégradation de la variabilité globale du V_T de 5 % par rapport à la contribution stochastique a ainsi été obtenue, aussi bien pour des variations globales d'épaisseur du film de silicium égales à $\pm 0.2\text{nm}$ que pour $\pm 0.5\text{nm}$. L'intégration d'un canal SiGe a donc une influence relativement faible sur la variabilité globale du V_T pour ce type de géométrie.

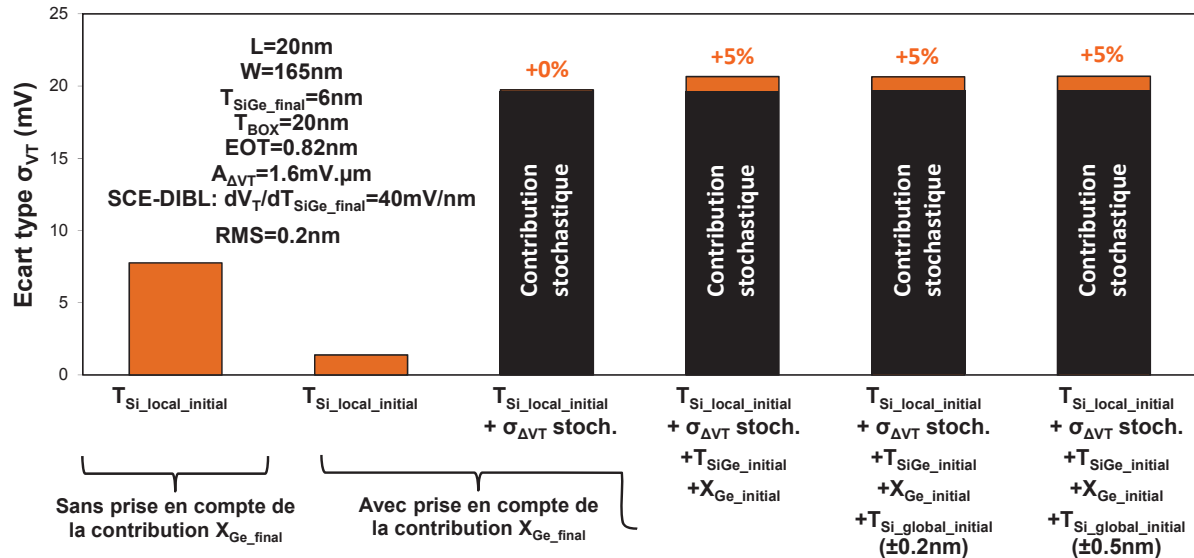


Figure 71 : Décomposition des sources de fluctuations impactant la variabilité globale σ_{V_T} de la tension de seuil avec $L=20\text{nm}$ et $W=165\text{nm}$. Les fluctuations locales de T_{Si} sont basées sur la mesure AFM de la Figure 52 ($RMS=0.2\text{nm}$). Une variabilité stochastique ayant un paramètre d'appariement $A_{\Delta V_T}=1.6\text{mV}\cdot\mu\text{m}$ est introduite afin de reproduire les résultats expérimentaux des dispositifs ayant les plus petites surfaces (Figure 67). Les fluctuations globales de T_{Si} sont également prises en compte, avec des gammes de variation de $\pm 0.2\text{nm}$ et $\pm 0.5\text{nm}$. La dépendance de V_T avec T_{SiGe_final} ($dV_T/dT_{SiGe_final}=40\text{mV/nm}$), uniquement induite par le SCE et le DIBL, est basée sur des simulations TCAD sur SOI correspondants à l'architecture du nœud technologique 20nm. Finalement, les variations de concentration $X_{Ge_initial}$ et d'épaisseur $T_{SiGe_initial}$ de la couche de SiGe initiale sur le substrat cSiGeOI sont basées sur les données expérimentales de la Figure 70 (b).

5.5.1.b. Dispositifs pour les circuits analogiques ($L=W=5\mu\text{m}$)

Nous allons maintenant étudier l'influence des sources de fluctuations impactant la variabilité globale de la tension de seuil des dispositifs nMOS et pMOS ayant pour géométrie $L=W=5\mu\text{m}$, correspondant au type de surface utilisé dans les circuits analogiques. La section 5.4 a montré que les transistors de grandes surfaces sont les plus impactés en termes de variabilité locale du V_T par les fluctuations de T_{Si_local} . Les conditions de simulations sont rigoureusement identiques à celles utilisées précédemment pour les dispositifs ayant $L=20\text{nm}$ et $W=165\text{nm}$. La Figure 72 (a) montre une dégradation de la variabilité globale du V_T des nMOS de 330 % et 540 % par rapport à la contribution stochastique, respectivement pour des variations de $T_{Si_global_initial}$ à travers le substrat de $\pm 0.2\text{nm}$ et $\pm 0.5\text{nm}$. Ces résultats mettent en avant une forte influence des variations de T_{Si} liées à l'uniformité du film de silicium. De plus, l'utilisation d'un canal SiGe sur les transistors pMOS tend à exacerber l'influence de ces fluctuations. Une dégradation de la variabilité globale du V_T de 1850 % et 2950 % par rapport à la contribution stochastique est estimée, respectivement pour des variations de $T_{Si_global_initial}$ à travers le substrat de $\pm 0.2\text{nm}$ et $\pm 0.5\text{nm}$, comme l'illustre la Figure 72 (b).

Cependant, la variabilité globale du V_T des transistors ayant une grande surface est en général impactée par une contribution systématique prédominant sur les variations stochastiques (fluctuations d'épaisseur du TiN à travers la plaque, ainsi que de la bicouche $\text{SiO}_2/\text{high-}k$, gradient de température lors du recuit d'activation des dopants, etc.). De telles variations n'ont pas été intégrées dans le modèle analytique, ce qui signifie que les pourcentages de dégradation donnés précédemment ne donnent qu'une information partielle de la variabilité totale présente dans de tels dispositifs. Il est donc difficile de conclure avec certitude sur le risque de co-intégrer sur une même plaque de silicium du SOI et du cSiGeOI pour le contrôle de la variabilité globale de la tension de seuil.

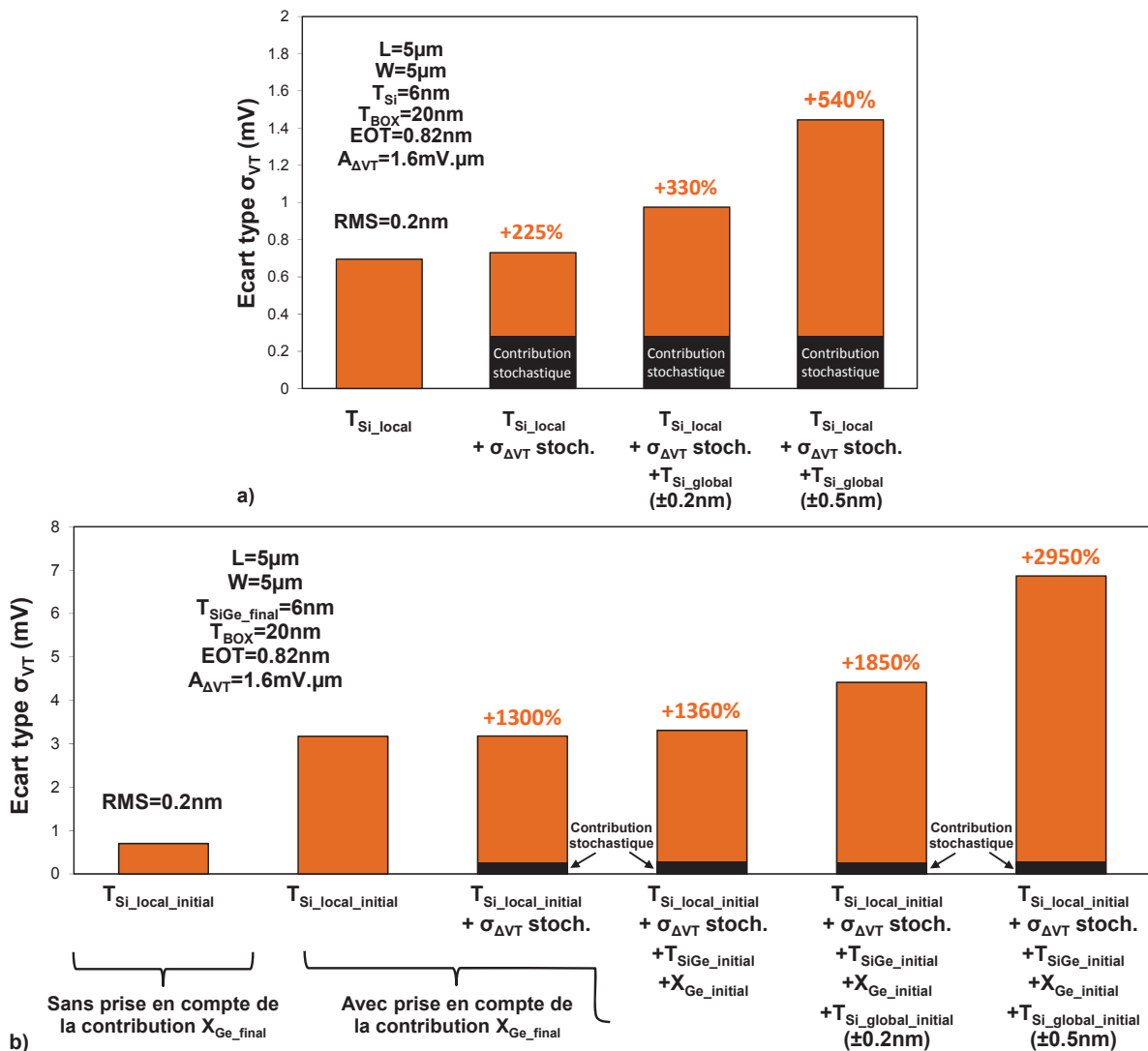


Figure 72 : (a) Décomposition des sources de fluctuations impactant la variabilité globale σ_{V_T} de la tension de seuil de transistors nMOS sur SOI avec $L=W=5\mu\text{m}$. Les fluctuations locales de T_{Si} sont basées sur la mesure AFM de la Figure 52 (RMS=0.2nm). Une variabilité stochastique ayant un paramètre d'appariement $A_{\Delta V_T}=1.6\text{mV}\cdot\mu\text{m}$ est introduite afin de reproduire les résultats expérimentaux des dispositifs ayant les plus petites surfaces (Figure 67). La dépendance de V_T avec T_{final} $dV_T/dT_{\text{final}}=8.5\text{mV/nm}$, uniquement induite par l'électrostatique, est basée sur des simulations TCAD correspondants à l'architecture du nœud technologique 20nm. Les fluctuations globales de T_{Si} sont également prises en compte, avec des gammes de variation de $\pm 0.2\text{nm}$ et $\pm 0.5\text{nm}$. Dans (b), des variations de concentration $X_{\text{Ge_initial}}$ et d'épaisseur $T_{\text{SiGe_initial}}$ de la couche de SiGe initiale sont rajoutées en plus de celles de (a) pour les transistors pMOS sur cSiGeOI, ces valeurs étant basées sur les données expérimentales de la Figure 70 (b).

5.5.1.c. Influence de la rugosité RMS sur la variabilité globale

Afin de quantifier l'impact de la rugosité RMS sur la variabilité globale de la tension de seuil des transistors, les fluctuations locales de T_{Si} ont été atténuées. Elles sont basées sur la mesure AFM de la Figure 52, dont la gamme de variations a été réduite afin d'atteindre une RMS de 0.08nm (correspondant à l'état de l'art des substrats UTBOX pour le nœud technologique 20nm). Seules les fluctuations locales ($\sigma_{T_{Si_local}}$ et $A_{\Delta V_T}=1.6mV.\mu m$) sont prises en compte ici. La Figure 73 (a) montre que la dégradation de 7 % de la variabilité globale du V_T par rapport à la contribution stochastique (observée à la Figure 68) peut être totalement supprimée en réduisant la RMS à 0.08nm, sur les transistors nMOS. En ce qui concerne les pMOS sur cSiGeOI, l'effet de compensation démontré à la Figure 70 (a) permettait déjà d'obtenir une dégradation nulle de l'écart type σ_{V_T} .

L'optimisation de l'uniformité du T_{Si} induit en revanche une forte atténuation de la dégradation des écarts types sur les dispositifs de grandes surfaces. En effet, la Figure 73 (b) montre que la dégradation de 225 % observée à la Figure 72 (a) sur les nMOS peut être réduite à 55 % avec une RMS de 0.08nm. Les transistors pMOS bénéficient également d'une atténuation de la dégradation de leur écart type (de 1300 % à 470 %). Par conséquent, il est nécessaire d'utiliser des substrats ayant une RMS inférieure à 0.1nm afin de limiter significativement la dégradation de la variabilité induite par les fluctuations de T_{Si} . Or, seules les variations locales ont été intégrées dans ces simulations. Comme le coefficient de corrélation liant les V_T des transistors n°1 et n°2 d'une même paire (coefficient estimé à partir d'un grand nombre de paires) est très faible pour des surfaces de $25\mu m^2$ (voir la Figure 62 (a)), nous pouvons en conclure que les écarts types de la Figure 73 (b) donnent une image fidèle de la variabilité locale $\sigma_{\Delta V_T}$ de la tension de seuil, à un rapport $\sqrt{2}$ près (cf. équation 56). Etant donné que les circuits analogiques requièrent un désappariement aussi faible que possible, l'intégration de leurs transistors pMOS sur cSiGeOI pourrait être problématique.

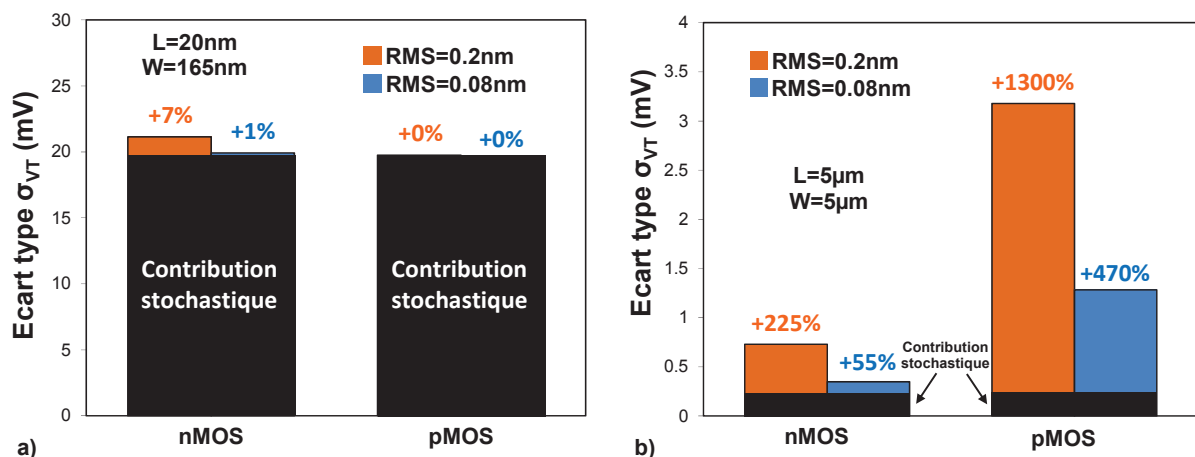


Figure 73 : Variabilité globale σ_{V_T} de la tension de seuil avec (a) $L=20nm$ et $W=165nm$ et (b) $L=W=5\mu m$. Les fluctuations locales de T_{Si} sont basées sur la mesure AFM de la Figure 52 ($RMS=0.2nm$). Une variabilité stochastique ayant un paramètre d'appariement $A_{\Delta V_T}=1.6mV.\mu m$ est introduite afin de reproduire les résultats expérimentaux des dispositifs ayant les plus petites surfaces (Figure 67). Les fluctuations globales ne sont pas prises en compte ici.

5.5.2. Circuit SRAM de 200Mb

Nous avons vu dans les sections précédentes que ce sont les transistors ayant de grandes surfaces qui sont les plus impactés par les fluctuations de T_{Si} . Cependant, même si les transistors des cellules mémoires SRAM ont de petites dimensions, les circuits SRAM sont quant à eux composés d'un très grand nombre de cellules élémentaires qui occupent au final une place relativement grande. Par exemple, un circuit de 200Mb recouvre une zone géographique d'environ 3mm par 3mm. De plus, nous avons vu au chapitre 3 que les tensions minimales d'alimentation des cellules SRAM en mode lecture et écriture (V_{MIN_READ} et V_{MIN_WRITE} , respectivement) sont corrélées au désappariement des transistors. Dans le cas présent, la variabilité du T_{Si} va entraîner des fluctuations de V_T à travers le circuit SRAM. Cela pourrait impacter de manière significative les tensions V_{MIN} . Les fluctuations induites par la variabilité du travail de sortie de la grille métallique (contribution systématique observée à la Figure 66) sont quant à elles négligeables. Dans cette section, nous considérerons que les dispositifs nMOS et pMOS présents dans le circuit de 200Mb ont tous un canal de conduction Si. La variabilité globale d'épaisseur $\sigma_{T_{Si_global}}$ dans l'espace de 3mm x 3mm du circuit est également considérée comme étant négligeable devant les fluctuations locales $\sigma_{T_{Si_local}}$ induites par la rugosité. La périphérie du circuit SRAM (décodeurs logiques permettant de lire et écrire les différentes cellules mémoires) n'est pas prise en compte dans le cadre de cette étude.

Cette analyse est basée sur une cellule SRAM du nœud technologique 20nm. Son architecture a été introduite dans le modèle analytique de rugosité du film de silicium afin d'estimer les écarts types sur chacun des 6 transistors de la cellule, ainsi que les corrélations existantes entre chacun d'eux. Ensuite, ces données ont été intégrées dans le modèle compact présenté à la section 3.6 afin de simuler les caractéristiques électriques de SNM et WM et d'obtenir au final V_{MIN_READ} et V_{MIN_WRITE} . Cette procédure est indispensable car le modèle compact ne peut pas prendre en compte des fluctuations de T_{Si} au sein du même transistor, ainsi que la corrélation existant entre deux transistors adjacents (ce qui affecte l'écart type $\sigma_{\Delta V_T, T_{Si_local}}$).

Les six transistors de la cellule sont donc « positionnés » sur une mesure AFM (celle de la Figure 52 (a)) afin d'extraire un ensemble de 6 tensions de seuil représentatives des fluctuations locales de T_{Si} . Cette opération est répétée afin de recouvrir l'ensemble de la zone géographique étudiée expérimentalement. Nous considérons donc que l'espace de 30 μ m par 30 μ m mesuré en AFM est suffisamment représentatif des variations locales de l'épaisseur du film de silicium pour donner une image pertinente de ce qu'il existe dans une zone de 3mm par 3mm occupé par le circuit SRAM de 200Mb. Une telle surface n'étant pas mesurable par notre AFM, nous ferons cette hypothèse pour l'estimation des tensions minimales d'alimentation.

La Figure 74 (b) présente la variabilité de la tension de seuil au sein du circuit SRAM pour chaque type de transistors (charge, décharge et accès). Pour rappel, le schéma électrique de la cellule est donné à la Figure 74 (a). La seule source de variabilité prise en compte ici est la fluctuation locale du film de silicium. Quelles que soient les dimensions L et W considérées, l'écart type $\sigma_{V_T, T_{Si_local}}$ reste égal

à 7.35mV. Un fort coefficient de corrélation induit par le T_{si} est par ailleurs observé entre les transistors appariés d'une même cellule. $\rho_{T_{si_local}}$ dépend au premier ordre de la distance ΔD séparant ces derniers. Par conséquent, les deux pMOS de charge (LD) étant les plus proches dans le dessin de la cellule possèdent la plus forte corrélation ($\rho_{PU,T_{si_local}}=0.89$), alors que les nMOS de décharge (DR) et d'accès (AC) ont un ΔD plus grand et une corrélation plus faible ($\rho_{DR,T_{si_local}}=\rho_{AC,T_{si_local}}=0.7$). Cela explique également pourquoi les pMOS ont un écart type local $\sigma_{\Delta V_T,T_{si_local}}$ plus faible que celui des nMOS (respectivement égaux à 3.46mV et 5.67mV), en accord avec l'équation 56.

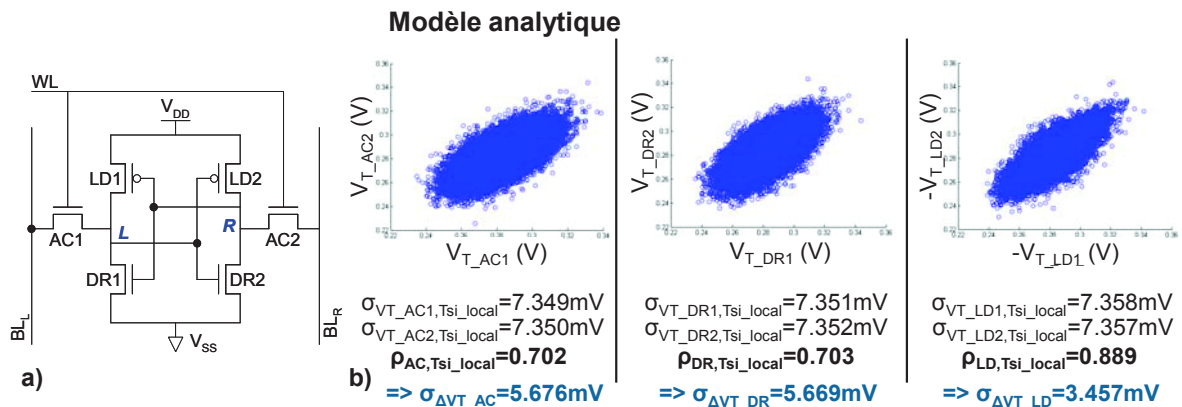


Figure 74 : (a) Schéma électrique d'une cellule SRAM-6T. (b) Corrélations obtenues en comparant les V_T des transistors appariés d'une même cellule, pour chacun des types de dispositifs.

Cependant, ces corrélations existent également entre chacun des transistors de la cellule SRAM, comme le montre la Figure 75. Il est indispensable de prendre en compte toutes ces données afin de reproduire avec le maximum de précision possible ces variations dans le modèle compact.

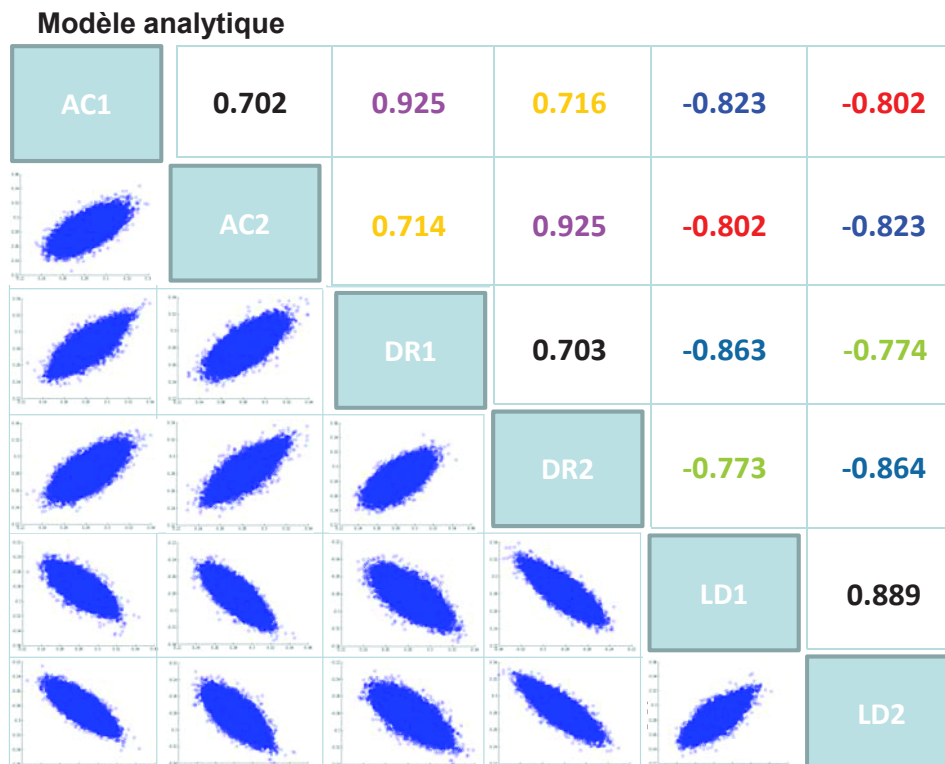


Figure 75 : Corrélations obtenues en comparant les V_T des transistors d'une même cellule, pour chacun des types de dispositifs (voir la Figure 74 (a) concernant la dénomination des dispositifs).

Les écarts types $\sigma_{V_T, T_{Si_local}}$ sont donc introduits dans la carte modèle du nœud technologique 20nm, en tant que source de variabilité systématique (interne au circuit SRAM) de la tension de bande plate V_{FB} ($\sigma_{V_T}=7.35mV$). L'influence des variations de T_{Si} sur d'autres caractéristiques électriques que le V_T est négligée dans cette étude. Les coefficients de corrélation $\rho_{T_{Si_local}}$ sont quant à eux implémentés sur V_{FB} en tant que contribution systématique interne à la cellule. Les écarts types $\sigma_{\Delta V_T, T_{Si_local}}$ obtenus grâce au modèle analytique sont ainsi correctement reproduits par le modèle compact. Une contribution stochastique est rajoutée avec un paramètre d'appariement $A_{\Delta V_T}$ (allant de $0.2mV.\mu m$ à $1.6mV.\mu m$). Les tensions V_{MIN_READ} et V_{MIN_WRITE} ainsi obtenues à la Figure 76 montrent que la variabilité de la SNM et de WM ne sont pas significativement impactées par les fluctuations de T_{Si} tant que $A_{\Delta V_T}$ est supérieur à $0.5mV.\mu m$. Les transistors présents dans les cellules mémoires SRAM ayant une très petite surface, les variations de T_{Si} sont alors largement dominées par les fluctuations stochastiques dans la variabilité globale. Les variabilités stochastiques les plus faibles dans la littérature pour la technologie FDSOI étant de l'ordre de $1mV.\mu m$ [Mazurier '10], cela signifie que les circuits SRAM du nœud technologique 20nm ne devraient pas être significativement impactés par cette source de fluctuations.

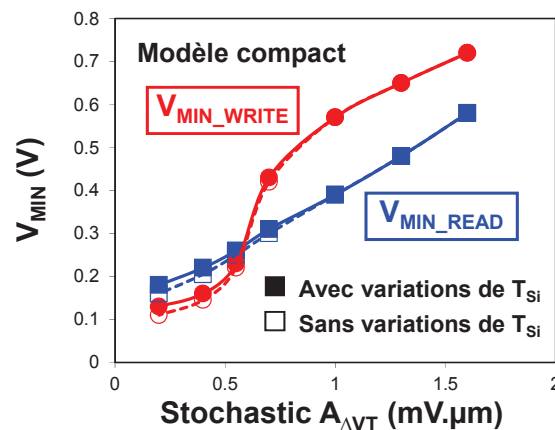


Figure 76 : Tension minimale d'alimentation en mode de lecture (V_{MIN_READ}) et d'écriture (V_{MIN_WRITE}) pour différents niveaux de variabilité stochastique ($A_{\Delta V_T}$ allant de $0.2mV.\mu m$ à $1.6mV.\mu m$), avec une prise en compte ou non des variations locales de T_{Si} .

5.6. Conclusion

Nous avons vu dans ce chapitre que la technologie FDSOI est impactée par une nouvelle source de variabilité agissant principalement sur les transistors ayant une grande surface ($>0.1\mu m^2$). Les modifications de l'épaisseur moyenne du film de silicium et/ou de la rugosité de celui-ci ont permis de montrer l'influence des fluctuations locales de T_{Si} (observées par microscopie AFM) sur cette dégradation du désappariement de la tension de seuil. Un modèle analytique de variabilité prenant en compte ces fluctuations a été développé afin d'étudier plus en détail l'influence de la surface et de la distance séparant deux transistors appariés sur l'écart type $\sigma_{\Delta V_T}$. Le premier joue un rôle primordial (en raison de la dépendance des écarts types avec $1/\sqrt{W.L}$ pour les sources de variabilité stochastiques) alors que le second a une influence beaucoup plus faible.

Nous avons également vu que l'impact des variations locales (rugosité) et systématiques (uniformité sur le substrat) de T_{Si} reste modéré pour les dispositifs logiques nominaux devant la contribution stochastique, aussi bien sur les transistors nMOS (sur SOI) que pMOS (sur cSiGeOI). Les grandes surfaces sont en revanche dégradée de manière significative, d'autant plus sur cSiGeOI en raison de la corrélation existante entre le V_T et X_{Ge_final} . De plus, nous avons vu que l'utilisation de substrat ayant une RMS inférieure à 0.1nm serait nécessaire pour les prochains nœuds technologiques afin de limiter l'influence des fluctuations locales de T_{Si} sur les variabilités locales et globales du V_T .

L'intégration des fluctuations locales de T_{Si} dans un modèle compact a mis en évidence une influence relativement faible sur les tensions minimales d'alimentation en mode de lecture et d'écriture de circuits SRAM de 200Mb correspondant aux règles de dessin du nœud technologique 20nm.

Nous avons vu dans le chapitre 1 que la valeur des résistances d'accès au canal est corrélée à l'épaisseur du film de silicium, elles-mêmes impactant significativement le courant de drain des transistors. Cela signifie que la prise en compte des variations de R_{SD} dans le modèle compact utilisé pour la simulation des circuits électriques est indispensable. Même si ces fluctuations devraient avoir un impact limité sur la tension minimale d'alimentation des circuits SRAM (nous avons vu au chapitre 3 que $\sigma_{\Delta V_T}$ est la principale source de variabilité de la SNM), les circuits analogiques sont quant à eux davantage sensibles aux variations locales de I_D .

Cette source de variabilité dépend directement du procédé de réalisation des substrats SOI et peut donc être réduite par de l'ingénierie du procédé Smart Cut™ et de la fabrication des substrats en général. Au niveau du dispositif, des solutions sont également envisagées afin de limiter l'influence de cette source de variabilité. Nous avons vu d'après les résultats du modèle analytique que l'utilisation d'un BP de type opposé à celui des jonctions source-drain permet de réduire d'environ 50 % la dégradation du $iA_{\Delta V_T}$ des plus grandes surfaces. Une autre option serait de développer un circuit permettant d'ajuster le V_T de chacun des transistors en polarisant le BP afin de se rapprocher de la spécification imposée par les concepteurs. Enfin, des solutions au niveau de la conception et du processus d'intégration sont à investiguer, telles que la migration des dispositifs les plus sensibles au désappariement sur un T_{Si} localement plus épais ou sur le substrat de silicium situé en dessous du BOX (les transistors étant équivalents dans ce cas-là à des dispositifs sur silicium massif).

5.7. Références bibliographiques

- [ATLAS] Manuel d'utilisation d'ATLAS, SILVACO, 2008.
- [Damlencourt '06] J.F. Damlencourt, B. Vincent, P. Rivallin et al., "Fabrication of SiGe-On-Insulator by Improved Ge condensation technique", *Third International SiGe Technology and Device Meeting (ISTDM)*, 2006, p. 202-208.
- [Fenouillet '09a] C. Fenouillet-Beranger, P. Perreau, S. Denorme et al., "Impact of a 10nm Ultra-Thin BOX (UTBOX) and Ground Plane on FDSOI devices for 32nm

- node and below", *European Solid State Device Research Conference (ESSDERC)*, 2009, p. 89-92.
- [Hutin '10] L. Hutin, M. Cassé, J.-F. Damlencourt et al., "20nm Gate Length Trigate pFETs on Strained SGOI for High Performance CMOS", *IEEE Symposium on VLSI Technology*, 2010, p. 37-38.
- [Jaud '10] M.-A. Jaud, P. Scheiblin, S. Martinie et al., "TCAD simulation vs. experimental results in FDSOI technology: From advanced mobility modeling to 6T-SRAM cell characteristics prediction", *International Conference on Simulation of Semiconductor Processes and Devices (SISPAD)*, 2010, p. 283-286.
- [Khakifirooz '12] A. Khakifirooz, K. Cheng, T. Nagumo et al., "Strain Engineered Extremely Thin SOI (ETSOI) for High-Performance CMOS", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2012, p. 117-118.
- [Lim '83] H.-K. Lim et J. G. Fossum, "Threshold Voltage of Thin-Film Silicon-on-Insulator (SOI) MOSFET's", *IEEE Transactions on Electron Devices*, Vol. 30, N° 10, Octobre, 1983, p. 1244-1251.
- [Maleville '06] C. Maleville, "SOI material readiness for 45nm and sub-45nm device options", *ECS Transactions*, Vol. 3, N° 4, 2006, p. 397-407.
- [Mazurier '10] J. Mazurier, O. Weber, F. Andrieu et al., "High Performance and Low Variability Fully-Depleted Strained-SOI MOSFETs", *IEEE International SOI Conference*, 2010, p. 46-47.
- [Pelgrom '89] M.J.M. Pelgrom, A.C.J. Duinmajar et A.P.G. Welbers, "Matching properties of MOS transistors", *IEEE Journal of Solid-State Circuits*, Vol. 24, N° 5, Octobre, 1989, p. 1433-1439.
- [Planes '12] N. Planes, O. Weber, V. Barral et al., "28nm FDSOI Technology Platform for High-Speed Low-Voltage Digital Applications", *IEEE Symposium on VLSI Technology*, 2012, p. 133-134.
- [Poiroux '05] T. Poiroux, M. Vinet, O. Faynot et al., "Multiple gate devices: advantages and challenges", *Microelectronic Engineering*, Vol. 80, N° 17, 2005, p. 378-385.
- [Skotnicki '12] T. Skotnicki, F. Arnaud et O. Faynot, "UTBB SOI: A Wolf in Sheep's Clothing", *Future Fab International Semiconductor Journal*, Juillet, 2012.
- [Springer '04] B. Bhushan, "Springer Handbook of Nanotechnology", 3^{ème} édition, 2010.
- [Suzuki '93] K. Suzuki, T. Tanaka, Y. Tosaka et al., "Scaling Theory for Double-Gate SOI MOSFET's", *IEEE Transactions on Electron Devices*, Vol. 40, N° 12, Décembre, 1993, p. 2326-2329.
- [Tezuka '01] T. Tezuka, N. Sugiyama et S. Takagi, "Fabrication of strained Si on an ultrathin SiGe-on-insulator virtual substrate with a high-Ge fraction", *Applied Physics Letters*, Vol. 78, N° 12, 2001, p. 1798-1801.
- [Tsividis '99] Y. Tsividis and C. McAndrew, "Operation and Modeling of the MOS Transistor", *Oxford University Press*, 2010.
- [Vincent '07] B. Vincent, J.-F. Damlencourt, P. Rivallin et al., "Fabrication of SiGe-on-insulator substrates by a condensation technique: an experimental and modelling study", *Semiconductor Science and Technology*, Vol. 22, N° 3, 2007, p. 237-244.
- [Vincent '08] B. Vincent, "Developement of Germanium On Insulator substrates and structures by the Germanium condensation technique", Manuscrit de thèse, Université de Grenoble, 2008.

[Weber '08]

O. Weber, O. Faynot, F. Andrieu et al., "High Immunity to Threshold Voltage Variability in Undoped Ultra-Thin FDSOI MOSFETs and its Physical Understanding", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2008, p. 641-644.

Conclusion générale

L'industrie de la microélectronique est rythmée depuis un demi-siècle par une démarche de miniaturisation des dimensions caractéristiques des transistors, tout en augmentant leurs performances et en minimisant leur coût. Les phénomènes parasites liés à la réduction d'échelle de ces dispositifs (notamment la perte de contrôle électrostatique de la grille sur le canal de conduction) imposent de développer sans cesse de nouvelles solutions technologiques. Cependant, l'architecture sur silicium massif ne pourra plus longtemps répondre aux besoins actuels nécessitant à la fois une rapidité élevée du traitement de données et une consommation faible pour les applications mobiles. De nouvelles technologies ont ainsi vu le jour afin de remplacer l'architecture conventionnelle, telles que les dispositifs FinFET et FDSOI.

Le développement des SoC, visant à co-intégrer sur une même puce plusieurs fonctionnalités, requiert une plateforme technologique pouvant adresser plusieurs tensions de seuil. Sur silicium massif, l'ajustement de la tension de seuil se fait en modifiant le dopage du canal de conduction du transistor. En revanche, cette option n'est pas envisageable sur FinFET et FDSOI afin de bénéficier de tous leurs avantages en termes de contrôle électrostatique. D'autres solutions sont par conséquent nécessaires. Notamment, la technologie FDSOI présente un avantage majeur lié à l'utilisation d'un diélectrique enterré mince et d'un plan de masse implanté sous celui-ci. Il est ainsi possible d'appliquer une polarisation sur le substrat pouvant être utilisée afin de moduler très précisément la tension de seuil (le diélectrique mince assurant un fort couplage entre le potentiel du plan de masse et celui du canal de conduction).

Une autre problématique majeure liée à la miniaturisation des dimensions des transistors est la difficulté croissante d'avoir des caractéristiques électriques qui soient les plus proches possibles d'un dispositif à l'autre. La prédominance des fluctuations stochastiques sur la variabilité systématique induite par le processus d'intégration impose d'importantes optimisations technologiques depuis le nœud technologique 90nm. Ces fluctuations dont la longueur de corrélation est très petite devant les dimensions des transistors sont très difficiles à minimiser. De nos jours, elles impactent fortement le rendement des circuits analogiques et numériques. Une voie prometteuse est l'utilisation d'un canal de conduction non dopé.

Dans ce contexte, l'objectif de ce travail de thèse était d'analyser les sources de variabilité stochastiques de la tension de seuil et du courant de drain en régime de forte inversion en technologie FDSOI, et d'étudier leur impact sur les circuits mémoires SRAM.

Le premier chapitre présentait le fonctionnement du transistor MOS sur silicium massif, ainsi que les principales problématiques liées à la miniaturisation des dimensions du dispositif. La technologie FDSOI a été introduite comme une architecture permettant de remplacer les dispositifs conventionnels, afin de limiter l'influence des phénomènes parasites liés à la réduction d'échelle. Une optimisation du contrôle électrostatique et une réduction de la variabilité stochastique ont ainsi été mises en évidence grâce à l'utilisation d'un canal de conduction non dopé. Les différentes sources de fluctuations intrinsèques à cette architecture ont été présentées, telles que les variations induites par l'empilement de grille (présence de charges localisées $\sigma_{Q_{ox}}$ ou de dipôles dans le high-k, variations d'épaisseur $\sigma_{T_{ox}}$ et variations de permittivité $\sigma_{\epsilon_{ox}}$ et granularité de la grille métallique), les variations liées au substrat (fluctuations d'épaisseur du film de silicium $\sigma_{T_{si}}$ et du diélectrique enterré $\sigma_{T_{BOX}}$) et celles induites par les effets de canaux courts.

Le second chapitre portait sur l'ajustement de la tension de seuil des transistors FDSOI. Trois solutions ont ainsi été proposées : l'utilisation d'un oxyde enterré mince et d'un plan de masse dont la polarisation V_B induit une modification du potentiel dans le canal, l'utilisation de grilles métalliques différentes de celle intégrée dans notre architecture de référence ayant du TiN et l'intérêt des substrats sSOI présentant une forte contrainte mécanique en tension agissant sur la tension de seuil des dispositifs nMOS. En revanche, nous avons vu expérimentalement que la modification de l'empilement de grille joue au premier ordre sur le désajustement de la tension de seuil.

Le troisième chapitre était consacré à la variabilité des caractéristiques électriques de cellules mémoires SRAM. Nous avons vu que $\sigma_{\Delta V_T}$ et σ_{SNM} sont indépendants des valeurs moyennes de V_T et de SNM. Il est par conséquent possible en technologie FDSOI d'optimiser les stabilités en lecture et en écriture des cellules mémoires SRAM sans pour autant impacter la variabilité. Une polarisation négative de V_B sur une architecture de transistors nMOS et pMOS possédant un seul type de BP permet d'améliorer significativement la tension minimale d'alimentation. Nous avons pu prouver expérimentalement que les transistors nMOS sont les principaux responsables de la variabilité de la SNM. Un modèle analytique développé durant la thèse a par ailleurs démontré que ce sont les transistors de décharge qui ont le plus d'influence. Finalement, un modèle compact a mis en évidence que la prise en compte de la variabilité de la tension de seuil est suffisante pour donner une assez bonne estimation de σ_{SNM} en technologie FDSOI.

Le quatrième chapitre présentait une analyse expérimentale de la variabilité stochastique du courant de drain en technologie FDSOI. Nous avons pu montrer que les variations locales du courant de drain en forte inversion sont fortement corrélées aux fluctuations de V_T et de R_{ON} . Ces deux contributions sont par ailleurs corrélées en technologie FDSOI. Par conséquent, la variabilité totale du courant de drain n'est pas égale à la somme quadratique des fluctuations locales de I_D induites par R_{ON} et de V_T puisqu'un effet de compensation limite leurs influences respectives sur $\sigma(\Delta I_D/I_D)$. Nous

avons également vu que les résistances d'accès R_{SD} ont une forte influence sur la variabilité locale du courant de drain induite par les fluctuations de R_{ON} . Il est donc crucial d'optimiser les jonctions source-drain en technologie FDSOI en portant une attention particulière aux étapes d'épitaxie et d'implantation ionique.

Enfin, le cinquième chapitre portait sur l'influence des fluctuations locales de l'épaisseur du film de silicium en technologie FDSOI sur la variabilité stochastique de la tension de seuil. Nous avons vu dans ce chapitre que la technologie FDSOI est impactée par une nouvelle source de variabilité agissant principalement sur les transistors ayant une grande surface ($>0.1\mu\text{m}^2$). Cet aspect est donc critique pour les applications analogiques où l'on trouve habituellement des transistors de grande dimension avec des désappariements très faibles. Les modifications de l'épaisseur moyenne du film de silicium et/ou de la rugosité de celui-ci ont permis de montrer l'influence des fluctuations locales de T_{Si} (observées par microscopie AFM) sur cette dégradation du désappariement de la tension de seuil. Un modèle analytique de variabilité prenant en compte ces variations a été développé afin d'étudier plus en détail l'influence de la surface et de la distance séparant deux transistors appariés sur l'écart type $\sigma_{\Delta V_T}$. Le premier joue un rôle primordial (en raison de la dépendance des écarts types avec $1/\sqrt{W.L}$ pour les sources de variabilité stochastiques) alors que le second a une influence beaucoup plus faible. Finalement, l'intégration de cette source de variabilité dans un modèle compact a mis en évidence une influence relativement faible sur les tensions minimales d'alimentation en mode de lecture et d'écriture de circuits SRAM de 200Mb correspondant aux règles de dessin du nœud technologique 20nm.

De même, il a été montré que l'impact des fluctuations de T_{Si} sur la variabilité globale du V_T restait modéré pour les dispositifs logiques nominaux devant la contribution stochastique restante, attribuée essentiellement à l'empilement de grille en technologie FDSOI, aussi bien sur SOI pour les transistors nMOS que sur cSiGeOI pour les pMOS. En ce qui concerne les transistors de plus grandes surfaces, une augmentation significative de la variabilité globale de la tension de seuil a été estimée. Cependant, il reste difficile de quantifier le pourcentage de dégradation induit par ces fluctuations sur la variabilité σ_{V_T} mesurable expérimentalement, puisque de telles surfaces sont communément impactées par une composante systématique prépondérante. L'augmentation de la variabilité (aussi bien locale que globale) de la tension de seuil observée sur SOI pour de grandes surfaces est par ailleurs fortement accentuée sur cSiGeOI en raison de la corrélation existante entre le V_T et X_{Ge_final} .

De plus, nous avons vu que l'utilisation de substrat ayant une RMS inférieure à 0.1nm serait nécessaire pour les prochains nœuds technologiques afin de limiter l'influence de cette source de fluctuations sur les variabilités locales et globales du V_T . D'autres solutions sont également envisagées. L'utilisation d'un BP de type opposé à celui des jonctions source-drain permet de réduire d'environ 50 % la dégradation du $iA_{\Delta V_T}$ des plus grandes surfaces. Des solutions au niveau de la conception et du processus d'intégration sont à investiguer, telles que la migration des dispositifs les

plus sensibles au désappariement sur un T_{Si} localement plus épais ou sur le substrat de silicium situé en dessous du BOX.

Des améliorations peuvent être apportées dans ces différents modèles afin de simuler de manière plus réaliste la variabilité globale de la tension de seuil. Notamment, la modélisation des différentes sources de variabilité systématique induites par le procédé d'intégration des dispositifs FDSOI (fluctuations d'épaisseur du TiN à travers la plaque, ainsi que de la bicouche $SiO_2/high-k$, gradient de température lors du recuit d'activation des dopants, etc.) permettrait de mieux déterminer l'influence de la non-uniformité du T_{Si} sur les écarts types. En effet, l'objectif du travail de recherche mené tout au long de cette thèse concernait majoritairement l'étude détaillée des différentes sources de variabilité stochastique.

Annexe A

Méthodologie de caractérisation de la variabilité, traitement des données, limitations à prendre en considération en termes de validité des écarts types estimés et méthodes d'extraction du V_T

Dans cette annexe, nous allons présenter la méthodologie de mesure des fluctuations stochastiques et systématiques en utilisant des structures de test de type matricielle constituées de 20 transistors géographiquement proches. Ces paires de transistors sont réparties sur l'ensemble du wafer afin de pouvoir décomposer les différents niveaux de variations (local, inter-puce et global (intra-plaque)). Ainsi, des paires de transistors de différentes tailles sont mesurées électriquement. Le nombre de paires de transistors mesurées sur une plaque pour une géométrie donnée (dans le cadre d'un test « standard ») est égal à 238. La distribution de la différence d'un paramètre électrique donné (par exemple, la tension de seuil) entre deux transistors adjacents permet de quantifier la variabilité stochastique, également appelée variabilité locale. Par la suite, un filtrage des données (détaillé dans la section A.3) est effectué afin de s'affranchir de possibles problèmes lors de la mesure ou de transistors présentant des caractéristiques électriques atypiques. L'écart type de cette population épurée permet donc de quantifier la variabilité locale d'une géométrie donnée. Cette opération est répétée pour un certain nombre de couples L/W afin d'en extraire le paramètre $A_{\sigma p}$ (présenté à la section 1.4.4.a) représentatif du contrôle de la variabilité stochastique pour une technologie donnée. Le même procédé d'épuration est utilisé pour les études de variabilité inter-puce et de variabilité globale.

A.1. Structures de test

Les structures de test utilisées dans le cadre de cette thèse ont été réalisées par une équipe de conception du LETI. Elles sont constituées d'une matrice de 20 transistors reproduits à l'identique (même géométries L et W) avec des connexions en grille commune et source commune. La distance entre deux transistors adjacents est de $15\mu\text{m}$. Systématiquement, le premier et le dernier transistor de la matrice sont éliminés des étapes du traitement statistique étant donné que ces dispositifs se

trouvent dans un environnement particulier. Au total, 18 géométries (listées dans le Tableau 3) sont utilisées pour l'extraction finale du paramètre $A_{\delta P}$. Ces géométries sont disponibles à la fois en nMOS et en pMOS.

L (nm)	W (nm)	L (nm)	W (nm)
10000	10000	200	100
200	500	60	100
60	500	40	100
40	500	30	100
30	500	200	80
200	120	80	80
60	120	60	80
40	120	40	80
30	120	30	80

Tableau 3 : Liste des géométries mesurées lors des tests de variabilité. Ces dimensions sont disponibles à la fois pour des dispositifs nMOS et pMOS.

A.2. Distribution gaussienne

A.2.1. Moyenne et écart type

Nous considérons δP comme étant la différence du paramètre P mesuré entre deux transistors appariés. La caractérisation de la variabilité stochastique consiste en l'évaluation de la moyenne $m_{\delta P}$ ($= \langle \delta P \rangle$) et de l'écart type $\sigma_{\delta P}$ de la distribution δP à partir de N échantillons, telle que :

$$\delta P = \Delta P \text{ ou } \frac{\Delta P}{\langle P \rangle} \quad (\text{Équation 59})$$

$$m_{\delta P} = \frac{1}{N} \cdot \sum_{i=1}^N \delta P_i \quad (\text{Équation 60})$$

$$\sigma_{\delta P} = \sqrt{\frac{1}{N-1} \cdot \sum_{x=1}^N (\delta P(x) - m_{\delta P})^2} \quad (\text{Équation 61})$$

La valeur moyenne m_{δ} correspond à la composante systématique de la distribution gaussienne qui doit être égale à zéro, alors que l'écart type $\sigma_{\delta P}$ représente les fluctuations stochastiques.

De plus, considérant que la distribution δP suit une loi normale, nous avons :

$$\delta P(x) = \frac{1}{\sqrt{2 \cdot \pi \cdot \sigma_{\delta P}^2}} \cdot \exp\left(-\frac{(x - \langle \delta P \rangle)^2}{2 \cdot \sigma_{\delta P}^2}\right) \text{ avec } -\infty < x < \infty \quad (\text{Équation 62})$$

Cependant, même en considérant un nombre d'échantillons suffisamment élevé, les résultats expérimentaux ne suivent pas parfaitement cette loi. Il est nécessaire de tester l'adéquation entre la distribution expérimentale δP et une loi normale afin de valider l'écart type représentant les fluctuations stochastiques. Nous effectuons donc un test du khi-deux pour chacune des géométries.

A.2.2. Test du khi-deux

Le test du khi-deux (χ^2) est effectué afin de comparer les résultats expérimentaux avec les données qui seraient attendues en présence d'une distribution suivant une loi normale.

La loi du khi-deux est définie de la manière suivante [Spiegel '00]:

$$\chi^2 = \sum_{i=1}^k \frac{(O_i - E_i)^2}{E_i} \quad (\text{Équation 63})$$

où le paramètre k représente le nombre de classes (c'est-à-dire le nombre d'intervalles sur lesquelles la distribution est divisée afin d'en extraire une fréquence d'apparition) et O_i et E_i sont respectivement les fréquences d'apparition observées et théoriques. La distribution δP sera considérée comme suivant une loi normale si la valeur du khi-deux (Équation 63) est inférieure à une valeur critique, notée χ_{α}^2 .

Tout d'abord, il est impératif de déterminer un niveau de confiance $(1-\alpha)$. Dans notre cas, il est fixé à 99 % car nous travaillons sur un intervalle restreint $[m_{\delta P}' - 3\sigma_{\delta P}'; m_{\delta P}' + 3\sigma_{\delta P}']$ (voir section A.3). Le paramètre χ_{α}^2 dépend du nombre de degré de liberté v et de l'intervalle de confiance choisie [Montgomery '01]. Quand le degré de liberté est supérieur à 30, χ_{α}^2 peut s'approximer de la manière suivante [Pergoot '95]:

$$\chi_{\alpha}^2 = \frac{1}{2} \cdot (Z_{\alpha} + \sqrt{2 \cdot v - 1})^2 \quad (\text{Équation 64})$$

où Z_{α} correspond au nombre d'écart type de la loi normale centrée réduite correspondant au niveau de confiance $(1-\alpha)$. Il est égal à 2.326 dans notre cas [Montgomery '01].

De plus, le degré de liberté v est donné par la relation suivante :

$$v = k - m - 1 \quad (\text{Équation 65})$$

avec k étant le nombre de classes et m le nombre de paramètres estimés dans cette étude (en l'occurrence, $m_{\delta P}$ et $\sigma_{\delta P}$). k est choisi afin de répondre au critère de Cochran [Cochran '54] selon lequel toutes les classes doivent avoir une valeur théorique non nulle et 80 % des classes doivent avoir une valeur théorique supérieure ou égale à 5. Dans le cas présent, il sera fixé à 20.

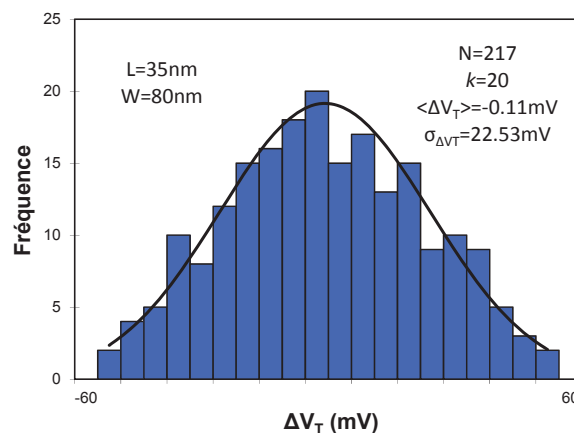


Figure 77. Distribution de ΔV_T mesurée sur des transistors avec $L=35\text{nm}$ et $W=80\text{nm}$ répartie sur 30 classes. Un total de 217 paires de transistors fonctionnels a été utilisé.

A partir de cet exemple, nous obtenons : $\chi_{\alpha}^2 = 32.57$ et $\chi^2 = 4.61$.

La valeur de χ^2 étant inférieure à la valeur de χ_{α}^2 , nous pouvons en conclure que la distribution de ΔV_T suit bien une loi normale, avec un niveau de confiance de 99 %.

A.3. Filtrage de données

Les données expérimentales sont filtrées afin d'éliminer de la population étudiée d'éventuels échantillons impactés par des problèmes de mesure (trop forte résistivité des pointes, mauvais état des plots de contact, ...) ou par des problèmes technologiques de défektivité intervenus durant le procédé d'intégration CMOS. L'objectif de ce filtrage est d'éliminer seulement les valeurs présentant des niveaux de variations ne pouvant pas être induits par les sources de variabilité usuelles sur une technologie au stade de l'industrialisation. En considérant une distribution suivant une loi normale, l'épuration dite « à 3 sigma » revient à éliminer les valeurs ayant une probabilité d'occurrence d'environ 0.27 %, ce qui représente dans notre cas en moyenne 0.64 échantillons dans la population totale étudiée (238 valeurs). Le principe de fonctionnement de ce filtre est tout d'abord de supprimer les extrémums de la population, c'est-à-dire les valeurs étant dans les 10 % minimums et maximums de la distribution. La moyenne $m_{\delta P}'$ et l'écart type $\sigma_{\delta P}'$ de cette population réduite $\delta P'$ sont calculés. Les valeurs de la population initiale étant en dehors de l'intervalle $[m_{\delta P}' - 3\sigma_{\delta P}'; m_{\delta P}' + 3\sigma_{\delta P}']$ sont ensuite supprimées (correspondant à une plage de normalité au niveau de confiance 99 %). Finalement, l'écart type $\sigma_{\delta P}$ de cette nouvelle population est calculé.

A.4. Intervalle de confiance

Nous avons vu que le paramètre $A_{\delta P}$ est couramment utilisé par la communauté scientifique s'intéressant à l'appariement des transistors. Cependant, ce paramètre est entaché par une incertitude liée à la taille de la population choisie pour représenter les variations de la distribution (l'écart type $\sigma_{\delta P}$ de la distribution δP étant estimé grâce à N paires de transistors). En revanche, la valeur vraie de l'écart type $\sigma_{\delta P}$ ($\sigma_{\delta P_vrai}$) est inconnue.

Un intervalle de confiance peut être calculé avec un niveau de confiance $(1-\alpha)$ et un degré de liberté égal à N-1 [Pergoot '95] :

$$\frac{\sigma_{\delta P} \cdot \chi_{1-\gamma/2}}{\sqrt{N}} \leq \sigma_{\delta P_vrai} \leq \frac{\sigma_{\delta P} \cdot \chi_{\gamma/2}}{\sqrt{N}} \quad (\text{Équation 66})$$

Ainsi, nous obtenons :

$$\sigma_{\delta P} \cdot (1 - X) \leq \sigma_{\delta P_vrai} \leq \sigma_{\delta P} \cdot (1 + Y) \quad (\text{Équation 67})$$

$$X = 1 - \sqrt{\frac{N}{\chi_{1-\gamma/2}^2}} \quad (\text{Équation 68})$$

$$Y = -1 + \sqrt{\frac{N}{\chi_{\gamma/2}^2}} \quad (\text{Équation 69})$$

Le Tableau 4 donne quelques exemples de l'erreur commise sur l'estimation $\sigma_{\delta P}$ de l'écart type vrai en fonction du nombre d'échantillon et du niveau de confiance utilisé. Dans notre cas, un niveau de confiance de 99 % est utilisé pour un total de 238 échantillons mesurés expérimentalement. Cela se traduit par une erreur sur l'estimation de l'écart type (dans le cas où le rendement est optimal et qu'aucune valeur n'a été épurée de la distribution δP d'origine) de 13.8 % en positif et de 10.3 % en négatif. Des exemples sont donnés en Figure 13.

Nombre d'éléments	Incertitude supérieure Y	Incertitude inférieure X
40	44.3%	21.2%
50	37.5%	19.5%
60	32.9%	18.2%
70	29.6%	17.1%
80	27.1%	16.3%
90	25.1%	15.5%
100	23.4%	14.9%
150	18.2%	12.6%
200	15.3%	11.1%
238	13.8%	10.3%
250	13.4%	10.1%
300	12.1%	9.3%
350	11.1%	8.7%
400	10.2%	8.2%
450	9.6%	7.8%
500	9.0%	7.4%

Tableau 4 : Incertitudes supérieures et inférieures de l'intervalle de confiance correspondant à un niveau de confiance de 99 %.

A.5. Critère d'invalidité de la variabilité systématique

La composante systématique $m_{\delta P}$ peut être considérée comme étant nulle si son influence sur l'estimation de $\sigma_{\delta P}$ est négligeable. Cela signifie que $m_{\delta P}$ doit être très proche de zéro. Considérant une distribution δP suivant une loi normale avec $m_{\delta P} = 0$, cette hypothèse est rejetée avec un niveau de confiance $(1 - \alpha)$ si $Z > Z_{\alpha/2}$, Z étant une variable centrée réduite de type [Pergoot '95] :

$$Z = \frac{\langle \Delta P \rangle}{\sqrt{\frac{2 \cdot \sigma_{\Delta P}^2}{N}}} \quad (\text{Équation 70})$$

Dans notre cas (Figure 77), $m_{\delta P} = -0.11\text{mV}$ et $\sigma_{\delta P} = 22.53\text{mV}$, ce qui donne $Z=0.051$. En considérant un niveau de confiance de 99 %, nous avons $Z_{\alpha/2} = 2.576$. Par conséquent, comme $Z < Z_{\alpha/2}$, nous pouvons en conclure que le désappariement systématique a une influence négligeable sur l'estimation de $\sigma_{\delta P}$, avec un niveau de confiance de 99 %.

A.6. Méthodes d'extraction de la tension de seuil

Deux méthodes sont communément utilisées dans la communauté scientifique afin d'extraire la tension de seuil des transistors. La première est appelée « mesure à courant constant ». Le principe est d'appliquer une rampe sur la grille du transistor (avec un pas d'incrémenté donné) et de mesurer le courant de drain correspondant. Ainsi, il est possible de rechercher la tension de grille caractéristique du seuil de conduction du transistor correspondant au courant $I_{TH} = I_D(V_{T_CC}) = 10^{-7} \cdot \frac{W}{L}$ (Figure 78 (a)) en effectuant une interpolation par la méthode des moindres carrés. La méthode du courant constant a l'avantage de donner des résultats robustes, c'est-à-dire relativement indépendants des dimensions du dispositif et des paramètres d'entrée. Dans le cas présent, la variabilité de la tension de seuil sera influencée par les fluctuations de pente sous le seuil.

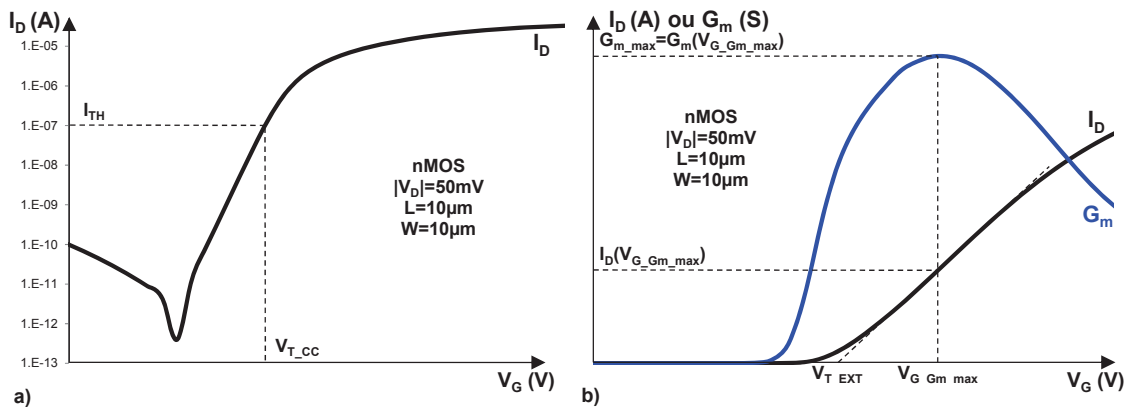


Figure 78 : $I_D(V_G)$ (en logarithmique à gauche et en linéaire à droite) et $G_m(V_G)$ (à droite) mesurés sur un transistor de $10\mu\text{m} \times 10\mu\text{m}$. Ceci illustre les procédures d'extraction du V_T mesuré à courant constant (V_{T_CC}) et du V_T extrapolé au maximum de la transconductance (V_{T_EXT})

La deuxième méthode « classique » est la mesure de la tension de seuil extrapolée. V_{T_EXT} correspond à la tension de grille extrapolée linéairement à partir du point d'inflexion de la courbe $I_D(V_G)$ au maximum de la transconductance (G_{m_max}), en régime ohmique ($|V_D|=50\text{mV}$). La transconductance correspond quant à elle à la dérivée du courant I_D par rapport à V_G . Une illustration est présentée à la Figure 78 (b). Avec cette mesure, on exacerbe l'influence de la variabilité de mobilité des porteurs et de la résistance d'accès au canal (R_{SD}) sur la variabilité du V_T .

Un comparatif en termes de variabilité entre ces deux méthodes de mesure de la tension de seuil a été réalisé sur une plaque de référence. Nous constatons à la Figure 79 que l'estimation du paramètre $A_{\Delta V_T}$ donne des résultats assez proches ($1.17\text{mV} \cdot \mu\text{m}$ avec la méthode du courant constant et $1.09\text{mV} \cdot \mu\text{m}$ pour la méthode de l'extrapolation au maximum de la transconductance).

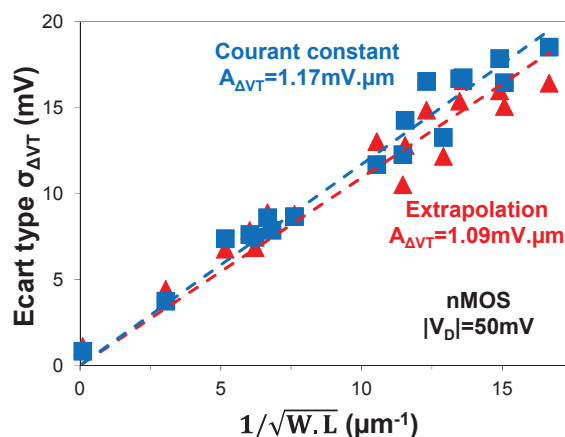


Figure 79 : $\sigma_{\Delta V_T}$ en fonction de $1/\sqrt{W.L}$. Le paramètre d'appariement $A_{\Delta V_T}$ est obtenu en mesurant les tensions de seuil par la méthode du courant constant et par la méthode de l'extrapolation au maximum de la transconductance.

A.7. Reproductibilité de la méthode

Afin de s'assurer de la validité des extractions, nous avons également réalisé des tests de reproductibilité de la mesure. En effet, en plus des sources de variabilité stochastique et systématique viennent s'ajouter des fluctuations liées au système de mesure. Cela inclut la dérive des équipements de mesure sur un laps de temps plus ou moins long. Dans le cas d'une dérive lente, les fluctuations ne peuvent pas affecter les écarts types, comme cela est illustré à la Figure 80 (a). En revanche, cela va impacter l'estimation des moyennes. D'un autre côté, les fluctuations correspondant à un laps de temps beaucoup plus court (du même ordre que le temps nécessaire pour mesurer une paire de transistor) peuvent impacter de manière significative les écarts types estimés. Afin de quantifier cette source de variabilité, nous avons effectué 100 fois la mesure d'une même paire de transistors ($L=W=10\mu\text{m}$) sans déplacer les pointes afin de ne pas être impacté par les fluctuations de résistivité des pointes [Cathignol '07]. Cette mesure a été faite en extrayant la tension de seuil par la méthode du courant constant et par la méthode de l'extrapolation au maximum de la transconductance. Nous constatons que les meilleurs résultats en reproductibilité de la mesure sont obtenus en utilisant la méthode du courant constant (Figure 80 (b)). Cela vient du fait que la recherche du G_{m_max} est entachée par un manque de précision lors de la mesure. En effet, en étudiant la dérivée du courant de drain, l'erreur induite par l'équipement de mesure est exacerbée, ce qui se traduit par une imprécision lors du calcul de la tension de seuil. Il est important de noter que ce type de source de variabilité a un impact considérable sur l'estimation des écarts types correspondants à de très grandes géométries. En effet, pour une surface de $100\mu\text{m}^2$ et un paramètre d'appariement $A_{\Delta V_T}=1.2\text{mV} \cdot \mu\text{m}$, nous attendons un écart type $\sigma_{\Delta V_T}$ de 0.12mV . Il apparaît donc de façon évidente que la variabilité stochastique de la tension de seuil ne pourra pas être estimée pertinemment en ayant une erreur sur la reproductibilité du même ordre de grandeur (voir supérieure), comme cela est le cas avec la mesure par l'extrapolation au maximum de la transconductance. C'est pour cette raison que la méthode de mesure du V_T à courant constant a été utilisée dans le cadre de cette thèse.

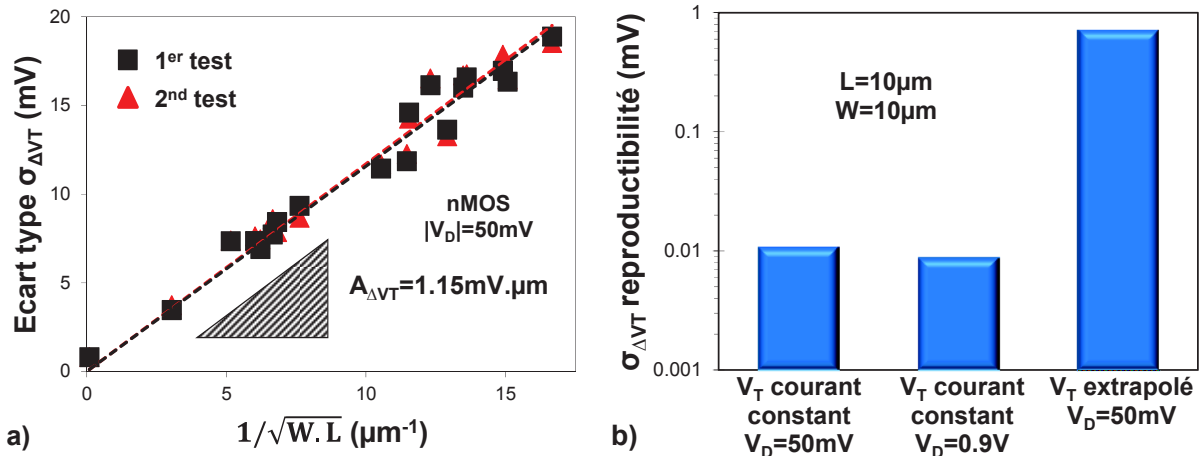


Figure 80. (a) $\sigma_{\Delta V_T}$ en fonction de $1/\sqrt{W.L}$ obtenus en mesurant à deux reprises les mêmes transistors. Les carrés noirs représentent les mesures de référence et les triangles rouges correspondent aux mesures effectuées 6 mois plus tard. (b) Etude de reproductibilité effectuée avec différentes conditions d'extraction du V_T . La mesure est répétée 100 fois afin d'extraire un écart type.

A.8. Précision de la mesure

Lors de l'estimation de l'écart type, une attention particulière doit être apportée aux conditions de mesure. En l'occurrence, deux paramètres clé doivent être ajustés : le temps d'intégration utilisé pour chacune des mesures du courant de drain et le pas d'incrémentations à appliquer sur la tension de grille afin d'extraire la tension correspondant au courant I_{TH} . En effet, ces deux paramètres permettent d'optimiser respectivement la justesse de la mesure du courant et de l'interpolation effectuée. Pour cela, nous avons comparé l'écart type estimé $\sigma_{\Delta V_T}$ entre des conditions standard de mesure (pas sur V_G de 30mV, temps d'intégration de 1ms) et des conditions optimales de mesure (pas sur V_G de 1mV, temps d'intégration de 100ms). Dans les deux cas, l'interpolation a été effectuée en utilisant la méthode des moindres carrés. Nous constatons à la Figure 81 que les conditions standard de mesure permettent d'obtenir une très bonne précision sur l'estimation de l'écart type (moins de 3 % d'erreur par rapport aux conditions optimales) tout en réduisant le temps de test par un ratio 3000.

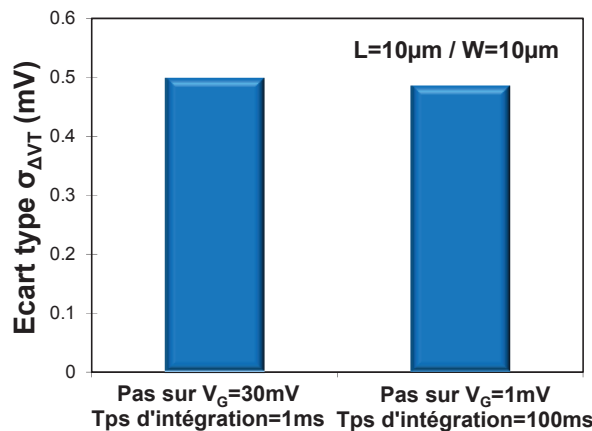


Figure 81. $\sigma_{\Delta V_T}$ mesuré sur des transistors appariés de $100\mu\text{m}^2$ pour deux conditions de test (standard et optimale)

Annexe B

Modèle de percolation permettant de calculer la tension de seuil des transistors

Dans la section 5.4, nous avons présenté un modèle analytique permettant de calculer la tension de seuil des transistors. La dépendance entre le V_T et l'épaisseur du film de silicium a été calibrée avec des simulations TCAD, sur canal long ($L=1\mu\text{m}$) et sur canal court ($L=28\text{nm}$), en régime ohmique ($|V_D|=50\text{mV}$) et en régime de saturation ($|V_D|=V_{DD}$). Le calcul du ΔV_T entre deux transistors appariés (séparés d'une distance ΔD) est effectué grâce à la mesure AFM présentée à la section 5.2 (Figure 52 (a)). La surface de $30\mu\text{m} \times 30\mu\text{m}$ est découpée en 512 lignes et en 512 colonnes, ce qui donne une distance entre deux pixels adjacents égale à 58.7nm . Cela signifie que pour de petites surfaces, le calcul de la tension de seuil n'est basé que sur une seule valeur de T_{Si} . En revanche, les transistors de plus grande surface vont occuper une zone géographique où plusieurs points de mesure ont été acquis par l'AFM. Un exemple est donné à la Figure 82, correspondant à un transistor de $500\text{nm} \times 500\text{nm}$ qui a été positionné de manière aléatoire sur l'échantillon.

	Matrice de V_T								
	Côté source							Côté drain	
W	0.41071	0.41053	0.41017	0.40982	0.41035	0.41071	0.41062	0.41053	0.41098
	0.41145	0.41098	0.41062	0.41017	0.40999	0.40999	0.41044	0.4108	0.41173
	0.41053	0.41062	0.41089	0.41026	0.40973	0.41017	0.41035	0.41089	0.41044
	0.41044	0.41044	0.41017	0.41053	0.41044	0.41053	0.41071	0.41017	0.41044
	0.41017	0.40999	0.41053	0.41035	0.41126	0.41017	0.41044	0.40964	0.4099
	0.40999	0.41008	0.40938	0.4108	0.41026	0.40982	0.41017	0.41044	0.41053
	0.41071	0.41026	0.4099	0.41017	0.4108	0.41017	0.41053	0.41035	0.40999
	0.41145	0.41136	0.41126	0.41044	0.41098	0.41044	0.41117	0.41071	0.4108
	0.41145	0.4108	0.41126	0.41154	0.41071	0.41053	0.41035	0.41044	0.41062
		L							

Figure 82 : Matrice de tension de seuil $V_T(i,j)$ calculée au sein d'un transistor de $500\text{nm} \times 500\text{nm}$. Chaque élément de la matrice est déterminé grâce aux équations de la section 5.4 et aux valeurs de la matrice $T_{Si}(i,j)$ correspondante obtenue à partir de la mesure AFM de $30\mu\text{m} \times 30\mu\text{m}$ (Figure 52 (a)). Le transistor a été positionné de manière aléatoire sur celle-ci.

La résolution de la tension de seuil totale du transistor est basée sur une recherche du chemin de percolation entre la source et le drain. La première colonne de la matrice $\text{Perco}(i,j)$ correspond aux mêmes valeurs que celles de la première colonne de la matrice $V_T(i,j)$. Ceci correspond à notre point de départ. Pour chacun des autres éléments de la matrice $\text{Perco}(i,j)$, en partant de la gauche vers le drain (c'est-à-dire de la source vers le drain), l'équation 71 est appliquée. L'objectif est de rechercher un chemin de conduction préférentiel pour les porteurs. La recherche de la valeur maximale entre l'élément $V_T(i,j)$ et de l'élément le moins résistif étant adjacent à ce point et appartenant à l'itération

précédente (c'est-à-dire dans la colonne de coordonnées i-1) permet de localiser un éventuel « col » limitant la conduction des porteurs. Une conduction à 45° est ainsi autorisée, ce qui reste vraisemblable pour les dispositifs ayant une grande longueur de grille. Ceci est vrai tant que la variation du potentiel de surface Ψ_s dans la direction W est suffisamment grande devant la variation du champ effectif longitudinale dans la direction L. En propageant le calcul itératif de la source vers le drain, nous obtenons la matrice de percolation représentée à la Figure 83. La valeur minimale présente dans la dernière colonne de la matrice $Perco(i,j)$ correspond au V_T du chemin de percolation. Dans cet exemple, elle est égale à 0.41026V.

$$Perco(i, j) = \text{MAX}[V_T(i, j); \text{MIN}[Perco(i-1, j-1); Perco(i-1, j); Perco(i-1, j+1)]] \quad (\text{Équation 71})$$

		Matrice de percolation								
		Côté source				Côté drain				
W	↑	0.41071	0.41071	0.41071	0.41062	0.41062	0.41071	0.41062	0.41053	0.41098
		0.41145	0.41098	0.41062	0.41062	0.41026	0.41026	0.41044	0.4108	0.41173
		0.41053	0.41062	0.41089	0.41026	0.41026	0.41026	0.41035	0.41089	0.41044
		0.41044	0.41044	0.41017	0.41053	0.41044	0.41053	0.41071	0.41035	0.41044
		0.41017	0.40999	0.41053	0.41035	0.41126	0.41026	0.41044	0.41026	0.41026
		0.40999	0.41008	0.40999	0.4108	0.41026	0.41026	0.41026	0.41044	0.41053
		0.41071	0.41026	0.41008	0.41017	0.4108	0.41026	0.41053	0.41035	0.41035
		0.41145	0.41136	0.41126	0.41044	0.41098	0.41071	0.41117	0.41071	0.4108
	↓	0.41145	0.41145	0.41136	0.41154	0.41071	0.41071	0.41071	0.41071	0.41071
		L								

Figure 83 : Réalisation de la matrice de percolation au sein du même transistor que celui étudié à la Figure 82. L'équation 71 est utilisée afin de résoudre les éléments de la matrice $Perco(i,j)$.

Le chemin de percolation est suivi du drain vers la source afin de déterminer les coordonnées du point résistif limitant la conduction. Les cases correspondantes sont surlignées en bleu dans l'exemple de la Figure 84. Une fois localisé (en coordonnées $i=5$ et $j=6$, dans cet exemple), l'ensemble des éléments se trouvant dans la colonne $i=5$ de la matrice de percolation sont stockés. Pour chacune de ces coordonnées, la matrice $T_{Si}(i,j)$ est réutilisée afin de calculer la pente sous le seuil locale (notée SS_i) grâce aux équations 54 et 72.

$$SS = 60 \cdot \left(1 + \frac{1}{\text{ch}\left(\frac{L}{2\lambda}\right) - 1} \right) \quad (\text{Équation 72})$$

		Matrice de percolation								
		Côté source				Côté drain				
W	↑	0.41071	0.41071	0.41071	0.41062	0.41062	0.41071	0.41062	0.41053	0.41098
		0.41145	0.41098	0.41062	0.41062	0.41026	0.41026	0.41044	0.4108	0.41173
		0.41053	0.41062	0.41089	0.41026	0.41026	0.41026	0.41035	0.41089	0.41044
		0.41044	0.41044	0.41017	0.41053	0.41044	0.41053	0.41071	0.41035	0.41044
		0.41017	0.40999	0.41053	0.41035	0.41126	0.41026	0.41044	0.41026	0.41026
		0.40999	0.41008	0.40999	0.4108	0.41026	0.41026	0.41026	0.41044	0.41053
		0.41071	0.41026	0.41008	0.41017	0.4108	0.41026	0.41053	0.41035	0.41035
		0.41145	0.41136	0.41126	0.41044	0.41098	0.41071	0.41117	0.41071	0.4108
	↓	0.41145	0.41145	0.41136	0.41154	0.41071	0.41071	0.41071	0.41071	0.41071
		L								

Figure 84 : Recherche du point résistif du chemin de percolation.

Nous avons déterminé précédemment la tension de seuil représentative de la percolation. Cependant, la présence de «canaux de conduction secondaires », parallèles au chemin de percolation, peut impacter le résultat. En effet, le courant de drain du transistor en dessous du seuil n'est pas uniquement lié à cette percolation, mais plutôt à l'ensemble des canaux élémentaires mis en parallèle dans la direction W. Par conséquent, l'équation 73 est utilisée afin d'égaliser le courant de drain I_{TH} traversant l'ensemble du dispositif (dépendant du V_T et de la pente SS du dispositif total) avec la somme des courants parcourant chacun des canaux élémentaires (possédants une tension de seuil et une pente sous le seuil individuelles, notées respectivement V_{Ti} et SS_i). Après simplification, il ne reste plus qu'à résoudre l'équation 74 pour plusieurs tensions de grille afin d'obtenir le V_T du transistor.

$$W \cdot I_{TH} \cdot \exp\left(\frac{V_G - V_T}{SS \cdot u_T}\right) = \sum_{j=1}^n \delta w_j \cdot \frac{I_{TH}}{n} \cdot \exp\left(\frac{V_G - V_{Ti}}{SS_i \cdot u_T}\right) \quad (\text{Équation 73})$$

$$\frac{V_G - V_T}{SS \cdot u_T} = \ln\left(\frac{1}{n} \cdot \sum_{j=1}^n \exp\left(\frac{V_G - V_{Ti}}{SS_i \cdot u_T}\right)\right) \quad (\text{Équation 74})$$

Différents niveaux d'implémentation des équations présentées dans cette annexe vont maintenant être étudiés. En fixant L à $2\mu\text{m}$ et en faisant varier W (entre $12\mu\text{m}$ et 80nm), la Figure 85 (a) montre que l'écart type $\sigma_{\Delta V_T, T_{Si}}$ a une évolution relativement plate pour $W < 2\mu\text{m}$ (quelle que soit l'implémentation considérée), alors que des largeurs de zone active plus grandes donnent une variabilité locale atténuée. Cette tendance est par ailleurs accentuée quand l'ensemble des canaux individuels est pris en compte dans la résolution du V_T . En effet, en augmentant fortement W, on finit par moyenner les fluctuations de T_{Si} ce qui entraîne une réduction de la variabilité locale de la tension de seuil. La Figure 85 (b) représente le même type de données quand W est fixé à $2\mu\text{m}$ alors que L varie entre $12\mu\text{m}$ et 28nm . Dans ce cas-là, les courbes restent relativement plates pour les longueurs de grille supérieures à une centaine de nanomètres (c'est-à-dire tant que le SCE et le DIBL n'interviennent pas significativement sur la pente dV_T/dT_{Si}). Une légère atténuation des écarts types des plus grandes surfaces apparaît dans les deux premiers cas de figure, mais disparaît totalement quand l'équation 74 est utilisée.

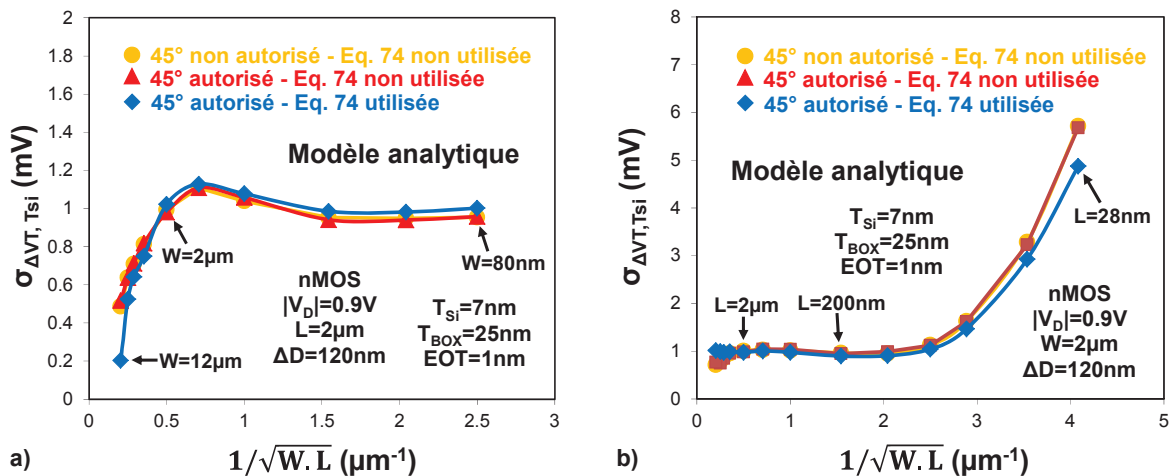


Figure 85 : $\sigma_{\Delta V_T, T_{Si}}$ en fonction de $1/\sqrt{W \cdot L}$ avec (a) $L=2\mu\text{m}$ et W variable entre $12\mu\text{m}$ et 80nm et (b) $W=2\mu\text{m}$ et L variable entre $12\mu\text{m}$ et 28nm , pour un substrat de référence ($T_{Si}=7\text{nm}$, $T_{BOX}=25\text{nm}$,

$EOT=1nm$, $RMS=0.2nm$) et $\Delta D=120nm$. Les différents niveaux d'implémentation du modèle de percolation sont présentés.

Finalement, la Figure 86 présente le $iA_{\Delta VT}$ en fonction de S pour les différents niveaux d'implémentation, avec une prise en compte des fluctuations locales de T_{Si} et d'une variabilité stochastique ayant un paramètre d'appariement $A_{\Delta VT}=1.1mV.\mu m$. Pour toute la gamme de surfaces inférieures à $25\mu m^2$, les résultats restent globalement similaires. En revanche, au-delà de $25\mu m^2$, les tendances ne sont plus les mêmes. En imposant une percolation directe entre source et drain (0°) et en négligeant l'influence des « canaux individuels secondaires », les fluctuations de T_{Si} ne sont pas significativement moyennées ce qui entraîne une évolution linéaire de $iA_{\Delta VT}$ avec S . Quand la conduction à 45° est autorisée, l'augmentation de W est beaucoup plus efficace pour atténuer le paramètre d'appariement. Le modèle prédit ainsi un début de décroissance quand S devient supérieure à environ $100\mu m^2$.

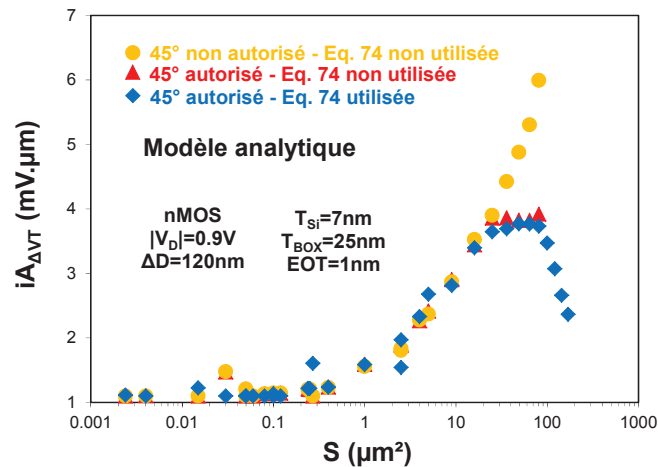


Figure 86 : $iA_{\Delta VT}$ en fonction de S pour un substrat de référence ($T_{Si}=7nm$, $T_{BOX}=25nm$, $EOT=1nm$, $RMS=0.2nm$) avec $\Delta D=120nm$. Les différents niveaux d'implémentation du modèle de percolation sont présentés. Les fluctuations locales de T_{Si} sont prises en compte, ainsi qu'une variabilité stochastique ayant un paramètre d'appariement $A_{\Delta VT}=1.1mV.\mu m$.

Bibliographie générale

- [Andrieu '07] F. Andrieu, O. Faynot, F. Rochette, J.C. Barbe, C. Buj, Y. Bogumilowicz, F. Allain, V. Delaye, D. Lafond, F. Aussenac, S. Feruglio, J. Eymery, T. Akatsu, P. Maury, L. Brevard, L. Tosti, H. Dansas, E. Rouchouze, J.-M. Hartmann, L. Vandroux, M. Casse, F. Bœuf, C. Fenouillet-Beranger, F. Brunier, I. Cayrefourcq, C. Mazure, G. Ghibaudo et S. Deleonibus, "Impact of Mobility Boosters (XsSOI, CESL, TiN Gate) on the Performance of <100> or <110> oriented FDSOI cMOSFETs for the 32nm Node", *IEEE Symposium on VLSI Technology*, 2007, p. 50-51.
- [Andrieu '10] F. Andrieu, O. Weber, J. Mazurier, O. Thomas, J-P. Noel, C. Fenouillet-Béranger, J-P. Mazellier, P. Perreau, T. Poiroux, Y. Morand, T. Morel, S. Allegret, V. Loup, S. Barnola, F. Martin, J-F. Damlencourt, I. Servin, M. Cassé, X. Garros, O. Rozeau, M-A. Jaud, G. Cibrario, J. Cluzel, A. Toffoli, F. Allain, R. Kies, D. Lafond, V. Delaye, C. Tabone, L. Tosti, L. Brevard, P. Gaud, V. Paruchuri, K.K. Bourdelle, W. Schwarzenbach, O. Bonnin, B-Y. Nguyen, B. Doris, F. Boeuf, T. Skotnicki et O. Faynot, "Low Leakage and Low Variability Ultra-Thin Body and Buried Oxide (UT2B) SOI Technology for 20nm Low Power CMOS and Beyond", *IEEE Symposium on VLSI Technology*, 2010, p. 57-58.
- [Asenov '02] A. Asenov, S. Kaya et J.H. Davies, "Intrinsic threshold voltage fluctuations in decanano MOSFETs due to local oxide thickness variations", *IEEE Transactions on Electron Devices*, Vol. 49, N° 1, 2002, p. 112-119.
- [Asenov '03] A. Asenov, S. Kaya et A.R. Brown, "Intrinsic parameter fluctuations in decanometer MOSFETs introduced by gate line edge roughness", *IEEE Transactions on Electron Devices*, Vol. 50, N° 5, 2003, p. 1254-1260.
- [Asenov '07] A. Asenov, "Simulation of Statistical Variability in Nano MOSFETs", *IEEE Symposium on VLSI Technology*, 2007, p. 86-87.
- [ATLAS] Manuel d'utilisation d'ATLAS, SILVACO, 2008.
- [Barral '07] V. Barral, T. Poiroux, F. Andrieu, C. Buj-Dufournet, O. Faynot, T. Ernst, L. Brevard, C. Fenouillet-Beranger, D. Lafond, J.M. Hartmann, V. Vidal, F. Allain, N. Daval, I. Cayrefourcq, L. Tosti, D. Munteanu, J.L. Autran et S. Deleonibus, "Strained FDSOI CMOS technology scalability down to 2.5nm film thickness and 18nm gate length with a TiN/HfO₂ gate stack", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2007, p. 61-64.
- [Barraud '08] S. Barraud, O. Bonno et M. Cassé, "The influence of Coulomb centers located in HfO₂/SiO₂ gate stacks on the effective electron mobility", *Journal of Applied Physics*, Vol. 104, N° 7, 2008, p. 073725-(1-10)
- [Benosman '11] M. Benosman, "Extraction des paramètres du modèle compact UTSOI dédié au transistor FDSOI non dopé", manuscrit de DRT, Institut Polytechnique de Grenoble, 2011.
- [Bhavnagarwala '00] A. Bhavnagarwala, A. Kapoor et J. Meindl, "Fluctuation Limits on Scaling of CMOS SRAMs", *European Solid-State Device Research Conference (ESSDERC)*, 2000, p. 472-475.

- [Bhavnagarwala '05] A. Bhavnagarwala, S. Kosonocky, C. Radens, K. Stawiasz, R. Mann, Q. Ye et K. Chin, "Fluctuation Limits & Scaling Opportunities for CMOS SRAM Cells", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2005, p. 659-662.
- [Bowman '00] K. A. Bowman, X. Tang, J. C. Eble et J. D. Meindl, "Impact of Extrinsic and Intrinsic Parameter Fluctuations on CMOS Circuit Performance", *IEEE Journal of Solid-State Circuits*, Vol. 35, n° 8, August, 2000, pp. 1186-1193.
- [Brael '95] M. Brael, "Silicon on insulator material technology", *Electronics Letters*, Vol. 31, N° 14, 1995, p. 1201-1202.
- [Burnett '94] D. Burnett, K. Erington, C. Subramanian et K. Baker, "Implications of fundamental threshold voltage variations for high-density SRAM and logic circuits", *IEEE Symposium on VLSI Technology*, 1994, p. 15-16.
- [Calhoun '05] B.H. Calhoun et A. Chandrakasan, "Analyzing Static Noise Margin for Sub-threshold SRAM in 65nm CMOS", *Proceedings of the 31st European Solid-State Circuits Conference*, 2005, p. 363-366.
- [Cathignol '06] A. Cathignol, K. Rochereau, S. Bordez et G. Ghibaudo, «Improved methodology for better accuracy on transistors matching characterization», *IEEE International Conference on Microelectronics Test Structures (ICMTS)*, 2006, p. 173-178.
- [Cathignol '07] A. Cathignol, S. Bordez, K. Rochereau et G. Ghibaudo, "From MOSFET Matching Test Structures to Matching Data Utilization: Not an Ordinary Task", *IEEE International Conference on Microelectronic Test Structures (ICMTS)*, 2007, p. 230-233.
- [Chatterjee '97] A. Chatterjee, R.A. Chapman, G. Dixit, J. Kuehne, S. Hattangady, H. Yang, G.A. Brown, R. Aggarwal, U. Erdogan, Q. He, M. Hanratty, D. Rogers, S. Murtaza, S.J. Fang, R. Kraft, A.L.P. Rotondaro, J.C. Hu, M. Terry, W. Lee, C. Fernando, A. Konecni, G. Wells, D. Frystak, C. Bowen, M. Rodder et I.-C. Chen, "Sub-100 nm gate length metal gate nmos transistors fabricated by a replacement gate process", *International Electron Device Meeting (IEDM) Technical Digest*, 1997, p. 821-824.
- [Cheng '06a] B. Cheng, S. Roy, G. Roy, A. Brown et A. Asenov, "Impact of Random Dopant Fluctuation on Bulk CMOS 6-T SRAM Scaling", *European Solid-State Device Research Conference (ESSDERC)*, 2006, p. 258-261.
- [Cheng '06b] B. Cheng, S. Roy et A. Asenov, "Impact of Intrinsic Parameter Fluctuations on SRAM Cell Design", *International Conference on Solid-State and Integrated Circuit Technology (ICSICT)*, 2006, p. 258-261.
- [Cheng '09] K. Cheng, A. Khakifirooz, P. Kulkarni, S. Ponoth, J. Kuss, D. Shahrjerdi, L. F. Edge, A. Kimball, S. Kanakasabapathy, K. Xiu, S. Schmitz, A. Reznicek, T. Adam, H. He, N. Loubet, S. Holmes, S. Mehta, D. Yang, A. Upham, S.-C. Seo, J. L. Herman, R. Johnson, Y. Zhu, P. Jamison, B. S. Haran, Z. Zhu, L. H. Vanamurth, S. Fan, D. Horak, H. Bu, P. J. Oldiges, D. K. Sadana, P. Kozlowski, D. McHerron, J. O'Neill et B. Doris, "Extremely Thin SOI (ETSOI) CMOS with Record Low Variability for Low Power System-on-Chip Applications", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2009, p. 49-52.
- [Cheng '10] B. Cheng, D. Dideban, N. Moezi, C. Millar, G. Roy, X. Wang, S. Roy et A. Asenov, "Capturing intrinsic parameter fluctuations using the PSP compact model", *Design, Automation & Test in Europe Conference & Exhibition (DATE)*, 2010, p. 650-653.

- [Choi '00] Y.-K. Choi, K. Asano, N. Lindert, V. Subramanian, T.-J. King, J. Bokor, et C. Hu, "Ultrathin-body SOI MOSFET for deep-sub-tenth micron era", *IEEE Electron Devices Letters*, Vol. 21, N° 5, 2000, p. 254-255.
- [Cochran '54] W.G. Cochran, "Some Methods for Strengthening the Common chi-squared Tests", *Biometrics (International Biometric Society)*, Vol. 10, N° 4, Décembre, 1954, p. 417-451.
- [Colinge '97] J.P. Colinge, "Silicon-On-Insulator Technology: Materials to VLSI, 2nd Edition", Springer, 1997.
- [Colinge '07] J.-P. Colinge, "FinFETs and Other Multi-Gate Transistors", *Integrated Circuits and Systems, Springer*, Décembre, 2007.
- [Croon '02] J.A. Croon, G. Storms, S. Winkelmeier et al., I. Pollentier, M. Ercken, S. Decoutere, W. Sansen et H.E. Maes, "Line edge roughness : Characterization, modeling and impact on device behaviour", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2002, p. 307-310.
- [Dadgour '10] H.F. Dadgour, K. Endo, V.K. De et K. Banerjee, "Grain-Orientation Induced Work Function Variation in Nanoscale Metal-Gate Transistors-Part I: Modeling, Analysis, and Experimental Validation", *IEEE Transactions on Electron Devices*, Vol. 57, N° 10, Octobre, 2010, p. 2504-2514.
- [Damlencourt '06] J.F. Damlencourt, B. Vincent, P. Rivallin, P. Holliger, D. Rouchon, E. Nolot, C. Licitra, Y. Morand, L. Clavelier et T. Billon, "Fabrication of SiGe-On-Insulator by Improved Ge condensation technique", *Third International SiGe Technology and Device Meeting (ISTDM)*, 2006, p. 202-208.
- [Delprat '09] D. Delprat, F. Boedt, C. David, P. Reynaud, A. Alami-Idrissi, D. Landru, C. Girard et C. Maleville, "SOI substrate readiness for 22/20 nm and for fully depleted planar device architectures", *IEEE International SOI Conference*, 2009, p. 120-123.
- [Dorda '71] G. Dorda, "Piezoresistance in Quantized Conduction Bands in Silicon Inversion Layers", *Journal of Applied Physics*, Vol. 42, N° 5, 1971, p. 2053-2060.
- [Drennan '06] P.G. Drennan, M.L. Kniffin et D.R. Locascio, "Implications of Proximity Effects for Analog Design", *IEEE Custom Integrated Circuits Conference (CICC)*, 2006, p. 169-176.
- [Ernst '99] T. Ernst et S. Cristoloveanu, "The GP concept for the reduction of short-channel effect in fully depleted SOI devices", *Electrochemical Society Proceedings*, Vol. 99-3, 1999, p. 329-334.
- [Faynot '10] O. Faynot, F. Andrieu, O. Weber, C. Fenouillet-Béranger, P. Perreau, J. Mazurier, T. Benoist, O. Rozeau, T. Poiroux, M. Vinet, L. Grenouillet, J-P. Noel, N. Posseme, S. Barnola, F. Martin, C. Lapeyre, M. Cassé, X. Garros, M-A. Jaud, O. Thomas, G. Cibrario, L. Tosti, L. Brévard, C. Tabone, P. Gaud, S. Barraud, T. Ernst and S. Deleonibus, "Planar Fully Depleted SOI Technology: a powerful architecture for the 20nm node and beyond", *IEEE Symposium on VLSI Technology*, 2010, p. 50-53.
- [Fenouillet '04] C. Fenouillet-Beranger, T. Skotnicki, S. Monfray, N. Carriere et F. Boeuf, "Requirements for ultra-thin film devices and new materials for the CMOS roadmap", *Solide-State Electronics*, vol. 48, no. 6, 2004, p. 961-967.
- [Fenouillet '09a] C. Fenouillet-Beranger, P. Perreau, S. Denorme, L. Tosti, F. Andrieu, O. Weber, S. Barnola, C. Arvet, C. Campidelli, S. Haendler, R. Beneyton, C. Perrot, C. de Buttet, P. Gros, L. Pham-Nguyen, F. Leverd, P. Gouraud, F. Abbate, F. Baron, A. Torres, C. Laviro, L. Pinzelli, J. Vetier, C. Borowiak, A. Margain, D. Delprat, F. Boedt, K. Bourdelle, B.-Y. Nguyen, O. Faynot et T.

- Skotnicki, "Impact of a 10nm Ultra-Thin BOX (UTBOX) and Ground Plane on FDSOI devices for 32nm node and below", Proceedings of the European Solid State Device Research Conference (ESSDERC), 2009, p. 89-92.
- [Fenouillet '09b] C. Fenouillet-Beranger, P. Perreau, L. Pham-Nguyen, S. Denorme, F. Andrieu, L. Tosti, L. Brevard, O. Weber, C. Buj, S. Barnola, T. Salvétat, X. Garros, M. Cassé, C. Leroux, B. Le-Gratiet, F. Baron, M. Gattefait, Y. Campidelli, F. Abbate, C. Perrot, C. de-Buttet, R. Beneyton, L. Pinzelli, F. Leverd, P. Gouraud, M. Gros-Jean, A. Bajolet, C. Mezzomo, C. Leyris, S. Haendler, D. Noblet, L. Clement, R. Pantel, A. Margain, C. Borowiak, E. Josse, N. Planes, F. Boeuf, O. Faynot et T. Skotnicki, "Hybrid FDSOI/Bulk high-k/Metal gate platform for Low Power (LP) multimedia technology", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2009, p. 667-670.
- [Fenouillet '10] C. Fenouillet-Beranger, O. Thomas, P. Perreau, J-P. Noel, A. Bajolet, S. Haendler, L. Tosti, S. Barnola, R. Beneyton, C. Perrot, C. de Buttet, F. Abbate, F. Baron, B. Pernet, Y. Campidelli, L. Pinzelli, P. Gouraud, M. Cassé, C. Borowiak, O. Weber, F. Andrieu, K.K. Bourdelle, B.Y. Nguyen, F. Boedt, S. Denorme, F. Boeuf, O. Faynot et T. Skotnicki, "Efficient Multi-V_T FDSOI technology with UTBOX for low power circuit design", *IEEE Symposium on VLSI Technology*, 2010, p. 65-66.
- [Fenouillet '11] C. Fenouillet-Beranger, P. Perreau, L. Tosti, O. Thomas, J.-P. Noel, T. Benoist, O. Weber, F. Andrieu, A. Bajolet, S. Haendler, M. Cassé, X. Garros, K.K. Bourdelle, F. Boedt, O. Faynot et F. Boeuf, "Low power UTBOX and Back Plane (BP) FDSOI technology for 32nm node and below", *IEEE Conference on IC Design & Technology (ICICDT)*, 2011, p. 1-4.
- [Fischetti '02] M. V. Fischetti, F. Gamiz et W. Hänsch, "On the enhanced electron mobility in strained-silicon inversion layers", *Journal of Applied Physics*, Vol. 92, N° 12, 2002, p. 7320-7324.
- [Flatresse '12] P. Flatresse, G. Cesana et X. Cauchy, "Planar fully depleted silicon technology to design competitive SOC at 28nm and beyond", ST white paper, available at : http://www.soiconsortium.org/pdf/fullydepletedsoi/planar_fd_silicon_technology_competitive_soc_28nm.pdf
- [Fujiwara '05] M. Fujiwara, T. Morooka, N. Yasutake, K. Ohuchi, N. Aoki, H. Tanimoto, M. Kondo, K. Miyano, S. Inaba, K. Ishimaru et H. Ishiuchi, "Impact of BOX scaling on 30nm gate length FD SOI MOSFETS", *IEEE International SOI Conference*, 2005, p. 180-182.
- [Gallon '06] C. Gallon, C. Fenouillet-Beranger, A. Vandooren, F. Boeuf, S. Monfray, F. Payet, S. Orain, V. Fiori, F. Salvetti, N. Loubet, C. Charbuillet, A. Toffoli, F. Allain, K. Romanjek, I. Cayrefourcq, B. Ghyselen, C. Mazuré, D. Delille, F. Judong, C. Perrot, M. Hopstaken, P. Scheblin, P. Rivallin, L. Brevard, O. Faynot, S. Cristoloveanu et T. Skotnicki, "Ultra-Thin Fully Depleted SOI Devices with Thin BOX, Ground Plane and Strained Liner Booster", *IEEE International SOI Conference*, 2006, p. 17-18.
- [Gallon '07] C. Gallon, "Architectures avancées de transistors CMOS SOI pour le noeud 32 nm et en deçà: films ultra-fins, contraintes mécaniques, BOX mince et plan de masse", Institut National Polytechnique de Grenoble, 2007.
- [Ghyselen '04] B. Ghyselen, J.-M. Hartmann, T. Ernst, C. Aulnette, B. Osternaud, Y. Bogumilowicz, A. Abbadie, P. Besson, O. Rayssac, A. Tiberj, N. Daval, I. Cayrefourcq, F. Fournel, H. Moriceau, C. Di Nardo, F. Andrieu, V. Paillard, M. Cabié, L. Vincent, E. Snoeck, F. Cristiano, A. Rocher, A. Ponchet, A. Claverie, P. Boucaud, M.-N. Semeria, D. Bensahel, N. Kernevez et C. Mazure, "Engineering strained silicon on insulator wafers with the Smart

- CutTM technology", *Solid-State Electronics*, Vol. 48, N° 8, 2004, p. 1285-1296.
- [Guillaumot '02] B. Guillaumot, X. Garros, F. Lime, K. Oshima, B. Tavel, J.A. Chroboczek, P. Masson, R. Truche, A. Papon, F. Martin, J.F. Damlencourt, S. Maitrejean, M. Rivoire, C. Leroux, S. Cristoloveanu, G. Ghibaudo, J.L. Autran, T. Skotnicki et S. Deleonibus, "75 nm damascene metal gate and high-k integration for advanced cmos devices", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2002, p. 355-358.
- [Haizhou '06] H. Yin, Z. Ren, H. Chen, J. Holt, X. Liu, J.W. Sleight, K. Rim, V. Chan, D.M. Fried, Y.H. Kim, J.O. Chu, B.J. Greene, S.W. Bedell, G. Pfeiffer, R. Bendernagel, D.K. Sadana, T. Kanarsky, C.Y. Sung, M. Jeong et D. Shahidi, "Intergation of Local Stress Techniques with Strained-Si Directly On Insulator (SSDOI) Substrates", *IEEE Symposium on VLSI Technology*, 2006, p. 76-77.
- [Hisamoto '89] D. Hisamoto, T. Kaga, Y. Kawamoto, et E. Takeda, "A fully depleted lean-channel transistor (DELTA)-a novel vertical ultra thin SOI MOSFET", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 1989, p. 833-836.
- [Huang '99] X. Huang, W.-C. Lee, C. Kuo, D. Hisamoto, L. Chang, J. Kedzierski, E. Anderson, H. Takeuchi, Y.-K. Choi, K. Asano, V. Subramanian, T.-J. King, J. Bokor, et C. Hu, "Sub 50-nm FinFET: PMOS", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 1999, p. 67-70.
- [Hutin '10] L. Hutin, M. Cassé, J.-F. Damlencourt, A. Pouydebasque, C. Xu, C. Tabone, J.-M. Hartmann, V. Carron, H. Grampeix, V. Mazzocchi, R. Truche, O. Weber, P. Batude, X. Garros, L. Clavelier, M. Vinet et O. Faynot, "20nm Gate Length Trigate pFETs on Strained SGOI for High Performance CMOS", *IEEE Symposium on VLSI Technology*, 2010, p. 37-38.
- [Ishigaki '08] T. Ishigaki, R. Tsuchiya, Y. Morita, H. Yoshimoto, N. Sugii, T. Iwanatsu, H. Oda, Y. Inoue, T. Ohtou, T. Hiramoto et S. Kimura, "Silicon on Thin BOX (SOTB) CMOS for Ultralow Standby Power with Forward-biasing Performance Booster", *European Solid State Device Research Conference (ESSDERC)*, 2008, p. 198-201.
- [Itoh '09] K. Itoh, "Adaptive Circuits for the 0.5-V nanoscale CMOS era", *IEEE International Solid-State Circuits Conference (ISSCC) – Digest of Technical Papers*, 2009, p. 14-20.
- [ITRS '11] "International Technology Roadmap For Semiconductors", Edition 2011, available at: <http://www.itrs.net/Links/2011ITRS/Home2011.htm>
- [Jan '09] C.-H. Jan, M. Agostinelli, M. Buehler, Z.-P. Chen, S.-J. Choi, G. Curello, H. Deshpande, S. Gannavaram, W. Hafez, U. Jalan, M. Kang, P. Kolar, K. Komeyli, B. Landau, A. Lake, N. Lazo, S.-H. Lee, T. Leo, J. Lin, N. Lindert, S. Ma, L. McGill, C. Meining, A. Paliwal, J. Park, K. Phoa, I. Post, N. Pradhan, M. Prince, A. Rahman, J. Rizk, L. Rockford, G. Sacks, A. Schmitz, H. Tashiro, C. Tsai, P. Vandervoorn, J. Xu, L. Yang, J.-Y. Yeh, J. Yip, K. Zhang, Y. Zhang et P. Bai, "A 32nm SoC platform technology with 2nd generation High-k/ Metal Gate Transistors Optimized for Ultra Low Power, High Performance, and High Density Product Applications", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2009, p. 647-650.
- [Jaud '10] M.-A. Jaud, P. Scheiblin, S. Martinie, M. Cassé, O. Rozeau, J. Dura, J. Mazurier, A. Toffoli, O. Thomas, F. Andrieu et O. Weber, "TCAD simulation vs. experimental results in FDSOI technology: From advanced mobility modeling to 6T-SRAM cell characteristics prediction", *International*

-
- Conference on Simulation of Semiconductor Processes and Devices (SISPAD)*, 2010, p. 283-286.
- [Kanno '07] M. Kanno, A. Shibuya, M. Matsumura, K. Tamura, H. Tsuno, S. Mori, Y. Fukuzaki, T. Gocho, H. Ansai et N. Nagashima, "Empirical Characteristics and Extraction of Overall Variations for 65-nm MOSFETs and Beyond", *IEEE Symposium on VLSI Technology*, 2007, p. 88-89.
- [Kanno '11] K. M. Kanno, M. D. Giles, D. Becher, P. Kolar, A. Kornfeld, R. Kotlyar, S. T. Ma, A. Maheshwari et S. Mudanai, "Process Technology Variation", *IEEE Trans. Electron Devices*, Vol. 58, N° 8, Août, 2011, p. 2197-2208.
- [Khakifirooz '12] A. Khakifirooz, K. Cheng, T. Nagumo, N. Loubet, T. Adam, A. Reznicek, J. Kuss, D. Shahrjerdi, R. Sreenivasan, S. Ponoth, H. He, P. Kulkarni, Q. Liu, P. Hashemi, P. Khare, S. Luning, S. Mehta, J. Gimbert, Y. Zhu, Z. Zhu, J. Li, A. Madan, T. Levin, F. Monsieur, T. Yamamoto, S. Naczas, S. Schmitz, S. Holmes, C. Aulnette, N. Daval, W. Schwarzenbach, B.-Y. Nguyen, V. Paruchuri, M. Khare, G. Shahidi et B. Doris, "Strain Engineered Extremely Thin SOI (ETSOI) for High-Performance CMOS", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2012, p. 117-118.
- [Kim '02] S.-D. Kim, C.-M. Park et J.-C.-S. Woo, "Advanced Model and Analysis of Series Resistance for CMOS Scaling Into Nanometer Regime-Part II: Quantitative Analysis", *IEEE Transactions on Electron Devices*, Vol. 49, Issue 3, MArch, 2002, p. 467-472.
- [Kim '04] S.-D. Kim, H. Wada et J.C.S. Woo, "TCAD-based statistical analysis and modeling of gate line-edge roughness effect on nanoscale MOS transistor performance and scaling", *IEEE Transactions on Semiconductor Manufacturing (TSM)*, Vol. 17, Issue 2, May, 2004, p. 192-200.
- [Kinget '96] P. Kinget et M. Steyaert, "Impact of transistor mismatch on the speed-accuracy-power trade-off of analog CMOS circuits", *Proceedings of the IEEE Custom Integrated Circuits Conference*, 1996, p. 333-336.
- [Kuhn '07] K. J. Kuhn, "Reducing Variation in Advanced Logic Technologies: Approches to Process and Design for Manufactuability of Nanoscale CMOS", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2007, p. 471-474.
- [Kuhn '11] K. J. Kuhn, "Process Technology Variation", *IEEE Transactions on Electron Devices*, Août, 2011, Vol. 58, N° 8, p. 2197-2208.
- [Kuroda '96a] T. Kuroda, T. Fujita, S. Mita, T. Nagamatsu, S. Yoshioka, F. Sano, M. Norishima, M. Murota, M. Kako, M. Kinugawa, M. Kakumu et T. Sakurai, "A 0.9-V, 150-MHz, 10-mW, 4 mm², 2-D discrete cosine transform core processor with variable-threshold-voltage scheme", *IEEE International Solid-State Circuits Conference (ISSCC)*, 1996, p. 166-167.
- [Kuroda '96b] T. Kuroda, T. Fujita, S. Mita, T. Nagamatsu, S. Yoshioka, K. Suzuki, F. Sano, M. Norishima, M. Murota, M. Kako, M. Kinugawa, M. Kakumu et T. Sakurai, "A 0.9-V, 150-MHz, 10-mW, 4 mm², 2-D discrete cosine transform core processor with variable threshold-voltage (VT) scheme", *IEEE Journal of Solid-State Circuits*, Vol. 31, N° 11, 1996, p. 1770-1779.
- [Lacord '12] J. Lacord, G. Ghibaudo et F. Boeuf, "A Comparative Study of Minimal Supply Voltage of 6T-SRAM at the 16nm node using MASTAR into a Conventional CAD Environment", *International Conference on Solid State Devices and Materials (SSDM)*, 2012.
- [Lakshmikumar '86] K.R. Lakshmikumar, R.A. Hadaway et M.A. Copeland, "Characterisation and modeling of mismatch in MOS transistors for precision analog design", *IEEE Journal of Solid-State Circuits*, Vol. 21, N° 6, p. 1057-1066.
-

- [Leray '90] J.L. Leray, E. Dupont-Nivet, J.F. Peret, Y.M. Coïc, M. Raffaelli, A.J. Auberton-Hervé, M. Bruel, B. Giffard et J. Margail, "CMOS/SOI hardening at 100 Mrad (SiO₂)", *IEEE Transactions on Nuclear Science*, Vol. 37, N° 6, 1990, p. 2013-2019.
- [Lim '83] H.-K. Lim et J. G. Fossum, "Threshold Voltage of Thin-Film Silicon-on-Insulator (SOI) MOSFET's", *IEEE Transactions on Electron Devices*, Vol. 30, N° 10, Octobre, 1983, p. 1244-1251.
- [Linder '07] B.P. Linder, V. Narayanan, V.K. Paruchuri, E. Cartier et S. Kanakasabapathy, "Gate First PFET Poly-Si/TiN/Al₂O₃ Gate Stacks with Inversion Thickness Less than 15Å for High Performance or Low Power CMOS Applications", *International Conference on Solid State Devices and Materials (SSDM)*, 2007, p. 16-17.
- [Linn '98] C. G. Linnenbank, W. Weber, U. Kollmer, B. Holzapfl, S. Sauter, U. Schaper, R. Brederlow, S. Cyrusian, S. Kessel, R. Heinrich, E. Hoefig, G. Knoblinger, A. Hesener et R. Thewes, "What Do Matching Results of Medium Area MOSFETs Reveal for Large Area Devices in Typical Analog Applications", *European Solid-State Device Research Conference (ESSDERC)*, 1998, p. 104-107.
- [Liu '10] Y.X. Liu, K. Endo, S. O'uchi, T. Kamei, J. Tsukada, H. Yamauchi, Y. Ishikawa, T. Hayashida, K. Sakamoto, T. Matsukawa, A. Ogura et M. Masahara, "On the Gate-Stack Origin Threshold Voltage Variability in Scaled FinFETs and Multi-FinFETs", *IEEE Symposium on VLSI Technology*, 2010, p. 101-102.
- [Makosiej '12] A. Makosiej, O. Thomas, A. Vladimirescu et A. Amara, "Stability and yield-oriented ultra-low-power embedded 6T SRAM cell design optimization", *Design, Automation & Test in Europe Conference & Exhibition (DATE)*, 2012, p. 93-98.
- [Malavasi '01] E. Malavasi, S. Zanella, J. Uschersohn, M. Misheloff et C. Guardiani, "Impact analysis of process variability on digital circuits with performance limited yield", *IEEE International Workshop on Statistical Methodology*, 2001, p. 60-63.
- [Maleville '06] C. Maleville, "SOI material readiness for 45nm and sub-45nm device options", *ECS Transactions*, Vol. 3, N° 4, 2006, p. 397-407.
- [Markov '12] S. Markov, B. Cheng et A. Asenov, "Statistical Variability in Fully Depleted SOI MOSFETs Due to Random Dopant Fluctuations in the Source and Drain Extensions", *IEEE Electron Device Letters*, Vol. 33, N° 3, Mars, 2012, p. 315-317.
- [Masuda '05] H. Masuda, S. Ohkawa, A. Kurokawa et M. Aoki, "Challenge: variability characterization and modeling for 65- to 90-nm processes", *Proceedings of the IEEE Custom Integrated Circuits Conference*, 2005, p. 593-599.
- [Matsukawa '12] T. Matsukawa, Y. Liu, W. Mizubayashi, J. Tsukada, H. Yamauchi, K. Endo, Y. Ishikawa, S. O'uchi, H. Ota, S. Migita, Y. Morita et M. Masahara, "Suppressing V_t and G_m Variability of FinFETs Using Amorphous Metal Gates for 14nm and Beyond", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2012.
- [Mazellier '08] J.P. Mazellier, F. Andrieu, O. Faynot, L. Brevard, C. Buj, S. Cristoloveanu, Y. Le Tiec et S. Deleonibus, "Threshold Voltage in Ultra Thin FDSOI CMOS: Advanced Triple Interface Model and Experimental Devices", *International Conference on Ultimate Integration of Silicon*, 2008, p. 31-34.

- [Mazuré '10] C. Mazuré, R. Ferrant, B.-Y. Nguyen, W. Schwarzenbach et C. Moulin, "FDSOI: From Substrate to Devices and Circuit Applications", *European Solid-State Circuits Conference (ESSCIRC)*, 2010, p. 45-51.
- [Mazurier '10] J. Mazurier, O. Weber, F. Andrieu, F. Allain, C. Tabone, A. Toffoli, C. Fenouillet-Beranger, L. Brevard, L. Tosti, P. Perreau, M. Belleville et O. Faynot, "High Performance and Low Variability Fully-Depleted Strained-SOI MOSFETs", *IEEE International SOI Conference*, 2010, p. 46-47.
- [Mazurier '11a] J. Mazurier, O. Weber, F. Andrieu, A. Toffoli, F. Allain, O. Thomas, J.-P. Noel, M. Belleville et O. Faynot, "Ultra-Thin Body and Buried Oxide (UTBB) FDSOI technology with low variability and power management capability", *Proceedings of VARI*, 2011.
- [Mazurier '11b] J. Mazurier, O. Weber, F. Andrieu, A. Toffoli, O. Rozeau, T. Poiroux, F. Allain, P. Perreau, C. Fenouillet-Beranger, O. Thomas, M. Belleville et O. Faynot, "On the variability in Planar FDSOI Technology: From MOSFETs to SRAM cells", *IEEE Transactions on Electron Devices*, vol. 58, no. 8, 2011, p. 2326-2336.
- [Mazurier '11c] J. Mazurier, O. Weber, F. Andrieu, F. Allain, L. Tosti, L. Brevard, O. Rozeau, M.-A. Jaud, P. Perreau, C. Fenouillet-Beranger, F.A. Khaja, B. Colombeau, G. De Cock, G. Ghibaudo, M. Belleville, O. Faynot et T. Poiroux, "Drain current variability and MOSFET parameters correlations in planar FDSOI technology", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2011, p. 575-578.
- [Mistry '07] K. Mistry, C. Allen, C. Auth, B. Beattie, D. Bergstrom, M. Bost, M. Brazier, M. Buehler, A. Cappellani, R. Chau, C.-H. Choi, G. Ding, K. Fischer, T. Ghani, R. Grover, W. Han, D. Hanken, M. Hattendorf, J. He, J. Hicks, R. Huessner, D. Ingerly, P. Jain, R. James, L. Jong, S. Joshi, C. Kenyon, K. Kuhn, K. Lee, H. Liu, J. Maiz, B. McIntyre, P. Moon, J. Neiryneck, S. Pae, C. Parker, D. Parsons, C. Prasad, L. Pipes, M. Prince, P. Ranade, T. Reynolds, J. Sandford, L. Shifren, J. Sebastian, J. Seiple, D. Simon, S. Sivakumar, P. Smith, C. Thomas, T. Troeger, P. Vandervoorn, S. Williams et K. Zawadzki, "A 45nm logic technology with high-k+metal gate transistors, strained silicon, 9 cu interconnect layers, 193nm dry patterning, and 100percent pb-free packaging", *IEEE International Electron Devices Meeting (IEDM)*, 2007, p. 247-250.
- [Montgomery '01] D.C. Montgomery, "Introduction to Statistical Quality Control", Edition Wiley, 2001.
- [Moore '65] G.E. Moore, "Cramming More Components Onto Integrated Circuits", *Electronics*, Vol. 38, N° 8, 1965, p. 114-117.
- [Morooka '08] T. Morooka, " V_T Variation Suppressed Al₂O₃ Capped HfO₂ Gate Dielectrics for Low V_t pMOSFETs with High-k/Metal Gate Stacks", *Proceedings of the International Conference on Solid State Devices and Materials (SSDM)*, 2008, p. 24-25.
- [Morita '08] Y. Morita, R. Tsuchiya, T. Ishigaki, N. Sugii, T. Iwamatsu, T. Ipposhi, H. Oda, Y. Inoue, K. Torii et S. Kimura, "Small V_{th} variability Achieved by Intrinsic Silicon on Thin BOX (SOTB) CMOS with Single Metal Gate", *IEEE Symposium on VLSI Technology*, 2008, p. 166-167.
- [Mukhopadhyay '08] S. Mukhopadhyay, H. Mahmoodi et K. Roy, "Reuction of Parametric Failures in Sub-100-nm SRAM Array Using Body Bias", *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 27, N° 1, Janvier, 2008, p. 174-183.

- [Nadarajah '08] S. Nadarajah et S. Kotz, "Exact Distribution of the Max/Min of Two Gaussian Random Variables", *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, Vol. 16, N° 2, 2008, p. 210-212.
- [Nassif '86] S.R. Nassif, A.J. Strojwas et S.W. Director, "A Methodology for Worst-Case Analysis of Integrated Circuits", *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 5, N° 1, Janvier, 1986, p. 104-113.
- [Noel '09] J.-P. Noel, O. Thomas, C. Fenouillet-Beranger, M.-A. Jaud, P. Scheiblin et A. Amara, "A simple and efficient concept for setting up multi- V_T devices in thin BOX fully-depleted SOI technology", *European Solid State Device Research Conference (ESSDERC)*, 2009, p. 137-140.
- [Noel '10] J.-P. Noel, O. Thomas, M.-A. Jaud, C. Fenouillet-Beranger, P. Rivallin, P. Scheiblin, T. Poiroux, F. Boeuf, F. Andrieu, O. Weber, O. Faynot et A. Amara, "UT2B-FDSOI device architecture dedicated to low power design techniques", *European Solid State Device Research Conference (ESSDERC)*, 2010, p. 210-213.
- [Noel '11] J.-P. Noel, O. Thomas, M.-A. Jaud, O. Weber, T. Poiroux, C. Fenouillet-Beranger, P. Rivallin, P. Scheiblin, F. Andrieu, M. Vinet, O. Rozeau, F. Boeuf, O. Faynot et A. Amara, "Multi- V_T UTBB FDSOI Device Architectures for Low Power CMOS Circuit", *IEEE Transactions on Electron Devices*, vol. 58, no. 8, 2011, p. 2473-2482.
- [Ohmori '08] K. Ohmori, T. Matsuki, D. Ishikawa, T. Morooka, T. Aminaka, Y. Sugita, T. Chikyow, K. Shiraishi, Y. Nara et K. Yamada, "Impact of additional factors in threshold voltage variability of metal/high-k gate stacks and its reduction by controlling crystalline and grain size in the metal gates", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2008, p. 409-412.
- [Oowaki '98] Y. Oowaki, M. Noguchi, S. Takagi, D. Takashima, M. Ono, Y. Matsunaga, K. Sunouchi, H. Kawaguchiya, S. Matsuda, M. Kamoshida, T. Fuse, S. Watanabe, A. Toriumi, S. Manabe et A. Hojo, "A sub-0.1 μm circuit design with substrate-over-biasing", *International Solid-State Circuits Conference (ISSCC)*, 1998, p. 88-89.
- [Pawlak '06] B.J. Pawlak, R. Duffy, T. Janssens, W. Vandervorst, E.J.H. Collart, S. Felch et N.E.B. Cowern, "Suppression of phosphorus diffusion by carbon co-doping", *Applied Physics Letters*, vol. 89, no. 6, 2006, p. 062102.
- [Pelgrom '89] M.J.M. Pelgrom, A.C.J. Duinmajar et A.P.G. Welbers, "Matching properties of MOS transistors", *IEEE Journal of Solid-State Circuits*, vol. 24, no. 5, October, 1989, p. 1433-1439.
- [Pelgrom '98] M.J.M. Pelgrom, H.P. Tuinhout et M. Vertregt, "Transistor matching in analog CMOS applications", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 1998, p. 915-918.
- [Pergoot '95] A. Pergoot, B. Graindourze, E. Janssens, E. Janssens, J. Bastos, M. Steyaert, P. Kinget, R. Roovers et W. Sanson, "Statistics in matching", *Proceedings of the 1995 International Conference on Microelectronics Test Structures (ICMTS)*, 1995, p. 193-197.
- [Pidin '04] S. Pidin, T. Mori, K. Inoue, S. Fukuta, N. Itoh, E. Mutoh, K. Ohkoshi, R. Nakamura, K. Kobayashi, K. Kawamura, T. Saiki, S. Fukuyama, S. Satoh, M. Kase et K. Hashimoto, "A novel strain enhanced CMOS architecture using selectively deposited high tensile and high compressive silicon nitride films", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2004, p. 213-216.

- [Planes '12] N. Planes, O. Weber, V. Barral, S. Haendler, D. Noblet, D. Croain, M. Bocat, P-O. Sassoulas, X. Federspiel, A. Cros, A. Bajolet, E. Richard, B. Dumont, P. Perreau, D. Petit, D. Golanski, C. Fenouillet-Béranger, N. Guillot, M. Rafik, V. Huard, S. Puget, X. Montagner, M.-A. Jaud, O. Rozeau, O. Saxod, F. Wacquand, F. Monsieur, D. Barge, L. Pinzelli, M. Mellier, F. Bœuf, F. Arnaud et M. Haond, "28nm FDSOI Technology Platform for High-Speed Low-Voltage Digital Applications", *IEEE Symposium on VLSI Technology*, 2012, p. 133-134.
- [Poiroux '05] T. Poiroux, M. Vinet, O. Faynot, J. Widiez, J. Lolivier, T. Ernst, B. Previtali et S. Deleonibus, "Multiple gate devices: advantages and challenges", *Microelectronic Engineering*, Vol. 80, N° 17, 2005, p. 378-385.
- [Poiroux '10] T. Poiroux, F. Andrieu, O. Weber, C. Fenouillet-Beranger, C. Buj-Dufournet, P. Perreau, , L. Tosti, L. Brevard et O. Faynot, "Ultrathin Body Silicon on Insulator Transistors for 22 nm node and beyond", *Semiconductor-On-Insulator Materials for Nanoelectronics Applications, Engineering Materials*, Partie 2, 2011, p. 155-168.
- [Ponoth '11] S. Ponoth, M. Vinet, L. Grenouillet, A. Kumar, P. Kulkarni, Q. Liu, K. Cheng, B. Haran, N. Possémé, A. Khakifirooz, N. Loubet, S. Mehta, J.Kuss, V. Destefanis, N. Berliner, R. Sreenivasan, Y. Le Tiec, S. Kanakasabapathy, S. Schmitz, T. Levin, S. Luning, T. Hook, M. Khare, G. Shahidi et B. Doris, "Implant Approaches and Challenges for 20nm Node and Beyond ETSOI Devices", *IEEE International SOI Conference*, pp. 57-58, 2011.
- [Rozeau '11] O. Rozeau, M.-A. Jaud, T. Poiroux et M. Benosman, "Surface Potential Based Model of Ultra-Thin Fully Depleted SOI MOSFET for IC Simulations", *IEEE International SOI Conference*, 2011, p. 63-84.
- [Saha '10] S.K. Saha, "Modeling Process Variability in Scaled CMOS Technology", *IEEE Design & Test of Computers*, Vol. 27, N° 2, 2010, p. 8-16.
- [Saito '03] S. Saito, D. Hisamoto, S. Kimura et M. Hiratani, "Unified mobility model for high-k gate stacks", *IEEE International Electron Devices Meeting*, 2003, p. 33.3.1-33.3.4.
- [Saito '04] S.-I. Saito, K. Torii, Y. Shimamoto, S. Tsujikawa, H. Hamamura, O. Tonomura, T. Mine, D. Hisamoto, T. Onai, J. Yugami, M. Hiratani et S. Kimura, "Effects of remote-surface-roughness scattering on carrier mobility in field-effect-transistors with ultrathin gate dielectrics", *Applied Physics Letters*, Vol. 84, N° 8, 2004, p. 1395-1397.
- [Saitoh '09] M. Saitoh, N. Yasutake, Y. Nakabayashi, K. Uchida et T. Numata, "Physical understanding of V_{th} and I_{dsat} variations in (110) CMOSFETs", *IEEE Symposium on VLSI Technology*, 2009, p. 114-115.
- [Sathanur '09] A. Sathanur, A. Pullini, L. Benini, G. De Micheli et E. Macii, "Physically clustered forward body biasing for variability compensation in nanometer CMOS design", *Design, Automation & Test in Europe Conference & Exhibition (DATE)*, 2009, p. 154-159.
- [Schwarzenbach '11] W. Schwarzenbach, X. Cauchy, F. Boedt, O. Bonnin, E. Butaud, C. Girard, B.-Y. Nguyen, C. Mazure et C. Maleville, "Excellent Silicon Thickness Uniformity on Ultra-Thin SOI for controlling V_t variation of FDSOI", *International Conference on IC Design & Technology (ICICDT)*, 2011.
- [Schwarzenbach '12] W. Schwarzenbach, V. Barec, X. Cauchy, N. Daval, S. Kerdiles, F. Boedt, O. Bonnin, B.-Y. Nguyen et C. Maleville, "Ultra-Thin SOI/BOX Layers and Next Generations Planar Fully Depleted Substrates", *ECS Transactions*, Vol. 45, N° 6, 2012, p. 227-230.

- [Seevinck '87] E. Seevinck, F.J. List et J. Lohstroh, "Static-Noise Margin Analysis of MOS SRAM Cells", *IEEE Journal of Solid-State Circuits*, Vol. 22, N° 5, 1987, p. 748-754.
- [Shin '10] C. Shin, M.H. Cho, Y. Tsukamoto, B.-Y. Nguyen, C. Mazuré, B. Nikolić et T.-J. King Liu, "Performance and Area Scaling Benefits of FD-SOI Technology for 6-T SRAM Cells at the 22-nm Node", *IEEE Transactions on Electron Devices*, Vol. 57, N° 6, 2010, p. 1301-1309.
- [Signanamalla '06] R. Signanamalla, H. Y. Yu, G. Pourtois, I. Ferain, K. G. Anil, S. Kubicek, T. Y. Hoffman, M. Jurczak, S. Biesemans et K. De Meyer, "On the Impact of TiN Film Thickness Variations on the Effective Work Function of Poly-Si/TiN/SiO₂ and Poly-Si/TiN/HfSiON Gate Stacks", *IEEE Electron Device Letters*, Vol. 27, N° 5, Mai, 2006, p. 332-334.
- [Singhal '07] R. Singhal, A. Balijepalli, A. Subramaniam, F. Lui et S. Nassif, "Modeling and analysis of non-rectangular gate for post-lithography circuit simulation", *IEEE Design Automation Conference (DAC)*, 2007, pp. 823-828.
- [Skotnicki '88] T. Skotnicki, G. Merckel et T. Pedrom, "The Voltage-Doping Transformation, a new approach to the modeling of MOSFET Short-Channel Effects", *IEEE Electron Devices Letters*, Vol. 9, N° 3, 1988, p. 109-112.
- [Skotnicki '08] T. Skotnicki, C. Fenouillet-Beranger, C. Gallon, F. Boeuf, S. Monfray, F. Payet, A. Pouydebasque, M. Szczap, A. Farcy, F. Arnaud, S. Clerc, M. Sellier, A. Cathignol, J.-P. Schoellkopf, E. Perea, R. Ferrant et H. Mingam, "Innovative Materials, Devices, and CMOS Technologies for Low-Power Mobile Multimedia", *IEEE Transactions on Electron Devices*, Vol. 55, N° 1, January, 2008, p. 96-130.
- [Skotnicki '12] T. Skotnicki, F. Arnaud et O. Faynot, "UTBB SOI: A Wolf in Sheep's Clothing", *Future Fab International Semiconductor Journal*, Juillet, 2012.
- [Spiegel '00] M.R. Spiegel, J.J. Schiller et R.A. Srinivasan, "Schaum's Outline: Probability and Statistics", Schaum, 2^{ème} édition, 2000.
- [Springer '04] B. Bhushan, "Springer Handbook of Nanotechnology", 3^{ème} édition, 2010.
- [Stolk '98] P.A. Stolk, F.P. Widdershoven et D.B.M. Klaassen, "Modeling Statistical Dopant Fluctuations in MOS Transistors", *IEEE Transactions on Electron Devices*, Vol. 45, N° 9, 1998, p. 1960-1971.
- [Stolk '01] P. A. Stolk, H.P. Tuinhout, R. Duffy, E. Augendre, L.P. Bellefroid, M.J.B. Bolt, J. Croon, C.J.J. Dachs, F.R.J. Huisman, A.J. Moonen, Y.V. Ponomarev, R.F.M. Roes, M. Da Rold, E. Seevinck, K.N. Sreerambhatla, R. Surdeanu, R.M.D.A. Velghe, M. Vertregt, M.N. Webster, N.K.J. van Winkelhoff et A.T.A. Zegers-Van Duijnhoven, "CMOS device optimization for mixed-signal technologies", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2001, p. 215-218.
- [Sugii '10] N. Sugii, R. Tsuchiya, T. Ishigaki, Y. Morita, H. Yoshimoto et S. Kimura, "Local V_{th} Variability and Scalability in Silicon-on-Thin-BOX (SOTB) CMOS With Small Random-Dopant Fluctuation", *IEEE Transactions on Electron Devices*, Volume 57, N° 4, 2010, p.835-845.
- [Suzuki '93] K. Suzuki, T. Tanaka, Y. Tosaka, H. Horie et Y. Arimoto, "Scaling Theory for Double-Gate SOI MOSFET's", *IEEE Transactions on Electron Devices*, Vol. 40, N° 12, Décembre, 1993, p. 2326-2329.
- [Sze '07] S.M. Sze et K.K. Ng, "Physics of Semiconductor Devices", 3^{ème} Edition, *John Wiley & Sons Ltd*, 2007.
- [Tschanz '02] J. Tschanz, J. Kao, S. Narendra, R. Nair, D. Antoniadis, A. Chandrakasan et V. De, "Adaptive Body Bias for Reducing Impacts of Die-to-Die and Within-

- Die Parameter Variations on Microprocessor Frequency and Leakage”, *IEEE International Solid-State Circuits Conference (ISSCC)*, 2002, p. 422-478.
- [Tschanz '03] J.W. Tschanz, S. Narendra, R. Nair et V. De, “Effectiveness of Adaptive Supply Voltage and Body Bias for Reducing Impact of Parameter Variations in Low Power and High Performance Microprocessors”, *Journal of Solid-State Circuits*, Vol. 38, N° 5, 2003, p. 826-829.
- [Tsvividis '99] Y. Tsvividis et C. McAndrew, “Operation and Modeling of the MOS Transistor”, *Oxford University Press*, 2010.
- [Tsuchiya '07] R. Tsuchiya, T. Ishigaki, Y. Morita, M. Yamaoka, T. Iwanatsu, T. Ipposhi, H. Oda, N. Suggi, S. Kimura, K. Itoh et Y. Inoue, “Controllable Inverter Delay and Suppressing Vth Fluctuation Technology in Silicon on Thin BOX Featuring Dual Back Bias Architecture”, *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2007, p. 475-478.
- [Tsuchiya '09] R. Tsuchiya, N. Sugii, T. Ishigaki, Y. Morita, H. Yoshimoto, K. Torii et S. Kimura, “Low Voltage (Vdd~0.6V) SRAM Operation Achieved by Reduced Threshold Voltage variability in SOTB (Silicon on Thin BOX)”, *IEEE Symposium on VLSI Technology*, 2009, p. 150-151.
- [Tsukamoto '05] Y. Tsukamoto, K. Nii, S. Imaoka, Y. Oda, S. Ohbayashi, T. Yoshizawa, H. Makino, K. Ishibashi et H. Shinohara, “Worst-Case Analysis to Obtain Stable Read/Write DC Margin of High Density 6T-SRAM-Array with Local Vth Variability”, *IEEE/ACM International Conference on Computer-Aided Design*, 2005, p. 398-405.
- [Tsunomura '10] T. Tsunomura, A. Kumar, T. Mizutani, C. Lee, A. Nishida, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Hiramoto et T. Mogami, “Analysis and prospect of local variability of drain current in scaled MOSFETs by a new decomposition method”, *IEEE Symposium on VLSI Technology*, 2010, p. 97-98.
- [Vincent '07] B. Vincent, J.-F. Damlencourt, P. Rivallin, E. Nolot, C. Licitra, Y. Morand et L. Clavelier, “Fabrication of SiGe-on-insulator substrates by a condensation technique: an experimental and modelling study”, *Semiconductor Science and Technology*, Vol. 22, N° 3, 2007, p. 237-244.
- [Vincent '08] B. Vincent, “Developement of Germanium On Insulator substrates and structures by the Germanium condensation technique”, *Manuscrit de thèse*, Université de Grenoble, 2008.
- [Wang '11] X. Wang, A.R. Brown, N. Idris, S. Markov, G. Roy et A. Asenov, “Statistical Threshold-Voltage Variability in Scaled Decananometer Bulk HKMG MOSFETs: A Full-Scale 3-D Simulation Scaling Study”, *IEEE Transactions on Electron Devices*, Vol. 58, N° 8, 2011, p. 2293-2301.
- [Weber '08] O. Weber, O. Faynot, F. Andrieu, C. Buj-Dufournet, F. Allain, P. Scheiblin, J. Foucher, N. Daval, D. Lafond, L. Tosti, L. Brevard, O. Rozeau, C. Fenouillet-Beranger, M. Marin, F. Boeuf, D. Delprat, K. Bourdelle, B.-Y. Nguyen et S. Deleonibus, “High Immunity to Threshold Voltage Variability in Undoped Ultra-Thin FDSOI MOSFETs and its Physical Understanding”, *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2008, p. 641-644.
- [Weber '09] O. Weber, F. Andrieu, C. Fenouillet-Beranger, C. Buj-Dufournet, V. Barral, P. Perreau, L. Tosti, L. Brevard et O. Faynot, “High Scalability and Low Variability of Planar Fully Depleted SOI MOSFETs”, *ECS transactions*, Vol. 22, N° 1, 2009, p. 71-80.
- [Weber '10] O. Weber, F. Andrieu, J. Mazurier, M. Cassé, X. Garros, C. Leroux, F. Martin, P. Perreau, C. Fenouillet-Beranger, S. Barnola, R. Gassilloud, C. Arvet, O.

- Thomas, J-P. Noel, O. Rozeau, M-A. Jaud, T. Poiroux, D. Lafond, A. Toffoli, F. Allain, C. Tabone, L. Tosti, L. Brévard, P. Lehnen, U. Weber, P.K. Baumann, O. Boissiere, W. Schwarzenbach, K. Bourdelle, B-Y. Nguyen, F. Boeuf, T. Skotnicki et O. Faynot, "Work-function Engineering in Gate First Technology for Multi-VT Dual Gate FDSOI CMOS on UTBOX", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2010, p. 58-61.
- [Wils '10] N. Wils, H.P. Tuinhout et M. Meijer, "Characterization of STI Edge Effects on CMOS Variability", *IEEE Transactions on Semiconductor Manufacturing (TSM)*, Vol. 22, N° 1, Février, 2009, p. 59-65.
- [Wu '02] J. Wu, J. Chen et K. Liu, « Transistor width dependance of LER degradation to CMOS device characteristics », *International Conference on Simulation of Semiconductor Processes and Devices (SISPAD)*, 2002, p. 95-96.
- [Yamaoka '05] M. Yamaoka, N. Maeda, Y. Shinozaki, Y. Shimazaki, K. Nii, S. Shimada, K. Yanagisawa et T. Kawahara, "Low-power embedded SRAM modules with expanded margins for writing", *IEEE International Solid-State Circuits Conference (ISSCC)*, 2005, p. 480-611.
- [Yamashita '00] T. Yamashita, N. Yoshida, M. Sakamoto, T. Matsumoto, M. Kusunoki, H. Takahashi, A. Wakahara, T. Ito, T. Shimizu, K. Kurita, K. Higeta, K. Mori, N. Tamba, N. Kato, K. Miyamoto, R. Yamagata, H. Tanaka et T. Hiyama, "A 450MHz 64b RISC Processor using Multiple Threshold Voltage CMOS", *IEEE International Solid-State Circuits Conference (ISSCC)*, 2000, p. 414-415, 475.
- [Yang '07] F.-L. Yang, J.-R. Hwang, H.-M. Chen, J.-J. Shen, S.-M. Yu, Y. Li et D.D. Tang, "Discrete Dopant Fluctuated 20nm/15nm-Gate Planar CMOS", *IEEE Symposium on VLSI Technology*, 2007, p. 208-209.
- [Ye '08] Y. Ye, F. Liu, S. Nassif et Y. Cao, "Statistical Modeling and Simulation of Threshold Variation under Dopant Fluctuations and Line-Edge Roughness", *Design Automation Conference (DAC)*, 2008, p. 900-905.
- [Yeh '95] P.C. Yeh et J.G. Fossum, "Physical subthreshold MOSFET modeling applied to viable design of deep-submicrometer fully depleted SOI low-voltage CMOS technology", *IEEE Transaction on Electron Devices*, Vol. 42, N° 9, 1995, p. 1605-1613.
- [Yeo '05] Y.-C. Yeo et J. Sun, "Finite-element study of strain distribution in transistor with silicon-germanium source and drain regions", *Applied Physics Letters*, Vol. 86, N° 2, 2005, p. 023103-1-3.
- [Yin '06] H. Yin, Z. Ren, H. Chen, J. Holt, X. Liu, J. W. Sleight, K. Rim, V. Chan, D. M. Fried, Y. H. Kim, J. O. Chu, B. J. Greene, S. W. Bedell, G. Pfeiffer, R. Bendernagel, D. K. Sadana, T. Kanarsky, C. Y. Sung, M. Jeong et G. Shahidi, "Integration of Local Stress Techniques with Strained-Si Directly On Insulator (SSDOI) Substrates", *IEEE Symposium on VLSI Technology*, 2006, p. 76-77.
- [Young '89] K.K. Young, "Short-channel effect in fully depleted SOI MOSFETs", *IEEE Transactions on Electron Devices*, Vol. 36, N° 2, 1989, p. 399-402.

Liste des publications

Articles de journaux

- Jérôme Mazurier, Olivier Weber, François Andrieu, Alain Toffoli, Olivier Rozeau, Thierry Poiroux, Fabienne Allain, Pierre Perreau, Claire Fenouillet-Béranger, Olivier Thomas, Marc Belleville et Olivier Faynot, "On the Variability in Planar FDSOI Technology: From MOSFETs to SRAM cells", *IEEE Transactions on Electron Devices*, vol. 58, no. 8, Août, 2011, p. 2326-2336.
- J. Mazurier, O. Weber, F. Andrieu, A. Toffoli, O. Thomas, F. Allain, J-P. Noel, M. Belleville, O. Faynot et T. Poiroux, "Ultra-Thin Body and Buried Oxide (UTBB) FDSOI technology with low variability and power management capability for 22nm node and below", *Journal of Low Power Electronics*, vol. 8, n° 1, Février, 2012, p. 125-132.

Articles de conférences internationales

- J. Mazurier, O. Weber, F. Andrieu, F. Allain, C. Tabone, A. Toffoli, C. Fenouillet-Beranger, L. Brevard, L. Tosti, P. Perreau, M. Belleville et O. Faynot, "High Performance and Low Variability Fully-Depleted Strained-SOI MOSFETs", *IEEE International SOI Conference*, 2010, p. 46-47.
- J. Mazurier, O. Weber, F. Andrieu, F. Allain, L. Tosti, L. Brévard, O. Rozeau, M-A. Jaud, P. Perreau, C. Fenouillet-Beranger, F.A. Khaja, B. Colombeau, G. De Cock, G. Ghibauda, M. Belleville, O. Faynot et T. Poiroux, "Drain current variability and MOSFET parameters correlations in planar FDSOI technology", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2011, p. 575-578.
- F. Andrieu, O. Weber, J. Mazurier, O. Thomas, J-P. Noel, C. Fenouillet-Béranger, J-P. Mazellier, P. Perreau, T. Poiroux, Y. Morand, T. Morel, S. Allegret, V. Loup, S. Barnola, F. Martin, J-F. Damlencourt, I. Servin, M. Cassé, X. Garros, O. Rozeau, M-A. Jaud, G. Cibrario, J. Cluzel, A. Toffoli, F. Allain, R. Kies, D. Lafond, V. Delaye, C. Tabone, L. Tosti, L. Brévard, P. Gaud, V. Paruchuri, K.K. Bourdelle, W. Schwarzenbach, O. Bonnin, B-Y. Nguyen, B. Doris, F. Bœuf, T. Skotnicki et O. Faynot, "Low Leakage and Low Variability Ultra-Thin Body and Buried Oxide (UT2B) SOI Technology for 20nm Low Power CMOS and Beyond", *IEEE Symposium on VLSI Technology*, 2010, p. 57-58.
- Marie-Anne Jaud, Pascal Scheiblin, Sébastien Martinie, Mikaël Cassé, Olivier Rozeau, Julien Dura, Jérôme Mazurier, Alain Toffoli, Olivier Thomas, François Andrieu et Olivier Weber, "TCAD simulation vs. experimental results in FDSOI technology: From advanced mobility modeling to 6T-SRAM cell characteristics prediction", *International Conference on Simulation of Semiconductor Processes and Devices (SISPAD)*, 2010, p. 283-286.
- O. Weber, F. Andrieu, J. Mazurier, M. Cassé, X. Garros, C. Leroux, F. Martin, P. Perreau, C. Fenouillet-Béranger, S. Barnola, R. Gassilloud, O. Thomas, J-P. Noel, O. Rozeau, M-A. Jaud, T. Poiroux, D. Lafond, A. Toffoli, F. Allain, C. Tabone, L. Tosti, L. Brévard, P. Lehnen, U. Weber, P.K. Baumann, O. Boissiere, W. Schwarzenbach, K. Bourdelle, B-Y Nguyen, F. Bœuf, T. Skotnicki et O. Faynot, "Work-function Engineering in Gate First Technology for Multi-VT Dual-Gate FDSOI CMOS on UTBOX", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2010, p. 58-61.

- O. Faynot, F. Andrieu, O. Weber, C. Fenouillet-Béranger, P. Perreau, J. Mazurier, T. Benoist, O. Rozeau, T. Poiroux, M. Vinet, L. Grenouillet, J-P. Noel, N. Posseme, S. Barnola, F. Martin, C. Lapeyre, M. Cassé, X. Garros, M-A. Jaud, O. Thomas, G. Cibrario, L. Tosti, L. Brévard, C. Tabone, P. Gaud, S. Barraud, T. Ernst et S. Deleonibus, "Planar Fully Depleted SOI Technology: a powerful architecture for the 20nm node and beyond", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2010, p. 50-53.
- F. Andrieu, O. Weber, S. Baudot, C. Fenouillet-Béranger, O. Rozeau, J. Mazurier, P. Perreau, J. Eymery et O. Faynot, "Fully Depleted Silicon-On-Insulator with back bias and strain for Low Power and High Performance applications", *IEEE International Conference on IC Design and Technology (ICICDT)*, 2010, p. 59-62.
- F. Andrieu, O. Weber, J. Mazurier et O. Faynot, "Planar Fully Depleted Silicon-On-Insulator (FDSOI): the technological solution against variability", *Solid State Technology*, Novembre, 2010, p. 26-27.
- F. Andrieu, O. Weber, J. Mazurier et O. Faynot, "Performance and understanding of VT-variability in planar FDSOI CMOS", *ISCVST*, 2011.
- C. Le Royer, A. Villalon, M. Cassé, D. Cooper, J. Mazurier, B. Prévitali, C. Tabone, P. Perreau, J.-M. Hartmann, P. Scheiblin, F. Allain, F. Andrieu, O. Weber, P. Batude, O. Faynot et T. Poiroux, "First Demonstration of Ultrathin Body c-SiGe Channel FDSOI pMOSFETs combined with SiGe(:B) RSD: Drastic Improvement of Electrostatics ($V_{th,p}$ tuning, DIBL) and Transport (μ_0 , I_{sat}) Properties down to 23nm Gate Length", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2011, p. 394-397.
- P. Batude, M. Vinet, B. Previtali, C. Tabone, C. Xu, J. Mazurier, O. Weber, F. Andrieu, B. Sklenard, P. Coudrain, S. Bobba, H. Ben Jamaa, P-E. Gaillardon, A. Pouydebasque, O. Thomas, C. Le Royer, J.-M. Hartmann, L. Sanchez, L. Baud, V. Carron, L. Clavelier, G. De Micheli, S. Deleonibus, O. Faynot et T. Poiroux, "Advances, Challenges and Opportunities in 3D CMOS Sequential Integration", *IEEE International Electron Device Meeting (IEDM) Technical Digest*, 2011, p. 151-154.
- V. Deshpande, R. Wacquez, M. Vinet, X. Jehl, B. Roche, B. Voisin, M. Sanquer, J. Mazurier, O. Weber, L. Tosti, L. Brévard, P. Perreau, F. Andrieu, T. Poiroux et O. Faynot, "Novel analysis of impact of single dopants on sub-15nm channel length FDSOI NMOSFETs utilizing cryogenic measurements", *IEEE International SOI Conference*, 2011, p. 343-344.
- C. Xu, P. Batude, M. Vinet, M. Mouis, M. Casse, B. Sklenard, B. Colombeau, Q. Rafhay, C. Tabone, J. Berthoz, B. Previtali, J. Mazurier, L. Brunet, L. Brevard, F.A. Khaja, J.M. Hartmann, F. Allain, A. Toffoli, R. Kies, C. Le Royer, S. Morvan, A. Pouydebasque, X. Garros, A. Pakfar, C. Tavernier, O. Faynot et T. Poiroux, "Improvements in low temperature (<625°C) FDSOI devices down to 30nm gate length", *International Symposium on VLSI Technology Systems and Applications (VLSI-TSA) proceedings*, 2012.
- S. Morvan, F. Andrieu, M. Cassé, O. Weber, N. Xu, P. Perreau, J.M. Hartmann, J.C. Barbé, J. Mazurier, P. Nguyen, C. Fenouillet-Béranger, C. Tabone, L. Tosti, L. Brévard, A. Toffoli, F. Allain, D. Lafond, B.Y. Nguyen, G. Ghibaudo, F. Boeuf, O. Faynot et T. Poiroux, *IEEE Symposium on VLSI Technology*, 2012, p. 111-112.

Workshop international

- J. Mazurier, O. Weber, F. Andrieu, A. Toffoli, F. Allain, O. Thomas, J-P. Noel, M. Belleville et O. Faynot, "Ultra-Thin Body and Buried Oxide (UTBB) FDSOI technology with low variability and power management capability", *VARI*, 2011. Best student paper award.

Brevet

- O. Thomas, N. Planes, O. Weber et J. Mazurier, "Circuit intégré réalisé en SOI comprenant des cellules adjacentes de différents types".

Titre : Etude de la variabilité en technologie FDSOI : du transistor aux cellules mémoires SRAM

Résumé

La miniaturisation des transistors MOSFETs sur silicium massif présente de nombreux enjeux en raison de l'apparition de phénomènes parasites. Notamment, la réduction de la surface des dispositifs entraîne une dégradation de la variabilité de leurs caractéristiques électriques. La technologie planaire totalement désertée, appelée communément FDSOI (pour *Fully Depleted Silicon on Insulator*), permet d'améliorer le contrôle électrostatique de la grille sur le canal de conduction et par conséquent d'optimiser les performances. De plus, de par la présence d'un canal non dopé, il est possible de réduire efficacement la variabilité de la tension de seuil des transistors. Cela se traduit par un meilleur rendement et par une diminution de la tension minimale d'alimentation des circuits SRAM (pour *Static Random Access Memory*). Une étude détaillée de la variabilité intrinsèque à cette technologie a été réalisée durant ce travail de recherche, aussi bien sur la tension de seuil (V_T) que sur le courant de drain à l'état passant (I_{SAT}). De plus, le lien existant entre la fluctuation des caractéristiques électriques des transistors et des circuits SRAM a été expérimentalement analysé en détail. Une large partie de cette thèse est enfin dédiée à l'investigation de la source de variabilité spécifique à la technologie FDSOI : les fluctuations de l'épaisseur du film de silicium. Un modèle analytique a été développé durant cette thèse afin d'étudier l'influence des fluctuations locales de T_{Si} sur la variabilité de la tension de seuil des transistors pour les nœuds technologiques 28 et 20nm, ainsi que sur un circuit SRAM de 200Mb. Ce modèle a également pour but de fournir des spécifications en termes d'uniformité $\sigma_{T_{Si}}$ et d'épaisseur moyenne $\mu_{T_{Si}}$ du film de silicium pour les prochains nœuds technologiques.

Mots clés

Technologie planaire totalement désertée (FDSOI), mémoire statique à six transistors (SRAM-6T), variabilité de la tension de seuil, variabilité du courant de drain, fluctuations de T_{Si} .

Title: Variability study in Planar FDSOI technology: From transistors to SRAM cells

Abstract

The scaling of bulk MOSFETs transistors is facing various difficulties at the nanometer era. The variability of the electrical characteristics becomes a major challenge which increases as the device dimensions are scaled down. Fully-Depleted Silicon On Insulator (FDSOI) technology, developed as an alternative to bulk transistors, exhibits a better electrostatic immunity which enables higher performances. Moreover, the reduction of the Random Dopant Fluctuation allows excellent variability immunity for the FDSOI technology due to its undoped channel. It leads to a yield enhancement and a reduction of the minimum supply voltage of SRAM circuits. The variability has been analyzed deeply during this thesis in this technology, both on the threshold voltage (V_T) and on the ON-state current (I_{SAT}). The correlation between the electrical characteristics of MOSFETs devices (i.e., the threshold voltage and the standard deviation σ_{V_T}) and SRAM cells (i.e., the SNM and σ_{SNM}) has been investigated thanks to an extensive experimental study and modeling. This purpose of this thesis is also to analyze the specific FDSOI variability source: silicon thickness fluctuations. An analytical model has been developed in order to quantify the impact of local T_{Si} variations on the V_T variability for 28 and 20nm technology nodes, as well as on a 200Mb SRAM array. This model also enables to evaluate the silicon thickness mean ($\mu_{T_{Si}}$) and standard deviation ($\sigma_{T_{Si}}$) specifications for next technology nodes.

Key words

Fully Depleted Silicon On Insulator (FDSOI) technology, six-transistors static random-access memory (6T-SRAM), threshold voltage and variability, ON-state current variability, T_{Si} variations.