HAL
open science

Etude et réalisation de réseaux d'adaptation d'impédances accordables linéaires et non linéaires, sur PCB et silicium CMOS, pour des applications en radiofréquences

Vitor Andrade Freitas Freitas

To cite this version:

Vitor Andrade Freitas Freitas. Etude et réalisation de réseaux d'adaptation d'impédances accordables linéaires et non linéaires, sur PCB et silicium CMOS, pour des applications en radiofréquences. Autre. Université de Grenoble, 2012. Français. NNT : 2012GRENT059 . tel-00845681

HAL Id: tel-00845681

https://theses.hal.science/tel-00845681

Submitted on 17 Jul 2013

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

UNIVERSITÉ DE GRENOBLE

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **Optique et Radiofréquences**

Arrêté ministériel : 7 août 2006

Présentée par

« Vitor FREITAS »

Thèse dirigée par **« Philippe FERRARI »** et
codirigée par **« Jean-Daniel ARNOULD »**

préparée au sein du **Laboratoire IMEP-LAHC**
dans **l'École Doctorale Electronique, Electrotechnique, Automatique et Traitement du Signal**

Etude et réalisation de réseaux d'adaptation d'impédances accordables linéaires et non linéaires, sur PCB et silicium CMOS, pour des applications en Radiofréquences

Thèse soutenue publiquement le **« 22 novembre 2012 »**,
devant le jury composé de :

M. Michel PRIGENT
Professeur des universités, Limoges
M. Eric KERHERVE
Professeur des universités, Bordeaux, Rapporteur
M. Thierry PARRA
Professeur des universités, Toulouse, Rapporteur
M. Alexandre GIRY
Ingénieur, CEA-LETI, Grenoble, MEMBRE
M. Philippe FERRARI
Professeur des universités, Grenoble, Directeur de thèse
M. Jean-Daniel ARNOULD
Maître de Conférences, Grenoble, Co-directeur de thèse

« Le courage, c'est d'aller à l'idéal et de comprendre le réel »

Jean Jaurès

« Se a única coisa que de o homem terá certeza é a morte; a única certeza do brasileiro é o carnaval no próximo ano.. »

Graciliano Ramos

Remerciements

Tout d'abord, je remercie la région Rhône-Alpes qui a permis le financement de ces travaux de recherche.

Je souhaite également remercier chacun des membres de mon jury de thèse d'avoir accepté de consacrer du temps à l'examen de ce travail de thèse.

Je tiens à adresser toute ma reconnaissance à mes encadrants de thèse, Philippe Ferrari et Jean Daniel Arnould, pour leur aide très précieuse durant ces trois années. Leur disponibilité et leur forte compétence scientifique ont été essentielles à l'accomplissement de ces travaux de recherche. Enfin, leur amitié et leur sympathie ont contribué à alléger le caractère parfois pesant de ce travail de longue haleine que fut cette thèse.

Je remercie vivement Jean Michel Fournier qui m'a apporté énormément des bons conseils, surtout en ce qui concerne la conception des circuits intégrés.

J'adresse également mes remerciements à Alexandre Giry, qui m'a non seulement proposé un cahier des charges très intéressant et actuel qui m'a permis d'orienter mes travaux de recherche, mais aussi pour sa disponibilité et son expérience. Je n'oublie pas non plus les échanges de qualité que j'ai eu avec son doctorant, Gauthier Tant.

Je remercie chaleureusement Tan Phu Vuong, qu'en 2007 lorsqu'il était responsable de relations internationales à l'Esisar, est allé à mon école au Brésil et a participé de la sélection qui m'a permis d'obtenir une bourse pour venir en France. Sans oublier son aide apportée pendant ma période d'adaptation dans ce beau pays.

Un grand merci à Nicolas Corrao pour sa disponibilité et pour sa compétence qui m'ont beaucoup aidé lors de mes manipulations et mesures RF. Ainsi qu'à Alexandre Chagoya du CIME Nanotech pour son énorme sympathie et disponibilité à résoudre tous les petits « bugs » informatiques.

La liste est longue des collègues et amis que j'ai eu le plaisir de côtoyer pendant ces trois années au sein de l'IMEP LAHC, un gros merci pour leur amitié et soutien à : Evanaska, Marcio, Vincent, Aline, Bertrand, Bruno, Diana, Flora, Marco, Ricardo, Marcus, Ariana, Gustavo, Leonce, Karim, Pierre, Friederike, Xiaolan, François…

Enfin, je tiens à remercier ma famille, mon père, ma mère et mon frère, que malgré la distance m'ont toujours fortement soutenu.
« Muito Obrigado pai, mãe e guri ! »

Sommaire

Introduction Générale 9
Chapitre I: Etat de l'art des réseaux d'adaptation d'impédances 12
I.1 Introduction 13
I.2 Réseau d'adaptation d'impédances 14
I.2.1 Principe 14
I.2.2 Topologies de RAA 14
I.2.3 Contextes d'application des RAA 15
I.3 Eléments Accordables 23
I.3.1 Capacitance variable 24
I.3.2 Inductance accordable 36
I.4 Technologie intégrée CMOS SOI 39
I.4.1 Comparaison des technologies Bulk et SOI 40
I.5 Conclusions 44
Chapitre II: Réseau d'adaptation accordable (RAA) petit signal 45
II.1 Introduction 47
II.2 Théorie 49
II.2.1 Principe du RA et transmission maximale de puissance 49
I.1.1. Paramètres fixant la performance des RA linéaires 52
II.2.2 Etude du rendement d'un RA avec des charges complexes 57
II.2.3 Analyse des principales topologies de RA 76
II.3 Démonstrateur hybride 79
II.3.1 Contexte : Tuner d'antenne 79
I.1.2. Caractérisation des composants du démonstrateur 80
II.3.2 Conception et caractérisation des RAA 84
II.3.3 Résultats mesures/simulation 87
I.2. Conclusions 92
Chapitre III: Réseau d'adaptation accordable fort signal 93
III.1 Introduction 95
III.2 Les enjeux du fort signal 97
III.2.1 Comportement fort signal de varactors et « switchs » 97
III.2.2 Impact du fort signal sur le RAA 101

III.2.3 Solutions d'optimisation de la linéarité et de la dynamique en puissance (« power handling ») 101
III.3 Démonstrateur intégré en technologie CMOS SOI 130 nm 107
III.3.1 Technologie SOI 130 nm 107
III.3.2 Caractéristiques de l'amplificateur SOI 130 nm 108
III.3.3 Eléments passifs en SOI 130 nm 110
III.3.4 Enjeux du RA de sortie....122
III.3.5 Conception du RAA de sortie pour le démonstrateur sur SOI 130 nm ...130
III.3.1 Bilan de Performance du PA chargé par le RA en SOI 138
III.4 Conclusions.... 142
Conclusion générale 143
Bibliographie 145

Introduction Générale

Devant les besoins croissants en termes de débit, pour le transport des données, de la voix, et bien sûr de la vidéo, les systèmes de communications s'avèrent de plus en plus complexes. Ainsi, alors qu'il y a vingt ans la « 1G » proposait un seul standard (une seule bande de fréquences), aujourd'hui nous trouvons au minimum trois à quatre standards sur un même terminal mobile, avec plus de 10 standards supportés pour les mobiles les plus évolués. La compatibilité internationale des terminaux, avec comme exemple récent l'iPhone 5 d'Apple[1], pose également problème. La « solution » aujourd'hui apportée à la problématique de la multiplication des bandes de fréquence consiste à multiplier le nombre de front-ends RF et d'antennes au sein des terminaux mobiles. Cela a pour conséquence l'augmentation de la surface et du coût des front-ends RF. La solution consisterait bien sûr à réaliser un seul front-end reconfigurable (ou un nombre limité) permettant de fonctionner sur l'ensemble des standards existants. Mais cette approche se heurte aujourd'hui à deux verrous et quelques difficultés. Le premier se situe au niveau des antennes. Même si les progrès dans le développement des antennes multi-bandes sont importants, des études demeurent nécessaires afin de diminuer encore leur taille tout en ne sacrifiant pas leur efficacité. Vaste programme. Le second verrou se situe au niveau des filtres Rx et Tx, réalisés à l'aide de BAW et de SAW, qui par essence ne sont pas accordables. Ici point de salut aujourd'hui, aucune solution de filtre accordable possédant les caractéristiques de sélectivité nécessaires pour un fonctionnement en full-duplex ne semble encore se dessiner. Dans ce contexte de front-end reconfigurable, il s'avère également nécessaire de réaliser des amplificateurs reconfigurables. Pour cela, les concepteurs doivent réaliser des réseaux d'adaptation reconfigurables. ***Cela constitue un premier objectif de mes travaux de thèse : mettre en place des méthodes de conception afin d'effectuer une synthèse optimale de réseaux d'adaptation reconfigurables, en gérant bien sûr l'adaptation, mais en mettant également en place des méthodes permettant d'évaluer le rendement de ces réseaux, qui ne s'avèreront utiles in fine que si leur rendement est acceptable***. Une seconde utilisation des réseaux d'adaptation reconfigurables étudiés durant mes travaux de thèse consiste à adapter le lien amplificateur-antenne selon l'environnement proche de l'antenne, qui modifie l'impédance d'entrée de l'antenne.

Le haut-débit a également impliqué l'utilisation de nouvelles modulations pour lesquelles la puissance des signaux émis varie dans une gamme pouvant atteindre 10 dB, voire plus. Les solutions classiques actuelles au niveau des amplificateurs de puissance des voies Tx consistent à dimensionner le réseau d'adaptation pour la puissance maximum sortant de l'amplificateur. Le réseau est ainsi optimal en termes d'adaptation et de rendement pour cette puissance de fonctionnement maximale. Par contre il s'avère de plus en plus médiocre, en termes de rendement, lorsque la puissance s'éloigne du maximum. Il faut alors dans ce cas réfléchir au développement de réseaux d'adaptation permettant d'optimiser le rendement en puissance sur une large gamme de puissance (10 dB comme énoncé précédemment). Ces développements se rapprochent finalement de ceux concernant le problème du multi-bande énoncé précédemment, et nécessitent l'utilisation de réseaux d'adaptation reconfigurables dont le rendement est optimisé pour tous les cas de fonctionnement. Par contre dans le cas présent l'énoncé du problème est différent : il ne s'agit plus de s'adapter à une modification

[1] Apple™ propose pas moins de trois modèles différents, desservant chacun une des trois zones géographiques, Japon, Etats-Unis et Europe, avec pour chacune de 10 à 15 standards supportés (GSM, UMTS, LTE, + WiFi) : http://store.apple.com/fr/browse/home/shop_iphone/family/iphone/iphone5

de la fréquence de fonctionnement, mais à une modification de la puissance. Cela implique un niveau de difficulté supplémentaire dans la définition du réseau d'adaptation reconfigurable, à savoir la gestion de la linéarité du réseau, et même, comme nous le verrons au sein de ce manuscrit, de leur bon fonctionnement en tant qu'adaptateur tout simplement. ***Le développement de réseaux d'adaptation optimaux pour répondre à de fortes variations de puissances à la sortie des amplificateurs de puissance des front-end RF constitue ainsi le second objectif poursuivi durant mes travaux de thèse.***

Dans ce manuscrit, nous traiterons de la conception de réseaux adaptation accordables (RAA) appropriés à ces deux contextes. Cette étude est divisée en trois chapitres: l'état de l'art des RAA, le RAA à faible signal et le RAA à fort signal.

Le premier chapitre est consacré à l'état de l'art des principaux contextes d'applications de RAA, tels que la correction de l'impédance d'une antenne, la réalisation d'un banc de mesures de paramètres de bruit ou pour l'optimisation de l'efficacité des amplificateurs de puissance et des LNA (« Low Noise Amplifier »). Il sera réalisé également un état de l'art des différents composants RF qui peuvent être employés pour rendre accordable un RA, tels que les capacités commutées, les varactors (capacités variables) MOS ou jonction, ainsi que les inductances variables et les varactors à matériaux ferroélectrique, comme les varactors à BST.

Le deuxième chapitre traitera des RAA dans le cadre d'applications où la puissance de signaux RF en jeu est faible, mais qui nécessite d'une forte couverture d'impédances. Ceci est intéressant, par exemple, pour faire l'adaptation d'une antenne d'un téléphone mobile, dont l'impédance est fortement affectée par l'environnement. On va donc s'intéresser à utiliser un RAA qui soit capable de générer toutes les impédances que l'antenne puisse présenter, de façon à assurer un maximum de transfert de puissance, indépendamment de l'endroit où l'antenne soit placée. Afin de valider cette étude, il a été implémenté sur PCB, un démonstrateur, constitué d'un amplificateur de puissance et pour réaliser une adaptation simultanée de son entrée et sortie, nous avons conçu deux RAA, un placé à l'entrée de l'amplificateur de puissance et un autre à sa sortie. Ensuite, la performance du système sera évaluée, en présentant les résultats des mesures et simulations. Nous allons constater notamment que l'ajout des RAA permet d'adapter simultanément l'entrée/sortie de l'amplificateur sur une large plage d'impédances présentées à sa sortie ($VSWR < 5:1$).

Dans ce chapitre, il sera également réalisé une étude approfondie du rendement d'un RAA à partir du développement d'une expression générale qui permet d'estimer les pertes d'insertion d'un RAA, en connaissant les facteurs de qualité des composants employés. Cette étude permet, entre autres, de bien décrire les topologies de RAA en termes de couverture d'impédances et pertes d'insertion, et ainsi guider le choix de la configuration de RAA qui serait la plus appropriée selon le cahier des charges imposé.

Le dernier chapitre présente le développement de RAA pour répondre à de fortes variations de puissances à la sortie des amplificateurs de puissance des front-end RF.

Dans ce contexte, il a été réalisé une étude et conception d'un RAA qui maximise la *PAE* d'un PA qui fonctionne sur le standard « low-band » WCDMA (900 MHz). La puissance de sortie du PA varie entre 20 et 30 dBm et le niveau de non linéarité, exprimé par le produit d'intermodulation ($IMD3$) ne doit pas dépasser -30 dBc. Le RAA doit donc être performant même à des fortes puissances et doit être linéaire pour éviter l'augmentation des non linéarités à la sortie du PA.

Il a été vérifié que le comportement en puissance des composants accordables est crucial pour la performance du RAA à fort signal. Les « switchs » et varactors ont donc été caractérisés en puissance. Pour améliorer leur dynamique en puissance et leur linéarité, plusieurs techniques ont été décrites.

Afin de valider cette étude, il a été conçu un démonstrateur en technologie CMOS SOI 130 nm, constitué d'un amplificateur de puissance chargée par un RAA à sa sortie, fonctionnant entre 20 et 30 dBm. Les résultats de simulation ont mis en évidence le bénéfice apporté par l'insertion d'un RA accordable par rapport à un fixe.

Chapitre I: Etat de l'art des réseaux d'adaptation d'impédances

Sommaire

Chapitre I: Etat de l'art des réseaux d'adaptation d'impédances 12
I.1 Introduction 13
I.2 Réseau d'adaptation d'impédances 14
I.2.1 Principe 14
I.2.2 Topologies de RAA 14
I.2.3 Contextes d'application des RAA 15
a) RAA comme « tuner » d'antenne 15
b) RAA ligne forte impédance et capacité variable par MEMS 16
c) RAA avec MEMS pour LNA multi-bande 17
d) RAA large bande et forte couverture 18
e) RAA pour les bancs de mesure de bruit 19
f) RAA accordé par des varactors BST 19
g) RAA pour amplificateurs de puissance 21
h) RAA avec des éléments distribués pour les fréquences milimétriques 22
I.3 Eléments Accordables 23
I.3.1 Capacitance variable 24
a) Diode Varactor 24
b) Varactor MOS 25
c) Capacité et « switch » 29
d) MEMS 31
e) Matériaux ferroélectriques 33
f) Lignes Accordables par des capacités 34
I.3.2 Inductance accordable 36
I.4 Technologie intégrée CMOS SOI 39
I.4.1 Comparaison des technologies Bulk et SOI 40
a) Varactor MOS SOI vs Bulk 41
b) Swicth SOI vs bulk 42
I.5 Conclusions 44

I.1 Introduction

Un aspect essentiel à prendre en compte lors de la conception des systèmes RF est l'accord d'impédances entre chaque bloc de la chaine RF. En effet, le principe de transmission maximale de puissance nous apprend que pour réduire les réflexions entre deux éléments d'une chaîne RF, il faut que l'impédance de sortie du premier élément soit le plus proche possible du complexe conjugué de l'impédance du deuxième élément. Lorsque les impédances entre ces deux éléments sont éloignées, les réflexions peuvent être élevées et il s'avère important d'insérer un dispositif, appelé réseau d'adaptation (RA), permettant de transformer l'impédance d'un élément vers le complexe conjugué de l'autre et ainsi, minimiser les réflexions. De même, quand il est nécessaire de respecter plusieurs standards ou que les impédances des éléments sont variables, il est courant d'utiliser des réseaux d'adaptation accordables (RAA) qui réalisent une transformation d'impédances dynamique.

Une des premières structures de RAA a été présentée par Bischoff [Bis94] qui a conçu un RA intégré accordé par quatre capacités commutées par des « switchs » (transistors), le RAA ne générait donc que 16 impédances différentes. Ensuite, une autre structure de RAA a été proposée dans [Sin97], qui était composée de varactors associés à des lignes de propagation quart d'onde sur une topologie en Π. Cette structure a permis d'augmenter la couverture d'impédances. Dans les années suivantes, une grande quantité de structures de RAA a été proposée, sur différentes technologies et topologies.

Plusieurs méthodes pour rendre accordable le RA ont été présentées, par le biais de MEMS [Foul10], de varactors MOS ou de varactors à diode, par des capacités commutées par transistors ou des lignes de transmission chargées par des « switchs » et capacités [Mci99]. Les RAA ont été principalement fabriqués en technologie intégrée sur Silicium ainsi qu'en technologie hybride. Par ailleurs, certains auteurs ont aussi réalisé des capacités variables à partir de matériaux ferroélectriques [Chen04].

Dans ce chapitre, nous allons donc présenter ces différentes technologies et topologies de RAA rencontrées dans la littérature, en mettant l'accent sur la performance atteinte par chaque solution, surtout en termes de couverture d'impédances et de pertes d'insertion. De même, nous allons montrer que les RAA peuvent être intéressants dans plusieurs contextes d'application.

Ensuite, il sera réalisé un état de l'art des différents types de composants passifs accordables, à savoir, les diodes varactors, les capacités commutées, les MEMS, les inductances variables et les varactors MOS.

Enfin, les principales caractéristiques et enjeux de la technologie intégrée SOI utilisée dans ce travail seront décrits.

I.2 Réseau d'adaptation d'impédances

I.2.1 Principe

Le réseau d'adaptation (RA) est un dispositif qui va se charger de réaliser une transformation d'impédances entre deux blocs RF, de façon à optimiser le transfert d'énergie. Le moyen le plus répandu et le plus performant pour réaliser cette fonction consiste en l'association d'éléments passifs, notamment des inductances, capacités et lignes de transmission. La manière avec laquelle ces éléments sont disposés permet de réaliser une transformation d'impédances déterminée.

Lorsque l'application exige que l'on puisse modifier l'impédance générée, des éléments variables sont introduits et le RA devient accordable.

I.2.2 Topologies de RAA

Le choix de la topologie de RAA la plus appropriée dépend fortement du contexte de l'application, de la technologie disponible et de plusieurs critères, tels que la couverture d'impédances, les pertes d'insertion et l'encombrement.

La brique élémentaire d'un RAA permettant d'adapter des impédances complexes est constituée de l'association de deux éléments passifs, l'un en série et l'autre en parallèle [Pozar05]. Lorsque le RAA est formé par une seule brique de ce type, on dit que le RAA présente une topologie en *L*, alors que si l'on ajoute un deuxième étage, on a une topologie en 2L, en T ou en Π, selon la façon de le disposer Figure I-1 [Lee98].

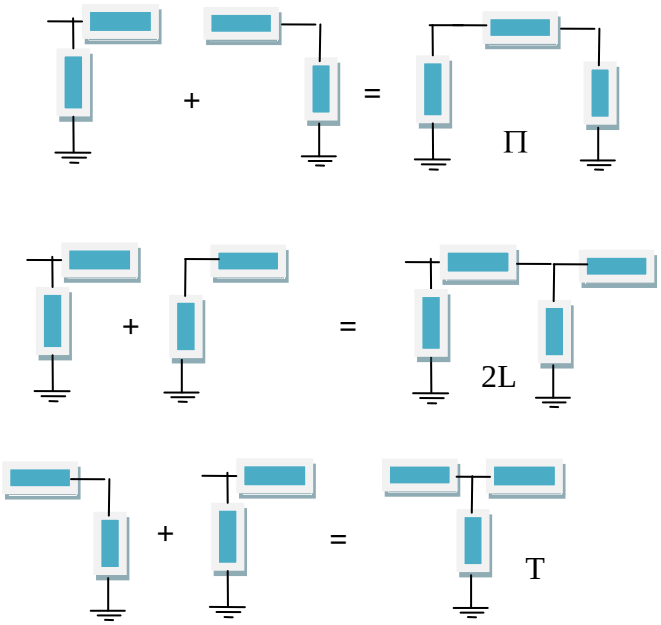


Figure I-1: Différentes topologies de RAA.

Les principales caractéristiques devant être prises en compte, afin de choisir la topologie de RAA la plus appropriée, seront traitées au sein du chapitre II.

I.2.3 Contextes d'application des RAA

Par la suite, nous citerons quelques exemples de contextes d'application des RAA trouvés dans la littérature.

a) RAA comme « tuner » d'antenne

Les antennes de téléphonie mobile doivent être compactes et fonctionner sur plusieurs bandes, afin de satisfaire aux besoins actuels de multi-standard. Par ailleurs, l'interaction de l'utilisateur dans le champ proche de l'antenne peut influencer fortement son impédance, et ainsi, la transmission de puissance vers l'antenne [Jon11], [Wha11]

Dans ce contexte, de nombreux travaux ont été réalisés pour mettre en évidence le bénéfice que l'introduction d'un RAA à l'entrée de l'antenne peut conférer. Par exemple, dans [Jon11], il a été estimé la modification d'impédance de l'antenne lors de l'interaction avec l'utilisateur, dans le standard de téléphonie mobile en bande basse (824-960 MHz) et en bande haute (1710-2170 MHz), Figure I-2.

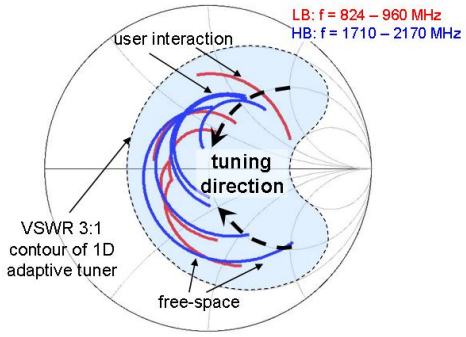


Figure I-2: Modification de l'impédance de l'antenne à cause de l'interaction avec l'utilisateur, en bande basse et en bande haute [Jon11].

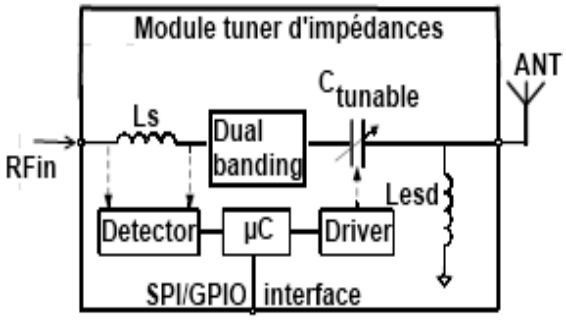


Figure I-3: Schéma du RAA proposé pour corriger l'impédance de l'antenne [Jon11].

Le RAA conçu par l'auteur pour corriger l'impédance de l'antenne, ainsi que le système de rétroaction automatique est montré sur la Figure I-3. Le RAA est très simple, il n'est composé que d'un varactor en série avec une inductance, disposés en série avec l'antenne, ce qui permet une couverture d'impédances très faible, mais suffisante pour corriger la partie imaginaire de l'impédance de l'antenne, et ainsi, réduire les réflexions. La boucle de rétroaction est constituée d'un microcontrôleur qui va traiter les informations délivrées par un détecteur de phase et un capteur d'amplitude de signal, et qui ensuite fournira la polarisation adéquate au varactor.

Ce RAA a été testé sur quatre modèles différents de téléphones portables et a permis d'augmenter en moyenne de 2 dB la puissance rayonnée par l'antenne.

De même, Allen [All11] a proposé un RAA pour corriger la désadaptation de l'antenne de l'Iphone 4, lorsque le doigt de l'utilisateur touche l'antenne. Sur l'abaque de Smith de la Figure I-4, on observe le changement d'impédance lorsque le doigt touche l'antenne. Les mesures ont ainsi montré que l'interaction avec l'utilisateur peut augmenter fortement le coefficient de réflexion de l'antenne de -15,8 dB à -1,1 dB.

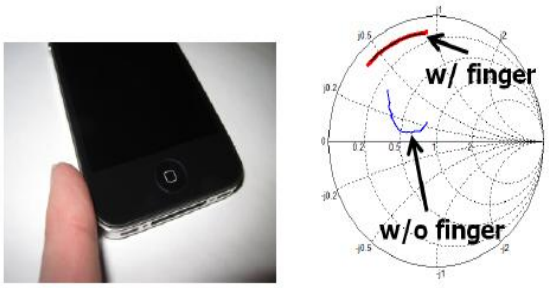


Figure I-4 : Estimation du changement d'impédance de l'antenne de l'Iphone 4 lorsque le doigt touche l'antenne [All11].

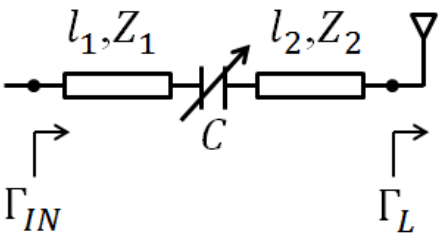


Figure I-5: Schéma de l'antenne associée au RAA proposé par [All11].

Comme le comportement de l'antenne avec le doigt devient inductif sur toute la bande de fonctionnement, un simple varactor en série avec l'antenne est suffisant pour l'adapter. Les lignes de transmission ont été ajoutées au RAA simplement pour réaliser la liaison du varactor et ajuster sa valeur vue de l'entrée, Figure I-5.

Toutefois, selon [Wha11] les antennes des téléphones portables les plus modernes sont encore plus miniaturisées, ainsi la variation de leur impédance est encore plus élevée. Le *VSWR* peut en effet atteindre 12:1, ce qui va dégrader de 5,5 dB la puissance rayonnée. L'auteur a donc proposé une structure de RAA avec une très large couverture en technologie intégrée CMOS sur Saphire 130 µm, à l'aide d'une topologie en Π et avec toutes les branches variables par des bancs de capacités commutées, Figure I-6.

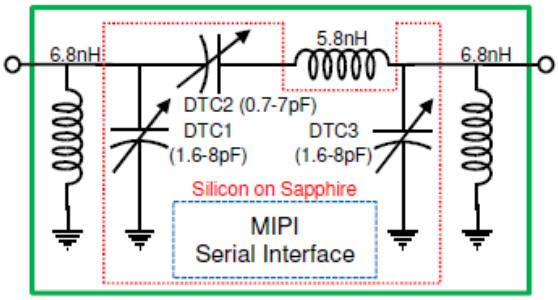


Figure I-6: RAA large couverture proposé dans [Wha11].

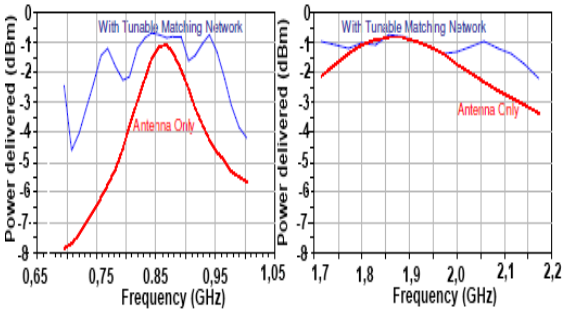


Figure I-7 : Puissance délivrée à une antenne typique d'applications mobiles 3G/4G, en fonction de la fréquence [Wha11].

La Figure I-7 met en évidence le gain en puissance délivrée à une antenne typique pour applications mobiles 3G/4G, obtenue grâce à l'insertion du RAA. Comme l'antenne résonne à 850 MHz, l'apport du RAA à cette fréquence est moindre. Cependant, on observe que dans les extrémités de la bande, comme à 698 MHz (Band XII LTE 4G aux US) ou 960 MHz et 2170 MHz, la désadaptation est très élevée et les pertes peuvent atteindre 8 dB. On constate qu'avec le RAA, la dégradation dans cette zone de fréquences est bien réduite. En effet, par exemple à 700 MHz, le gain en puissance délivrée à l'antenne est égal à 4,5 dB.

b) RAA ligne forte impédance et capacité variable par MEMS

En 2009, Allen [All09] a conçu un RAA composé d'une ligne de transmission à forte impédance et un varactor MEMS, disposé en L, pour adapter une charge capacitive constante.

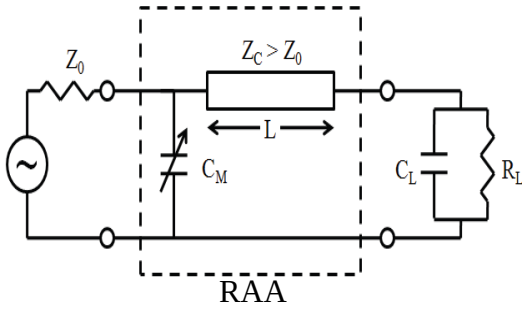


Figure I-8: Schéma du RAA proposé [All09].

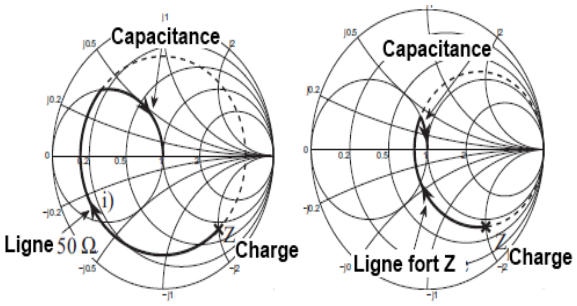


Figure I-9: Transformation d'impédances avec une ligne 50 Ω et une ligne forte impédance [All09].

L'auteur a montré que l'utilisation d'une ligne à impédance caractéristique élevée permet d'augmenter la bande passante du RAA, lorsque la charge à adapter est capacitive. Cet effet est évident lorsque l'on observe sur l'abaque de Smith les transformations d'impédances avec une ligne 50 Ω et une ligne à impédance caractéristique élevée. Le chemin de transformation est plus court avec cette ligne, le facteur de qualité de la transformation est donc plus petit et ainsi, la bande passante est plus grande. En outre, comme la charge est considérée constante, le varactor MEMS ne sert qu'à augmenter la bande passante.

c) RAA avec MEMS pour LNA multi-bande

Les récepteurs multi-bandes et multistandards exigent des « Low Noise Amplifier » (LNA) qui puissent fonctionner sur plusieurs bandes de fréquences. Une solution est d'utiliser plusieurs LNA en parallèle, un pour chaque standard ou bande de fréquences. Toutefois, de telles structures sont plus complexes et occupent une surface de silicium importante. Une autre alternative est d'utiliser un LNA large bande, qui permet une réduction de la surface, mais consomme plus de puissance [Noz09].

Dans ce sens, en 2009, [Malm09] a proposé d'introduire un RAA en entrée et en sortie d'un LNA, afin de présenter à l'entrée et à la sortie du LNA, les impédances les mieux adaptées à chaque bande de fréquences, pour des applications autour de 20 GHz. L'accordabilité est assurée par des MEMS qui commutent des capacités MIM (Métal Isolant Métal), Figure I-10.

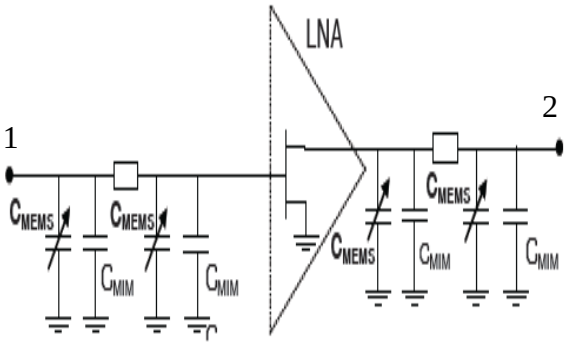


Figure I-10 : LNA "tunable" en fréquence par des RAA en entrée et en sortie [Malm09]

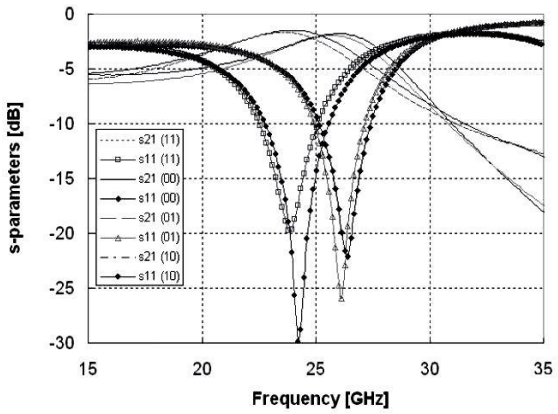


Figure I-11 : Paramètres S pour les quatre états générés [Malm09].

On note que les RAA présentent une topologie en Π, avec une branche série fixe constituée d'une ligne de transmission et les deux branches en parallèle formées par les capacités fixes et

les MEMS. Comme chaque branche présente un seul MEMS, on peut générer, au total, quatre états différents.

Les paramètres de réflexion (S_{11}) et transmission (S_{21}), correspondant à chaque état de MEMS sont illustrés sur la Figure I-11. En considérant un S_{11} < -15 dB, le LNA pourrait travailler dans quatre bandes différentes, de 23,3-24,4 GHz, 23,4-25 GHz, 25,5-26,6 GHz et 25,8-26,9 GHz. Les pertes d'insertion minimales se situent entre 1,5 et 2 dB.

d) RAA large bande et forte couverture

Un problème commun aux topologies de RAA utilisées pour l'adaptation des antennes est le comportement bande étroite. En effet, les structures classiques en Π ou en T peuvent atteindre une forte couverture d'impédances mais sur une bande de fréquences assez étroite. [Fra11] a donc proposé une structure qui permet d'augmenter la bande passante sans accroître les pertes d'insertion. Le RAA est constitué de six capacités commutées et de quatre inductances commutées, qui sont disposées de façon à générer, dépendant de l'état des «switchs», plusieurs topologies de RA différents, à savoir, en L, en 2L, en Π ou en T, Figure I-12.

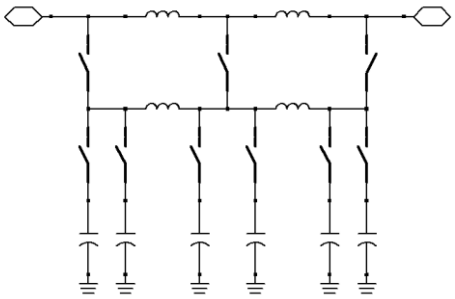


Figure I-12: Structure de RAA forte couverture et large bande proposée dans [Fra11].

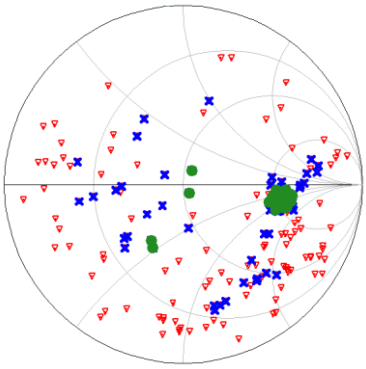


Figure I-13 : Couverture atteinte par le RAA, à une fréquence de 335 MHz, en vert les pertes d'insertion inférieures à 0,5 dB, en bleu entre 0,5 et 2 dB et en rouge, entre 2 et 3 dB.

La couverture mesurée du RAA est bien étalée sur l'abaque et atteint un VSWR de 10:1 pour trois fréquences : 220 MHz, 335 MHz et 450 MHz. On observe la couverture à 335 MHz sur la Figure I-13. Le critère de couverture adopté a été des pertes d'insertion inférieures à 3 dB et un VSWR < 2:1.

e) RAA pour les bancs de mesure de bruit

Les paramètres de bruit d'un transistor sont normalement estimés à partir de l'ensemble des valeurs du facteur de bruit correspondant à différentes impédances présentées à l'entrée (source) du transistor [Lan69]. Ceci demande de placer à l'entrée du transistor un « tuner » d'impédances capable de générer une importante gamme d'impédances sur une large bande de fréquences.

Un RAA peut donc être employé comme un outil essentiel pour la caractérisation en bruit des transistors et amplificateurs dans le domaine des microondes et des ondes millimétriques. Ils sont généralement constitués de structures coaxiales ou en guide d'onde, variables de façon mécanique. L'inconvénient de ces structures est qu'elles sont très volumineuses et ne sont pas intégrables.

Ainsi, quelques travaux ont été réalisés afin de réaliser des RAA intégrés, mais ils ne permettent pas une couverture aussi large que la solution mécanique et peuvent produire du bruit électronique gênant lors de la mesure des paramètres de bruit.

Par exemple, [Mci99] a proposé un RAA intégré constitué de lignes microstrip accordées par huit transistors « switchs », Figure I-14. La couverture d'impédances obtenue est assez limitée comme le montre la Figure I-15.

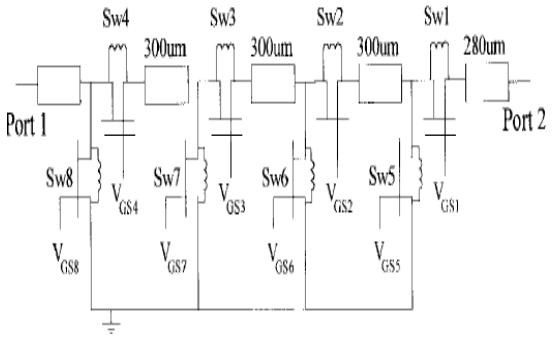


Figure I-14 : RAA intégré proposé pour la mesure des paramètres de bruit [Mci99].

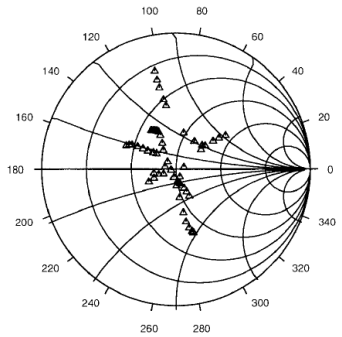


Figure I-15: Couverture d'impédances du RAA pour la mesure des paramètres de bruit [Mci99].

Cependant, un avantage de cette structure est lié à sa possible intégration avec le dispositif sous test. On peut ainsi s'affranchir des pertes liées aux câbles et aux connecteurs, ce qui devient très important en bande millimétrique [Tagro10].

f) RAA accordé par des varactors BST

Un RAA en Π dont les deux branches en parallèle sont accordées par des varactors composés de matériaux ferroélectrique de type « Barium Strontium Titanate ($BaSrTiO_3$) » (BST) et dont la branche série est formée par une inductance fixe, a été proposé dans [Mau11]. Ce RAA a été introduit entre la charge (typiquement une antenne d'impédance d'entrée 50 Ω) et la sortie d'un PA, Figure I-16.

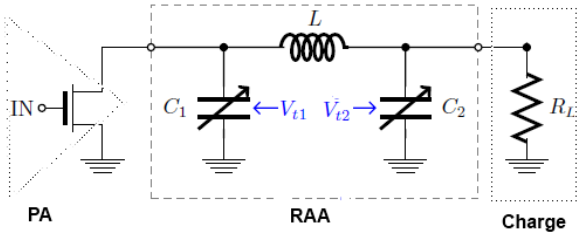


Figure I-16: Schéma du RAA proposé dans [Mau11], disposé entre la charge de sortie et le PA.

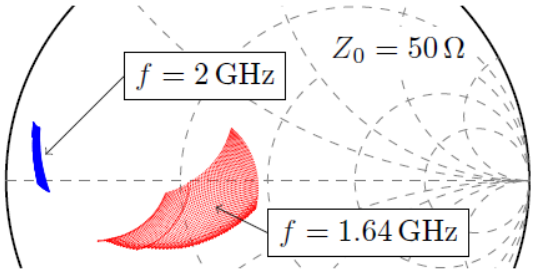


Figure I-17: Impédances générées à la sortie du PA pour une charge $R_L = 50\,\Omega$, à deux fréquences, 1,64 GHz et 2 GHz [Mau11].

L'ensemble des charges générées à la sortie du PA est montré sur la Figure I-17 pour deux fréquences de fonctionnement, à 1,64 GHz et à 2 GHz. Cette couverture peut être intéressante pour certains PA mais les pertes d'insertion du RAA, liées à un procédé de fabrication non optimal du BST, se sont montrées très élevées, environ 6 dB.

En 2004, Chen [chen04] avait conçu des capacités variables à BST avec un facteur de qualité supérieur à 60, ce qui a permis de construire des RAA avec des pertes d'insertion inférieures à 0,3 dB pour des fréquences situées entre 800 et 900 MHz. Le RAA avait été conçu en simple L, avec les deux branches accordables par les capacités variables à BST, comme illustré sur la Figure I-18.

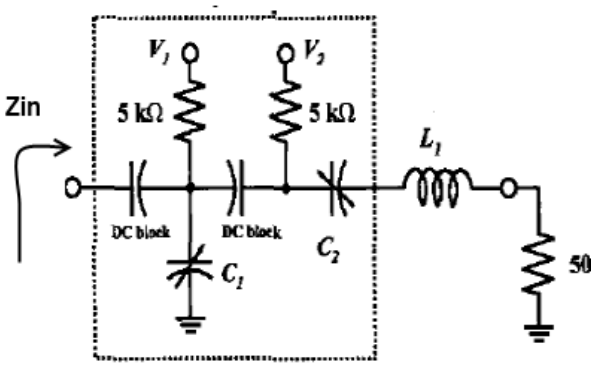


Figure I-18: RAA proposé dans [Chen04].

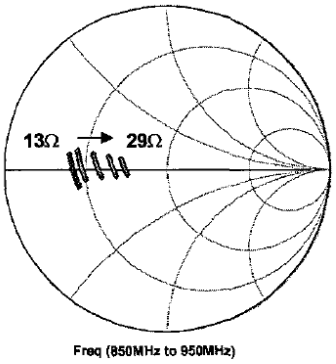


Figure I-19: Couverture d'impédances obtenue par le RAA proposé dans [Chen04].

La couverture d'impédances est présentée sur la Figure I-19. Le RAA est capable de générer des impédances réelles situées entre 13 Ω et 29 Ω à une fréquence située entre 800 MHz et 900 MHz, avec des pertes d'insertion inférieures à 0,3 dB.

De même, [Car11] a proposée de relier à l'entrée d'une antenne GSM, un RAA en Π accordable par des varactors BST. L'auteur a conclu que l'antenne pourrait être utilisée dans un standard GSM quadri-band.

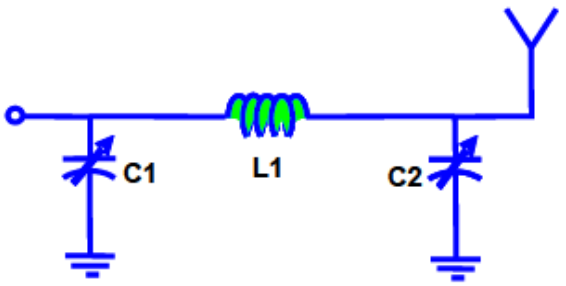


Figure I-20: Schéma RAA accordé par des varactors BST pour des antennes GSM, proposé par [Car11].

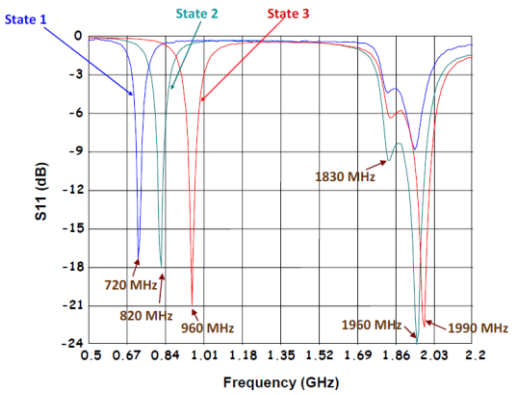


Figure I-21: Fréquences de résonnance correspondant à trois états des varactors BST par [Car11].

En outre, grâce à l'utilisation d'une couche de BST plus épaisse et à la mise en série de plusieurs varactors, la linéarité du RAA est intéressante car son IP3 est supérieur à 65 dBm.

g) RAA pour amplificateurs de puissance

Les systèmes de communication modernes requièrent l'utilisation de formats de modulation qui génèrent des signaux hyperfréquences dont l'enveloppe est variable avec des rapports entre la puissance crête et la puissance moyenne (PAPR-« Peak to Average Power Ratio ») très forts. Comme l'efficacité de l'amplificateur de puissance PA chute considérablement lorsqu'ils opèrent à des puissances plus faibles (région de « back-off ») et comme le PA représente environ 60 % de la consommation d'un terminal de téléphonie mobile, il existe un grand intérêt pour le développement de techniques qui permettent d'augmenter l'efficacité des PA aux puissances de fonctionnement plus faibles [Nem09].

Quelques techniques étudiées sont le contrôle de polarisation et la pré-distorsion numérique. Une autre possibilité est la modulation dynamique de charge. Il s'avère que pour chaque puissance de fonctionnement, il existe une charge qui présentée à la sortie du PA va optimiser son efficacité. Un RAA peut donc être introduit à la sortie du PA, de façon à présenter dynamiquement les impédances optimales correspondant à chaque niveau de puissance [Car09].

Le fort niveau des signaux RF à la sortie du PA représente un défi important pour les concepteurs de RAA, car la linéarité et la dynamique en puissance deviennent des aspects essentiels pour les composants accordables. Les enjeux du design de RAA à fort signal ont été étudiés, entre autres par [Nem09], qui a conçu un RAA sur PCB pour réaliser la modulation dynamique de charge d'un PA de 7 W classe E fonctionnant à 1 GHz. Le RAA est en simple *L*. La branche en parallèle est constituée d'une inductance en parallèle avec un varactor. La branche en série est une ligne d'impédance caractéristique 50 Ω. De cette façon, la transformation 50 Ω vers 50 Ω (impédance optimale correspondant à la puissance maximale) se produit à la résonnance entre l'inductance et le varactor, Figure I-22. L'ensemble d'impédances optimales (Z_{opt}) que le RAA doit couvrir, correspondant à un fonctionnement du PA entre 28 et 38 dBm, est illustré sur l'abaque de Smith de la Figure I-23.

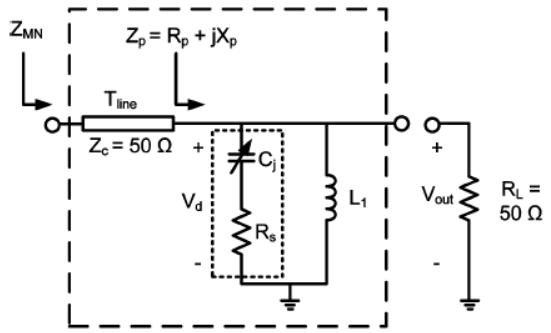


Figure I-22 : Schéma du RAA proposé [Nem09]

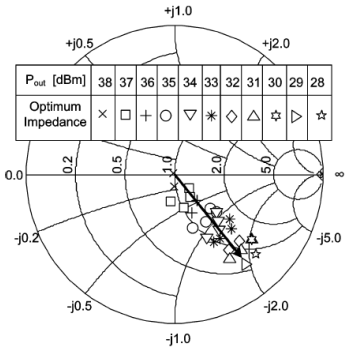


Figure I-23 : Lieu de l'ensemble de Z_{opt} à adapter [Nem09].

Le gain en PAE (« Power Added Efficiency ») obtenu grâce au RAA est illustré sur la Figure I-24. Il est évident que le gain en performance est significatif. Pour un back-off de −10 dB (38 à 28 dBm), par exemple, la PAE de l'amplificateur chargé par le RAA est 10 % supérieure à celle obtenue s'il était chargé par 50 Ω, passant de 22 % à 45 % environ.

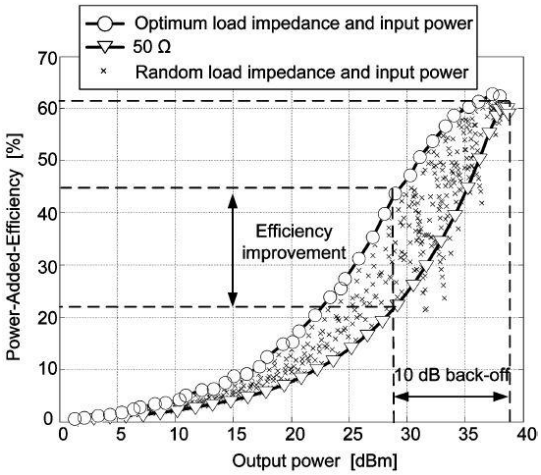


Figure I-24 : Comparaison de la PAE de l'amplificateur en onction de la puissance de sortie, avec l'introduction d'un RAA idéal, réel et sans RAA [Nem09].

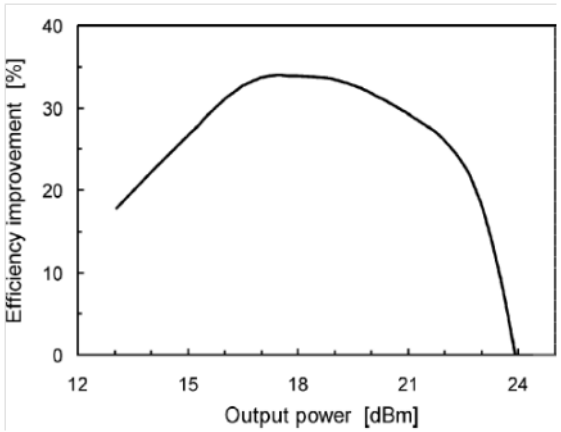


Figure I-25 : Gain en PAE obtenue pour un PA fournissant une puissance de 24 dBm à 2,4 GHz grâce à l'introduction du RAA pour la modulation dynamique de charge [Car09].

On observe sur la Figure I-25 le gain en efficacité obtenu dans [Car09] pour un démonstrateur PA+RAA réalisé en technologie SOI 130 nm. Le PA fonctionne à 2,4 GHz et à une puissance maximale de 24 dBm. L'amélioration de la PAE atteint 34 % pour une puissance de 18 dBm (6 dB de « backoff ») et 20 % à 14 dBm (10 dB de « backoff »).

h) RAA avec des éléments distribués pour les fréquences milimétriques

Il s'avère qu'aux fréquences millimétriques, soit grossièrement au-delà de 30 GHz, le facteur de qualité des varactors et « switchs » devient très faible, inférieur à 10 en technologie CMOS. Cependant, des capacités variables à MEMS gardent une bonne performance à ces fréquences et représentent donc une importante alternative pour la conception des RAA en millimétrique [Hei04].

De même, les inductances ne sont pas performantes du fait des fortes pertes conductrices et du couplage entre spires obligeant à augmenter le gap entre elles. A l'inverse les lignes de

transmission sont physiquement plus courtes et présentent un meilleur facteur de qualité. On constate ainsi que la solution la plus optimale pour la construction de RAA en millimétrique est de charger des lignes de transmission avec des capacités variables à MEMS [Foul10].

Dans ce contexte, [Foul10] a proposé un RAA large couverture fabriqué en technologie CMOS 0,35 µm, constitué de lignes coplanaires à ondes lentes et chargé périodiquement par huit capacités commutées par des MEMS. Cela permet de générer 256 (ou 2^8) impédances différentes. Trois éléments de la structure du RAA sont illustrés sur la Figure I-26.

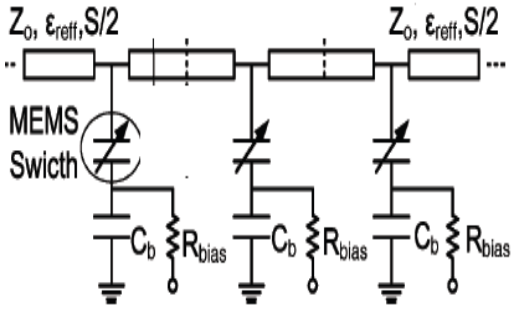


Figure I-26: Schéma du RAA proposé dans [Foul10].

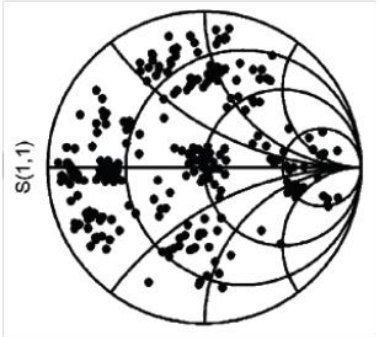


Figure I-27 : Couverture d'impédances à 24 GHz [Foul10]. Le RAA couvre un VSWR égal à 11,5:1, avec $|S_{11}| < -10$ dB,

Ce RAA couvre une large plage d'impédances correspondant à un VSWR=11,5:1, pour un coefficient de réflexion maximum toléré de 10 dB, Figure I-27. Les pertes d'insertion du RAA sont inférieures à 3 dB

I.3 Eléments Accordables

Les composants accordables constituent la brique essentielle d'un RAA. Toutefois, ces éléments doivent satisfaire un certain nombre de spécifications, notamment leur accordabilité et facteur de qualité, afin qu'ils soient appropriés à l'utilisation dans un RAA performant.

Le facteur de qualité peut être défini par le ratio entre l'énergie stockée et l'énergie dissipée dans le composant. Si l'on considère un modèle simple du composant, constitué d'une association en série d'une résistance (R_s) et d'une réactance (X_s), qui représentent respectivement les pertes et l'énergie réactive, Figure I-28, le facteur de qualité sera simplement le rapport entre X_s et R_s.

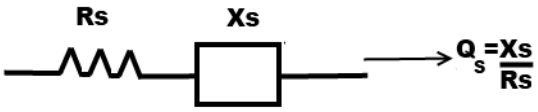


Figure I-28: Modèle pour l'estimation du facteur de qualité Q_s.

L'accordabilité η est définie par le rapport entre le maximum et le minimum de réactance que le composant peut présenter. Dans le cas d'un varactor, l'accordabilité est égale au rapport entre sa capacité maximale (C_{max}) et sa capacité minimale (C_{min}).

D'autre part, un composant à faible accordabilité compromet la couverture d'impédances d'un RAA, alors qu'un faible facteur de qualité provoque l'augmentation de la bande passante mais

accentue les pertes d'insertion [Hua10]. Ces aspects seront traités avec plus de détails dans le chapitre II.

Par la suite, nous allons traiter des composants réactifs variables qui peuvent être utilisés dans un RAA. Le paragraphe sera divisé en deux parties : capacité variable et inductance variable.

I.3.1 Capacitance variable

Une capacité planaire peut être décrite en première approximation par l'expression :

$$C = \frac{\varepsilon_0 \varepsilon_r A}{d} \tag{I.1}$$

où ε_0 est la permittivité diélectrique du vide, ε_r la permittivité relative du matériau situé entre les deux électrodes, A l'aire de l'armature métallique et d, la distance entre les armatures.

Les capacités présentées sont rendues variables grâce à la modification de l'un de ces paramètres.

a) Diode Varactor

Il s'agit de diodes de type Schottky polarisées en inverse. Le principe est qu'une tension de contrôle DC, appliquée sur la cathode, va créer une région de déplétion dans le semi-conducteur. Un changement de cette tension va ainsi modifier la profondeur d de cette région et, par conséquent, la capacité équivalente, Figure I-29.

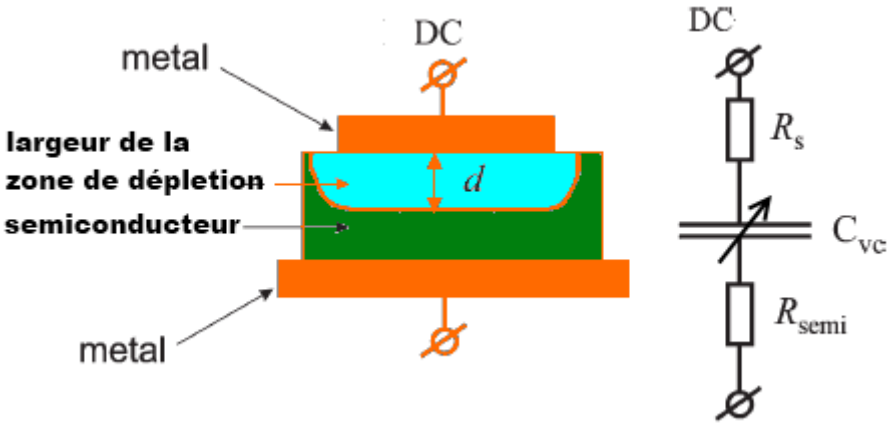


Figure I-29: Schéma et modèle d'une diode varactor de type Schottky.

Dans le modèle électrique du varactor, on distingue la capacité du varactor C_{vc}, ainsi que les résistances d'interconnexion (R_s) et une résistance variable du semi-conducteur (R_{semi}).

Ainsi, si le but est de construire un varactor de forte accordabilité, il faut que cette profondeur d soit très sensible à la tension de contrôle. Cette sensibilité sera liée au dopage du semi-conducteur. En effet, un semi-conducteur faiblement dopé va permettre d'atteindre une plus forte variation de la profondeur d. Cependant, la réduction de la concentration de dopants provoque une augmentation de la résistance du semi-conducteur (R_{semi}) et ainsi des pertes. Il y a donc un compromis évident entre pertes et accordabilité.

L'évolution de la capacité d'un varactor à jonction avec la tension de contrôle est modélisée par l'expression donnée dans [Mey75]:

$$C\ V\ = \frac{K}{\varphi + V\ ^{n}} \tag{I.2}$$

où K est une constante, φ est un potentiel interne, V est la tension de contrôle appliquée et n est un coefficient lié au dopage de la diode, n est égal à 0,5, par exemple pour une jonction uniformément dopée, et 1,5 pour une jonction avec dopage hyper abrupt.

b) Varactor MOS

Le varactor MOS est un transistor MOS dont le drain et la source sont reliés, tandis que la grille est polarisée par une tension DC. Entre la grille et la source/drain va ainsi se former une capacité constituée par l'association de la capacité d'oxyde (C_{ox}) avec la capacité de déplétion au niveau du canal (C_d), qui est modulée par la polarisation appliquée à la grille, Figure I-30. Le varactor MOS peut fonctionner dans deux modes: accumulation ou inversion. La seule différence entre ces deux modes porte sur le caisson sur lequel le NMOS a été fabriqué, caisson n+ pour un varactor à accumulation et caisson p pour le mode inversion, [Kun03].

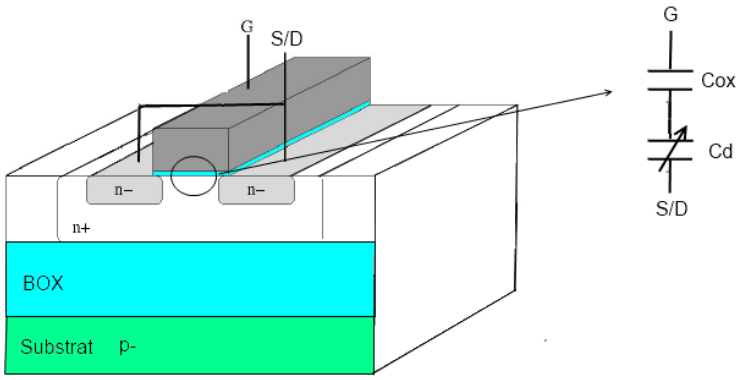


Figure I-30: Structure d'un varactor MOS SOI en accumulation.

Lorsque la tension entre la grille et la source/drain (V_{gs}) est positive, un canal reliant drain et source va se former. Le champ électrique résultant de la tension V_{gs} sera ainsi concentré totalement sur l'oxyde de grille et la capacité équivalente du MOS sera donc égale à la capacité d'oxyde (C_{ox}), le maximum de capacitance que le MOS peut atteindre.

Pour V_{gs} négatif, il y a la création d'une région de déplétion, formée par des porteurs positifs et, par conséquent, le champ électrique produit par la tension V_{gs} sera désormais partagé entre deux régions, l'oxyde et l'interface entre les porteurs positifs et la jonction n- de la source/drain. La capacité équivalente du MOS sera ainsi modélisée par deux capacités en série, la capacité de l'oxyde de grille (C_{ox}) et la capacité résultante de la création de la région de déplétion (C_d). Plus V_{gs} est négatif, plus cette capacité diminue, ceci se poursuit jusqu'à la formation d'une couche d'inversion, qui bloque l'augmentation de la zone déplétée (C_{dmin}), et ainsi, la capacité du MOS atteint son minimum.

L'évolution de la capacité du MOS avec la tension V_{gs} peut être décrite par la relation empirique, [Enz02]:

$$C_{var} = C_{var,min} + \frac{\Delta C_{var}}{2} \quad 1 + \tanh \quad \frac{V_{gs} - \Delta_{gso}}{V_{gs0_norm}} \tag{I.3}$$

ΔC_{var}, Δ_{gso} et V_{gs0_norm} sont des paramètres déterminés à l'aide de mesures.

La Figure I-31 illustre la capacité équivalente en fonction de la tension V_{gs} d'un varactor MOS en régime d'accumulation.

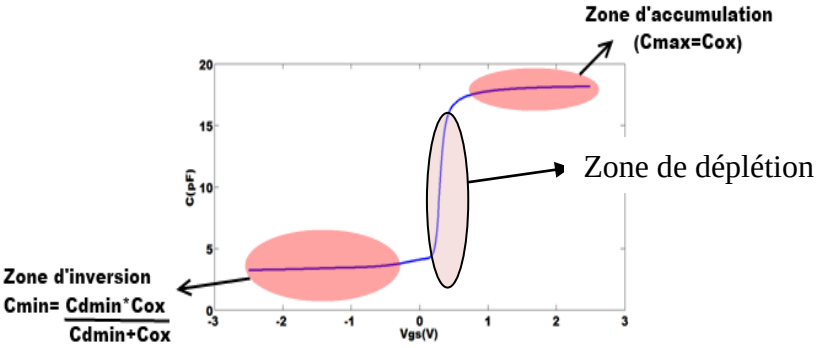


Figure I-31: Caractéristique C(Vgs) d'un MOS en accumulation.

Dans [Dun07], il a été établi que la capacité équivalente du varactor MOS en accumulation peut être estimée à partir de la relation:

$$C_{var} = W_{eff} L_{eff} \frac{C_{ox} C_d}{C_{ox} + C_d} n_f \tag{I.4}$$

où L_{eff} et W_{eff} sont respectivement la longueur et la largeur effective du canal de chaque doigt, n_f est le nombre de doigts ; C_{ox} et C_d sont respectivement les capacités surfaciques de l'oxyde de grille et de la zone de déplétion.

Cette expression nous permet de dimensionner le transistor en fonction de la capacité nécessaire pour l'application. En effet, le paramètre essentiel pour estimer ces dimensions est la capacité surfacique d'oxyde, qui dépend de la permittivité diélectrique relative (ε_{rox}) et de l'épaisseur d'oxyde (e_{ox}). Par exemple, dans la technologie SOI 130 nm de STMicroelectronics, on a 5 nm d'épaisseur et 3,9 de permittivité diélectrique. Ceci correspond à une capacité surfacique de **6,9 fF/µm²**. Ainsi, pour obtenir 1 pF, il faut un MOS dont le produit $W_{eff}L_{eff}$ soit environ égal à 145 µm².

La conception d'un varactor repose donc sur trois critères, la capacité équivalente nécessaire, l'accordabilité et le facteur de qualité. Le facteur de qualité est défini par la rélation: $Q = 1/(\omega_o CR)$. L'accordabilité est définie par le rapport entre C_{max} et C_{min}.

Le produit $W_{eff}L_{eff}$ fixe la capacité maximale, L_{eff} et W_{eff} influencent l'accordabilité et le facteur de qualité. L'accordabilité est liée à la longueur du canal L, pour des transistors dont les canaux sont plus courts, les capacités parasites augmentent, ce qui fait croître le C_{min}. Toutefois, les canaux plus courts présentent une résistance de canal plus faible, et ainsi, un plus fort facteur de qualité (impliquant moins de pertes d'insertion), [Fon02] et [Cha07]. Les Figure I-32 et Figure I-33 illustrent ce compromis entre les pertes et l'accordabilité pour un

varactor MOS. Afin de bien mettre en évidence l'impact de la longueur de canal L_{eff}, la largeur est choisie de façon à conserver une surface de grille constante.

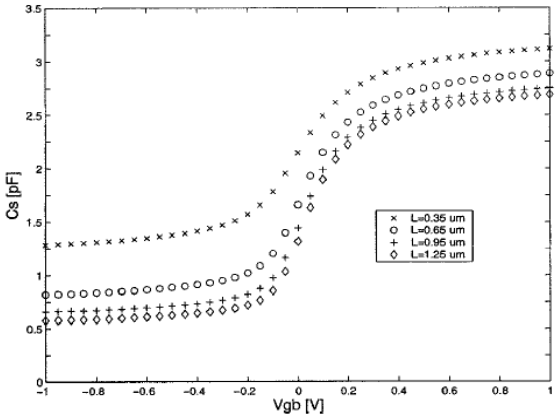


Figure I-32: Impact de la longueur de grille L_{eff} sur la caractéristique $C(V)$ d'un varactor MOS [Mol02].

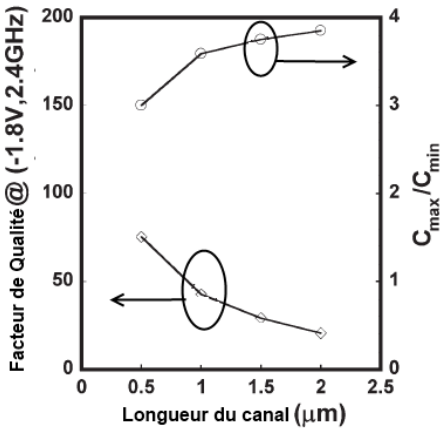


Figure I-33 : Illustration du compromis accordabilité et facteur de qualité dans un varactor MOS [Cha07].

Sur la Figure I-32, on observe que comme la surface de grille est conservée constante, la capacité en accumulation (capacité maximale) ne dépend guère de la longueur de canal. Cependant, dans la zone d'inversion, plus le canal est court, plus la capacité de déplétion est élevée, ce qui est normal, car la concentration de dopants est plus importante dans un canal plus court [Mol02].

Sur la Figure I-33, on constate l'importance du choix de la longueur du canal pour le facteur de qualité et l'accordabilité du varactor. En effet, un canal court permet d'atteindre un facteur de qualité élevé mais avec une accordabilité réduite, et vice-versa.

Il est important de bien préciser les pertes dans un varactor MOS. En fait, elles peuvent être modélisées par deux résistances en série, une qui correspond à la résistance de polysilicum (R_{poly}) de la grille et l'autre à la résistance de canal (R_{can}).

La résistance R_{poly} ne dépend pas de la polarisation, mais des dimensions du transistor et de la résistivité du Si-poly, alors que la résistance de canal est fortement dépendante de la polarisation.

Pour comprendre le comportement de la résistance R_{can} en fonction de la tension, il est intéressant d'introduire le concept de tension de bande plate, V_{FB}, qui indique la tension qui appliquée à la grille du transistor provoque une compensation du potentiel créé par les charges parasites situées à l'interface entre le silicium et l'oxyde, ainsi que du potentiel de contact entre le silicium et l'oxyde de grille. Lorsque la tension entre la grille et la source/drain (V_{gs}) est égale à V_{FB}, il y a une neutralisation de ces deux potentiels, [Sze81]. La Figure I-34 montre la caractéristique de la résistance équivalente dans un varactor en fonction de la tension appliquée, pour différentes longueurs de canal.

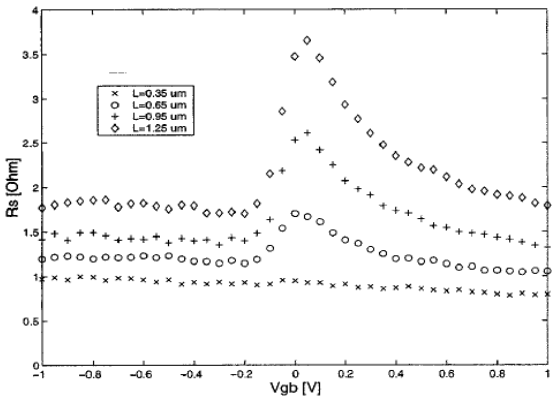


Figure I-34 : Evolution de la résistance avec la longueur de canal d'un AMOS, [Mol02].

On note la présence d'un pic de résistance pour certaines longueurs de canal. Ce pic apparaît justement lorsque l'on est sur la tension V_{FB}, dans la zone de déplétion. Cet effet est vraiment important à prendre en compte, car il survient justement dans la région de plus grande variabilité de la capacité. Il est donc possible que le varactor présente un bon facteur de qualité dans les zones d'inversion et accumulation, mais qu'il soit trop dégradé dans la zone de déplétion. Dans ce cas, le varactor ne serait pas assez performant.

On peut finalement distinguer les trois zones de fonctionnement. Pour $V_{gs}>V_{FB}$, le varactor est en accumulation, dans le canal, il y a donc une forte concentration de porteurs majoritaires, par conséquent, R_{can} est faible. Lorsque V_{gs} diminue, ces porteurs commencent à être expulsés du canal, ainsi R_{can} va croître jusqu'à ce que l'on atteinge la tension de bande plate. Pour cette tension, il n'y a plus de porteurs pour faire le canal et R_{can} atteint sa valeur maximale. Pour $V_{gs}<V_{FB}$, le varactor entre en zone d'inversion, il y a donc la formation d'un canal constitué de porteurs minoritaires, qui provoque une réduction de R_{can}. Toutefois, ce pic de résistance n'est visible que lorsque les transistors présentent un canal long, car à canal court, la résistance de polysilicium devient importante par rapport à la résistance de canal. Comme la résistance R_{poly} ne dépend pas de la polarisation, la résistance équivalente du varactor reste constante sur toute la plage de variation de tension. On observe aussi que comme R_{can} est proportionnelle à la longueur L_{eff} du transistor, l'amplitude du pic sera réduite lorsque L_{eff} diminue.

Les résistances R_{poly} et R_{can} peuvent être décrites par les relations de proportionnalité suivantes [Mor08] :

$$R_{poly} \propto \frac{W_{eff}}{L_{eff}} \quad \text{et} \quad R_{can} \propto \frac{L_{eff}}{W_{eff}},$$

où W_{eff} et L_{eff} sont, respectivement, la largeur et la longueur de canal dans une structure à un seul doigt.

Ces expressions mettent en évidence les effets des dimensions du varactor sur les résistances R_{can} et R_{poly}. Ainsi, pour les canaux plus longs ou moins large (L_{eff} grand ou W_{eff} petit), la résistance de canal va prédominer, alors que pour les canaux plus courts ou plus larges (L petit ou W grand), c'est R_{poly} qui va prédominer.

L'évolution des pertes dans le varactor MOS peut être finalement illustrée à partir du modèle de la Figure I-35.

La Figure I-36 montre la courbe de résistance d'un varactor MOS, en mettant en évidence la résistance qui prédomine (R_{eq}) dans chaque région de fonctionnement du varactor.

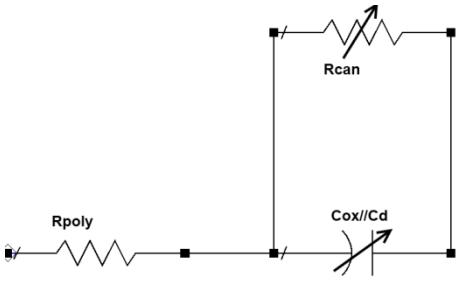


Figure I-35 : Modèle du varactor.

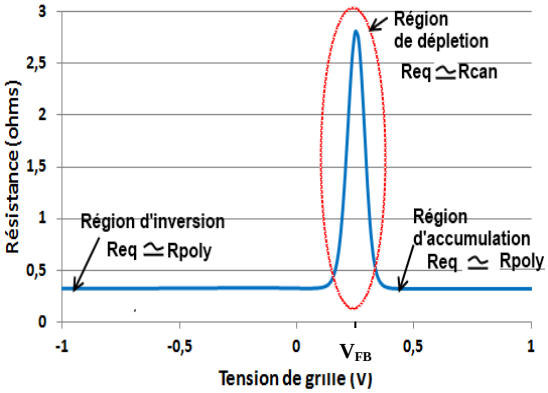


Figure I-36: Evolution des pertes en fonction de la polarisation de grille du varactor.

Sur la Figure I-36, on distingue bien les trois régions de fonctionnement:

-La région d'inversion: la capacité est faible, vu qu'à la capacité d'oxyde va s'associer en série la capacité de canal. Cette faible capacité va produire une forte réactance par rapport à la résistance de canal (R_{can}), par conséquent, la contribution de R_{can} à la résistance équivalente (R_{eq}) sera négligeable et c'est R_{poly} qui va dominer les pertes.

-La région de déplétion : la capacité augmente à cause de la réduction de la concentration de porteurs dans le canal. La résistance de canal augmente aussi et atteint un maximum lorsque la tension de grille est égale à la tension de bande plate, vu que pour cette polarisation, il n'existe plus de charges libres pour former le canal. Ainsi, comme R_{can} est élevé et la capacité est élevée, la contribution de R_{can} aux pertes du varactor va croître et va donc dominer les pertes.

-La région d'accumulation : la capacité atteint son maximum, à savoir, la valeur de la capacité de l'oxyde de grille. Cependant, grâce à la formation du canal de porteurs n majoritaires de plus forte mobilité, la résistance de canal diminue et les pertes seront de nouveau dominées par la résistance de poly.

c) Capacité et « switch »

Un autre moyen de faire varier une capacité équivalente consiste à réaliser des associations en série de capacités et « switchs ». Le « switch » peut être implémenté, par exemple, à partir d'un transistor NMOS, dans ce cas, le « switch » sera commandé par la tension appliquée à la grille (V_g) du MOS. Lorsque V_g est supérieure à la tension de seuil (V_t) du NMOS, il y a la formation d'un canal de conduction, qui présente cependant naturellement des pertes, dans ce mode, le transistor peut donc être représenté par une résistance R_{on}, qui modélise ces pertes. Pour V_g inférieur à V_t, le MOS est en mode bloqué et le transistor peut être modélisé par une capacité C_{off}, formée entre le drain et la source. La Figure I-37 résume les modèles électriques des deux états d'un transistor qui commute une capacité fixe.

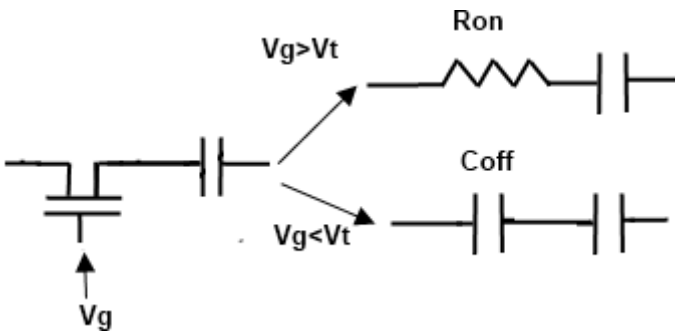


Figure I-37 : Modèle électrique des deux états d'un transistor qui commute une capacité fixe.

La résistance R_{on} est exprimée par la résistance de canal d'un transistor en régime bloqué ($V_g < V_t$) [Sjo02]:

$$R_{on} = \frac{1}{\mu C_{ox}} \frac{L}{W} \frac{1}{V_{gs} - V_t}$$

où μ, C_{ox}, W et L sont, respectivement, la mobilité de porteurs, la capacité surfacique d'oxyde, la largeur et la longueur du transistor.

Cette expression indique les dimensions de transistor à choisir afin de minimiser R_{on}, et par conséquent, les pertes d'insertion. Il est donc intéressant d'utiliser la longueur de canal L la plus courte disponible dans la technologie, ainsi qu'une largeur de canal W assez élevée.

Cependant, la capacité C_{off} est proportionnelle la largeur W. Un canal plus large va donc présenter moins de pertes mais une plus forte capacité C_{off}, par conséquent, l'accordabilité sera réduite.

On peut donc définir un facteur de mérite caractéristique de chaque technologie, qui va indiquer la performance du « switch ». Ce facteur de mérite peut être représenté par le produit $R_{on}C_{off}$, Figure I-38. En fait, plus le produit $R_{on}C_{off}$ sera petit, plus l'isolation sera élevée et plus les pertes seront faibles [Tom10].

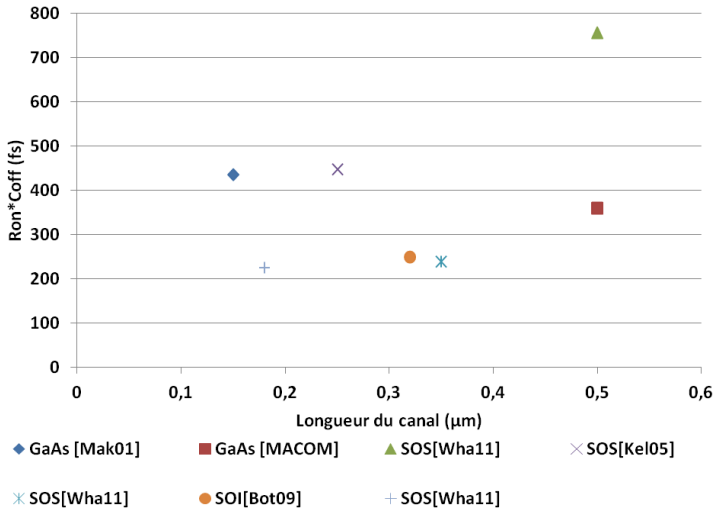


Figure I-38: Comparaison du produit $R_{on}C_{off}$ selon la technologie employée.

En résumé, les technologies les plus avancées, qui permettent d'avoir des canaux plus courts vont générer des « switchs » avec un produit $R_{on}C_{off}$ plus faible. En outre, nous verrons que

l'isolation de substrat présent dans une technologie SOI améliore l'isolation, et réduit ainsi le produit $R_{on}C_{off}$.

d) MEMS

Les MEMS (Micro-Electro-Mechanical System) sont des micro systèmes mécaniques intéressants pour la réalisation de fonctions accordables, grâce à leur propriété de répondre mécaniquement à une action électrique.

La fabrication des MEMS emploie des moyens technologiques spéciaux. En effet, certaines étapes du procédé sont inexistantes dans une technologie CMOS classique, comme la gravure profonde, la gravure sélective et les dépôts de couches épaisses.

L'actionnement des composants MEMS se fait généralement par une force électrostatique. Mais on trouve également des MEMS actionnés par une déformation thermique. Certains peuvent également être actionnés par une force magnétique ou grâce à une couche de matériaux piézoélectriques.

-Switch MEMS

Dans des applications RF jusqu'aux fréquences millimétriques (0,1 à 100 GHz), les MEMS sont couramment utilisés comme « switchs ». La méthode la plus fiable et la plus adaptée aux techniques de fabrication pour commander les « switchs » consiste à générer une force électrostatique.

On peut citer plusieurs avantages d'un « switch » MEMS par rapport à un « switch » transistor ou à diode pin, tels que : très faible consommation de puissance, forte isolation, faibles pertes d'insertion, forte linéarité. Cependant, ils présentent quand même certains points négatifs, tels qu'un temps de réponse plus élevé, une forte tension de commande (20-80 V). Ils sont aussi moins fiables et plus chers [Reb01].

Un « switch » ohmique est composé d'une partie déformable qui permet, via un contrôle, de rétablir, par contact métal-métal, une liaison entre deux parties d'un guide, Figure I-39 et Figure I-40.

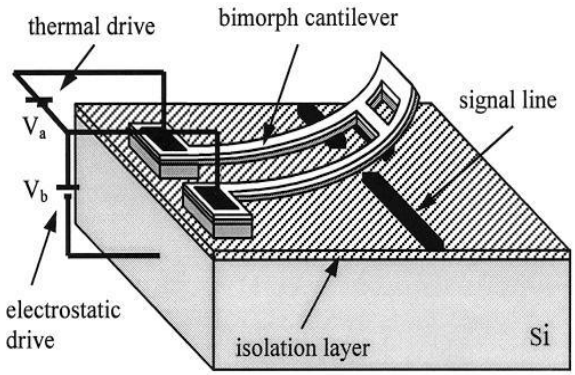


Figure I-39: Schéma d'un « switch » MEMS ohmique.

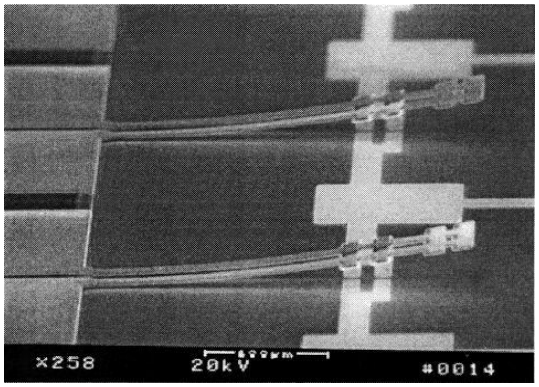


Figure I-40: Photographie du « switch » MEMS ohmique.

Comme pour les « switchs » MOS, les MEMS peuvent être modélisés par une capacité en mode « off », C_{off}, qui va indiquer l'isolation du « switch ». En mode « on », on modélise le

MEMS par une résistance $R_{on,}$ qui va indiquer les pertes d'insertion. Les valeurs typiques de R_{on} et C_{off} des « switchs » MEMS sont respectivement d'environ 1 Ω et entre 2-4fF. Ceci correspond à une isolation située entre -46 et -40 dB à 4 GHz et 0,1 dB de pertes d'insertion jusqu'à 40 GHz. Ces performances sont intéressantes pour la réalisation de fonctions accordables et justifient l'intérêt très vite suscité par ces dispositifs, même si aujourd'hui des difficultés de mise en œuvre (packaging, chargement diélectrique, fiabilité, lenteur) limitent encore leur utilisation.

-Varactor MEMS

Les varactor MEMS peuvent être implémentés à partir du changement d'un des paramètres d'une capacité. Ainsi, nous trouvons des MEMS dont la capacité est variable par le biais du contrôle de la permittivité diélectrique, de la surface, ou de l'écart entre les deux électrodes métalliques, comme illustré sur la Figure I-41.

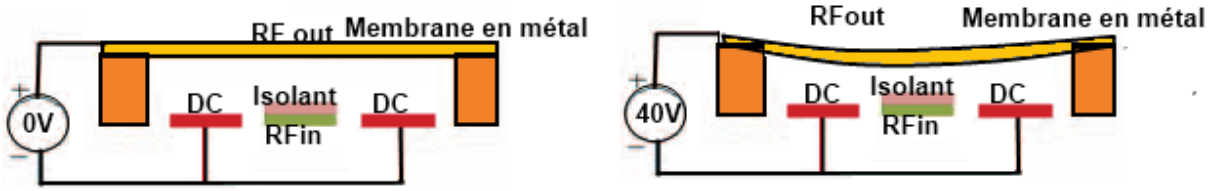


Figure I-41: MEMS à capacité variable avec la distance entre deux électrodes.

Le problème de ce genre de structure de varactor MEMS est la dépendance entre la tension de contrôle et le facteur de qualité. En effet, pour diminuer les pertes RF, il faut que l'on augmente l'épaisseur de la membrane. Mais cela implique aussi une augmentation de la tension de contrôle.

Afin d'éliminer cette dépendance, il a été proposé des structures où le signal RF ne traverse plus la membrane [Suk08]. La Figure I-42 met en évidence les différences entre la structure varactor MEMS classique et celle proposés dans [Suk08].

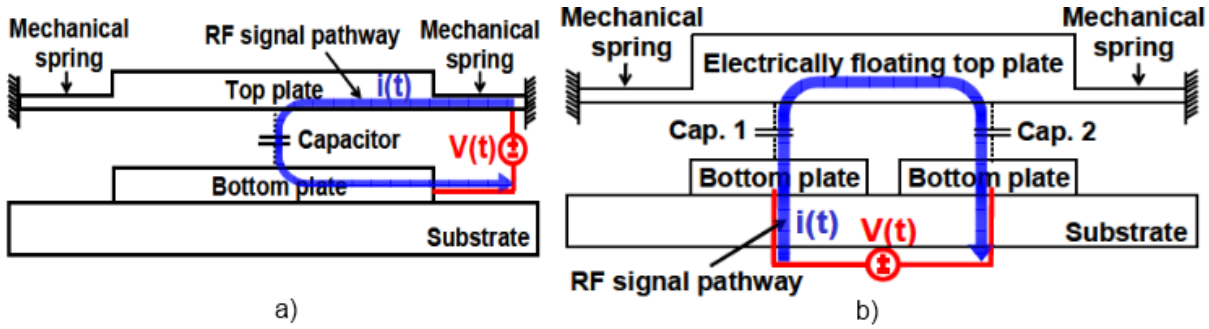


Figure I-42: a) Varactor MEMS classique et b) Varactor MEMS avec membrane découplée du chemin RF [Suk08].

Avec ce type de structure, on peut augmenter l'épaisseur de la membrane et du plateau inférieur, ce qui va faire croître le facteur de qualité, sans augmenter la tension de contrôle. En effet, ce varactor MEMS présente, à 5 GHz, un facteur de qualité égal à 35, contre 12 classiquement. Toutefois, son accordabilité est peu élevée, inférieure à 30% pour une tension de commande entre 0 V et 3,3 V.

Un autre point négatif de cette structure est la robustesse en puissance RF. Ceci représente un aspect important actuellement, car les systèmes de communication mobile opèrent souvent à des puissances supérieures à 30 dBm.

Certains auteurs ont alors proposé des varactors MEMS plus linéaires, mais avec une augmentation de la tension de contrôle, supérieure à 30 V. Afin de répondre aux besoins des systèmes nécessitant de fortes puissances, [Yam10] a proposé une nouvelle structure de varactor MEMS, constituée de deux capacités fixes MIM (métal-isolant-métal) en série avec le varactor MEMS, Figure I-43.

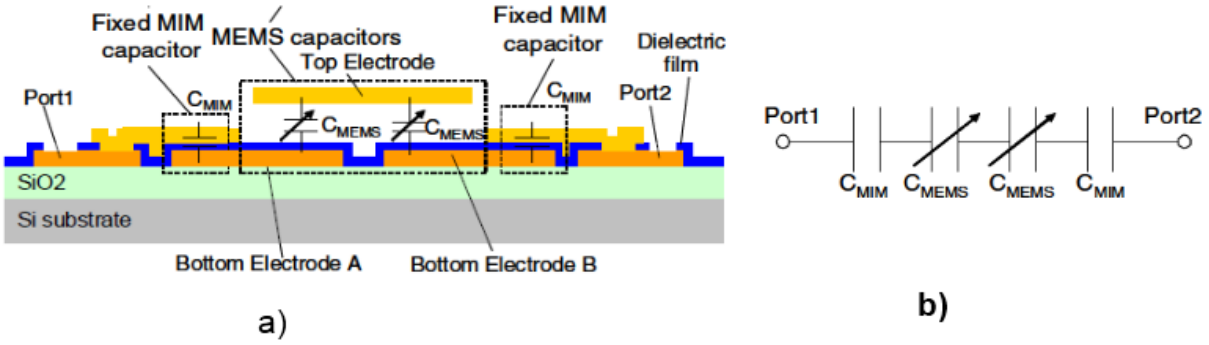


Figure I-43: Structure de varactor MEMS proposés dans [Yam10]. a) Coupe transversale b) Circuit équivalent

Cette structure peut être modélisée par l'association série de deux capacités MIM fixes et deux capacités variables, Figure I-43b. La tension RF sur la structure est partagée entre les capacités fixes (C_{MIM}) et les varactors MEMS (C_{MEMS}).

On assume, par exemple,que $C_{MIM} = C_{MEMS}$. Si la tension RF entre les ports 1 et 2 vaut V_{RF}, la différence de potentiel sur chaque varactor MEMS sera égal à $V_{RF}/4$ La structure MEMS globale peut ainsi supporter une plus forte puissance RF.

e) Matériaux ferroélectriques

Les matériaux ferroélectriques présentent la propriété particulière de voir modifiée leur constant diélectrique par le biais d'un champ électrique externe.

Un matériau ferroélectrique très intéressant pour les applications RF est le Barium Strontium Titanate (BST). On peut citer quelques propriétés importantes du BST : forte constante diélectrique (entre 50 et 300), variation de la permittivité électrique de l'ordre de 4:1 en fonction du champ électrique appliqué, réponse rapide aux variations de champ électrique, champ électrique de claquage élevé (supérieur à 2.10^6 V/cm), et possibilité de dépôt de couches fines sur une grande variété de substrats [Yor00].

Les Figure I-44 et Figure I-45 présentent le schéma électrique équivalent d'une capacité BST variable, ainsi que la caractéristique typique de la permittivité diélectrique en fonction de la polarisation DC.

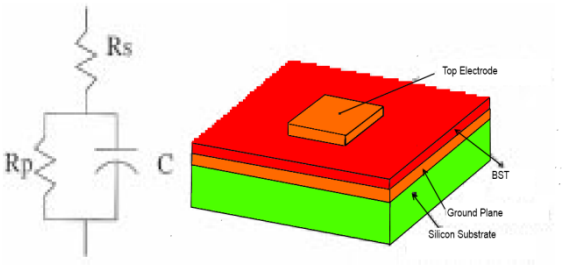


Figure I-44: Schéma d'une capacité variable avec une couche fine de BST [Tom02].

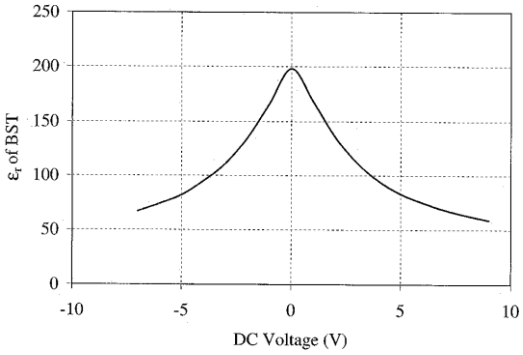


Figure I-45: Evolution de la permittivité diélectrique du BST en fonction de la polarisation DC [Tom02].

On observe une variation significative de la permittivité diélectrique avec la tension de polarisation, ce qui permet de réaliser des varactors à forte tunabilité.

f) Lignes Accordables par des capacités

Grâce à leur simplicité, les lignes de transmission de longueur électrique quarte d'onde se sont popularisées comme adaptateurs d'impédances. En effet, l'impédance caractéristique et longueur électrique de la ligne déterminent la transformation d'impédance effectuée. Par exemple, pour transformer une impédance réelle Z_L en Z_S à une fréquence f, il suffit d'utiliser une ligne quarte d'onde dont l'impédance caractéristique Z_c soit égale $\sqrt{Z_L Z_S}$.

En 1967, Hamid [Ham67] a montré que des lignes de longueur différente de λ/4 pourraient également être utilisées pour transformer une impédance réelle en une impédance complexe.

Par la suite, quelques travaux ont montré que la mise en cascade de lignes de transmission de longueur et impédance caractéristique spécifiques pourraient réaliser des RA multi-bandes. Un RAA bi-bande et un RAA tri-bande, constitués respectivement de deux et de trois tronçons de ligne ont par exemple été implémentés par Monzon [Mon03] et [Ang04].

La longueur électrique de la ligne (et en conséquence également l'impédance caractéristique) peut être modifiée en associant des capacités. Bischoff [Bis94] a ainsi montré qu'il était possible de construire un RAA avec des lignes de transmission dont la longueur est rendue variable par des bancs de capacités commutées, Figure I-46.

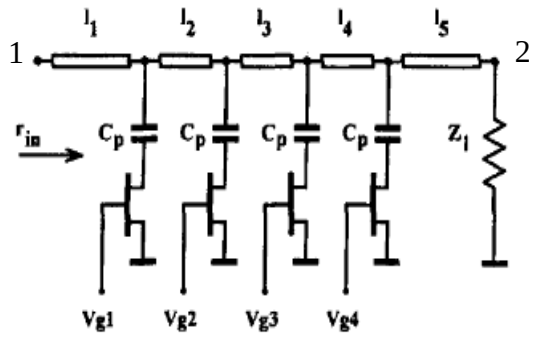


Figure I-46: Schéma du RAA proposé par Bischoff [Bis94].

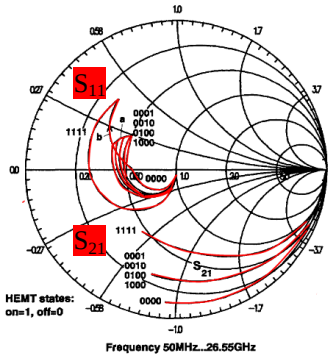


Figure I-47: Impédances générées (S_{11}) entre 50 MHz et 25,55 GHz et transmission S_{21} [Bis94].

L'ensemble de points d'impédances générés, entre 50 MHz et 25,55 GHz, correspondant à quelques états des « switchs », peuvent être visualisés à partir des paramètres S_{11} indiqués sur

l'abaque de la Figure I-47. Le coefficient de transmission (S_{21}) est également indiqué. On observe que les capacités commutées ont eu, en effet, un impact sur l'ensemble d'impédances générées.

Ensuite, Chun [Chu07] a implémenté des lignes accordables par le biais du changement de leur impédance caractéristique Z_C. La technique employée consiste à introduire, dans une ligne de transmission, un « swicth » entre un métal intermédiaire et la masse. On considère qu'entre le métal supérieur et le métal intermédiaire, il y a une capacité C_1, alors qu'entre ce métal intermédiaire et la masse, il y a une capacité C_2, avec $C_1 >> C_2$, Figure I-48. Ainsi, lorsque le « switch » est en mode « passant » (« on »), la capacité équivalente est égale à C_1, et lorsque le « switch » est en mode « bloqué » (« off »), la capacité équivalente vaut C_2. La ligne présentera donc une valeur d'impédance caractéristique Z_C différente pour chaque état des « switchs ». De même, afin de permettre une variation continue de Z_C, le « switch » pourrait être remplacé par un varactor, comme indiqué sur la Figure I-48(d).

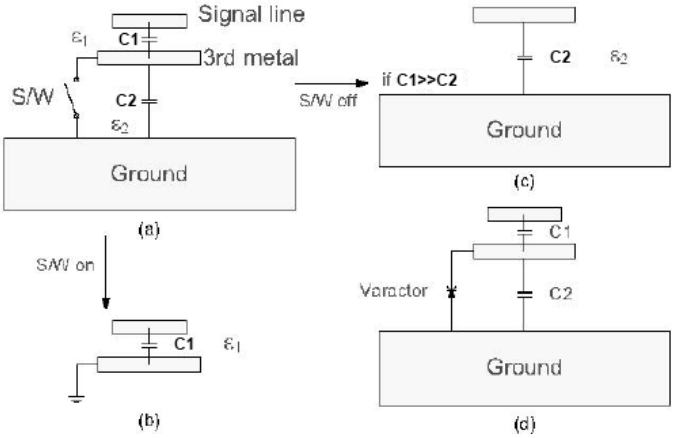


Figure I-48: a) Structure de la ligne de transmission accordable proposée b) Schéma lorsque le « switch » est « passant » c) Schéma lorsque le « switch » est « bloqué » d) Structure de la ligne avec un varactor au lieu du « switch » pour des variations continues de la capacité équivalente [Chu07].

En partant de ce principe, l'auteur a conçu un RAA en technologie PCB basé sur des lignes CPW chargées par des capacités fixes et un seul varactor, Figure I-38Figure I-49. L'ensemble d'impédances générées, entre 800 MHz et 1GHz, est indiqué sur la Figure I-50.

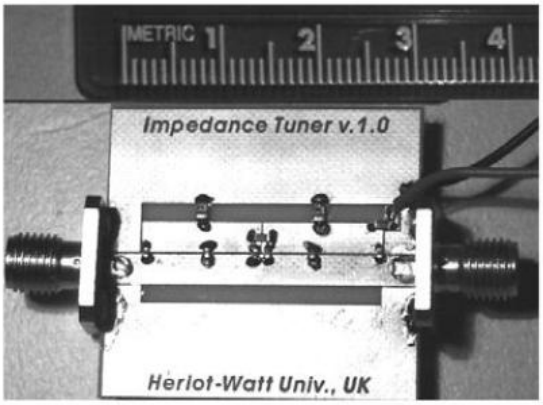


Figure I-49: Schéma du RAA proposé basé sur des lignes CPW à impédance caractéristique variable.

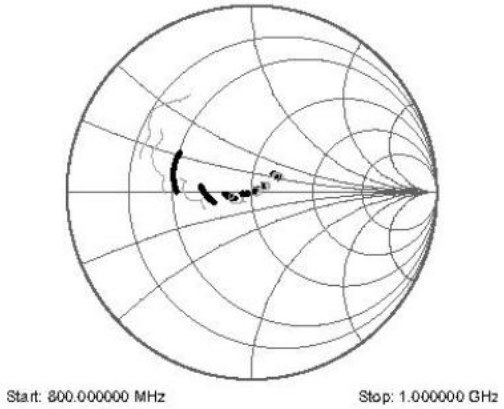


Figure I-50: Couverture d'impédances obtenue entre 800 MHz et 1 GHz.

Ceci peut représenter une intéressante solution de RAA, car même si la couverture est faible, elle pourrait être améliorée en chargeant la ligne avec plusieurs varactors.

Enfin nous avons déjà vu que Fouladi [Foul10] a utilisé ce principe pour concevoir un RAA intégré en CMOS, constitué de lignes coplanaires à onde lente (S-CPW) chargées par des capacités commutées par des MEMS. Cette solution qui a permis d'atteindre une large couverture à des fréquences millimétriques (13-24 GHz), Figure I-26.

I.3.2 Inductance accordable

La réalisation d'inductances accordables performantes continue à constituer un grand défi. Les principaux obstacles sont la taille et les pertes, qui sont toujours assez élevées. En outre, les méthodes de fabrication s'avèrent encore trop complexes.

Dans la littérature, plusieurs méthodes pour rendre variable les inductances ont été traitées. Un moyen serait, par exemple, d'associer des « switchs » entre les spires d'une inductance. L'état des « switchs» détermine alors le nombre de spires et ainsi, l'inductance. Ces « switchs » peuvent être réalisés par le biais de transistors MOS [Par04] ou de MEMS [Zad08]. La structure proposée dans [Par04] est illustrée sur la Figure I-51, qui montre que les spires de l'inductance sont empilées dans des niveaux de métaux différents. Ensuite les transistors sont associés en parallèle, de façon à ajouter ou négliger la spire. Par ailleurs, le fait d'empiler les inductances sur plusieurs niveaux de métal a permis une réduction de 50 % de la surface par rapport à une inductance de même valeur mais réalisée seulement avec le dernier niveau de métal.

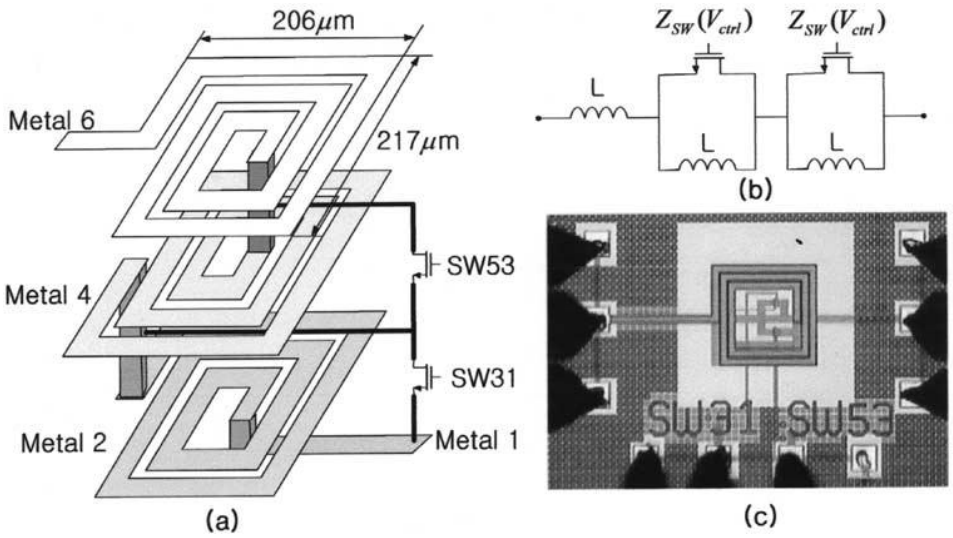


Figure I-51 : a) Structure d'inductance variable proposée avec des « switchs » MOS dans [Par04]. b) Schéma électrique c) Photo du layout de l'inductance.

Malgré l'intéressante accordabilité atteinte par cette solution, entre 8 et 23 nH, le facteur de qualité reste faible pour les applications RF, inférieur à 10 à 2,4 GHz, du fait que l'épaisseur des métaux est de plus en plus faible lorsque l'on s'éloigne des niveaux supérieurs, avec en conséquence des pertes conductrices élevées.

Une autre structure intéressante a été relatée dans [Zad08], où le principe du transformateur est utilisé, Figure I-52.

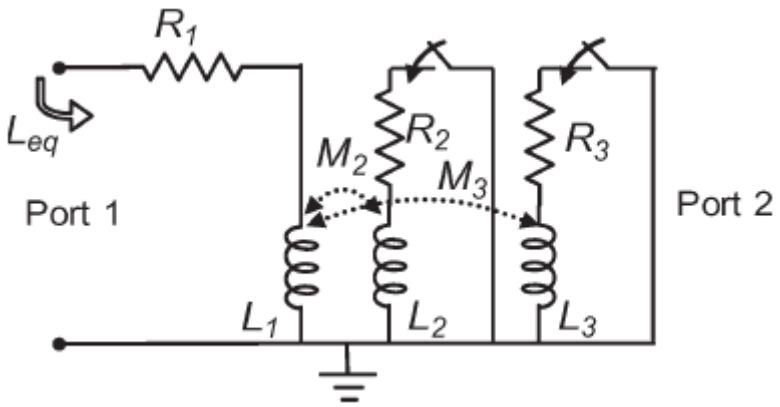


Figure I-52: Schéma d'une inductance variable proposé dans [Zad08].

On observe que les « switchs » sont placés dans le secondaire du transformateur. De cette façon, l'inductance mesurée au primaire (port 1) dépend de l'état des « switchs ». Si par exemple tous les « switchs » sont ouverts, l'inductance mesurée est égale à L_1. En outre, ces « switchs » ont été implémentés par le biais de MEMS. A une fréquence de 6 GHz, l'auteur est parvenu à un facteur de qualité intéressant, entre 20 et 45, pour une inductance d'environ 1 nH.

Une autre manière de faire varier une inductance consiste à déplacer les spires les unes par rapport aux autres, de façon à modifier le couplage magnétique entre elles [Lub01], Figure I-53.

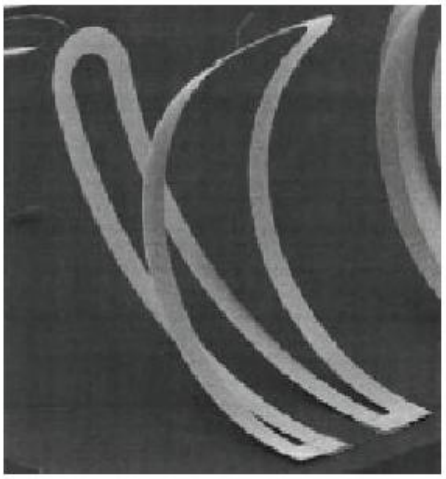


Figure I-53: Photographie d'une inductance MEMS variable [Lub01].

Cette structure peut être fabriquée à partir d'un procédé similaire à celui d'un MEMS. A partir du dépôt d'une couche d'oxyde sacrificiel entre le substrat et le métal de l'inductance, l'oxyde est ensuite gravé et les spires sont libres de mouvement. Le déplacement des spires peut être réglé à partir d'une commande en courant, car la variation de courant provoque un changement de température qui produit un stress mécanique entre métal et oxyde, et ainsi, une variation de la position de la spire. Cette variation de la position relative entre les spires va provoquer un changement du couplage magnétique, et donc de l'inductance équivalente. La structure proposée dans [Lub01] permet d'obtenir une inductance d'environ 1 nH. Ces inductances peuvent opérer à une fréquence pouvant aller jusqu'à 20 GHz, avec un facteur de qualité maximum égal à 13 et une variation de 18 % de leur valeur.

Dans [Miz09], il a été décrit une inductance MEMS variable, qui permet d'avoir une accordabilité beaucoup plus forte. Les auteurs utilisent le même principe décrit précédemment, qui consiste obtenir une variation d'inductance à partir du changement de la position relative entre deux spires. Pour cela, les spires sont empilées sur différents niveaux de métal et la modification de leur position relative implique une variation du couplage magnétique, et ainsi de l'inductance équivalente. Cette idée est illustrée sur la Figure I-54, où sont représentées différentes positions relatives entre deux spires, qui vont ainsi produire différentes inductances équivalentes.

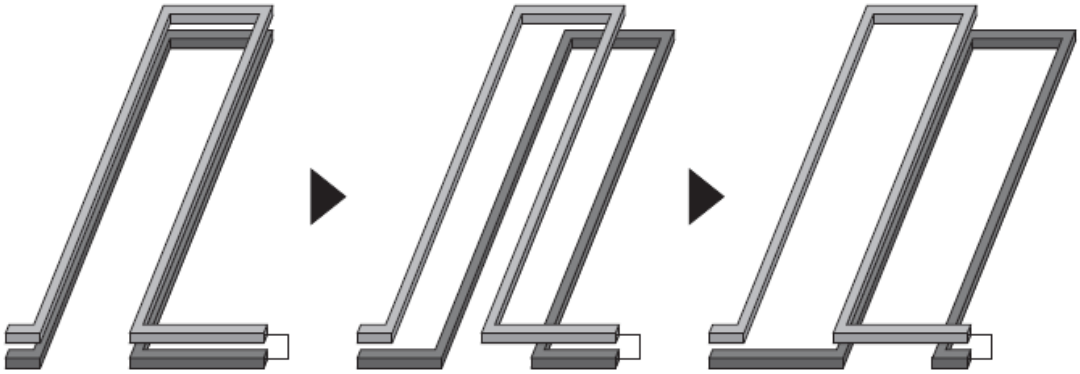


Figure I-54: Illustration de deux spires empilées, avec plusieurs positions relatives et donc différentes inductances [Miz09].

Les auteurs ont obtenu avec ces structures une variation d'inductance de 2,65 nH à 5,5 nH, avec un facteur de qualité d'environ 15 à 1 GHz. Cependant cette étude reste très incomplète car il n'a été montré qu'en théorie comment avoir une forte accordabilité, il reste à mettre en oeuvre les moyens de déplacer les spires. En outre, ce facteur de qualité assez élevé a été obtenu grâce à un procédé assez spécial, avec deux couches d'or très épaisses de 20µm, ce qui permet de fortement réduire les pertes, mais ne correspond pas à des procédés classiques de fabrication.

Une structure plus réaliste a été proposée dans [Fan10]. Elle consiste à placer un plateau métallique au-dessus d'une inductance planaire. Ensuite la position du plateau est modifiée grâce à la force électrostatique générée par une différence de potentiel appliquée entre le plateau mobile et un plateau fixe. La position du plateau va modifier le champ magnétique induit, et ainsi le flux total qui traverse les spires de l'inductance, induisant une variation de l'inductance équivalente, Figure I-55.

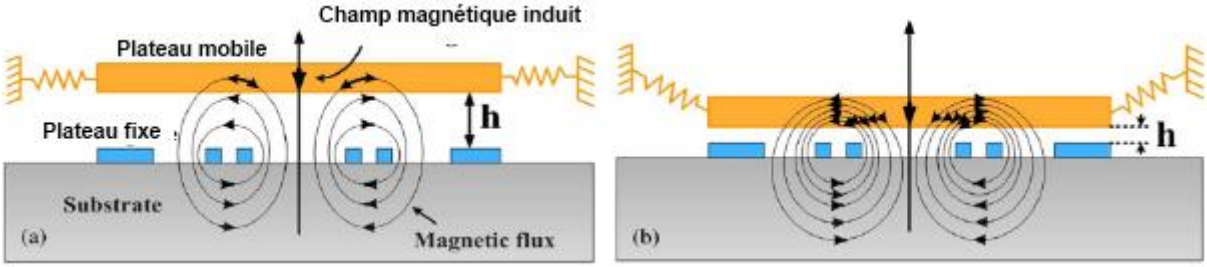


Figure I-55: Schéma de principe de l'inductance MEMS variable proposée dans [Fan10].

Afin de rendre plus variable l'inductance, le plateau mobile est constitué par un matériau magnétique, le $Ni_{80}Fe_{20}$ permalloy. Vers 5 GHz, l'auteur a réussi à atteindre un facteur de

qualité égal à 12, pour une variation de l'inductance entre 0,36 nH et 0,64 nH, soit 77,8 % d'accordabilité, pour une tension de commande située entre 0 V et 8 V.

La Figure I-56 résume l'état de l'art concernant les inductances variables, en termes d'accordabilité et facteur de qualité, pour différents procédés de fabrication et fréquences de fonctionnement.

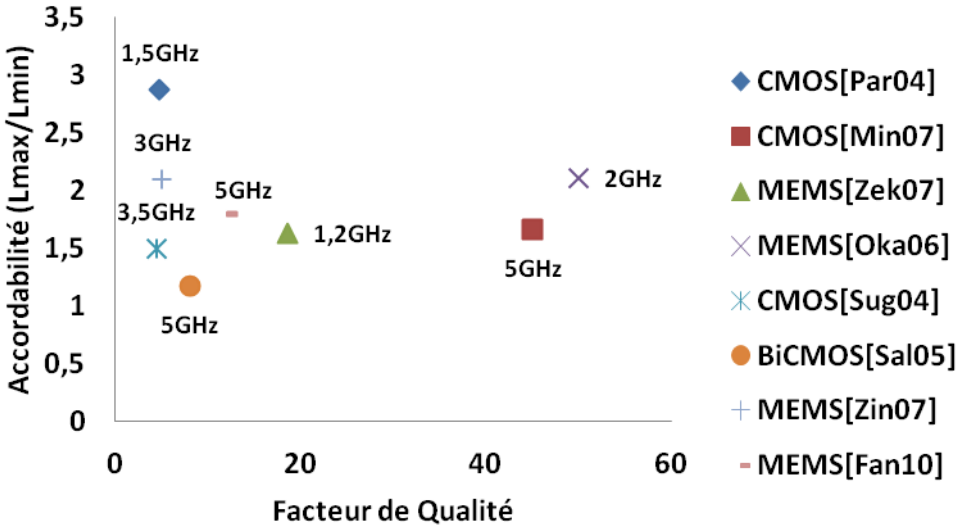


Figure I-56: Etat de l'art de la performance des inductances accordables.

Malgré le facteur de qualité intéressant (Q > 40) rapporté par certains auteurs, l'accordabilité reste faible et les inductances variables sont, en général, encombrantes et complexes à fabriquer. Ces points faibles empêchent pour le moment une utilisation plus répandue de ces structures.

I.4 Technologie intégrée CMOS SOI

La technologie silicium sur isolant (« silicon on insulator », SOI) a été inventée dans les années 1960-1970 pour satisfaire une demande de circuits intégrés durcis aux irradiations ionisantes. L'objectif de cette technologie est d'offrir, grâce à un oxyde enterré, une parfaite isolation diélectrique entre la couche active et le substrat de silicium massif. Une grande variété de matériaux a été employée comme isolant, notamment le saphir (« silicon on saphire », SOS). Cependant, plusieurs inconvénients ont rendu difficile la réalisation de dispositifs avec ces matériaux. Par exemple, la différence des coefficients de dilatation thermique et des paramètres de maille entre le réseau cristallin du silicium et du saphir provoquent un stress à l'interface silicium-saphir, qui dégrade fortement la performance du MOSFET SOS en termes de mobilité, courant de fuite et bruit basse fréquence. Cependant, certain des problèmes liés à la technologie SOS commencent à être surmontés et des composants RF performants sur SOS commencent à être envisageables.

A la fin des années 70, il est apparu une alternative au substrat SOS, qui consistait à utiliser une couche d'oxyde de silicium comme isolant entre la zone active et le substrat. Cet isolant s'est avéré capable de surmonter plusieurs désavantages liés au SOS. Toutefois, le coût de fabrication du substrat SOI était encore élevé jusqu'à la découverte à la fin des années 90 de

la technique du Smartcut. Dans ce procédé, après avoir oxydé puis implanté avec de l'hydrogène une plaquette de silicium, celle-ci est nettoyée et ensuite mise en contact avec une autre plaquette de silicium. Le collage à l'interface Si-SiO2 est assuré par les forces de Van der Waals. L'assemblage est ensuite soumis à un recuit qui fracture l'ensemble au niveau de la zone implantée. Finalement, un polissage mécano-chimique permet d'ajuster l'épaisseur du film de silicium. Ce procédé est illustré sur la Figure I-57.

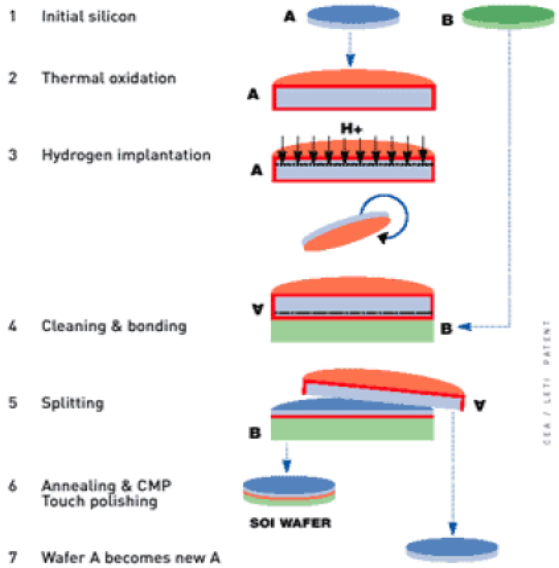


Figure I-57: Procédé de fabrication de substrats SOI du type SMART CUT® [SOI99].

I.4.1 Comparaison des technologies Bulk et SOI

Grâce à la couche d'oxyde enterré, les transistors SOI sont isolés électriquement du substrat de silicium. Comme ils sont également isolés latéralement, chaque transistor occupe un îlot individuel de silicium. Les circuits sur SOI peuvent donc être plus compacts que sur silicium massif, car les caissons et les tranchées d'isolation ne sont plus nécessaires [Cri98], Figure I-58. Ainsi, malgré un coût de wafer supérieur du SOI par rapport au silicium « bulk » d'environ 20 %, le coût des circuits à très fort niveau d'intégration est très proche.

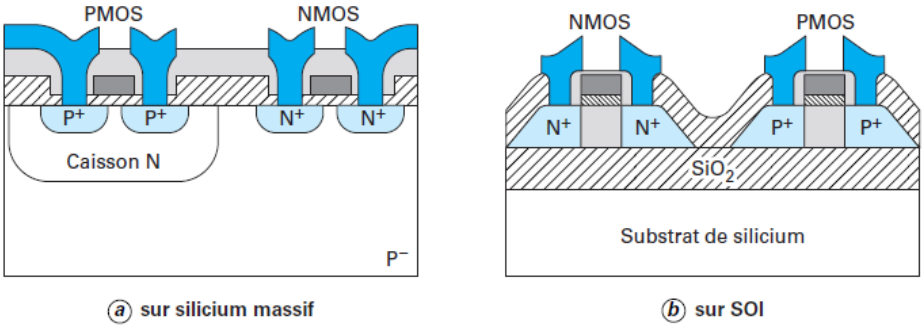


Figure I-58: Comparaison des transistors MOS sur silicium massif et sur SOI [Cri95].

Cette isolation verticale assurée par l'oxyde enterré amène à plusieurs avantages par rapport à une technologie « bulk » classique. Outre la réduction de l'interférence entre transistors voisins, on constate une forte diminution du courant de fuite et des capacités parasites. Grâce

à ces bénéfices, la technologie SOI représente une importante alternative dans une grande variété de domaines de l'électronique, notamment pour les circuits à très faible consommation (portables, ordinateurs), les circuits microprocesseurs très rapides destinés aux serveurs et PC [Cri95], ainsi que pour la conception des « swicths » d'antenne [Tin06] et pour l'adaptation des PA dans le front end d'une chaîne d'émission RF [Car09].

Pour les réseaux d'adaptation accordables, le paramètre essentiel à considérer est la performance des éléments accordables, comme les varactors MOS et les « switchs ».

a) Varactor MOS SOI vs Bulk

La structure d'un varactor MOS est similaire dans une technologie SOI ou « bulk ». La différence essentielle concerne la couche d'oxyde qui sépare le substrat et la zone active. Les Figure I-59 et Figure I-60 illustrent la structure d'un varactor MOS de type N, sur une technologie « bulk » et SOI.

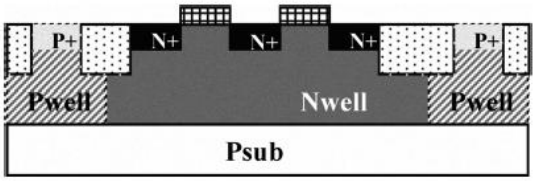


Figure I-59: Structure d'un varactor MOS N+Poly/Nwell bulk.

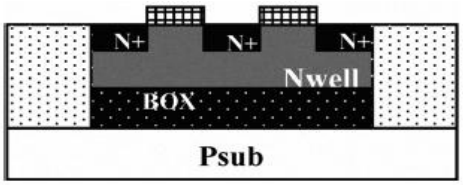


Figure I-60: Structure d'un varactor MOS N+Poly/Nwell SOI.

Comme la capacité maximale (C_{max}) des varactors MOS est limitée par la capacité de l'oxyde de grille, pour augmenter l'accordabilité des varactors (ratio C_{max}/C_{min}), il faut réduire le C_{min}. Grâce à la couche d'oxyde enterrée, les varactors sur SOI présentent une plus faible capacité parasite, ce qui diminue la capacité minimale et l'accordabilité est donc augmentée, [Wan06] et [Fon02].

Le Tableau I-1 présente un état de l'art des performances de plusieurs structures de varactor MOS, sur SOI et Bulk, permet d'illustrer le gain en accordabilité obtenu avec le SOI.

Accordabilité (C_{max}/C_{min})	**Facteur de Qualité maximum**	**Structure**	**Technologie**	**Référence**
2	**34**	**AMOS-Type n**	**Bulk**	**[Sve99]**
5,6	**170**	**AMOS-Type n**	**SOI**	**[Fon02]**
2,3	**11**	**« Gated » Diode-Type n**	**Bulk**	**[Wong00]**
7	24	« Gated » Diode-Type n	SOI	[She01]
2,2	Non informé	IMOS-Type n	Bulk	[And00]
3,3	9	AMOS-Type n	SOI	[Tao04]
6,9	15	« Gated » Diode-Type n	SOI	[Tao04]

Accordabilité (C_{max}/C_{min})	Facteur de Qualité maximum	Structure	Technologie	Référence
2	**34**	**AMOS-Type n**	**Bulk**	**[Sve99]**
5,6	**170**	**AMOS-Type n**	**SOI**	**[Fon02]**
2,3	**11**	**« Gated » Diode-Type n**	**Bulk**	**[Wong00]**
7,6	15	« Gated » Diode-Type p	SOI	[Tao04]
6	100	AMOS-Type n L=0,5µm, f=1GHz	SOI	[Fon02]

Tableau I-1 : Comparaison entre différents types de varactors MOS, sur bulk et SOI.

Pour la conception de circuits VCO, il a été démontré également que les varactors SOI permettent d'avoir une meilleure réjection du bruit en mode commun, ce qui réduit le bruit de phase [Fon02].

Par ailleurs, en grand signal, les varactors SOI représentent également une bonne alternative. Comme les composants sont isolés dans des îlots individuels, le fait de les empiler en série et d'utiliser des transistors plus gros pour augmenter la dynamique en puissance est plus efficace sur SOI, car sur « bulk », les gros transistors présenteront notamment plus de couplage capacitif avec le substrat [Car09].

b) Swicth SOI vs bulk

L'isolation du substrat apporte également un important gain en performance pour les « swicths ». Le BOX permet notamment d'augmenter l'isolation, grâce à la réduction des capacités parasites formées entre la couche active et le substrat, et de diminuer les pertes, du fait qu'il y a moins de fuites de courant vers le substrat.

En effet, la capacité qui modélise le couplage entre la zone active et le substrat (C_j pour le « bulk » et C_{box} pour la SOI) est jusqu'à 8 fois plus faible sur le SOI que sur le « bulk » [Tin03], Figure I-61.

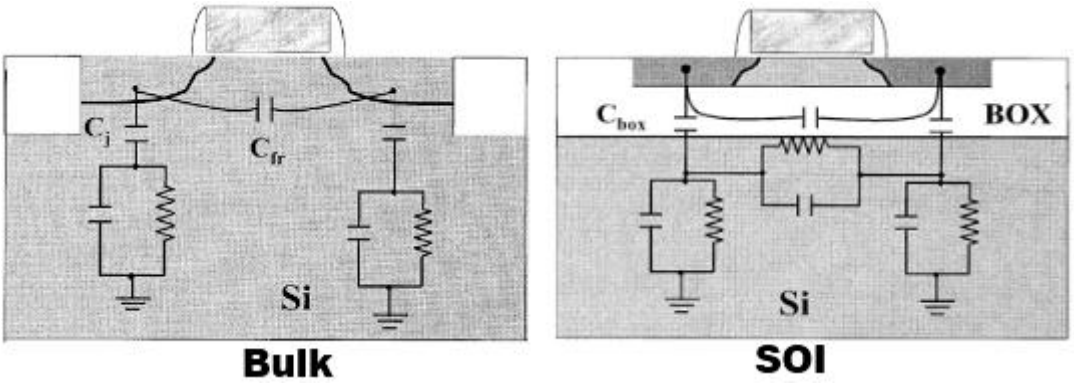


Figure I-61 : Schéma électrique d'un MOS Bulk et SOI.

En outre, comme pour les varactors, le fait d'avoir une bonne isolation par rapport au substrat permet d'améliorer la performance en puissance, car pour que le « swicth » supporte des

signaux RF de puissance élevée, il faut associer plusieurs transistors en série, mais pour qui cela ne produise pas une augmentation des pertes (plusieurs R_{on} en série), il est nécessaire d'augmenter la largeur *W*. Alors que dans une structure en « bulk » cette technique provoquerait une augmentation de la capacité de couplage avec le substrat, donc plus de pertes, dans une structure SOI, grâce à la couche d'oxyde d'isolation, cet effet est moindre [Car09].

Ce gain en performance fort signal apporté par le SOI a été vérifié dans [Sun11], qui a conçu un switch SP3T (« Single pole triple through ») avec un point de compression (*ICP*) à 34 dBm. Un *ICP* de 36 dBm a été également mesuré dans un SP6T dans [Tin06].

Il a été montré qu'un « switch » fabriqué sur une technologie SOS (Silicon on Saphire), peut également atteindre une forte dynamique en puissance, comme montré dans [Kel05], où un SP6T avec un *ICP* de 33 dBm a été réalisé.

I.5 Conclusions

Les RAA représentent un dispositif essentiel pour la réalisation de systèmes RF plus performants et flexibles.

Nous avons vu que les RAA peuvent être utilisés dans une grande variété de contextes. Par exemple en communication mobile, le RAA constitue une solution intéressante pour corriger la désadaptation des antennes liée à l'interaction avec l'utilisateur, ou pour adapter l'impédance de l'antenne afin que la transmission de puissance soit plus performante pour plusieurs standards différents.

Les RAA constituent également une importante alternative pour l'optimisation de l'efficacité des amplificateurs de puissance (PA) qui fonctionnent avec un fort « back-off » (P_{max}-P_{min}), en respectant les critères de linéarité du système. De même, du côté récepteur, il est intéressant d'utiliser des RAA afin de rendre flexibles les LNA de façon à les rendre performants pour plusieurs standards différents.

Enfin, les RAA à forte couverture d'impédances sur une large bande de fréquences peuvent être également un important outil de caractérisation de transistors, avec une utilisation en tant que « tuner » d'impédance.

Une grande variété de topologies de RAA ont été proposées dans la littérature. Le choix de la meilleure topologie dépend fortement de l'application. En général, lorsque la zone d'impédances que le RAA doit couvrir est petite et bien connue, des solutions plus simples sont possibles, à un seul étage d'adaptation ou même avec un seul composant, comme pour la correction du comportement inductif de l'antenne du téléphone portable présentée par Allen [All09], où il fallait simplement ajouter une capacité variable en série avec l'antenne. Cependant, lorsque la variation de l'impédance de l'antenne est plus importante et aléatoire, il faut concevoir des RAA à plus large couverture, constitués de deux étages ou plus. En outre, les RAA pour l'amélioration de l'efficacité des PA n'ont pas besoin de couvrir une large plage d'impédances, mais d'autres contraintes se posent, liées aux fortes puissances mises en jeu. Dans ce cas, les composants accordables utilisés doivent être le plus linéaires possible et supporter une forte dynamique en puissance.

La performance du RAA dépendant fortement du type d'élément accordable utilisé, nous avons présenté les principaux composants accordables de la littérature. Comme les inductances accordables sont encore complexes à fabriquer, consomment une surface de silicium importante et présentent encore des pertes élevées, nous avons plutôt mis l'accent sur les capacités variables.

Il existe des composants dont la variation de la capacité est continue, comme les varactors à diode, à MOS, à MEMS et à partir de matériaux, comme le BST, dont la permittivité électrique est commandée par l'application d'une tension électrique. Cette variation peut également être discrète, par le biais de la commutation de bancs de capacités fixes. Le choix du type de composant à utiliser dans le RAA dépend de l'application et de la technologie disponible.

En général, à des fréquences millimétriques, les lignes de transmission sont moins encombrantes et plus performantes que les inductances. Pour l’accordabilité, le moyen le plus intéressant semble alors être la commutation de capacités fixes avec des MEMS, car la performance des varactors à jonction ou MOS se dégrade fortement aux fréquences millimétriques. Toutefois, à des fréquences situées entre le GHz et quelques GHz, les inductances deviennent intéressantes et les varactors MOS ou à jonction se montrent assez performants.

Enfin, nous avons étudié plus spécifiquement la technologie CMOS SOI, notamment les varactors MOS et les « swicths » sur SOI. Nous avons constaté que la couche d’oxyde enterré présente dans cette technologie diminue la capacité parasite et confère une isolation supplémentaire entre les transistors. Ceci est intéressant pour la suite, car la mise en série de transistors, nécessaire pour accroître la dynamique en puissance, devient plus efficace lorsque les transistors sont isolés.

Chapitre II: Réseau d'adaptation accordable (RAA) petit signal

Chapitre II: Réseau d'adaptation accordable (RAA) petit signal 45
II.1 Introduction 47
II.2 Théorie 49
II.2.1 Principe du RA et transmission maximale de puissance 49
I.1.1. Paramètres fixant la performance des RA linéaires 52
c) Paramètres S 53
d) Facteur de transformation d'impédances 54
e) Rendement du RA avec des charges réelles pures 55
f) Bande Passante 56
II.2.2 Etude du rendement d'un RA avec des charges complexes 57
a) Impact du facteur de qualité des composants 58
b) Impact du facteur de transformation 58
c) Facteur de Mérite 59
d) Généralisation de l'expression du rendement pour des charges complexes 60
e) Choix de la configuration en L optimale à partir de l'analyse du rendement 67
f) Choix du nombre optimal d'étages d'un RA 71
g) RA optimal en 2L 72
h) Enjeux du codesign 73
II.2.3 Analyse des principales topologies de RA 76
a) RA en simple L 76
b) RA en Pi 77
c) RA en 2L 79
II.3 Démonstrateur hybride 79
II.3.1 Contexte : Tuner d'antenne 79
I.1.2. Caractérisation des composants du démonstrateur 80
a) Transistor bipolaire 80
b) Varactor 82
c) Inductances 83
d) Capacité de découplage 83
e) Inductance de choc 84
II.3.2 Conception et caractérisation des RAA 84

a) Conception du RAA d'entrée 84
b) RAA de sortie 86
II.3.3 Résultats mesures/simulation 87
a) Démonstrateur chargé par 50 ohms 87
b) Démonstrateur chargé par (10,5-j17,4) Ω 89
c) Couverture d'impédances mesurée 90
I.2. Conclusions 92

II.1 Introduction

La tendance actuelle d'intégrer plusieurs services et standards dans un unique dispositif a stimulé le développement des travaux sur la conception d'éléments RF accordables. Dans ce contexte, les RAA représentent une potentielle solution, car ils peuvent, notamment, être insérés entre l'amplificateur de puissance (PA) et l'antenne dans une chaîne d'émission RF, et réaliser l'adaptation d'impédance entre l'antenne et le PA. L'accordabilité du RA sert ainsi à corriger l'impédance de l'antenne, de façon à ce qu'elle soit adaptée pour toutes les fréquences de fonctionnement exigées par les différents standards en jeu [Per09].

De même, cette correction intelligente de l'impédance de l'antenne s'avère très intéressante dans le domaine de la téléphonie mobile, puisque l'impédance de l'antenne est fortement affectée par la multitude d'environnements où elle peut être placée et l'interaction avec l'utilisateur [Boyle07]. En outre, les antennes doivent être compactes même pour les standards de fréquence plus faible, comme le WCDMA (900 MHz) et le DVB-H (470-702) MHz. Par conséquent, à ces fréquences, la désadaptation de l'antenne est assez élevée et l'insertion d'un RA sert à améliorer la transmission de puissance à l'antenne, même pour ces standards.

On peut distinguer deux approches pour la conception de RAA qui servent à corriger l'impédance de l'antenne. La première consiste à bien caractériser la modification de l'impédance de l'antenne suite à une perturbation spécifique, comme le doigt qui touche l'antenne de l'Iphone 4, décrit par Allen [All11]. Dans ce cas, comme les variations d'impédances sont bien identifiées *a priori*, une topologie de RAA plus simple peut être satisfaisante.

La deuxième approche consiste à assumer une variation aléatoire de l'impédance de l'antenne suite à des perturbations de plusieurs origines (téléphone sur la table, dans la poche, à côté du visage…) [Boyle07]. Dans ce cas, le RAA présente une topologie souvent plus complexe, pour qu'il soit capable de couvrir une large plage d'impédances [Wha11].

Dans ce chapitre, nous allons traiter de la conception de RAA destinés à une large couverture d'impédances. Nous allons mettre l'accent sur la performance des RAA développés. Ce chapitre est limité à l'étude de RAA fonctionnant en petit signal. Les RAA fort signal sont étudiés au sein du chapitre 3.

Dans un premier temps, nous avons analysé en théorie quelques paramètres importants pour l'évaluation de la performance d'un RAA, tels que le rendement, la bande passante, le facteur de transformation d'impédance et la couverture d'impédance.

Une attention spéciale a été conférée à l'étude théorique du rendement des RA, qui nous a par exemple permis d'établir les topologies de RA les plus performantes pour une transformation d'impédances déterminée. Par ailleurs, nous avons également mis en évidence l'impact du facteur de qualité des composants sur les pertes d'insertion du RA, ce qui s'avère utile pour

avoir une idée rapide de la performance que le RA peut atteindre avec une technologie donnée.

Enfin, afin de valider l’étude réalisée, nous avons implémenté un démonstrateur en technologie hybride sur PCB, à la fréquence de 2,4 GHz, constitué d’un amplificateur de puissance (PA) associé à deux RAA, l’un à son entrée et l’autre à sa sortie. Ces RAA permettent l’adaptation simultanée du PA sur une large plage d’impédances comprises dans un cercle de *VSWR* < 5:1.

II.2 Théorie

II.2.1 Principe du RA et transmission maximale de puissance

Supposons que nous ayons besoin d'alimenter une charge réelle Z_L avec un générateur RF à **1 GHz,** qui peut délivrer une puissance de **0 dBm** (en court-circuit), et dont l'impédance de sortie est également réelle et vaut $Z_0 = \mathbf{50\ \Omega}$. Suite à la connexion de ces deux éléments, on aura la structure de la Figure II-1.

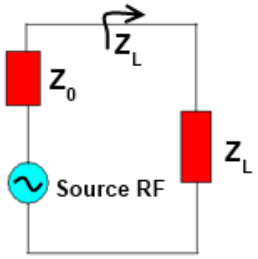


Figure II-1: Schéma d'une source RF d'impédance interne Z_0 chargée par Z_L.

Le principe de la transmission maximale de puissance nous enseigne que ce système ne sera optimal que si les impédances sont adaptées, c'est-à-dire que si $Z_L = Z_0^*$. Sinon, ceci va entraîner une réflexion de l'onde envoyée par le générateur. Le niveau de ces réflexions étant donné par le coefficient de réflexion Γ_L, indiqué dans l'équation II.1:

$$\Gamma_L = \frac{|Z_L - Z_0|}{|Z_L + Z_0|} \qquad \text{(II-1)}$$

Prenons le cas d'une charge Z_L valant 5 Ω. On constate, en appliquant la théorie des circuits, que si la source délivre 1 mW (ou 0 dBm), la charge ne va absorber que 0,09 mW, alors que le reste, 0,91 mW, est réfléchi par la charge et dissipé dans l'impédance de source.

Pour résoudre le problème d'adaptation vu du générateur, on pourrait être amené à l'erreur de penser qu'en ajoutant une résistance de 45 Ω entre la charge et le générateur, le problème serait résolu. Certes, il n'y aurait plus de réflexion à la sortie de la source, par contre, une bonne partie de l'énergie serait dissipée dans cette résistance, **0,45 mW,** au lieu d'être dissipée dans l'impédance de source, **0,5 mW.** Il n'arriverait donc à la charge que **0,05 mW.**

Ainsi, la meilleure solution n'est évidemment pas d'ajouter des résistances mais d'utiliser des associations d'éléments réactifs (inductances et capacités) qui vont permettre idéalement une transformation d'impédances sans augmenter les pertes d'insertion.

Supposons que l'on veuille transformer une résistance R_s en une résistance R_p, avec $R_p > R_s$. On peut disposer une inductance en série avec R_s suivie d'une capacité en parallèle, Figure II-2. Les valeurs de l'inductance et de la capacité sont donc choisies de façon à convertir R_s en R_p à une fréquence donnée.

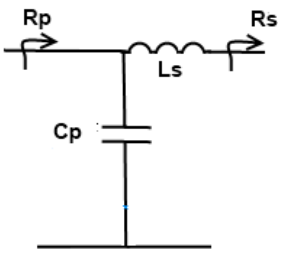


Figure II-2: Schéma d'un circuit *LC* pour la transformation de R_S en R_P.

La valeur de la résistance R_p peut être calculée à partir de la résolution de ce simple circuit *RLC*.

D'abord on calcule l'admittance équivalente (Y_{eq}) de l'association en parallèle de la capacité C_p et de la résistance R_S en série avec l'inductance L_S.

$$Y_{eq} = j\omega C_p + \frac{1}{R_S + j\omega L_s} \qquad \text{(II-2)}$$

En séparant les parties réelle et imaginaire :

$$Y_{eq} = \frac{R_S}{R_S^2 + \omega^2 L_S^2} + j\,\frac{\omega C_p\ R_S^2 + \omega^2 L_S^2\ - \omega L_S}{R_S + \omega^2 L_S} \qquad \text{(II-3)}$$

Pour que la transformation R_S en R_p soit effectuée, l'inverse de la partie réelle de Y_{eq} doit être égal à R_p.

$$R_p = \frac{R_S^2 +\ \omega L_S\ ^2}{R_S} \qquad \text{(II-4)}$$

De même, la partie imaginaire de l'admittance Y_{eq} doit être nul.

$$\frac{\omega C_p\ R_S^2 + \omega^2 L_S^2\ - \omega L_S}{R_S + \omega^2 L_S} = 0 \qquad \text{(II-5)}$$

Ainsi en faisant apparaître le terme R_p à l'aide de l'expression (II-4), on trouve la deuxième condition pour réaliser la transformation R_s en R_p :

$$\omega C_p R_p = \frac{\omega L_S}{R_S} \qquad \text{(II-6)}$$

A présent, il est judicieux de définir deux nouveaux paramètres de ce circuit : le facteur de qualité de la branche série (Q_S) et le facteur de qualité de la branche parallèle (Q_p)

Q_S est calculé à partir de la définition physique du facteur de qualité comme étant le rapport entre les parties imaginaire ($X_S = \omega L_S$) et réelle (R_S) de l'impédance de la branche série.

$$Q_S = \frac{X_S}{R_S} = \frac{\omega L_S}{R_S} \qquad \text{(II-7)}$$

De même, le facteur de qualité de la branche parallèle, formée par l'association parallèle de la capacité (C_p) et de la résistance R_p, peut être calculé à partir du rapport entre la partie réelle (R_p) et la partie imaginaire ($X_p = 1/(\omega C_p)$).

$$Q_p = \frac{R_p}{X_p} = \omega R_p C_p \qquad \text{(II-8)}$$

On constate d'après les expressions (II-7) et (II-8), que la relation peut être écrite simplement comme :

$$Q_p = Q_S \qquad \text{(II-9)}$$

Ainsi, pour avoir la transformation R_S en R_p, il faut que les facteurs de qualité des branches série et parallèle soient égaux. **C'est une condition nécessaire mais pas suffisante**.

En outre, la combinaison des expressions (II-4) et (II-7) nous permet de réécrire Q_S en fonction des résistances R_p et R_S.

$$Q_S = \sqrt{\frac{R_p}{R_S} - 1} \qquad \text{(II-10)}$$

Le paramètre Q_S exprimé de cette façon sera appelé de facteur de transformation, Q_t , car il ne dépend pas des éléments du réseau.

Ainsi, pour que la transformation R_p en R_S soit vérifiée, il faut et il suffit que les facteurs de qualité des branches parallèle et série et le facteur de transformation soient égaux.

$$\boldsymbol{Q_t = Q_S = Q_p} \qquad \text{(II-11)}$$

A l'aide des expressions, reprenons l'exemple précédent et calculons les valeurs de l'inductance et de la capacité pour que la charge de 5 Ω soit convertie à l'impédance de 50 Ω du générateur, à la fréquence de 1 GHz.

La première étape est de trouver le facteur de transformation à partir de l'équation (II-10). Comme $R_S = 5\ \Omega$ et $R_p = 50\ \Omega$, on calcule un $Q_t = 3$.

Les valeurs de l'inductance et de la capacité seront donc choisies de façon à produire des facteurs de qualité Q_p et Q_s égaux à Q_t.

La résolution des équations (II-7) et (II-8) nous indique ainsi qu'une réactance série de 15 Ω et une réactance parallèle de 16,7 Ω seraient suffisantes pour réaliser cette transformation de 50 Ω vers 5 Ω. Ainsi, à une fréquence de 1 GHz, on aurait besoin d'une inductance série de 2,4 nH et d'une capacité parallèle de 9,6 pF, Figure II-3.

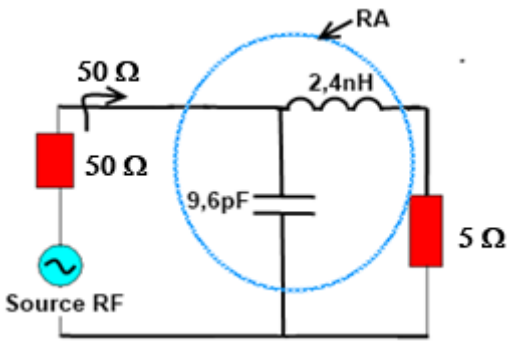


Figure II-3 : Schéma de la source RF chargé par Z_L associé au RA.

Ce circuit dont le but est de transformer l'impédance de façon à augmenter le transfert de puissance est appelé réseau d'adaptation (RA).

Si les composants réactifs du RA sont idéaux, la charge recevra une puissance de **0,5 mW,** qui correspond à la moitié de la puissance disponible, et au maximum de puissance pouvant être délivrée à la charge.

I.1.1. Paramètres fixant la performance des RA linéaires

Le RA précédent a été considéré sans pertes, mais dans la réalité les composants réactifs ont toujours une partie dissipative non négligeable. Ceci va réduire la transmission de puissance à la charge. Il faut donc utiliser des paramètres qui vont nous permettre d'évaluer la performance du RA réel, et ainsi d'analyser si l'insertion du RA est vraiment rentable ou non d'un point de vue des performances.

Dans notre exemple, nous avons vu que sans le RA la puissance reçue par la charge est égale à 0,09 mW. Suite à l'insertion du RA, nous devons vérifier que cette puissance sera effectivement supérieure, puis évaluer si le gain en transmission compense l'encombrement et le coût ajoutés par les composants constituant le RA.

Sur la Figure II-4, nous comparons le coefficient de transmission (S_{21}) de notre exemple dans deux situations : avec des composants idéaux et avec une inductance réelle de facteur de qualité égale à 10 à 1 GHz. Dans le cas du RA idéal, du fait qu'il n'y a ni pertes ni réflexion, nous observons que le paramètre $|S_{21}|$ vaut bien 0 dB, alors que l'emploi de l'inductance réelle fait chuter $|S_{21}|$ à environ -3 dB.

Figure II-4 : Coefficient de transmission $|S_{21}|$ en dB, RA avec des composants idéaux et RA avec une inductance réelle de facteur de qualité égal à 10.

Ainsi, si l'on fait le bilan de puissance, la charge ne recevra plus 0,5 mW mais 0,25 mW. Cependant, on observe que même suite à cette chute en transmission, la puissance transmise est toujours bien supérieure aux 0,09 mW du cas sans le RA. L'utilisation du RA semble donc encore intéressante dans ce système.

Dans cet exemple le coefficient de réflexion du circuit sans le RA est très élevé. Ainsi, même si le RA présente de fortes pertes d'insertion, la réduction des réflexions compense aisément les pertes ajoutées par le RA. Cela sera d'autant moins vrai que la désadaptation d'origine est faible.

Par la suite, les paramètres électriques les plus importants afin d'évaluer la performance des RA seront présentés, à savoir : les paramètres *S*, le gain, le facteur de transformation, le rendement, le facteur de mérite et la couverture de l'abaque. La connaissance de ces paramètres sera essentielle pour que le concepteur puisse justifier le choix des composants du RA, ainsi que l'intérêt de son insertion dans le système.

c) Paramètres S

Tout au long de ce chapitre, le RA sera considéré comme un simple élément à deux accès, Figure II-5.

Figure II-5 : Bloc représentant un RA avec deux accès.

Lorsque ce bloc est branché à un analyseur de réseaux (VNA), nous pouvons mesurer les paramètres *S* qui indiquent les rapports de puissance entre les accès 1 et 2. On s'intéressera notamment au paramètre S_{11}, qui représente le coefficient de réflexion l'accès 1, et au paramètre S_{21}, qui indique la transmission entre les accès 1 et 2, c'est-à-dire les pertes d'insertion.

Un RA idéal aurait donc un paramètre $|S_{21}|_{dB}$ égal à 0 dB et un paramètre $|S_{11}|_{dB}$ qui tend vers l'infini négatif.

d) Facteur de transformation d'impédances

Comme définit dans l'expression (II-10) du paragraphe précédent, le facteur de transformation d'impédances Q_t est proportionnel au rapport entre les impédances transformées par le RA. Considérons, par exemple, un RA inséré dans un « front-end » RF en émission, entre l'amplificateur de puissance (PA) et l'antenne, Figure II-6.

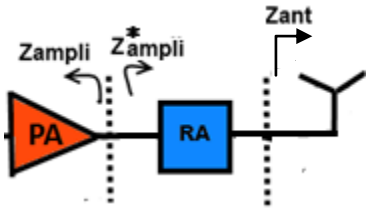


Figure II-6: « Front-end » RF avec un RA pour adapter l'antenne à la sortie d'un PA.

Le RA va donc transformer l'impédance de l'antenne Z_{ant} pour obtenir le complexe conjugué de l'impédance de sortie du PA, Z_{ampli}. Selon l'expression II-10, le Q_t peut être définit dans ce contexte:

$$Q = \sqrt{\frac{\max(R_{ant}, R_{ampli})}{\min(R_{ant}, R_{ampli})} - 1} \qquad \text{(II-12)}$$

où R_{ant} et R_{ampli} sont respectivement les parties réelles des impédances Z_{ant} et Z_{ampli}. Les fonctions max et min sont ajoutées pour que le rapport d'impédances soit toujours supérieur à 1.

Q_t indique donc l'amplitude de la transformation d'impédances implémentée par le RA. En général, si R_{ant} et R_{ampli} sont très éloignées dans l'abaque de Smith, Q_t sera élevé.

En outre, pour réaliser une transformation donnée, nous avons vu que la condition $Q_t = Q_s = Q_p$ doit être satisfaite. Ainsi, lorsque l'on fixe Q_s, on peut déterminer la réactance série (X_s) correspondant à chaque R_s:

$$X_S = Q_S R_S \qquad \text{(II-13)}$$

Par exemple :

Si $Q_t = Q_S = 1$ alors $R_S = X_S$ ou si $Q_t = Q_S = 3$ alors $R_S = 3X_S$

Il est intéressant de visualiser ces deux fonctions sur l'abaque de Smith ($R_s = X_S$ et $Rs = 3X_s$), correspondant à $Q_t = 1$ et $Q_t = 3$, Figure II-7.

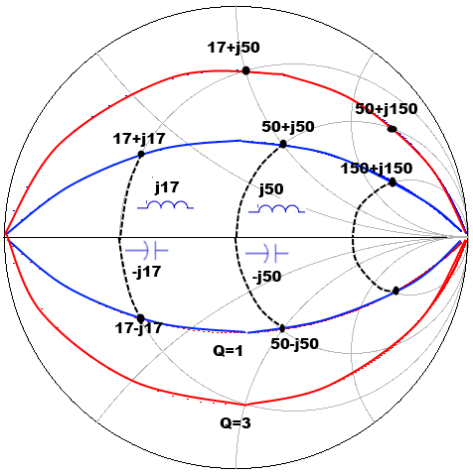


Figure II-7 : Abaque de Smith, représentant la transformation 5 ohms vers 50 ohms et l'arc d'ellipse Q_t = 1 ou 3.

Quelques points d'impédance ont été précisés pour chaque Q_t ainsi que l'élément réactif en série nécessaire pour atteindre ces points. En faisant la liaison entre ces points, on constate la formation d'une ellipse, dont l'ouverture augmente avec la valeur de Q_t.

Par la suite, il sera montré que ce facteur de transformation détermine la bande passante et le rendement du RA.

e) Rendement du RA avec des charges réelles pures

Han [Han06] a développé une étude théorique approfondie sur la performance des RA. Il a développé des formulations permettant d'estimer le rendement d'un RA en fonction du facteur de qualité des composants employés et du facteur de transformation d'impédances Q_t, lorsque les impédances à transformer sont des réelles pures.

D'abord, Han [Han06] a défini le rendement η du RA comme étant le rapport entre la puissance délivrée à la charge et la puissance entrante dans le RA. Ensuite, il a montré que le rendement d'un RA en simple L pouvait être déterminé par le biais de l'expression:

$$\eta = \frac{\text{Puissance délivrée à la charge}}{\text{Puissance entrante dans le RA}} = \frac{1-\dfrac{Q_t}{Q_C}}{1+\dfrac{Q_t}{Q_L}} \qquad \text{(II-14)}$$

où Q_L et Q_C sont respectivement, les facteurs de qualité de l'inductance et de la capacité employés.

D'après cette expression, le rendement du RA ne dépend que du facteur de qualité des composants employés et du facteur de transformation Q_t.

Par exemple, le RA précédent qui transforme 50 Ω vers 5 Ω présente donc un facteur de transformation d'impédances $Q_t = 3$. Si le facteur de qualité de l'inductance (Q_L) employée vaut 10 et la capacité est idéale ($Q_C >> 1$), on obtient un rendement égal à 77 %.

Toutefois, ce paramètre s'avère assez théorique, on ne peut pas le mesurer. Ainsi, afin de le rendre plus pratique, nous l'avons associé aux paramètres *S*, qui peuvent être mesurés à l'aide d'un VNA, Figure II-8.

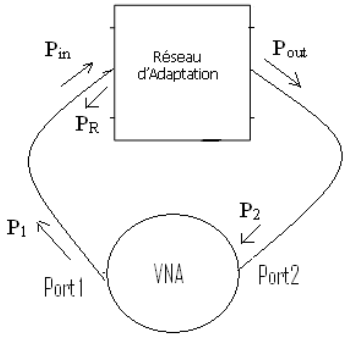


Figure II-8: Schéma de mesure des paramètres *S* d'un RA.

Comme le rendement est égal au rapport entre la puissance qui sort du RA (P_{out}) et celle qui rentre (P_{in}), on peut l'écrire facilement en fonction des paramètres *S*.

Si la sortie est adaptée ($P_{out} = P_2$), on aura:

$$\eta = \frac{P_{out}}{P_{in}} = \frac{P_2}{P_1 - P_R} \Rightarrow \eta = \frac{P_2 / P_1}{1-(P_R / P_1)} = \frac{|S_{21}|^2}{1-|S_{11}|^2} \qquad \text{(II-15)}$$

f) Bande Passante

La bande passante du RA est définie comme la plage de fréquences pour laquelle le coefficient de réflexion satisfait un critère déterminé. Nous allons considérer la bande passante comme l'intervalle de fréquences où $|S_{11}| < -10$ dB.

On peut montrer que la bande passante d'un RA est liée au facteur de transformation d'impédances Q_t.

Nous avons vu que Q_t était imposé par le rapport d'impédances transformées. Pour notre exemple, on a trouvé $Q_t = 3$ pour une transformation de 5 Ω vers 50 Ω, et $Q_t = 1$ pour une transformation de 25 Ω vers 50 Ω. Nous avons simulé sur ADS ce système et avons comparé les bandes passantes dans les deux situations, Figure II-9 et Figure II-10.

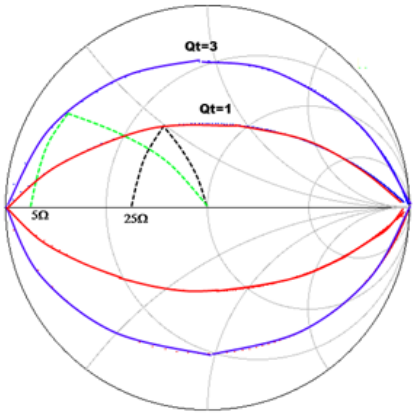


Figure II-9: Abaque de Smith illustrant les transformations 25 Ω vers 50 Ω (Q_t = 1), et 5 Ω vers 50 Ω (Q_t = 3).

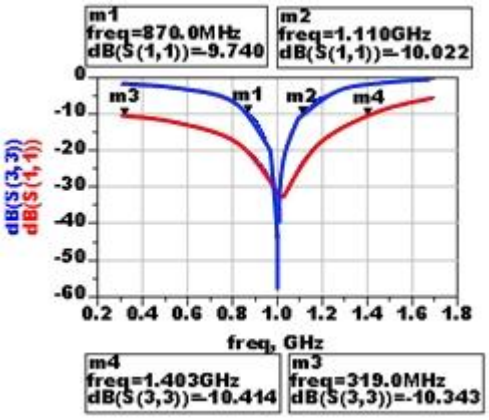


Figure II-10 : Tracé de S_{11} en fonction de la fréquence, pour les deux cas, en bleu Q_t = 1 et en rouge Q_t = 3.

La Figure II-9 illustre les transformations de 25 Ω vers 50 Ω et 5 Ω vers 50 Ω. On constate que l'ellipse d'équation Q_t = 1 constant est plus fermée, car Q_t est plus petit.

La Figure II-10 met en évidence l'augmentation de la bande passante obtenue grâce à la réduction de Q_t. En effet, la bande est passée d'environ 250 MHz à 1 GHz. Donc la bande passante est d'autant plus faible que Q_t est élevé.

L'augmentation de la bande peut être visualisée graphiquement, à partir de l'abaque de Smith, Figure II-11.

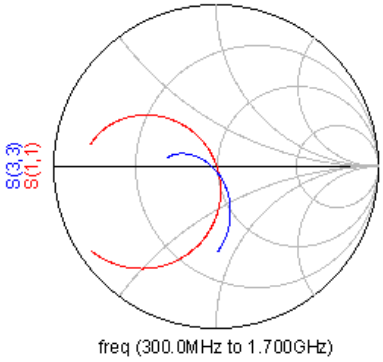


Figure II-11: Ensemble d'impédances vues à l'entrée du RA, entre 300 MHz et 1,7 GHz. En bleu Q_t = 1, et en rouge Q_t = 3.

La Figure II-11 illustre les lieux d'impédance entre 300 MHz et 1,7 GHz, observés à l'entrée du RA. Il est évident que le lieu d'impédances est mieux centré avec Q_t = 1, indiquant clairement une bande passante plus large.

II.2.2 Etude du rendement d'un RA avec des charges complexes

Nous effectuons dans ce paragraphe l'étude du rendement du RA.

Le rendement représente un point important à considérer lors de la conception de RA performants. Cette étude permettra d'orienter le concepteur quant au choix de la topologie de RA la plus adaptée et du nombre optimal d'étages à utiliser. De même, l'impact du facteur de

qualité des composants sur la performance du RA sera évalué. Cela permettra d'indiquer les composants à choisir d'après les spécifications de performance du RA. Enfin, nous développerons une généralisation de la formule de Han [Han06] qui permet d'estimer le rendement lorsque les charges sont complexes.

a) Impact du facteur de qualité des composants

L'expression II.14 permet d'estimer l'impact du facteur de qualité des composants employés sur le rendement du RA. Ceci représente un important outil pour le concepteur, car il peut, à partir des composants disponibles dans la technologie qu'il veut utiliser, déterminer facilement quelle serait la meilleure performance que le RA pourrait atteindre.

Par exemple, en traçant le rendement du RA en simple *L* indiqué sur la Figure II-3 en fonction du facteur de qualité de l'inductance, lorsque la capacité est idéale, on obtient le graphe de la Figure II-12.

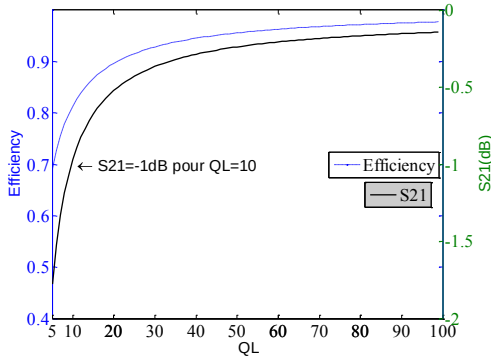


Figure II-12 : Rendement et S_{21} en fonction du facteur de qualité de l'inductance.

Ainsi, dans un tel cas, si le cahier des charges du concepteur exige, par exemple, des pertes d'insertion inférieures à 1 dB, il faut que le facteur de qualité de l'inductance disponible soit supérieur à 10.

b) Impact du facteur de transformation

Le facteur de transformation Q_t est proportionnel au rendement du RA. Ainsi, plus les impédances à transformer sont éloignées, plus les pertes sont importantes.

Cet aspect peut être plus facilement visualisé lorsque l'on fixe le facteur de qualité des composants et que l'on trace sur l'abaque de Smith le rendement atteint en fonction de la transformation d'impédances réalisée.

Afin d'illustrer ce point, nous avons conçu et simulé un RA accordable capable de couvrir une large variété d'impédances. Cet exemple permet de mettre en évidence l'impact de plusieurs facteurs de transformation sur le rendement. Le RA est basé sur une topologie en Π, avec deux varactors en parallèle, commutés par des « switchs », dont la résistance en mode fermé est égale à 1 Ω et la capacité en mode « ouvert » est égale à 0,2 pF (valeurs cohérentes avec la technologie SOI 130 nm utilisée dans le chapitre III). L'inductance mise en série est

également variable. Le facteur de qualité des trois composants a été fixé égal à 20 à la fréquence de fonctionnement de 2 GHz. Pour atteindre de forts facteurs de transformation et mettre en évidence leur impact sur le rendement du RA, nous avons utilisé une accordabilité des varactors et de l'inductance très forte, cette étude demeurant purement théorique. La capacité varie ainsi de 0,1 à 6 pF et l'inductance de 0,1 nH à 10 nH.

Le schéma électrique du RA ainsi que sa couverture sont illustrés sur la Figure II-13. Le dégradé de couleurs montre la variation du rendement.

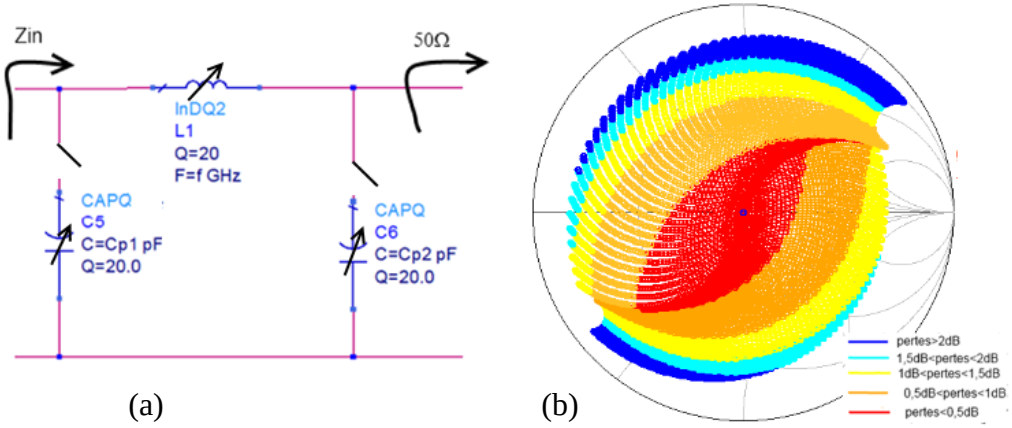


Figure II-13 : (a) Schéma du RAA (b) Couverture d'impédances et pertes.

L'impédance de charge vaut 50 Ω. Le rendement est logiquement plus élevé pour les impédances situées proches du centre de l'abaque, où le facteur de transformation est plus faible.

c) Facteur de Mérite

Il est évident que le rendement ou les pertes d'insertion du RA nous fournissent une information précieuse sur la performance du RA pris isolément, mais il ne nous indique guère si l'emploi du RA va améliorer la performance globale du système. En effet, il faut prendre en compte le niveau de réflexion du système avant et après l'emploi du RA, afin d'évaluer si la réduction de pertes par réflexion compense les pertes d'insertion ajoutées par le RA. Il est possible que dans une situation où le niveau de réflexion n'est pas très élevé, un RA même à faibles pertes ne soit pas intéressant.

Le paramètre qui donne cette information est appelé « facteur de mérite ». Il représente le rapport entre la puissance transmise à la charge avec et sans le RA. Il sera exprimé en dB, ainsi un facteur de mérite inférieur à 0 dB signifie que l'emploi du RA ne va pas apporter un gain en performance au système.

$$\gamma = 10log\ \frac{P_{out,avec\ RA}}{P_{out,sans\ RA}} = 10log\ \frac{|S_{21}|_{avec\ RA}}{|S_{21}|_{sans\ RA}} \qquad \text{(II-16)}$$

On nomme Z_{in} l'impédance conjuguée de sortie du dispositif vue à partir du RA.

Le RAA en Π de la Figure II-13 est considéré comme exemple. Sur la Figure II-14, on a tracé sur l'abaque de Smith l'ensemble des impédances Z_{in} et le facteur de mérite correspondant.

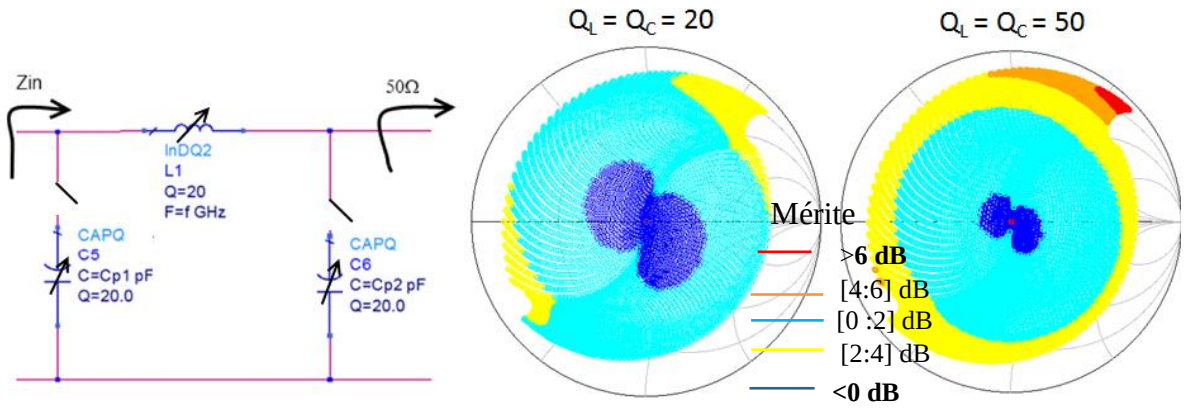


Figure II-14: Schéma du RA et ensemble de Z_{in} générés en fonction du facteur de mérite, avec un facteur de qualité des composants égale à 20 et à 50.

On observe que dans la région bleu foncé, le facteur de mérite est inférieur à 0 dB. L'emploi du RA pour une telle transformation d'impédance ne sera donc pas rentable. Par contre, dans les autres régions le RA apporte une amélioration.

Afin de mettre également en évidence l'impact du facteur de qualité des composants, le facteur de mérite a été tracé dans deux situations différentes, avec des composants dont le facteur de qualité est égal à 20 et à 50. On note clairement que l'augmentation du facteur de qualité réduit la zone bleue et dilate les régions où le facteur de mérite est supérieur à 0 dB. A la limite, avec des composants idéaux, le facteur de mérite serait toujours supérieur à 0 dB, à l'exception du centre de l'abaque, où le facteur de mérite serait évidemment égal à 0 dB (charge déjà adaptée à 50 Ω).

d) Généralisation de l'expression du rendement pour des charges complexes

L'expression (II-14) du rendement présentée par Han [Han06] n'est valable que si les impédances à transformer sont réelles. Nous avons généralisé cette approche en développant une méthode simple valable lorsque les charges en jeu sont complexes.

L'approche que nous avons utilisée consiste à exprimer les puissances dissipées dans chaque branche d'un RA en L en fonction des composants présents dans le RA et des impédances transformées. Ensuite, on établit un rapport entre la puissance délivrée à la charge et la puissance entrante dans le RA. **On suppose toutefois que les parties résistives n'affecteront pas les courants calculés dans les branches du RA, condition nécessaire pour un RA performant ayant de faibles pertes**. **Par ailleurs, on considère que le RA a été correctement optimisé et parvient à réaliser la transformation d'impédances souhaitée, c'est à dire que le transfert de puissance de la source vers la charge est optimal**.

La Figure II-15 présente donc un schéma d'un RA en L général, qui doit transformer une impédance de charge (R_L+jX_L) dans le complexe conjugué de l'impédance de la source (R_G−jX_G). La puissance rentrante dans le RA et la puissance délivrée à la charge sont,

respectivement, P_1 et P_2. Les courants I_p et I_s représentent les courants sur les branches parallèle et série, respectivement.

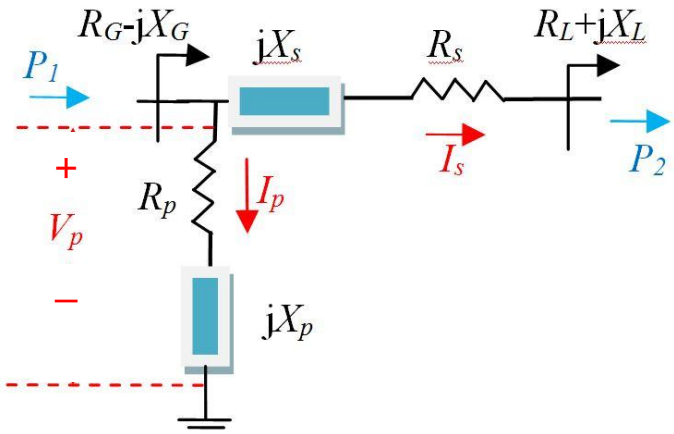


Figure II-15: Schéma du RA en L, transformant une charge (R_L+jX_L) en (R_G-jX_G).

Le bilan de puissance sera effectué en deux étapes. Nous calculerons d'abord la puissance dissipée dans le composant parallèle du RA, puis celle dissipée dans le composant série.

Dans un premier temps, nous estimons donc les pertes dans la branche parallèle. Afin de faciliter les calculs, nous réalisons une transformation parallèle série. Le circuit équivalent de la branche parallèle associée à l'impédance du générateur est illustré à la Figure II-16.

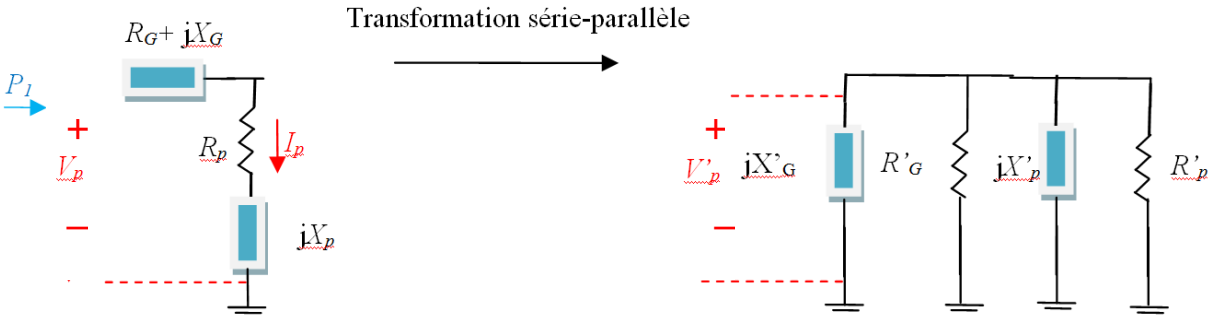


Figure II-16: Schéma transformation série parallèle de branche parallèle du RA.

Les équations correspondant à ces transformations sont évaluées à partir de la théorie des circuits (le « ' » indique que le paramètre est en parallèle):

$$R'_G = R_G + \frac{X_G^2}{R_G} \quad \text{(II-17)}$$

$$X'_G = X_G + \frac{R_G^2}{X_G} \quad \text{(II-18)}$$

$$X'_p = \frac{R_p^2}{X_p} + X_p \quad \text{(II-19)}$$

$$R'_p = R_p + \frac{X_p^2}{R_p} \tag{II-20}$$

A partir du schéma en parallèle, on définit la puissance entrante dans le RA, P_1, comme étant la puissance dissipée dans la résistance de la source (R_G). Cette condition est valable car on considère que le RA réalise la transformation nécessaire pour maximiser le transfert de puissance, la puissance dissipée dans la résistance de source est donc égale à la puissance entrante dans le RA :

$$P_1 = \frac{V'^2_p}{2R'_G} \tag{II-21}$$

On définit également la puissance dissipée dans la résistance du dipôle en parallèle :

$$P_{Loss,p} = \frac{V'^2_p}{2R'_p} \tag{II-22}$$

On remplace (II-21) dans (II-22) pour exprimer $P_{Loss,p}$ en fonction des résistances R'_p et R'_G :

$$P_{Loss,p} = \frac{R'_G}{R'_p} P_1 \tag{II-23}$$

De même, on calcule maintenant la puissance dissipée dans la branche série. La Figure II-17 illustre le schéma de cette branche associée à la charge de sortie.

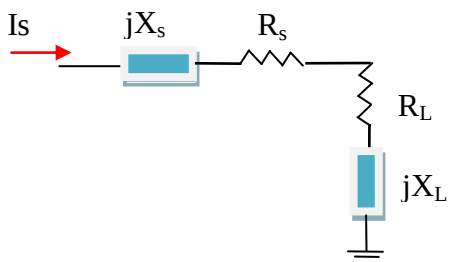


Figure II-17 : Schéma de la branche série du RA chargé.

La puissance délivrée à la charge vaut ainsi :

$$P_2 = \frac{R_L I_s^2}{2} \tag{II-24}$$

On exprime également la puissance dissipée dans la résistance du dipôle série :

$$P_{Loss,s} = \frac{R_s I_s^2}{2} \tag{II-25}$$

En remplaçant l'expression (II-24) dans (II-25), on trouve :

$$P_{Loss,s} = \frac{R_s}{R_L} P_2 \tag{II-26}$$

On peut alors définir le bilan de puissance. La puissance qui rentre dans le RA est égale à la somme des puissances dissipées dans les deux branches et de la puissance délivrée à la charge :

$$|P_1 = |P_2 + P_{Loss,p} + P_{Loss,s} \quad \text{(II-27)}$$

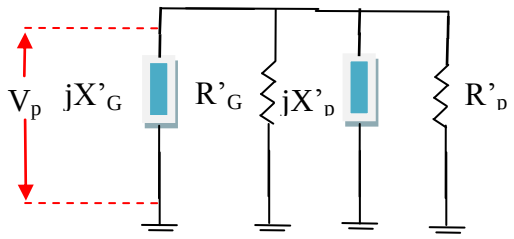
A l'aide de (II-23) et (II-26), on réécrit ce bilan en fonction des résistances et obtient le rapport entre les puissances délivrées à la charge et entrante dans le RA, qui correspond au rendement du RA, η:

$$\eta = \frac{P_2}{P_1} = \frac{1 - \frac{R'_G}{R'_p}}{1 + \frac{R_s}{R_L}} \quad \text{(II-28)}$$

Pour simplifier ce rapport, il est intéressant d'introduire des paramètres liés aux facteurs de qualité des branches.

La Figure II-18 résume les facteurs de qualité liés à la branche parallèle.

Définition des facteurs de qualité de la branche parallèle



Facteur de qualité du dipôle parallèle du RA, $Q_{comp,p}$:

$$\boldsymbol{Q_{comp,p} = \frac{R'_p}{X'_p}} \quad \text{(II-29)}$$

Facteur de qualité de la branche parallèle, Q_p:

$$\boldsymbol{Q_p = \frac{R'_G}{X'_p}} \quad \text{(II-30)}$$

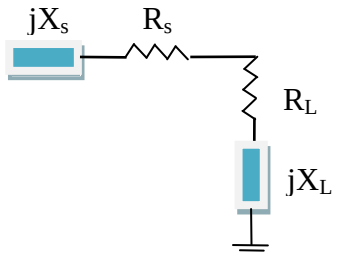
Figure II-18: Définition des facteurs de qualité dans la branche parallèle.

Ainsi en faisant le rapport entre (II-29) et (II-30), on trouve :

$$\frac{R'_G}{R'_p} = \frac{Q_p}{Q_{comp,p}} \quad \text{(II-31)}$$

De même, pour obtenir le rapport entre R_s et R_L, on définit les facteurs de qualité liés à la branche série, comme indiqué sur la Figure II-19.

Définition des facteurs de qualité de la branche série



Facteur de qualité du dipôle série du RA, $Q_{comp,s}$

$$\boldsymbol{Q_{comp,s} = \frac{X_s}{R_s}} \qquad \text{(II-32)}$$

Facteur de qualité de la branche série, Q_s

$$\boldsymbol{Q_s = \frac{X_s}{R_L}} \qquad \text{(II-33)}$$

Figure II-19 : Définition des facteurs de qualité liés à la branche série.

Le rapport entre R_s/R_L peut alors s'exprimer en fonction des facteurs de qualité $Q_{comp,s}$ et Q_s par le biais des expressions (II-32) et (II-33) :

$$\frac{R_s}{R_L} = \frac{Q_s}{Q_{comp,s}} \qquad \text{(II-34)}$$

A l'aide des expressions (II-31) et (II-34), le rendement indiqué en (II-28) peut être *in fine* définit en fonction des facteurs de qualité des branches série et parallèle :

$$\eta = \frac{1 - \frac{Q_p}{Q_{comp,p}}}{1 + \frac{Q_s}{Q_{comp,s}}} \qquad \text{(II-35)}$$

Cette expression permet d'estimer le rendement d'un RA lorsque les impédances sont complexes. La formule développée dans [Han06] correspond au cas particulier où les paramètres Q_p et Q_s sont remplacés par Q_t, vu que la condition (II-11) ($Q_p = Q_s = Q_t$) peut être directement appliquée pour des transformations lorsque les charges en jeu sont des réels purs.

L'expression (II-35) peut aussi être simplifiée, en partant du fait qu'en pratique, le facteur de qualité des branches série et parallèle est très supérieur aux facteur de qualité des composants ($Q_P << Q_{comp,p}$ et $Q_S << Q_{comp,s}$). Ainsi, on peut appliquer un développement limité pour obtenir :

$$\eta_A = 1 - \frac{Q_p}{Q_{comp,p}} - \frac{Q_S}{Q_{comp,s}} \qquad \text{(II-36)}$$

Afin de vérifier la validité des expressions (II-35) et (II-36), nous avons créé un exemple où l'on doit adapter à 1 GHz une charge de 50 Ω à une source[2] dont l'impédance vaut arbitrairement (69,5-j48) Ω. Le choix de ces valeurs d'impédances ne correspond pas à un cas pratique, l'objectif étant juste d'illustrer l'application de la formule du rendement. Le RA proposé pour réaliser cette transformation ainsi que la représentation de cette transformation sur l'abaque de Smith sont présentés sur la Figure II-20.

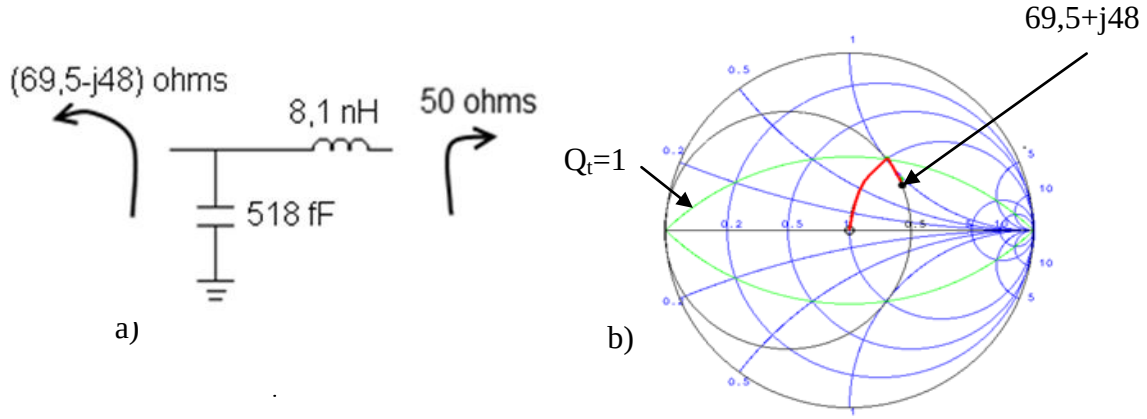


Figure II-20 : a) Schéma de l'exemple de RA en *L* qui transforme (69.5+j48) Ω vers 50 Ω. b) Représentation de cette transformation sur l'abaque de Smith.

Avec les valeurs des réactances des éléments parallèles et série de ce RA, on peut estimer les facteurs de qualité de chaque branche. On calcule $Q_p = R_{G,P}/X_p = 100/307 = 0{,}33$ et $Q_s = X_s/R_L = 50/50 = 1$.

En remplaçant ces paramètres dans l'expression (II-35) du rendement du RA, on obtient donc:

$$\eta = \frac{1 - \frac{0{,}33}{Q_C}}{1 + \frac{1}{Q_L}} \qquad \text{(II-37)}$$

[2] Nous appelons impédance de source l'impédance présentée à l'entrée du RA

Dans le but de confirmer cette expression, le rendement du RA a été estimé sur ADS™ en fonction du facteur de qualité de la capacité, à une fréquence de 1 GHz. Le rendement est obtenu à partir de la simulation des paramètres *S* lorsque l'on relie l'entrée et sortie du RA directement aux accès 50 Ω (ports 1 et 2) Le facteur de qualité de l'inductance a été considéré constant égal à 20. De même, nous avons tracé le rendement obtenu à partir de l'expression de [Han06] (II-14) et de notre expression générale (II-35), Figure II-21.

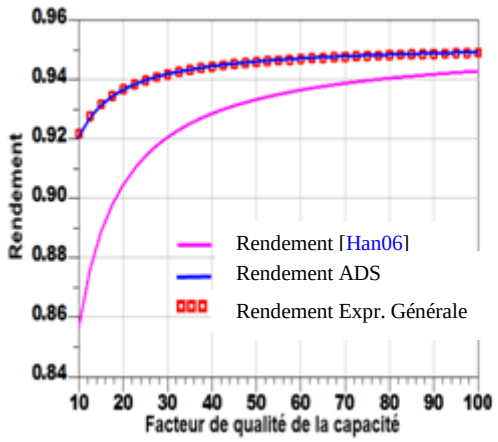


Figure II-21 : Rendement du RA obtenu à l'aide de l'expression de [Han06] et avec l'expression générale (II-35), comparé au rendement simulé par ADS™, en fonction du facteur de qualité de la capacité.

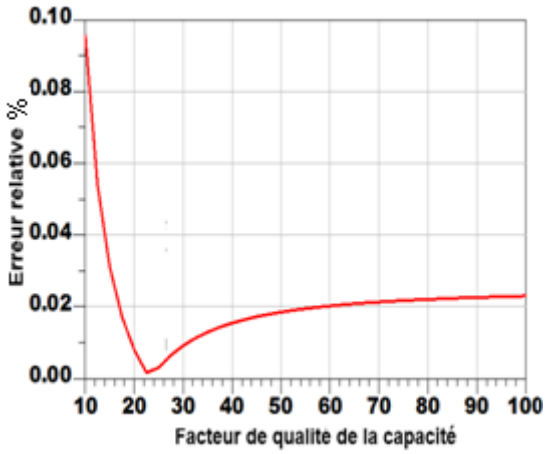


Figure II-22: Erreur relative entre le rendement théorique et le rendement simulé par ADS™.

On constate que l'expression de [Han06] ne modélise pas correctement le rendement du RA. L'erreur relative de cette expression par rapport au rendement calculé à partir des paramètres *S* est d'environ 7 %.

Si l'on considère l'expression générale développée, l'erreur relative du rendement par rapport à la simulation ADS™ est inférieure à 0,1 %, Figure II-22. Ce résultat permet de valider l'expression générale.

La valeur de l'erreur lorsque l'expression de [Han06] est utilisée dépend de la partie imaginaire de l'impédance transformée. Cette erreur est évidemment nulle si la partie imaginaire est nulle, mais va augmenter lorsque l'on s'écarte de cette condition.

Pour illustrer cet aspect, la capacité du RA a été remplacée par un varactor, dont la capacité varie de 0,1 à 4 pF. Dans ce cas, nous avons considéré que le varactor et l'inductance présentaient un facteur de qualité constant égal à 20. L'ensemble d'impédances Z_G générées à l'entrée du RA est indiqué sur l'abaque de Smith de la Figure II-23(a). Le dégradé de couleurs illustre les pertes d'insertion associées à chaque transformation. On constate logiquement une croissance des pertes lorsque le chemin de transformation d'impédances est plus long.

Dans cet exemple, on vérifie que les résistances R_p et R_s ne sont pas modifiées par la variation de la capacité. En effet, on part d'une résistance R_s constante égale à 50 Ω et la variation de la capacité provoque un déplacement sur un cercle d'admittance normalisée constante égale à 0,5 (R_p = 100). Le facteur de transformation d'impédances reste donc constant. Ainsi, la formule de [Han06] prévoit des pertes d'insertion constantes.

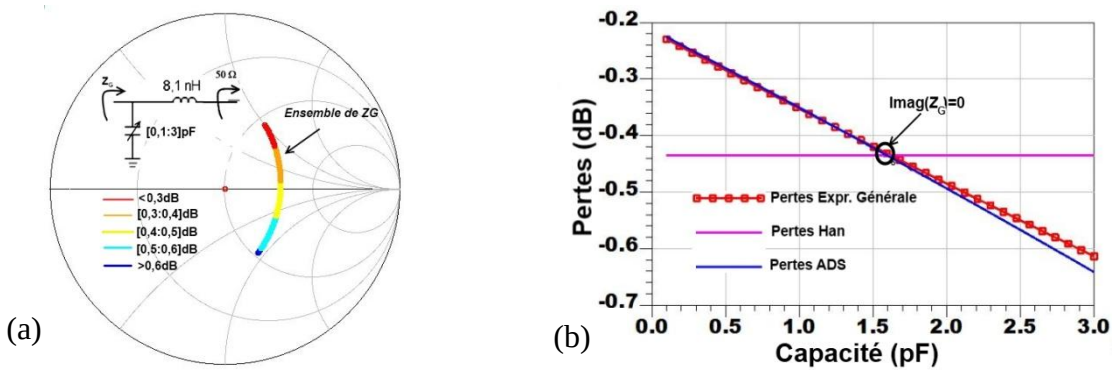


Figure II-23 : (a) Ensemble de Z_G généré à l'entrée du RA avec une capacité variable (b) Pertes d'insertion en fonction de la capacité, simulé sur ADS^{TM} et calculé à partir de la formule de [Han06] et de l'expression générale .

La Figure II-23(b) montre les pertes d'insertion du RA en fonction de la valeur de la capacité. On constate que l'expression générale modélise bien les pertes d'insertion simulées sur ADS. Toutefois, les pertes d'insertion estimées à partir de l'expression de [Han06] ne sont cohérentes que pour une valeur de capacité, correspondant à la transformation vers un réel pur.

L'expression (II-37) permet donc de trouver le rendement théorique du RA pour des charges complexes.

e) Choix de la configuration en L optimale à partir de l'analyse du rendement

A partir d'un même type de RA en *L*, il y a toujours deux moyens d'atteindre une transformation d'impédance donnée.

Reprenons l'exemple où l'on doit adapter une charge de 50°Ω à la sortie d'une source dont l'impédance vaut arbitrairement (69,5-j48) Ω. Pour maximiser la puissance transmise à la charge, le RA convertit donc la charge de 50 Ω dans le complexe conjugué de l'impédance de sortie de la source, soit (69,5+j48) Ω.

Il s'avère qu'il existe deux configurations de RA en *L* capables de réaliser cette transformation, comme indiqué sur la Figure II-24. Les chemins de transformation correspondant à chaque configuration sont représentés sur l'abaque de Smith de la Figure II-25.

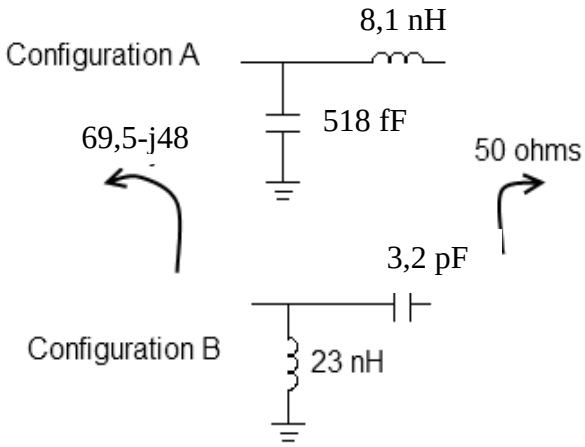


Figure II-24 : Schémas des deux RA en *L* possibles pour adapter la source d'impédance de sortie (69,5-j48) Ω vers une charge de 50 Ω, à 1 GHz.

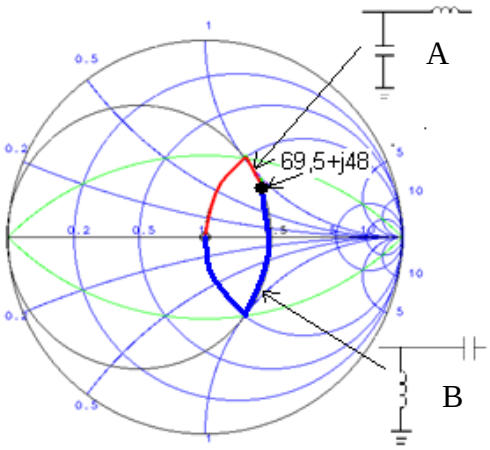


Figure II-25: Chemin parcouru sur l'abaque de Smith par les deux configurations de la Figure II-24.

Quelle serait la solution la plus performante d'un point de vue du rendement ? On peut répondre à cette question à partir des équations de rendement de chaque configuration.

Lorsque l'on calcule les facteurs de qualité de chaque branche du RA, on constate qu'ils ne sont pas très élevés, de l'ordre de 1, la condition ($Q_P << Q_{comp,p}$ et $Q_S << Q_{comp,s}$) semble raisonnable. L'expression simplifiée (II-36) peut donc être utilisée.

Dans un premier temps, nous considérons l'inductance idéale ($Q_L >> 0$). Dans un second temps, nous considérerons la capacité idéale ($Q_C >> 0$).

Pour une inductance idéale, le rendement s'écrit, pour le RA de type A:

$$\eta_A = 1 - \frac{Q_{PA}}{Q_C} \qquad \text{(II-38)}$$

où Q_{PA} est le facteur de qualité de la branche parallèle du RA de type A et Q_c est le facteur de qualité de la capacité

Pour le RA de type B:

$$\eta = \frac{1}{1 + \frac{Q_{SB}}{Q_C}} \qquad \text{(II-39)}$$

où Q_{SB} est le facteur de qualité de la branche série du RA de type B et Q_c est le facteur de qualité de la capacité.

Le rendement dépend donc du facteur de qualité de la branche parallèle dans la configuration A (Q_{PA}) et du facteur de qualité de la branche série dans la configuration B (Q_{SB}).

Q_{PA} est calculé à partir de l'équation (II-30) :

$$Q_{PA} = \frac{R_p}{X_C} = \frac{100}{307} = 0{,}33$$

De même, Q_{SB} est calculé à partir de l'équation (II-33) :

$$Q_{SB} = \frac{R_s}{X_L} = \frac{50}{50} = 1$$

La performance de la solution A sera donc meilleure, comme on le confirme sur la Figure II-26, où le rendement des deux configurations a été simulé sur ADS™ et tracé en fonction du facteur de qualité de la capacité.

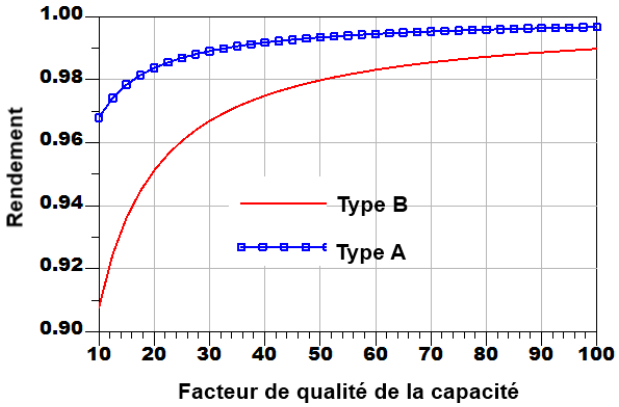


Figure II-26 : Comparaison de la performance des deux configurations de RA en *L*, types A et B, en fonction de la valeur de la capacité, avec Q_L>>0.

On observe que la différence de rendement entre les deux configurations est évidemment plus accentuée lorsque le facteur de qualité de la capacité est faible. Ainsi, par exemple, pour $Q_C = 10$, la solution B présente un rendement de 91 % (ou 0,41 dB de pertes d'insertion), contre 97 % (ou 0,15 dB de pertes d'insertion) pour la solution A**.** Dans un cas pratique, il faut évidemment prendre en compte aussi d'autres critères tels que la valeur des composants et l'encombrement de chaque solution.

Considérons à présent la capacité idéale et l'inductance réelle. Les équations de rendement deviennent:

RA de type A:

$$\eta_A = 1 - \frac{Q_{SA}}{Q_L} \qquad \text{(II-40)}$$

RA de type B:

$$\eta_B = 1 - \frac{Q_{PB}}{Q_L} \qquad \text{(II-41)}$$

Le calcul donne $Q_{SA} = 1$ et $Q_{PB} = R_p/X_L$=100/60=1,7. Ainsi, la solution A est encore la plus performante.

Nous constatons donc que pour adapter cette charge particulière (69,5+j48) Ω, le RA en *L* de type A, capacité parallèle suivie par inductance série, est le plus approprié.

Cette conclusion peut être confirmée par l'observation du chemin de transformation d'impédances de chaque solution. On constate que le chemin parcouru par la solution A est

plus court, ce qui va engendrer des facteurs de transformation plus faibles, et donc moins de pertes.

Cet effet peut être généralisé, en traçant sur l'abaque de Smith la couverture d'impédance atteinte pour les configurations de RA des types A et B, Figure II-27.

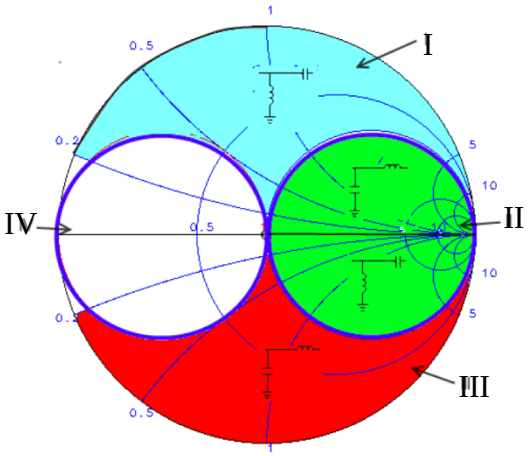


Figure II-27: Régions de l'abaque de Smith possibles d'adapter avec le RA en L inversé.

On distingue sur cet abaque quatre régions intéressantes:

I: Le RA type B est l'unique solution qui permet de transformer vers 50 Ω les impédances situées dans cette région.

II: Les deux types de RA peuvent couvrir cette région. Cependant, nous avons vu que la performance de chaque solution n'est pas identique. Si la réactance de l'impédance du générateur est capacitive, la solution A est la plus performante, alors que si elle est inductive, la solution B est plus performante.

III: Le RA type A est l'unique solution qui permet de transformer vers 50 Ω les impédances situées dans cette région.

IV : Région impossible à atteindre avec ce type de RA en *L*, car l'admittance du générateur est inférieure à (1/50) S (G < 1/50 S). Il faut donc utiliser une configuration en *L* direct.

Ainsi, un moyen simple d'identifier la meilleure solution de RA est de vérifier pour chaque structure de RA, le chemin de transformation d'impédances sur l'abaque de Smith. Le plus court permet d'atteindre le plus faible facteur de transformation (Q_S ou Q_p) et ainsi le plus fort rendement.

Cependant, la performance globale du RA doit être considérée en ajoutant d'autres critères, comme l'encombrement et le coût. Il s'avère que dans un contexte particulier, utiliser des valeurs d'inductance ou de capacité plus faible soit plus judicieux que d'avoir le RA avec le minimum de pertes.

f) Choix du nombre optimal d'étages d'un RA

L'expression du rendement nous montre que la réduction du facteur de transformation permet de diminuer les pertes d'un RA. Lorsqu'un seul étage est utilisé, les impédances à transformer imposent le facteur de transformation. Lorsque l'on traite de plusieurs étages, le(s) facteur(s) de transformation peut être choisi car un degré de liberté est ajouté.

Par exemple, supposons que notre cahier des charges impose une transformation de 50 Ω vers 1 Ω. Un RA en simple *L* présenterait ainsi un rapport de transformation Q_t égal à 7. L'utilisation d'un RA en double *L* (2*L*) permettrait d'effectuer cette transformation en deux étapes et ainsi de réduire le facteur de transformation global Q_t, Figure II-28. A l'aide de l'expression du rendement de chaque RA, on peut déduire quelle solution serait la plus performante entre un RA simple *L* et double *L*.

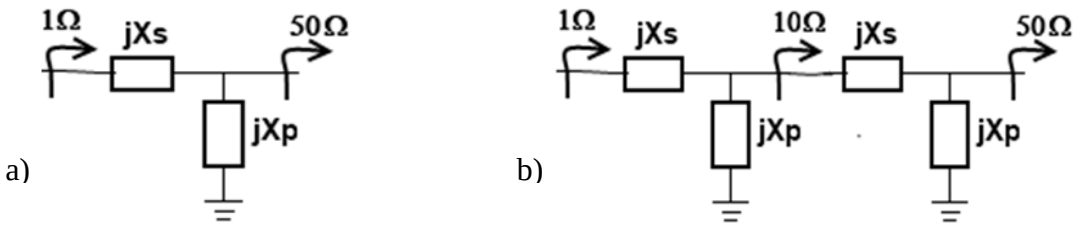


Figure II-28: RA transforment 50 Ω vers 1 Ω a) Type *L* b) Type 2*L*.

Commençons par traiter le cas particulier de la Figure II-28

Pour faciliter les calculs, considérons l'hypothèse $Q_{comp,s}$>>1. Le rendement du RA simple *L* peut être exprimé à l'aide de l'expression (II-36), en faisant les hypothèses réalistes $Q_P << Q_{comp,p}$ et $Q_S << Q_{comp,s}$.

$$\eta_L = 1 - \frac{7}{Q_{comp,p}} \qquad \text{(II-42)}$$

Pour le RA en double *L*, le rendement est égal au produit du rendement de chaque étage:

$$\eta_{2L} = \left(1 - \frac{2}{Q_{comp,p}}\right)\left(1 - \frac{3}{Q_{comp,p}}\right) \approx 1 - \frac{5}{Q_{comp,p}} \qquad \text{(II-43)}$$

Ces expressions mettent en évidence que malgré l'insertion d'un nouvel étage et surtout d'une autre inductance, le RA en double *L* est le plus performant.

En effet, [Han06] a montré qu'il existe un nombre optimal d'étages à choisir dépendant du facteur de transformation d'impédances. Ce nombre peut être estimé à partir de l'expression:

$$n_{opt} = \ln(Q_t) \qquad \text{(II-44)}$$

Toutefois, dans les applications pratiques, même si le facteur de transformation est parfois élevé, la surface utilisée par le RA peut constituer un facteur limitant. En outre, en-deçà d'un

facteur de transformation donné, le gain en rendement n'est plus avéré. Ainsi les RA à un ou à deux étages sont le plus souvent utilisés.

g) RA optimal en 2L

Nous avons vu que les RA à deux étages présentent un troisième degré de liberté. Cela signifie qu'il y a toujours une infinité de solutions possibles pour réaliser une transformation d'impédances donnée.

Cependant, à l'aide des équations de rendement, on peut montrer qu'il existe une solution optimale.

La Figure II-29 illustre le schéma d'un RA en 2*L* qui transforme R_p vers R_s.

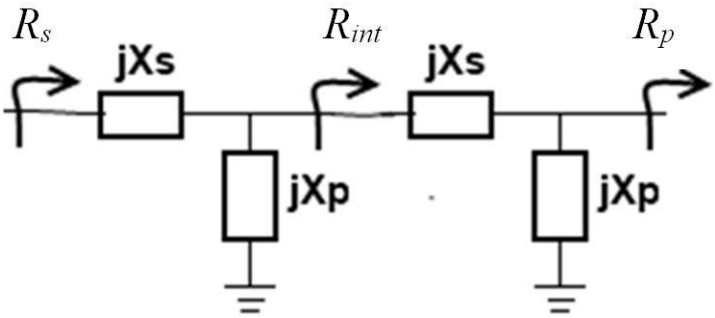


Figure II-29 : Transformation R_p vers R_s avec un RA en 2*L*.

Comme il y a deux étages, on peut définir un facteur de transformation pour chaque étage.

Q_1 correspond à la transformation R_p vers R_{int},

$$Q_1 = \sqrt{\frac{R_p}{R_{int}} - 1} \qquad \text{(II-45)}$$

où R_{int} correspond à la résistance vue à l'entrée du premier étage de transformation du RA en 2*L*, comme indiqué sur la Figure II-29.

Q_2 correspond à la transformation R_{int} vers R_s.

$$Q_2 = \sqrt{\frac{R_{int}}{R_s} - 1} \qquad \text{(II-46)}$$

Le rendement du RA en 2*L* s'exprime comme le produit du rendement de chaque réseau en *L*. Ainsi, en appliquant l'expression du rendement simplifié (II-36), on obtient :

$$\eta = \eta_1 \eta_2 = \left(1 - \frac{Q_1}{Q_{ccomp,s}} - \frac{Q_1}{Q_{comp,p}}\right)\left(1 - \frac{Q_2}{Q_{comp,s}} - \frac{Q_2}{Q_{comp,p}}\right) \qquad \text{(II-47)}$$

où les facteurs de qualité des composants de chaque étage ont été considérés égaux.

Le rendement est donc maximisé lorsque le produit Q_1Q_2 est minimisé.

A l'aide de la dérivée du produit (Q_1Q_2) par rapport à R_{int}, on trouve le meilleur choix pour R_{int} :

$$Q_1Q_2\ ^2 = \frac{R_{int}}{R_s} - 1 \quad \frac{R_p}{R_{int}} - 1 \ = \frac{R_p}{R_s} - \frac{R_{int}}{R_s} - \frac{R_p}{R_{int}} + 1 \tag{II-48}$$

$$\frac{\partial\ Q_1Q_2\ ^2}{\partial R_{int}} = \frac{-1}{R_S} + \frac{R_p}{R_{int}^2} = 0 \tag{II-49}$$

La valeur de R_{int} qui minimise les pertes d'insertion dans un RA en 2L est ainsi la moyenne géométrique de R_p et de R_s, [Fre11].

$$R_{int,opt} = \sqrt{R_pR_s} \tag{II-50}$$

h) Enjeux du codesign

Dans le front-end d'émission d'une chaîne RF, deux méthodes sont possibles afin d'adapter l'amplificateur de puissance à l'antenne d'émission. Classiquement, on adapte la sortie de l'amplificateur vers une impédance de référence, normalement 50 Ω. Ensuite, on conçoit un deuxième adaptateur pour transformer l'impédance de l'antenne vers 50 Ω. Une deuxième approche, appelée co-design, consiste à ramener directement l'impédance de l'amplificateur vers le complexe conjugué de l'impédance de l'antenne, Figure II-30.

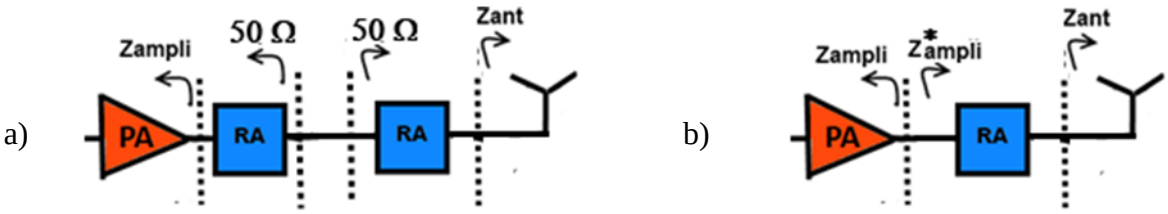


Figure II-30: Illustration du RA en front-end a)Adaptation classique b) Adapation en codesign.

La question se pose de savoir quelle approche est la plus satisfaisante en termes de rendement.

Si l'on considère que les RA sont constitués d'un seul étage (simple L), ceci signifie que l'approche classique nécessiterait deux étages pour réaliser l'adaptation, alors qu'en codesign, un seul étage serait suffisant.

Cependant, comme une topologie à un seul étage n'est pas toujours la plus performante, nous ne pouvons pas affirmer que le codesign aura forcément un rendement plus élevé. Cela dépend aussi du facteur de transformation, Q_t.

Afin de mettre en évidence cet aspect, nous allons traiter un exemple, consistant à adapter une antenne d'impédance d'entrée 200 Ω à un amplificateur dont l'impédance de sortie vaut 7 Ω. Nous avons conçu un RA pour adapter ces deux impédances, avec la méthode classique et le codesign, puis nous avons comparé leurs performances. La Figure II-31 présente les schémas

liés à chaque méthode de synthèse de RA, ainsi que les chemins de transformation d'impédance sur l'abaque de Smith.

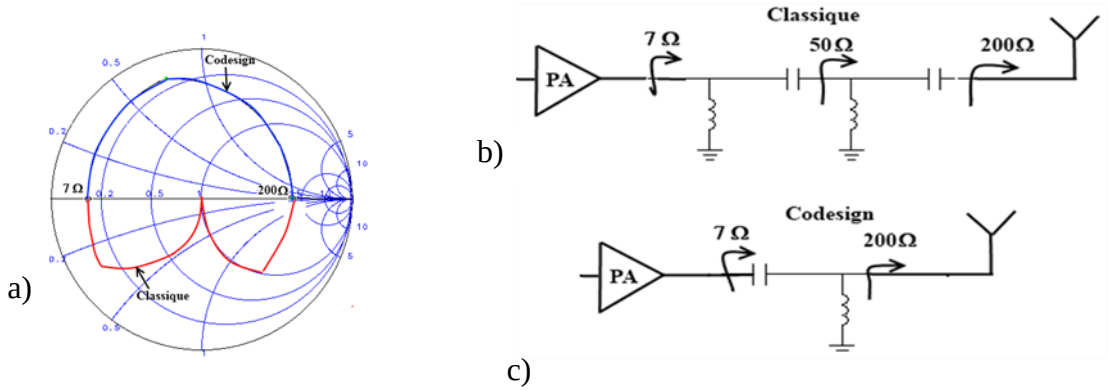


Figure II-31 : a) Chemins des transformations d'impédances des deux approches.

Schéma électrique du RA pour transformer 200 Ω vers 7 Ω b) Codesign c) Méthode classique

Le rendement du RA a ensuite été tracé en fonction du facteur de qualité de l'inductance dans les deux approches, Figure II-32.

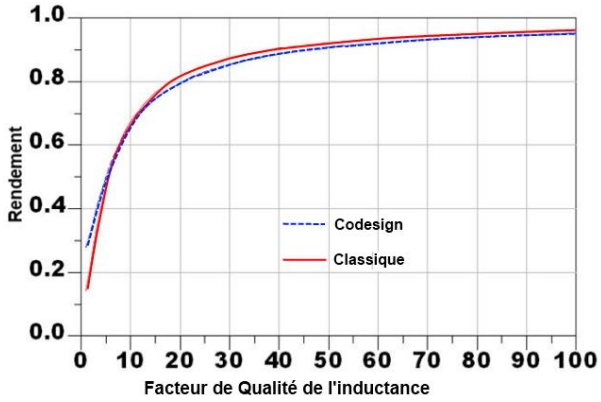


Figure II-32 : Courbe du rendement du RA en fonction du facteur de qualité des inductances employées. Transformation 200 Ω vers 7 Ω. En trait rouge continu, RA avec méthode classique, et en trait bleu pointillé, RA en codesign.

Nous observons que le codesign n'apporte pas d'amélioration, sauf lorsque le facteur de qualité de l'inductance est vraiment faible (Q_L<10). Ceci s'explique car le codesign permet d'économiser une inductance. Par ailleurs, la raison d'un rendement équivalent des deux solutions peut être comprise en analysant sur l'abaque de Smith la distance parcourue des transformations d'impédances des deux approches, comme illustré sur la Figure II-31. On note que la longueur des deux chemins semble être similaire, par conséquent, le facteur de transformation Q_t de chaque approche n'est pas éloigné.

Prenons un second exemple où l'on suppose que l'impédance de l'antenne vaut 12,5 Ω, alors que celle de l'amplificateur vaut toujours 7 Ω. Désormais, le rapport d'impédances est beaucoup plus faible, suggérant une solution minimaliste en termes d'étages d'adaptation. Sur la Figure II-33, nous avons tracé le rendement en fonction du facteur de qualité de l'inductance, Q_L, pour cette transformation de 12,5 Ω vers 7 Ω.

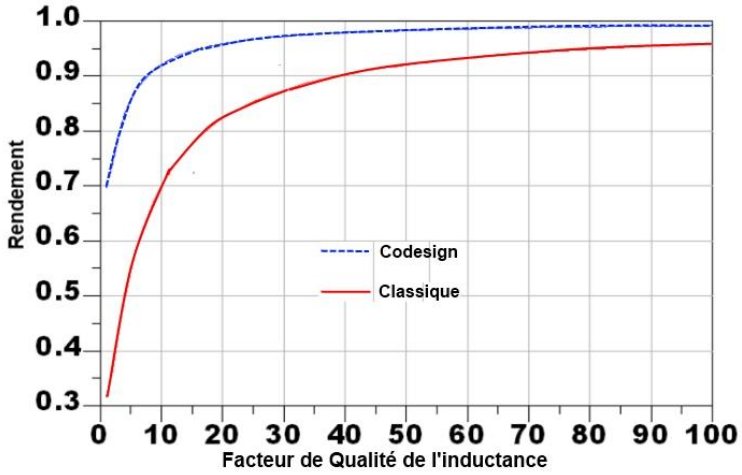


Figure II-33 : Courbe du rendement en fonction du facteur de qualité des inductances employées. Transformation de 12,5 Ω vers 7 Ω. En trait rouge continu si l'on utilise la méthode classique, et en trait bleu pointillé pour le codesign

Nous vérifions que cette fois-ci, le codesign apporte une amélioration intéressante en termes de performances. Par exemple, si les inductances ont un facteur de qualité égal à 20, le codesign permet un rendement supérieur à 95 %, alors que l'approche classique permet d'atteindre seulement 83 %. Cela représente une réduction de 0,6 dB des pertes d'insertion.

Cette amélioration de rendement de l'approche de codesign peut être facilement expliquée. L'approche classique exige deux grandes transformations, de 12,5 Ω vers 50 Ω, puis de 7 Ω vers 50 Ω. A l'inverse, en codesign, on ramène directement 12,5 Ω vers 7 Ω.

Cela peut être plus facilement compris en observant les chemins de transformation d'impédance sur l'abaque de Smith, Figure II-34.

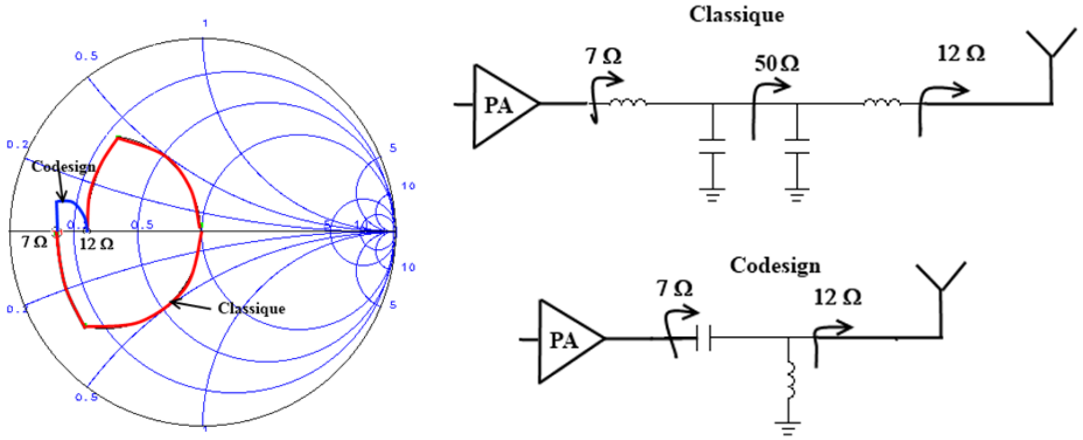


Figure II-34: Chemin de transformation d'impédance et schéma électrique du RA pour transformer 12,5 Ω vers 7 Ω, méthode classique et codesign.

Il est évident que la transformation par l'approche codesign parcourt un chemin beaucoup plus court, ceci indique un facteur de transformation plus faible, et d'après les formules de rendement, des pertes d'insertion moins élevées.

En résumé, lorsque les impédances à adapter ne sont pas très éloignées et ne sont pas de part et d'autre de 50 Ω, le codesign est nettement plus performant. Si l'une des impédances est

plus grande que 50 Ω et l'autre plus faible, le passage par 50 Ω de la méthode classique n'ajoute guère de pertes, les deux approches sont donc équivalentes en termes de pertes d'insertion.

II.2.3 Analyse des principales topologies de RA

Dans ce paragraphe, les principales topologies de RA sont étudiées. Nous évaluons la performance de chaque topologie, pour ensuite conclure sur les avantages et inconvénients de chacune d'elles.

a) RA en simple L

Deux types de RA en L sont possibles, l'élévateur d'impédance et l'abaisseur d'impédance. On considère une transformation d'une charge d'impédance égale à Z_L vers une impédance Z_G. Si l'élément parallèle est placé côté Z_L, alors Z_G est inférieure à Z_L, le RA est un abaisseur d'impédance. Au contraire, si l'élément en série est placé côté Z_L ,alors Z_G est supérieure à Z_L, le RA est un élévateur d'impédance. La Figure II-35 illustre les deux topologies.

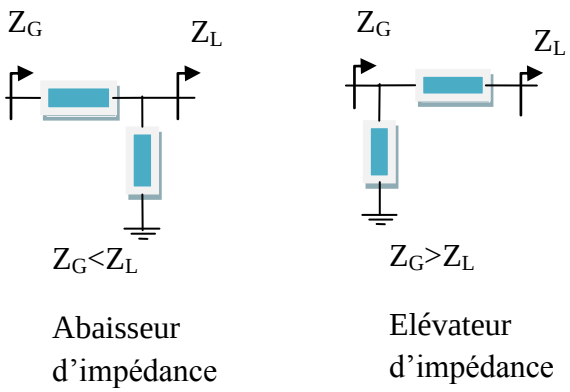


Figure II-35: Schéma des deux types de RA en L, l'abaisseur et l'élévateur d'impédance.

Chaque type de RA en L permet de couvrir une partie de l'abaque de Smith. La Figure II-36 montre la couverture maximale d'impédances (Z_G) des deux types de RA en L, en considérant Z_L égale à 50 Ω.

Figure II-36: Couverture d'impédances des deux types de RA en L, éleveur et abaisseur d'impédances.

Comme on l'a vu précédemment, toutes les impédances ne sont pas générées avec le même rendement. Pour illustrer cela, nous avons tracé sur l'abaque de Smith l'ensemble des impédances produites par l'élévateur d'impédances et sur un dégradé de couleurs les pertes

d'insertion correspondantes d'une part (Figure II-37 a)), et le facteur de mérite d'autre part (Figure II-37 b)). Le facteur de qualité des composants a été considéré égal à 20.

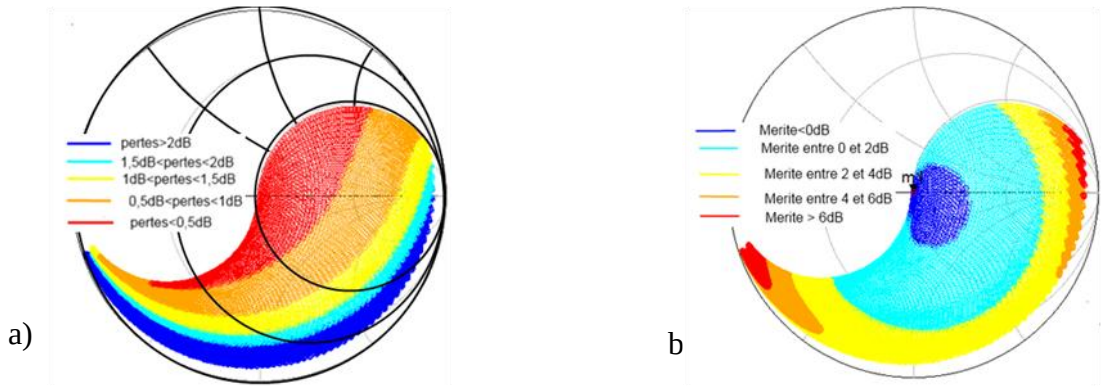


Figure II-37 : Couverture d'impédances d'un RA en *L* élévateur d'impédances, avec un facteur de qualité des composants égal à 20, et dégradé de couleurs représentant: a) Pertes d'insertion b) Facteur de Mérite.

On constate que les pertes d'insertion suivent bien le facteur de transformation d'impédances, elles sont donc plus faibles pour les impédances les plus proches du centre de l'abaque de Smith (50 Ω) et augmentent lorsque l'on s'écarte du centre. Concernant le facteur de mérite, on note que les transformations d'impédances situées proches du centre n'apportent aucun bénéfice au système, car le gain lié à la réduction des pertes d'insertion par réflexion ne compense pas les pertes d'insertion ajoutées par le RA.

Nous verrons par la suite que si la couverture d'impédances exigée par l'application est plus importante, il faut passer à une structure à deux étages, formée par la mise en cascade de deux RA en *L*.

En outre, un RA en *L* ne présente aucun degré de liberté. Le facteur de transformation Q_t est fixé par les impédances à transformer, ainsi que la bande passante. Cependant, l'ajout d'un second étage permet au concepteur de définir le facteur de transformation Q_t ou la bande passante.

b) RA en Pi

La mise en cascade des éléments série d'un RA en *L* élévateur d'impédances avec un abaisseur d'impédances, produit la topologie de RA deux étages assez classique, le RA en Π [Matt64], Figure II-38

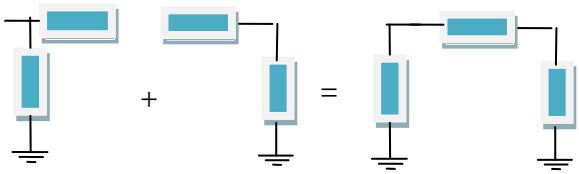


Figure II-38: Schéma de la mise en cascade des deux RA en *L* pour former le RA en Π.

Ce RA permet idéalement une couverture totale de l'abaque de Smith, comme démontré dans Hoarau [Hoa08], si les 3 branches peuvent être rendues soit capacitives, soit inductives.

Comme pour le RA en *L*, les impédances sont générées avec différents niveaux de pertes d'insertion. Cependant, même si l'on part d'une impédance de charge de 50 Ω, les points où les pertes sont les plus faibles ne sont pas localisés autour du centre, mais plutôt à gauche du centre ($Z_G < 50\ \Omega$), comme observé sur l'abaque de Smith de la Figure II-39, où les pertes d'insertion ont été représentées dans le cas d'un facteur de qualité de tous les composants égal à 20.

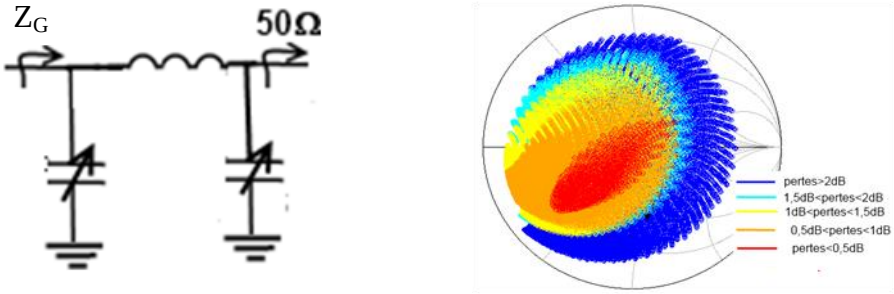


Figure II-39: a) Schéma du RA en Π b) Ensemble de Z_G généré à l'entrée du RA et les pertes d'insertion du RA.

L'étude du chemin de transformation d'impédances du RA nous apporte la raison de ce résultat. En effet, dans un RA en Π, la charge Z_L est toujours associée à un élément parallèle qui va premièrement abaisser son impédance. Ainsi, même si l'on doit élever l'impédance, le RA va d'abord baisser l'impédance pour ensuite l'élever, comme illustré sur l'abaque de la Figure II-40.

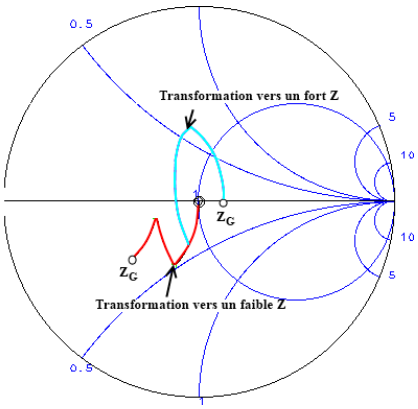


Figure II-40 : Chemin de transformation d'impédance du RA en Π vers une faible et une forte impédance.

Ainsi, le RA en Π permet d'atteindre une large couverture mais il n'est pas optimal pour générer des impédances plus élevées. Le RA en Π avec deux inductances en parallèle et une capacité en série, qui permettrait de résoudre ce problème d'un point de vue théorique, n'a pas été étudié car l'inductance supplémentaire augmente les pertes d'insertion, ainsi que la surface et le coût du RA de manière souvent prohibitive.

De même, à cause de l'inductance supplémentaire, le RA en *T* n'a pas été traité.

c) RA en 2L

Malgré la présence de deux inductances dans un RA de type 2*L*, cette topologie sera traité dans cette section, car la disposition de ses composants optimise la transformation de certaines impédances.

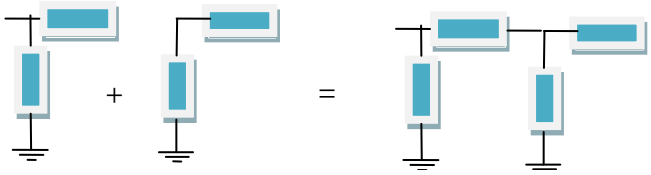


Figure II-41 : Schéma de la formation du RA en 2*L* à partir de la mise en série de deux RA en *L* de même type.

En effet, la mise en cascade de deux RA en *L* du même type permet de réaliser deux transformations d'impédances dans le même sens, soit deux abaisseurs ou deux élévateurs d'impédance. Ce type de RA est donc plus approprié lorsque l'on sait si l'impédance à transformer est plus faible ou plus forte que l'impédance de charge.

La Figure II-42 présente un exemple de RAA en 2*L*, conçu pour adapter à 50 Ω une impédance Z_G plus faible.

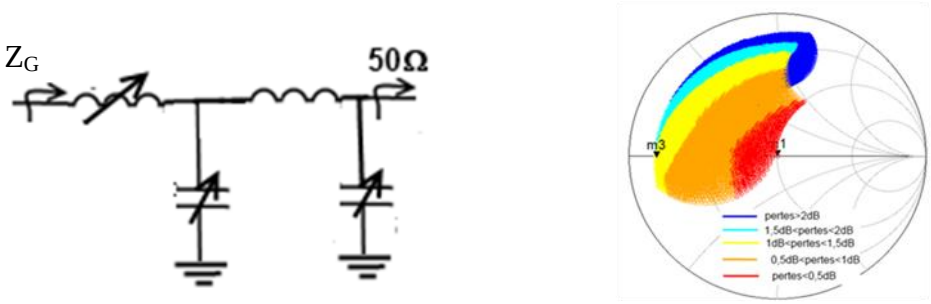


Figure II-42: Schéma du RA 2*L* et couverture d'impédances avec les pertes d'insertion en dégradé de couleur. Facteur de qualité des composants égal à 20.

On constate que le RA couvre les impédances inférieures à 50 Ω (à gauche de l'abaque) avec de bonnes performances. La région qui n'est pas couverte ne signifie pas qu'elle soit impossible à atteindre mais juste qu'il aurait fallu des valeurs de réactances trop élevées.

II.3 Démonstrateur hybride

II.3.1 Contexte : Tuner d'antenne

Comme décrit dans l'état de l'art du premier chapitre, plusieurs travaux récents ont étudié le problème de la désadaptation des antennes en téléphonie mobile, conséquence de l'interaction de l'antenne avec l'utilisateur [Boyle07].

En outre, la tendance à la miniaturisation des antennes des téléphones mobiles a provoqué une réduction de leur bande passante [Wha11]. Enfin, cet effet a coïncidé avec l'augmentation des applications multi standards et multi fréquences.

Une solution pour améliorer l'adaptation de l'antenne sans trop augmenter l'encombrement et le coût du circuit consiste à introduire un RA accordable capable de corriger les éventuelles désadaptations de l'antenne.

Dans ce contexte, nous avons conçu un démonstrateur en technologie hybride, fonctionnant à 2,4 GHz, qui représente le front-end d'une chaîne RF en émission, constitué d'un amplificateur de puissance (PA), deux RA accordables, qui réalisent une adaptation simultanée entrée/sortie du PA et une charge variable, qui simule le comportement de l'impédance d'une antenne, Figure II-43.

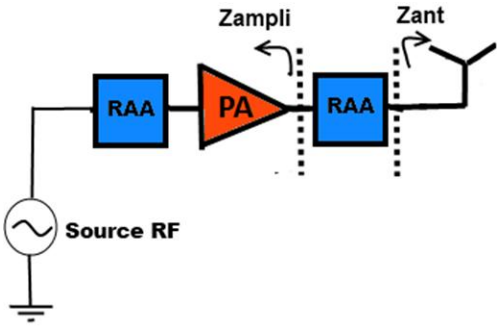


Figure II-43: Schéma du démonstrateur réalisé sur PCB.

Nous avons considéré une large variation de l'impédance de l'antenne, correspondant à un cercle dans l'abaque de Smith de *VSWR* < 5. Ainsi, il faut que le RAA de sortie soit capable de transformer toutes les charges situées dans ce cercle vers le complexe conjugué de l'impédance de sortie du PA. En outre, le RAA placé en entrée sert à corriger l'adaptation en entrée qui peut être modifiée à cause du changement de la charge à la sortie du PA.

Par la suite, nous allons décrire les caractéristiques du PA et la conception de chaque RAA. A la fin, les résultats de mesure seront analysés et comparés avec les simulations.

I.1.2. Caractérisation des composants du démonstrateur

Pour avoir un modèle fiable du démonstrateur, nous avons caractérisé tous les composants employés. La description de ces composants est présentée dans ce paragraphe.

a) Transistor bipolaire

Nous avons besoin de connaître avec précision les caractéristiques de l'amplificateur de puissance utilisé. Le PA est réalisé à l'aide d'un seul étage d'amplification, formé par un transistor bipolaire BFP420 du constructeur Infineon [Inf].

Les caractéristiques du transistor sont spécifiées par le constructeur sur un substrat FR4. Comme le démonstrateur sera réalisé sur un substrat Rogers 4003 (épaisseur de 813 µm et ε_r=3,38), nous avons réalisé un circuit sur ce substrat, constitué uniquement du transistor et de son circuit de polarisation, ainsi que des connecteurs SMA pour réaliser les accès RF. Les résultats de la mesure des paramètres *S* sont présentés sur la Figure II-44.

De même, les paramètres de stabilité ont été évalués et il s'avère que le transistor est inconditionnellement stable sur une large bande de fréquences (entre 1 et 4 GHz) autour de la fréquence de travail.

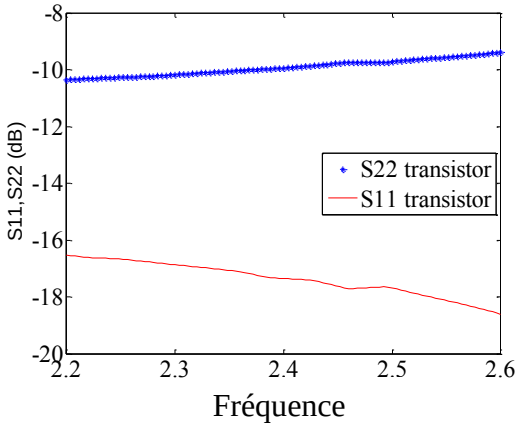


Figure II-44 : S_{11} et S_{22} de l'amplificateur seul.

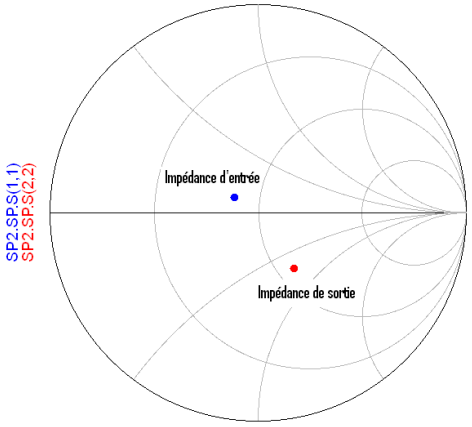


Figure II-45 : Impédances d'entrée et de sortie de l'amplificateur à 2,4GHz.

La Figure II-44 montre que les coefficients de réflexion ne sont pas très élevés. On vérifie également sur l'abaque de Smith de la Figure II-45 que les impédances entrée/sortie sont assez proches du centre (50 Ω). L'impédance d'entrée vaut (39+j5,85) Ω et l'impédance de sortie vaut (59-j35,4) Ω. Ainsi, si cet amplificateur est connecté à une entrée et une sortie 50 Ω, sa performance ne sera guère affectée par les réflexions et l'intérêt d'insérer un RA sera donc faible. Dans l'exemple que nous traitons, l'amplificateur sera connecté à une antenne dont l'impédance d'entrée est éloignée de 50 Ω, rendant l'utilisation des RA pertinente.

Les caractéristiques de transmission sont présentées sur les Figure II-46 et Figure II-47.

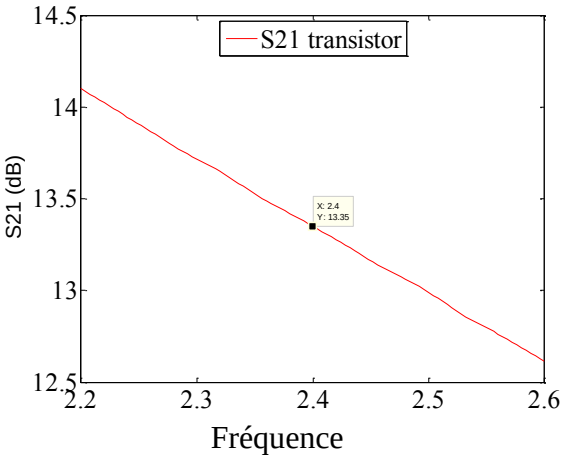


Figure II-46 : Mesure du paramètre S_{21} de l'amplificateur seul.

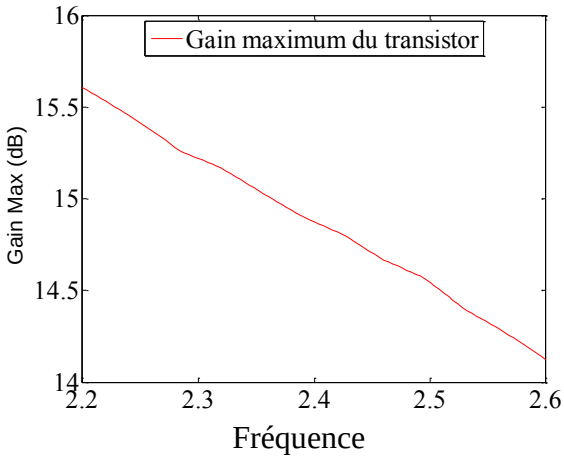


Figure II-47 : Extraction du gain maximum du transistor

La Figure II-46 donne le paramètre S_{21} de l'amplificateur chargé par 50 Ω en fonction de la fréquence. A 2,4 GHz, S_{21} vaut 13,3 dB. La Figure II-47 montre le gain maximum de l'amplificateur, c'est-à-dire le gain lorsque l'entrée et la sortie sont adaptées. A 2,4 GHz, ce gain vaut 14,7 dB. Cela veut dire que si l'on introduit des RA idéaux, le gain du système sera de 14,7 dB. Toutefois, on sait que ce gain est impossible à atteindre en pratique car les RA

présentent des pertes d'insertion. Ainsi, il faut vérifier si la performance du système est effectivement améliorée avec l'insertion des RA ou si les gains en adaptation ne permettent pas de compenser les pertes ajoutées par les RA. Dans notre cas, on peut conclure que si le paramètre S_{21} de l'amplificateur avec les RA est supérieur à 13,3 dB, le RA s'avère utile, sinon son utilisation n'est pas conseillée.

b) Varactor

Afin de réaliser la fonction de capacité variable et permettre l'accordabilité du RA, on a utilisé une diode en polarisation inverse MACOM™, série MA46H071.

Cet élément doit être bien caractérisé pour que le modèle du démonstrateur soit le plus réaliste possible.

Nous avons donc monté en série un circuit sur le même substrat ROGERS RO4003, constitué uniquement du varactor et, à l'aide d'un analyseur de réseau, nous avons mesuré les paramètres *S* correspondant à une polarisation DC variant entre 0 et 20 V, sur une plage de fréquences entre 500 MHz et 4 GHz. Puis nous avons extrait les paramètres *Y*. A partir de ces mesures, nous avons extrait le modèle de la Figure II-48.

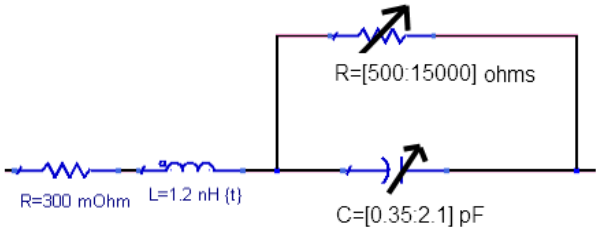


Figure II-48: Modèle électrique du varactor MA46H071.

Ce modèle est constitué de deux éléments fixes : une inductance en série avec une résistance, qui modélisent les accès au composant. Nous avons aussi une résistance et une capacité en parallèle, variables avec la tension de polarisation. La variation mesurée de ces deux composants avec la polarisation est tracée sur la Figure II-49.

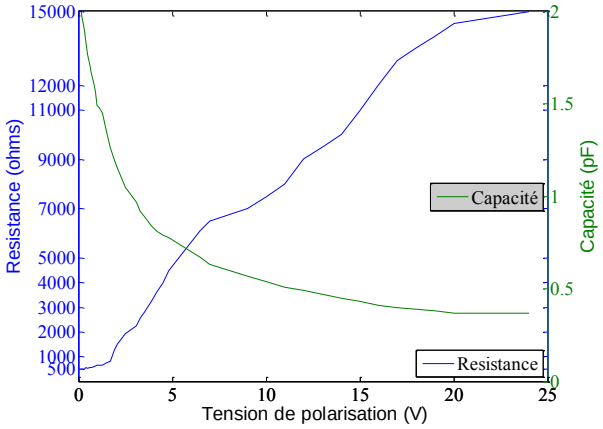


Figure II-49: Capacité et résistance parallèle du varactor en fonction de la tension de polarisation, à 2,4 GHz

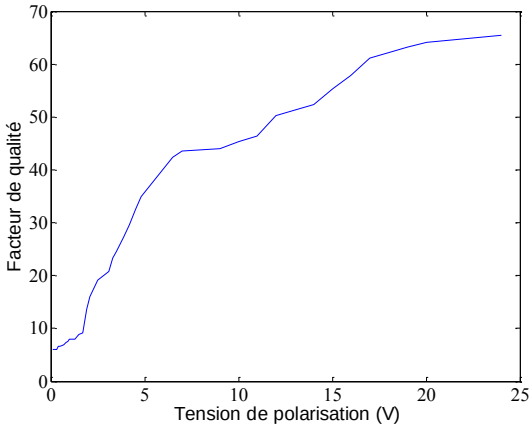


Figure II-50: Facteur de qualité du varactor en fonction de la tension de polarisation, à 2,4 GHz.

On observe que la capacité et la résistance parallèle varient, respectivement entre 0,35 et 2,1 pF et entre 500 et 15000 Ω, pour des tensions allant de 0 à 25 V.

Ceci implique une variation significative du facteur de qualité du varactor selon la tension inverse appliquée, Figure II-50. On note que le facteur de qualité atteint un minimum de 6 pour des tensions proches de 0 V et un maximum de 65 pour des tensions supérieures à 20V.

c) Inductances

Deux inductances différentes ont été utilisées dans le RAA, une de 4,7 nH dans le RAA en entrée, et une de 3 nH dans le RAA de sortie, toutes les deux du constructeur Coilcraft™..

Le schéma du modèle des inductances est indiqué sur la Figure II-51.

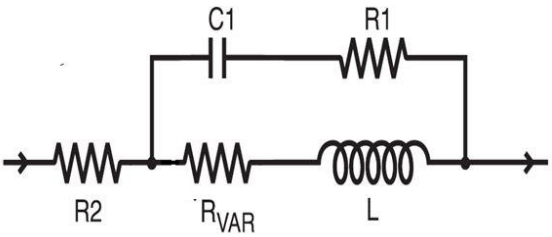


Figure II-51: Modèle des inductances.

On distingue la résistance d'accès R_2, l'inductance L, une résistance variable avec la fréquence, R_{VAR}, pour prendre en compte l'effet de peau, une capacité C_1 et une résistance R_1, pour modéliser le couplage capacitif entre les deux accès au composant et entre les spires de l'inductance.

Le facteur de qualité mesuré à 2,4 GHz des inductances de 3,0 et 4,7 nH est présenté dans le Tableau II-1.

Inductance (nH)	Facteur de Qualité à 2,4 GHz
3	20
4,7	30

Tableau II-1: Facteur de qualité mesuré des inductances à 2,4 GHz.

d) Capacité de découplage

Afin d'isoler les différents circuits de polarisation DC, nous avons inséré des capacités de découplage de 4,7 pF, qui permettent le passage du signal RF mais bloquent le signal DC, Figure II-52.

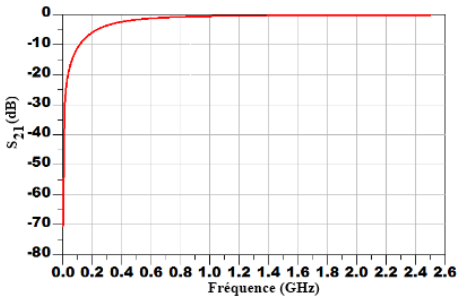


Figure II-52: Coefficient de transmission (S_{21} en dB) de la capacité de découplage en fonction de la fréquence.

On observe que la capacité bloque bien le signal DC (S_{21} = −0,05 dB) et laisse passer le signal RF.

e) Inductance de choc

Pour éviter une fuite de courant RF vers les sources de tension DC, il est essentiel d'associer un élément qui présente une forte impédance à la fréquence de fonctionnement sans bloquer la tension DC.

Ainsi, pour polariser les varactors, nous avons associé une inductance en série avec la source DC, qui représente un court-circuit pour le signal DC et une forte impédance à la fréquence de 2,4 GHz.

Nous avons choisi une inductance Coilcraft de 87 nH. La simulation du modèle et la mesure du coefficient de transmission (S_{21}), entre 500 MHz et 4 GHz, est donnée sur la Figure II-53.

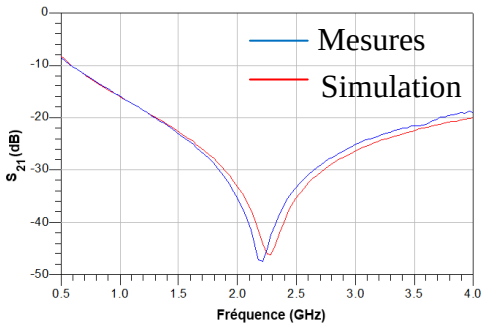


Figure II-53: Mesure et simulation du coefficient de transmission de l'inductance de choc de 87 nH.

On constate qu'à la fréquence de fonctionnement (2,4 GHz), le paramètre $|S_{21}|$ est inférieur à −30 dB. Ceci signifie que l'inductance de choc assure bien son rôle et présente une forte impédance pour le signal RF.

II.3.2 Conception et caractérisation des RAA

a) Conception du RAA d'entrée

Le PA est chargé en entrée par l'impédance constante de 50 Ω du générateur. Nous avons donc conçu un simple RAA en *L*, constitué d'une inductance de 4,7 nH et d'un varactor, qui va permettre de ramener l'entrée 50 Ω vers le complexe conjugué de l'impédance d'entrée de l'amplificateur à la fréquence de 2,4GHz, Figure II-54.

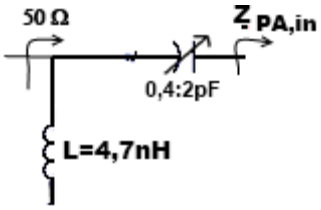


Figure II-54 : Schéma électrique du RAA en entrée.

Il est important de remarquer que l'impédance vue à la sortie de l'amplificateur dépend de l'impédance d'entrée, ainsi l'ajout de ce RA en entrée va modifier simultanément l'impédance vue à la sortie. En plus, comme ce RA est variable, par la présence du varactor, chaque valeur de capacité engendre une valeur d'impédance de sortie différente. Sur la Figure II-55, nous avons tracé la plage d'impédances en sortie du PA produite par cette variation de la capacité en entrée.

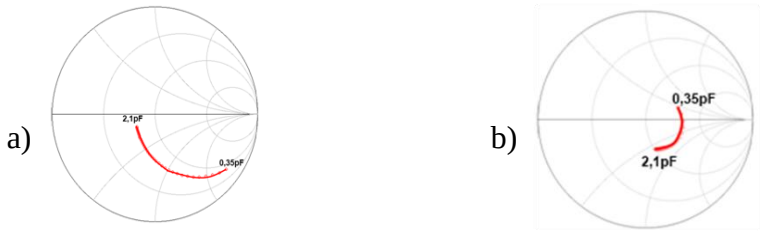


Figure II-55: Plage d'impédances en fonction de la capacité en entrée a) A l'entrée du PA et b) à la sortie du PA

Nous observons que l'impédance de sortie peut présenter des valeurs assez différentes. Par exemple, si la capacité en entrée vaut 2,1 pF, l'impédance de sortie est égale à (50-j30) Ω, alors que pour 0,35 pF, elle vaut (88+j21,5) Ω.

De même, les changements d'impédances vues à la sortie du PA provoquent aussi des modifications sur son impédance d'entrée, par conséquent, pour la réalisation d'une adaptation simultanée, il est important que le RA en entrée soit également accordable.

En outre, le rendement du RA dépend des facteurs de qualité du varactor ainsi que du facteur de transformation. Comme ces deux paramètres changent en fonction de la polarisation appliquée au varactor, le rendement du RA n'est donc pas identique pour chaque état du varactor, comme illustré dans le Tableau II-2, qui montre la valeur de la capacité du varactor et les pertes d'insertion du RA pour trois polarisations différentes.

Polarisation (V)	C (pF)	Facteur de qualité du varactor à 2,4 GHz	Facteur de transformation (Q_t)	Rendement du RAA en dB
0,1	2,06	6	0,51	0,58
1,5	1,35	9	0,84	0,64
24	0,37	65	1,36	1,4

Tableau II-2 : Pertes d'insertion du RA d'entrée en fonction de la polarisation du varactor.

On constate d'après le tableau que les pertes d'insertion du RAA en entrée sont comprises entre 0,6 et 1,4 dB.

Ces différences de facteur de transformation d'impédances sont facilement visualisées lorsque l'on observe sur l'abaque de Smith la position relative par rapport au centre des impédances que le RA présente à sa sortie, pour chaque valeur de capacité du varactor.

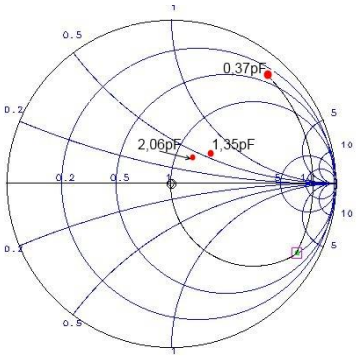


Figure II-56: Impédances vue à la sortie du RA d'entrée, lorsque la capacité du varactor vaut 0,37 pF, 1,35 pF et 2,06 pF.

b) RAA de sortie

La fonction du RAA en sortie est plus complexe, il doit ramener une impédance complexe variable différente de 50 Ω à la sortie de l'amplificateur, qui comme nous l'avons observé, n'est pas constante. Ainsi, il s'avère nécessaire de prendre une topologie de RAA plus robuste, qui couvre une plage plus importante d'impédance. Nous avons choisi une configuration en Π qui permet une bonne couverture de l'abaque de Smith sans trop ajouter des pertes, Figure II-57.

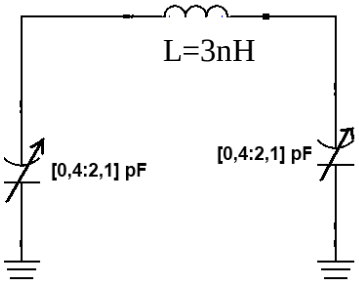


Figure II-57: Schéma électrique du RAA en sortie.

A partir du modèle de chaque composant, on peut déduire les pertes d'insertion dues à ce RAA. Par contre, il faut toujours prendre en compte la polarisation des varactors. Le Tableau II-3 donne les pertes d'insertion du RAA correspondant à trois états de polarisation des deux varactors.

V_1 (V)	V_2 (V)	C_1 (pF)	C_2 (pF)	Facteur de qualité du varactor	Rendement du RAA en dB
0,1	0,1	2,06	2,06	6	**-2,7**
24	24	0,37	0,37	65	**-0,25**
24	**3**	**0,37**	**0,97**	**65 et 24**	**-0,44**

Tableau II-3: Pertes d'insertion du RAA en sortie en foncton de la polarisation des varactors.

On observe ainsi que les pertes d'insertion du RAA de sortie sont situées entre 0,25 et 2,7 dB, selon la polarisation des varactors.

L'observation du chemin de transformation d'impédances correspondant à ces trois polarisations permet d'avoir une idée du rendement à partir de la longueur du chemin (ou facteur de transformation), Figure II-58.

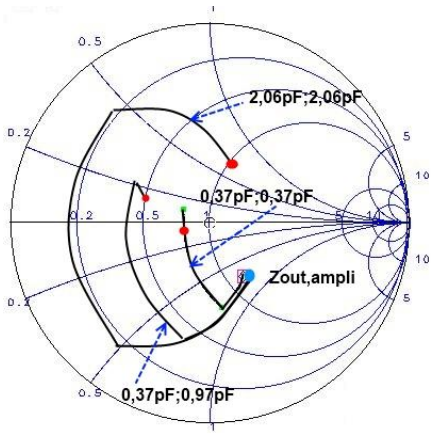


Figure II-58 : Chemins de transformation de l'impédance de sortie de l'amplificateur vers la sortie du RA, correspondant aux trois cas de polarisation présentées dans le Tableau II-3**.**

On constate que dans ce cas, la configuration avec les deux capacités de 2,06 pF produit le plus long chemin. Ceci associé au plus faible facteur de qualité du varactor dans cet état justifie les pertes plus élevées dans cette situation.

II.3.3 Résultats mesures/simulation

a) Démonstrateur chargé par 50 ohms

La première étape de caractérisation du démonstrateur consiste à mesurer ses caractéristiques sous 50 Ω, Figure II-59.

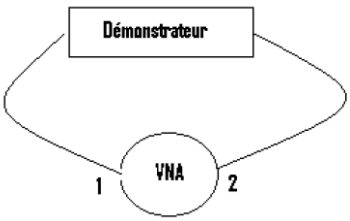


Figure II-59 : Schéma de câblage du VNA avec le démonstrateur.

Les paramètres *S* ont été mesurés entre 2,2 et 2,6 GHz. Ils sont comparés à la simulation du modèle extraits aux paragraphes précédents, Figure II-60.

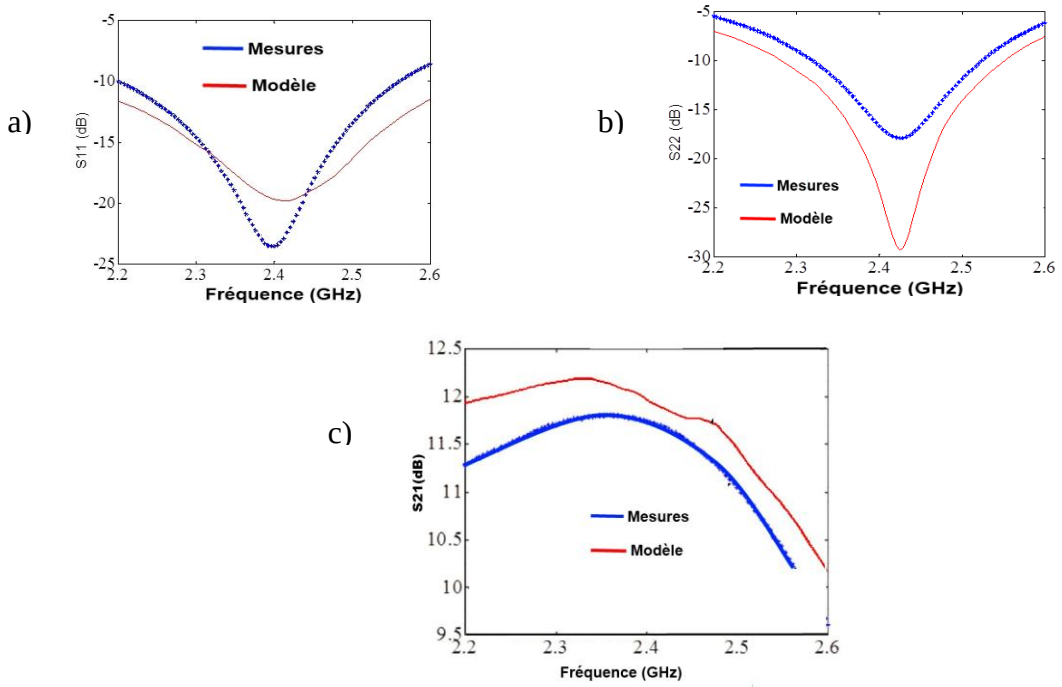


Figure II-60 : Paramètres *S* du démonstrateur chargé par 50 Ω, modèle et mesures a) S_{11} b) S_{22} c) S_{21}

Nous observons que le modèle prévoit bien la localisation de la résonnance à 2,4 GHz sur les paramètres de réflexion. En transmission, à 2,4 GHz, $|S_{21}|$ est égal à 11,7 dB, au lieu de 11,9 dB prévu par le modèle.

Malgré les coefficients de réflexion tout à fait acceptables, il n'est pas encore possible d'affirmer que les RA ont apporté une amélioration à la performance globale du système. Pour le vérifier, il faut comparer avec la performance de l'amplificateur sans les RA. Ainsi, les paramètres *S* de l'amplificateur mesuré seul ont été comparés avec les mesures de l'amplificateur adapté (démonstrateur), tous les deux chargés à 50 Ω, Figure II-61.

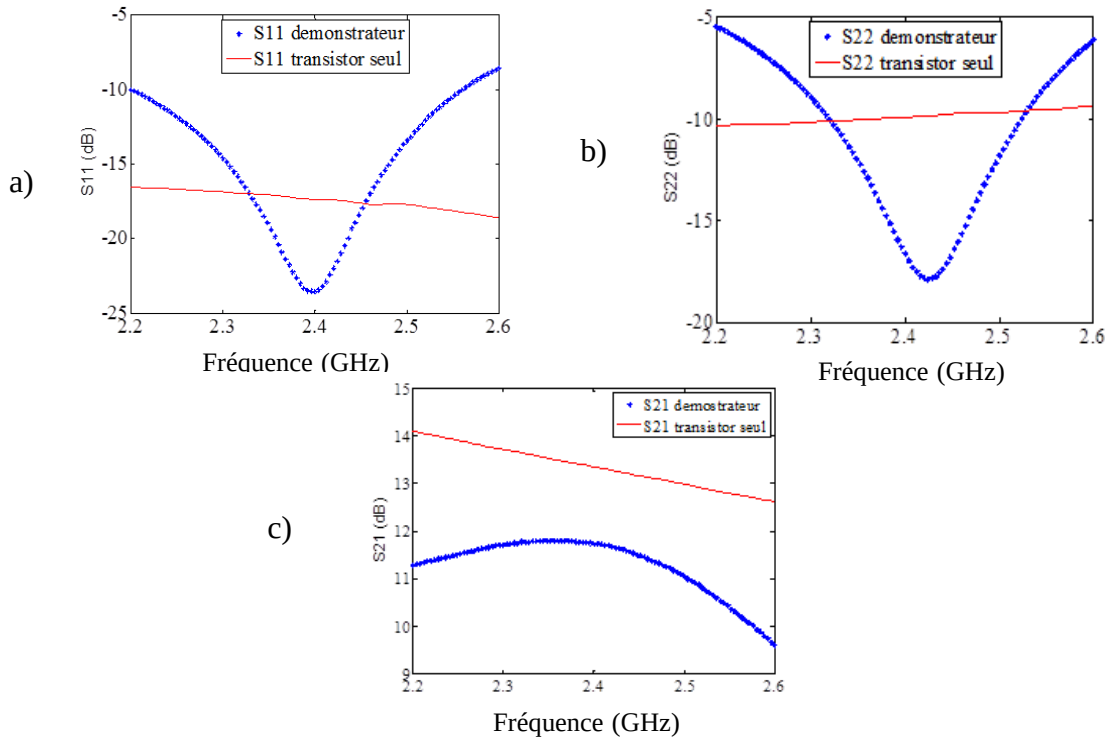


Figure II-61: Comparaison des mesures des paramètres *S* mesurés du démonstrateur et du transistor, tous les deux chargé 50 Ω a) S_{11} b) S_{22} c) S_{21}

Comme attendu, l'amplificateur étant naturellement assez bien adapté, les pertes d'insertion ajoutées par les RA ne sont pas compensées par l'amélioration significative de l'adaptation à 2,4 GHz.

Le gain S_{21} du système à 2,4 GHz vaut 13,3 dB sans RA et 12 dB avec les RA. On sait que le gain maximum de cet amplificateur est de 14,7 dB. Les pertes totales des deux RA s'élèvent donc à environ 3 dB.

Nous allons, par la suite, évaluer si pour d'autres charges de sortie (différentes de 50 Ω) l'utilisation du RA serait intéressante.

b) Démonstrateur chargé par (10,5-j17,4) Ω

Au lieu de brancher la sortie du démonstrateur directement sur le VNA, nous avons inséré entre les deux un tuner d'impédances mécanique qui va permettre de transformer l'impédance de 50 Ω à l'accès 2 du VNA vers l'impédance que l'on veut présenter à la sortie du démonstrateur, Figure II-62.

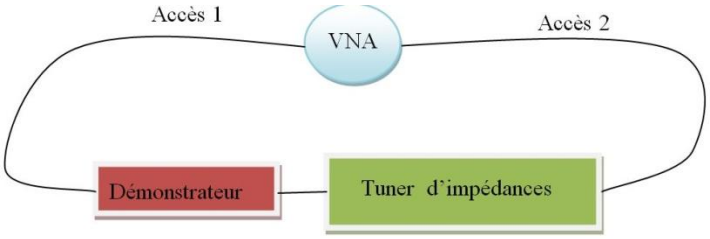


Figure II-62 : Schéma de mesures du démonstrateur chargé par un « tuner » d'impédances.

D'abord, nous avons configuré le tuner d'impédances pour présenter à la sortie du démonstrateur une impédance de (10,5-j17,4) Ω. Puis les paramètres *S* du système démonstrateur+tuner d'impédances ont été mesurés à l'aide du VNA, Figure II-63.

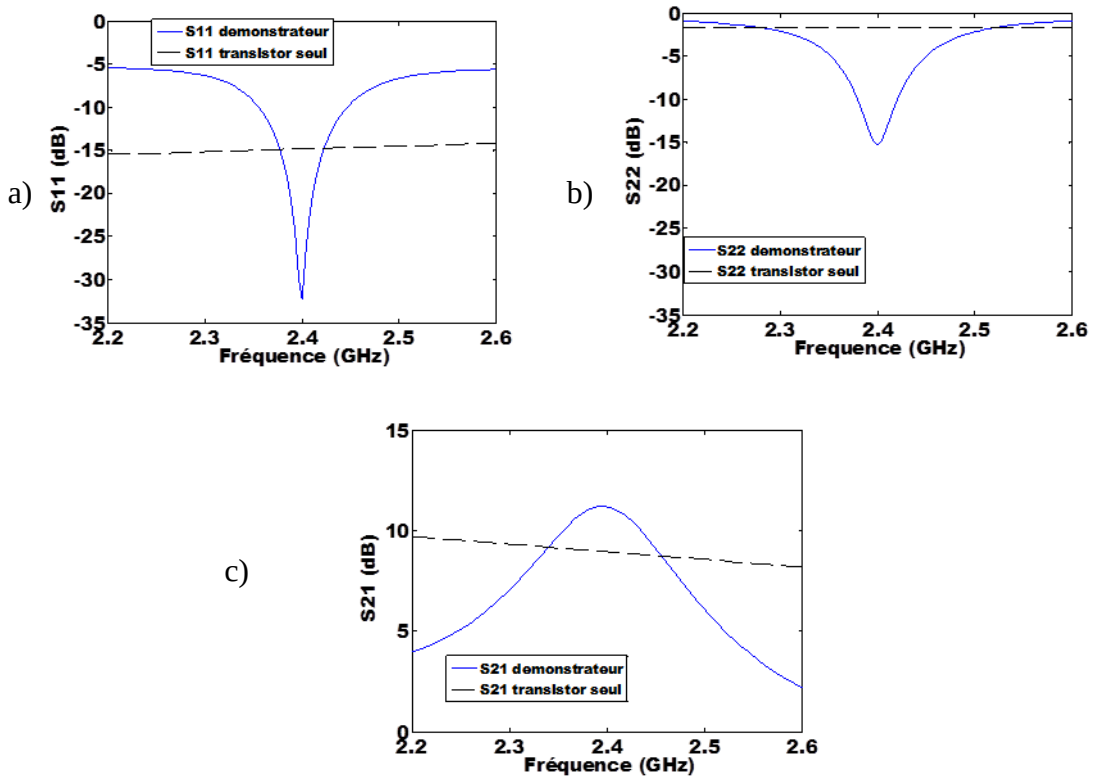


Figure II-63 : Paramètres *S* du démonstrateur chargé par (10,5-j17,4) Ω, mesure du démonstrateur et du transistor seul. a) S_{11} b) S_{22} c) S_{21}

On note que le démonstrateur est très bien adapté en entrée. Par contre, l'apport du RA en entrée ne sera pas très significatif car le transistor seul présente aussi un faible coefficient de réflexion (S_{11} < -15dB), Figure II-63(a). En définitive, nous aurions pu ne pas utiliser de RA en entrée sauf si nous avions traité le cas d'une source différente de 50 Ω.

Cependant, si l'on considère la réflexion en sortie du transistor seul, $|S_{22}|$=-3 dB à 2,4 GHz, plus de la moitié de la puissance est réfléchie. L'ajout du RAA a permis ici une chute importante de la réflexion, $|S_{22}| = -15$ dB à 2,4 GHz, Figure II-63(b)

L'importance de cette correction en sortie est évidente lorsque l'on regarde le coefficient de transmission $|S_{21}|$. A 2,4 GHz, la mise en place des RAA a permis une augmentation d'environ 2 dB du gain global de l'amplificateur, par rapport au transistor sans RAA, Figure II-63(c).

c) Couverture d'impédances mesurée

Il est essentiel aussi de vérifier la couverture d'impédances du RAA, c'est-à-dire, l'ensemble des impédances qu'il est capable de corriger. Ainsi, le tuner d'impédances a été configuré pour présenter à la sortie du démonstrateur une grande variété de lieux d'impédance.

La Figure II-64 présente, en dégradé de couleurs, la couverture d'impédances du démonstrateur, obtenue à partir des mesures pour plusieurs lieux d'impédances. Le critère adopté a été l'adaptation simultanée en entrée/sortie avec des paramètres $|S_{11}|$ et $|S_{22}|$ inférieurs à -15 dB, à 2,4 GHz. La région couverte correspond à un cercle de VSWR < 5:1.

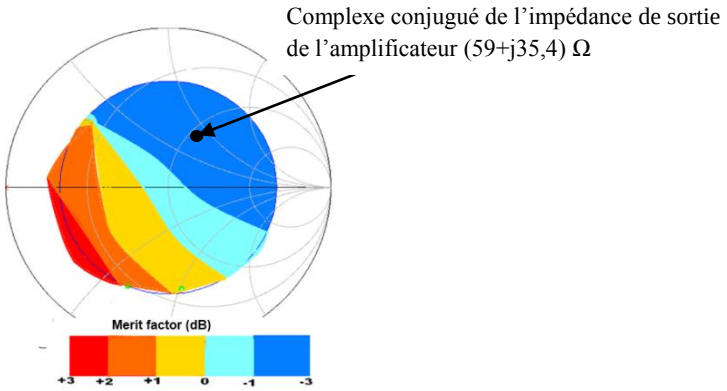


Figure II-64: Couverture d'impédances et facteur de mérite du démonstrateur, à 2,4 GHz.

Ce dégradé exprime le facteur de mérite du RAA, c'est-à-dire, le rapport du gain du démonstrateur adapté sur celui du transistor seul mesuré sous 50 Ω.

Par exemple, dans la région rouge, on gagne au moins 2 dB par rapport au transistor seul. A l'inverse, on perd entre 1 et 3 dB dans la zone bleu noir, ce qui est cohérent avec le fait que le complexe conjugué de l'impédance de sortie de l'amplificateur est située à droite du centre de l'abaque de Smith, comme indiqué sur la Figure II-64.

Cela met bien en évidence pour quelles impédances de charge, l'insertion des RAA contribuerait à l'augmentation de la performance du système.

II.4 Conclusions

Les principaux aspects pour la conception de RAA performants ont été traités dans ce chapitre. La performance du RAA a été évaluée, en particulier, à partir du rendement et de la couverture d'impédances.

Dans une première partie, nous avons développé une expression du rendement des RA valable pour des charges complexes, qui complète l'étude de [Han06]. Ces développements originaux n'ont pas encore été publiés. Ceux-ci s'avèrent importants, notamment lors du choix de la topologie de RA optimale. Nous avons également décrit le lien entre les pertes d'insertion du RA et la longueur des chemins de transformation d'impédances parcourus sur l'abaque de Smith. Ensuite, des abaques illustrant à la fois la couverture d'impédances et les pertes d'insertion ont été présentés, ce qui permet une caractérisation et comparaison des différentes structures de RAA à l'aide d'un seul abaque. De même, nous avons décrit les figures de mérite permettant de souligner l'importance du RAA vis-à-vis de la performance globale du système. Ces figures de mérite montrent si l'insertion du RA est bénéfique ou non pour une transformation d'impédances donnée.

Dans une seconde partie, nous avons étudié l'impact du facteur de qualité des composants sur la performance des RA, qui nous permet d'établir un lien direct entre le choix des composants et les pertes d'insertion du RA. Ainsi, le concepteur peut immédiatement vérifier si une technologie fournit des composants assez performants pour satisfaire le cahier des charges imposé par son application.

Ensuite, la conception d'un démonstrateur permettant d'illustrer par un cas pratique concret les développements théoriques a été menée. Celui-ci a été réalisé en technologie hybride sur PCB. Il est constitué de deux RAA, qui adaptent simultanément l'entrée et la sortie d'un amplificateur de puissance chargé par une antenne dont l'impédance d'entrée est susceptible de varier.

La couverture de l'abaque de Smith et facteur de mérite du démonstrateur ont mis en évidence les régions où notre RAA apporte une amélioration à la performance du système. Dans le cas particulier traité, le bénéfice est plus important pour les charges situées à gauche du centre de l'abaque de Smith, du fait que l'impédance de sortie du PA se situe à droite de l'abaque.

Chapitre III: Réseau d'adaptation accordable fort signal

Sommaire

Chapitre III: Réseau d'adaptation accordable fort signal 93
III.1 Introduction 95
III.2 Les enjeux du fort signal 97
III.2.1 Comportement fort signal de varactors et « switchs » 97
a) Varactor MOS 97
b) Switch MOS 99
III.2.2 Impact du fort signal sur le RAA 101
III.2.3 Solutions d'optimisation de la linéarité et de la dynamique en puissance (« power handling ») 101
Mise en série 101
c) Choix de la tension de polarisation 103
d) Impédance de grille (« Center Tap Impedance ») 104
e) Application de multiples polarisations décalées 105
III.3 Démonstrateur intégré en technologie CMOS SOI 130 nm 107
III.3.1 Technologie SOI 130 nm 107
III.3.2 Caractéristiques de l'amplificateur SOI 130 nm 108
III.3.3 Eléments passifs en SOI 130 nm 110
Varactor MOS faible signal 110
f) Varactor MOS fort signal 113
g) Varactor MOS à 2 états 116
h) « Switch » MOS 119
i) Bilan de capacités variables 120
j) Inductance et Bonding 121
III.3.4 Enjeux du RA de sortie 122
RA fixe 123
k) RA en L accordable par des varactors 124
l) RA en L accordable par des capacités commutées« switchs » 127
m) Bilan de RAA proposés 129
III.3.5 Conception du RAA de sortie pour le démonstrateur sur SOI 130 nm 130

a) Solution RAA de sortie avec varactor type III 130
b) Solution RA accordé par varactor à deux états 136
III.3.1 Bilan de Performance du PA chargé par le RA en SOI 138
RAA avec varactors type III..... 139
c) PA+RA accordé par des varactors à deux états..... 140
d) Bilan PA+RAA 140
III.4 Conclusions..... 142
Conclusion générale 143
Bibliographie 145

III.1 Introduction

Ce chapitre présente un autre champ d'application pour les réseaux d'adaptation accordables (RAA), à savoir la transformation d'impédances afin d'assurer un ensemble d'impédances, qui présentées à la sortie d'un amplificateur de puissance (PA), permet d'optimiser son efficacité.

Comme le RAA est placé en sortie d'un PA, il sera soumis à de fortes puissances RF (entre 20 et 30 dBm). Cela représente un réel défi lors de la conception de RAA, étant donné que les composants accordables peuvent réagir de façon inappropriée à ces niveaux de puissance. En effet, nous allons montrer que l'accordabilité et les pertes d'insertion des composants sont influencées par la puissance des signaux mis en jeu du fait d'effets non linéaires. En outre, lors de l'application de signaux RF dont la puissance est fortement variable, ce qui est typique dans les standards de téléphonie mobile, la réponse non linéaire du composant dépend de la puissance appliquée, ce qui implique de concevoir des RAA offrant des performances optimales pour divers niveaux de puissance RF.

A fort signal, la charge optimale la sortie du PA permettant d'optimiser sa performance ne sera plus celle qui correspond à un minimum de réflexion en sortie permettant d'atteindre le gain en puissance maximum, mais à une charge estimée à partir d'une technique de type loadpull. Le loadpull consiste à présenter à la sortie du PA, un ensemble d'impédances différentes pour chaque puissance de fonctionnement. Ainsi il sera estimé quelles sont les impédances qui vont maximiser la *PAE* (« Power Added Efficiency ») de l'amplificateur pour chaque puissance de fonctionnement.

La Figure III-1 illustre un exemple de réponse en puissance d'un PA, où deux types de charges sont présentés à sa sortie, une charge qui va minimiser les réflexions (S_{22} « match ») et une charge qui maximise la *PAE* (« power match »). On distingue deux zones, pour des puissances faibles en entrée, le S_{22} « match » s'avère plus efficace, alors qu'à des puissances plus fortes, c'est le « power match » qui permet d'atteindre une puissance plus élevée.

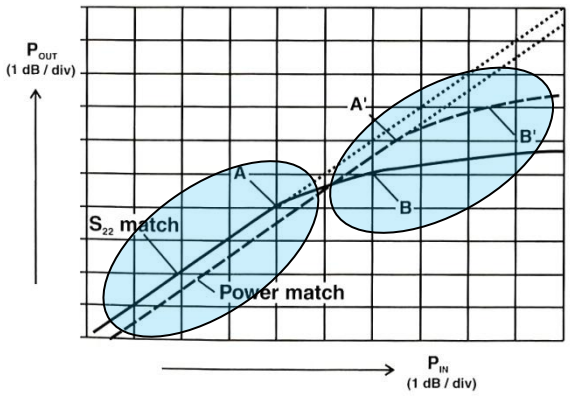


Figure III-1: Evolution de la puissance en sortie en fonction de la puissance en entrée d'un PA, avec deux types de charges, qui soit minimise les réflexions (S_{22} « match ») soit qui maximise la PAE (« Power match ») [Cripps06].

Dans ce chapitre, nous allons donc étudier les RAA dans un contexte de forte puissance, où la technique « loadpull » sera utilisée afin de déterminer l’ensemble des impédances qui maximisent l’efficacité du PA.

Dans un premier temps, le comportement des éléments accordables sera étudié lorsque de forts signaux RF sont appliqués. L’impact et les conséquences négatives de ces fortes puissances seront traités. Puis quelques techniques pour réduire cet impact seront abordées.

Enfin, pour mettre en œuvre ces techniques, nous décrirons la conception d’un démonstrateur conçu en technologie intégrée SOI 130 nm. Ceci nous permettra de démontrer la faisabilité d’un RAA pour de fortes puissances RF, et également de mettre en évidence le gain en performances qu’un RA accordable peut apporter par rapport à un RA fixe, pour ces applications.

III.2 Les enjeux du fort signal

III.2.1 Comportement fort signal de varactors et « switchs »

a) Varactor MOS

Les caractéristiques de la capacité en fonction de la tension appliquée sur les varactors MOS et jonction ont été présentées dans le chapitre I. Toutefois, ces caractéristiques seront perturbées si l'amplitude du signal RF qui traverse le composant est de l'ordre de grandeur de la tension de commande DC appliquée [Bun03].

On considère, par exemple, la caractéristique $C(V)$ d'un varactor MOS, Figure III-3, obtenue à partir du schéma simplifié de la Figure III-2. Le varactor a été polarisé par une tension V_{DC} et on mesure une capacité égale à C_{mes}.

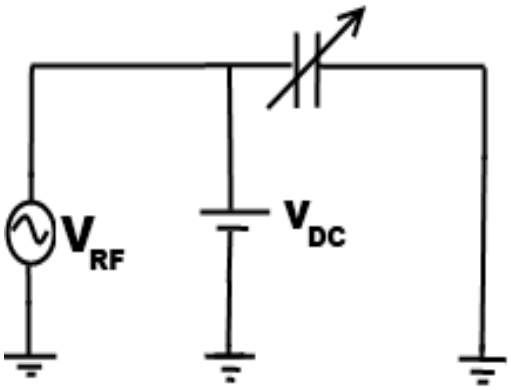


Figure III-2: Schéma électrique de test d'un varactor.

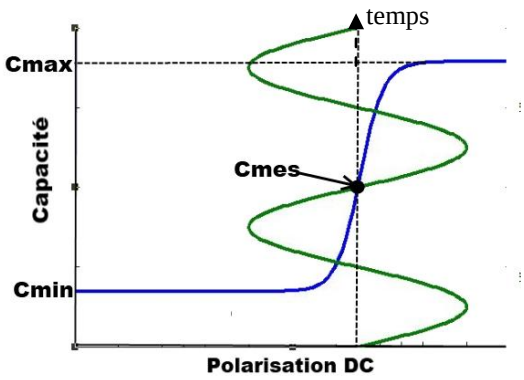


Figure III-3: Caractéristique $C(V)$ d'un varactor MOS.

On observe que la capacité mesurée C_{mes} ne sera plus égale à la capacité mesurée à faible signal. A fort signal, C_{mes} sera égale à la moyenne entre la capacité minimale que le varactor présente, C_{min} et la capacité maximale, C_{max}. Cette capacité à fort signal sera appelée C_{fs}.

C_{fs} peut être estimée à partir de l'intégrale de la caractéristique $C(V)$ du varactor, qui permet d'avoir une relation plus générale, [Rod94] :

$$C_{fs} = \frac{1}{V_{max}-V_{min}} \int_{V_{min}}^{V_{max}} C\ v\ dv \qquad \text{(III.1)}$$

Ainsi en fort signal, la « tunabilité » du varactor sera fortement dégradée et à la limite, sa capacité ne sera plus dépendante de la polarisation DC, mais va converger vers une valeur fixe égale à C_{fs}.

Cet effet peut être clairement mis en évidence lorsque l'on simule la capacité d'un varactor à différentes polarisations en fonction de la puissance RF appliquée. Sur la Figure III-4, l'évolution de la capacité d'un varactor MOS par rapport à la puissance RF a été tracée, pour quatre polarisations DC différentes.

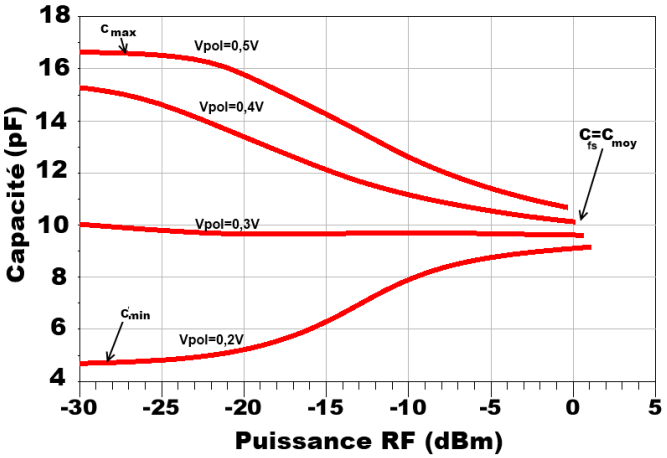


Figure III-4: Evolution de la capacité d'un varactor MOS en fonction de la puissance RF appliquée.

On observe que pour les faibles signaux, à savoir des puissances inférieures à -25 dBm, nous avons bien quatre capacités distinctes, correspondant à chaque polarisation DC appliquée. La capacité la plus élevée correspond à la capacité maximale (C_{max}) du varactor, et la capacité la plus faible à la capacité minimale du varactor (C_{min}). Le rapport C_{max}/C_{min} est d'environ 4.

Toutefois, l'augmentation de la puissance du signal RF provoque le rapprochement de ces courbes. A une puissance de 0 dBm, la « tunabilité » est largement dégradée, avec un rapport C_{max}/C_{min} inférieur à 1,5. Cet effet se poursuit, et à la limite, on atteindra, comme prévu, une capacité constante égale à C_{fs}, correspondant à la moyenne entre C_{max} et C_{min}.

Un autre aspect devant être pris en compte est la tension maximale de fonctionnement du composant. Un transistor MOS dont l'épaisseur d'oxyde vaut, par exemple, 50 nm, ne peut supporter que 2,5 V de tension entre sa grille et sa source/drain. C'est la somme de la tension de polarisation DC et de l'amplitude du signal RF qui doit rester inférieure à ce seuil. Par exemple, si un signal RF de 1 V d'amplitude appliqué entre les accès du varactor, la polarisation DC appliquée ne peut pas dépasser 1,5 V.

b) Switch MOS

Le « switch » MOS est constitué d'un transistor MOS, dont la grille est reliée à une tension de commande DC (V_g). Le transistor va donc fonctionner en deux modes, bloqué ou saturé. Lorsque la tension entre la grille et la source/drain (V_s) est supérieure à la tension de seuil du transistor (V_t), le transistor est en mode saturé et le « switch » est donc passant. Quand cette tension est inférieure à V_t, le MOS est en mode bloqué et le « switch » est ouvert.

Toutefois, ce fonctionnement sera aussi affecté par un signal RF de forte amplitude. Afin d'évaluer le comportement du « switch » en fonction de la puissance RF, nous avons construit l'exemple de la Figure III-5, où la grille du MOS a été polarisée par une tension DC, qui servira à commuter la capacité de 5 pF, associée en série. Le signal RF va traverser la source et le drain du transistor.

Nous allons donc analyser l'évolution de la capacité équivalente vue à l'entrée de la source RF du circuit de la Figure III-5, lorsque l'on applique une tension de 0 V sur la grille, « switch » ouvert.

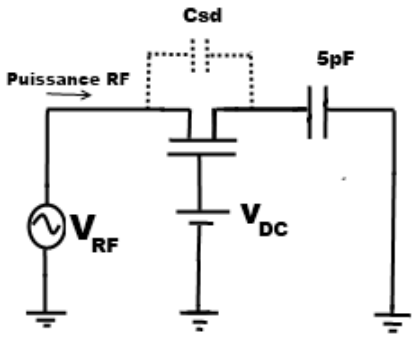


Figure III-5 : Schéma d'évaluation de la performance en puissance d'un « switch » MOS.

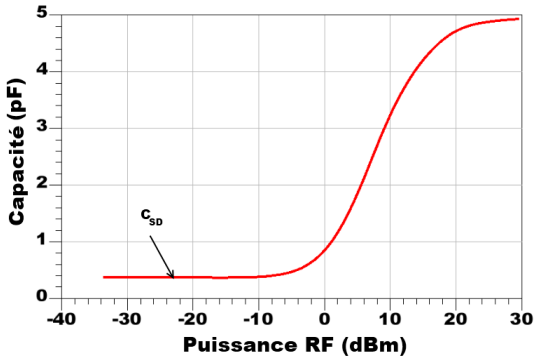


Figure III-6: Evolution de la capacité équivalente en fonction de la puissance RF appliquée, vue à l'entrée de la source RF indiqué sur la Figure III-5.

On observe que pour des signaux de faible puissance, inférieure à 0 dBm, la capacité équivalente est égale à environ la capacité de canal du MOS, C_{SD}, petite par rapport à la capacité de 5 pF. Le transistor fonctionne donc correctement en régime bloqué.

Cependant, lorsque la puissance du signal RF croît, pour certains intervalles de temps du cycle sinusoidal de la tension RF, la tension sur la source devient inférieure à $-V_t$. Par conséquent, la tension V_{gs} devient supérieure à V_t et le MOS bascule en mode conduction, la capacité mesurée ne vaut plus C_{SD} mais 5 pF, comme vérifié sur la Figure III-6 et illustré sur la Figure III-7.

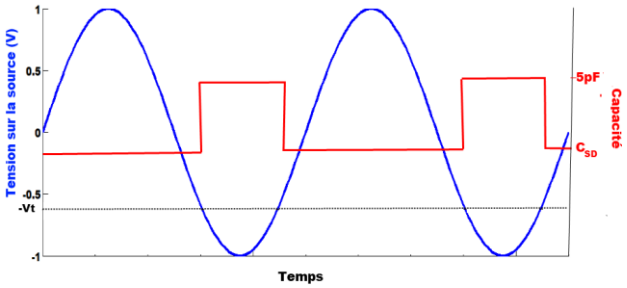


Figure III-7: Tension et capacité instantanées en fonction du temps.

Dans cet exemple, l'amplitude de la tension RF vaut 1 V (10 dBm de puissance sur une charge de 50 Ω), par conséquent, pour un $V_t \approx 0{,}7$V, sur environ un quart de cycle, le MOS est en conduction et la capacité instantanée vaut 5 pF. Ainsi, la capacité mesurée à ce niveau de puissance sera plus grande que C_{SD}, résultat d'une moyenne pondérée entre C_{SD} et 5 pF.

Pour des puissances RF encore plus élevées (> 30 dBm), la période de conduction du MOS sera plus importante et, ainsi, à cause du temps de décharge élevé, la capacité mesurée sera proche de 5 pF, comme le montre la Figure III-6. Ce « switch » s'avère donc complètement

inutile à fort signal. Par ailleurs, il faut évidemment respecter la tension de claquage de l'oxyde de grille.

III.2.2 Impact du fort signal sur le RAA

Nous avons vérifié qu'un signal RF de forte puissance peut provoquer une nette dégradation de la « tunabilité » des varactors et un mauvais fonctionnement des « switchs ». La conséquence immédiate est que la couverture d'impédance d'un RAA sera fortement affectée par un fort signal RF.

Afin d'illustrer cet effet, nous avons conçu un RAA en Π formé par deux varactors MOS et une inductance, Figure III-8. Ensuite la couverture d'impédances générées a été tracée pour deux niveaux de puissance RF en entrée du RAA (P_{in}), respectivement -30 dBm et 15 dBm, Figure III-9.

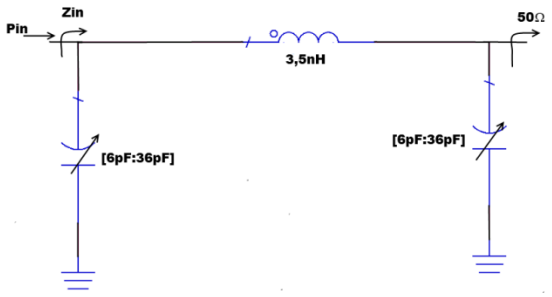


Figure III-8: Schéma du RAA en Pi.

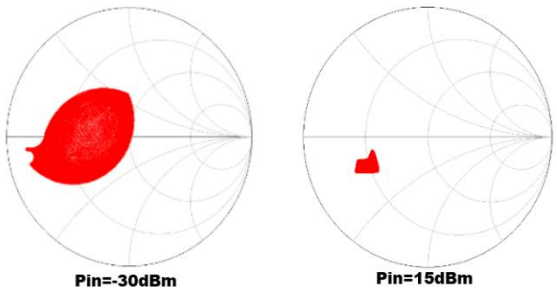


Figure III-9: Couverture d'impédances à petit et à fort signal.

La Figure III-9 met en évidence l'impact de la puissance RF sur la couverture d'impédances du RAA. Pour une puissance de 15 dBm, la couverture devient faible et, comme vu précédemment, à des puissances encore plus élevées, la capacité des varactors va converger vers une valeur fixe, et ainsi, le RAA perdra complètement son accordabilité.

III.2.3 Solutions d'optimisation de la linéarité et de la dynamique en puissance (« power handling »)

Nous constatons qu'il est essentiel de trouver des moyens de rendre les composants accordables plus performants à fort signal. Ainsi, nous allons, par la suite, traiter des principales méthodes d'amélioration de la performance en puissance des varactors et « switchs ».

a) Mise en série

Un moyen simple et efficace est de disposer les composants accordables en série, vu que la tension RF sera partagée entre chaque composant. Le désavantage est l'augmentation naturelle de la surface occupée par le circuit.

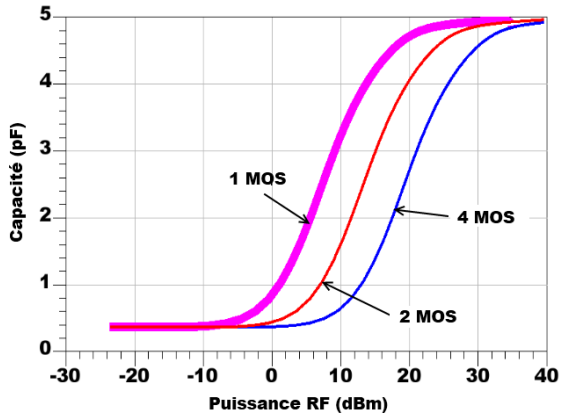


Figure III-10: Evolution de la capacité mesurée en fonction de la puissance RF, circuit capa 5pF+« switch » MOS.

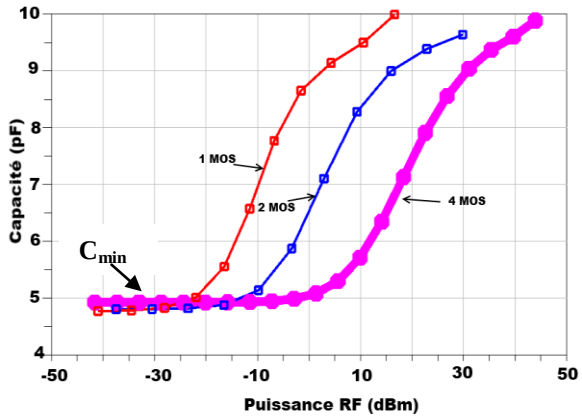


Figure III-11: Evolution de la capacité mesurée en fonction de la puissance RF et du nombre de varactors MOS.

La Figure III-10 illustre l'amélioration de la performance en puissance d'un « switch » ouvert en série avec la capacité de 5 pF, lorsque l'on associe plusieurs MOS en série pour réaliser le « switch ». On voit qu'avec quatre MOS, le « switch » se maintient en mode ouvert jusqu'à une puissance de l'ordre de 5 dBm contre environ -5 dBm si un seul MOS est utilisé.

De même, la Figure III-11 illustre la robustesse des varactors vis-à-vis de la puissance, lorsque l'on met plusieurs varactors MOS en série. Il s'agit du varactor utilisé précédemment dont la caractéristique a été présentée sur la Figure III-4. Il a été polarisé de façon à présenter sa capacité minimale (C_{min}), soit environ 5 pF. Trois types de varactors ont été simulés constitués d'un seul MOS, de deux MOS et quatre MOS en série. On observe qu'avec quatre MOS, le varactor présente la bonne capacité de 5 pF jusqu'à une puissance de l'ordre de 0 dBm, alors qu'avec un seul MOS, cela n'est plus assuré au-delà d'une puissance de l'ordre de -20 dBm.

Dans le cas du « switch », il existe un inconvenient lié à l'empilement de plusieurs MOS en série ; à chaque transistor ajouté, la résistance du « switch » en mode fermé, R_{on}, est doublée. D'un autre côté, la capacité en mode ouvert, C_{off}, diminue. Ainsi, afin de compenser l'augmentation de R_{on}, on peut doubler le W, et ainsi, la résistance R_{on} et la capacité C_{off} reviennent à la même valeur du « switch » original.

Un autre critère important pour évaluer la performance en puissance des composants est le point de compression à 1 dB. Il s'agit de la puissance à partir de laquelle les pertes d'insertion du composant seront 1 dB plus élevées qu'à faible signal avec un fonctionnement linéaire. L'évolution des pertes d'insertion avec la puissance est directement liée au transfert de puissance sur des harmoniques.

La Figure III-12 illustre les pertes d'insertion dans un « switch » en fonction de la puissance RF pour un « switch » constitué d'un seul MOS, de deux MOS et de quatre MOS, toujours par rapport au circuit série capacité et « switch » de la Figure III-5. Ces courbes nous permettent d'estimer le point de compression.

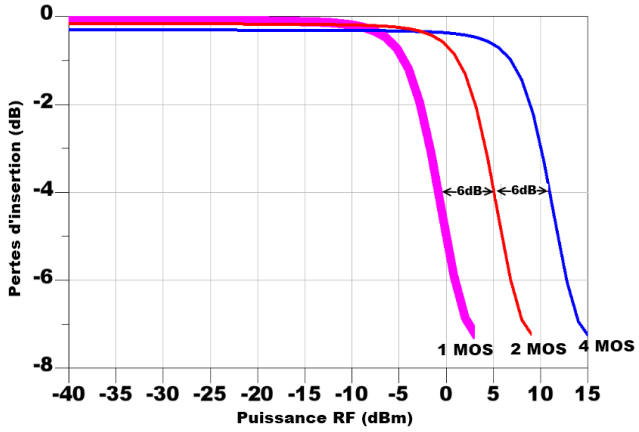


Figure III-12: Evolution des pertes d'insertion dans un « switch » MOS, formé par un, deux et quatre MOS.

Avec quatre MOS, la tension appliquée sur chaque MOS est divisée par 4, et ainsi la puissance sur chaque MOS est égale à un 16ème de la puissance totale. Ceci justifie l'augmentation de 12 dB de l'ICP avec quatre MOS par rapport à un seul MOS, comme constaté sur la Figure III-12.

On observe aussi que les pertes à faible puissance sont un peu plus élevées lorsque le « switch » est constitué de plusieurs MOS, cet effet est lié simplement à l'ajout d'une résistance série qui modélise les pertes d'interconnexion entre chaque MOS (environ 0,1 Ω).

b) Choix de la tension de polarisation

La tension de polarisation sur le MOS en mode « switch » va également modifier sa performance en puissance. L'idée est de polariser la grille avec une tension négative (V_g) pour un fonctionnement du MOS en mode bloqué, au lieu d'appliquer une tension de 0 V sur la grille. De cette façon, le seuil de tension sur la source V_s qui fait basculer le transistor en mode conduction, va passer de V_t à $V_t + V_g$.

Sur la Figure III-7, par exemple, le « switch » a été soumis à une tension d'amplitude 1 V. Il y a donc certains moments du cycle où $V_s < -V_t$ pour lesquels le MOS passe en mode conduction. Ainsi, si l'on considère un V_t de 0,7 V, cet événement peut être évité simplement en polarisant la grille à -0,3 V.

Le niveau de puissance RF sur le MOS va donc indiquer la tension de grille nécessaire pour éviter des basculements non désirés.

La Figure III-13 présente l'évolution du point de compression en fonction de la tension sur la grille (V_g), pour un « switch » MOS constitué d'un seul transistor MOS, dont la tension de claquage de l'oxyde de grille vaut 2,5 V. On constate que l'ICP augmente avec un V_g plus négatif. Cependant, on arrive à une saturation.

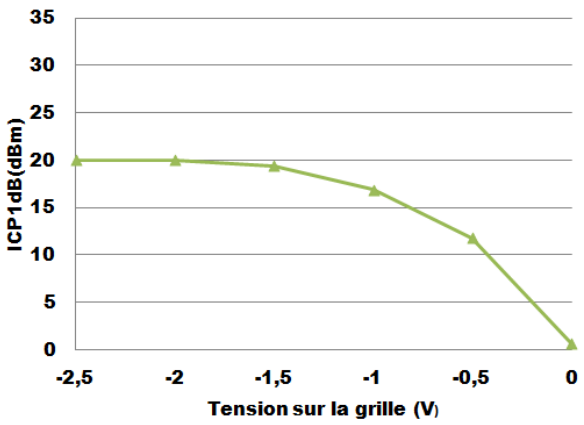


Figure III-13: Point de Compression à 1dB en fonction de la tension de polarisation sur la grille.

En outre, il faut éviter de polariser la grille à une tension trop proche de la tension de claquage de 2,5 V pour la SOI 130 nm, car cela limiterait la puissance RF maximale sur le « switch ». L'idéal dans ce cas serait de polariser la grille à -1,5 V par exemple, afin d'assurer jusqu'à 1 V d'excursion RF.

c) Impédance de grille (« Center Tap Impedance »)

En mode bloqué, le MOS peut être modélisé de façon simplifiée par deux capacités en série, entre grille et source, C_{gs}, et entre grille et drain, C_{gd}. Ainsi, si la tension à l'entrée du MOS vaut V_{in}, comme les capacités C_{gs} et C_{gd} sont égales, les tensions seront également réparties aux bornes des deux capacités, ($V_{gs} = V_{gd} = V_{in}/2$), Figure III-14. Cependant, si l'impédance R_{pol} n'est pas assez élevée par rapport aux réactances correspondant à C_{gs} et C_{gd}, du courant RF va traverser la résistance de polarisation (R_{pol}) et la source DC, entrainant une chute de tension qui va déséquilibrer les tensions V_{gs} et V_{gd}. Cela provoque une augmentation des non linéarités et donc une diminution des performances du « switch » en fort signal [Buis07].

Pour illustrer l'impact de la résistance R_{pol}, nous avons simulé les pertes d'insertion du « switch » MOS en mode ouvert en fonction de la résistance R_{pol}, Figure III-15. Les dimensions du MOS utilisé entraîne une capacité $C_{gs} = C_{gd} = 0{,}2$ pF. A 900 MHz, on a une réactance de 884 Ω.

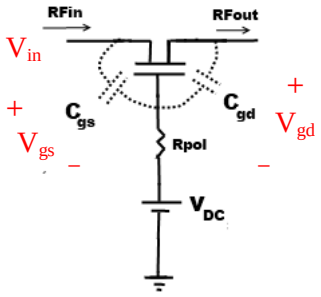


Figure III-14: Schéma du MOS en mode "bloqué ".

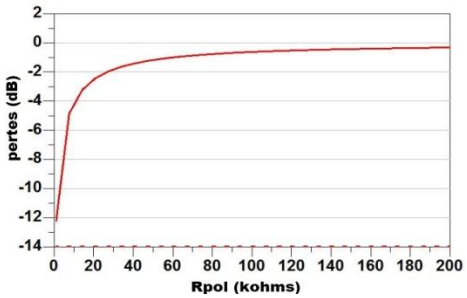


Figure III-15: Impact de la résistance R_{pol} sur les pertes d'insertion du « switch » MOS.

On constate que les pertes sont élévées lorsque la valeur de la résistance R_{pol} est proche de la réactance capacitive de C_{gs} et C_{gd} (884 Ω à 900 MHz). Alors que pour une résistance R_{pol}

supérieure à 100 kΩ, R_{pol} devient largement supérieure à la réactance capacitive, les pertes liées à R_{pol} sont donc minimisées.

Il faut donc que la résistance R_{pol} soit suffisamment élevée afin de réduire les pertes et les non linéarités. Par ailleurs, comme le varactor est non linéaire, des harmoniques plus basses sont formées à partir d'une recombinaison des fréquences porteuses. Si l'on applique les deux porteuses de 900 MHz et 910 MHz, il y aura, par exemple, une harmonique à 10 MHz. Comme la réactance de C_{gs} et C_{gd} sera plus élevée à cette fréquence, il est possible qu'elle devienne du même ordre de grandeur que R_{pol}, ce qui impliquerait une dégradation de la linéarité du composant.

Toutefois, une résistance R_{pol} trop élevée va augmenter la constante de temps *RC* de contrôle du varactor et donc diminuer son temps de réponse. Un moyen de réaliser une forte impédance sans recourir à des résistances trop élevées est d'utiliser une paire de diodes en montage anti-parallèle, qui permet en DC de polariser la paire de varactors avec des tensions positives ou négatives, alors qu'en AC la paire de diodes va présenter une forte impédance si le signal AC est de faible amplitude. Ainsi le courant va être limité à la région indiquée sur la Figure III-16, qui illustre la caractéristique *I*(*V*) d'une paire de diodes en anti-parallèle.

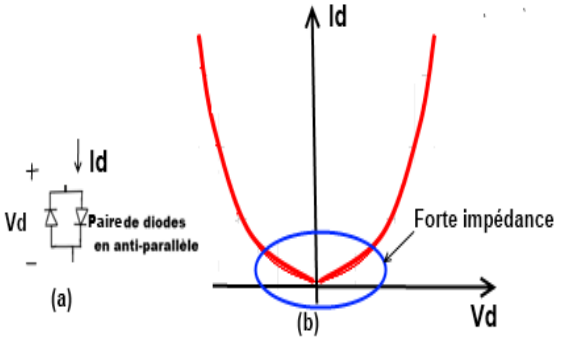


Figure III-16 : (a) Schéma de la paire de diodes en anti-parallèle et (b) Caractéristique *I*(*V*) de la paire de diodes.

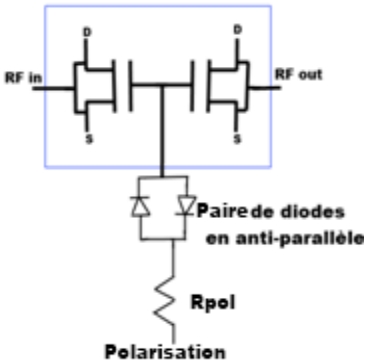


Figure III-17: Schéma de polarisation du varactor, par le biais d'une résistance et de deux diodes en anti-parallèle.

Le schéma de polarisation du varactor avec la résistance de polarisation et la paire de diodes est présenté sur la Figure III-17. Cette technique a été amplement discutée dans [Buis05a] et [Buis05b].

d) Application de multiples polarisations décalées

La transition très raide présente dans la caractéristique *C*(*V*) d'un varactor MOS représente un inconvénient important pour son utilisation dans des applications fort signal. Une variation importante de la capacité en fonction de la tension signifie que le varactor est très sensible à des faibles variations de la tension de polarisation.

Il s'avère donc essentiel de trouver des moyens de réduire cette pente de variation. Une technique intéressante pour y parvenir consiste à disposer des paires de varactors en montage tête-bêche en parallèle, et d'appliquer sur chaque paire une tension de commande légèrement décalée [Tan08].

Afin de mettre en évidence cette technique, nous avons simulé trois paires de varactors, une paire polarisée par une tension de commande centrale, V_{com}, et les deux autres, par des tensions décalées d'une constante *delta_V*, soit, V_{com}+*delta_V* et V_{com}-*delta_V*, Figure III-18.

La capacité équivalente est donc la somme des capacités de chaque paire de varactor. L'écart *delta_V* de la polarisation de chaque varactor va produire une courbe *C*(*V*) décalée de *delta_V*. La pente de la caractéristique *C*(*V*) du varactor équivalent est ainsi réduite, Figure III-19.

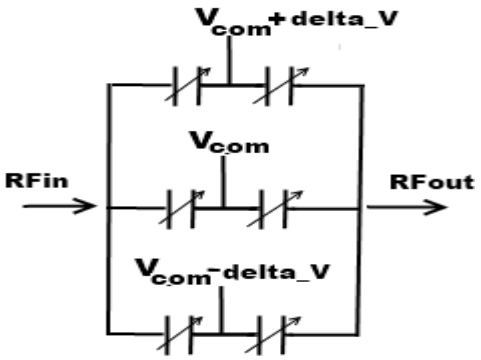


Figure III-18: Schéma du varactor avec l'application de polarisations décalées.

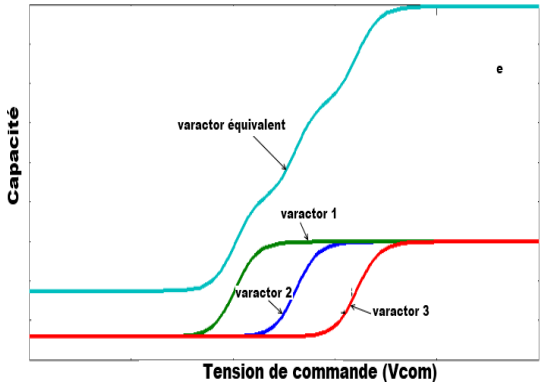


Figure III-19: Capacité en fonction de la tension de commande de chaque paire de varactors, ainsi que la capacité du varactor équivalent.

Cette technique permet ainsi d'augmenter la linéarité du varactor. En ajoutant d'avantage de paires de varactors, il est possible de linéariser la caractéristique *C*(*V*) sur toute la plage de variation de la capacité du varactor MOS. La caractéristique *C*(*V*) d'une seule paire de varactors et de 16 paires de varactors polarisés avec des tensions décalées est présentée sur la Figure III-20.

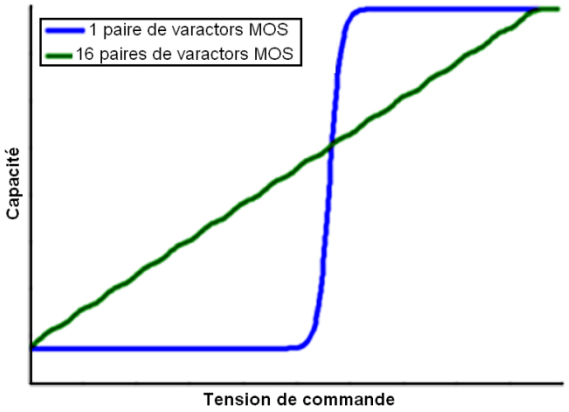


Figure III-20: Capacité du varactor en fonction de la tension de commande, respectivement pour une paire et seize paires de varactors MOS.

Le facteur de qualité du varactor linéarisé sera légèrement dégradé, car les interconnexions entre les paires de varactors vont ajouter des pertes, qui peuvent néanmoins être réduites dans une technologie intégrée, avec l'utilisation de couches de métal plus épaisses pour réaliser ces interconnexions.

Un autre point fort de cette technique est que l'encombrement du circuit n'augmente guère, car pour chaque paire de varactors ajoutée en parallèle, la largeur de canal *W* des transistors utilisés est divisée par deux, afin de maintenir une capacité équivalente constante.

III.3 Démonstrateur intégré en technologie CMOS SOI 130 nm

Afin de mettre en pratique et valider les principes développés dans la première partie de ce chapitre, nous avons conçu un démonstrateur en technologie intégrée CMOS SOI 130 nm. Il est constitué d'un amplificateur de puissance (PA) et d'un réseau d'adaptation accordable (RAA).

Ce RAA va transformer une charge constante de 50 Ω en une impédance optimale (Z_{opt}), qui présentée à la sortie du PA, permettra de maximiser son efficacité.

Nous allons dans un premier temps présenter la technologie utilisée, ainsi que le cahier des charges du PA. Puis nous estimerons les caractéristiques et les performances que l'on peut attendre des éléments passifs sur cette technologie. Ensuite, nous proposerons quelques topologies de RAA qui permettraient de répondre au cahier des charges imposé.

A la fin, nous exposerons les résultats de simulation du PA associé à notre RAA, et mettrons en évidence notamment le gain en performance du PA lorsque le RAA est utilisé et l'avantage apporté par rapport à un RA fixe.

III.3.1 Technologie SOI 130 nm

La technologie SOI 130 nm utilisée comporte six niveaux de métallisations en cuivre dont un niveau de métal supérieur épais d'épaisseur 1µm. La couche d'oxyde enterré présente une épaisseur de 0,4µm, Figure III-21.

Figure III-21: Empilement de la technologie SOI 130 nm de STMicroelectronics.

III.3.2 Caractéristiques de l'amplificateur SOI 130 nm

L'amplificateur de puissance (PA) que nous allons utiliser a été conçu pour le standard **WCDMA** low band, ce qui correspond à une fréquence de travail de **900 MHz,** pour une bande passante de **5 MHz.**

Il s'agit d'un amplificateur linéaire classe AB, avec une *PAE* entre 20 % et 40 %. L' « adjacent chanel power ratio » (*ACPR*) maximum toléré par le standard est de **-40 dBc**. Le produit d'intermodulation d'ordre 3 (*IMD*3) doit être inférieur à −30 dBm**.**

Il s'avère que l'impédance présentée à la sortie de l'amplificateur a une conséquence directe sur la *PAE* et sur l'*IMD*3, [Nem09] et [Car09]. Il faut donc trouver les impédances Z_{opt} en sortie de l'amplificateur qui vont maximiser la *PAE*, en respectant la condition *IMD*3 < −30 dBc. On définit Z_{out} comme les impédances qui sont présentées à la sortie du PA et Z_{opt} comme celles qui maximisent la *PAE* de l'amplificateur.

Pour ce standard, le PA fonctionne avec un *PAPR* (« Peak to Average Power Ratio ») de 10 dB. La puissance maximale qu'il doit délivrer en sortie (P_{out}) est de **30 dBm**, cela signifie qu'il doit être performant de 20 dBm à 30 dBm.

Le Tableau III-1 résume les spécifications de l'amplificateur de puissance.

Puissance de sortie	Fréquence de fonctionnement (MHz)	*IMD*3 (dBc)	*ACPR* (dBc)	PAE (%)
Entre 20 et 30 dBm	900	<−30	<−40	>20

Tableau III-1 : Résumé du cahier des charges de l'amplificateur de puissance.

Comme la performance du PA est fortement affectée par l'impédance présentée à sa sortie (Z_{out}) et pour chaque niveau de puissance P_{out} en sortie, il y aura une Z_{opt} différente qui va optimiser l'efficacité du PA pour chaque puissance.

La performance du PA lorsqu'il fonctionne à d'autres puissances P_{out} peut donc être améliorée grâce à l'insertion d'un RA accordable entre la charge de sortie et le PA, qui va transformer cette charge dans le Z_{opt} correspondant à la puissance P_{out} de travail. Ces Z_{opt} sont déterminés à partir de la technique du loadpull, qui consiste à présenter plusieurs impédances en sortie du PA et vérifier celles qui maximisent son efficacité.

Pour illustrer ce principe, nous avons chargé le PA avec les Z_{opt} correspondant à plusieurs puissances de sortie P_{out}, Tableau III-2. La Figure III-22 montre qu'à chaque changement de Z_{opt}, on bascule vers un état où la *PAE* du PA est augmentée. Ceci met bien en évidence l'intérêt d'utiliser un RA accordable qui puisse générer ces impédances.

P_{outmax} (dBm)	Z_{opt} (Ω)	*PAE(%)*
21	16,9+j5,8	24
22,5	10,6+j2	30
25	7,1	40
27	4	41,6
29,5	2,6-j2,2	43

Tableau III-2 : Z_{opt} en sortie de l'amplificateur en fonction de la puissance de sortie maximale et la *PAE* correspondante.

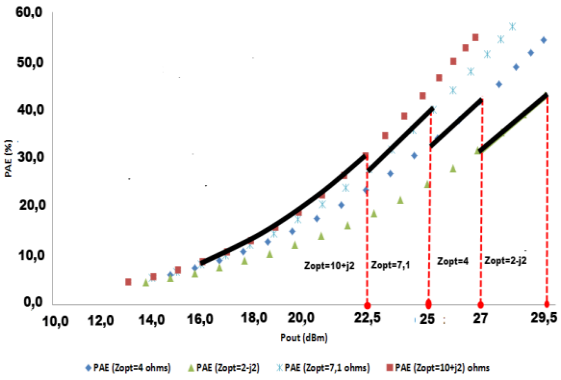


Figure III-22: *PAE* en fonction de la puissance P_{out}, pour différentes charges à la sortie du PA.

Ces puissances maximales sont obtenues à partir du critère de non linéarité (*IMD*3 < -30 dBc). Lorsque l'*IMD*3 atteint −30 dBc, nous considérons que l'amplificateur est à puissance maximale, car au delà, ce critère de non linéarité n'est plus respectée.

Comme exemple pour illustrer ce point, nous avons chargé l'amplificateur avec les Z_{opt} de 7,1 Ω et (2,6-j2,2) Ω, correspondant respectivement aux puissances maximales de 25 dBm et 29,5 dBm. Sur la Figure III-23, on a tracé la *PAE* et l'*IMD*3 en fonction de la puissance en sortie de l'amplificateur, correspondant à ces deux charges.

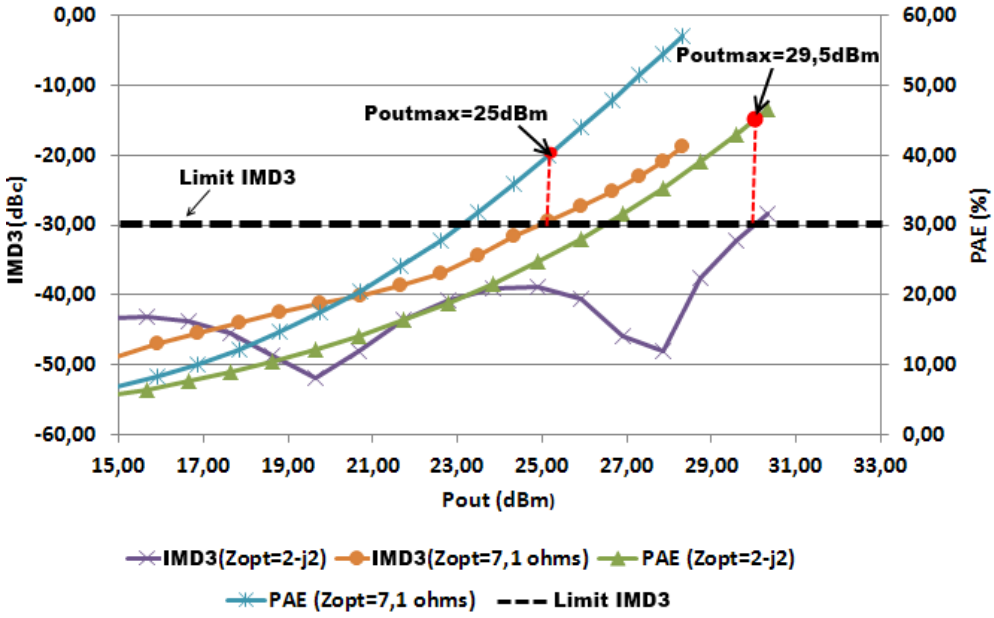


Figure III-23: PAE et IMD3 de l'amplificateur en fonction de la puissance de sortie, lorsque Z_{opt} = 7,1 Ω et Z_{opt} = (2,6-j2) Ω.

On observe que la *PAE* est supérieure lorsque l'impédance à la sortie du PA vaut 7,1 Ω. Cependant, le PA est fortement non linéaire, comme le montre la courbe de l'*IMD*3. En effet, pour des puissances de sortie supérieures à 25 dBm, l'*IMD*3 devient supérieur à −30 dBc, et ainsi, la limite de non linéarité pour le standard WCDMA est dépassée. On conclut donc que la puissance de sortie maximale pour le PA chargé à 7,1 Ω est égale à 25 dBm.

Toutefois, lorsque le PA est chargé par une impédance (2-j2) Ω, la *PAE* diminue mais le PA devient plus linéaire. En effet, l'*IMD*3 reste désormais inférieur à -30 dBc jusqu'à une puissance de sortie P_{out} égale à 29,5 dBm.

Si le PA est connecté à une antenne qui présente une impédance d'entrée égale à 50 Ω, le concepteur peut réaliser un RA fixe, qui transforme le 50 Ω en (2-j2) Ω. Le PA pourra donc délivrer une puissance maximale de 29,5 dBm. Cependant, pour les puissances plus faibles, le PA va fonctionner avec une efficacité fortement dégradée.

Il est intéressant de représenter cet ensemble des Z_{opt} sur l'abaque de Smith. Ceci nous indique visuellement la zone d'impédances que notre RAA doit couvrir, Figure III-24.

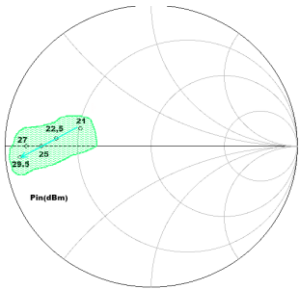


Figure III-24 : Lieu des Z_{opt} en fonction de la puissance maximale en sortie.

Dans un prochain paragraphe, nous allons ainsi traiter de la conception d'un RAA sur SOI qui soit capable de couvrir cette zone d'impédances correspondant à divers niveaux de puissance.

III.3.3 Eléments passifs en SOI 130 nm

Nous allons présenter les principales caractéristiques des composants passifs qui vont servir à la conception du RAA sur SOI 130 nm.

Varactor MOS faible signal

L'expression présentée dans le chapitre I nous permet de dimensionner le MOS en fonction de la capacité nécessaire pour l'application. En effet, le paramètre essentiel pour estimer ses dimensions est la capacité surfacique d'oxyde, qui dépend de la permittivité diélectrique relative (ε_{rox}) et de l'épaisseur d'oxyde (e_{ox}). Dans la technologie SOI 130 nm, on a 5 nm d'épaisseur et 3,9 de permittivité diélectrique relative. Ceci correspond à une capacité surfacique de **6,9 fF/µm²**. Ainsi, pour avoir 1 pF, il faut un MOS dont le produit W_{eff}xL_{eff} soit égal à environ 145 µm², où L_{eff} et W_{eff} sont, respectivement, la longueur et la largeur de canal du MOS.

Le choix de L_{eff} et de W_{eff} va définir aussi l'accordabilité et le facteur de qualité du varactor. L'accordabilité est liée à la longueur du canal L_{eff}. Pour des transistors dont les canaux sont plus courts, les capacités parasites augmentent, ce qui fait croître C_{min}. La Figure III-25 illustre ce problème. Dans ce cas, W_{eff} est choisi de façon à conserver une aire de grille constante, et ainsi garder la même capacité maximale (capacité d'oxyde).

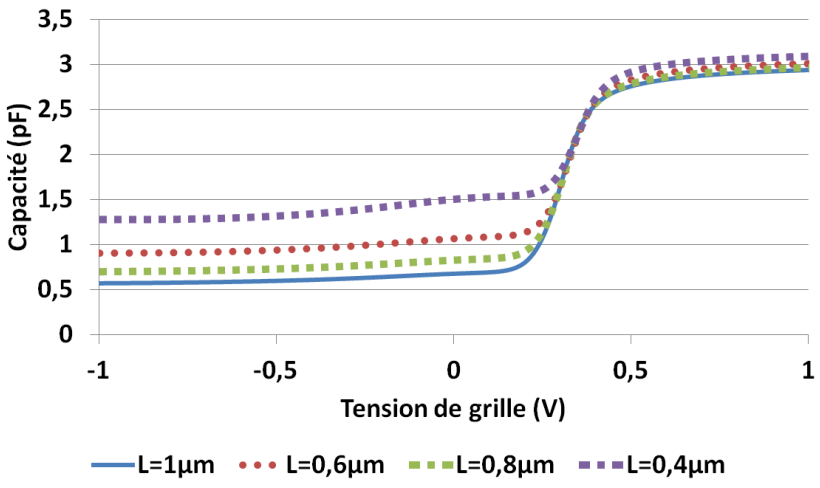


Figure III-25: Effet de la longueur de canal sur la caractéristique $C(V_g)$.

Toutefois, l'impact de L_{eff} sur le facteur de qualité est plus complexe. En effet, les pertes dans le varactor peuvent être modélisées par deux résistances, une qui correspond à la résistance du polysilicum (R_{poly}) et une autre due au canal formé (R_{can}). Or, on a vu dans le chapitre I que R_{poly} et R_{can} suivent les relations de proportionnalité suivantes:

$$R_{can} \propto \frac{L_{eff}}{W_{eff}} \qquad \text{et} \qquad R_{poly} \propto \frac{W_{eff}}{L_{eff}}$$

Si par simplicité de l'analyse, on considère toujours un produit $W_{eff} x L_{eff}$ constant égal à K, on peut alors exprimer ces résistances en fonction uniquement de L_{eff}:

$$R_{can} \propto \frac{L_{eff}^2}{K} \qquad \text{et} \qquad R_{poly} \propto \frac{K}{L_{eff}^2}$$

On constate donc qu'une augmentation de L_{eff} va augmenter la valeur de la résistance R_{can} et diminuer celle de la résistance R_{poly}. Par conséquent, les pertes dans le varactor deviendront plus sensibles à la résistance R_{can}. Le problème est que la résistance R_{can} dépend de la concentration de porteurs dans le canal, et ainsi de la polarisation. Comme expliqué dans le chapitre I, lorsque la tension de grille est égale à la tension de bande plate, il n'y a pas de porteurs dans le canal, la résistance R_{can} va donc augmenter fortement. Cet effet est illustré sur les Figure III-26 et Figure III-27, obtenues à partir de la simulation du modèle du varactor MOS SOI.

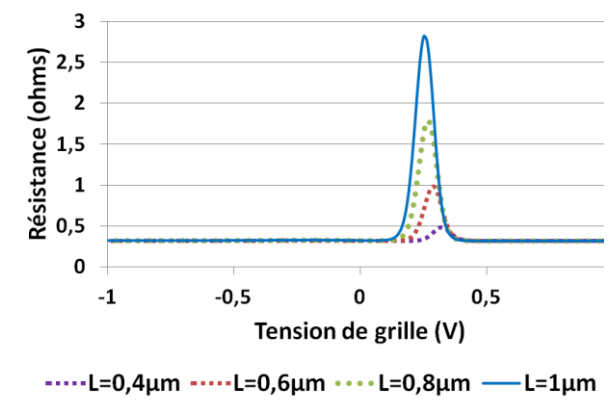


Figure III-26: Résistance équivalente du varactor en fonction de la polarisation et pour plusieurs longueurs de canal.

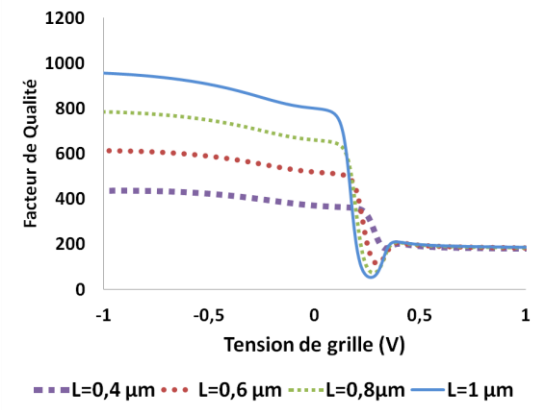


Figure III-27 : Facteur de qualité en fonction de la polarisation et pour plusieurs longueurs de canal.

On observe que lorsque la longueur de canal augmente, la résistance équivalente du varactor dans la bande plate augmente fortement autour de 0,25 V [Mol02]. Cela provoque une chute significative du facteur de qualité dans cette zone, Figure III-27. On note aussi qu'en régime d'inversion ($V_g < 0$ V), le facteur de qualité atteint des valeurs plus élevées. Cela est dû à une capacité des MOS plus faible.

Ainsi, un varactor constitué d'un MOS dont la longueur de canal est élevée conduira à une forte accordabilité, mais les pertes dans la zone correspondant à la tension de bande plate seront élevées, et le facteur de qualité minimum sera plus faible. Ce compromis entre facteur de qualité et accordabilité est illustré sur la Figure III-28.

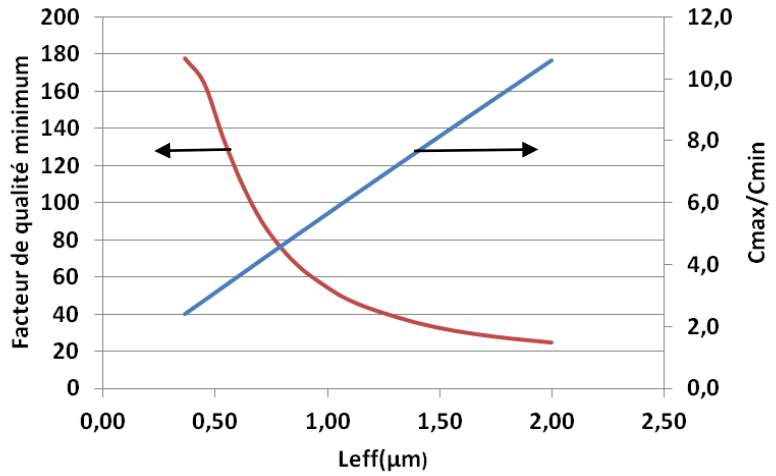


Figure III-28: Simulation du modèle du varactor MOS SOI, facteur de qualité minimum à 900 MHz et ratio C_{max}/C_{min} en fonction de la longueur de canal, L_{eff}.

Ainsi, le choix de la longueur de canal L_{eff} dépendra du cahier des charges du RAA. Si une forte couverture est nécessaire, il faudra utiliser des varactors à grand L_{eff}, alors que pour des faibles couvertures, on peut réduire les pertes d'insertion en utilisant des transistors dont le L_{eff} est plus petit.

Par contre, comme pour un L_{eff} plus élevé, la variation de la capacité avec la tension est plus importante, le varactor sera plus sensible aux variations du signal RF, et donc plus non linéaire, Figure III-29.

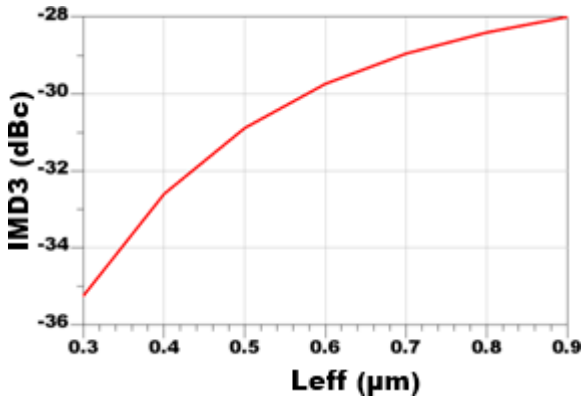


Figure III-29: Produit d'intermodulation (IMD3) en fonction de la longueur de canal du MOS, pour une puissance de la porteuse égale à 20 dBm.

Un canal plus long va produire ainsi un varactor plus accordable, mais plus non linéaire et avec un plus faible facteur de qualité.

e) Varactor MOS fort signal

Dans ce paragraphe, nous allons appliquer les techniques d'optimisation pour le fort signal, afin d'obtenir une performance fort signal du varactor MOS correspondant au cahier des charges. Cela signifie que le varactor doit présenter un bon facteur de qualité et une bonne « tunabilité » à des puissances de l'ordre de 30 dBm. Nous verrons lors de la conception du RAA qu'une tunabilité supérieure à 2 (C_{max}/C_{min}) est suffisante pour atteindre la couverture d'impédances du cahier des charges.

La méthode pour atteindre cette dynamique en puissance repose sur l'utilisation de l'ensemble des techniques présentées au paragraphe précédent :

- Associer les MOS en série à travers un montage tête-bêche, de façon à répartir la tension RF et ainsi diminuer la non linéarité,
- Ajouter une paire de MOS en parallèle pour chaque paire en série afin de conserver une capacité constante,
- Utiliser des polarisations décalées afin de linéariser la caractéristique $C(V)$,
- Utiliser de fortes résistances de polarisation pour diminuer les non linéarités.

Nous allons considérer trois types de varactors MOS et comparer leurs performances en puissance, Figure III-30.

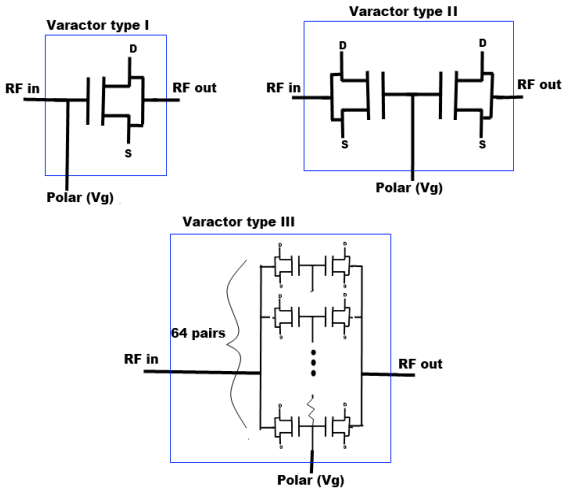


Figure III-30 : Schéma des varactors MOS étudiés.

Dimensions	W_{tot} (µm)x Nombre	L (µm)	NF	Surface totale (µm^2)
Varactor Type I	2080x1	0,6	120	2400
Varactor Type II	4160x2	0,6	240	9600
Varactor Type III	65x64	0,6	15	9600

Tableau III-3 : Dimensions des varactors MOS.

Le varactor de type I est constitué d'un seul transistor MOS, dont la grille est polarisée par une tension DC V_g. Ensuite deux MOS ont été reliés par leur grille, pour former le varactor de type II. Le varactor de type III est formé par la mise en parallèle de 64 varactors de type II, chaque paire de MOS étant polarisée par une tension V_g décalée, $V_i = V_g + i.\Delta V$, où i varie de 1 à 64 et ΔV représente une variation de tension constante, définie par le concepteur.

Les transistors MOS ont été dimensionnés de façon à présenter la même capacité équivalente. Par conséquent, le varactor de type II a été formé par deux varactors de type I et la largeur de canal W_{eff} a été doublée, la surface totale est ainsi quadruplée. Le varactor de type III a été formé par la mise en parallèle de plusieurs paires de MOS, mais il ne présente pas une augmentation de surface si on ne prend pas en compte les interconnexions entre les transistors, car W_{eff} est divisée par deux,

Tableau III-3.

A l'aide de ces trois types de varactors, nous pourrons donc mettre en évidence l'apport de la mise en série de MOS (varactor de type II) et de l'application des tensions décalées (varactor de type III).

La Figure III-31 illustre les caractéristiques $C(V)$ à faible signal des trois types de varactors. On constate clairement l'effet des tensions décalées sur la linéarisation de la courbe $C(V)$ du varactor de type III. Le facteur de qualité ne sera guère dégradé si les interconnexions entre les paires de varactor sont réalisées avec des métaux épais. En effet, le facteur de qualité reste toujours supérieur à 200 à 900 MHz pour toute la plage de tensions.

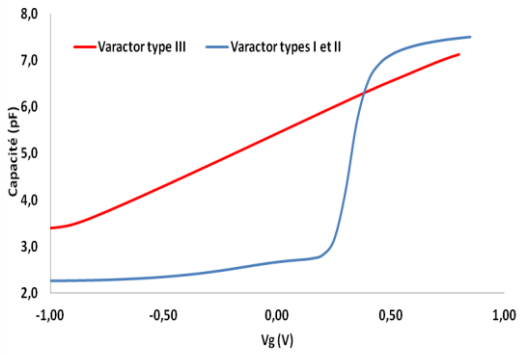


Figure III-31: Caractéristique $C(V)$ des varactors MOS, types I, II et III.

Les Figure III-32, Figure III-33 et Figure III-34 montrent les courbes d'estimation de l'$IP3$ pour les trois types de varactors.. Evidemment, l'$IP3$ dépend de l'état (polarisation) du varactor. Aussi, nous avons relevé l'$IP3$ correspondant à l'état où le varactor est le moins linéaire.

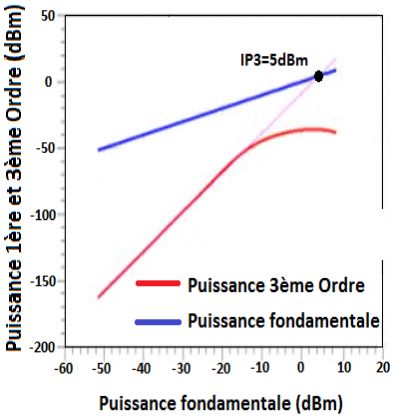


Figure III-32: Estimation de l'IP3 du varactor de type I.

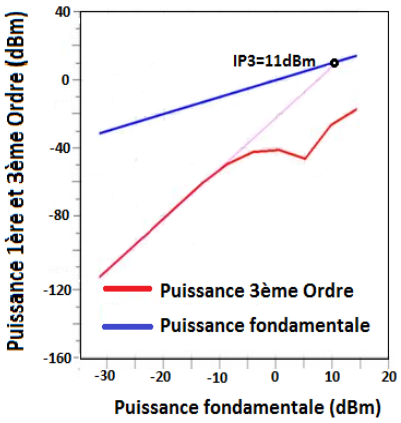


Figure III-33: Estimation de l'IP3 du varactor de type II.

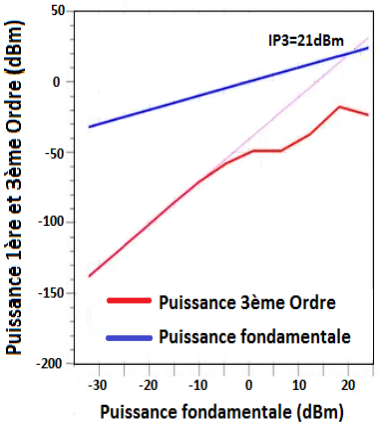


Figure III-34: Estimation de l'IP3 du varactor de type III.

Nous constatons, en effet, un gain significatif en linéarité, l'$IP3$ passe de 5 dBm avec le varactor de type I à 21 dBm avec le varactor de type III.

Par ailleurs, pour bien évaluer la performance en puissance des varactors, nous définissons un nouveau critère, similaire au point de compression. Nous allons ainsi nous intéresser à l'évolution de la capacité mesurée en fonction de la puissance. Il s'avère alors important de définir deux capacités, à faible signal, C_{th} et à fort signal, C_{fs}. La capacité C_{th} représente la capacité que l'on devrait mesurer en théorie, alors que la capacité C_{fs} est la capacité que l'on mesure réellement. L'augmentation de la puissance RF appliquée au varactor provoque une variation de la capacité mesurée qui s'éloigne de la valeur théorique. On va relever la valeur de puissance qui provoque une variation de 10 % de la capacité théorique, qui constituera un critère de comparaison. On va appeler ce paramètre $ICPC_{10\%}$ (point de compression de la capacité mesurée à 10 %). Ce paramètre sera déterminant dans le cadre de la synthèse des RAA, car une variation de la capacité du varactor signifie un changement de l'impédance

transformée. L'$ICPC_{10\%}$ nous indique donc le niveau de puissance RF pour lequel le varactor est fiable.

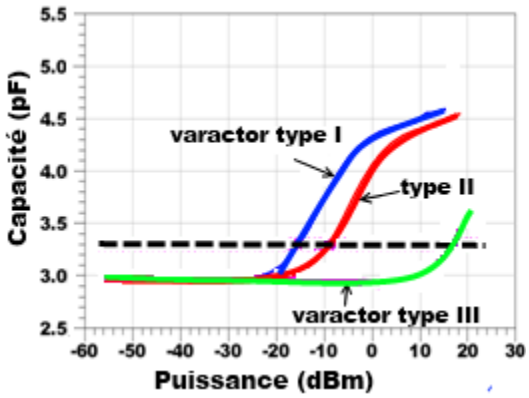


Figure III-35 : Evolution de la capacité en fonction de la puissance RF pour les trois types de varactors, polarisés de façon à avoir C_{th}= 3 pF.

La Figure III-35 montre l'évolution de la capacité mesurée en fonction de la puissance RF. La ligne horizontale en pointillé correspond à une capacité 10 % supérieure à la capacité théorique (C_{th}=3 pF). Le gain en $ICPC_{10\%}$ est de 6 dB pour le varactor de type II par rapport à celui de type I, comme anticipé dans le paragraphe II.3.3.a. De même, le gain en performance du varactor de type III est important. On peut ainsi le considérer comme fiable jusqu'à environ 16 dBm ($ICPC_{10\%}$), soit un gain d'environ 30 dB par rapport au type I.

Le Tableau III-4 résume les performances de chaque type de varactor considéré. L'*IMD*3 n'a pas été estimé pour la puissance maximale de fonctionnement, c'est-à-dire, 30 dBm, mais à une puissance beaucoup plus faible de 0 dBm, parce qu'à 30 dBm, l'amplitude de la tension RF dépasse les limites des varactors de type I et II.

Varactor	Tunabilité (C_{max}/C_{min})	Q_{min} à 900MHz	$ICPC_{10\%}$ (dBm)	*IP*3 (dBm)	*IMD*3 (dBc)@ P_{in} = 0 dBm	Surface (µm^2)
Type I	**3**	**>200**	**-16**	**5**	**-43**	**2400**
Type II	**3**	**>200**	**-10**	**11**	**-40**	**9600**
Type III	**2**	**>200**	**+16**	**21**	**-50**	**9600**

Tableau III-4: Bilan des performances des trois types de varactors.

Le bénéfice en linéarité et en dynamique de puissance apporté par le varactor de type III est évident. Toutefois, un seul ne serait pas encore suffisant pour atteindre une dynamique de 30 dBm de puissance. Pour y parvenir, on peut disposer plusieurs varactors de type III en série, sachant que chaque varactor ajouté permet un gain de 6 dB de dynamique. Avec 4 varactors, par exemple, on pourrait parvenir à un $ICPC_{10\%}$ de 34 dBm.

f) Varactor MOS à 2 états

La caractéristique *C*(*V*) du MOS en accumulation nous apprend qu'il y a deux états où la capacité ne varie guère, à savoir lorsque le varactor est en accumulation et en inversion. En outre, dans ces zones, le facteur de qualité est intéressant car on est loin de la zone de déplétion où nous avons constaté la présence d'une forte augmentation de la résistance, et donc des pertes, d'autant plus importante que le canal est long.

Ainsi, nous nous sommes intéressés à la possibilité d'utiliser le varactor uniquement dans ces deux états. Cette solution offre deux avantages : d'une part on utilise le varactor dans les deux états où leur facteur de qualité est le plus élevé, d'autre part, à fort signal RF, la non linéarité est réduite car la sensibilité aux variations de polarisation est très faible dans ces deux zones. Par contre on perd la variation continue de capacité inhérente aux varactors. Il s'agira donc de vérifier que cette solution demeure avantageuse, en termes de performances électriques et de surface, par rapport à l'utilisation de « switchs » et de capacités fixes.

Afin de mettre en évidence le principe proposé, nous avons conçu et simulé un circuit constitué des trois paires de varactors MOS à deux états disposés en parallèle, Figure III-36. On va donc appliquer trois tensions de commande DC, V_1, V_2 et V_3, qui produiront ainsi huit valeurs de capacités différentes. Le facteur de qualité à 900 MHz, ainsi que les capacités générées sont tracés sur le graphe de la Figure III-37 en fonction du vecteur de polarisation, qui représente chaque état parmi les huit combinaisons possibles pour V_1, V_2 et V_3.

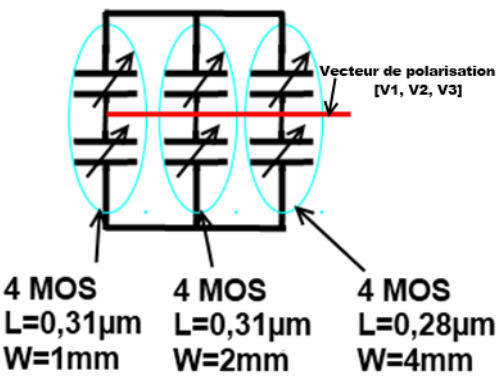


Figure III-36: Schéma du circuit simulé avec trois paires de varactors disposées en parallèle.

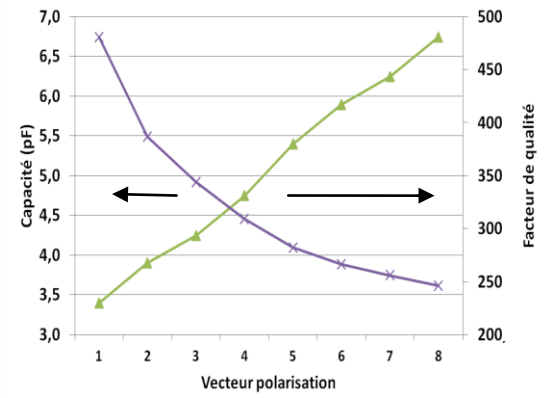


Figure III-37 : Capacité et facteur de qualité à 900 MHz en fonction de la polarisation appliquée.

Le circuit proposé permet donc d'atteindre des capacités situées entre 3,4 pF et 6,8 pF, soit un rapport C_{max}/C_{min} égal à 2, avec un facteur de qualité supérieur à 250.

Nous allons à présent vérifier si le comportement fort signal est satisfaisant. Pour cela, on estimera l'$ICPC_{10\%}$, ainsi que l'$IP3$.

Pour déterminer l'$IP3$, nous appliquons à l'entrée du circuit deux porteuses proches, à 900 MHz et à 910 MHz, Figure III-38. L'$IP3$ est présenté Figure III-39.

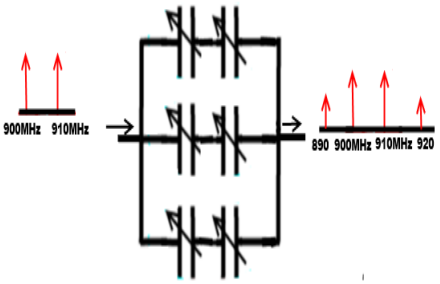


Figure III-38: Schéma du varactor excité par deux porteuses, 900 MHz et 910 MHz.

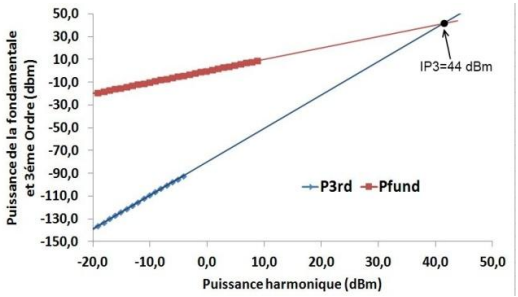


Figure III-39: Estimation de l'IP3 pour le circuit varactor à deux états, pour une polarisation $V_1 = V_2 = V_3 = 1{,}5$ V.

Chaque vecteur de polarisation appliqué au varactor produit un niveau différent de non linéarité et donc un *IP*3 différent. Sur la Figure III-39, nous avons estimé l'*IP*3 à 44 dBm, correspondant au vecteur de polarisation qui engendre le plus faible *IP*3. Ceci correspond à l'état où les trois tensions appliquées sont positives (+1,5 V), plus proche donc de la pente de forte variation de *C*(*V*). Pour tous les autres états, l'*IP*3 est supérieur. Il est également intéressant de vérifier l'$ICPC_{10\%}$ car il nous indique le niveau de puissance pour lequel le varactor est fiable. On a donc simulé la capacité du varactor en fonction de la puissance appliquée pour plusieurs polarisations différentes, Figure III-40.

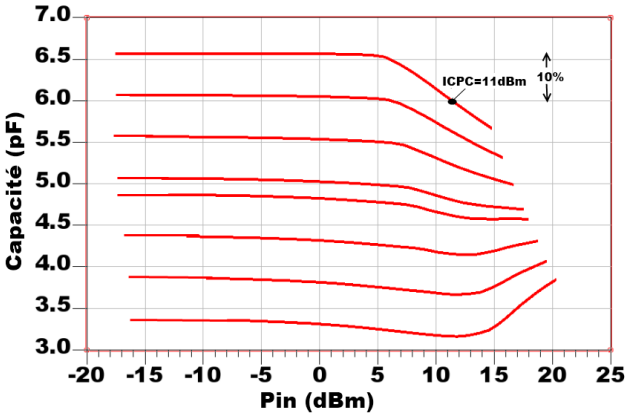


Figure III-40: Evolution de la capacité équivalente en fonction de la puissance à l'entrée, pour les huit états possibles du circuit varactor.

Pour des faibles puissances, en-dessous de -5 dBm, les capacités générées correspondent bien à ce que l'on attend. Cependant, à des puissances supérieures, elles commencent à varier. A 11 dBm, on a une variation supérieure à 10 % pour l'état où tous les varactors sont polarisés à +1,5 V. Il est logique que cet état soit un peu plus non linéaire, car la zone de déplétion se situe entre 0,2 V et 0,5 V. Ainsi à +1,5 V, on est plus proche de cette zone qu'à -1,5 V.

Toutefois, la dynamique en puissance n'est pas satisfaisante pour notre application qui nécessite une puissance maximale de 30 dBm. En ajoutant des paires de varactors en série, la dynamique peut être améliorée. Par exemple, avec quatre paires en série, l'$ICPC_{10\%}$ atteint 29 dBm.

Le Tableau III-5 résume les caractéristiques des précédents varactors étudiés ainsi que le varactor à deux états.

Varactor	Accordabilité (C_{max}/C_{min})	Q_{min} à 900MHz	$ICPC_{10\%}$ (dBm)	*IP*3 (dBm)	*IMD*3 (dBc)@ P_{in}=0dBm	Surface (µm²)
Type I	**3**	**>200**	**-16**	**5**	**-43**	**2400**
Type II	**3**	**>200**	**-10**	**11**	**-40**	**9600**
Type III	**2**	**>200**	**+16**	**21**	**-50**	**9600**
Deux états	**2**	**>250**	**+11**	**44**	**-80**	**3400**

Tableau III-5: Résumé des performances des varactors étudiés.

Il est important d'observer que l'accordabilité du varactor à deux états proposé est plus faible que les varactors de type I et II. Elle pourrait être augmentée grâce à l'ajout d'autres paires de varactors en parallèle. Ceci provoquerait une petite dégradation du facteur de qualité

accompagnée d'une augmentation de la surface, mais la performance en puissance et la linéarité resteraient les mêmes.

g) « Switch » MOS

Afin de réduire les pertes d'insertion du « switch », nous avons vu que la longueur des transistors MOS (L_{eff}) devait être minimale. Le choix de la longueur L_{eff} sera ainsi imposé par la longueur minimale disponible dans la technologie.

Bien que la technologie utilisée soit 130 nm, la longueur minimale du canal est de 280 nm, car pour atteindre 130 nm, il faudrait deux couches d'oxyde de grille 5 nm alors que sur le procédé disponible, on ne peut utiliser qu'une seule couche d'oxyde. Nos « switchs » seront donc constitués de transistors MOS de longueur égale à 280 nm.

Le choix de la largeur (W) du MOS est moins évident, car il va représenter un compromis entre la résistance équivalente du « switch » en mode fermé (R_{on}) et la capacité du « switch » en mode ouvert C_{off}, comme illustré sur les Figure III-41 et Figure III-42.

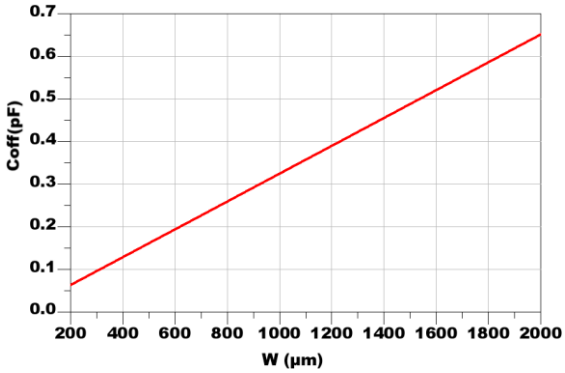


Figure III-41: C_{off} en fonction de la largeur W du transistor.

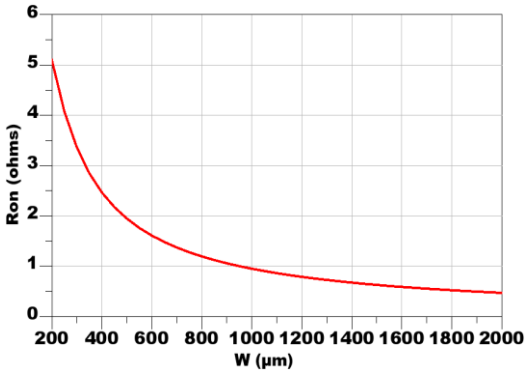


Figure III-42: R_{on} en fonction de la largeur W du transistor.

Afin de comparer la performance des « switchs » avec les varactors, nous avons simulé un circuit constitué par des capacités et « switchs » qui permet d'avoir une accordabilité similaire aux varactors présentés aux paragraphes précédents.

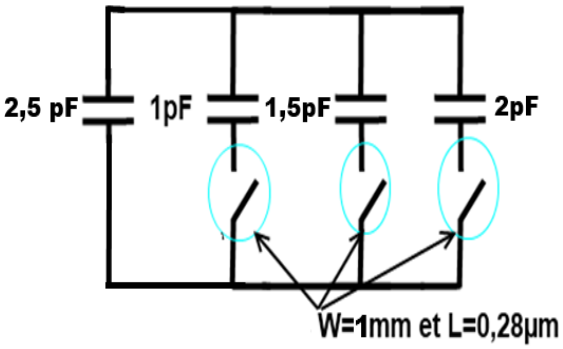


Figure III-43: Schéma du circuit proposé constitué des capacités associées à des « swicths » MOS.

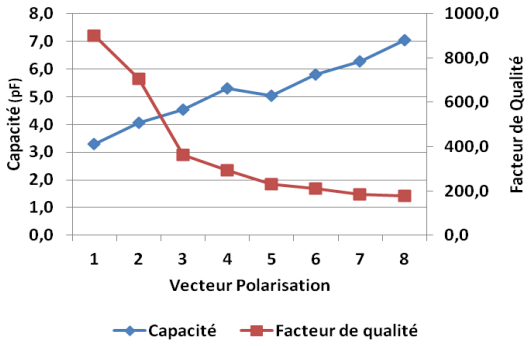


Figure III-44: Capacité et facteur de qualité en fonction de la polarisation des « switchs ».

L'association capacité et « switch » permet donc de générer huit capacités différentes, entre 3 pF et 7 pF, avec un fort facteur de qualité, supérieur à 200 à 900 MHz.

A fort signal, nous pouvons également estimer l'*IP*3 et l'$ICPC_{10\%}$.

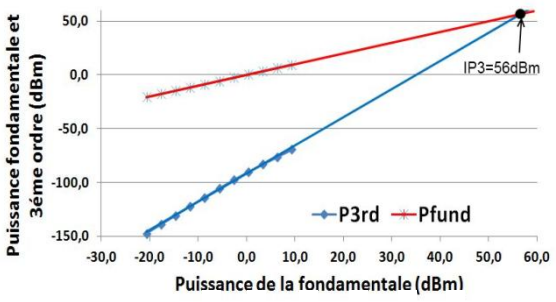


Figure III-45: Estimation de l'*IP*3 correspondant à l'état où tous les « switchs » sont ouverts (état le plus non linéaire)

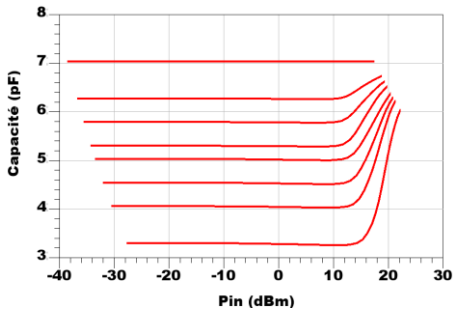


Figure III-46: Capacité équivalente en fonction de la puissance appliquée, pour chacun des huit états de l'ensemble de trois « switchs ».

On note que l'*IP*3 est égal à 56 dBm dans l'état le plus non linéaire, c'est-à-dire, avec les trois « switchs » à l'état ouvert. L'$ICPC_{10\%}$ vaut environ 16 dBm. Par ailleurs, dans l'état où la capacité équivalente vaut 7 pF, la capacité reste invariable avec la puissance, ceci est logique car les trois « switchs » sont fermés, le circuit s'avère donc logiquement très linéaire dans cet état.

h) Bilan de capacités variables

Le Tableau III-6 résume les principales caractéristiques linéaires et non linéaires de chaque structure étudiée.

Structure	Accordabilité (C_{max}/C_{min})	Q_{min} @ 900MHZ et P_{in}=30 dBm	$ICPC_{10\%}$ (dBm)	*IP*3 (dBm)	*IMD*3 (dBc) @ P_{in}=0dBm	Surface (µm^2)
Varactor à deux états	2	250	11	42	-80	3400
Capacité+ «switch»	2,1	200	16	56	-90	3100
Varactor continu type III	2	200	16	21	-50	9600

Tableau III-6: Bilan de performance des capacités variables étudiées.

Afin de faciliter les comparaisons, les composants ont été conçus pour atteindre environ la même accordabilité

D'abord on observe que les trois types des capacités variables présentent le même niveau de facteur de qualité à une puissance de 30 dBm. Par contre, le varactor de type III est significativement plus encombrant.

La comparaison de l'*IP*3 et de l'*IMD*3 met en évidence que la solution capacité et « switch » est la plus linéaire. La forte sensibilité à la polarisation dans un varactor de type III explique le fait qu'il soit le plus non linéaire.

La dynamique en puissance indiquée par le paramètre $ICPC_{10\%}$ montre que le varactor continu présente une performance similaire aux capacités commutées.

Nous verrons dans le paragraphe III.3-4 que ces trois structures peuvent être utilisées dans le RAA. Il faut cependant ajouter quelques éléments en série pour que la dynamique en puissance soit adaptée à l'application visée nécessitant une puissance maximale de sortie égale à 30 dBm. Le « prix à payer » est évidemment la surface occupée.

i) Inductance et Bonding

Nous avons fabriqué une inductance de 2 nH intégrée en technologie CMOS SOI 130 nm afin de vérifier ses performances et ainsi analyser s'il serait envisageable de l'utiliser dans le RAA.

L'inductance est formée par deux tours, la largeur des pistes est égale à 12 µm. La surface totale occupée par l'inductance est 330 µm x 330 µm ≈ 0,11 mm^2, Figure III-47.

Son facteur de qualité a été mesuré en fonction de la fréquence et nous avons comparé avec les résultats prévus par le modèle, Figure III-48.

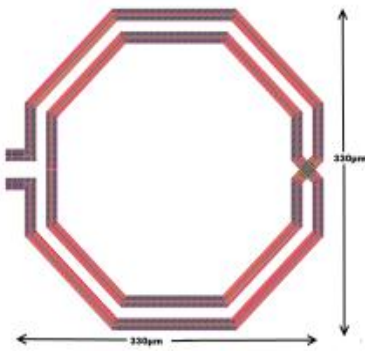


Figure III-47: Layout de l'inductance fabriquée.

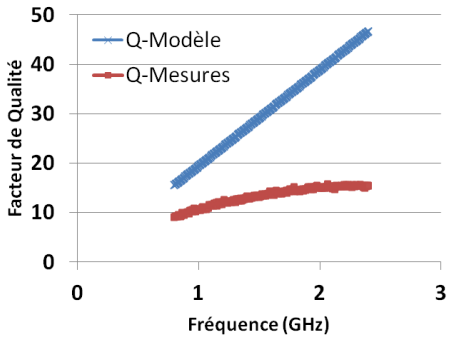


Figure III-48: Evolution du facteur de qualité de l'inductance en fonction de la fréquence.

On constate que les pertes ont été sous estimées dans le modèle. A 900 MHz, on attendait un facteur de qualité égale à 17 et on a mesuré un facteur de qualité d'environ 10, trop faible pour réaliser des adaptateurs d'impédance performants.

Ce facteur de qualité pourrait néanmoins être amélioré par le biais d'une augmentation de la largeur des pistes, qui produirait une réduction des pertes, Figure III-49. Cependant la surface occupée va croître.

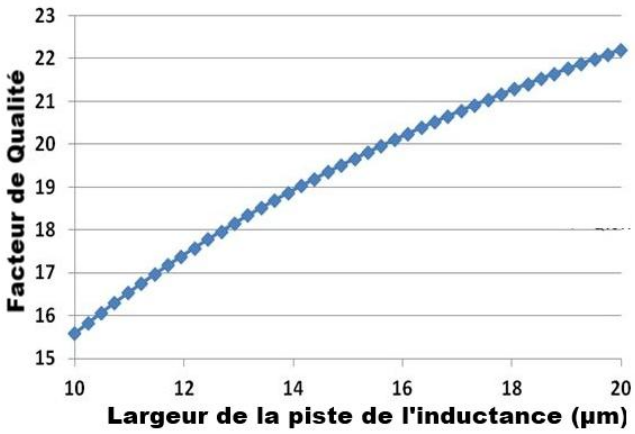


Figure III-49: Simulation du facteur de Qualité à 900 MHz en fonction de la largeur de piste de l'inductance.

Ainsi, à cause du faible facteur de qualité et de la surface importante des inductances intégrées, nous avons choisi de réaliser les inductances à partir de « bond wire » en or, qui nous permettent d'avoir un facteur de qualité élevé, environ 50 à 900 MHz, et d'économiser de la surface en silicium.

III.3.4 Enjeux du RA de sortie

Afin de valider le gain en efficacité apporté par notre RAA, nous allons le placer à la sortie du PA, le tout chargé par 50 Ω. Le RAA sera conçu de façon à transformer cette charge vers une impédance Z_{gen} proche de Z_{opt}, en considérant que cette transformation est satisfaisante, lorsque le coefficient de réflexion entre l'impédance générée Z_{gen} et Z_{opt} est inférieur à -15 dB ($20log\ \frac{Z_{gen}-Z_{opt}}{Z_{gen}+Z_{opt}} < -15dB$).

L'insertion du RAA doit permettre une augmentation de la puissance de sortie, tout en respectant la limite de non linéarité (*IMD*3 < -30 dB), Figure III-50(a).

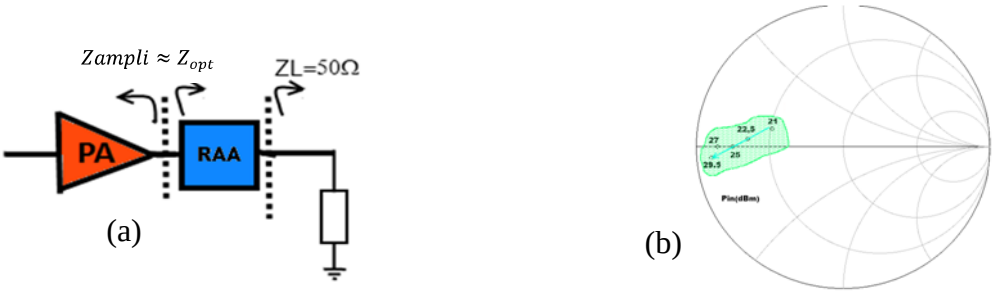


Figure III-50: (a) Schéma du démonstrateur, PA+RAA+charge (b) Région de Z_{opt} à couvrir.

Plusieurs topologies sont possibles pour couvrir la région d'impédances indiquée sur la Figure III-50(b). On note que la zone d'impédances à couvrir n'est pas très large, ceci suggère que des topologies à un seul étage peuvent être satisfaisantes.

Les RAA à un seul étage (topologies en simple *L*) peuvent être accordables selon une ou deux branches. Ici nous n'avons besoin que d'un élément accordable. L'élément accordable sera un des varactors étudiés ou un banc de capacités commutées. A cause de son fort caractère non

linéaire vérifié précédemment, le varactor de type I ne sera pas utilisé. Le varactor de type III s'est montré clairement plus linéaire mais nous l'avons quand même comparé au type II, pour révéler son impact sur la performance à forte puissance du RAA.

Les différentes structures de RAA en *L* traitées dans ce paragraphe sont regroupées, de façon à mettre en évidence les avantages et inconvénients attendus de chacune, Tableau III-7 et Tableau III-8.

Structure du RAA	Une seule branche accordable	Les deux branches accordables
Inconvénients	Couverture d'impédances restreinte à un arc proche des Z_{opt}	Plus de pertes et plus complexe
Avantages	Simplicité et moins de pertes d'insertion	Génération des Z_{opt} plus précise

Tableau III-7 : Avantages et inconvénients des RAA en L à une seule et à deux branches accordables.

Elément Accordable du RAA	Varactor de type II	Varactor de type III	Capacité + « Switch »
Inconvénients	Forte non linéarité et faible dynamique en puissance.	Plus complexe.	Couverture d'impédances discrète
Avantages	Simplicité et couverture d'impédances continue.	Linéarité et dynamique en puissance satisfaisantes ; Couverture d'impédances continue.	Linéarité et dynamique en puissance satisfaisantes

Tableau III-8 : Avantages et inconvénients des RA accordables par des varactors des types II et III et capacités commutées.

Avant de réaliser l'étude quantitative de ces différentes structures de RAA, il est important d'analyser la performance du PA avec des RA fixes et ainsi, mettre en évidence l'avantage d'utiliser un RAA.

RA fixe

Le RA fixe transformera l'impédance de 50 Ω en une impédance Z_{opt} unique, comprise dans la région de la Figure III-50(b). Il nous faut alors déterminer quelle serait cette impédance. Sur la Figure III-51, on note que la puissance de sortie P_{out} est maximum pour le plus faible Z_{opt}, dernière ligne du Tableau III-2 (P_{out} égale à 29,5 dBm). Nous avons ainsi évalué la performance de l'amplificateur si l'on présente cette impédance fixe à sa sortie, Figure III-51.

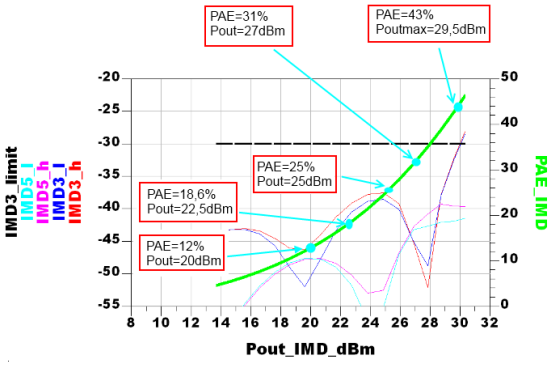


Figure III-51: *PAE* en fonction de P_{out}, RA fixe avec $Z_{opt}t$ = (2-j2) Ω.

On retrouve logiquement la performance optimale pour la puissance de sortie P_{out} égale à 29,5 dBm. Cependant, on note que la *PAE* est dégradée pour les puissances de sortie P_{out} plus faibles. Par exemple, pour une puissance P_{out} égale à 27 dBm, la *PAE* vaut 31 %, tandis que si l'on présente le Z_{opt} optimal, on aurait une *PAE* de 41,6 %. Cela met en évidence l'intérêt *a priori* d'utiliser un RA accordable, même si le RA accordable apporte des pertes supplémentaires. Par la suite, nous allons vérifier que malgré ces pertes, la *PAE* est augmentée grâce à l'utilisation d'un Z_{opt} toujours optimal, quel que soit la puissance P_{out}.

j) RA en L accordable par des varactors

Afin de vérifier si pour satisfaire les spécifications, il faut une ou deux branches accordables, nous proposons deux options de RAA en *L*, Figure III-52 et Figure III-53. Le premier est un RAA en *L* avec une seule branche variable. Ce RA est constitué d'une capacité fixe en série et une branche en parallèle accordable, composée par une inductance variable grâce à un varactor disposé en parallèle.

Le deuxième RA reprend exactement la même structure en *L*, en remplaçant la capacité fixe par un varactor MOS, rendant ainsi le RA accordable avec deux degrés de liberté.

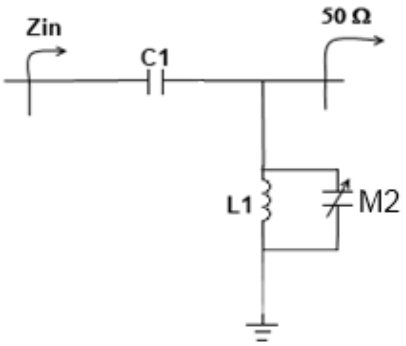


Figure III-52 : RA en *L* avec une seule branche accordable, une seule dimension.

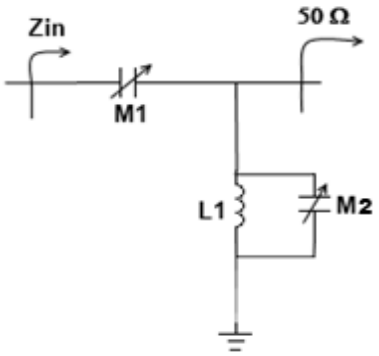


Figure III-53 : RA en *L* avec deux branches accordables, deux dimensions.

Le critère de décision entre ces deux options repose sur la précision de la transformation ou la tolérance sur le coefficient de réflexion S_{11}. L'incertitude concernant la valeur des composants va être aussi un critère important à considérer: le deuxième degré de liberté rendra le RA moins sensible à des variations sur les composants. D'un autre côté, le deuxième degré de liberté impliquera une plus grande surface de silicium et sera un peu plus complexe à commander, due à la nécessité d'avoir deux signaux de commande.

Comme élément accordable, nous allons utiliser premièrement le varactor de type II, et ensuite, le varactor de type III. L'objectif de cette démarche est de mettre en évidence le gain en linéarité et dynamique en puissance apporté au RAA grâce à la linéarisation du varactor.

Dans un premier temps, la performance du RAA avec des varactors de type II sera ainsi évaluée. La valeur des éléments passifs présents dans les deux RAA est précisée dans le Tableau III-9.

Composants	L_1	C_1	M_2 (Varactor de type II)	M_1 (Varactor de type II)
Valeur	1,7 nH	10,5 pF	[2pF :12pF]	[12pF:16pF]
Dimensions	Externe (pas intégré)	5000 µm^2	L=1µm,W=260*16µm, nb doigts=52*16; Surface=7296 µm^2	L=0,4µm, W=260*16, nb doigts=52*16 Surface=4416 µm^2
Facteur de qualité minimum @ 900 MHz	50	> 200	200	200

Tableau III-9 : Valeur des composants du RA en L.

Les Figure III-54 et Figure III-55 présentent la couverture ainsi que les pertes d'insertion estimées pour ces deux RA, à faible signal (P_{in} = -20 dBm) et à fort signal (P_{in} = 30 dBm). Les croix indiquent les Z_{opt} qui maximisent l'efficacité de l'amplificateur. Le dégradé de couleurs illustre les pertes d'insertion du RAA pour effectuer chaque transformation d'impédance. Le varactor en série (M_1) n'a pas besoin d'une forte accordabilité, car il ne servira que pour élargir la couverture selon l'arc indiqué sur la Figure III-55.

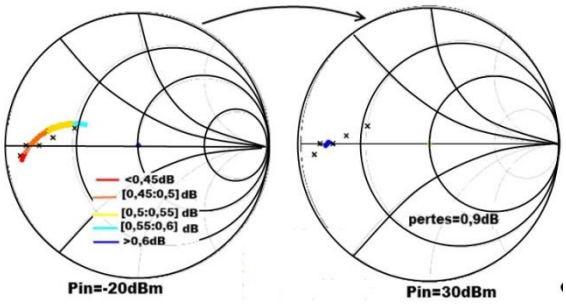


Figure III-54 : Couverture d'impédance à faible signal (P_{in} = -20 dBm) et à fort signal (P_{in} = 30 dBm) du RAA en *L*, 1 degré de liberté et avec un varactor de type II.

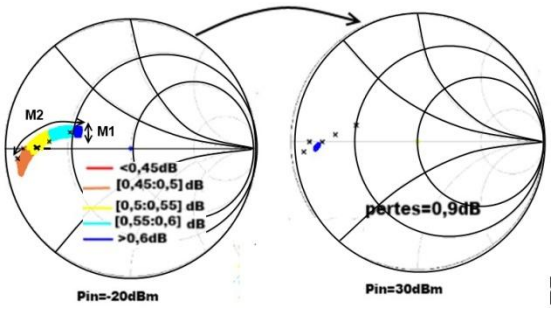


Figure III-55 : Couverture d'impédance à faible signal (P_{in} = -20dBm) et à fort signal (P_{in} = 30dBm) du RAA en *L*, 2 degrés de liberté et avec un varactor de type II.

On constate que les deux RAA sont assez performants à faible signal, car les Z_{opt} sont bien atteints et les pertes d'insertion sont faibles, inférieures à 0,6 dB. Toutefois, à fort signal (P_{in} = 30 dBm), les pertes atteignent 0,9 dB et la couverture est fortement dégradée. En effet, comme vu précédemment, à fort signal, la capacité du varactor présente une valeur moyenne constante. Le RAA se comporte ainsi comme un RA fixe.

On observe aussi que le RAA à un seul degré de liberté ne couvre pas parfaitement tous les Z_{opt}. Cela signifie que l'on ne va pas arriver à générer exactement tous les Z_{opt}. Cependant, le coefficient de réflexion mesuré pour tous les Z_{opt} sera toujours inférieur à -15 dB, ce qui nous permet de déduire que les impédances générées ne seront donc pas très éloignées des Z_{opt}.

Par la suite, nous analysons la linéarité de ces deux RAA, par le biais de l'estimation de l'*IP*3, Figure III-56 et Figure III-57.

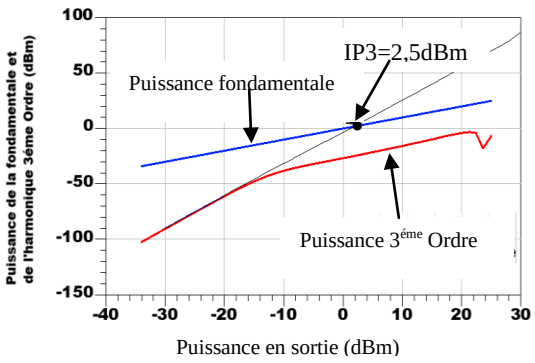


Figure III-56 : Estimation de l'*IP*3 du RA correspondant à l'état le plus non linéaire (varactor M_1 polarisé à 0,35 V) et un seul degré de liberté, avec des varactors de type II.

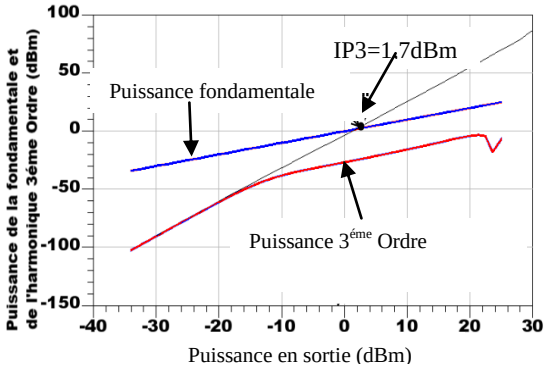


Figure III-57: Estimation de l'*IP*3 du RA correspondant à l'état le plus non linéaire (varactor M_1 polarisé à 0,35 V et M_2 à 0,32 V) et deux dégrés de liberté, avec des varactors de type II.

On constate d'après l'*IP*3 que les deux RAA sont similaires en termes de linéarité. L'IP3 d'environ 2 dBm met en évidence la forte non linéarité de ce RAA et son inadéquation à des applications à forte puissance.

On conclut donc que pour le petit signal, les deux RAA présentés sont assez performants. Cependant, ces RAA ne sont pas adaptés à notre application avec des puissances de l'ordre de 30 dBm à la sortie de l'amplificateur de puissance.

Cela confirme que le varactor de type II ne peut pas convenir pour notre application.

Nous allons à présent remplacer les varactors de type II par ceux de type III sur le RAA à un seul degré de liberté. Ensuite, nous évaluerons le comportement en puissance du RAA et vérifierons l'intérêt de l'emploi du varactor de type III par rapport au varactor de type I ou II.

Composants	L_1	C_1	M_2 (Varactor type III)
Valeur	1,7 nH	10,5 pF	[2pF :12 pF]
Dimensions	Extérieur (pas intégré)	5000 µm^2	L=1µm,W=260*16µm, nb doigts=52*16; Surface=7296 µm^2
Facteur de qualité @ 900 MHz	50	>200	Q_{min}=200

Tableau III-10: Valeur des composants du RA en L.

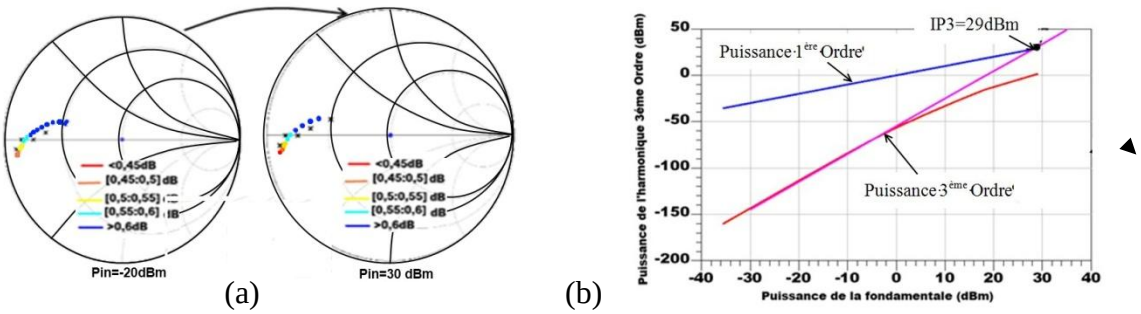


Figure III-58 : (a) Couverture à faible et fort signal du RA en *L*, un dégré de liberté et varactor de type III. (b) Estimation de l'*IP*3 pour le RA en *L* avec varactor de type III.

L'utilisation du varactor type III permet un gain significatif en linéarité, l'*IP*3 du RAA atteint 29 dBm, Figure III-58b.

Par contre, nous avons estimé un point de compression à 1 dB d'environ 19 dBm, ce qui est encore insuffisant par rapport à la puissance maximale de l'application de 30 dBm. Nous avons donc associé quatre varactors de ce type en série. L'*IP*3 atteint alors 41 dBm et l'*ICP* 31 dBm, ce qui est approprié à notre application.

k) RA en L accordable par des capacités commutées« switchs »

Dans ce paragraphe, nous testons l'utilisation de capacités en série avec des « switchs ».

Les « switchs » se comportent comme une résistance de valeur R_{on} en mode fermé, et une capacité C_{off} en mode ouvert. Par conséquent, utiliser plus de « switchs » implique d'avantage de pertes. Le choix du nombre de « switchs » représente donc un compromis important entre pertes d'insertion et couverture d'impédance.

Dans notre application, la plage d'impédances à produire n'est pas très élevée. Nous avons donc opté pour une solution minimale, constituée par seulement 2 paires de capacités + « switch ». Cette solution minimale permet de générer quatre impédances différentes.

Le RA proposé suit exactement la même structure que le RA avec des varactors. Il s'agit donc d'un RA à un seul étage en *L*, constitué par une branche série fixe capacitive, et d'une branche parallèle, de réactance inductive, accordable par des capacités et « switchs », Figure III-59. Nous allons utiliser deux types de « switchs », l'un constitué par un seul MOS, et un autre, formé par 4 MOS en série, que l'on va appeler respectivement « switchs » de types I et II. L'objectif de cette démarche est de vérifier le gain en linéarité et en dynamique de puissance apporté par la mise en série des MOS.

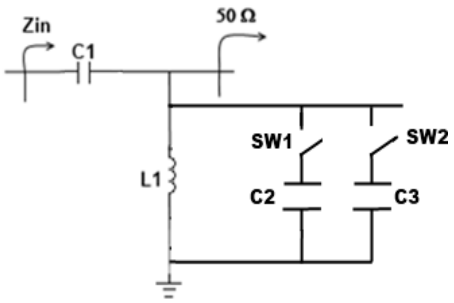


Figure III-59: Schéma du RA accordable par des "switchs".

Composant	Caractéristiques
C_1	**12,5 pF**
L_1 (bonding)	**2nH et Q(@900MHz)=50**
C_2	**2,5 pF**
C_3	**4,5 pF**
SW1 et SW2 type I	**1 MOS, *W*=1000µm, *L*=0,28µm, *NF*=100 doigts**
SW1 et SW2 type II	**4 MOS, *W*=4000µm, *L*=0,28µm, *NF*=100 doigts**

Tableau III-11: Composants du RA accordable par des "switchs".

Les Figure III-60 et Figure III-61 montrent la couverture et les pertes obtenues avec ce RAA, avec les deux types de « switchs ».

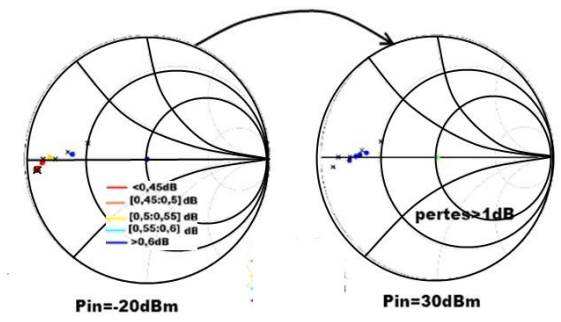


Figure III-60: Couverture du RA en *L* accordé par des « switchs » de type I, faible signal (P_{in}=-20 dBm) et fort signal (P_{in}=30 dBm).

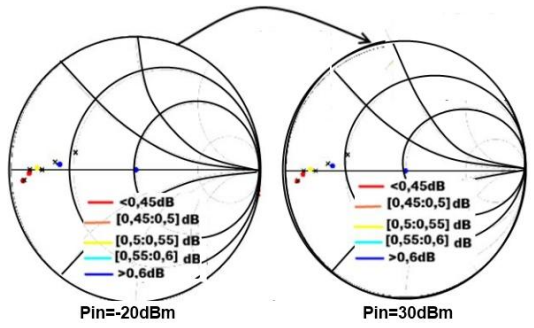


Figure III-61 : Couverture du RA en *L* accordé par des « switchs » de type II, faible signal (P_{in}=-20 dBm) et fort signal (P_{in}=30 dBm).

On constate que les deux RAA couvrent bien les quatre points de Z_{opt} utilisés comme référence, à faible signal. Les pertes d'insertion sont également satisfaisantes, inférieures à 0,7 dB.

Cependant, à fort signal, le switch de type I ne permet plus d'assurer une bonne isolation, par conséquent, le RA ne parvient plus à générer correctement tous les Z_{opt} et les pertes sont plus élevées.

Le « switch » de type II permet de bien améliorer le comportement en puissance du RAA. On note que la couverture d'impédance n'a pas été modifiée à fort signal (P_{in}=30dBm). De même, les pertes se maintiennent constantes à ce niveau de puissance.

Cet effet peut être bien visualisé lorsque l'on regarde le point de compression du RAA avec les deux types de « switchs », Figure III-62.

Figure III-62: Pertes d'insertion du RAA en fonction de la puissance appliquée et estimation du point de compression du RAA, avec les « switchs » de type I et II.

On note qu'avec le « switch » de type I, le point de compression (*ICP*) du RAA est égal à 26 dBm, alors qu'avec le type II, l'ICP atteint 38 dBm, soit 12 dB de plus, comme attendu d'après la théorie. Ceci explique pourquoi à 30 dBm, les pertes ont augmenté avec le type I mais sont restées constantes avec le type II.

De même, afin de préciser la linéarité du RAA, l'*IP*3 a été calculé pour les deux types de « switchs », Figure III-63 et Figure III-64. L'*IP*3 du RAA est assez élevé, 56 dBm avec le « switch » de type I et 68 dBm avec le« switch » de type II.

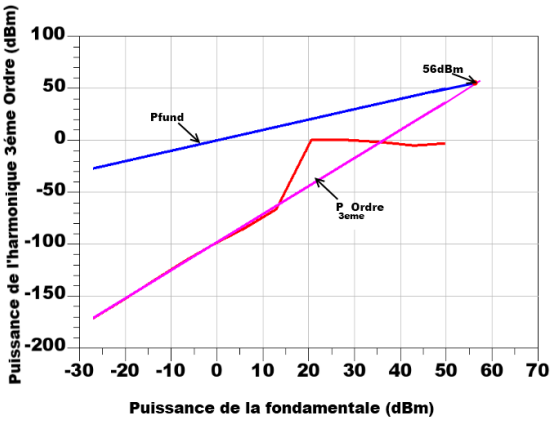


Figure III-63: Estimation de l'*IP*3 du RAA avec le « switch » de type I.

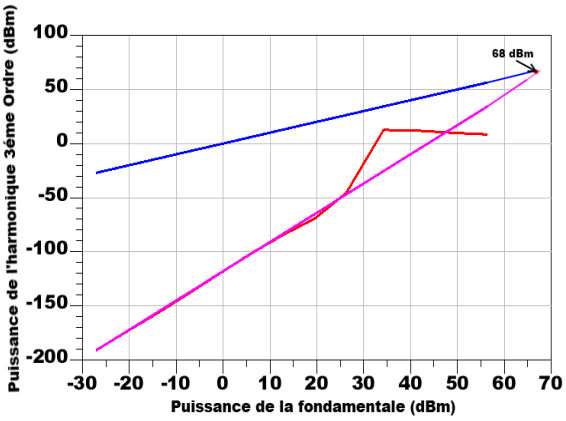


Figure III-64: Estimation de l'IP3 du RAA avec le « switch » de type II.

On observe que le RA accordable par des « switchs » est assez performant, en termes de linéarité et dynamique en puissance, avec des pertes faibles et une couverture acceptable. Il s'avère donc être une solution intéressante pour notre application.

l) Bilan de RAA proposés

Le Tableau III-12 résume la performance des RAA constitués par les deux types de « switchs » et varactors. Il a été également ajouté les résultats du RAA avec des varactors à deux états. Une étude plus approfondie de cette solution sera présentée dans le prochain paragraphe.

Composant accordable du RAA	**Couverture à 30 dBm**	**Maximum de Pertes d'insertion (dB) à 30 dBm**	***ICP*$_{1dB}$ (dBm)**	***IP*3 (dBm)**
RAA avec « switch » de type I	Faible	>1	26	56
RAA avec avec « switch » de type II	Suffisante-Discrète	0,6	38	68
RAA avec varactor de type II	Faible	0,9	-10	2
RAA avec 4 varactors de type III	Suffisante-Continue	0,6	31	41
RAA avec 4 varactors à deux états	Suffisante-Discrète	0,6	33	50

Tableau III-12: Performance de RAA avec des varactors et "switchs".

Le bénéfice de la mise en série des transistors sur la performance du RAA est évidente lorsque l'on regarde les RAA avec le « switch » de type I ou de type II, l'*ICP* et l'*IP*3 du RA augmentent de 12 dB et la couverture d'impédances et les pertes d'insertion deviennent satisfaisantes à une puissance de 30 dBm.

Le fort comportement non linéaire du varactor type II est remarquable lorsque l'on observe le comportement du RA constitué par cet élément. La linéarisation de sa caractéristique *C*(*V*)

apporte un gain significatif en linéarité. Cependant, le RAA avec un seul varactor de type III n'est pas encore capable de satisfaire les contraintes en puissance, nous avons ainsi associé en série quatre varactors de ce type, nous observons sur le tableau que le RAA présente un *ICP* et un *IP*3 supérieurs à 30 dBm.

Toutefois, la comparaison du RAA avec des varactors et des switchs montre qu'avec des « switchs », le RAA est beaucoup plus linéaire. Ceci est dû au fait que les « switchs » sont moins sensibles à la polarisation, ne présentant que deux états, alors que le varactor est fortement dépendant de la polarisation DC appliquée. L'état du varactor est ainsi plus facilement affecté par un signal RF superposé à la polarisation DC.

On constate aussi le potentiel de la solution avec le varactor à deux états. En effet, le RAA avec ce type de varactor est capable de satisfaire les spécifications de puissance et linéarité. Le seul inconvénient est d'utiliser un varactor qui ne permet pas une variation continue de sa capacité, le RAA présentant ainsi une couverture d'impédances discrète.

III.3.5 Conception du RAA de sortie pour le démonstrateur en technologie CMOS SOI 130 nm

L'étude précédente nous a fourni les éléments nécessaires pour la conception d'un RAA intégré en technologie CMOS SOI 130 nm. Nous avons vu qu'un RAA en simple *L* était suffisant pour accorder l'amplificateur de puissance à une charge de 50 Ω avec un maximum d'efficacité. En outre, l'élément accordable peut être soit une capacité associée à des « switchs », soit un varactor MOS avec des polarisations décalées (varactor type III), ou encore un varactor à deux états.

Notre démonstrateur sera donc constitué d'un RAA en simple *L*.

Deux solutions ont été étudiées :

- L'utilisation d'un élément accordable avec un varactor de type III afin d'assurer une variation continue de l'impédance transformée
- L'utilisation des varactors MOS sur deux états seulement afin d'éviter la zone de bande plate à forte pertes.

a) Solution RAA de sortie avec varactor type III

La conception de ce RAA est basée dans un premier temps sur un RA fixe qui transforme 50 Ω vers l'impédance Z_{opt} correspondant à la puissance maximale. Ensuite, un varactor associé en parallèle avec l'inductance assure la couverture des Z_{opt} pour les puissances plus faibles. Un « switch » a donc été mis en série avec le varactor. De cette façon, lors du fonctionnement à puissance maximale, on laisse le varactor inactif avec le « switch » ouvert, alors que pour les puissances plus faibles, le varactor intervient dans le circuit par le biais de la fermeture du « switch ». Le schéma du RAA proposé ainsi que la couverture simulée sont illustrés sur les Figure III-65 et Figure III-66.

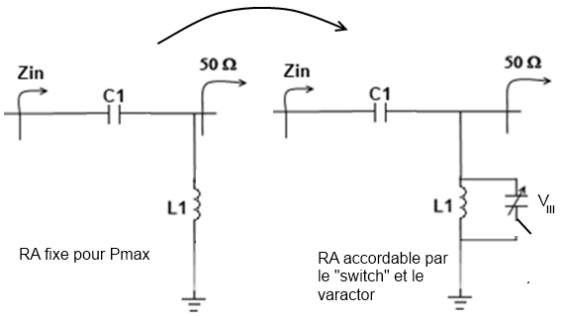


Figure III-65 : RA fixe pour la transformation 50 Ω vers Z_{opt} pour P_{max}, et RA accordable par le biais du varactor V_{III} et du « switch ».

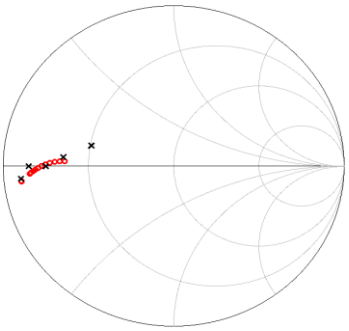


Figure III-66: Couverture du RAA de sortie proposé.

On observe sur la Figure III-66 que Z_{opt} correspondant à l'impédance la plus élevée ne peut pas être atteint. Si l'on utilisait un varactor constitué d'un MOS plus long, l'accordabilité serait plus grande et ainsi, il serait possible d'atteindre tous les Z_{opt}. Cependant, les pertes seraient plus élevées et la linéarité serait dégradée. Nous avons donc préféré employer un varactor constitué d'un MOS moins long même si Z_{opt} correspondant à la plus faible impédance ne peut pas être atteint. Nous verrons que l'efficacité du PA à cette puissance n'est pas trop dégradée. Par ailleurs, il est intéressant de remarquer que le varactor est protégé par le « switch » ouvert à la puissance maximale, par conséquent, le varactor peut être plus petit, car on pourra utiliser une quantité plus faible de MOS.

i. Réalisation du «switch » MOS

Le « switch » devra supporter une puissance RF de 30 dBm en fonctionnement ouvert. Sur une charge de 50 Ω, cela correspond à une amplitude de tension de 10 V. Comme la tension de claquage de l'oxyde de grille pour cette technologie est de 2,75 V, le nombre de MOS du « switch » doit être choisi de façon à respecter cette limite. La grille est polarisée à −1,5 V, l'amplitude de la tension sur le drain/source ne peut pas donc dépasser 1,25 V. Chaque MOS supporte ainsi 2x1,25=2,5 V. Par conséquent, il faut au minimum 4 MOS.

Pour notre démonstrateur, nous allons utiliser un « switch » de type II, constitué de 4 MOS en série. La résistance R_{on} de ce « switch » est égale à environ 1 Ω et la capacité C_{off} est égale à 0,32 pF. La performance en puissance de ce « switch » est illustrée sur les Figure III-67 et Figure III-68.

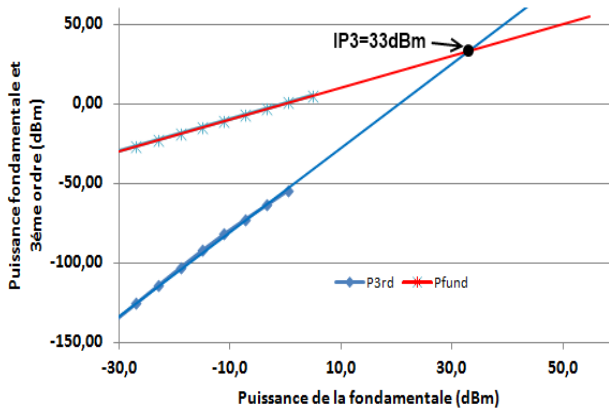


Figure III-67: Estimation de l'*IP*3 du « switch ».

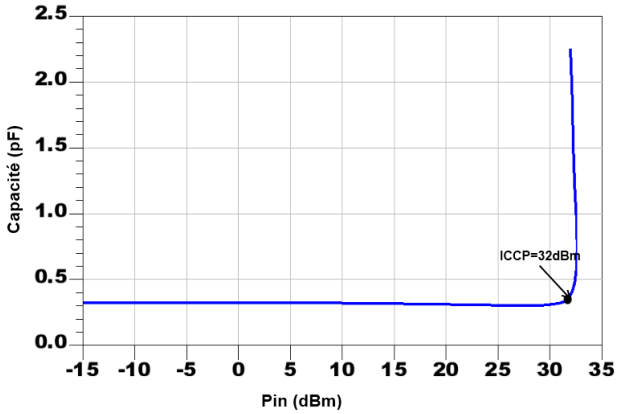


Figure III-68: Estimation de l'*ICP* du « swicth ».

Structure	C_{off} (pF)	R_{on} (Ω)	*ICP* (dBm)	*IP*3 (dBm)	Surface (µm²)
« Switch » de type II avec 4 MOS	0,32	1	32	33	12800

Tableau III-13: Résumé des performances du "switch" MOS utilisé.

ii. Réalisation du varactor MOS en technologie CMOS SOI 130 nm

Il faut que le varactor MOS présente également une performance en puissance élevée. Nous allons donc utiliser un varactor de type III. Il sera constitué ainsi de 64 paires de MOS, chaque paire étant polarisée par une tension décalée de *i.delta_V* par rapport à la tension de commande (V_{com}) avec *i* entier variant de 1 à 64.

Nous avons vu que l'*IP*3 du RA avec un seul varactor de type III était de 29 dBm, Figure III-58, avec un *ICP* de 19 dBm. Ce qui est inférieur aux besoins de notre application (P_{max} = 30 dBm). Nous avons donc disposé 4 varactors de ce type en série, ce qui va faire croître l'*IP*3 et l'*ICP* de 12 dB, le RA sera donc plus linéaire et plus robuste au signal RF (*IP3* de 41 dBm et *ICP* de 31 dBm).

La méthode pour délivrer les 64 tensions décalées aux 64 paires de MOS est donnée sur la Figure III-69.

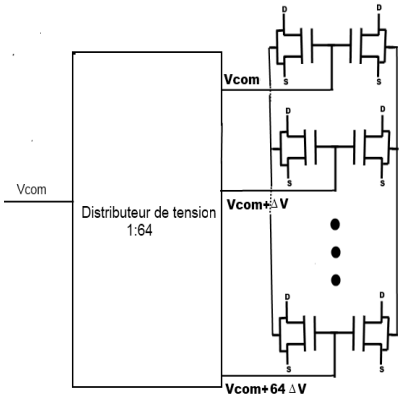


Figure III-69: Schéma de polarisation du varactor.

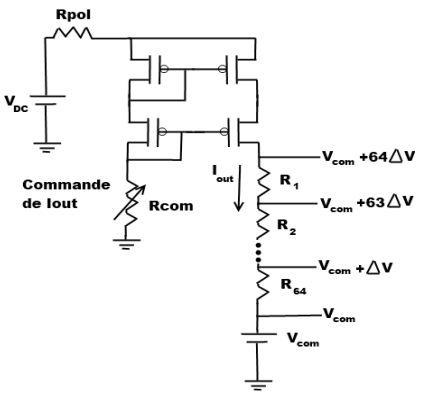


Figure III-70: Schéma de la source de courant implémentée, pour réaliser le distributeur de tension 1:64.

Le distributeur de tension a été réalisé à partir de la source de courant indiquée sur la Figure III-70. La tension V_{DC} et la résistance R_{com} ont été choisies de façon à délivrer un courant constant I_{out} égal à 6 µA. Ainsi, en faisant passer ce courant dans des résistances de 5 kΩ (R_1, R_2,..,R_{64}), on assure un ΔV égal à 30 mV. On va faire varier la tension de commande (V_{com}) entre −1,6 et -0.1 V, par conséquent, les tensions seront distribuées entre −1,6 V et +1,82 V.

Comme la tension de claquage de l'oxyde de grille du MOS vaut 2,75 V, l'amplitude maximale de la tension RF sur chaque MOS doit être inférieure à 0,95 V (2,75-1,8). Vu qu'il y a 4 varactors en série, on aura au total 8 MOS en série. L'amplitude de la tension RF sur l'ensemble des 4 varactors doit être inférieure à 7,6 V (8x0,95).

Cette limite est respectée grâce au « switch » disposé en série, qui protège le varactor vis-à-vis de la puissance maximale (30 dBm). Le « switch » sera fermé uniquement lorsque la puissance sera inférieure à 27 dBm (amplitude de la tension RF de 7,07 V).

Le layout ainsi que la performance en puissance du varactor sont présentés sur la Figure III-71 et dans le Tableau III-14.

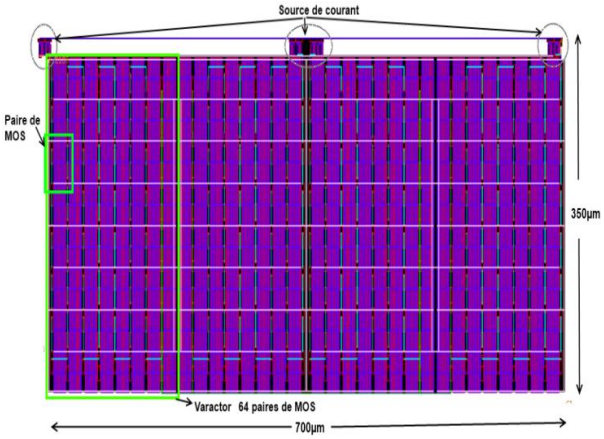


Figure III-71: Layout du varactor réalisé, constitué de 4 varactors associés en série, chaque varactor étant formé de 64 paires de MOS.

Structure	Varactor
C_{min} :C_{max}	3 pF : 7 pF
Q_{min} @ 900 MHz	30
$ICPC_{10\%}$ (dBm)	31
$IP3$ (dBm)	41
Surface (mm^2)	0,25

Tableau III-14: Résumé de la performance du varactor.

Malgré les pertes supplémentaires ajoutées par les connexions entre les MOS du varactor, on note que le facteur de qualité est élevé, supérieur à 30. La dynamique en puissance est satisfaisante pour notre application, avec un $ICPC_{10\%}$ de 28 dBm. La linéarité est également satisfaisante, avec un $IP3$ égal à 41 dBm. Cependant, la surface occupée est élevée par rapport à des capacités commutées par des « switchs ».

iii. -Circuit « trap »

Afin d'augmenter la linéarité et l'efficacité de l'amplificateur, il est important de maitriser également les impédances vues par les harmoniques.

Comme le PA fonctionne en classe AB (linéaire), il est important surtout d'enlever l'harmonique d'ordre 2 qui contribue à la distorsion du signal en sortie. Les autres harmoniques s'avèrent moins gênantes.

Nous avons simplement ajouté à la sortie du PA un circuit LC résonant à l'harmonique 2, que l'on a appelé circuit « trap », Figure III-72.

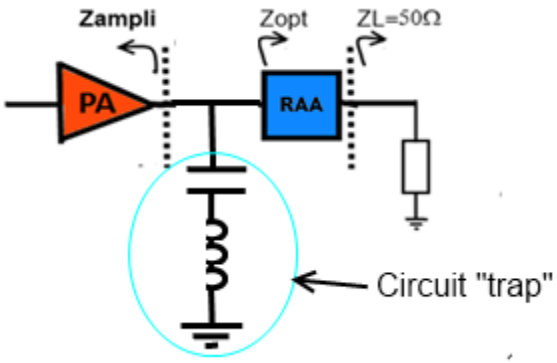


Figure III-72: Schéma du PA chargé par le RAA et le circuit « trap ».

Les valeurs de l'inductance et de la capacité ont été choisies de façon à avoir une résonance à la seconde harmonique. Par conséquent on présentera bien un court-circuit à cette fréquence à la sortie de l'amplificateur de puissance. Par ailleurs, le circuit « trap » va très peu affecter l'impédance à la fréquence fondamentale. Il n'y aura donc pas besoin de modifier le RAA.

iv. -RAA final de sortie

Nous avons réalisé en technologie CMOS SOI 130 nm le RAA de sortie. Le schéma électrique du RAA et du circuit « trap » sont illustrés sur les Figure III-73 et Figure III-74.

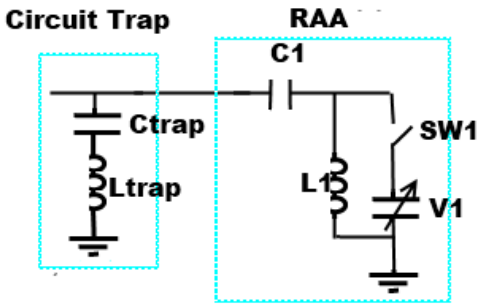


Figure III-73: Schéma électrique du RAA réalisé.

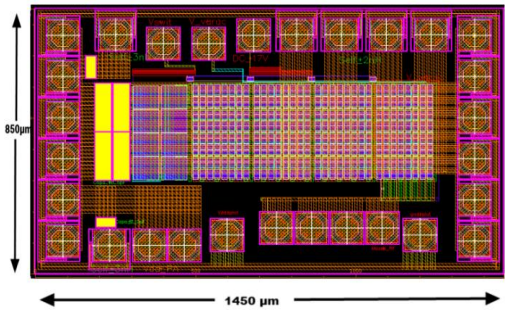


Figure III-74: Layout du RAA.

Le Tableau III-15 résume la valeur des composants utilisés pour la conception du RAA.

Composant	C_{trap}	L_{trap}	C_1	L_1	SW_1	V_1
Valeur	3 pF	3 nH	10,7 pF	2 nH	4 MOS, W=4 mm et L=0,28 µm	[3pF :7pF]

Tableau III-15: Composants utilisés dans le RAA de sortie.

La Figure III-75 illustre la couverture d'impédances atteinte par ce RAA pour une puissance d'entrée de 30 dBm. Le Tableau III-16 résume la performance de ce RA accordé par varactor et « switch ».

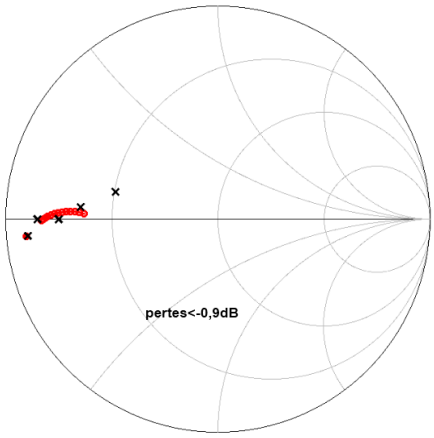


Figure III-75 : Couverture d'impédance du RAA proposé, à une puissance de 30 dBm.

Paramètres	Valeur
Pertes (dB) @ 30 dBm	**0,9**
***IMD*3 (dBc) @ 30dBm**	**-50**
***IP*3 (dBm)**	**55**
***ICP* (dBm)**	**31**

Tableau III-16: Résumé de la performance du RA accordé par varactor et « switch ».

On constate que le RAA génère bien les Z_{opt}. Le plus faible Z_{opt}, (Z_{opt} = (2-j2) Ω) est atteint lorsque le « switch » est ouvert. La fermeture du « switch » met le varactor en parallèle avec l'inductance, ce qui permet une génération continue des points entre $Z_{opt} = 4$ et $Z_{opt} = 7$. L'impédance la plus élevée n'a pas été générée car nous n'avons pas trouvé judicieux l'encombrement et les pertes ajoutées pour l'atteindre.

Les pertes d'insertion du RAA sont satisfaisantes, inférieures à 0,9 dB pour toutes les impédances générées, avec une puissance d'entrée de 30 dBm.

La performance en puissance est également satisfaisante, avec notamment un point de compression à 31 dBm et un *IP*3 de 55 dBm.

Ces caractéristiques sont appropriées pour notre application.

Nous avons également réalisé un RA fixe, pour que l'on puisse comparer les performances et mettre en évidence le bénéfice de notre RA accordable par rapport au RA fixe.

Logiquement, à l'aide d'un RA fixe, nous pouvons réaliser une unique transformation d'impédance. Ceci limite la comparaison entre le RA fixe et le RA accordable à un seul état (une seule impédance Z_{opt}). L'idéal serait donc d'implémenter plusieurs RA fixes, où chaque RA va réaliser la transformation 50 Ω vers une impédance Z_{opt} différente.

Pour une question d'encombrement, et donc de coût, nous n'avons implémenté qu'un seul RA fixe. Toutefois, comme l'inductance du RA n'est pas intégrée mais réalisée par le biais d'un « bonding », nous avons prévu des « bondings » de quatre longueurs différentes qui vont ainsi permettre de réaliser 4 transformations différentes d'impédance.

Le schéma ainsi que le layout du RA fixe réalisé en technologie SOI 130 nm sont donnés sur la Figure III-76 .

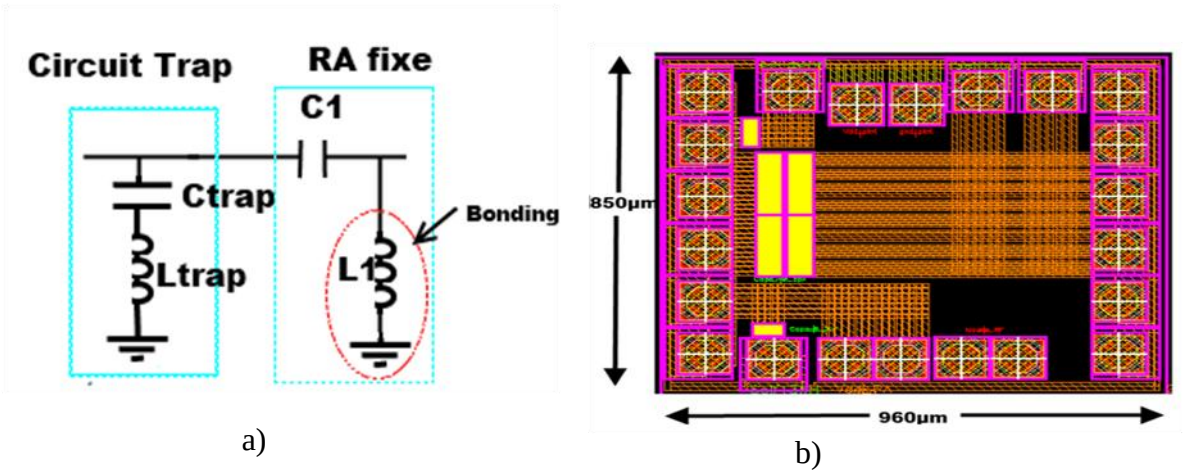


Figure III-77 : a) Schéma électrique du RA fixe réalisé. b) Layout du RA fixe, implémenté en technologie SOI 130 nm.

Les pertes d'insertion de ce RA fixe sont inférieures à 0,5 dB. Comme il n'y a pas de composants accordables, la linéarité est très élevée.

b) Solution RA accordé par varactor à deux états

Un simple varactor MOS a été conçu, réalisé et mesuré afin de vérifier le modèle donné dans le « design kit ». Ce varactor était constitué d'un seul transistor MOS, dont les caractéristiques sont: L = 1µm et le W_{tot} = 500 µm avec 100 doigts de 5 µm.

Les mesures ont été réalisées grâce à un VNA dont les deux accès sont reliés à des sondes RF. de type « Ground Signal Ground » (GSG), avec 100 µm d'écart entre chaque pointe (« pitch » de 100 µm). Une des sondes est ainsi branchée à la grille du transistor et l'autre à la source/drain. Dans ce cas, il n'y a pas eu besoin d'ajouter un « PAD » pour la polarisation DC car celle-ci a été également assurée par les sondes (signal DC superposé au signal RF).

La comparaison entre les mesures et la simulation du modèle du MOS a été réalisée. Nous présentons sur la Figure III-78 la caractéristique $C(V)$, et sur la Figure III-79 le facteur de qualité en fonction de la tension.

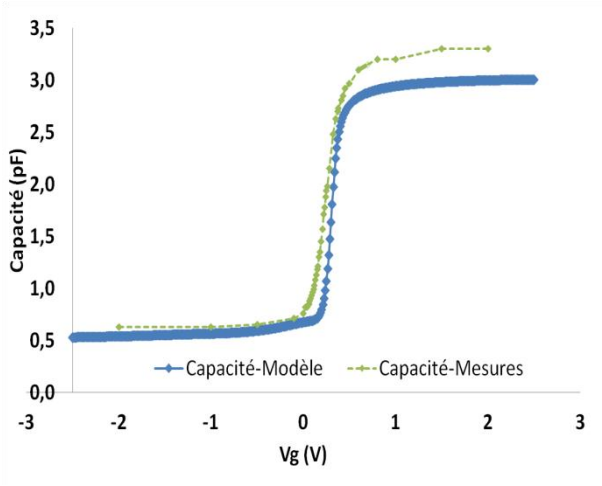


Figure III-78 : Caractéristique $C(V)$: mesures et simulation du modèle varactor MOS SOI.

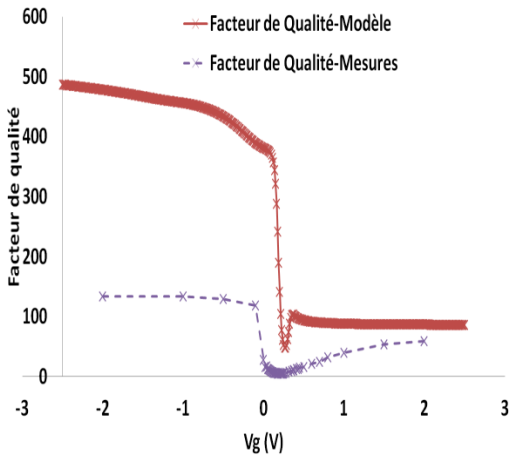


Figure III-79 : Facteur de qualité à 900 MHz en fonction de la polarisation du varactor MOS, modèle et mesures.

On observe que le modèle de la caractéristique $C(V)$ est assez cohérent avec les mesures. Cependant il y a un net désaccord concernant le facteur de qualité. Il est évident que le modèle est trop optimiste. En particulier, dans la zone de déplétion, entre 0 et 1 V environ, le facteur de qualité est fortement dégradé (Q = 5 pour V_g = 0,16 V). Cet effet est clairement lié à la caractéristique $R(V)$ du varactor, Figure III-80.

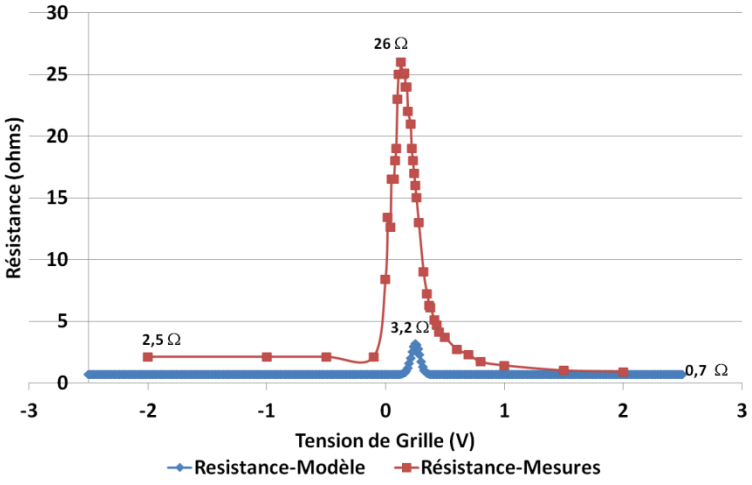


Figure III-80 : Caractéristique $R(V)$ des mesures et simulation du modèle varactor MOS SOI

On observe clairement que le pic de résistance est beaucoup plus prononcé qu'en simulation. Ceci représente un problème pour la conception de varactors continus performants, comme celui à polarisation décalée qui a été proposé, car ces varactors travaillent justement dans la zone de déplétion où la variation de la capacité est la plus importante.

Par contre, le facteur de qualité reste élevé pour les deux valeurs extrêmes de la capacité, avec des valeurs respectives de 140 pour C_{min} et 60 pour C_{max}. Utiliser uniquement ces deux états constitue ainsi une solution intéressante pour contourner cette zone à fortes pertes, comme nous l'avons déjà souligné précédemment.

Suite à ces résultats, nous avons conçu le RA accordé par les varactors à deux états et nous l'avons placé à la sortie du PA. Le schéma du RAA proposé associé à la sortie du PA est illustré sur la Figure III-81. La Figure III-82 montre la couverture d'impédance de ce RAA à forte puissance (30 dBm).

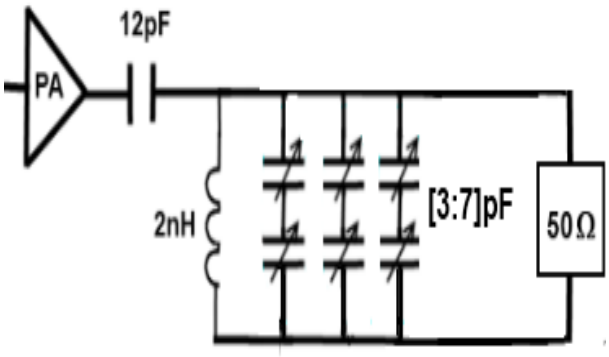


Figure III-81: Schéma du PA chargé par le RA accordable par des varactors deux états.

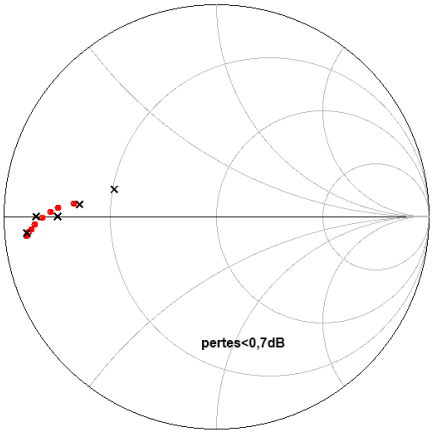


Figure III-82: Couverture d'impédance à 30 dBm du RA accordé par des varactors deux états.

On observe que le RAA permet d'atteindre les quatre Z_{opt} correspondant aux puissances entre 29,5 dBm et 23 dBm, ainsi que quelques impédances intermédiaires.

Le varactor à deux états représente donc une option intéressante au varactor MOS continu conventionnel et aux capacités et «switchs». A faible signal, il a un bon facteur de qualité, pour le fort signal, la linéarité est bien assurée grâce à la caractéristique $C(V)$ assez plate dans les zones d'inversion et accumulation.

III.3.1 Bilan de Performance du PA chargé par le RA en technologie SOI

Par la suite, la performance de l'amplificateur de puissance sera vérifiée lorsqu'il est chargé par un RA. Afin de bien mettre en évidence l'importance d'utiliser un RA accordable, nous avons tracé sur le même graphique, la performance du PA lorsqu'il est chargé par un RA fixe pour différentes impédances de charge, et par notre RA accordable, Figure III-83.

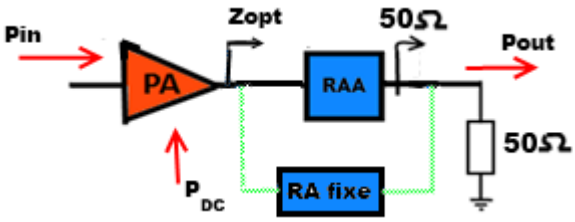


Figure III-83 : Schéma du PA chargé par le RA fixe ou par le RA accordable.

Nous allons simuler le PA associé au deux RAA proposés, à savoir, le RAA avec des varactors type III et le RAA avec les varactors à deux états.

a) RAA avec varactors type III

Le graphe de la Figure III-84 présente la performance de l'amplificateur lorsqu'il est chargé par des RA fixes qui transforment l'impédance de charge 50 Ω vers une seule impédance Z_{opt}, ainsi que la performance lorsque l'on utilise le RA accordable par le varactor. Pour tous les points de fonctionnement, la condition d'un $IMD3 < -30$ dBc est toujours respectée. On présente également comme référence les performances d'un RAA idéal qui serait constitué de composants passifs parfaits sans pertes.

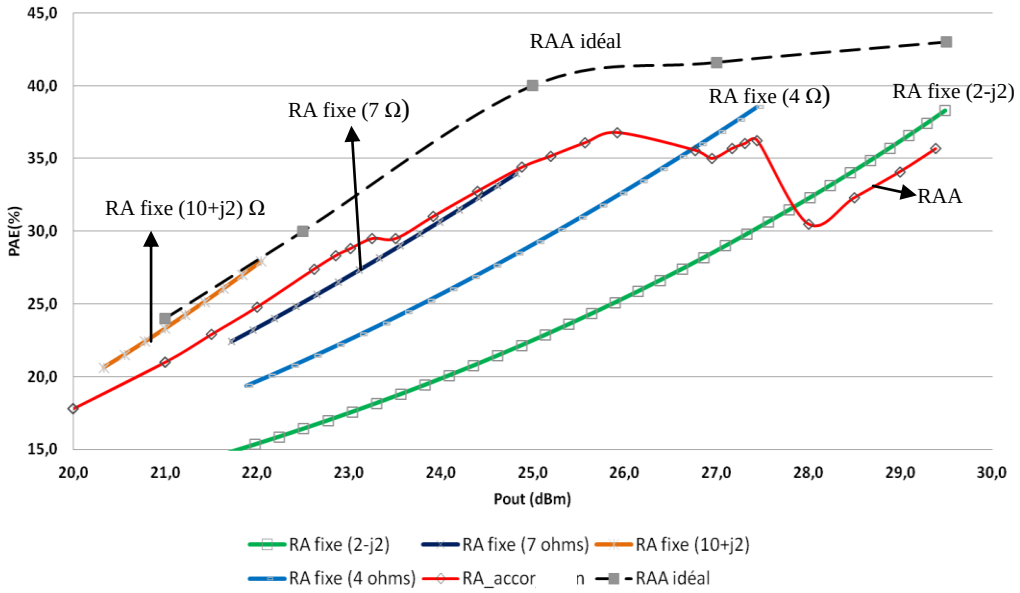


Figure III-84: *PAE* en fonction du maximum de puissance en sortie P_{out} possible, qui respecte la condition d'un *IMD*3 inférieur à -30 dBc.

Pour les fortes puissances, on réalise la transformation 50 Ω vers (2-j2) Ω. Avec le RA fixe, on arrive à délivrer au maximum 29,5 dBm à la charge. Avec le RA accordable par des varactors, la puissance maximale est un peu plus faible, 29,3 dBm. Cela est lié à l'augmentation des non linéarités provoquées par les « varactors ». En outre, la *PAE* avec le RAA est plus faible, ce qui est normal car le RAA présente plus de pertes que le RA fixe.

Cependant, lorsque la puissance de fonctionnement est égale à 27 dBm, le RA accordable, par le biais de la fermeture du « switch », change d'état pour synthétiser l'impédance de 4 Ω, ce qui permet une nette augmentation de la *PAE* et, ainsi, un gain important (de 5 à 10 % sur la *PAE*) par rapport au premier RA fixe ((2-j2) Ω). Toutefois, par rapport au RA fixe de 50 Ω vers 4 Ω, la performance sera évidemment inférieure à cette puissance.

A une puissance de fonctionnement inférieure à 26,5 dBm, la performance du RAA devient supérieure à celle du RA fixe 50 Ω vers 4 Ω. Ce type de comportement se poursuit lorsque l'on compare le RAA avec les deux autres RA fixes. En résumé, le RA fixe assure une bonne efficacité pour une puissance donnée mais la *PAE* se dégrade rapidement à des puissances plus faibles ou plus fortes. Le RAA, grâce à la transformation vers plusieurs impédances Z_{opt}, permet d'obtenir une efficacité élevée sur toute la plage de puissances de fonctionnement. Ce résultat, basé sur des simulations réalistes effectuées à l'aide des modèles disponibles au sein

du « design kit », met en évidence l'intérêt d'utiliser un RAA lorsque le signal RF présente une grande variabilité en puissance.

b) PA+RA accordé par des varactors à deux états

La Figure III-85 montre la comparaison de performance du PA chargé avec des RA fixe et le RA accordable par les varactors à deux états.

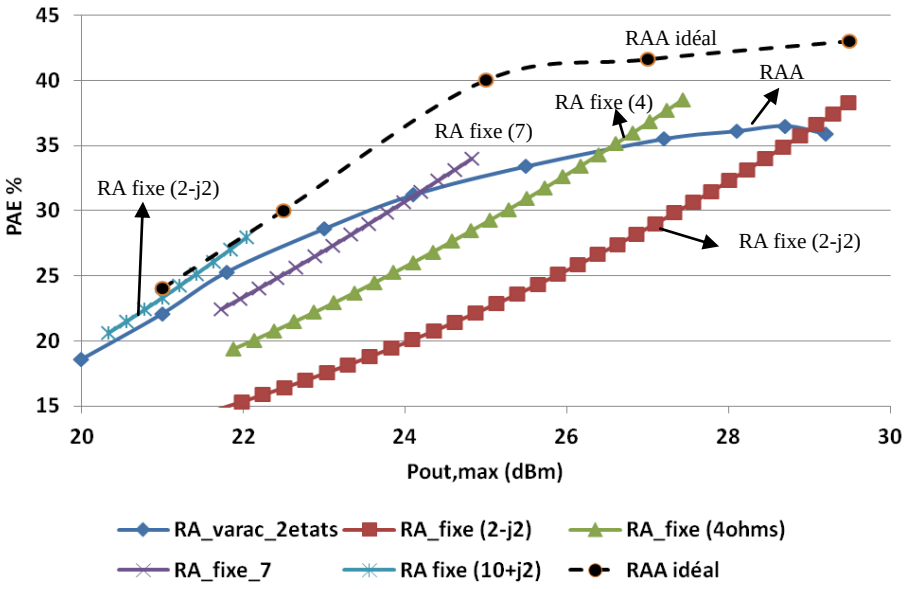


Figure III-85: PAE en fonction de la puissance en sortie du PA chargé par le RA accordable et par les RA fixes.

On constate que le RA accordable par varactors à deux états permet également un gain significatif par rapport au RA fixe.

c) Bilan PA+RAA

Nous avons vérifié que les deux solutions de RAA pouvaient être appliquées dans notre contexte, car elles entrainent un net gain en efficacité du PA sur une grande dynamique en puissance (20 à 30 dBm), par rapport à un RA fixe.

Il est intéressant aussi de comparer la performance du PA associé à ces deux RAA, Figure III-86.

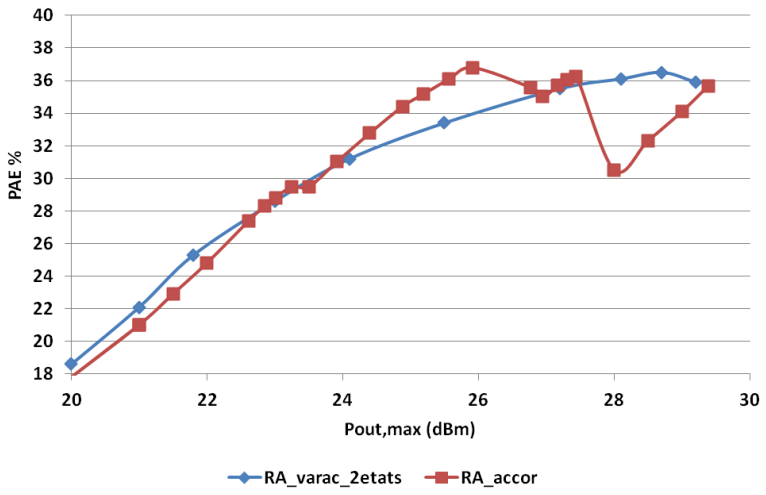


Figure III-86: Comparaison de la PAE en fonction de puissance de sortie maximale, pour le PA associé au RA accordé par le varactor type III et par le varactor à deux états.

On constate que les deux solutions présentent des performances comparables. On note pratiquement la même *PAE* à la puissance maximale de 29,3 dBm de fonctionnement. La chute de la *PAE* est plus accentuée avec la solution avec le varactor type III (car on ne génère pas d'impédances Z_{opt} entre 29 et 27,5 dBm). Toutefois, à des puissances moyennes (entre 24 et 26 dBm), la *PAE* du PA avec le varactor type III est supérieure, car les impédances générées par le RAA avec ce type de varactor sont plus proches des Z_{opt} correspondants à ce niveau de puissance. Pour les puissances plus faibles (entre 20 et 24 dBm), les deux solutions donnent des résultats similaires.

Ce résultat montre une perspective intéressante d'atteindre de bonnes performances avec le varactor à deux états, qui présente plusieurs avantages par rapport au varactor continu type III, tels que l'encombrement, la simplicité et surtout le fait d'éviter la zone de déplétion où les pertes en pratique se sont avérées trop élevées.

En outre, comme le facteur de qualité du varactor est issu de mesures, ceci nous suggère que les simulations du PA associé au RA avec le varactor à deux états sont fiables. Ce RAA sera fabriqué et testé prochainement.

III.4 Conclusions

Nous avons d'abord observé qu'un moyen d'optimiser l'efficacité des amplificateurs de puissance consiste à présenter à sa sortie une impédance optimisée qui dépend de la puissance de sortie de l'amplificateur. Du fait que sur un standard de téléphonie mobile, cette puissance de sortie est élevée et fortement variable, il faut présenter l'impédance optimale pour chaque puissance de sortie. Nous avons donc conçu un RAA capable de générer l'ensemble des impédances nécessaires, en respectant les critères de linéarité du standard WCDMA.

Nous avons démontré que le fort signal va créer de nouvelles contraintes lors de la conception d'un RAA. En effet, les paramètres principaux du RAA, telles que la couverture, les pertes et la linéarité seront fortement affectées par la puissance RF. Ceci est logique, car les composants accordables sont sensibles à l'amplitude du signal RF lorsque celle-ci devient non négligeable.

Plusieurs techniques pour réduire cette sensibilité ont été présentées. Il a été montré que le comportement des composants impliqués dans l'accordabilité, tels que les « switchs » et les varactors, pouvait être optimisé afin de répondre au problème de puissance.

Afin de valider les techniques développées, nous avons conçu un démonstrateur en technologie CMOS SOI 130 nm. Il est constitué d'un amplificateur de puissance, pour le standard low-band WCDMA à 900 MHz, chargé par un RA accordable grâce à un varactor mis en série avec un « switch ». Le « switch » s'avère important pour cette application, car il permet de protéger le varactor lors du fonctionnement à puissance maximale. Par la suite, la performance du système PA-RAA a été estimée et comparée avec un autre démonstrateur, constitué d'un PA-RA fixe.

Une autre solution a également été étudiée, qui consiste à utiliser les varactors dans seulement deux zones, en accumulation et en inversion, afin d'éviter les pertes élevées dans la zone de déplétion. Nous avons montré qu'un RAA conçu avec ces varactors serait capable de bien satisfaire les contraintes de notre application.

En résumé, les résultats ont mis en évidence que pour une puissance de fonctionnement constante, un RA fixe est logiquement plus intéressant (moins de pertes, plus simple et moins encombrant). Cependant, à des puissances variables, comme dans le standard WCDMA, où la puissance RF peut varier de 10 dB, l'emploi d'un RAA s'avère important, car il permet d'optimiser l'efficacité du PA à plusieurs niveaux de puissance de fonctionnement.

Conclusion générale

Une grande variété d'applications intéressantes des réseaux d'adaptation d'impédances accordables (RAA) a été présentée dans le premier chapitre de ce manuscrit. Les enjeux de la conception de RAA performants portent sur la configuration des RAA et sur les composants accordables à choisir. La meilleure solution est déterminée par le contexte d'application et la technologie disponible.

Dans le chapitre II,une étude théorique approfondie sur le rendement des réseaux d'adaptation d'impédances a été réalisée. Une expression originale permettant d'estimer les pertes d'insertion ou le rendement d'un RA a été développée, basée sur les facteurs de qualité des composants employés. Cette formule montre mathématiquement que plus le chemin de transformation d'impédances parcouru sur l'abaque de Smith est long, plus les pertes d'insertion sont élevées. Grâce à cette étude, nous avons pu déterminer clairement l'impact du facteur de qualité des composants sur les pertes d'un RA. Ainsi, avec des composants d'une technologie donnée, nous pouvons estimer rapidement la performance attendue d'un RA conçu sur cette technologie.

Cette étude peut également être appliquée dans le contexte des RA accordables, car elle nous a orienté pour l'élaboration des abaques de couverture d'impédances et pertes d'insertion selon la topologie de RAA. Ces abaques permettent de déterminer les topologies les plus appropriées pour couvrir la région d'impédances imposée par le cahier des charges.

Un démonstrateur sur PCB, constitué d'un amplificateur de puissance et de deux RAA, a été développé. Ce démonstrateur a été simulé et ensuite implémenté et testé. Les RAA ont permis d'adapter simultanément l'entrée et la sortie de l'amplificateur sur une grande plage de variation des impédances de charge en sortie (VSWR < 5 :1). Toutefois, malgré l'adaptation simultanée, dans certaines régions couvertes, la performance du système a diminué par rapport au système sans les RAA. Les pertes d'insertion d'un RAA sont en effet très variables, pour deux raisons, d'une part le chemin de transformation dépend de l'impédance transformée, d'autre part le facteur de qualité des varactors utilisés est très variable selon la polarisation appliquée. Ce dernier aspect peut être corrigé par le biais de l'emploi de différents varactors commutés, de façon à utiliser le varactor le plus performant selon la transformation d'impédance exigée.

Dans le dernier chapitre, nous avons présenté les enjeux de la conception de RAA performants à fort signal. Nous avons constaté notamment que les composants accordables peuvent ne pas fonctionner correctement lorsque le niveau de signal RF est important. La capacité d'un varactor, par exemple, peut devenir insensible aux variations de tension de polarisation. Ceci provoque une dégradation de la couverture d'impédances des RAA à fort

signal. De même, du fait de la non linéarité des composants accordables, les pertes d'insertion dans le RAA tendent à augmenter avec le niveau de puissance, car il y a une distribution de l'énergie sur plusieurs harmoniques.

Quelques techniques de linéarisation et d'augmentation de la dynamique en puissance ont donc été étudiées et appliquées sur nos composants accordables, à savoir : l'empilement de plusieurs transistors en série ; la linéarisation de la caractéristique $C(V)$ des varactors, par le biais de l'application de polarisations décalées ; la mise en place d'une haute impédance présentée par le circuit de polarisation.

La validité de ces techniques a été mise en évidence à partir de simulations réalisées à l'aide de modèles de composants du « design kit » de la technologie STMicroelectronics SOI 130 nm. Des RAA performants à forte puissance ont été conçus dans cette technologie.

La topologie choisie pour le RA est un simple L avec une seule branche variable. Nous avons testé trois types d'éléments accordables : le varactor linéarisé ; le varactor à deux états ; et le banc de capacités commutées. Nous avons vérifié que ces trois options pouvaient satisfaire notre cahier des charges. Cependant nous étions plus intéressés à analyser la faisabilité de ce RAA avec des varactors.

Sur la technologie SOI 130 nm de STMicroelectronics, nous avons donc réalisé des simulations réalistes des RAA composés de varactors linéarisés et de varactors à deux états. Ces RAA ont été placés à la sortie d'un amplificateur de puissance WCDMA « low band » (900 MHz). Nous avons constaté que l'insertion du RAA provoquait une augmentation de l'efficacité de l'amplificateur sur toute la plage de puissances de travail, entre 20 et 30 dBm. Le bénéfice de l'utilisation d'un RA accordable par rapport à un RA fixe a été mis en évidence.

Toutefois, les mesures réalisées sur un varactor MOS nous ont révélé que les pertes dans la zone de bande plate étaient beaucoup plus élevées que la prédiction des modèles. A l'inverse le facteur de qualité dans les zones d'accumulation et d'inversion s'avérait encore intéressant. Comme le varactor linéarisé travaille justement dans la zone de bande plate, sa performance sera fortement affectée par ces pertes excessives mesurées. Toutefois, le varactor à deux états peut continuer à être une bonne solution, car il fonctionne uniquement dans les zones d'accumulation et inversion.

Nous envisageons donc d'implémenter un démonstrateur sur SOI 130 nm avec l'amplificateur de puissance et le RA accordable par les varactors à deux états. Par la suite, il serait intéressant aussi de développer des RAA forte couverture à fort signal, capable de corriger les désadaptations de l'antenne et de transformer son impédance directement dans le Z_{opt} qui maximise l'efficiacité du PA.

En outre, le CEA LETI, laboratoire partenaire de ce projet, travaille sur la mise au point des techniques de fabrication des capacités variables à BST. Il peut être aussi une bonne solution d'utiliser ces dispositifs pour le développement de RAA performants.

Bibliographie

[And00] P. Andreani and S. Mattisson, “On the use of MOS varactors in RF VCOs”, *IEEE Journal of Solid-State Circuits,* vol. 35, n°. 6, pp. 905 -910, jun. 2000.

[Ang04] K. S. Ang, C. H. Lee, and Y. C. Leong, “A broad-band quarter-wavelength impedance transformer with three reflection zeros within passband”, *IEEE Trans. on Microw. Theory and Tech.*, vol. 52, n. 12, pp. 2640 - 2644, dec. 2004.

[All09] W. N. Allen, J. Small, X. Liu, and D. Peroulis, “Bandwidth-optimal single shunt-capacitor matching networks for parallel RC loads of Q >> 1”, in *Asia Pacific Microwave Conference,* pp. 2128 -2131, dec. 2009.

[All11] W. N. Allen and D. Peroulis, “Bandwidth-optimal single-tunable-element matching network for antenna tuning in mobile handsets”, in *Microwave Symposium Digest,* p. 1-1, jun. 2011.

[Bis94] W. Bischof, “Variable impedance tuner for MMIC’s”, *IEEE Microwave and Guided Wave Letters*, vol. 4, n. 6, pp. 172 -174, jun. 1994.

[Bot09] A. Botula, *et al.*, “A Thin-Film SOI 180nm CMOS RF Switch Technology” ,in *Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*, pp. 1 -4, jan. 2009.

[Boyle07] K. R. Boyle, Y. Yuan, e L. P. Ligthart, “Analysis of Mobile Phone Antenna Impedance Variations With User Proximity”, *IEEE Transactions on Antennas and Propagation*, vol. 55, n°. 2, pp. 364 -372, feb. 2007.

[Bun03] R. L. Bunch and S. Raman, « Large-signal analysis of MOS varactors in CMOS -Gm LC VCOs », *IEEE Journal of Solid-State Circuits*, vol. 38, n° . 8, pp. 1325-1332, Aug. 2003.

[Buis05a] K. Buisman *et al.*, « Distortion-free varactor diode topologies for RF adaptivity », in *IEEE MTT-S International Microwave Symposium Digest*, jun. 2005.

[Buis05b]K. Buisman *et al.*, « Low-distortion, low-loss varactor-based adaptive matching networks, implemented in a silicon-on-glass technology », in *2005 IEEE Radio Frequency integrated Circuits (RFIC) SymposiumDigest of Papers*, pp. 389-392*,* jun. 2005.

[Buis07]K. Buisman *et al.*, « Varactor Topologies for RF Adaptivity with Improved Power Handling and Linearity », in *IEEE/MTT-S International Microwave Symposium*, pp. 319-322, jun. 2007.

[Car09] F. Carrara, *et .al*, “A 2.4-GHz 24-dBm SOI CMOS Power Amplifier With Fully Integrated Reconfigurable Output Matching Network”, *IEEE Transactions on Microwave Theory and Techniques*, vol. 57, n. 9, pp. 2122-2130, set. 2009.

[Car11] A. Cardona, “Tunable BST applications for the RF front end”, in *IEEE MTT-S International Microwave Symposium Digest (MTT),* pp. 1 -4, jun. 2011.

[Cha07] Y.-J. Chan, C.-F. Huang, C.-C. Wu, C.-H. Chen, et C.-P. Chao, « Performance Consideration of MOS and Junction Diodes for Varactor Application», *IEEE Transactions on Electron Devices,* vol. 54, n°. 9, pp. 2570 -2573, sept. 2007.

[Chen03] K.-M. Chen, W.-K. Yeh, G.-W. Huang, Y.-K. Fang, and F.-L. Yang;"Characterization and modeling of SOI varactors at various temperatures," in *Proceedings of the 15th International Conference on Microelectronics*, pp. 252-255, Dec. 2003.

[Chen04] L.-Y. Vicki Chen, R. Forse, D. Chase, e R. A. York, “Analog tunable matching network using integrated thin-film BST capacitors”, in *IEEE MTT-S International Microwave Symposium Digest*, vol. 1, pp. 261 – 264, jun. 2004.

[Chu07] Y.-H. Chun e J.-S. Hong, “Frequency Agile Microwave Devices Using Variable Characteristic Impedance Transmission Lines”, in *International Symposium on Microwave, Antenna, Propagation and EMC Technologies for Wireless Communications*, pp. 411 -414, aug. 2007.

[Cri95] S. Cristoloveanu et Li (S.S.). *Electrical Characterization of SOI Materials and Devices*. Kluwer. Academic Publishers, Norwell, 1995.

[Cri98] S. Cristoloveanu et G. Reichert, « Recent advances in SOI materials and device technologies for high temperature », in *High-Temperature Electronic Materials, Devices and Sensors Conference*, pp. 86 -93, feb. 1998.

[Dun07] D. Dunwell and B. Frank, “Accumulation-Mode MOS Varactors for RF CMOS Low-Noise Amplifiers”, in *Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*, pp. 145–148, 2007.

[Enz02] C. Enz, “An MOS transistor model for RF IC design valid in all regions of operation”, *IEEE Transactions on Microwave Theory and Techniques*, vol. 50, n. 1, pp. 342–359, jan. 2002.

[Fan10] D.-M. Fang, et al. “Design, Simulation, and Characterization of Variable Inductor With Electrostatic Actuation Fabricated by Using Surface Micromachining Technology”, *IEEE Transactions on Electron Devices*, vol. 57, n. 10, pp. 2751 -2755, oct. 2010.

[Fon02] N. Fong, G. Tarr, N. Zamdmer, J.-O. Plouchart, e C. Plett, “Accumulation MOS varactors for 4 to 40 GHz VCOs in SOI CMOS”, *IEEE International SOI Conference,* pp. 158– 160, oct. 2002.

[Foul10] S. Fouladi, F. Domingue, N. Zahirovic, e R. R. Mansour, “Distributed MEMS Tunable Impedance-Matching Network Based on Suspended Slow-Wave Structure Fabricated in a Standard CMOS Technology”, *IEEE Transactions on Microwave Theory and Techniques*, vol. 58, n. 4, pp. 1056 -1064, apr. 2010.

[Fra11] M. J. Franco and D. Dening, “Broadband reconfigurable matching network of reduced dimensions for the UHF military satellite communication band”, in *IEEE MTT-S International Microwave Symposium Digest*, pp. 1-4, jun. 2011.

[Fre11] V. Freitas, J. Arnould, e P. Ferrari, “Theoretical analysis and design of efficient tunable matching networks”, in *Microwave Optoelectronics Conference (IMOC), SBMO/IEEE MTT-S International*, pp. 303 -307, nov. 2011

[Han06] Y. Han *et al.*,“Analysis and Design of High Efficiency Matching Networks,” *IEEE Trans. on Power Electr.,* vol. 21, n° 5, pp. 1484-1491, 2006.

[Ham67] Hamid, M.-A. and Yunik, M.-M, “On the design of stepped transmission-line transformers”, *IEEE Transactions on Microwave Theory and Techniques*, vol. 15, pp. 528-529, sep. 1967.

[Hei04] T. Vaha-Heikkila and G. M. Rebeiz, “A 20-50 GHz reconfigurable matching network for power amplifier applications”, in *IEEE MTT-S International Microwave Symposium Digest*, vol. 2, pp. 717 – 720, jun. 2004.

[Her99] A.J.Auberton-Hervé, “Available technologies for SOI wafer production and associated characterization techniques,” *IEEE Inter. SOI Conference, Short Course,* 1999*.*

[Hoa08] C. Hoarau *et al.,“Complete Design and Measurement Methodology for a Tunable RF Impedance-Matching Network,” IEEE Trans. on MTT, vol. 56, n° 11, pp. 2620-2627, 2008*

[Hua10] C. Huang, K. Buisman, L. K. Nanver, e L. C. N. de Vreede, “The state-of-the-art of RF capacitive tunable components (Invited)” in *IEEE International Conference on Solid-State and Integrated Circuit Technology* (*ICSICT*), pp. 619 -622, nov. 2010.

[Inf] http://www.infineon.com

[Jon11] M. A. de Jongh, *et al.*, “Mobile phone performance improvements using an adaptively controlled antenna tuner”, in *IEEE MTT-S International Microwave Symposium Digest*, p. 1-1, jun. 2011.

[Kel05] D. Kelly, C. Brindle, C. Kemerling, and M. Stuber, “The state-of the-art of silicon-on-sapphire CMOS RF switches,”*Compound Semiconductor Integrated Circuit Symposium Digest*”, pp. 200-202, nov. 2005.

[Lan69] R. Q. Lane, “The Determination of device noise parameters,” *Proc.IEEE*, vol. 57, pp. 1461–1462, aug. 1969.

[Lub01] V. M. Lubecke et al., « Self-assembling MEMS variable and fixed RF inductors », *IEEE Transactions on Microwave Theory and Techniques* , vol. 49, n. 11, pp. 2093 -2098, nov. 2001.

[MAC] M/A-COM, Product Data Sheet, HS Switch Process.

[Mak01] S. Makioka, Y. Anda, K. Miyatsuji, and D. Ueda, “Super selfaligned GaAs RF switch IC with 0.25 dB extremely low insertion loss for mobile communication systems,” *IEEE Transactions on Electron Devices*, vol. 48, no. 8, pp. 1510 – 1514, Aug. 2001.

[Malm09] R. Malmqvist, *et al.,* “RF MEMS based impedance matching networks for tunable multi-band microwave low noise amplifiers”, in *International Semiconductor Conference*, vol. 1, pp. 303 -306, oct. 2009.

[Matt64] G.L. Matthaei, L. Young, and E.M.T. Jones, Microwave Filters,Impedance-Matching Networks and Coupling Structures. New York: McGraw-Hill, pp. 45–47, 1964.

[Mau11] H. Maune, M. Sazegar, e R. Jakoby, “Tunable impedance matching networks for agile RF power amplifiers”, in *IEEE MTT-S International Microwave Symposium Digest*, pp. 1 -4, jun. 2011.

[Mci99] C. E. McIntosh, R. D. Pollard, e R. E. Miles, “Novel MMIC source-impedance tuners for on-wafer microwave noise-parameter measurements”, *IEEE Transactions on Microwave Theory and Techniques*, vol. 47, n. 2, pp. 125 -131, feb. 1999.

[Mey75] R. G. Meyer et M. L. Stephens, « Distortion in variable-capacitance diodes », *IEEE Journal of Solid-State Circuits,* vol. 10, n. 1, pp. 47 - 54, feb. 1975.

[Miz09] Y. Mizuochi, S. Amakawa, N. Ishihara, et K. Masu, « Study of air-suspended RF MEMS inductor configurations for realizing large inductance variations », in *Argentine School of Micro-Nanoelectronics, Technology and Applications,* pp. 50 -55, 2009.

[Mol02] K. Molnar, G. Rappitsch, Z. Huszka, e E. Seebacher, “MOS varactor modeling with a subcircuit utilizing the BSIM3v3 model”, *IEEE Transactions on Electron Devices*, vol. 49, n. 7, pp. 1206 -1211, jul. 2002.

[Mon03] Monzon, C. “A small dual-frequency transformer in two sections”. *IEEE Transactions On Micowave Theory and Techniques*, vol. 51(4), pp. 1157–1161, apr. 2003.

[Mor07] Y. Morandini, D. Ducateau, J.-F. Larchanche, C. Gaquiere, et D. Gloria, « Characterization of MOS varactor with large signal Network Analyser (LSNA) in CMOS 65nm bulk and SOI technologies », in *ARFTG Conference,* pp. 1 -4, jun. 2007.

[Mor08] Y. Morandini, J.-F. Larchanche, et C. Gaquiere, « High Frequency Characterization of Compact N+Poly/Nwell Varactor Using Waffle-Layout », in *Topical Meeting on IEEE Silicon Monolithic Integrated Circuits in RF Systems,* pp. 167 -170, 2008.

[Nem09] H. M. Nemati, *et .al*, “Design of Varactor-Based Tunable Matching Networks for Dynamic Load Modulation of High Power Amplifiers”, *IEEE Transactions on Microwave Theory and Techniques*, vol. 57, n. 5, pp. 1110-1118, mai 2009.

[Oka06] K. Okada *et .al*, « On-Chip High Q Variable Inductor Using Wafer-Level Chip-Scale Package Technology », *Electron Device on IEEE Transac*tions., vol. 53, n. 9, pp. 2401 - 2406, sept. 2006.

[Par04] P. Park, C. S. Kim, M. Y. Park, S. D. Kim, et H. K. Yu, « Variable inductance multilayer inductor with MOSFET switch control »,*IEEE Electron Device Letters*, vol. 25, n. 3, pp. 144 - 146, mars 2004.

[Per09] C. Sanchez-Perez *et al.*, “Performance improvement of mobile DVB-H terminals using a reconfigurable impedance tuning network,” *IEEE Trans. on Cons. Electr.,* , vol. 55, n° 4, pp. 1875-1882, nov. 2009.

[Pozar05] David M. Pozar, "Microwave Engineering", Third Edition, John Wiley & Sons Inc, pp. 252-257, 2005.

[Qgu10] Q. Gu e J. R. De Luis, “RF MEMS tunable capacitor applications in mobile phones”, in *10th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT)*, pp. 635 -638, nov. 2010

[Reb01] G. M. Rebeiz e J. B. Muldavin, “RF MEMS switches and switch circuits”, *IEEE Microwave Magazine*, vol. 2, n°. 4, pp. 59 -71, dez. 2001.

[Rod94] M. J. W. Rodwell, S. T. Allen, R. Y. Yu, M. G. Case, U. Bhattacharya, M. Reddy, E. Carman, M. Kamegawa, Y. Konishi, J. Pusl, and R. Pullela, « Active and nonlinear wave propagation devices in ultrafast electronics and optoelectronics [and prolog] », *Proceedings of the IEEE*, vol. 82, n° . 7, pp. 1037-1059, july 1994.

[She01] K. Shen, *et al*., “A three-terminal SOI gated varactor for RF applications”, *IEEE Transactions on Electron Devices,* vol. 48, n°. 2, pp. 289 -293, feb. 2001.

[Sin97] J. H. Sinsky and C. R. Westgate, "Design of an electronically tunable microwave impedance transformer," in *International Microwave Symposium Digest*, vol. 2, pp. 647-650, 1997.

[SOI99] www.soitec.com

[Sze81] S.M. SZE. *"Physics of semiconductor devices"*. John Wiley New York, 1981.

[Sjo02] H. Sjoland, « Improved switched tuning of differential CMOS VCOs », *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing,* vol. 49, n. 5, pp. 352 - 355, mai 2002.

[Sve99] F. Svelto, P. Erratico, S. Manzini, e R. Castello, “A metal-oxide-semiconductor varactor”, *IEEE Electron Device Letters*, vol. 20, n. 4, pp. 164 -166, apr. 1999.

[Sun11] Sunwoo Yoon, JuYoung Jung, et Dong-hyun Baek, « A 34 dBm IP0.1dB SOI SP3T switch with an integrated negative-bias switch controller at 2.4 GHz », in *SoC Design Conference* (*ISOCC*), pp. 235-237, nov. 2011.

[Suk08] H. SukLee, Y. J. Yoon, D.-H. Choi, e J.-B. Yoon, “High-Q, tunable-gap MEMS variable capacitor actuated with an electrically floating plate”, in *IEEE 21st International Conference on Micro Electro Mechanical Systems,* pp. 180 -183, jan. 2008

[Tagro10] Y.Tagro, “Mise au point d’une méthodologie de caractérisation des 4 paramètres de bruit HF des technologies CMOS et HBT avancées dans la bande 60-110 GHz: développement de système à impédance variable in-situ”, thèse 2010, Université de Lille.

[Tan08] W. Tan, G. Chen, and H. Zhang, « A 1-GHz LC voltage-controlled oscillator with high linearity and wide range », in *IEEE International Conference on Electron Devices and Solid-State Circuits*, pp. 1-4*,* 2008.

[Tao04] Tao Yan, Guoyan Zhang, Hao Shi, Ru Huang, e Xing Zhang, “Wide tuning-range MOS varactors based on SOI”, in *Proc. IEEE 7th International Conference on Solid-State and Integrated Circuits Technology*, vol. 1, pp. 206– 208, oct. 2004.

[Tin03] C. Tinella, J. M. Fournier, D. Belot, e V. Knopik, “A high-performance CMOS-SOI antenna switch for the 2.5-5-GHz band”, *IEEE Journal of Solid-State Circuits*, vol. 38, n. 7, pp. 1279- 1283, jul. 2003.

[Tin06] C. Tinella, et al., “0.13/spl mu/m CMOS SOI SP6T antenna switch for multi-standard handsets”, *in Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*, jan. 2006.

[Tom02] A. Tombak, J.-P. Maria, F. Ayguavives, Z. Jin, G. T. Stauf, A. I. Kingon, e A. Mortazawi, “Tunable barium strontium titanate thin film capacitors for RF and microwave applications”, *IEEE Microwave and Wireless Components Letters*, vol. 12, n. 1, pp. 3 -5, jan. 2002.

[Tom10] A. Tombak, *et al*., « Cellular antenna switches for multimode applications based on a Silicon-on-Insulator technology », in *Radio Frequency Integrated Circuits Symposium (RFIC)*, pp. 271 -274, 2010.

[Wha11] R. Whatley, T. Ranta, et D. Kelly, “CMOS based Tunable Matching Networks for cellular handset applications,” in *IEEE MTT-S International Microwave Symposium Digest*, pp. 1-4, jun. 2011.

[Wan06] J. Wang, J. Roland, J. Popp, X. Zhu, C. Hutchens, e Y. Zhang, “High performance RF SOI MOSFET varactor modeling and design”, in *IEEE Region 5 Conference*, pp. 83-86, apr.2006.

[Wong00] W. M. Y. Wong, P. S. Hui, Z. Chen, K. Shen, J. Lau, P. C. H. Chan, e P.-K. Ko, “A wide tuning range gated varactor”, *IEEE Journal of Solid-State Circuits*, vol. 35, n. 5, pp. 773 -779, may 2000.

[Yan04] T. Yan, G. Zhang, H. Shi, R. Huang, and X. Zhang, “Wide tuning-range MOS varactors based on SOI”, in *7th International Conference on Solid-State and Integrated Circuits Technology*, vol. 1, pp. 206–208, 2004..

[Yam10] H. Yamazaki, T. Ikehashi, T. Saito, E. Ogawa, T. Masunaga, T. Ohguro, Y. Sugizaki, e H. Shibata, “A high power-handling RF MEMS tunable capacitor using quadruple series capacitor structure”, in *IEEE MTT-S International Microwave Symposium Digest*, pp. 1138 -1141, may 2010.

[Yor00] R. York, A. Nagra, E. Erker, T. Taylor, P. Periaswamy, J. Speck, S. Streiffer, e O. Auciello, “Microwave integrated circuits using thin-film BST”, in *Proceedings of the12th IEEE International Symposium on Applications of Ferroelectrics*, vol. 1, pp. 195 -200, 2000.

[Zad08] M. Rais-Zadeh, P. A. Kohl, et F. Ayazi, « MEMS Switched Tunable Inductors », *Journal of Microelectromechanical Systems*, vol. 17, n. 1, pp. 78 -84, feb. 2008.

Résumé

L'objectif de ce travail est d'aborder la conception de réseaux d'adaptation d'impédance accordable (RAA) dans deux contextes bien distincts en radiofréquences : le RAA en faible signal et le RAA en fort signal.

Concernant les aspects faible signal, des critères de performance de RAA ont été établis et étudiés. Une nouvelle expression générale de l'efficacité d'un RAA a été développée. Elle permet de prédire le rendement d'un RAA à partir des facteurs de qualité des composants dont on dispose dans une technologie donnée et du rapport de transformation à réaliser. Des abaques de couverture d'impédances en fonction des pertes d'insertion ont été calculés. Ils mettent en évidence les régions de couverture où le RAA apporte une amélioration à la performance du système, pour diverses topologies de RAA.

Un démonstrateur sur PCB a été réalisé. Il est constitué de deux RAA, qui assurent l'adaptation simultanée d'un amplificateur de puissance sur une large plage d'impédances, comprises dans un cercle de l'abaque de Smith d'équation $VSWR < 5$:1. La zone de couverture a été mesurée et présentée en fonction des pertes d'insertion, qui mettent en évidence les régions où les RAA contribuent à l'amélioration de la performance de l'amplificateur et celles où les pertes d'insertion du RAA n'arrivent pas à compenser le gain du à la réduction des coefficients de réflexion.

Dans une seconde partie, la conception de RAA en fort signal a été traitée. L'objectif a été de présenter à la sortie d'un amplificateur de puissance les impédances qui optimisent son efficacité pour chaque puissance de travail. Un démonstrateur en technologie CMOS SOI 130 nm a été conçu et simulé. Il consiste en un amplificateur de puissance pour le standard WCDMA, fonctionnant à 900 MHz, et un RA accordable par des varactors MOS, capable de générer les impédances optimales correspondant à des puissances de sortie comprises entre 20 et 30 dBm. Les résultats ont mis en évidence le bénéfice apporté par l'insertion d'un RA accordable par rapport à un RA fixe.

Mots Clés : Adaptation d'impédance accordable, varactors MOS, technologie CMOS SOI, Radiofréquences, non linéarité, dynamique en puissance.

Abstract

The aim of this research was the design of tunable matching networks, in two different contexts: the TMN at low and high signals.

Performance criteria of TMN were studied. A general expression has been developed that estimates the TMN efficiency in function of the quality factor of the components used. The impedance coverage of different RAA topologies was plotted in function of the insertion losses.

For the small signal, we designed a prototype in PCB, composed by two TMN, which ensure the simultaneous matching of a power amplifier in a wide range of impedances, included in a circle of the Smith chart $VSWR < 5$: 1. The coverage area was measured and presented in function of the insertion losses, emphasizing the areas where the TMN contribute to improve the amplifier performance and those where insertion losses of the TMN are not able to compensate gain with the reduction of the reflection coefficients.

Subsequently, we discussed the design of TMN for the large signal. The objective is to present at the output of a power amplifier, the impedances that optimize efficiency for each power of operation. A 130 nm SOI prototype was designed and simulated, consisting of a power amplifier for WCDMA standard, 900 MHz, and a MN tunable by MOS varactors able to produce the optimal impedances corresponding to an output power between 20 and 30 dBm. The results showed the benefit provided by inserting a tunable MN compared to a fixed one.

Keywords: Tunable Impedance Matching Network, MOS varactos, CMOS SOI Technology, Radio frequency, non linearity, power handling.