



**HAL**  
open science

# Etude de la robustesse d'amplificateurs embarqués dans des applications portables soumis à des décharges électrostatiques (ESD) au niveau système

Sandra Giraldo Torres

## ► To cite this version:

Sandra Giraldo Torres. Etude de la robustesse d'amplificateurs embarqués dans des applications portables soumis à des décharges électrostatiques (ESD) au niveau système. Micro et nanotechnologies/Microélectronique. Université Paul Sabatier - Toulouse III, 2013. Français. NNT: . tel-00849735

**HAL Id: tel-00849735**

**<https://theses.hal.science/tel-00849735>**

Submitted on 31 Jul 2013

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



Université  
de Toulouse

# THÈSE

En vue de l'obtention du

## DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par :

Université Toulouse 3 Paul Sabatier (UT3 Paul Sabatier)

---

**Présentée et soutenue par :**

Sandra Giraldo Torres

le mardi 16 juillet 2013

**Titre :**

Etude de la robustesse d'amplificateurs embarqués dans des applications portables soumis à des décharges électrostatiques (ESD) au niveau système

---

**École doctorale et discipline ou spécialité :**

ED GEET : Micro et Nanosystèmes

**Unité de recherche :**

LAAS CNRS

**Directeur(s) de Thèse :**

Mme. Marise BAFLEUR

M. Fabrice CAIGNET

**Jury :**

M. Alain REINEIX, Rapporteur - DR CNRS au XLIM Limoges

M. Pascal NOUET, Rapporteur - Professeur des universités au LIRMM Montpellier

M. Patrice BESSE, Examineur - Ingénieur à Freescale

M. Frédéric MORANCHO, Président - Professeur des universités au LAAS Toulouse



# THÈSE

Pour obtenir le grade de  
**DOCTEUR DE L'UNIVERSITE DE TOULOUSE**  
Délivré par l'Université Toulouse III-Paul Sabatier  
Ecole Doctorale : Génie Electrique, Electronique, Télécommunications  
Discipline : Microélectronique

Présentée et soutenue  
par  
**Sandra Giraldo Torres**  
le 16 juillet 2013

**Étude de la robustesse d'amplificateurs embarqués dans des  
applications portables soumis à des décharges  
électrostatiques (ESD) dans leur application finale**

## **Directeurs de thèse :**

Mme Marise BAFLEUR, M. Fabrice CAIGNET

## **Jury**

M. Frédéric MORANCHO, Président Professeur au LAAS  
M. Alain REINEIX, Rapporteur DR CNRS au XLIM Limoges  
M. Pascal NOUET, Rapporteur Professeur au LIRMM Montpellier  
M. Patrice BESSE, Examineur Ingénieur à Freescale Semiconducteurs



*A mi madre, Nelly Sandra Torres;  
A mi tía, Ana Cristina Torres;  
A mi abuelita, Julia de Torres.*

*" La vida hay que mirarla hacia delante, cada madrugada amanece y la vida es porvenir, y... ¡Es tan hermosa la vida! que hay que defenderla y quererla. Y transmitir que puedes caer mil veces... el asunto es que tengas el coraje de volverte a levantar y volver a empezar.  
Y el volver a empezar es una actitud general que hay que pregonar en la vida. Los únicos derrotados en el mundo son los que dejan de luchar, de soñar y de querer."*

*José Mujica, 2013*

# Remerciements

Cette thèse CIFRE est le résultat de travaux de recherche développés au sein du groupe ESE (Energie et Systèmes Embarqués du LAAS CNRS), antérieurement groupe ISGE et au sein du groupe LVPM (Low Voltage Power Management) de ON Semiconductor.

Je remercie tout d'abord Monsieur Jean ARLAT, Directeur du LAAS, pour m'avoir accueilli au sein du laboratoire dans d'excellentes conditions.

Ce travail a été conduit sous la direction de M. Fabrice Caignet et Mme. Marise Bafleur, je les remercie pour leur implication et la rigueur avec laquelle ils ont corrigé ce manuscrit. L'expérience que j'ai acquise durant ces années de thèse et les difficultés rencontrées m'ont permis de développer des qualités indispensables à la poursuite de ma carrière.

J'aimerais aussi remercier M. Christophe Salaméro, pour toute la patience qu'il a eu à mon égard. Il m'a initié au monde des décharges électrostatiques et ensemble, nous sommes arrivés à la première conférence en ESD. Je remercie également le personnel de ON Semiconductor spécialement Alexandre, Marc, Fabien, Damien, Olivier C. et Angel pour toutes leurs contributions dans cette thèse de doctorat.

Je remercie également les membres de mon jury de thèse :

M. Frédéric Morancho, professeur d'Université à Toulouse, pour m'avoir fait l'honneur de présider ce jury et pour m'avoir suivi du début à la fin de mes études.

M. Alain Reineix et M. Pascal Nouet qui ont accepté, en qualité de rapporteurs d'examiner ce travail. Je les remercie pour l'intérêt qu'ils ont porté à mes recherches.

Merci également à M. Patrice Besse d'être venu en tant qu'examineur et de l'intérêt porté à mes travaux lors de ma soutenance.

A tous mes professeurs du Lycée français Paul Valéry à Cali, spécialement mes professeurs de mathématiques et physique-chimie M. Serge La Vie et M. Christophe Cuin qui m'ont enseigné les bases et m'ont donné le goût pour les sciences appliquées. Ce sont eux qui m'ont donné l'envie de me lancer dans cette aventure.

Mis más grandes agradecimientos para mis compañeros de oficina y más que todo amigos Aloña Berasategui y Youssef El Basri. Sin ustedes este manuscrito no habría llegado al papel. Doy gracias por haberles conocido y compartido tantos incontables momentos agradables a lo largo de estos años. En ustedes encontré un apoyo constante para seguir adelante y creer en mi trabajo. Merci et Eukerraska. A mis compañeros de grupos diversos pero unidos por las ganas de compartir, quejarnos, por hacer y deshacer el mundo durante los cafés: Núria, Youness, Fares, Franck, Miguel, Sofiene, Dayi, Carlos B. y Oswaldo. Con ustedes compartí momentos que recordaré con mucha alegría.

Gracias a mis amigos que han sido como mi familia aquí en Francia, les estoy inmensamente agradecida por haber podido contar con ustedes.

Para terminar agradezco a la persona que me inspiró a llegar tan lejos. Espero un día ser tan grande como tú lo fuiste. A mi madre Nelly Sandra Torres B. por haberme infundido el coraje necesario para enfrentarme con vastos océanos y distancias. Siempre recordaré tus palabras en la despedida del aeropuerto : "Como el rinoceronte, siempre para adelante siempre, para atrás ni para mirar". No podría haber tenido mejor madre que tú.



*Una persona sigue viva mientras su recuerdo este presente en los corazones de las personas que la aman. Te amaré y recordaré siempre!*

# Table des matières

<b>1</b>	<b>INTRODUCTION GENERALE</b>	<b>1</b>
1.1	MOTIVATION DE LA RECHERCHE	1
1.2	CONTEXTE ET DEFINITION DE LA PROBLEMATIQUE	2
<b>2</b>	<b>DES DECHARGES ELECTROSTATIQUES (ESD)</b>	<b>5</b>
2.1	INTRODUCTION	5
2.2	L'ORIGINE DES DECHARGES ELECTROSTATIQUES (ESD)	5
2.2.1	LES ESD DANS LA NATURE	5
2.2.2	LA GENERATION DE POTENTIEL ELECTROSTATIQUE	6
2.3	LA DECHARGE ELECTROSTATIQUE	8
2.4	LA PROBLEMATIQUE DES ESD DANS L'INDUSTRIE DU SEMI-CONDUCTEUR	11
2.5	LES MODELES ET TESTS DE QUALIFICATION INDUSTRIELLE ESD POUR LE CIRCUIT INTEGRE	13
2.5.1	LE TEST HBM (HUMAN BODY MODEL)	14
2.5.2	LE TEST MM (MACHINE MODEL)	17
2.5.3	LE TEST CDM (CHARGED DEVICE MODEL)	18
2.6	LES DIVERS BANCS DE CARACTERISATION : TLP, VF-TLP	20
2.6.1	LE BANC DE MESURE TLP (TRANSIENT LINE PULSE)	21
2.6.2	LE BANC VERY FAST TRANSMISSION LINE PULSE (VF-TLP)	22
2.7	PRESENTATION DES MODES DE DEFAILLANCE ESD	23
2.7.1	DEFAILLANCE DANS LE SILICIUM	23
2.7.2	LOCALISATION DU DEFAUT	23
2.7.3	IDENTIFICATION DU MECANISME DE DEFAILLANCE	24
2.8	LA STRATEGIE DE PROTECTION ESD	24
2.8.1	FONCTIONNEMENT D'UNE STRUCTURE DE PROTECTION CONTRE LES ESD	24
2.8.2	PRINCIPAUX ELEMENTS DE PROTECTION	29
2.9	DES DECHARGES ELECTROSTATIQUES ESD : DU SYSTEME	32
2.9.1	LES MODELES ET TESTS ESD SYSTEME	32
2.9.2	LE CBE (CHARGE BOARD EVENT)	33
2.9.3	LE CDE (CABLE DISCHARGE EVENT)	34
2.9.4	LE GENERATEUR OU TESTEUR HMM	36
2.10	LA NORME IEC 61000-4-2	37
2.10.1	MODELE DE SIMULATION DU PISTOLET IEC 61000-4-2	41
2.10.2	COMPARAISON DES NORMES	48
2.10.3	LE BANC TLP IEC	49
2.10.4	LES STRATEGIES DE PROTECTION ESD SYSTEME	49
2.11	CONCLUSION	51
<b>3</b>	<b>DEFAILLANCE ESD D'UN PRODUIT AUDIO EN FONCTIONNEMENT</b>	<b>53</b>
3.1	DESCRIPTION DU PRODUIT : FONCTIONNEMENT GENERAL DE L'AMPLIFICATEUR AUDIO	54
3.2	STRATEGIE ESD DU PRODUIT	56
3.3	TESTS IEC-61000-4-2 REALISES SUR LE PRODUIT	58
3.3.1	BANC DE MANIPULATION POUR LA MESURE IEC	58
3.3.2	TEST PISTOLET D'APRES LA NORME IEC 61000-4-2	60
3.4	ANALYSE DE DEFAILLANCE DES CARTES STRESSEES EN IEC	61
3.5	SIMULATION ELECTRIQUE DE LA DECHARGE IEC	62
3.5.1	INTRODUCTION A LA SIMULATION SYSTEME	62

<b>3.6</b>	<b>SIMULATION DE LA DECHARGE IEC AVEC LE PRODUIT NON ALIMENTE</b>	<b>64</b>
<b>3.7</b>	<b>SIMULATION DE LA DECHARGE IEC AVEC LE PRODUIT ALIMENTE</b>	<b>66</b>
3.7.1	SIMPLIFICATION DE LA SIMULATION ELECTRIQUE	66
3.7.2	SIMULATION ELECTRIQUE DU PRODUIT ALIMENTE	68
<b>3.8</b>	<b>MESURES TLP SUR LE PRODUIT NON ALIMENTE ET ALIMENTE</b>	<b>73</b>
3.8.1	CONCLUSION DES MESURES TLP	77
<b>3.9</b>	<b>ORIGINE DE LA DEFAILLANCE.</b>	<b>78</b>
<b>3.10</b>	<b>CONCLUSION</b>	<b>79</b>
<b>4</b>	<b>ETUDE DE SOLUTIONS POUR LA PROTECTION D'UN AMPLIFICATEUR AUDIO</b>	<b>81</b>
<b>4.1</b>	<b>LA STRATEGIE IEC DE PROTECTION D'UN AMPLIFICATEUR AUDIO</b>	<b>82</b>
<b>4.2</b>	<b>OPTIMISATION DE LA TOPOLOGIE DU N-MOS EN VUE D'AUGMENTER SA ROBUSTESSE IEC</b>	<b>83</b>
4.2.1	ETUDE DE L'INFLUENCE DE LA DISTANCE ENTRE LES PRISES DE CAISSON P SUR LA TENSION DE REPLIEMENT	
4.2.2	INFLUENCE DE LA TENSION DE POLARISATION DE GRILLE $V_G$ SUR LA TENSION DE DECLENCHEMENT DU TRANSISTOR BIPOLAIRE PARASITE	87
4.2.3	LA PROTECTION EMPLOYEE POUR LA SORTIE DE L'AMPLIFICATEUR AUDIO: LA TOPOLOGIE DU N-MOS ET LE THYRISTOR	89
<b>4.3</b>	<b>RESULTATS DU TEST IEC</b>	<b>94</b>
<b>4.4</b>	<b>ANALYSE DE DEFAILLANCE</b>	<b>95</b>
4.4.1	DANS LE PRODUIT AVEC PROTECTION IEC	95
4.4.2	DANS LE PRODUIT SANS PROTECTION IEC	96
4.4.3	CARACTERISATION DU N-MOS DE L'AMPLIFICATEUR AUDIO POUR PLUSIEURS POLARISATIONS DE GRILLE	97
<b>4.5</b>	<b>OPTIMISATION DE LA SIMULATION POUR LA PROTECTION IEC</b>	<b>102</b>
4.5.1	METHODOLOGIE DE SIMULATION DU SCR	102
4.5.2	MISE EN PLACE DES EQUATIONS ANALOGIQUES	102
4.5.3	SIMULATION DE LA PROTECTION SCR AVEC LE N-MOS A PROTEGER	105
<b>4.6</b>	<b>SIMULATION DE LA PROTECTION SCR AVEC LE MODELE SIMPLIFIE DU PRODUIT ALIMENTE</b>	<b>107</b>
<b>4.7</b>	<b>ANALYSE QUASI-STATIQUE POUR LA PROTECTION IEC</b>	<b>109</b>
4.7.1	CHEMINS DE DECHARGE IEC 1 <sup>ERE</sup> ETAPE (FIGURE 4-28)	109
4.7.2	CHEMINS DE DECHARGE IEC 2 <sup>EME</sup> ETAPE (FIGURE 4-29)	110
4.7.3	CHEMINS DE DECHARGE IEC 3 <sup>EME</sup> ETAPE (FIGURE 4-30)	110
4.7.4	CHEMINS DE DECHARGE IEC 4 <sup>EME</sup> ETAPE (FIGURE 4-31)	111
4.7.5	SIMULATION DE LA PROTECTION SCR AVEC LE MODELE SIMPLIFIE DU PRODUIT ALIMENTE	111
<b>4.8</b>	<b>PROPOSITION DE SOLUTION POUR LA PROTECTION IEC</b>	<b>114</b>
4.8.1	CIRCUIT DE COUPURE ACTIVE.	116
4.8.2	IMMUNITE LORS DE L'ALLUMAGE DE L'ALIMENTATION	120
4.8.3	IMMUNITE PENDANT LE FONCTIONNEMENT DU PRODUIT	120
<b>4.9</b>	<b>CONCLUSION</b>	<b>121</b>
<b>5</b>	<b>CONCLUSION GENERALE</b>	<b>123</b>
<b>6</b>	<b>BIBLIOGRAPHIE</b>	<b>127</b>
<b>7</b>	<b>PUBLICATIONS</b>	<b>133</b>
<b>8</b>	<b>ANNEXES</b>	<b>135</b>
<b>8.1</b>	<b>PROGRAMME VERILOG-AMS UTILISE POUR LA SIMULATION DU SCR</b>	<b>135</b>
<b>8.2</b>	<b>PROGRAMME DE SIMULATION AVEC LA DIODE DE BODY</b>	<b>138</b>

# Liste des Figures

## Chapitre 1

Figure 1.1. Photo d'une personne susceptible de produire une décharge de type IEC.....2

## Chapitre 2

Figure 2.1. Exemple de charge par triboélectrification.....	7
Figure 2.2. Exemple de charge par induction (10).....	8
Figure 2.3. Schéma électrique pour la génération d'un plasma.....	9
Figure 2.4. Courbe de tension-courant pour un gaz donné, une pression de remplissage donnée et une distance inter-électrode donnée (14).....	10
Figure 2.5. Défaillance générée par une EOS.....	11
Figure 2.6. Modèle du corps humain et schéma électrique associé au test HBM.....	14
Figure 2.7. Forme d'onde donnée par la norme JEDEC du courant de décharge HBM	15
Figure 2.8. Forme d'onde courant à travers un court circuit pour une pré-charge de 400 V d'après JEDEC (2).....	17
Figure 2.9. Schéma électrique pour le modèle CDM.....	19
Figure 2.10. Forme d'onde de la décharge CDM donnée par l'ESDA.....	19
Figure 2.11. Schéma électrique du banc TLP (4).....	21
Figure 2.12. Marges de conception d'une structure de protection ESD présentant une caractéristique avec « retournement ».....	25
Figure 2.13. Schéma électrique simplifié d'un réseau de protection.....	27
Figure 2.14. Schéma électrique d'une stratégie de protection centralisée.....	28
Figure 2.15. Schéma du transistor NPN utilisé comme structure de protection pour deux types de configuration : (a) autopolarisé et (b) polarisé par une source de courant extérieure.....	30
Figure 2.16. Caractéristique I-V du transistor bipolaire NPN.....	31
Figure 2.17. Principe de décharge d'un événement CBE.....	34
Figure 2.18. Forme d'onde d'une décharge générée par un câble de 100m de long chargé à 200V (49).....	35
Figure 2.19. Schéma électrique pour le modèle du CDE (50).....	36
Figure 2.20. Configuration de test du HMM (56).....	37
Figure 2.21. Forme d'onde de la décharge d'après la norme IEC 61000-4-2 en contact 5 kV.....	39
Figure 2.22. Schéma électrique spécifié par la norme IEC 61000-4-2.....	41
Figure 2.23. Pistolet Schaffner IEC pour une décharge de 8kV en contact.....	41
Figure 2.24. Modèle de pistolet IEC de Caniggia (62).....	42
Figure 2.25. Forme d'onde obtenue avec la simulation d'une décharge 5kV du modèle de Caniggia et de la norme IEC 61000-4-2.....	42
Figure 2.26. Modèle du pistolet détaillé avec les fonctions des divers paramètres.....	43
Figure 2.27. Courant de décharge 5 kV de type IEC 61000-4-2 et courant de décharge du modèle série.....	44
Figure 2.28. Schéma électrique du modèle publié par Pommerenke (65).....	44
Figure 2.29. Simulation électrique d'une décharge 8 kV du modèle de D. Pommerenke.....	45

Figure 2.30.	Schéma électrique du modèle développé pour nos études.....	46
Figure 2.31.	Courant de décharge 5 kV de type IEC 61000-4-2 et courant de décharge du modèle développé pour nos études.....	46
Figure 2.32.	Superposition du stress IEC 5 kV, HBM 2 kV et CDM 500 V (66) et leurs signatures de défaillance associées .....	48
<b>Chapitre 3</b>		
Figure 3.1.	Schéma bloc électrique de l'amplificateur audio.....	54
Figure 3.2.	Schéma électrique du principe de fonctionnement du RC triggered MOS..	56
Figure 3.3.	Stratégie centralisée ESD de la sortie audio du produit (S (D/G) et AGND/PGND) .....	57
Figure 3.4.	Coupe transversale du p-MOS Q <sub>3</sub> et ses éléments parasites .....	58
Figure 3.5.	Schéma électrique simplifié de la carte de test .....	59
Figure 3.6.	Vue détaillée de la carte de test IEC .....	59
Figure 3.7.	Schéma représentant le composant défaillant dans l'amplificateur audio...	61
Figure 3.8.	Résultat de l'analyse par microscopie électronique à balayage de la carte stressée par l'IEC .....	61
Figure 3.9.	Paramètres de la ligne micro-ruban de la carte contenant l'amplificateur étudié .....	63
Figure 3.10.	Schéma électrique équivalent de la simulation de la carte .....	63
Figure 3.11.	Résultats de simulation avec et sans ligne micro-ruban pour une décharge 8kV IEC .....	64
Figure 3.12.	Résultats de la simulation d'une décharge IEC 1kV entre la sortie S et la masse GND (produit non alimenté) .....	65
Figure 3.13.	Représentation simplifiée du chemin de décharge lors d'un stress +IEC dans le produit non alimenté .....	66
Figure 3.14.	Schéma électrique du produit simplifié pour la simulation électrique .....	67
Figure 3.15.	Structure générale de l'amplificateur classe AB.....	67
Figure 3.16.	Représentation des chemins de décharge entre S et GND pour la simulation électrique d'une décharge IEC 1kV dans le produit alimenté.....	68
Figure 3.17.	Formes d'ondes de courant entre S et GND pour la simulation électrique d'une décharge IEC 1kV dans le produit alimenté (VBAT = 5 V).....	68
Figure 3.18.	Tension entre drain et source de Q <sub>0</sub> en fonction de la tension d'alimentation pour une décharge IEC 1kV sur la sortie de l'amplificateur.....	69
Figure 3.19.	Schéma équivalent de la sortie de l'amplificateur à t=0 de la décharge IEC .....	70
Figure 3.20.	Tension Ids(Vds) de Q <sub>0</sub> et Q <sub>2</sub> lorsque les grilles sont polarisées avec 0,8 V et 0,7 V respectivement.....	71
Figure 3.21.	Schéma détaillé décrivant les courants de décharge entre S et GND dans l'aire A .....	72
Figure 3.22.	Schéma détaillé décrivant les courants de décharge entre S et GND dans l'aire B .....	72
Figure 3.23.	Schéma détaillé décrivant les courants de décharge entre S et GND dans l'aire C .....	73
Figure 3.24.	Schéma simplifié du banc de mesure TLP.....	74
Figure 3.25.	Comparaison des mesures TLP (temps de montée 10ns) pour un stress entre S et GND dans le produit alimenté et non alimenté.....	74
Figure 3.26.	Comparaison des mesures TLP (temps de montée 1ns) pour un stress entre S et GND dans le produit alimenté à 2,7 V et non alimenté .....	76

Figure 3.27. Réponse temporelle de la tension de la carte testée pour une impulsion TLP de temps de montée $t_r=1$ ns et $t_r=10$ ns et un courant de 1 A.....	77
Figure 3.28. Caractéristique $I_{ds}(V_{ds})$ du n-MOS $Q_0$ en forçant la tension de grille à $V_{gs}=0$ V et $V_{gs}=5$ V. ....	79
<b>Chapitre 4</b>	
Figure 4.1. Schéma de l'étage de sortie de l'amplificateur audio avec protection IEC spécifique .....	82
Figure 4.2. Vue en coupe du transistor n-MOS lors d'une décharge IEC .....	84
Figure 4.3. Vue en coupe du transistor n-MOS inter-digité .....	84
Figure 4.4. Topologie des contacts de caisson du n-MOS $Q_0$ inter-digité.....	85
Figure 4.5. Schéma descriptif de la mesure TLP .....	86
Figure 4.6. Dessin technologique de l'échantillon 1.....	86
Figure 4.7. Caractéristique $I(V)$ d'un n-MOS ( $w/l = 30 \mu\text{m}/0,5 \mu\text{m}$ $n_g = 30$ et un espacement de $40 \mu\text{m}$ entre les contacts de caisson) polarisé à 0 V, 1 V, 3 V et 5 V soumis à des stress TLP .....	87
Figure 4.8. Caractéristique $I(V)$ d'un n-MOS ( $w/l = 30 \mu\text{m}/0,5 \mu\text{m}$ ) et un espacement de $4,6 \mu\text{m}$ entre les prises de caisson P) pour différentes polarisations de grille soumis à des stress TLP .....	88
Figure 4.9. Tension $V_{t1}$ en fonction de la distance entre les contacts de caisson dans le n-MOS de l'échantillon 1.....	89
Figure 4.10. Topologie du n-MOS $Q_0$ de sortie de l'amplificateur .....	90
Figure 4.11. Marge de fonctionnement de la structure de protection contre les décharges IEC .....	91
Figure 4.12. Schéma électrique de la protection utilisée sur la sortie de l'amplificateur audio : deux SCRs connectés tête-bêche avec Zener 5,5 V intégrée.....	92
Figure 4.13. Mesure TLP du SCR disponible dans la bibliothèque.....	93
Figure 4.14. Dessin technologique de l'étage de sortie du bloc amplificateur .....	94
Figure 4.15. Vue détaillée de la zone défaillante du n-MOS.....	96
Figure 4.16. Vue détaillée sur la zone défaillante de la puce sans protection IEC.....	97
Figure 4.17. Caractéristiques $I(V)$ du n-MOS $Q_0$ ( $w/l = 20/0,5$ et $n_g = 180$ ) polarisé avec 0 V, 1 V, 2 V, 2,5 V, 3 V et 4 V soumis a des stress de TLP ( $t_r = 1\text{ns}$ , $w = 100\text{ns}$ ) .....	98
Figure 4.18. Caractéristique TLP $I_{DUT}(V_{DUT})$ du SCR et du SCR en tête bêche.....	99
Figure 4.19. Caractéristiques $I(V)$ du n-MOS $Q_0$ ( $w/l= 20/0,5$ et $n_g= 180$ ) polarisé à 0 V, 1 V, 2 V, 2,5 V, 3 V et 4 V et du thyristor de protection en tête bêche soumis à des stress de TLP ( $t_r=1$ ns, $w= 100$ ns) .....	100
Figure 4.20. Caractéristiques $I(V)$ du SCR tête bêche en parallèle avec $Q_0$ soumis a des stress de TLP ( $t_r=1\text{ns}$ , $w= 100\text{ns}$ ) et du SCR en tête bêche.....	101
Figure 4.21. Diagramme d'état pour le modèle du SCR en tête bêche.....	103
Figure 4.22. Machine à états de la protection SCR en tête bêche.....	103
Figure 4.23. Organigramme du modèle du SCR en tête bêche.....	105
Figure 4.24. Schéma électrique de la simulation d'un stress IEC 1 kV sur le n-MOS $Q_0$ polarisé à la masse .....	106
Figure 4.25. Résultats de simulation IEC pour un stress de 1 kV: courant IEC et tension sur la sortie de l'amplificateur pendant les 4 premières nanosecondes .....	106
Figure 4.26. Schéma électrique du produit simplifié pour la simulation du stress IEC 1kV sur la sortie de l'amplificateur audio alimenté .....	107
Figure 4.27. Formes d'onde du courant IEC 1 kV et tension $V_{DS}$ de $Q_0$ lorsque l'amplificateur audio est alimenté.....	108

Figure 4.28. Chemins de décharge IEC 1 <sup>ère</sup> étape.....	110
Figure 4.29. Chemins de décharge IEC 2 <sup>ème</sup> étape.....	110
Figure 4.30. Chemins de décharge IEC 3 <sup>ème</sup> étape.....	111
Figure 4.31. Chemins de décharge IEC 4 <sup>ème</sup> étape.....	111
Figure 4.32. Schéma électrique du produit simplifié pour la protection IEC .....	112
Figure 4.33. Simulation électrique pour une décharge IEC +1kV sur le modèle du produit simplifié .....	112
Figure 4.34. Analyse quasi statique de la décharge IEC sur la sortie du produit avec la protection SCRb2b .....	113
Figure 4.35. Analyse quasi statique de la décharge IEC sur le produit avec la nouvelle marge de défaillance.....	114
Figure 4.36. Simulation électrique d'une décharge +IEC 4 kV avec 3 SCRsb2b en parallèle .....	115
Figure 4.37. Schéma électrique de la protection SCR avec le système RC trigger MOS pour la protection de Q <sub>0</sub> .....	117
Figure 4.38. Schéma électrique de la simulation simplifiée de la protection IEC avec le système RC trigger MOS .....	118
Figure 4.39. Simulation électrique d'une décharge IEC +7.5 kV sur la sortie audio avec la protection IEC .....	119
Figure 4.40. Comportement du nouveau Power Clamp durant la phase de démarrage de l'alimentation avec un t <sub>rise</sub> = 1 μs. ....	120
Figure 4.41. Comportement du RC trigger MOS pendant le fonctionnement du produit.. .....	121

# Liste des Tableaux

## Chapitre 2

Tableau 2.1.	Tendances des avancées technologiques [10] .....	12
Tableau 2.2.	Comparatif des modèles pour une décharge IEC 2kV .....	47

## Chapitre 3

Tableau 3.1.	Résultats du test IEC pour chaque niveau testé et courant de consommation $I_{DDQ}$ pour le niveau défaillant .....	60
--------------	---	----

## Chapitre 4

Tableau 4.1.	Résultats des tests IEC cumulatifs (10 tirs successifs) et non cumulatif (1 tir) .....	95
Tableau 4.2.	Caractéristiques principales du SCR et du SCR en tête bêche.....	99
Tableau 4.3.	Paramètres V, I du modèle SCR en tête bêche.....	104
Tableau 4.4.	Tension $V_{gs}(Q_0)$ en fonction de la dimension W de $Q_4$ .....	118





# Liste des abréviations

**HBM** *Human Body Model*, modèle de décharge correspondant à la famille de décharges causées par un contact humain.

**MM** *Machine Model*, modèle de décharge d'un appareil métallique sur un composant électronique relié à la masse.

**CDM** *Charged Device Model*, Décharge d'un circuit intégré au travers d'une seule de ses broches mise à la masse.

**CBM** *Charged Board Model*, Décharge de la capacité de la carte électronique au travers d'une seule broche de circuit.

**CDE** *Cable Discharge Event*, Décharge d'un câble lors de sa connexion sur un système électronique.

**CI** Circuit Intégré.

**DUT** « Device under test », composant sous test.

**EOS** *Electrical Over Stress*, Perturbation entraînant une surcharge électrique transitoire.

**ESD** *ElectroStatic Discharge*, Décharge électrostatique.

**IEC** *International Electrotechnical Commission*, commission électrotechnique internationale. Organisme de normalisation traitant des domaines de l'électricité, de l'électronique et des techniques connexes.

**TLP** *Transmission Line Pulse*, méthode de caractérisation permettant d'obtenir des caractéristiques I-V statiques suite à un mode d'excitation dynamique.

**VF-TLP** *Very Fast Transmission Line Pulse*

**SCRb2b** *Silicon controlled rectifier back-to-back*, thyristor série en tête bêche



---

# CHAPITRE 1

## 1 Introduction générale

### 1.1 Motivation de la recherche

Depuis la deuxième moitié du XXème siècle, la complexité des systèmes électroniques a été croissante. Celle-ci a été permise grâce à la forte intégration de composants dans les circuits. C'est l'amélioration du processus de fabrication qui a permis la miniaturisation des composants et par conséquent, l'augmentation de la complexité des puces. Pour les acteurs économiques du semi-conducteur, cette course à la miniaturisation est un argument concurrentiel. Le gain de parts de marché des fabricants de composants est directement lié à la maîtrise et à l'amélioration de leur processus de fabrication. Cependant cette réduction constante de taille des composants engendre de nombreux problèmes techniques et physiques notamment les défaillances liées aux surtensions électriques.

En effet, la diminution des composants est réalisée par la réduction de la profondeur des jonctions et la finesse des oxydes de grille dans les transistors les rendant ainsi plus fragiles notamment aux surtensions. Différents événements peuvent être à l'origine d'une surtension électrique parmi lesquels se trouvent les décharges électrostatiques. Ce phénomène naturel met en jeu de très forts courants et se produit pendant une durée courte de l'ordre de la centaine de nanosecondes.

L'énergie transportée par la décharge ou par le champ électrique rayonné peut entraîner le dysfonctionnement ou encore la destruction des appareils électroniques. De plus, la fréquence des événements de décharge électrique est augmentée par le nombre croissant de périphériques et de connectique du système.

Les décharges électrostatiques (ESD) constituent une des principales causes de défaillance des systèmes électroniques pendant la fabrication du composant et lors de son utilisation. Des normes de fiabilité sévères ont été mises en place pour contrecarrer les risques liés aux décharges électrostatiques, avec des contraintes plus strictes dans des domaines tels que l'aviation ou l'automobile.

La problématique de protection des circuits analogiques est liée aux contraintes de la performance de fonctionnement du circuit comme les marges de bruit, l'impédance en

entrée et en sortie et les multiples alimentations, ce qui constitue un vrai défi pour les concepteurs de stratégies de protection ESD.

## 1.2 Contexte et définition de la problématique

Un circuit intégré (CI) est exposé aux décharges électrostatiques aux différentes étapes de fabrication, assemblage et test final. Des précautions sont ainsi prises dans l'environnement industriel pour limiter son exposition (port de bracelet antistatique, plan de travail relié à la masse...). Par ailleurs, les tests ESD ont pour but de simuler des événements réels, avec différents tests qui couvrent divers scénarios. Les normes HBM (Human Body Model) (1) et MM (2) ont pour but de simuler la décharge d'une personne ou d'une machine respectivement qui serait chargée et se décharge à travers un CI, dont une des broches est en contact avec un plan relié à la masse. Une fois que le circuit est intégré dans le système, les précautions envers les ESD ne peuvent plus être mises en place.

L'utilisateur d'un produit électronique, qu'il s'agisse d'un téléphone portable, ordinateur ou tout autre équipement est susceptible de générer des ESD qui peuvent endommager le produit de façon temporaire ou permanente. Afin de prévenir ce genre d'inconvénients, un test spécifique pour ce type de décharges a été mis en place. La norme la plus connue est IEC 61000-4-2 (3). Celle-ci a été développée pour tester la vulnérabilité d'un système électronique à résister aux décharges électrostatiques au niveau d'un système. La forme d'onde générée ressemble à celle du test HBM sur laquelle se superpose une impulsion très rapide et très énergétique. Un tel événement se produit notamment lorsque l'on se connecte au système comme illustré dans la Figure 1.1.



**Figure 1.1. Photo d'une personne susceptible de produire une décharge de type IEC**

Depuis plusieurs années l'industrie de l'électronique a testé la robustesse ESD des CI à travers les modèles classiques HBM et MM. Les stratégies de protection ESD pour les circuits non alimentés ont été largement étudiées dans le passé. Le standard IEC 61000-4-2 définit un nouveau type de stress avec l'objectif de tester des systèmes complets pendant leur fonctionnement. Il est difficile de prédire les chemins de décharge lorsque le produit est alimenté. La comparaison avec la robustesse HBM ne peut pas être indicative pour la robustesse IEC du système. En effet, la question que nous pouvons nous demander est: est-ce que les stratégies de protection HBM et MM sont encore effectives lorsque le système est alimenté?

Dans cette thèse, nous allons étudier les phénomènes de décharge électrostatique sur les systèmes d'amplificateurs audio. Elle a été réalisée au sein du laboratoire LAAS-CNRS.

Un concepteur de CI est confronté à la problématique des ESD système. La concurrence entre les fabricants de CI est difficile et le fait d'avoir un CI qui en plus résiste aux IEC sans avoir besoin d'introduire une protection externe supplémentaire constitue un atout majeur. Dans le cadre de notre sujet de recherche, nous nous sommes intéressée aux produits pour le domaine audio, et plus spécifiquement aux amplificateurs audio pour les applications portables comme le téléphone ou le lecteur mp3.

L'objectif principal de cette étude est de comprendre pourquoi la robustesse de l'amplificateur audio diminue radicalement dans la configuration de test de l'IEC 61000-4-2 et d'en apporter une analyse qui nous amènera à la simulation efficace de la décharge afin de proposer la solution adéquate pour la protection du circuit.

La structure que nous avons choisie pour présenter nos travaux est donnée ci-après. Les travaux de recherche présentés dans ce mémoire se divisent en plusieurs parties :

Le deuxième chapitre donne des informations sur les décharges électrostatiques, leurs origines et leurs effets sur les composants électroniques mais aussi sur les systèmes. Nous présenterons les différentes normes utilisées couramment dans l'industrie permettant de quantifier la robustesse des circuits intégrés ou des systèmes soumis aux ESD. Nous détaillerons la norme IEC 61000-4-2 utilisée par les industriels comme référence dans le domaine de la qualification et de la robustesse des systèmes

électroniques. Cette norme se distingue de la norme HBM (Human Body Model) appliquée aux circuits intégrés, d'une part par le fait que le produit est alimenté pendant le stress, et d'autre part, par la forme d'onde de décharge présentant un temps de montée plus rapide et un courant mis en jeu plus important. Ensuite nous décrirons les outils de caractérisation TLP (Transmission Line Pulse) (4), vf-TLP (Very Fast Transmission Line Pulse) (5) et IEC TLP (6) permettant une étude plus approfondie du comportement des circuits à protéger face aux stress. Finalement les éléments de protection servant à dévier le courant de décharge seront présentés.

Dans le chapitre 3, le comportement d'une carte de démonstration audio face aux stress ESD a été étudié, premièrement grâce aux outils de caractérisation TLP (Transmission Line Pulse) et vf-TLP (very fast Transmission Line Pulse) et deuxièmement à l'aide de la simulation électrique. Ce produit, résistant aux décharges ESD de type HBM mais présentant une faible robustesse à l'ESD système, sera le cœur de notre travail d'expertise tout au long de ce manuscrit. L'utilisation originale de la mesure TLP nous a permis de déterminer les chemins de décharge du stress IEC à travers le circuit alimenté. A partir de ce résultat, une méthodologie de simplification du schéma électrique du circuit a été mise en place afin de réduire considérablement le temps de simulation et ainsi d'analyser le mécanisme de défaillance.

Enfin, dans le dernier chapitre, une étude de la protection du système a été réalisée avec d'une part, l'étude de la topologie d'un transistor à protéger et d'autre part la caractérisation électrique de l'élément de protection. Nous analyserons l'échec de cette stratégie de protection grâce aux outils de mesure (TLP, microscope électronique) et de la simulation mise à notre disposition. La mise en place d'une simulation simplifiée de la décharge ESD nous permettra de faire l'analyse des chemins de décharge afin de proposer une solution pour la protection IEC des produits audio et de tout autre produit ayant la même configuration sur la broche agressée.

# CHAPITRE 2

## 2 Des décharges électrostatiques (ESD)

### 2.1 Introduction

Dans ce premier chapitre, nous présenterons les décharges électrostatiques dont l'abréviation communément utilisée est ESD (pour ElectroStatic Discharge en anglais) depuis les mécanismes physiques de leur génération et les différents types de décharges qui peuvent se produire dans notre environnement. Dans ce manuscrit nous traiterons plus spécifiquement ce qui concerne l'environnement moderne d'utilisation des circuits intégrés dans des systèmes finaux. La robustesse ESD des produits électroniques est devenue un argument de vente dans le monde industriel. Ce dernier a adopté différentes normes ESD afin de tester les circuits intégrés. Actuellement, la qualification de la robustesse ESD des systèmes a acquis une importance accrue. Dans une deuxième partie nous décrirons les principaux tests de composants et systèmes qualifiants la robustesse aux décharges électrostatiques. Nous focaliserons plus précisément notre étude sur la norme IEC 61000-4-2 (3). Différents modèles permettant la simulation de ces décharges ESD sur des circuits intégrés seront exposés. Nous présenterons les bancs de mesure utilisés afin d'aider à la compréhension du comportement des circuits intégrés durant une décharge électrostatique. En conclusion de ce chapitre, des stratégies et des éléments intégrés de protection ESD seront exposés.

### 2.2 L'Origine des Décharges Electrostatiques (ESD)

#### 2.2.1 Les ESD dans la nature

Souvent nous ressentons un picotement lorsque nous touchons la porte d'une voiture. Ce picotement est causé par le courant de décharge électrostatique. Ce courant circule de la voiture vers le sol à travers le corps humain ou inversement. La décharge engendrée lors de ce stress est similaire au phénomène de foudre mais à une moindre échelle (en effet lors d'un orage, les nuages sont chargés en particules négatives qui sont attirées par les particules positives de la terre). Les charges positives et négatives sont isolées par l'air (le caractère d'isolant électrique tient au fait qu'un gaz ne contient aucune particule chargée libre). L'accumulation de charges négatives crée une différence de



potentiel électrique qui augmente jusqu'à apparition de la foudre. Cette différence peut atteindre jusqu'à 100 millions de Volts causant une expansion brutale de l'air par dégagement de chaleur (7). La nature électrique de la foudre a été démontrée par Benjamin Franklin en 1750 avec la célèbre expérience du cerf volant (8). La foudre constitue la représentation du phénomène ESD dans sa forme la plus spectaculaire. De manière générale, une décharge électrostatique est définie comme un phénomène rapide qui transfère une quantité finie de charges entre deux corps. Une décharge électrostatique survient lorsque la différence de potentiel entre deux corps isolés dépasse la valeur du champ disruptif (se dit de la décharge qui éclate avec étincelle) du milieu dans lequel ils se trouvent (9).

Nous allons maintenant décrire quels sont les phénomènes de charge (création de différences de potentiels électrostatiques) et de décharge (transfert de charge brutal, rapide équilibrant les charges)

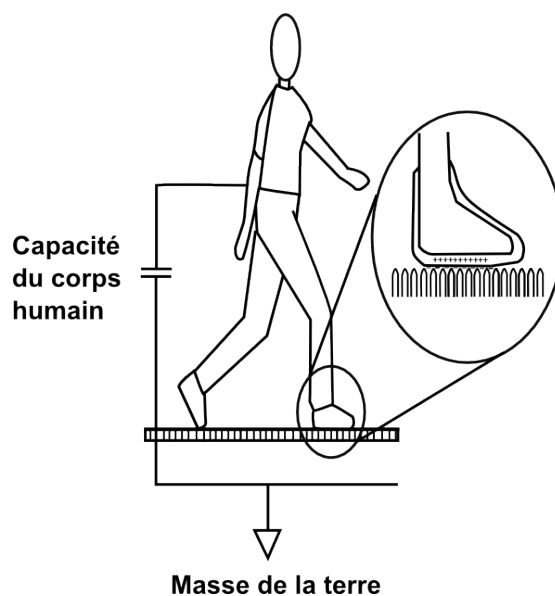
## **2.2.2 La génération de potentiel électrostatique**

Les mécanismes de génération du déséquilibre de charges sont largement présents dans la vie courante. Dans la partie qui suit, nous nous concentrerons sur les trois mécanismes fondamentaux qui génèrent l'électricité statique dans l'environnement de la microélectronique (10).

### **2.2.2.1 La triboélectricité**

La charge triboélectrique résulte du contact puis de la séparation de deux matériaux plus ou moins isolants. Pendant le contact un transfert d'électrons libres se produit entre les deux objets de façon à tendre vers la neutralité électrique. Lors de la séparation des deux matériaux et si les charges ne peuvent pas être recombinaison, une charge résiduelle va rester dans le matériau isolant. Les successions de contact et séparation des deux matériaux vont augmenter le potentiel de charge. Des paramètres tels que la contamination de la surface, l'humidité, la température, la rugosité et la pression de la surface de contact ont une influence sur la recombinaison des électrons dans le matériel. La théorie de l'électrification par friction et contact est bien expliquée par Williams (11). Un exemple de triboélectrification est celui d'une personne qui marche sur un tapis (Figure 2-1). Le contact successif entre les chaussures et le sol va charger le corps humain. La charge du corps humain est assimilée à la charge d'une capacité

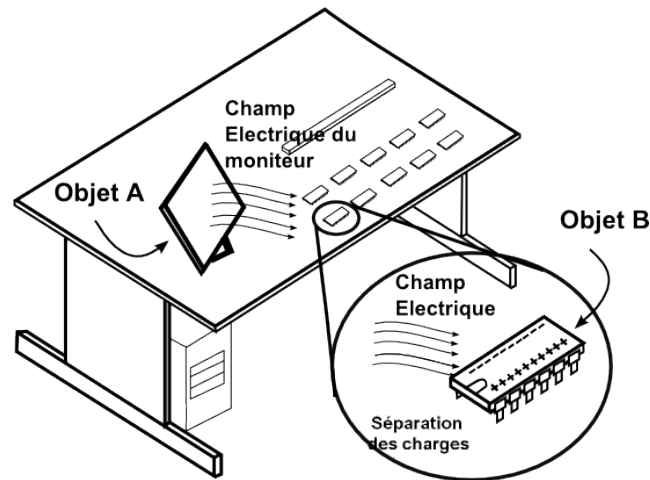
électrique. En effet c'est cette capacité qui en se chargeant est susceptible de générer une décharge. La décharge est générée lorsque cette personne chargée touche un objet métallique relié à la masse (12). La valeur de la capacité de charge du corps humain a été étudiée et modélisée par Greason (13). Dans le cas de la personne marchant sur un tapis, la triboélectricité peut être à l'origine de décharges allant jusqu'à 10 kV.



**Figure 2.1. Exemple de charge par triboélectrification**

#### 2.2.2.2 L'induction

Le chargement par induction est la deuxième forme d'électrification. L'induction se produit lorsqu'un objet B est proche d'un deuxième objet chargé A (Figure 2-2). Le champ électrostatique de A induit un déséquilibre de charges sur B. Lorsque les deux objets sont séparés, B reste chargé. Si suite à ceci l'objet B touche un autre objet conducteur avec un potentiel différent, une décharge va se produire. Dans son article, J. Vinson (10) a montré que lorsqu'un circuit intégré est manipulé près d'un écran d'ordinateur, le moniteur induit un déséquilibre de charges dans le composant. Si la pièce est manipulée par la suite avec des objets métalliques, une décharge ESD circule à travers le circuit intégré. Pour cette raison, les composants doivent être manipulés dans une zone libre de surfaces chargées comme les écrans ou des matériaux isolants. D'après les études réalisées par J. Vinson le potentiel de charge par induction est de 100 V maximum.



**Figure 2.2. Exemple de charge par induction (10)**

### 2.2.2.3 La conduction

La charge directe se produit lorsqu'une charge mobile est transférée directement d'un objet chargé à un autre objet isolé et de faible potentiel. Pendant le contact, la charge est transférée à l'objet de potentiel inférieur jusqu'à l'équilibre. Lorsque les objets sont séparés, les deux corps contiennent la même quantité de charges. Les tensions sont égales et les charges cumulées sont relatives à la capacité de chaque corps. Ceci est le cas lorsque, par exemple, un câble entre en contact dans un circuit intégré, provoquant alors une décharge nommée CDE (Cable Discharge Event) que nous décrivons plus tard dans ce chapitre.

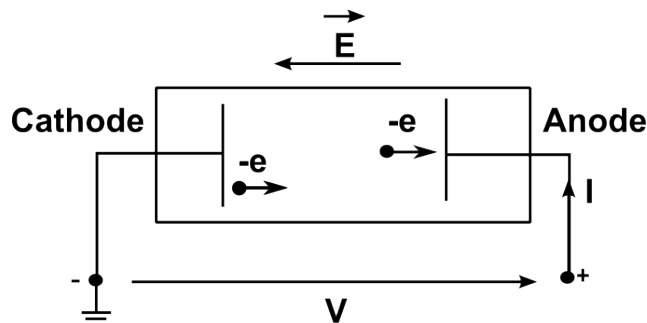
En ce qui concerne la problématique des composants électroniques, la triboélectrification reste la cause majeure de génération de charges électrostatiques. Les charges cumulées peuvent se trouver dans le boîtier des composants, dans une partie de la machine de test ou dans tout autre objet (ou personne) qui se situe à proximité du circuit. Dans un environnement où les circuits microélectroniques sont manipulés, il est primordial de bien contrôler la génération de charges électrostatiques de façon à minimiser les possibilités de destruction des composants.

## 2.3 La décharge électrostatique

Les phénomènes de triboélectricité, d'induction et de conduction génèrent des charges isolées dans les objets. Une décharge électrostatique est un événement qui correspond à un transfert spontané de charges entre deux objets dès lors qu'il existe une différence de potentiel entre ces derniers. La différence de potentiel est communément

nommée potentiel électrostatique. La décharge se produit lorsque la tension électrostatique ( $V$  dans la Figure 2-3) qui sépare l'objet de la masse dépasse la tension de claquage de l'isolant qui les sépare (l'air), créant ainsi un plasma. L'air ionisé qui se forme entre les deux électrodes est un plasma.

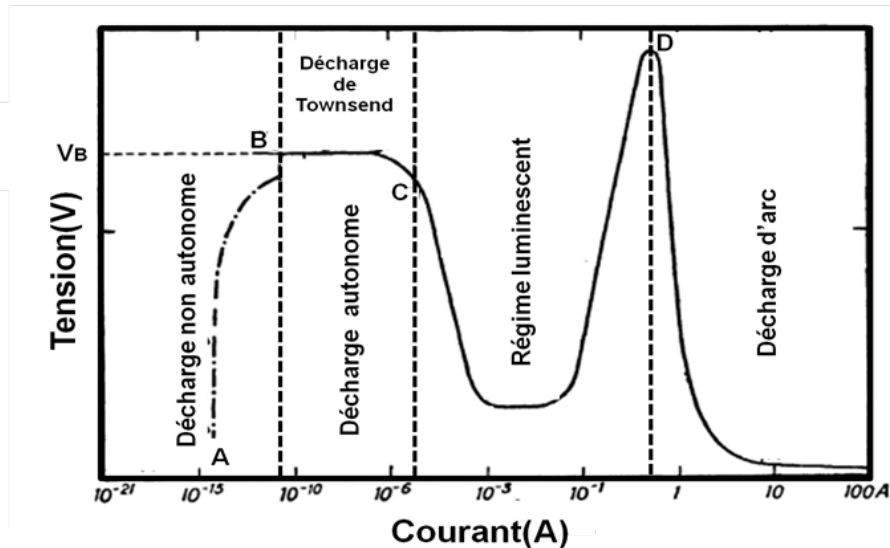
L'électrode reliée à la masse (zéro du potentiel) est appelée la cathode (-). L'électrode reliée à la tension « haute » est appelée l'anode (+). Le champ électrique dans l'espace inter-électrode est dirigé du (+) vers le (-). Les électrons du plasma se déplacent de la cathode vers l'anode. On définira la force électrostatique par l'équation ( $\vec{F} = q\vec{E}$ ) où  $q$  représente la charge des particules (dans notre cas la charge élémentaire de l'électron  $e$ ).



**Figure 2.3. Schéma électrique pour la génération d'un plasma**

En approchant les deux électrodes, on augmente progressivement le champ  $\vec{E}$ , la tension  $V$  aux bornes des électrodes reste fixe (l'objet chargé et la masse), jusqu'à arriver au régime de décharge d'arc électrique. La décharge se produit lorsque le champ électrique entre les deux entités excède la rigidité diélectrique de l'air, ou champ disruptif qui est typiquement de 30 kV/cm. Le champ électrique est proportionnel à la différence de potentiels ainsi qu'à la distance entre les électrodes. Les courants sont alors très importants (plusieurs milliers d'ampères dans le cas de l'éclair et de 1 à 10 ampères dans le semi-conducteur) et la tension est faible (proche du court-circuit).

En augmentant progressivement la tension  $V$  aux bornes des électrodes, comme illustré dans la Figure 2-4 et avant d'obtenir un plasma, différents régimes de décharges électriques sont atteints, ceci pour un gaz, une pression et une distance séparant les électrodes fixes (14). A chaque régime de décharge correspond un courant  $I$  et une tension  $V$ .



**Figure 2.4. Courbe de tension-courant pour un gaz donné, une pression de remplissage donnée et une distance inter-électrode donnée (14)**

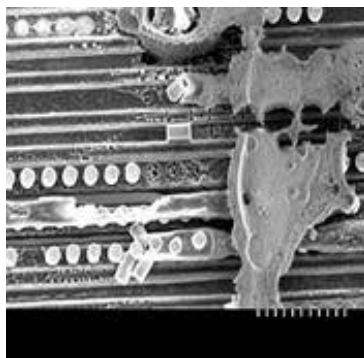
Du point A jusqu'au point B, les décharges qui se produisent sont dites des décharges non-autonomes, c'est-à-dire que l'on n'observe pas de courant si on ne bombarde pas la cathode avec un rayonnement UV. Plus on augmente la tension (et donc le champ électrique) plus les électrons arrivent à traverser le gaz jusqu'à l'anode. Si on coupe le rayonnement UV, le courant s'annule. Après le point A, on atteint la Décharge de Townsend. Le courant  $I$  croît exponentiellement avec la tension  $V$  jusqu'au point B. Au-delà de ce point la décharge s'auto-entretient (ou devient autonome). Les électrons émis par la cathode gagnent suffisamment d'énergie dans le champ pour ioniser les atomes (notion de seuil d'ionisation). La décharge n'est pas visible (non lumineuse), on parle de décharge sombre (très faible intensité de lumière). A partir du point C, on atteint le régime de décharge dit luminescente (formation de plasma). Dans ce régime, la tension est faible et les courants mis en jeu vont de 10 mA à 100 A. Lorsque le potentiel dépasse la tension limite au point C on passe sur un régime de décharge d'arc. La tension est faible ( $< 100$  V), les courants mis en jeu sont très importants ( $> 100$  A) et l'émission lumineuse est très intense. Il s'agit de ce régime de décharge d'arc qui nous intéresse dans ce document.

Une avalanche est un phénomène de multiplication électrique, qui est définie comme la multiplication incontrôlée d'électrons libres lorsque le champ électrique devient suffisant pour accélérer les électrons et libérer des électrons par collision qui vont à leur tour percuter d'autres électrons. Lorsque les conditions pour générer l'avalanche ne

sont pas atteintes pendant l'approche de l'objet, la décharge a lieu au contact des deux électrodes (pas de décharge d'arc). L'amplitude du courant de décharge est influencée par la différence de potentiel entre les objets, tandis que la capacité du circuit et la résistance du chemin de décharge (RC) détermine la durée de l'impulsion.

## 2.4 La problématique des ESD dans l'industrie du semi-conducteur

La surtension électrique (EOS en anglais pour Electrical OverStress) est un terme employé pour décrire les dommages thermiques qui peuvent survenir lorsqu'un appareil électronique est soumis à un courant ou tension qui sont au-delà des limites de spécification de l'appareil. L'EOS est un événement qui génère des tensions plus faibles (inférieures à 100 V) avec un pic de courant très large (supérieur à 10 A), dont la durée est généralement supérieure à 1ms.



**Figure 2.5. Défaillance générée par une EOS**

Les forts courants mis en jeu pendant l'événement EOS génèrent un échauffement excessif qui peut aboutir à des dommages thermiques et la destruction des matériaux utilisés pour la construction de l'appareil (voir Figure 2-5). La décharge ESD est une classe d'évènements EOS, il s'agit d'un phénomène de surtension de même nature mais avec des contraintes électriques différentes quant au courant, la tension et le temps. L'ESD est un événement qui présente une tension très élevée (généralement supérieure à 500 V) et des pics de courant modérés (de l'ordre de 1 A à 10 A) qui se déroulent dans un laps de temps très court (généralement inférieur à 1  $\mu$ s).

Les produits électroniques comme les appareils multimédia, portables ou non sont très sensibles aux dommages causés par les décharges électrostatiques. Les appareils électroniques sont réalisés grâce à des circuits intégrés complexes, qui comportent des milliers voire des millions de transistors. Il existe plusieurs variétés de transistors, le plus

utilisé étant le transistor MOS (Metal oxyde semi-conducteur). La majorité des dispositifs MOS et des transistors bipolaires ont des couches isolantes très minces. L'évolution technologique a permis la réduction de la taille des dispositifs MOS afin d'améliorer les performances des circuits. Le document fournit par l'ITRS (International Technology Roadmap for Semiconductors) donne l'évolution des technologies depuis 2005 jusqu'aux années 2020 (15). Le tableau 2.1 reporte les évolutions des longueurs de canal des transistors MOS ainsi que les épaisseurs d'oxyde de la structure MOS et les profondeurs de jonction. Nous pouvons constater que ces épaisseurs oxydes ont été réduites d'un facteur 2,24 entre 2005 et 2011 et que cette réduction tend à s'accélérer (avec une migration vers la technologie de fabrication ultra thin body UTB ou multi gate MG à partir de 2015). Nous comprenons donc que les circuits réalisés sur la base de ces transistors soient de plus en plus sensibles aux décharges électrostatiques (16).

<b>Année de production</b>	<b>2005</b>	<b>2011</b>	<b>2015</b>	<b>2020</b>
<b>Largueur de grille (GLph) (nm)</b>	<b>65</b>	<b>29</b>	<b>17</b>	<b>10.7</b>
<b>Epaisseur d'oxyde (Å)</b>	<b>21</b>	<b>6,5</b>	<b>-</b>	<b>-</b>
<b>Epaisseur d'oxyde UTB FD (Å)</b>	<b>-</b>	<b>7</b>	<b>5</b>	<b>-</b>
<b>Epaisseur d'oxyde MG (Å)</b>	<b>-</b>	<b>8</b>	<b>7</b>	<b>5</b>
<b>Profondeur de Jonction (nm)</b>	<b>-</b>	<b>13</b>	<b>6</b>	<b>5,5</b>

UTB FD: Ultra Thin Body Fully Depleted MOS

MG: Multi Gate MOS

**Tableau 2.1. Tendances des avancées technologiques (15)**

Dans l'environnement de production du semi-conducteur la génération de décharges représente la principale menace pour la fiabilité des composants. D'après le dernier rapport de « l'Industry Council », comité d'industriels chargé de définir les contraintes ESD, la robustesse d'un circuit réalisé en technologie MOS avancé (sans protection) est de l'ordre d'une dizaine de Volts.

ne supportent plus que 50 V la robustesse d'un circuit sans protection

. Le contrôle statique et la sensibilisation du personnel manipulant les composants constituent les deux axes principaux de prévention envers les risques ESD. Les méthodes de prévention dans l'environnement de production du semi-conducteur consistent à

utiliser des matériaux antistatiques ou à utiliser des ioniseurs d'air pour neutraliser les charges. Les dégâts dus à la manipulation de l'homme peuvent, entre autres, être réduits par l'utilisation appropriée des bracelets antistatiques, pour éviter l'accumulation de charges dans le corps humain.

Malgré ces précautions il est aussi nécessaire d'ajouter des systèmes de protection sur les puces. La mise en œuvre de la protection sur la puce est une tâche difficile et nécessite plusieurs itérations de conception pour son optimisation. L'introduction de chaque nouvelle technologie silicium introduit de nouveaux défis en termes de capacité de protection aux ESD. En raison de la vitesse avec laquelle les technologies sont introduites, la conception des protections est un véritable défi (16) (17) (18).

## **2.5 Les modèles et tests de qualification industrielle ESD pour le circuit intégré**

Le but d'un test ESD est de déterminer la capacité d'un circuit de protection à survivre à une décharge électrostatique. Afin de définir le niveau de défaillance d'un circuit intégré contre les ESD, c'est-à-dire sa robustesse, différents types de testeurs ont été développés. Ces testeurs sont supposés reproduire les différentes formes d'ondes (données en courant) générées lors des événements ESD. Les principaux tests sont les tests HBM (Human Body Model) et MM (Machine Model) qui correspondent respectivement à la décharge ESD que produirait une personne ou bien une machine sur un circuit intégré. Un troisième test, appelé CDM (Charged Device Model), représente la décharge d'un composant chargé vers la masse par une seule de ses broches. Plusieurs normes définies par plusieurs comités définissent comment il faut mesurer la sensibilité des circuits microélectroniques envers les ESD (19) (20). Les principaux comités de définition des normes ESD sont l'IEC (International Electrotechnical Commission), la JEDEC (Joint Electron Device Engineering Council) et l'ANSI/ESD (American National Standards Institute). La classification des comités et la procédure de normalisation sont bien développées dans (21). Ces tests sont tous destructifs, et même s'ils permettent d'évaluer la robustesse ESD d'un composant, ils n'apportent aucune information pour la compréhension du comportement de la structure de protection pendant un stress ESD. C'est pourquoi, parallèlement à ces tests industriels, des techniques de caractérisation ESD ont été développées. Elles ont le double avantage d'évaluer la robustesse ESD du dispositif mais également d'extraire certains paramètres électriques caractéristiques d'une



structure de protection ESD. La connaissance de ces paramètres permet une meilleure compréhension du comportement du dispositif, ce qui permet par la suite de l'optimiser. Les principales techniques de caractérisation ESD sont le TLP (Transmission Line Pulsing) (22) et le VF-TLP (Very Fast TLP) (5). Il est à noter que pour le TLP, la durée d'application de l'impulsion est choisie de façon à corrélérer d'un point de vue énergétique avec le stress HBM (1) et le pour le VF-TLP à corrélérer le CDM (23). Les techniques de caractérisation du TLP et du VF-TLP seront détaillées ultérieurement.

### 2.5.1 Le test HBM (Human Body Model)

Le test HBM (Human Body Model) demeure le test industriel le plus largement répandu pour évaluer la robustesse d'une puce. Plusieurs organismes définissent les normes pour ce type de test (19). La norme HBM a été spécifiée tout d'abord par la norme MIL-STD 883C méthode 3015.7 (24) puis reprise par les organismes les plus connus.

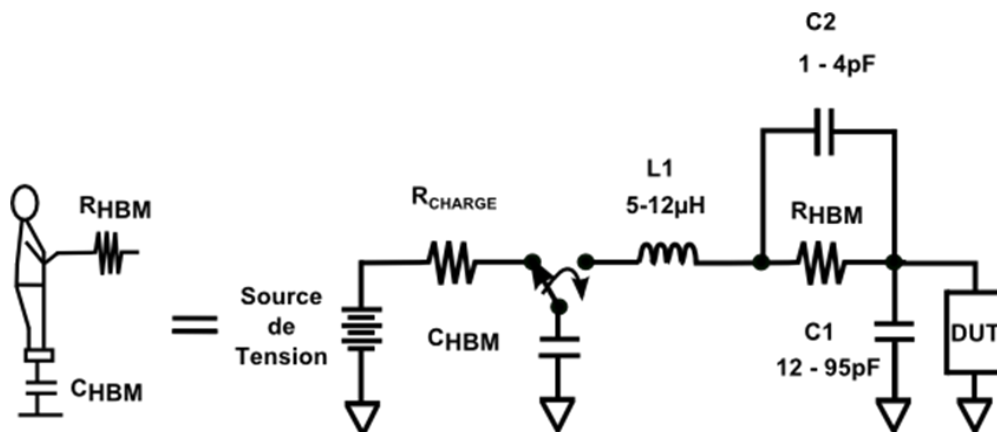
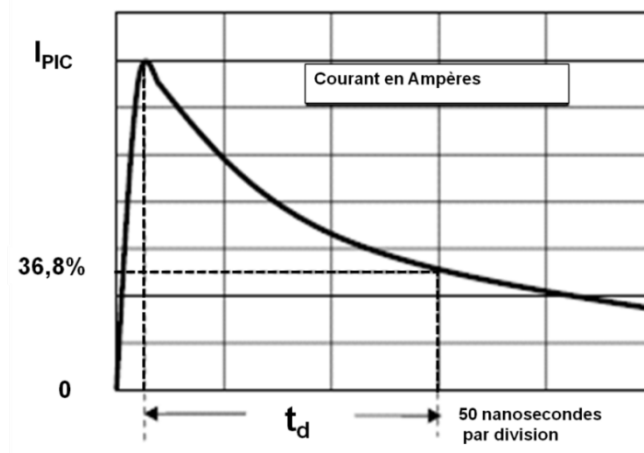


Figure 2.6. Modèle du corps humain et schéma électrique associé au test HBM

Le modèle HBM, pour l'anglicisme Human Body Model, simule le courant de décharge généré par une personne debout qui s'approcherait avec le bout du doigt d'un composant relié à la masse (Figure 2-6). A droite est représenté le schéma électrique associé à la décharge du testeur HBM. La capacité  $C_{HBM}$  de 100 pF représente la valeur moyenne de la capacité d'un individu debout, tandis que la résistance  $R_{HBM}$  de 1500  $\Omega$  représente la résistance moyenne du corps humain. Les capacités C1 et C2 représentent les parasites de l'appareil de mesure, et l'inductance L1 comprise entre 5 et 12  $\mu H$  représente l'inductance parasite rencontrée sur le chemin de décharge. L'alimentation haute tension charge préalablement la capacité à une tension de l'ordre de quelques kilos

Volts (kV) qui représente la tension de charge du corps humain. Cette valeur contrôle l'intensité de la décharge et qualifie la robustesse HBM (exprimée en kV).

L'interrupteur bascule alors, permettant ainsi à la capacité de se décharger à travers la résistance de 1500  $\Omega$  et le circuit sous test plus communément appelé DUT (Device Under Test). La forme d'onde du courant de décharge est représentée sur la Figure 2-7. Cette forme d'onde est spécifiée par la norme JEDEC (1). La décharge HBM est associée à une impulsion de courant dont la durée moyenne est de 1  $\mu$ s avec un temps de montée  $t_{rise}$  compris entre 2 et 10 ns.



**Figure 2.7. Forme d'onde donnée par la norme JEDEC du courant de décharge HBM**

L'expression du courant de décharge est donnée par la formule mathématique proposée par A. Amerasekera (25):

$$I_{HBM}(t) = V_{HBM} C_{HBM} \frac{w_o^2}{\sqrt{a^2 - w_o^2}} e^{\frac{-R_{HBM}}{2L_{HBM}} t} \sinh\left(\sqrt{a^2 - w_o^2} t\right)$$

$$\text{Avec } a = \frac{R_{HBM}}{2L_{HBM}} \quad w_o = \frac{1}{\sqrt{L_{HBM} C_2}} \quad \text{et } a > w_o$$

D'après la norme JEDEC, un produit est considéré résistant à une décharge de type HBM lorsque celui-ci survit aux décharges progressives jusqu'à atteindre +/-2 kV (courant pic de 1,2 A). La défaillance est définie selon un critère pouvant être le courant de fuite pour une tension utile donnée. L'industrie de l'automobile, d'un autre coté, a besoin d'avoir des niveaux ESD encore plus élevés, ceux-ci s'élevant jusqu'à +/-10 kV, et

dans quelques cas +/-20 kV. Ceci s'explique par l'environnement hostile dans lequel opèrent les systèmes électroniques et les conséquences mises en jeu par une défaillance : par exemple le déclenchement intempestif d'un airbag peut générer un accident.

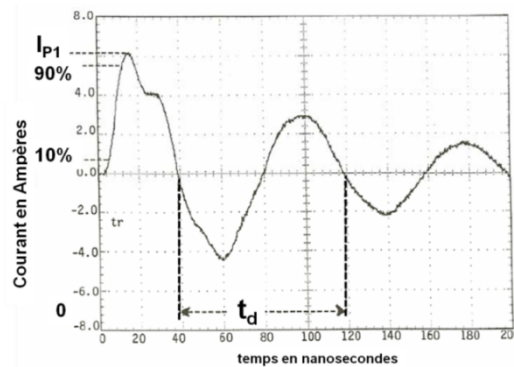
Avec l'augmentation de la complexité des produits et donc du nombre d'entrées et de sorties sur une puce, le test HBM est devenu consommateur de temps. Les normes ont été modifiées en conséquence, afin de réduire le nombre de broches à tester, le nombre d'impulsions (passage de 3 à 1) et le temps entre chaque stress (de 1 s à 100 ms), sans pour autant réduire la qualité du test de manière significative (26).

L'application de cette norme a révélé des problèmes de corrélation entre les résultats obtenus de différents testeurs HBM. Ces problèmes de corrélation ont été attribués aux éléments parasites des testeurs et des effets de ces parasites sur la forme d'onde de la décharge. L'origine des problèmes de corrélation est bien expliquée par C. Duvvury. Cependant, de nouvelles mesures ont montré que la forme d'onde générée par le testeur HBM et celui du phénomène réel diffèrent largement (27). Ce qui s'explique, puisque les spécifications de test HBM sont basées sur des mesures faites avec des appareils de mesure qui avaient une capacité réduite (les normes n'ont pas été révisées depuis les années 70). La résistance de l'arc électrique est bien supérieure à celle de 1500  $\Omega$ , fixée par la norme de test HBM. Il en résulte des niveaux de robustesse différents : un circuit qui survit le test HBM peut ne pas survivre un stress réel. La densité d'énergie, pour une tension donnée, dans le cas d'une décharge HBM réelle, est répartie sur une durée plus longue que celle donnée par les normes.

Plusieurs cas de défaillances répertoriées dernièrement n'ont pas pu être reproduites pour les composants soumis à des décharges de courant HBM avec une forme d'onde standardisée. Ces phénomènes sont dus à des anomalies dans la forme d'onde HBM (28) générés par le relais du testeur et créant ainsi une évaluation HBM fautive. Les vendeurs de testeurs ont fourni des solutions pour chacun de ces problèmes. Un autre problème du HBM est celui où le stress est appliqué sur les broches non connectées. Des défaillances sont répercutées sur les broches plus proches voisines dans le circuit intégré, le boîtier ou encore le testeur. Puisque cet événement n'est pas susceptible de se produire pendant une décharge ESD réelle, il a été décidé d'exclure les broches qui ne sont pas connectées du test ESD. Néanmoins, aujourd'hui le HBM reste le standard le plus utilisé pour définir la robustesse ESD.

### 2.5.2 Le test MM (Machine Model)

La norme MM (2) est originaire du Japon. C'est l'équivalent du HBM mais spécialisé dans des types de stress qui peuvent survenir dans des zones automatisées d'assemblage. Les niveaux de courant sont plus élevés pour une tension de charge donnée par rapport à ceux du HBM. Cette méthode produit des modes de défaillance qui sont similaires au HBM. La Figure 2-8 représente la forme d'onde donnée par le standard JEDEC pour la forme d'onde du MM dans un court-circuit pour une charge de 400 V.



**Figure 2.8. Forme d'onde courant à travers un court circuit pour une pré-charge de 400 V d'après JEDEC (2)**

Le stress est modélisé par un circuit RLC de la même façon que le modèle du HBM montré en Figure 2-6. La capacité de charge est augmentée jusqu'à 200 pF et idéalement le modèle nécessite que la résistance série soit nulle. En pratique, la résistance sera toujours finie. De plus, dû à la faible impédance du modèle, l'inductance parasite  $L1$  et la capacité  $C1$  ont une influence significative sur l'impédance totale de la décharge. Ce qui se traduit sur l'amplitude et la fréquence d'oscillation de la forme d'onde du courant de décharge. La valeur de la résistance série parasite joue un rôle majeur dans la définition de la limite de la défaillance.

La résistance et l'inductance sont spécifiées pour un courant de décharge sur un court-circuit et une charge de 500  $\Omega$ . Les paramètres utilisés pour vérifier la validité de la forme d'onde du testeur sont le premier pic de courant ( $I_{P1}$ ), le deuxième pic de courant (30%  $I_{P1}$ ), et le temps pour lesquels le courant traverse l'abscisse nulle ( $y=0$ ) pour la première ( $t1$ ) et troisième fois qui définissent la période ( $t_d$ ).

Dans une tentative d'amélioration de la corrélation entre les tests, une nouvelle forme d'onde du courant de décharge est définie avec une inductance effective de 0,75  $\mu\text{H}$  et une résistance effective de 10  $\Omega$  sur le chemin de décharge. Le niveau de robustesse

exigé est de 200 V et pour des équipementiers plus agressifs 400 V (le critère de défaillance est aussi le courant de fuite, qui est mesuré après chaque stress).

Cependant, très peu de cas de défaillances réelles causés par le MM ont été répertoriés. La capacité de ce modèle pour simuler les décharges des machines est mise en doute. Ces dernières années, des événements de type MM ont été remesurés avec les nouvelles méthodes de mesure (27) et constatent des formes d'onde avec des temps de montée plus rapides. Les procédures de test et les problèmes de corrélation entre les testeurs sont encore plus problématiques qu'avec le HBM (25). Des changements ont aussi été appliqués dans la norme de test MM quant à la réduction du temps d'intervalle entre les stress, de la même façon que pour le test HBM (voir paragraphe précédent).

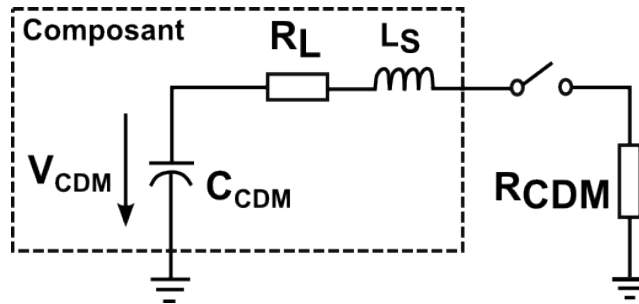
Ce modèle est utile pour reproduire des ESD semblables au modèle HBM à des niveaux de tension plus bas, ainsi que pour la détermination des modes de défaillance. Les coûts engendrés par le test et sa ressemblance au HBM, enlèvent de l'importance à la réalisation de ce test, qui est susceptible de devenir obsolète (25).

### **2.5.3 Le test CDM (Charged Device Model)**

Le modèle de charge du composant (Charged Device Model) simule la décharge générée par un composant pendant la phase de fabrication ou d'assemblage. Ici, c'est le composant qui se charge. Le modèle CDM fut introduit en 1974 par Speakman (29) et le premier testeur CDM a été réalisé en 1980 par Bossard et al. (30).

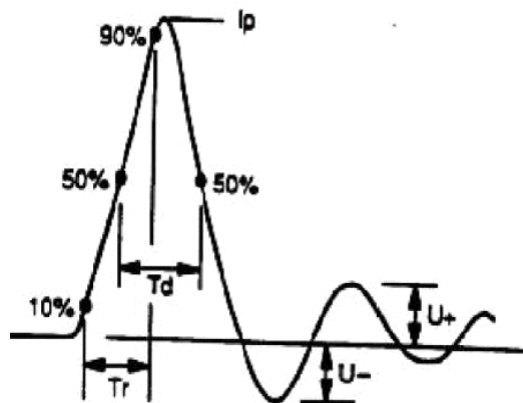
Lorsque le composant touche un objet ou une surface connectés à la masse, il se produit une décharge électrostatique extrêmement rapide qui peut atteindre des niveaux de courant de plusieurs ampères. Un exemple est celui d'un composant qui est chargé en glissant le long d'une barrette vers une machine de test, d'insertion automatique ou de marquage. Si un des composants chargé entre en contact avec une surface métallique à la masse, il se produit une décharge CDM suivant le chemin le moins résistif jusqu'à la masse. Le claquage du diélectrique est caractéristique des décharges du type CDM. C'est plus rarement le cas avec des décharges de type HBM ou MM. Avec la réduction des oxydes de grille, l'augmentation de la taille des puces et des routages métalliques de plus en plus denses, ce modèle devient d'une grande utilité pour les environnements modernes de production. La décharge du circuit est modélisée par un réseau RLC représenté dans la

Figure 2-9. Les parasites de la ligne de décharge (broches, boîtier, dessin des métaux) sont représentés par la résistance  $R_L$  et  $L_S$ .



**Figure 2.9. Schéma électrique pour le modèle CDM**

La Figure 2-10 illustre une décharge typique CDM. Elle se caractérise par un temps de montée de l'ordre de 200 ps ( $T_r$ ) et un courant pic ( $I_p$ ) pouvant monter jusqu'à 15 A. Le niveau de robustesse exigé par le CDM est de 500 V, le niveau de courant associé varie selon la norme qui est appliquée. Le courant est de 5,75 A pour la norme JEDEC qui utilise une capacité de 6,8 pF pour réaliser le test et de 7,5 A pour ESD/ANSI qui utilise une capacité de 4 pF.



**Figure 2.10. Forme d'onde de la décharge CDM donnée par l'ESDA**

Les associations ESD/ANSI S5.3 (1), JEDEC JESD22-C101E (2) et AEC Q100-011 (31) ont défini les trois principaux standards pour effectuer le test CDM. Ces normes sont très différentes et le débat sur la reproductibilité et l'applicabilité continue encore aujourd'hui. Avec l'augmentation de la demande du test CDM, des améliorations de la méthode et de l'équipement voient le jour. Cependant, les efforts tentant d'harmoniser ces normes n'ont pas été fructueux. Différentes méthodes ont été proposées pour reproduire ce phénomène. Leur principale différence est la façon de charger et décharger le

composant sous test. D'autres circuits équivalents sont permis si la forme d'onde générée est en accord avec les spécifications données par la norme.

La caractéristique de la décharge CDM dépend fortement du composant sous stress, du boîtier et de quelques conditions d'environnement (32). Deux façons de réaliser le test CDM sont le SCDM (Socket CDM) et le FCDM (Field CDM).

Le SCDM (32) repose sur une charge directe du composant. Un boîtier est placé dans un support du composant. Le composant sous test est chargé lentement via une broche, par exemple la masse du composant, puis déchargé par un relais qui contacte une deuxième broche. La décharge est déclenchée par le relais entre la broche de décharge et la masse globale. Ce test présente un avantage majeur quant à la reproductibilité et la vitesse du test. Mais les parasites du support induisent un filtrage important qui peut augmenter le temps de montée d'une décharge CDM par rapport à la réalité. Des expériences montrent que le niveau de défaillance du SCDM est inférieur à une vraie décharge CDM (33) (34).

Dans le test FCDM, le composant est chargé par induction en le plaçant sur une plaque métallique ou électrode chargée, reliée à une source de haute tension. Les broches du composant sont en l'air et la décharge s'effectue par contact en posant directement une pointe reliée à la masse sur une des broches du composant. Cette méthode de test est devenue la plus utilisée pour la qualification de la fiabilité des produits face aux décharges CDM. L'inconvénient principal de cette méthode est sa mauvaise reproductibilité fortement influencée par l'arc de décharge qui dépend de la vitesse d'approche, l'humidité de l'air, la matière et la forme de la sonde de décharge. Ces paramètres peuvent influencer le temps de montée et le courant maximum de la décharge (35). La norme recommande alors de calibrer le testeur FCDM avant les tests sur une capacité de 4 pF ou 10 pF en contrôlant l'humidité de l'air, la taille du plan de charge, etc. afin de s'assurer que les conditions de test soient maîtrisées.

## **2.6 Les divers bancs de caractérisation : TLP, vf-TLP**

Les normes décrites dans les chapitres précédents sont des tests de qualification et n'apportent aucune aide quant à la compréhension du phénomène électrique entraînant la défaillance du composant. Les bancs de mesure TLP, vf-TLP et IEC TLP sont réalisés à partir de lignes coaxiales qui se chargent et se déchargent ensuite sur le composant pour

des niveaux de tension qui augmentent. Les bancs ont la spécificité d’imiter la quantité de charge énergétique contenue dans le HBM, MM, CDM ou encore l’IEC.

### 2.6.1 Le banc de mesure TLP (Transient Line Pulse)

Le banc de mesure TLP contient une ligne de transmission  $50 \Omega$  qui se décharge à travers un relais pour former une impulsion carrée. Le système est adapté de façon à ce que l’impédance reste constante ( $50 \Omega$ ) jusqu’au composant sous test (DUT). Lors de la propagation d’une impulsion la désadaptation du composant réfléchit une tension et un courant qui dépendent de son impédance, on peut ainsi reconstituer la courbe I(V) quasi-statique du composant caractérisé. Le TLP génère typiquement une impulsion avec un temps de montée de 10 ns et une durée de 100 ns qui correspondent à l’équivalent énergétique du HBM. Après chaque stress, le courant de fuite est mesuré de façon à vérifier si le composant est endommagé ou pas. La technique TLP a été publiée pour la première fois en 1985 par T. Maloney et. al. La mesure TLP est devenue un outil d’analyse pour les ESD largement répandu et plusieurs modèles de testeurs ont été fabriqués. Avec la venue de cette diversité de testeurs, il s’est avéré nécessaire de créer une norme connue sous le nom de standard ANSI/ESD SP5.5 (4). Le TLP peut être employé comme outil de compréhension pour l’analyse de défaillance, jusqu’à remonter à la cause du faible niveau de robustesse pendant un stress HBM ou MM.

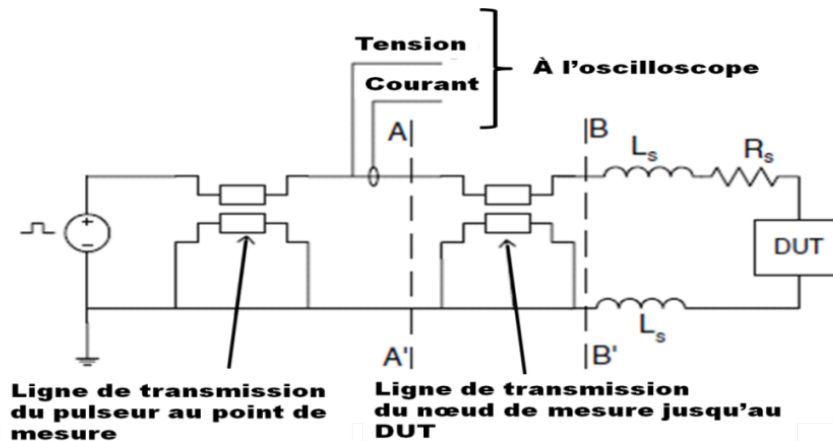


Figure 2.11. Schéma électrique du banc TLP (4)

La Figure 2-11 montre le circuit électrique équivalent réaliste d’un testeur TLP. Sur celui-ci, nous pouvons observer les lignes de transmission entre le générateur d’impulsions et le point de mesure et le DUT. L’inductance  $L_s$  et la résistance  $R_s$



représentent le parasite des différents éléments qui se trouvent entre le DUT et le plan de mesure (grippe fils, câbles, connecteurs, etc.)

Plusieurs types de bancs de TLP existent, les approches basiques sont le TDT (Time Domain Transmission), le TDR (Time Domain Reflectometry) et la méthode de source de courant. La norme résume les différentes façons de mettre en œuvre le TLP (4). Des combinaisons des trois TLP existent également. Chacune présente des avantages et des inconvénients. La méthode de test la plus communément utilisée pour la mesure TLP est le TDR. Celui-ci ne mesure pas la tension et le courant du composant, mais il mesure à une certaine distance du DUT (36) ce qui fait que la mesure est influencée par les parasites inhérents au banc de mesure. Les bancs TLP peuvent mesurer des circuits en boîtier ou directement sur la plaquette de silicium. L'introduction du TLP a permis aux concepteurs de circuits de concevoir les protections pour que les circuits intégrés puissent atteindre les exigences de robustesse ESD voulues. Le TLP est aussi le précurseur des simulations prédictives comme décrit par (37). Dans la plupart des cas, la défaillance observée est due à une défaillance électro-thermique ou à une rupture d'oxyde dans les technologies de pointe. La corrélation pour une défaillance électrothermique a été étudiée théoriquement et empiriquement par (38) (39) (40). Une défaillance électrothermique de 1 A TLP, équivaut 2 kV HBM. Dans le cas de l'analyse de défaillance de produits complets, l'utilisation du TLP est plus complexe, néanmoins, il peut s'avérer utile dans certains cas (41). Ceci se produit principalement pour la multiple quantité de chemins de décharge possibles dans un circuit. Une bonne connaissance de chaque bloc du circuit est nécessaire pour la bonne compréhension du résultat obtenu sur la caractéristique TLP.

### **2.6.2 Le banc Very Fast Transmission Line Pulse (VF-TLP)**

Le TLP peut être corrélé aux défaillances de type HBM. Cependant il est moins évident de faire une corrélation avec le CDM. C'est pour cette raison que le very fast TLP a été proposé par (5). Le principe reste le même, à part que la longueur de l'impulsion est raccourcie entre 1 et 5 ns et que le temps de montée est plus rapide, d'environ 200ps. Les niveaux du courant de défaillance pour le CDM sont beaucoup plus élevés que pour le HBM (25).

## **2.7 Présentation des modes de défaillance ESD**

Pendant un stress ESD, l'énergie électrostatique générée par la décharge doit être dissipée dans le silicium. La destruction d'une jonction est toujours causée par une trop forte élévation de la température. Le processus de destruction devient irréversible lorsque la température critique des matériaux dans lequel se produit l'échauffement est atteinte. Dans le cas du silicium, sa température critique est de 1414°C, d'environ 660°C pour le métal (souvent l'Aluminium) et de 1600°C pour l'oxyde.

### **2.7.1 Défaillance dans le silicium**

La dissipation d'énergie dans une jonction provoque un échauffement localisé du silicium dans la zone de charge d'espace. La zone de charge d'espace correspond à la région qui apparaît dans une jonction P-N, entre la zone dopée N et la zone dopée P qui est dépourvue de porteurs libres, constituée de deux zones chargées électriquement. La focalisation des lignes de courant est due à la géométrie de la structure ou à des inhomogénéités du dopage. La résistivité du silicium diminue avec l'augmentation de la température. Le courant issu de la décharge se concentre sur cette zone de faible résistivité appelée point chaud. Ce point chaud peut s'étendre par un phénomène d'emballement thermique plus connu sous le nom de second claquage thermique. La formation du point chaud génère une redistribution des dopants. Le silicium subit une solidification après la décharge. Le courant de fuite mesuré sur la jonction est alors plus important. Lors de stress ESD contenant des niveaux d'énergie plus élevés, le point chaud peut s'étendre jusqu'aux contacts et provoquer une fusion entre le silicium et le métal créant ainsi un court circuit dans la jonction.

### **2.7.2 Localisation du défaut**

La technique la plus rapide pour localiser un défaut est d'utiliser des cristaux liquides. Le circuit est recouvert de cristaux liquides puis est alimenté. Lorsque la température critique des cristaux est atteinte, celui-ci devient isotrope et une tache sombre apparaît sur l'endroit où s'est formé un point chaud. L'analyse peut être approfondie en utilisant des microscopes à émission de photons (EMMI pour Emission Microscopy). La longueur d'onde de la lumière irradiée par le circuit en fonctionnement peut donner une indication sur le mécanisme de défaillance.

### **2.7.3 Identification du mécanisme de défaillance**

Une fois que le défaut est localisé avec la méthode des cristaux liquides et/ou la microscopie EMMI, l'analyse de défaillance se poursuit par des attaques chimiques dans le but de retirer les couches de passivation, d'oxydes intermédiaires et de la métallisation jusqu'à arriver au niveau du silicium. La région qui a fondu sous l'effet de la décharge est enlevée par les attaques chimiques en laissant une cavité à la place du défaut. Le microscope de type SEM (Scanning Electron Microscope) envoie un faisceau d'électrons qui balaye la surface de l'échantillon à analyser. L'échantillon en réponse réémet certains types de particules. Ces particules sont analysées par différents détecteurs qui permettent de reconstruire une image en trois dimensions de la surface et donc de localiser l'endroit où s'est produite la défaillance.

## **2.8 La stratégie de protection ESD**

Un ensemble de stratégies de protection ont été élaborées de façon à ce que le courant ESD ne pénètre pas dans le cœur du circuit. D'après les normes ESD, un événement ESD peut se produire sur n'importe quelle broche d'un circuit intégré sur lesquelles un stress est appliqué (1). Pour protéger efficacement un circuit intégré d'une panne pendant un événement ESD, toutes les broches doivent dévier le courant ESD vers une autre broche de sortie. La protection doit aussi limiter la tension entre les deux broches pour éviter la défaillance de composants au cœur du circuit. Dans les paragraphes suivants nous allons présenter les caractéristiques principales des éléments de protection de base ainsi que les stratégies mises en œuvre pour évacuer le courant ESD vers l'extérieur.

### **2.8.1 Fonctionnement d'une structure de protection contre les ESD**

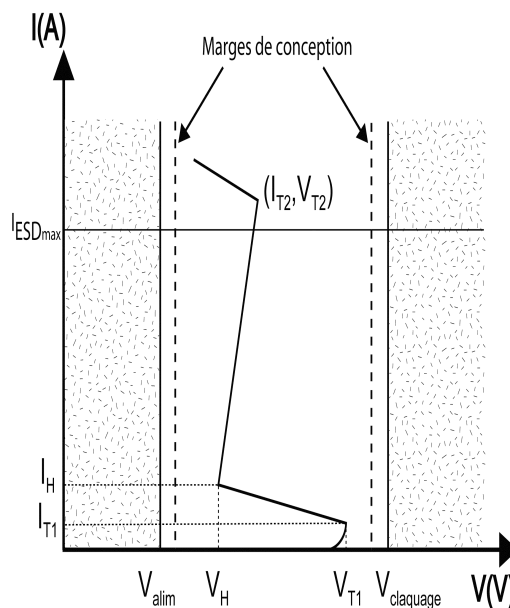
Un bon élément de protection ESD doit répondre à plusieurs spécifications associées à son état bloqué, son état passant et le contrôle de sa commutation. Le fonctionnement d'une structure de protection contre les ESD est semblable à celui d'un interrupteur. En effet, lorsque le circuit est en régime de fonctionnement normal, la protection doit être « transparente » pour le circuit à protéger et donc présenter une très forte impédance comme celle d'un interrupteur ouvert. Au contraire, lorsqu'une décharge électrostatique est appliquée au circuit, la protection doit se comporter comme un interrupteur fermé dont la faible impédance permet de dériver un maximum de courant de

décharge sans augmenter le potentiel à ses bornes. L'optimisation d'une structure de protection ESD consiste à contrôler sa caractéristique électrique de sorte qu'elle s'approche au mieux de celle de l'interrupteur idéal. Pour cela, une « fenêtre » de conception est définie pour chaque plot du circuit à protéger.

### 2.8.1.1 Les marges de conception

La Figure 2-12 représente les marges (ou fenêtre) de conception que doit respecter une structure de protection ESD. Celles-ci varient en fonction du circuit à protéger.

La caractéristique électrique I-V du dispositif de protection doit être contenue entre deux valeurs de tensions imposées par le circuit à protéger. La limite basse de tension correspond à la tension d'alimentation du circuit. Elle est notée  $V_{alim}$ . Ceci implique que la structure de protection ne doit pas se déclencher pour des valeurs de tension inférieures à  $V_{alim}$  afin de ne pas perturber le circuit lorsque celui-ci est en régime de fonctionnement normal.



**Figure 2.12. Marges de conception d'une structure de protection ESD présentant une caractéristique avec « retournement »**

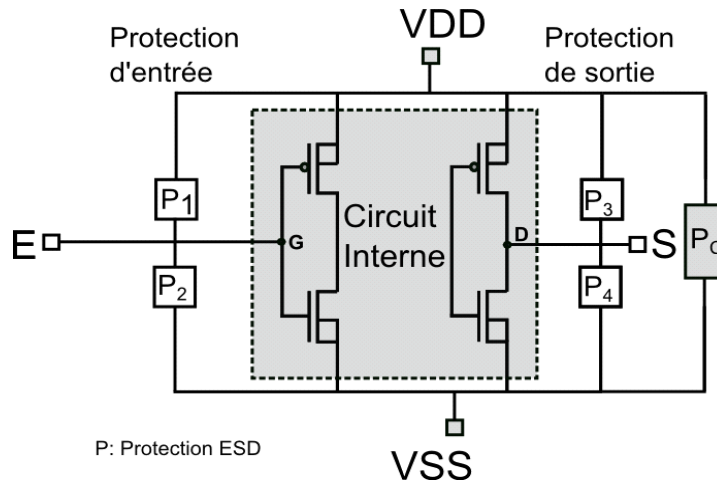
La limite haute de tension quant à elle correspond à la tension maximale applicable au circuit avant sa destruction. Cette dernière peut correspondre à la tension de claquage d'un oxyde ou d'une jonction dite  $V_{claquage}$ . Par conséquent, la tension de déclenchement de la structure  $V_{T1}$  doit demeurer inférieure à  $V_{claquage}$ . La marge de

bruit correspondant à des tolérances de 10% sur la limite basse de tension est également représentée sur la Figure 2-12.

Différents types de structures de protection existent, avec ou sans repliement (diode). Pour une structure avec retournement (ou repliement), la tension minimale  $V_H$  présentée par la structure de protection doit être supérieure à  $V_{lim}$ . Une fois repliée, la structure de protection présente une résistance à l'état passant  $R_{ON}$ . Cette résistance doit être de faible valeur afin de rendre la structure plus robuste face à un stress ESD. Le courant de défaillance  $I_{T2}$  correspond au courant maximum avant dégradation de la structure. Le courant  $I_{ESDmax}$  représente la valeur du courant maximum demandée à la structure. Le courant de défaillance  $I_{T2}$  doit être supérieur à  $I_{ESDmax}$ .

### **2.8.1.2 La stratégie de protection d'un circuit face aux ESD**

La configuration générale montrée dans les figures suivantes avec des entrées/sorties protégées avec des structures bidirectionnelles est une méthode classique de protection du circuit. Afin de suivre l'évolution des technologies, les dispositifs ESD ainsi que leur configuration dans un circuit doivent être adaptés (42). De façon générale, les structures de protection doivent se situer sur les entrées et sorties du composant et entre les alimentations. Avant les années 80, les composants constituant l'étage de sortie devaient assurer eux-mêmes leur protection. Mais l'évolution des technologies et notamment l'introduction de nouveaux procédés technologiques (43) (siliciures, LDD pour Low Doped Drain qui présentent des chemins plus importants) a rendu indispensable l'ajout d'une structure de protection sur l'étage de sortie. En effet, ce sont les jonctions drain/substrat polarisées en inverse des transistors MOS qui sont les éléments sensibles aux ESD dans les étages de sortie. Une structure de protection entre les rails d'alimentation fut ajoutée pour protéger le cœur du circuit face à une ESD. Ceci afin de protéger le circuit interne d'un éventuel courant apparaissant sur les rails d'alimentation. La Figure 2-13 représente le schéma classique de la stratégie de protection dans un circuit intégré.



**Figure 2.13. Schéma électrique simplifié d'un réseau de protection**

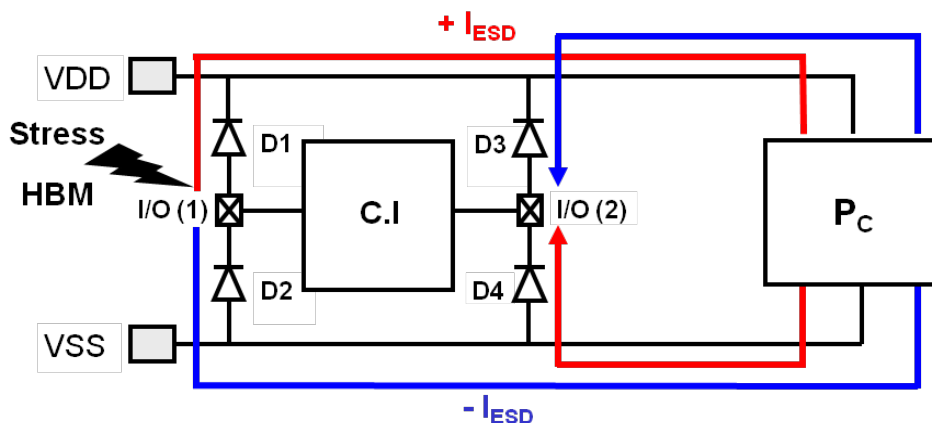
Dans ce schéma sont représentées les broches d'entrée, de sortie et les broches d'alimentation VDD et de masse VSS. Toutes les combinaisons de stress possibles doivent être prises en compte pour la protection efficace du circuit. Par exemple, si un stress ESD survient entre l'entrée E et l'alimentation VDD alors le courant est dévié par P<sub>1</sub>. Si le stress ESD est entre l'entrée E et la masse VSS, alors le courant va passer au travers de P<sub>2</sub>. Dans le cas d'un stress positif entre VDD et VSS, c'est le clamp central « P<sub>C</sub> » qui va constituer le chemin de décharge entre les alimentations ainsi que dans le cas d'un stress négatif puisque ce dispositif est bidirectionnel. Dans ces cas là, le stress ne traverse qu'une seule protection pour être évacué. Il peut exister des combinaisons plus complexes où plusieurs protections peuvent être sollicitées. Un exemple est donné dans la Figure 2-14 où nous considérons un stress positif entre E et VSS. Si P<sub>1</sub> et P<sub>2</sub> sont des diodes (unidirectionnelles) alors la décharge va se faire dans un seul sens : tout d'abord vers VDD au travers de P<sub>1</sub> puis vers VSS au travers de P<sub>C</sub>. Cette stratégie de protection est appelée stratégie centralisée. Dans le cas où P<sub>1</sub> et P<sub>2</sub> sont des protections bidirectionnelles comme un thyristor, la décharge passe directement à travers les protections sans passer par le clamp central, P<sub>C</sub>. Cette stratégie est appelée locale ou distribuée. La démarche est identique dans le cas d'un stress survenant entre la sortie S et les alimentations pour P<sub>3</sub> et P<sub>4</sub>.

L'intégration croissante des circuits intégrés a permis d'accroître leur complexité conduisant ainsi à un nombre de broches de plus en plus importants à protéger. La stratégie locale du fait de sa configuration occupe une importante surface de silicium et introduit des courants de fuite et des capacités parasites susceptibles de dégrader les

performances électriques du circuit. Pour pallier ce problème, d'autres stratégies de protection ont été développées et notamment les protections centralisées. Celles-ci consistent à ajouter des diodes sur les entrées/sorties du circuit de manière à diriger le courant de décharge vers une structure de protection ESD centrale  $P_C$  via les rails d'alimentation VDD et VSS (Figure 2-14). Cette stratégie ne peut être appliquée que si le potentiel maximum sur les entrées/sorties durant le fonctionnement normal du circuit intégré ne dépasse jamais la tension d'alimentation. En résumé, les conditions d'application de la stratégie centralisée sont les suivantes :

$$V(I/O) < VDD + \text{marge de conception et } V(I/O) > VSS - \text{marge de conception.}$$

La flèche rouge de la Figure 2-14 représente le chemin du courant ESD lors d'un stress positif sur l'I/O(1) par rapport à l'I/O(2) mise à la masse (le reste des plots étant flottants). Tous les composants de protection sont unidirectionnels sauf  $P_C$ . Le courant ESD traverse d'abord la diode  $D_1$ , le rail d'alimentation VDD, le dispositif de protection centrale  $P_C$ , le rail d'alimentation VSS et enfin la diode  $D_4$ .



**Figure 2.14. Schéma électrique d'une stratégie de protection centralisée**

Dans le cas d'un stress négatif entre ces deux mêmes I/O, le courant ESD (flèche bleue) traverse la diode  $D_2$ , le rail d'alimentation VSS, le Power Clamp, le rail d'alimentation VDD et enfin la diode  $D_3$ .

Une stratégie centralisée possède plusieurs avantages. Les diodes qui ne fonctionnent qu'en direct sont très robustes pour une faible surface silicium consommée. Une stratégie de protection centralisée n'utilise que des composants facilement modélisables ce qui permet d'en réaliser la simulation électrique avec une bonne précision. Il est également nécessaire de s'assurer que la résistance des pistes métalliques

et en particulier des rails d'alimentation soit la plus faible possible. La protection centrale peut être distribuée tout le long du rail d'alimentation pour diminuer les résistances d'accès liés aux longueurs des pistes métalliques.

Le réseau de protection ESD varie selon les contraintes du produit. Celles-ci déterminent la stratégie de protection qui doit être utilisée. Dans le cas des produits complexes la stratégie est constituée par une approche mixte entre protections centralisées et distribuées qui permet de bénéficier de leurs avantages.

## **2.8.2 Principaux éléments de protection**

Les éléments de protection contre les ESD sont des dispositifs issus de composants classiques de la microélectronique qui vont être soumis à des stress ESD induisant de forts courants et de fortes tensions. Ils vont donc devoir fonctionner bien au-delà de leur gamme de fonctionnement habituelle. De ce fait, leur comportement et les mécanismes mis en jeu seront différents de ceux qui ont lieu pour leur régime de fonctionnement normal. Il est donc important de comprendre le comportement de ces composants pour les forts courants pour ensuite analyser les phénomènes physiques intervenant dans un circuit intégré lorsque celui-ci subit une décharge électrostatique.

Dans ce paragraphe, nous décrirons seulement en détail le fonctionnement des structures de protection ESD que nous rencontrerons lors des prochains chapitres.

### **2.8.2.1 Diodes**

Polarisée en régime de fonctionnement direct, la diode est très favorable à la dissipation du courant de décharge car elle entre en conduction pour de faibles valeurs de tension ( $\approx 1$  V en dynamique) et présente une faible valeur de résistance à l'état passant de quelques Ohms. Une application peut être la mise en série de plusieurs diodes pour augmenter la tension de déclenchement toutefois cela augmente la résistance série et consomme beaucoup de place en terme d'occupation silicium.

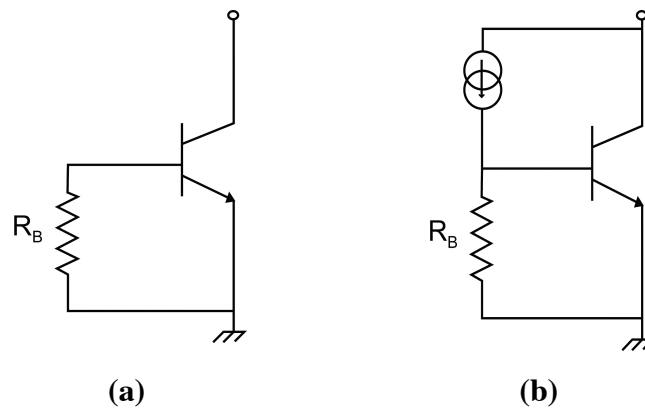
Quand la diode est polarisée en régime de fonctionnement inverse, deux mécanismes peuvent être à l'origine de sa mise en conduction. Ce sont le claquage par avalanche ou l'effet tunnel (encore appelé effet Zener). La faible résistance à l'état passant ( $R_{ON}$ ) présentée par une diode de protection déclenchée par effet tunnel la rend



plus robuste aux ESD en comparaison avec la résistance présentée par une diode déclenchée par avalanche dont la résistance  $R_{ON}$  est assez élevée.

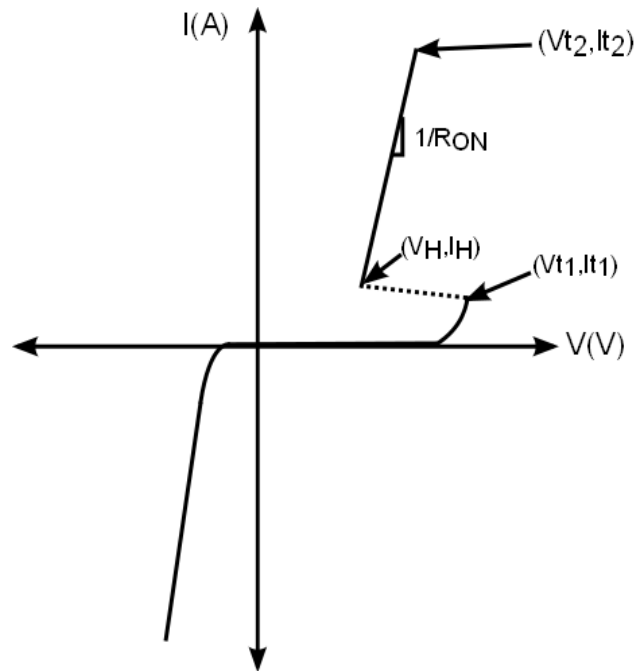
### 2.8.2.2 Transistors bipolaires NPN

Le transistor bipolaire NPN peut être utilisé comme structure de protection ESD. Dans ce cas, sa base est reliée à son émetteur directement ou bien à travers une résistance externe  $R_B$  (Figure 2-15). L'émetteur est référencé à la masse. Si une décharge négative est appliquée sur le collecteur, la jonction collecteur/base est polarisée en direct et le transistor bipolaire a le comportement d'une diode en direct. Ce cas est favorable à la dissipation du courant de décharge à condition que la résistance série de la diode ne soit pas trop élevée.



**Figure 2.15. Schéma du transistor NPN utilisé comme structure de protection pour deux types de configuration : (a) autopolarisé et (b) polarisé par une source de courant extérieure**

L'émetteur étant toujours référencé à la masse, si maintenant une décharge positive est appliquée sur le collecteur, il existe deux méthodes de déclenchement de la structure de protection ESD de type transistor bipolaire. La première utilise le transistor bipolaire NPN dans sa configuration auto-polarisée (Figure 2-15(a)), dans laquelle le courant d'avalanche de la jonction collecteur/base polarisée en inverse permet le déclenchement de la structure. Pour la seconde méthode, le courant est fourni par une source de courant extérieure connectée entre la base et le collecteur (Figure 2-15(b)).



**Figure 2.16. Caractéristique I-V du transistor bipolaire NPN**

Quelle que soit la méthode utilisée comme source de courant, la caractéristique électrique I-V du transistor bipolaire NPN est la même (Figure 2-16). Les paramètres caractéristiques de cette courbe dépendent des paramètres géométriques du transistor NPN.

### 2.8.2.3 Transistors MOS

Les transistors MOS actuellement utilisés dans les circuits intégrés ne sont pas conçus pour supporter plusieurs ampères de courant. Leur fragilité face aux ESD est notamment due à l'évolution des technologies avec l'introduction des drains faiblement dopés ainsi qu'aux oxydes de grilles de plus en plus minces. Utilisé en tant que structure de protection, le transistor MOS a sa grille, sa source et son substrat court-circuités à la masse. Lorsqu'une tension négative est appliquée sur le drain d'un n-MOS, la jonction drain-substrat se comporte comme une diode polarisée en direct et devient donc favorable à la dissipation de chaleur. Pour une tension positive appliquée sur le drain, la jonction drain-substrat est polarisée en inverse. Il s'en suit alors le déclenchement du transistor bipolaire NPN latéral formé par la source (émetteur), le substrat (base) et le drain (collecteur). La caractéristique I-V à fort courant est identique à celle du transistor bipolaire NPN auto polarisé.

Le même phénomène peut être généré en inverse avec un transistor p-MOS, on génère une diode en inverse et un transistor parasite PNP.

#### **2.8.2.4 Thyristors**

Les thyristors ou SCRs (Silicon Controlled Rectifiers) sont très utilisés dans les applications de commutation de puissance pour leur capacité à pouvoir présenter successivement une très forte impédance puis une très faible lorsqu'il passe de l'état bloqué à l'état passant respectivement. Toutefois, le thyristor peut être amené à se déclencher de manière intempestive alors que le circuit à protéger est en régime de fonctionnement normal. De ce fait, il est souvent écarté dans les applications de type sécuritaire. Pour remédier à ce problème, deux solutions sont envisageables. La première consiste à augmenter et à garantir la tension de maintien  $V_H$  du thyristor au-delà de la tension maximale d'alimentation du circuit. La deuxième solution est d'augmenter son courant de maintien  $I_H$  au-delà du courant maximal que peut fournir l'alimentation du circuit (44) (45).

### **2.9 Des décharges électrostatiques ESD : du système**

#### **2.9.1 Les modèles et tests ESD système**

Les circuits électroniques évalués et testés lors de la fabrication doivent être, par la suite, placés sur des cartes électroniques qui seront intégrées dans un système électronique complet, comme les ordinateurs. La robustesse HBM/MM/CDM n'est pas une garantie de la survie des circuits dans un système (46). Les changements dans les conditions de test sur la puce par rapport aux tests réalisés sur la carte (les décharges peuvent survenir dans le circuit alimenté) impliquent la création de nouvelles normes système.

La robustesse des systèmes comme les cartes électroniques ou des produits destinés à des consommateurs finaux, est qualifiée grâce à des normes systèmes. Les systèmes doivent être conçus et dessinés pour disperser l'énergie produite pendant la décharge loin du circuit interne.

En principe, ces méthodes sont conçues pour qualifier la robustesse des produits dans des conditions d'utilisation finales dans des environnements non contrôlés, contrairement à la chaîne d'assemblage. La nature de ces tests est différente de celle des

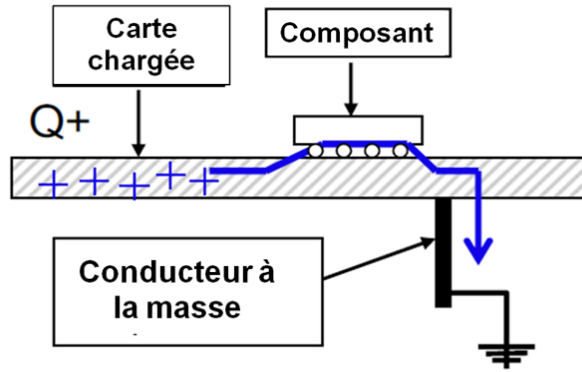
normes qui s'appliquent au circuit intégré. Les décharges doivent être appliquées sur des emplacements où l'utilisateur final peut être en contact direct ou indirect avec le circuit. La carte de test est très importante puisque celle-ci détermine la forme d'onde de la décharge et l'impédance du chemin de décharge. De plus, la topologie et le routage du système peuvent déformer la forme d'onde vue par le circuit intégré. Des circuits intégrés qui passent les tests ESD au niveau du composant peuvent être défaillants lors des tests réalisés par l'équipementier : les formes d'onde du stress ESD système et l'ESD composant sont très différentes. Il est donc très difficile d'établir une relation directe entre les modèles.

Des protections externes sur la carte comme des diodes TVS, des inductances et des résistances séries peuvent être ajoutées pour atteindre une robustesse supérieure. Cependant, le coût introduit par les protections discrètes implique que les équipementiers préfèrent que celles-ci soient intégrées dans le composant. Les fabricants de circuits intégrés font face à la difficulté de pourvoir des produits robustes aux ESD dans un système sans connaître l'application finale.

Toutes les broches du circuit ne sont pas susceptibles d'être stressées. Les normes systèmes spécifient un schéma électrique équivalent qui reproduit la forme d'onde de la décharge. La forme d'onde de l'ESD est ici composée de deux parties, un premier pic qui se caractérise par son temps de montée très court et un deuxième pic avec une décharge très longue semblable à celle du HBM.

### **2.9.2 Le CBE (Charge Board Event)**

Les composants électroniques ou circuits intégrés sensibles aux ESD, sont susceptibles d'être frappés par une décharge lorsqu'ils sont montés dans des circuits imprimés ou autres assemblages. Cet événement est appelé CBE pour Carte électronique chargée ou Charged Board Event en anglais (47). Le principe de décharge de cet événement est illustré sur la Figure 2-17.



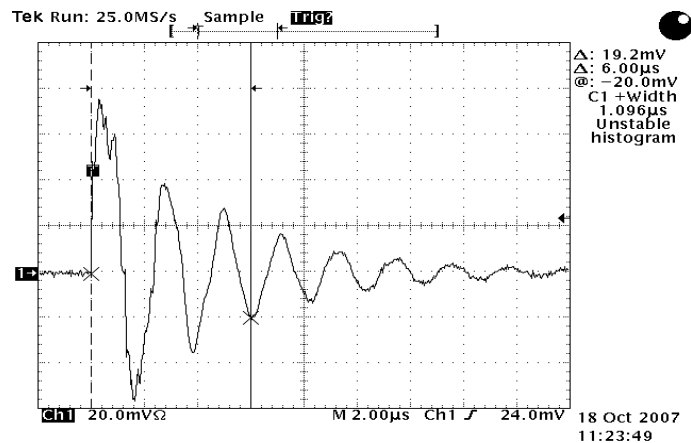
**Figure 2.17. Principe de décharge d'un événement CBE**

L'événement CBE se produit lorsque la carte chargée se décharge à travers le composant vers la masse. Cette décharge est semblable au CDM avec la différence que dans ce cas il s'agit de la carte et non du composant qui se décharge à travers une des broches. La capacité de la carte électronique étant bien plus élevée que la capacité d'un circuit intégré, une décharge CBM contient une énergie bien plus élevée que la décharge CDM pour une tension donnée. L'énergie associée à une décharge CBM peut-être beaucoup plus grande que la décharge au niveau du composant et est de l'ordre de celle associée à un EOS. Ce type de défaillance peut être confondu avec des défaillances du système puisque le dommage ne devient visible que lorsque la carte est installée et alimentée dans le système. Des systèmes de test CDM peuvent être utilisés pour tester le CBM, dans ce cas, c'est la carte qui est chargée et non le composant. Pour un circuit donné, la probabilité de produire une décharge CBM dépend de l'aire, du dessin technique et des plans d'alimentation de la carte. Des plans plus larges forment des capacités plus grandes qui stockent plus de charges électriques. Un grand nombre de broches d'alimentation connectées aux plans de masse font que la résistance diminue, ainsi que l'inductance parasite, et donc la surtension due au CBM diminue.

### 2.9.3 Le CDE (Câble Discharge Event)

Une décharge peut se produire quand un câble est relié à un équipement électronique. Il s'agit d'un CDE (Cable Discharge Event) (48). Cette décharge est générée par la différence de potentiel qui existe entre le câble à raccorder et l'équipement sur lequel il va être branché. Une charge est cumulée dans un câble par triboélectricité ou par induction. Le frottement du câble génère une charge de nature triboélectrique, tandis que la présence de champs magnétiques adjacents comme les lumières de ballast produisent

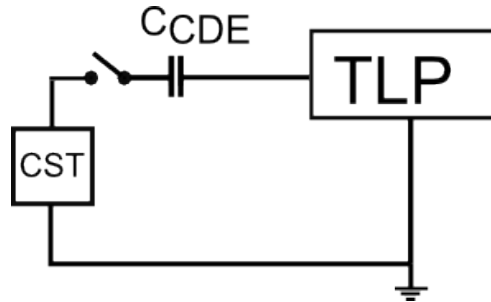
une charge inductive. Lorsque cette charge est connectée, il se produit une décharge. Une autre forme de décharge se produit lorsqu'un individu chargé tient un appareil électronique. L'appareil électronique devient chargé par induction. Lorsqu'un câble est connecté sur l'appareil chargé, une décharge électrostatique se produit. Une décharge peut également se produire lors de la connexion d'une clef USB, un câble d'alimentation ou tout autre câble de connexion.



**Figure 2.18. Forme d'onde d'une décharge générée par un câble de 100m de long chargé à 200V (49)**

La quantité de charges dépend de la longueur du câble. La Figure 2-18 représente la forme d'onde de la décharge générée par un câble de 100 m de long chargé à 200 V donnée par la ESDA (49). Des expériences ont montré qu'une décharge de type CDE peut difficilement atteindre une pré-charge de 5 kV. La faible impédance de la source fait que le CDE atteint des tensions plus élevées que le HBM/MM/CDM. La possibilité de définir une norme CDE dans l'avenir est d'actualité et pour le moment chaque entreprise teste cet événement de décharge individuellement. Des études ont révélé que les caractéristiques de la forme d'onde de la décharge peuvent avoir des variations importantes. Celle-ci peut s'étendre sur des centaines de nanosecondes avec des changements rapides de polarité. D'autres formes d'onde mesurées s'étendent sur des secondes. Le modèle de charge et décharge du CDE a été étudié par W.Stadler (50) et est illustré sur la Figure 2-19. Il s'agit d'un simple TLP sur lequel est ajoutée une capacité  $C_{CDE}$ . La décharge est appliquée sur le composant sous test CST. La capacité génère le premier pic de décharge et l'amplitude en courant de ce pic est donnée par la valeur de la capacité. La longueur de l'impulsion

est réglée par le biais de la longueur de ligne du TLP. Les valeurs de la capacité C sont calculées selon le type de câble et la longueur.



**Figure 2.19. Schéma électrique pour le modèle du CDE (50)**

La longueur de l'impulsion est déterminée par la formule suivante (50) :

$$t = \frac{2L}{\frac{c}{\sqrt{\mu_r \epsilon_r}}}$$

Où  $c$  est la vitesse de la lumière,  $L$  la longueur du câble,  $\mu_r$  la perméabilité magnétique relative et  $\epsilon_r$  la permittivité relative.

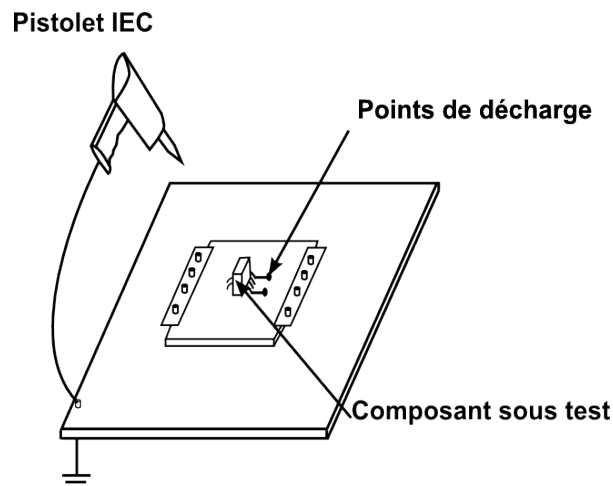
#### 2.9.4 Le générateur ou testeur HMM

Il existe une tendance pour que les broches spécifiques d'un circuit intégré qui ont un contact direct avec l'environnement extérieur soient directement testées par des standards ESD systèmes. Puisque le standard n'a pas été conçu pour tester des circuits, ils ne spécifient pas de quelle façon ces broches doivent être stressées. A ce jour, aucune norme orientée système ne prévoit de stresser directement un composant.

L'association IEC a publié une technique spécifique, basée sur le travail de l'université de Zwickau, pour la qualification de LIN (51). Un groupe de travail de l'association ESDA a publié une description plus générale sur la manière dont un test système directement sur les puces peut être reproductible (52). En général, les ESD de type « système » appliquées sur les broches ou les connecteurs externes sont beaucoup plus énergétiques que les stress de type HBM pour un même niveau de tension.

Le générateur HMM pour Human Metal Model ESD TR5.6-01-09 (52) est issu d'un rapport technique dont l'intérêt est de combler les besoins d'avoir une méthode de test permettant d'injecter une décharge similaire à la norme IEC 61000-4-2 directement sur un composant. Les équipementiers ont demandé aux fabricants de composants intégrés que leurs circuits soient résistants aux ESD système, particulièrement pour les

broches qui sont en contact avec l'extérieur. La norme IEC 61000-4-2 décrit une décharge sur un système complet et non directement sur le circuit intégré. Ceci peut conduire à des spécifications trop sévères. En effet le système de par ses éléments parasites a tendance à réduire les transitoires vus par le circuit intégré. Une méthodologie qui permettrait de prédire la robustesse ESD système à partir de la robustesse ESD composant n'existe pas de nos jours. Les publications (53) (54) (55) préconisent donc la création d'un test direct sur le composant. C'est pour cette raison que la spécification technique HMM a été créée. Le document cherche à fournir des outils pour produire des stress IEC répétables.



**Figure 2.20. Configuration de test du HMM (56)**

A ce jour plusieurs méthodes de test ont été proposées. Le premier est un test qui inclut l'utilisation du pistolet ESD comme décrit dans la norme système (Figure 2-20), mais avec le retour de masse du pistolet connecté sur la table de mesure ce qui n'est pas le cas dans le test IEC où le retour de masse du pistolet est renvoyé à la terre. Le circuit intégré peut être alimenté ou non alimenté. Le deuxième test vise à supprimer les radiations générées par le pistolet en le remplaçant par un système de génération d'impulsions stables adapté 50  $\Omega$ . Ce générateur est réalisé à partir d'un câble coaxial avec une impédance 50  $\Omega$  qui est connecté directement sur la carte de test où est monté le DUT. L'idée est d'avoir un système adapté 50  $\Omega$  de façon à éviter les problèmes de réflexion.

## **2.10 La norme IEC 61000-4-2**

La norme IEC 61000-4-2 (3) est la plus répandue parmi les industriels pour la qualification de la robustesse des systèmes électroniques envers les décharges



électrostatiques. Cette méthode cible les événements directs et indirects ESD entre une personne et un appareil. Le modèle utilisé dans la norme est basé sur le Human Body Model (HBM), réalisé afin de simuler la décharge qui se produit lorsqu'un être humain chargé tenant une pièce métallique s'approche d'un produit électronique. La forme d'onde IEC 61000-4-2 présente un pic très rapide et élevé, suivi d'une onde de décharge plus longue. Cette forme d'onde est modélisée (en première approximation) avec une capacité de 150 pF, en série avec une résistance de 330  $\Omega$ . Un exemple typique de la forme d'onde est illustré dans la Figure 2-15.

Cette norme ne spécifie pas seulement la forme d'onde de la décharge, mais aussi l'équipement nécessaire pour réaliser le test et les conditions climatiques et électromagnétiques dans lesquelles le système sous test (EUT pour Equipment Under Test) doit être qualifié. Le EUT est stressé, soit directement (décharge au contact), soit indirectement (décharge dans l'air). La décharge doit être appliquée sur les points qui sont accessibles depuis l'extérieur par l'utilisateur final. Pendant le test, l'EUT doit être opéré dans des conditions « représentatives » de l'opération quotidienne dans laquelle un stress ESD peut survenir et il doit être qualifié dans les conditions dans lesquelles le système est le plus sensible aux ESD.

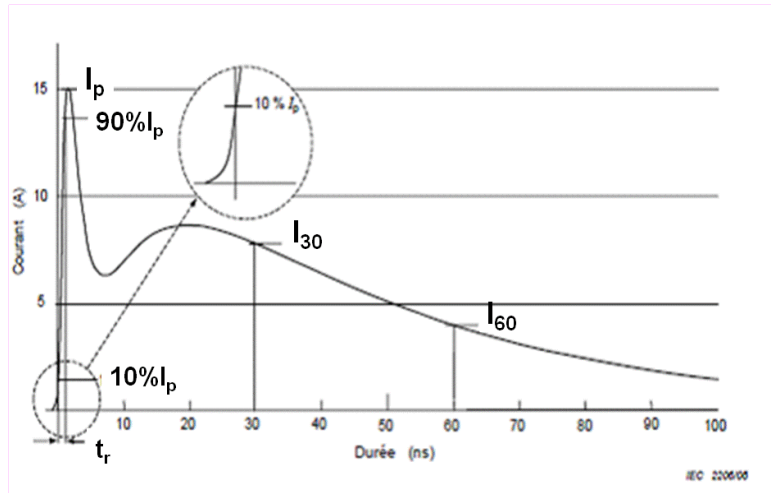
Lors d'un stress IEC, la réponse du système peut être divisée en plusieurs niveaux de défaillance possibles:

- Le système n'est pas affecté.
- Le système est temporairement affecté et redevient fonctionnel sans l'intervention de l'utilisateur.
- Le système est temporairement affecté et nécessite l'intervention de l'utilisateur pour redémarrer.
- Le système perd ses fonctionnalités ou est irréversiblement dégradé.

La norme IEC 61000-4-2 définit l'allure du courant de décharge qui est appliquée sur le EUT avec un générateur en forme de pistolet sur une cible de 2  $\Omega$ . Cette décharge est appliquée avec un pistolet ESD. L'utilisation d'un pistolet permet d'accéder facilement aux différents types de systèmes avec diverses tailles. La forme d'onde en courant est générée par les modèles mathématiques suivants (3) :

$$i(t) = \frac{i_1}{k_1} \times \frac{\left(\frac{t}{\tau_1}\right)^n}{1 + \left(\frac{t}{\tau_1}\right)^n} e^{-\frac{t}{\tau_2}} + \frac{i_2}{k_2} \times \frac{\left(\frac{t}{\tau_3}\right)^n}{1 + \left(\frac{t}{\tau_3}\right)^n} e^{-\frac{t}{\tau_4}}$$

$$\text{Avec } k_1 = e^{\left(\frac{-\tau_1}{\tau_2} \left(\frac{n\tau_2}{\tau_1}\right)^{1/n}\right)} \text{ et } k_2 = e^{\left(\frac{-\tau_3}{\tau_4} \left(\frac{n\tau_4}{\tau_3}\right)^{1/n}\right)}$$



**Figure 2.21. Forme d'onde de la décharge d'après la norme IEC 61000-4-2 en contact 5 kV**

Le courant de décharge décrit est formé par 2 régions différentes. Une première courte et avec un pic de puissance, une deuxième longue avec un courant de décharge plus faible. Le premier pic représenterait la décharge à travers l'outil métallique que la personne tient, tandis que la partie lente représenterait la décharge de la capacité du corps humain à travers la longueur du bras. Les spécifications IEC sont données pour : le courant pic (amplitude du premier pic), le courant à 30 ns et à 60 ns et le temps de montée de 0,8 ns +/-25%.

Une relation directe de proportionnalité n'existe pas entre la décharge en contact et la décharge dans l'air, d'après la norme IEC 61000-4-2. Même si les appareils de mesure et la reproductibilité ont été améliorés, dans l'idée de produire des résultats répétables, de nouvelles méthodes de test sont en cours de développement. Une première ébauche a été réalisée avec le test HMM donnée par l'association ESDA. Cette partie sera développée plus en détail par la suite.

Tous les événements ESD systèmes ne sont pas couverts par cette norme d'après l'Industry Council (57). Les événements réels peuvent avoir des temps de montée beaucoup plus rapides, spécialement pour les faibles tensions.

Les équipementiers demandent de plus en plus aux fabricants de circuit intégrés d'appliquer la norme système directement sur le composant. Ces exigences se basent sur la présomption que si les composants résistent à une décharge système directe, alors ce composant introduit dans un système résistera jusqu'à ce même niveau. Plusieurs travaux réalisés par (58) et (59) tentent de lier la norme IEC 61000-4-2 aux normes ESD composant. Les résultats ESD obtenus au niveau du composant, en utilisant le standard HBM et CDM, ne permettent pas d'établir de relation avec le stress ESD système. Les différences entre les procédures de test et les caractéristiques électriques des diverses formes d'ondes font que la corrélation entre ces différentes méthodes restent peu probables. Une publication de Stadler (59) a démontré l'existence d'une relation entre la défaillance au niveau d'une décharge suivant la norme IEC 61000-4-2 et une décharge de type HBM. Cependant la relation observée est spécifique à un seul type de composant. Le graphique représente la robustesse IEC en fonction de la robustesse HBM pour plusieurs systèmes.

Une des plus grandes préoccupations dans le test était que celui-ci ne contenait pas de spécifications pour la quantité de radiation électromagnétique (EM) émise par le pistolet, aujourd'hui une annexe qui décrit le phénomène de radiation EM a été ajoutée dans la dernière révision de la norme. Lors d'une décharge, un champ électrique se produit autour du point d'injection (60). Les propriétés de ces champs sont très fortement dépendantes du type de pistolet et de la pointe de décharge. Ce phénomène a été prouvé en effectuant des tests avec plusieurs modèles de pistolet sur le même équipement (61). Même si deux pistolets injectent des courants de décharge respectant la norme, les résultats obtenus peuvent diverger. Ceci s'explique par la différence entre les niveaux énergétiques qui composent le spectre de fréquence des deux pistolets.

2.10.1 Modèle de simulation du pistolet IEC 61000-4-2

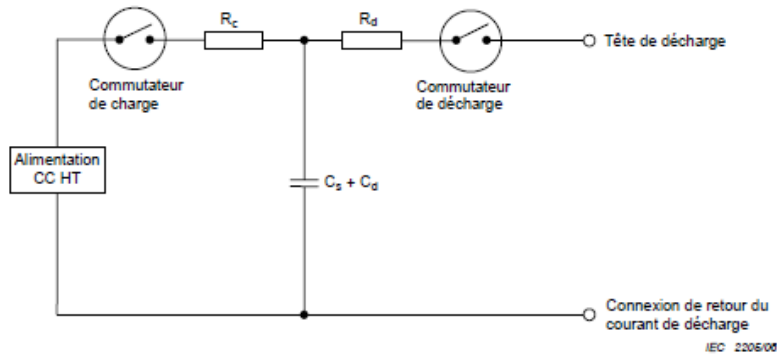


Figure 2.22. Schéma électrique spécifié par la norme IEC 61000-4-2

La simulation de la décharge ESD système est nécessaire pour prédire le comportement d'un système ou d'un circuit intégré face à une décharge ESD. Le circuit électrique spécifié (Figure 2-16) par la norme ne permet pas de reproduire la forme d'onde donnée (Figure 2-21).

Des modèles plus réalistes ont été, ou sont en train d'être développés afin de produire une forme d'onde plus proche de la décharge réelle (ces modèles seraient complémentaires à la norme IEC 61000-4-2). Une étude de différentes modélisations possibles du générateur IEC est donnée dans les paragraphes suivants. Afin de comparer le comportement des modèles durant un stress ESD système, nous réaliserons pour chacun d'entre eux la simulation d'un stress IEC de 5 kV appliqué entre la ligne d'alimentation et la masse. Pour la mesure présentée Figure 2-23, le pistolet a été mesuré dans la cible de calibration de résistance  $2 \Omega$ , pour une pré-charge IEC de 8 kV et la forme d'onde obtenue est illustrée dans la figure suivante.

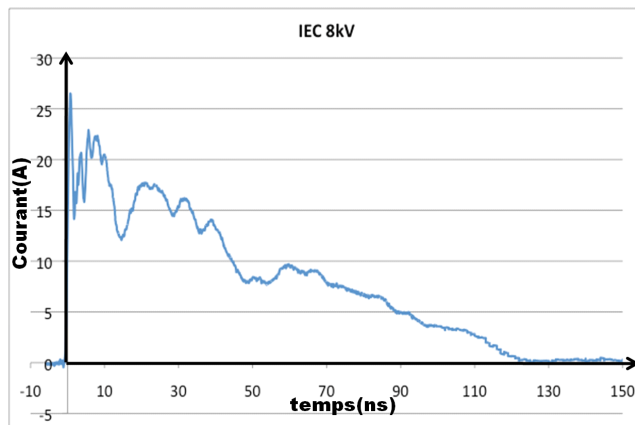


Figure 2.23. Pistolet Schaffner IEC pour une décharge de 8kV en contact

### 2.10.1.1 Le Modèle de F. Caniggia

Le modèle de Caniggia et Maradei (62) introduit un circuit comparant les résultats des mesures du pistolet sur une cible de  $2 \Omega$  et des mesures de champ. Son circuit inclut un modèle distribué du fil de retour à la masse, comme illustré sur la Figure 2-24.

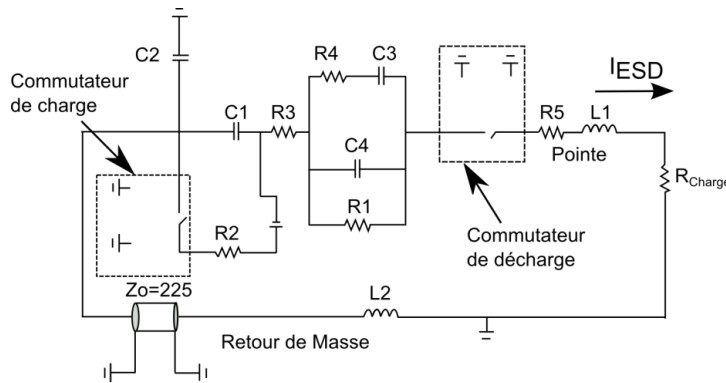


Figure 2.24. Modèle de pistolet IEC de Caniggia (62)

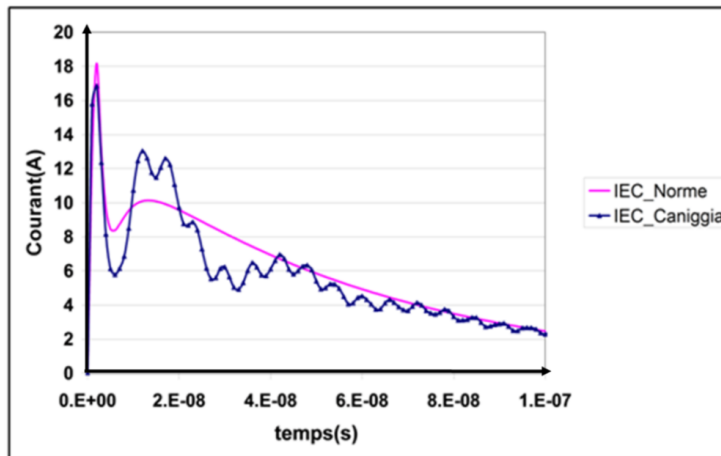


Figure 2.25. Forme d'onde obtenue avec la simulation d'une décharge 5kV du modèle de Caniggia et de la norme IEC 61000-4-2

La Figure 2-25 représente le courant de décharge du générateur réalisé par Caniggia, pour une décharge IEC 5 kV superposée avec le générateur donné dans le standard IEC 61000-4-2. La forme d'onde décrite s'inspire du pistolet. Elle est correcte d'un point de vue énergétique. Ce modèle présente l'inconvénient de prendre une dizaine de minutes pour être simulé puisqu'il présente des problèmes de convergence.

2.10.1.2 Modèle de K.M.Chiu

La Figure 2-17 représente le schéma électrique proposé par K.Chiu (63) avec les valeurs des différents paramètres et chacune de leurs fonctions. En regard de la Figure 2-27, le modèle est basé sur la modélisation du pistolet IEC. La résistance R et la capacité C correspondent bien aux paramètres du pistolet IEC. Les effets parasites du testeur, ainsi que le chemin de retour de masse du pistolet sont pris en compte au travers des capacités Cs, de la résistance Rm et de l'inductance Lm. Les différents paramètres comme la capacité équivalente entre le pistolet et le plan de masse ont une grande influence sur la forme d'onde de la décharge (64), ils sont à l'origine des oscillations observées. Les oscillations du courant augmentent lorsque la résistance de charge est diminuée, la figure représente la simulation du modèle de Chiu lorsque l'on décharge sur une charge de 1 Ω. Dans ce cas les oscillations observées pendant les 5 premières nanosecondes génèrent des courants négatifs. Ce modèle n'est pas stable et la forme en décharge ne suit pas le stress réel d'un pistolet IEC. Ces transitoires très rapides peuvent avoir un impact sur des simulations de type électromagnétique.

Éléments utilisés	Valeurs	Commentaires
Capacité pistolet (C)	150 pF	Requis pour la structure générale
Résistance charge (R)	330Ω	
Inductance retour de masse (Lm)	1,5μH	Impact sur le 2 <sup>ème</sup> pic
Résistance retour de masse (Rm)	130Ω	
Pointe terminale Pistolet (Lt)	75nH	Impact sur le temps de montée
Capacité entre pistolet et masse (Cs)	18pF	Impact sur la forme d'onde entre les 2 pics
Capacité parasite interne (Cp)	3pF	

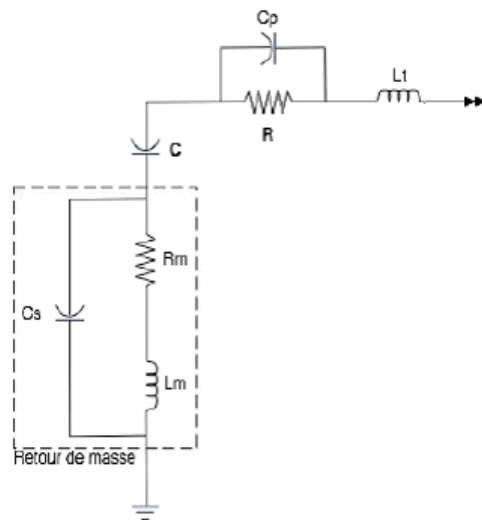


Figure 2.26. Modèle du pistolet détaillé avec les fonctions des divers paramètres

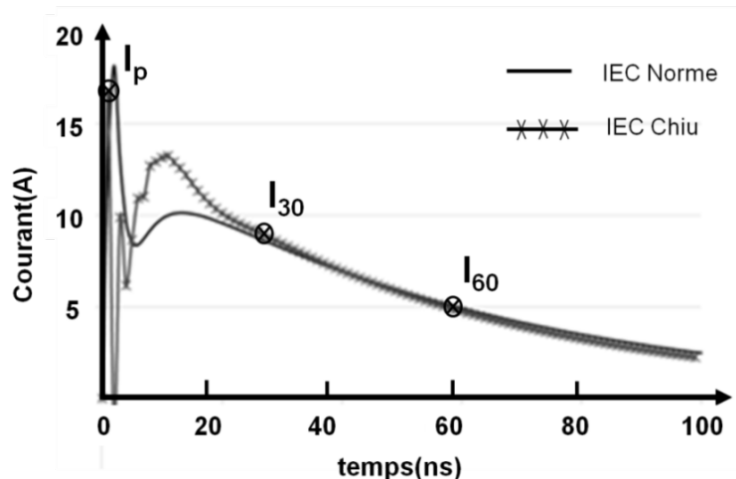


Figure 2.27. Courant de décharge 5 kV de type IEC 61000-4-2 et courant de décharge du modèle série

### 2.10.1.3 Modèle de D.Pommerenke

Ce générateur d'onde IEC s'inspire du générateur commercial (pistolet IEC), mais D. Pommerenke (65) a inclus la partie du relais du pistolet sous forme de capacités et de résistances. Le nouveau circuit de décharge se compose de la pointe de décharge, la capacité de charge 110 pF et une résistance de 330 Ω. Les différentes valeurs des composants et leur rôle dans le modèle sont donnés dans la Figure 2-28.

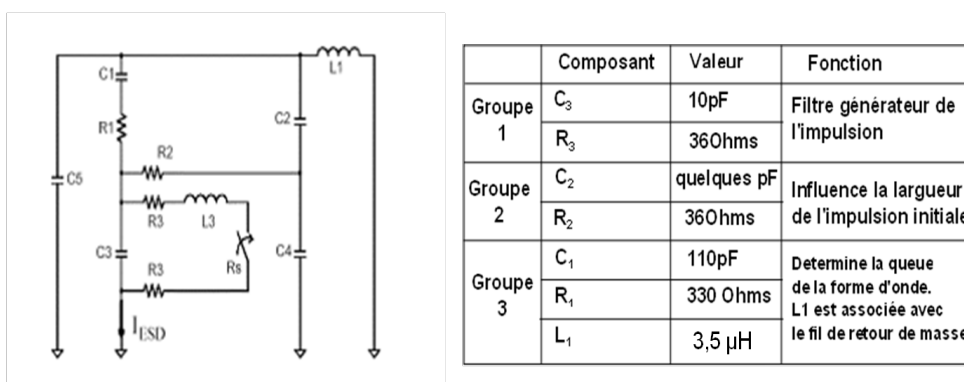
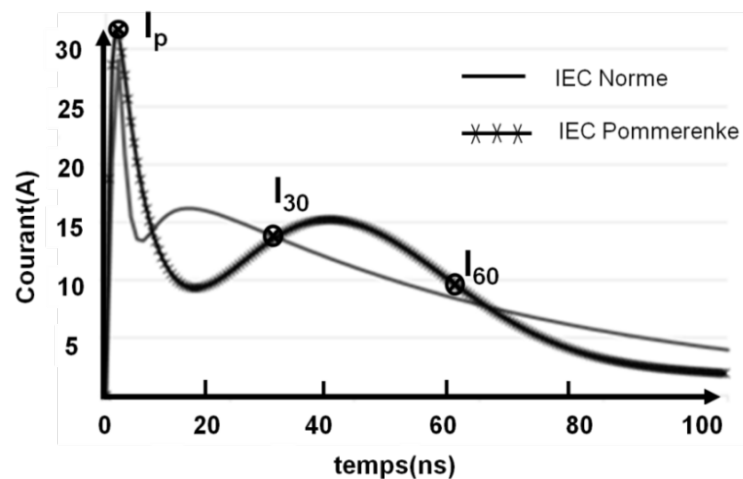


Figure 2.28. Schéma électrique du modèle publié par Pommerenke (65)

La capacité C<sub>2</sub> représente la charge énergétique de la 2ème partie de la décharge IEC, c'est-à-dire la charge du corps humain. La variation de la capacité C<sub>3</sub> influence le temps de montée et l'amplitude du 1<sup>er</sup> pic. La capacité C<sub>4</sub> représente la tête de décharge du pistolet. Nous avons étudié l'impact de cette capacité et nous en avons déduit que

celle-ci tend à augmenter l'énergie du premier pic. La variation de la résistance  $R_2$  modifie l'amplitude et le temps de montée du 1<sup>er</sup> pic. Cette valeur ajuste la limitation du courant de décharge. La forme du premier pic résulte d'un compromis entre  $C_3$ ,  $C_4$  et  $R_2$ . La variation de  $L_1$  représente l'inductance parasite de la pointe de décharge du pistolet, la variation de ce paramètre entraîne la translation dans le temps de la 2<sup>ème</sup> partie de la décharge et diminue son énergie. La variation de l'inductance  $L_3$  décale elle aussi la 2<sup>ème</sup> partie de décharge par rapport au 1<sup>er</sup> pic de décharge. Dans la Figure 2-29 est le résultat de simulation de la décharge générée par le modèle de D. Pommerenke superposé avec le générateur fourni par la norme IEC pour une pré charge de 5 kV.

Ce modèle, qui s'appuie aussi sur la forme du pistolet IEC, en représentant les parasites du testeur, est très malléable et a un temps de simulation tout à fait convenable. Sa forme d'onde est en accord avec les spécifications données par la norme IEC 61000-4-2 (les trois points coïncident).

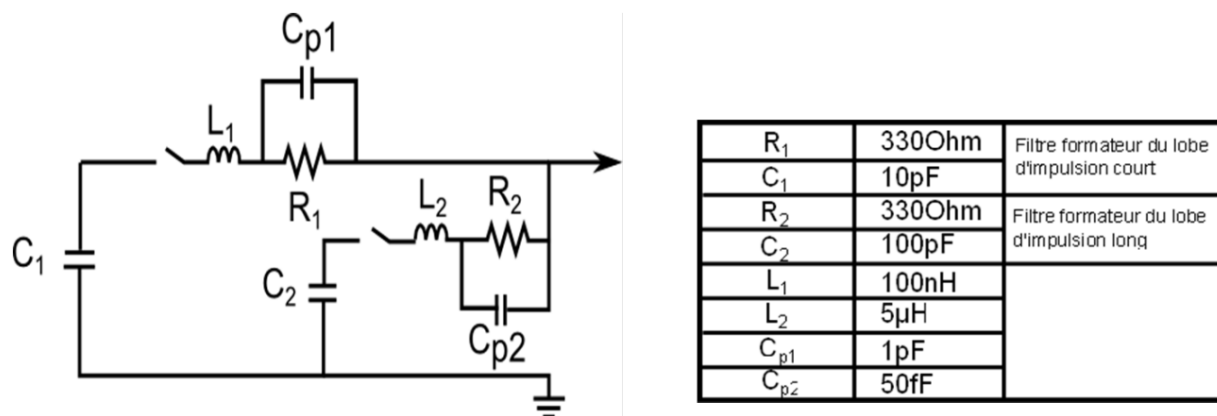


**Figure 2.29. Simulation électrique d'une décharge 8 kV du modèle de D. Pommerenke**

#### 2.10.1.4 Modèle développé pour nos études

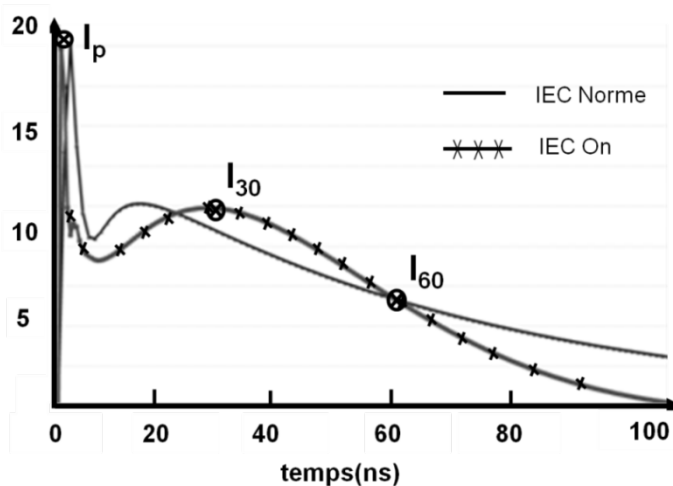
La Figure 2-30 représente le schéma électrique du modèle développé pour nos études. Celui-ci se compose de deux capacités de charge  $C_1$  et  $C_2$  qui se déchargent respectivement sur  $R_1C_1$  et  $R_2C_2$ .





**Figure 2.30. Schéma électrique du modèle développé pour nos études**

Les deux réseaux qui sont en parallèle, génèrent des courants qui s'additionnent et se déchargent sur le EUT. Le premier pic de courant de la décharge est généré par  $R_1C_1$  avec un temps de montée de l'ordre de la nanoseconde et une amplitude élevée. Ensuite, s'ajoute le courant créé par le réseau  $R_2C_2$  avec un temps de montée dix fois plus lent et qui contient plus d'énergie. La forme d'onde produite par ce schéma électrique est représentée Figure 2-31.



**Figure 2.31. Courant de décharge 5 kV de type IEC 61000-4-2 et courant de décharge du modèle développé pour nos études**

Nous constatons que la forme d'onde est compatible avec le standard de la norme IEC pour 5 kV. Ce modèle de par sa simplicité permet de simuler rapidement et efficacement la forme d'onde IEC, même si il ne s'agit pas d'un modèle qui reproduit

physiquement le pistolet de test, il produit un stress qui est en accord avec les spécifications IEC.

### 2.10.1.5 Comparaison des différents modèles

Le tableau 2.2 contient les résultats des points caractéristiques du stress IEC à 2 kV sur une charge de  $2 \Omega$  des modèles présentés. Dans ce tableau les valeurs en gras et soulignées sont celles qui ne suivent pas les spécifications de la norme. Nous pouvons conclure que le modèle série de K.Chiu est en dehors du gabarit de la norme. De plus, dès lors qu'une résistance de charge plus faible est introduite, il génère des oscillations négatives. Le modèle développé lors de nos études est un modèle simple qui génère une forme d'onde proportionnelle à la résistance de charge mais qui n'est pas réalisé à partir d'une modélisation physique du pistolet IEC. Le modèle de S.Caniggia se base sur les parasites introduits par le pistolet IEC, le but de ce modèle étant de simuler les phénomènes électromagnétiques, il requiert un temps de simulation plus grand. Le modèle de D. Pommerenke suit les spécifications de la norme et constitue le modèle le plus proche donné par celle-ci, tout en étant un modèle du pistolet IEC. C'est donc le modèle que nous avons choisi pour mener les simulations qui sont reproduites dans ce document.

Modèle	Premier pic(A)	Temps de montée (ns)	Courant à 30ns (A)	Courant à 60 ns (A)
Norme IEC	7,5±10% max=8,25 min=6,75	0,7 to 1,0	4 ±30% max=5,2 min=2,8	2 ±30% max=2,6 min=1,4
Chiu	<b>8,8</b>	0,7	3,38	1,9
Notre modèle	7,5	0,8	3,85	1,7
Caniggia	7	0,7	<b>2,48</b>	1,8
Pommerenke	7,5	0,8	4	2

Tableau 2.2. Comparaison des modèles pour une décharge IEC 2kV

### 2.10.2 Comparaison des normes

La différence entre les stress au niveau composant et au niveau système est évidente lorsque nous superposons les formes d'ondes, comme illustré dans la Figure 2-32. Le test CDM exige un niveau de robustesse minimum de 500 V et le test HBM un minimum de 2 kV pour les circuits intégrés. Dans le cas du stress système, la spécification minimale est de 2 kV et s'élève jusqu'à 8 kV contact. Les niveaux de courants mis en jeu dans le standard IEC sont beaucoup plus élevés que pour le HBM, même si ce dernier s'étend plus dans le temps. Le pic de courant du CDM s'approche du pic de courant pour le stress IEC et présente un temps de montée similaire, cependant la durée de ce stress est très courte. D'une certaine manière, le stress IEC est la combinaison du CDM et d'une décharge HBM. Dans la figure suivante sont représentés les formes d'onde du stress IEC, HBM et CDM associées aux signatures de défaillance typiques. Dans le cas du HBM et IEC l'énergie produite peut induire la fusion du silicium au niveau des jonctions, tandis que la variation interne produite par le CDM génère un claquage ponctuel au niveau de l'oxyde de grille.

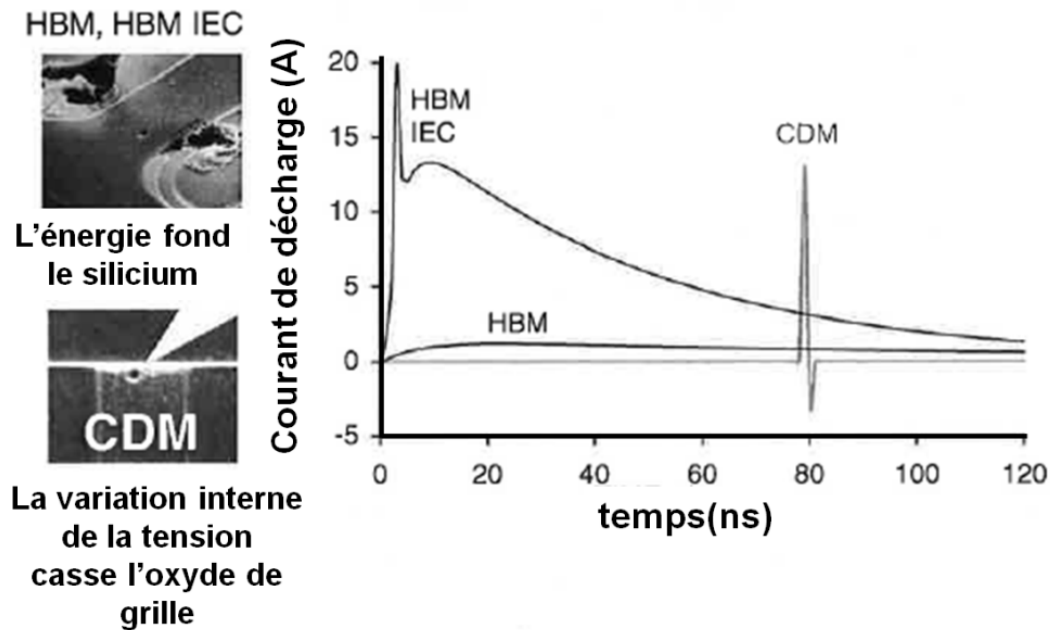


Figure 2.32. Superposition du stress IEC 5 kV, HBM 2 kV et CDM 500 V (66) et leurs signatures de défaillance associées

### 2.10.3 Le banc TLP IEC

Le pistolet IEC 61000-4-2 génère des formes d'onde avec une répétitivité faible et émettent un champ électromagnétique. L'analyse des résultats issus du stress IEC 61000-4-2 est donc complexe. Le banc TLP peut être utilisé pour corrélérer la robustesse ESD des systèmes, pour identifier des défaillances thermiques (67). En effet nous avons déjà précisé que le TLP est proche d'un niveau énergétique du HBM, qui est similaire au 2<sup>ème</sup> pic du stress IEC. Cependant, le premier pic du stress IEC d'une durée de l'ordre de 2 à 3 ns est plutôt à l'origine de défaillances de type claquage d'oxyde, le vf-TLP est donc plus approprié pour caractériser ce type de défaillance (6). Le banc développé par E. Grund « l'IEC TLP » combine un stress TLP et vf-TLP dans une ligne de transmission 50  $\Omega$  ou 330  $\Omega$ . Puisque tous les composants sur le chemin du courant peuvent être adaptés pour maintenir une impédance 50  $\Omega$ , la qualité de l'impulsion est améliorée significativement. De plus, le champ EM est pratiquement éliminé. Lorsque la ligne avec une impédance de 330  $\Omega$  est utilisée, des réflexions vont être superposées avec la décharge, mais l'impédance du générateur est la même que celle dans le pistolet ESD. Ce banc est un outil d'analyse des ESD système de la même façon que le TLP et le vf-TLP le sont pour le HBM et le CDM.

La norme IEC 61000-4-2 est détaillée ainsi que les modèles permettant de reproduire sa forme d'onde de décharge. Les différents tests et bancs de mesure permettent non seulement d'évaluer la robustesse ESD de la structure mais aussi d'en extraire certains paramètres caractéristiques indispensables à l'optimisation de la protection ESD du composant. Les stratégies mises en place pour la protection des circuits ont été présentées. Le développement de ces dernières est abordé à travers la notion de marges de conception imposées par le circuit à protéger. Les principaux éléments de protection ont été décrits. Les principes présentés dans ce chapitre (mesure et systèmes de protection) serviront de base à l'analyse d'une décharge ESD système dans un cas d'étude concret.

### 2.10.4 Les stratégies de protection ESD système

Une protection ESD doit être capable d'empêcher la tension de s'élever dans le circuit, de contrôler la circulation des courants de décharge, tout en étant elle-même, la plus robuste possible. Pour protéger le circuit, il existe deux sortes de stratégies : la

première appelée « On Chip » où la protection est intégrée directement dans le circuit à protéger au niveau des ports d'entrées-sorties ainsi que des alimentations. Cette stratégie de protection permet de protéger le circuit lors de sa manipulation par une personne ou une machine. Cependant au niveau du système, les effets des décharges sont plus intenses qu'au niveau composant. Pour limiter ces effets des protections externes sont placées au plus près des points de décharge, comme sur les connecteurs et/ou au plus près du composant à protéger. Pour protéger les circuits contre les ESD, l'équipementier peut donc ajouter une protection externe ou implémenter une stratégie de protection dans le CI ayant des niveaux élevés de protection intégrée.

Sur un système électronique, un port d'entrée-sortie permet d'établir des communications avec d'autres équipements. Les ports des CI comprennent des groupes de broches constituant le chemin d'accès d'un équipement extérieur ou d'un autre CI du système. Les broches avec un contact avec l'extérieur sont exposées aux décharges ESD. Les fabricants ont souvent augmenté le niveau de protection ESD de leurs CI, mais cela n'est pas suffisant dans certains cas. Pour supprimer les surtensions ou surintensités causés par les ESD, les fabricants de systèmes ont recours à des protections externes. Ces protections doivent s'activer avant que les éléments du système arrivent à des tensions critiques de défaillance.

Les méthodes pour diminuer les perturbations sont d'utiliser des résistances ou des inductances séries sur les lignes amenant sur le CI. Cependant, certains produits ont des fréquences d'utilisations élevées (quelques MHz à plus de 10 GHz) ce qui empêche l'utilisation de ces éléments de protection.

Des nouveaux composants ont été développés pour la protection ESD tels que les diodes TVS, les diodes de Zener, les Céradiodes, les varistances qui doivent s'adapter aux spécifications du produit. Les caractéristiques souhaitées pour ces protections sont de faibles capacités parasites ( de l'ordre de quelques pF), afin d'éviter la distorsion du signal. D'autres ont des tailles plus compactes pour s'adapter dans un espace limité sur une carte électronique. Il devient important de comprendre la nature de chaque dispositif de protection pour évaluer ses caractéristiques vis-à-vis des conditions d'utilisation envisagées.

Un bon circuit de protection doit être capable d'absorber ou de réduire les menaces ESD pour protéger les circuits sensibles. Même si ces protections externes sont

efficaces, elles restent néanmoins coûteuses. De plus, les dispositifs externes de protection contre les ESD utilisent un espace de carte précieux et ajoutent de la capacité électrique à la ligne E/S. Donc un dispositif mal choisi sera non seulement inefficace, mais pourra interférer avec le fonctionnement normal du circuit à protéger.

## **2.11 Conclusion**

Ce chapitre a présenté les différents mécanismes à l'origine des décharges électrostatiques dans les circuits intégrés introduisant la nécessité d'instaurer des normes qualifiant l'aptitude d'un circuit ou du système à résister aux décharges ESD. Les différentes techniques de caractérisation d'un dispositif ESD (HBM, MM, CDM, TLP, VF-TLP) dites « classiques » et les techniques de caractérisation orientées système (CDE, CBE, IEC 61000-4-2, HMM) ont été décrites. La norme IEC 61000-4-2 est détaillée ainsi que les modèles permettant de reproduire sa forme d'onde de décharge. Les différents tests et bancs de mesure permettent non seulement d'évaluer la robustesse ESD de la structure mais aussi d'en extraire certains paramètres caractéristiques indispensables à l'optimisation de la protection ESD du composant. Les stratégies mises en place pour la protection des circuits ont été présentées. Le développement de ces dernières est abordé à travers la notion de marges de conception imposées par le circuit à protéger. Les principaux éléments de protection ont été décrits. Les principes présentés dans ce premier chapitre (mesure et systèmes de protection) serviront de base à l'analyse d'une décharge ESD système dans un cas d'étude concret.



## CHAPITRE 3

### **3 Défaillance ESD d'un produit audio en fonctionnement**

La problématique des ESD au niveau système est un défi pour les fabricants de circuits intégrés. Pour les applications multimédia nomades, les constructeurs sont contraints d'appliquer la norme IEC 61000-4-2 pour mesurer la robustesse de leurs produits. Le niveau de robustesse IEC est devenu un facteur décisif lors du choix du client parmi les différentes offres de produits sur le marché.

Le produit doit être protégé tout en conservant une taille de puce standardisée. La surface de silicium influence le coût de production de la puce et par conséquent le prix de vente du produit. La surface utilisée doit être réduite à son minimum. L'espace utilisé pour la protection des circuits est contraint par l'espace disponible dans la puce après la conception du produit. De plus, les contraintes de fonctionnement dans un circuit analogique représentent un défi pour le concepteur de stratégies de protection ESD. En effet le signal de la fonction de transfert du système ne doit pas être perturbé par les composants parasites qui s'ajoutent lors de l'implémentation des protections dans le circuit. Cela impose souvent que la protection ESD ne doit pas dépasser une certaine valeur de capacité afin de pouvoir être implémentée sans problème dans le système. Les diverses contraintes en performance (bruit, impédance, fréquence, multiples alimentations) des circuits analogiques rendent la protection ESD de ces circuits d'autant plus complexe à réaliser.

Dans le chapitre qui suit, nous allons réaliser l'étude d'un amplificateur audio pour lequel les contraintes ESD sont importantes. Ce circuit intégré est utilisé pour les applications audio mobiles dédiées aux écouteurs et contient une broche directement connectée au monde extérieur. En dehors des structures de protection permettant de supporter les normes HBM et MM, aucune protection n'a été spécifiquement mise en œuvre dans le circuit pour assurer la robustesse aux agressions de type système. Le composant est testé et passe les spécifications 2 kV HBM, 200 V MM, requises. Cependant le produit ne passe pas les niveaux de robustesse 8 kV exigés par la norme



IEC 61000-4-2. Nous cherchons à comprendre quelle est la raison de cette défaillance et pour quel motif le produit qui passe le HBM/MM ne passe pas le test système. Pour commencer nous avons réalisé l'étude du produit et de ses fonctionnalités. Par la suite nous allons décrire quelle méthodologie nous avons mise en place pour la simulation d'une décharge ESD de type IEC 61000-4-2 système et finalement nous allons décrire les mesures TLP réalisées sur le produit. Une étude approfondie du mécanisme de défaillance est réalisée afin de proposer une méthodologie générique de protection pour les produits audio envers les ESD système.

### 3.1 Description du produit : Fonctionnement général de l'amplificateur audio

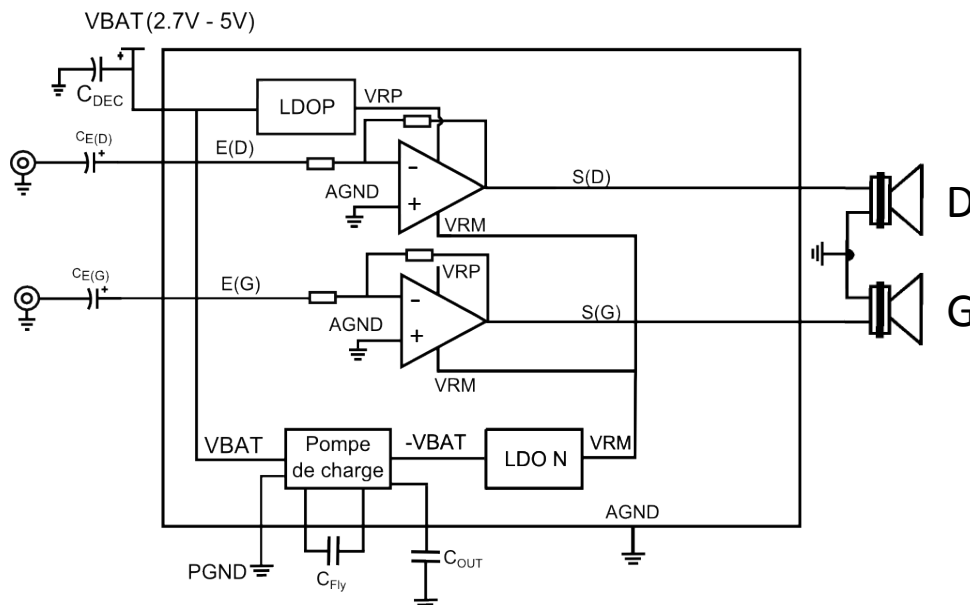


Figure 3.1. Schéma bloc électrique de l'amplificateur audio

Le composant étudié est un amplificateur audio de puissance classe AB conçu pour des applications de type portables comme par exemple les téléphones ou encore les lecteurs MP3. Il a été conçu dans une technologie CMOS 0,25  $\mu\text{m}$  pour une tension d'alimentation comprise entre 0 et 5 V. Le schéma de principe de l'amplificateur est représenté sur la Figure 3-1. Cet amplificateur audio est capable de délivrer 40 mA de courant moyen sur une charge de 16  $\Omega$  et est commercialisé en 2 versions. La première version contient un gain fixé ( $A = -1,5$ ) à travers des résistances internes à la puce. Dans la deuxième version le gain peut être réglé avec des résistances externes. Le gain varie en

général entre -1 et -10 et la résistance d'entrée pour la version externe peut varier entre 1 k $\Omega$  et 100 k $\Omega$  maximum. La résistance d'entrée est liée à la capa  $C_E$  et à la fréquence de coupure choisie par le client. Nous avons travaillé sur la première version contenant le gain fixe.

Les blocs principaux sont les suivants :

-L'alimentation VBAT qui peut varier entre +2,7 V et +5 V. Dans le cas où l'alimentation est fournie à partir d'un chargeur, la tension vue par le produit est de 5 V. Si l'alimentation est fournie à partir d'une batterie, la tension maximale est de 3,8 V et diminue selon la charge de la batterie jusqu'à 2,7 V qui est le niveau de charge minimum dans lequel le produit peut fonctionner.

-La pompe de charge ou « Charge Pump » : Ce module de l'amplificateur audio génère la tension -VBAT à partir d'un système à accumulation de charges à travers deux capacités externes  $C_{Fly}$  et  $C_{OUT}$  de 1 $\mu$ F chacune, de façon à délivrer une tension symétrique négative par rapport à la tension d'entrée. Ces deux capacités sont placées au plus près du circuit intégré de façon à éviter les résistances et inductances parasites d'accès des lignes de la carte électronique.

-Deux régulateurs LDO (Low Drop Output), LDOP et LDON génèrent une tension fixe de 2,2 V et -2,2 V à partir de VBAT et -VBAT, appelées VRP et VRM respectivement quelle que soit la tension d'alimentation.

- Le bloc d'amplification audio : composé de deux amplificateurs polarisés avec un courant de 5  $\mu$ A et alimentés avec VRP et VRM. Les tensions de sortie SD et SG sont référencées à la masse de façon à ne pas avoir de composante continue sur les entrées. Les amplificateurs sont alimentés avec une tension positive et négative de façon à amplifier les alternances des ondes sonores positives et négatives.

Les performances désirées à la sortie de cet amplificateur, qui conditionnent le choix de la protection ESD sont principalement définies par la capacité parasite et l'impédance maximale autorisée en sortie :

-La capacité parasite maximale tolérée sur la sortie est de 80 pF, si pour une raison quelconque une capacité avec une charge supérieure doit être ajoutée sur la sortie de l'amplificateur alors une résistance de 10  $\Omega$  doit être insérée afin d'assurer la stabilité de l'amplificateur.

-Lorsque le produit est éteint l'impédance de sortie est de 10 k $\Omega$  sur chacune. Une fois que le produit est en fonctionnement l'amplificateur est conçu pour travailler avec une impédance en sortie comprise entre 16  $\Omega$  et 32  $\Omega$  (représentant l'impédance des écouteurs).

-L'amplificateur fonctionne dans la bande de fréquences audio, c'est-à-dire entre 20 Hz et 20 kHz.

Le produit possède deux références de masse, une première masse dite analogique (AGND) et une deuxième pour la puissance (PGND). La consommation de l'amplificateur correspond au courant continu  $I_{DD}$  que va fournir l'alimentation VBAT. Si on regarde la consommation en fonction de la tension d'alimentation, ce courant doit être le plus constant possible dans la zone de fonctionnement pour avoir une consommation identique pour différentes tensions d'alimentation données.

### 3.2 Stratégie ESD du produit

Une stratégie ESD a été mise en place sur toutes les broches du circuit intégré, il s'agit d'une protection centralisée à base de diodes placées sous les plots des entrées et des sorties. Celles-ci renvoient la décharge ESD dans un dispositif de protection centralisé. La protection est réalisée à l'aide de quatre transistors MOS déclenchés de façon dynamique ou « RC triggered MOS » (Figure 3-2). Il s'agit d'un simple réseau RC qui se déclenche sur les fronts de montée très rapides en activant un n-MOS. Le schéma de principe est donné sur la figure 3.2. Lors d'une décharge ESD, le point P passe à l'état '0' tandis que la grille du n-MOS (point G) passe à l'état '1', le n-MOS devient passant et conduit le courant de décharge vers la masse.

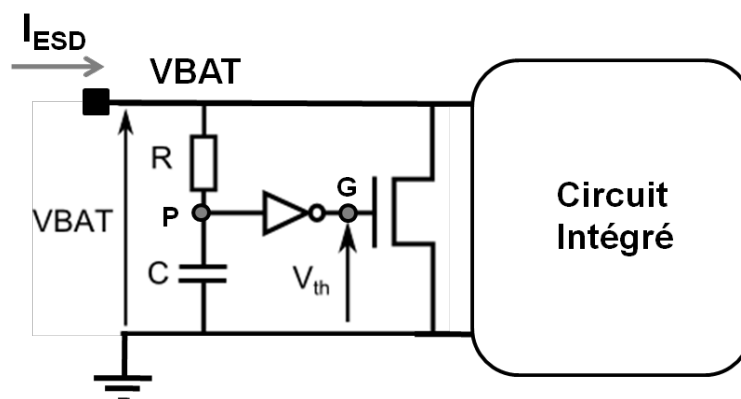


Figure 3.2. Schéma électrique du principe de fonctionnement du RC triggered MOS

Les quatre n-MOS de protection sont dessinés sous la forme d'une structure interdigitée. Les trois paramètres qui définissent ce transistor sont sa longueur de canal  $l = 0,5 \mu\text{m}$ , sa largeur totale  $W_g = 31,25 \mu\text{m}$  qui est la somme des largeurs de chaque doigt de grille, ainsi que  $N_g$  qui est le nombre total de doigts de grille = 4.

Cette stratégie a été choisie au lieu d'une protection localisée sous chaque plot en raison du peu d'espace disponible dans la puce mesurant 2 mm de long et 1,5 mm de large.

Cependant, l'IEC ne concerne que les broches qui sont en contact avec l'extérieur. Nous nous focaliserons donc sur la stratégie mise en place entre la broche S (sortie de l'amplificateur) et la masse GND. La Figure 3-3 illustre la stratégie de protection dans le produit pour les broches concernées. La figure reproduit en détail l'étage de sortie de chaque amplificateur qui est constituée de deux transistors n-MOS  $Q_0$  et p-MOS  $Q_1$ , ainsi que les MOS contrôlés par les LDO, le p-MOS  $Q_3$  placé entre VRP et VBAT et le n-MOS  $Q_2$  placé entre VRM et-VBAT.

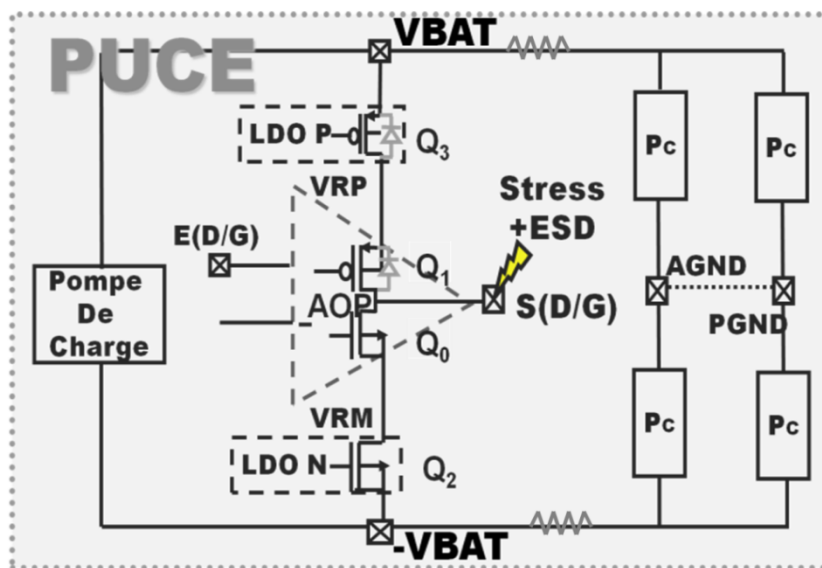
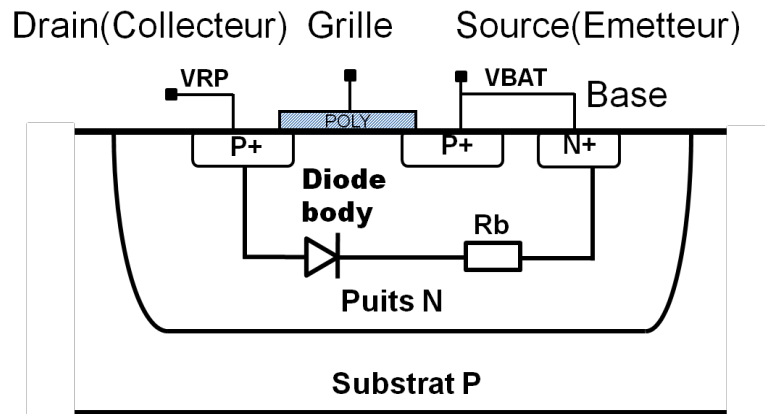


Figure 3.3. Stratégie centralisée ESD de la sortie audio du produit (S (D/G) et AGND/PGND)

Les quatre dispositifs de protection centrale,  $P_c$ , sont représentés. Le premier entre VBAT et AGND et un deuxième placé entre  $-VBAT$  et AGND, symétriquement deux autres clamps sont placés entre VBAT et PGND et  $-VBAT$  et PGND. La stratégie ESD HBM et MM (voir chapitre 1) pour une décharge positive entre la sortie S(D/G) et les

masses AGND/PGND est réalisée par les diodes drain-substrat (ou diodes de « body ») des p-MOS de sortie de  $Q_1$  et  $Q_3$ . La Figure 3-4 représente une coupe transversale du p-MOS  $Q_3$  avec ses éléments parasites. La diode et la protection centrale  $P_C$  localisée entre l'alimentation VBAT et la masse AGND et PGND constituent le chemin de décharge pour la stratégie HBM/MM.



**Figure 3.4. Coupe transversale du p-MOS  $Q_3$  et ses éléments parasites**

Lors d'un stress négatif, la protection est réalisée par les diodes body des n-MOS  $Q_0$  et  $Q_2$  et la protection centrale  $P_C$  à base de transistors MOS entre -VBAT et la masse AGND et PGND.

### 3.3 Tests IEC-61000-4-2 réalisés sur le produit

#### 3.3.1 Banc de manipulation pour la mesure IEC

Pour réaliser la mesure du niveau de robustesse IEC du produit, la puce de test est placée dans une carte de test. De cette façon, nous pouvons tester sa fonctionnalité avant le test et après le test IEC. La Figure 3-5 est un schéma électrique qui illustre le dessin de la carte utilisée pour la mesure IEC avec tous ses composants. Les photos de la Figure 3-6 représentent la manipulation de mesure de la carte et le détail de celle-ci dans le cadre de ce test. Sur cette photo, nous pouvons observer que les capacités de la pompe de charge  $C_{FLY}$  et  $C_{OUT}$  ainsi que la capacité de découplage  $C_{DEC}$  n'ont pas pu être intégrées dans le circuit en raison de leurs fortes valeurs (1  $\mu$ F). Elles sont donc placées en externe, sur la carte au plus proche du composant afin de diminuer les parasites introduits par les pistes. Des capacités de découplage  $C_{ED}$  et  $C_{EG}$  de 1  $\mu$ F sont prévues sur les entrées ED et EG. Elles ont pour objectif de filtrer les composantes continues arrivant sur l'entrée audio. Sur la carte, deux cavaliers sont prévus pour connecter les entrées à la masse.

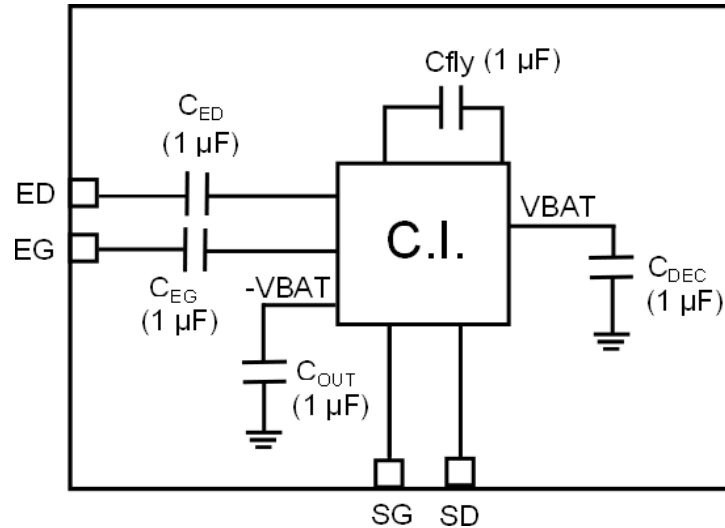


Figure 3.5. Schéma électrique simplifié de la carte de test

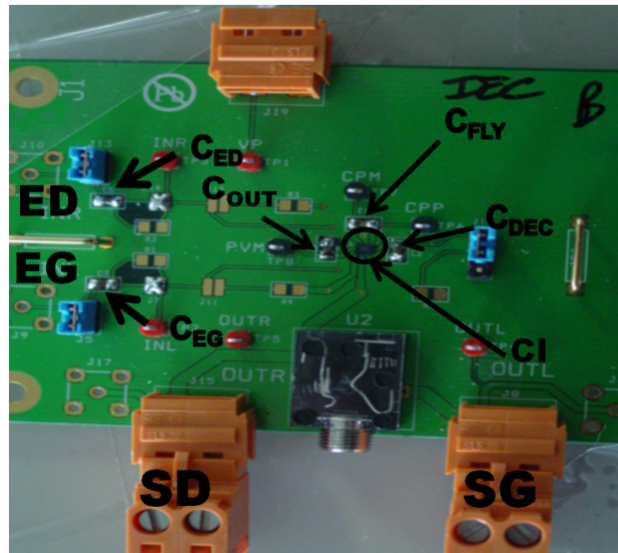


Figure 3.6. Vue détaillée de la carte de test IEC

Un interrupteur est présent pour réaliser la fonction marche/arrêt du produit. Deux prises de masse sont disponibles pour brancher les masses des appareils de mesure. Un connecteur adapté pour brancher les écouteurs, ainsi que deux connecteurs sur les sorties SD et SG. Plusieurs points de test sont disponibles pour la mesure des tensions SD, SG, VBAT, les entrées ED et EG et entre les capacités de sortie  $C_{OUT}$  et la capacité  $C_{FLY}$ . Les paramètres mesurés pour vérifier la fonctionnalité de la carte sont la fluctuation de la tension de sortie en injectant une forme d'onde sinusoïdale et la tension aux bornes de la pompe de charge qui est de -5 V.

### 3.3.2 Test pistolet d'après la norme IEC 61000-4-2

Le banc du test au pistolet sur le produit est mis en œuvre en suivant les indications données par la norme IEC (3), voir chapitre 2. La carte est posée sur un support en isolant lui-même disposé sur la table. La table est reliée à la terre à travers deux résistances de 470 k $\Omega$ . Nous disposons d'une batterie de téléphone qui fournit une tension de 3,8 V et d'un chargeur de portable qui fournit une tension de 5 V pour le téléphone. Le critère de défaillance choisi est la mesure du courant de consommation ( $I_{DDQ}$ ). Celui-ci est de 6 mA pour  $V_{BAT} = 3,8$  V et de 7 mA pour  $V_{BAT}=5$  V lorsque le produit est non dégradé. Les entrées ED et EG de l'amplificateur audio sont branchées à la masse de façon à ce que les polarisations sur les grilles des transistors de sortie de l'amplificateur restent fixes. La pièce est stressée sur la sortie droite SD sur la carte, une première fois sans alimentation et ensuite pour des alimentations de 3,8 V et 5 V. Les résultats du test sont présentés dans le Tableau 3.1. Dix stress sont réalisés à chaque niveau de tension IEC comme indiqué par la norme, avec des pas de 500 V entre 2 niveaux de tension. Le produit est considéré défaillant lorsque le courant de consommation dépasse 10 mA qui correspond à la valeur maximum de  $I_{DDQ}$  dans la spécification du produit. D'après les résultats de mesure, la pièce stressée sans alimentation présente une robustesse IEC de 6 kV (la pièce casse lorsque nous appliquons une décharge 6,5 kV). Lorsque le produit est alimenté, la robustesse IEC chute dramatiquement à 1,5 kV avec la batterie ( $V_{BAT} = 3,8$  V) et 500 V lorsque la pièce est branchée au chargeur ( $V_{BAT} = 5$  V). La robustesse IEC du produit est donc fortement dépendante de la tension d'alimentation du circuit. Nous voulons savoir à quoi est dû ce changement de robustesse et dans quelle mesure l'alimentation du produit influence la robustesse IEC. Pour commencer l'étude, nous procédons à une analyse de défaillance des cartes stressées.

Tension d'alimentation	Robustesse IEC	$I_{DDQ}$ (mA)
0 V	6 kV	<b>109</b>
3,8 V	1,5 kV	<b>130</b>
5 V	500 V	<b>106</b>

**Tableau 3.1. Résultats du test IEC pour chaque niveau testé et courant de consommation  $I_{DDQ}$  pour le niveau défaillant**

### 3.4 Analyse de défaillance des cartes stressées en IEC

Une analyse aux cristaux liquides nous a tout d'abord signalé la localisation de la dégradation par sa signature en surface, dans le n-MOS  $Q_0$  de l'amplificateur audio. L'analyse par microscopie électronique à balayage (Figure 3-7) confirme que le défaut se trouve sur le transistor n-MOS  $Q_0$  qui est connecté sur la sortie SD de l'amplificateur opérationnel (Figure 3-8). Cette défaillance est identique sur toutes les cartes testées et correspond à la génération de filaments entre source et drain. Le type de défaillance est le même que le produit soit alimenté ou non.

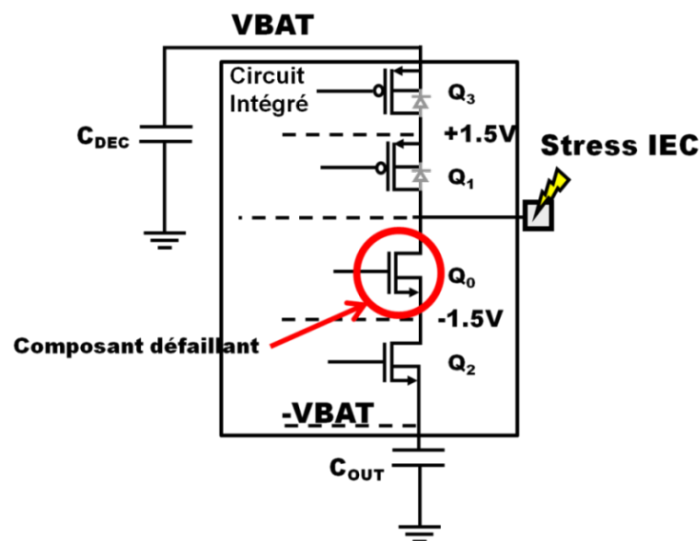


Figure 3.7. Schéma représentant le composant défaillant dans l'amplificateur audio

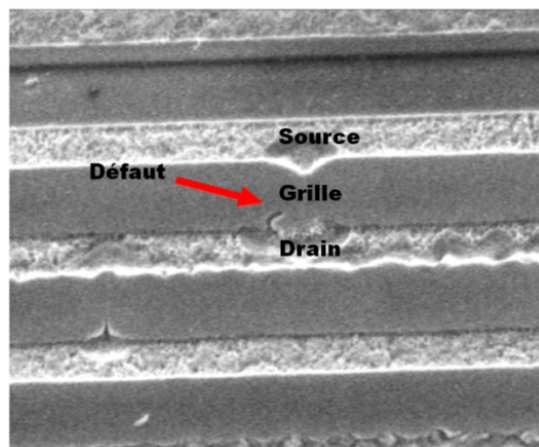


Figure 3.8. Résultat de l'analyse par microscopie électronique à balayage de la carte stressée par l'IEC

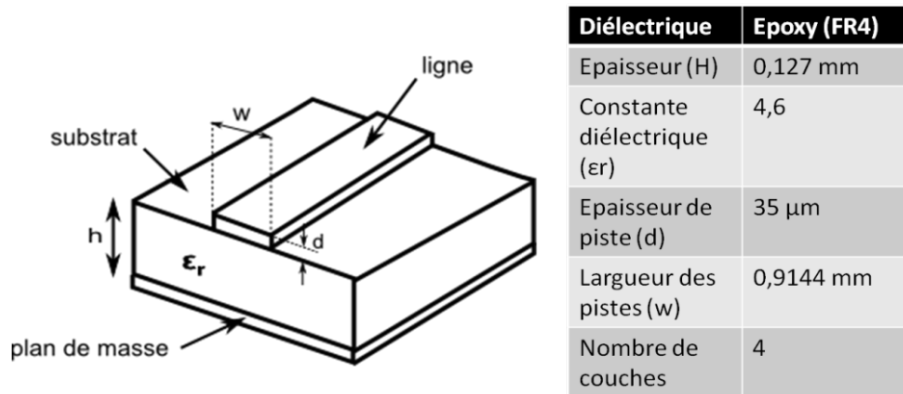


## 3.5 Simulation électrique de la décharge IEC

### 3.5.1 Introduction à la simulation système

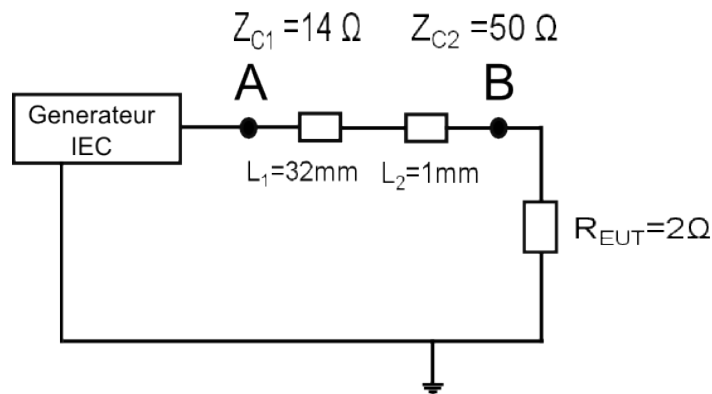
La simulation électrique nous permet de prédire les points faibles du circuit par l'analyse des courants et des tensions développées lors d'une décharge IEC, et ainsi déduire quels sont les chemins de décharge possibles. Le modèle électrique du pistolet ESD développé par D. Pommerenke que nous avons présenté dans le deuxième chapitre est employé pour la réalisation de la simulation électrique. Dans notre simulation, une décharge IEC de 1 kV est injectée entre la sortie S et GND (Figure 3.9), nous rappelons qu'il s'agit de la tension pour laquelle le produit est défaillant pour une alimentation de 5 V. La puce est placée sur une carte électronique pendant le test IEC en introduisant plusieurs parasites comme le connecteur, la ligne micro-ruban, la soudure des billes entre la carte et la puce et le boîtier. Ces parasites doivent être évalués pour savoir quel est leur impact dans la décharge.

La décharge passe à travers une ligne qui possède une impédance caractéristique pouvant modifier le signal. Cette ligne est généralement réalisée en technologie micro-ruban. Le plan de référence de la masse constitue le chemin de retour du courant. La Figure 3-9 présente une ligne micro-ruban constituée d'une piste conductrice réalisée en métal mince, placée sur une face d'un matériau diélectrique dont la face arrière est entièrement recouverte de cuivre. Le matériau diélectrique sert à la fois de support mécanique mais aussi de support de propagation des champs de par ses caractéristiques électriques et géométriques qui sont : la permittivité diélectrique relative du substrat  $\epsilon_R$  et la hauteur  $h$ , la largeur  $w$  et la longueur de la ligne  $l$ . Le tableau associé à la figure résume les caractéristiques de la ligne micro-ruban qui relie la sortie S et la puce utilisée pour nos études.



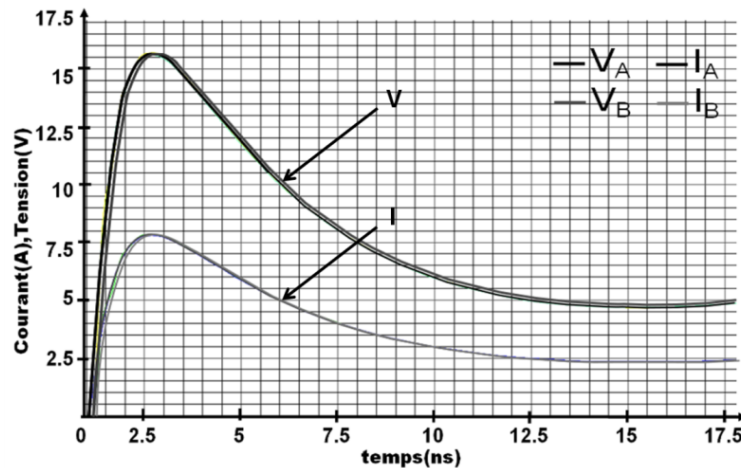
**Figure 3.9. Paramètres de la ligne micro-ruban de la carte contenant l'amplificateur étudié**

L'impédance caractéristique d'une piste de circuit imprimé peut être calculée avec des équations empiriques que l'on trouve dans la littérature ou à travers des logiciels de calcul électromagnétique. Après le calcul de l'impédance des pistes en micro-ruban, le schéma équivalent pour la simulation de la décharge ESD sur la carte qui passe à travers les lignes micro-ruban jusqu'au circuit intégré testé (représenté par  $R_{EUT}$ ) est donné en Figure 3-10. La ligne micro-ruban contient un rétrécissement ce qui génère une rupture d'impédance représentée ci-dessus par les impédances  $Z_{C1}$  et  $Z_{C2}$ .



**Figure 3.10. Schéma électrique équivalent de la simulation de la carte**

Les simulations sont réalisées à partir des modèles de ligne de la société avec laquelle j'ai collaboré et des modèles fournis par le simulateur SPECTRE. La simulation est effectuée pour une pré-charge de 2 kV avec et sans la ligne micro-ruban sur une résistance 2  $\Omega$  (qui modélise le circuit intégré). La simulation des lignes est réalisée en tenant compte des caractéristiques géométriques des lignes micro-ruban. Le résultat de cette simulation est donné sur la Figure 3-11, où le courant et la tension sont représentés pour une simulation de la décharge avec et sans les lignes micro-rubans.



**Figure 3.11. Résultats de simulation avec et sans ligne micro-ruban pour une décharge 8kV IEC**

Les niveaux de courant et de tension ne sont pas modifiés avec l'introduction de la piste. C'est pour cette raison que nous allons négliger l'influence de cette piste sur la simulation électrique complète.

La liaison électrique entre la puce et la piste micro-ruban est réalisée à travers le soudage par écrasement des billes de contact à la surface de la puce. Les résultats d'une simulation électromagnétique montrent que la résistance des billes de connexion est quasiment nulle et que l'inductance et la capacité parasite sont respectivement de 2,23 nH et de 0,89 pF, donc négligeables, comme le démontre aussi C. Chiu dans sa publication (68).

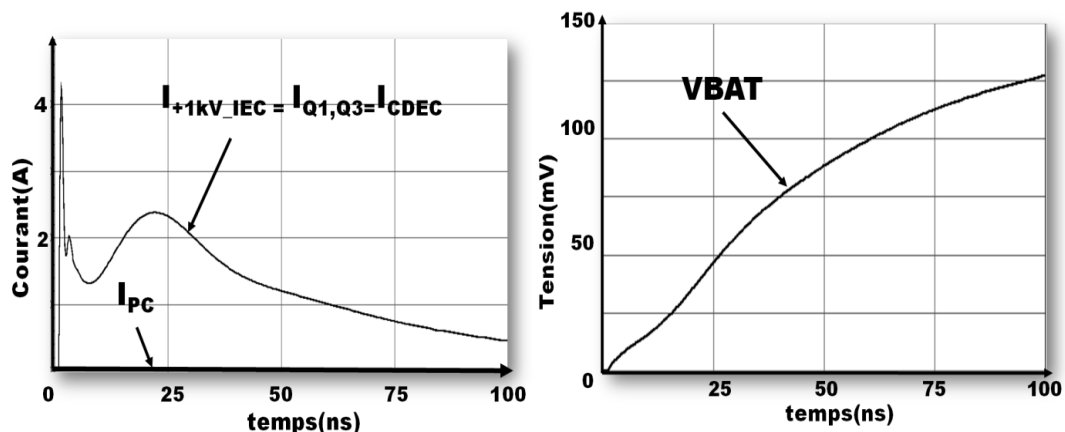
### 3.6 Simulation de la décharge IEC avec le produit non alimenté

La simulation complète du produit non alimenté a été réalisée, en tenant compte de la configuration de fonctionnement standard (avec les capacités de découplage). La capacité  $C_{DEC}$  a été incluse dans la simulation pour tenir compte des interactions entre la puce, le boîtier, les lignes micro-rubans et la capacité de découplage.

Initialement la capacité de découplage n'est pas chargée et la protection centrale n'est pas active. Le courant de décharge IEC peut passer soit à travers la capacité, soit à travers le RC trigger MOS de protection centrale. La capacité de découplage est de  $1\mu\text{F}$  et limite les variations de potentiel entre VBAT et GND. La fluctuation donnée par la simulation est de 1,25 mV/ns pour une décharge 1 kV (Figure 3-12), donc négligeable. Le comportement des protections centrales en fonction de la valeur des capacités externes de la carte a déjà été étudié dans des publications (69), où il est démontré que suivant la

valeur de la capacité de découplage et de l'inductance parasite de la ligne micro-ruban, le clamp central peut être déclenché ou non. Le temps nécessaire pour charger la capacité et atteindre 0,8 V (tension de déclenchement du MOS) sur la grille du MOS est relativement grand ( $\tau = C \frac{\Delta V}{\Delta i}$ ). La Figure 3-13 illustre le chemin du courant de décharge dans la sortie de l'amplificateur pour un stress positif IEC. Le courant de décharge traverse les p-MOS  $Q_1$  et  $Q_3$  et la capacité de découplage  $C_{DEC}$ . Il n'y a pas de courant à travers les protections centrales PC utilisées dans la stratégie HBM/MM. Il en est de même lors d'un stress négatif, où le courant de décharge traverse symétriquement la diode de substrat des transistors  $Q_0$  et  $Q_2$ , la capacité  $C_{OUT}$  jusqu'à la masse.

La simulation électrique d'une décharge électrostatique IEC dans une carte de test permet de conclure que les capacités externes de la carte modifient les chemins de décharge ESD, et que les protections internes  $P_C$  ne sont pas efficaces pour la protection du circuit intégré dans une décharge ESD système. Les transistors bipolaires parasites des MOS ne sont pas modélisés, par contre les diodes substrat sont incluses.



**Figure 3.12. Résultats de la simulation d'une décharge IEC 1kV entre la sortie S et la masse GND (produit non alimenté)**

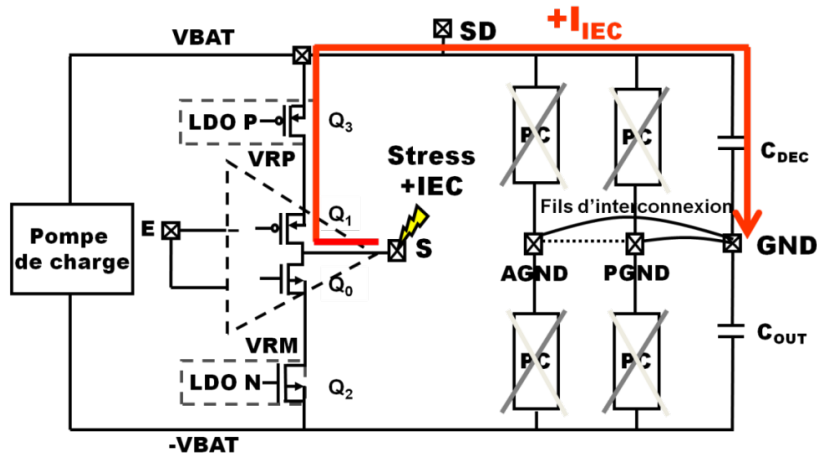


Figure 3.13. Représentation simplifiée du chemin de décharge lors d'un stress +IEC dans le produit non alimenté

### 3.7 Simulation de la décharge IEC avec le produit alimenté

#### Simplification de la simulation électrique

Pour réaliser une telle simulation, le produit doit être en fonctionnement au moment du stress. Le temps de simulation est alors très long (3 jours) pour réaliser la simulation complète de l'allumage du produit. La pompe de charge reçoit la tension de l'alimentation VBAT et la convertit en -VBAT à travers un oscillateur commandé en tension (VCO) et un système de remplissage de réservoirs, c'est-à-dire du remplissage de la capacité  $C_{OUT}$  à travers la capacité  $C_{FLY}$ . Une méthodologie de simplification de la simulation a donc été mise en place. Celle-ci consiste à réaliser l'étude du produit et à comprendre le fonctionnement global de blocs qui le composent. L'étude des chemins de décharge est réalisée après une première simulation complète de façon à identifier les blocs qui ne sont pas nécessaires dans la simulation. Le critère de choix s'est porté sur la modification des paramètres électriques de ces blocs lors de la décharge électrique. Nous avons pu ainsi réduire la simulation aux seuls blocs de régulation de tension et d'amplification audio représentés sur le schéma bloc suivant (Figure 3-14).

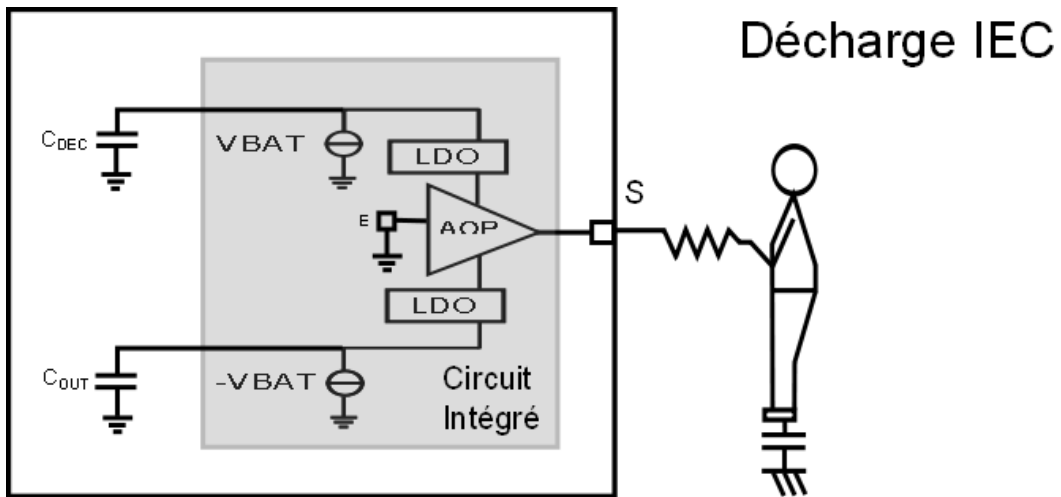


Figure 3.14. Schéma électrique du produit simplifié pour la simulation électrique

Une simplification plus approfondie a été testée, en utilisant seulement l'étage de sortie des amplificateurs. Les résultats de simulation obtenus diffèrent largement des résultats obtenus à partir de la simulation complète. En effet, la chaîne de sortie est contrôlée à partir d'un système complexe d'étages de gain rebouclés (voir Figure 3-15). Nous n'avons donc pas conservé cette configuration et notre schéma de simulation contient les amplificateurs complets. Cette simplification a réduit le temps de simulation à 10 minutes.

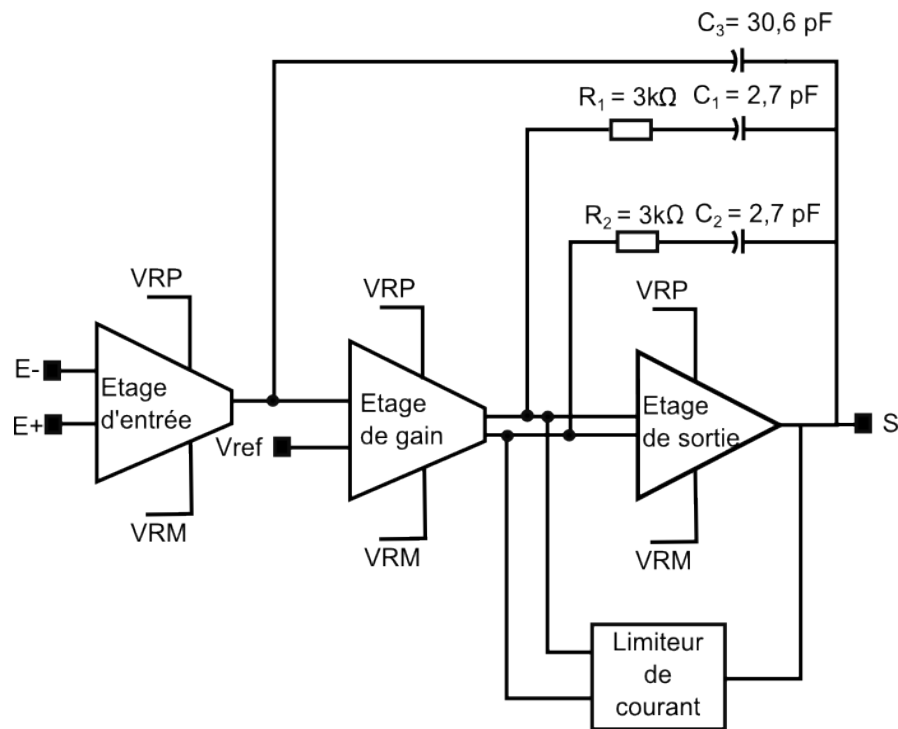


Figure 3.15. Structure générale de l'amplificateur classe AB

### 3.7.1 Simulation électrique du produit alimenté

La simulation d'une décharge électrostatique IEC 1 kV sur le produit alimenté (5 V) est appliquée entre la sortie S et GND. Le simple fait que le produit soit alimenté crée de nouveaux chemins de décharge, illustrés dans la Figure 3-16. Les cinquante premières nanosecondes du courant de décharge IEC sont représentés Figure 3-17.

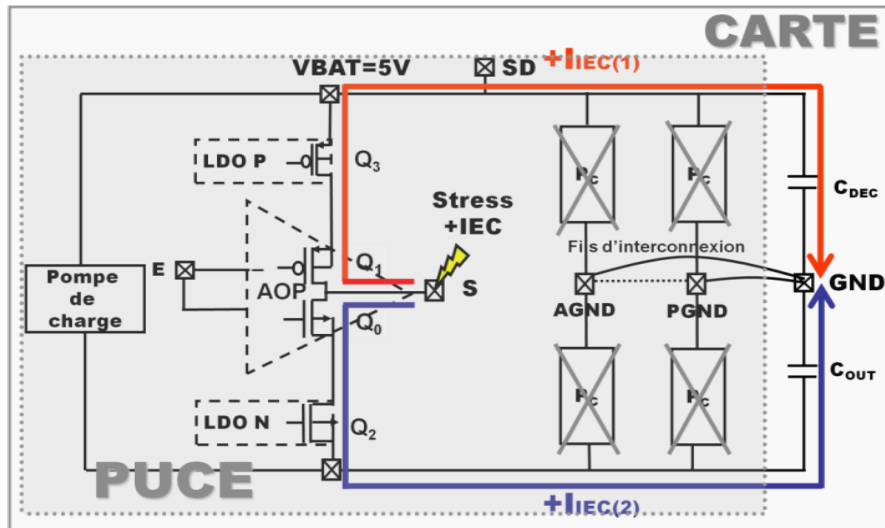


Figure 3.16. Représentation des chemins de décharge entre S et GND pour la simulation électrique d'une décharge IEC 1kV dans le produit alimenté

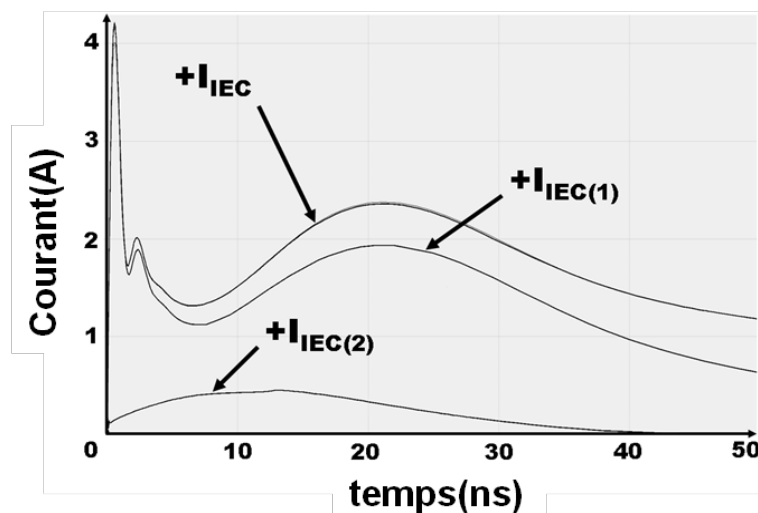
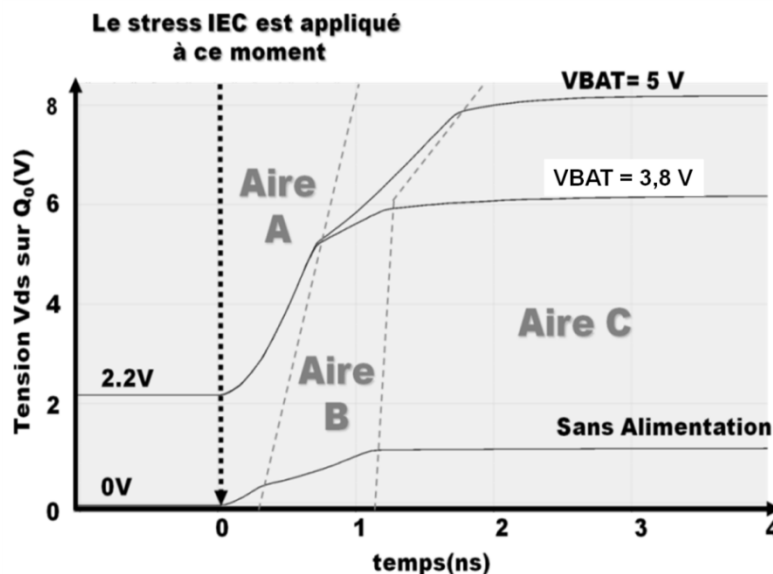


Figure 3.17. Formes d'ondes de courant entre S et GND pour la simulation électrique d'une décharge IEC 1kV dans le produit alimenté (VBAT = 5 V)

Celui-ci se décompose en deux parties IIEC(1) et IIEC(2). Le courant de décharge IIEC(1) passe par le canal de Q1 et Q3 et CDEC. La deuxième partie du courant IIEC(2) passe à travers le canal de Q0 et Q2 et ensuite à travers COUT. Pendant la décharge, la tension VDS du transistor Q0 augmente, et la simulation a montré que sa valeur dépend fortement des tensions d'alimentation. Pour une tension d'alimentation de 2,7 V, VDS (Q0) passe de 2,2 V à 5,5 V et de 2,2 V à 7,5 V pour une alimentation de 5 V. Les 2,2 V correspondent à la tension d'alimentation de l'amplificateur à l'état d'attente.

Nous avons simulé le même stress IEC avec le produit alimenté à 3,8 V et 5 V et le produit non alimenté. La tension développée entre le drain et la source de Q<sub>0</sub>, pendant les quatre premières nanosecondes du stress ESD, pour les trois cas de tensions d'alimentation est reportée sur la Figure 3-18.



**Figure 3.18. Tension entre drain et source de Q<sub>0</sub> en fonction de la tension d'alimentation pour une décharge IEC 1kV sur la sortie de l'amplificateur**

Avant le stress IEC positif, et lorsque le produit est alimenté sous 3,8 V ou 5 V, le transistor de sortie de l'amplificateur audio Q<sub>0</sub> est polarisé avec les valeurs suivantes :

- La tension de grille est égale à sa tension de seuil (0,8 V).
- La tension Vds est de 2,2 V.

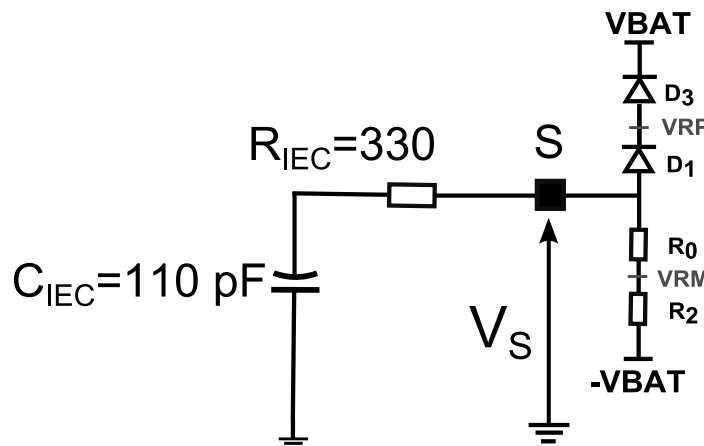
Sans tension d'alimentation, les nœuds sont flottants et la tension Vds de Q<sub>0</sub> est à 0 V. Pendant le stress IEC, la tension Vds augmente et peut être divisée en trois zones,



Aires A, B et C, représentant des régimes de fonctionnement spécifiques. L'analyse de la simulation a démontré que ces aires sont fonction de la tension développée entre la broche S et la masse (tension notée  $V_S$ ). Pour chacune de ces aires, nous allons analyser ci-après ces régimes de fonctionnement.

- **Aire A :  $V_S < V_{BAT} + V_f$**  ( $V_f$  est la tension directe de la diode de drain-substrat du transistor  $Q_1$ )

Le modèle de stress IEC que nous avons utilisé est celui de D. Pommerenke présenté dans le chapitre 2. Ce modèle est caractérisé par une capacité de 110 pF se déchargeant dans une résistance de 330  $\Omega$  en série avec l'impédance équivalente entre S et GND du circuit intégré (voir Figure 3-19). Celle-ci est composée de deux impédances en parallèle. La première impédance est équivalente à la résistance série des transistors n-MOS ( $Q_0$  et  $Q_2$ ) passants, la deuxième est l'équivalent des deux diodes drain-substrat des p-MOS bloqués ( $Q_1$  et  $Q_3$ ) en série. D'après ce schéma, la relation entre  $V_{Q_0+Q_2}$  et  $V_S$  est la suivante :  $V_S = V_{DS_{Q_0}} + V_{DS_{Q_2}} - V_{BAT}$

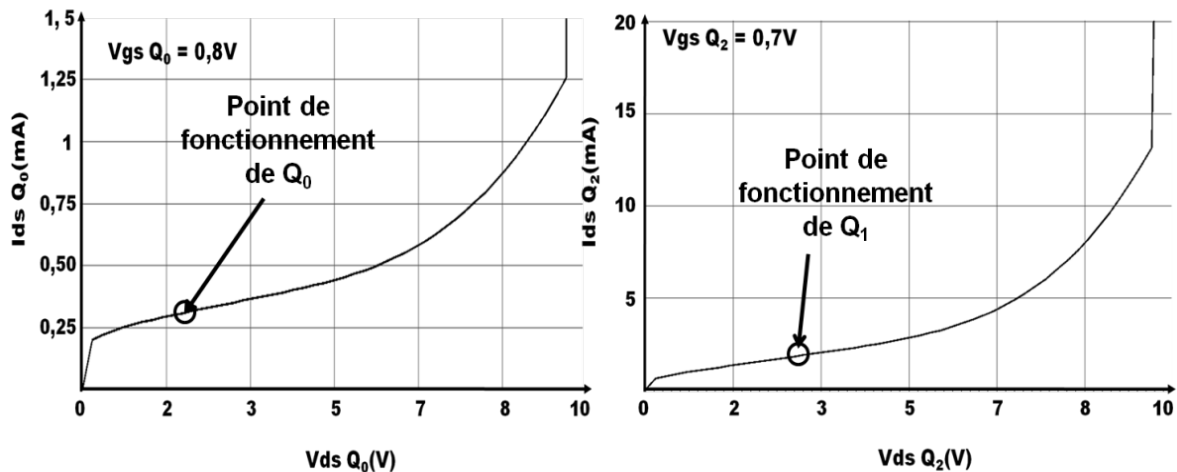


**Figure 3.19.** Schéma équivalent de la sortie de l'amplificateur à  $t=0$  de la décharge IEC

Lorsque le stress IEC est appliqué sur la sortie, une différence de potentiel est imposée entre S et GND (tension  $V_S$ ). Etant donné que les valeurs des capacités  $C_{DEC}$  et  $C_{OUT}$  sont grandes (1  $\mu$ F chacune), les fluctuations de tension sur  $V_{BAT}$  et  $-V_{BAT}$  sont réduites et peuvent être considérées comme étant nulles.

Les graphiques suivants représentent le courant  $I_{ds}$  en fonction de la tension  $V_{ds}$  de  $Q_0$  et  $Q_2$  pour une polarisation de grille de 0,8 V et de 0,7 V respectivement (tensions qui correspondent à leur polarisation au repos) pour toutes les tensions d'alimentation. La

somme des impédances correspondantes aux transistors  $Q_0$  et  $Q_2$  pour ces tensions de polarisation est de  $15 \Omega$ , comme nous pouvons le mesurer sur la Figure 3-20. Lorsqu'un stress IEC est appliqué sur la sortie de l'amplificateur, la tension  $V_{ds}$  augmente donc très rapidement (1 kV IEC correspond à un courant pic de 4 A).



**Figure 3.20. Tension  $I_{ds}(V_{ds})$  de  $Q_0$  et  $Q_2$  lorsque les grilles sont polarisées avec 0,8 V et 0,7 V respectivement**

L'apparition d'un évènement ESD, correspondant à un transitoire rapide (temps de montée de 1 ns), crée par couplage au travers des capacités intrinsèques  $C_{gd\_Q_0}$  et  $C_{gd\_Q_1}$ , une augmentation de potentiel sur les grilles de  $Q_0$  et  $Q_1$  (Figure 3-21). La polarisation de grille du transistor n-MOS  $Q_0$  passe de 0,8 V à 2,2 V, accroissant ainsi sa conductivité. De même, les potentiels sur VRP et VRM (les tensions de sortie des LDOs) augmentent: VRP passe de 2,2 V à 5,5 V et VRM passe de -2,2 V à -0,8 V (pour une alimentation 5 V). En parallèle, le potentiel de grille  $Q_1$  augmentant, le transistor p-MOS  $Q_1$  passe à l'état bloqué ( $V_{GS} = -5$  mV).

Une partie du courant de décharge  $I_{IEC(2)}$  passe à travers  $Q_0$  et  $Q_2$  alors que ces derniers sont en régime de conduction saturé. La chute de potentiel dans les capacités  $C_{ds\_Q_1}$  et  $C_{ds\_Q_3}$  crée un courant capacitif de décharge  $I_{IEC(1)}$  induit par la différence de potentiel provenant du stress IEC et la valeur des capacités intrinsèques.

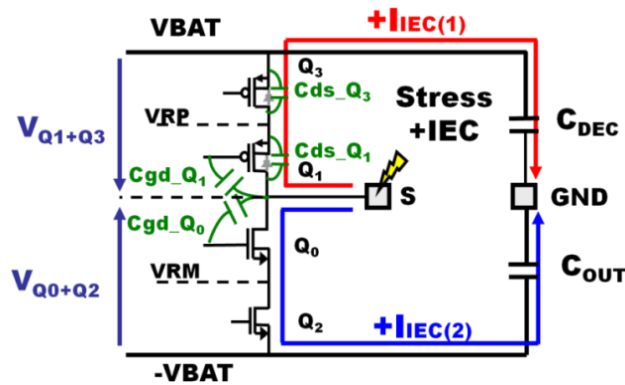


Figure 3.21. Schéma détaillé décrivant les courants de décharge entre S et GND dans l'aire A

- **Aire B:  $V_S \geq V_{BAT} + V_f$**

La tension  $V_S$  augmente et dépasse la tension requise pour mettre en direct la diode  $D_1$  (Figure 3-22), qui est égale à  $V_{BAT} + V_f$ . De même, la tension  $VRP$  a augmenté par couplage capacitif. Le courant  $IEC$  trouve alors un nouveau chemin de décharge moins résistif que le précédent, la tension  $V_S$  augmente plus lentement. Ce point d'inflexion définit le début de l'aire B. Le courant  $I_{IEC1}$  passe à travers la diode de body  $D_1$  (la diode  $D_3$  reste bloquée) et dans le cœur de l'amplificateur jusqu'à atteindre la masse. Le courant qui passe à travers  $Q_3$  est uniquement un courant capacitif.

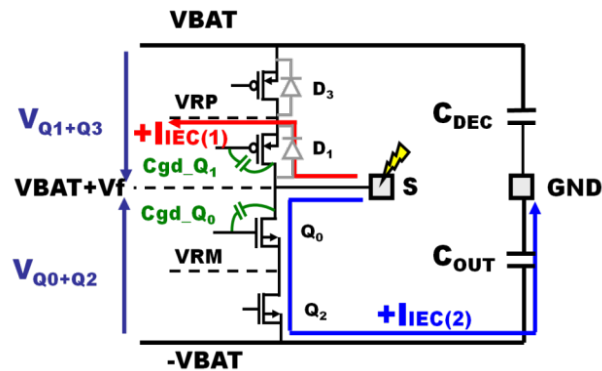
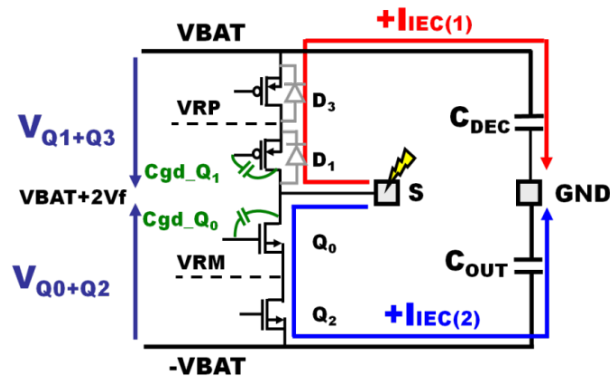


Figure 3.22. Schéma détaillé décrivant les courants de décharge entre S et GND dans l'aire B

- **Aire C:  $V_S > V_{BAT} + 2V_f$**

La tension  $V_S$  continue à augmenter jusqu'à la tension de mise en direct des diodes  $D_1$  et  $D_3$ . Un nouveau chemin de décharge peu résistif est offert au courant  $IEC$  qui passe aussitôt à travers les diodes de body des p-MOS. La tension entre S et GND est alors bloquée à  $V_{BAT} + 2 \times V_f$ . Même si une partie du courant de décharge continue à passer à

travers  $Q_0$  et  $Q_2$  la majorité du courant ESD est évacuée via les diodes body  $D_1$  et  $D_3$  (Figure 3-23).



**Figure 3.23. Schéma détaillé décrivant les courants de décharge entre S et GND dans l'aire C**

La tension  $V_{ds}$  de  $Q_0$  est reliée directement à la tension d'alimentation étant donné que  $V_s$ , (et donc  $V_{Q_0+Q_2} + V_{BAT}$ ) augmente jusqu'à ce que les diodes de body des deux p-MOS  $D_1$  et  $D_3$  basculent en direct. C'est-à-dire que la tension aux bornes de  $Q_0$  va augmenter jusqu'à  $V_{ds} = V_{BAT} + 2 \times V_f$ . Pendant la décharge IEC, la tension développée sur  $Q_0$  se trouve à la limite de la tension d'avalanche de la jonction drain-source (9 V en statique), d'après les outils de simulation. Il nous reste à confirmer les résultats obtenus par la mesure.

### 3.8 Mesures TLP sur le produit non alimenté et alimenté

Nous réalisons la mesure TLP sur la sortie OUT afin de comparer les réponses de la sortie de l'amplificateur lorsque celui-ci est alimenté et non alimenté. Ceci afin de comparer les chemins de décharge et de comprendre quel est le motif de la faible robustesse IEC lorsque le produit est alimenté. Le temps de montée de la forme de l'impulsion est réglé à 10 ns et sa largeur est de 100 ns. Les entrées ED et EG sont branchées à la masse de façon à ce que les polarisations sur les grilles des transistors de sortie de l'amplificateur restent fixes et correspondent à celles décrites dans la simulation précédente. Les 3 capacités externes sont placées sur la carte, comme lors du test IEC. Le courant de fuite sur la broche S est le critère utilisé comme indicateur de la défaillance pour la mesure TLP sur le produit non alimenté. Pour le produit alimenté, le critère utilisé est le courant de consommation. La fonctionnalité est testée préalablement afin de vérifier la bonne opération du produit avant de lui appliquer le stress IEC. Le composant est placé

sur la carte de démonstration. Le stress est appliqué entre les mêmes broches que celles où l'IEC est effectuée sur le produit non alimenté, c'est-à-dire entre S et GND (Figure 3-24).

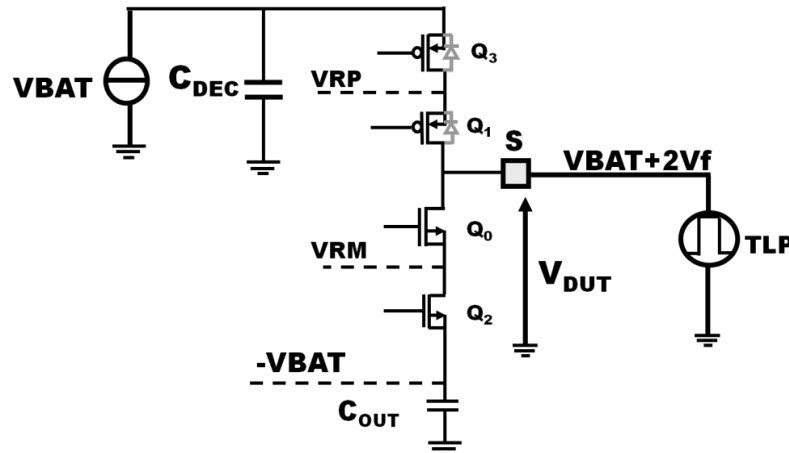


Figure 3.24. Schéma simplifié du banc de mesure TLP

Il se crée un chemin de décharge classique qui est composé par les deux diodes de body des PMOS  $Q_1$  et  $Q_3$  de l'amplificateur audio et du régulateur de tension positive (LDOP) (Figure 3-25).

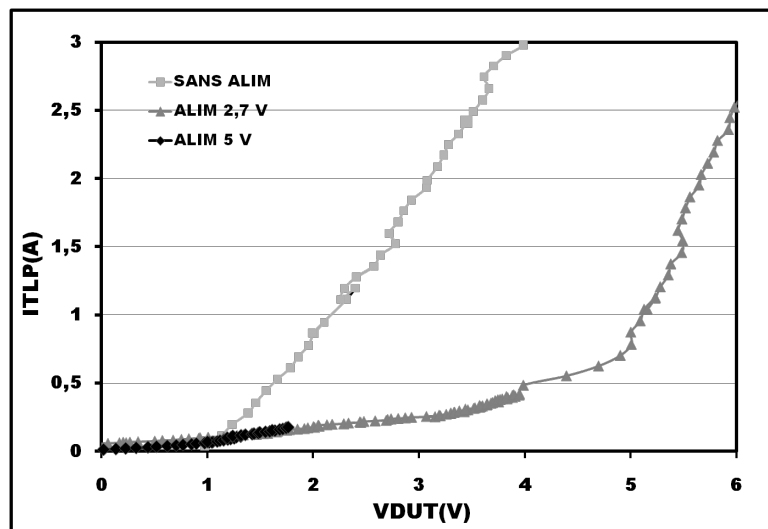


Figure 3.25. Comparaison des mesures TLP (temps de montée 10ns) pour un stress entre S et GND dans le produit alimenté et non alimenté

Le chemin de décharge suit le rail d'alimentation jusqu'à la capacité de découplage  $C_{DEC}$  qui se trouve placée entre l'alimentation VBAT et la masse. Le courant passe à travers la capacité de découplage et non à travers les protections ESD prévues

puisque l'impédance de la capacité ( $1\mu\text{F}$ ) est inférieure à l'impédance des protections ESD.

Le même stress est appliqué lorsque le produit est alimenté. La décharge positive TLP est donc appliquée entre la sortie S et la masse avec le produit alimenté sous 2,7 V ou 5 V. La comparaison des deux courbes  $I(V)$  (Figure 3.25) de la broche S (produit polarisé à 2,7 V et à 5 V) nous permettra de déduire si les chemins de décharge sont identiques. Ces valeurs de tension d'alimentation correspondent respectivement au minimum et au maximum donné par la spécification de fonctionnement du circuit.

Dans le cas où la carte est alimentée avec 2,7 V, nous pouvons observer que la résistivité diminue lorsque la tension  $V_{\text{DUT}}$  est supérieure à 5 V. La carte alimentée avec 5 V a initialement la même résistivité que la carte alimentée avec 2,7 V, cependant le circuit présente une défaillance pour une tension  $V_{\text{DUT}}$  de 1,8 V. La mesure TLP montre, de la même manière que le test IEC, que l'augmentation de la tension d'alimentation diminue la robustesse du produit.

Les caractéristiques  $I(V)$  obtenues avec la mesure TLP entre S et GND (le produit alimenté) sont comparées avec une impulsion TLP appliquée entre S et VBAT sur le produit non alimenté, dans le but de comparer la résistivité obtenue sur les deux chemins de décharge. Nous pouvons diviser les résultats des mesures en deux catégories. Le critère de délimitation est le changement de la résistivité du composant mesuré.

Lorsque :  $V_{\text{DUT}} < V_{\text{BAT}} + 2 * V_f$  (Aire 1)

Avant d'atteindre la tension de déclenchement, les diodes drain-substrat des deux p-MOS sont bloquées, le courant TLP ne peut pas être évacué à travers le chemin qui a été prévu dans la stratégie HBM et MM. La simulation électrique nous a montré que la résistivité correspond à celle du transistor n-MOS  $Q_0$  qui conduit.

Lorsque :  $V_{\text{DUT}} > V_{\text{BAT}} + 2 * V_f$  (Aire 2)

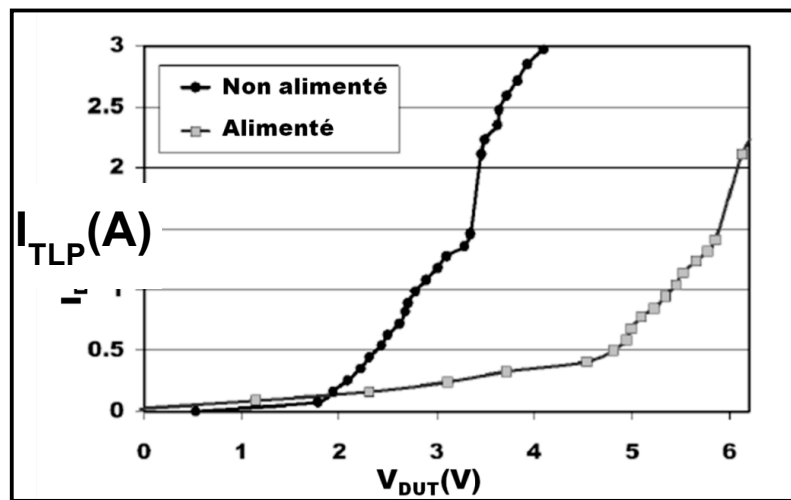
Dans cette zone, la résistance du chemin de décharge ESD sur le produit alimenté a la même valeur que celle du produit non alimenté. Cette diminution de la résistivité nous indique que les diodes drain-substrat de  $Q_1$  et  $Q_3$  se sont déclenchées après que la tension développée aux bornes de  $Q_1$  et  $Q_3$  dépasse 5 V, en offrant ainsi un nouveau chemin de décharge moins résistif. L'analyse du circuit électrique nous amène à déduire que le déclenchement des diodes est équivalent à la tension d'alimentation VBAT plus deux fois la tension de conduction de la diode de collecteur-base  $V_f$  des p-MOS. Dans le

cas de notre mesure, pour une tension VBAT de 2,7 V et une tension Vf de 1 V, le déclenchement des diodes est calculé :

$$V_{\text{Déclenchement}} = 2,7 + 2 \times 1 = 4,7V$$

Cette valeur correspond au point d'inflexion pour la courbe TLP.

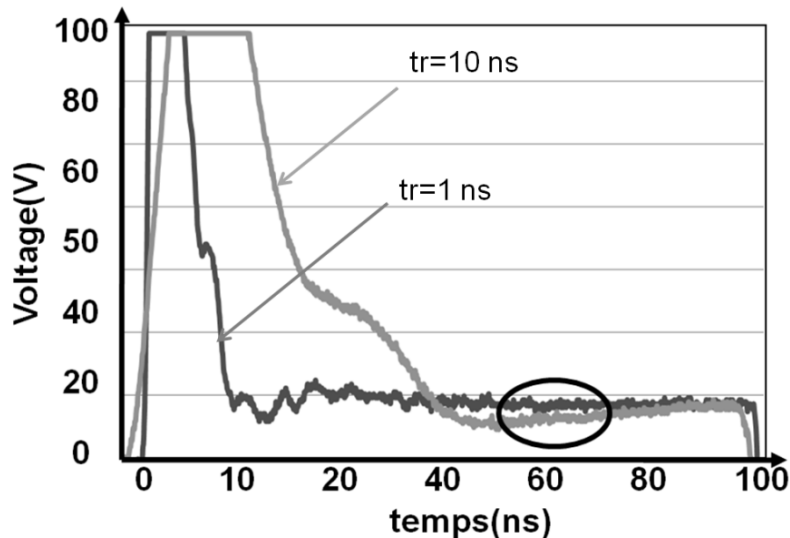
Afin de déterminer si le temps de montée a une influence dans la réponse I(V) du produit, des mesures TLP avec une impulsion caractérisée par son temps de montée de 1ns et une largeur de 100ns sont réalisés. Les résultats sont présentés sur la figure suivante (Figure3-26).



**Figure 3.26. Comparaison des mesures TLP (temps de montée 1ns) pour un stress entre S et GND dans le produit alimenté à 2,7 V et non alimenté**

Les caractéristiques I(V) sont qualitativement similaires à la mesure TLP avec un temps de montée de 10 ns. Toutefois, et d'un point de vue quantitatif, les pentes de l'aire 2 (et donc les résistivités) ont des valeurs sensiblement différentes. Une analyse postérieure a révélé que cet écart n'est pas dû à un changement de la résistivité intrinsèque du composant, mais que ce changement de résistance est induit par le banc de mesure. Pour réaliser la mesure du produit sur sa carte électrique, nous devons appliquer le stress à travers des grippe-fils qui s'accrochent sur la sortie S. Les grippe-fils introduisent une inductance parasite élevée d'une valeur équivalente à 50 nH. Cet élément parasite introduit des fluctuations du courant dans le chemin d'aller et retour sur la réponse temporelle, ce qui se traduit par une augmentation de la tension développée par le composant comme montré sur la Figure 3-27. Ceci est expliqué dans la publication de D.

Trémouilles (70). La mesure temporelle d'une impulsion TLP 1 A et le filtre de 10 ns présente des oscillations plus prononcées que la mesure avec le filtre de 1 ns. Cette oscillation retarde la stabilisation du signal mesuré en induisant une erreur sur le niveau de tension de la mesure quasi-statique qui est réalisée pour un temps de la décharge de 60 ns.



**Figure 3.27. Réponse temporelle de la tension de la carte testée pour une impulsion TLP de temps de montée  $tr=1$  ns et  $tr=10$  ns et un courant de 1 A**

La mesure d'un court circuit et d'une résistance de  $50 \Omega$  confirme que l'inductance parasite des grippe-fils crée une oscillation dans la réponse temporelle de la tension. Une attention particulière doit être prêtée à la réalisation de la mesure afin d'éviter des erreurs. Nous pouvons conclure que la dynamique de l'impulsion TLP n'a pas d'influence sur les chemins de décharge ESD du produit étudié.

### 3.8.1 Conclusion des mesures TLP

La mesure TLP a montré que le produit non alimenté possède un chemin de décharge faiblement résistif. Celui-ci correspond aux diodes drain-substrat des p-MOS comme prévu dans la stratégie de protection ESD. Lorsque nous polarisons le produit, le chemin de décharge présente une forte réduction de son impédance lorsque la tension à l'entrée du produit dépasse  $V_{BAT}+2V_f$ . Ceci est la signature de la mise en conduction des deux diodes drain-substrat des p-MOS. Que le produit soit alimenté ou non, nous corrélons donc les mesures TLP avec la simulation du stress IEC.



### 3.9 Origine de la défaillance.

Une deuxième mesure TLP a été réalisée en appliquant directement des impulsions sur le drain du n-MOS  $Q_0$  (composant seul) tandis que sa grille est maintenue à 0 V ou à 5 V. La mesure est réalisée directement sur plaquette de silicium. Nous pouvons observer dans la Figure 3-28 que le MOS polarisé à 0 V présente une tension de déclenchement  $V_{\text{Trig\_bip}}$  de 10 V. Lorsqu'il est polarisé à 5 V, la tension  $V_{\text{Trig\_bip}}$  diminue jusqu'à 7 V. Les caractéristiques électriques du n-MOS  $Q_0$  mesurés par le TLP indiquent que la tension de déclenchement du bipolaire parasite NPN du n-MOS  $V_{\text{Trig\_bip}}$  diminue lorsque celui-ci est polarisé. Ce phénomène a déjà été expliqué par (25) et (71) dans le cas d'un n-MOS utilisé comme protection ESD. Nous avons vu précédemment que les tensions de grille des n-MOS sont liées par couplage capacitif à la tension de polarisation du produit. Durant le stress IEC, une alimentation élevée entrainera une tension de grille sur les n-MOS également élevée. Ainsi, nous établissons une corrélation entre la robustesse des transistors n-MOS et la tension d'alimentation. Les résultats de la simulation électrique ont indiqué que la tension VDS développée à travers  $Q_0$  est de 8 V pour une décharge IEC de 1 kV (cette tension est le résultat de la simulation sur la Figure 3.18). Nous rappelons que les modèles utilisés pour simuler les transistors MOS n'incluent pas le fonctionnement du transistor bipolaire parasite intrinsèque, et par conséquent le retournement ne peut pas être visualisé. De la mesure TLP, nous pouvons déduire que pour une tension de 8 V, le transistor bipolaire parasite s'est déjà déclenché. La défaillance du produit est donc causée par une surtension au niveau drain-source du n-MOS  $Q_0$  qui activant le transistor bipolaire parasite, amène par focalisation du courant le MOS à sa destruction.

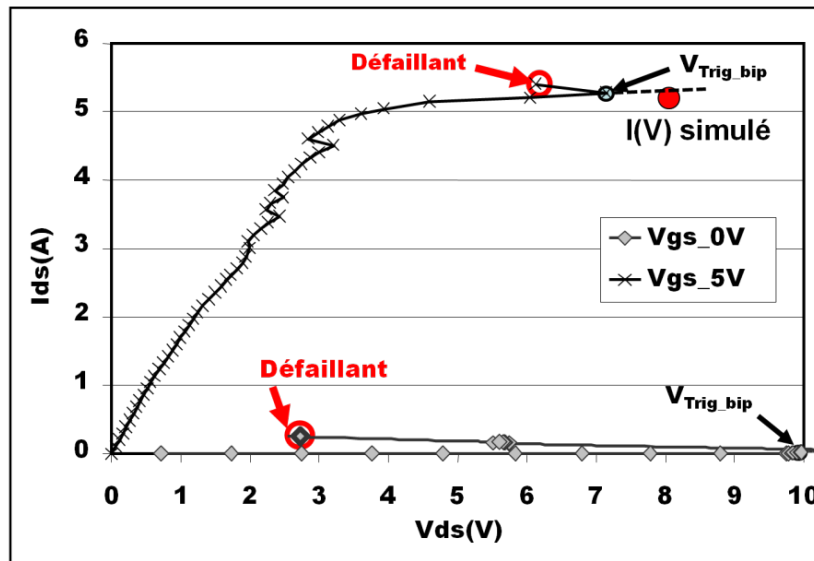


Figure 3.28. Caractéristique  $I_{ds}(V_{ds})$  du n-MOS  $Q_0$  en forçant la tension de grille à  $V_{gs}=0\text{ V}$  et  $V_{gs}=5\text{ V}$ .

### 3.10 Conclusion

Nous avons, au travers de ce chapitre, fait l'analyse d'un amplificateur audio et mis en œuvre un ensemble de techniques (de mesures et de simulations) pour comprendre quel pouvait être le mécanisme de défaillance du produit lorsqu'il est soumis à des décharges de type IEC. Nos études nous ont amenés à la conclusion que le chemin de décharge n'est pas le même selon que le produit est alimenté ou non.

Les capacités externes de découplage imposent une tension quasi constante sur le bus d'alimentation. Par conséquent, durant le stress IEC, le potentiel sur la sortie S doit atteindre  $V_{BAT}+2V_f$  afin de permettre le passage du courant ESD à travers les diodes intrinsèques des transistors PMOS  $Q_1$  et  $Q_3$ . Une tension d'alimentation élevée entraîne donc une tension  $V_{ds}$  importante aux bornes du n-MOS  $Q_0$ .

Les mesures TLP ont montrée que la tension de déclenchement des bipolaires parasites des n-MOS est fonction de la polarisation de grille des transistors. Une tension de grille élevée induit une tension de déclenchement du bipolaire plus faible. Or, lors de l'évènement IEC, la grille des n-MOS est capacitivement couplée à la tension développée sur la broche de sortie. Plus la tension d'alimentation du produit est élevée, plus la tension de déclenchement du bipolaire parasite est faible et plus la tension  $V_{ds}$  du transistor n-

MOS est élevée. Lorsque cette tension dépasse la tension de déclenchement du bipolaire parasite, la focalisation de courant dans le transistor entraîne sa destruction immédiate.

L'analyse de défaillance effectuée sur des produits ayant été dégradés lors du test IEC a confirmé la destruction du transistor n-MOS  $Q_0$ . Ainsi notre analyse, issue de différentes techniques (simulation, mesure TLP), a montré toute son efficacité pour trouver le mécanisme de défaillance.

## CHAPITRE 4

# 4 Etude de solutions pour la protection d'un amplificateur audio

Dans le chapitre précédent, l'étude de la défaillance d'un amplificateur audio lors d'un stress IEC a été développée. Nous avons démontré que la robustesse du circuit est dépendante de son état de polarisation. En effet, la tension de grille du transistor, fonction de la tension d'alimentation, abaisse la tension de déclenchement de son transistor bipolaire parasite. La destruction de l'amplificateur audio est due à la mise en conduction du transistor bipolaire parasite d'un des transistors n-MOS de l'étage de sortie. De petite dimension et avec une topologie pas mise au point pour résister les ESD, il est inadapté pour supporter un fort courant tel que celui d'une décharge IEC.

Nous proposons dans ce chapitre d'étudier une nouvelle stratégie de protection consistant d'une part à relever la tension de déclenchement du bipolaire parasite du n-MOS et d'autre part à ajouter une protection de type thyristor sur la broche de sortie concernée.

En premier lieu, nous allons étudier l'influence de la topologie du transistor n-MOS sur la tension de déclenchement de son transistor bipolaire parasite. Nous mesurerons également l'effet de la tension de polarisation de la grille sur cette même tension de déclenchement.

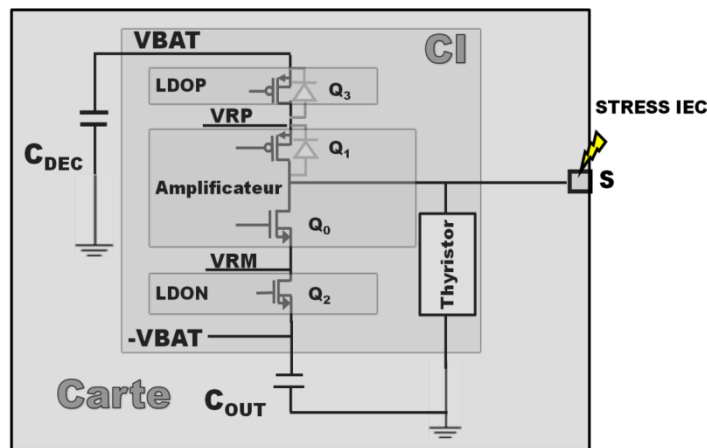
Dans un deuxième temps, nous utiliserons une structure de protection à base de thyristor, déjà présent dans la technologie. Nous montrerons que ses caractéristiques électriques ne sont pas compatibles avec notre stratégie de protection.

Dans un troisième temps, nous allons utiliser un modèle comportemental en Verilog AMS pour simuler le comportement de la protection pendant la décharge IEC.

Enfin, nous terminerons par l'étude de différentes stratégies de protection intégrées dans le circuit.

#### 4.1 La stratégie IEC de protection d'un amplificateur audio

La stratégie classique de protection des broches d'un circuit vis-à-vis des décharges électrostatiques ESD consiste à placer un élément de protection entre la broche concernée et la masse. Cette protection doit s'activer pendant le stress en offrant un chemin de décharge peu résistif. En revanche, pendant le fonctionnement normal du produit, le dispositif de protection va être vu comme une impédance très élevée afin de ne pas perturber l'application. Dans le cas concret étudié, nous allons réaliser la protection IEC d'une nouvelle version de l'amplificateur audio étudié dans le chapitre 2. La nouvelle version de l'amplificateur est capable de délivrer une puissance moyenne continue de 26 mW sur une charge de 32  $\Omega$ . L'étage de sortie de l'amplificateur et la protection IEC sont représentés sur la Figure 4-1. Le stress IEC est appliqué sur la sortie S.



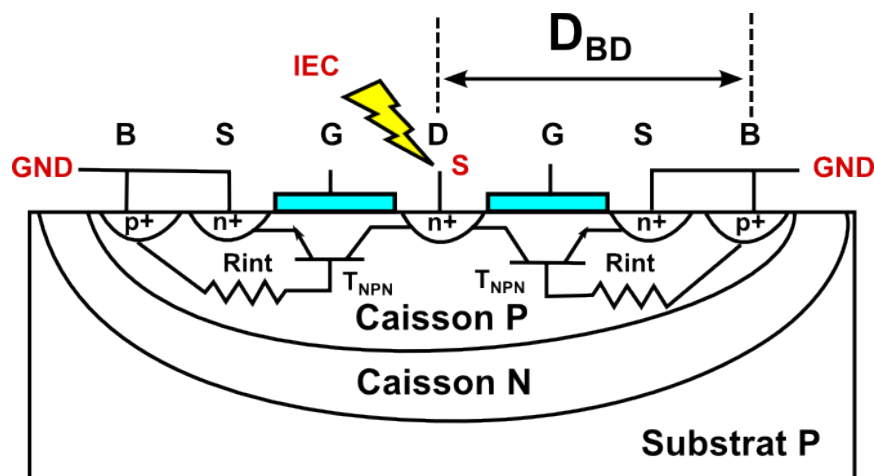
**Figure 4.1. Schéma de l'étage de sortie de l'amplificateur audio avec protection IEC spécifique**

Le fonctionnement du produit est identique à celui de l'amplificateur précédent, mise à part la réduction de la tension d'alimentation (comprise entre 1,6 V et 3,8 V) et la valeur des tensions régulées par les LDOs ( $VRP = 1,8$  V et  $VRM = -1,8$  V). Une stratégie de protection locale IEC pour la sortie de l'amplificateur audio (notée S) est employée en utilisant un dispositif spécialisé. Celui-ci doit posséder les caractéristiques de courant et tension nécessaires qui respectent les exigences du fonctionnement de l'amplificateur.

La protection IEC du produit est réalisée premièrement avec une topologie du n-MOS de sortie de l'amplificateur et deuxièmement avec un dispositif de type triac ajouté sur la sortie.

## 4.2 Optimisation de la topologie du n-MOS en vue d'augmenter sa robustesse IEC

Dans le chapitre 3, nous avons montré que la défaillance de l'amplificateur audio lors d'un stress IEC est due à une surtension sur le drain du n-MOS  $Q_0$  de l'étage de sortie. Le mécanisme à l'origine de la destruction est le déclenchement du transistor bipolaire parasite  $T_{NPN}$  (Figure 4-2) de  $Q_0$ . Ce dernier n'est pas conçu pour conduire le courant dans le mode bipolaire latéral. En effet, lors d'une décharge ESD s'appliquant sur le drain du n-MOS, la capacité de la jonction entre le drain D et le caisson P (Figure 4-2) se charge. Le potentiel dans la jonction augmente jusqu'à atteindre sa tension de claquage. Le courant d'avalanche qui apparaît est un courant de trous qui traverse la résistance de substrat  $R_{int}$  (résistance équivalente entre la prise de contact substrat B et la source S). Lorsque l'augmentation de potentiel dans la résistance dépasse la tension de seuil directe de la diode formée par la jonction entre le caisson P et la source S, un courant d'électrons est injecté dans la base (caisson P). On assiste alors au phénomène de repliement de la tension du drain : les électrons injectés par l'émetteur (jonction S-caisson P) sont multipliés par avalanche à la jonction drain-caisson P. La tension de collecteur nécessaire pour maintenir la jonction source-caisson P en direct diminue, puisqu'une nouvelle source (la diode) vient s'ajouter au courant d'avalanche. Celle-ci a besoin de fournir moins de courant pour maintenir la tension de seuil de l'émetteur en direct et donc la tension développée sur le collecteur diminue. Le transistor  $T_{NPN}$  est alors amorcé. Lorsque la topologie du n-MOS n'est pas optimisée pour passer le courant ESD à travers le  $T_{NPN}$ , il se produit une focalisation du courant à la jonction drain-source qui conduit à une fusion filamentaire du silicium (court-circuit) et donc à la destruction du n-MOS.



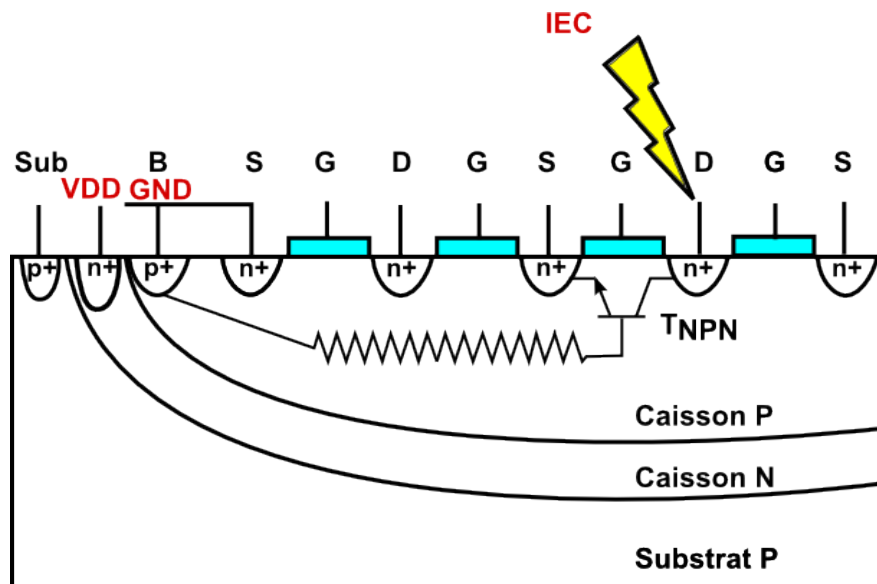
**Figure 4.2. Vue en coupe du transistor n-MOS lors d'une décharge IEC**

Nous pouvons dire que la tension de déclenchement de  $T_{NPN}$  peut être réglée à travers la résistance  $R_{int}$  entre la prise du caisson P et la source S. Plus cette résistance sera grande et plus le déclenchement de  $T_{NPN}$  sera prématuré. L'étude de la distance entre les prises de contact substrat dans le n-MOS va permettre d'établir des règles d'implantation des contacts substrat à appliquer afin que la tension de déclenchement de son transistor bipolaire parasite  $V_{TI}$  soit la plus élevée possible.

#### 4.2.1 Etude de l'influence de la distance entre les prises de caisson P sur la tension de repliement

##### 4.2.1.1 Principe

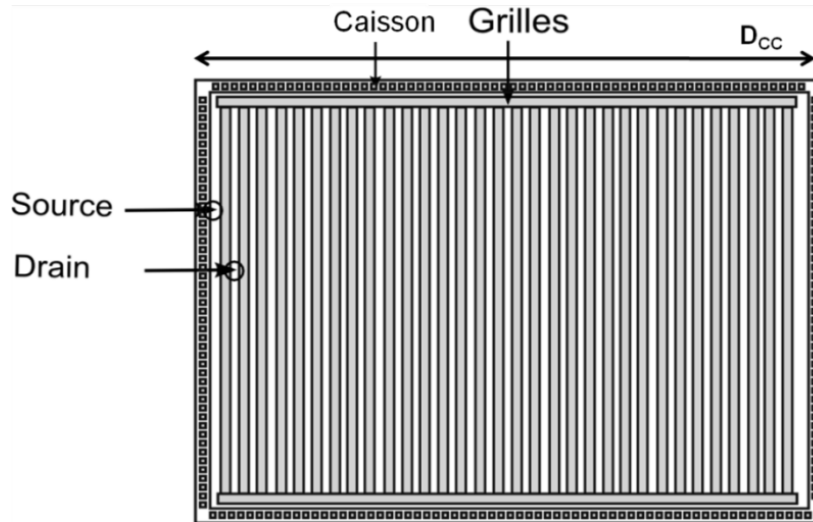
L'étude de la vue en coupe du n-MOS de l'étage de sortie de l'amplificateur  $Q_0$  montre qu'une prise de contact du caisson P entoure de multiples transistors élémentaires n-MOS. Une représentation du transistor inter-digité vu en coupe est donnée sur la Figure 4-3. Ceci permet de réduire la surface silicium du MOS. Néanmoins le regroupement des grilles a pour conséquence d'augmenter la résistance intrinsèque du MOS ( $R_{int}$ ) sur les doigts les plus éloignés de la prise de contact.



**Figure 4.3. Vue en coupe du transistor n-MOS inter-digité**

L'augmentation de  $R_{int}$  induit une tension de déclenchement du transistor  $T_{NPN}$  moins élevée. Par conséquent, les doigts les plus éloignés de la prise de contact et du caisson P seront activés en premier lors d'une décharge ESD. La focalisation du courant

de décharge sur un seul doigt de grille diminue le niveau de tension pour lequel la défaillance par fusion de silicium est induite. La Figure 4-4 représente la topologie de  $Q_0$  contenant des contacts de caisson tous les  $30\ \mu\text{m}$ .



**Figure 4.4. Topologie des contacts de caisson du n-MOS  $Q_0$  inter-digité**

Une autre solution pour limiter la défaillance consiste en l'introduction d'une résistance de ballast dans le drain. Cette solution n'a pas été envisagée puisque cela dégrade les performances du MOS. L'augmentation de la résistance à l'état passant n'est pas envisageable puisque ceci modifierait le fonctionnement de l'amplificateur audio.

#### 4.2.1.2 Expérimentation

Une étude expérimentale sur la distance qui sépare les contacts de caisson P dans le n-MOS a été mise en place sur silicium. Nous voulons trouver un compromis entre le nombre de prises de contact substrat qui augmentent la surface de silicium utilisée par le composant et la tension de déclenchement de son transistor bipolaire parasite. Nous avons dessiné différents transistors n-MOS avec une distance qui sépare les prises caisson P évoluant entre  $4,5\ \mu\text{m}$  et  $51,6\ \mu\text{m}$ . Ceci correspond à la plage de distances autorisées par les règles de conception. La distance entre les rails de contact est augmentée de  $2,5\ \mu\text{m}$  d'un composant à l'autre. Le principe de la manipulation est illustré sur la Figure 4-5, la caractérisation des n-MOS est réalisée directement sur la plaquette de silicium (mesures sous pointe).



L'impulsion TLP est caractérisée par un temps de montée de 1 ns et une largeur de 100 ns. Cette mesure est réalisée avec cinq pointes. Une première qui injecte l'impulsion sur le drain et est reliée à une deuxième pointe pour connecter la source du MOS à la masse. Une troisième pointe relie la grille à une alimentation continue. La quatrième pointe relie l'anneau de contacts n+ du caisson N à l'alimentation VDD et la cinquième pointe relie le contact p+ du substrat P à la masse. La source et le caisson P sont reliés métalliquement dans la puce. Les pointes de mesure sont « standards » étant donné que la fréquence de la décharge appliquée n'est pas dans le domaine des hautes fréquences.

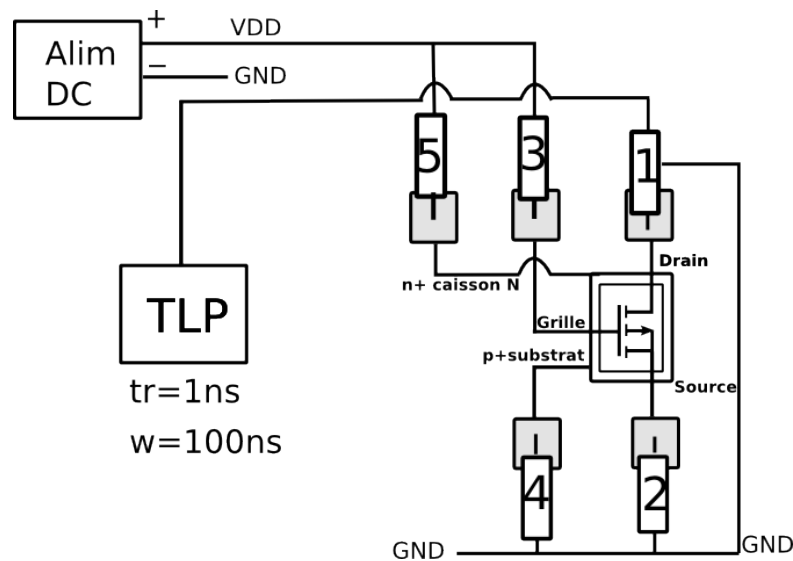


Figure 4.5. Schéma descriptif de la mesure TLP

La capacité des MOS peut être négligée devant la capacité des pointes de par la faible taille des composants mesurés. La topologie de la puce mesurée « échantillon 1 » contenant les structures de type n-MOS est montré sur la Figure 4-6.

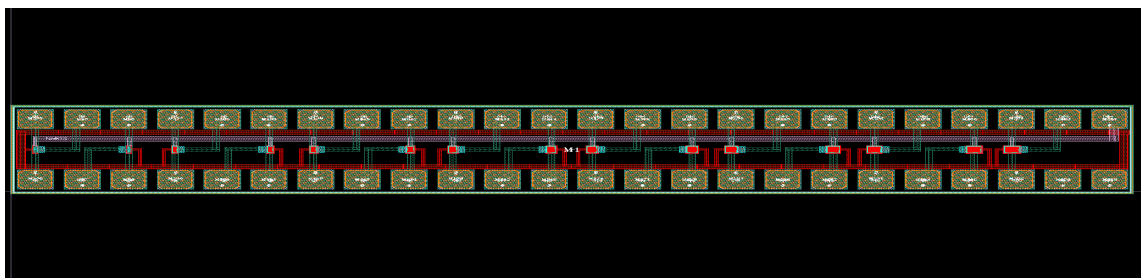


Figure 4.6. Dessin technologique de l'échantillon 1

#### 4.2.2 Influence de la tension de polarisation de grille $V_G$ sur la tension de déclenchement du transistor bipolaire parasite

Nous voulons mesurer l'influence de la polarisation de la grille sur la tension  $V_{t1}$  de déclenchement du transistor bipolaire parasite du MOS. La mesure est réalisée en injectant des impulsions TLP successivement sur le drain de chaque structure dont la grille est polarisée à 0 V, 1 V, 3 V et 5 V. La source est à la masse. La première structure mesurée contient 30 grilles (notée  $n_g$ ) inter-digitées de largeur unitaire (notée  $w$ ) 30  $\mu\text{m}$  et longueur (noté  $l$ ) 0,5  $\mu\text{m}$ . L'espacement entre les contacts de caisson est de 40  $\mu\text{m}$ . Les résultats des mesures sont données dans la Figure 4-7.

D'après ces mesures, nous pouvons constater, comme attendu, que la valeur de déclenchement  $V_{t1}$  diminue lorsque la grille du n-MOS est polarisée, passant de 7,8 V (pour  $V_{GS} = 0$  V) à 6 V (pour  $V_{GS} = 1$  V). Une fois le transistor polarisé, les électrons issus du courant de canal N du MOS contribuent au phénomène d'avalanche situé dans la jonction drain-caisson P. La tension nécessaire pour déclencher l'émetteur du transistor bipolaire parasite diminue. D'un autre côté, l'augmentation de la tension de grille semble avoir peu d'influence sur la tension de déclenchement du transistor bipolaire parasite. Il est à noter que le n-MOS n'a pas été amené jusqu'à la défaillance pour l'ensemble de ces mesures. En effet, le repliement correspond au déclenchement du transistor bipolaire parasite. Des mesures antérieures ont montré que la défaillance intervient lorsque deux ou trois impulsions TLP sont appliquées après le repliement.

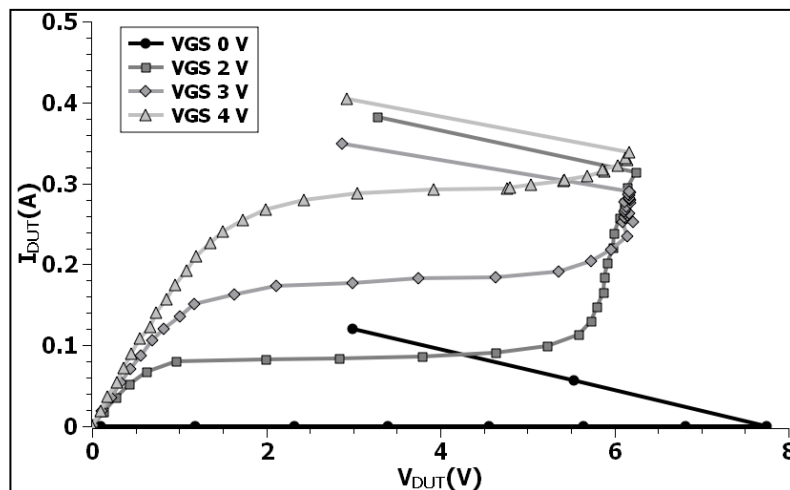
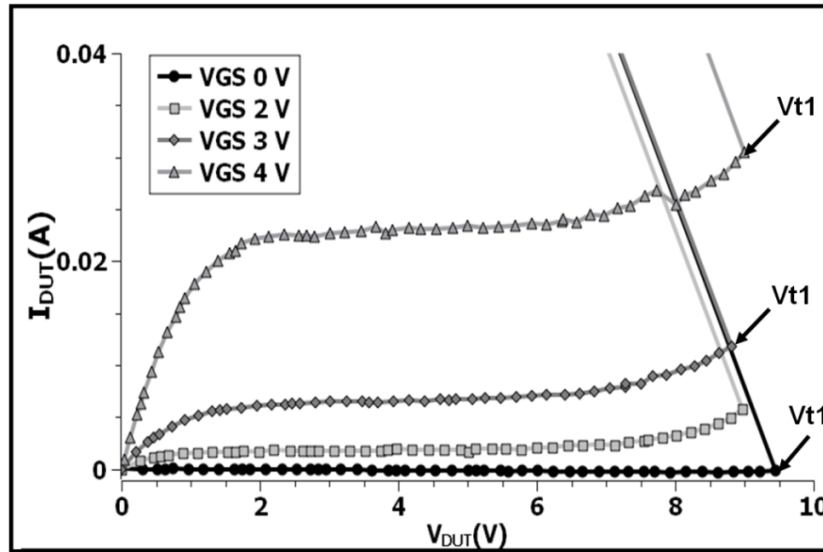


Figure 4.7. Caractéristique  $I(V)$  d'un n-MOS ( $w/l = 30 \mu\text{m}/0,5 \mu\text{m}$   $n_g = 30$  et un espacement de 40  $\mu\text{m}$  entre les contacts de caisson) polarisé à 0 V, 1 V, 3 V et 5 V soumis à des stress TLP

Dans la Figure 4-8, sont montrées les caractéristiques  $I(V)$  d'un n-MOS avec un espacement entre les contacts de caisson P de  $4,6 \mu\text{m}$  pour plusieurs polarisations de grille. Parmi toutes les configurations testées en termes de distance entre contacts de caisson, ce MOS développe la tension de déclenchement la plus élevée. Cette tension est de  $9 \text{ V}$  lorsque  $V_{GS} = 0 \text{ V}$ . Elle s'explique par le fait que c'est le MOS dont la résistance  $R_{int}$  est la plus faible.

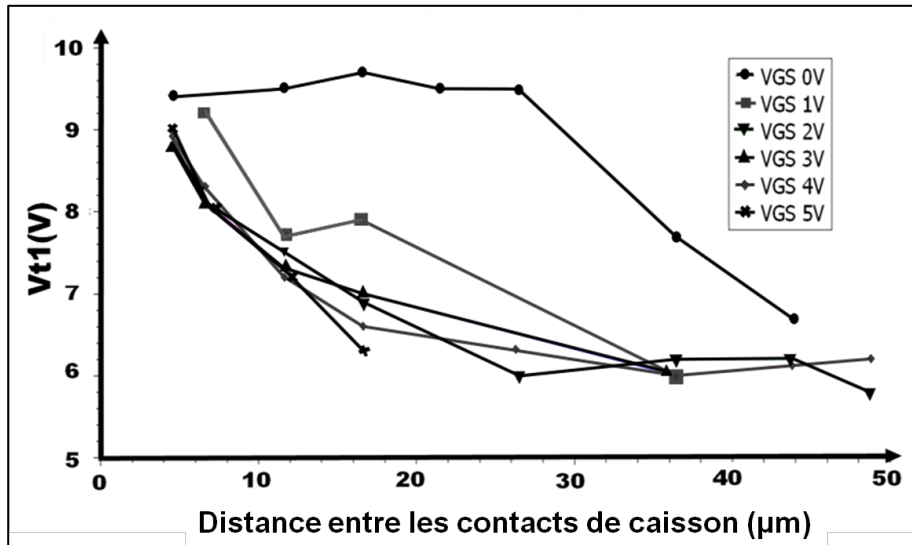


**Figure 4.8. Caractéristique  $I(V)$  d'un n-MOS ( $w/l = 30 \mu\text{m}/0,5 \mu\text{m}$ ) et un espacement de  $4,6 \mu\text{m}$  entre les prises de caisson P pour différentes polarisations de grille soumis à des stress TLP**

La Figure 4-9 montre la tension de déclenchement  $V_{t1}$  du transistor bipolaire parasite en fonction de la distance qui sépare les contacts de caisson P du n-MOS. Nous pouvons constater qu'au fur et à mesure que cette distance augmente, la résistance  $R_{int}$  s'élève et donc la tension  $V_{t1}$  de déclenchement du transistor bipolaire diminue rapidement. Lorsque la distance minimum entre les rails de contacts de caisson est de  $4,6 \mu\text{m}$ , la tension  $V_{t1}$  s'élève à  $9 \text{ V}$  et ceci pour toutes les tensions de polarisation du n-MOS. Pour des tensions de grille non nulles, la tension de repliement diminue jusqu'à ce que l'espacement entre les contacts soit de  $20 \mu\text{m}$ . Nous pouvons dire que la tension de déclenchement du bipolaire parasite est proportionnelle à la distance entre les contacts de caisson quelle que soit la tension de polarisation de la grille dans cette zone. Finalement la tension de déclenchement se stabilise autour de  $6 \text{ V}$ . Une fois que le MOS est allumé,

la tension de polarisation de la grille semble ne pas avoir d'influence majeure sur la tension  $V_{t1}$ .

L'évolution de la tension  $V_{t1}$  est tout à fait différente lorsque  $V_{GS} = 0$  V. En effet la tension est de 9,5 V pour une distance entre rails de contacts 4,6  $\mu\text{m}$  et diminue progressivement jusqu'à 7,8 V pour une distance caisson à caisson de 36  $\mu\text{m}$  et reste constante jusqu'aux 48  $\mu\text{m}$ , qui est la distance entre contacts maximum permise par les règles de dessin.



**Figure 4.9. Tension  $V_{t1}$  en fonction de la distance entre les contacts de caisson dans le n-MOS de l'échantillon 1**

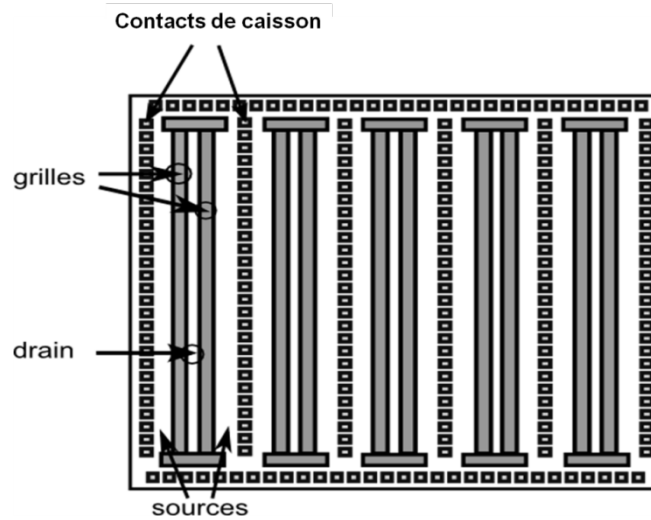
L'implantation des contacts de caisson du n-MOS doit par conséquent posséder un écartement le plus faible possible. Ceci afin d'obtenir une tenue maximale en tension du transistor MOS avant de partir en régime de fonctionnement bipolaire.

#### 4.2.3 La protection employée pour la sortie de l'amplificateur audio: la topologie du n-MOS et le thyristor

Dans ce nouvel amplificateur, le n-MOS de sortie de l'amplificateur  $Q_0$  comporte un dessin spécifique avec un espacement minimum entre les contacts de caisson présenté Figure 4-10. Cette disposition physique permet d'assurer une tension  $V_{t1}$  maximum (9 V) de déclenchement de son transistor bipolaire parasite.

Une protection doit être rajoutée en parallèle du n-MOS  $Q_0$ . En effet, la surface de ce dernier  $w/l=20 \mu\text{m} / 0,5 \mu\text{m}$  et  $n_g=180$  n'est pas suffisante pour conduire le courant de

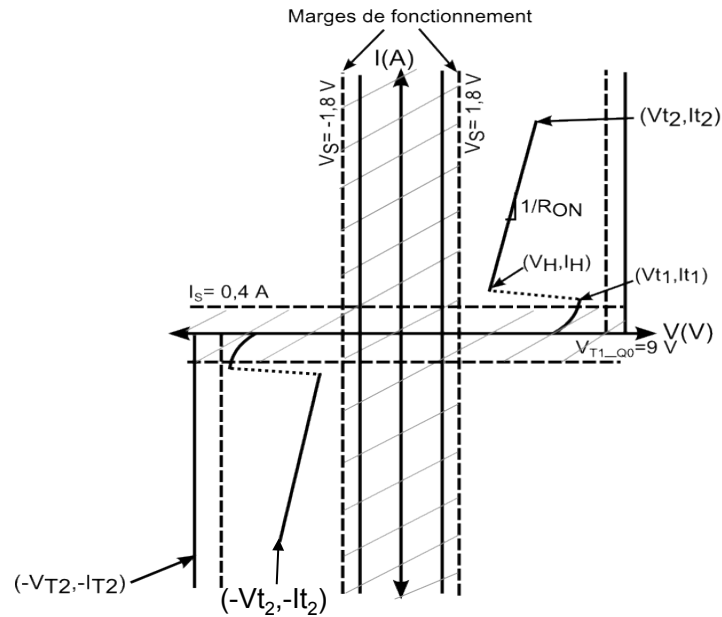
décharge IEC sans être détruit. De plus, il est dessiné sans résistance de ballast, ce qui entraîne sa destruction lors du déclenchement de son transistor bipolaire parasite.



**Figure 4.10. Topologie du n-MOS  $Q_0$  de sortie de l'amplificateur**

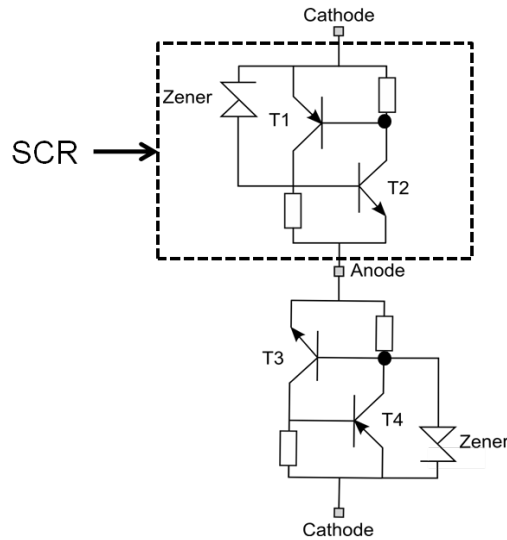
Le dispositif de protection est un SCR placé sur les broches de sortie SD et SG. La caractéristique électrique I-V doit être contenue entre deux tensions imposées par les paramètres de fonctionnement de la broche que l'on protège (Figure 4-11). D'une part, la tension limite basse correspond à la tension limite de fonctionnement  $V_S$  et  $-V_S$  de la sortie du circuit pendant son régime opérationnel. Ceci implique que la structure de protection ne doit pas se déclencher pour une tension inférieure à  $\pm 1,8$  V. D'autre part, cette tension de déclenchement doit être inférieure à la tension de destruction du n-MOS de sortie  $V_{t1\_Q_0}$ , c'est-à-dire soit 6 V soit 9 V selon la densité de contacts de substrat utilisée (Figure 4.9). Le courant de maintien  $I_H$  doit être supérieur au courant maximum fourni par la sortie  $I_S$  afin d'éviter le déclenchement en courant de la structure. Par précaution, la protection doit respecter les marges de sécurité de 10% par rapport aux limites hautes et basses (voir chapitre 2). Enfin, la structure de protection doit également présenter une faible résistance à l'état passant  $R_{ON}$ . Le courant de défaillance  $I_{I2}$  correspond au maximum de courant que peut supporter la protection sans être détruite, dans notre cas il doit être supérieur à 30 A, ce qui correspond au niveau supérieur de robustesse IEC 8 kV. Etant donné les contraintes très strictes pour la protection de la sortie audio, le choix de la protection s'est portée sur une structure bidirectionnelle basée sur deux thyristors montés en série et tête-bêche. Ceci afin de garantir un déclenchement

supérieur à -1,8 V et éviter le déclenchement de la protection pendant les alternances négatives en sortie de l'amplificateur.



**Figure 4.11. Marge de fonctionnement de la structure de protection contre les décharges IEC**

Cette structure présente une impédance très faible pendant un stress ESD et une forte impédance lors du fonctionnement du produit, tout en présentant une faible capacité parasite de sortie de 200 fF. De par la faible valeur de la capacité ajoutée sur la sortie, celle-ci n'aura aucune influence sur le fonctionnement opérationnel de l'amplificateur audio. Une diode Zener a été rajoutée sur la cathode (Figure 4-12) aux bornes du transistor T1, afin de réduire la tension de déclenchement du dispositif. L'avalanche de la diode Zener est de 5,5 V dans notre cas.

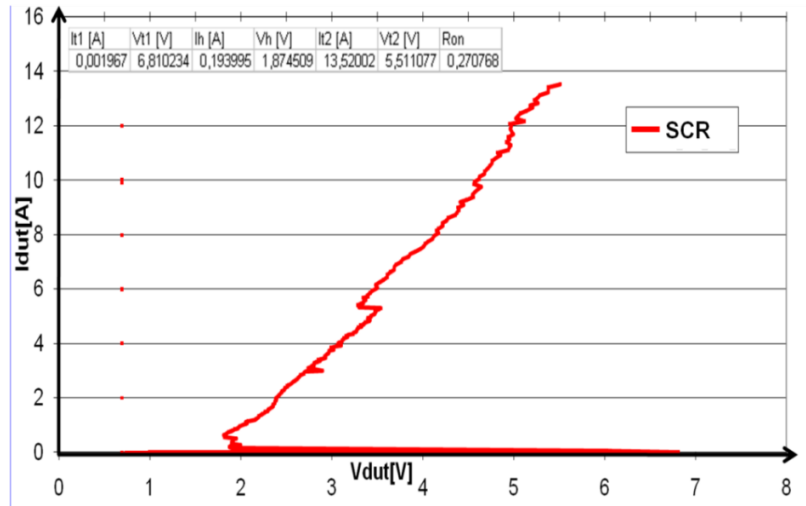


**Figure 4.12. Schéma électrique de la protection utilisée sur la sortie de l'amplificateur audio : deux SCRs connectés tête-bêche avec Zener 5,5 V intégrée**

Les caractéristiques en mesure TLP, Figure 4-13, ont été fournies avec la bibliothèque de composants pour la protection IEC. Ce SCR présente une tension de déclenchement de 6,8 V ainsi qu'une résistance à l'état passant  $R_{ON}$  de 0,27  $\Omega$ . De plus, ce SCR présente une tension de maintien  $V_H$  de 1,87 V et un courant de maintien  $I_H$  de 0,19 A alors que la tension de sortie ( $V_s$ ) pendant le fonctionnement normal de l'amplificateur opérationnel est comprise entre -1,8 V et 1,8 V. Pour éviter les phénomènes de latch up<sup>1</sup> (72) c'est-à-dire le déclenchement de la protection ESD lors du fonctionnement normal de l'amplificateur, le SCR est placé en configuration tête-bêche, de façon à ce que :

$$V_H > V_s \text{ et } -V_H < -V_s.$$

<sup>1</sup> Le latch-up désigne un mécanisme de défaillance où une structure thyristor parasite est déclenchée, de façon involontaire, dans le circuit créant un



**Figure 4.13. Mesure TLP du SCR disponible dans la bibliothèque**

En utilisant cette structure de protection, et en respectant la contrainte :

$$I_{IEC} \times R_{ON} + V_H < V_{t1}Q_0,$$

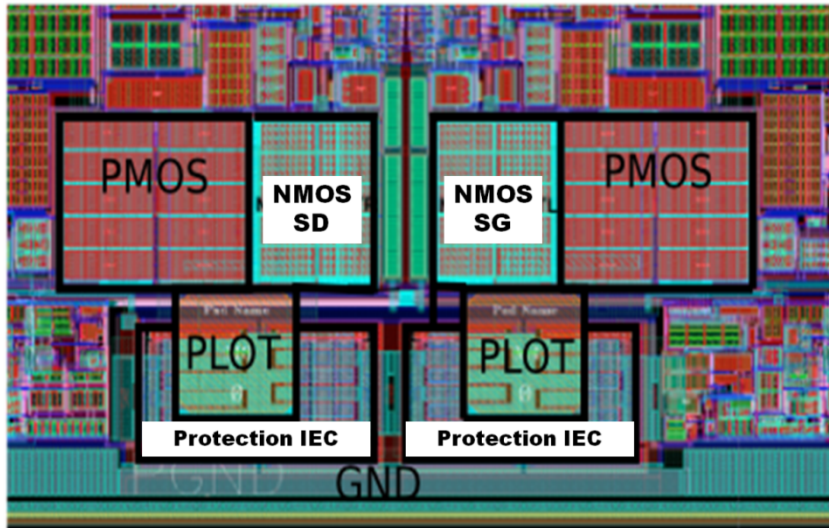
Ce qui correspond, dans le cas le plus optimal, à une valeur de courant de décharge  $I_{IEC}$ :

$$I_{IEC} = (9 - 1,87)/0,27 = 26,4 \text{ A.}$$

Ce niveau de courant correspond à une robustesse IEC de 6 kV.

Afin de minimiser les résistances parasites entre la protection SCR et la sortie de l'amplificateur, la protection IEC est placée sous les plots, au plus près de l'étage de sortie. Le contact métallique est réalisé depuis le métal au niveau 3 jusqu'au métal de surface (métal au niveau 5). Celui-ci est en effet le plus épais et donc moins résistif (Figure 4-14). La surface couverte par le plot est la plus grande possible, comme nous pouvons l'observer sur le dessin technologique de la puce.





**Figure 4.14. Dessin technologique de l'étage de sortie du bloc amplificateur**

### 4.3 Résultats du Test IEC

Pour réaliser les tests IEC, la puce est placée sur une carte de test, identique à celle utilisée dans le chapitre 3. Quatre cartes ont été utilisées pour ces tests : trois avec protection IEC (n°3, 4 et 5) et une sans protection IEC (n°6). Le produit est testé en état de fonctionnement avec une tension d'alimentation de 3,8 V. Les entrées de l'amplificateur sont à la masse afin d'obtenir une polarisation fixe sur la sortie. Le critère de défaillance est la mesure du courant de consommation  $I_{DDQ}$  (celui-ci est de 1,7 mA lorsque le produit est en fonctionnement). Le produit est considéré défaillant lorsque  $I_{DDQ}$  dépasse 3 mA. Le stress IEC est appliqué en fonctionnement au contact sur la sortie droite SD. La première carte (IEC n°3) testée a été stressée dix fois à un même niveau de tension, comme décrit dans la norme IEC. Ce test a révélé que la robustesse est inférieure à 1 kV. Nous rappelons que le niveau IEC attendu pour ce produit est de 6 kV. Cette robustesse est équivalente à la robustesse du produit sans protection. En effet, la carte sur laquelle est monté le produit sans protection IEC (carte n°6) est stressée dans les mêmes conditions, et présente aussi une robustesse IEC de 500 V.

Suite à ces premiers essais, de nouvelles expériences ont été mises en place afin d'écarter l'hypothèse d'une faible robustesse due à un effet cumulatif de la charge des capacités dans le produit. Les capacités du produit sont déchargées après chaque stress en mettant l'interrupteur du produit à l'état « éteint ». Ce test est réalisé sur la carte n°3. Une deuxième expérience est réalisée en effectuant un seul stress par niveau. Ce test est réalisé

sur les cartes n°4 et n°5. En effet la défaillance pourrait être liée à la décharge des capacités dans le produit et non à la décharge IEC en elle-même. Les résultats montrent que même en prenant des précautions, la protection IEC mise en place est inefficace pour protéger le produit (Tableau 4.1). Les 3 cartes testées ont une robustesse IEC < 2 kV (contact), ce qui élimine l'hypothèse d'une défaillance prématurée due à l'effet cumulatif sur les capacités.

		Tension	Niveau de décharge IEC	Courant de consommation I <sub>DDQ</sub> après chaque tir ESD et pour chaque niveau de décharge									
				1	2	3	4	5	6	7	8	9	10
Avec protection IEC	Carte n°3	3, 9V	500V	1,7 mA	1,7 mA	1,7 mA	1,7 mA	1,7 mA	1,7 mA	1,7 mA	1,7 mA	1,7 mA	1,7 mA
			1kV	1,7 mA	1,7 mA	1,7mA A	<u>2,4 mA</u>	10 mA					
	Carte n°4	3, 9V	500V	1,7 mA									
			1kV	<u>4 mA</u>									
	Carte n°5	3, 9V	500V	1,7 mA									
			1kV	1,7mA A									
Sans protection IEC	Carte n°6	3, 9V	500V	1,7 mA	1,7 mA	1,7 mA	1,7 mA	1,7 mA	1,7 mA	1,7 mA	1,7 mA	1,7 mA	1,7 mA
			1kV	<u>6mA</u>									

**Tableau 4.1. Résultats des tests IEC cumulatifs (10 tirs successifs) et non cumulatif (1 tir)**

#### 4.4 Analyse de défaillance

##### 4.4.1 Dans le produit avec protection IEC

Trois cartes ont été envoyées en analyse de défaillance, les cartes n°3 et n°4 avec une version de la puce avec la protection IEC et la carte n°6 sans la protection proposée. Les résultats de cette analyse confirment une signature de défaillance identique dans les deux premières puces qui contiennent la protection. Après enlèvement du polysilicium,

des filaments entre drain et source sont observés sous la grille du n-MOS de l'amplificateur audio (Figure 4-15). Ces résultats, mis en corrélation avec le dessin technologique de la puce, montrent que la défaillance sur les cartes stressées avec des décharges IEC est localisée dans les doigts de grille du n-MOS pour lesquels il existe une distance plus grande entre les contacts de caisson et le drain. Cette dissymétrie est due à l'insertion d'un n-MOS dédié à la mesure de la température à l'intérieur du n-MOS de l'étage de sortie. Il semblerait donc essentiel de réaliser des implantations de contacts de caisson parfaitement symétriques dans le n-MOS. La caractérisation du n-MOS et la valeur de son courant de claquage IT2 nous permettront de conclure sur sa robustesse maximale.

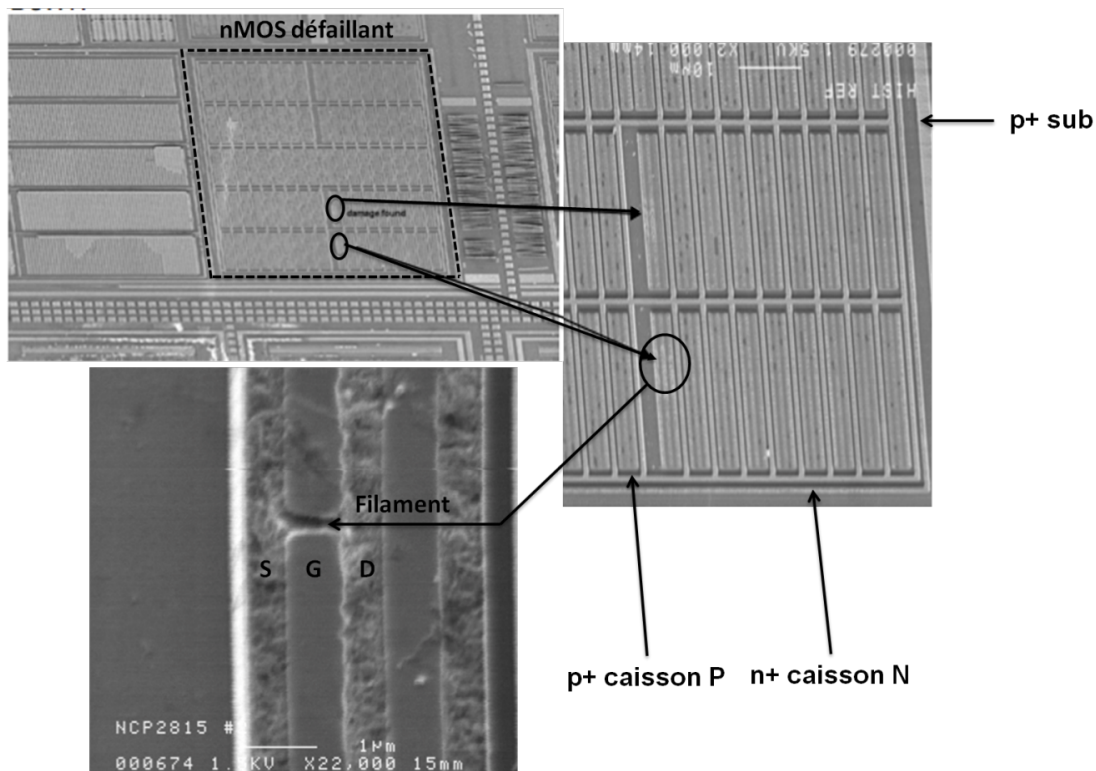
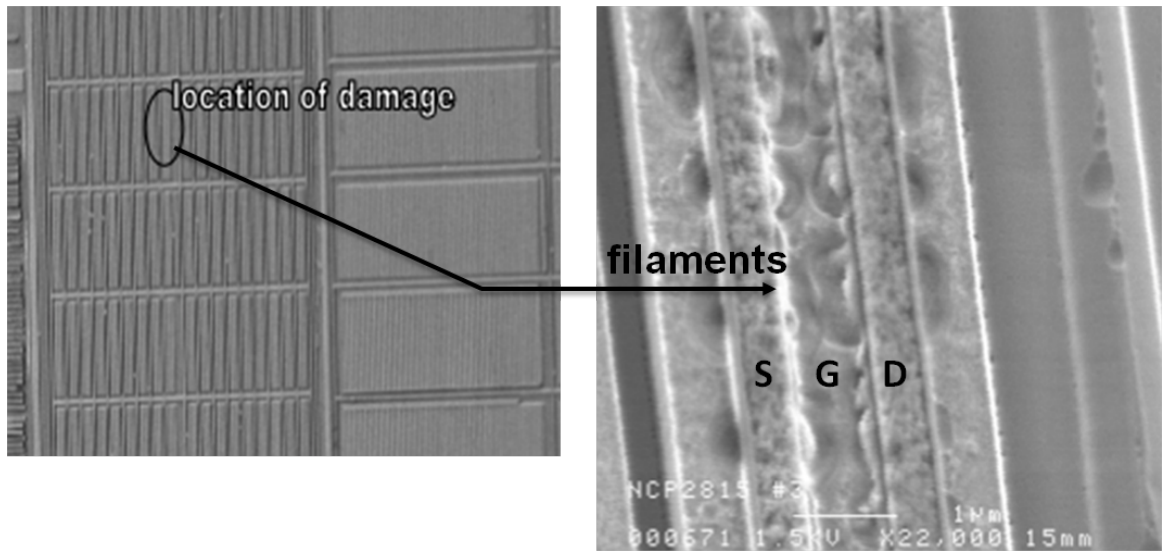


Figure 4.15. Vue détaillée de la zone défaillante du n-MOS

#### 4.4.2 Dans le produit sans protection IEC

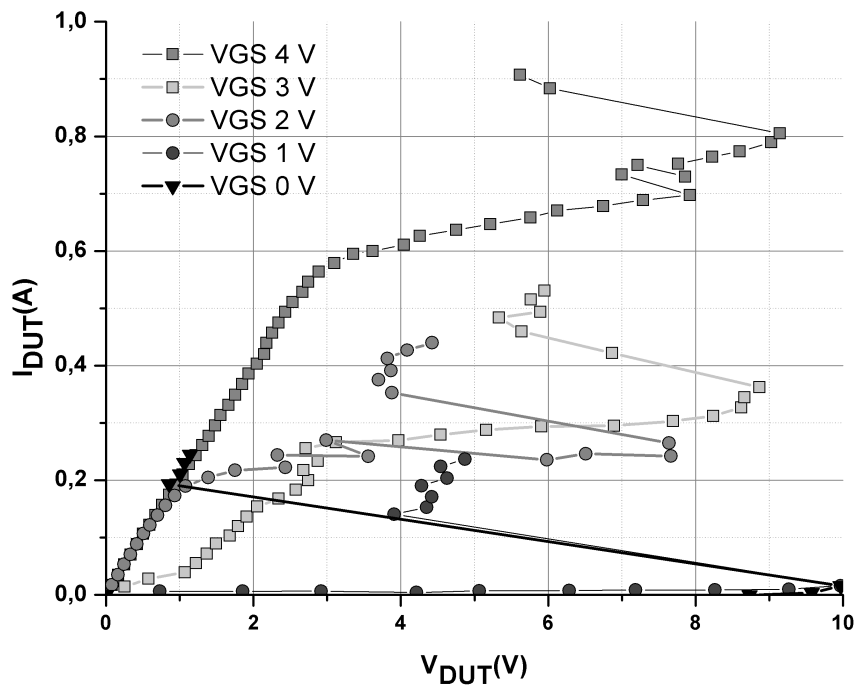
Le résultat de l'analyse de défaillance de la carte avec la puce sans protection intégrée montre que la zone défaillante est localisée également sur le n-MOS de sortie, comme illustré dans la Figure 4-16. Le n-MOS présente des filaments entre drain et source au niveau des doigts de grille les plus au centre de la structure inter-digitée. En effet, c'est dans cette région que le MOS présente la résistance substrat la plus élevée.



**Figure 4.16. Vue détaillée sur la zone défailante de la puce sans protection IEC**

#### **4.4.3 Caractérisation du n-MOS de l'amplificateur audio pour plusieurs polarisations de grille**

Nous voulons réaliser la caractérisation électrique du n-MOS  $Q_0$  de sortie de l'amplificateur audio. Des mesures TLP sous pointes sont effectuées directement sur une plaquette de silicium. L'impulsion TLP présente un temps de montée de 1 ns et une largeur 100 ns. Ce stress est appliqué sur le drain de  $Q_0$  avec la source à la masse. Il est à noter que le transistor possède le même dessin technologique que sur le produit. La grille est ensuite polarisée à travers une alimentation externe entre 0 et 4 V. Une capacité de 1  $\mu$ F est rajoutée entre la pointe connectée à la grille et la masse afin de maintenir la polarisation de grille stable pendant l'application de l'impulsion. Cette capacité est choisie de façon à être plus grande que la capacité intrinsèque entre le drain et la grille du n-MOS qui est de 260 pF. Ce n-MOS a les caractéristiques suivantes :  $w/l = 20 \mu\text{m}/0,5 \mu\text{m}$  et  $n_g = 180$ . Un troisième plot relie le substrat à la masse et un quatrième relie un anneau de garde p+ à la masse. Cet anneau de garde a pour rôle d'intercepter les courants parasites qui pourraient venir perturber ces éléments. Pour que cet anneau de garde n'introduise pas lui-même de courants parasites, il faut qu'il soit tout le temps au même potentiel que les éléments à protéger. Les résultats courant/tension des mesures sont donnés dans le graphique suivant (Figure 4-17).



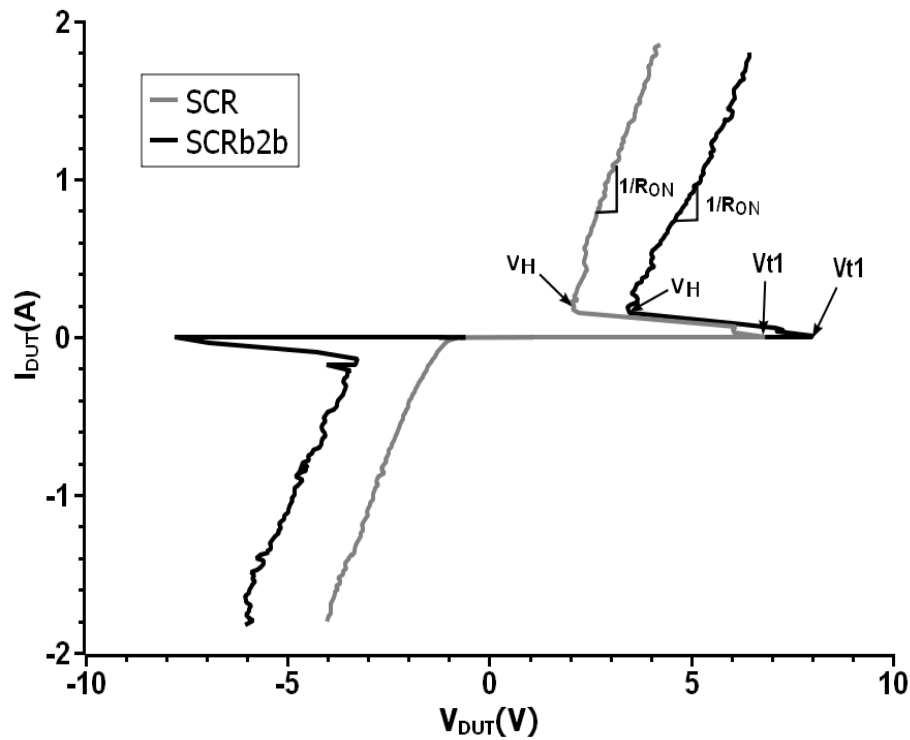
**Figure 4.17. Caractéristiques I(V) du n-MOS  $Q_0$  ( $w/l = 20/0,5$  et  $n_g = 180$ ) polarisé avec 0 V, 1 V, 2 V, 2,5 V, 3 V et 4 V soumis à des stress de TLP ( $t_r = 1\text{ns}$ ,  $w = 100\text{ns}$ )**

Ces résultats montrent que la tension de déclenchement du transistor bipolaire décroît de 10 V à 7,5 V pour une tension de grille croissante de 0 V à 2 V. Au-delà de 2 V, la tension de grille fait augmenter  $V_{t1}$  jusqu'à 9 V. Ces résultats ne corrént pas parfaitement avec les résultats obtenus sur un n-MOS polarisé à 2 V dessiné avec une parfaite symétrie des contacts de caisson P (Figure 4-10). Cela signifie que si on veut augmenter la tension de déclenchement du transistor bipolaire, il faut absolument s'affranchir de la dissymétrie introduite par l'inclusion d'un capteur de température. Ce capteur de température fait partie du système de surveillance des transistors de sortie du produit.

La protection SCR placée dans le produit a été caractérisée en TLP (Figure 4-18), premièrement lorsque la structure est toute seule et ensuite lorsqu'elle est en configuration tête bêche (SCRb2b). Les caractéristiques principales sont données dans le Tableau 4.2.

	SCR	SCRb2b
$V_{t1}$	6,8 V	8 V
$V_H$	2 V	3,5 V
$R_{ON}$	1 $\Omega$	1,6 $\Omega$

Tableau 4.2. Caractéristiques principales du SCR et du SCR en tête bêche

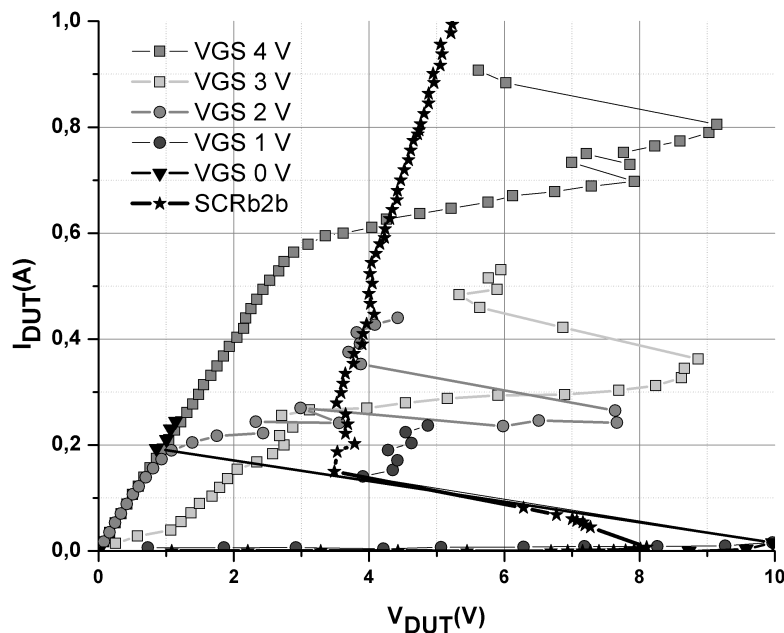

 Figure 4.18. Caractéristique TLP  $I_{DUT}(V_{DUT})$  du SCR et du SCR en tête bêche

L'augmentation de la résistance est principalement due à la mise en série de deux SCR tête bêche, ce qui fait que la résistance équivalente est celle du SCR tout seul, plus la résistance série de la diode de body du deuxième SCR. La résistance totale du composant de protection est de 1,6  $\Omega$ . De plus, la tension de déclenchement passe de 6,8 V jusqu'à 8 V du fait de la mise en série avec cette diode.

D'après nos hypothèses, la protection du n-MOS  $Q_0$  devrait être assurée par ce composant puisque  $V_{t1SCR} < V_{t1Q_0}$ . Dans notre cas,  $V_{t1SCR} = 8$  V et  $V_{t1Q_0} = 9$  V pour une implantation des contacts de caisson de 4,6  $\mu\text{m}$ . La résistance de la protection IEC est de 1,6  $\Omega$  et est donc trop élevée pour protéger le produit d'un stress IEC 8 kV. Le niveau de courant maximum pouvant être supporté par le produit avec cette structure de protection

peut être estimé par la relation  $1,6 \times I_{IEC} + 3,5 < 10 \text{ V}$ , ce qui conduit à un courant  $I_{IEC}$  de 3,4 A. D'où un niveau de robustesse inférieur à 1 kV. La résistance du SCR est donc un point bloquant ne permettant pas de protéger efficacement le transistor MOS.

Malgré cette constatation, nous voulons savoir si le SCR s'est bien déclenché pendant la décharge IEC et si c'est bien sa résistance élevée qui cause la défaillance du n-MOS à protéger. Pour cela, une autre mesure TLP est réalisée sur la structure de protection seule (2 SCRs tête-bêche avec diode Zener) et est superposée avec la caractéristique du n-MOS  $Q_0$ , mesurée préalablement, pour plusieurs polarisations de grille.

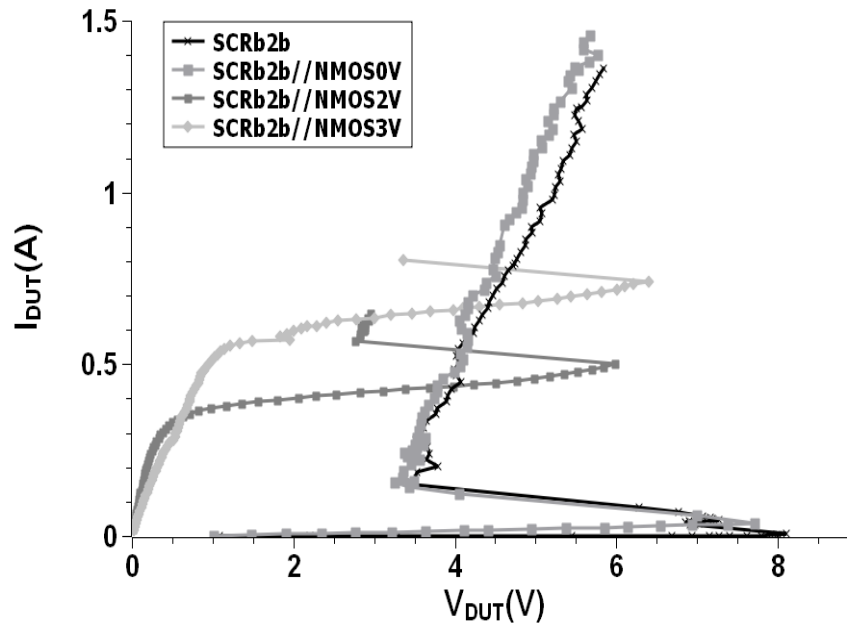


**Figure 4.19. Caractéristiques I(V) du n-MOS  $Q_0$  ( $w/l= 20/0,5$  et  $n_g= 180$ ) polarisé à 0 V, 1 V, 2 V, 2,5 V, 3 V et 4 V et du thyristor de protection en tête bêche soumis à des stress de TLP ( $tr = 1 \text{ ns}$ ,  $w= 100 \text{ ns}$ )**

Le graphique Figure 4-19 présente la caractéristique obtenue pour différentes tensions de grille et la caractéristique des SCRs tête bêche (SCR b2b). Nous observons que lorsque la polarisation de grille du n-MOS  $Q_0$  est en dessous de sa tension de seuil, la tension  $V_{t1}$  du MOS est à 10 V. Une fois que la grille est polarisée à une tension supérieure, la tension  $V_{t1}$  du MOS diminue à 7,5 V. D'après la caractéristique du SCRb2b, nous pouvons observer que son déclenchement s'effectue pour une tension de 8 V et se replie à 3,5 V. La tension  $V_{t1}$  de  $Q_0$  est fortement dépendante de la polarisation de

grille et donc le déclenchement de cette protection est dépendante de la polarisation de grille de  $Q_0$  pendant le stress IEC.

Une deuxième mesure est réalisée sur des structures où le n-MOS  $Q_0$  est placé en parallèle avec le SCRb2b. Les mesures TLP sont réalisées lorsque le n-MOS est polarisé à 0 V, 2 V et 3 V.



**Figure 4.20. Caractéristiques I(V) du SCR tête bêche en parallèle avec  $Q_0$  soumis à des stress de TLP ( $t_r=1ns$ ,  $w=100ns$ ) et du SCR en tête bêche**

La courbe représentant le n-MOS dont la grille est à la masse et le SCR nous montrent que pour chaque impulsion TLP, la tension de l'ensemble augmente jusqu'à la tension de déclenchement du SCR, ensuite la protection est activée et la tension diminue jusqu'à la tension  $V_H$  (3,5 V) du SCRb2b. Nous pouvons remarquer que la résistance diminue légèrement, ce qui s'explique par la mise en parallèle de la résistance à l'état passant du SCR et du n-MOS. Par contre, pour des polarisations de grilles supérieures ou égales à 2 V, la tension drain-source du MOS augmente jusqu'à son claquage qui a été mesurée à 7,5 V. Le composant sous test est détruit avant d'atteindre la tension de déclenchement du SCR b2b, c'est le n-MOS qui conduit le courant TLP.

Les mesures effectuées indiquent donc que le SCRb2b ne se déclenche pas lorsque le n-MOS est polarisé. Tout le courant provenant de la décharge passerait dans  $Q_0$  l'amenant jusqu'à sa destruction. La protection IEC ne serait donc pas efficace car sa tension de déclenchement est supérieure à la tension de claquage du n-MOS  $Q_0$ .



## 4.5 Optimisation de la simulation pour la protection IEC

Nous avons mis en place des simulations pour la protection du circuit audio en incluant un modèle comportemental du SCR. L'objectif est de confirmer les résultats obtenus avec les expériences de mesure TLP.

### 4.5.1 Méthodologie de simulation du SCR

Cette méthodologie de simulation est inspirée des travaux de N. Monnereau du laboratoire de recherche LAAS-CNRS (73). L'objectif est de réaliser la simulation du comportement de l'amplificateur audio pendant une décharge électrostatique IEC. La structure de protection de type SCR est simulée à partir d'un modèle comportemental réalisé dans le langage de programmation Verilog-AMS. Nous utilisons le cœur analogique du Verilog-AMS qui génère les quantités analogiques.

### 4.5.2 Mise en place des équations analogiques

En Verilog-AMS, une quantité électrique est utilisée pour définir le courant  $I$  traversant la structure et la tension  $V$  à ses bornes, respectivement. Cette quantité relie la tension et le courant avec une équation. Le modèle de la protection IEC est divisé en trois régimes de fonctionnement : le régime de non conduction, le régime de conduction directe et le régime de conduction inverse. Chaque état modélise un régime défini par une équation associant le courant et la tension. Dans cette méthodologie développée au LAAS, ces équations sont indépendantes. Le passage de l'une à l'autre se fait en respectant un graphe d'état. La courbe de mesures avec ses différents régimes est donnée dans la Figure 4-21.

Pour résoudre les exigences, le nombre d'équations dans le modèle doit être le même que le nombre d'inconnues dans les équations. Trois déclarations conditionnelles sont utilisées pour sélectionner l'équation à appliquer. A tout moment, les inconnues et les équations sont définies pour que le modèle puisse être résolu. Nous avons choisi de tester la tension et le courant afin d'éviter le conflit généré lorsque deux états correspondent à la même tension. Le diagramme d'états illustré dans la Figure 4-22 définit les différents cas possibles permettant un changement d'état.

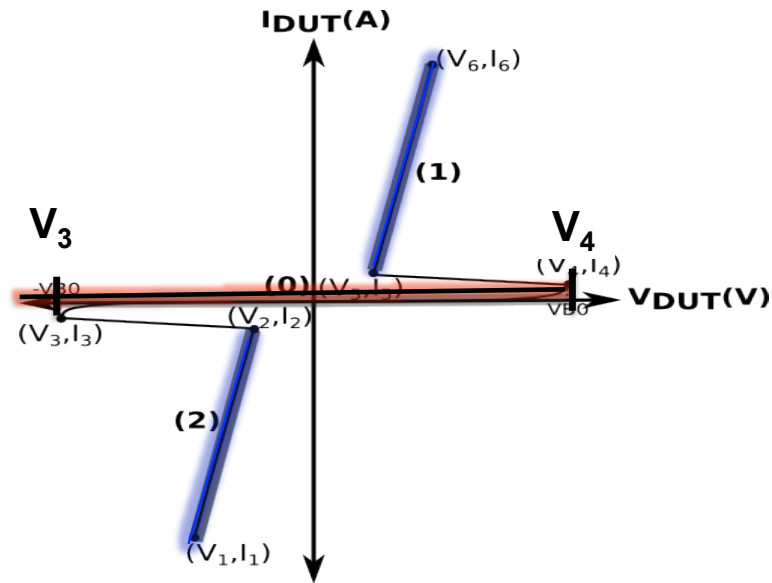


Figure 4.21. Diagramme d'état pour le modèle du SCR en tête bêche

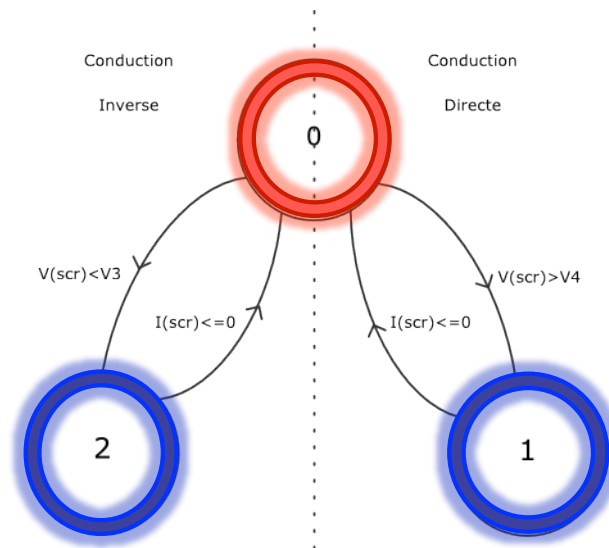


Figure 4.22. Machine à états de la protection SCR en tête bêche

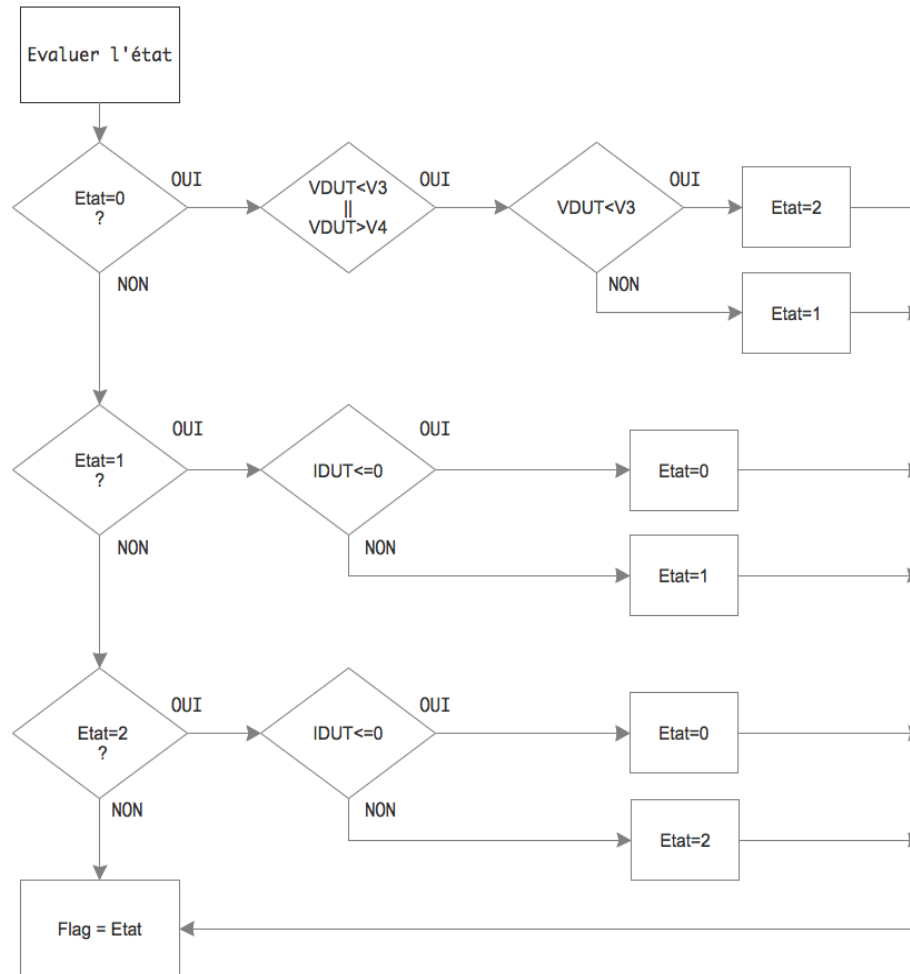
L'accès à un état peut être défini seulement dans un sens unique. La condition d'entrée dans un état s'effectue lorsque la tension de seuil est dépassée. Le changement d'état est effectué lorsque l'on dépasse un seuil de courant. Dans le cas où la tension  $VDUT$  dépasse le seuil  $V4$ , la machine à états se place sur l'état 1 qui correspond au régime de conduction directe du SCRb2b défini dans le Tableau 4.3.

V1, I1		V2, I2		V3, I3		V4, I4		V5, I5		V6, I6	
-6	-2	-3,5	-0,2	8	-0,15	8,2	0,15	3,5	0,15	11	8

**Tableau 4.3. Paramètres V, I du modèle SCR en tête bêche**

Réciproquement, pour passer de l'état 1 à l'état 0, le courant traversant le composant doit être inférieur ou égal à 0. La Figure 4-23 illustre le fonctionnement de la machine d'états qui régit le cœur du modèle. Celui-ci peut être découpé en deux parties. La première partie définit le comportement courant-tension du modèle et la deuxième partie définit le choix de l'équation à utiliser.

L'état 2 est défini pareillement et représente le régime linéaire inverse des SCRs en tête-bêche. L'état 0 correspond à un interrupteur ouvert défini par le même type d'équation. La difficulté principale de la modélisation du SCR est la discontinuité produite lors du repliement. Ce passage se produit lorsque l'on bascule de l'état 0 vers les états 1 et 2 et est défini comme une discontinuité dans laquelle les points de passage ne sont pas calculés. La capacité parasite intrinsèque des SCRs ajoutée en externe permet de définir une tension aux bornes de la protection lors de ce passage de façon à éviter les problèmes liés à la convergence du point de calcul. Cette capacité est un élément crucial pour assurer la convergence du modèle lors des fortes discontinuités comme le repliement violent du SCR. Elle représente aussi la dynamique du composant et permet donc les simulations transitoires

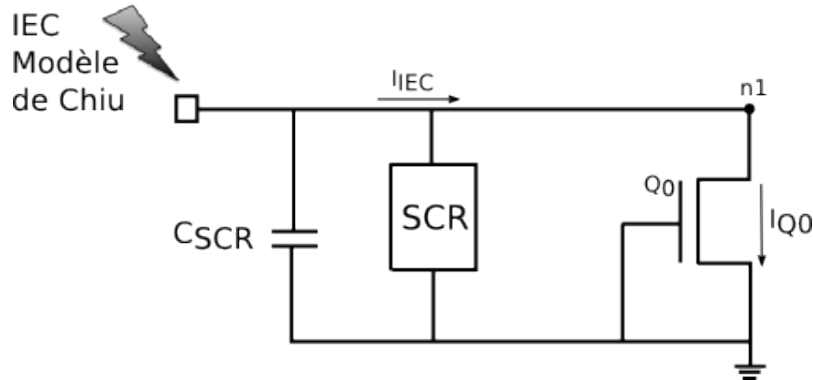


**Figure 4.23. Organigramme du modèle du SCR en tête bêche**

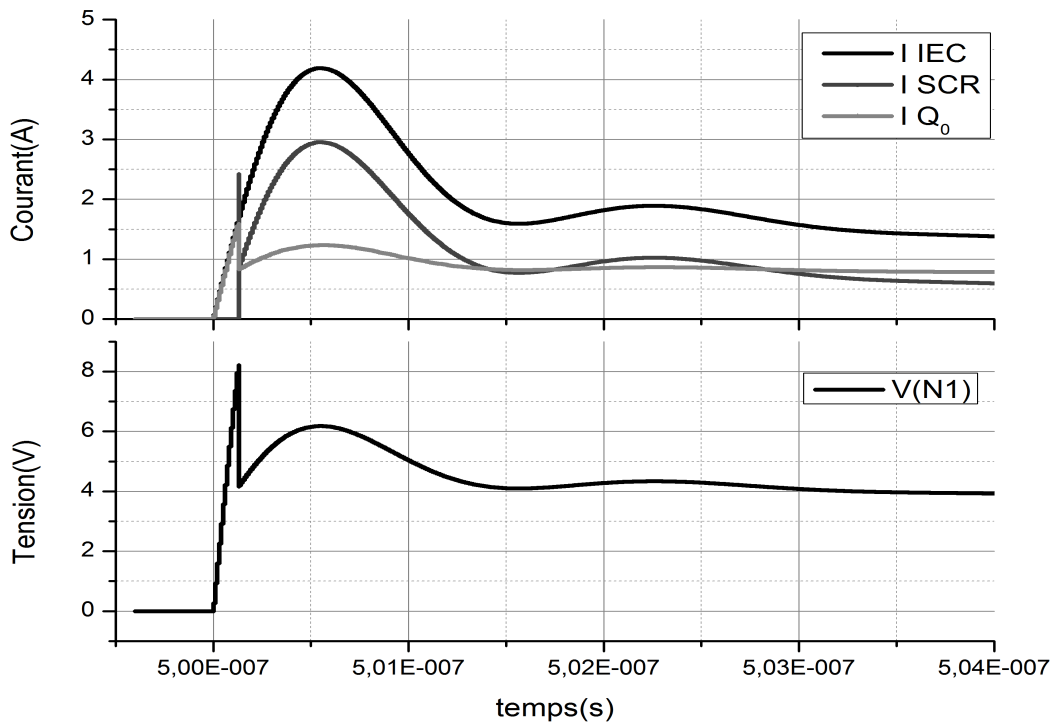
### 4.5.3 Simulation de la protection SCR avec le n-MOS à protéger

Nous avons procédé à la validation du modèle du SCR en comparant les caractéristiques des mesures TLP et la simulation afin de valider le modèle. Nous avons ensuite choisi de simuler une configuration simple: celle d'un n-MOS avec la grille à la masse protégé par ce SCRb2b, ce qui nous évitera d'avoir à gérer la problématique rencontrée lorsque la grille est alimentée pendant la décharge IEC. Il s'agit d'une simulation simple afin de vérifier le fonctionnement du modèle du SCRb2b. Nous avons effectué la simulation électrique d'un stress de 1 kV sur un n-MOS avec les mêmes paramètres technologiques que le n-MOS de l'étage de sortie Q<sub>0</sub>. Le modèle du MOS utilisé est le BSIM. Nous rappelons que ce modèle inclut les capacités parasites et les

diodes de body. Le modèle de stress appliqué est celui donné par Chiu [45]. Le schéma électrique est celui donné sur la Figure 4-24.



**Figure 4.24. Schéma électrique de la simulation d'un stress IEC 1 kV sur le n-MOS  $Q_0$  polarisé à la masse**



**Figure 4.25. Résultats de simulation IEC pour un stress de 1 kV: courant IEC et tension sur la sortie de l'amplificateur pendant les 4 premières nanosecondes**

Les résultats de simulation sont illustrés sur la Figure 4-25, où sont représentés la tension de sortie  $V_S$  et les courants issus de la décharge IEC, le courant qui traverse le SCRb2b,  $I_{SCR}$  et le n-MOS  $Q_0$ ,  $I_{Q_0}$  pendant les 4 premières nanosecondes de la décharge.

Nous observons un pic de tension pendant les premiers instants de la décharge. Ce pic correspond à l'augmentation de la tension qui est le résultat de la charge de la capacité

intrinsèque  $C_{SCR}$ . En parallèle le SCRb2b est à l'état 0 (état bloqué). Le courant qui passe dans  $Q_0$  est celui de sa capacité intrinsèque soumis à un fort  $dV/dt$  (4 V en 100 ps). Lorsque la tension dépasse le seuil de déclenchement du SCRb2b, la tension diminue suite au phénomène de repliement puis augmente très rapidement, mettant en évidence la résistivité élevée du SCRb2b à l'état passant. Ces résultats sont en accord avec les résultats des mesures précédentes. En effet, nous avons vu que lorsqu'un stress IEC 1kV est appliqué sur le n-MOS avec la grille à la masse en parallèle avec le SCRb2b, le circuit ne présente pas de défaillance. La tension aux bornes de l'ensemble est inférieure à 10 V qui est la tension  $V_{t2}$  de défaillance du n-MOS  $Q_0$ . Le SCRb2b se déclenche et suit les modes de fonctionnement dictés par le modèle.

#### 4.6 Simulation de la protection SCR avec le modèle simplifié du produit alimenté

La simulation électrique d'une décharge IEC sur une version simplifiée du produit est réalisée. Afin de comprendre le comportement du produit lors de la décharge, nous avons effectué une simulation simple qui comporte uniquement les trois transistors de sortie et sa protection. Nous avons utilisé les modèles SPICE des transistors qui incluent leur capacités parasites et leur diodes de body. Le schéma électrique simulé est illustré sur la figure suivante (Figure 4-26).

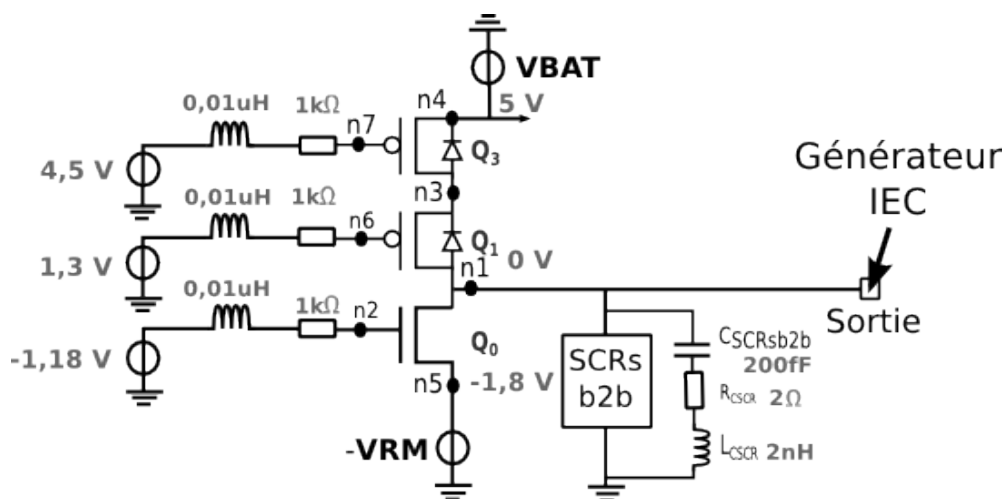
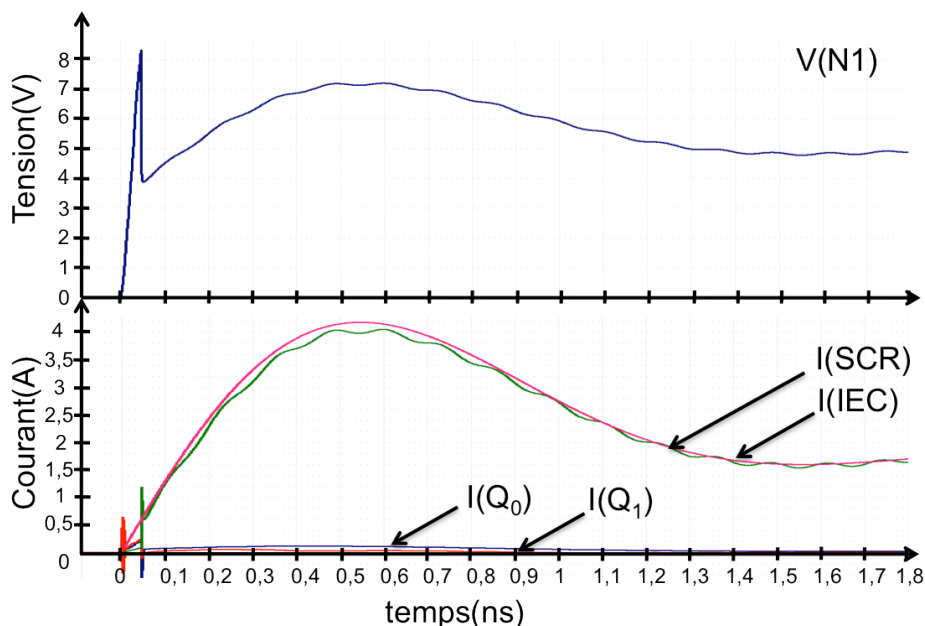


Figure 4.26. Schéma électrique du produit simplifié pour la simulation du stress IEC 1kV sur la sortie de l'amplificateur audio alimenté

Les tensions d'alimentation sont les mêmes que celles du produit, 5 V pour VBAT et -1,8 V pour VRM. La simulation comporte le n-MOS  $Q_0$  et le p-MOS  $Q_1$  de l'étage de sortie de l'amplificateur, le p-MOS de sortie des régulateurs de tension positive LDO P suivi par les sources VBAT et le n-MOS  $Q_0$  suivi par la source négative  $-VRM$ . Les grilles des transistors sont contrôlées avec des sources de tension en série avec des résistances de  $1k\Omega$  et des inductances de  $0,01\mu H$ . Ces résistances représentent la résistance dynamique de l'amplificateur audio au moment de la décharge IEC. Nous rappelons qu'en statique l'impédance de sortie est quasiment nulle étant donné que le temps de réponse de l'amplificateur opérationnel n'est que de 100 microsecondes en comparaison du temps de montée de l'IEC qui lui est de l'ordre de la nanoseconde. C'est pour cette raison qu'au moment de la décharge IEC, la sortie de l'amplificateur se comporte comme une résistance de haute impédance. Dans notre simulation, nous avons ajouté sur la sortie de l'amplificateur une protection de type SCR (montage en série de 2 composants tête-bêche) et sa capacité parasite intrinsèque (200 fF).

Nous avons par la suite effectué la simulation du stress IEC 1 kV sur les trois transistors. Les résultats issus de cette simulation sont illustrés dans la Figure 4-27.



**Figure 4.27. Formes d'onde du courant IEC 1 kV et tension VDS de  $Q_0$  lorsque l'amplificateur audio est alimenté**

Dans cette simulation, nous pouvons observer que lors de la décharge, la tension sur la sortie augmente rapidement vu la faible capacité intrinsèque du SCRb2b. Celle-ci

augmente jusqu'à la tension de déclenchement du SCRb2b. Une fois que le composant de protection est amorcé, le courant de décharge IEC passe à travers celui-ci et une moindre quantité de courant passe à travers les MOS de sortie  $Q_0$  et  $Q_1$ , donnée par leurs polarisations de grille. Nous pouvons observer qu'une discontinuité est créée sur le courant de décharge qui passe dans le SCR pendant les premières nanosecondes de la décharge. Pendant les premiers temps de la décharge, lorsque le SCR n'est pas encore déclenché sa capacité intrinsèque se charge. Dès que la tension sur le nœud n1 est au seuil du déclenchement du SCR, celui-ci se déclenche et grâce à sa faible résistance permet la décharge de la capacité intrinsèque, en créant un pic de courant d'une amplitude de 1 A sur le simulateur pour un temps de simulation de 50 picosecondes.

Dans cette simulation, nous pouvons voir les tendances que suivront le courant et la tension aux bornes de la sortie de l'amplificateur pendant la décharge électrostatique. Cependant, lors de la caractérisation de ce circuit dans le chapitre précédent, nous avons conclu que la destruction du circuit est due au non déclenchement du SCR.

Les modèles SPICE des MOS employés pour cette simulation incluent les résistances de body, mais ils ne sont élaborés que pour fonctionner dans la gamme d'alimentation du produit, c'est-à-dire entre 0 et 5 V. La valeur de la résistance des diodes est extraite par simulation et nous avons obtenu un résultat de 480 m $\Omega$ . Une analyse quasi-statique de la décharge IEC sur le produit en incluant dans le modèle les résistances des diodes body obtenue avec la caractérisation des p-MOS de sortie du produit est réalisée dans le paragraphe suivant.

## **4.7 Analyse quasi-statique pour la protection IEC**

### **4.7.1 Chemins de décharge IEC 1<sup>ère</sup> étape (Figure 4-28)**

Dans un premier temps, la partie dynamique du courant IEC passe à travers les capacités intrinsèques des MOS. La deuxième partie du courant de décharge, moins rapide, passe à travers le n-MOS  $Q_0$  (IEC 1). La charge de la capacité intrinsèque alimentée par l'IEC augmente à son tour la tension de polarisation de grille. Cette étape de la décharge est expliquée plus en détail dans le chapitre 3.



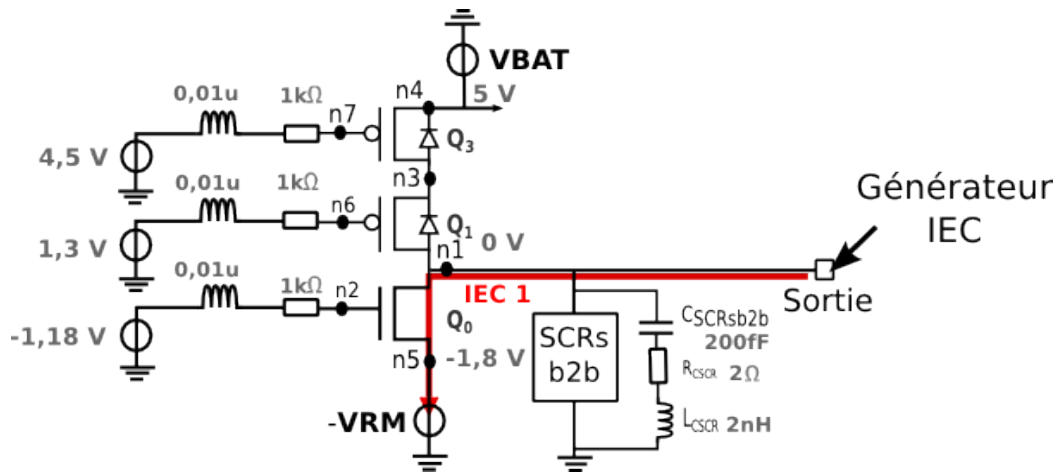


Figure 4.28. Chemins de décharge IEC 1<sup>ère</sup> étape

#### 4.7.2 Chemins de décharge IEC 2<sup>ème</sup> étape (Figure 4-29)

La tension augmente du fait de la charge de toutes les capacités intrinsèques. Lorsque la tension dépasse VBAT plus la tension directe (Vf) des deux diodes de body des p-MOS Q<sub>1</sub> et Q<sub>3</sub> en série (7 V), un nouveau chemin moins résistif se crée (IEC 2).

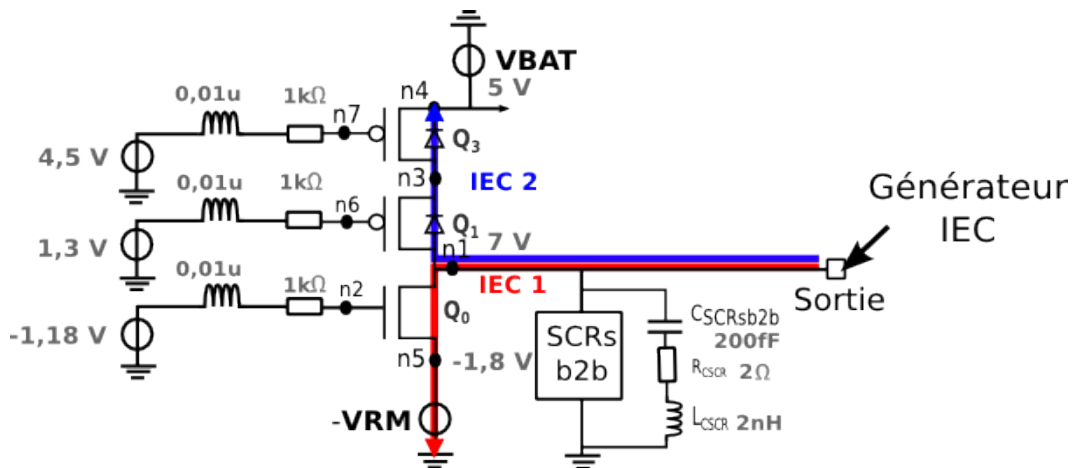


Figure 4.29. Chemins de décharge IEC 2<sup>ème</sup> étape

#### 4.7.3 Chemins de décharge IEC 3<sup>ème</sup> étape (Figure 4-30)

La tension développée sur la sortie continue à augmenter du fait de la résistance des jonctions N-P (0,8 Ω). Dès lors que la tension sur la sortie est de 8 V, la protection se déclenche et la tension sur la sortie se replie à 4 V, les diodes de body redeviennent bloquées. Le courant passe dans le SCRSb2b (IEC 3) et la tension augmente suivant la résistance intrinsèque de ce dernier (1,6 Ω).

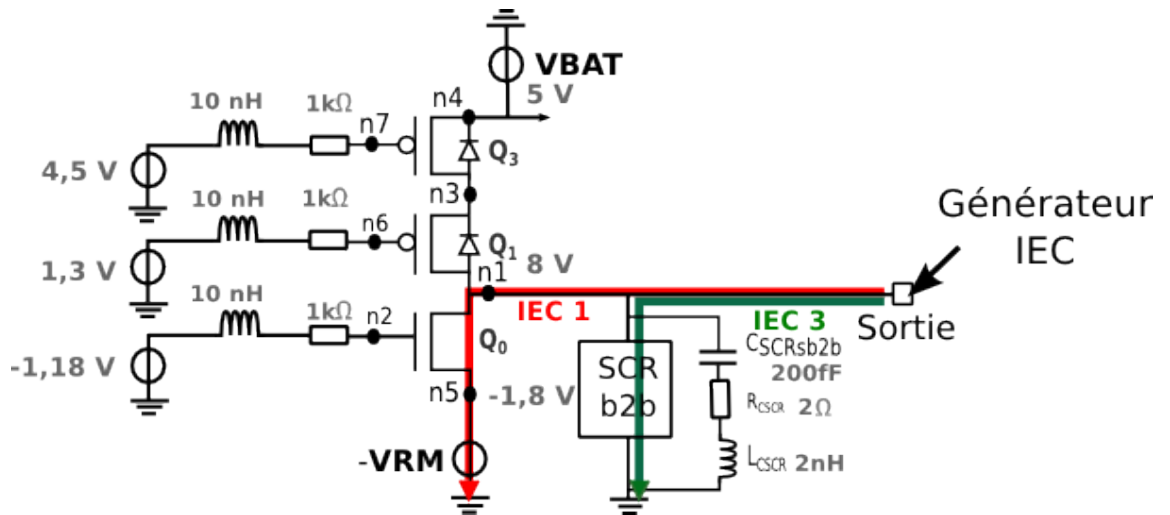


Figure 4.30. Chemins de décharge IEC 3<sup>ème</sup> étape

#### 4.7.4 Chemins de décharge IEC 4<sup>ème</sup> étape (Figure 4-31 )

Le seuil de tension des diodes est à nouveau franchi pour un courant IEC de 4,4 A. Le courant IEC passe dans les deux diodes body présentant une résistance 0,8  $\Omega$  (IEC 2) et à travers la protection (IEC 3) avec une résistance globale de 1,6 $\Omega$  en parallèle avec 0,8 $\Omega$ , soit 0,53 $\Omega$ .

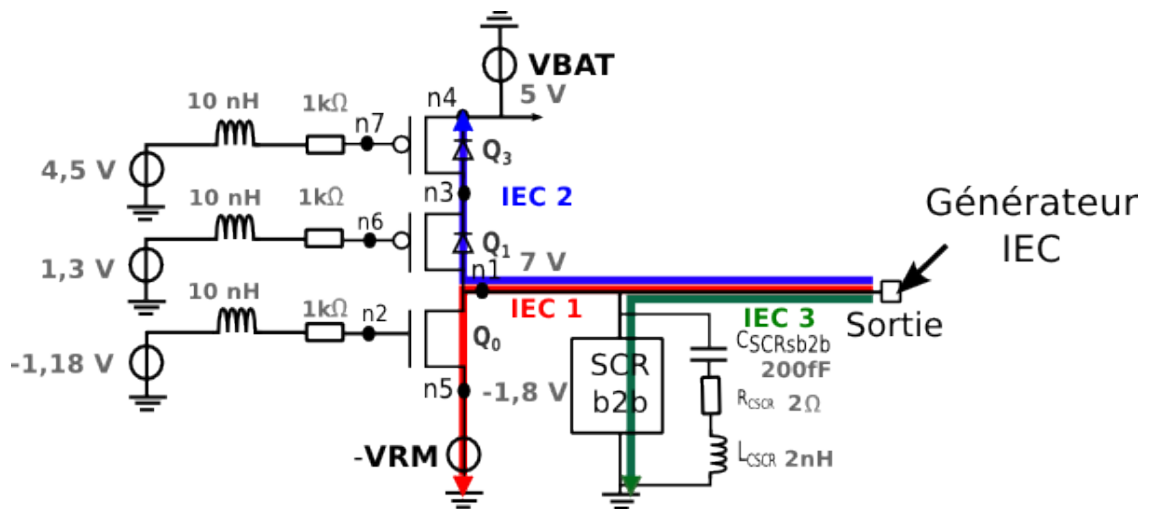
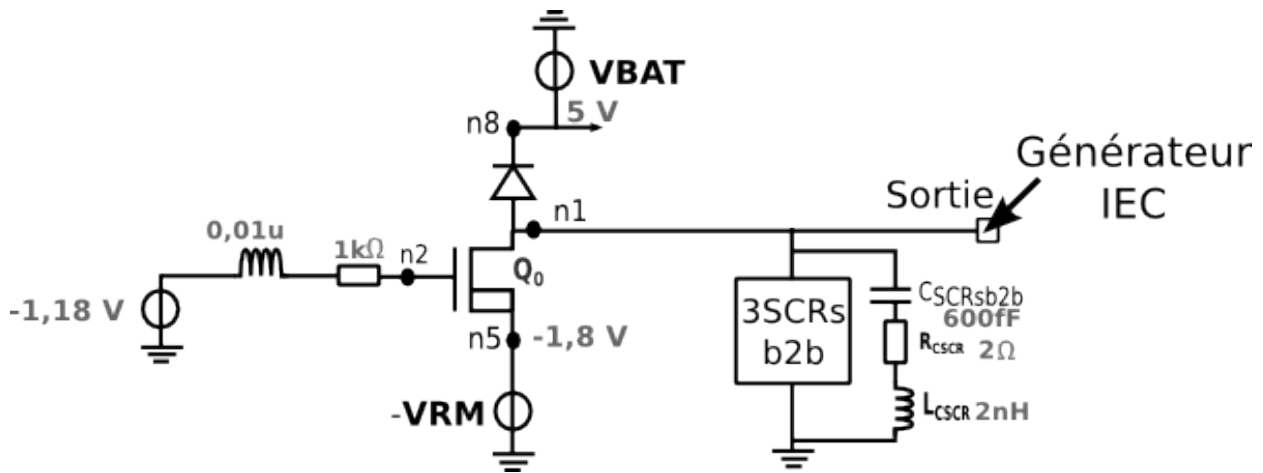


Figure 4.31. Chemins de décharge IEC 4<sup>ème</sup> étape

#### 4.7.5 Simulation de la protection SCR avec le modèle simplifié du produit alimenté

Pour prendre en compte dans la simulation l'analyse précédente, nous avons effectué la simulation électrique pour une décharge IEC 1 kV (avec un courant pic respectif de 4 A) avec cette configuration et en ajustant dans le modèle la résistance

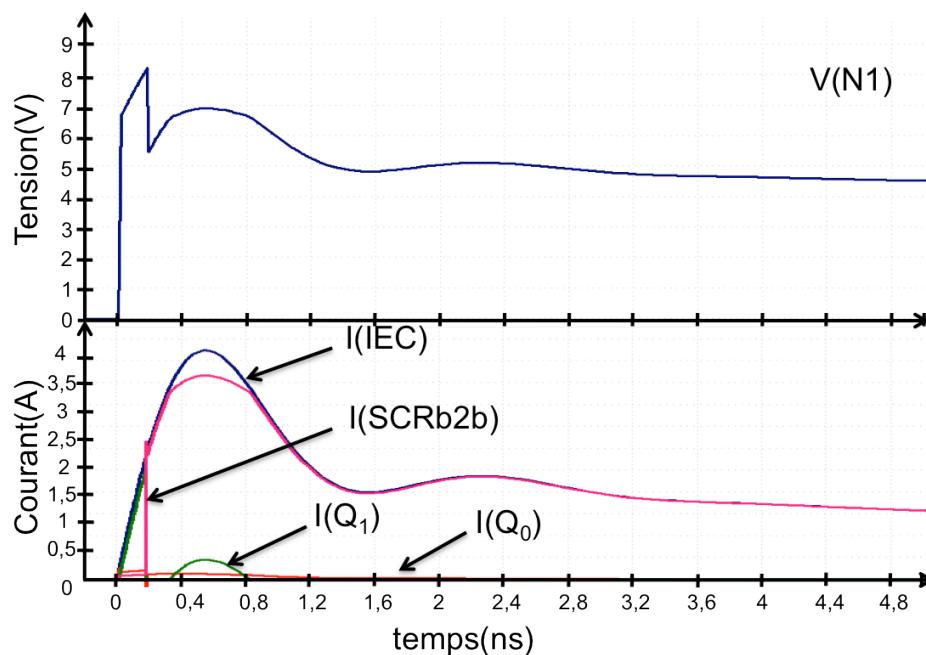
dynamique des diodes de body. Le schéma électrique utilisé pour la simulation finale simplifié est donné ci-dessous Figure 4-32.



**Figure 4.32. Schéma électrique du produit simplifié pour la protection IEC**

Ce schéma est valable seulement pour la dernière étape de la décharge IEC et nous permettra d'obtenir la tension maximum sur le n-MOS  $Q_0$ .

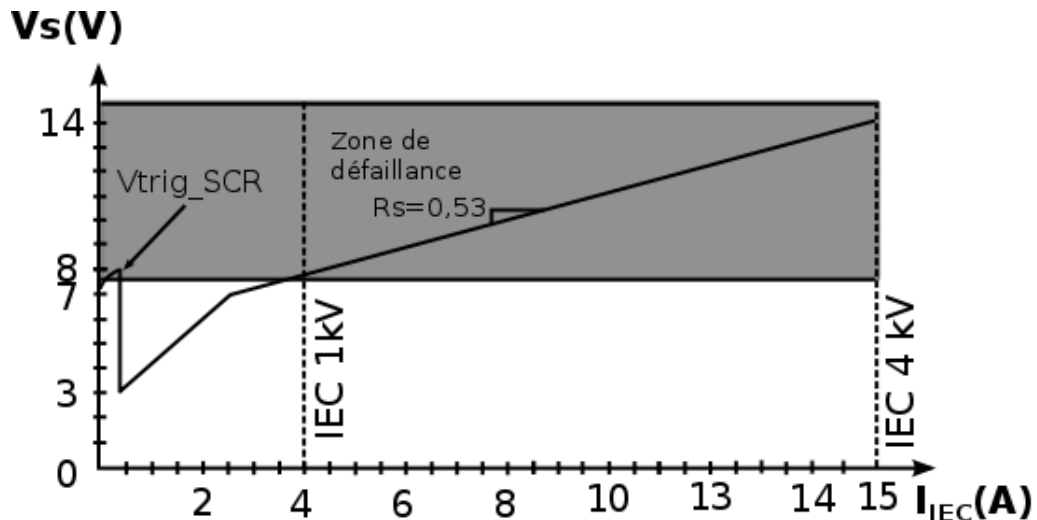
Les résultats de la simulation sont donnés sur la Figure 4-33.



**Figure 4.33. Simulation électrique pour une décharge IEC +1kV sur le modèle du produit simplifié**

Nous pouvons observer que la tension maximum  $V(n1)$  lors du repliement du SCR ( domaine de validité de la simulation simplifiée) pour une décharge IEC +1 kV est de 7 V , ce qui correspond à la tension de défaillance du n-MOS  $Q_0$  ( c'est à dire 8,8 V) lorsque ce dernier est polarisé. La limite de défaillance de 1 kV du produit est retrouvée grâce à cette simulation simplifiée, mais prenant en compte tous les éléments dynamiques. Nous pouvons observer la répartition du courant +IEC entre le SCRb2b  $I(\text{SCRb2b})$  et les diodes de body du p-MOS  $I(Q_1)$ , la première majoritaire étant donnée la différence de potentiel plus élevée aux bornes du SCRb2b, de 7 V et de 2 V pour les diodes.

La caractéristique quasi-statique  $I(V)$  de l'ensemble du réseau de protection de la sortie (SCRb2b+p-MOS) est représentée sur la Figure 4-34. Nous avons représenté la zone de défaillance et les équivalences à niveau de test de décharge IEC.



**Figure 4.34. Analyse quasi statique de la décharge IEC sur la sortie du produit avec la protection SCRb2b**

La tension dépasse la marge de la zone de défaillance du n-MOS  $Q_0$  pour un courant IEC de 4 A (correspondant au niveau IEC 1kV). Nous pouvons noter que pour une décharge IEC de 1 kV, la destruction peut être obtenue à deux niveaux. Une première fois pour un courant très faible inférieur à 500mA, juste avant que le SCR ne se retourne. C'est d'ailleurs le niveau de défaillance mesuré dans le chapitre 4 figure 4-20. En admettant que le composant survive à cette première cause de défaillance, dès que l'on aura atteint les 4 A, la tension de sortie sera à nouveau supérieure à 8 V. L'ajout du SCR n'est donc pas suffisant pour assurer la protection de la sortie.

#### 4.8 Proposition de solution pour la protection IEC

Des mesures de renforcement peuvent être mises en place pendant l'élaboration de la topologie des p-MOS en faisant spécialement attention à la surface utilisée pour les contacts de substrat (voir Chapitre 3) afin de réduire la résistance des diodes de body.

Nous pourrions penser à diminuer la tension de seuil ainsi que la résistance à l'état passant de la protection SCRb2b. Ces caractéristiques intrinsèques du composant sont données par les épaisseurs de diffusion et les dopages dans le silicium, cependant la technologie est limitée aux besoins du produit et ne peut pas être modifiée.

La solution qui reste est de diminuer la résistance globale de la protection en implémentant plusieurs composants en parallèle. La Figure 4-35 représente la tension  $V_S$  développée par la sortie de l'amplificateur lorsque deux SCR et puis trois SCR sont placés en parallèle.

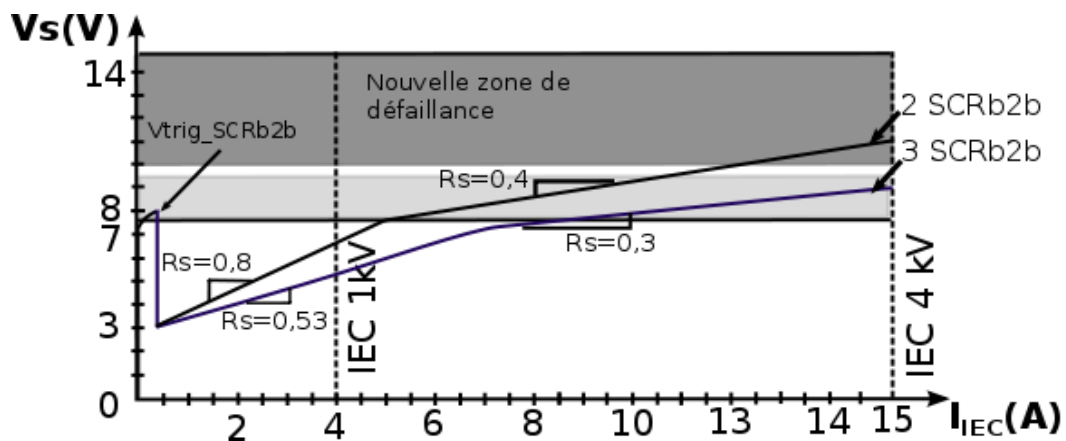
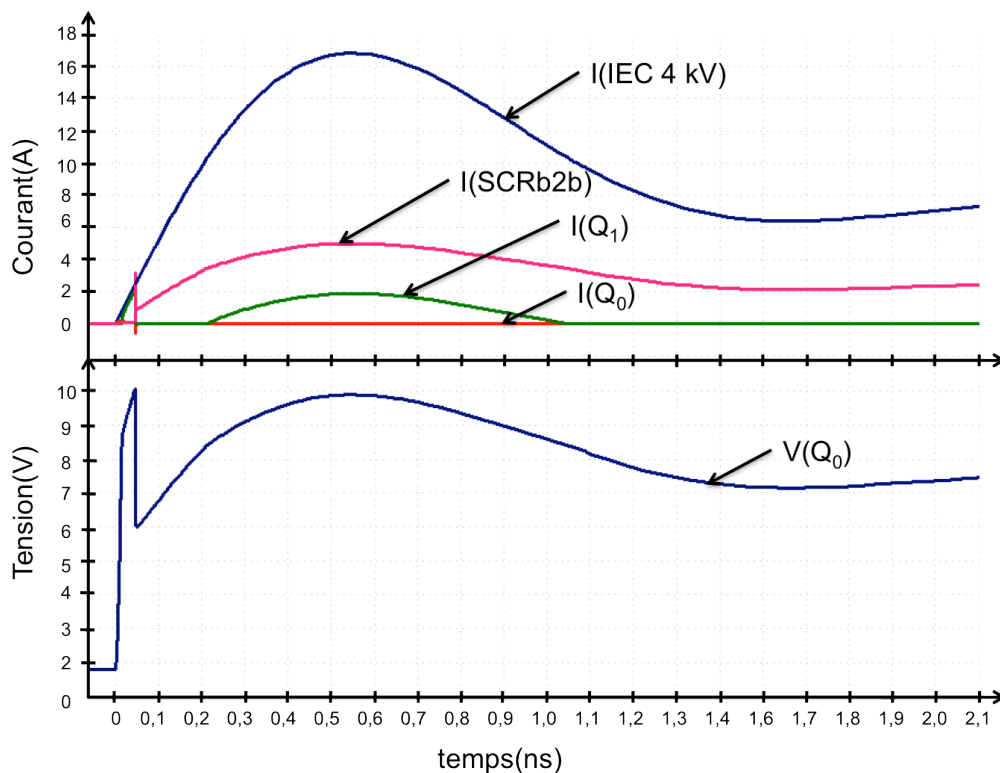


Figure 4.35. Analyse quasi statique de la décharge IEC sur le produit avec la nouvelle marge de défaillance

Dans la figure nous pouvons observer que lorsque deux SCR sont en parallèle la résistance équivalente est de  $0,8 \Omega$ . Une fois que la tension arrive au seuil de déclenchement des diodes de body, un nouveau chemin de décharge est offert au courant de décharge et la résistance équivalente de l'ensemble SCR plus diodes de body diminue jusqu'à  $0,4 \Omega$ . La capacité intrinsèque de la protection vue par l'amplificateur audio est doublée mais reste cependant dans la limite capacitive acceptée en sortie. Nous pouvons suivre le même raisonnement lorsque 3 SCR sont en parallèle, la résistance équivalente est de  $0,53 \Omega$  et de  $0,3 \Omega$  une fois que les diodes de body sont déclenchées.

Avec cette étude analytique de la décharge IEC sur le produit, nous pouvons préconiser les résultats pour l'amélioration de la protection IEC de l'amplificateur audio. Lorsque deux protections sont en parallèle, le niveau IEC sera supérieur à 1 kV et lorsque 3 protections sont en parallèle, le niveau IEC sera à la limite de 2 kV. Ceci reste cependant très insuffisant pour rentrer dans le cahier des charges des applications audio pour la téléphonie. Il nous faut atteindre 8 kV IEC.

Il faut compléter cette stratégie avec l'augmentation de la tension de défaillance du transistor n-MOS, la solution proposée est de réaliser un circuit de coupure dite active et sera expliqué par la suite. Sur la Figure 4-35, nous avons superposé la nouvelle zone de défaillance que nous aurions si le MOS  $Q_0$  n'était pas polarisé. En considérant que le transistor  $Q_0$  supporte 10 V. Le niveau de robustesse IEC serait ainsi au delà de 4 kV, en suivant la courbe présentée dans la même Figure 4-35 pour 3 SCRb2b placés en en parallèle.



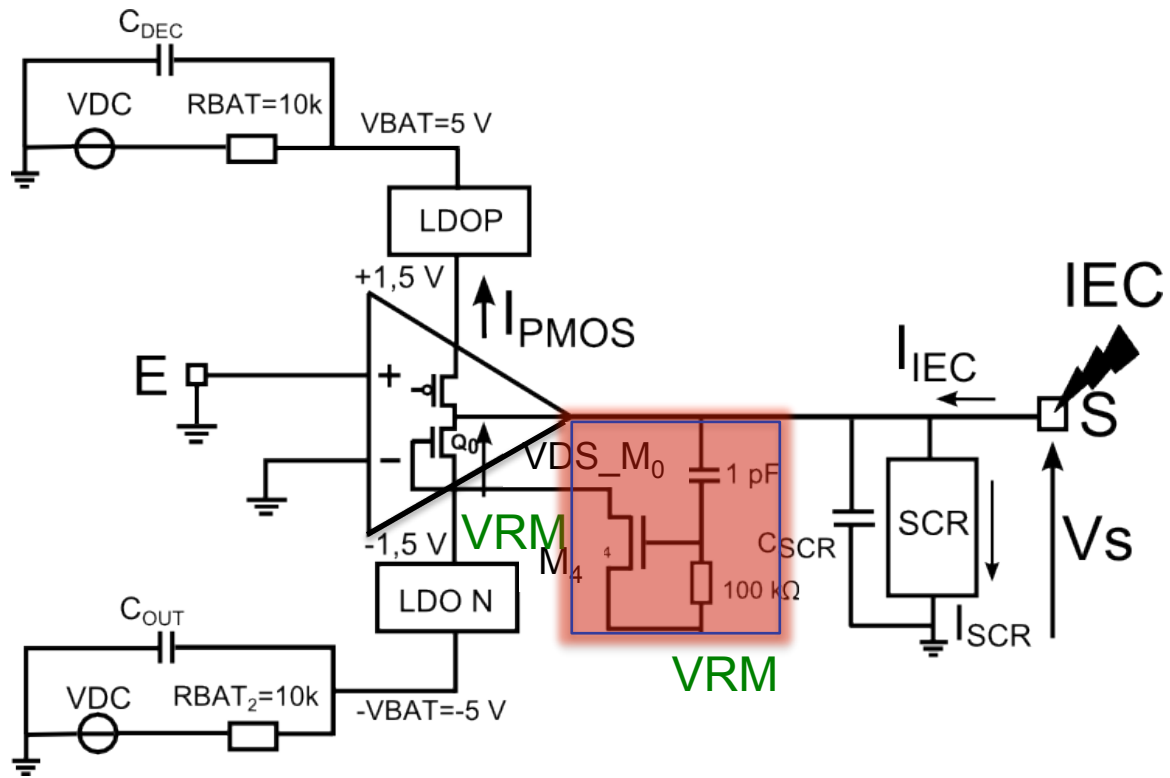
**Figure 4.36. Simulation électrique d'une décharge +IEC 4 kV avec 3 SCRsb2b en parallèle**

Nous avons réalisé la simulation électrique d'une décharge IEC + 4kV représenté dans la figure 4.36 ci-dessus (simulation faite dans la configuration de la figure 4.32). Comme nous pouvons le constater la tension maximale,  $V(Q_0)$ , aux bornes du transistor

n-MOS est de 10 V. Nous sommes à la limite de défaillance lorsque le n-MOS de sortie  $Q_0$  n'est pas polarisé, ce qui confirme ce que nous avons prévu dans l'analyse quasi-statique. Dans la section suivante, nous proposons une solution qui consiste à mettre en place un circuit afin de couper la tension de grille de  $Q_0$  dès la détection d'un stress ESD afin d'augmenter sa tension de défaillance trop faible lorsque le transistor est polarisé. Nous nommerons ce circuit, « circuit de coupure active ».

#### **4.8.1 Circuit de coupure active.**

Dans le chapitre 3, nous avons vu que la défaillance du n-MOS dans le circuit intégré était due à la surtension source-drain générée par la décharge électrostatique comme montré dans la figure 3-28. Cette tension de défaillance est d'autant plus faible que la grille du transistor est alimentée. C'est pour cette raison que nous avons imaginé un système qui permettrait de connecter la grille du MOS à la masse dès qu'une décharge ESD est détectée sur la base d'un RC trigger. Nous rappelons que la protection du produit audio comporte des contraintes très sévères quant à la conception du composant de protection (tension comprise entre +/- 1,8 V et un courant maximum DC de fonctionnement de l'amplificateur audio donné pour 45 mA). De plus, la limite acceptée sur la sortie en termes de capacité parasite est de 80 pF. Le circuit de protection proposé intègre un système de type RC trigger MOS connecté sur la grille de  $Q_0$ . Ce système porte la grille à la masse pendant une décharge IEC. Le système de protection est illustré dans la Figure 4-37.

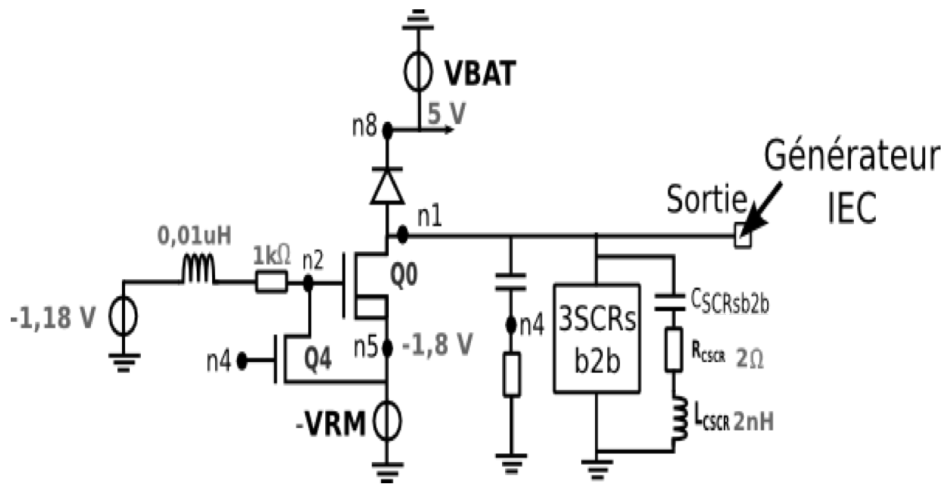


**Figure 4.37. Schéma électrique de la protection SCR avec le système RC trigger MOS pour la protection de  $Q_0$**

Dans notre schéma de simulation, le transistor de « pull-down » de type n-MOS appelé  $Q_4$  est connecté entre la grille de  $Q_0$  et la masse. La grille de  $Q_4$  est pilotée par un réseau RC caractérisé par une constante de temps de 100 ns. Cette valeur est choisie de telle façon que le réseau soit capable de détecter le temps de montée d'un stress IEC mais également pour qu'elle puisse maintenir le n-MOS  $Q_4$  passant pendant la décharge. Les valeurs de la résistance (100 k $\Omega$ ) et la capacité (1 pF) du système de détection ont été choisies telles que ces composants puissent être intégrés dans la puce (74). Avec ce circuit de protection, la tension de déclenchement du transistor bipolaire parasite du n-MOS  $Q_0$  serait de 10 V, ce qui permettrait le déclenchement du SCR série placé sur la sortie.

Nous avons réalisé la simulation électrique du stress IEC 7 kV. Le schéma électrique de la simulation est représenté dans la Figure 4-38.



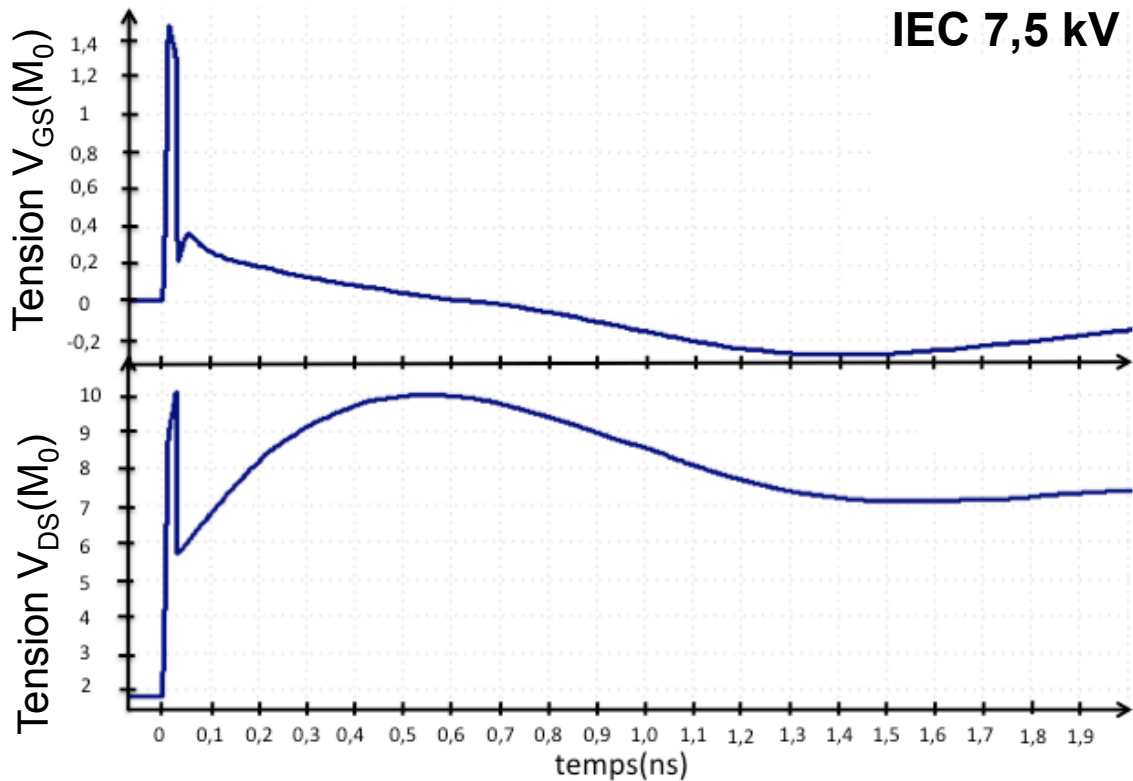


**Figure 4.38. Schéma électrique de la simulation simplifiée de la protection IEC avec le système RC trigger MOS**

Nous avons procédé à la simplification de la simulation IEC vue dans le sous chapitre 4.7.5. La taille du transistor  $Q_4$  doit être suffisamment importante pour parvenir à vider la capacité intrinsèque de la grille de  $Q_0$  et donc tirer rapidement ce potentiel vers 0 V. Après multiples simulations, nous avons trouvé le bon compromis lorsque le transistor  $Q_4$  possède les dimensions  $w=1000 \mu\text{m}$ ,  $l=0,5\mu\text{m}$ . Le tableau qui résume les résultats des simulations en faisant varier la taille de  $Q_0$  est donné ci-dessous.

Rtrig	Ctrig	W( $Q_4$ )	Vgs ( $Q_0$ ) à $t=0,05\text{ns}$
100kΩ	1 pF	300 $\mu\text{m}$	580 mV
100kΩ	1 pF	600 $\mu\text{m}$	410 mV
100kΩ	1 pF	800 $\mu\text{m}$	310 mV
100kΩ	1 pF	1000 $\mu\text{m}$	250 mV
100kΩ	1 pF	2000 $\mu\text{m}$	210 mV

**Tableau 4.4. Tension Vgs( $Q_0$ ) en fonction de la dimension W de  $Q_4$**



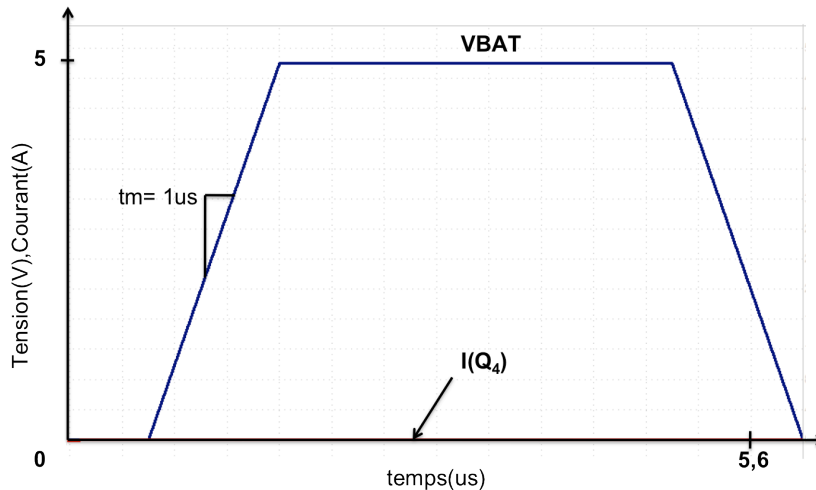
**Figure 4.39. Simulation électrique d'une décharge IEC +7.5 kV sur la sortie audio avec la protection IEC**

Nous avons réalisé la simulation électrique de la décharge IEC +7.5 kV avec le circuit de coupure active RC trigger MOS intégré (Figure 4-39). En parallèle, nous avons inséré quatre SCRb2b en parallèle entre n1 et la masse et la capacité représentant la capacité intrinsèque équivalente des composants  $C_{SCR}$  avec une valeur de 0,8 pF. La tension de grille de  $Q_0$  est polarisée à une tension initiale  $V_{GS}$  de 0,6 V. Le produit est polarisé avec une tension de -1,8 V correspondant à la tension VRM (sortie du régulateur de tension négatif). La tension  $V(Q_0)$  est maintenue à la limite de 9,6 V après le repliement. La tension de la grille de  $Q_0$  est portée au dessous de la tension de seuil ( $V_{GS} = 500$  mV) dès que le circuit de détection voit passer la décharge IEC, et ceci dans un temps inférieur à 100 ps. Ce temps est bien inférieur au temps de destruction que nous avons estimé dans le chapitre 3 Figure 3-18. Ainsi la tension de défaillance VT2 du n-MOS serait portée à la limite de 10 V, obtenue lorsque le MOS est bloqué.

### 4.8.2 Immunité lors de l'allumage de l'alimentation

Le système RC trigger MOS doit être également immunisé lors de la phase d'allumage de l'alimentation VBAT. En effet, celle-ci présente une dynamique en tension susceptible de déclencher le circuit de protection, dans notre cas de simulation, nous avons choisi un temps de montée de  $1 \mu\text{s}$ . Il est à noter que cette condition de démarrage est très « agressive ». En effet, pour des applications générales, le démarrage est un événement très lent où le temps de montée est de l'ordre de la dizaine de microsecondes. Il ne peut donc pas être (en principe) confondu avec un stress IEC.

Afin de vérifier cela, nous avons réalisé la simulation suivante (Figure 4-40). Nous appliquons sur notre structure une rampe de tension passant de 0 à 5 V en  $1 \mu\text{s}$  et nous relevons le courant consommé par le n-MOS  $Q_4$ .

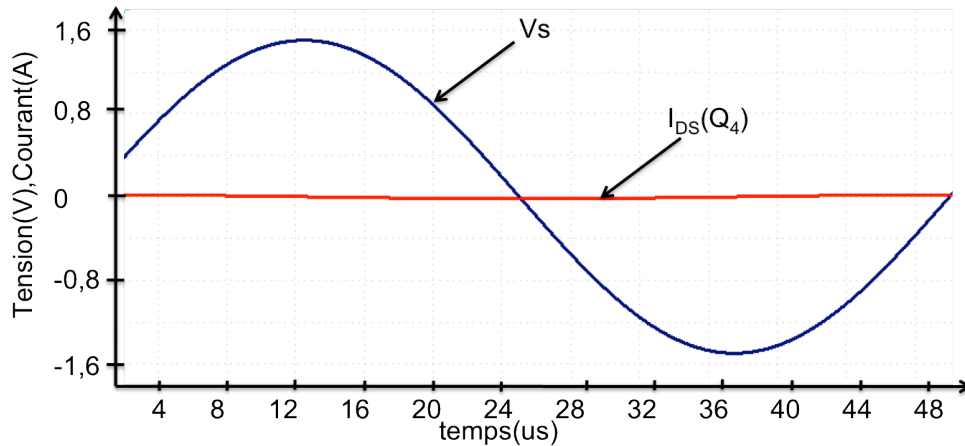


**Figure 4.40. Comportement du nouveau Power Clamp durant la phase de démarrage de l'alimentation avec un  $t_{\text{rise}} = 1 \mu\text{s}$ .**

Nous constatons que le courant traversant le transistor n-MOS  $Q_4$  est quasiment nul (quelques nA) ce qui signifie que le nouveau Power Clamp ne se déclenche pas intempestivement sur un démarrage d'alimentation avec un temps de montée de  $1 \mu\text{s}$ .

### 4.8.3 Immunité pendant le fonctionnement du produit

Une protection ESD ne doit pas perturber le fonctionnement normal de l'amplificateur. Afin de simuler l'impact du signal de sortie en fonctionnement sur le RC trigger MOS, une tension sinusoïdale d'amplitude 1,5 V et une fréquence de 20 kHz est rajoutée sur la sortie. (Figure 4-41).



**Figure 4.41. Comportement du RC trigger MOS pendant le fonctionnement du produit**

Nous constatons que la tension de courant traversant  $Q_4$  est de l'ordre du  $\mu\text{A}$  ce qui reste négligeable par rapport à l'amplitude du signal sur la sortie.

En résumé, le RC trigger MOS ne se déclenche pas pendant le fonctionnement normal du circuit alimenté et reste très bien immunisé par rapport à l'allumage du produit.

## 4.9 Conclusion

Nous avons réalisé l'analyse de défaillance de l'amplificateur audio avec la solution SCR en tête bêche implémentée et la topologie spécifique avec une implantation de contacts de caisson minimale sur le n-MOS de sortie  $Q_0$ . Cette disposition augmenterait la tension de déclenchement du transistor bipolaire parasite. Celle-ci serait d'environ 7,5 V lorsque le n-MOS est polarisé. La fonctionnalité positive et négative du produit impose l'utilisation d'une protection bidirectionnelle, et une capacité en sortie limitée par la capacité. Nous avons réalisé les mesures qui nous ont amené à conclure à l'inefficacité de cette protection qui mène à la défaillance du produit pour une décharge IEC 1kV. La réalisation de modèles comportementaux pour simuler le thyristor nous a donné les éléments nécessaires afin de réaliser les simulations électriques de la décharge IEC sur l'amplificateur avec sa protection. Celui-ci utilise une commande en courant des états, et applique des équations linéaires qui correspondent à chaque régime du SCR. La simulation électrique de la décharge IEC sur la sortie de l'amplificateur audio en incluant le modèle du SCR a confirmé nos hypothèses sur la défaillance du produit. Grâce à ce

type d'analyse, il nous a été permis de réaliser une telle simulation, mais aussi de proposer plusieurs solutions complexes pour protéger efficacement le composant.

Parmi ces solutions, nous avons proposé la mise en place de chemins supplémentaires pour dériver le courant de décharge. Ceci nous a permis de considérablement améliorer les performances en passant de 1 kV à 7,5 kV de robustesse.

De plus, nous avons mis en place un circuit à base de RC trigger MOS pour maintenir la grille de  $Q_0$  à la masse pendant un stress ESD, de façon à augmenter la tension de claquage du MOS et donc élargir les marges de la protection de cette sortie de l'amplificateur audio. Les solutions ont été réalisées à travers la simulation électrique mixte comportementale (Verilog-AMS)/Spectre. La protection de l'amplificateur ne peut être réalisée que par la combinaison du RC trigger MOS avec une protection supplémentaire (SCRb2b).

La nouvelle méthode de simulation en incluant des modèles verilog-AMS afin de simuler le comportement de la protection pendant la décharge ESD a été cruciale pour l'optimisation de la protection du produit.

La difficulté rencontrée pour la convergence du modèle de protection a été résolue en imposant un conditionnement de changement d'état selon le courant qui traverse la protection, plus l'addition de la capacité intrinsèque du SCRb2b qui permet la définition du courant tout au long de la décharge et spécialement pendant la phase de repliement du SCRb2b. Cette façon innovatrice de simuler la protection permet de s'affranchir de modèles physiques dont la mise en place est bien trop complexe.

Nous avons vu qu'une bonne simulation sans inclure le modèle du SCRb2b peut nous amener à l'échec de la protection du produit. Une analyse rigoureuse du système soumis à la décharge ESD est capitale lors du choix de la stratégie de protection à employer. Certes la norme IEC 61000-4-2 demande aux producteurs de CI une robustesse 8 kV et pour les atteindre nous sommes dans l'obligation d'employer l'espace silicium nécessaire pour dissiper de telles énergies.

## CHAPITRE 5

# 5 Conclusion Générale

Dans ce document, nous avons analysé le comportement d'amplificateurs audio dédiés à la téléphonie mobile soumis à des décharges électrostatiques. Le principal but était de garantir la robustesse de ces produits en respectant la norme système IEC 61000-4-2. Tout produit électronique est protégé contre les décharges électrostatiques dites classiques, rencontrées dans les zones d'assemblage. Une stratégie de protection est mise en place dans le circuit intégré pour évacuer les décharges et éviter la destruction du composant durant les phases de production. Si cette dernière garantit la robustesse des composants pour les standards HBM, MM, ou autres standard dit composant, elle s'avère inefficace lors de test système comme l'IEC 61000-4-2 appelé communément pistolet. L'application de normes systèmes directement sur les composants est très récente. Elle est fortement liée au développement très rapide des applications embarquées comme la téléphonie mobile, où les amplificateurs audios sont directement exposés durant la durée de vie du produit. Dans ce cadre, la société On-semiconducteur doit garantir une robustesse de 8KV IEC pour ces produits et ceci quelque soit les conditions d'utilisation, non alimenté, alimenté sous 3.3V (batterie de téléphone) ou 5.5V (téléphone sur chargeur).

Les résultats de l'analyse présentée dans ce document nous ont permis de comprendre les raisons pour lesquelles la robustesse diminue radicalement dans cette configuration de test. La simplification efficace de la simulation de la décharge IEC dans le circuit intégré et la création de nouvelles façons de simuler la protection en utilisant le langage de programmation Verilog-AMS nous a enfin permis de proposer une solution adéquate pour la protection du produit.

Les contributions apportées par cette thèse sont :

Nous avons présenté dans le chapitre 2 la problématique associée à la protection des circuits intégrés contre les ESD. Les modèles décrivant les principaux types de décharges ont été introduits, et les tests industriels ainsi que les instruments de mesure permettant d'étudier le comportement d'un composant soumis à une ESD ont été exposés. Les types de composants de protection ESD les plus couramment employés dans

l'industrie ont été présentés. Une deuxième partie est dédiée aux décharges ESD dans les systèmes en introduisant de nouveaux modèles ainsi que des nouveaux tests industriels pas encore complètement mis à point. Des nouveaux instruments de mesures innovateurs ont été présentés. Nous avons fini par la réalisation de l'état de l'art des différents modèles pour la simulation de la décharge ESD de type IEC 61000-4-2 qui seront utilisés pour nos études par la suite.

Dans le chapitre 3, la cause de la diminution critique de la robustesse lorsque le produit est alimenté a été clairement expliquée. Dans le cadre de notre étude, la norme industrielle IEC 61000-4-2 qui est la plus répandue, et la seule adressant les systèmes en configuration finale, nous avons fait l'analyse du problème ajouté au système du fait que le produit est alimenté. Ce problème est nouveau et très complexe. L'analyse de défaillance au microscope électronique à balayage nous a permis de localiser la défaillance dans le circuit. Nous avons réalisé l'étude des chemins de décharge IEC à travers la mesure originale du TLP sur le produit alimenté. La simulation de la décharge ESD sur le produit alimenté étant très longue, d'une durée de trois à quatre jours due à sa complexité, nous avons mis en place la simplification du schéma électrique de l'amplificateur audio. Celle-ci nous a permis de réaliser une simulation précise tout en restant dans des temps de simulation de l'ordre de la minute. La conjonction de l'analyse de défaillance, la mesure TLP et la simulation nous a permis de comprendre le mécanisme qui entraîne la défaillance prématurée du produit. En effet, durant le stress IEC, les diodes ESD prévues pour l'évacuation du courant sont bloquées jusqu'à ce que la tension dépasse la tension d'alimentation plus la tension de déclenchement des diodes, contrairement à la stratégie classique où le déclenchement est immédiat. La marge de manœuvre pour la protection ESD est ainsi diminuée d'une tension équivalente à la tension d'alimentation du produit. D'un autre côté, la polarisation du transistor de l'étage de sortie générée un nouveau chemin de décharge où l'intégralité de la décharge IEC passe dans un premier temps (les diodes ESD sont bloquées). La mise en place de simulations simplifiées du produit nous a permis d'identifier tous ces chemins de décharge non prévus et donc la défaillance du produit. La présence de l'alimentation sur le produit a ainsi une diminution critique de la robustesse ESD.

Dans le dernier chapitre, nous avons commencé par l'étude de l'influence de l'alimentation de grille sur la tension de déclenchement du transistor bipolaire parasite du

NMOS, cause de la défaillance. Des mesures silicium ont été réalisées en fonction de la géométrie et de la tension de polarisation de grille de ce transistor. Nous avons conclu que la position des contacts de substrat est critique pour la tension  $V_{T1}$ . Cette distance doit rester minimale afin d'assurer une tension maximale de déclenchement du transistor bipolaire parasite lorsque le n-MOS est alimenté. La topologie des n-MOS en termes de symétrie et de distance des contacts du substrat devient primordiale pour le bon fonctionnement de la stratégie ESD employée.

Par la suite, nous avons présenté l'étude de l'amplificateur audio où une stratégie de protection IEC est mise en œuvre : une protection IEC composée de deux SCR série montés en tête-bêche est placée en parallèle de la broche de sortie, et le transistor n-MOS redessiné afin d'augmenter sa robustesse.

La stratégie de protection IEC proposée a été intégrée dans le produit et réalisée sur silicium. La protection seule a une robustesse IEC de 6 kV mais lorsqu'elle est mise en parallèle avec le transistor MOS, la robustesse attendue n'est pas obtenue lors des tests IEC en chutant à 1 kV. Cette technique est donc « transparente ». Nous cherchons donc à comprendre quelle est la cause pour l'inefficacité de cette stratégie de protection. L'analyse de défaillance du produit a été réalisée et révèle une fusion de filaments entre drain et source du n-MOS que nous cherchions à protéger. Deux hypothèses ont été mises en place : soit le SCR disposé en tête bêche ne s'est pas déclenché, soit celui-ci s'est déclenché mais sa résistance à l'état passant est trop élevée en entraînant la surtension sur le n-MOS. A travers les études menés sur des structures envoyées sur le silicium, nous avons pu faire des mesures vf-TLP qui nous ont conduit à conclure que l'inefficacité de la stratégie est due à la tension de déclenchement de la protection IEC spécifique qui est plus élevée que prévue, d'une part et à la diminution de la tension  $V_{t1}$  du n-MOS à des niveaux plus faibles que la tension de déclenchement de la protection, d'autre part.

Cette analyse de la défaillance nous a éclairé sur l'importance de la réalisation d'une simulation complète de la stratégie de protection IEC avec son composant de protection. En effet, les modèles de simulation du SCR n'existant pas, nous avons procédé à l'élaboration d'un nouveau modèle en langage Verilog-AMS. Les modèles développés sont purement comportementaux. Une fois que ce modèle a été validé, nous l'avons inclus dans la simulation de la décharge dans le produit alimenté et ensuite procédé à des analyses des chemins de décharge IEC. Ces analyses ont conduit à la



réalisation de la simplification du circuit jusqu'à arriver à la simulation simple des quatre transistors de sortie avec leurs grilles pilotées par des générateurs de tension. À travers cette simulation, nous pouvons estimer quels sont les niveaux de tension développés pendant l'IEC et contrôler que celle-ci ne dépasse pas la tension de destruction  $V_{t1}$  du n-MOS. Ces éléments nous ont permis d'optimiser une solution pour la protection des produits à venir. En effet, la solution consisterait soit à concevoir une protection qui se déclenche pour des tensions inférieures à la tension de destruction du n-MOS soit à réaliser un circuit de détection de l'événement IEC qui permettrait de forcer la polarisation de grille du n-MOS à 0 V afin de relever sa tension  $V_{t1}$ . La solution a été validée à l'aide de simulations avec une robustesse finale estimée à 7,5 kV.

Cette méthodologie de simulation pourrait être utilisée sur d'autres types de produits étant donné que la configuration de sortie de ce produit est assez fréquente. La connaissance de la tension de défaillance  $V_{t1}$  des n-MOS lorsque celui-ci est polarisé est fondamentale, pour la sélection de la protection appropriée. La simulation mixte avec des modèles comportementaux est un outil dont l'ingénieur ESD ne peut pas se passer avant l'envoi sur silicium de la stratégie IEC implémentée. Ce nouveau type de décharge génère des phénomènes nouveaux par rapport aux ESD dites «classiques» et a besoin d'une stratégie spécifique où une solution innovante peut être d'intégrer un circuit de coupure active dans le produit comme proposé dans le dernier chapitre de ce manuscrit.

## 6 Bibliographie

1. JS-001-2010 A. Electrostatic Discharge (ESD) sensitivity testing Human Body Model (HBM). 2010 April.
2. JESD22-A115C J. Electrostatic Discharge (ESD) Sensitivity Testing Machine Model (MM). In ; 2010.
3. IEC 61000-4-2 "Techniques d'essai et de mesure – section 2 : Essai d'immunité aux décharges électrostatiques: International Electrotechnical Commission; 2009.
4. STM5.5.1 A. Electrostatic Discharge Sensitivity Testing – Transmission Line Pulse (TLP) – Component Level.. In ; 2008.
5. Gieser H. HM. Very Fast Transmission Line Pulsing of Integrated structures and the Charge Device Model. IEEE transactions. 1998; 21(4): p. 278-285.
6. Smedes T, van Zwol J, de Raad G, Brodbeck T, Wolf H. Relations between system level ESD and (vf-)TLP. In Electrical Overstress/Electrostatic Discharge Symposium; 2006. p. 136-143.
7. Gary C. La foudre: Nature-Histoire-Risques et Protection. 3rd ed.: Dunod; 2004.
8. A W. History of Science, Technology, and Philosophy in the Eighteen Century New York; 1939.
9. Duvvury C. ESD On-Chip Protection in Advanced CMOS technologies. In EOS/ESD symposium; 2001; Portland, Oregon.
10. Vinson JE, Liou JJ. Electrostatic Discharge in Semiconductor Devices: An Overview. Revue de physique appliquée. 1998 Feb; 86(2): p. 399-418.
11. Davidson J.L. WTJ,BAG. Characterisation of electrostatic discharges from insulating surfaces. Journal of Electrostatics. 2001 Mai; 51-52(0304-3886): p. 374-380.
12. Greason WD. Electrostatic discharge characteristics for the human body and circuit packs. Journal of Electrostatics. 2003 October; 59(3-4): p. 285-300.
13. Greason WD. Quasi-static analysis of electrostatic discharge (ESD) and the human body using a capacitance model. Journal of Electrostatics. 1995 Septembre; 35(4): p. 349-371.
14. Meek J.M. CJD. Electrical breakdown of gases. J. D. Craggs. Oxford (Clarendon Press), 1953. Pp. vii, 507; 320 Figs., 82 tables. 60s. Quarterly Journal of the Royal Meteorological Society. 1953; 80: p. 282-283.

15. International Technology Roadmap for Semiconductors. [Online].; 2010. Available from: [www.itrs.net](http://www.itrs.net).
16. Amerasekera A DC. Impact of technology scaling on ESD robustness and protection circuit design. In Proceedings of the Electrical Overstress/Electrostatic Discharge Symposium; 1994; Las Vegas. p. 237-245.
17. Duvvury C. AA. ESD: a pervasive reliability concern for IC technologies. 1993 Mai; 81(5): p. 690-702.
18. Wagner R.G. SJM,CF. Extent and cost of EOS/ESD damage in an IC manufacturing process. In EOS/ESD symposium; 1993. p. 49-55.
19. Pidoll Uv. An overview of standards concerning unwanted electrostatic discharges. Journal of Electrostatics. 2009 ; 67 : p. 445–452.
20. Ker M.D. PJJ,JHC. ESD test methods on integrated circuits:an overview. International Conference on Electronics, Circuits and Systems (ICECS). 2001; 2: p. 1011-1014.
21. Bisshop. Reliability methods and standards. Microelectronics Reliability. 2007; 47.
22. Maloney T KN. Transmission Line pulsing technique for circuits modelling of ESD phenomena. In Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD); 1985. p. 49-55.
23. Yuanzhong Zhou Hajjar JJ. CDM ESD failure modes and VFTLP testing for protection evaluation. In 9th International Conference on Solid-State and Integrated-Circuit Technology; 2008; Beijing. p. 333 - 336.
24. Mil-Std 883C Method 3015.7, Notice 8. ; 1989.
25. Amerasekera A DC. ESD in Silicon integrated circuits. 2nd ed.: John Wiley & Sons; 2002.
26. L. A. Beyond MIL HBM testing:how to evaluate the real capability of protection structures. In Proceedings of the EOS/ESD symposium ; 1991. p. 120-126.
27. Barth J RJ,HLG, M K. Real HBM and MM waveform parameters. Journal of Electrostatics. 2004; 62: p. 195-209.
28. Duvvury C. Gate oxide failures due to anomalous stress from HBM ESD testers. In Proceedings of the EOS/ESD symposium; 2004. p. 132-140.
29. T.S. S. A model for Failure of Bipolar Silicon Integrated Circuits Subjected to Electrostatic Discharge. In International Reliability Physics Symposium Proceedings; 1974. p. 60-69.

30. P. Bossard RCaBU. ESD damage from triboelectrically charged IC pins. In Proceedings 2nd Electrical Overstress/Electrostatic Discharge Symposium; 1980. p. 17-22.
31. Council AE. Charged Device Model Electrostatic Discharge Test. ; 2001. Report No.: AEC-Q100-011 Rev-B.
32. Henry LG, Hyatt H, Barth J, Stevens M, Diep T. Charged device model (CDM) metrology: limitations and problems. In Electrical Overstress/Electrostatic Discharge Symposium; 1996. p. pp. 167- 179.
33. Chaine M, Verhaege K, Avery L, Kelly M, Gieser H, Bock K, et al. Investigation into socketed CDM (SDM) tester parasitics. In Electrical Overstress/Electrostatic Discharge Symposium Proceedings; 1998. p. pp.301-310.
34. Verhaege K, Groeseneken GV, Maes HE, Egger P, Gieser H. Influence of tester, test method, and device type on CDM ESD testing. Components, Packaging, and Manufacturing Technology, Part A, IEEE Transactions. 1995; 18(2): p. 284-294.
35. Etherton M. Charged Device Model (CDM) ESD in ICs: Physics, Modeling, and circuit simulation. ; 2005.
36. D. Trémouilles STPRMINVVGG. Transient voltage overshoot in TLP testing – Real or artifact? Microelectronics Reliability. 2007 July; 47(0026-2714): p. 1016-1024.
37. CA T. Modular, portable, and easily simulated ESD protection networks for advanced CMOS technologies. In EOS/ESD symposium proceedings; 2001. p. 82-95.
38. M.Bridgewood YF. A Comparison of Threshold Damage Process in Thick Field Protection Devices Following Square Pulse and Human Body Model Injection. In EOS/ESD Symposium Proceedings; 1988.
39. Y. Fu MB. A comparison of threshold damage process in thick field protection devices following square pulse and human body model injection. In EOS/ESD symposium proceedings; 1988.
40. J. Lee MHJLGCWYaJB. “A Method for Determining a Transmission Line Pulse Shape that Produces Equivalent Results to Human Body Model Testing Methods. In EOS/ESD Symposium Proceedings; 2000.
41. L-M T. Integration of TLP analysis for ESD troubleshooting. In EOS/ESD symposium Proceedings; 2001. p. 445-452.
42. Chatterjee A, Polgreen T. A low-voltage triggering SCR for on-chip ESD protection at output and input pads. Electron Device Letters, IEEE. 1991; 12(1): p. 21-22.

43. Lee JH, Shih JR, Yu KF, Wu YH, Ong TC. Comparison of ultra-thin gate oxide ESD protection capability of silicided and silicide-blocked MOSFETS. In Reliability Physics Symposium Proceedings; 2004. p. 609-610.
44. Notermans G. Using an SCR as ESD protection without latch-up danger. Microelectronics Reliability. 1997; 37(10): p. 1457-1460.
45. Ker M. How to safely apply the LVTSCR for CMOS whole-chip ESD protection without being accidentally triggered on. In EOS/ESD Symposium; 1998. p. 72-85.
46. Hyatt H. ESD: Standards, threats and system hardness fallacies. In Electrical Overstress/Electrostatic Discharge Symposium; 2002. p. 178-185.
47. Reinvo T, Tarvainen T, Viheriakoski T. Simulation and physics of charged board model for ESD. In 29th Electrical Overstress/Electrostatic Discharge Symposium; 2007. p. 5B.3-1-5B.3-5.
48. Greason W. [www.electrostaticanswers.com](http://www.electrostaticanswers.com). [Online].; 2010.
49. ESD Open Forum- Cable Discharge Events (PART I). [Online]. Available from: <http://www.esda.org/documents/OpenForumPart1Hopkins.pdf>.
50. Stadler W, Brodbeck T, Niemesheim J, Gaertner R, Muhonen K. Characterization and simulation of real-world cable discharge events. In EOS/ESD Symposium; 2009. p. 1-8.
51. G. Linn MWLCKCS. Hardware Requirements for LIN,CAN and FlexRay Interfaces in Automotive Applications. In ; 2009.
52. Level AS6. Electrostatic Discharge Sensitivity Testing - Human Metal Model (HMM). In ; 2009.
53. C. Schanze GLMWLCBK. Hardware Requirements for LIN, CAN and FlexRay Interfaces in Automotive Applications. In ; 2009.
54. 10605 IS. Road vehicles -- Test methods for electrical disturbances from electrostatic discharge. In International Organization for Standardization; 2008..
55. F D1r. Environmental Conditions and Test Procedures for Airborne Equipment. In ; 2007.
56. Levels ICoET. White Paper 3: System Level ESD Part I: Common misconceptions and recommended basic approaches. In ; 2010.
57. Levels ICoET. White Paper 3: System Level ESD Part I: Common Misconceptions and Recommended Basic Approaches. ; 2010.
58. S. Thijs MSDLCRWSSSGG. System to Component Level correlation Factor. In IEW; 2010;

Tutzing, Germany.

59. W. Stadler TBRGaHG. Do ESD fails in systems correlate with IC ESD robustness? In *Microelectronics Reliability*; 2009. p. pp.1079-1085.
60. Wang K, Pommerenke D, Zhang JM, Chundru R. The PCB level ESD immunity study by using 3 dimension ESD scan system. *Electromagnetic Compatibility*. 2004 August; 2: p. 343-348.
61. Kathleen M. EOS/ESD symposium Tutorial on HMM testing. ; 2010.
62. Caniggia S,F. Circuit and Numerical Modeling of Electrostatic Discharge Generators. *Industry Applications, IEEE Transactions on*. 2006; 42(6): p. 1350-1357.
63. K.M. CHIU. Simulation and measurement of ESD test for electronics devices. Thèse de doctorat en chinois; 2003.
64. Wagner RG, Soden JM, Hawkins CF. Extend and cost of EOS/ESD damage in an IC manufacturing process. In *Electrical Overstress/Electrostatic Discharge Symposium*; 1993. p. 49-55.
65. Wang K, Pommerenke D, Chundru R, Van Doren T, Drewniak JL, Shashindranath A. Numerical modeling of electrostatic discharge generators. In *Electromagnetic Compatibility, IEEE Transactions on*; 2003. p. *Electromagnetic Compatibility, IEEE Transactions on*.
66. Gieser HA. Tutorial in Design and application of VF-TLP and CC-TLP Systems Targeted for CDM. EOS/ESD symposium Reno, Nevada 2010.
67. Grund E, Muhonen K, Peachey N. Delivering IEC 61000-4-2 current pulses through transmission lines at 100 and 330 ohm system impedances. In *Electrical Overstress/Electrostatic Discharge Symposium*; 2008. p. 132-141.
68. Chiu CT, Wu SM, Hung CP, Packaging EMa. High speed electrical performance comparison between bump with RDL and wire bond technologies. *Proceedings of the 4th International Symposium on Electronic Materials and Packaging*. 2002;; p. 83 - 88.
69. Monnereau N. CF,TD. Building-up of system level ESD modeling: Impact of a decoupling capacitance on ESD propagation. In *EOS/ESD symposium*; 2010. p. 1-10.
70. D. Tremouilles STPRMINVVG. Transient voltage overshoot in TLP testing - Real or artifact? *Microelectronics Reliability*. 2007; 47(7): p. 1016-1024.
71. Moens P, Van den bosch G. Characterization of Total Safe Operating Area of Lateral DMOS Transistors. *Device and Materials Reliability, IEEE Transactions on*. 2006; 6(3): p. 349-357.

72. Commission IE. IEC 60749-29 Semiconductor devices – Mechanical and climatic test methods..
73. N. Monnereau FCNNDTMB. Behavioral-Modeling Methodology to Predict Electrostatic-Discharge Susceptibility Failures at System Level : an IBIS Improvement. In EMC Europe; 2011.
74. Torres SG. Rapport de Stage ON Semiconductor.

## 7 Publications

Sandra Giraldo, Christophe Salaméro, Fabrice Caignet ,”Impact of the power supply on the ESD system level robustness”, Proceedings of *EOS/ESD Symposium*, Octobre 2010, pp. 1-8.

Sandra Giraldo, Christophe Salaméro, Fabrice Caignet, Marise Bafleur, Impact of the power supply on the ESD system level robustness”, *Anadef*, Juin 2010.

Sandra Giraldo, Fabrice Caignet, Géraldine Saint Upéry, *Journées de l'école doctorale GEET*, Mars 2011





## 8 Annexes

### 8.1 Programme Verilog-AMS utilisé pour la simulation du SCR

```

////////////////////////////////////DEBUT////////////////////////////////////
////////////////////////////////////
`include "disciplines.vams"
`include "constants.vams"

module test(P, N);
inout P,N;
electrical P,N;

    branch (P, N) vscr;

    parameter v1 =-2.0;
    parameter v2 =-1.0;
    parameter v3 =8.0;
    parameter v4 =8.2;
    parameter v5 =5.5;
    parameter v6 =9.0;

    parameter i1 =-1.0;
    parameter i2 =0.0;
    parameter i3 =0.1;
    parameter i4 =0.15;
    parameter i5 =0.2;
    parameter i6 =4.0;
integer previous_state;
integer flag=3 ;
integer state;

/*****digital *****/
always
    begin #5 //
        flag=state;

case(state)
0:

    begin

        if((I(vscr)>i3 || I(vscr)<(i2)) )
            begin
                if(I(vscr)<(i2)) state=3;
                else state=1;
            end
        end
    end
end

```

```

1:      begin
          if ((I(vscr)<i3 || I(vscr)>i4))
            begin
              if(V(vscr)>i4) state=2;
              else state=0;
            end
          end

2:      begin

          if (I(vscr)<0) state=0;

          end

3:      begin

          if (I(vscr)>(i2)) state=0;

          end
endcase

end

/*****
*****/

analog begin      //

if(flag==2)begin
    V(vscr)<+(I(vscr)-(i6-v6*((i6-i5)/(v6-v5)))/((i6-i5)/(v6-
v5)) ; end else if(flag==1) begin

    V(vscr)<+(I(vscr)-(i4-v4*((i4-i3)/(v4-v3)))/((i4-i3)/(v4-
v3)) ; end else if(flag==3) begin

    V(vscr)<+(I(vscr)-(i2-v2*((i2-i1)/(v2-v1)))/((i2-i1)/(v2-
v1)) ; end else

    V(vscr)<+(I(vscr)-(i3-v3*((i3-i2)/(v3-v2)))/((i3-i2)/(v3-
v2)) ; end

endmodule

/*****
*****/

```

```

////////// CAPACITOR //////////
module capacitor(t1, t2);

    inout t1, t2;
    electrical t1, t2;
    branch (t1, t2) b1;

    parameter real Cap = 10p;

    analog begin

        I(b1) <+ Cap * ddt(V(b1));
    end

endmodule

////////// RESISTANCE //////////
module resistance(t1, t2);

    inout t1, t2;
    electrical t1, t2;
    branch (t1, t2) b1;

    parameter real Res = 10k;

    analog begin
        V(b1) <+ Res * I(b1);
    end

endmodule

////////// Module de Test //////////
module sdrc_ckt();

    electrical t1, t2,t3,t4,t5;
    electrical gnd;
    ground gnd;

    branch (gnd, t1) b1;
    branch (gnd,t1) b2;
    branch (t4,gnd) Vg;
    parameter real Freq = 200.0e3;

    analog begin
    @(initial_step) begin

        V(Vg)<+2.2;//transition(2.2,40u,0.001u);
    end
        I(b1) <+ transition((16.6/0.345510635)*(($abstime/1.1e-
6)**1.8)/(1+($abstime/1.1e-6)**1.8)*exp(-$abstime/2.0e-
6)+(9.3/0.431546575)*(($abstime/12.0e-6)**1.8)/(1+($abstime/12.0e-
6)**1.8)*exp(-$abstime/37.0e-6),40u,0.001u);

```

```

end

test ttt(t1,gnd);
nmos_polar M1(t4,t1,gnd);
nmos_polar_com M2(t3,t4,gnd);
capacitor C(t1, t3);
capacitor1 C1(t4, gnd);
resistance R1(t3, gnd);
endmodule

```

## 8.2 Programme de simulation avec la diode de body

```

.lib "sdr.vams"
.lib "SOURCE.vams"
.lib librairie_spice.lib
.lib "op_amp.vams"
.lib NMOS_S.lib.txt
.ic V(n1)=0 V(n5)=-1.0 V(n9)=-4.5

.ic V(n2)=-1.11 V(n3)=1.9

*****simulation electrique*****
vbat      n19  0          dc 5
xDIEC1    n1  0          IEC
xttt      n1  0          SCR
xC_scr    n1  n18        cap_scr Cap=200f
xR_cap_scr n17 0  Resistance Res=2
xind_cap_scr n18 0  inductance_p Ind=2n
M0        n1  n2  n5  n5  nmos w=3m l=0.5u

xR1 n2  n12 Resistance Res=1000

**avec inductance
xind1     n11 n12 inductance_p Ind=0.01u
V_vgs_M0  n12 0          dc -1.18
vVRM      n5  0          dc -1.8

.Tran 10fs 6us 0s noise=no noisestep=1ns traceBreak=yes compress=no
compressCoeff=1 compressTolX=0 compressTolY=1u powerup=no timeup=0s
.Method GEAR lte=yes lte_reltol=10u
.Tolerance "Voltage" 1u
.Option Tuning=Swift Swift=1m

.PRINT V(N3) V(N2) V(N5) V(N1) V(N8) V(N11)
.H 1as 1as 50ps 250m 2
.Temp 27
.Eps 1u 100m 100n

```

```
.Trace Tran I(XDIEC1.lt.E[b1]) IN(XTTT.E[vscr].FLOW) ID(M0) Min=-  
7.0699025e-01 Max=4.6297715e+00  
.Trace Tran V(N1) Min=-1.0603846e+00 Max=1.0090740e+01  
.Trace Tran IN(XDIEC1.lt.E[b1].FLOW) ID(M0) IN(XD1.G[b1].FLOW)  
IN(XTTT.E[vscr].FLOW) Min=-7.0699025e-01 Max=4.6297715e+00  
.end
```

```
* .Trace Tran IS(M3) Min=-3.7258078e-03 Max=3.1029350e-03  
* .Trace Tran IN(M3.VDS) Min=-3.0054765e+00 Max=-2.9416385e+00  
* .Trace Tran IN(VA.VALUE) Min=-3.1000000e+00 Max=1.1156000e+01
```



---

**AUTHOR:** Sandra GIRALDO TORRES

**TITLE:** Robustness study of embedded amplifiers in mobile applications submitted to Electro Static Discharges (ESD) in their final application.

**DIRECTORS:** Marise BAFLEUR, Fabrice CAIGNET

**DEFENSE DATE:** Toulouse, July the 16<sup>th</sup> 2013

**ABSTRACT:**

With improvement in electronic technology shrinking, electronic components are increasingly becoming sensitive to Electrostatic Discharge (ESD). Nowadays, the reliability of integrated circuits in the manufacturing field is guaranteed by a set of standards that define levels of robustness. Nevertheless the protection strategies implemented in integrated circuits, designed to meet these standards, are not always enough to ensure the robustness of the components in their final application.

The new reliability problems are not well understood, given the complexity of the phenomena involved in real systems in operation.

Taking into account these facts, we can question the effectiveness of the strategies used to protect against « classical ESD » and system-type stresses. All the work presented in this thesis aims to improve the robustness with respect to these new requirements, in the case study of analog components dedicated to portable applications (telephony, multimedia).

Starting from a concrete case, for which there is a large difference in the system ESD robustness between the biased and unbiased product, we will present the various results of analysis (failure analysis, electrical characterization by impulse like TLP VFTLP, SPICE-type simulations) that led us to the proposal of an integrated security solution that meets the requirements.