



LAAS-CNRS

Composants passifs intégrés dédiés à la conversion et au stockage de l'énergie

Habilitation à diriger les recherches

Magali Brunet

Chargée de Recherche CNRS

Soutenue le 12 juin 2013, à Toulouse

Membres du jury :

Directrice	M. Bafleur
Rapporteurs	E. Labouré
	B. Gauthier-Manuel
	N. Rolland
Examineurs	C. O'Mathuna
	F. Roozeboom
	C. Bunel
	J-P. Cambronne

REMERCIEMENTS

Ce mémoire présente une synthèse de mes travaux de recherche effectués au Laboratoire d'Analyse et d'Architecture des Systèmes (LAAS) dans l'équipe Intégration des Systèmes de Gestion de l'Energie (ISGE) de 2005 à 2013. Je remercie les directeurs successifs du laboratoire qui ont offert un cadre à mes recherches : Malik Ghallab, Raja Chatila, Jean-Louis Sanchez et Jean Arlat. Les responsables de l'équipe ISGE: d'abord Jean-Louis Sanchez puis Marise Bafleur et enfin Frédéric Morancho ont largement contribué au bon déroulement « pratique » et à la mise en perspective des travaux, je les en remercie.

Avec une pensée émue, je souhaite exprimer toute ma gratitude envers Jean-Louis Sanchez, qui a cru en mes capacités dès le début : c'est grâce à ses encouragements et son aide enthousiaste que j'ai présenté et réussi le concours CNRS. Il m'a par ailleurs toujours soutenue dans mes orientations scientifiques. Il aurait été heureux, je pense d'assister à la soutenance. Il nous a quittés hélas trop tôt. Marise Bafleur a repris le rôle de directrice de recherche et je lui en suis très reconnaissante : j'ai beaucoup apprécié sa disponibilité, nos échanges de point de vue et, lors des périodes de stress, sa sérénité... à l'occasion de la soutenance en particulier !

A ce sujet, je remercie tous les membres du jury d'avoir été présents, pour beaucoup d'entre eux par visio-conférence, en cette journée de grève des transports (on ne pouvait pas faire pire!) : Nathalie Rolland de l'ITEMN, Eric Labouré du LGE, Bernard Gauthier-Manuel de FEMTO-ST, tous trois rapporteurs de ce manuscrit ; Jean-Pascal Cambronne du LAPLACE, président du jury ; et les examinateurs : Frédéric Roozeboom de TU Eindhoven, Catherine Bunel d'IPDIA et Cian O'Mathuna de Tyndall.

Je remercie l'ensemble de l'équipe ISGE et en particulier les collègues qui travaillent au quotidien avec moi: Jean-Pierre Laur pour les bobines, Emmanuel Scheid (équipe MNP) pour les capas et David Pech pour les supercapas. C'est grâce à leur compétence et à nos complémentarités disciplinaires qu'un grand nombre de travaux présentés dans ce mémoire a pu aboutir. Au-delà de nos interactions scientifiques, je retiens surtout leur bonne humeur et leur gentillesse, grâce à quoi, travailler ensemble a été et restera un réel plaisir.

Merci à tous les étudiants en thèse qui ont produit la plupart des résultats présentés dans ce mémoire depuis 2005 et qui m'ont « formée » à l'encadrement: Amine Benazzi, Hugo Durou, Peihua Huang, Yen Mai Nguyen, Ty Mai Dinh. Probablement sans le savoir, ils ont fait évoluer sensiblement mes a priori sur la gestion d'équipe et sur la façon de mener des recherches. Merci également aux post-docs qui m'ont épaulée : Gérald Leclerc, Philippe Artillan, Hicham Mahfoz Kotb.

Le support du service TEAM a été essentiel pour l'accomplissement des travaux. Je crois que tout le personnel du service a été mis à contribution à un moment donné, donc je remercie l'ensemble du service

avec une mention spéciale à Pascal Dubreuil, pour les développements en gravure profonde, David Bourrier pour les nombreux développements de résine épaisse, cuivre, matériau magnétique et autres précieux conseils technologiques, Samuel Charlot et David Colin à la zone d'assemblage qui ont souvent fait des pieds et des mains pour sauver des composants moribonds, Norbert Fabre (monsieur jet d'encre), Véronique Conédéra, Monique Dilhan pour leurs conseils avisés en technologie.

Le deuxième service du laboratoire qui a largement soutenu mes activités est le service 2I (Informatique et Instrumentation). Je remercie particulièrement: Nicolas Mauran et Sandrine Assié-Souleille pour les caractérisations électriques, et à l'atelier mécanique : Xavier Dollat.

Je remercie bien évidemment les autres services du laboratoire : administratif, financier, du personnel, logistique, documentation (merci Christian Berty pour l'impression de ce rapport !), services sans qui le laboratoire (et donc nos recherches) ne tournerait pas.

Il y a eu de nombreuses collaborations hors du laboratoire. Je n'oublie pas ce que je dois aux personnes suivantes (dans une ordre chronologique) : Bruno Chaudret et Pierre Fau du LCC, Michel Andrieux, Corinne Legros du LEMHE, Pascal Kleiman de l'INL, Sylvie Schamm et Joël Jaud du CEMES, Patrice Simon et Pierre-Louis Taberna du CIRIMAT, Zarel Valdez, Vincent Bley, Céline Combettes et Thierry Lebey du LAPLACE. Merci à eux !

Au laboratoire, un merci particulier à Carole Rossi (équipe N2IS) et Pierre Temple-Boyer (équipe MICA) qui ont rédigé et/ou porté les projets financeurs de mes recherches.

La liste des personnes à remercier est longue et sûrement non exhaustive, mais cela reflète le degré de collaborations et de support qu'il a fallu développer pour mener à bien ces recherches. Je ne peux que me réjouir de ces rencontres et échanges multiples qui m'ont enrichie tant au niveau scientifique qu'au niveau humain.

Niveau humain justement, un certain nombre de personnes rend le quotidien au LAAS très agréable, entre pauses café, repas et autres moments de détente ; je leur dois beaucoup... Merci donc à : Karine Isoird, David Trémouilles, (bientôt à vous d'écrire des remerciements ?), Eric Imbernon (le roi de la techno « MOS »), Boubou (et tous les bons moments passés ensemble au pub ou ailleurs), Charline Blatché, Laurent Bary, Patrick Austin, Henri Schneider, Christian Caramel, Christophe Viallon, Christian Bergaud et... à ceux précédemment cités (qui a dit qu'on ne pouvait pas remercier deux fois les mêmes personnes ?) : Nicolas M., Sandrine A., Frédéric M., David P., Jean-Pierre L., Monique D. (mon « héros »), Véronique C. (autrement appelée « Brute de décoffrage » ! ça y est, c'est écrit noir sur blanc !)...

Enfin, je terminerai par un énorme merci à ma famille et à mes proches qui m'ont apportée un soutien indéfectible et qui m'ont rassurée à de nombreuses reprises au cours de ces 8 années.

SOMMAIRE.

PARCOURS ET ACTIVITE SCIENTIFIQUES, ENCADREMENT DE LA RECHERCHE	1
1. Curriculum Vitae	1
2. Place des recherches au sein de l'unité	4
3. Contrats et collaborations	4
3.1. Contrats	4
3.2. Collaborations académiques	5
4. Encadrement de la recherche	6
a) Thèses	6
b) Post-doctorants	7
c) Stages : masters et autres	7
CHAPITRE I. INTRODUCTION GENERALE	9
CHAPITRE II. INTEGRATION DE COMPOSANTS PASSIFS SUR PUCE	13
1. Introduction – contexte général	13
2. Condensateurs haute densité	15
2.1. Etat de l'art	15
a) Diélectriques high- <i>k</i>	16
b) Condensateurs 3D	17
c) Un enjeu : la résistance série	17
d) Performances et conclusions	18
2.2. Condensateurs 3D – réalisations au LAAS	19
a) Conception	19
b) Stratégie : des condensateurs 3D avec diélectriques high- <i>k</i>	21
c) Condensateurs 3D basés sur la gravure profonde par DRIE	22
d) Condensateurs 3D basés sur la gravure électrochimique	27
e) Condensateurs 3D comprenant des matériaux diélectriques à forte permittivité	31
f) Conclusions, positionnement	36
3. Micro-bobines avec noyau magnétique	38
3.1. Etat de l'art	38
a) Matériaux magnétiques	38
b) Réalisations de micro-bobines	40
c) Performances et conclusions	41
3.2. Réalisations de micro-bobines au LAAS	42
a) Conception	42
b) Stratégie : le choix d'une bobine toroïdale avec noyau en ferrite	45
c) Premières réalisations	46
4. Vers une intégration monolithique	47
4.1. Etat de l'art : intégration on-chip (SoC) ou in-package (SiP)	47
4.2. Réalisation d'un filtre LC	50
4.3. Intégration fonctionnelle	52
5. Conclusions et perspectives	53

Références	54
CHAPITRE III. COMPOSANTS DE STOCKAGE DE L'ENERGIE SUR PUCE	59
1. Introduction	59
1.1. Contexte : l'autonomie énergétique de l'électronique	59
1.2. Problématique du stockage de l'énergie et solutions envisagées	60
2. Etat de l'art micro-supercondensateurs	62
2.1. Généralités	62
2.2. Matériaux d'électrode	62
2.3. Technologies d'intégration	64
a) Les supercondensateurs sur films flexibles	64
b) Les micro-supercondensateurs	64
c) Performances	66
d) Un enjeu : l'auto-décharge	68
e) Encapsulation	68
f) Conclusions	69
3. Micro-supercondensateurs à base de carbone	69
3.1. Cahier des charges pour applications aéronautiques et dimensionnement associé	69
3.2. Technologies pour le dépôt de matière active	71
a) Jet d'encre	71
b) Sérigraphie	72
c) Dépôt électrophorétique	73
3.3. Couches minces de carbone nanostructuré	77
3.4. Encapsulation hermétique du micro-supercondensateur	80
4. Micro-supercondensateurs à base de matériaux pseudo-capacitifs	82
4.1. Objectifs	82
4.2. Premiers résultats	82
5. Conclusions et perspectives	83
5.1. Bilan des performances / positionnement	83
5.2. Perspectives	85
Références	86
CHAPITRE IV. PERSPECTIVES DE RECHERCHE	89
1. Composants passifs intégrés	89
1.1. Condensateurs haute densité	90
1.2. Micro-bobines	91
1.3. Intégration dans le système de puissance	92
2. Composants de stockage de l'énergie sur puce	94
Références	96
ANNEXE. PRODUCTION SCIENTIFIQUE	99
RESUMES	106

Parcours et activité scientifiques, encadrement de la recherche

1. Curriculum Vitae

Magali BRUNET

Chargée de Recherche (CR1) au Laboratoire d'Analyse et d'Architecture des Systèmes (LAAS –CNRS)

Ingénieur INSA-Lyon.

36 ans, (16/09/1976)

Coordonnées :

LAAS –CNRS, 7 avenue du Colonel Roche, 31077 Toulouse Cedex 4

Tel : 05 61 33 62 21

• PARCOURS UNIVERSITAIRE

- 1999-2003** **PhD Microelectronics Engineering, University College Cork.**
NMRC (now Tyndall Institute), Power Electronics group, Cork, Irlande.
Intitulé de la thèse :
«Development of a Technology Platform for the Fabrication of High Performance Micro-magnetic Components». Soutenue le 4 décembre 2003, à Cork.
- 1998-1999** **DEA Dispositifs de l'Electronique Intégrée, INSA de Lyon.**
Laboratoire de Physique de la Matière (LPM).
Stage DEA (8 mois) : Composants et Technologies Silicium.
Dépôt des films métalliques réfléchissants (Ni, Cu, Ti) dans des micro-cavités de silicium par voie électrochimique pour la réalisation de micro-guides optiques.
- 1994-1999** **Ingénieur de l'Institut National des Sciences Appliquées, INSA de Lyon.**
Génie Physique des Matériaux, Option Matériaux Dispositifs Semiconducteurs.

Stage Ingénieur (3 mois) : Physique des matériaux.
CERN, Laboratoire ISOLDE, Genève, Suisse.
Développement d'un système de transfert rapide d'échantillons dans un cryostat (dessin technique, suivi de la réalisation et tests sous vide).
- 1997-1998.** **Programme d'échange, Concordia University, Montréal, Québec.**

• PARCOURS PROFESSIONNEL

- 2005-2013** **Chargée de Recherche (CR1), Laboratoire d'Analyse et d'Architecture des Systèmes (LAAS –CNRS), Toulouse**
Groupe Intégration des Systèmes de Gestion de l'Energie (ISGE)
Prise de fonction au CNRS : 10/01/05.
Thématiques :
- Intégration de composants passifs sur puce pour systèmes de conversion de l'énergie.
- Intégration d'éléments de stockage de l'énergie sur puce.
- 2004** **Post-doctorat, Léti-CEA (Grenoble),**
Laboratoire Mémoires Nano-dispositifs et Optique (LMNO), en collaboration avec le laboratoire SPINTEC.
Réalisation et caractérisation de nano-composants à vanne de spin (type MRAM) avec courant polarisé en spin, pour oscillateurs RF.

• **ACTIVITES D'ENSEIGNEMENT**

- 2001 et 2002 **Enseignement de travaux pratiques de Physique 1^{ère} année.**
Département de Physique, Université de Cork (UCC), Irlande.
- 2006- 2010 **Enseignement de travaux pratiques à des étudiants (Masters, dernière année cycle ingénieur)** dans le cadre d'apprentissage de technologies MOS et microsystèmes.
AIME : Atelier Interuniversitaire de MicroElectronique, Toulouse.

• **ACTIVITES DE RECHERCHE**

- 28 revues internationales.
- 19 articles de conférences (actes de colloques, proceedings)
- 1 brevet
- 1 participation à un chapitre d'un ouvrage scientifique.
- 44 communications orales dont :
 - o 6 présentations invitées dans des conférences/workshops internationaux.
 - o 6 présentations invitées dans des journées nationales

Publications significatives :

1. **M. Brunet**, and P. Kleimann, "*High-density 3D capacitors for Power Systems on-Chip: evaluation of a technology based on silicon submicrometer pore arrays formed by electrochemical etching*," IEEE Transactions on Power Electronics, DOI 10.1109/TPEL.2012.2233219, 2013 (sous presse)
2. **M. Brunet** et D. Pech, "*Micro-Supercondensateurs : Enjeux Technologiques et Applications*", Techniques de l'Ingénieur [RE210], 2012 (**Revue Nationale**)
3. P. Artillan, **M. Brunet**, D. Bourrier, J.P. Laur, N. Mauran, L. Bary, M. Dilhan, B. Estibals, C. Alonso, J.L. Sanchez, *Integrated LC filter on silicon for DC-DC converter applications*, IEEE Transactions on Power Electronics, vol. 26, No. 8, August 2011.
4. **M. Brunet**, H.Mahfoz-Kotb, L.Bouscayrol, E.Scheid, M. Andrieux, C.Legros, S.Schamm, *Nano-crystallized tetragonal metastable ZrO₂ thin films deposited by MOCVD for 3D capacitors*, Thin Solid Films, 519 (2011) p. 5638-5644.
5. D. Pech, **M. Brunet**, H. Durou, P. Huang, V. Mochalin, Y. Gogotsi, P-L. Taberna, P. Simon *Ultra-high-power micrometre-sized supercapacitors based on onion-like carbon*, Nature Nanotechnology 9 (2010) 651

• **ACTIVITES ENCADREMENTS (AU LAAS-CNRS)**

- 1 Chargé de Recherche CNRS
- 4 post-doctorants
- 5 thèses en co-direction dont 2 soutenues
- 5 Masters
- 4 stagiaires

• **RENSEIGNEMENTS COMPLEMENTAIRES**

- Membre de l'association « Physique 2005 », Participation à la mise en place et à l'animation devant un public scolaire d'expositions itinérantes du CNRS en région Midi-Pyrénées.
- Membre du comité éditorial de la lettre du LAAS de novembre 2005 à septembre 2007.
- Membre de la commission « COMTEAM » du LAAS (suivi des demandes technologiques de la salle blanche) depuis 2007.
- Membre de l'OMNT : Observatoire des Micro et Nano Technologies de septembre 2007 à septembre 2009 dans le groupe « Microsources d'Energie ».

- Organisatrice et session chair du workshop PwrSoC (International Power Supply on Chip) en 2010 (Cork, Irlande) et 2012 (San Francisco, USA).
- Animatrice du groupe de travail « Micro et nanotechnologies pour l'énergie » initié par la cellule énergie du CNRS, depuis novembre 2012.
- Travaux d'expertise (Reviewer):
 - o Journaux Scientifiques : IEEE Transactions on Power Electronics, Applied Physics Letters, Nature Communication, Microelectronics Engineering
 - o Programmes Scientifiques : *Programmes blanc de l'ANR*
 - o Thèses CIFRE

• **DISTINCTIONS**

- 2011** Lauréate de la Médaille de Bronze du CNRS pour la 8e section du comité national "Micro et nanotechnologies, électronique, photonique, électromagnétisme, énergie électrique".

2. Place des recherches au sein de l'unité

Les deux thématiques que je porte et présentées dans ce rapport, à savoir l'intégration de composants passifs (condensateurs, bobines) sur silicium et l'intégration de composants de stockage (supercondensateurs) sur silicium sont dédiées à la gestion et la conversion de l'énergie. Cette thématique est au cœur des recherches de l'équipe ISGE (Intégration des Systèmes de Gestion de l'Energie) et plus largement du thème « Gestion de l'Energie ». En effet, la génération, la gestion et le stockage d'énergie pour des microsystèmes et/ou des réseaux de capteurs sans fil miniaturisés est un volet essentiel d'une thématique plus large visant à développer des systèmes de gestion de l'énergie intégrés, efficaces et autonomes. Je traite ainsi, par le développement de filières technologiques sur des composants passifs intégrés un des aspects importants de la problématique de l'énergie.

Au-delà de ce cadre, je travaille en étroite collaboration avec diverses équipes du laboratoire : l'équipe MPN (Emmanuel Scheid) sur les aspects d'intégration de matériaux diélectriques à forte permittivité, l'équipe ESE (Marise Bafleur, Jean-Marie Dilhac), l'équipe N2IS (Carole Rossi) en apportant l'aspect stockage (supercondensateurs intégrés) à la thématique de nœud de capteurs autonomes en énergie.

3. Contrats et collaborations

3.1. Contrats

1. Projet jeunes chercheurs CAMINO « Eléments Capacitifs MIM à forte densité Intégrés sur Silicium pour la conversion de l'énergie » (Nov. 2006 – nov 2009)

Financier : ANR

Aide : 196 k€.

Rôle : Responsable scientifique - coordinatrice

Partenaires :

- CNRS - Unité : CEMES
- CNRS – Unité : INL (Institut des Nanotechnologies de Lyon)
- CNRS - Université Paris Sud – Unité : LEMHE – ICMMO

2. Projet Microsupercapacitors « New Materials Synthesis and Processes for Energy Storage Microdevices » (sept 2009 – sept 2012)

Financier: Partner University Fund (PUF)

Aide : 69 k€

Rôle : Partenaire – La coordination du projet est assurée par Patrice Simon au CIRIMAT.

Partenaires :

- Université de Drexel, Etats-Unis – Unité: Department of Materials Science and Engineering
- CNRS – Université Paul Sabatier – Unité : CIRIMAT UMR 5085

Détails : Echanges d'étudiants entre l'université de Drexel et l'université de Toulouse (LAAS et CIRIMAT) le sujet des micro-supercondensateurs à base de carbone nanostructuré.

3. Projet AUTOSENS « Autonomous Sensing Microsystem » (01/07/07 – 30/07/10)

Financier : FRAE (Fondation de Recherche pour l'Aéronautique et l'Espace)

Aide: 400 k€ (totale pour le LAAS réparti sur 2 groupes : ISGE et N2IS)

Rôle : Partenaire. La coordination du projet est assurée par Carole Rossi, CR au LAAS-CNRS dans le groupe N2IS

Partenaires :

- Airbus Toulouse

Détails : Réalisation d'un nœud autonome en énergie comprenant la récupération et du stockage de l'énergie pour alimenter des capteurs en réseau sur la structure d'un avion. Dans ce projet, je suis en charge du développement des éléments de stockage sur silicium, en particulier, des supercondensateurs de type double-couche.

4. Projet PRIIM "Projet de Réalisation et d'Innovation Industrielle dédié aux Microsystèmes hétérogènes" (10/2009 – 10/2013)

Financier: OSEO

Aide: 1,7M€ (totale pour le LAAS réparti sur 4 groupes : ISGE, MPN, MOST et ESE)

Rôle : Partenaire. La coordination du projet est assurée par IPDIA, Caen

Partenaires :

- IPDIA, Caen (Responsable)
- CEA-Leti, Grenoble
- CRISMAT –CNRS, Caen

Détails : Développements Matériaux et Empilement Technologique pour Inductances Intégrées et capacités intégrées / Spécification, modélisation et conception de composants L et C, et convertisseurs DC/DC /Démonstrateurs DCDC: Composants, circuits, co-intégration, tests et caractérisation

5. Projet Jeune Chercheur MIDISTOCK "Integration of innovative micro-devices for electrical energy storage and harvesting" (01/2012 – 01/2015)

Financier : ANR

Aide: 253 k€

Rôle : Partenaire. La coordination du projet est assurée par David Pech, LAAS

Partenaires :

- Laboratoire de Micro and Nanofabrication (LMN) de l'INRS, Varennes, Canada
- Université du Canada à Montréal

Détails : Développements de micro-supercondensateurs performants à base d'oxydes métalliques et carbones nanostructurés.

3.2. Collaborations académiques

- **CIRIMAT, Université de Toulouse**
 - o Personnes : Patrice Simon (Prof), Pierre-Louis Taberna (CR)
 - o Electrochimie, matériaux pour supercondensateurs.
- **Université de Drexel, Philadelphie, Etats-Unis**
 - o Personnes : Yury Gogotsi (Prof)
 - o Carbones nanostructurés.
- **Institut de la Recherche Scientifique (INRS), Varennes, Québec, Canada**
 - o Personnes : Daniel Guay (Prof)
 - o Electrochimie, matériaux pseudo-capacitifs.
- **Institut des Nanotechnologies de Lyon (INL), Lyon**
 - o Personnes : Pascal Kleimann (Mdc)
 - o Gravure électrochimique du silicium.
- **CEMES-CNRS, Toulouse**
 - o Personnes : Sylvie Schamm (CR), Nicolas Ratel (IE)
 - o Caractérisation de matériaux diélectriques en couches minces par DRX (rayons X) ou EELS (spectroscopie d'électrons)

- **Université technologique d'Eindhoven, Pays-Bas**
 - o Personnes : Valentino Longo (doc), Frédéric Roozeboom (Prof)
 - o Dépôts par ALD de diélectriques + caractérisations MEB.
- **LAPLACE-CNRS, Toulouse ; Plate-forme 3DPhi**
 - o Personnes : Vincent Bley (MdC), Zarel Valdez (CR), Céline Combettes (AI)
 - o Synthèse de poudres ferrites, tests de sérigraphie et de frittage de ferrites
- **LEMHE, CNRS, Université d'Orsay.**
 - o Personnes : Michel Andrieu (MdC), Corrine Legros (MdC)
 - o MOCVD de matériaux diélectriques (ZrO_2 , $SrTiO_3$)

4. Encadrement de la recherche

	Supervision				Total
	Actuellement		Au cours des 6 dernières années		
	Supervision	Co-supervision	Supervision	Co-supervision	
CNRS	1 (David Pech)				1
Post-doc			4		4
PhD		2		3	5
Master 2			5		5
Stagiaires			3		3
Autres				1 (échange étudiant canadien)	1

a) Thèses

Etudiant	Sujet	Détails	Date	Devenir
Amine Benazzi	Réalisation de condensateurs intégrés sur silicium par à forte densité capacité pour convertisseurs DC-DC	Bourse ministère Direction : Magali Brunet (70%) Codirection : Jean-Louis Sanchez (30%)	09/06 -09/08 (non soutenue – démissionnaire)	Ingénieur dans la société SERMA Ingénierie – Toulouse
Hugo Durou	Vers l'autonomie énergétique des réseaux de capteurs embarqués : conception et intégration d'un générateur piézoélectrique et d'un micro dispositif de stockage capacitif en technologie silicium	Bourse ministère Direction : Carole Rossi (50%) Co-direction : Magali Brunet (50%)	09/2007 – 12/2010 (soutenue le 10/12/2010)	gérant/créateur de l'entreprise « Energy Harvesting Tech » – Toulouse.
Peihua Huang	Microsupercondensateur sur puce à base de carbones nanostructurés en couches minces.	Bourse PRES Direction : Magali Brunet (50%) Co-direction : Patrice Simon (50%) (CIRIMAT)	09/2009 – 11/2012 (soutenue le 8/01/2013)	Post-doctorat CIRIMAT
Yen Mai Nguyen	Conception et réalisation de composants passifs intégrés (L+C) pour les futurs systèmes de conversion de l'énergie	projet PRIIM (OSEO) Direction : Magali Brunet (60%) Co-direction : Jean-Pierre Laur (30%) Bruno Estibals (10%)	10/2011 -	

Ty Mai Dinh	Réalisation de micro-supercondensateurs à base de RuO ₂	Bourse ministère Direction : David Pech (70%) Co-direction : Magali Brunet (30%)	10/2011 -	
-------------	--	--	-----------	--

b) Post-doctorants

Post-doctorant	Sujet	Détails	Date	Devenir
Gérald Leclerc	Caractérisations structurales et électriques de matériaux diélectriques à forte permittivité déposés sur silicium par MOCVD	Financement CNRS Cadre : projet ANR CAMINO.	10/2006 – 07/2008	Ingénieur Intérim à Freescale, Toulouse
David Pech	Elaboration d'encre pour le dépôt de matière active sur substrats plans en vue de réaliser des micro-supercondensateurs.	Financement : Projet AUTOSSENS	09/2008 – 06/2010	Chercheur CNRS au LAAS depuis octobre 2010
Hicham Mahfoz Kotb	Caractérisation de condensateurs MIS (Métal – Isolant – Semiconducteur) planaires et 3D avec ZrO ₂ comme diélectrique à forte permittivité	Financement : Projet ANR CAMINO	10/2009-12/2009	Maître de conférences à l'Université d'Assiut, Egypte.
Philippe Artillan	Conception de convertisseurs DC/DC comprenant des passifs (L+C) intégrés	Financement : projet OSEO PRIIM	01/2010 – 09/2010	Post-doctorant à PIEMN, Lille

c) Stages : masters et autres

Etudiant	Sujet	Détails	Date
Amine Benazzi	Etude et caractérisation de condensateurs intégrés sur silicium	DEA	01/2006 – 07/2006
Antoine Sirven	Développement d'un procédé d'anodisation de l'aluminium par membrane nanoporeuse sur silicium	4ème année ingénieur INSA	07/2007 – 09/2007
Aline Gouantes	Plans d'expériences pour gravure de tranchées profondes dans le silicium par gravure ionique réactive profonde	4ème année ingénieur INSA	07/2007 – 09/2007
Mona Rafrafi	Caractérisations électriques de condensateurs intégrés	3ème année ingénieur INSA	07/2008 – 09/2008
Thibault Fauthoux	Développement de procédés microtechnologiques pour la réalisation d'éléments de stockage de l'énergie intégrés sur silicium.	Master 2 recherche	01/2009 – 07/2009
Rezki Ouhachi	Caractérisation de condensateurs MIS (Métal – Isolant – Semiconducteur) planaires et 3D avec ZrO ₂ comme diélectrique à forte permittivité.	Master 2 recherche	01/2009 – 07/2009
Daniel Ortega	Conception de composants inductifs	Master 2 recherche	02/2010-07/2010
Mokhtar Zehar	Simulations électromagnétiques de micro-bobines pour convertisseurs DC/DC	Master 2 recherche	02/2011-07/2011
Erwan Bertin	développement d'un protocole pour le dépôt de nanostructures de platine à travers une membrane poreuse d'alumine.	Master canadien (co-direction Daniel Guay)	01/2011 – 04/2011

Chapitre I. Introduction générale

Ce manuscrit constitue une synthèse de mes recherches depuis 2005 (date de mon entrée au CNRS) sur les composants passifs intégrés et les micro-composants de stockage de l'énergie. Ces recherches ont pour contexte général l'électronique nomade.

Depuis l'émergence de la micro-électronique dans les années 60-70, la miniaturisation des circuits électroniques suit la loi de Moore¹ apportant davantage de stockage de l'information, de puissance de calcul et de débit de données. Le nombre de transistors dans un microprocesseur actuel² atteint des chiffres vertigineux (près de 750 millions), le tout dans une puce de moins de 1 cm². Ceci a permis, entre autres, le boom de l'électronique nomade (smart phones, tablettes, appareils photos numérique...etc) où le nombre de fonctionnalités n'a cessé d'augmenter : cumulation de la saisie et traitement d'image, reconnaissance vocale, transmission de données. La consommation en énergie électrique qui en résulte est de plus en plus importante (près d'une dizaine de watts) avec en plus la contrainte de miniaturisation pour garder des appareils compacts et légers. Par conséquent, les alimentations pour ces types d'appareil doivent être elles aussi compactes, fiables et performantes. Par ailleurs, la nécessité d'autonomie énergétique vient rajouter un degré de complexité au cahier des charges. En effet, les batteries (Li, Li-ion) actuellement utilisées comme source d'énergie sont soumises à rude épreuve : elles doivent être rechargées de façon fréquente, presque tous les jours pour une utilisation standard (téléphonie, transmission de données, consultation internet, localisation GPS). Ces recharges successives et fréquentes mènent finalement à une dégradation irrémédiable des batteries.

Concernant les circuits de puissance assurant la conversion et la gestion de l'énergie, une miniaturisation certes existe mais elle reste limitée du fait de la problématique de gérer des forts courants et de tenir de fortes tensions. Les circuits en question comprennent des composants actifs : MOSFETs, IGBTs³, diodes PIN, Schottky et des composants passifs : condensateurs, bobines, transformateurs, résistances. La technologie SMART POWER a d'une part permis d'intégrer sur un même substrat les fonctions requérant des niveaux de tensions différents : les interrupteurs de puissance latéraux (LDMOS) avec les circuits analogiques/digitaux permettant la régulation de la tension, le conditionnement du signal, le contrôle et le diagnostic du système. Par ailleurs, pour des fonctions plus complexes incluant des composants de puissance verticaux (IGBTs), et donc des niveaux de puissance plus élevés, le concept d'intégration fonctionnelle, développé au LAAS dans l'équipe ISGE depuis les années 80 [1, 2], a poussé plus loin l'intégration monolithique des circuits de puissance.

¹ La Loi de Moore a été exprimée en 1975 par Gordon Moore, un des trois fondateurs d'Intel, en posant que le nombre de transistors des microprocesseurs sur une puce de silicium double tous les deux ans. Entre 1971 et 2001, la densité des transistors a doublé chaque 1,96 année.

² Micro-processeur à double-cœur (type Wolfdale) commercialisé par Intel.

³ Insulated Gate Bipolar Transistor

Aujourd'hui, malgré cette avancée majeure dans l'intégration monolithique de composants actifs, la taille des convertisseurs est définie par l'encombrement des éléments passifs les constituant car les bobines, transformateurs et condensateurs sont encore des composants discrets, montés en surface (CMS). Par exemple, dans un convertisseur DC-DC type Buck, une bobine et deux condensateurs sont nécessaires. La taille de ces passifs peut occuper jusqu'à 50% de la taille totale du convertisseur, et dans tout équipement portable, plusieurs convertisseurs sont nécessaires pour alimenter différentes fonctions de l'appareil. Sur la Figure I. 1, une photo de la carte électronique d'un smart phone (Galaxy S III PMU) illustre bien le volume que peuvent occuper les composants passifs (condensateurs et bobines) en comparaison du processeur et des circuits de gestion.

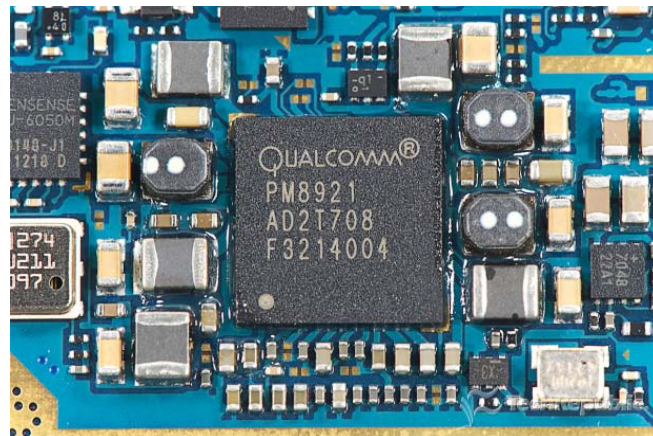


Figure I. 1. Galaxy S III PMU, courtesy of Texas Instruments – Presentation PwrSoC'12, Dave Anderson.

Les générations futures de micro-convertisseurs imposent en conséquence l'intégration des composants passifs directement sur la carte dans un premier temps et potentiellement sur puce. Ce genre de fabrication collective apportera non seulement la miniaturisation nécessaire aux équipements nomades, mais entraînera également une réduction des coûts et une amélioration de la fiabilité grâce à la diminution de la connectique en particulier.

Je présenterai dans le **chapitre II, les travaux réalisés permettant l'intégration sur silicium de composants passifs (bobines, condensateurs) pour les systèmes de gestion de l'énergie**. Les travaux sont axés sur la conception, le développement des topologies et des filières technologiques pour micro-bobines (L) et les condensateurs intégrés (C). En particulier, l'enjeu principal concerne la mise en œuvre optimale des matériaux magnétiques et diélectriques constituant ces micro-composants avec les techniques de micro-fabrication. Ces matériaux sont incontournables pour atteindre les performances souhaitées. Il s'agit principalement d'augmenter les densités surfaciques de capacité ou d'inductance tout en maintenant un niveau de pertes acceptable aux fréquences de fonctionnement visées. Les technologies d'intégration sont toutes aussi importantes et doivent être développées spécifiquement pour le composant en question. Ainsi, pour des condensateurs à forte densité, les technologies de gravure du silicium ont été explorées. En ce qui concerne les micro-bobines, les technologies de dépôt d'isolant épais ou de métal épais sont aussi essentielles.

A long terme, l'objectif est d'aller vers l'intégration 3D hétérogène du micro-convertisseur par empilement de puces multi-fonctionnelles en privilégiant des techniques de fabrication collectives. Nous démontrerons donc comme première étape, qu'il est possible de réaliser les composants passifs (bobines et condensateurs) sur le même substrat, moyennant la prise en compte d'effets parasites induits. L'intégration avec les composants actifs peut alors se faire par report de puces. Pour aller plus loin, un exemple d'intégration fonctionnelle sera présenté où les condensateurs sont intégrés au sein du procédé technologique des composants actifs (MOS) par mise en commun de certaines étapes.

Outre les circuits de gestion de l'énergie avec les composants actifs et passifs les constituant, nous avons abordé plus haut la problématique dans les équipements portables, de l'encombrement et de la durée de vie de la source d'énergie embarquée: la batterie. De nombreux travaux de recherche ont mené à améliorer grandement les densités d'énergie et les durées de vie des batteries rechargeables. Et les travaux sur les micro-batteries Li-ion, intégrées sur silicium commencent à produire des résultats intéressants: une capacité de près de $200 \mu\text{Ah}\cdot\text{cm}^{-2}$ (correspondant à une énergie de $2,6 \text{ J}\cdot\text{cm}^{-2}$ sous $3,6\text{V}$) combinée à plusieurs milliers de cycles charge-décharge.

Une façon d'augmenter la durée de fonctionnement d'une batterie (avant recharge) ainsi que sa durée de vie totale, est de placer à ses bornes, en parallèle, un supercondensateur (condensateur électrochimique à double couche) qui fournira les pics de puissance.

Le système idéal cependant est, on le comprend, un appareil électronique portable sans batterie, ne nécessitant pas d'être rechargé par le secteur. En d'autres termes, un système possédant une (ou des) source(s) d'énergie disponible constamment et illimitée.

De nombreux travaux de recherche ont émergé au début des années 2000 sur la récupération de l'énergie et plus spécifiquement sur les microsystèmes de récupération de l'énergie pour des applications fortement embarquées et miniaturisées, la première application visée étant les réseaux de capteurs sans fil.

La récupération de l'énergie ambiante, solaire, thermique, mécanique, acoustique, nécessitant forcément un stockage tampon (ou intermédiaire), la solution la plus pertinente et donc la plus répandue est d'utiliser un supercondensateur, élément de stockage présentant des durées de vie quasi-illimitées.

Comme pour les composants passifs, une intégration de l'élément de stockage de l'énergie sur puce, au plus près du circuit de gestion, ou du microsystème de récupération de l'énergie, ou encore du capteur permettrait à la fois la miniaturisation du système complet mais également la minimisation des pertes dues à la connectique.

Je présenterai dans **le chapitre III, les activités de recherche liées à l'intégration de supercondensateurs sur silicium**. Les premiers dispositifs à base de charbon actif et d'électrolyte organique seront présentés ainsi que les recherches en cours sur les matériaux d'électrodes et les technologies d'intégration associées.

Finalement, dans **le chapitre IV, les perspectives de recherche sur ces thématiques** seront proposées et discutées.

Chapitre II. Intégration de composants passifs sur puce

1. Introduction – contexte général

Les convertisseurs de puissance utilisés pour augmenter ou diminuer la tension d'une batterie dans les applications portables, peuvent être de différentes sortes : les régulateurs linéaires et les alimentations à découpage à stockage inductif ou capacitif. Les cahiers des charges sont variables selon les applications mais typiquement, les puissances de sortie sont de l'ordre du watt, les tensions d'entrée autour de 5V et les courants de sortie entre 100 mA et 2A. Il est communément acquis que les alimentations à découpage de type inductif présentent les meilleurs rendements et nécessitent le plus petit nombre de composants passifs. Par exemple, un convertisseur DC-DC actuellement dans le commerce (ex : TI LM8801) fonctionne dans une gamme de fréquence de l'ordre de quelques MHz, avec deux condensateurs (2,2 μF et 4,7 μF) et une bobine (0,47 μH).

Dans la perspective de réaliser des Systèmes de Puissance sur Puce (Power Systems on-Chip, SoC) avec de fortes densités de puissance et des rendements élevés, la montée en fréquence de fonctionnement des systèmes est nécessaire car elle permet l'utilisation de composants passifs de plus faible valeur et donc de taille réduite. Les composants passifs, utiles en entrée et sortie du convertisseur pour lisser les courants et/ou tensions, sont généralement des bobines et condensateurs CMS (Composants Montés en Surface) de densités volumiques importantes. La technologie LTCC (Low Temperature Cofired Ceramics) a cependant permis la réduction drastique des dimensions des composants CMS et la possibilité de s'affranchir de certaines étapes fastidieuses comme le bobinage pour les composants magnétiques : les pistes d'argent sont sérigraphiées et co-frittées avec le ferrite, lui-même sérigraphié couche par couche. On aboutit alors à des composants multi-couches (MLC : Multi Layer Chip en anglais). Les bobines à base de ferrite de chez Murata ou Coilcraft de 470 nH dont le volume est de seulement 1 mm^3 sont issues de ces technologies. Pour le cas particulier des applications de puissance, ces bobines (LTCC) sont assez récentes du fait des limitations des pistes d'argent sérigraphiées usuellement : épaisseurs trop faibles, forme non adaptée (bords pointus), conductivité limitée pour les niveaux de courants requis [3]. Pour les condensateurs à base de céramiques multi-couches de nombreux produits existent (comme les X5R, X7R et Z5V de chez AVX) permettant d'atteindre des capacités volumiques de 2,5 $\mu\text{F}\cdot\text{mm}^3$.

La réalisation de circuits avec ces composants discrets repose sur des techniques mettant en jeu des assemblages collectifs de matériaux et de supports (généralement le circuit imprimé) : on parle alors d'intégration hybride menant à des Systems in Package (SiP). Des convertisseurs DC-DC commerciaux SiP ont commencé à voir le jour : La société **Empirion** commercialise par exemple des convertisseurs DC-DC « intégrés » comme le produit EN5364QI (voir Figure II. 1.a). Ce produit de taille 8 x 11 x 1,85 mm^3 fonctionne à 4 MHz sous 2A et la bobine (ferrite cofritté avec des pistes d'argent) a été intégrée au niveau de l'embase. Les densités de puissance sont de l'ordre de 120 $\text{W}\cdot\text{cm}^{-3}$. La société **Murata** propose également une nouvelle série de convertisseurs de faibles dimensions (2,5 x 2 x 1,1 mm^3) reposant sur une

bobine de sortie en technologie multicouches (voir Figure II. 1.b) sur laquelle sont assemblés les condensateurs de sortie et la puce de puissance. La fréquence de commutation est de 3 MHz et le courant de charge maximal monte à 600 mA pour les faibles valeurs de tension, ce qui correspond à une densité de puissance de 45 W.cm^{-3} .

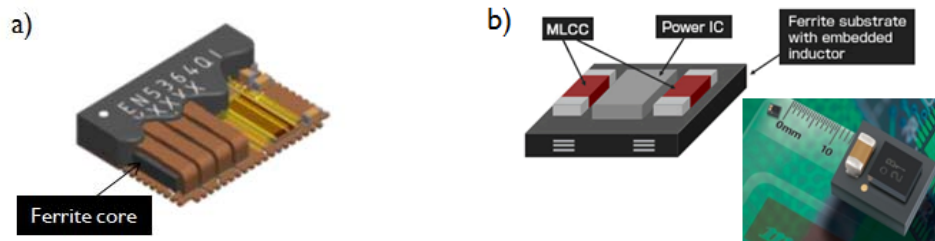


Figure II. 1. a) convertisseur Enpirion EN5364QI ; b) convertisseur Murata LXDC2HL

Augmenter les capacités d'intégration de ces systèmes impose un saut technologique majeur. **En augmentant encore la fréquence de fonctionnement au-delà des quelques MHz actuellement en jeu, une intégration des composants passifs sur puce est alors envisageable.** Cette intégration peut être réalisée hors de la puce comprenant des actifs dans un premier temps : la puce des passifs serait alors empilée sur la puce des actifs. Dans un second temps, une intégration monolithique avec les MOS de puissance peut être étudiée. Le gain en volume serait conséquent. Cependant, pour concurrencer les composants CMS, les densités de capacité et d'inductance doivent être élevées combinées à des résistances séries faibles ($< 0,1 \text{ Ohm}$). Aux fréquences considérées (de 10 MHz à plus de 100 MHz), les puissances restent cependant les mêmes : de l'ordre du watt. Les passifs doivent donc supporter des courants de plusieurs ampères dans de telles conditions tout en présentant des niveaux de pertes très faibles pour ne pas affecter le rendement global du convertisseur. **Les densités de puissance visées sont supérieures à 2 kW.cm^{-3} pour des rendements supérieurs à 90%.** Il faut évoquer ici que les passifs ne seront pas forcément les seuls à affecter le rendement du système car la montée en fréquence augmente de façon significative les pertes par commutation des interrupteurs de puissance. Une réflexion au niveau du système sur le choix de la fréquence et des topologies/architectures les plus efficaces permettant l'intégration de tous les composants du convertisseur doit être menée.

L'intégration de composants passifs sur puce est un verrou technologique non résolu, dans la course à la miniaturisation des systèmes électroniques portables. La difficulté relève de la possibilité d'intégrer ce genre de composants de façon compatible avec les procédés de microfabrication (couches minces, fabrication collective sur substrat plan) et d'obtenir, avec les matériaux mis en forme par ces procédés, des niveaux de performances supérieurs à ceux offerts par les composants discrets.

Il est entendu qu'une intégration réussie des composants passifs sur puce donnera non seulement lieu à des modules de puissance de volume réduit mais également aux avantages relatifs à la microfabrication :

amélioration de la fiabilité par la réduction des interconnexions et des câblages, réduction des coûts de production grâce à la fabrication collective.

Les objectifs à atteindre par les composants passifs servant dans les filtres de sortie de convertisseurs DC-DC de faible puissance dépendent fortement du cahier des charges, en particulier des puissances à gérer. La fréquence de fonctionnement sera elle fixée par les contraintes de taille et de poids ainsi que par la valeur des pertes totales pouvant affecter le rendement global du convertisseur. Cependant, des gammes de valeurs peuvent être données, notamment pour des puissances de l'ordre du watt.

Pour la bobine :

- Une inductance de l'ordre de 250 nH.mm²
- Un courant DC de 0,6 à 1A
- Une résistance série équivalente (RSE) < 100 mΩ

Pour le condensateur :

- Une capacité spécifique de 1 μF.mm².
- Des valeurs minimales de résistance série équivalente (RSE) : < 100 mΩ afin de minimiser les ondulations de tension de sortie et minimiser les pertes sur la gamme de fréquence envisagée.

Dans la suite de ce chapitre, je traiterai les deux types de composants passifs mentionnés ici successivement : condensateur puis bobine avec pour cadre l'intégration sur silicium. Pour chaque composant, je présenterai un état de l'art sur les avancées technologiques et les matériaux constitutifs. Je justifierai ensuite le choix des technologies et des matériaux développés au laboratoire et reporterai les performances des micro-composants réalisés. Ces résultats seront mis en perspective par rapport aux objectifs et à l'état de l'art.

Le dernier paragraphe traite de l'intégration monolithique de ces composants qui est une suite logique aux développements préalablement réalisés. Je donnerai deux exemples d'intégration : la réalisation d'un filtre intégré comprenant un condensateur 3D et une micro-bobine sur un même substrat, et l'étude de l'intégration du condensateur 3D au sein de la filière d'intégration fonctionnelle utilisée pour les composants de puissance. Le paragraphe se terminera par une discussion sur les enjeux liés aux pertes ainsi que de la compatibilité des procédés.

2. Condensateurs haute densité

2.1. Etat de l'art

Les fortes valeurs de capacités spécifiques peuvent être atteintes en diminuant l'épaisseur du diélectrique, en augmentant la surface des électrodes ou en utilisant un diélectrique avec une forte permittivité.

Diminuer l'épaisseur du diélectrique, comme c'est le cas pour les oxydes de grille des MOS, n'est pas une option pour les condensateurs de puissance car la tenue en tension s'en trouve grandement diminuée.

a) Diélectriques high- k

En configuration planaire, les diélectriques high- k ont été largement étudiés dans le domaine de la microélectronique en tant que remplaçants de l'oxyde de silicium pour la grille des transistors [4]. D'autres applications regroupent les condensateurs de découplage pour les circuits RF, pour les circuits analogiques/ numériques, pour les mémoires DRAM. Les diélectriques comme le Ta₂O₅, Al₂O₃, HfO₂, ZrO₂, La₂O₃, TiO₂, [5], [6, 7] avec des constantes diélectriques entre 10 et 30 (80 pour TiO₂) sont les plus communément utilisés car ils peuvent se déposer par procédé chimique en phase vapeur (CVD), parce qu'ils sont thermodynamiquement stables vis-à-vis du silicium et qu'ils présentent d'autres avantages non détaillés ici (gap, courants de fuite). Les diélectriques à très forte permittivité (au-delà de 100) présentent généralement une structure perovskite comme SrTiO₃ [8, 9], BaTiO₃, BaSrTiO₃, PbZrTiO₃ [10], PbLaZrTiO₃ [11].

En configuration planaire, les condensateurs avec des diélectriques high- k atteignent dans la littérature des capacités spécifiques maximum de l'ordre de 40-50 nF.mm⁻². Pour ce qui est des autres caractéristiques électriques : les champs de claquage des diélectriques high- k sont beaucoup plus faibles que celui du SiO₂ (13 MV.cm⁻¹) et ils le sont d'autant plus que la constante diélectrique est élevée. Jain et al. [12] ont montré que le champ de claquage suit une relation empirique telle que E_{BD} (MV.cm⁻¹) = 20/ \sqrt{k} . Au-delà de cette caractéristique, dans le cas particulier des perovskites, un inconvénient majeur vient s'ajouter : la constante diélectrique varie généralement en fonction de la tension, de la température et de la fréquence.

Des solutions alternatives sont en cours d'investigation dans les laboratoires de recherche pour pousser les performances intrinsèques des diélectriques. Il est intéressant de donner en exemple les matériaux nano-stratifiés (en anglais « nano-laminates ») où des couches très fines de diélectriques medium- k (Al₂O₃/HfO₂ par exemple) produisent des performances améliorées. Des constantes diélectriques géantes ont ainsi été démontrées. Elles sont expliquées par l'effet Maxwell-Wagner où les charges s'accumulent aux interfaces du diélectrique ayant la plus petite conductance, produisant ainsi une relaxation interfaciale. C'est cette relaxation interfaciale qui est à l'origine de la contribution externe à la constante diélectrique. Une ingénierie fine des couches est cependant nécessaire pour trouver un compromis entre une constante diélectrique élevée et des courants de fuite faibles. L'inclusion de nano-agrégats d'un diélectrique dans un autre (matrice) est une autre exploitation possible du même effet. Par exemple, l'inclusion de ZrO₂ dans une matrice de La₂O₃ amorphe permet d'obtenir des constantes diélectriques élevées ($k = 36$) combinées à des faibles fuites et de fortes tenues en tension [13] : 7 MV.cm⁻¹ pour des grains de 2 nm de ZrO₂ contenus dans la matrice comparé à 4 MV.cm⁻¹ pour du La₂O₃ pur. Ces résultats prouvent la possibilité de repousser les limites imposées par la relation empirique liant la tenue en tension à la constante diélectrique. Un autre avantage de ces matériaux nano-stratifiés ou en nano-agrégats est la possibilité de les déposer à relativement basse température par les techniques d'ALD (Atomic Layer Deposition). Les capacités

spécifiques pour des condensateurs planaires incluant des matériaux nano-stratifiés est de l'ordre de 20 nF.mm⁻².

La recherche dans ce domaine est extrêmement active. Cela dit, en planaire, les capacités spécifiques obtenues restent trop basses vis-à-vis du cahier des charges relatif aux applications de puissance. La structuration 3D des électrodes semble être une voix incontournable.

b) Condensateurs 3D

Historiquement, c'est en 1996 que **Siemens** proposa pour la première fois des condensateurs 3D dont la structure consistait en des pores à fort facteur de forme gravés dans le silicium. Deux techniques furent comparées : la gravure électrochimique en électrolyte HF et la gravure plasma profonde ou DRIE (Deep Reactive Ion Etching) [14, 15]. Par gravure électrochimique, des capacités spécifiques de 125 nF.mm⁻² furent obtenues avec des facteurs de forme de 85 et un empilement ONO (SiO₂/Si₃N₄/SiO₂). Cependant le dopage doit être contrôlé finement avec cette technique. Par la suite, **Philips Research** privilégia la voie DRIE en 2001, pour ses condensateurs 3D, démontrant des capacités spécifiques de 30 nF.mm⁻² [16]. Ces composants sont à présents commercialisés par la **société IPDIA** à Caen.

La combinaison d'électrodes tridimensionnelles à forte surface développée avec des matériaux high- k est la voie privilégiée pour atteindre de plus fortes capacités spécifiques. Le dépôt conforme d'oxydes métalliques complexes dans des structures à fort facteur de forme reste jusqu'à présent le principal défi du domaine. Les procédés chimiques en phase vapeur (CVD) sont les techniques les plus adaptées pour les structures tridimensionnelles. Il est nécessaire alors de passer par des composés métallo-organiques en phase liquide pour former les oxydes. Ces précurseurs sont utiles pour les techniques de MOCVD (Metal Organic CVD) ou ALD [17]. Par ALD, le dépôt d'oxydes simples (Al₂O₃, HfO₂) est à ce jour maîtrisé par les industriels car des précurseurs volatiles existent. Nous verrons par la suite que les oxydes plus complexes comme le SrTiO₃ ne sont pas encore maîtrisés et restent à ce jour en développement dans les laboratoires.

Pour des capacités spécifiques beaucoup plus élevées que 100 nF.mm⁻², ont été développées des structures MIMIM (mise en parallèle de 2 MIM) : par ce biais, Klootwijk et al. (Philips Research) démontrèrent 440 nF.mm⁻² de capacité : l'empilement est constitué de couches fines de TiN/Al₂O₃ [18]. Des alternatives pour créer des structures 3D sont apparues récemment dans la littérature: la structuration se fait à l'échelle nanométrique avec des nanotubes [19], des nanopiliers [20], des nanomembranes [21] ou encore des nanopores de membranes poreuses d'alumine [22]. Les deux dernières options permettant d'atteindre des capacités spécifiques de plus de 1 μF.mm⁻². En revanche, des paramètres importants comme la résistance série équivalente (RSE) et la tenue en tension sont rarement discutés.

c) Un enjeu : la résistance série

Pour un condensateur placé dans le filtre de sortie d'un convertisseur DC-DC, la résistance série équivalente sera responsable de l'ondulation sur la tension de sortie. Des pertes seront également induites

qui dégraderont le rendement global du système. Pour des puissances de sortie de l'ordre du watt et des courants de sortie autour de l'ampère, une valeur typique acceptable de RSE serait entre 50 et 100 m Ω .

Les différents phénomènes contribuant à la RSE sont : la résistance série des électrodes (contribution ohmique), la résistance parallèle due aux courants de fuite dans le diélectrique et enfin, le facteur de dissipation dû aux pertes diélectriques (AC). Dans les convertisseurs DC-DC, la contrainte vis-à-vis des fuites que l'on trouve dans les mémoires DRAM n'a pas lieu d'être car le fonctionnement du condensateur se fait à hautes fréquences où la contribution DC des fuites n'est plus prépondérante. Les pertes AC dans les diélectriques peuvent présenter par contre un point dur : elles sont fortement liées à la nature du diélectrique où les mécanismes de pertes dues aux relaxations et résonances peuvent s'étendre sur une large gamme de fréquences.

Cependant, la principale contribution à la RSE dans les condensateurs intégrés est la résistance série des électrodes. Pour la minimiser, des matériaux d'électrodes à faible résistivité doivent être développés et la géométrie des contacts conçue de façon optimum. Dans le cas de structures 3D dans le silicium, on utilise le dopage du substrat et du polysilicium servant à remplir les pores (par diffusion phosphore ou bore) pour minimiser la résistivité mais celle-ci reste limitée (autour de 1 m Ω .cm). En remplacement du silicium/polysilicium, des métaux ou oxydes métalliques peuvent être employés comme sous-électrodes des diélectriques high-k comme : TaN (200 $\mu\Omega$.cm), TiN (13 $\mu\Omega$.cm), Pt (10 $\mu\Omega$.cm), RuO₂ (40 $\mu\Omega$.cm). En plus d'une faible résistivité, le choix du matériau d'électrode est dicté par d'autres critères comme le rôle de barrière de diffusion (lors des recuits nécessaires à la cristallisation du diélectrique dans la phase donnant les meilleures permittivités), la réduction du désaccord de maille à l'interface électrode/perovskite ou encore la possibilité d'aider la cristallisation du matériau lors du dépôt, et assurer la stabilité chimique. Il est à noter que dans des structures 3D, le dépôt du matériau d'électrode doit lui aussi être conforme. Le TiN est par exemple un excellent candidat car il peut être facilement déposé par les techniques de CVD avec un mélange de gaz TiCl₄ et NH₃ : une conformité parfaite est obtenue.

d) Performances et conclusions

Le Tableau II. 1 présente une sélection de condensateurs 3D intégrés issus de la littérature donnant lieu aux meilleures performances. Les avantages et inconvénients de chaque solution sont pointés.

Les industriels ont très tôt investi dans les procédés menant aux condensateurs à forte densité : en particulier les condensateurs 3D par Siemens, Philips et maintenant IPDIA, IBM. La recherche sur les matériaux high- k a été portée par l'industrie des semi-conducteurs où les besoins pour les oxydes de grille des MOS ou pour les mémoires DRAM se sont faits pressants. Néanmoins, comme vu précédemment, les spécificités requises pour la conversion de l'énergie (faible RSE, très fortes capacités spécifiques) demandent des efforts en recherche spécifiques.

Tableau II. 1. Etat de l'art des condensateurs 3D

INSTITUTION [REF]	Structuration	Empilement	V_{max} (V)	C (nF/mm ²)	RSE (Ω)	Avantages	Inconvénients
Philips Res.[16]	DRIE	n ⁺ -polySi/ ONO/n ⁺ Si	30	25	0.145	Diélectriques standards et conformes, Compatible CMOS	Capacité spécifique limitée
Philips Res. [18]	DRIE	TiN/Al ₂ O ₃ (x3)	6	440	10	Compatible CMOS	Grand nombre de couches ALD et d'étapes photolitho. (coût élevé)
Univ. Maryl [22]	Moule d'alumine poreuse	TiN/Al ₂ O ₃	4	1000 (<100 Hz)	?	Faible épaisseur (<10 μ m)	Couches fines menant à RSE élevées et faibles V_{BR} Non compatible CMOS

* ONO et polySi sont réalisés par oxydation thermique ou CVD. Les couches TiN/Al₂O₃ sont déposées par ALD

2.2. Condensateurs 3D – réalisations au LAAS

a) Conception

Pour atteindre le cahier des charges défini en première partie, des condensateurs combinant des électrodes 3D et un diélectrique à forte permittivité (high- ϵ) sont envisagés. La structure générale est présentée sur la Figure II. 2. Les étapes technologiques du procédé sont les suivantes :

- Dans le substrat silicium, faisant office d'électrode inférieure, sont gravés des pores profonds sous forme d'un réseau dense.
- Après gravure, le substrat est fortement dopé, généralement au phosphore (POCl₃).
- Le diélectrique est alors déposé : soit classiquement un oxyde et/ou nitrure de silicium, par croissance thermique et/ou dépôt LPCVD (Low Pressure CVD), soit un diélectrique high- ϵ déposé par MOCVD ou par ALD.
- Le polysilicium fortement dopé qui est déposé ensuite par LPCVD constitue l'électrode supérieure. Il est gravé par gravure plasma sèche, de même que le diélectrique pour définir la taille des condensateurs et pour avoir accès à l'électrode inférieure.
- Les contacts métalliques sont établis en face avant du composant (ou en face arrière). La topologie des contacts ainsi que l'étape de dopage influence de façon directe la résistance série des composants, comme discuté plus tard.

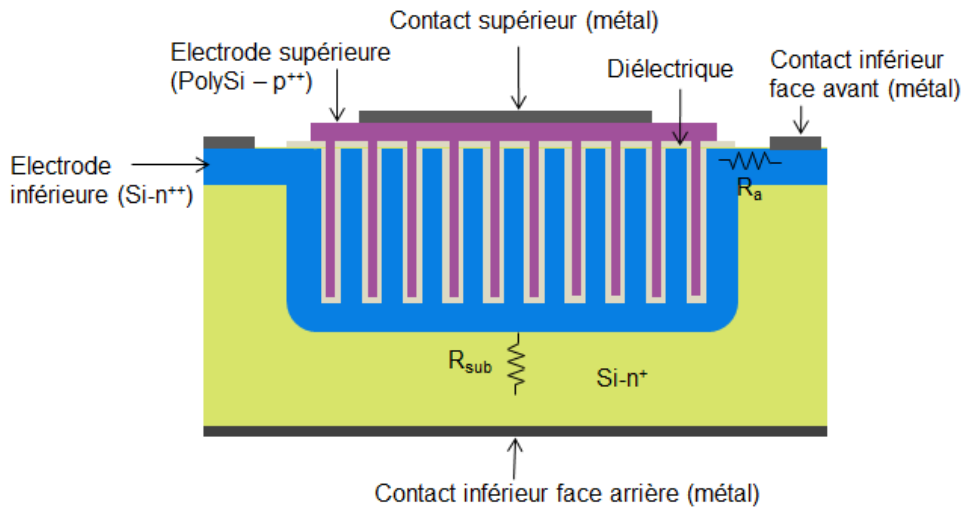


Figure II. 2. Schémas en coupe d'un condensateur 3D classique. Deux possibilités de contact pour l'électrode inférieure sont montrées : en face avant ou en face arrière.

Rappelons que la capacité surfacique (ou capacité par unité de surface) est égale à :

$$C = \frac{\epsilon_0 \epsilon_r}{e} \frac{S_{3D}}{S_{plan}}$$

avec e = épaisseur du diélectrique, S_{3D} est la surface développée due aux pores et S_{plan} , la surface projetée.

Pour des pores circulaires,

$$S_{3D} = S_{plan} (1 + n\pi wh)$$

où n est la densité des pores, c'est-à-dire le nombre de pores par unité de surface, h , la profondeur du pore, w le diamètre du pore. La densité du réseau dépendra du diamètre du pore, de l'espacement entre deux pores et du type d'alignement : réseau carré (pores alignés horizontalement et verticalement) ou réseau hexagonal (pores placés en quinconce). Le gain de surface entre un réseau hexagonal et un réseau carré est de 1,15.

Outre la permittivité du matériau diélectrique et son épaisseur, il est intéressant de maximiser le rapport S_{3D}/S_{plan} pour obtenir les meilleures capacités surfaciques. On trouve facilement que les facteurs prédominants pour l'obtention de fortes densités de capacité sont la densité du réseau (n), la profondeur de gravure (h) et le diamètre des pores (w). Les paramètres w et n sont liés géométriquement : lorsque la densité augmente, il faudra nécessairement diminuer le diamètre des pores. h et w sont également liés mais de façon technologique par la technique de gravure : DRIE ou gravure électrochimique qui dictera le facteur de forme (h/w) maximum atteignable pour chaque ouverture de pore.

La Figure II. 3 montre la variation de la capacité spécifique en fonction de la profondeur du pore et de la densité du réseau. Les calculs ont été faits pour un réseau hexagonal avec un diamètre de pore $w = \frac{3}{4} p$ (p = période du réseau). Le diélectrique est dans ce cas un empilement oxyde/nitride de silicium de permittivité équivalente 5,7. Les courbes sont tracées jusqu'à ce que le facteur de forme atteigne 200.

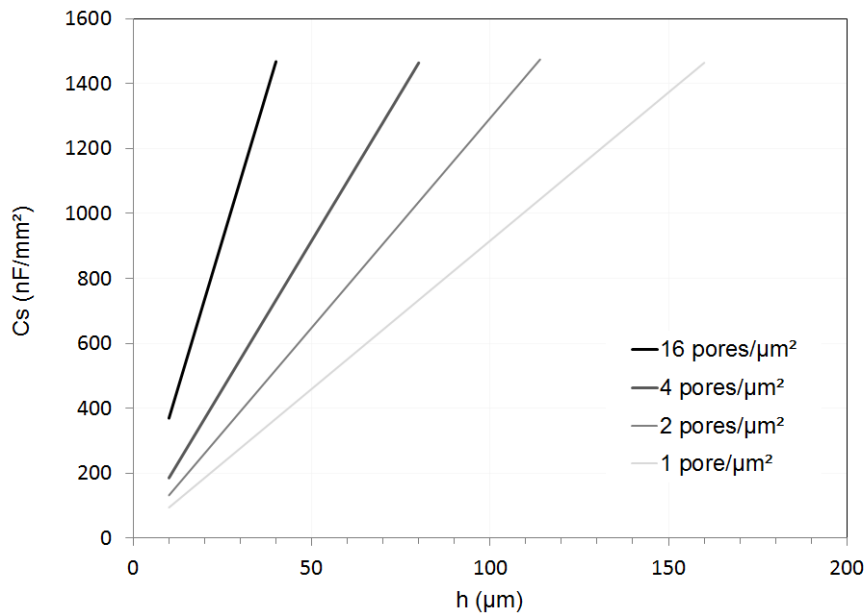


Figure II. 3. Capacité spécifique en fonction de la profondeur du réseau et de sa densité.

Ainsi, pour obtenir des capacités spécifiques de $500 \text{ nF} \cdot \text{mm}^{-2}$, avec une densité de réseau de $1 \text{ pore} \cdot \mu\text{m}^{-2}$, des profondeurs de $55 \mu\text{m}$ sont nécessaires, correspondant à un facteur de forme de 68. Pour une densité du réseau 4 fois supérieure, la profondeur nécessaire pour obtenir la même capacité est 2 fois moindre : $27,5 \mu\text{m}$. On imagine alors que pour des densités encore plus importantes, le composant 3D tend à devenir un composant de surface. Ceci présente un avantage quand il s'agit d'intégrer le condensateur avec des composants actifs ou dans un empilement puce à puce (3D) du système où l'épaisseur doit être minimisée. La durée de gravure est également moins longue, ce qui améliore les rendements et le coût de fabrication.

En parallèle, si le diélectrique standard est remplacé par un diélectrique high- k , on gagnera d'autant plus sur les capacités spécifiques.

b) Stratégie : des condensateurs 3D avec diélectriques high- k

Les travaux sur les condensateurs 3D ont été menés dans le cadre d'un projet ANR Jeune Chercheur : le projet CAMINO, de 2006 à 2009. L'idée était de travailler sur plusieurs fronts à la fois : les technologies de gravure pour obtenir les structures avec les plus grands facteurs de forme, la mise en place d'étapes technologiques nécessaires à la réduction de la résistance série et les méthodes de dépôt de diélectrique high- k avec les bonnes caractéristiques électriques et conformes dans des structures 3D.

Chaque développement technologique a été validé par des prototypes avec mesures de capacité spécifique en fonction de la fréquence, de courants de fuite et de tenue en tension. Deux techniques de gravure ont été évaluées pour obtenir **des réseaux denses de pores profonds et à fort facteur de forme dans le silicium** : la gravure ionique réactive profonde (DRIE) développée au LAAS et la gravure électrochimique (EE) développée par notre partenaire à l'Institut des Nanotechnologies de Lyon (INL).

c) Condensateurs 3D basés sur la gravure profonde par DRIE

- Développements technologiques : DRIE

La gravure profonde du silicium utilise des chimies fluorées comme le SF_6 , où le radical F^* créé dans le plasma réagit spontanément avec le silicium pour engendrer la gravure. Si aucune précaution n'est prise, la gravure du silicium par SF_6 est fortement isotrope. Pour réaliser l'usinage anisotrope en volume dans le silicium, il faut utiliser des machines et un procédé adaptés. La technique permettant d'augmenter le rapport de forme et diminuer la gravure latérale consiste à utiliser deux plasmas différents et successifs : c'est le principe du procédé Bosch (breveté par Laermer et Schilp en 1994 [23]). Dans le premier plasma, la gravure du silicium se fait par le gaz SF_6 sous un vide de 20 mTorr. Le silicium est gravé spontanément par le fluor. Une phase de protection par passivation des flancs de la structure silicium est obtenue lors d'un second plasma, issu du gaz C_4F_8 . Ce dépôt est conforme sur toutes les surfaces horizontales et verticales. La particularité de cette étape est de garder ce dépôt sur les parois verticales de la tranchée à graver ce qui va inhiber la gravure latérale. La phase de gravure qui suit, élimine la couche de passivation des surfaces horizontales. Ainsi, une alternance des plasmas de passivation et de gravure permet la gravure profonde et verticale dans le silicium des structures choisies avec un bon rapport de forme.

Il est cependant nécessaire de trouver le compromis entre les différents paramètres (débit, pression, puissance etc...) pour obtenir des gravures anisotropes de tranchées très denses à faible ouverture et à facteur de forme élevé. Nous avons donc mis en place des plans d'expériences pour pouvoir modéliser les profils de gravure en fonction des conditions de gravure : puissance, pression, temps des cycles successifs gravure/passivation, présence ou non d'oxygène [24]. Le but est de construire un outil prédictif pour les profondeurs, les ouvertures des pores ainsi que pour leur profil (verticalité). Dans ce cas, un double masquage oxyde de silicium / résine a été employé pour améliorer la sélectivité du procédé et la structure est invariablement un rectangle de 1 mm de long (L) et de 4 μm de large (w).

Outre les conditions du procédé, il est important de noter que le facteur de forme dépend de la topologie du masque : la taille et la forme géométrique des pores à graver, la surface totale occupée sur le masque et leur densité [25]. A titre d'exemple, la Figure II. 4 montre l'influence de la taille du pore à graver (en l'occurrence ici un carré de largeur variant de 2 à 10 μm) sur le facteur de forme à temps de gravure fixe.

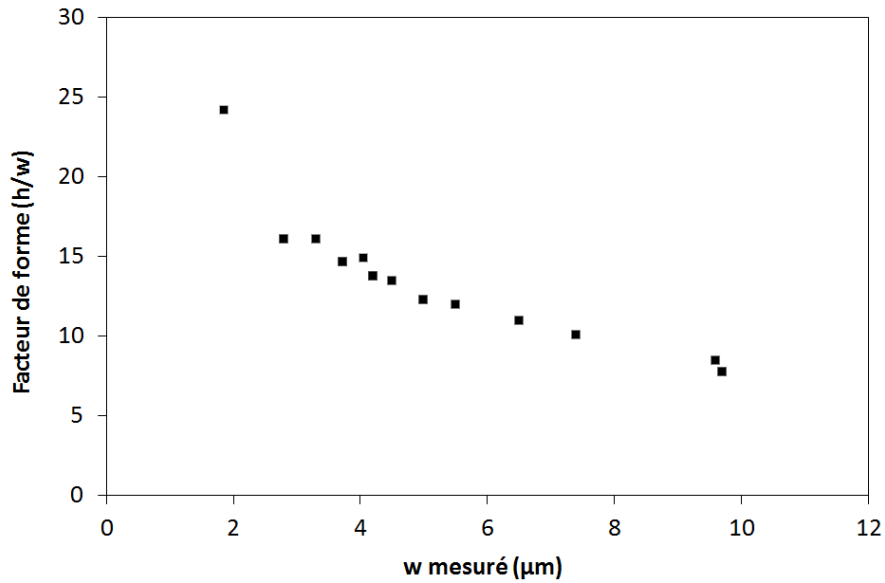


Figure II. 4. Facteur de forme atteint après 1h de gravure pour des pores carrés de large w .

Ces études ont permis de connaître les limites en profondeur et facteur de forme de réseaux de pores pour le procédé Bosch de la machine STS du LAAS. **Le facteur de forme maximum pour un réseau de pores denses gravé par DRIE est de 25** (Figure II. 5). Ces résultats de gravure par DRIE de structures à fort facteur de forme ont par ailleurs servi dans des thématiques annexes du groupe, i.e. pour le développement de transistors MOS en tranchées haute tension [26].

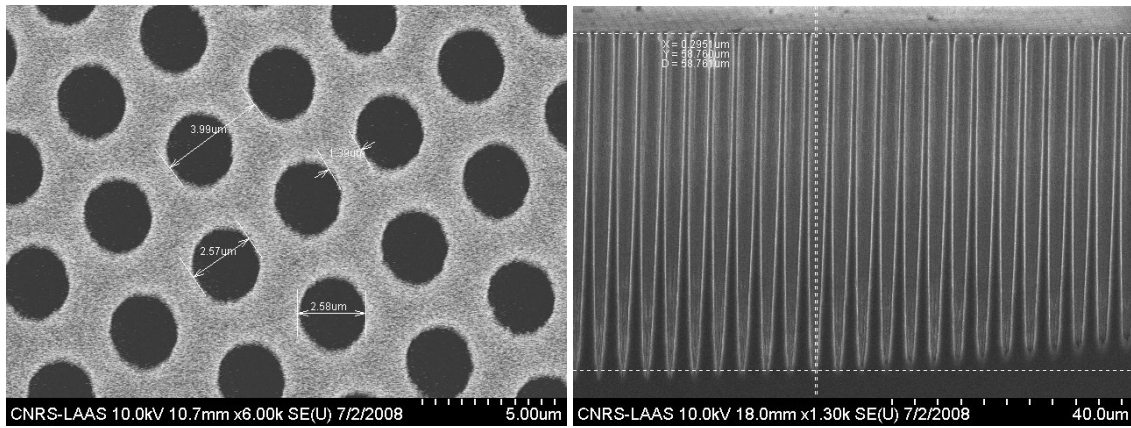


Figure II. 5. Images MEB d'un réseau de pores de période $4 \mu\text{m}$ a) vue de dessus, les pores font $2,6 \mu\text{m}$ de diamètre b) vue en section, la profondeur des pores est de $58 \mu\text{m}$.

La limite en facteur de forme des structures avec la technique de DRIE est due à la fois à la consommation du masque et à la limite de diffusion des espèces réactives dans des structures à fort facteur de forme. Il semble difficile d'obtenir un réseau de pores profonds de plus petites dimensions gravés par DRIE. En effet, pour définir des nanostructures en photolithographie, des résines très fines doivent être employées, qui seront rapidement consommées par les gaz de gravure, limitant alors le facteur de forme atteignable.

- Développements technologiques additionnels pour condensateurs 3D

A l'issue de la gravure des réseaux de pores dans le silicium par DRIE, les profils des tranchées présentent un profil dentelé et des aspérités pouvant, d'une part affecter les tenues en tension du diélectrique et d'autre part, empêcher un bon remplissage par le matériau servant d'électrode supérieure (le polysilicium) ce qui générera des problèmes dans les étapes technologiques ultérieures ou des problèmes mécaniques des structures. Nous avons donc mis au point une étape de gravure chimique au TMAH (équivalent au KOH) pour éliminer sur les profils des pores les aspérités dues à la gravure DRIE, biseauter le haut des pores et permettre ainsi un meilleur remplissage du polysilicium [27]. Les échantillons sont trempés dans un bain constitué de TMAH (22% wt) et d'IPA (17%) chauffé à 75°C pendant 1 min 30 sec. Pendant cette étape, une gravure latérale se déroule jusqu'à ce que les plans cristallins du silicium (110) verticaux soient atteints. En haut des structures, des plans à forts indices (probablement (211) ou (311)) sont révélés et forment un biseau. Le résultat est visible sur les images MEB de la Figure II. 6.

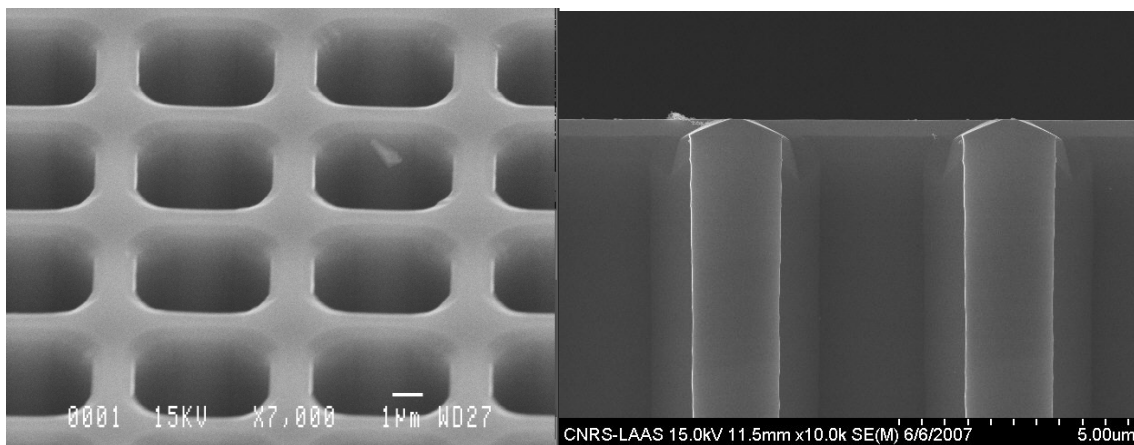


Figure II. 6. Images MEB du haut de pores de condensateurs tridimensionnels après traitement TMAH:IPA a) vue de dessus, b) en section

- Performances électriques des condensateurs à base de DRIE

Sur les réseaux de pores gravés par DRIE (facteur de forme 25) et lissés au TMAH:IPA, un dopage phosphore (POCl_3) est appliqué puis un diélectrique classique est déposé, qui comprend une couche d'oxyde de silicium thermique fine (10 nm ; $\epsilon = 3,9$) et une couche de nitrure de silicium déposé par LPCVD (10 nm ; $\epsilon = 7$). Une couche de silicium polycristallin dopé au bore (résistivité 1,5 $\text{m}\Omega\cdot\text{cm}$) rebouche les pores (voir Figure II. 7) et sert d'électrode supérieure. Après gravure du polysilicium, les contacts sont pris en surface du composant par un lift-off Ti/Au.

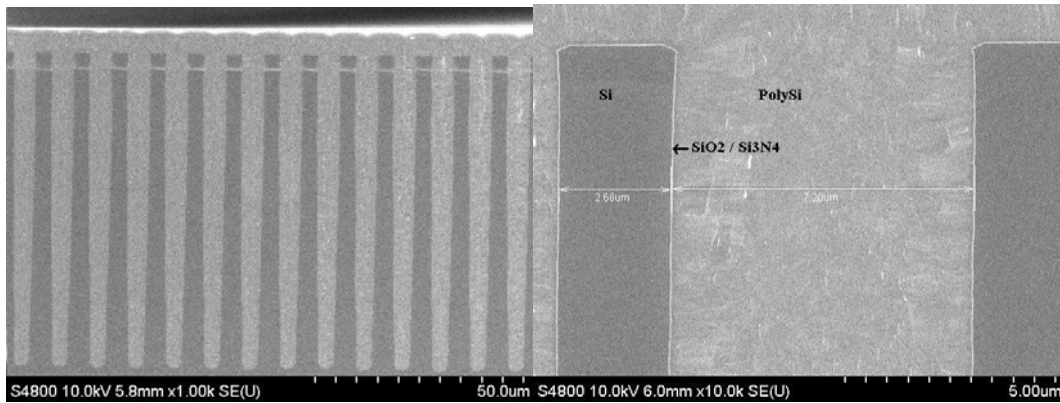


Figure II. 7. Images MEB de condensateurs tridimensionnels après dépôt du diélectrique et remplissage par du polysilicium avec lissage TMAH :IPA.

Les caractérisations électriques obtenues à l'analyseur d'impédance (Agilent 4294A) sur des condensateurs 3D de différentes tailles sont montrés sur la Figure II. 8: la densité de capacité obtenue est de $58 \text{ nF} \cdot \text{mm}^{-2}$.

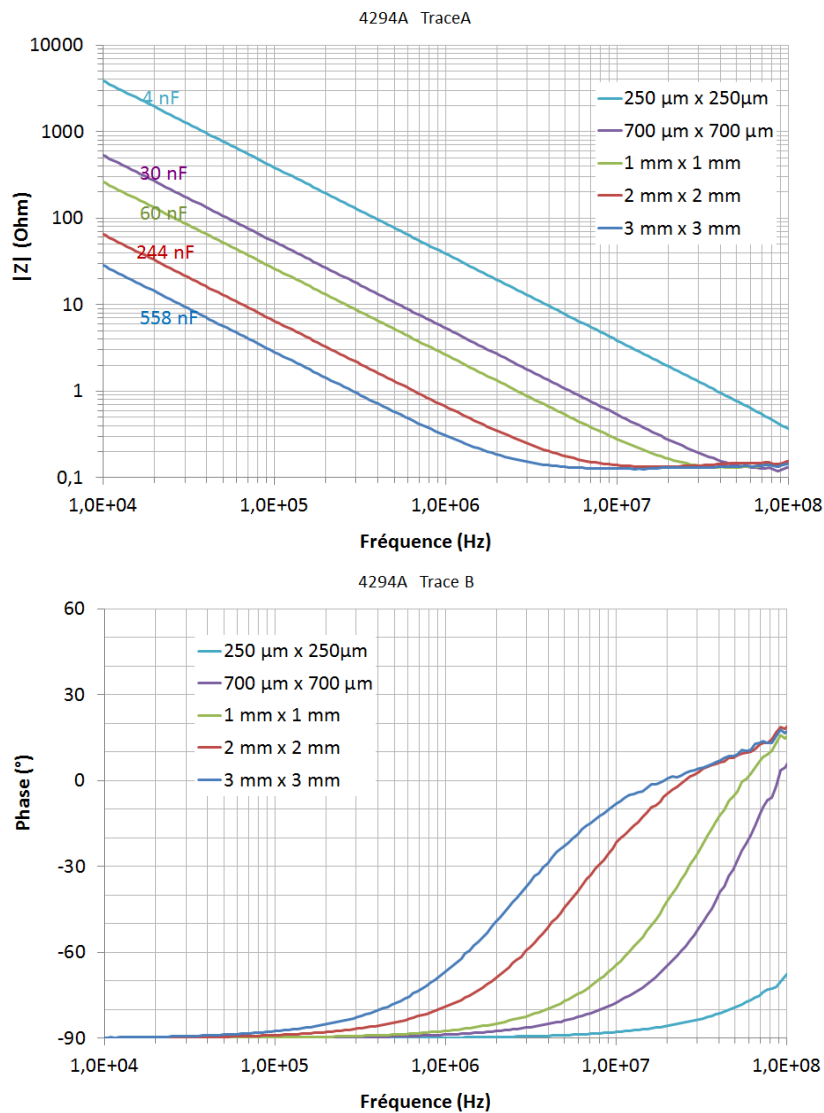


Figure II. 8. Mesures a) du module et b) de la phase de l'impédance des condensateurs 3D réalisés en fonction de la fréquence de mesure.

Par ailleurs, sur ces prototypes, deux types de substrats de silicium ont été utilisés avec des dopages initiaux différents : 10^{12} at.cm⁻³ et 10^{19} at.cm⁻³. Il s'agissait d'évaluer l'influence du dopage initial sur la résistance série des condensateurs. L'étape de diffusion phosphore (POCl_3) reste identique. Une méthode pour mesurer la résistance série des composants de façon précise a été développée sur le banc Agilent. Avec des pointes Kelvin d'une part, et en faisant en sorte que l'impédance parasite dans les retours de câbles soit minimale et calibrée d'autre part, nous pouvons nous affranchir des résistances de contact.

Il s'avère, comme le montre la Figure II. 9, que la résistance série des composants sur substrat 10^{19} at.cm⁻³ est bien plus basse ($170 \text{ m}\Omega$) que sur 10^{12} at.cm⁻³ ($370 \text{ m}\Omega$). La résistance série dépend donc du dopage du substrat et du dopage initial de la plaquette

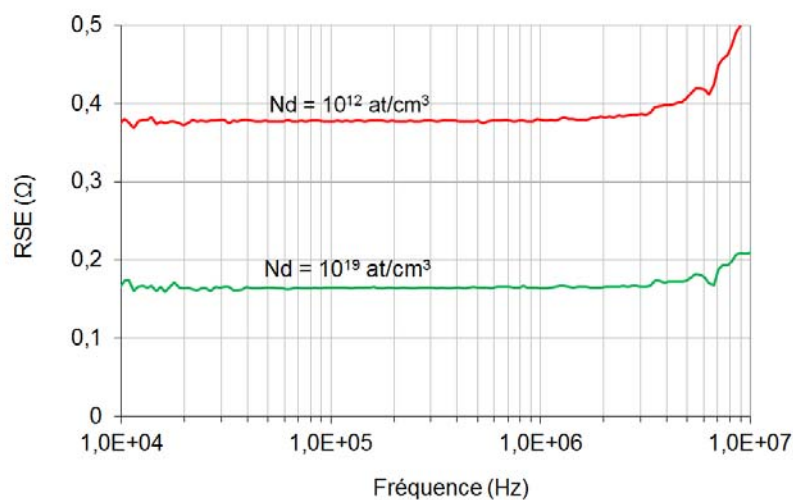


Figure II. 9. Résistance série mesurée en fonction de la fréquence des condensateurs 3D pour deux dopages de substrat différents, les substrats ayant subi une diffusion au phosphore dans les mêmes conditions.

Cependant, cette résistance ne varie pas ou peu avec la taille des condensateurs (voir plateau résistif haute fréquence de la Figure II. 8.a). Dans les prototypes réalisés, la principale contribution est la résistance d'accès (R_a) entre la zone active du condensateur et les contacts sur le silicium. Ceci est d'autant plus marqué que le dopage de surface du silicium ne donne pas des résistivités aussi basses que les métaux. Il sera nécessaire à l'avenir, à la fois de se tourner vers des électrodes métalliques ainsi que d'optimiser l'accès aux contacts pour diminuer cette résistance série.

Enfin, pour ces condensateurs, les tenues en tension des condensateurs sont de l'ordre de 20-25 V en planaire et de 12-15V en configuration 3D. Cette tenue en tension plus faible dans la configuration 3D est due aux effets de pointes en haut et en bas des pores (phénomène vérifié par des simulations sur logiciel ISE).

Une technique de gravure alternative à la gravure DRIE a été étudiée en parallèle : la gravure électrochimique du silicium dans un bain à base de HF.

d) Condensateurs 3D basés sur la gravure électrochimique

- Développement technologique : gravure électrochimique⁴

Le principe de la gravure électrochimique est le suivant : dans un bain de HF dilué, la dissolution du silicium de type n se produit avec l'application d'un potentiel anodique et la présence de charges positives dans le substrat [28]. Ces charges sont produites en illuminant la face arrière du substrat, ce qui génère des paires électrons-trous. Les trous migrent jusqu'à la surface grâce à l'application du potentiel et permettent à la réaction de se produire.

Généralement, la gravure se produit selon deux régimes : la formation de silicium poreux ou l'électropolissage. Avec une densité de courant ajustée permettant de se placer entre ces deux régimes, il est possible de former des pores à périodicité régulière et a fortiori à fort facteur de forme. Avec un masquage (résine, oxyde), si la zone de charge d'espace (ZCE) créée au contact de la solution est égale à la distance entre deux ouvertures, il y aura formation de structures bien définies, i.e. sans défaut. La résistivité du silicium (qui détermine la ZCE) est donc un paramètre critique. On ajustera l'ouverture des pores avec la densité de courant appliquée et la profondeur avec le temps de gravure.

La Figure II. 10 montre une cellule de gravure électrochimique typique.

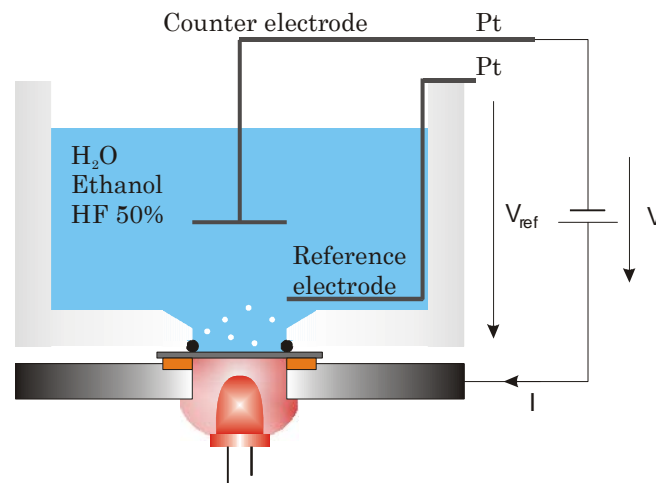


Figure II. 10. Schéma d'une cellule de gravure électrochimique du silicium © Pascal Kleimann (INL).

Le principal avantage de cette technique est qu'une fois les pores formés, le masque de gravure n'est plus nécessaire : la gravure continue donc jusqu'à la limite de diffusion. Des facteurs de forme bien supérieurs à ceux obtenus par DRIE peuvent ainsi être atteints : la limite semble se situer autour de 200 [14]. De plus, la dépendance de la gravure au facteur de forme est moins prononcée qu'en DRIE, le scalloping (effet « dentelles ») n'existe pas et la gravure latérale est moindre. Grâce à ces avantages, des tailles de pores submicrométriques sont envisageables.

⁴ Toutes les gravures électrochimiques ont été réalisées à l'INL par Pascal Kleimann, partenaire du projet CAMINO.

En collaboration avec l'équipe de l'INL, qui développe la gravure électrochimique depuis plus de 10 ans [29] [30], nous avons mis en place un procédé pour graver des pores submicroniques dans le silicium. Les études ont été initiées avec des réseaux de pores submicroniques obtenus par lithographie électronique : la tenue au bain HF dilué + éthanol de deux résines communément utilisées, a été testée : la résine en polyméthacrylate de méthyle (PMMA) et la résine ZEP520 de ZEONREX Electronic Chemicals. La résine ZEP résiste mieux au bain de gravure que la PMMA et ses flancs des motifs ont l'avantage d'être verticaux, permettant ainsi un transfert optimum dans le silicium sans perte de résolution. Quelques échantillons ont également été réalisés par la technique de nano-impression ⁵.

Pour la plupart des échantillons tests, l'introduction d'une étape de gravure par plasma permet de former des amorces dans le substrat de silicium et en conséquence d'initialiser la gravure électrochimique.

Le banc expérimental consiste en une cellule en téflon contenant un bain de Ethanol:BHF:H₂O/200:60:600. L'illumination en face arrière est assurée par une lampe infrarouge qui contrôle le courant de gravure.

Des réseaux de pores submicroniques à fort facteur de forme ont été obtenus (voir Figure II. 11) en ajustant la résistivité des substrats pour une période donnée et en optimisant les conditions de gravure à savoir l'illumination, la tension et le courant. L'objectif est de produire non seulement des réseaux denses à fort facteur de forme mais aussi des diamètres de pore les plus larges possibles (idéalement = $\frac{3}{4}$ de la période) pour augmenter la surface effective tout en gardant une structure mécanique solide.

Pour un réseau de période 2 μm (0,25 pore. μm^{-2}) avec un substrat de résistivité 1 $\Omega\cdot\text{cm}$, le meilleur facteur de forme est actuellement de 133. De même pour un réseau de période 1 μm (1 pore μm^{-2}), avec une résistivité de substrat ajustée à 0,43 $\Omega\cdot\text{cm}$, des profondeurs de 90 μm pour 0,73 μm de diamètre de pores ont été démontrées (facteur de forme 123). La Figure II. 11 montre les images MEB de ces réseaux. **Ces facteurs de forme sont largement supérieurs à ce qui peut être obtenu par DRIE.** Les vitesses de gravure sont de l'ordre de 0,7 $\mu\text{m}\cdot\text{min}^{-1}$ ce qui est comparable aux vitesses de gravure de la DRIE lorsqu'il s'agit de graver des très petites ouvertures : à titre d'exemple, pour des pores de 2 μm de large, la vitesse de gravure est de l'ordre de 1 $\mu\text{m}\cdot\text{min}^{-1}$ avec le procédé Bosch (DRIE). La technique de gravure par électrochimie semble être avantageuse par rapport à la DRIE, car elle devrait permettre d'atteindre des capacités surfaciques plus élevées tout en gardant un composant de surface (volume occupé dans le silicium minimum).

⁵ Réalisée au Laboratoire des Technologies de la Microélectronique (LTM), Grenoble.

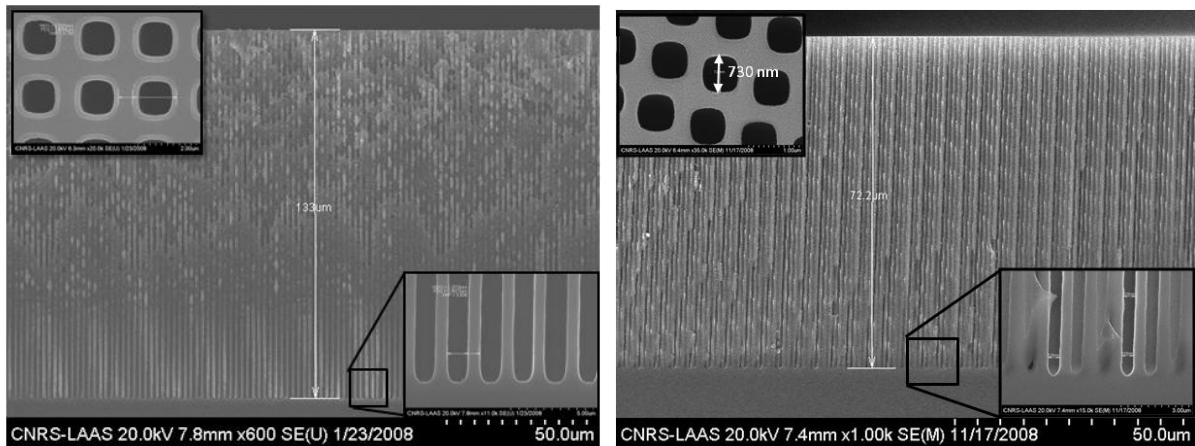


Figure II. 11. Images MEB de réseaux de pores a) de période 2 µm ; la profondeur est de 133 µm, le diamètre des pores est de 900 nm b) de période 1 µm ; la profondeur est de 72 µm, le diamètre des pores est de 730 nm. Encadrés : vue de dessus après gravure.

- Performances des condensateurs 3D à base de gravure électrochimique

Des condensateurs 3D ont été réalisés au LAAS, sur la base de plusieurs réseaux gravés électrochimiquement de densité : $0,25 \text{ pore} \cdot \mu\text{m}^{-2}$ et $1 \text{ pore} \cdot \mu\text{m}^{-2}$ (semblables à ceux de la Figure II. 11). La résistivité des substrats a été choisie à $1 \Omega \cdot \text{cm}$ et $0,43 \Omega \cdot \text{cm}$ respectivement. Après gravure, les échantillons ont subi un nettoyage RCA, suivi du dépôt diélectrique $\text{SiO}_2/\text{Si}_3\text{N}_4$ identique aux échantillons gravés par DRIE. De même, le polysilicium dopé sert d'électrode supérieure et les contacts sont composés d'aluminium en face avant et d'un eutectique en face arrière entre le substrat de Si et l'or d'un support TO8.

La Figure II. 12 montre les résultats électriques de condensateurs comprenant les réseaux les plus denses ($1 \text{ pore} \cdot \mu\text{m}^{-2}$) et gravés avec une profondeur de 90 µm.

Avec une épaisseur de diélectrique de 5 nm de SiO_2 et 10 nm de Si_3N_4 , **les densités de capacité mesurées sont de l'ordre de $700 \text{ nF} \cdot \text{mm}^{-2}$** [31]. Des fuites sont cependant observées (augmentation à basses fréquences de la capacité mesurée ainsi que de la RSE). Les mesures en $I(V)$ révèlent des courants de l'ordre de 1 à 2 $\text{mA} \cdot \text{cm}^{-2}$. Ces fuites sont dues à des pores transversaux dans le réseau qui apparaissent par claquage dans des pores très profonds : le Si_3N_4 déposé par LPCVD ne peut pas recouvrir ces pores transversaux. Ceci a été par la suite amélioré en ajustant la résistivité du substrat silicium ($0,6 \Omega \cdot \text{cm}$) et en augmentant la densité de courant. La résistivité doit en effet être assez importante pour limiter le claquage et assez basse pour permettre la formation de pores réguliers.

Enfin, la tenue en tension pour ces composants est de 8V.

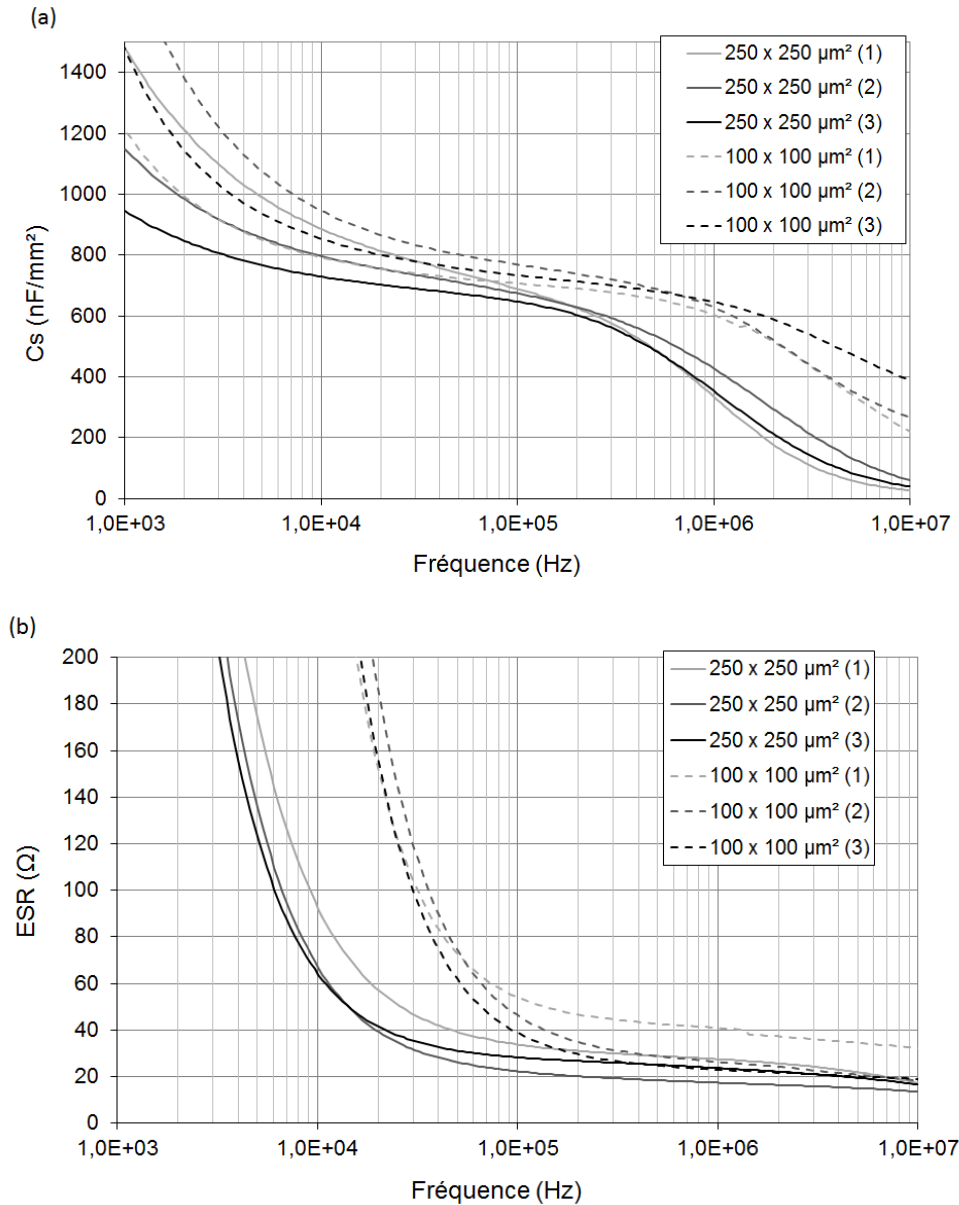


Figure II. 12. a) Capacité spécifique et b) RSE en fonction de la fréquence pour des condensateurs 3D gravés électrochimiquement (densité 1 pore/μm²).

Bilan sur les méthodes de gravure profonde du silicium

La gravure par DRIE est une technique versatile car n'importe quel type de motif peut être gravé dans le silicium. Ses limites sont l'effet ARDE (Aspect Ratio Dependent Etching en anglais) : le facteur de forme obtenu dépendra de la taille du motif, surtout si celle-ci est petite ; la sélectivité qui dépend du masque utilisé ; l'effet dentelle qu'il convient d'éliminer a posteriori. La gravure électrochimique permet de plus grands facteurs de forme. Elle est cependant moins versatile que la DRIE car la résistivité du substrat doit être ajustée ainsi que la périodicité des motifs.

En parallèle de ces études, validées par des prototypes contenant des diélectriques standards, nous avons étudié les diélectriques high- k .

e) Condensateurs 3D comprenant des matériaux diélectriques à forte permittivité

L'intégration d'un matériau diélectrique à forte permittivité dans des pores profonds et à grand facteur de forme présente le principal enjeu du projet⁶. Il est non seulement nécessaire d'obtenir une conformité parfaite du dépôt dans les pores mais aussi des propriétés électriques répondant au cahier des charges. Ceci implique une connaissance poussée des propriétés intrinsèques du diélectrique ainsi que de l'influence de sous-couches. La recherche de compromis entre conformité dans les pores et propriétés électriques doit permettre la validation de l'utilisation du nouveau matériau.

- MOCVD de ZrO₂

Les travaux ont débuté avec le dépôt par MOCVD (Metal Organic Chemical Vapour Deposition) du ZrO₂. Ce matériau est présenté comme un excellent candidat car il combine bonne permittivité ($\epsilon = 15-38$) avec forte tenue en tension ($3-10 \text{ MV.cm}^{-1}$). Il est d'autant plus prometteur si sa synthèse s'établit dans sa phase quadratique ($\epsilon_r = 38$ [32]).

La technique de MOCVD développée au LEMHE est à injection liquide directe : le précurseur Zr₂(OiPr)₆(thd)₂ dissout dans du cyclohexane est injecté dans la chambre de réaction qui est maintenue à 240°C. Le précurseur évaporé est transporté vers le substrat grâce à un flux d'azote. La décomposition du précurseur est favorisée par la température et l'ajout d'oxygène le gaz porteur.

L'équipe du LEMHE a dans un premier temps étudié l'influence des conditions de dépôt MOCVD (température du substrat, pression, fréquence d'injection, température du four de décomposition) sur les propriétés structurales des couches minces de ZrO₂ (épaisseur entre 20 et 100 nm) [33]. Les couches caractérisées par DRX sont constituées principalement d'une phase quadratique et/ou cubique selon les conditions opératoires choisies. Pour tester leur stabilité en température, un recuit sous O₂ à 950°C [34] est réalisé. La phase monoclinique apparaît systématiquement après un tel recuit (Figure II. 13), dans des proportions variables.

⁶ Ce volet a été traité en collaboration avec une équipe de chimistes du LEMHE (Laboratoire d'Etudes des Matériaux Hors Equilibre) à Orsay : Michel Andrieux, Corinne Legros qui possèdent un bâti pour la MOCVD (Metal Organic Chemical Vapour Deposition). Sylvie Schamm au CEMES (Centre d'Elaboration des Matériaux et d'Etudes Structurales) à Toulouse, a apporté son expertise en microscopie électronique en transmission pour la compréhension des interfaces pour la croissance du matériau sur silicium.

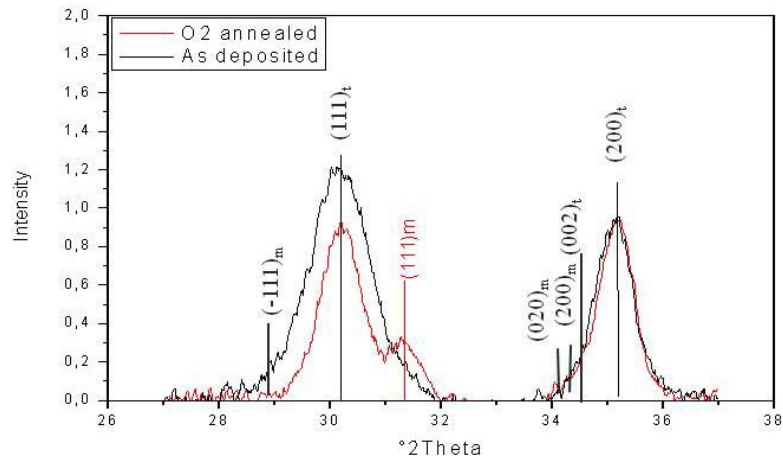


Figure II. 13. Diffractogrammes Rayons X (DRX) 2theta pour un film de ZrO_2 déposé par MOCVD sur silicium, avant et après recuit à $950^\circ C$ sous O_2 .

Les études structurales des films ont été poursuivies au CEMES, grâce à des analyses en microscopie électronique en transmission (MET). La Figure II. 14 montre des images MET d'un dépôt de ZrO_2 réalisé sur un oxyde de silicium thermique, avant et après recuit à $950^\circ C$ sous O_2 . Sur l'échantillon non recuit, il est vérifié que le dépôt est polycristallin, avec des tailles de cristallites de l'ordre de 5 à 10 nm. L'organisation plutôt colonnaire des cristaux apparaît après recuit accompagnée d'un élargissement de leur taille. La couche de silice de 12 nm d'épaisseur, n'évolue pratiquement pas après le recuit. L'analyse de la composition chimique en spectroscopie de pertes d'énergie d'électrons (EELS) montre que le rapport Zr/O est constant.

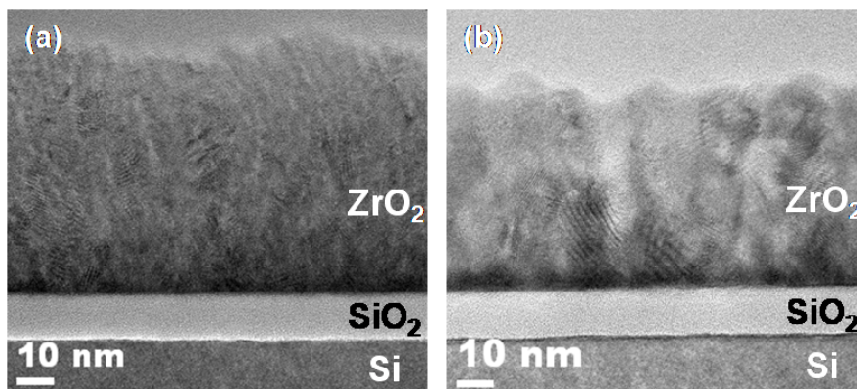
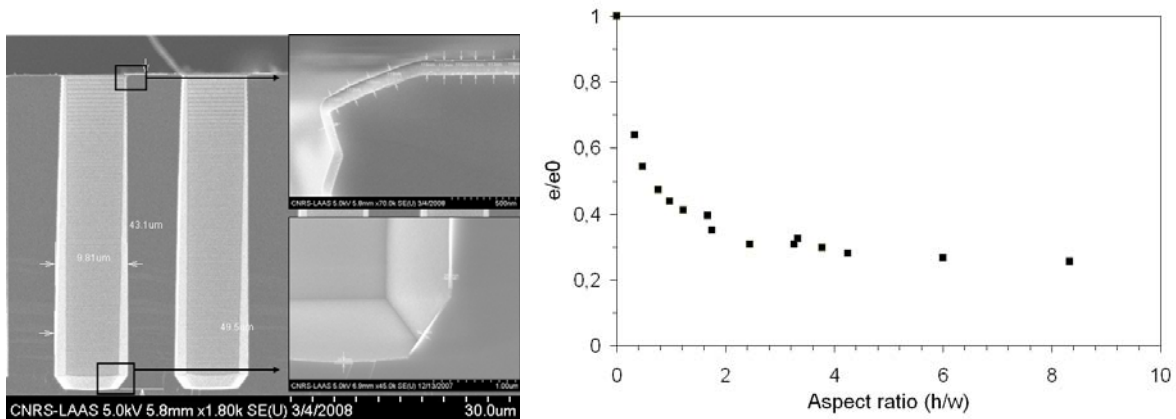


Figure II. 14. Images MET d'un dépôt de ZrO_2 en surface de plaquette (échantillon MIOS 45I) : (a) non recuit et (b) recuit.

Du point de vue de la conformité du dépôt sur les structures 3D réalisées par DRIE et lissées au TMAH, les premiers essais ont montré que les températures de dépôt ($700^\circ C$) étaient trop élevées pour pouvoir espérer obtenir des dépôts conformes dans des pores à fort facteur de forme. L'abaissement de pression (pour limiter le temps de séjour des molécules) et de la température du substrat aux alentours de $500-550^\circ C$ a permis d'améliorer la conformité sans toutefois atteindre des valeurs acceptables : l'épaisseur du dépôt chute à 30% de sa valeur en surface pour des facteurs de forme de plus de 2 (voir Figure II. 15) [35].

En l'état actuel du réacteur, il n'est pas envisageable d'abaisser la pression de travail au-delà de cette limite pour améliorer cette conformité.



En parallèle de ces études structurales, nous nous sommes penchés sur les propriétés diélectriques du matériau, extraites via des caractérisations électriques de condensateurs MIS (Metal Isolant Semiconducteur) : $C(\omega)$, $C(V)$ sur l'analyseur d'impédance, $I(V)$ sur le testeur Keithley. Il convient dans les mesures $C(V)$ sur des condensateurs MIS d'extraire les résistances parasites dues aux électrodes et aux courants de fuite ainsi que les capacités provenant des couches d'interface. Nous nous aidons pour ceci du logiciel PSpice. Avec les conditions de dépôt décrites plus haut, la permittivité du ZrO₂ extraite de ces études, pour l'échantillon non recuit est de 26 (comportant en majorité une phase quadratique) et de 22 après recuit (apparition d'une phase monoclinique). Ces valeurs trouvent une cohérence avec les valeurs rapportées dans la littérature. La permittivité de la phase quadratique du ZrO₂ étant plus grande (38) que la permittivité de la phase monoclinique (20). Par ailleurs, bien que le recuit semble améliorer les caractéristiques en fréquence des condensateurs, leur tenue en tension est dégradée: elle passe de 2,4 MV.cm⁻¹ à 1,6 MV.cm⁻¹. Une explication viendrait de la microstructure de la couche : après recuit, la taille des grains augmente et la structure est colonnaire. Ces deux caractéristiques font que de plus nombreux chemins de conduction par les joints de grain amèneraient donc à un claquage prématuré de l'empilement. Les mécanismes de conduction ont été étudiés : le comportement est de type Poole-Frenkel, mode de conduction souvent observé dans des couches épaisses comportant une forte densité de défauts structurels.

Pour le ZrO₂ déposé par MOCVD, étant donné la conformité imparfaite des dépôts, les dispositifs ont été réalisés sur des pores de faible facteur de forme (2,4). Une fine couche de SiO₂ thermique (12 nm) a également été introduite pour favoriser la tenue en tension et la minimisation des courants de fuite. Les condensateurs 3D comprenant la couche de ZrO₂ comme diélectrique ont été caractérisés et cela a permis de démontrer des capacités spécifiques de 7,5 nF.mm⁻² pour un dépôt non recuit et de 5,4 nF.mm⁻² pour

un dépôt recuit sous O_2 à $900^\circ C$, différence qui est due au passage de la phase quadratique à la phase monoclinique. Bien qu'une amélioration des densités de capacités soit obtenue par rapport à des condensateurs planaires (de l'ordre de $2 \text{ nF}\cdot\text{mm}^{-2}$), il ne sera pas possible avec les conditions actuelles de dépôt d'atteindre les objectifs visés. Un diélectrique de plus forte permittivité (type perovskite) est incontournable.

- MOCVD de $SrTiO_3$

Le $SrTiO_3$ est un candidat de choix comme diélectrique pour les condensateurs en électronique de puissance : il présente une permittivité théorique élevée: près de 300, une tenue en tension de $1,1 \text{ MV}\cdot\text{cm}^{-1}$ et contrairement aux autres diélectriques perovskites (BST, PZT), sa permittivité n'évolue pas en fonction de la tension car il n'est pas ferroélectrique. Sa température de Curie est de $-163^\circ C$ ce qui lui confère la stabilité de ses propriétés diélectriques à température ambiante et au-delà. Il a par ailleurs une structure cristalline cubique et peut croître théoriquement par épitaxie directe sur un substrat silicium avec une rotation de maille de 45° : les plans cristallins dans la direction $\langle 110 \rangle$ pour le $SrTiO_3$ (paramètre de maille $a\sqrt{2} = 5,52 \text{ \AA}$) s'accordent avec les plans $\langle 100 \rangle$ du silicium (paramètre de maille $5,431 \text{ \AA}$). La croissance épitaxiale directe de $SrTiO_3$ cristallin sur silicium a été démontrée pour la première fois par McKee et al. en 1998 [36].

Du point de vue chimique, il présente une grande stabilité thermodynamique. C'est un composé ternaire (de type $A_xB_yO_z$) ce qui implique dans le cas de dépôt CVD, un nombre de précurseurs organo-métalliques réduit par rapport à des composés plus complexes comme $BaSrTiO_3$ ou $PbZrTiO_3$ et ce qui peut faciliter l'utilisation de précurseurs hétéro-métalliques (précurseurs contenant à la fois Ti et Sr). Il se cristallise à basse température (autour de $500-600^\circ C$).

Les conditions de dépôt MOCVD ont été testées pour le précurseur hétéro-métallique $Sr_2Ti_2(thd)_4(OiBu)_8$ par le LEMHE [37]. Il s'avère qu'un dépôt à $700^\circ C$, sous pression de 100 Pa , avec une température d'évaporation du précurseur à $250^\circ C$ donne un dépôt cristallin. La Figure II. 16.a montre le diffractogramme des rayons X identifiant les phases perovskites (cubiques) du $SrTiO_3$. Les caractérisations électriques sur les condensateurs planaires contenant la couche de $SrTiO_3$ cristallisée ont permis d'extraire une permittivité de 72. Les courants de fuite sont semblables à ceux rapportés dans la littérature pour ce même matériau [38] : de l'ordre de $1 \text{ mA}\cdot\text{cm}^{-2}$ à faibles champs ($< 0,1 \text{ MV}\cdot\text{cm}^{-1}$). Le claquage apparaît autour de $0,2 - 0,3 \text{ MV}\cdot\text{cm}^{-1}$.

La conformité des dépôts dans des structures 3D, vérifiée par MEB n'est cependant pas satisfaisante comme le montre la Figure II. 16.b : l'épaisseur du dépôt chute à 20% de sa valeur en surface, dans le fond de tranchées de facteur de forme 2.

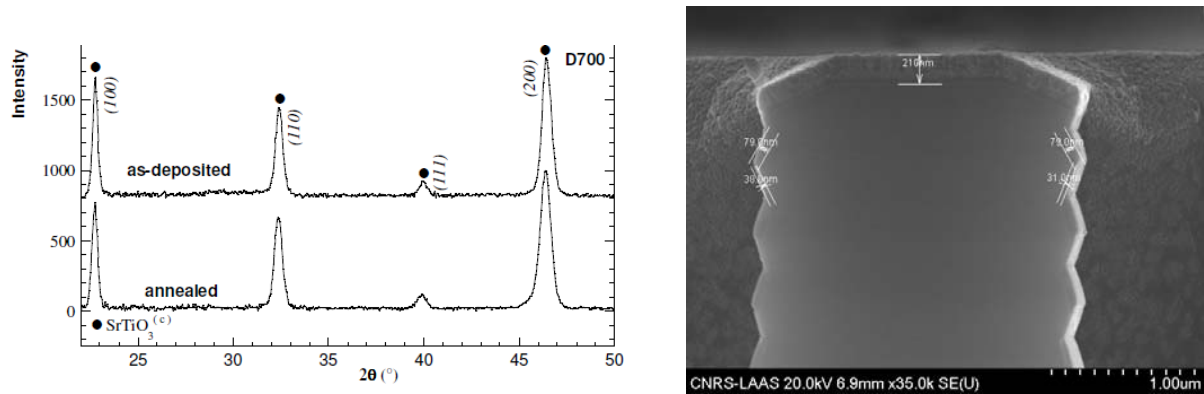


Figure II. 16. a) Diffractogramme des rayons X du SrTiO₃ et b) photographie MEB d'un haut d'une tranchée montrant la non-conformité du dépôt de SrTiO₃.

ALD de SrTiO₃

Du point de vue conformité, l'ALD s'avère être la technique la plus adéquate [39]. Elle consiste à exposer de façon alternative des gaz de précurseurs sur la surface d'un substrat. Les précurseurs sont chimisorbés et réagissent avec la surface lors de l'application de vapeur d'eau, d'ozone ou d'un plasma oxygène. Le réacteur est purgé avec un gaz inerte entre chaque impulsion de précurseur. Cette technique de croissance est auto-limitée ce qui facilite la croissance de couches conformes et d'épaisseur précise sur de grandes surfaces.

Nous avons établi une collaboration avec l'équipe du Prof. Roozeboom à l'**université de technologie d'Eindhoven**, qui travaille sur les dépôts d'oxydes complexes par ALD depuis plusieurs années. Les précurseurs utilisés sont le Ti-Star (CpMe₃Ti(OMe)₃) et Hyper-Sr (Sr(Pr₃Cp)₂DME) [40, 41]. Les premiers essais de dépôt de SrTiO₃ dans des structures 3D montrent que l'ALD permet d'obtenir une meilleure conformité que la MOCVD (voir Figure II. 17). Dans des tranchées de facteur de forme de 12,4, la perte d'épaisseur en fond de pore par rapport à la surface est de l'ordre de 50%. Ceci n'est certes pas parfait et les paramètres de l'ALD peuvent être ajustés en ce sens : durée des impulsions, alternance des cycles. Cependant, il est clair que la chimie des précurseurs joue un rôle prépondérant dans l'obtention d'une conformité parfaite.

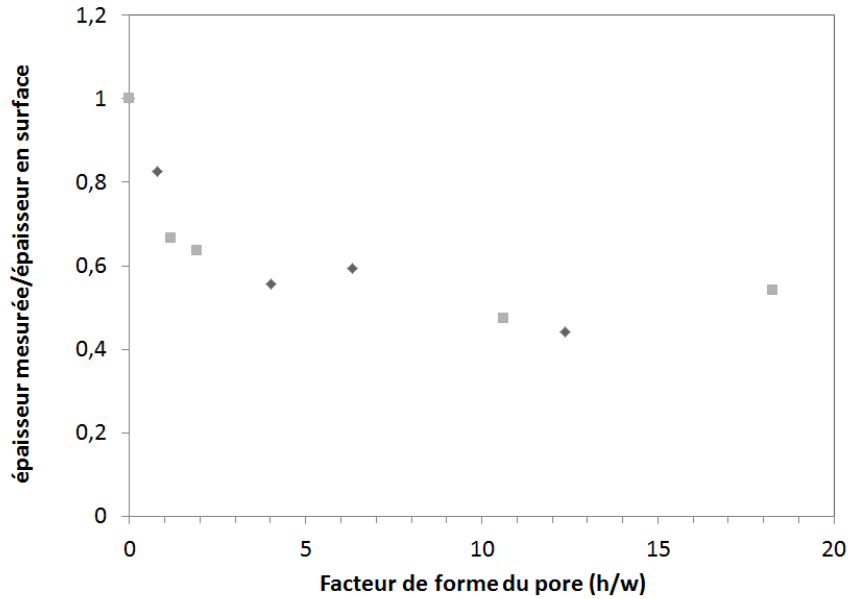


Figure II. 17. Epaisseur normalisée en fonction du facteur de forme des pores, mesures faites au MEB.

Un recuit rapide (RTA) à 500°C permet de cristalliser la couche déposée. Pour éviter toute diffusion d'oxygène dans le silicium, des sous-couches (Ru ou TiN) doivent être déposées, qui empêcheront la formation à l'interface diélectrique/silicium de silicates de plus faible permittivité. Les caractérisations électriques de ce genre de couche sont en cours.

f) Conclusions, positionnement

Le Tableau II. 2 résume les performances des prototypes réalisés avec les différentes technologies et diélectriques.

Tableau II. 2. Performances des condensateurs 3D réalisés.

Configurati on	Empilement	Facteur forme	V_{\max} (V)	C (nF.mm ⁻²)	RSE (Ω)	I_{fuite} (A.cm ⁻²)
3D- DRIE	n ⁺ -polySi/NO/n ⁺ Si	23	12-15	58	0,17	5x10 ⁻⁷ @10V
3D- EE	n ⁺ -polySi/NO/nSi	128	8	700	20	1.6x10 ⁻³ @8V
3D-DRIE	n ⁺ -polySi/ZrO ₂ */SiO ₂ /n ⁺ Si	2,4	12	7,5	> 20	10 ⁻³ @ 10V

* non recuit

Les condensateurs 3D réalisés par DRIE avec diélectriques classiques (SiO₂ / Si₃N₄) sont les composants les plus aboutis car ils présentent le meilleur compromis entre capacité spécifique et résistance série. Les condensateurs 3D réalisés par gravure électrochimique du silicium ont cependant permis de démontrer une faisabilité : en gravant des pores de taille submicronique à fort facteur de forme, il est possible d'obtenir des capacités spécifiques très élevées.

La Figure II. 18 replace ces résultats par rapport au contexte international sur les condensateurs 3D en 2009, au moment de leur publication. Nos résultats de condensateurs 3D avec la gravure électrochimique et diélectrique ON se placent légèrement au-delà de l'état de l'art démontrant ainsi le bénéfice d'aller vers des tailles nanométriques pour des pores à fort facteur de forme.

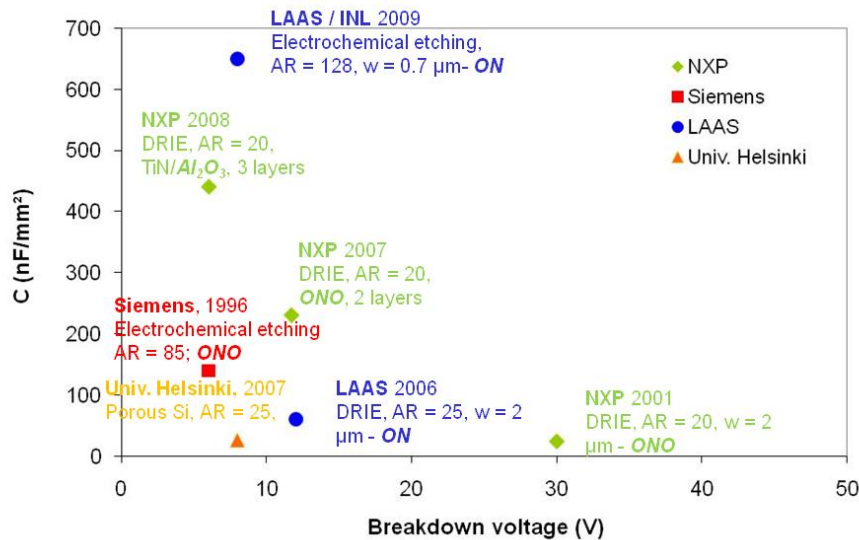


Figure II. 18. Etat de l'art sur les condensateurs haute densité (3D) en 2009 représentant les densités de capacité et les tenues en tension.

Du point de vue du diélectrique, bien que les dépôts ne soient pas faits au LAAS, nous avons acquis une connaissance sur les méthodes de caractérisations structurales et électriques de ce genre de matériau. Nous avons en effet étudié de façon poussée la structure cristalline des couches de ZrO₂ déposées par MOCVD et leur conformité dans des structures 3D en fonction des paramètres de dépôt et des post-recuits. Des études similaires ont également été initiées pour le SrTiO₃ déposé par MOCVD et plus récemment par ALD.

Le verrou principal des condensateurs 3D concerne le dépôt conforme d'un matériau high- κ dans des pores à forts facteurs de forme et cela n'a pas été complètement levé. Les premiers dispositifs révèlent la difficulté d'obtenir à la fois la conformité dans des structures 3D et de bonnes propriétés électriques associées. Le travail doit continuer sur la thématique avec des matériaux de type perovskite (comme le SrTiO₃) car pour obtenir de très fortes capacités spécifiques (1 μF.mm⁻² et plus), les permittivités des matériaux « medium- κ » (tel le ZrO₂) ne suffiront plus. Ces travaux pourront être poursuivis au LAAS grâce à l'acquisition récente d'un équipement ALD.

3. Micro-bobines avec noyau magnétique

3.1. Etat de l'art

La recherche sur les micro-composants magnétiques date de la fin des années 90 et s'inspire largement des technologies des têtes de lecture magnétiques (développées par IBM principalement). Cependant, ces technologies ont dû être adaptées pour les applications en conversion de puissance. En effet, les stratégies pour obtenir des composants magnétiques performants impliquent le développement de technologies spécifiques : conducteurs épais à forts rapports de forme et dépôt en couches minces de matériaux magnétiques performants.

Plusieurs topologies co-existent : principalement spirale, toroïdale qui présentent toutes deux des avantages et inconvénients dépendant des modes de fonctionnement : fréquence, densité de courant. Un article de C. Sullivan, publié en 2009 donne une bonne introduction à la conception de microcomposants magnétiques et une analyse des divers choix possibles sur les topologies et matériaux associés [42]. Les bobines à air sont évaluées ainsi que celles comportant un noyau magnétique. Il est acquis qu'au-delà d'une certaine fréquence : autour de 100 MHz, les valeurs d'inductance requises favorisent les bobines à air (de plus faible valeur que les bobines à noyau magnétique). Qu'il y ait présence de noyau ou non, le concepteur devra faire face à hautes fréquences aux effets de peau et de proximité dans les pistes métalliques.

Avec la présence d'un noyau magnétique, les valeurs d'inductance sont grandement augmentées mais il faudra porter une attention toute particulière au phénomène des pertes : pertes par hystérésis, pertes par courants de Foucault et pertes résiduelles dans certains cas.

a) Matériaux magnétiques

Le matériau magnétique pour les bobines de puissance doit présenter de faibles pertes à la fréquence de fonctionnement et à l'amplitude d'excitation utilisée, ce qui se traduit par la nécessité d'une forte résistivité et d'une faible coercivité (H_c). Pour des applications à fort niveau de courant, le matériau devra également présenter une valeur élevée de l'induction à saturation (B_{sat}) afin d'éviter une chute de la valeur de l'inductance avec le courant maximal dans la bobine. Dans certains cas, on pourra être amené à utiliser un circuit magnétique à entrefer réparti permettant de repousser plus loin cette valeur de B_{sat} . Ce choix se fera alors au détriment de la valeur de la perméabilité pourtant nécessaire à l'obtention de fortes inductances spécifiques. Ces propriétés magnétiques doivent être associées à une mise en œuvre simple et compatible avec les techniques de microtechnologie ainsi qu'à un faible coût de fabrication.

Le Tableau II. 3 recense des matériaux magnétiques de diverses sortes utilisés pour les micro-bobines dans la littérature : alliages métalliques ou oxydes métalliques ferromagnétiques, ferrites, matériaux nanogranulaires (nanoparticules de métal magnétique dans une matrice céramique : CoZrO par exemple). Nous noterons en particulier **le développement de matériaux ferromagnétiques en couches minces**

par dépôt électrolytique développés au LAAS pour les micro-bobines : alliage fer-nickel [43] et alliage cobalt-fer-nickel [44].

Une anisotropie magnétique peut être induite dans certains matériaux lors de leur dépôt ou par un recuit post-dépôt : l'axe facile (EA) est l'axe de principale orientation des domaines. L'axe difficile (HA) présente une perméabilité plus faible mais une coercivité plus faible également.

Tableau II. 3. Etat de l'art des matériaux ferromagnétiques et ferrites en couches minces

	B_{sat} (T)	H_c (Oe)	μ_r	ρ ($\mu\Omega cm$)	FMR* (GHz)	Ref
Matériaux ferromagnétiques						
Ni ₈₀ Fe ₂₀	0,8	0,4 (EA)	2200 (EA)	20		[45]
Ni ₄₅ Fe ₅₅	1,5	0,6 (HA)	1000	45	>0,1	[46]
CoNiFe	2,2	10	250	30		[44]
Sandwich NiFe/(FeCo)N/NiFe	2,4	0,6 (HA)	1000- 1400	50	1,5	[47]
CoZrTaB	1	0,1	1070	115	1,6	[48]
Matériaux composites: métal-oxyde						
CoZrO (nanogranulaire)	0.9	3	80	2000	3	[49]
FeAlO (nanogranulaire)	1.6	1	100	300	-	[50]
CoFeB-SiO ₂ (hétéro-amorphe)	0,8	5,6 (HA)	50	10000	3	[51]
Ferrites						
NiZnCuFe ₂ O ₃	0,46	4,1	120	10 ⁸	?	[52]

* FMR = résonance ferromagnétique.

Il est important de noter que les oxydes métalliques (hétéro-amorphes ou nanogranulaires) sont déposés par pulvérisation cathodique ce qui impose des couches fines (de l'ordre du μm). L'amélioration de l'inductance restant dépendante de l'épaisseur du noyau, pour des fréquences autour du MHz, cet apport peut ne pas être suffisant. En revanche, pour les alliages métalliques ferromagnétiques, le dépôt électrolytique permet des épaisseurs bien plus importantes (allant jusqu'à des centaines de microns). Leur point faible est leur faible résistivité qui induit des pertes importantes à hautes fréquences. Le feuilletage du noyau magnétique est donc nécessaire pour empêcher les courants de Foucault de se développer. Cependant, le feuilletage avec les micro-technologies n'est pas chose aisée. Il peut être vertical permettant ainsi sa réalisation en une seule étape mais l'épaisseur des feuillets est généralement trop épaisse pour être efficace [43]. La voie horizontale implique de nombreuses étapes qui complexifient grandement le procédé de microfabrication [53].

Quant aux ferrites, qui sont des matériaux ferrimagnétiques, ceux utilisés dans le domaine fréquentiel 10 kHz-1GHz sont les ferrites spinelles de structure cristalline cubique à face centrée : $Mn_xZn_{1-x}Fe_2O_4$ ou $Ni_xZn_{1-x}Fe_2O_4$. Leur synthèse implique un frittage à haute température (au-delà des 1000°C) ; le cuivre est ajouté à l'alliage pour abaisser cette température.

b) Réalisations de micro-bobines

Du point de vue réalisations, il existe depuis environ une trentaine d'années de nombreux exemples de composants magnétiques intégrés utilisant pour la plupart des matériaux ferromagnétiques à forte aimantation à base de fer, de cobalt ou de nickel. Nous nous proposons de recenser les réalisations significatives à base de matériaux ferromagnétiques et de présenter quelques composants intégrant des ferrites.

- A base de matériaux ferromagnétiques

Les laboratoires précurseurs dans le domaine sont le **Georgia Institute of Technology d'Atlanta** et **l'université de Berkeley**. Dès le milieu des années 90, les premiers (équipe de M.G. Allen) ont exploré de nombreuses technologies et topologies de bobines : de type solénoïde utilisant un noyau massif toroïdal de nickel-fer électrolyté [54], de type méandre pour des transformateurs et des bobines [55]. Les seconds, à Berkeley (équipe de S. Sanders) ont surtout étudié la topologie spirale encapsulée de NiFe [56].

L'**Université de Darmouth** aux Etats-Unis (équipe de C. Sullivan) développe des matériaux nanogranulaires (ZrCoO) et leur dépôt dans des structures en V pour des applications à fortes densités de puissance [42]. **L'institut Tyndall**, à Cork en Irlande est également très actif dans le domaine des composants magnétiques intégrés depuis la fin des années 90. Les bobines intégrées réalisées sont des spirales allongées, encapsulées par deux plans magnétiques jointifs. **Les premières étapes de conception ainsi que les développements technologiques : dépôt électrolytique de cuivre épais pour le bobinage et de matériaux magnétiques doux ($\text{Ni}_{80}\text{Fe}_{20}$, $\text{Ni}_{45}\text{Fe}_{55}$) feuilletés pour le noyau magnétique ont fait l'objet de mes travaux de thèse (1999-2003) [57-60].**

En France, le **Leti-CEA** développe des micro-bobines à base de NiFe feuilleté déposé par PVD [61]. Dès la fin des années 90, le **LAAS, en collaboration avec le Laboratoire d'Électrotechnique (G2ELab)** de Grenoble, a mené des développements sur les technologies à mettre en œuvre pour la réalisation d'inductances de type spirale, méandre ou solénoïde avec matériau ferromagnétique [43]. Des optimisations de topologies et réalisations technologies pour des bobines à air ont également été réalisées [62].

Enfin, les sociétés qui ont fait des développements R&D concernant les bobines à noyau ferromagnétique et leur intégration au sein d'un convertisseur DC-DC sont : **Fuji Electric**s au Japon [63], **Intel Research** aux USA [48] et **Enpirion**, précédemment citée.

- A base de ferrites

La réalisation de composants magnétiques intégrés sur silicium comprenant des ferrites est difficile du fait de la nécessité d'un frittage à haute température (minimum 900°C) non compatible avec les procédés standards sur silicium. Dans la plupart des travaux publiés concernant ce genre de micro-bobines, les ferrites sont sous la forme de composites (polymère/poudre de ferrite) non frittés [64-66].

Cependant, on peut noter que certaines équipes étudient la mise en œuvre de ferrites frittés au sein d'une micro-bobine. Dans le cas où une étape de frittage est effectuée, elle se fait avant le dépôt des conducteurs. **Toshiba Corporation Semiconductor** au Japon [52], a réalisé des bobines spirales planaires avec des couches de ferrites sérigraphiées. Seule la couche inférieure est frittée dans une gamme de température de 900-1000°C. La couche supérieure est seulement durcie (recuite) ce qui lui confère des propriétés magnétiques dégradées.

A l'**Université d'Alabama, USA**, plusieurs techniques de dépôt pour la couche de ferrite ont été explorées, notamment l'électrophorèse et la pulvérisation cathodique DC (1 μm d'épaisseur) [67, 68]. Cette dernière méthode est complexe et requiert tout de même une étape à haute température : ils déposent une multi-couche d'oxydes métalliques (CuO, ZnO ...) et appliquent une température de 800°C pour former le ferrite à la bonne composition : $\text{Ni}_{0,5}\text{Zn}_{0,3}\text{Cu}_{0,2}\text{Fe}_2\text{O}_4$. La bobine est réalisée ensuite au-dessus du film ferrite. A l'**université de Shinshu**, l'équipe de T. Sato développe différents modes de dépôt de ferrites basses températures : par spin-spray et sérigraphie [69].

- Composants hybrides: noyau reporté

Lorsque la synthèse du matériau magnétique n'est pas compatible avec les procédés sur silicium (températures, épaisseurs...etc) et que le noyau est reporté a posteriori sur les pistes métalliques d'une micro-bobine, on parle d'intégration hybride. Cette intégration, avec quelques variantes est développée à l'**université de Heriot Watt**, pour la réalisation d'inductances solénoïdes avec des noyaux ferromagnétiques [45, 70], à l'**EPFL** à Lausanne où les ferrites sont usinés par une méthode d'érosion par poudre [71] ou encore à **Georgia Tech**, où la réalisation de noyaux magnétiques toroïdaux feuilletés est faite en parallèle puis reporté sur un bobinage [53].

c) Performances et conclusions

Le Tableau II. 4 résume les performances de quelques micro-bobines sélectionnées dans la littérature.

Tableau II. 4. Etat de l'art des bobines intégrées

INSTITUTION [REF]	Configurat ion	Matériau magnétique	L (nH)/ (nH.mm ⁻²)	I _{sat} (A)	R _{DC} (Ω)	f _{max} (MHz)	Facteur qualité (Q)
Tyndall [72]	Spirale	Ni ₄₅ Fe ₅₅	160 / 20	0,5	0,19	20	5 @ 10 MHz
Leti-CEA [61]	Toroidale	(NiFe/SiO ₂) _{x16}	500 / 16	0,18	0,95	10	20 @ 2MHz
Toshiba Corp. [52]	Spirale	Ferrite	1500 / 43	0,5	0,67	--	70 @ 5MHz
Univ Shinshu [69]	Spirale	Ferrite	10 / 13	2	1	100	20@100MHz

Généralement, les performances évaluées sont : l'inductance en valeur absolue et également surfacique ($\text{nH}\cdot\text{mm}^{-2}$) pour comparaison, le courant de saturation, la fréquence maximum d'utilisation, la résistance série DC avec le rapport L/R_{DC} donnant une idée du comportement en puissance de la bobine et le facteur de qualité ($Q = \omega L/R_{\text{AC}}$) donnant une indication du comportement en fréquence de la bobine. Un article de revue publié récemment par l'équipe de Tyndall [73] propose également la densité d'énergie comme facteur de mérite supplémentaire pour comparer les micro-bobines de la littérature.

A ce jour, les inductances spécifiques sont limitées à quelques dizaines de $\text{nH}\cdot\text{mm}^{-2}$ et les résistances séries (DC) dépassent largement les $100 \text{ m}\Omega$ requis. D'autre part, les pertes globales (non indiquées dans le tableau récapitulatif) sont un verrou majeur freinant l'intégration de bobines sur silicium. Ces pertes sont liées soit à des conducteurs trop fins ou trop proches les uns des autres, soit à des matériaux magnétiques moins performants que les traditionnels ferrites. Plusieurs types de matériaux et voies de synthèse associées semblent cependant gagner en maturité, à savoir :

- les matériaux ferromagnétiques feuilletés déposés soit par dépôt électrolytique, soit par pulvérisation cathodique,
- les matériaux nanogranulaires
- les ferrites par sérigraphie ou techniques alternatives (spin spray, électrophorèse) sur substrat silicium.

L'intérêt renouvelé que porte les industriels à ces technologies (IBM, Intel, Toshiba) ainsi que la fabrication par des sociétés comme Enpirion ou Fuji Electric de bobines semi-intégrées prouvent que les micro-composants magnétiques pour la conversion de puissance devraient dans les prochaines années passer du monde de la recherche à celui de la production.

3.2. Réalisations de micro-bobines au LAAS

L'équipe développe des micro-bobines pour les applications de puissance depuis plusieurs années. Depuis 2009, l'environnement industriel dans lequel nous évoluons avec le projet PRIIM (porté par la société IPDIA) nous impose une vision nouvelle sur le sujet des micro-bobines : une approche bas coût et une facilité d'intégration sont essentielles pour un transfert immédiat dans l'industrie.

a) Conception

La conception des micro-bobines est conditionnée par le cahier des charges du circuit dans lequel celle-ci est placée. La méthodologie de conception est la suivante : en partant du cahier des charges (mode de fonctionnement) de l'application, les valeurs de l'inductance et de pertes admises sont extraites. Avec un choix de topologie (toroïdale ou spirale), les caractéristiques des matériaux utilisés sont implémentées et des boucles d'optimisation sont effectuées sur la géométrie pour trouver un optimum acceptable répondant au cahier des charges. La technologie est toujours à relier à cette optimisation (par la mise en place de bornes) pour ne pas risquer de se retrouver avec une géométrie irréalisable.

Dans un convertisseur DC/DC abaisseur de tension fonctionnant en conduction continue, la valeur de l'inductance fixe l'ondulation de courant selon la relation :

$$\Delta I_L = \frac{D(1-D) \cdot V_{in}}{f \cdot L}$$

où D est le rapport cyclique (V_{out}/V_{in}), f la fréquence de fonctionnement, L l'inductance de la bobine.

Il est évidemment difficile de prévoir le niveau de pertes permis dans la bobine car de nombreuses pertes sont à calculer dans le système, en particulier les pertes par commutation et conduction des interrupteurs de puissance, les pertes dans le condensateur de sortie. Cependant, pour un rendement supérieur à 90%, il semble raisonnable de fixer les pertes maximales dans la bobine à 10% des pertes totales. Une contrainte supplémentaire est donnée par l'empreinte maximale allouée à la bobine. Le volume de matériau magnétique permettant le stockage d'énergie sera dicté par l'induction à saturation maximale qu'il peut supporter et sa perméabilité.

Avec ces indications de base, plusieurs voies de dimensionnement sont possibles :

Pour un pré-dimensionnement où de nombreux paramètres géométriques de la bobine sont explorés en vue d'un optimum, il est clair que les simulations par éléments finis ne sont pas adaptées car trop longues. Nous nous basons donc pour les pré-dimensionnements sur des expressions analytiques de base :

Pour l'inductance,

$$L = \mu_0 \mu_r N^2 \frac{A_e}{l_{mag}} \quad [\text{H}]$$

où N est le nombre de spires ; A_e , la section magnétique du noyau ; l_{mag} , le parcours magnétique moyen.

Ces derniers sont calculés en fonction de la géométrie du noyau.

Il convient de s'assurer, pendant le dimensionnement qu'il n'y a pas saturation du noyau magnétique.

L'induction maximale B_{max} doit être inférieure au B_{sat} du matériau magnétique. Elle est calculée selon :

$$B_{max} = \frac{L \cdot I_{max}}{N \cdot A_e} \quad [\text{T}]$$

Pour l'évaluation des pertes, la résistance DC s'extrait facilement des paramètres géométriques de la bobine. Pour ce qui est des pertes AC dans les conducteurs, le calcul de l'épaisseur de peau selon :

$$\delta = \sqrt{\frac{\rho}{\pi f \mu_0 \mu_r}} \quad [\text{m}]$$

permet de déduire la résistance effective à une fréquence donnée.

$$R_{AC} = \frac{\rho \cdot L}{S} = \frac{\rho \cdot L}{2\delta(w_c + t_c - 2\delta)} \quad [\Omega]$$

où w_c et t_c sont la largeur et l'épaisseur du conducteur respectivement. Il est à noter que les effets de proximité ne sont pas ici pris en compte et ils peuvent s'avérer importants dans des structures planaires où la densité est recherchée.

Les pertes dans le bobinage peuvent alors s'exprimer selon la relation suivante :

$$P_{spires} = R_{DC} I_{DC}^2 + R_{AC} \Delta I_{L_rms}^2 \text{ [W]}$$

Les pertes dans le noyau magnétique sont quant à elles décomposées en :

- Pertes par courants de Foucault :

$$P_{eddy} = C \frac{f^2 B^2}{\rho} \text{ [W]}$$

où C est un coefficient dépendant de la taille du matériau ainsi que de la forme du signal alternatif.

- Pertes par hystérésis (dissipation dans cycle hystérésis d'une courbe BH)

$$P_{hys} = f \cdot P_{cycle} = f \cdot V \oint H dB \text{ [W]}$$

où V est le volume du matériau magnétique.

Avec la somme des pertes totales, il est alors possible de calculer le rendement de la bobine :

$$\eta = \frac{P_{out}}{P_{out} + P_{spires} + P_{eddy} + P_{hys}}$$

Ces équations de base donnent une première vision sur le dimensionnement de la micro-bobine et son adéquation au cahier des charges. Elles ne sont cependant pas suffisantes. D'autres effets parasites interviennent dans les micro-bobines et doivent être pris en compte comme les effets de proximité mentionnés plus haut ou encore les couplages capacitifs entre spires et avec le substrat. Les simulations par éléments finis sont alors utiles pour visualiser ces effets fortement liés aux géométries et aux champs électromagnétiques générés dans les structures.

Nous nous appuyons pour cela sur le logiciel Maxwell 3D d'ANSOFT pour des structures 3D par définition complexes, comme une bobine toroïdale par exemple.

Enfin, pour répondre à la nécessité de prise en compte des effets capacitifs dans les dimensionnements de micro-bobines, un outil de simulation couplant calculs analytiques et simulations électromagnétiques a été développé au laboratoire par Philippe Artillan au cours de sa thèse : le logiciel SpiralC [74]. Dans ce logiciel, la méthodologie est hybride : un modèle analytique basé sur une approche PEEC (Partial Element Equivalent Circuit) adaptée aux symétries cylindriques, fait appel à des simulations sur COMSOL Multiphysics : électrostatique pour générer la matrice de capacités/conductances et magnéto-quasi-statique pour générer la matrice d'inductances/résistances. Les problèmes sont résolus en 2D ou 2,5D. La méthode a été validée par la confrontation des résultats à ceux obtenus par le biais d'une simulation électromagnétique 3D « full-wave » (logiciel HFSS) [75]. Par rapport aux simulations classiques, la méthode s'avère aussi précise dans la prédiction des résonances mais surtout bien plus rapide. Elle peut donc être utilisée comme outil de conception pour des bobines présentant des symétries cylindriques (cas des spirales) avec modification des paramètres géométriques d'entrée.

b) Stratégie : le choix d'une bobine toroïdale avec noyau en ferrite

Dans le cadre du projet PRIIM, et dans la plupart des projets auxquels nous avons participé, le convertisseur DC-DC envisagé est un simple abaisseur de tension (Buck) fonctionnant autour de 5-10 MHz, de puissance 1W avec un courant de sortie de l'ordre de 0,5 à 1A. Ainsi, pour une ondulation de 30% du courant de sortie, à la fréquence de 6 MHz, avec $V_{in} = 3V$ et $D = 0,5$; la valeur de l'inductance requise vaut alors 500 nH. La surface d'empreinte doit être la plus petite possible : dans un premier temps, elle est fixée à 3 mm², ce qui implique environ 150 nH.mm⁻² d'inductance spécifique.

Sur la base du cahier des charges du projet PRIIM et compte tenu des technologies existantes au laboratoire (CoNiFe, cuivre épais), une structure spirale a été étudiée avec le matériau magnétique entourant les spires en cuivre. L'étude menée soit avec le logiciel SpiralC, soit par simulations électromagnétiques (Maxwell 3D) montre que pour une bobine avec la bonne valeur d'inductance et ne présentant aucune perte à la fréquence souhaitée, il est impossible de travailler avec une couche unique de matériau magnétique comme le CoNiFe. Le feuilletage est obligatoire pour éviter les courants de Foucault.

La technique de feuilletage étant compliquée et consommatrice d'étapes technologiques augmentant le coût total du procédé de fabrication, nous nous sommes tournés vers une intégration alternative basée sur des matériaux ferrites de type NiZn.

Cette voie nous a semblé prometteuse car les ferrites de type NiZn, présentent une perméabilité et une induction à saturation satisfaisantes (bien qu'inférieures à celles d'un alliage ferromagnétique) et une résistivité très élevée. Cette dernière caractéristique permettra la montée en fréquence d'utilisation et évitera l'utilisation d'isolant épais (comme la SU8) nécessitant de longs procédés de développement.

La structure de bobine envisagée est une bobine toroïdale avec le noyau magnétique entouré de conducteurs comme montré sur la Figure II. 19. Un pré-dimensionnement est réalisé, qui permet d'évaluer analytiquement, pour une valeur d'inductance à atteindre et une surface de bobine imposée : les dimensions du noyau magnétique et du conducteur, le nombre de spires, les résistances DC et AC (effet de peau seul) du conducteur et l'induction maximale dans le circuit magnétique. Nous fixons l'épaisseur maximum du ferrite à 150 μm pour permettre d'intégrer des conducteurs épais (de 50 μm d'épaisseur) sans trop compromettre l'épaisseur totale de la bobine. Ces premiers calculs sont effectués avec des propriétés de ferrite probables ($\rho = \text{infini}$, $\mu_r = \text{variant de } 60 \text{ à } 200$; $B_{\text{sat}} = 0,2 - 0,3 \text{ T}$). Ils montrent que la technologie envisagée pourrait répondre au cahier des charges. Ne sont pas pris en compte dans ce pré-dimensionnement : les pertes par courants de Foucault (pressentis négligeables), par hystérésis et pertes résiduelles dans le noyau magnétique ; les effets de proximité entre les conducteurs (variation de résistance) et les couplages capacitifs.

Nous évaluerons les performances complètes de la micro-bobine par des simulations par éléments finis lorsque les caractéristiques magnétiques des ferrites employés seront précisées.

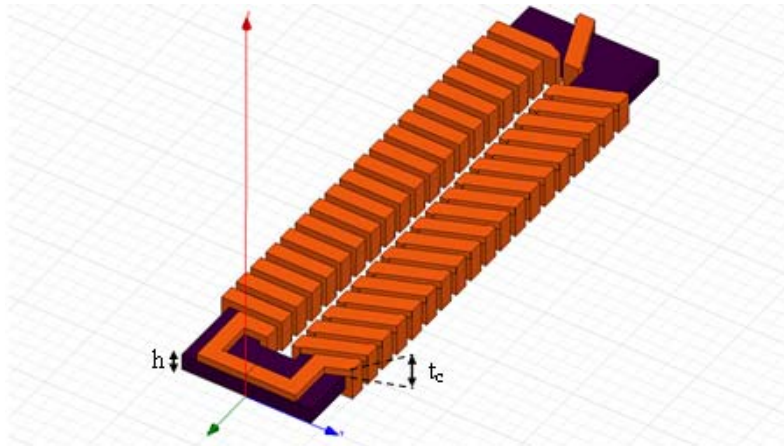


Figure II. 19. Structures d'une bobine toroïdale.

c) Premières réalisations

Pour avoir accès rapidement à des ferrites performants et adaptés à nos applications, **j'ai établi une collaboration avec une équipe⁷ du LAPLACE à Toulouse (par le biais de la plate-forme nationale 3DPhi)** qui travaille déjà sur ces matériaux pour des dispositifs discrets (technologies hybrides). Une poudre à base d'oxydes métalliques ($\text{NiZnCuFe}_2\text{O}_4$) dopée au cobalt [76] a été synthétisée. L'ajout de cobalt permet d'augmenter la fréquence de fonctionnement du ferrite et de baisser son niveau de pertes (200 mW.cm^{-3} à 25 mT et $1,5 \text{ MHz}$).

La poudre est pressée sous forme d'un tore (13 mm de diamètre extérieur) puis frittée (entre 800 et 1000°C) pour obtenir dans un premier temps les caractéristiques magnétiques de l'alliage. Au magnétomètre (Vibrating Sample Magnetometer, VSM), l'induction à saturation a été mesurée à $0,25 \text{ T}$, la coercivité à $1,25 \text{ Oe}$. Nous avons choisi une composition pour laquelle la perméabilité est de l'ordre de 65 et la fréquence de résonance du matériau est au-delà de 25 MHz . Ces caractéristiques ont été jugées satisfaisantes pour la fabrication de micro-bobines.

Nous avons ensuite dégagé une voie possible d'intégration de ces ferrites : à partir de la poudre, une pâte sérigraphiable est formée. Divers essais de sérigraphie sur silicium sont en cours, suivis de différents cycles de frittage permettant à la fois de valider les empilements (adhérence, budgets thermiques des diverses couches) mais également les propriétés magnétiques (par mesures au VSM). **Une étudiante en thèse (Yen Mai Nguyen) a débuté en octobre 2011** sur ce sujet. Les premiers résultats montrent qu'il est possible de sérigraphier sur silicium des ferrites et former ainsi des noyaux pour micro-bobines.

En parallèle, nous nous intéressons à une voie alternative consistant à intégrer des couches commerciales de ferrites (de la société ElectroScience, ESL) pour des micro-bobines toroïdales. Cela consiste en une découpe précise par micro-fraisage du noyau dans les films de ferrite (ESL 40010, 40011 et 40012). Ces films à l'achat étant monocouche ($70 \mu\text{m}$ d'épaisseur), nous avons formé des bicouches où 2 films sont

⁷ Vincent Bley, Zarel Valdez, Céline Combettes de l'équipe « Matériaux Diélectriques dans la Conversion de l'Energie »

collés avant découpe. Les micro-noyaux découpés sont frittés puis un assemblage sur silicium permet de finaliser la micro-bobine (avec pistes métalliques lithographiées sur silicium, connectées par micro-bondings) comme le montre la Figure II. 20. Cette méthode permet d'une part d'éviter des budgets thermiques trop élevés pour des composants sur silicium et d'autre part de caractériser en fréquence les matériaux magnétiques utilisés. La taille des noyaux est toujours inférieure à 3 mm^2 et les ferrites bi-couches se révèlent être les moins fragiles pour ce genre de procédé.

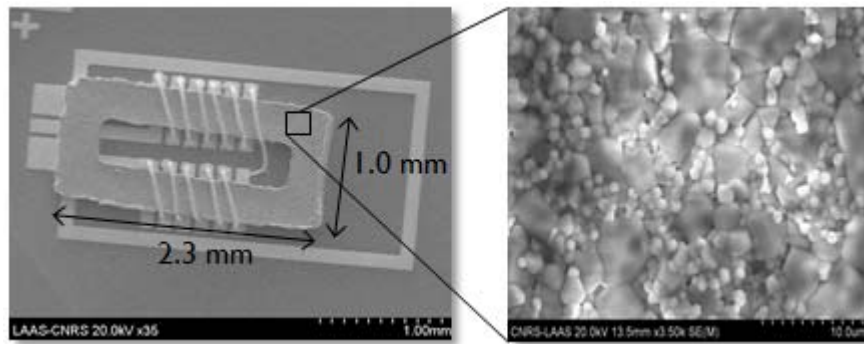


Figure II. 20. Photographie MEB d'une micro-bobine assemblée avec noyau en ferrite ESL 40010 de $140 \mu\text{m}$ d'épaisseur.

Que ce soit pour les poudres de ferrites sérigraphiées sur substrat silicium ou les films commerciaux assemblés, les premiers résultats sont prometteurs du point de vue de la réalisation technologique : il est en effet possible d'obtenir des tores de très petite dimension ($< 3 \text{ mm}^2$) sur des épaisseurs de l'ordre de $150 \mu\text{m}$. Cependant, de nombreux paramètres restent à régler pour aboutir à un démonstrateur. Les cycles de frittage sont notamment critiques car ils déterminent les propriétés magnétiques du film (perméabilité, induction à saturation, résistivité) mais également leurs propriétés mécaniques (adhérence, fragilité, taux de rétraction).

Du point de vue performances électriques, les premières bobines tests assemblées avec les films ESL 40010 et 40011 donnent, à 6 MHz, une inductance spécifique de $126 \text{ nH}\cdot\text{mm}^{-2}$ et $320 \text{ nH}\cdot\text{mm}^{-2}$ respectivement [77]. Il reste à réaliser ces bobines en utilisant le procédé micro-technologique complet, avec pistes conductrices épaisses comme le prévoit le pré-dimensionnement et à caractériser les pertes dans les matériaux et la structure.

4. Vers une intégration monolithique

4.1. Etat de l'art : intégration on-chip (SoC) ou in-package (SiP)

Les technologies présentées précédemment doivent être considérées en regard des objectifs d'intégration du convertisseur. Plusieurs possibilités d'implémentation peuvent et ont été proposées par les équipes de recherche ou les industriels.

Pour un niveau maximum d'intégration menant au Power SoC, les composants passifs sont intégrés sur la puce active contenant les interrupteurs de puissance (MOSFETs), les circuits analogique/numériques pour

la régulation de la tension, le conditionnement du signal et le contrôle ou le diagnostic. Comme mentionné dans l'introduction, l'augmentation de la fréquence de commutation permettant l'intégration des composants passifs ne peut pas être décorrélée d'une évolution des topologies des convertisseurs et des composants qui les constituent. De nouvelles topologies de convertisseurs sont envisagées, qui travaillent à très haute fréquence (autour ou au-delà de 100 MHz), généralement basés sur des technologies CMOS (traditionnellement pour les applications numériques rapides). Une première possibilité consiste à réaliser des convertisseurs à commutation multiphasés pour lesquels plusieurs composants passifs de plus petite valeur sont entrelacés. Suivant ce modèle, plusieurs équipes de recherche ont développé des convertisseurs complètement intégrés, i.e. avec les composants passifs sur puce. Par exemple, un convertisseur buck synchronisé entrelacé (2 niveaux) avec $V_{in} = 2,8$ V; $V_{out} = 1,8$ V, travaillant à 45 MHz, et un courant de sortie de 200 mA a été réalisé par **Freescale et l'Université d'Arizona State University** [78]. Les composants passifs sont fabriqués dans les niveaux de passivation du circuit de puissance. Une équipe de **l'université de Leuven** [79] a quant à elle présenté un convertisseur 4 phases de 800 mW fonctionnant à 225 MHz ($V_{in} = 2,6$ V; $V_{out} = 1,2$ V), où 4 bobines (4 nH) et 2 condensateurs (12 nF) sont fabriqués directement sur la puce CMOS. Malgré des densités de puissance limitées (en général $200 \text{ mW} \cdot \text{mm}^{-2}$) et des rendements entre 60% et 80%. Ces convertisseurs ont le mérite de présenter une solution d'intégration monolithique complète.

Des topologies de convertisseurs alternatives préfigurant un très bon niveau d'intégration sont les convertisseurs à capacités commutées. Le fait que ces convertisseurs ne comprennent pas de bobine peut être un avantage. D'autre part les fréquences de fonctionnement peuvent facilement atteindre 100 MHz et plus grâce aux technologies CMOS. Les condensateurs nécessaires sont de faible valeur et peuvent donc être de type MOS ou MIM. Combiné à de l'entrelacement, des densités de puissance de $1 \text{ W} \cdot \text{mm}^{-2}$ et des rendements de 80% ont été démontrées par **l'université de Californie à Berkeley** [80]. Des condensateurs 3D peuvent également être implémentés. Cela a été récemment démontré par le centre de recherche d'**IBM T.J. Watson** grâce à leur technologie DRAM: le convertisseur ($V_{in} = 2$ V; $V_{out} = 1$ V) qui contient donc un condensateur de $200 \text{ fF} \cdot \text{mm}^{-2}$ permet d'obtenir des densités de puissance de près de $2.1 \text{ W} \cdot \text{mm}^{-2}$ [81].

Pour une intégration efficace, il est nécessaire de considérer le nombre d'étapes additionnelles par rapport au procédé de base des composants actifs ainsi que la compatibilité des procédés.

Si les condensateurs sont fabriqués en même temps que le MOS (front-end), il faut maîtriser précisément les bilans thermiques car les étapes du condensateur ne doivent pas influencer les zones de diffusion des MOS.

Si les composants passifs (condensateurs et bobines) sont placés dans les couches métalliques supérieures (back-end), les températures ne devront pas dépasser les 450°C , qui correspondent aux températures typiques des lignes back-end.

Du point de vue coût de fabrication, il est à noter que les technologies front-end (CMOS et DRAM) sont très chères. Elles ont cependant le mérite d'être déjà disponibles et donc utilisables directement par les industriels sans l'obligation d'implémenter des nouveaux matériaux exotiques pour ces filières.

Dans les technologies back-end, si les composants passifs sont d'assez faible valeur, il semble que le nombre d'étapes additionnelles pour implémenter ces composants passifs soit minime. Les coûts de fabrication relatifs à ces procédés restent alors raisonnables.

Pour des systèmes de puissance nécessitant des composants passifs de plus forte valeur (puissance > 1W) ou pour des questions de coût de technologie, il peut être intéressant de **considérer un niveau d'intégration plus faible** où les composants passifs sont réalisés sur un substrat à part. Le terme IPD (Integrated Passive Devices en anglais) s'est d'ailleurs largement répandu pour désigner ce genre de substrat comprenant les passifs seuls. Pour réaliser le système (in-package), la puce active peut être assemblée par flip-chip sur la puce passive. Une plus grande flexibilité des procédés est alors permise et la compatibilité CMOS lors de la fabrication n'est plus requise.

Dans la suite logique de l'idée d'IPD, l'intégration des composants passifs dans le substrat servant d'interposeur semble s'imposer comme solution d'intégration [82, 83]. La réduction des interconnexions est alors très avantageuse. Des démonstrations de convertisseur DC-DC conçu de cette façon ont été faites par **l'université de Tokyo** [84, 85] et par une équipe de **Philips Research** [86]. Il est même possible d'envisager de réaliser les TSV (Through Silicon Via) et les condensateurs simultanément en utilisant la même technologie. Bien que les densités de capacités restent limitées, ce genre de solution est en évaluation à ST Microelectronics, IBM [87] (voir Figure II. 21.a) ou IPDIA (voir Figure II. 21.b). Les coûts d'intégration et la fiabilité de ce genre de technologie sont avantageux.

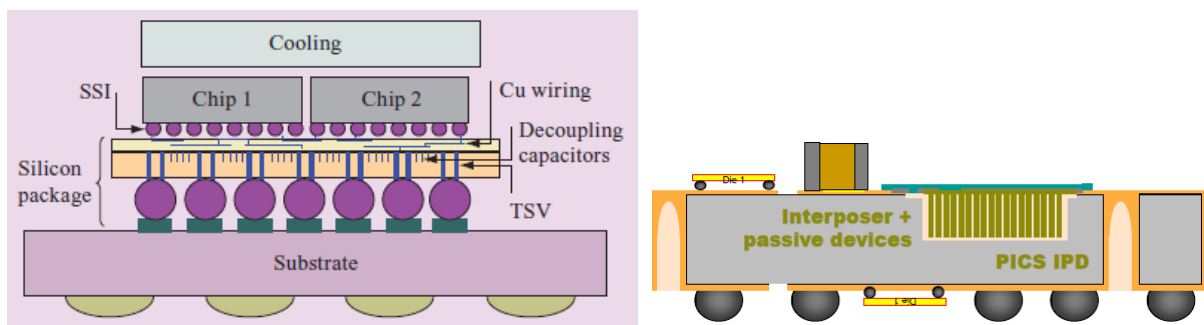


Figure II. 21. a) Packaging 3D proposé par IBM [61] ; b) Proposition d'utiliser le substrat PICS comme interposeur par IPDIA

Finalement, que les condensateurs soient intégrés au niveau du MOS sur la puce active ou dans un interposeur, des propriétés communes sont à respecter. Les fortes valeurs de capacité spécifique doivent s'accompagner d'un volume réduit car la plupart des puces sont amincies à 50 ou 100 μm pour limiter l'épaisseur totale de l'empilement 3D, et ceci que ce soit une puce active ou un interposeur. Il faut alors produire des condensateurs assez fins (ou idéalement de surface).

La deuxième contrainte concerne les effets parasites pouvant être générés lors de l'intégration du fait de la proximité des composants. Dans le cas d'un IPD, intégrer un condensateur et une bobine l'un sur l'autre (pour gagner un maximum de surface) est un défi. Ces effets et les solutions pour les contourner sont abordés dans la suite du chapitre.

4.2. Réalisation d'un filtre LC

Les travaux concernant les condensateurs intégrés haute densité ainsi que les microbobines intégrées ont été exploités dans la mise en place d'une filière technologique pour des filtres tout intégrés (L+C), toujours pour les mêmes applications. L'intérêt était ici de démontrer les capacités d'intégration et étudier les interférences entre les deux composants.

Ce filtre de 3 mm x 3 mm contient un condensateur 3D ($C = 560 \text{ nF}$) dont la technologie a été mise au point auparavant et une bobine spirale à piste de cuivre épais ($50 \mu\text{m}$; $L = 110 \text{ nH}$). Le schéma du filtre est montré sur la Figure II. 22. La bobine est déclinée en trois versions : sans et avec matériau magnétique CoNiFe qui est lui-même soit plein soit feuilleté verticalement. Cette couche magnétique doit servir de blindage et ainsi prévenir les effets parasites entre les deux composants. La Figure II. 22.c) montre le filtre réalisé (cas de figure blindage magnétique feuilleté).

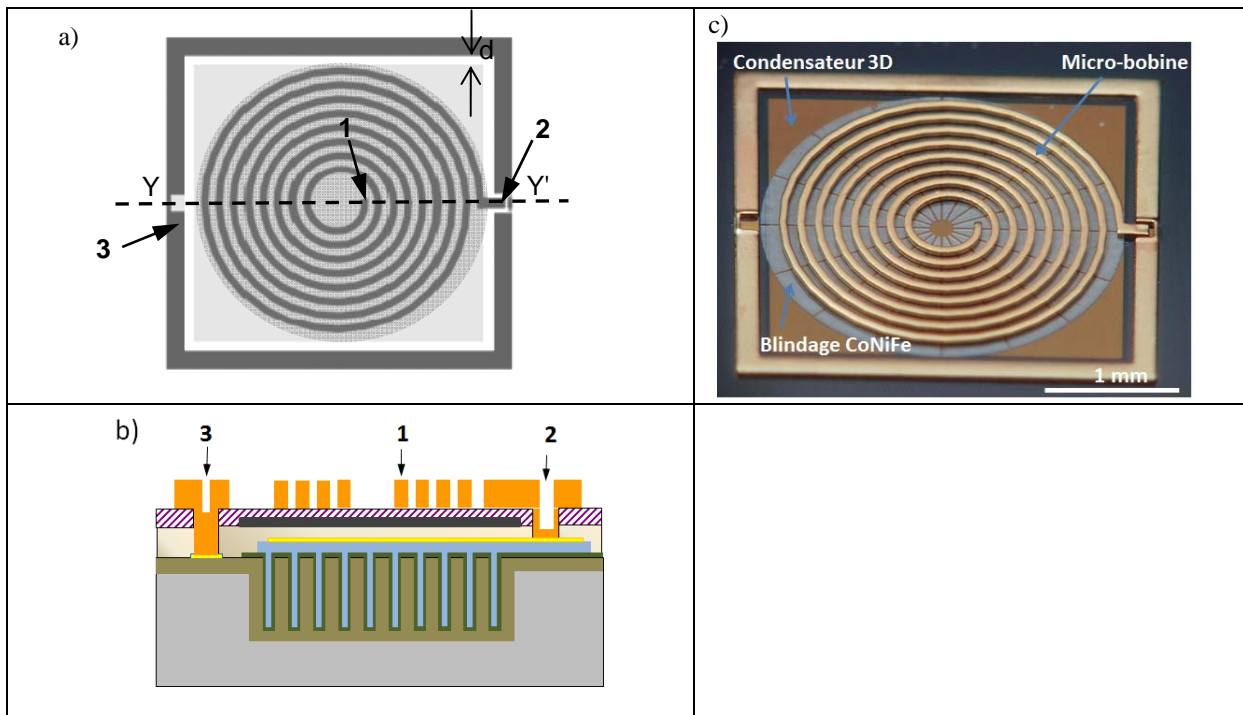


Figure II. 22. Schémas (a) vue de dessus et (b) vue en coupe selon (YY') du filtre LC intégré. Les numéros indiquent les contacts ; c) Photographie optique d'un filtre avec blindage magnétique feuilleté.

Les structures ont été dans un premier temps testées sous pointes. L'inductance série équivalente et la résistance série équivalente sont mesurées en fonction de la fréquence (Figure II. 23).

L'effet de blindage par le matériau magnétique est démontré sur la Figure II. 23.a) : les pertes par courants de Foucault dans le substrat sont évitées en introduisant la couche de CoNiFe et cette couche doit être feuilletée pour limiter les pertes de même nature [88]. Ceci se traduit par une inductance (de 110 nH) restant constante jusqu'à une fréquence de 10 MHz et une résistance série plus faible que les autres structures. Concernant le condensateur du filtre, sa capacité est de 560 nF pour une résistance série équivalente de l'ordre de 0,3 Ω . Sa tenue en tension est d'environ 12V. Ces propriétés électriques sont identiques à celles démontrées dans la section 2 : l'empilement de la bobine sur le condensateur n'a pas d'influence.

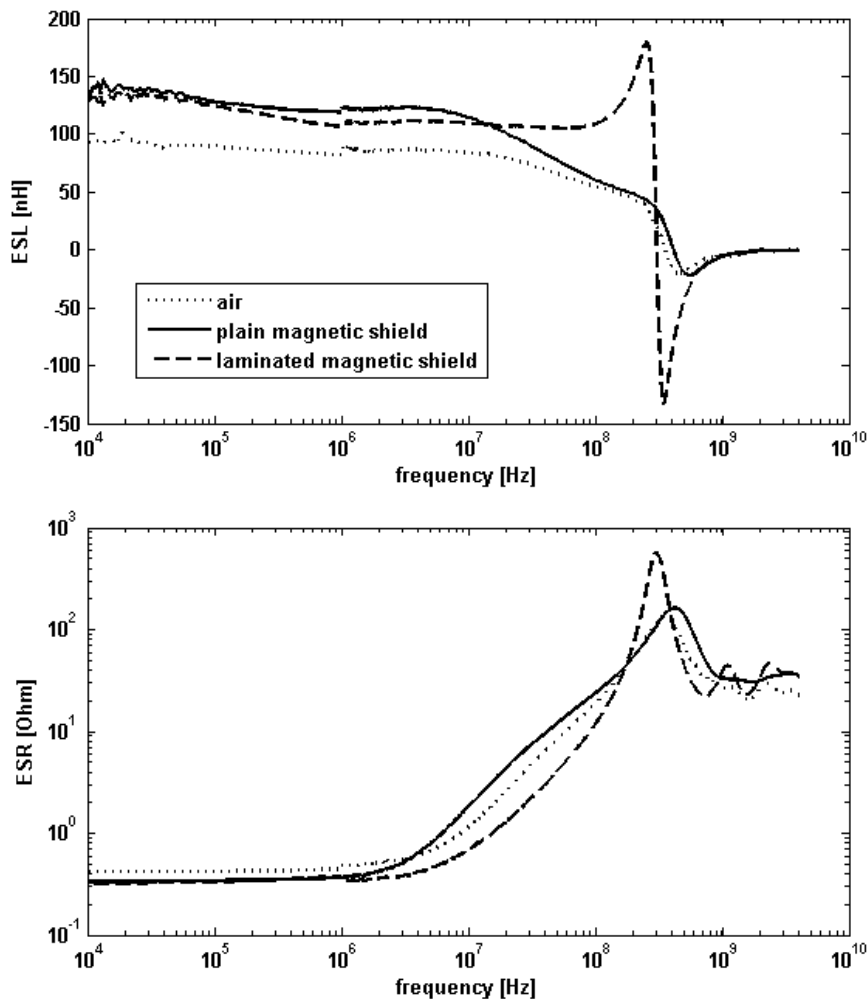


Figure II. 23. Inductance série équivalente (ESL) et Résistance série équivalente (RSE) en fonction de la fréquence pour 3 filtres.

Les filtres LC avec blindage magnétique feuilleté ont été testés en forts signaux (typiques de convertisseurs DC-DC). Le circuit est indiqué sur la Figure II. 24. Les pertes dans la bobine extraites sont de l'ordre de 240 mW et celles dans le condensateur de l'ordre de 20 mW, ce qui représente près de 50% des pertes totales du circuit de conversion. Bien que l'épaisseur des conducteurs de la bobine soit déjà de 50 μm , la résistance DC est bien à l'origine des pertes. Il conviendra de considérer une bobine à noyau magnétique pour réduire le nombre de spires et ainsi la résistance DC.

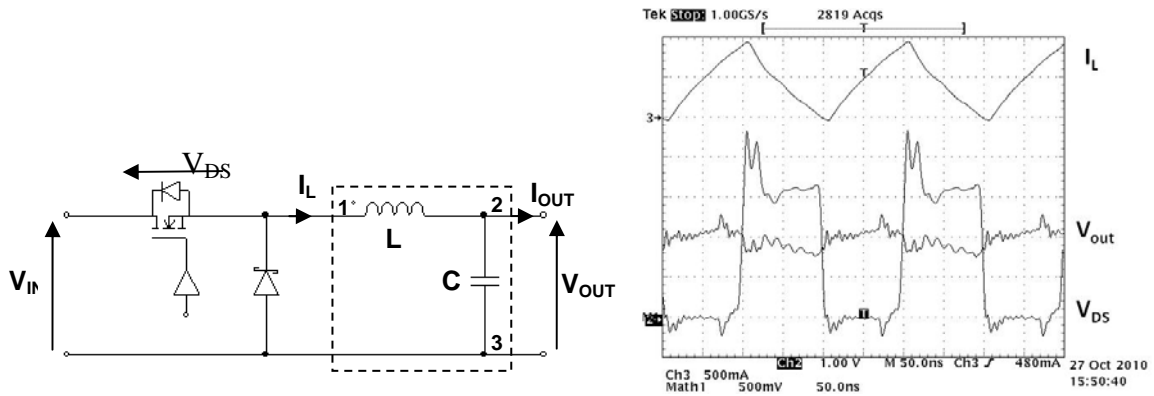


Figure II. 24. Circuit test pour la caractérisation du filtre LC. (1), (2) et (3) correspondent aux points références dans la Figure II. 22; b) Courant dans la bobine I_L , Tension V_{DS} et tension de sortie V_{out} à 5 MHz

Malgré une micro-bobine non-optimisée, nous avons démontré la co-intégration d'un condensateur 3D et d'une micro-bobine sur un même substrat dans une surface de $3 \times 3 \text{ mm}^2$.

4.3. Intégration fonctionnelle

Au-delà de l'application des convertisseurs DC-DC, l'intégration de composants passifs sur la puce comprenant les composants actifs est une problématique sur laquelle nous avons commencé à travailler dans le cadre de la réalisation d'une auto-alimentation [89]. Dans cette application, pour commander des interrupteurs de puissance, la réalisation de drivers autonomes en énergie nécessite un étage de stockage. Il a donc été montré qu'un condensateur 3D peut être intégré comme élément de stockage avec une diode et un MOS type N (voir Figure II. 25). Certaines étapes du procédé de fabrication sont communes aux composants actifs et au composant passif (le dépôt du diélectrique et du polysilicium) et ont été testées dans le cadre de la filière flexible d'intégration fonctionnelle disponible au LAAS.

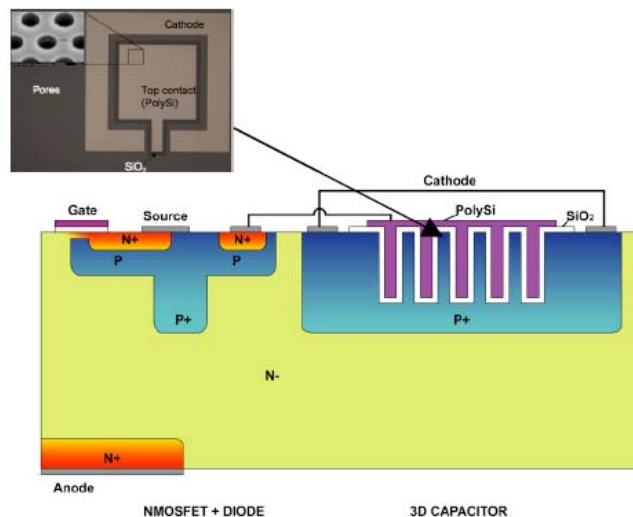


Figure II. 25. Schéma en section d'une auto-alimentation intégrant un condensateur 3D.

Dans le cas où des fortes tensions sont appliquées, nous proposons de placer le condensateur dans une région diffusée : en particulier, ici, cette région est la zone P⁺ du MOS qui fait quelques microns de profondeur et qui est formée au début du procédé. Nous voyons ici l'intérêt de développer les technologies de gravure du silicium permettant de réaliser un condensateur 3D dit « de surface ».

Cette proposition d'intégration prouve la compatibilité entre un procédé technologique pour composants actifs MOS et celui pour composants passifs (condensateurs).

5. Conclusions et perspectives

Depuis 2005, j'ai mené des travaux de recherche visant à faire avancer l'état de l'art sur l'intégration des composants passifs. En ce qui concerne les condensateurs 3D, des technologies spécifiques ont été mises en place : gravure de pores à forts facteurs de forme par DRIE au LAAS et par gravure électrochimique à l'INL. Cette dernière technique est très intéressante pour aller vers des très grands facteurs de forme et des tailles de pores submicronique. Actuellement, avec un réseau de densité 1 pore. μm^{-2} , la capacité spécifique démontrée est de 700 nF. mm^{-2} (diélectriques standards). Il est possible de produire des densités de 13 pores. μm^{-2} (correspondant à une période de 300 nm) [90] avec cette technique. La capacité spécifique théorique pourrait atteindre les 2 $\mu\text{F}.\text{mm}^{-2}$.

En parallèle de ces travaux, plusieurs matériaux high- κ : ZrO₂ et SrTiO₃ déposés par MOCVD au LEMHE ou par ALD à l'Université d'Eindhoven ont été étudiés. L'achat du bâti ALD au LAAS en 2012 apporte une perspective nouvelle au sujet. Nous allons pouvoir développer in-situ les matériaux high- κ ainsi que les électrodes métalliques permettant de réduire la résistance série des condensateurs.

Au niveau des micro-bobines, en nous basant sur les résultats préalables développés au LAAS avant 2005, nous avons choisi de nous orienter vers l'utilisation d'un matériau magnétique à plus forte résistivité pour améliorer le rapport L/R et permettre le fonctionnement à la fréquence visée. Les résultats préliminaires des ferrites NiZnCu sont prometteurs. **La technologie envisagée pour des micro-bobines toroïdale, bien qu'hybride, devrait permettre une mise en place simplifiée, i.e. sans isolant, ni multi-niveaux épais.**

Finalement, avec les technologies combinées des condensateurs 3D et de micro-bobines spirales, nous avons réalisé un filtre LC où le blindage entre C et L est assuré par une fine couche de CoNiFe.

La technologie de ce filtre doit cependant être simplifiée (minimum d'étapes technologiques). Les améliorations pour chaque type de composants passifs intégrés sont en cours d'évaluation dans le cadre du projet PRIIM. Une fois chaque composant passif optimisé, il sera temps à nouveau de reconsidérer une intégration L+C plus performante.

L'impact de ces recherches sera important si elles aboutissent à des prototypes performants car dans le cadre du projet PRIIM, un transfert technologique est prévu vers la société IPDIA, Caen qui manufacture les composants passifs pour des applications diverses (notamment axées sur la conversion et le stockage de l'énergie), à la demande des clients.

Enfin, nous avons étudié la mise en place d'étapes communes entre condensateurs 3D et MOS de puissance au sein de la filière d'intégration fonctionnelle du LAAS. Ceci constitue une première étape vers l'intégration monolithique de systèmes de puissance sur puce.

Références

- [1] J.-L. Sanchez, "State of the art and trends in power integration," in MSM, Puerto Rico (USA), 1999, pp. 20-29.
- [2] P. Austin, "Contribution au développement de l'intégration fonctionnelle," Habilitation à diriger des recherches, Université de Toulouse, 2003.
- [3] M. H. Lim, J. D. van Wyk, F. C. Lee, and K. D. T. Ngo, "A Class of Ceramic-Based Chip Inductors for Hybrid Integration in Power Supplies," *Power Electronics, IEEE Transactions on*, vol. 23, no. 3, pp. 1556-1564, 2008.
- [4] G. He, L. Zhu, Z. Sun, Q. Wan, and L. Zhang, "Integrations and challenges of novel high-k gate stacks in advanced CMOS technology," *Progress in Materials Science*, vol. 56, no. 5, Jul, 2011.
- [5] R. Ulrich, L. Schaper, "Materials options for dielectrics in integrated capacitors," *International Symposium on Advanced Packaging Materials: Processes, Properties and Interfaces, Proceedings*, 2000, 2000.
- [6] M. Thomas, A. Farcy, N. Gaillard, C. Perrot, M. Gros-Jean, I. Matko, M. Cordeau, W. Saikaly, M. Proust, P. Caubet, E. Deloffre, S. Cremer, S. Bruyere, B. Chenevier, and J. Torres, "Integration of a high density Ta2O5 MIM capacitor following 3D damascene architecture compatible with copper interconnects," *Microelectronic Engineering*, vol. 83, no. 11-12, Nov-Dec, 2006.
- [7] K. B. Jinesh, J. H. Klootwijk, Y. Lamy, R. Wolters, E. Tois, M. Tuominen, F. Roozeboom, and W. F. A. Besling, "Enhanced electrical properties of atomic layer deposited La(2)O(3) thin films with embedded ZrO(2) nanocrystals," *Applied Physics Letters*, vol. 93, no. 17, Oct 27, 2008.
- [8] E. Defay, D. Wolozan, J.-P. Blanc, E. Serret, P. Garrec, S. Verrun, D. Pellissier, P. Delpech, J. Guilan, B. Andre, L. Ulmer, M. Aid, and P. Ancey, "High pass filter with above IC integrated SrTiO3 high K MIM capacitors," *Solid-State Electronics*, vol. 51, no. 11-12, Nov-Dec, 2007.
- [9] S. W. Lee, J. H. Han, S. Han, W. Lee, J. H. Jang, M. Seo, S. K. Kim, C. Dussarrat, J. Gatineau, Y.-S. Min, and C. S. Hwang, "Atomic Layer Deposition of SrTiO3 Thin Films with Highly Enhanced Growth Rate for Ultrahigh Density Capacitors," *Chemistry of Materials*, vol. 23, no. 8, Apr 26, 2011.
- [10] J. Sigman, G. L. Brennecka, P. G. Clem, and B. A. Tuttle, "Fabrication of perovskite-based high-value integrated capacitors by chemical solution deposition," *Journal of the American Ceramic Society*, vol. 91, no. 6, Jun, 2008.
- [11] B. Ma, S. Tong, M. Narayanan, S. Liu, S. Chao, and U. Balachandran, "Fabrication and dielectric property of ferroelectric PLZT films grown on metal foils," *Materials Research Bulletin*, vol. 46, no. 7, Jul, 2011.
- [12] P. Jain, and E. J. Rymaszewski, "Embedded thin film capacitors-theoretical limits," *Advanced Packaging, IEEE Transactions on*, vol. 25, no. 3, pp. 454-458, 2002.
- [13] J. H. Klootwijk, K. B. Jinesh, and F. Roozeboom, "MIM in 3D: Dream or reality? (invited)," *Microelectronic Engineering*, vol. 88, no. 7, pp. 1507-1513, Jul, 2011.
- [14] V. Lehmann, and U. Gruning, "The limits of macropore array fabrication," *Thin Solid Films*, vol. 297, no. 1-2, pp. 13-17, Apr, 1997.
- [15] V. Lehmann, W. Honlein, H. Reisinger, A. Spitzer, H. Wendt, and J. Willer, "A novel capacitor technology based on porous silicon," *Thin Solid Films*, vol. 276, no. 1-2, Apr 15, 1996.
- [16] F. Roozeboom, R. J. G. Elfrink, T. Rijks, J. Verhoeven, A. Kemmeren, J. van den Meerakker, "High-density, low-loss MOS capacitors for integrated RF decoupling," *2001 International Symposium on Microelectronics, Proceedings*, Proceedings of the Society of Photo-Optical Instrumentation Engineers (Spie), pp. 477-483, 2001.
- [17] M. Kemell, M. Ritala, M. Leskelä, E. Ossei-Wusu, J. Carstensen, and H. Föll, "Si/Al2O3/ZnO:Al capacitor arrays formed in electrochemically etched porous Si by atomic layer deposition," *Microelectronic Engineering*, vol. 84, no. 2, pp. 313-318, 2//, 2007.
- [18] J. H. Klootwijk, K. B. Jinesh, W. Dekkers, J. F. Verhoeven, F. C. van den Heuvel, H. D. Kim, D. Blin, M. A. Verheijen, R. G. R. Weemaes, M. Kaiser, J. J. M. Ruigrok, and F. Roozeboom, "Ultrahigh capacitance density for multiple ALD-grown MIM capacitor stacks in 3-D silicon," *Ieee Electron Device Letters*, vol. 29, no. 7, pp. 740-742, Jul, 2008.
- [19] J. I. Sohn, Y. S. Kim, C. Nam, B. K. Cho, T. Y. Seong, and S. Lee, "Fabrication of high-density arrays of individually isolated nanocapacitors using anodic aluminum oxide templates and carbon nanotubes," *Applied Physics Letters*, vol. 87, no. 12, Sep 19, 2005.
- [20] S.-w. Chang, J. Oh, S. T. Boles, and C. V. Thompson, "Fabrication of silicon nanopillar-based nanocapacitor arrays," *Applied Physics Letters*, vol. 96, no. 15, Apr 12, 2010.

- [21] C. C. B. Bufon, J. D. C. Gonzalez, D. J. Thurmer, D. Grimm, M. Bauer, and O. G. Schmidt, "Self-Assembled Ultra-Compact Energy Storage Elements Based on Hybrid Nanomembranes," *Nano Letters*, vol. 10, no. 7, Jul, 2010.
- [22] P. Banerjee, I. Perez, L. Henn-Lecordier, S. B. Lee, and G. W. Rubloff, "Nanotubular metal-insulator-metal capacitor arrays for energy storage," *Nature Nanotechnology*, vol. 4, no. 5, May, 2009.
- [23] F. Laermer, and A. Schilp, *Method of anisotropically etching silicon*, to Robert Bosch GmbH, U. S. Patent and 5, 893, 1996.
- [24] M. Brunet, P. Dubreuil, H. Mahfoz-Kotb, A. Gouantes, and A. M. Dorthe, "Factorial experimental design applied to DRIE for optimised process in power electronics applications requiring high-aspect ratio trenches," *Microsystem Technologies-Micro-and Nanosystems-Information Storage and Processing Systems*, vol. 15, no. 9, pp. 1449-1457, Sep, 2009.
- [25] P. Dubreuil, M. Brunet, H. Mahfoz-Kotb, and G. Toulon, "La gravure profonde du silicium de réseaux de tranchées denses à fort facteur de forme," rapport interne LAAS, CNRS 07625, 2007, p. 26.
- [26] L. Theolier, K. Isoird, F. Morancho, J. Roig, H. Mahfoz-Kotb, M. Brunet, and P. Dubreuil, "Deep trench MOSFET structures study for a 1200 Volts application," in *Power Electronics and Applications, 2007 European Conference on*, 2007, pp. 1-9.
- [27] Brunet M., Dilhan M., Bourrier D., Mahfoz Kotb H., Benazzi A., Dubreuil P., "Profile enhancement of high aspect ratio silicon pores made by DRIE with TMAH+IPA bath," in *18th Workshop on MicroMechanics Europe (MME 2007)*, Guimaraes, Portugal, 2007.
- [28] V. Lehmann, and U. Gosele, "Porous silicon formation: A quantum wire effect," *Applied Physics Letters*, vol. 58, no. 8, pp. 856-858, 02/25/, 1991.
- [29] P. Kleimann, X. Badel, and J. Linnros, "Toward the formation of three-dimensional nanostructures by electrochemical etching of silicon," *Applied Physics Letters*, vol. 86, no. 18, May 2, 2005.
- [30] P. Kleimann, J. Linnros, and R. Juhasz, "Formation of three-dimensional microstructures by electrochemical etching of silicon," *Applied Physics Letters*, vol. 79, no. 11, Sep 10, 2001.
- [31] M. Brunet, and P. Kleimann, "High-density 3D capacitors for Power Systems on-Chip: evaluation of a technology based on silicon submicrometer pore arrays formed by electrochemical etching," *Power Electronics, IEEE Transactions on*, vol. PP, no. 99, pp. 1-1, 2012.
- [32] X. Zhao, and D. Vanderbilt, "Phonons and lattice dielectric properties of zirconia," *Physical Review B*, vol. 65, no. 7, pp. 075105, 01/18/, 2002.
- [33] K. Galicka-Fau, C. Legros, M. Andrieux, M. Brunet, J. Szade, and G. Garry, "Role of the MOCVD deposition conditions on physico-chemical properties of tetragonal ZrO₂ thin films," *Applied Surface Science*, vol. 255, no. 22, pp. 8986-8994, Aug, 2009.
- [34] K. Galicka-Fau, M. Andrieux, C. Legros, I. Gallet, M. Brunet, E. Scheid, "ZrO₂ Thin Films Grown on 2D and 3D Silicon Surfaces by DLI-MOCVD for Electronic Devices," in *216th ECS Meeting*, Vienna, Ceck Republic, 2009, pp. 1121-1128.
- [35] M. Brunet, E. Scheid, K. Galicka-Fau, M. Andrieux, C. Legros, I. Gallet, M. Herbst, and S. Schamm, "Characterization of ZrO₂ thin films deposited by MOCVD for high-density 3D capacitors," *Microelectronic Engineering*, vol. 86, no. 10, pp. 2034-2037, Oct, 2009.
- [36] R. A. McKee, F. J. Walker, and M. F. Chisholm, "Crystalline Oxides on Silicon: The First Five Monolayers," *Physical Review Letters*, vol. 81, no. 14, pp. 3014-3017, 10/05/, 1998.
- [37] G. A. Seisenbaeva, S. Gohil, V. G. Kessler, M. Andrieux, C. Legros, P. Ribot, and M. Brunet, "On the Reliability of Heteronuclear Precursors-Ligand Effects in the Li-MOCVD Synthesis of SrTiO₃ Films," *Journal of Nanoscience and Nanotechnology*, vol. 11, no. 9, pp. 8302-8308, Sep, 2011.
- [38] G. A. Seisenbaeva, S. Gohil, V. G. Kessler, M. Andrieux, C. Legros, P. Ribot, M. Brunet, and E. Scheid, "Controlling precursor stability and evaporation through molecular design. Pseudo single source precursor approach to MOCVD SrTiO₃ thin films," *Applied Surface Science*, vol. 257, no. 6, pp. 2281-2290, Jan, 2011.
- [39] M. Leskelä, and M. Ritala, "Atomic layer deposition (ALD): from precursors to thin film structures," *Thin Solid Films*, vol. 409, no. 1, pp. 138-146, 4/22/, 2002.
- [40] E. Langereis, R. Roijmans, F. Roozeboom, M. C. M. van de Sanden, and W. M. M. Kessels, "Remote Plasma ALD of SrTiO₃ Using Cyclopentadienyl-Based Ti and Sr Precursors," *Journal of the Electrochemical Society*, vol. 158, no. 2, pp. G34-G38, 2011.
- [41] V. Longo, N. Leick, F. Roozeboom, and W. M. M. Kessels, "Plasma-Assisted Atomic Layer Deposition of SrTiO₃: Stoichiometry and Crystallinity Study by Spectroscopic Ellipsometry," *Atomic Layer Deposition Applications 2*, ECS Transactions 2, J. W. Elam, A. Londergan, O. VanDerStraten, F. Roozeboom, S. DeGendt, S. F. Bent and A. Delabie, eds., pp. 63-72, 2011.
- [42] C. R. Sullivan, "Integrating magnetics for on-chip power: Challenges and opportunities," in *Custom Integrated Circuits Conference, 2009. CICC '09. IEEE, 2009*, pp. 291-298.
- [43] G. Troussier, J. P. Laur, J.-L. Sanchez, D. Bourrier, V. Conedera, M. Dilhan, N. Fabre, Y. Lembeye, H. Morel, and B. Cogitore, "Fabrication of integrated inductors on silicon for fully integrated DC-DC microconverters, Micromachining and Microfabrication Process Technology IX, SPIE THE INTERNATIONAL SOCIETY FOR OPTICAL ENGINEERING." pp. 86-93.

- [44] T. El Mastouli, J. P. Laur, J. L. Sanchez, M. Brunet, D. Bourrier, and M. Dilhan, "Micro-inductors integrated on silicon for dc-dc converters - art. no. 68820A," *Micromachining and Microfabrication Process Technology XIII*, Proceedings of the Society of Photo-Optical Instrumentation Engineers (Spie) M. A. Maher, J. C. Chiao and P. J. Resnick, eds., pp. A8820-A8820, 2008.
- [45] D. Flynn, R. S. Dhariwall, and M. P. Y. Desmulliez, "A design study of microscale magnetic components for operation in the MHz frequency range," *Journal of micromechanics and microengineering*, vol. 16, no. 9, pp. 1811-1818, 2006.
- [46] T. O'Donnell, N. N. Wang, S. Kulkarni, R. Meere, F. M. F. Rhen, S. Roy, and S. C. O'Mathuna, "Electrodeposited anisotropic NiFe 45/55 thin films for high-frequency micro-inductor applications," *Journal of Magnetism and Magnetic Materials*, vol. 322, no. 9-12, pp. 1690-1693, May-Jun, 2010.
- [47] S. X. Wang, N. X. Sun, M. Yamaguchi, and S. Yabukami, "Sandwich films: Properties of a new soft magnetic material," *Nature*, vol. 407, no. 6801, pp. 150-151, 09/14/print, 2000.
- [48] D. S. Gardner, G. Schrom, F. Paillet, B. Jamieson, T. Karnik, and S. Borkar, "Review of On-Chip Inductor Structures With Magnetic Films," *Magnetics, IEEE Transactions on*, vol. 45, no. 10, pp. 4760-4766, 2009.
- [49] S. Ohnuma, H. J. Lee, N. Kobayashi, H. Fujimori, and T. Masumoto, "Co-Zr-O nano-granular thin films with improved high frequency soft magnetic properties," *Magnetics, IEEE Transactions on*, vol. 37, no. 4, pp. 2251-2254, 2001.
- [50] Y. Shimada, M. Yamaguchi, S. Ohnuma, T. Itoh, L. Wei Dong, S. Ikeda, K. Ki Hyeon, and H. Nagura, "Granular thin films with high RF permeability," *Magnetics, IEEE Transactions on*, vol. 39, no. 5, pp. 3052-3056, 2003.
- [51] M. Munakata, M. Motoyama, M. Yagi, T. Ito, Y. Shimada, M. Yamaguchi, and K. i. Arai, "Very high electrical resistivity and heteroamorphous structure of soft magnetic (Co_{35.6}Fe₅₀B_{14.4})-(SiO₂) thin films," *Magnetics, IEEE Transactions on*, vol. 38, no. 5, pp. 3147-3149, 2002.
- [52] Y. Fukuda, T. Inoue, T. Mizoguchi, S. Yatabe, and Y. Tachi, "Planar inductor with ferrite layers for DC-DC converter," *Magnetics, IEEE Transactions on*, vol. 39, no. 4, pp. 2057-2061, 2003.
- [53] M. G. Allen, "MEMS technology for the fabrication of RF magnetic components," *Magnetics, IEEE Transactions on*, vol. 39, no. 5, pp. 3073-3078, 2003.
- [54] C. H. Ahn, and M. G. Allen, "A comparison of two micromachined inductors (bar- and meander-type) for fully integrated boost DC/DC power converters," *Power Electronics, IEEE Transactions on*, vol. 11, no. 2, pp. 239-245, 1996.
- [55] X. Ming, T. M. Liakopoulos, C. H. Ahn, H. Suk Hee, and K. Hi Jung, "A microfabricated transformer for high-frequency power or signal conversion," *Magnetics, IEEE Transactions on*, vol. 34, no. 4, pp. 1369-1371, 1998.
- [56] C. R. Sullivan, and S. R. Sanders, "Design of microfabricated transformers and inductors for high-frequency power conversion," *Power Electronics, IEEE Transactions on*, vol. 11, no. 2, pp. 228-238, 1996.
- [57] M. Brunet, T. O'Donnell, J. O'Brien, P. McCloskey, and S. C. O Mathuna, "Thick photoresist development for the fabrication of high aspect ratio magnetic coils," *Journal of Micromechanics and Microengineering*, vol. 12, no. 4, pp. 444-449, Jul, 2002.
- [58] M. Brunet, T. O'Donnell, J. O'Brien, P. McCloskey, C. O'Mathuna, "Design study and fabrication techniques for high power density micro-transformers," in 16th Annual IEEE Applied Power Electronics Conference and Exposition, Anaheim, Ca, 2001, pp. 1189-1195.
- [59] M. Brunet, T. O'Donnell, L. Baud, W. Ningning, P. McCloskey, and S. C. O'Mathuna, "Electrical performance of micro-transformers for DC-DC converter applications," in Magnetics Conference, 2002. INTERMAG Europe 2002. Digest of Technical Papers. 2002 IEEE International, 2002, pp. DQ9.
- [60] M. Brunet, T. O'Donnell, A. M. Connell, P. McCloskey, and S. C. O. Mathuna, "Electrochemical process for the lamination of magnetic cores in thin-film magnetic components," *Microelectromechanical Systems, Journal of*, vol. 15, no. 1, pp. 94-100, 2006.
- [61] B. Orlando, R. Hida, R. Cuchet, M. Audoin, B. Viala, D. Pellissier-Tanon, X. Gagnard, and P. Ancey, "Low-resistance integrated toroidal inductor for power management," *Magnetics, IEEE Transactions on*, vol. 42, no. 10, pp. 3374-3376, Oct, 2006.
- [62] B. Estibals, J. L. Sanchez, C. Alonso, J. P. Laur, A. Salles, D. Bourrier, and M. Dilhan, "Micro inductors using low temperature fabrication processes for integrated DC-DC microconverters," in Industry Applications Conference, 2005. Fourtieth IAS Annual Meeting. Conference Record of the 2005, 2005, pp. 2212-2215 Vol. 3.
- [63] Y. Katayama, S. Sugahara, H. Nakazawa, and M. Edo, "High-power-density MHz-switching monolithic DC-DC converter with thin-film inductor," in Power Electronics Specialists Conference, 2000. PESC 00. 2000 IEEE 31st Annual, 2000, pp. 1485-1490 vol.3.
- [64] I. Kowase, T. Sato, K. Yamasawa, and Y. Miura, "A planar inductor using Mn-Zn ferrite/polyimide composite thick film for low-Voltage and large-current DC-DC converter," *Magnetics, IEEE Transactions on*, vol. 41, no. 10, pp. 3991-3993, 2005.

- [65] Z. J. Shen, L. Jian, C. Xu, J. Ho ngwei, and n. Xun Go, "On-Chip Bondwire Inductor with Ferrite-Epoxy Coating: A Cost-Effective Approach to Realize Power Systems on Chip," in Power Electronics Specialists Conference, 2007. PESC 2007. IEEE, 2007, pp. 1599-1604.
- [66] E. J. Brandon, E. E. Wesseling, C. Vincent, and W. B. Kuhn, "Printed microinductors on flexible substrates for power applications," *Components and Packaging Technologies, IEEE Transactions on*, vol. 26, no. 3, pp. 517-523, 2003.
- [67] B. Seok, H. Yang-Ki, L. Jae-Jin, J. Jalli, G. S. Abo, A. Lyle, B. C. Choi, and G. W. Donohoe, "High Q Ni-Zn-Cu Ferrite Inductor for On-Chip Power Module," *Magnetics, IEEE Transactions on*, vol. 45, no. 10, pp. 4773-4776, 2009.
- [68] L. Jae-Jin, H. Yang-Ki, B. Seok, P. Ji-Hoon, J. Jalli, G. S. Abo, R. Syslo, C. Byoung-Chul, and G. W. Donohoe, "High-Quality Factor Ni-Zn Ferrite Planar Inductor," *Magnetics, IEEE Transactions on*, vol. 46, no. 6, pp. 2417-2420, 2010.
- [69] H. Ito, A. Takeuchi, S. Okazaki, H. Kobayashi, Y. Sugawa, A. Takeshima, M. Sonohara, N. Matsushita, and T. Sato, "Fabrication of Planar Power Inductor for Embedded Passives in LSI Package for Hundreds Megahertz Switching DC-DC Buck Converter," *Magnetics, IEEE Transactions on*, vol. 47, no. 10, pp. 3204-3207, Oct, 2011.
- [70] D. Flynn, N. Sudan, A. Toon, and M. P. Y. Desmulliez, "Fabrication process of a micro-inductor utilising a magnetic thin film core," *Microsystem Technologies*, vol. 12, no. 10-11, pp. 923-933, 2006/09/01, 2006.
- [71] M. Saidani, and M. A. M. Gijs, "Cubic millimeter power inductor fabricated in batch-type wafer technology," *Microelectromechanical Systems, Journal of*, vol. 12, no. 2, pp. 172-178, 2003.
- [72] R. Meere, T. O'Donnell, H. J. Bergveld, W. Ningning, and S. C. O'Mathuna, "Analysis of Microinductor Performance in a 20-100 MHz DC/DC Converter," *Power Electronics, IEEE Transactions on*, vol. 24, no. 9, pp. 2212-2218, 2009.
- [73] C. O. Mathuna, N. N. Wang, S. Kulkarni, and S. Roy, "Review of Integrated Magnetics for Power Supply on Chip (PwrSoC)," *Power Electronics, IEEE Transactions on*, vol. 27, no. 11, pp. 4799-4816, Nov, 2012.
- [74] P. Artillan, "Conception, modélisation et réalisation de composants inductifs intégrés pour alimentations de faible puissance et microsystèmes," Thèse de doctorat de l'Université de Toulouse, LAAS-CNRS, 2008.
- [75] P. Artillan, B. Estivals, A. Salles, J. Abboud, P. Aloisi, and C. Alonso, "A PEEC approach for circular spiral inductive components modeling," in Circuits and Systems, 2007. ISCAS 2007. IEEE International Symposium on, 2007, pp. 301-304.
- [76] A. Lucas, "Etude et mise au point de transformateurs large bande radiofréquence," Thèse de doctorat de l'Ecole normale supérieure de Cachan, Laboratoire SATIE, 2010.
- [77] Y. M. Nguyen, M. Brunet, J.-P. Laur, D. Bourrier, C. Samuel, Z. Valdez-Nava, V. Bley, and C. Combettes, "Low-profile, small-size ferrite cores for power SiP integrated inductor," in *15th European Conference on Power Electronics and Applications (EPE 2013)*, 3-5 septembre 2013, Lille, France, 2013.
- [78] S. Abedinpour, B. Bakkaloglu, and S. Kiael, "A multistage interleaved synchronous buck converter with integrated output filter in 0.18 μm SiGe process," *Power Electronics, IEEE Transactions on*, vol. 22, no. 6, Nov, 2007.
- [79] M. Wens, and M. Steyaert, "An 800mW fully-integrated 130nm CMOS DC-DC step-down multi-phase converter, with on-chip spiral inductors and capacitors," in Energy Conversion Congress and Exposition, 2009. ECCE 2009. IEEE, 2009, pp. 3706-3709.
- [80] M. D. Seeman, V. W. Ng, L. Hanh-Phuc, M. John, E. Alon, and S. R. Sanders, "A comparative analysis of Switched-Capacitor and inductor-based DC-DC conversion technologies," in Control and Modeling for Power Electronics (COMPEL), 2010 IEEE 12th Workshop on, 2010, pp. 1-7.
- [81] L. Chang, R. K. Montoye, B. L. Ji, A. J. Weger, K. G. Stawiasz, R. H. Dennard, "A Fully-Integrated Switched-Capacitor 2:1 Voltage Converter with Regulation Capability and 90% Efficiency at 2.3A/mm(2)," *2010 Symposium on Vlsi Circuits, Digest of Technical Papers*, 2010, 2010.
- [82] H. Lee, Y.-S. Choi, E. Song, K. Choi, T. Cho, S. Kang, "Power delivery network design for 3D SIP integrated over silicon interposer platform," in 57th Electronic Components and Technology Conference, Reno, NV, 2007.
- [83] B. Dang, S. L. Wright, P. Andry, E. Sprogis, S. Ketkar, C. Tsang, R. Polastre, and J. Knickerbocker, "3D Chip Stack with Integrated Decoupling Capacitors," in 2009 IEEE 59th Electronic Components and Technology Conference, Vols 1-4, 2009.
- [84] K. Ishida, K. Takemura, K. Baba, M. Takamiya, and T. Sakurai, "3D stacked buck converter with 15 μm thick spiral inductor on silicon interposer for fine-grain power-supply voltage control in SiP's," in 3D Systems Integration Conference (3DIC), 2010 IEEE International, 2010, pp. 1-4.
- [85] A. Shibuya, A. Ouchi, and K. Takemura, "A Silicon Interposer With an Integrated SrTiO₃ Thin Film Decoupling Capacitor and Through-Silicon Vias," *Components and Packaging Technologies, IEEE Transactions on*, vol. 33, no. 3, Sep, 2010.
- [86] H. J. Bergveld, R. Karadi, K. Nowak, "An Inductive Down Converter System-in-Package for Integrated Power Management in Battery-powered Applications," in 39th IEEE Power Electronic Specialists Conference (PESC 08), Rhodes, GREECE, 2008.

- [87] J. U. Knickerbocker, P. S. Andry, B. Dang, R. R. Horton, C. S. Patel, R. J. Polastre, K. Sakuma, E. S. Sprogis, C. K. Tsang, B. C. Webb, and S. L. Wright, "3D silicon integration," in 58th Electronic Components and Technology Conference, Orlando, FL, 2008.
- [88] P. Artillan, M. Brunet, D. Bourrier, J. P. Laur, N. Mauran, L. Bary, M. Dilhan, B. Estibals, C. Alonso, and J. L. Sanchez, "Integrated LC Filter on Silicon for DC-DC Converter Applications," *Power Electronics, IEEE Transactions on*, vol. 26, no. 8, pp. 2319-2325, Aug, 2011.
- [89] F. Cappy, J. P. Laur, M. Breil, F. Richardeau, M. Brunet, E. Imbernon, A. Bourennane, C. Caramel, P. Austin, J. L. Sanchez, "New self-controlled and self-protected IGBT based integrated switch," *2009 21st International Symposium on Power Semiconductor Devices & Ics*, Proceedings of the International Symposium on Power Semiconductor Devices & ICs (1998), pp. 243-246, 2009.
- [90] G. Laffite, M. Roumanie, C. Gourgon, C. Perret, J. Boussey, and P. Kleimann, "Formation of Submicrometer Pore Arrays by Electrochemical Etching of Silicon and Nanoimprint Lithography," *Journal of the Electrochemical Society*, vol. 158, no. 1, pp. D10-D14, 2011.

Chapitre III. Composants de stockage de l'énergie sur puce

1. Introduction

Après avoir abordé la miniaturisation et l'intégration monolithique des composants passifs au sein des circuits de gestion de l'énergie, je vais aborder ici un autre volet intrinsèquement lié à la thématique de la gestion de l'énergie dans l'électronique portable, à savoir **le stockage de l'énergie**.

1.1. Contexte : l'autonomie énergétique de l'électronique

L'autonomie énergétique de l'électronique nomade repose essentiellement sur les batteries dont les performances n'ont cessé d'augmenter au cours des dernières décennies. Pour les produits grand public (smart phones, tablettes, appareil photos, baladeurs numériques...etc), les principaux inconvénients restants sont le poids, la fréquence de recharge et la durée de vie.

Un autre domaine applicatif où l'autonomie énergétique est beaucoup plus critique est celui de l'intelligence ambiante où l'on cherche à déployer des capteurs et l'électronique associée dans l'environnement. Ces capteurs sont placés en réseau et doivent être communicants : ils peuvent être employés dans une large gamme de domaines allant du domaine du médical et de la santé, des bâtiments intelligents, de la radio-identification (marqueurs RFID), de l'automobile ou encore de la maintenance prédictive (pour les machines et infrastructures) [1]. A l'heure actuelle, la durée de vie de ces réseaux de capteurs est limitée par celle des batteries servant à les alimenter, ce qui pose un problème dans les applications nécessitant une mise en place du réseau de façon permanente (surveillance de structures mécaniques ou en milieux naturels difficiles d'accès par exemple). En effet, en dépit de l'amélioration continue de la capacité des micro-batteries et de la réduction de la consommation électrique des éléments du nœud, l'énergie embarquée s'épuise soit parce qu'elle a été consommée, soit par autodécharge, au mieux au bout de 3 à 4 ans.

La question de l'énergie est alors centrale dans ces réseaux. Une solution pertinente consiste à récupérer l'énergie disponible dans l'environnement des capteurs pour les alimenter. Ceci permettrait d'allonger de façon significative la durée de vie de la batterie voire de l'éliminer complètement. Cette stratégie est née de la convergence des courants *More Moore* et *More than Moore* : le *More Moore* a permis de réduire les puissances consommées de l'électronique (de l'ordre du microwatt), tandis que le *More than Moore* permet de transformer l'énergie présente dans l'environnement (sous formes diverses : lumière, chaleur, vibrations, radiation...) en électricité.

Depuis quelques années, des systèmes de récupération de l'énergie alimentant des capteurs pour la collecte et la transmission de données émergent des laboratoires de recherche et de sociétés. Pour la plupart, ce sont des systèmes assez gros, servant parfois de preuve de concept. Les niveaux de puissance récupérée

par ces systèmes, qu'ils soient photovoltaïques, thermiques, vibratoires ou RF, sont compris dans une gamme allant de quelques $\mu\text{W}\cdot\text{cm}^{-2}$ à maximum quelques $\text{mW}\cdot\text{cm}^{-2}$.

La puissance récupérée est certes faible en l'état actuel de la technologie, mais elle augmente avec les efforts de recherche : elle est suffisante aujourd'hui pour faire fonctionner des microsystèmes très simples dans des conditions idéales (environnement très riche en énergie). L'étape suivante est alors d'alimenter des nœuds aux fonctions plus complexes dans des situations plus défavorables mais plus réalistes. Un effort de miniaturisation doit également être entrepris.

En ce qui concerne les besoins des nœuds en question, les niveaux de puissance requis dépendront largement du type de mesures ainsi que de l'échantillonnage des mesures. On peut cependant tabler d'après les évaluations effectuées dans la littérature [2, 3], sur une gamme de quelques dizaines de mW en consommation active (lors de la mesure), quelques $10\ \mu\text{W}$ à $100\ \mu\text{W}$ en consommation passive (veille). Malgré une amélioration des modules RF et des protocoles, la transmission RF est la plus gourmande en énergie. Le budget énergétique total comprenant la somme des coûts énergétiques par cycle serait de l'ordre de centaines de μJ voire le milli Joule.

Il est possible d'envisager deux types de stratégies pour alimenter un nœud de capteur :

- Une stratégie (« top-down ») où la conception est fortement liée à la récupération de l'énergie ambiante : le nombre, la fréquence et le type de mesures effectuées par le nœud seront alors dépendants des niveaux d'énergie récupérés. Les mesures sont faites au fil de l'eau, quand l'énergie est disponible.
- Une stratégie (« bottom-up ») où les niveaux énergétiques sont fixés par le type de mesures, leur nombre et leur fréquence. Des solutions doivent alors être trouvées pour collecter le maximum d'énergie (multi-sources par exemple) et assurer un niveau d'énergie suffisant pour que le système fonctionne à n'importe quel moment.

Cette deuxième stratégie est la plus souvent privilégiée dans le cas d'applications industrielles comme la surveillance de santé des structures. Elle nécessite l'utilisation d'un étage de stockage de l'énergie (stockage tampon, rechargeable) entre l'énergie récupérée dans l'environnement, par nature intermittente, et les besoins du nœud de capteur dans l'application visée.

1.2. Problématique du stockage de l'énergie et solutions envisagées

C'est dans ce contexte que nous avons abordé la problématique du stockage de l'énergie dans un volume réduit afin de répondre à une demande croissante dans les réseaux de capteurs sans fil mais également à la nécessité d'améliorer les performances de l'alimentation dans les équipements électroniques portables.

Ces équipements portables sont fortement dépendants des batteries Lithium-ion. De même, la quasi-totalité des travaux recensés pour les réseaux de capteurs fonctionnent avec des piles Ni-MH ou de batteries Li-ion. Cependant la problématique de durée de vie mentionnée plus haut reste vraie : même en

tant que stockage tampon, ces éléments électrochimiques ne peuvent endurer plus d'un millier de cycles de charge-décharge, au-delà de quoi leur capacité se dégrade fortement jusqu'à la panne.

Une solution pertinente est d'utiliser un condensateur électrochimique à double couche comme stockage tampon. Ces éléments peuvent endurer plusieurs centaines de milliers de cycles sans perte notable de capacité. Bien qu'ils présentent une capacité de stockage inférieure aux batteries et une autodécharge plus marquée, ils semblent être la solution privilégiée dans les applications de réseaux de capteurs.

Si l'on regarde à présent les solutions existantes dans le commerce pour de très petits volumes, bien que certains groupes industriels tels que Maxwell Technologies, NESS, Nipon-Chemicon, NEC, Panasonic, ELNA, TOKIN produisent commercialement des supercondensateurs miniaturisés (sous forme de cellules boutons la plupart du temps) et pour certains de faible épaisseur (<1 mm) comme SEIKO (ref CP3225A) ou OptiXtal, il n'existe pas de stockage à la micro-échelle pouvant être intégré de façon hybride au niveau du système ou de façon monolithique avec les microsystèmes réalisés sur puce, qui constituent le nœud de capteur.

Une réalisation monolithique aurait pour avantage non seulement de réduire les volumes en produisant un composant de surface mais permettrait également une réduction des coûts de production et d'assemblage, une minimisation des connectiques très souvent sources de pertes énergétiques.

Forts de ce constat, nous nous sommes intéressés aux **supercondensateurs et leur intégration sur silicium**. Le principal défi est alors de réaliser sur substrat de silicium des supercondensateurs avec les technologies de micro-fabrication tout en maintenant des capacités surfaciques acceptables et en faisant en sorte que les caractéristiques répondent aux cahiers de charges des applications. Au niveau recherche en 2007, très peu d'équipes au niveau international s'étaient lancées dans le domaine de l'intégration de ces composants sur substrat silicium par méthodes de microfabrication. On peut néanmoins citer le KIST en Corée [4], le MIT [5] ou encore l'Université de Berkeley [6] aux Etats-Unis. A notre connaissance, au commencement de nos travaux, aucune équipe française ni européenne ne s'était penchée sur la problématique d'intégration des supercondensateurs.

Pour acquérir rapidement la compétence dans le domaine du stockage électrochimique, j'ai mis en place une collaboration avec l'équipe de Patrice Simon, du **CIRIMAT à Toulouse**, spécialiste des matériaux pour supercondensateurs et batteries. L'activité a été soutenue financièrement grâce à deux projets : le projet AUTOSSENS financé par la FRAE de 2007 à 2010, et un projet financé par Partner University Fund (échange franco-américain avec l'**Université de Drexel à Philadelphie**) de 2009 à 2012. Le sujet a fait l'objet d'un post-doc : David Pech de 2008 à 2010, désormais recruté en tant que chargé de recherche CNRS; d'un master (2009) et de deux thèses : Hugo Durou, thèse soutenue en 2010 et Peihua Huang, thèse soutenue en 2013.

2. Etat de l'art micro-supercondensateurs

2.1. Généralités

Les supercondensateurs sont des dispositifs de stockage de l'énergie électrique intermédiaires entre les batteries et les condensateurs diélectriques classiques. On distingue les condensateurs à double couche électrochimique (EDLCs), des supercondensateurs pseudo-capacitifs. Le fonctionnement des EDLCs repose essentiellement sur un stockage capacitif, c'est-à-dire par la formation d'une double couche électrochimique à l'interface d'un électrolyte et d'une électrode polarisable de grande surface spécifique (constituée généralement de charbon actif). L'application d'une différence de potentiel aux bornes du dispositif complet entraîne le stockage électrostatique des ions chargés de l'électrolyte aux deux interfaces électrode-électrolyte qui se comportent comme deux condensateurs en série. La Figure III. 1 schématise le concept. Contrairement aux batteries, les réactions s'effectuent uniquement sur la surface accessible aux ions de l'électrolyte, rendant ces réactions extrêmement réversibles (durée de vie quasiment illimitée).

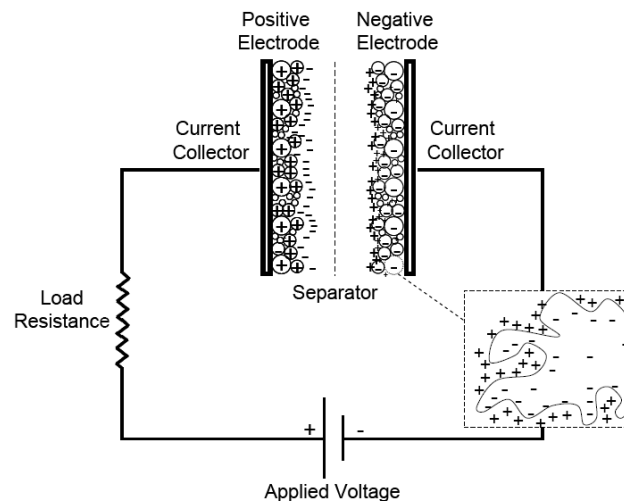


Figure III. 1. Schéma de fonctionnement d'un condensateur à double-couche électrochimique.

Il existe également des supercondensateurs à base de matériaux pseudo-capacitifs : polymères conducteurs (polypyrrole, polyaniline...etc), oxydes métalliques hydratés (RuO_2 , MnO_2) où le stockage de charges s'apparente à un comportement capacitif, mais procède via des processus faradiques rapides et réversibles en surface du matériau. Ces matériaux sont caractérisés par des capacités extrêmement élevées [7] mais fonctionnent généralement en milieu aqueux, limitant la tension d'utilisation de la cellule à environ 1V.

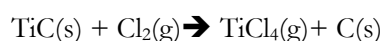
2.2. Matériaux d'électrode

De nombreuses équipes recherche de par le monde travaillent sur les matériaux d'électrode pour supercondensateurs. Le lecteur est invité à consulter les articles de revue relatifs à ce sujet [8, 9] rapportant les avancées sur les matériaux à forte surface spécifique, sur les matériaux pseudo-capacitifs (oxydes

métalliques et polymères conducteurs) ainsi que sur les matériaux composites combinant deux types de stockage (ex : PPy/RuO₂ ; CNTs/PPy ...etc).

Dans nos travaux, nous avons utilisé plusieurs types de matériaux carbonés : **le charbon actif (AC)** dont la structure comprend un réseau de macro, méso et micropores¹, et des matériaux à porosité contrôlée : **les carbones dérivés de carbure (CDC)** et **les oignons de carbone (OLC)**.

Les CDC sont obtenus par dissolution sélective d'un métal à partir d'un carbure métallique (SiC, TiC) par chloration à hautes températures (500 à 1000°C) selon la réaction :



Les structures produites vont du carbone amorphe poreux, au graphite en passant par les nanotubes de carbone ou le graphène [10]. Pour ce qui est des carbones poreux, en ajustant la température de chloration, il est possible d'obtenir une porosité monodisperse et de contrôler de manière très fine la taille des pores formés avec une précision inférieure à l'ångström [11, 12]. Les matériaux obtenus sont d'une grande pureté, exempts de groupements fonctionnels à leur surface. Leurs surfaces spécifiques sont par ailleurs relativement élevées.

Quant aux OLC, ce sont des fullerènes imbriquant des feuillets graphitiques concentriques rappelant ceux de l'oignon. Ils sont synthétisés par graphitisation de nano-diamants à hautes températures (1300 - 1800 °C) et sous vide [13]. Ils possèdent une surface qui est totalement accessible aux ions de l'électrolyte, rendant l'adsorption / désorption extrêmement rapide [14].

Le Tableau III. 1 résume les principaux matériaux d'électrodes que l'on trouve dans l'état de l'art et qui ont été utilisés dans nos travaux, avec leurs performances associées.

Tableau III. 1. Performances des principaux matériaux d'électrode pour supercondensateurs.

Matériau d'électrode [Ref]	Conductivité (S.cm ⁻¹)	Electrolyte	C _{vol} (F.g ⁻¹)	C _{vol} (F.cm ⁻³)
Charbon actif [8]	10-12	Aqueux	150- 300	70 – 140
		Organique	100 - 120	45
TiC-CDC [11]	140	Organique	140	80
OLC* [15]	4	Organique	28	--
RuO ₂ , x H ₂ O[9]	300	Aqueux	1300	--

* Préparés par graphitization de nano-diamants à 1800°C.

Les matériaux sous forme de poudres généralement développés dans la littérature (comme ceux des trois premières lignes du Tableau III. 1) dédiés aux dispositifs macroscopique sont a priori transposables aux dispositifs microscopiques, si tant est qu'une méthode de dépôt sur substrat compatible soit trouvée.

¹ Micropores de diamètres inférieurs à 2 nm, Mésopores de diamètre compris 2 et 50 nm, et macropores de diamètres supérieurs à 50 nm selon

2.3. Technologies d'intégration

Pour une vision complète des possibilités d'intégration, il est nécessaire de répertorier tous les composants pouvant être susceptibles d'être fabriqués de façon collective sur un substrat (dur ou souple), l'objectif principal étant la réduction des tailles (dans une ou plusieurs directions) et une intégration monolithique avec d'autres composants électroniques. La compatibilité des procédés est donc un point essentiel quant au choix de la technologie. J'évoquerai dans un premier temps de manière succincte les supercondensateurs sur substrats souples: polymères, papier, textile ; puis, j'aborderai les supercondensateurs réalisés par les techniques de micro-fabrication.

a) Les supercondensateurs sur films flexibles

Les supercondensateurs imprimés sur des supports souples (typiques de l'électronique organique) peuvent être considérés comme intégrables. Dans ce secteur (électronique flexible), l'accent est mis sur le développement de composants par le biais de procédés bas-coûts plutôt que sur les densités d'intégration. Le substrat généralement utilisé est le polyéthylène téréphtalate (PET), sur lequel est déposée l'électrode, c'est-à-dire le collecteur de courant et la matière active. Cette électrode peut être par exemple un tapis de nanotubes de carbone servant à la fois de collecteur de courant et de matière active, éliminant ainsi les interfaces [16] et [17].

Des supercondensateurs sur papier sont également évalués [18, 19]. L'impression d'électrodes en carbone sur un support papier est aujourd'hui bien maîtrisée. Pour des dispositifs complets à partir de cette technologie, une possibilité est d'utiliser l'épaisseur de la feuille comme réservoir d'électrolyte et séparateur entre les deux électrodes imprimées de chaque côté [20].

Enfin, la réalisation de sources et stockages d'énergie textiles permet d'entrevoir le développement de vêtements nomades équipés d'électronique. L'électrode d'un supercondensateur textile peut être élaborée soit par imprégnation d'un textile dans une encre contenant le matériau actif [21], soit par leur mise en forme à partir de fibres constituant le matériau actif, comme par exemple l'électro-filage de nanofibres de poly(3,4-éthylènedioxythiophène) (PEDOT) [22]. Ces fibres textiles supercondensateurs pourraient être couplées à des fibres textiles récupérant l'énergie (fibres piézoélectriques ou solaires) pour rendre les vêtements intelligents et totalement autonomes en énergie.[23].

b) Les micro-supercondensateurs

Les travaux sur l'intégration de micro-supercondensateurs sont tous assez récents (après 2000), le terme "micro" faisant référence aux techniques de micro-fabrication utilisées pour une fabrication collective sur substrat (typiquement le silicium) et à la résolution des motifs d'électrode. Ces micro-supercondensateurs ont généralement une taille d'empreinte inférieure au cm^2 et une épaisseur totale de l'ordre de quelques centaines de microns maximum.

Deux cas de configurations de micro-supercondensateurs sont possibles (Figure III. 2): la première consiste en l'empilement de couches minces comprenant le collecteur de courant (métallique), le matériau

d'électrode, et l'électrolyte (dans la majorité des cas solide). Les deux électrodes en vis-à-vis sont séparées dans l'empilement par un séparateur, généralement l'électrolyte lui-même.

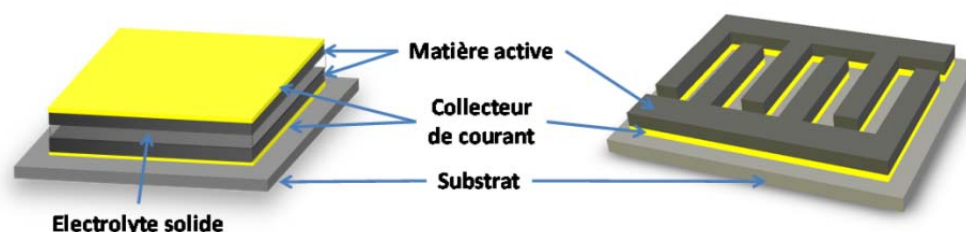


Figure III. 2. Schémas des configurations possibles pour les micro-supercondensateurs: a) empilé; b) interdigité

Dans la deuxième configuration, les deux électrodes sont réalisées sur un même plan et sont électriquement isolées par une séparation physique. L'électrolyte liquide ou solide est déposé par-dessus. Cette configuration planaire, le plus souvent interdigitée, permet de s'affranchir d'un séparateur polymère et d'accroître l'accessibilité des espèces ioniques par une réduction de l'inter-distance entre les deux électrodes. Ceci aura un impact sur les performances du micro-composant comme démontré plus bas. D'un point de vue technologique, la configuration planaire interdigitée présente l'avantage d'envisager une fabrication en une seule étape des deux électrodes, et de contourner la nécessité de déposer un séparateur par les méthodes de micro-fabrication. Cependant, la finalisation du composant, en particulier l'encapsulation d'un électrolyte liquide, peut présenter des difficultés.

Les premières réalisations de micro-supercondensateurs sortant des laboratoires de recherche ont directement été inspirées des technologies pour micro-batteries : les électrodes empilées sont faites d'un **matériau pseudo-capacitif** (oxydes métalliques hRuO_2) séparées par un électrolyte solide (LiPON) [4, 24]. En travaillant sur le matériau d'électrode, des capacités spécifiques élevées furent obtenues: de l'ordre de 201 mF.cm^{-2} pour la cellule [25].

Des électrolytes solides à conduction protonique, comme par exemple le $\text{Ta}_2\text{O}_5\text{:H}$, furent également étudiés pour ces micro-dispositifs [26]. L'utilisation d'un électrolyte liquide aqueux H_2SO_4 [27] reste néanmoins mieux adaptée, malgré sa fenêtre de potentiel limitée à 1 V (contre 2 V pour le LiPON). Le principal frein à la percée commerciale de supercondensateurs hRuO_2 est son prix exorbitant, déviant les recherches sur d'autres types de matériaux pseudo-capacitifs tel que hMnO_2 , moins performants mais commercialement intéressants. Cependant, dans le contexte bien précis des micro-supercondensateurs où le volume du matériau actif ne représente qu'une infime partie du dispositif, l'utilisation de métaux nobles ayant de fortes capacités spécifiques redevient envisageable.

Pour l'intégration de micro-supercondensateurs, **les polymères conducteurs** sont des matériaux pseudo-capacitifs attractifs car en plus d'être peu coûteux, ils peuvent être synthétisés localement par voie électrochimique à l'instar des oxydes métalliques. Ces matériaux disposent néanmoins de performances en cyclage très limitées comparées aux matériaux inorganiques. On trouve des travaux concernant la synthèse

électrochimique du polypyrrole (PPy) et/ou du poly-(3-phenylthiophène) (PPT) pour des micro-supercondensateurs en configuration interdigitée [28]. En milieu organique (Et_4NBF_4 / acétonitrile) une capacité de cellule de 5 mF.cm^{-2} pour une fenêtre de potentiel de 1,4 V est démontrée. Des capacités spécifiques beaucoup plus importantes peuvent être atteintes en milieux aqueux pour des micro-supercondensateurs à base de PPy comme démontré sur des structures 3D : 56 mF.cm^{-2} [29] et 78 mF.cm^{-2} [30].

En ce qui concerne les **condensateurs à double couche électrochimique**, ils n'ont été envisagés que tardivement pour une intégration avec les technologies de micro-fabrication (milieu des années 2000) car la matière active se présente la plupart du temps sous forme de poudre de carbone : la difficulté au niveau de la micro-échelle réside alors dans le dépôt sur substrat et de façon localisée de cette poudre, qui doit rester cohérente et adhérente au collecteur de courant. Dans un premier temps, les dépôts de la matière active ont été réalisés de façon quasi manuelle (seringue ou pointe) [6], [5]. Dans l'optique d'une fabrication collective, peu de techniques automatiques adaptées au dépôt de la matière active sur plaque entière avaient été testées. **Nos travaux, décrits dans les paragraphes suivants montrent les avancées qui ont été effectuées à ce sujet.** Enfin, la pyrolyse d'une résine epoxy déposée et façonnée au préalable par photolithographie propose une voix alternative aux techniques de dépôt [31].

La différenciation de ces techniques se situe à plusieurs niveaux : 1) la pureté de la matière active (si le carbone est mélangé ou non à des liants organiques et dans quelles proportions), 2) les épaisseurs des couches, 3) la résolution sur les motifs du composant. Ces trois aspects dicteront les performances du micro-supercondensateur.

Les performances en puissance sont principalement liées à la nature du matériau d'électrode (accès à la porosité) ainsi qu'aux dimensions du système : des électrodes fines et proches l'une de l'autre favoriseront les échanges rapides d'ions.

Pour atteindre de fortes densités d'énergie, outre la nécessité d'avoir une fenêtre de potentiel importante, il faut parvenir à de fortes capacités spécifiques : les matériaux d'électrode jouent un rôle important (voir le Tableau III. 1) ; mais également les épaisseurs : les techniques permettant le dépôt de couches épaisses devront être privilégiées. A titre d'exemple, l'Université de Tsinghua en Chine [32] a établi un record de capacité spécifique : 91 mF.cm^{-2} , avec un procédé consistant à injecter une pâte de charbon actif et PVDF dans des canaux gravés dans le silicium : les électrodes font entre 50 et $70 \mu\text{m}$ d'épaisseur.

c) Performances

Il est habituel de donner les densités en énergie et en puissance de supercondensateurs, traçables sur un diagramme de Ragone.

L'énergie maximum est alors calculée selon l'équation suivante :

$$E = \frac{1}{2} CU^2$$

Dans tous les cas, il doit être spécifié si la capacité C est celle de l'électrode ou de la cellule : cette dernière vaut la moitié de la capacité d'une électrode (C_1C_2/C_1+C_2 avec $C_1=C_2$ dans le cas d'électrodes symétriques) et le quart de sa capacité spécifique. En effet, quand on parle de capacité spécifique de la cellule, c'est-à-dire de la capacité par unité de surface dans le cas des micro-supercondensateurs, il faut prendre en compte la surface totale de la cellule, qui est égale au double de la surface d'une électrode, ce qui explique le facteur 2 supplémentaire dans le calcul.

D'autre part, l'énergie donnée dans l'équation ci-dessus est une énergie maximale : en utilisation réelle, la tension du supercondensateur ne varie qu'entre la tension nominale et la moitié de cette tension.

La puissance maximale est quant à elle donnée par :

$$P_{max} = \frac{U^2}{4R}$$

où R est la résistance de la cellule. Cette résistance est constituée de la Résistance Série Equivalente (RSE) tenant compte des collecteurs de courant et de l'électrolyte et de la Résistance Distribuée Equivalente (RDE) liée au matériau d'électrode. Avec un matériau poreux, la RDE est représentée par un réseau d'éléments résistifs et capacitifs modélisant les pores, à l'image d'une ligne de transmission [33].

La puissance instantanée est quant à elle calculée selon l'équation suivante :

$$P = \int_0^{U_{max}} I. dU$$

Pour les micro-supercondensateurs, les énergies et puissances sont ramenées par surface de composant.

Les meilleures performances atteintes présentées par type de micro-supercondensateurs sont présentées dans le Tableau III. 2.

Tableau III. 2. Meilleures performances obtenues sur des micro-supercondensateurs de trois types : oxydes métalliques, polymères conducteurs et carbone

Ref	Electrode	Electrolyte	Configuration	C (mF.cm ⁻²)	Tension (V)	Max vit balayage (mV.s ⁻¹)	E (mJ.cm ⁻²)	P (mW.cm ⁻²)**
KIST [25]	hRuO ₂	LiPON	Empilé	201	2	--	401	
Nav. Res. Lab [27]	hRuO ₂	H ₂ SO ₄ /H ₂ O	Pads	320	1	--	160	4,4
Vestfold/Xiamen [29]	PPy	NaCl/H ₂ O	Doigts	56	1	20	28	1,12
Univ. Miami[30]	PPy	KCl/H ₂ O	Doigts	78	0,8	20	25	0,63
Tsinghua [32]	AC	NaNO ₃ /H ₂ O	Doigts	91	1	50	45,4	5,15
Univ. Miami [31]	C-SU8*	H ₂ SO ₄ /H ₂ O	Doigts	18,8	1	200	9,38	0,094

* SU8 carbonisé ; ** Puissance instantanée.

Les énergies les plus élevées (de l'ordre de 200 à 400 mJ.cm⁻²) sont atteintes à la fois pour les micro-supercondensateurs à base d'oxydes métalliques et pour ceux à base de carbone. Pour les premiers dispositifs, cette forte énergie résulte de l'utilisation d'un matériau à forte capacité (hRuO₂). Pour les

seconds, bien que la capacité du carbone soit inférieure à celle des oxydes métalliques, les fortes énergies sont atteintes grâce à l'utilisation d'un électrolyte liquide organique permettant une large gamme de tension.

D'autres critères de performance en rapport avec les applications sont à prendre en compte : la tension maximale d'utilisation, la cyclabilité, les tenues aux régimes extrêmes (basse/haute températures) et l'autodécharge. Ces critères ne sont pas spécifiques aux micro-composants car ils sont basés sur les matériaux ou les électrolytes qu'ils contiennent.

d) Un enjeu : l'auto-décharge

Les supercondensateurs présentent une autodécharge beaucoup plus marquée que les condensateurs principalement due à 3 phénomènes :

- La présence de surtensions locales lors de la charge, qui se réorganisent lentement jusqu'à l'homogénéisation complète des charges. Ces surtensions créent une tension apparente (qui n'est donc pas strictement liée à la charge emmagasinée) qui diminue au fur et à mesure que les charges se réorganisent.
- La présence d'impuretés dans l'électrolyte ou sur la surface des électrodes.
- Des court-circuits dans l'électrolyte (supposé être isolant électronique). La part d'autodécharge liée à ce dernier facteur est appelée courant de fuite. Les courants de fuite annoncés par les fabricants de supercondensateurs sont de l'ordre de quelques $\mu\text{A}/\text{F}$ (conditions spécifiques en température, tension).

Il est attendu que le passage à la micro-échelle peut être un avantage vis-à-vis de l'autodécharge : des volumes d'électrolyte réduits permettraient la réduction des impuretés souvent à l'origine de l'auto-décharge. Ce point reste encore à démontrer car il implique la réalisation d'un micro-supercondensateur totalement finalisé, c'est-à-dire avec son encapsulation.

e) Encapsulation

La réalisation d'une encapsulation hermétique stable compatible avec les procédés de micro-fabrication des circuits électroniques est un défi majeur. L'encapsulation des micro-supercondensateurs dépendra de l'électrolyte utilisé (liquide/solide, aqueux/organique).

Un composant utilisant un électrolyte solide comme par exemple un verre conducteur ionique LiPON [4], une membrane Nafion [16], un oxyde de tantale Ta_2O_5 [26], ou bien un électrolyte sous forme de gel polymère comme par exemple un alcool polyvinylique (PVA / H_2O / H_3PO_4) [34, 35], sera fonctionnel à la fin du procédé. Cependant, sa fenêtre de potentiel sera limitée à 1 V et ses performances en puissance dégradées du fait de la faible conductivité ionique de l'électrolyte. Pour les électrolytes organiques, l'encapsulation doit se faire sous vide ou sous une atmosphère contrôlée en argon avec des taux d'oxygène

et d'humidité inférieurs aux ppm. La température du procédé d'encapsulation ne doit pas par ailleurs dépasser les températures de fusion du matériau d'électrode et/ou d'ébullition de l'électrolyte.

Les techniques d'encapsulation recensées s'apparentent grandement à celles des batteries couches minces ou des micro-batteries [36] et [37].

Typiquement, trois voies d'encapsulation sont envisageables :

- L'utilisation d'un capot au-dessus du système. Cette technique n'est pas collective. Le composant final est rigide et son épaisseur est dominée par l'encapsulation.
- Le laminage d'un film polymère/métal à basse température: très adapté pour les supercondensateurs en films. La flexibilité est conservée.
- L'utilisation des procédés couches minces directement à la suite de l'empilement du micro-composant. Peuvent être utilisés: la pulvérisation cathodique ou l'évaporation de couches métalliques, les dépôts en phase gazeuse d'oxydes (SiO_x , SiN_x ...) ou polymères comme le parylène. Ce type d'empilement donne une encapsulation fine, l'électrolyte devant être sous forme solide.

Il n'existe que très peu de travaux abordant la question de l'encapsulation pour les micro-supercondensateurs à l'échelle de la plaquette ("wafer-level") surtout lorsqu'il s'agit de systèmes fonctionnant avec des électrolytes liquides organiques. De nombreuses voies d'encapsulation doivent être évaluées et validées concernant les micro-supercondensateurs afin de les rendre fonctionnels et rendre les procédés transférables aux industriels.

f) Conclusions

Au vu de cet état de l'art, il est clair que les performances en énergie et en puissance dépendent fortement des matériaux utilisés. D'autres facteurs comme la durée de vie, la tenue aux températures extrêmes peuvent être déterminants dans le choix des matériaux (électrolyte compris).

Dans la suite de ce chapitre, j'exposerai les choix effectués vis-à-vis des configurations et matériaux selon les cahiers des charges imposés par les applications visées. En particulier, les premiers travaux se sont portés sur **la réalisation complète de micro-supercondensateurs à forte densité d'énergie**, dédiés au cahier des charges définis par AIRBUS dans le projet AUTOSENS.

Le second axe, dans la continuité du premier, concerne **les matériaux d'électrodes, leur méthode de synthèse et leur intégration au sein du micro-composant**, l'objectif étant d'améliorer les performances : en puissance, en énergie, en gamme maximale de tension et de températures.

3. Micro-supercondensateurs à base de carbone

3.1. Cahier des charges pour applications aéronautiques et dimensionnement associé

La première application envisagée avait pour contexte l'aéronautique. L'objectif général était de déployer, sur un aéronef, un réseau de capteurs communiquant sans fil intégrant les parties capteurs, l'électronique

et une source d'énergie, de manière à collecter des données sur l'état de santé des structures mécaniques. Ce genre de réseau de capteurs sans fil intéresse AIRBUS pour la surveillance en vol des structures mécaniques d'un avion. C'est une manière d'avoir une surveillance fiable des pièces constituant la carlingue, d'appréhender les dégradations mécaniques et éviter alors les maintenances préventives, coûteuses. Dans ce cadre, le projet AUTOSSENS visait au sein d'un nœud du réseau de capteurs, de traiter la partie autonomie énergétique. Le cahier des charges dans cette application est relativement contraignant. La durée de vie du dispositif doit égaler celle de l'avion, soit 40 ans. L'environnement auquel est exposé le système embarqué est par ailleurs exigeant puisque la température varie entre -50 à + 80°C. Pour des raisons de longévité et de tenue en températures, les batteries sont écartées du cahier des charges.

Deux types de transducteurs récupérant l'énergie environnant le nœud de capteur ont été envisagés dans le projet :

- un thermogénérateur, actif dans les phases de décollage et atterrissage. Ce volet a été traité par l'équipe de Jean-Marie Dilhac et Marise Bafleur [38].
- un micro-système piézoélectrique pour la récupération de l'énergie vibratoire générée par les moteurs pendant la phase de croisière, lorsque la température ne varie plus ou peu. Ce volet a été traité dans l'équipe de Carole Rossi (N2IS) et constitue, en plus du volet sur les supercondensateurs, une partie importante de la thèse de Hugo Durou [39].

Ce genre d'énergie récupérée étant par nature intermittente, un élément de stockage est nécessaire. En outre, au sein du nœud du capteur, il est nécessaire d'obtenir un système peu encombrant, capable de délivrer des pics de puissances (transmission de l'information) et d'assurer une autonomie pendant des années (pas de possibilité de remplacement). L'usage de supercondensateurs à base de carbone et d'électrolytes liquides organiques ou de liquides ioniques appropriés fonctionnant sur une large gamme de température s'est alors imposée, avec à la clef, une réalisation sur puce.

Les exigences en stockage (niveau d'énergie nécessaire) ont été définies selon le scénario suivant : l'élément de stockage tampon du nœud doit être capable de stocker l'énergie récupérée par les transducteurs et la fournir au capteur (ici un accéléromètre ayant une consommation moyenne de 20 μ W) pendant toute la durée du vol, en moyenne de 10h. L'énergie totale à fournir est dans ce cas de 720 mJ (20 μ W pendant 10 h), ce qui nécessite une capacité de stockage de 230 mF. Cette valeur de capacité est obtenue sur la base d'une tension maximale de 2,5 V en considérant que toute l'énergie stockée est utilisable ($E = CU^2/2$) et qu'il n'y a aucune perte résistive ou autodécharge. Ensuite, si l'on considère que la surface allouée au stockage tampon est de 2 cm^2 (valeur raisonnable dans cette application), le supercondensateur doit être capable de stocker une densité d'énergie de 360 mJ.cm^{-2} soit une capacité de 115 mF.cm^{-2} .

L'intégration sur silicium de supercondensateurs ayant une telle densité d'énergie est un défi au regard de l'état de la technique. En effet, pour atteindre un tel niveau d'énergie, avec une technologie

utilisant du charbon actif comme matériau d'électrode et un électrolyte liquide organique (PC ou ACN), il a été calculé que des électrodes de près de 400 μm d'épaisseur seraient nécessaires.

Diverses technologies ont été développées au laboratoire privilégiant alors les dépôts épais et des matériaux performants. Le micro-composant finalisé contient un électrolyte liquide qui doit être exempt d'eau, ce qui présente une difficulté supplémentaire en micro-technologie.

3.2. Technologies pour le dépôt de matière active

La structure la plus simple à réaliser sur substrat plan est la structure interdigitée où les électrodes sont mises sur le même plan comme l'indique la Figure III. 2.b.

Diverses technologies ont été envisagées et des essais menés en parallèle pour le dépôt de la matière active à base de carbone : le jet d'encre, la sérigraphie, l'électrophorèse et les couches minces. Dans le reste du document, lorsque le charbon actif est mentionné, il s'agit du charbon actif de Kuraray YP-50F² de surface spécifique comprise entre 1500 et 1800 $\text{m}^2.\text{g}^{-1}$.

a) **Jet d'encre**

La technique de jet d'encre a été choisie dans un premier temps pour déposer le mélange charbon actif, ligand organique (PTFE) sur des collecteurs de courant en or. La machine de jet d'encre (Altadrop®) acquise par le LAAS en 2007 est un équipement d'Altatech Semiconductor. Tout un travail de préparation des encres a été effectué : les émulsions doivent en effet être homogènes et stables dans le temps pour permettre de bonnes conditions de jet d'encre. Par ailleurs, une fonctionnalisation de surface est nécessaire pour obtenir un dépôt sélectif entre une électrode en or et le substrat en silicium oxydé et ainsi descendre en résolution.

La Figure III. 3 a) montre une cellule test sur silicium avec un dépôt de charbon actif + PTFE effectué par jet d'encre sur des électrodes en or. L'épaisseur du dépôt est de l'ordre de 1 à 2 μm . Ce micro-supercondensateur a été testé³ en imprégnant les électrodes de charbon actif d'un électrolyte (carbonate de propylène + 1 M Et_4NBF_4), opération effectuée en atmosphère anhydre contrôlée (boîte à gants) [40]. Les résultats indiqués sur la Figure III. 3.b) sont très prometteurs : la capacité obtenue est de l'ordre de 2 $\text{mF}.\text{cm}^{-2}$ pour une densité d'énergie de 6,6 $\text{mJ}.\text{cm}^{-2}$ [41].

² <http://www.kuraraychemical.com/Products/SC/capacitor.htm>

³ Au CIRIMAT à Toulouse.

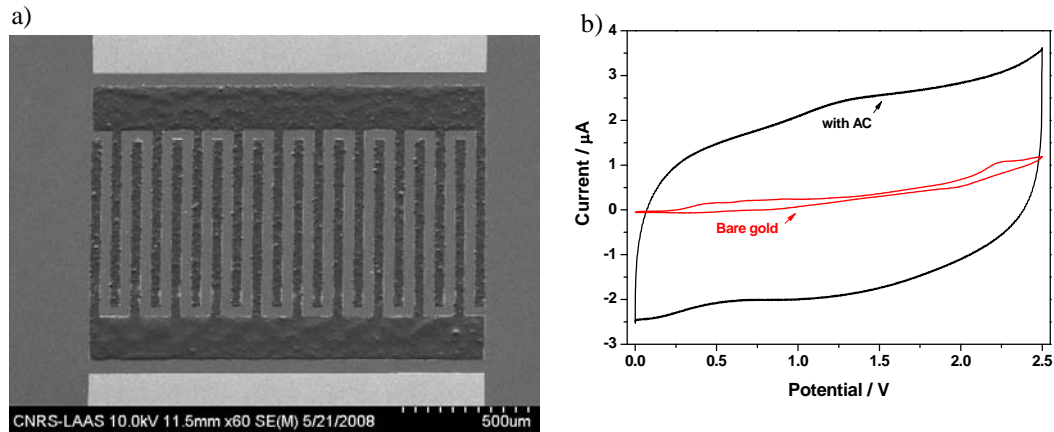


Figure III. 3. a) Image MEB d'une structure avec doigts interdigités en or de largeur 40 µm, espacés de 40 µm et long de 800 µm sur lesquels le charbon actif est déposé. b) Voltampérogramme d'un micro-supercondensateur contenant du charbon actif mesuré avec du carbonate de propylène comme électrolyte (+ Et4NBF4)

Il est à noter que cette technologie présente cependant des limites : la stabilisation de l'émulsion contenant le charbon actif et le liant organique (PTFE) est difficile à obtenir de façon reproductible. Ces composants présentent par ailleurs une résistance série assez élevée liée à la présence des divers constituants de l'électrode et d'une mauvaise interface entre le collecteur de courant et la matière active, ainsi que des courants de fuite non négligeables probablement dus aux groupements fonctionnels électroactifs présents à la surface du matériau et d'impuretés oxydables au sein de l'électrolyte. L'épaisseur des dépôts est également limitée avec cette technologie à quelques microns, réduisant de fait la capacité totale du microcomposant. Or, pour un stockage de l'énergie intéressant dans les applications embarquées, des densités d'énergie plus importantes sont requises.

Deux technologies alternatives ont ainsi été mises en place dans le courant de l'année 2009 pour augmenter les épaisseurs de la matière active : la sérigraphie et le dépôt par électrophorèse.

b) Sérigraphie

Dans un premier temps, afin de réaliser des électrodes épaisses sans pour autant augmenter l'épaisseur totale du micro-composant, un procédé technologique d'électrodes enterrées a été développé. Il s'agit de graver par un bain KOH les doigts interdigités qui forment alors des cuves destinées à accueillir la matière active épaisse.

La pâte de sérigraphie se compose de charbon actif, d'un liant et d'un solvant. Divers liants et solvants ont été testés : le premier mélange PTFE/éthylène glycol, trop hydrophobe a été remplacé par un mélange de PVDF/acétone puis par un mélange de PVDF/éthanol du fait de la trop grande volatilité de l'acétone⁴. La thixotropie de la pâte est cependant difficile à maîtriser : il s'est avéré que sa viscosité changeait en fonction de la pression appliquée (pâte rhéoépaississante) empêchant l'obtention d'un bon remplissage des

⁴ Le PDVF n'étant pas soluble dans l'éthanol, nous avons également augmenté la quantité du liant à 30% pour assurer la cohérence de la pâte.

cuves et d'une résolution adaptée, c'est-à-dire des motifs non court-circuités par des résidus de matière active entre les doigts. Une méthode manuelle sans masque de sérigraphie a alors été développée avec l'aide d'une couche sacrificielle en résine pour protéger l'espace entre les doigts interdigités et éviter ainsi les court-circuits. La Figure III. 4.a montre un micro-supercondensateur réalisé par cette méthode, contenant des cuves gravées par KOH, des électrodes en or sur lesquelles la pâte a été étalée. Les dépôts ainsi obtenus sont de 200 à 300 μm d'épaisseur. Le composant est ensuite imprégné d'un électrolyte liquide : le propylène carbonate (PC) contenant des sels (Et_4NBF_4) et testé sous atmosphère anhydre en boîte à gants. La Figure III. 4.b montre les voltampérogrammes cycliques à diverses vitesses de balayage.

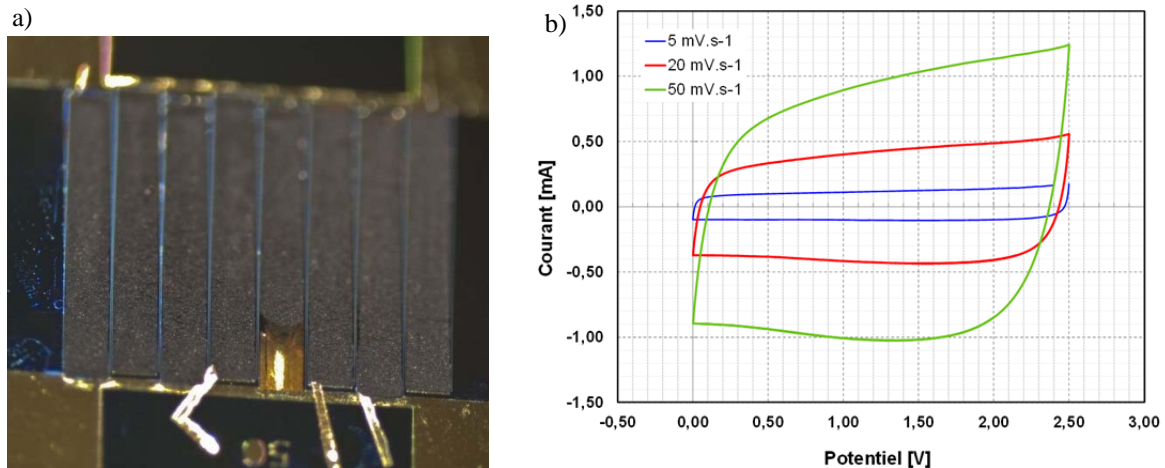


Figure III. 4. a) Micro-supercondensateur réalisé par sérigraphie (cuves 400 μm profondeur, 2 x 4 doigts, espacement 50 μm) ; b) voltampérogramme d'un micro-supercondensateurs ayant une structure à 8 électrodes interdigitées séparées de 100 μm .

Les capacités spécifiques résultantes sont de l'ordre de 80 $\text{mF}\cdot\text{cm}^{-2}$ ce qui représente en termes de densité d'énergie pour un électrolyte liquide organique près de 250 $\text{mJ}\cdot\text{cm}^{-2}$. Ces performances sont satisfaisantes en regard du cahier des charges défini en début de projet et supérieures à l'état de l'art international dans le domaine [42].

c) Dépôt électrophorétique

La technique de dépôt électrophorétique de matière active (carbone) a été envisagée car elle permet une **fabrication collective à l'échelle de la plaquette, et qui plus est, sélective**. Nul besoin de masque si les collecteurs de courant sont lithographiés a priori.

La méthode est basée sur la migration de particules chargées en suspensions sous l'application d'un potentiel électrique. L'ajout de MgCl_2 permet d'une part de charger et stabiliser électrostatiquement les particules de carbone à déposer par l'adsorption de Mg^{2+} , et d'autre part d'assurer une adhésion du film par la formation de $\text{Mg}(\text{OH})_2$ résultant de la décomposition de l'eau. Ainsi des dépôts exempts de liants organiques (à l'instar du PTFE précédemment utilisé) de 0,5 à 30 μm ont pu être réalisés sur des électrodes interdigitées (Figure III. 5) pour deux types de matériau carboné : le charbon actif (1700 m^2/g) et des oignons de carbones (500 m^2/g , fullerènes imbriquant des feuillets graphitiques concentriques rappelant ceux de l'oignon) fournis par l'Université de Drexel.

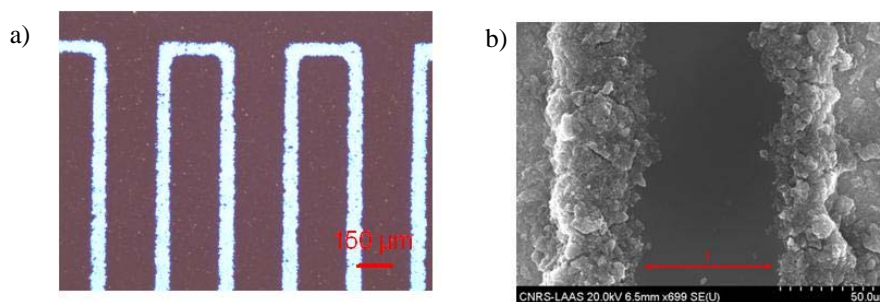


Figure III. 5. Vues a) microscope et b) MEB du dépôt électrophorétique de charbon actif.

Les caractérisations électrochimiques des micro-composants ont été faites avec deux types d'électrolytes : un électrolyte organique et un liquide ionique.

- **Electrolyte liquide organique**

Pour les caractérisations, les micro-supercondensateurs sont montés en boîtier puis imprégnés d'électrolyte (carbonate de propylène + 1M Et_4NBF_4). Les Figure III. 6 et Figure III. 7 montrent les voltampérogrammes cycliques pour les deux types de matériaux carbonés à différentes vitesses de balayage.

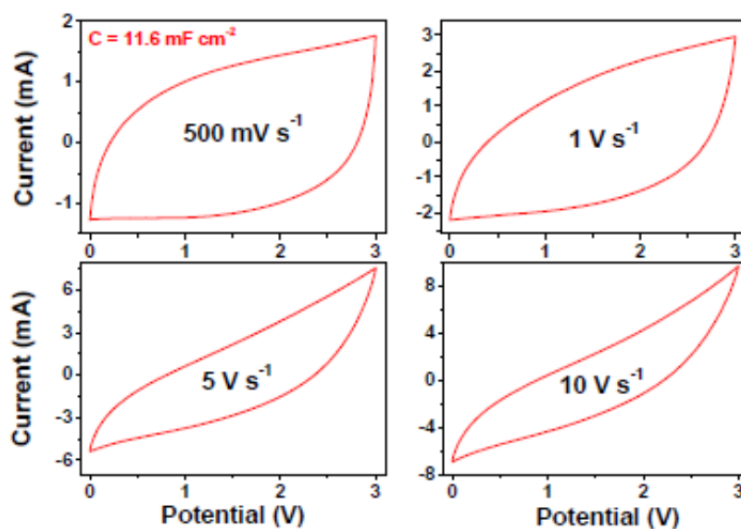


Figure III. 6. Voltampérogrammes cycliques des microsupercondensateurs à base de charbon actif dans 1M Et_4NBF_4 / carbonate de propylène.

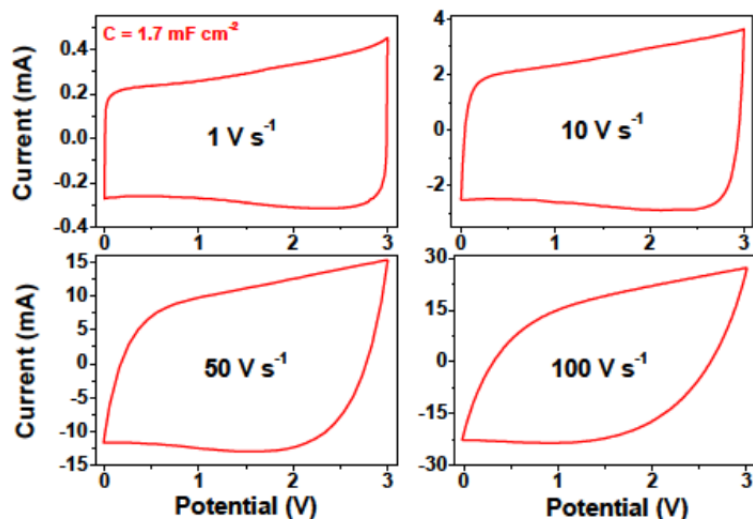


Figure III. 7. Voltampérogrammes cycliques des microsupercondensateurs à base d'OLCs dans 1M Et_4NBF_4 / carbonate de propylène.

La capacité spécifique des micro-supercondensateurs à base de charbon actif est de $11,6 \text{ mF}\cdot\text{cm}^{-2}$ (dépôt de $5 \mu\text{m}$ d'épaisseur) sur une gamme de tensions de $2,5 \text{ V}$ (Figure III. 6.a). Elle est supérieure à celle des oignons de carbone ($1,7 \text{ mF}\cdot\text{cm}^{-2}$) de par la plus grande surface spécifique du charbon actif.

Il est à noter que ces derniers peuvent cycliser à de fortes vitesses de balayage ($100 \text{ V}\cdot\text{s}^{-1}$) ce qui correspond à de très fortes densités de puissance. Les raisons en sont l'absence de liant organique au sein de la matière active et la structure particulière des OLCs qui permettent donc un accès rapide des ions dans le matériau, rendant l'adsorption / désorption extrêmement rapide. **Ces résultats présentent une rupture franche en termes de densités de puissance comparés aux dispositifs macroscopiques actuels [43].**

Au cœur de ces micro-composants, la microstructuration des électrodes joue également un rôle important. En effet, pour des matériaux d'électrodes fins et très accessibles tels que les OLCs, la configuration des micro-électrodes revêt une importance particulière vis-à-vis des taux de charges-décharges, comme le montre la Figure III. 8. Dans ce cas-ci, avec une surface totale de composant constante, plus le nombre de doigts des électrodes est important, plus la distance inter-électrode est faible : la résistance de l'électrolyte (prédominante dans ce système) est alors réduite et de fortes vitesses de balayage peuvent être atteintes.

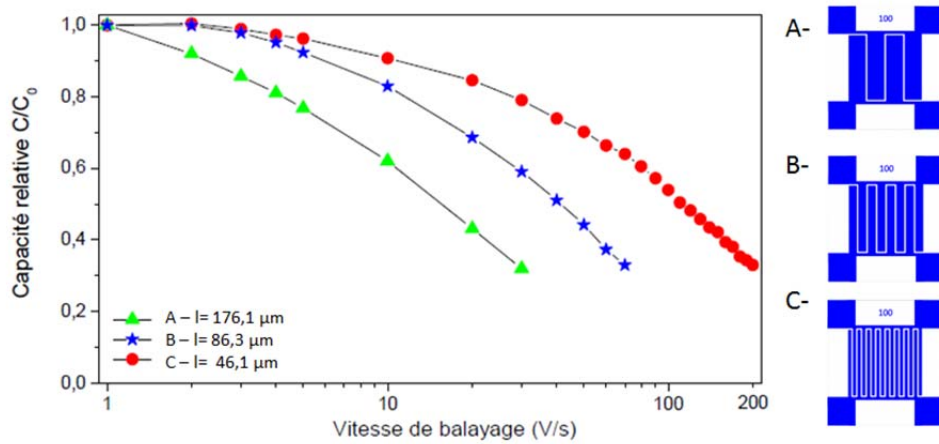


Figure III. 8. Capacité relative en fonction de la vitesse de balayage pour 3 différentes configurations.

Ces résultats obtenus par sérigraphie et par électrophorèse indiquent que les techniques de dépôt de la matière active influencent directement les performances. Pour favoriser les densités d'énergie, on choisira les dépôts épais par sérigraphie. Quant à l'électrophorèse, bien qu'il soit possible d'obtenir des dépôts plus épais que ceux obtenus dans ces expériences, cette technique semble adaptée pour les fortes puissances.

- Electrolyte : liquide ionique

Dans la suite de ces travaux concernant l'électrophorèse, afin d'augmenter la densité d'énergie ($E = 1/2 CU^2$), un mélange eutectique de liquides ioniques (ILM) [44], a été appliqué sur le même micro-supercondensateur à base d'OLC. Les caractéristiques de ce mélange eutectique liquide ionique sont à la fois sa capacité à fonctionner jusqu'à 3,7 V et sa large gamme de températures (-50 °C à 80 °C), ce qui permet l'application de micro-supercondensateurs dans des conditions extrêmes. Les voltampérogrammes cycliques sont montrés sur la Figure III. 9.

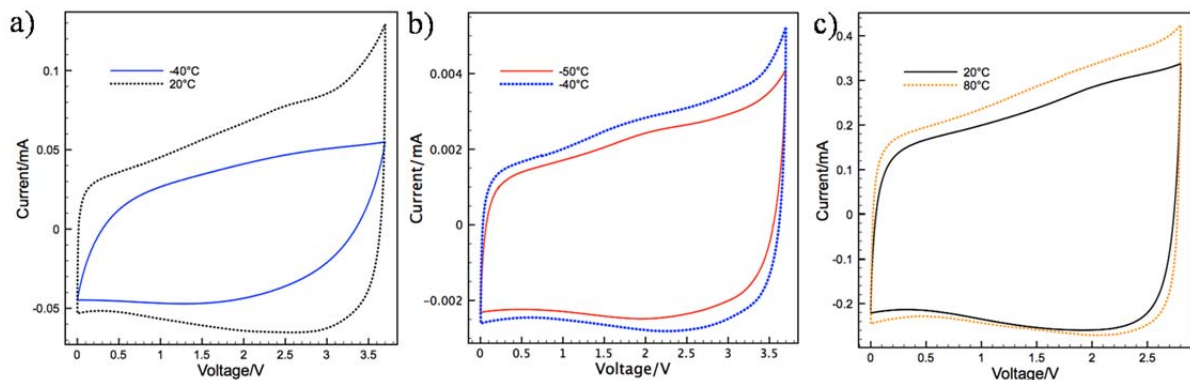


Figure III. 9. Voltampérogrammes cycliques CV de micro-supercondensateur à base de OLC préparé par EPD dans ILM a) à 200 mV/s à 40 °C (bleu) et 20 °C (noir), b) à 1 V/s à 20 °C (noir) et 80 °C (orange) pour une tension de 2.8 V, c) à 10 mV/s à -50 °C (rouge) et -40 °C (bleu).

Les voltampérogrammes cycliques ont un comportement capacitif idéal avec une forme rectangulaire, à différentes températures, de $-50\text{ }^{\circ}\text{C}$ à $80\text{ }^{\circ}\text{C}$, indiquant la capacité de l'électrolyte ILM à différentes températures. À $20\text{ }^{\circ}\text{C}$, une capacité surfacique de $1,1\text{ mF}\cdot\text{cm}^{-2}$ est atteinte pour ces micro-supercondensateurs. À $-50\text{ }^{\circ}\text{C}$, pour une vitesse de balayage de 10 mV/s , 76% de la capacité est conservée. On observe une résistance série élevée de la cellule à $-50\text{ }^{\circ}\text{C}$ correspondant à la faible conductivité du mélange liquide ionique à basses températures. A $80\text{ }^{\circ}\text{C}$, la tension est limitée (à $2,8\text{V}$ au lieu de $3,7\text{V}$) car les réactions d'oxydo-réactions dues aux impuretés sont accélérées.

Bien que les performances en puissance soient compromises dans ce cas avec un électrolyte plus visqueux, la tolérance en température a été grandement améliorée. Par ailleurs, l'utilisation de l'électrolyte ILM permet d'agrandir la gamme de tension.

- Bilan des performances des micro-supercondensateurs réalisés par EPD

Tableau III. 3. Performances des micro-supercondensateurs avec des matériaux de carbone différents et des électrolytes différents.

Carbone	Electrolyte	Configurat ion	C ($\text{mF}\cdot\text{cm}^{-2}$)	ESR ($\Omega\cdot\text{cm}^2$)	Tensi on (V)	Max. v de balayage ($\text{V}\cdot\text{s}^{-1}$)	E ($\text{mJ}\cdot\text{cm}^{-2}$)	P_{max} ($\text{mW}\cdot\text{cm}^{-2}$)
CA	$\text{NEt}_4\text{BF}_4/\text{PC}$	2x8 doigts	5,4	4,4	3	$0,5\text{ V/s}$	24,3	500
OLC	$\text{NEt}_4\text{BF}_4/\text{PC}$	2x8 doigts	1,04	3,8	3	100 V/s	4,68	592
OLC	$\text{NEt}_4\text{BF}_4/\text{PC}$	2x2 doigts	1,04	--	3	10 V/s	4,68	203
OLC	ILM	2x2 doigts	1,11	--	3,7	20 V/s à $80\text{ }^{\circ}\text{C}$	7,5	241

Surface totale des composants = $0,25\text{ cm}^{-2}$

Les micro-supercondensateurs à base de charbon actif bénéficient des meilleures capacités surfaciques et ceci grâce à la surface spécifique élevée du matériau (Kuraray Chemical Co. ; $1800\text{ m}^2/\text{g}$). Le fait d'avoir utilisé des OLCs démontre surtout la possibilité d'obtenir une capacité en charge/décharge extrêmement rapide. La configuration avec les doigts interdigités les plus rapprochés augmente d'autant cette rapidité du dispositif. Enfin, afin d'accroître l'énergie spécifique des micro-dispositifs contenant les OLCs, l'utilisation d'un mélange eutectique liquide ionique a permis d'étendre la fenêtre de tension ($3,7\text{ V}$) par rapport aux électrolytes organiques et un fonctionnement sur une large gamme de températures ($-50\text{ }^{\circ}\text{C}$ à $80\text{ }^{\circ}\text{C}$).

3.3. Couches minces de carbone nanostructuré

Dans le cas des supercondensateurs à base de poudres de carbone, il est inévitable d'utiliser un liant (PVDF ou PTFE en général) qui apporte la cohérence des grains entre eux et leur adhérence sur le substrat. Le liant réduit cependant le taux en carbone dans le volume de l'électrode. En outre, si le liant n'est pas conducteur, la conductivité de l'électrode de carbone peut être compromise. Dans ce contexte, un film de carbone pur exempt de liant est la solution idéale pour obtenir des performances optimales.

Nous avons alors envisagé des micro-supercondensateurs basés sur des couches minces de Carbones Dérivés des Carbures développés par l'équipe du Pr. Yury Gogotsi de l'Université de Drexel, Philadelphie (E.U.). Avec une température de chloration autour de 500°C [12], la taille des pores résultante est de 0,7 nm. Des capacités volumiques extrêmement élevés sont atteignables surtout pour les couches fines : 180 F.cm⁻³ pour une épaisseur de film de 1 µm avec un électrolyte organique (acétonitrile) [11, 45]. Ces valeurs sont significativement supérieures à celles obtenues dans le cas de poudres (voir Tableau III. 1). Leur configuration en couche mince permet d'envisager une intégration dans le procédé technologique sur silicium avec des procédés dits « standards » et nous espérons que les caractéristiques liées à leurs nanostructures seront pleinement exploitées.

Divers enchaînements d'étapes ont dû être testés pour former les microélectrodes contenant les couches de CDC et les collecteurs de courant : la gravure réactive ionique (RIE) notamment a été utilisée avant ou après la transformation des carbures en carbone (voir Figure III. 10). Dans tous les cas, les collecteurs de courant sont déposés après l'étape de chloration à cause de la température de près de 500°C appliquée. Divers CDCs ont également été testés : à base de SiC et à base de TiC. Ces derniers présentent d'ailleurs une meilleure conductivité que les SiC-CDCs : ils ont fait l'objet d'une plus grande attention.

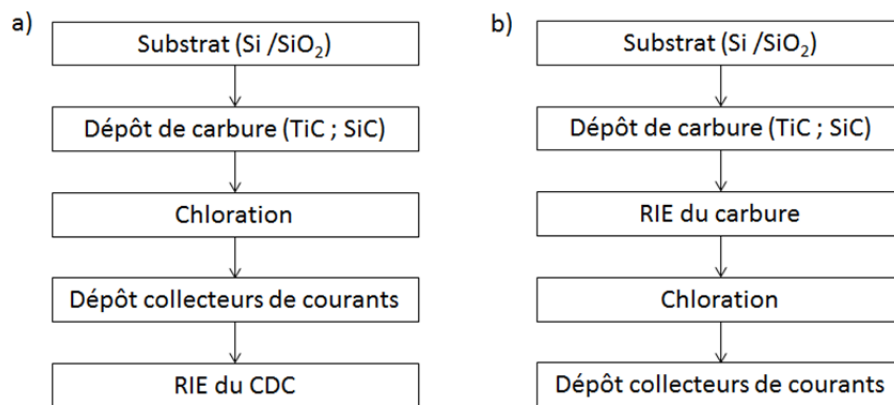


Figure III. 10. Enchaînement d'étapes pour la réalisation de micro-supercondensateurs à base de couches minces de CDC : a) RIE après chloration ; b) RIE avant chloration.

Le premier procédé envisagé et testé est celui de la Figure III. 10.a : une couche de TiC est pulvérisée sur le substrat SiO₂/Si, puis chlorée en TiC-CDC. La température de chloration a dû être ajustée à 450°C pour éviter la corrosion du substrat de silicium. Une couche de Ti/Au est ensuite déposée à travers un pochoir ayant la forme de doigts interdigités : cette couche servira à la fois de masque au cours l'étape de gravure RIE et de collecteurs de courant pour le micro-dispositif final. La difficulté repose sur le développement d'un procédé de gravure du CDC efficace et sélectif pour que la couche de Ti/Au servant de masque soit assez épaisse à la fin de l'étape et puisse servir alors de collecteur de courant. Un micro-supercondensateur de surface totale mesurant 0,27 cm² a été préparé en utilisant ce procédé de RIE de TiC-CDC. Cependant, l'étape d'assemblage où la connexion doit être établie par micro-soudure s'est révélée difficile en raison de la fragilité de la couche de carbone sous-jacente. Une pâte d'argent a été alors

utilisée comme substitut à la connexion standard. Cette pâte se dissolvant dans un solvant organique, le seul électrolyte autorisé est un électrolyte aqueux. Bien que seulement quelques cycles aient pu être effectués dans l'acide sulfurique 1M H_2SO_4 solution aqueuse à 0,6 V avant dégradation de l'empilement, une capacité élevée a été obtenue: 2,2 $\text{mF}\cdot\text{cm}^{-2}$ par surface de composant, ce qui correspondrait à 175 $\text{F}\cdot\text{cm}^{-3}$ du film TiC-CDC. Les résultats électrochimiques (CV, impédance) sont fortement dégradés à cause de cette étape de connexion non adaptée.

Afin de réaliser un micro-supercondensateur reproductible et fiable, nous avons décidé de graver le carbure de titane avant chloration : les étapes sont indiquées sur la Figure III. 10.b. Le film TiC a donc été gravé par RIE avec des gaz fluorés et une résine photosensible comme masque. La chloration est ensuite réalisée sur les doigts interdigités de TiC. Les collecteurs de courant sont déposés à travers un pochoir. Ce masque comprend une prolongation des pistes sur le SiO_2 en dehors de la zone contenant du CDC pour faciliter la microsoudure et ainsi permettre une connexion standard pour la caractérisation électrochimique. Le schéma du dispositif est montré sur la Figure III. 11.

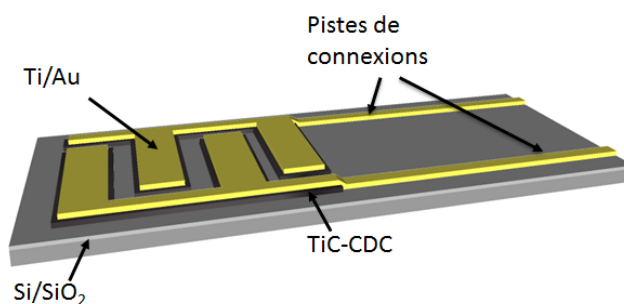


Figure III. 11. Schéma du dispositif de test contenant la couche de TiC-CDC et collecteurs de courants.

Lors de la caractérisation électrochimique du micro-dispositif baigné dans un électrolyte 1M $\text{NEt}_4\text{BF}_4/\text{PC}$, nous observons un comportement capacitif jusqu'à 2 V, et ceci pour deux types de collecteurs de courants: Ti/Au ou Al (Figure III. 12). Une capacité surfacique de 1,4 $\text{mF}\cdot\text{cm}^{-2}$ pour le composant et une capacité volumique de 35 $\text{F}\cdot\text{cm}^{-3}$ pour le film TiC-CDC ont été mesurées. La capacité volumique est inférieure à celle reportée pour la configuration sandwich (180 $\text{F}\cdot\text{cm}^{-3}$). Une hypothèse d'explication est proposée: l'électrolyte à base de carbonate de propylène ne permet pas l'imprégnation totale du matériau de par la grande taille de l'ion solvaté. La taille des pores du TiC-CDC doit probablement être adaptée par un traitement à plus haute température.

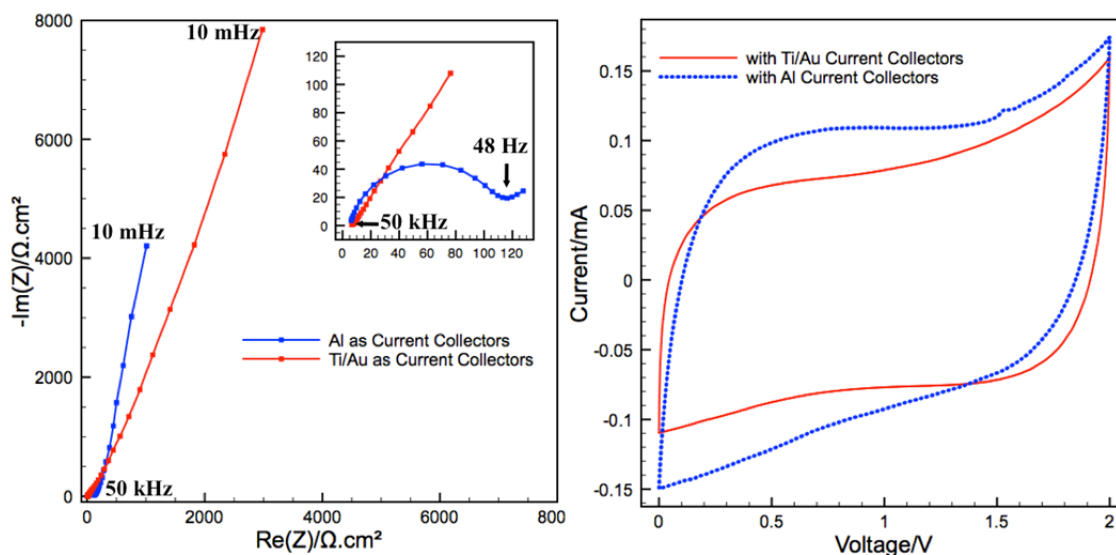


Figure III. 12. a) Diagramme de Nyquist et b) voltampérogramme cyclique à 100 mV/s de micro-supercondensateurs à base de TiC-CDC avec collecteurs de courant différents.

Bilan des performances des micro-supercondensateurs CDC

Du point de vue technologique (empilement, tenue des matériaux à la gravure), il s'avère plus viable de graver par RIE les électrodes en carbure avant chloration et de déposer les collecteurs de courant à posteriori. Cependant bien que le micro-supercondensateur fabriqué de cette façon et testé dans un électrolyte contenant 1M $\text{NEt}_4\text{BF}_4/\text{PC}$, présente la meilleure tenue en tension (2V) et la meilleure énergie spécifique ($3,0 \text{ mJ} \cdot \text{cm}^{-2}$), les performances restent à améliorer car la capacité volumique est limitée : $35 \text{ F} \cdot \text{cm}^{-3}$.

Les micro-supercondensateurs à base de carbone ont montré des performances intéressantes du point de vue énergie ou puissance. Cependant, tous ces micro-dispositifs sont testés en cellule de laboratoire (bêcher en boîte à gants) et ne sont pas finalisés. La partie encapsulation présentée ci-après constitue un des verrous à leur intégration au sein d'un micro-système. Elle est d'autant plus compliquée lorsque l'électrolyte est un liquide organique qui ne doit contenir aucune trace d'eau.

3.4. Encapsulation hermétique du micro-supercondensateur

L'encapsulation de l'électrolyte liquide organique est un point critique pour fournir un composant fonctionnel. Elle requiert la manipulation à l'échelle de la plaquette d'un liquide (l'électrolyte), une fois la matière active déposée. Ce liquide doit rester de façon permanente et dans le cas des électrolytes organiques (PC, Acétonitrile) doit être exempt d'humidité. En effet, toute trace d'eau dégraderait les performances : la tension maximale appliquée ne pourrait alors pas dépasser 1V. La température du procédé ne doit pas dépasser la température d'ébullition de l'électrolyte (240°C pour le carbonate de propylène). Un passage du contact électrique depuis les collecteurs de courant du composant encapsulé

vers l'extérieur doit être assuré. Or, aucune technique de la littérature ne remplit ces conditions concernant des micro-supercondensateurs sur silicium. Un procédé d'encapsulation simple a été dans un premier temps développé, suivi d'un procédé d'encapsulation en deux temps qui correspond à une amélioration du premier procédé.

Sur un substrat transparent (borosilicate ou silice fondue) qui servira de capot, une résine photosensible et thermoplastique (polyisoprène solvaté dans du xylène, vendu sous le nom SC resist 180 par Fujifilm) est étalée, insolée et révélée. Ce substrat-capot est ensuite pressé contre le substrat silicium contenant le composant juste après que l'électrolyte a été déposé sur les électrodes de charbon actif. Cette opération est effectuée en atmosphère contrôlée (boîte à gants : argon avec moins de 1 ppm d'eau) pour éviter la contamination de l'électrolyte avec l'eau. L'ensemble substrat silicium et capot est ensuite chauffé à 150 °C sous 2 bar pendant 120 min. Cette température modérée (<150°C) est nécessaire afin d'éviter l'évaporation de l'électrolyte organique. La dernière étape consiste à venir prendre le contact sur le collecteur de courant. Pour ce faire, les plaques sont découpées en 2 temps pour aller chercher les connexions électriques. La Figure III. 13 montre le schéma de principe de l'encapsulation et la photographie d'un micro-supercondensateur finalisé. L'amélioration apportée par la suite consiste à placer un autre substrat intermédiaire (percé) entre le substrat de silicium et le capot en verre, servant de réservoir pour contenir l'électrolyte. Les résistances mécaniques ⁵ et chimiques de la colle polymère vis-à-vis du procédé et des électrolytes en jeu sont satisfaisantes. Cependant, le procédé d'encapsulation doit encore être validé électrochimiquement. Pour l'instant, les dispositifs réalisés présentent des fuites dont l'origine n'est pas identifiée.

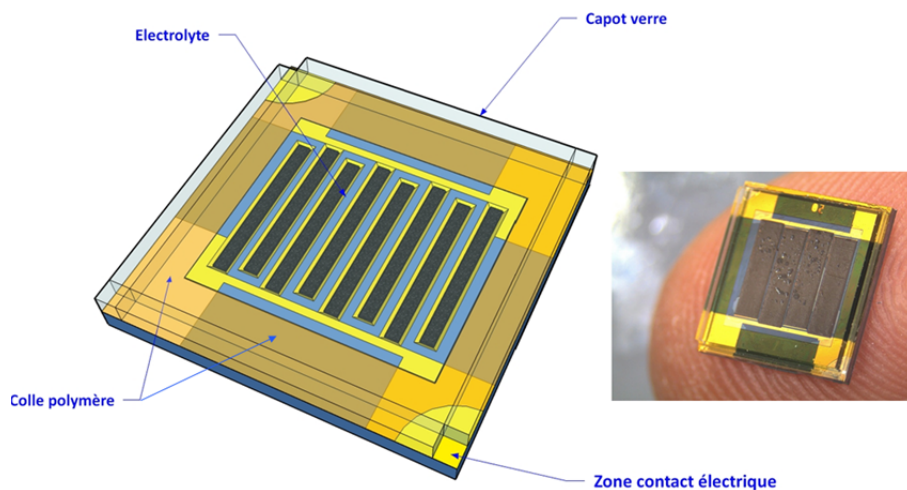


Figure III. 13. Schéma et photographie d'un micro-supercondensateur avec électrolyte liquide encapsulé sous un capot de verre.

⁵ Testées par la méthode de « Die Shear » par la société NovaMEMS à Toulouse.

4. Micro-supercondensateurs à base de matériaux pseudo-capacitifs

4.1. Objectifs

Afin d'augmenter la densité d'énergie de ce genre de micro-dispositifs, il nous a semblé intéressant de nous orienter vers les matériaux de type pseudo-capacitifs comme le hRuO_2 , dont la capacité théorique se placerait entre 1300 et 2200 F.g^{-1} [46]. Par un calcul rapide rapporté dans le Tableau III. 4, en prenant en compte une densité massique de hRuO_2 de 2,17 g.cm^{-3} [47] et en se basant sur une épaisseur de 5 μm , il serait possible d'atteindre 600 mF.cm^{-2} ce qui permettrait d'obtenir une énergie de 300 mJ.cm^{-2} . Ceci constitue une amélioration d'un facteur 6 par rapport à un supercondensateur à base de charbon actif possédant les mêmes épaisseurs de matière active. Il faut cependant préciser qu'étant donné l'utilisation avec un électrolyte aqueux, la tension d'utilisation est limitée ainsi que gamme de températures.

Tableau III. 4. Calculs des performances attendues pour supercondensateurs à base de hRuO_2 .

Matériau	Electrolyte / Tension	C_{vol} (F.cm^{-3})	C_{cell} (F.cm^{-3})	C_{cell} (mF.cm^{-2}) ép=5 μm	E_{cell} (mJ.cm^{-2})
Charbon actif	Organique / 2.5 V	70 - 140	17.5 - 35*	8.75 - 17.5	27 - 54
$\text{RuO}_2, x \text{H}_2\text{O}$	Acide sulfurique / 1V	2821-4774	705-1193*	352-596	176 -298

* avec $C_{\text{cell}} = C_{\text{vol}}/4$

Nous avons mis en place, en 2010, une collaboration avec l'équipe du Professeur Daniel Guay de l'**Institut National de la Recherche Scientifique (INRS), Centre Energie, Matériaux, Télécommunication à Varennes**, Canada qui étudie le dépôt par voie électrochimique de ce genre de matériaux. Nous avons débuté par des expériences où il était question de déposer du hRuO_2 sur des micro-électrodes sur silicium. Ces études ont ensuite été poursuivies par un étudiant en maîtrise (Kevin Armstrong, Canada) s'occupant des mécanismes de dépôt du hRuO_2 et l'étudiante en thèse (Ty Mai Dinh, au LAAS, co-encadrement avec David Pech) s'occupant des technologies d'intégration. Depuis janvier 2011, ce sujet est financé par l'ANR Jeune chercheur MIDISTOCK porté par David Pech.

4.2. Premiers résultats

Plusieurs protocoles de dépôt électrolytique de hRuO_2 ont été testés sur des échantillons similaires à ceux utilisés pour le dépôt par électrophorèse de carbone : doigts interdigités soit en Ti/Au soit en Ti:

Dans un bain contenant 0,01M RuCl_3 + 0,1M KCl + 0,01M HCl et avec un pH ajusté et la température maintenue à 50°C, sous agitation, le dépôt se fait par 100 cycles entre 0,95 et -0,3 V vs. Ag/AgCl à 50 mV/s .

La Figure III. 14 montre des voltampérogrammes cycliques typiques d'un micro-supercondensateur à base de hRuO_2 dans H_2SO_4 0,5 M (collecteurs de courant en Ti/Au).

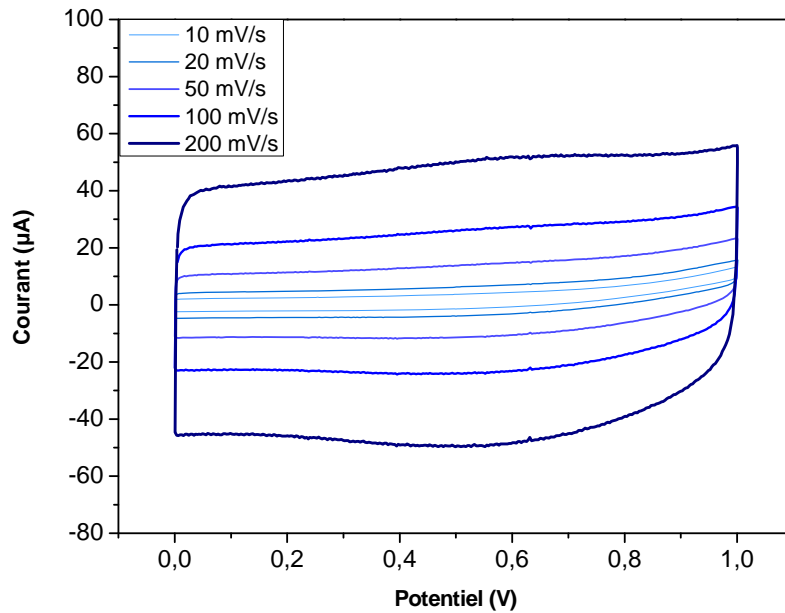


Figure III. 14. Voltampérogramme cyclique d'un micro-supercondensateur à base de hRuO_2 avec $i = 100 \mu\text{m}$ dans H_2SO_4 0,5 M à 10 ; 20 ; 50 ; 100 et 200 $\text{mV}\cdot\text{s}^{-1}$.

Le comportement capacitif est ici maintenu jusqu'à 200 $\text{mV}\cdot\text{sec}^{-1}$. L'interstice entre les doigts interdigités, dans ce cas est de 100 μm . D. Pech a développé des modèles théoriques prédisant un gain d'un facteur deux en passant d'un interstice de 100 à 10 μm . Des dépôts ont été faits avec une résolution des motifs à 5 μm [48]. Dans ce cas, la vitesse de balayage maximale est de 100 $\text{V}\cdot\text{sec}^{-1}$. La capacité spécifique est de l'ordre de 0,2 $\text{mF}\cdot\text{cm}^{-2}$, correspondant à une énergie de 84 $\mu\text{J}\cdot\text{cm}^{-2}$ et une puissance de 1,7 $\text{W}\cdot\text{cm}^{-2}$. Ces vitesses de balayage et niveaux de puissances sont équivalents à ceux obtenus dans le cas des oignons de carbone indiquant que le hRuO_2 est un matériau à faible *RDE*. Les vitesses de balayage sont principalement liées à la configuration des électrodes (*RSE*).

Nos partenaires canadiens ont investigué un protocole différent : avec un dépôt en mode pulsé sous un potentiel cathodique, des capacités spécifiques plus importantes ont été obtenues : de l'ordre de 6 $\text{mF}\cdot\text{cm}^{-2}$ représentant une capacité d'électrode de près de 255 $\text{mF}\cdot\text{cm}^{-3}$. Ces dépôts ont été faits sur des collecteurs de courant en titane, dont la conductivité est médiocre : $2,34 \times 10^6 \text{ S}\cdot\text{m}^{-1}$. Nous nous attacherons à travailler dans l'avenir sur des collecteurs de courant à plus grande conductivité ou sur des empilements type $\text{Ti}/\text{Au}/\text{Ti}^6$. La problématique d'adhérence des dépôts sur différents métaux et selon divers protocoles est à étudier.

5. Conclusions et perspectives

5.1. Bilan des performances / positionnement

Les briques technologiques permettant la réalisation d'un micro-supercondensateur ont été développées et validées. Dans un premier temps, le dépôt de la matière active contenant des poudres carbonées a été testé

⁶ La conductivité de l'or est 20 fois plus grande que celle du titane : $45,2 \times 10^6 \text{ S}\cdot\text{m}^{-1}$.

par jet d'encre, sérigraphie et électrophorèse. Un procédé a également été développé pour des carbones issus des carbures en couches minces. Et un axe sur les matériaux pseudo-capacitifs a été initié. Enfin, nous avons abordé l'aspect encapsulation hermétique des micro-dispositifs.

La Figure III. 15 indique le diagramme de Ragone de tous les micro-supercondensateurs développés au laboratoire ainsi que ceux rapportés dans la littérature (se référer au Tableau III. 2).

Il s'avère que les performances sont très prometteuses en termes de densité d'énergie (pour les couches épaisses de charbon actif) et en termes de puissance (pour tous les dispositifs à base de matériaux actifs fins et largement accessibles aux ions (OLCs ou hRuO_2). **Nos résultats se placent dans l'état de l'art et certains (les oignons de carbone déposés par électrophorèse) représentent une référence largement citée au niveau international.**

Pour ce qui est de l'application abordée, c'est-à-dire celle du nœud autonome dans le réseau de capteurs sans fil, les micro-supercondensateurs réalisés par sérigraphie présentent la meilleure énergie spécifique ($250 \text{ mJ}\cdot\text{cm}^{-2}$) et sont à ce titre, utilisables comme stockage tampon dans un circuit alimenté par un ou des micro-générateurs d'énergie ambiante. Des modèles VHDL-AMS des différents éléments d'un nœud autonome (micro-générateur piézoélectrique et supercondensateur avec auto-décharge) ont été développés dans la thèse de Hugo Durou afin de simuler des scénarii d'utilisation. Ces modèles ont été validés partiellement par les démonstrateurs réalisés. Cette voie doit être approfondie, une fois les dispositifs complets réalisés et fiabilisés car elle constitue un premier pas vers la conception de systèmes autonomes en énergie.

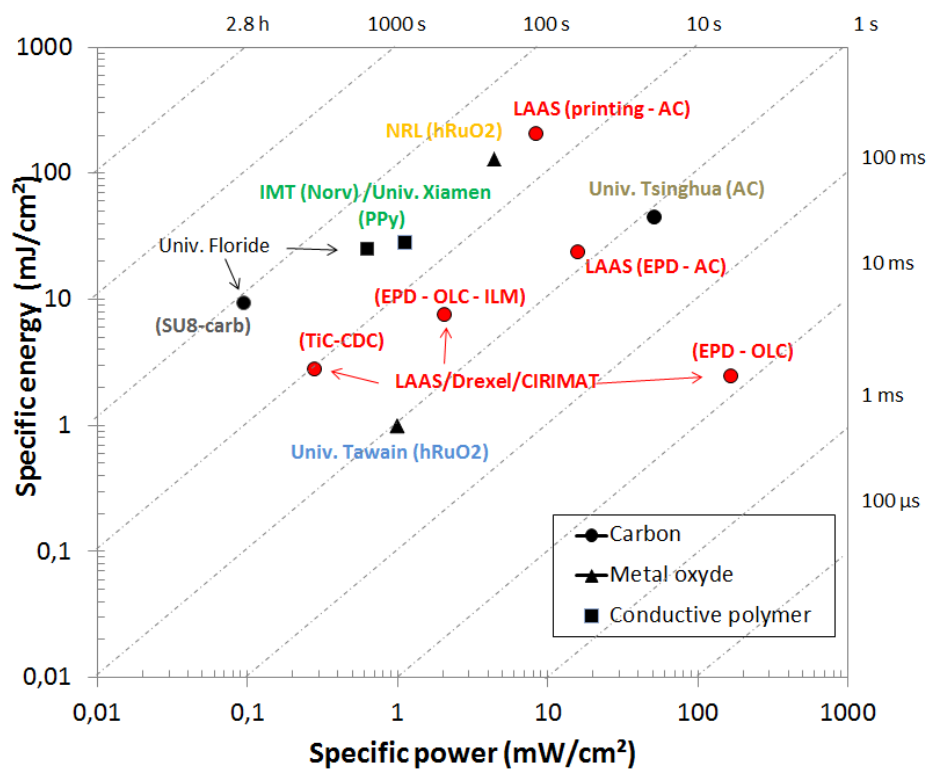


Figure III. 15. Diagramme de Ragone indiquant les performances des micro-supercondensateurs du LAAS par rapport à l'état de l'art. L'énergie et la puissance (instantanée) sont rapportées par surface de composant.

5.2. Perspectives

Au niveau des micro-dispositifs de stockage de l'énergie, de nombreuses voies sont explorées à présent concernant les matériaux d'électrode : carbone et pseudo-capacitifs.

- Nanostructuration du matériau d'électrode

Des efforts de nanostructuration du matériau d'électrode ont été engagés par le biais de différents stages et doivent être poursuivis : notamment la voie consistant à déposer électrochimiquement la matière active (principalement hRuO_2) ou les collecteurs de courants (platine) au travers d'une matrice d'alumine poreuse. Cette membrane est créée in-situ par dépôt (PVD) d'aluminium et anodisation sur les doigts interdigités constituant les électrodes (titane). La Figure III. 16 montre une membrane d'alumine anodique produite au laboratoire (stage Erwan Bertin, 2011) servant de moule et des nanofils de platine. Les nanofils ont un diamètre de l'ordre de 40 et 50 nm et une longueur entre 200 et 400 nm.

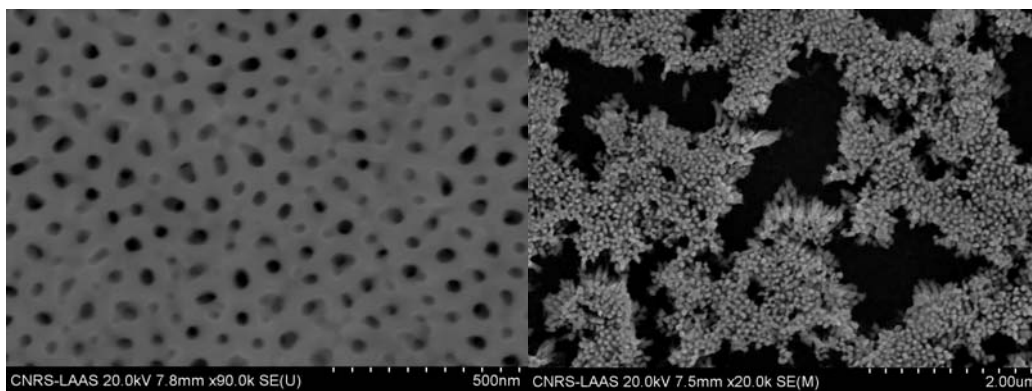


Figure III. 16. a) Membrane d'alumine anodisée ; b) nanofils de platine déposés électrochimiquement après dissolution de la membrane.

- Dispositif complet

Du point de vue composant complet, des efforts supplémentaires doivent être fournis pour finaliser les étapes d'encapsulation et produire un micro-dispositif intégrable dans un circuit électronique ou auprès d'un micro-système de récupération d'énergie. Il est également envisagé de travailler sur les électrolytes solides ou gel.

Une fois les micro-dispositifs encapsulés obtenus, nous devons procéder à des caractérisations poussées par des cycles charge/décharge. L'autodécharge devra être mesurée en fonction de la tension, de la température. Un effort de modélisation de l'auto-décharge, initié dans les travaux de thèse de Hugo Durou, doit être poursuivi. Ce modèle devra tenir compte notamment des interactions non-linéaires entre autodécharge et charge/décharge forcée.

Afin d'accroître les densités d'énergie favorables au stockage à long terme tout en préservant les densités de puissances, des **dispositifs hybrides** comprenant une électrode capacitive (carbone) et une pseudo-capacitive (hRuO_2) sont également envisagés. Ces axes (matériaux, électrolyte, composant) seront traités grâce aux financements du projet MIDISTOCK.

Références

- [1] R. J. M. Vullers, R. V. Schaijk, H. J. Visser, J. Penders, and C. V. Hoof, "Energy Harvesting for Autonomous Wireless Sensor Networks," *Solid-State Circuits Magazine, IEEE*, vol. 2, no. 2, pp. 29-38, 2010.
- [2] Lallart Mickaël, "Amélioration de la conversion électroactive de matériaux piézoélectriques et pyroélectriques pour le contrôle vibratoire et la récupération d'énergie : application au contrôle de santé structurale auto-alimenté," Thèse de doctorat de l'INSA de Lyon, 2008.
- [3] C. Ó. Mathúna, T. O'Donnell, R. V. Martínez-Catala, J. Rohan, and B. O'Flynn, "Energy scavenging for long-term deployable wireless sensor networks," *Talanta*, vol. 75, no. 3, pp. 613-623, 5/15/, 2008.
- [4] Y. S. Yoon, W. I. Cho, J. H. Lim, and D. J. Choi, "Solid-state thin-film supercapacitor with ruthenium oxide and solid electrolyte thin films," *Journal of Power Sources*, vol. 101, no. 1, pp. 126-129, 10/1/, 2001.
- [5] H. J. In, S. Kumar, Y. Shao-Horn, and G. Barbastathis, "Origami fabrication of nanostructured, three-dimensional devices: Electrochemical capacitors with carbon electrodes," *Applied Physics Letters*, vol. 88, no. 8, Feb 20, 2006.
- [6] C. C. Ho, D. Steingard, J. Evans, and P. Wright, "Tailoring Electrochemical Capacitor Energy Storage Using Direct Write Dispenser Printing," 1, *IEEE ECS Transactions*, 2008, pp. 35-47.
- [7] Naoi Katsuhiko, and Simon Patrice, "New Materials and New Configurations for Advanced Electrochemical Capacitors," *The Electrochem. Soc. Interface*, 2008, pp. 34-37.
- [8] P. Simon, and Y. Gogotsi, "Materials for electrochemical capacitors," *Nat Mater*, vol. 7, no. 11, pp. 845-854, 11//print, 2008.
- [9] G. Wang, L. Zhang, and J. Zhang, "A review of electrode materials for electrochemical supercapacitors," *Chemical Society Reviews*, vol. 41, no. 2, pp. 797-828, 2012, 2012.
- [10] V. Presser, M. Heon, and Y. Gogotsi, "Carbide-Derived Carbons - From Porous Networks to Nanotubes and Graphene," *Advanced Functional Materials*, vol. 21, no. 5, pp. 810-833, Mar 8, 2011.
- [11] J. Chmiola, G. Yushin, Y. Gogotsi, C. Portet, P. Simon, and P. L. Taberna, "Anomalous increase in carbon capacitance at pore sizes less than 1 nanometer," *Science*, vol. 313, no. 5794, pp. 1760-1763, Sep 22, 2006.
- [12] R. Dash, J. Chmiola, G. Yushin, Y. Gogotsi, G. Laudisio, J. Singer, J. Fischer, and S. Kucheyev, "Titanium carbide derived nanoporous carbon for energy-related applications," *Carbon*, vol. 44, no. 12, pp. 2489-2497, Oct, 2006.
- [13] V. L. Kuznetsov, A. L. Chuvilin, Y. V. Butenko, I. Y. Malkov, and V. M. Titov, "Onion-like carbon from ultra-disperse diamond," *Chemical Physics Letters*, vol. 222, no. 4, pp. 343-348, May 20, 1994.
- [14] J. K. McDonough, A. I. Frolov, V. Presser, J. Niu, C. H. Miller, T. Ubieta, M. V. Fedorov, and Y. Gogotsi, "Influence of the structure of carbon onions on their electrochemical performance in supercapacitor electrodes," *Carbon*, vol. 50, no. 9, pp. 3298-3309, Aug, 2012.
- [15] C. Portet, G. Yushin, and Y. Gogotsi, "Electrochemical performance of carbon onions, nanodiamonds, carbon black and multiwalled nanotubes in electrical double layer capacitors," *Carbon*, vol. 45, no. 13, pp. 2511-2518, 11//, 2007.
- [16] M. Kaempgen, J. Ma, G. Gruner, G. Wee, and S. G. Mhaisalkar, "Bifunctional carbon nanotube networks for supercapacitors," *Applied Physics Letters*, vol. 90, no. 26, Jun 25, 2007.
- [17] M. Kaempgen, C. K. Chan, J. Ma, Y. Cui, and G. Gruner, "Printable Thin Film Supercapacitors Using Single-Walled Carbon Nanotubes," *Nano Letters*, vol. 9, no. 5, May, 2009.
- [18] V. L. Pushparaj, M. M. Shaijumon, A. Kumar, S. Murugesan, L. Ci, R. Vajtai, R. J. Linhardt, O. Nalamasu, and P. M. Ajayan, "Flexible energy storage devices based on nanocomposite paper," *Proceedings of the National Academy of Science*, vol. 104, no. 34, pp. 13574-13577, 2007.
- [19] L. Hu, J. W. Choi, Y. Yang, S. Jeong, F. La Mantia, L.-F. Cui, and Y. Cui, "Highly conductive paper for energy-storage devices," *Proceedings of the National Academy of Science*, vol. 106, no. 51, pp. 21490-21494, 2009.
- [20] L. Hu, H. Wu, and Y. Cui, "Printed energy storage devices by integration of electrodes and separators into single sheets of paper," *Applied Physics Letters*, vol. 96, no. 18, pp. 183502-183502-3, 2010.
- [21] K. Jost, C. R. Perez, J. K. McDonough, V. Presser, M. Heon, G. Dion, and Y. Gogotsi, "Carbon coated textiles for flexible energy storage," *Energy & Environmental Science*, vol. 4, no. 12, pp. 5060-5067, 2011.
- [22] A. Laforgue, "All-textile flexible supercapacitors using electrospun poly(3,4-ethylenedioxythiophene) nanofibers," *Journal of Power Sources*, vol. 196, no. 1, pp. 559-564, 1/1/, 2011.
- [23] J. Bae, Y. J. Park, M. Lee, S. N. Cha, Y. J. Choi, C. S. Lee, J. M. Kim, and Z. L. Wang, "Single-Fiber-Based Hybridization of Energy Converters and Storage Units Using Graphene as Electrodes," *Advanced Materials*, vol. 23, pp. 3446-3449, 2011.
- [24] J. H. Lim, D. J. Choi, H. K. Kim, W. I. Cho, and Y. S. Yoon, "Thin film supercapacitors using a sputtered RuO₂ electrode," *Journal of the Electrochemical Society*, vol. 148, no. 3, pp. A275-A278, Mar, 2001.
- [25] H.-K. Kim, S.-H. Cho, Y.-W. Ok, T.-Y. Seong, and Y. S. Yoon, "All solid-state rechargeable thin-film microsupercapacitor fabricated with tungsten cosputtered ruthenium oxide electrodes," *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*, vol. 21, no. 3, pp. 949-952, 2003.

- [26] M. J. Lee, J. S. Kim, S. H. Choi, J. J. Lee, S. H. Kim, S. H. Jee, and Y. S. Yoon, "Characteristics of thin film supercapacitor with ruthenium oxide electrode and Ta₂O_{5+x} solid oxide thin film electrolyte," *Journal of Electroceramics*, vol. 17, no. 2-4, pp. 639-643, Dec, 2006.
- [27] C. B. Arnold, R. C. Wartena, K. E. Swider-Lyons, and A. Piquea, "Direct-write planar microultracapacitors by laser engineering," *Journal of the Electrochemical Society*, vol. 150, no. 5, pp. A571-A575, May, 2003.
- [28] J. H. Sung, S. J. Kim, and K. H. Lee, "Fabrication of microcapacitors using conducting polymer microelectrodes," *Journal of Power Sources*, vol. 124, no. 1, pp. 343-350, Oct, 2003.
- [29] W. Sun, R. L. Zheng, and X. Y. Chen, "Symmetric redox supercapacitor based on micro-fabrication with three-dimensional polypyrrole electrodes," *Journal of Power Sources*, vol. 195, no. 20, pp. 7120-7125, Oct, 2010.
- [30] M. Beidaghi, and C. L. Wang, "Micro-supercapacitors based on three dimensional interdigital polypyrrole/C-MEMS electrodes," *Electrochimica Acta*, vol. 56, no. 25, pp. 9508-9514, Oct, 2011.
- [31] M. Beidaghi, W. Chen, and C. L. Wang, "Electrochemically activated carbon micro-electrode arrays for electrochemical micro-capacitors," *Journal of Power Sources*, vol. 196, no. 4, pp. 2403-2409, Feb, 2011.
- [32] C. W. Shen, X. H. Wang, W. F. Zhang, and F. Y. Kang, "A high-performance three-dimensional micro supercapacitor based on self-supporting composite materials," *Journal of Power Sources*, vol. 196, no. 23, pp. 10465-10471, Dec, 2011.
- [33] R. Kotz, and M. Carlen, "Principles and applications of electrochemical capacitors," *Electrochimica Acta*, vol. 45, no. 15-16, pp. 2483-2498, 2000, 2000.
- [34] J. H. Sung, S. Kim, and K. H. Lee, "Fabrication of all-solid-state electrochemical microcapacitors," *Journal of Power Sources*, vol. 133, no. 2, pp. 312-319, Jun, 2004.
- [35] J. H. Sung, S. J. Kim, S. H. Jeong, E. H. Kim, and K. H. Lee, "Flexible micro-supercapacitors," *Journal of Power Sources*, vol. 162, no. 2, pp. 1467-1470, Nov, 2006.
- [36] R. Hahn, K. Marquardt, M. Blechert, M. Topper, M. Wilke, P. Semionyk, and H. Reichl, "Development of near hermetic silicon/glass cavities for packaging of integrated lithium micro batteries," in Design, Test, Integration & Packaging of MEMS/MOEMS, 2009. MEMS/MOEMS '09. Symposium on, 2009, pp. 292-299.
- [37] R. Salot, S. Martin, S. Oukassi, M. Bedjaoui, and J. Ubrig, "Microbattery technology overview and associated multilayer encapsulation process," *Applied Surface Science*, vol. 256, no. 3, pp. S54-S57, Nov, 2009.
- [38] N. Bailly, J. M. Dilhac, C. Escriba, C. Vanhecke, N. Mauran, and M. Bafleur, "Energy scavenging based on transient thermal gradients: applications to structural health monitoring of aircrafts," in 8th International Workshop on Micro and Nanotechnology for Power Generation and Energy Conversion Applications, PowerMEMS 2008, Sendai, Japon, 9-12 Novembre 2008, pp. 205-208.
- [39] H. Durou, "Vers l'autonomie énergétique des réseaux de capteurs embarqués : conception et intégration d'un générateur piézoélectrique et d'un micro dispositif de stockage capacitif en technologie silicium," LAAS-CNRS, Thèse de doctorat de l'Université de Toulouse, 2010.
- [40] M. Brunet, P.-L. Taberna, P. Simon, N. Fabre, V. Conédéra, F. Mesnilgrete, H. Durou, and C. Rossi, "Ink-jet printed carbon-based micro-supercapacitor for mobile self-powered modules." Proceeding of MRS fall meeting, Boston 2008, pp. 1127-T04-06.
- [41] D. Pech, M. Brunet, P. L. Taberna, P. Simon, N. Fabre, F. Mesnilgrete, V. Conedera, and H. Durou, "Elaboration of a microstructured inkjet-printed carbon electrochemical capacitor," *Journal of Power Sources*, vol. 195, no. 4, pp. 1266-1269, Feb, 2010.
- [42] H. Durou, D. Pech, D. Colin, P. Simon, P. L. Taberna, and M. Brunet, "Wafer-level fabrication process for fully encapsulated micro-supercapacitors with high specific energy," *Microsystem Technologies-Micro-and Nanosystems-Information Storage and Processing Systems*, vol. 18, no. 4, pp. 467-473, Apr, 2012.
- [43] D. Pech, M. Brunet, H. Durou, P. H. Huang, V. Mochalin, Y. Gogotsi, P. L. Taberna, and P. Simon, "Ultrahigh-power micrometre-sized supercapacitors based on onion-like carbon," *Nature Nanotechnology*, vol. 5, no. 9, pp. 651-654, Sep, 2010.
- [44] R. Lin, P.-L. Taberna, S. Fantini, V. Presser, C. R. Perez, F. Malbosc, N. L. Rupesinghe, K. B. K. Teo, Y. Gogotsi, and P. Simon, "Capacitive Energy Storage from -50 to 100 degrees C Using an Ionic Liquid Electrolyte," *Journal of Physical Chemistry Letters*, vol. 2, no. 19, Oct 6, 2011.
- [45] M. Heon, S. Lofland, J. Applegate, R. Nolte, E. Cortes, J. D. Hettinger, P. L. Taberna, P. Simon, P. H. Huang, M. Brunet, and Y. Gogotsi, "Continuous carbide-derived carbon films with high volumetric capacitance," *Energy & Environmental Science*, vol. 4, no. 1, pp. 135-138, Jan, 2011.
- [46] C. C. Hu, W. C. Chen, and K. H. Chang, "How to achieve maximum utilization of hydrous ruthenium oxide for supercapacitors," *Journal of the Electrochemical Society*, vol. 151, no. 2, pp. A281-A290, Feb, 2004.
- [47] J. P. Zheng, and T. R. Jow, "High energy and high power density electrochemical capacitors," *Journal of Power Sources*, vol. 62, no. 2, pp. 155-159, 10//, 1996.
- [48] D. Pech, M. Brunet, T. M. Dinh, K. Armstrong, J. Gaudet, and D. Guay, "Influence of the Configuration in Planar Interdigitated Electrochemical Micro-Capacitors," *Journal of Power Sources*, vol. 230, pp. 230-235, 2013

Chapitre IV. Perspectives de recherche

J'ai exposé mes travaux de recherche effectués depuis 2005 au LAAS, déclinés en deux axes principaux, à savoir les composants passifs (condensateurs 3D et micro-bobines) et les composants de stockage de l'énergie (micro-supercondensateurs) pour les applications nomades ou embarquées. L'approche commune à ces axes de recherche concerne l'intégration sur silicium, la mise en œuvre de filières technologiques incorporant de nouveaux matériaux, la caractérisation physico-chimique des matériaux synthétisés en couches minces, et la caractérisation électrique des prototypes réalisés incorporant ces nouveaux matériaux.

Ces travaux ont été menés par le biais de nombreuses collaborations nationales et internationales, faisant appel à des compétences scientifiques complémentaires aux nôtres: synthèse, chimie des matériaux, électrochimie.

L'intégration de ces composants au niveau système est une perspective importante de mes recherches. Pour y parvenir, il nous faudra aborder la problématique sous l'angle du système, définissant ainsi les performances à atteindre pour les composants puis, une fois le dimensionnement effectué, de procéder par étapes, approfondir notamment les voies engagées au niveau de chaque composant, tout en mettant en place les méthodes de conception et les procédés technologiques permettant d'assurer la fabrication collective au cœur des systèmes.

1. Composants passifs intégrés

La conception des composants passifs intégrés ne peut être décorrélée du circuit de conversion dans lequel ils seront placés. Or la montée en fréquence, qui facilite l'intégration des composants passifs sur puce, oblige à reconcevoir les topologies des convertisseurs car tous les éléments du circuit, les interrupteurs en particulier, subissent la montée en fréquence. Quand les technologies actuelles de composants actifs ne permettent plus l'obtention de performances acceptables, il est nécessaire de trouver des solutions alternatives au niveau des architectures ou au niveau des technologies.

Des modèles paramétriques doivent ainsi être développés pour dimensionner conjointement tous les éléments du circuit, en prenant en compte les pertes et donc les technologies de chaque composant. Cette tâche complexe a été initiée dans le cadre du projet PRIIM par nos partenaires du Leti-CEA. Leur modèle permet d'estimer les valeurs minimales des composants passifs (L, C) ainsi que les paramètres de conception (fréquence de fonctionnement) en fonction de l'ondulation résiduelle de tension de sortie et des éléments parasites associés.

Afin d'optimiser le rendement global, le modèle paramétrique estime également la consommation globale en fonction de plusieurs paramètres (taille des transistors, valeurs de l'inductance et de la capacité de sortie, résistance série parasite, fréquence de fonctionnement...).

Nous pensons que cette approche est essentielle pour la réalisation de composants passifs utilisables dans des applications concrètes, surtout depuis que les topologies de convertisseurs se complexifient (multiphasage par exemple) et ne consistent plus en un simple « copier-coller » des solutions discrètes existantes.

Pour évaluer la faisabilité d'une intégration des composants passifs, il faut se baser sur les technologies disponibles et en développer de nouvelles si besoin est.

Les filières technologiques disponibles au LAAS sont : la filière préexistante pour micro-bobines qui repose sur des dépôts de cuivre épais, d'isolants (SU8) et le dépôt électrolytique de couches ferromagnétiques (NiFe, NiFeCo). La filière que j'ai mise en place dès 2005 pour condensateurs haute densité, quant à elle, se base sur des électrodes 3D qui sont produites par gravure profonde du silicium et sur des diélectriques validés tels que les couches fines d'oxyde ou de nitrure de silicium. Sur la base de ces filières, un filtre LC où la micro-bobine est empilée sur le condensateur 3D a été réalisé.

Les propriétés des matériaux et les contraintes technologiques devront être incluses dans une démarche de conception basée sur des modèles analytiques et sur des simulations par éléments finis.

Actuellement et à court terme, les principaux enjeux impliquent les matériaux diélectriques et magnétiques associés aux technologies de dépôt en couches minces.

1.1. Condensateurs haute densité

Pour atteindre près de $1 \mu\text{F}\cdot\text{mm}^{-2}$ de capacité spécifique, il s'agira d'intégrer de couches diélectriques de très forte permittivité : perovskites (SrTiO_3 , BST) ou nanolaminates de diélectriques ($\text{HfO}_2/\text{Al}_2\text{O}_3$) dans des structures à fort facteur de forme. Une des méthodes de dépôt privilégiées est l'ALD. Le bâti de dépôt ALD ayant été acquis en 2012 au LAAS, une part importante des futurs travaux de l'équipe sera focalisée sur cet aspect. Il est important de trouver un compromis entre dépôts conformes et l'obtention de la bonne phase cristalline ainsi que de la stœchiométrie, menant aux propriétés diélectriques adéquates (permittivité, tenue en tension, courants de fuite). Outre le travail sur les conditions de procédés, qui comportent de nombreux paramètres de réglages, un développement est requis sur la préparation des substrats – couche d'interface et/ou d'accroche, et sur d'éventuelles opérations post-dépôt (recuit, exposition plasma, etc...). Il est dans tous les cas nécessaire d'avoir une compréhension fine des diélectriques en couches minces. Une partie importante doit être dédiée à la caractérisation physique ainsi qu'à la caractérisation électriques des composants (MIS, MIM).

Du point de vue optimisation de la topologie des condensateurs, nous avons vu qu'il était intéressant d'aller vers des tailles de pores submicroniques pour augmenter significativement les densités. Nous pensons que la technique de gravure électrochimique nous permettrait cette option, tout en la combinant à la nano-impression. Ces techniques (gravure électrochimique, nano-impression) doivent être mises à l'échelle de la plaquette pour établir une filière stable. Dans un deuxième temps, pour une

intégration système (dans la filière d'intégration fonctionnelle par exemple), il faudra développer la gravure électrochimique dans des zones localisées de dopage, ce qui permettrait de s'affranchir de la contrainte du dopage initial du substrat. Ces points constituent des verrous importants : le soutien et l'expérience de l'équipe de l'INL sont essentiels à la conduite et à l'aboutissement de cette solution, avec à termes, un transfert de procédé au LAAS.

Cependant, en allant vers les tailles submicroniques, il est raisonnable de se poser la question de la limite basse de la taille de pores. En effet, l'empilement MIM est contraint par la taille des pores : les épaisseurs des diélectriques et des couches métalliques seront réduites dans des pores submicroniques et en deçà (< 100 nm). Il sera donc nécessaire d'évaluer l'influence de cet amincissement des couches sur les propriétés électriques du condensateur : tenue en tension, courants de fuite et surtout résistance série. Une modélisation par éléments finis d'un réseau de pores où les couches sont de quelques nanomètres d'épaisseur n'est pas chose aisée de par la différence d'échelles. Pour nous aider dans cette tâche, nous ferons appel à une équipe de mathématiciens à Femto-ST, Besançon (menée par Michel Lenczner), qui développe des outils de modélisation multi-échelle pour des réseaux de micro ou nano-structures.

1.2. Micro-bobines

Pour les microbobines, les fréquences de commutation augmentant (autour de 10 MHz), les courants de Foucault deviennent importants dans les matériaux magnétiques et très pénalisants pour le rendement global. En ce qui concerne les couches ferromagnétiques de CoNiFe ou de NiFe, le feuilletage est nécessaire. Bien que le feuilletage pour des couches ferromagnétiques sur silicium semble se développer dans la littérature traitant des micro-bobines où la preuve de son efficacité est largement apportée, nous avons choisi de ne pas traiter cet aspect. L'alternative envisagée et abordée dans le chapitre II, est l'utilisation d'un matériau magnétique à forte résistivité de type ferrite (NiZnCu). Ces matériaux sont en cours d'évaluation pour une intégration sur silicium par sérigraphie. Il s'agit de tester différents cycles de frittage (températures, rampes, gaz). Ici encore, des caractérisations physiques des matériaux et électriques des composants comportant ces matériaux permettront de comprendre l'influence des paramètres de synthèse du matériau sur ses propriétés magnétiques.

Enfin, un point essentiel pour un dimensionnement le plus juste possible, est de connaître les pertes magnétiques de ces matériaux en fonction de l'induction et de la fréquence. La plupart du temps, ces pertes sont extrapolées analytiquement ou par simulation à partir des propriétés électriques et magnétiques des matériaux (résistivité, coercivité, B_{sat}), ou à partir de grandeurs électriques mesurées comme la partie imaginaire de l'impédance. Ces extractions de pertes sont faites pour une excitation sinusoïdale de faible amplitude. Il est pourtant nécessaire d'évaluer les pertes dans le cas réel, c'est-à-dire celui d'un signal non-sinusoïdal et de grande amplitude (avec l'ajout d'une composante continue). Il est possible de mesurer les pertes sous induction et en fréquence par la méthode de calorimétrie. Or, cette méthode n'est pas envisageable pour des petits volumes. **La problématique de mesures des pertes dans des micro-**

bobines, contenant de très petits volumes de matériau magnétique constitue en ce sens un défi à relever.

A l'issue de cette évaluation, l'optimisation géométrique de la micro-bobine pourra être faite en prenant en compte les pertes magnétiques obtenues dans des conditions d'excitation qui sont celles du convertisseur. Pour nous aider dans cette tâche, nous collaborerons avec le G2ELab à Grenoble qui a développé une routine d'optimisation pour les composants magnétiques basée sur l'analyse de fronts de Pareto [1].

1.3. Intégration dans le système de puissance

L'intégration de la bobine, comme vu au chapitre II avec la réalisation du filtre LC, se fait sur les niveaux supérieurs de métallisation. Dans le cas d'un substrat comprenant des composants MOS ou des condensateurs 3D, les procédés de réalisation de la bobine doivent être « basses températures ». Avec des matériaux de type ferrite, étant donné les budgets thermiques employés (températures de frittage de près de 900°C), la compatibilité CMOS n'est plus assurée lors de l'intégration des micro-bobines. Dans l'intégration d'un système complet, c'est-à-dire le convertisseur DC-DC comprenant les actifs et les passifs, on pourrait penser que cela pose un problème. Cependant, nous allons démontrer que ce genre de micro-bobines peut s'avérer une solution intéressante.

Les systèmes, qu'ils soient de puissance ou non, sont de plus en plus complexes et de structure tridimensionnelle. Comme mentionné dans le chapitre II, l'utilisation d'un interposeur (comportant des vias traversants) est en cours de développement par les industriels et permet la connexion de puces entre elles par une méthode d'empilement. Les composants passifs reportés ou intégrés sur cet interposeur sont évalués dans les laboratoires [2, 3]. Pour aller plus loin, il est possible d'envisager le composant passif sur plusieurs niveaux de substrats (ou puces). Ainsi, une solution possible pour les micro-bobines, serait de tirer avantage d'un interposeur pour réaliser une partie de la bobine, par exemple, un des niveaux formant le bobinage d'une structure toroïdale. La micro-bobine serait alors formée lors de l'assemblage de la puce IPD (comprenant par exemple les condensateurs 3D) avec l'interposeur dans un procédé back-end : le noyau en ferrite est placé sur les pistes épaisses en cuivre par pick and place et l'assemblage se fait par flip-chip. Les micro-bumps servent à connecter les deux niveaux de cuivre entre eux. Ils peuvent être également remplacés pour une soudure eutectique métal 1/métal 2. Le système de puissance complet est montré sur la Figure IV. 1. Si le procédé des condensateurs est un procédé compatible CMOS, ceux-ci pourront être réalisés sur la même puce que des composants actifs de puissance.

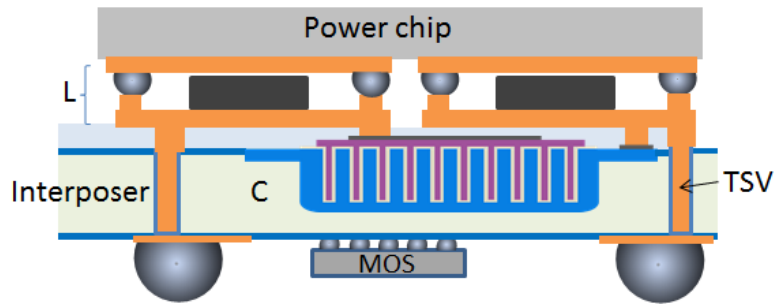


Figure IV. 1. Schéma d'intégration de micro-bobine entre un interposeur et une puce de puissance; Les pistes de cuivre épaisses sont réalisées sur deux supports différents.

Cette solution constitue une première étape d'intégration hybride où la compatibilité des procédés est assurée. Les verrous à lever se situent au niveau de la micro-bobine : assurer une soudure de qualité entre les pistes du haut et celles du bas, i.e. à faible résistance de contact. La planéité des piliers doit être obtenue, ce qui constitue un défi pour des épaisseurs supérieures à 50 μm .

Pour aller plus loin, l'intégration monolithique consisterait à produire sur la même puce, les composants actifs et les composants passifs comme schématisé sur la Figure IV. 2. Les budgets thermiques pour chaque composant devront être étudiés de façon fine pour assurer la compatibilité du procédé complet. Cette voie semble pour l'instant la plus difficile à réaliser donc la plus long-terme.

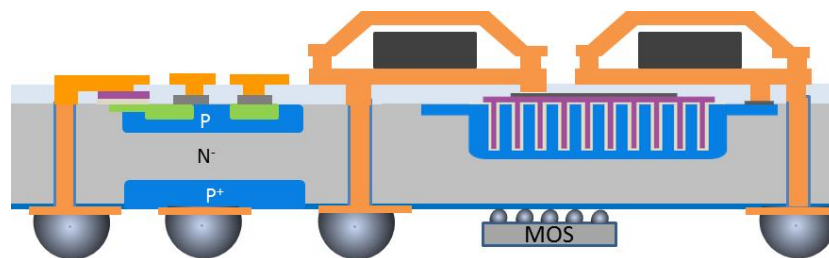


Figure IV. 2. Schéma d'intégration monolithique de composants actifs et composants passifs (bobine toroïdale, condensateur 3D).

Que ce soit dans le cas de la Figure IV. 1 ou celui de la Figure IV. 2, les compatibilités électromagnétiques doivent ensuite être étudiées entre chaque composant : doit-on alors introduire des couches de blindage ? Une autre question se pose à nous et devra être prise en compte, voire modélisée : lors du fonctionnement, les échanges thermiques seront-ils favorisés dans un système aussi compact, contenant des éléments qui s'échauffent? Il est clair qu'il y aura sûrement nécessité d'introduire des éléments radiateurs : type caloducs ou autres.

A long terme, ces études nous permettent d'avancer vers l'intégration du micro-convertisseur en privilégiant des techniques de fabrication collectives. Cette démarche s'inscrit dans l'approche d'intégration fonctionnelle développée depuis plusieurs années dans l'équipe ISGE du LAAS.

2. Composants de stockage de l'énergie sur puce

L'axe de recherche concernant le stockage de l'énergie sur puce, initié en 2007 constitue une thématique nouvelle au laboratoire. De plus, en ce qui concerne spécifiquement les supercondensateurs, leur intégration sur puce n'avait pas encore été traitée dans le paysage scientifique national. Cette thématique s'est appuyée sur des collaborations étroites avec des spécialistes des matériaux et en électrochimie.

A l'image des composants passifs, **l'intégration des éléments de stockage au sein d'un système est une perspective importante de mes travaux.** Elle a pour objectif global d'aller vers l'autonomie énergétique totale de microsystèmes et vers l'élimination des batteries, pour des applications requérant une durée de vie illimitée.

L'application la plus logique et immédiate pour cette intégration est le nœud de capteur autonome. Dans ce système, comme mentionné précédemment, les différents éléments sont le récupérateur d'énergie environnante, le circuit de gestion de l'énergie, le module de transmission RF et le capteur.

Le stockage doit être alors défini lors de la conception du circuit de gestion de l'énergie et pour répondre à un cahier des charges spécifique où sont précisés : les conditions environnementales (basses ou hautes températures), le volume alloué, la durée de vie...etc. Pour l'étape de conception du système, nous travaillerons en collaboration avec les collègues du LAAS (équipe ESE) qui conçoivent les circuits de gestion de faibles niveaux d'énergie et relatifs aux applications de surveillance de structure (réseaux de capteurs sans fil). Des scénarii de fonctionnement sont dégagés afin d'aboutir au dimensionnement de chaque élément avec les niveaux d'énergie et puissance requis. Le choix du type de supercondensateur et de la filière technologique associée est possible à l'issue de cette étape.

Nous disposons à présent de plusieurs filières répondant à diverses performances (énergie, puissance, nombre de cycles...etc) donc un mode de stockage de l'énergie modulable, i.e. en fonction de l'application peut être proposé. Il est nécessaire dans la perspective d'intégration, de proposer des solutions technologiques pouvant être compatibles avec les modes de réalisation des autres éléments du circuit. Une réalisation technologique monolithique pourrait être en effet envisagée où la puce du stockage contiendrait une partie de l'électronique et/ou la partie capteurs. Cet axe devra se faire conjointement aux développements sur les microsystèmes de récupération d'énergie qui se poursuivent au sein du LAAS (équipe ESE) ou par des partenariats.

Aux termes de ces 5 années de recherche sur cette thématique, nous avons plusieurs filières technologiques à notre disposition, basées chacune sur un type de matériau actif et une méthode de dépôt/synthèse associée. Des poudres de carbones ont été testées et selon la composition de la matière active et les techniques de dépôt (jet d'encre, sérigraphie ou électrophorèse), les performances sont différentes : avec soit une densité d'énergie favorisée (sérigraphie), soit une densité de puissance favorisée (électrophorèse).

Nous avons également mis en place une filière sur les matériaux carbonés en couches minces (Carbones Dérivés des Carbures). Quelques points durs ont été révélés et doivent être contournés, à savoir : l'incompatibilité de l'étape de chloration avec des échantillons comportant des collecteurs de courant d'une part, et d'autre part, la nature poreuse des CDCs fragilisant la couche. Outre ces difficultés, les potentialités de ce genre de micro-composants restent intéressantes.

Afin d'augmenter la densité d'énergie de ce genre de micro-dispositifs, nous nous sommes tournés vers des matériaux de type pseudo-capacitif comme le hRuO_2 déposé par voie électrolytique avec l'aide de l'INRS au Québec.

Enfin, une méthode d'encapsulation d'électrolyte liquide organique a été mise au point mais elle s'avère compliquée et non reproductible (car se basant sur des étapes manuelles de type micro-sablage de wafers en verre).

A ce stade, nos efforts doivent être poursuivis sur plusieurs niveaux :

Au cœur du composant, les verrous sont encore et toujours les performances : maximum de densité d'énergie, de puissance et minimum de courants fuites. Pour lever ces verrous, nous devons focaliser nos efforts sur :

- La nanostructuration des électrodes qui permet d'augmenter la surface spécifique de matériaux non-poreux comme c'est le cas du hRuO_2 . La stratégie envisagée est de faire croître les nanofils de hRuO_2 au sein d'une matrice d'alumine poreuse.
- La co-intégration des oxydes métalliques avec les carbones nanostructurés actuellement utilisés dans les électrodes des micro-supercondensateurs, soit au sein d'une même électrode, soit par électrode (structure hybride). L'intérêt est de pouvoir associer des électrodes ayant des fenêtres électrochimiques complémentaires, et donc d'obtenir un dispositif possédant une tension de fonctionnement supérieure à 2V même en milieu aqueux.

De façon générale, les filières technologiques existantes devront être renforcées. En particulier, nous poursuivrons les développements sur la technique d'électrophorèse de matériaux carbonés et sur les filières contenant des carbones nanostructurés en couches minces.

Enfin, afin de produire des micro-supercondensateurs fonctionnels, le verrou à lever concerne l'encapsulation hermétique d'électrolytes liquides ou solides, dans certains cas sensibles à l'atmosphère oxydante et à l'humidité. Cette problématique sera abordée à la fois en mettant en place les enchaînements d'étapes technologiques dont certaines étant faites en boîte à gants, mais aussi sur les matériaux d'encapsulation : parylène ou autres....

Pour une facilité d'intégration, nous développerons des électrolytes solides adaptés pour ces micro-supercondensateurs en couches minces.

Une fois le procédé complet établi aboutissant aux dispositifs fonctionnels et mesurables, il sera temps d'aborder la modélisation du comportement électrique du micro-supercondensateur : notamment pour

l'auto-décharge. Ceci nous permettra de nous intégrer dans une approche conception système. Des modélisations électriques sont développées à l'heure actuelle pour des dispositifs macroscopiques représentant le comportement en dynamique et l'autodécharge [4]. Il apparaît nécessaire de développer des modèles spécifiques aux micro-dispositifs de stockage. En effet, si des phénomènes électrochimiques nouveaux sont démontrés à la micro-échelle, la modélisation peut être un outil efficace permettant de dégager les apports des différentes parties constituant les micro-dispositifs : résistance série des matériaux d'électrodes et des interfaces, diffusion des espèces électrochimiques dans les matériaux des électrodes, influence des géométries des électrodes etc... Cette approche est en cours de développement dans l'équipe. A l'issue de la mise en place de ces modèles, leur utilisation par les concepteurs circuits facilitera la gestion efficace de l'énergie, par l'identification des pertes (résistives, fuites) surtout si les niveaux d'énergie à gérer sont faibles.

Dans une perspective système, les éléments de stockage doivent être dans tous les cas associés à une électronique gérant les niveaux de charge. C'est donc l'intégration première qui s'impose à nous. Si les niveaux de tensions requis pour le fonctionnement du système excèdent les tensions maximales des supercondensateurs, une mise en série est nécessaire. Il est alors impératif d'introduire un circuit d'équilibrage (de charges ou de tensions).

Pour aller plus loin, il est également envisagé de démontrer le concept de stockage adaptatif ou « intelligent » [5]. La capacité de stockage s'adapterait au niveau d'énergie disponible (récupérée) et aux besoins de la charge. Pour ce faire, une mise en série/parallèle de supercondensateurs par le biais d'interrupteurs doit être implémentée. Ce genre d'approche a été proposé pour des supercondensateurs discrets par Fang et al. [6]. L'enjeu serait ici de démontrer le concept sur puce. Ces travaux seront développés dans le cadre du **projet SMARTER financé par ERA-Net via CHIST-ERA** (Europe). Le côté intégration sur support flexible sera également abordé car c'est un point important de n'importe quel nœud de capteur devant se « coller » à des structures (souvent non planes).

Références

- [1] P. Lefranc, X. Jannot, and P. Dessante, "Virtual prototyping and pre-sizing methodology for buck DC-DC converters using genetic algorithms," *Power Electronics, IET*, vol. 5, no. 1, pp. 41-52, 2012.
- [2] S. Gandhi, X. Shu, P. M. Raj, V. Sundaram, M. Swaminathan, and R. Tummala, "A low-cost approach to high-k thinfilm decoupling capacitors on silicon and glass interposers." *Electronic Components and Technology Conference (ECTC)*, 2012 IEEE 62nd pp. 1356-1360.
- [3] W. Mingliang, L. Jiping, K. D. T. Ngo, and X. Huikai, "A Surface-Mountable Microfabricated Power Inductor in Silicon for Ultracompact Power Supplies," *Power Electronics, IEEE Transactions on*, vol. 26, no. 5, pp. 1310-1315, 2011.
- [4] Y. Diab, P. Venet, H. Gualous, and G. Rojat, "Self-Discharge Characterization and Modeling of Electrochemical Capacitor Used for Power Electronics Applications," *Power Electronics, IEEE Transactions on*, vol. 24, no. 2, pp. 510-517, 2009.
- [5] R. Montheard, J.-M. Dilhac, M. Baffleur, and X. Lafontan, *Circuit électronique de récupération, de stockage et de restitution d'énergie électrique et le procédé associé*, Patent, EP13152658.4, France, E. P. Organization, 2013.
- [6] X. Fang, N. Kutkut, J. Shen, and I. Batarseh, "Analysis of generalized parallel-series ultracapacitor shift circuits for energy storage systems," *Renewable Energy*, vol. 36, no. 10, pp. 2599-2604, 10//, 2011.

Annexe. Production scientifique

A.1. Revues à comité de lecture

2013

1. P. Huang, M. Heon, D. Pech, **M. Brunet**, P.-L. Taberna, Y. Gogotsi, S. Lofland, J. D. Hettinger, and P. Simon, "Micro-supercapacitors from carbide derived carbon (CDC) films on silicon chips," *Journal of Power Sources*, vol. 225, no. 0, pp. 240-244, 3/1/, 2013.
2. D. Pech, **M. Brunet**, T. Mai Dinh, K. Armstrong, J. Gaudet, D. Guay, *Influence of the configuration in planar interdigitated electrochemical micro-capacitors*, *Journal of Power Sources*, vol. 230, pp. 230-235, 2013.
3. **M. Brunet**, and P. Kleimann, "High-density 3D capacitors for Power Systems on-Chip: evaluation of a technology based on silicon submicrometer pore arrays formed by electrochemical etching," *IEEE Transactions on Power Electronics*, vol. 28, No. 9, 2013, pp. 4440-4448.

2012

4. **M. Brunet** et D. Pech, "Micro-Supercondensateurs : Enjeux Technologiques et Applications", *Techniques de l'Ingénieur [RE210]*, 2012, sous presse. (**Revue Nationale**)
5. H. Durou, D. Pech, D. Colin, P. Simon, P-L Taberna and **M. Brunet**, *Wafer-level fabrication process for fully encapsulated micro-supercapacitors with high specific energy*, *Microsystem Technologies*, Vol. 18, No. 4, pp. 467-473, 2012.

2011

6. G.A. Seisenbaeva, S. Gohil, V.G. Kessler, M. Andrieux, C. Legros, P. Ribot, **M. Brunet**, *On the reliability of heteronuclear precursors-ligand effects in the Li-MOCVD synthesis of SrTiO₃ films*, *Journal of Nanoscience and Nanotechnology*, Vol. 11, No 9, pp. 8302-8308, Decembre 2011.
7. P. Artillan, **M. Brunet**, D. Bourrier, J.P. Laur, N. Maurant, L. Bary, M. Dilhan, B. Estibals, C. Alonso, J.L. Sanchez, *Integrated LC filter on silicon for DC-Dc converter applications*, *IEEE Transactions on Power Electronics*, vol. 26, No. 8, August 2011.
8. O. Deleage, J.-C. Crebier, **M. Brunet**, Y. Lembeye, HT. Manh, *Design and realization of highly integrated isolated DC/DC micro-converter*, *IEEE Transactions on Industry Applications*, Vol. 47, No. 2, March/April 2011.
9. M. Heon, S. Lofland, J. Applegate, R. Nolte, E. Cortes, J. D. Hettinger, P-L Taberna, P. Simon, P. Huang, **M. Brunet** and Y. Gogotsi, *Continuous Carbide-Derived Carbon Films with High Volumetric Capacitance*, *Energy Environ. Science*, 2011, vol. 4, 135.
10. **M. Brunet**, H.Mahfoz-Kotb, L.Bouscayrol, E.Scheid, M. Andrieux, C.Legros, S.Schamm, *Nano-crystallized tetragonal metastable ZrO₂ thin films deposited by MOCVD for 3D capacitors*, *Thin Solid Films*, 519 (2011) p. 5638-5644.
11. G.A. Seisenbaeva, S. Gohil, V.G. Kessler, M. Andrieux, C. Legros, P. Ribot, **M. Brunet**, E. Scheid, *Controlling precursor stability and evaporation through molecular design. Pseudo single source precursor approach to MOCVD SrTiO₃ thin films*, *Applied Surface Science*, Vol. 257, Issue 6, January 2011, pp. 2281-2290

2010

12. D. Pech, **M. Brunet**, H. Durou, P. Huang, V. Mochalin, Y. Gogotsi, P-L. Taberna, P. Simon *Ultrahigh-power micrometre-sized supercapacitors based on onion-like carbon*, *Nature Nanotechnology* 9 (2010) 651

2009

13. D. Pech, **M. Brunet**, P-L Taberna, P. Simon, N. Fabre, F. Mesnilgrente, V. Conédéra, H. Durou, *Elaboration of a microstructured inkjet-printed carbon electrochemical capacitor*, *Journal of Power Source*, 195, N°4, 2009, pp. 1266-1269.
14. K. Galicka-Fau, C. Legros, M. Andrieux, **M. Brunet**, J. Szade, G. Garry, *Role of the MOCVD deposition conditions on physico-chemical properties of tetragonal ZrO₂ thin films*, *Applied Surface Science* 255, pp. 8986-8994, 2009.

- 15 **M. Brunet**, P. Dubreuil, H. Mahfoz-Kotb, A. Gouantes, A-M. Dorthe, *Factorial experimental design applied to DRIE for optimised process in power electronics applications requiring high-aspect ratio trenches*, *Microsystems Technology*, 15, pp. 1449-1457, 2009.
- 16 **M. Brunet**, E. Scheid, K. Galicka-Fau, M. Andrieux, C. Legros, I. Gallet, M. Herbst, S. Schamm, *Characterization of ZrO₂ thin films deposited by MOCVD for high-density 3D capacitors*, *J. Microelec. Eng.*, Vol 86 (10), pp. 2034-2037, 2009.
- 2007**
- 17 M. Al Ahmad, **M. Brunet**, S. Payan, D. Michau, M. Maglione, R. Plana, *Wide-tunable low-field interdigitated barium strontium titanate capacitors*, *IEEE Microwave and Wireless Components Letters*, Vol.17, N°11, pp.769-7771, Novembre 2007.
- 18 D. Houssameddine, U. Ebels, B. Delaët, B. Rodmacq, I. Firastrau, F. Ponthenier, **M. Brunet**, C. Thirion, J.-P. Michel, L. Prejbeanu-Buda, M.-C. Cyrille, O. Redon & B. Diény, *Spin-torque oscillator using a perpendicular polarizer and a planar free layer*, *Nature Materials*, 6, pp. 447-453, avril 2007.
- 2006**
- 19 **M. Brunet**, T. O'Donnell, A. M. Connell, P. McCloskey, S. C. Ó Mathúna, *Electrochemical Process for the Lamination of Magnetic Cores in Thin Film Magnetic Components*, *Journal of MicroElectroMechanical Systems*, Vol. 15, No. 1, February 2006, pp 94-100.
- 2005**
- 20 N. Wang, T. O'Donnell, S. Roy, **M. Brunet**, P. McCloskey and S.C. O'Mathuna, *High-frequency micro-machined power inductors*, *Journal of Magnetism and Magnetic Materials*, Volumes 290-291, Part 2, April 2005, Pages 1347-1350.
- 21 Prabhakaran, S.; Sullivan, C.R.; O'Donnell, T.; **Brunet, M.**; Roy, S.; *Microfabricated coupled inductors for DC-DC converters for microprocessor power delivery*, *Journal of Magnetism and Magnetic Materials*, Volumes 290-291, Part 2, April 2005, Pages 1343-1346.
- 22 S. Roy, A. Connell, M. Ludwig, N. Wang, T. O'Donnell, **M. Brunet**, P. McCloskey, S. C.; O Mathuna, A. Barman, R; J. Hicken, *Pulse reverse plating for integrated magnetics on Si*, *Journal of Magnetism and Magnetic Materials*, Volumes 290-291, Part 2, April 2005, Pages 1524-1527.
- 2004**
- 23 N. Wang; Hauser, H.; O'Donnell, T.; **Brunet, M.**; McCloskey, P.; O'Mathuna, S.C., *Modelling of high-frequency micro-transformers*, *IEEE Transactions on Magnetics*, Volume 40, Issue 4, July 2004 Page(s):2014 - 2016
- 2003**
- 24 C. O'Mahony, M. Hill, **M. Brunet**, R. Duane and A. Mathewson, *Characterisation of micromechanical structures using white-light interferometry*, *Measurement Science and Technology*, vol. 14, Octobre 2003, pp. 1807-1814.
- 2002**
- 25 **M. Brunet**, T. O'Donnell, J. O'Brien, P. McCloskey, S.C. Ó Mathúna, *Thick Photoresist Development for the Fabrication of High Aspect Ratio Magnetic Coils*, *Journal of Micromechanics and Microengineering*, vol. 12, no. 4, 2002, pp. 444-449.
- 26 **M Brunet**, T. O'Donnell, N. Wang, J. O'Brien, P. McCloskey, S.C. Ó Mathúna, *Electrical Performance of Micro-Transformers for DC-DC Converter Applications*, *IEEE Transactions on Magnetics*, vol. 38, no. 5, Septembre 2002, pp. 3174-3176.
- 27 L. Renaud,, L. Armenean, L. Berry, P. Kleimann, P. Morin, M. Pitival, J. O'Brien, **M. Brunet**, H. Saint-James, *Implantable Planar RF Microcoils for NMR Micro-Spectrometry*, *Sensors & Actuators A-Physical*, vol. A99, no.3, 2002, pp. 244-248.
- 2001**
- 28 J. O'Brien, P.J. Hughes, **M. Brunet**, B. O'Neill, J. Alderman, B. Lane, A. O'Riordan, C. O'Driscoll, *Advanced photoresist technologies for microsystems*, *Journal of Micromechanics and Microengineering*, vol. 11, Juillet 2001, pp. 353-358.

A.2. Actes de colloques à comité de lecture.

2010

1. J.L. Sanchez, A. Bourennane, M. Breil, P. Austin, **M. Brunet**, J.P. Laur, F. Morancho,, *A brief overview of silicon active and passive power devices technologies: potentialities of evolving towards 3D heterogeneous functional integration*, International Seminar on Power Semiconductors (ISPS'10), Prague (République Tchéque), 1-3 Septembre 2010, 10p
- 2009**
2. O. Deleage, J-C. Crebier, **M. Brunet**, Y. Lembeye, *Design and realization of highly integrated isolated DC/DC micro-converter*, IEEE Energy Conversion Congress and Exposition, 2009, pp. 3690-3697.
 3. **M. Brunet**, P-L Taberna, P. Simon, N. Fabre, V. Conédéra, F. Mesnilgrete, H. Durou, C. Rossi, *Ink-jet printed carbon-based micro-supercapacitor for mobile self-powered modules*, Mater. Res. Soc. Symp. Proc. Vol. 1127, T04-06, 2009.
 4. **M. Brunet**, P. Kleimann, E. Daran, F. Carcenac, L. Jalabert, P. Dubreuil, *650 nF/mm² 3D capacitors integrated in silicon based on nanolithography and electrochemical etching*, MME 09, Toulouse, Sept. 2009.
 5. F. Capy, J-P. Laur, M. Breil, F. Richardeau, **M. Brunet**, C. Caramel, P. Autin, J-L. Sanchez, *New self-controlled and self-protected IGBT based integrated switch*, ISPSD 09, Barcelona, June 2009.
 6. V. Conédéra, F. Mesnilgrete, **M. Brunet**, N. Fabre, *Fabrication of activated carbon electrodes by inkjet deposition*, Proceedings of ICQNM conference, Cancun (2009).
 7. J-L. Sanchez, A. Bourennane, M. Breil, P. Austin, **M. Brunet**, J-P Laur, *3D heterogeneous functional integration: an alternative way to develop new power integrated functions*, XVth International Workshop on the Physics of Semiconductor Devices (IWPSD), December 2009, Delhi, India.
- 2008**
8. H. Durou, C. Rossi, **M. Brunet**, C. Vanhecke, N. Bailly, G. Ardila, L. Ourak, A. Ramond, P. Simon, P-L. Taberna, *Power harvesting and management from vibrations : a multi-source strategy simulation for aircraft structure health monitoring*, SPIE Smart Materials, Nano+Micro-Smart Systems Conference, Melbourne, Australia, 9-12 Decembre 2008.
- 2007**
9. A. Benazzi, **M. Brunet**, P. Dubreuil, N. Mauran, L. Bary, J-P Laur, K Isoird, J-L. Sanchez, *Performance of 3D capacitors integrated on silicon for DC-DC converter applications*, 12th European Conference on Power Electronics and Applications (EPE 2007), Aalborg (Denmark), 2-5 Septembre 2007, 9p.
 10. L.Théolier, K. Isoird, F. Morancho, J. Roig, H. Mahfoz-Kotb, **M. Brunet**, P. Dubreuil *Deep Trench MOSFET structures study for a 1200 Volts application*, EPE 2007 12th European Conference on Power Electronics and Applications (EPE 2007), Aalborg (Danemark), 2-5 Septembre 2007, 9p.
 11. **M. Brunet**, M. Dilhan, D. Bourrier, H. Mahfoz Kotb, A. Benazzi, P. Dubreuil, E. Scheid, *Profile enhancement of high aspect ratio silicon pores made by DRIE with TMAH+IPA bath*, 18th Workshop on MicroMechanics Europe (MME 2007), Guimaraes (Portugal), 16-18 Septembre 2007.
 12. J-L. Sanchez, A. Bourennane, M. Breil, P. Austin, **M. Brunet**, J-P. Laur, *Evolution of the classical functional integration towards a 3D heterogeneous functional Integration*, 15th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES), Ciechocinek, Pologne, 21 – 23 June 2007.
 13. M. Al Ahmad, G. Leclerc, **M. Brunet**, N. Mauran, S. Payan, D. Michau, M. Maglione, R. Plana, *Low-field high tunable interdigitated BST capacitor*, International Symposium on Integrated Ferroelectrics (ISIF 2007), Bordeaux (France), 8-12 Mai 2007, 2p.
- 2006**
14. **M. Brunet**, P. Dubreuil, E. Scheid, J-L. Sanchez, *Development of fabrication techniques for high-density integrated MIM capacitors in power conversion equipment*, "Micromachining and Microfabrication Process Technology XI", part of the SPIE MOEMS-MEMS Symposium, in Photonics West, January 2006.
- 2004**
15. T. O'Donnell, N. Wang, **M. Brunet**, S. Roy, A. Connell, J. Power, C. O'Mathuna, P. McCloskey, *Thin film micro-transformers for future power conversion*, 19th Annual IEEE Applied Power Electronics Conference and Exposition, APEC'04, 2004, Vol. 2, pp. 939- 944.
- 2002**

16. N. Wang, T. O'Donnell, **M. Brunet**, P. McCloskey, S.C. Ó Mathúna, *Modelling and measurements of micro-transformers for power conversion*, Proceedings of 202nd Electrochemical Society Conference, Salt lake city, USA, 2002.

2001

17. **M. Brunet**, T. O'Donnell, J. O'Brien, P. McCloskey, and S.C. Ó Mathúna, *Design study and fabrication techniques for high power density micro-transformers*, 16th Annual IEEE Applied Power Electronics Conference and Exposition, APEC'01, Anaheim, USA, 2001, pp. 1189-1197
18. **M. Brunet**, T. O'Donnell, J. O'Brien, P. McCloskey and S.C. Ó Mathúna, *Photoresist Development for the fabrication of high aspect ratio coils*, Proceedings of 12th Micromechanics Europe Workshop, MME'01, Cork, Irlande, 2001, pp. 245-248.

2000

19. T. O'Donnell, P. McCloskey, **M. Brunet**, R. Winfield, S.C. Ó Mathúna, *High aspect ratio RF coils fabricated using laser processing and micromoulding techniques*, European Microelectronics Packaging and Interconnection Symposium, IMAPS Europe Prague, Rép. Tchèque, 2000, pp. 169-174.

A.3. Communications à des congrès, symposium.

2012

1. K. Armstrong, T.T. M. Dinh, D. Pech, **M. Brunet**, J. Gaudet, D. Guay, *Ruthenium oxide electrodeposition on titanium interdigitated microarrays for energy storage*, MRS Fall Meeting 2012 du 25 novembre au 30 novembre 2012, Boston (USA), Novembre 2012, 1p. , N° 12413 (**poster**)
2. P. Huang, M. Heon, D. Pech, **M. Brunet**, P-L. Taberna, P. Simon, Y. Gogotsi, *On-chip micro-supercapacitors based on CDC film, 63rd Annual Meeting of the International Society of Electrochemistry*, Prague, République Tchèque, 19-24 Août 2012. (**poster**)

2011

3. K. Armstrong, J. Gaudet, **M. Brunet**, D. Guay, D. Pech, *Influence of the configuration of RuO₂ thin film electrochemical micro-capacitors*, International Symposium on Enhanced Electrochemical Capacitors (ISEE'Cap 2011), Poznan (Pologne), 12-16 Juin 2011. (**poster**)
4. **M. Brunet**, *High performance carbon-based micro-supercapacitors*, NEST Conference (New Electrical Systems in Tours), Tours, 28-29 juin 2011 (**Présentation orale invitée**)

2010

5. D. Pech, **M. Brunet**, J.MC Donough, T. Ubieto, V. Mochalin, Y. Gogotsi, P.L. Taberna, P. Simon, *Influence of the architecture of micro-supercapacitors on their electrochemical performances*, Annual Meeting of the International Society of Electrochemistry, Nice (France), 26 Septembre - 1 Octobre 2010 (**oral**)
6. **M. Brunet**, Ph. Artillan, D. Bourrier, J-P. Laur, N. Mauran, L. Bary, M. Dilhan, B. Estibals, C. Alonso and J-L Sanchez, *Integrated LC filter on silicon for DC-DC converter applications*, International Workshop on Power Supplies on Chip, PwrSoC'10, 13-15 octobre 2010, Cork, Irlande (**poster**)
7. **M. Brunet**, D. Pech, H. Durou, P. Huang, V. Mochalin, Y. Gogotsi, P-L Taberna, P. Simon, *Ultra high power carbon-based micro-supercapacitors*, International Workshop on Power Supplies on Chip, PwrSoC'10, 13-15 octobre 2010, Cork, Irlande. (**Présentation orale invitée**)
8. J.L Sanchez, A. Bourennane, M. Breil, P. Austin, **M. Brunet**, J.P. Laur, F. Morancho, *A brief overview of silicon active and passive power devices technologies: potentialities of evolving towards 3D heterogeneous functional integration*, International Seminar on Power Semiconductors (ISPS'10), Prague (République Tchèque), 1-3 Septembre 2010, 10p (**Présentation orale invitée**)

2009

9. M. Heon, Y. Gogotsi, J.D. Hettinger, **M. Brunet**, D. Pech, P-L Taberna and P. Simon; *Carbide-derived Carbon for Thin Film Supercapacitors*, U13.26, MRS Fall meeting, Boston, 2009. (**poster**)
10. O. Deleage, J-C. Crebier, **M. Brunet**, Y. Lembeye, *Design and realization of highly integrated isolated DC/DC micro-converter*, IEEE Energy Conversion Congress and Exposition, 2009, pp. 3690-3697. (**poster**)

11. K. Galicka-Fau, M. Andrieux, C. Legros, I. Gallet, **M. Brunet**, E. Scheid, S. Schamm, *ZrO₂ Thin Films Grown On 2D and 3D Silicon Surfaces By DLI-MOCVD For Electronic Devices*, 216th ECS Meeting, Vienne, 2009. **(poster)**
12. **M. Brunet**, P. Kleimann, E. Daran, F. Carcenac, L. Jalabert, P. Dubreuil, *650 nF/mm² 3D capacitors integrated in silicon based on nanolithography and electrochemical etching*, MME 09, Toulouse, Sept. 2009. **(poster)**
13. D. Pech, **M. Brunet**, H. Durou, F. Mesnilgrete, N. Fabre, V. Conédéra, P-L. Taberna, P. Simon, *Fabrication and characterization of carbon micro-supercapacitors elaborated by inkjet deposition*, New Energy Solution in Tours (NEST 2009), Tours (France), 26-27 Mai 2009. **(oral)**
14. D. Pech, **M. Brunet**, H. Durou, P-L. Taberna, P. Simon, N. Fabre, F. Mesnilgrete, V. Conédéra, *Miniaturization and integration of carbon-based electrochemical capacitors: technological issues*, First International Symposium on Enhanced Electrochemical Capacitors (ISEECap¹), Nantes (France), 29 Juin - 2 Juillet 2009 **(oral)**
15. F. Capy, J-P. Laur, M. Breil, F. Richardeau, **M. Brunet**, C. Caramel, P. Autin, J-L. Sanchez, *New self-controlled and self-protected IGBT based integrated switch*, ISPSD 09, Barcelona, June 2009. **(poster)**
16. V. Conédéra, F. Mesnilgrete, **M. Brunet**, N. Fabre, *Fabrication of activated carbon electrodes by inkjet deposition*, Proceedings of ICQNM conference, Cancun (2009). **(poster)**
17. **M. Brunet**, P-L Taberna, P. Simon, N. Fabre, V. Conédéra, F. Mesnilgrete, H. Durou, C. Rossi, *Ink-jet printed carbon-based micro-supercapacitor for mobile self-powered modules*, Mater. Res. Soc. Symp. Proc. Vol. 1127, T04-06, 2009. **(oral)**
18. J-L. Sanchez, A. Bourennane, M. Breil, P. Austin, **M. Brunet**, J-P Laur, *3D heterogeneous functional integration: an alternative way to develop new power integrated functions*, XVth International Workshop on the Physics of Semiconductor Devices (IWPSD), December 2009, Delhi, India **(Présentation orale invitée)**

2008

19. V. Conédéra, F. Mesnilgrete, **M. Brunet**, M. Borella, N. Fabre, *Study of a highly localized activated carbon deposition process using inkjet printing technology*, Journées Nationales sur les Technologies Emergentes en Micro-nanofabrication, Toulouse (France), 19-21 Novembre 2008. **(poster)**
20. H. Durou, C. Rossi, **M. Brunet**, C. Vanhecke, N. Bailly, G. Ardila, L. Ourak, A. Ramond, P. Simon, P-L. Taberna, *Power harvesting and management from vibrations : a multi-source strategy simulation for aircraft structure health monitoring*, SPIE Smart Materials, Nano+Micro-Smart Systems Conference, Melbourne, Australia, 9-12 Decembre 2008. **(oral)**
21. **M. Brunet**, G. Leclerc, E. Scheid, K. Galicka-Fau, M. Andrieux, C. Legros, I. Gallet, M. Herbst. *2D and 3D characterization of ZrO₂ thin films deposited by MOCVD for high-density 3D capacitors*, IUMRS-ICEM International conference on Electronic Materials, Sydney Australia, 28 juillet – 01 août 2008. **(oral)**
22. **M. Brunet**, G. Leclerc, E. Scheid, J-L. Sanchez, K. Galicka-Fau, M. Andrieux, C. Legros, I. Gallet, M. Herbst, P. Kleimann, *3D capacitors on silicon with high density pores network and ZrO₂ dielectric films deposited by MOCVD*, International Workshop on Power Supplies on Chip, PwrSoC'08, 22-24 septembre 2008, Cork, Irlande **(Présentation orale invitée)**
23. K. Galicka-Fau, M. Andrieux, C. Legros, I. Gallet, M. Herbst, G. Leclerc, **M. Brunet**, E. Scheid, J-L. Sanchez, *Dépôts planaires et tridimensionnels de films minces de ZrO₂ par MOCVD sur silicium pour applications en électronique de puissance*, Workshop « Oxyde Fonctionnels pour la micro et nano-électronique », Autrans, 16-19 mars 2008. **(poster)**
24. T. El Mastouli, J-P. Laur, J-L. Sanchez, **M. Brunet**, D. Bourrier, M. Dilhan, J-F. Bobo, *CoNiFe applied in microinductors for integrated dc-dc converters*, IEEE International Magnetics Conference (INTERMAG 2008), Madrid (Espagne), 4-8 Mai 2008. **(poster)**
25. T. El Mastouli, J-P. Laur, J-L. Sanchez, **M. Brunet**, D. Bourrier, M. Dilhan, *Micro-inductors integrated on silicon for dc-dc converters*, SPIE International Symposium on Micromachining and Microfabrication Process Technology XIII, San José (USA), 19-24 Janvier 2008 **(poster)**

2007

26. A. Benazzi, **M. Brunet**, P. Dubreuil, N. Mauran, L. Bary, J-P Laur, K Isoird, J-L. Sanchez, *Performance of 3D capacitors integrated on silicon for DC-DC converter applications*, 12th European

- Conference on Power Electronics and Applications (EPE 2007), Aalborg (Denmark), 2-5 Septembre 2007. **(poster)**
27. L. Théolier, K. Isoird, F. Morancho, J. Roig, H. Mahfoz-Kotb, **M. Brunet**, P. Dubreuil, *Deep Trench MOSFET structures study for a 1200 Volts application*, EPE 2007 12th European Conference on Power Electronics and Applications (EPE 2007), Aalborg (Danemark), 2-5 Septembre 2007. **(poster)**
 28. **M. Brunet**, M. Dilhan, D. Bourrier, H. Mahfoz Kotb, A. Benazzi, P. Dubreuil, E. Scheid, *Profile enhancement of high aspect ratio silicon pores made by DRIE with TMAH+IPA bath*, 18th Workshop on MicroMechanics Europe (MME 2007), Guimaraes (Portugal), 16-18 Septembre 2007. **(poster)**
 29. M. Al Ahmad, G. Leclerc, **M. Brunet**, N. Mauran, S. Payan, D. Michau, M. Maglione, R. Plana, *Low-field high tunable interdigitated BST capacitor*, International Symposium on Integrated Ferroelectrics (ISIF 2007), Bordeaux (France), 8-12 Mai 2007. **(poster)**
 30. J-L. Sanchez, A. Bourennane, M. Breil, P. Austin, **M. Brunet**, J-P. Laur, *Evolution of the classical functional integration towards a 3D heterogeneous functional Integration*, 15th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES), Ciechocinek, Pologne, 21 – 23 June 2007. **(Présentation orale invitée)**
- 2006**
31. **M. Brunet**, P. Dubreuil, E. Scheid, J-L. Sanchez, *Development of fabrication techniques for high-density integrated MIM capacitors in power conversion equipment*, “Micromachining and Microfabrication Process Technology XI”, part of the SPIE MOEMS-MEMS Symposium, in Photonics West, January 2006. **(oral)**
- 2004**
32. T. O’Donnell, N. Wang, **M. Brunet**, S. Roy, A. Connell, J. Power, C. O’Mathuna, P. McCloskey, *Thin film micro-transformers for future power conversion*, 19th Annual IEEE Applied Power Electronics Conference and Exposition, APEC’04, 2004, Vol. 2, pp. 939- 944. **(poster)**
- 2003**
33. J. F. Power, K. Reynolds, D. P. Casey, J. F. Rohan, **M. Brunet**, S. Roy, A. Connell, J. O’Brien and T. O’Donnell, *Electrochemical deposition of magnetic materials*, Proceedings of Royal society of chemistry, Electrochem. 2003, Southampton, UK. **(poster)**
- 2002**
34. N. Wang, T. O’Donnell, **M. Brunet**, P. McCloskey, S.C. Ó Mathúna, *Modelling and measurements of micro-transformers for power conversion*, Proceedings of 202nd Electrochemical Society Conference, Salt lake city, USA, 2002. **(poster)**
- 2001**
35. **M. Brunet**, T. O’Donnell, J. O’Brien, P. McCloskey, and S.C. Ó Mathúna, *Design study and fabrication techniques for high power density micro-transformers*, 16th Annual IEEE Applied Power Electronics Conference and Exposition, APEC’01, Anaheim, USA, 2001, pp. 1189-1197 **(oral)**
 36. **M. Brunet**, T. O’Donnell, J. O’Brien, P. McCloskey and S.C. Ó Mathúna, *Photoresist Development for the fabrication of high aspect ratio coils*, Proceedings of 12th Micromechanics Europe Workshop, MME’01, Cork, Irlande, 2001, pp. 245-248. **(poster)**
- 2000**
37. T. O’Donnell, P. McCloskey, **M. Brunet**, R. Winfield, S.C. Ó Mathúna, *High aspect ratio RF coils fabricated using laser processing and micromoulding techniques*, European Microelectronics Packaging and Interconnection Symposium, IMAPS Europe Prague, Rép. Tchèque, 2000, pp. 169-174. **(oral)**
 38. T. O’Donnell, **M. Brunet**, P. McCloskey, J. O’Brien, S.C. Ó Mathúna, *Microtransformers and inductors using permalloy thin films*, Preparation, Properties and Applications of Thin Ferromagnetic Films Workshop, Vienne, Autriche, 2000. **(oral)**

A.4. Séminaires, journées nationales.

2012

1. **M. Brunet**, *Energy storage on-chip: technologies and performance of micro-supercapacitors*, Journées Stockage de l’Energie, organisées par Midi-Pyrénées Innovation **(présentation invitée)**.

2. **M. Brunet**, *Energy storage on-chip: technologies and performance of micro-supercapacitors*, 2èmes journées nationales sur la récupération et le stockage d'Énergie pour l'alimentation des microsystemes autonomes, Grenoble, 26-27 mars 2012 (**présentation invitée**).

2011

3. **D. Pech**, **M. Brunet**, *Energy storage on chip: realization and characterizations of micro-supercapacitors*, Journées thématiques sur les enjeux et problématiques de l'énergie dans les microsystemes autonomes, Bidart (France), 28-29 Novembre 2011 (**présentation invitée**).
4. **M. Brunet**, *Stockage de l'énergie sur puce : technologies et performances de micro-supercondensateurs*, GDR Micro et NanoSystemes (MNS), Marseille, 14-15 Décembre 2011 (**présentation invitée**).

2009

5. **M. Brunet**, *3D capacitors on silicon: technologies and integrated applications*, European Centre for Power Electronics (ECPE) workshop, (**présentation invitée**), Paris, septembre 2009.

2008

6. G.A. Ardila Rodriguez, **M. Brunet**, H. Durou, C. Escriba, D. Esteve, J.Y. Fourniols, C. Rossi, *Emergence du concept d'intelligence ambiante: enjeux et défis pour l'Énergie Embarquée*, 12ème Journées Nano Micro et Optoélectronique, Ile d'Oléron (France), 3-6 Juin 2008, 8p., (**présentation invitée**)

A.5. Brevet

1. **M. Brunet**, A.M. Connell, P. McCloskey, T. O'Donnell, S.C. O'Mathuna, *Plating of Multi-layer Structures*, 2004, Patent Cooperation Treaty (PCT) WO 2004/057055 A1

A.6. Chapitres d'ouvrages

1. J-L. Sanchez, A. Bourennane, M. Breil, **M. Brunet**, P. Austin, J-P. Laur (2009), *"Evolution vers une intégration de puissance 3D"*, Sous la direction J-L Leray, J-C Boudenot, J Gautier, La Micro-nanoelectronique : enjeux et mutations, CNRS Edition, ISBN : 978-2-271-06829-3., p. 389-399.

A.7. Revues et ouvrages de vulgarisation, presse écrite

1. Article: "nanooions-give-supercapacitors-extra-oomph"
Revue : IEEE Spectrum (magazine en ligne)
2. Article : "L'exploit: Ils ont trouvé la clé de "l'internet des objets"
Revue : Science et Vie (n° Octobre 2010)
3. Article : "Un micro-supercondensateur surpuissant"
Revue : Journal du CNRS (n° Novembre 2010)
4. Article : "An Ultra-powerful micro-supercapacitor"
Revue : CNRS international magazine (n° Janvier 2011)

Résumés

Les travaux présentés traitent de l'intégration des composants passifs pour la conversion et le stockage de l'énergie dans un contexte général de l'électronique nomade. Le développement de la micro-électronique conduisant à la miniaturisation des circuits électroniques a permis le boom de l'électronique nomade (smart phones, tablettes, appareils photos numériques, etc.) et l'émergence des réseaux de capteurs communicants (intelligence ambiante). Les enjeux des années à venir sont : toujours plus de fonctionnalités et l'augmentation de l'autonomie énergétique de ces différents objets. La miniaturisation et l'approche de l'intégration hétérogène 3D font partie des solutions pour lever les verrous technologiques associés à ces défis.

Concernant les circuits de puissance assurant la conversion et la gestion de l'énergie, la taille des convertisseurs est définie par l'encombrement des éléments passifs les constituant. Je présenterai les travaux réalisés depuis 2005 au LAAS-CNRS permettant l'intégration sur silicium de composants passifs (bobines, condensateurs) pour ces systèmes de gestion de l'énergie. Les travaux sont axés sur la conception, le développement des topologies et des filières technologiques pour micro-bobines (L) et condensateurs intégrés (C). Ainsi, pour des condensateurs à forte densité (au-delà des 500 nF.mm⁻²), les technologies de gravure du silicium ont été explorées associées à la synthèse et la caractérisation de matériaux à forte permittivité diélectrique. En ce qui concerne les micro-bobines, pour répondre au cahier des charges des convertisseurs fonctionnant autour du watt, les développements se concentrent sur l'intégration du noyau magnétique ainsi que les technologies de dépôts épais d'isolants et de métaux.

A long terme, pour produire des alimentations toutes intégrées sur puce, l'intégration et l'empilement de puces multi-fonctionnelles sont à concevoir. Nous montrerons quelques pistes d'intégration : puce passive (contenant bobine et condensateur sur le même substrat), ou co-intégration passif-actifs au sein de la filière d'intégration fonctionnelle.

Dans un deuxième volet, nous aborderons la thématique de l'autonomie énergétique des microsystèmes (capteurs ou autre). De nombreux travaux de recherche ont émergé depuis le début des années 2000 sur les microsystèmes de récupération de l'énergie ambiante : solaire, thermique, mécanique, acoustique. Etant donné la nécessité d'un stockage tampon de l'énergie récupérée, la solution la plus pertinente est d'utiliser un supercondensateur, élément de stockage présentant des durées de vie quasi-illimitées. Je présenterai les activités de recherche liées à l'intégration de micro-supercondensateurs sur silicium. Les premiers dispositifs à base de charbon actif et autres carbones nanostructurés ont montré des performances intéressantes : près de 250 mJ.cm⁻² d'énergie et 200 mW.cm⁻² de puissance. Finalement, les perspectives de recherche sur ces thématiques seront proposées et discutées.

The work deals with the integration of passive components for the conversion and storage of energy in the general context of portable electronic devices. The development of micro-electronics lead to the miniaturization of electronic circuits, pushing the expansion of portable electronic devices usage (smart phones, tablets, digital cameras pictures ... etc) and the emergence of networks of communicating sensors for ambient intelligence. One of the challenges of the coming years is to meet the ever-increasing number of functionalities and provide energy autonomy for these different objects. Miniaturization and 3D heterogeneous integration approach are solutions to overcome the technological barriers and address these issues.

In power circuits providing conversion and energy management, the size of converters is defined by the size of passive elements. I will present the work carried out since 2005 at LAAS-CNRS for the integration of passive components (coils, capacitors) on silicon dedicated to energy management circuits. The work focuses on the design, development of topologies and technologies for micro-coils (L) and integrated capacitors (C). For high-density capacitors (above 500 nF.mm⁻²), silicon etching technologies were explored associated with the synthesis of high- ϵ materials. Regarding micro-coils, to reach specifications defined by low power converters, developments mainly concern the integration of magnetic core and technologies for depositing thick insulation and metal layers.

In the long term, to produce power supply on-chip, stacking of multi-functional chips are desired. We will show some ways of integration: passive chip, or passive-active co-integration.

In a second part, we will discuss the energy autonomy of microsystems (sensors or other). Many research has emerged since the early 2000s around microsystems harvesting ambient energy: solar, thermal, mechanical, acoustic. Since the harvested energy is intermittent, there is the need for a buffer energy storage. In this case, the best solution is to use a supercapacitor storage element which has almost unlimited lifetime. I will present the research activities related to the integration of micro-supercapacitors on silicon. The first devices based on activated carbon and other nanostructured carbons showed very interesting performance: 250 mJ.cm⁻² in energy and 200 mW.cm⁻² in power respectively. Finally, research perspectives will be proposed and discussed.

