



**HAL**  
open science

# Etude, applications et améliorations de la technique LVI sur les défauts rencontrés dans les technologies CMOS avancées 45nm et inférieur.

Guillaume Celi

► **To cite this version:**

Guillaume Celi. Etude, applications et améliorations de la technique LVI sur les défauts rencontrés dans les technologies CMOS avancées 45nm et inférieur.. Autre. Université Sciences et Technologies - Bordeaux I, 2013. Français. NNT : 2013BOR14774 . tel-00904697

**HAL Id: tel-00904697**

**<https://theses.hal.science/tel-00904697>**

Submitted on 15 Nov 2013

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



# THÈSE

PRÉSENTÉE A

**L'UNIVERSITÉ BORDEAUX 1**

Ecole Doctorale des Sciences Physiques et de l'Ingénieur

Par Guillaume CELI

POUR OBTENIR LE GRADE DE  
DOCTEUR

SPÉCIALITÉ : Electronique

**Etude, applications et améliorations de la technique LVI sur les défauts rencontrés dans les technologies CMOS avancées 45nm et inférieur.**

Directeur de recherche : Dean LEWIS

Soutenue le : 26 Mars 2013

Devant la commission d'examen formée de :

Mme Marise	BAFLEUR	Chargé de Recherche	LAAS-CNRS Toulouse	(Rapporteur)
Mr Alain	BRAVAIX	Professeur	ISEN-IM2NP Toulon	(Rapporteur)
Mr Dean	LEWIS	Directeur de Recherche	Université de Bordeaux	(Directeur)
Mr Philippe	PERDU	Expert Sénior	CNES Toulouse	(Encadrant)
Mr Sylvain	DUDIT	Ingénieur	ST Microelectronics	(Encadrant)
Mme Nathalie	MALBERT	Professeur	Université de Bordeaux 1	(Présidente du jury)
Mr Vincent	POUGET	Chargé de Recherche	Université Montpellier 2	(Invité)

## **Remerciements**

Cette thèse s'est déroulée à STMicroelectronics Crolles au sein du service TPS(Technology Platform Substaining) dans l'équipe d'analyse de défaillance (EFA).

La mission de cette entité est de développer des nouveaux procédés de R&D, d'accélérer la phase de démarrage des nouveaux produits et d'améliorer les rendements.

L'équipe EFA a pour mission d'assurer les rejets de qualification et donner une certaine maturité au Design et au Process à travers deux équipes : EFA Design, EFA Process.

Il convient donc de remercier en premier lieu les personnes que j'ai pu côtoyer dans ce service et qui ont contribué à la réussite de ce travail.

Je tiens à adresser mes sincères remerciements à mon responsable industriel et également responsable de l'équipe EFA Design, Sylvain DUDIT. Il m'a orienté dans les bonnes directions durant ces trois années de thèse et m'a accordé sa confiance, sans oublier son aide précieuse, ses conseils techniques, sa pédagogie et son implication tout au long de mon travail.

Je remercie aussi Jean Pierre HELIOT pour m'avoir accueilli au sein de son département.

Je remercie Michel VALLET de m'avoir intégré au sein de son équipe.

Je tiens à remercier tout particulièrement Thierry PARRASSIN qui m'a également aidé tout au long de cette thèse et qui a été pour moi d'une aide très précieuse. Je le remercie pour sa disponibilité, et ses conseils techniques.

Merci également à tout le reste de l'équipe EFA (Manu, Jérôme, Yann, Philippe, Sophie, Solenn, Héloïse, Christophe, Nolwenn, Wolf, Marc, Laurent, John) pour leur aide, leurs bons conseils techniques et les bons moments passés ensemble.

Enfin, j'adresse un remerciement à tous les équipementiers que j'ai côtoyé.

Il m'importe également de remercier Dean LEWIS de l'université de Bordeaux I pour avoir accepté d'être Directeur de cette thèse.

Mes sincères remerciements à Marise BAFFLEUR et Alain BRAVAIX d'avoir accepté d'être les rapporteurs de cette thèse.

Je remercie tout particulièrement Monsieur Philippe Perdu Ingénieur au CNES qui a activement contribué à la réussite de ce projet.

Pour finir, mes plus sincères remerciements vont à ma famille et à Claire, pour m'avoir toujours soutenu et avoir su me remotiver dans les moments difficiles.

*" L'alpiniste est un homme qui conduit son corps là où, un jour, ses yeux ont regardé... "*

***Gaston Rébuffat***

# Sommaire

<i>Chapitre I : Etat de l'art et localisation de défauts dans les circuits intégrés</i> .....	17
<i>1. Introduction</i> .....	19
<i>2. Technologie MOSFET</i> .....	23
2.1. Principe de fonctionnement du transistor MOS.....	23
2.1.1. Principe général .....	23
2.1.2. Régime de fonctionnement du transistor MOS .....	25
2.2. Evolution de la technologie CMOS .....	27
<i>3. Propriétés optiques du silicium</i> .....	29
3.1. Propriétés optiques appliquées aux technologies CMOS.....	33
<i>4. Techniques optiques de localisation de fautes par la face arrière</i> .....	35
4.1. La microscopie à émission de lumière (EMMI).....	35
4.1.1. Principes de l'émission de photons .....	38
4.1.2. Principe de la technique EMMI en cartographie .....	40
4.1.3. Principe de la technique EMMI en mode acquisition : Time Resolved Emission (TRE) ...	41
4.2. Analyse par stimulation laser .....	43
4.2.1. Stimulation laser thermique.....	44
4.2.2. Stimulation laser photoélectrique.....	49
4.2.3. Stimulation laser dynamique .....	50
<i>5. Conclusion</i> .....	52
 <i>Chapitre II: Signatures et problématiques des techniques de localisation traditionnelles face à un défaut de type Bridge</i> .....	53
<i>1. Introduction</i> .....	55
<i>2. Cas du défaut bridge</i> .....	56
2.1. Description du défaut bridge.....	56
2.2. Description de la structure de test bridge en technologie 45nm.....	58
<i>3. Simulations de la structure bridge</i> .....	59

<b>3.1.</b>	<b>Conditions de simulation .....</b>	<b>60</b>
<b>3.2.</b>	<b>Résultats de la simulation ELDO .....</b>	<b>61</b>
3.2.1.	Simulation d'un défaut bridge de 1K $\Omega$ .....	62
3.2.2.	Simulation d'un défaut bridge de 10k $\Omega$ .....	64
3.2.3.	Simulation d'un défaut bridge de 100k $\Omega$ .....	66
<b>4.</b>	<b>Mécanismes de défaillance / Analyse du défaut bridge à l'aide des techniques optiques disponibles .....</b>	<b>68</b>
<b>4.1.</b>	<b>Cartographie EMMI .....</b>	<b>69</b>
4.1.1.	EMMI sur défaut bridge de 1K $\Omega$ .....	70
4.1.2.	EMMI sur défaut bridge de 10K $\Omega$ .....	72
4.1.3.	EMMI sur défaut bridge de 100k $\Omega$ .....	74
<b>4.2.</b>	<b>Mesures en Time Resolved Emission (TRE) .....</b>	<b>75</b>
4.2.1.	Acquisition TRE sur défaut bridge de 1K $\Omega$ .....	76
4.2.2.	Acquisition TRE sur défaut bridge de 10k $\Omega$ .....	77
4.2.3.	Acquisition TRE sur défaut bridge de 100k $\Omega$ .....	78
<b>4.3.</b>	<b>Techniques de stimulation laser .....</b>	<b>79</b>
4.3.1.	Stimulation laser thermique sur défaut bridge de 1k $\Omega$ .....	79
4.3.2.	Stimulation laser thermique sur défaut bridge de 10k $\Omega$ .....	80
<b>5.</b>	<b>Conclusion.....</b>	<b>81</b>
 <b>Chapitre III : Technique Laser Voltage Imaging et problématiques.....</b>		<b>83</b>
<b>1.</b>	<b>Introduction.....</b>	<b>85</b>
<b>2.</b>	<b>Technique d'analyse laser par imagerie fréquentielle .....</b>	<b>86</b>
<b>2.1.</b>	<b>Intérêt des techniques lasers.....</b>	<b>86</b>
<b>2.2.</b>	<b>Principe de l'approche sonde .....</b>	<b>87</b>
<b>2.3.</b>	<b>La technique Laser Voltage Imaging (LVI) .....</b>	<b>88</b>
2.3.1.	But de la technique LVI.....	88
2.3.2.	Mécanismes de perturbation de l'onde laser réfléchie .....	89
2.3.3.	Les effets de perturbations de l'onde laser réfléchie dans la mesure LVI .....	91
2.3.4.	Principe de la mesure LVI .....	96

<b>3. Applications.....</b>	<b>98</b>
<b>3.1. Cas d'étude défaut bridge en 45nm .....</b>	<b>98</b>
<b>3.2. Localisation LVI dans une chaîne de registre à décalage (FF).....</b>	<b>99</b>
<b>4. Conclusion.....</b>	<b>103</b>
<b>Chapitre IV.....</b>	<b>105</b>
<b>1. Introduction.....</b>	<b>107</b>
<b>2. La thermoréfectance .....</b>	<b>108</b>
<b>2.1. Principe de la thermoréfectance .....</b>	<b>108</b>
<b>2.1.....</b>	<b>110</b>
<b>2.2. Etude de la signature de thermoréfectance sur une ligne de cuivre .....</b>	<b>110</b>
<b>2.2.1. Description de la structure .....</b>	<b>111</b>
<b>2.2.2. Résultats de l'acquisition LVI.....</b>	<b>112</b>
<b>2.2.3. Etude de la signature LVI suivant la fréquence et la tension (expérimentation) .....</b>	<b>112</b>
<b>3. Développement d'une nouvelle technique de détection de défauts par imagerie thermique fréquentielle : « Thermal Frequency Imaging (TFI) » .....</b>	<b>120</b>
<b>3.1. Principe de cette nouvelle technique.....</b>	<b>120</b>
<b>3.1.1. Le setup électrique .....</b>	<b>121</b>
<b>3.1.2. Expérimentation théorique sur le défaut bridge .....</b>	<b>124</b>
<b>4. Cas d'étude sur une chaîne de scan défaillante en technologie 45nm .....</b>	<b>126</b>
<b>4.1. Contexte de l'analyse.....</b>	<b>127</b>
<b>4.2. Tests électriques et description du défaut .....</b>	<b>128</b>
<b>4.3. Résultats EMMI et laser .....</b>	<b>131</b>
<b>4.4. Résultats LVI et Cw LVP .....</b>	<b>132</b>
<b>4.5. Résultats TFI.....</b>	<b>135</b>
<b>5. Conclusion.....</b>	<b>139</b>

<b>Chapitre V : Comment récupérer une information temporelle dans la signature LVI ?..</b>	<b>141</b>
<b>1. Introduction.....</b>	<b>143</b>
<b>2. Analyse fréquentielle.....</b>	<b>144</b>
<b>2.1. Fonctionnement théorique de l'analyse spectrale en fréquence.....</b>	<b>144</b>
<b>2.2. Propriétés de l'analyse spectrale.....</b>	<b>146</b>
2.2.1. Spectres de signaux périodiques .....	147
2.2.2. Spectres de signaux non périodiques.....	148
<b>2.3. Propriétés spectrales appliquées à l'analyse LVI.....</b>	<b>149</b>
<b>3. Cas d'études sur technologie 28nm.....</b>	<b>151</b>
<b>3.1. Localisation de dégradations de rapport cyclique par analyse fréquentielle.....</b>	<b>151</b>
3.1.1. Présentation de l'analyse.....	151
3.1.2. Résultats.....	152
<b>3.2. Localisation de dégradation de front par analyse fréquentielle.....</b>	<b>156</b>
<b>4. Conclusion.....</b>	<b>161</b>
<b>Conclusion Générale.....</b>	<b>163</b>
<b>Références.....</b>	<b>168</b>
<b>Contributions scientifiques de l'auteur .....</b>	<b>174</b>
<b>Table des illustrations .....</b>	<b>176</b>

# Glossaire

**BiCMOS** Bipolar Complementary Metal Oxide Semiconductor

**CAD** Computer Aided Design

**CMOS** Complementary Metal Oxide Semiconductor

**CNES** Centre national d'Etudes Spatiale

**Cw-LVP** Continuous Waves-Laser Voltage Probing

**EFA** Electrical Failure Analysis

**EMMI** Emission Microscopy Infrared

**ESD** Electro Static Discharge

**LSM** Laser Scan Microscopy

**LVI** Laser Voltage Imaging

**MOS** Metal Oxide Semiconductor

**NMOS** N type Metal Oxide Semiconductor

**PMOS** P type Metal Oxide Semiconductor

**SEM** Secondary Electron Microscope

**SIL** Solid Immersion Lens

**TLS** Thermal Laser Stimulation

**TPS** Technology Platform Sustaining

**TRE** Time Resolved Emission

**xLS** x Laser Stimulation



# **Introduction Générale**



Depuis bientôt 40 ans, on assiste à une course à la réduction des dimensions des composants de la microélectronique pour accroître encore et toujours les performances de nos ordinateurs, téléphones, téléviseurs et autres appareils « high-tech ».

L'industrie de la microélectronique augmente sans cesse la densité d'intégration de transistors par puce, dans le but d'améliorer les performances des circuits intégrés.

La loi de Moore énoncée dès 1965 par Gordon Moore, ingénieur de Fairchild Semiconductor (co-fondateur d'Intel), indiquait que la densité d'intégration sur silicium doublerait tous les 18 mois, ce qui implique la réduction de taille des transistors. A ce jour, cette prédiction s'est révélée exacte, avec pour conséquences l'apparition sur le marché de systèmes électroniques de moins en moins coûteux et de plus en plus performants. Cette évolution quasi-exponentielle est le fruit de progrès fulgurants de la recherche en microélectronique tant aux niveaux des procédés, des techniques de conception que des architectures. Cependant des limites technologiques semblent se profiler à l'horizon comme la finesse de la gravure, l'interconnexion, la densité de composants...

L'analyse de défaillances joue un rôle important dans l'amélioration des performances et de la fabrication des circuits intégrés. Des défaillances peuvent intervenir à tout moment dans la chaîne d'un produit, que ce soit au niveau conception, durant la qualification du produit, lors de la production, ou encore lors de son utilisation.

Il est donc important d'étudier ces défauts dans le but d'améliorer la fiabilité des produits. De plus, avec l'augmentation de la densité et de la complexité des puces, il est de plus en plus difficile de localiser les défauts, et ce malgré l'amélioration des techniques d'analyses.

Il apparaît ainsi un besoin permanent de développer de nouvelles techniques d'analyse de défaillance des composants microélectroniques.

L'analyse de défaillance, s'appuie essentiellement sur des techniques de microscopie à émission de lumière et de stimulations lasers (Photoélectrique et thermique) qui a connu ces dernières années des développements importants en raison de leur caractère généralement non-destructif et de leurs grandes résolutions spatiale et temporelle.

Toutefois, la multiplication des niveaux d'interconnexion, ainsi que la densité d'intégration, rendent ces techniques de localisation de défauts dites « traditionnelles » difficilement applicables.

Ce travail de thèse s'inscrit dans ce contexte et vise à étudier et développer une nouvelle technique d'analyse de défaillance basée sur l'étude de l'onde laser réfléchie le "Laser Voltage Imaging" (LVI) pour l'analyse de défaillance des technologies ultimes (inférieur à 45nm).

Dans un premier chapitre, un état de l'art sera présenté sur les techniques de localisation dites "traditionnelles" basées sur l'émission de lumière et les stimulation lasers.

Dans le deuxième chapitre, un modèle théorique d'un défaut bridge sera étudié dans le but de montrer les limitations de ces techniques "traditionnelles". Grâce à un outil de simulation (ELDO) on sera ainsi capable de prédire ou non l'émission de photons et ainsi bien comprendre les signatures obtenues face à ce type de défaut qui est aujourd'hui une problématique à localiser.

Le troisième chapitre se focalise sur une nouvelle technique laser de localisation en mode "sonde", le " Laser Voltage Imaging" (LVI). Nous verrons ainsi les avantages d'utiliser le mode "sonde" où le laser prélève de l'information sur le fonctionnement d'un circuit intégré et ainsi pouvoir déterminer les zones de fonctionnement ou non. Dans ce chapitre on s'appuiera sur deux cas d'études en 45 nm et 28 nm pour mettre en avances les avantages et limitations de cette technique.

Dans le quatrième chapitre, on s'intéressera aux signatures parasites du LVI. Cette étude a permit le développement d'une nouvelle technique de localisation le "Thermal Frequency Imaging" (TFI). Une première partie mettra en évidence le phénomène de thermoréfectance présent dans la signature LVI. Puis on s'intéressera à ces phénomènes sur une structure passive (une ligne de cuivre)et ensuite sera décrit en détail le dispositif de la technique TFI.

Le dernier chapitre s'intéressera à l'étude spectrale de l'onde laser réfléchie dans le but de mettre en évidence les défauts temporelles (front manquant, dégradation de front et du rapport cyclique). On finira par un cas d'étude en 28nm montrant la puissance de cette technique.





# **Chapitre I : Etat de l'art et localisation de défauts dans les circuits intégrés**



# 1. Introduction

L'analyse de défaillances joue un rôle important dans l'amélioration des performances, de la qualité, de la fiabilité et de la fabrication des circuits intégrés. En effet, des défaillances peuvent intervenir à tout moment dans la chaîne d'un produit, que ce soit au niveau de la conception, durant la qualification du produit, lors de la production, ou encore lors de son utilisation.

Le but de l'analyse de défaillance consiste à comprendre l'origine et la cause racine de ces dernières, afin de corriger les anomalies rencontrées. Ces corrections peuvent intervenir au niveau:

- de la conception du circuit,
- de sa fabrication,
- voire de son utilisation (notice d'utilisation précisant les bonnes conditions d'utilisation).

Dans le cadre de cette thèse, nous nous plaçons du point de vue du fabricant pour lequel l'analyse de défaillance joue un rôle vital dans le développement et la fabrication des circuits intégrés [HON97] [VAL00]. Plus précisément, nous nous intéressons aux produits logiques en technologies CMOS, qui représentent à la fois les niveaux de complexité les plus importants et les technologies les plus agressives.

Un processus d'analyse se déroule généralement en quatre étapes (figure 1) :

- le diagnostic électrique,
- la préparation de l'échantillon,
- la localisation de défauts,
- l'analyse physique.

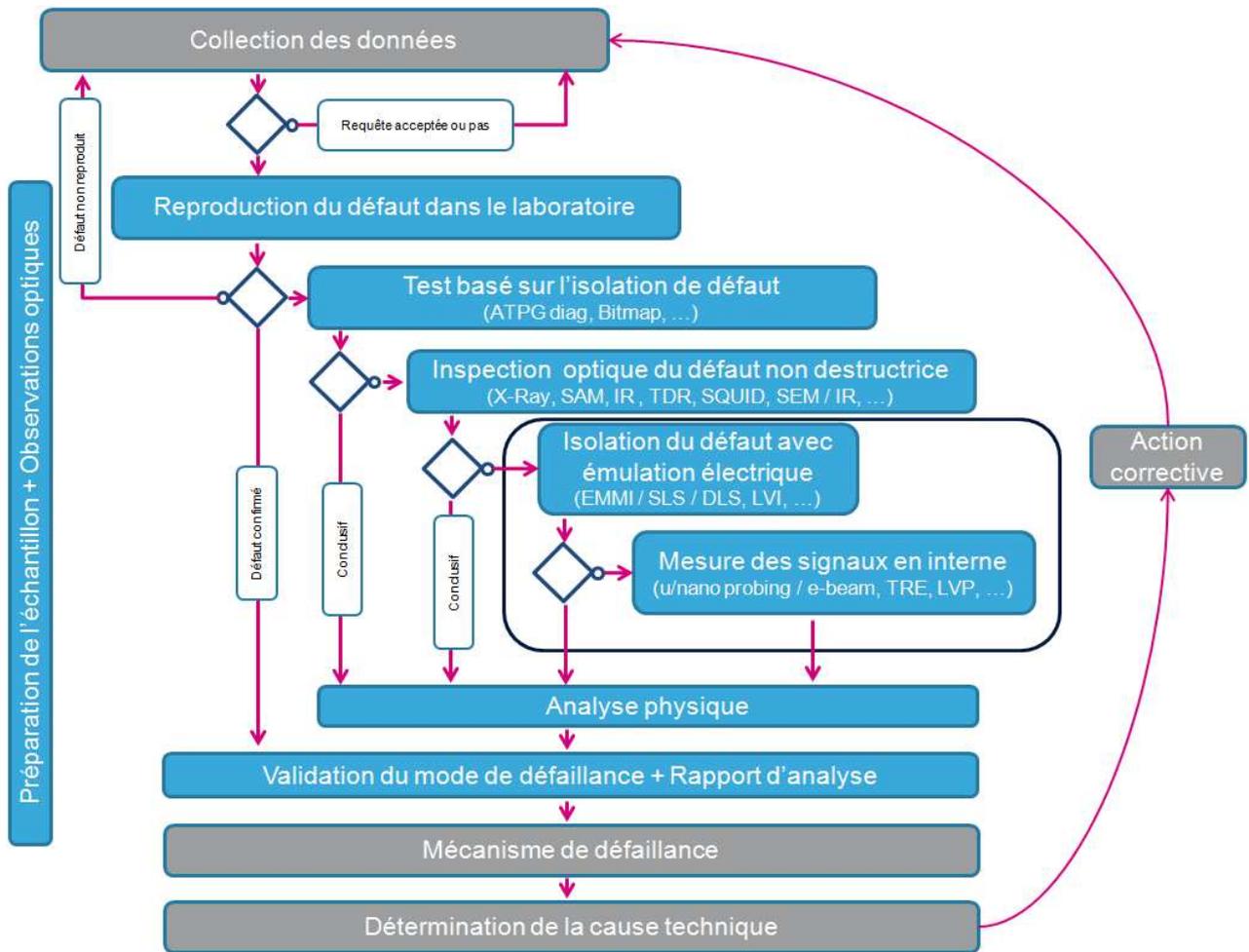


Figure 1 : Processus d'une analyse de défaillance

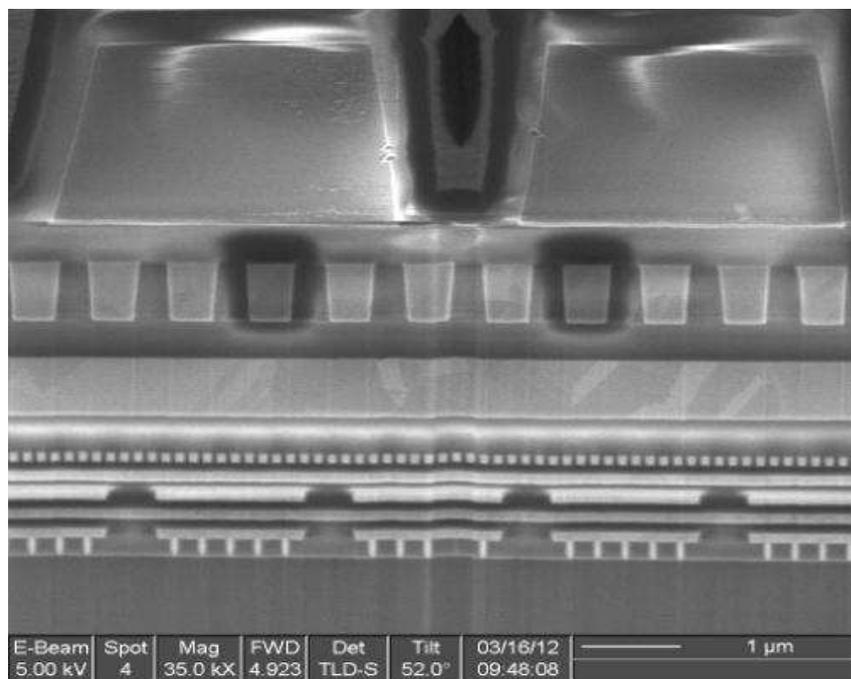
Le diagnostic électrique est effectué à l'aide d'un programme de test conçu automatiquement (ATPG 'Automatic Test Pattern Generation') d'après les informations de conception et souvent implémenté grâce à l'utilisation massive de structures dites « SCAN ». Les tests ATPG [ROTH66] [FUJ83] ont permis aux industriels de générer des vecteurs de test et d'accomplir le test de fabrication de façon économique. Ils permettent également d'orienter l'analyste vers la zone défaillante dans la mesure où ils permettent d'identifier des portes.

Pour analyser le défaut, il faut le localiser suffisamment précisément ce que ne permet pas toujours le diagnostic électrique. Pour cette localisation, on utilise traditionnellement des techniques et des outils adaptés en termes de détection, de localisation et de résolution spatiale. Il s'agit pour l'essentiel, de cartographier la manifestation du défaut (thermique, émission de lumière ...) et de lier les points ainsi localisés au comportement électrique anormal décrit par le diagnostic électrique.

Devant l'intégration galopante et la diminution des technologies de fabrication, la localisation de défauts dans les circuits intégrés est devenue un véritable défi. En effet, pour des composants peu complexes, les moyens techniques courants, comme le test électrique, la microscopie optique et l'analyse physique, suffisent généralement à isoler une faute très rapidement.

Cependant, pour des composants de technologie récente, les analystes doivent sans cesse repenser, développer et redéfinir de nouveaux outils et de nouvelles méthodologies d'analyse pour isoler et déterminer les défauts rencontrés. La localisation de défauts par la face avant de la puce est devenue quasiment impossible pour des technologies submicroniques en raison des très nombreux niveaux métalliques d'interconnexion et de planarisation (« dummies metal »). En effet, au cours de l'évolution technologique des circuits intégrés, le nombre de niveaux métalliques utilisés pour les interconnexions a fortement augmenté (Figure 2). L'accès aux zones actives des circuits intégrés par la face avant devient donc très difficile, voire impossible.

C'est la raison pour laquelle, la localisation de défauts par la face arrière devient maintenant courante et incontournable.



**Figure 2 : Vue en coupe d'un circuit intégré CMOS en technologie 45nm**

Nous montrerons dans la suite de ce chapitre quelques propriétés optiques du silicium utiles à la compréhension de ce travail de thèse. Une de ces propriétés est une certaine transparence dans le proche infrarouge permettant ainsi un accès direct aux zones actives et aux premiers niveaux d'interconnexion. Cela permet d'utiliser des techniques de localisation optiques basées sur la photoémission et sur la stimulation laser.

Dans un premier temps, nous présenterons les propriétés de la technologie MOSFET. Nous rappellerons ensuite, les propriétés optiques du silicium qui sont le point de départ de l'observation en face arrière des circuits intégrés. Enfin, nous décrirons les techniques optiques traditionnelles de localisation de défauts en face arrière basée sur l'émission de lumière et la stimulation laser.

## 2. Technologie MOSFET

MOSFET est un acronyme pour : Métal Oxyde Semi conducteur (MOS) à effet de champ (FET). Son principe de base fut énoncé pour la première fois dans les années 1920 par J.E. Lilienfield [LIL27]. Aujourd'hui la taille de ces transistors atteint des dimensions nanométriques. Dûs à la miniaturisation des technologies, des effets parasites, négligeables jusqu'à présent, sont apparus. Ainsi, pour pouvoir continuer l'évolution des technologies, il a fallu développer et introduire de nouveaux matériaux, tels que la grille métallique et les diélectriques à haute permittivité (high k) à partir des technologies 32 nm.

### 2.1. Principe de fonctionnement du transistor MOS

#### 2.1.1. Principe général

Le fonctionnement du transistor à effet de champ (MOSFET) repose, comme son nom l'indique, sur l'action d'un champ électrique vertical. Deux réservoirs de charge (la source et le drain) sont séparés par une zone semi-conductrice appelée canal de conduction. Le champ électrique, régi par une électrode de commande appelée grille, à travers une couche isolante constituée par le diélectrique de grille, va moduler localement la concentration de porteurs à l'intérieur du canal. (Figure 3)

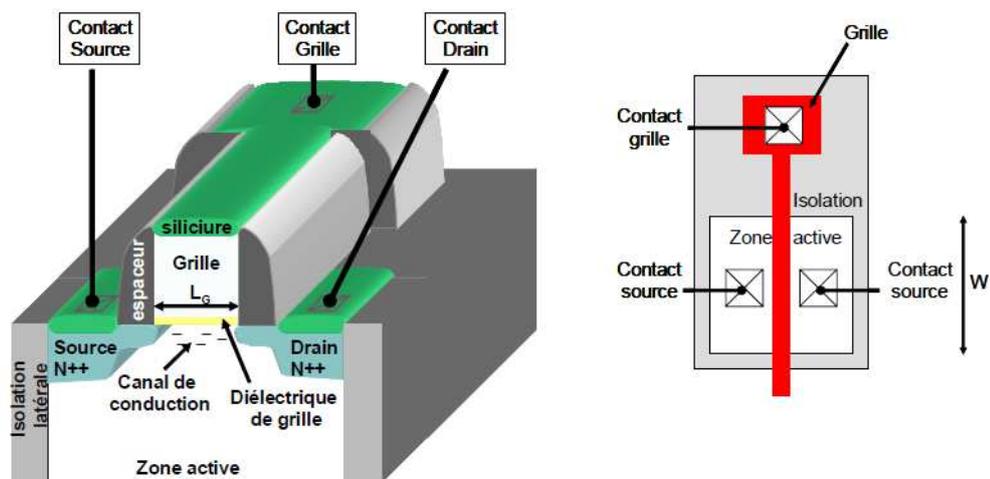


Figure 3 : Schéma d'un transistor MOSFET submicronique, on distingue les deux réservoirs de charges : la source et le drain, ainsi que l'électrode de commande : la grille.

Le fonctionnement de cette électrode peut être considéré comme un interrupteur contrôlant le passage de l'état passant à l'état bloqué, d'où l'utilisation massive de cette technologie dans les circuits logiques. On distingue ainsi deux types de transistors les nMOS et les pMOS.

Les nMOS dont le canal d'inversion est constitué d'électrons. Ce dernier est dopé de type P et les zones de source et de drain sont dopées N.

Les pMOS dont le canal d'inversion est constitué de trous. Celui-ci est dopé N et les zones de source et de drain sont dopées P.

Ces deux types de transistors ayant un fonctionnement symétrique, on ne détaillera par la suite que le transistor nMOS.

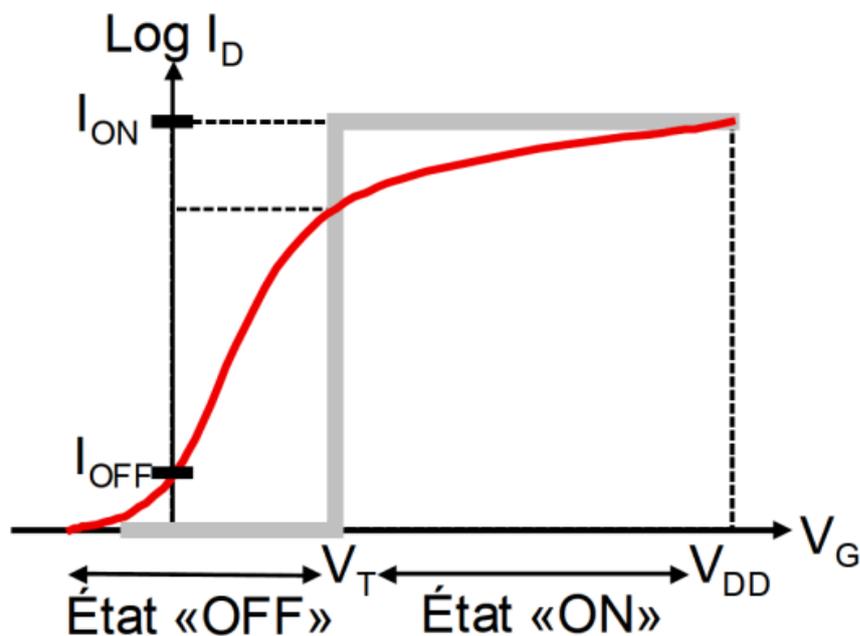


Figure 4 : Caractéristique de sortie  $I_D(V_G)$  idéale (en gras) et réelle (en trait fin)

Dans un cas idéal, lorsque la tension de grille est nulle (0V), le champ électrique est nul, il n'y a aucun porteur dans le canal et le courant de drain ( $I_{DS}$ ) est égal au courant de fuite ( $I_{OFF}$ ) : le transistor est ainsi bloqué (Figure 4).

Au contraire, quand la polarisation de grille est égale à celle du drain  $V_D$ , un champ électrique est créé, les porteurs affluent dans le canal, et peuvent alors transiter librement d'un réservoir à l'autre, générant un courant de drain non nul  $I_D$  : le transistor est alors passant (Figure 4).

Le passage de l'état bloqué à l'état passant est effectif lorsqu'un nombre suffisant de porteurs est présent dans le canal, c'est-à-dire pour une tension  $V_G = V_T$ .

➤ Avantages des transistors MOS

◆ Leur principal avantage est la résistance d'entrée qui est très grande  $R_e \approx 10^{12} \Omega$ .

◆ Le bruit intrinsèque est très faible.

◆ Ce type de transistor est simple et peu onéreux à fabriquer.

◆ La densité d'intégration par ce type de composant est très importante : on dépasse aujourd'hui le nombre de  $10^7$  transistors sur une seule puce.

➤ Inconvénients des transistors MOS

◆ Il est nécessaire de prévoir une protection aux ESD des entrées.

### **2.1.2. Régime de fonctionnement du transistor MOS**

Pendant le fonctionnement du transistor, la tension entre la source et le drain est positive, créant un champ électrique horizontal pouvant mettre en mouvement les porteurs dans le canal.

Or, les dopants étant de natures différentes dans le canal et les zones de source et de drain, une barrière énergétique, de hauteur  $\Phi$ , apparaît entre le canal et les extensions. Cette barrière empêche le passage des porteurs entre la source et le drain si aucune polarisation n'est appliquée. L'ensemble source / substrat / drain peut être vu comme une jonction NPN. On peut distinguer alors trois situations en fonction de la tension de grille  $V_G$  (Figure 5).

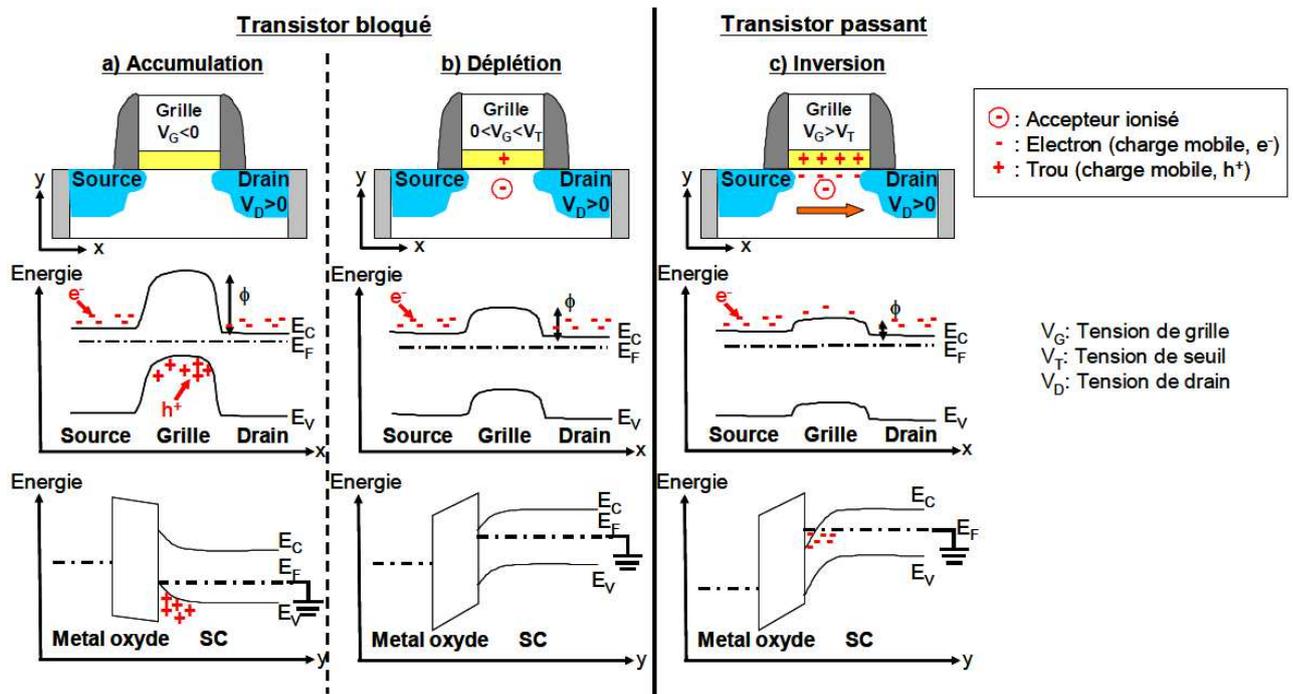


Figure 5 : Description des différents états de fonctionnement d'un transistor nMOS. Première ligne : représentation du MOS. Seconde ligne : coupe longitudinale de l'énergie le long du canal. Troisième ligne : niveau d'énergie suivant une coupe transverse au canal dans les régions métal, oxyde et semi-conducteurs[SKO03].

### Régime d'accumulation

Une valeur largement négative sur la tension de grille  $V_G$ , crée un appel de trous (porteurs majoritaires du substrat) en surface du canal. On est en régime d'accumulation. L'énergie potentielle dans le canal est supérieure à celle de la source créant une barrière de potentiel. Le transistor est bloqué (Figure 5.a).

### Régime de désertion

A faible potentiel de tension de grille  $V_G$ , les trous, porteurs majoritaires dans le substrat, sont repoussés en profondeur, ne laissant que les accepteurs ionisés dans le canal. Il apparaît une zone de charges d'espace où les charges fixes dues aux dopants créent une capacité de désertion. Cela se traduit par une courbure de la bande de conduction en surface vers le niveau de Fermi. Le potentiel du canal demeure alors inférieur à celui de la source et le courant ne passe pas même si la barrière se voit déjà diminuée (figure 5.b).

### Régime d'inversion forte et tension de seuil

Si l'on augmente encore le potentiel de grille  $V_G$ , la bande de conduction est encore plus fortement courbée vers le niveau de Fermi : la barrière de potentiel source-canal  $\Phi$  est quasi nulle (Figure 5.c). La tension de seuil ( $V_T$ ) correspond alors à la tension de grille ( $V_G$ ) pour laquelle le régime du transistor passe de l'inversion faible à l'inversion forte. Cette notion de tension de seuil est fondamentale dans le fonctionnement du transistor MOS car elle gouverne la mise en conduction de celle-ci.

## **2.2. Evolution de la technologie CMOS**

L'évolution rapide des technologies CMOS peut être principalement quantifiée à l'aide de deux paramètres : la longueur de grille minimale et la tension d'alimentation maximale applicable. De manière générale, il faut chercher à maximiser le ratio  $I_{ON}/I_{OFF}$  afin de limiter la consommation et la puissance dissipée. Tout cela dans le but d'améliorer le courant de saturation  $I_{ON}$  et la fréquence de commutation.

Le passage d'un nœud technologique CMOS au nœud suivant est basé sur la miniaturisation des dimensions. Cependant, cette dernière ne se réduit pas à la seule réduction de la longueur du canal du transistor [IWA 99]. En effet, elle est souvent accompagnée de changements au niveau du procédé de fabrication du composant d'une part et d'apparition de nouveaux effets parasites d'autre part.

La réduction de la longueur de canal doit s'accompagner d'une réduction de l'épaisseur d'oxyde afin de renforcer le couplage capacitif entre la grille et le substrat, et contribuer à la réduction des effets de canal court. Mais la miniaturisation conduit inévitablement à des limites d'ordre technologique. Toutefois, dans cette course à la miniaturisation, un certain nombre d'effets parasites sont apparus, venant dégrader les caractéristiques électriques des dispositifs. Il apparaît notamment que lorsque la longueur diminue, le courant  $I_{OFF}$  augmente simultanément avec  $I_{ON}$ , de même la diminution de l'épaisseur de l'oxyde de grille peut également dégrader les caractéristiques des transistors.

En 1965, Gordon Moore avait prédit que le nombre de transistors sur une puce doublerait tous les 18 mois (Figure 4) et qu'il en serait ainsi jusqu'à atteinte des limites physiques [MOO65]. La loi de Moore qui a si longtemps guidée l'avancement technologique ne verrait elle pas ses limites (Figure 6)?

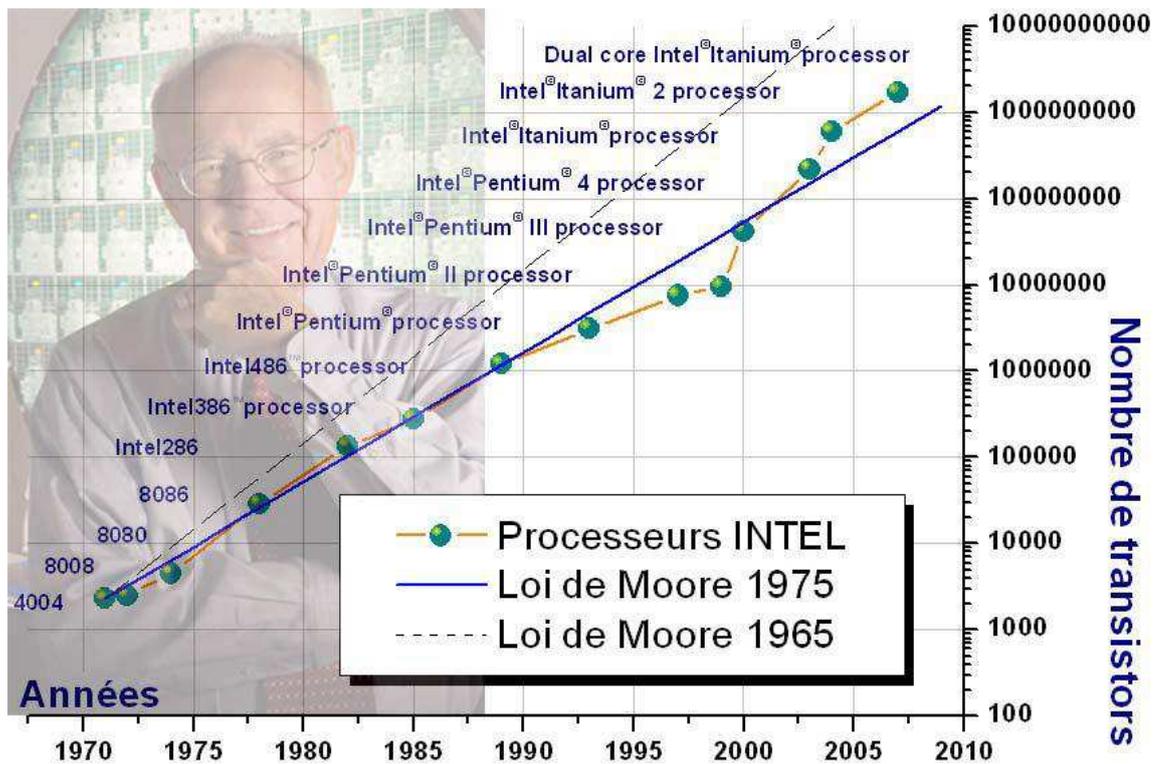


Figure 6 : Croissance du nombre de transistors dans les microprocesseurs Intel suivant la loi de Moore. On peut noter la justesse de la seconde loi de Moore ajustée en 1975.

On observe sur la Figure 6 la pertinence de ses prédictions : la deuxième loi de Moore s'avère valide depuis maintenant quarante ans, en réalité, sa date d'expiration est repoussée au fur et à mesure que les limites physiques et technologiques sont franchies.

Pour l'analyse de défaillances, les conséquences sont directes : la taille des transistors devient inférieure aux limites de diffraction dans l'infrarouge défiant ainsi la résolution spatiale que l'on peut obtenir avec des outils basés sur l'optique ; les nouveaux matériaux (low K, High K, cuivre, grilles métalliques) induisent potentiellement une modification de la distribution des défauts, tandis que la complexité des circuits, permise par la miniaturisation, les rend plus difficiles à analyser. Il est donc nécessaire de préciser les limites des techniques de localisation par moyens optiques. Comme elles sont basées sur la relative transparence du silicium dans le proche infrarouge, nous allons approfondir ce point.

### 3. Propriétés optiques du silicium

L'application des techniques optiques en analyse de défaillance est basée sur la propriété de transparence du silicium pour les longueurs d'onde proche infrarouge, en particulier pour les techniques basées sur l'émission de lumière et sur les stimulations laser. En effet, au-delà de 3 niveaux de métallisation, il devient difficile, par la face avant, de collecter les photons en émission de lumière ou de stimuler les régions actives avec un faisceau laser. Sachant qu'aujourd'hui les circuits peuvent avoir plus de 10 niveaux d'interconnexion, on comprend la limite des techniques d'analyse par la face avant, l'intérêt des techniques par la face arrière et donc l'intérêt de l'utilisation de techniques optiques dans le proche infrarouge.

L'absorption optique dans le silicium fait intervenir deux types de mécanismes d'absorption : intra-bande et inter-bande. Pour le silicium cristallin intrinsèque, le mécanisme d'absorption est essentiellement inter-bande, et dépend donc de la structure de bande du silicium. Un photon incident est absorbé s'il peut exciter un électron de la bande de valence jusqu'à la bande de conduction.

Pour un isolant ou un semi-conducteur, au-dessus de la bande de valence se trouve une bande interdite (gap ou band gap), puis une bande de conduction (figure 7).

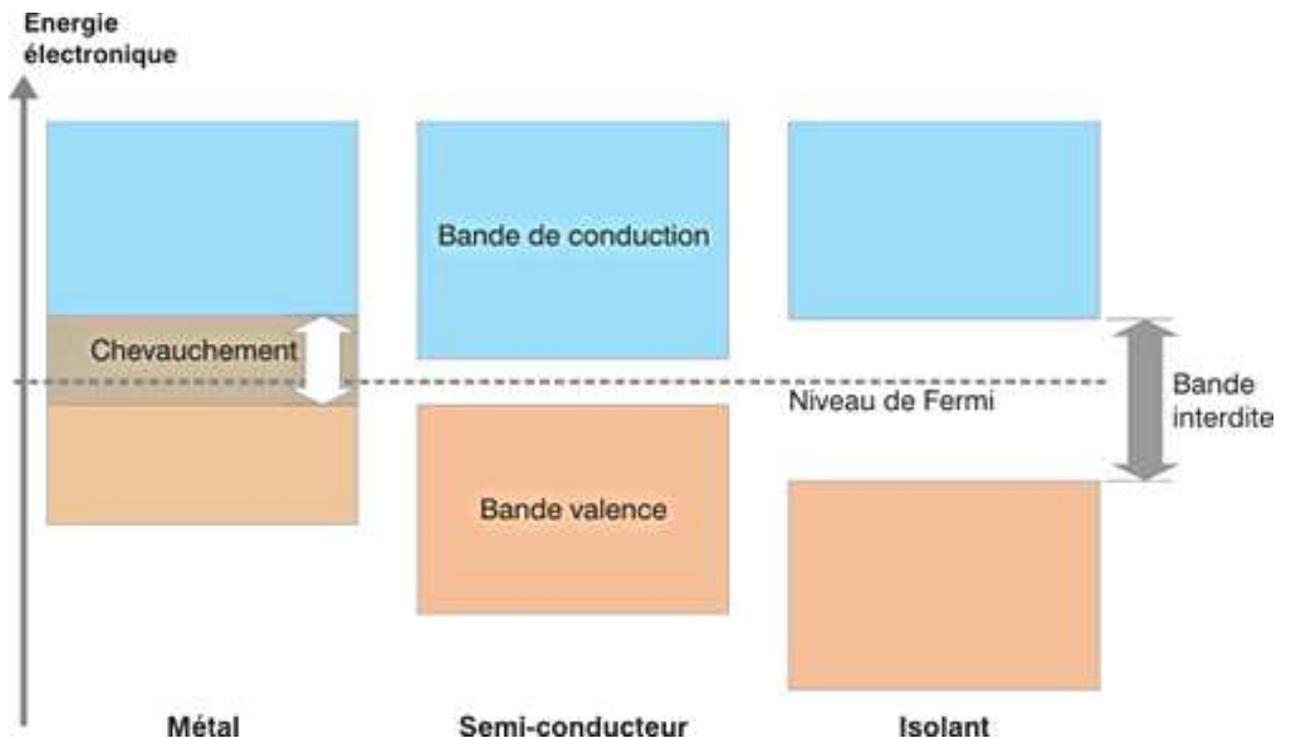


Figure 7 : Structure en bande dans un isolant, un semi-conducteur et un métal

Si les électrons sont suffisamment excités (augmentation de température par exemple), ils peuvent passer de la bande de valence à la bande de conduction. La différence entre un isolant et un semi-conducteur est due à la largeur de la bande interdite, plus importante pour les isolants.

Un semi-conducteur est donc isolant à très basse température et conducteur à la température ambiante. On distingue des semi-conducteurs intrinsèques, pratiquement sans impureté, et des semi-conducteurs extrinsèques dans lesquels on a rajouté des impuretés (dopage) qui constituent les porteurs de charge.

Pour le silicium l'énergie de gap est de 1,12eV, si on apporte cette énergie (ou plus) aux électrons, par exemple en chauffant le matériau, ou en lui appliquant un champ électromagnétique, ou encore dans certains cas en l'illuminant, les électrons sont alors capables de passer de la bande de valence à la bande de conduction, et de circuler dans le matériau.

La largeur de la bande de conduction  $E_g$  définit le seuil d'absorption du matériau et la relation (pour le silicium) :

$$E_g(\text{eV}) = \frac{hc}{\lambda(\mu\text{m})} \quad \text{ou} \quad \lambda(\mu\text{m}) = \frac{1,24}{E_g(\text{eV})} \quad \text{Equation I.1}$$

précise la longueur d'onde  $\lambda$  minimale nécessaire pour permettre la transition de l'électron. Avec  $h$  la constante de Planck ( $6.62 \times 10^{-34}$ J.s),  $c$  vitesse de la lumière dans le vide ( $2.998 \times 10^8$ m/s) et  $\lambda$  représente la longueur d'onde du photon en  $\mu\text{m}$ .

D'après la figure 8, le coefficient d'absorption est minimum pour les longueurs d'ondes voisines de 1,1 $\mu\text{m}$ . Les propriétés optiques du silicium dans l'infrarouge nous permettent donc d'utiliser des lasers dont les longueurs d'onde se situant aux alentours de 1,1 $\mu\text{m}$  pour stimuler la zone active à travers le substrat.

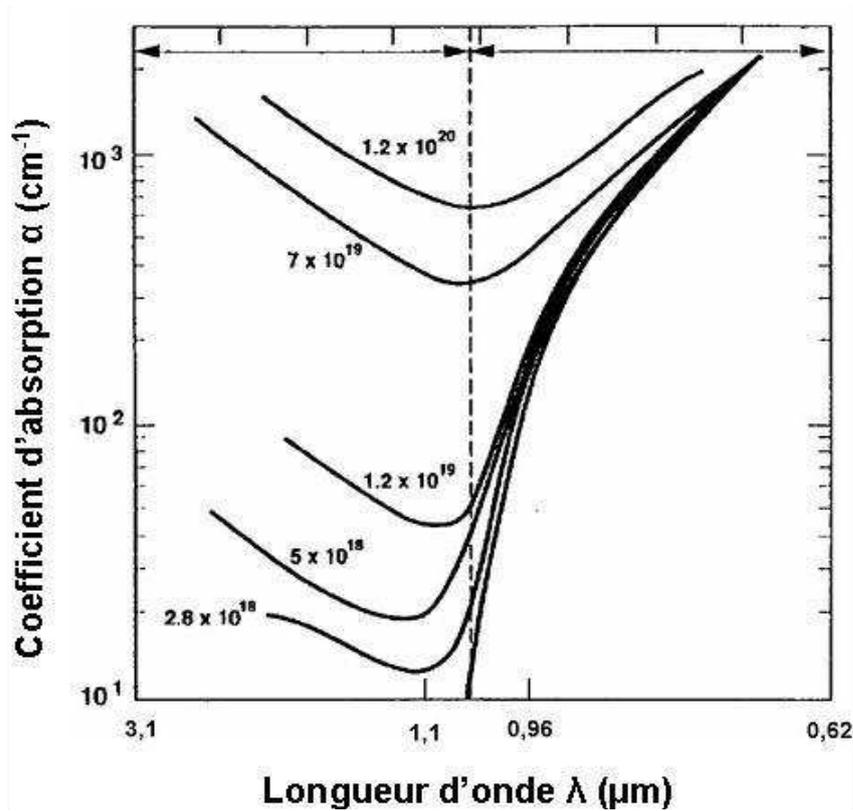
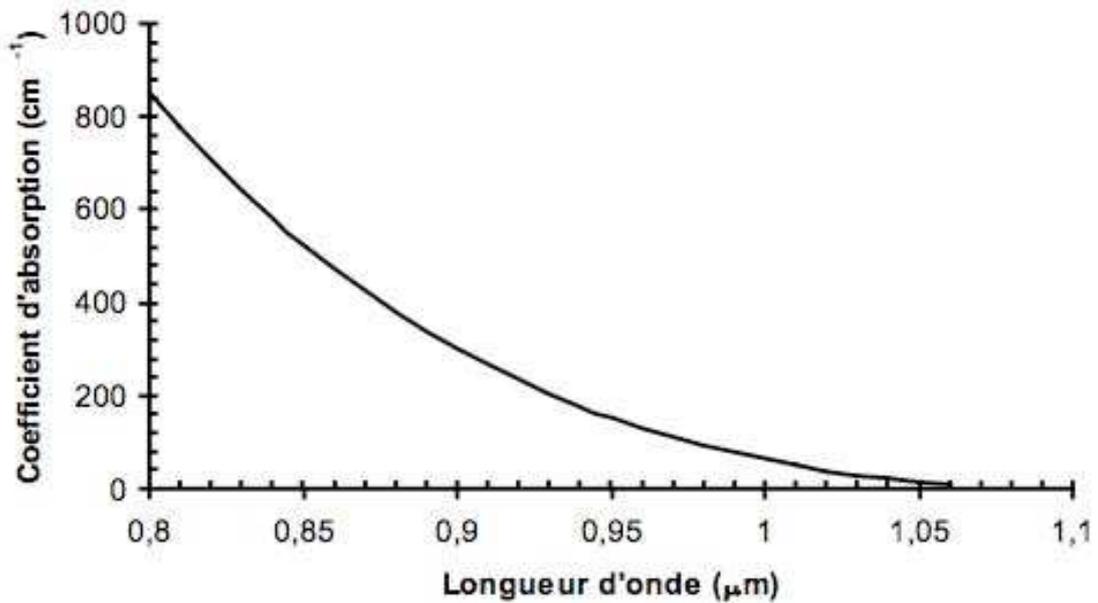


Figure 8 : Coefficient d'absorption du silicium extrinsèque en fonction de la longueur d'onde pour un substrat dopé N (JOH93).

Une des conséquences de l'absorption dans le silicium, est la nécessité d'une préparation spécifique de l'échantillon. Cette préparation consiste à amincir le substrat afin de limiter l'absorption [PER00] aussi bien pour des énergies légèrement supérieures au gap du silicium (absorption inter-bande) que pour des énergies beaucoup plus faibles pour lesquelles le mécanisme prédominant est l'absorption intra-bande. Il est intéressant d'avoir l'épaisseur la plus faible possible, mais compte tenu de la fragilité mécanique du silicium résultant de cet amincissement, une valeur de 100µm constitue un bon compromis entre l'absorption du silicium et sa fragilité mécanique

Le silicium intrinsèque est donc transparent pour une lumière ayant des photons d'énergie inférieure à sa bande d'énergie interdite  $E_{bandgap}$ , qui est de 1,12 eV à une température de 300K. La longueur d'onde équivalente  $\lambda_{bandgap}$  est de 1,1 µm. Le coefficient d'absorption du silicium intrinsèque, en fonction de la longueur d'onde du photon (entre 0,8µm et 1,06µm), donné par l'équation (Equation I. 2) est montré à la figure 9 [GER93, SAR87].



**Figure 9 : Coefficient d'absorption du silicium intrinsèque en fonction de la longueur d'onde du faisceau utilisé, pour des longueurs d'onde du spectre [800nm ; 1060nm] (GER93, SAR87).**

Comme représenté sur la figure 9, on peut voir que pour les longueurs d'ondes supérieures à 1,1μm le coefficient d'absorption est presque nul, longueur d'onde correspondant à la bande interdite du silicium monocristallin intrinsèque.

Donc dans le proche infrarouge le silicium intrinsèque est transparent. Le coefficient d'absorption est directement lié à la longueur d'onde. Dans le cas du silicium monocristallin, on a la relation suivante :

$$\alpha(cm^{-1}) = \left( \frac{85,015}{\lambda(\mu m)} - 77,104 \right)^2 [0,8\mu m \leq \lambda \leq 1,06 \mu m] \quad \text{Equation I.2}$$

### 3.1. Propriétés optiques appliquées aux technologies CMOS

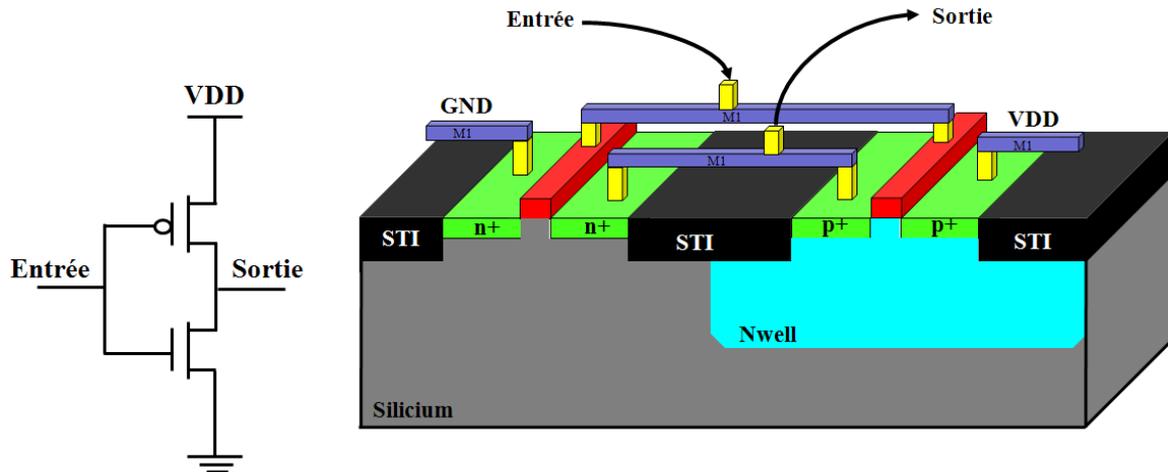


Figure 10 : Représentation de l'inverseur MOS

Le transistor MOS est à la base des technologies CMOS utilisées pour réaliser les circuits intégrés logiques. Par exemple, une des portes de base est l'inverseur CMOS (Figure 10). Il est composé d'un transistor NMOS dont la source et le substrat sont reliés au potentiel bas (0 Volt ou GND) et d'un transistor PMOS dont la source et le substrat sont reliés au potentiel haut (VDD). Les grilles sont reliées pour former l'entrée de l'inverseur et les drains sont reliés ensemble pour former la sortie. Lorsque l'on fait varier le potentiel d'entrée du montage de 0V à la tension d'alimentation VDD, sa tension de sortie varie de VDD à 0V. On constate que lorsque la tension d'entrée est proche de 0V ou de VDD, un seul transistor conduit et l'autre est bloqué. Ceci fait que ce type de montage possède la caractéristique intéressante de ne dissiper aucune énergie au repos. Lorsqu'un inverseur CMOS commute d'un état logique à un autre, pendant un temps très court, un pic d'émission de lumière est observé. Le fait que cette commutation radiative coïncide avec la commutation électrique permet son utilisation au cours d'un diagnostic temporel de circuit. De plus, l'émission associée peut répondre instantanément aux changements du champ électrique et du courant se produisant à des temps caractéristiques des circuits intégrés CMOS modernes de l'ordre de la picoseconde.

Des anomalies, au niveau des transistors eux-mêmes, de leurs connexions (par exemple chemin résistif ou capacitif) ou de leurs interactions avec d'autres portes (couplage, bridge ...) où d'autres parties du circuit.(connexion parasite vers GND ou VDD) vont fortement affecter le comportement électrique de l'inverseur. De manière similaire, ces mêmes types de défauts vont affecter le comportement électrique de toute porte logique concernée par un de ces types de défauts. Ces défauts et leurs conséquences seront étudiés plus en détail dans le chapitre suivant. La connaissance du fonctionnement du transistor MOS nous servira donc à mieux comprendre les comportements électriques observés.

Nous avons également vu que les propriétés optiques du silicium permettent l'utilisation de techniques optiques dans le proche infrarouge. Nous décrirons dans le paragraphe suivant l'état de l'art des techniques de localisation en face arrière, plus particulièrement l'émission de lumière et les techniques de stimulation laser.

## **4. Techniques optiques de localisation de fautes par la face arrière**

Depuis une dizaine d'années, deux techniques majeures basées sur l'émission de lumière et sur la stimulation laser, ont fait leurs preuves pour localiser les défauts dans les circuits intégrés et sont utilisées couramment dans les laboratoires d'analyse de défaillance.

Ces techniques ont évolué de manière significative afin de les rendre de plus en plus performantes et répondre aux différents besoins des analystes. Ainsi, l'émission de lumière [SHA04] a donné jour au Time Resolved Emission (TRE) [STE06], l'OBIRCH a fait naître les stimulations laser dynamique (DLS)[BEA02] ...

Sur les technologies avancées, ces techniques sont principalement utilisées par la face arrière du composant pour les raisons précédemment décrites.

Dans la première partie de ce chapitre, nous présenterons les techniques de localisation optiques basées sur la photoémission (EMMI pour la cartographie et TRE pour la mesure de signaux en interne). Ensuite nous présenterons les techniques de stimulation laser (thermique et photoélectrique). [KOL92].

### **4.1. La microscopie à émission de lumière (EMMI)**

Cette technique d'analyse est une technique sans contact et non destructive apparue à la fin des années 80 [KHU86]. La microscopie à émission lumineuse, plus communément appelée photoémission, a d'abord été utilisée comme technique performante de localisation et d'analyse de défaillances pour les circuits intégrés [KOL91, LER99]. Elle permet également d'observer le fonctionnement des composants (mode commutation).

Cette technique est basée sur la détection de photons associés aux phénomènes physiques dans diverses parties du composant. Deux grandes familles de photons peuvent être distinguées.

Les photons générés par des collisions de porteurs accélérés par un champ électrique. On trouvera par exemple les mécanismes suivants pouvant être associés à une défaillance :

- fuite dans une diode en inverse,

- fuite dans les oxydes,
- transistor MOS en saturation.

Les photons générés par la recombinaison radiative de paires électron-trou. De la même manière, nous avons les mécanismes suivants pouvant être associés à une défaillance :

- diode en direct,
- transistor bipolaire (mode saturé),
- thyristor parasite Latch-up.

La majorité des défauts émettent dans des longueurs d'onde comprises entre 600 et 1300nm. Compte tenu des propriétés optiques du silicium, cette technique s'appliquera donc aussi bien à la face arrière qu'à la face avant du composant. Au commencement de l'utilisation de cette technique, l'émission de photons était utilisée par la face avant du composant, mais suite à l'augmentation des niveaux de métallisation et des « dummies » métal, la collection de photons par la face avant est maintenant impossible (les photons sont bloqués par les lignes de métaux).

Pour résoudre ce problème, nous procédons à l'analyse par la face arrière du circuit. Cela impose dans de nombreux cas d'amincir le substrat pour limiter l'absorption de photons dans le silicium [BAR96].

La localisation de la zone de recombinaison se fera sous microscope optique muni de lentilles spécifiques (traitées à la longueur d'onde du Silicium) et d'un capteur spécifique pour collecter les photons émis.

Les détecteurs fréquemment utilisés sont de types CCD, InGaAs et MCT. Les caméras CCD (Charged Coupled Device) sont depuis longtemps largement utilisées dans le domaine de l'imagerie spatiale et dès l'apparition de l'analyse de défaillance par les techniques basées sur l'émission de lumière, le capteur CCD est devenu un détecteur communément utilisé pour le test de circuit [MAT91]. La taille des capteurs CCD utilisés peut varier de 256\*256 pixels jusqu'à 1024\*1024 pixels, leur bande spectrale s'étend du visible (300nm) au proche infrarouge (1100nm).

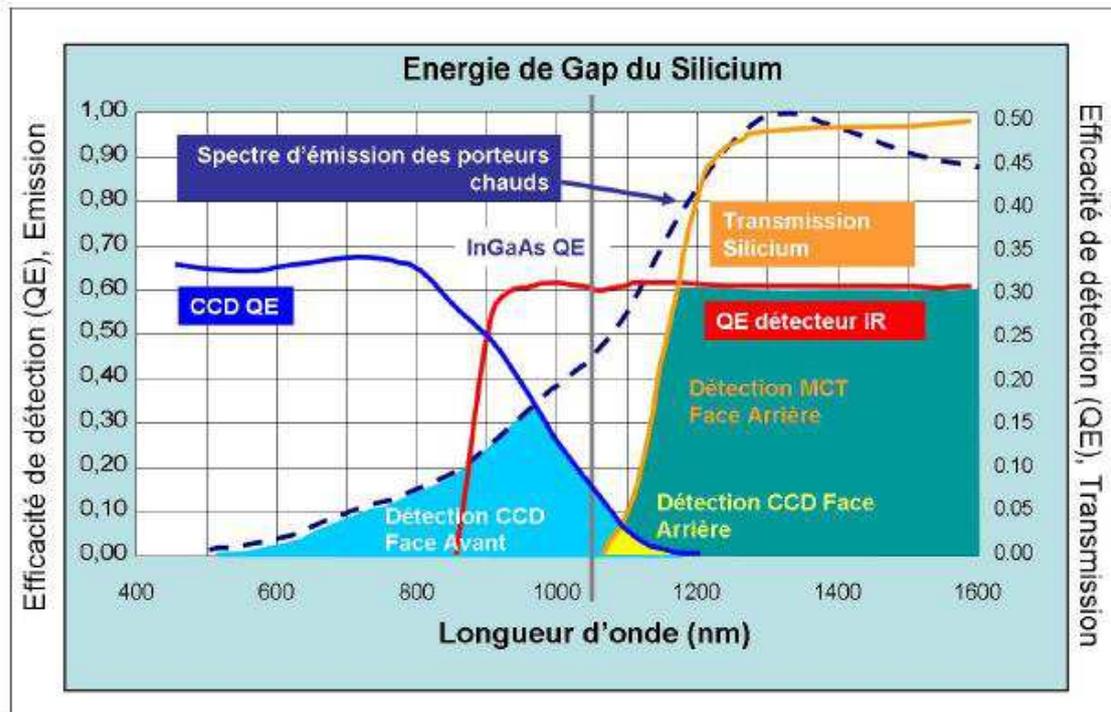
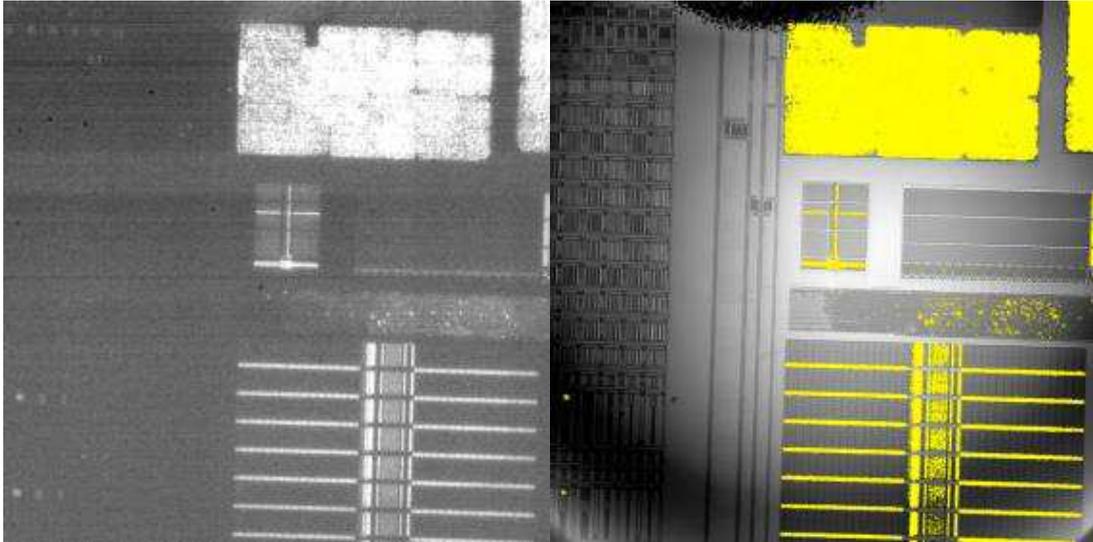


Figure 11 : Efficacité de détection en fonction de la longueur d'onde pour les détecteurs de type CCD, InGaAs et MCT [REM05]

Les détecteurs de type InGaAs (Indium Gallium Arsenic) sont de plus en plus souvent employés sur les nouveaux équipements [BAR00]. Leur bande spectrale peut aller jusqu'à 1,5  $\mu\text{m}$ , mais leur coût est plus élevé (Figure 11).

On peut également trouver des caméras MCT (Mercure Cadmium Tellure). Ces dernières sont caractérisées par une bande de spectrale comprise entre 900nm et 2500nm [REM04], mais leur coût est prohibitif. De plus, entre 1,55 $\mu\text{m}$  et 2500 $\mu\text{m}$ , le phénomène de recombinaison paire électron trou n'est plus majoritaire : une partie thermique est aussi détectée. La figure 8 représente l'efficacité de détection en fonction de la longueur pour chacun des trois détecteurs cités.

Sur le site de Crolles, le capteur utilisé est une matrice de pixels InGaAs 1024\*1024 qui collecte les émissions de photons provenant du circuit. La localisation de cette zone se fera par superposition de l'image d'acquisition et de l'image du circuit obtenue par illumination comme représentée sur la figure ci-dessous :



**Figure 12 : Exemple de photoémission. Objectif 20X, Temps d'acquisition 60 sec. A gauche : image d'émissivité brute, à droite : image superposée avec l'image du circuit.**

Dans une première partie, nous expliquerons le principe de l'émission de photons dans les composants CMOS. Puis dans une seconde partie, nous décrirons les techniques Emission Microscopie (EMMI) [SHA04] afin de bien comprendre les phénomènes de photoémission. Une dernière partie sera dédiée à l'émission de lumière dynamique à travers la technique de Time-Resolved Emission (TRE) [STE06].

#### **4.1.1. Principes de l'émission de photons**

En technologie CMOS, les transistors émettent de la lumière en mode de saturation. Lorsque le canal est pincé, le courant reste constant malgré l'augmentation de la tension appliquée au niveau du drain. Il apparaît alors un champ électrique important entre le drain et le canal pincé dans lequel les électrons du canal sont accélérés. La figure ci-dessous illustre ce principe.

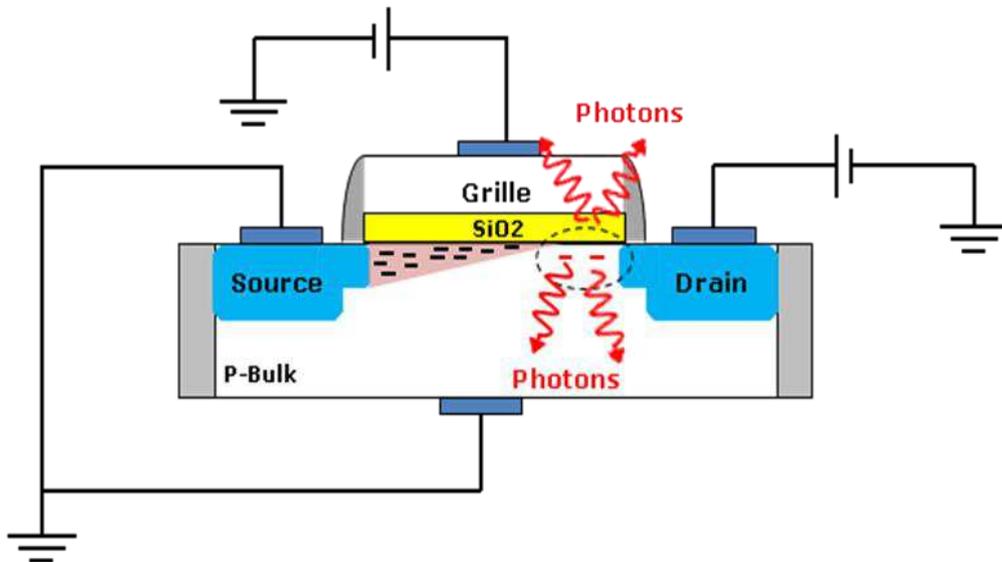


Figure 13 : Principe de l'émission de photons dans un transistor NMOS

L'émission de lumière est directement liée à la longueur du canal, au courant, à la tension. En effet, à  $V_{ds}$  constant, plus le canal est court, plus le champ électrique présent dans la zone de charge d'espace est grand et plus le taux de photons émis par électron chaud est élevé. La tension  $V_{ds}$  quant à elle a un effet direct sur l'énergie de l'électron chaud et donc sur l'énergie des photons émis (spectre d'émission). Le nombre de photons émis dépend bien évidemment du nombre d'électrons chauds, et donc du courant électrique.

Suivant le mécanisme physique mis en cause, la longueur d'onde et le nombre de photons émis peuvent varier comme le montre la figure 14 [KOLZE92].

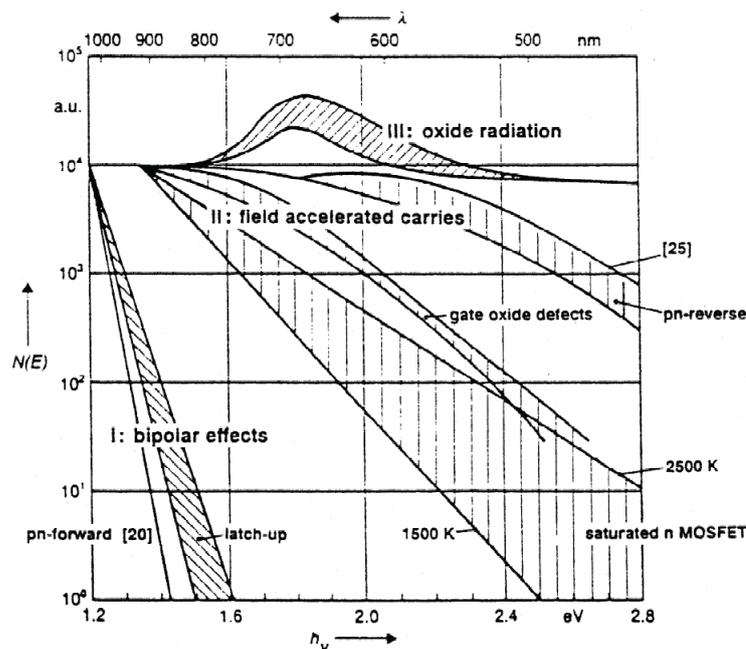


Figure 14 : Spectre d'émission des photons en fonction des mécanismes physiques [KOLZE92]

Le nombre de photons émis s'exprime en fonction de la tension d'alimentation par la formule suivante [TOS06] :

$$N_{ph} = \alpha_{ph} \cdot \frac{I_D}{q} (V_{DS} - V_{DSAT}) \cdot e^{\left(\frac{-\beta_{ph}}{V_{DS} - V_{DSAT}}\right)} \quad \text{Equation I.3}$$

Avec :

$N_{ph}$  : nombre de photons émis

$I_s$  : courant de drain

$Q$  : charge élémentaire de l'électron

$V_{DS}$  : tension drain-source

$V_{DSsat}$  : tension de saturation drain-source

A et B sont des coefficients qui dépendent de nombreux paramètres tels que l'efficacité optique du détecteur.

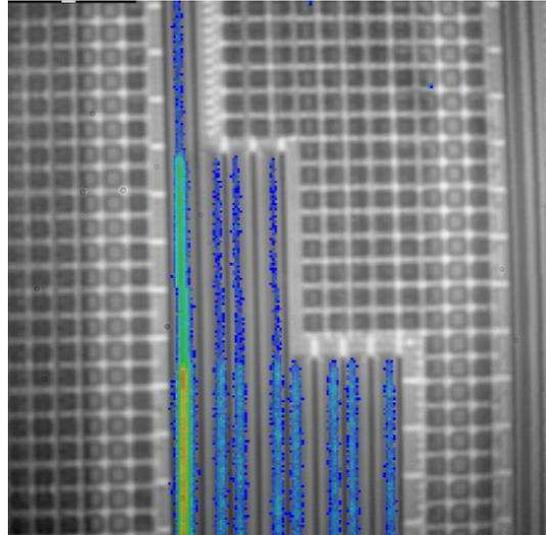
En mode de saturation, on a :

$$I_D = K \cdot \frac{W}{L} \cdot (V_{GS} - V_T)^2 \quad \text{Equation I.4}$$

#### **4.1.2. Principe de la technique EMMI en cartographie**

Elle permet de localiser rapidement une zone où se produit de la désexcitation radiative (thermalisation des électrons chauds liée au passage d'un courant dans un MOS en saturation) et de déterminer l'endroit où une analyse de défaillances plus poussée doit être réalisée.

Cette technique est particulièrement efficace lorsque le champ électrique est fort. La quantité de photons émis peut ainsi être améliorée en augmentant la tension de polarisation et la fréquence de fonctionnement, au risque cependant de faire évoluer la nature ou la taille du défaut. Sur la figure 15 est présentée un exemple d'EMMI cartographie en technologie 45 nm sur une chaîne d'inverseur avec différentes charges associées.



**Figure 15 :EMMI sur technologie 45nm, lentille 100X, temps d'acquisition : 60 sec**

### **4.1.3. Principe de la technique EMMI en mode acquisition : Time Resolved Emission (TRE)**

Cette technique est basée sur la photoémission en mode commutation. Nous avons vu que dans son fonctionnement normal, le seul moment où un courant passe dans un transistor saturé est la commutation entre deux états logiques. C'est seulement à ce moment-là qu'une émission de lumière normale et attendue a lieu. C'est donc un bon moyen d'avoir une information temporelle précise sur ces commutations. Cette technique consiste à positionner un capteur de type photodiode rapide sur le transistor que l'on souhaite mesurer. On récupère ainsi l'information temporelle sur la commutation des transistors. Il est ainsi possible de mesurer des délais de l'ordre de quelques dizaines de picosecondes.

L'émission de photons est un phénomène statistique, la probabilité qu'un photon soit émis par la thermalisation d'un électron chaud est très faible. Il nous faut donc répéter de nombreuses fois le programme de test pour acquérir suffisamment de photons. Le résultat de l'acquisition se présente sous la forme d'un histogramme temporel. Toute anomalie sur cet histogramme (commutation trop tardive, trop précoce, trop longue) fournit une information précieuse pour l'analyse de défaillances. Dans le second chapitre, nous montrerons l'application typique de ce type de technique pour l'analyse

de défaillance à travers l'étude des techniques d'analyse de défaillance face à un défaut de type bridge.

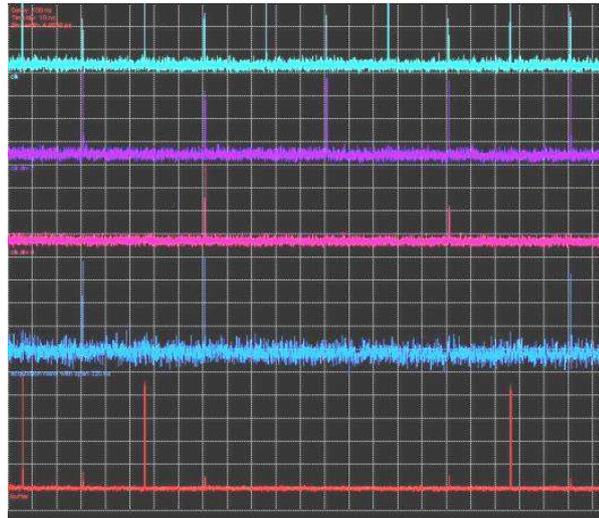


Figure 16 : TRE sur technologie 45nm, temps d'acquisition : 60 sec

Les principales limitations des techniques basées sur l'émission de lumière sont liées à l'évolution des technologies. La diminution de la tension d'alimentation induit un décalage du spectre d'émission vers les longueurs d'onde infrarouges. D'autre part, la réduction de la durée de commutation réduit le nombre moyen de photons émis par commutation. Il en résulte des durées d'acquisition croissantes et peu adaptées aux applications industrielles. (quelques heures pour la mesure d'un seul transistor).

De plus, une émission est toujours liée à un transistor. Une anomalie affectant sa sortie, même située à plusieurs dizaines de micromètres du transistor, affectera l'émission de lumière sans pour autant indiquer précisément la position et la nature exacte du défaut. Suivant le cas de défauts mis en jeu, on verra généralement des conséquences (exemple : open sur buffer) et rarement la cause du problème !

C'est pour cela que généralement, au cours d'une analyse de défaillances la technique EMMI est couplée aux techniques de stimulation laser (thermique et photoélectrique) qui sont présentées dans la partie suivante.

## **4.2. Analyse par stimulation laser**

Les techniques de stimulation laser sont des techniques d'analyse de défaillance sans contact. La localisation de défauts se complexifie en raison de la diminution des tailles des motifs élémentaires, de l'accroissement des niveaux de métallisation et de la diminution des tensions d'alimentation. Il faut être capable d'identifier un bloc ne mesurant que quelques micromètres dans un composant de plusieurs millimètres carrés.

De nombreuses méthodes de localisation de défauts internes ont été développées ces dernières années. Notamment les techniques basées sur la microscopie à balayage utilisant des lasers [BEA02, BEA04]. Les méthodes utilisant un laser comme source de perturbation ont connu un succès remarquable en tant qu'outil de localisation de défauts, car les techniques de photoémission montraient souvent une conséquence de la défaillance et non la cause, en particulier lorsque le défaut était au niveau d'une interconnexion.

Le faisceau laser est utilisé comme une source d'énergie qui modifie le fonctionnement du circuit sous test. L'énergie déposée doit être négligeable pour ne pas dégrader ou modifier la fonctionnalité du circuit.

Le faisceau laser interagit sur le circuit et vient créer une perturbation mesurable vue de l'extérieur (modification du courant, de la tension, de la fréquence ...). Le faisceau laser scanne le circuit sous test et la perturbation est mesurée en temps réel. Cette mesure est donc associée à la position du faisceau laser sur le circuit. Mesure après mesure, une cartographie complète des perturbations du circuit sous stimulation laser peut être établie. La perturbation sera ensuite analysée comme normale ou non. Toute anomalie est ainsi détectée et localisée.

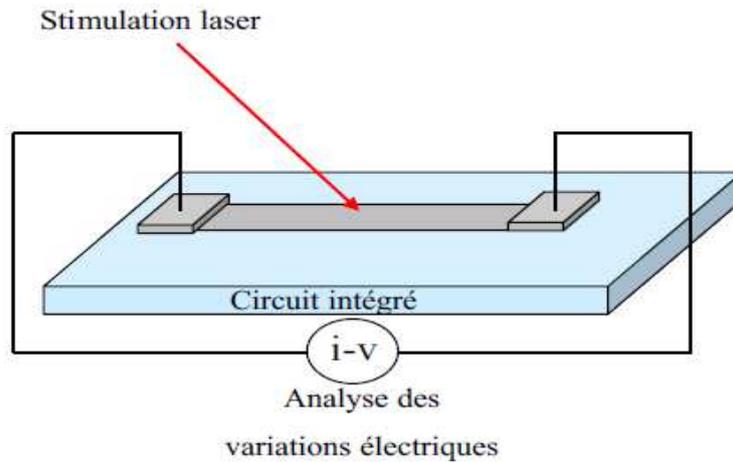


Figure 17 : Principe de la stimulation laser

**Deux types de laser sont utilisés :**

- un laser photoélectrique (Photoelectric Laser Stimulation) de longueur d'onde 1064nm produisant la génération de paires électron-trous (photo courant).
- un laser thermique (Thermal Laser Stimulation) de longueur d'onde 1340nm produisant un échauffement local sur la puce.

Le choix de la longueur d'onde pour la stimulation laser thermique et photoélectrique repose sur le compromis entre la profondeur d'absorption recherchée et la quantité d'énergie déposée. Les longueurs d'onde proches de 1,1  $\mu\text{m}$  sont peu absorbées par le silicium et sont donc très intéressantes pour l'analyse par la face arrière. Des longueurs d'onde de l'ordre de 1340nm sont généralement utilisées pour la stimulation thermique alors que le 1064nm est utilisé pour la stimulation laser photoélectrique

**4.2.1. Stimulation laser thermique**

A la différence de la technique précédente, on vient maintenant utiliser un laser de longueur d'onde de 1340 nm, dans le but de venir localiser les défauts résistifs. Grâce à l'utilisation de cette longueur, l'énergie du faisceau laser est absorbée dans le circuit et vient induire des échauffements locaux :

	<b>Polarisation</b>	<b>Mesure</b>
<b>OBIRCH</b>	<b>Tension</b>	<b>Courant</b>
<b>TIVA</b>	<b>Courant</b>	<b>Tension</b>

- La technique OBIRCH (Optical Beam Induced Resistance Change) consiste à observer les variations de résistance induites par la modification de la résistivité sous l'effet de l'échauffement provoqué localement par le faisceau laser [NIK93] [NIK96] [NIK97]. Une tension constante est imposée au circuit. La variation de courant aux bornes du circuit est alors liée à la variation locale de résistance induite par le faisceau laser.
- La technique TIVA (Thermally Induced Voltage Alteration) est l'approche duale de la technique OBIRCH. La variation de résistance est étudiée pour un courant constant imposé au circuit [BAR99] [COL01]. La variation de tension aux bornes de l'alimentation est alors analysée.

Les types de défauts localisés grâce à cette technique sont : les courts-circuits, ESD, fuites, particules conductrices...

#### 4.2.1.1.L'effet photo-thermique (OBIRCH)

L'effet photo thermique est lié à l'élévation de température associée à l'absorption d'énergie. Le but de cette technique est de venir localiser les variations de résistance dans le but de localiser un défaut à l'aide d'un faisceau laser dont la longueur d'onde est égale à 1340nm. Pour cela, le faisceau laser provoque un échauffement local au niveau des éléments métalliques, polysilicium ... Cet échauffement se traduit par une variation locale de la résistivité électrique, elle-même répercutée sur le courant ou la tension d'alimentation suivant que le circuit est alimenté à tension ou à courant constant(e).

Si l'on considère une ligne métallique de longueur L et de section S comme on peut le voir sur la figure 17 :

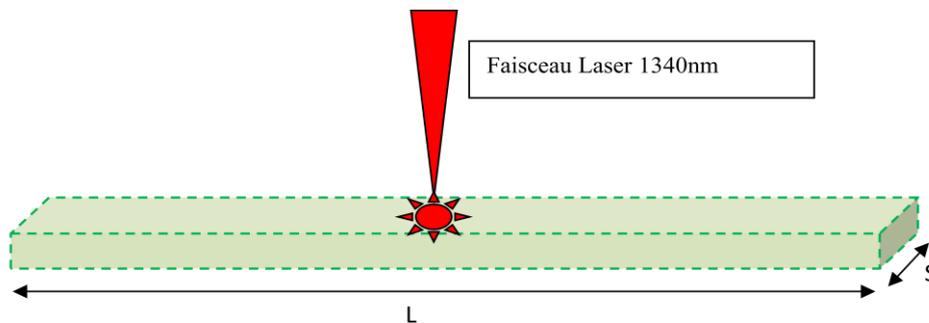


Figure 18 : Représentation de la stimulation laser sur une ligne métallique

La résistivité d'une telle ligne métallique est donnée par la relation suivante :

$$R = \rho \frac{L}{S} \quad \text{Equation I.5}$$

La variation de la résistance  $\Delta R$  est donnée par la relation suivante en fonction de la variation de température  $\Delta T$  :

$$\Delta R = \rho_0 \frac{L}{S} (\alpha_{TCR} - 2 \delta_T) \Delta T \quad \text{Equation I.6}$$

$\alpha_{TCR}$  correspond au coefficient de variation thermique de la résistivité,  $\delta_T$  représente le coefficient de dilatation thermique linéaire et L et S sont la longueur et la section de la ligne métallique. Généralement le terme propre à la dilatation est négligeable

[BEA02], dans ce cas la variation de résistance peut être estimée à partir de la donnée de  $\alpha_{TCR}$ .

Dans le cas où le circuit n'est pas alimenté, un autre effet doit être pris en compte [BEA02(2)]. En effet, lorsqu'une jonction entre deux matériaux est chauffée, le gradient de température introduit une différence de potentiel. Cet effet, connu sous le nom d'effet Seebeck est masqué lorsque le circuit est alimenté, ce phénomène se traduit en effet par de faibles variations de potentiels devant celles induites par la variation de résistivité.

#### **4.2.1.2. L'effet Seebeck**

L'effet Seebeck est un effet thermoélectrique découvert en 1821 par Thomas Johann Seebeck [KAS97]. Avec cette technique le composant n'est pas polarisé et seule la tension aux bornes des broches du circuit est mesurée. Les gradients locaux de température induits par le faisceau laser dans les différentes jonctions entre matériaux (métal-métal, métal-semi-conducteur, semi-conducteur semi-conducteur) induisent des gradients de potentiels par effet Peltier et Seebeck. L'absence de polarisation est un avantage dans cette technique, car les défauts ne seront pas aggravés ou modifiés au cours du test.

Une différence de potentiel  $dV$  apparaît à la jonction de deux matériaux a et b lorsqu'ils sont soumis à une différence de température  $dT$  selon :

$$S_{ab} = \frac{dV}{dT} \quad \text{Equation I.7}$$

Le coefficient Seebeck, également appelé "Pouvoir Thermoélectrique" s'exprime en V.K-1 (ou plus généralement en  $\mu\text{V.K-1}$  au vu des valeurs de ce coefficient dans les matériaux usuels). Les coefficients Seebeck des deux matériaux sont reliés au coefficient Seebeck du couple selon :

$$S_{ab} = S_a - S_b \quad \text{Equation I.8}$$

Interfaces	Pouvoir thermoélectrique relatif ( $\mu V.K^{-1}$ )
Al/Cu	-3,4
W/Cu	3,6
Au/Cu	,,2
Métal/Poly $N^-$	-121
Métal/Poly $P^+$	189
Métal/Si $N^-$	287
Métal/Si $P^+$	-202

Figure 19 : Coefficient de Seebeck pour différentes interfaces

Comme on peut le voir sur la figure 19, cette technique permet de localiser principalement des défauts dans les interconnexions.

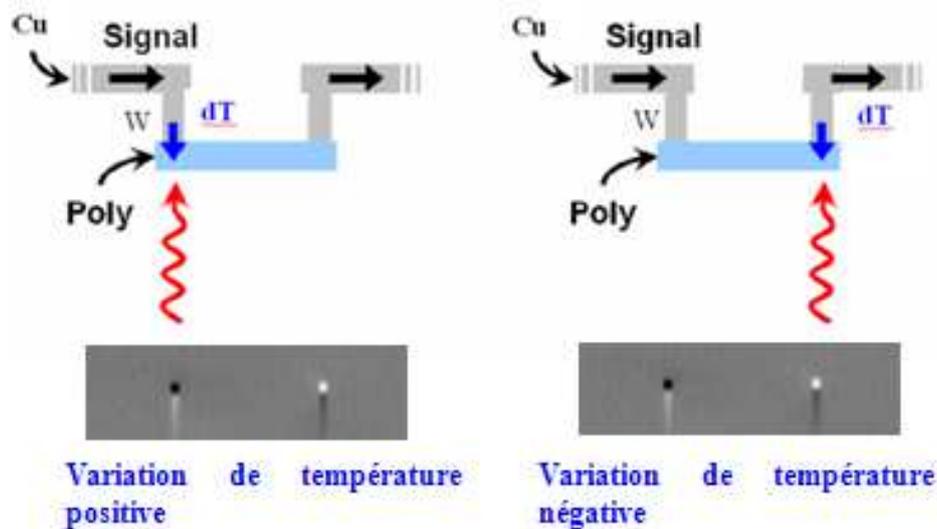


Figure 20 : Exemple de signature Seebeck

Sur la figure 20 on peut voir deux lignes de matériaux conducteurs de natures différentes une en cuivre et une en polysilicium reliées par deux jonctions W (Tungstène).

Dans le cas de l'effet Seebeck, une différence de température  $\Delta T = T1 - T2$  apparait, cela entraîne l'apparition d'une différence de potentiel  $E$  entre le tungstène et le polysilicium.

### **4.2.2. Stimulation laser photoélectrique**

Cette technique d'analyse de défaillance est apparue dans les années 80. Elle utilise un faisceau laser de longueur d'onde de 1064nm. Le but de cette technique est de venir injecter un photo courant dans le circuit, celui-ci peut ainsi contribuer à perturber le circuit en fonctionnement. Cette technique repose sur la photo-génération de paires électron/trou dans le silicium, de la dissociation de ces paires dans le champ électrique d'une zone de charge d'espace, puis du courant d'électrons (recombinaisons des électrons) et du courant de trous (recombinaison des trous) qui donnent lieu à ce photo courant.

Grâce à ce photo courant, on va pouvoir localiser les zones d'anomalies dans la zone de charge d'espace (augmentation ou diminution de la taille, du champ électrique ...). La technique repose sur la détection de la variation des caractéristiques électriques aux bornes du composant, sous l'effet de l'excitation LASER. Une cartographie des variations mesurées est réalisée en balayant la surface du composant à caractériser.

Voici les différentes dénominations que l'on peut trouver dans la littérature suivant le mode de polarisation :

	<b>Polarisation</b>	<b>Mesure</b>
<b>OBIC</b>	<b>Tension</b>	<b>Courant</b>
<b>LIVA</b>	<b>Courant</b>	<b>Tension</b>

- La technique OBIC (Optical Beam Induced Current) où la grandeur électrique analysée est la variation du courant d'alimentation, la tension d'alimentation étant maintenue constante [MON98] [WIL86].
- Sa duale, la technique LIVA (Light Induced Voltage Alteration) qui consiste à mesurer les variations de tension d'alimentation, le courant d'alimentation étant maintenu constant [BAR99] [COL94].

Si le défaut est dans une zone de charge d'espace (tout type de jonction P-N), cette technique permet de le localiser. Les types de défauts localisés avec cette technique

sont : les jonctions défectueuses, nœuds flottants, dépolarisations, thyristors parasites (Latchup).

### **4.2.3. Stimulation laser dynamique**

Les techniques de stimulation laser statique atteignent leurs limites dans de plus en plus de cas d'analyse de défaillance. La principale limite venant de l'accès électrique au défaut, de nouvelles techniques ont été développées pour pallier à cette problématique.

Ces techniques reposent sur l'utilisation d'un « shmoo ». Un shmoo est une représentation fonctionnelle du circuit suivant deux paramètres (tension, fréquence, température,...) pour un pattern de test donné.

Le but de cet outil est de créer une frontière séparant la zone pour laquelle le circuit est fonctionnel de la zone pour laquelle le circuit est défaillant. Dans la terminologie anglaise, l'état fonctionnel est dit « PASS » et l'état défaillant est dit « FAIL ». L'utilisation de ce dernier dans le domaine de la microélectronique est très répandue notamment pour étudier les variations d'un procédé de fabrication [Bak97]. Après avoir appliqué les conditions qui permettent de polariser le circuit à la limite de la frontière (côté pass ou côté fail), le pattern de test (?) correspondant au « shmoo » est appliqué en boucle pendant la stimulation du laser sur le circuit.

L'analyse porte sur la détection de transitions PASS / FAIL ou FAIL / PASS induites par laser en frontière du « shmoo ».

Un signal indiquant l'état de fonctionnement pass/fail du circuit est envoyé au système de cartographie qui va corréliser cette information avec la position du laser comme présenté sur la figure 21.

Les techniques utilisant les transitions Bon / Mauvais en Anglais « PASS / FAIL » ont été développées depuis une dizaine d'années. On peut retrouver sous ce terme la technique « SDL » (Soft defect Localization) [Bru02] qui utilise l'effet photo-thermique du laser ou encore, la technique LADA (Laser Assisted Device Alteration) [Row03] qui utilise l'effet photoélectrique du laser.

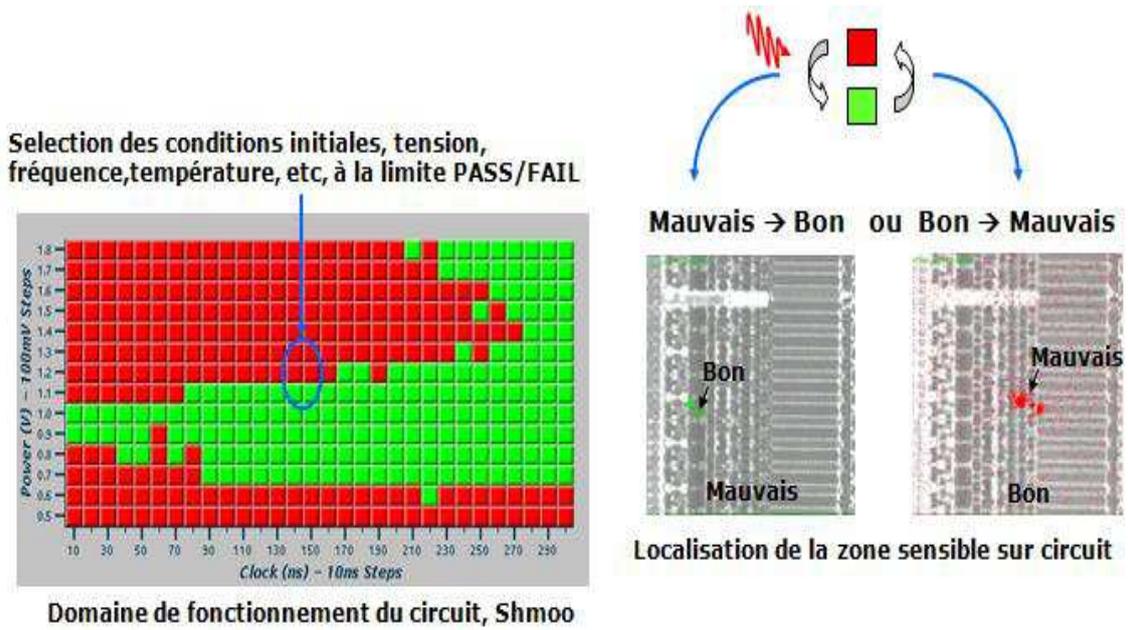


Figure 21 : Illustration stimulation laser dynamique, à gauche : shmoo ; à droite : localisation du Chemin Bon/Mauvais

La technique basée sur le comportement Pass / Fail permet de localiser finement des défauts lorsque cette frontière existe. Une extension de cette technique est appelée XVM (« X variation Mapping ») où X représente la mesure d'un paramètre électrique particulier lorsque le circuit est soumis à une stimulation laser. Il peut s'agir de la fréquence, d'un délai, de la tension ... Dans ce cas, la cartographie donne une information analogique plus complète [FIR04]. Lorsqu'il n'y a pas de variation exploitable d'un paramètre sous stimulation laser, il est souhaitable de pouvoir mesurer le signal. C'est pour cette raison que de nouvelles techniques doivent être développées pour être capable d'avoir une couverture de défauts plus importantes.

## **5. Conclusion**

Dans ce premier chapitre, nous avons décrit les techniques traditionnelles de localisation de défauts utilisées lors des analyses de défaillances des circuits microélectroniques.

Les techniques optiques statiques sont aujourd'hui maîtrisées et sont couramment utilisées dans les laboratoires d'analyse de défaillances. Mais l'évolution des technologies et la complexité des circuits ont vu apparaître une nouvelle catégorie de défauts pour laquelle ces techniques ne peuvent être utilisées.

Avec l'évolution des technologies, les défauts sont de plus en plus complexes à analyser. Malheureusement, tous les défauts de type fonctionnel ne sont pas capturés par ces techniques traditionnelles notamment face à des défauts de type bridges, ... Les circuits de nouvelles générations introduisent des défauts complexes à interpréter révélant une limite d'analyse pour les techniques d'investigation par émission de lumière et par stimulation laser.

Dans le chapitre suivant, nous verrons comment l'utilisation combinée de ces techniques apporte des informations complémentaires sur la nature des défauts. En associant les deux, on parvient ainsi à localiser la majorité des défauts statiques (liés à une surconsommation).

On montrera ainsi comment se comportent ces techniques d'analyse face à un type de défaut complexe qu'est le bridge et comment par le biais de simulations on arrive à comprendre les phénomènes physiques mis en jeu. On montrera ainsi l'importance de la bonne interprétation des résultats pour avoir une bonne compréhension des phénomènes physiques mis en jeu.

Le chapitre suivant s'attachera à la compréhension des mécanismes de perturbations d'un défaut bridge face aux techniques de localisation traditionnelles EMMI, et stimulations laser présentées dans ce chapitre.

## **Chapitre II: Signatures et problématiques des techniques de localisation traditionnelles face à un défaut de type Bridge**



## **1. Introduction**

Le développement des technologies CMOS durant ces 20 dernières années est considérable, que ce soit au niveau de la diminution de la taille des transistors ou au niveau de l'augmentation du nombre de niveaux de couches de métallisation (4 niveaux en technologie 0,35 $\mu$ m contre 10 niveaux en technologie 28nm). Du fait de ces paramètres, le nombre et la nature des défauts pouvant intervenir deviennent de plus en plus importants et leur localisation est un véritable challenge pour l'analyste. L'expression « chercher une aiguille dans une botte de foin » est aujourd'hui très adaptée pour décrire la difficulté d'un analyste à localiser et caractériser un défaut physique lié à une défaillance électrique.

De plus, on observe une rupture technologique entre les technologies supérieures à 40nm (grille en polySilicium) et les technologies inférieures à 32nm (avec le HighK / Grille métal). Cette rupture importante entraîne directement de nouveaux types de défauts jusqu'alors marginaux.

Ces « nouveaux » défauts (Bridge, X talk, Capacitif...) étant prépondérants, il est indispensable de les étudier et de les caractériser si l'on veut maintenir notre capacité à les détecter.

Dans ce chapitre, on montrera l'insuffisance des techniques de localisation traditionnelles à localiser le défaut physique d'une défaillance de type bridge malgré leur complémentarité.

Tout d'abord, on présentera le défaut bridge puis la structure de test mise en jeu pour cette étude. On appliquera les techniques traditionnelles présentées dans le chapitre précédent. Ainsi, on s'appuiera sur un outil de simulation pour nous permettre d'interpréter les signatures des techniques traditionnelles et ainsi pouvoir faire l'hypothèse de défaut la plus fiable possible.

Enfin, on montrera que de nouvelles techniques d'analyse doivent être développées pour pouvoir élargir la couverture de fautes.

## **2. Cas du défaut bridge**

Les nouvelles technologies apportent leur lot de nouveaux défauts. Ces défauts sont majoritairement de type « soft » (dépendants de la fréquence et de la tension) : le défaut bridge en est un parfait exemple. Ce défaut étant omniprésent sur les technologies inférieures à 32nm, une structure dédiée a été dessinée et fabriquée pour permettre cette étude. Elle sera utilisée dans cette partie.

### **2.1. Description du défaut bridge**

Afin d'améliorer la couverture des défaillances physiques, le modèle de « court circuit» ou encore « bridge » pour la dénomination anglaise a été introduit. Il modélise un contact électrique entre plusieurs nœuds du circuit (comme le montre la figure 22). Ce défaut peut avoir un comportement ohmique linéaire ou non linéaire lorsque l'on trace sa caractéristique courant/tension.

Généralement, un court-circuit est défini comme étant une défaillance physique mettant en jeu une connexion électrique entre deux métallisations, normalement indépendantes dans un circuit sain. Les causes principales d'apparition de ces défauts sont des dépôts de particules sur les masques de fabrication ou durant la fabrication qui provoquent ce court-circuit.

Les courts-circuits peuvent être classés en deux catégories distinctes. Dans un premier temps, les courts-circuits ont été considérés comme francs, c'est-à-dire qu'une ligne influence directement la ligne avec laquelle elle est court-circuitée. Avec l'évolution de la technologie, le terme court-circuit résistif est plus adapté. Selon la valeur de la résistance du court-circuit, on observe soit un court-circuit franc (résistance  $R_s$  proche de  $1\Omega$ ), soit court-circuit résistif (résistance  $R_s$  plus importante). la figure 22 présente la modélisation d'un tel type de défaut :

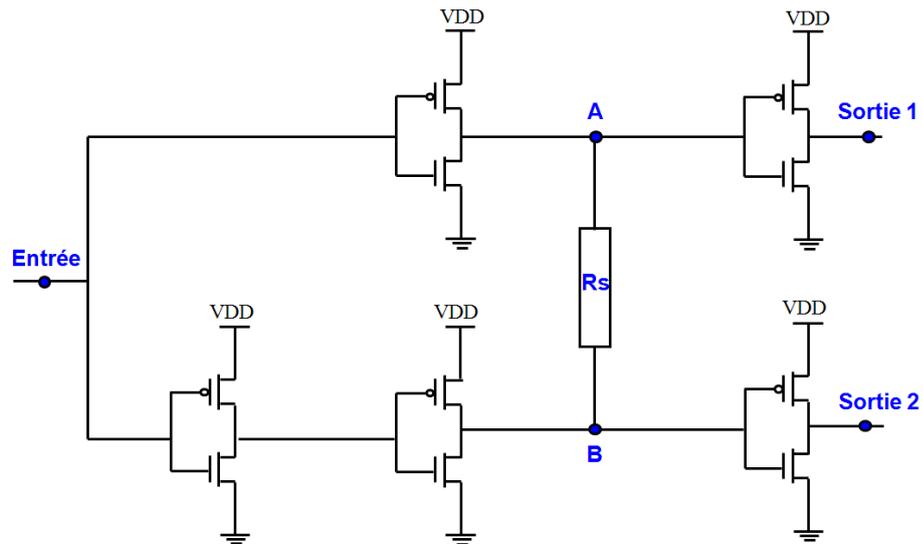


Figure 22 : Modélisation d'un défaut court-circuit "Bridge"

Il existe une résistance de défaut critique pour laquelle le court-circuit n'affectera pas la fonctionnalité du circuit [Haw03] [Ren94].

Cette résistance critique est fonction de la polarisation des transistors (conception du circuit), des niveaux logiques d'entrée et des variations du procédé de fabrication.

Cette résistance critique peut varier en ordre de grandeur dans une gamme de  $10\Omega$  à  $5k\Omega$ . [Vie93] montre que la résistance critique diminue avec la diminution de la longueur du canal des transistors.

Les courts-circuits peuvent être de natures très différentes [Di93a] et peuvent se produire aussi bien entre deux conducteurs d'un même niveau métallique qu'entre deux nœuds de niveaux métalliques adjacents.

Le court circuit bridge étant l'un des défauts les plus difficiles à localiser, la suite de ce chapitre sera consacrée à son étude. Pour cela nous avons développé un circuit de test dédié à l'analyse de défaillance intégrant des structures en défaillance présentant un défaut de type bridge. L'objectif est d'étudier le comportement des techniques traditionnelles et d'interpréter les signatures de localisation face à un tel type de défaut.

## 2.2. Description de la structure de test bridge en technologie 45nm

La structure développée pour cette étude est décrite comme suit (figure 23):

- Le défaut bridge est une résistance calibrée en polysilicium
- Cette résistance simule un court-circuit entre deux lignes métalliques véhiculant des signaux en opposition de phase à travers un réseau d'inverseurs.
- Afin de limiter le nombre d'entrées, sorties dans le circuit de test, il n'est pas possible de paramétrer la phase entre les 2 signaux mis en défaut.
- Pour nous permettre d'avoir une couverture large du défaut, nous avons implanté plusieurs valeurs de résistances de quelques ohms à 100k $\Omega$ .

La figure ci-dessous montre le schéma de la structure de test ainsi que le schéma de conception associé.

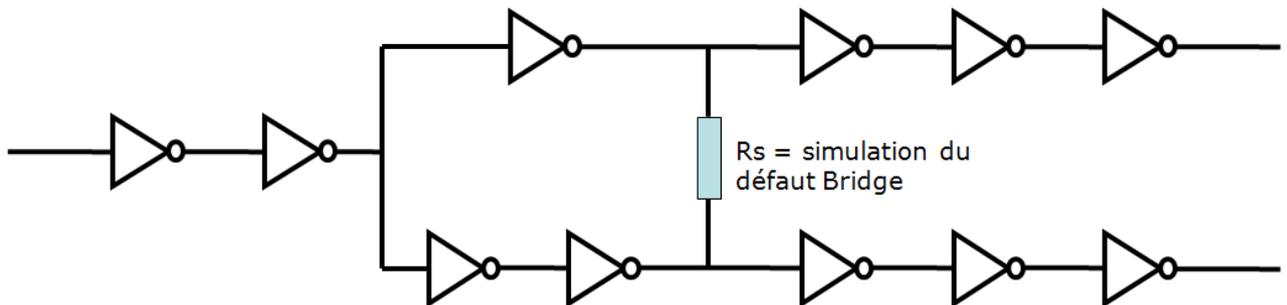
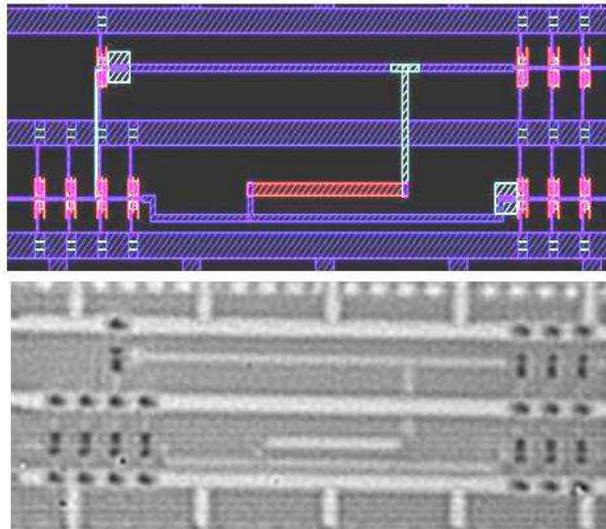


Figure 23 : Structure de test du défaut bridge



**Figure 24 : Layout de la structure Bridge. Bas: image illuminée en face arrière de la structure bridge**

Les conditions de test sont typiques de la technologie 45nm en terme de tension d'alimentation ( $V_{dd}= 1,1V$ ). Le signal d'horloge d'entrée est fixé à 20MHz avec un rapport cyclique de 50%

D'un point de vue de la conception, la taille des transistors est typique de la technologie 45nm :  $L_n/L_p=45nm$ ,  $W_n=0,25\mu m$ ,  $W_p=0,48\mu m$ .

Avant d'appliquer les techniques de localisation de fautes traditionnelles (EMMI, TRE, Laser), nous allons introduire une simulation de type ELDO sur cette structure. Cette simulation nous permettra par la suite d'avoir une interprétation EMMI / laser plus fiable des transistors mis en défaut.

### 3. Simulations de la structure bridge

Le but de ces simulations est d'obtenir des informations relatives à l'émission de lumière d'un circuit sous test en mode défaillant.

### 3.1. Conditions de simulation

Dans un premier temps, on s'intéresse à trois valeurs de résistance de bridge (1KΩ, 10KΩ, 100KΩ). Nous simulerons les conditions de photo-emissions aux bornes de chaque transistor NMOS ainsi que chaque niveau logique en sortie des inverseurs de la structure de test présentée ci-dessous :

Dans une première approche, le phénomène de photoémission dans les technologies CMOS n'apparaît que lorsque le transistor est en mode saturé. Pour venir vérifier cela, on s'intéresse à la tension de Grille-Source  $V_{GS}$  ainsi qu'à la tension de Drain-Source  $V_{DS}$ . Les conditions de saturation pour un transistor sont données par les équations suivantes:

$$V_{GS} > V_T \quad \text{et} \quad V_{DS} > V_G - V_T \quad \text{Equation II.1}$$

Avec  $V_G$  la tension de grille et  $V_T$  la tension de seuil associée à la technologie. L'émission de lumière est régie par le courant de drain qui traverse le transistor quand il commute et par le champ électrique dans le canal en saturation [TOS06] [STE02]. Comme l'intensité de l'émission de lumière est liée aux conditions d'opérations du transistor, les mesures optiques en EMMI (EMission Microscopy) peuvent être corrélées aux paramètres électriques. Le nombre de photons émis est ainsi fortement lié au courant de drain dans chaque transistor Nmos.

Avec l'équation ci-dessous, nous pouvons calculer l'intensité d'émission de lumière :

$$N_{ph} = \alpha_{ph} \cdot \frac{I_D}{q} (V_{DS} - V_{DSAT}) \cdot e^{\left(-\frac{\beta_{ph}}{V_{DS} - V_{DSAT}}\right)} \quad \text{Equation II.2}$$

Avec  $N_{ph}$  le taux d'émission de photons,  $I_D$  le courant de drain,  $q$  est la charge de l'électron,  $V_{DS}$  est la tension de drain source,  $V_{DSAT}$  est la tension drain source quand le transistor est en mode saturé et les coefficients  $\alpha_{ph}$  et  $\beta_{ph}$  sont des coefficients qui dépendent de nombreux paramètres tels que l'efficacité optique du détecteur, de la technologie CMOS.

En condition de saturation, le courant de drain est donné par la formule ci-dessous :

$$I_D = K \cdot \frac{W}{L} \cdot (V_{GS} - V_T)^2 \quad \text{Equation II.3}$$

Avec :

K le facteur de gain de la technologie,

$V_{GS}$  la tension grille-source,

$V_T$  la tension de seuil du transistor,

W la largeur de grille,

L la longueur de grille.

Dans l'étape qui suit, on va utiliser les modèles développés par ST Microelectronics en technologie 45nm associés aux équations définissant les conditions de photoémission. Dans un premier temps, ces modèles nous permettront de déterminer le taux de photons émis sur la structure bridge et ainsi on pourra prédire les résultats en photoémission. Dans un deuxième temps, la simulation sur les niveaux de tension permettra d'interpréter les résultats obtenus lors des stimulations lasers.

### **3.2. Résultats de la simulation ELDO**

Le but de ces simulations est de comprendre le fonctionnement des transistors défaillants suivant la valeur du défaut bridge. Dans ce contexte, la simulation du comportement électrique des transistors s'avère extrêmement utile. Le point clé de la validation de toute simulation de circuits intégrés, et donc une bonne analyse de défaut, est la modélisation précise des transistors MOS et l'utilisation d'un bon outil de simulation associé. Pour cela on s'appuie sur le logiciel de simulation ELDO avec le « Design Kit » associé, développé par ST Crolles.

Dans cette étude on s'intéresse à trois valeurs de défaut bridge 1k $\Omega$ , 10k $\Omega$  et 100k $\Omega$ .

### 3.2.1. Simulation d'un défaut bridge de 1k $\Omega$

Dans cette première partie de simulation on s'intéresse au cas du défaut bridge d'une valeur de 1k $\Omega$ .

Pour rappel, la figure ci-dessous représente la localisation et le nom des différents inverseurs utilisés pendant la simulation.

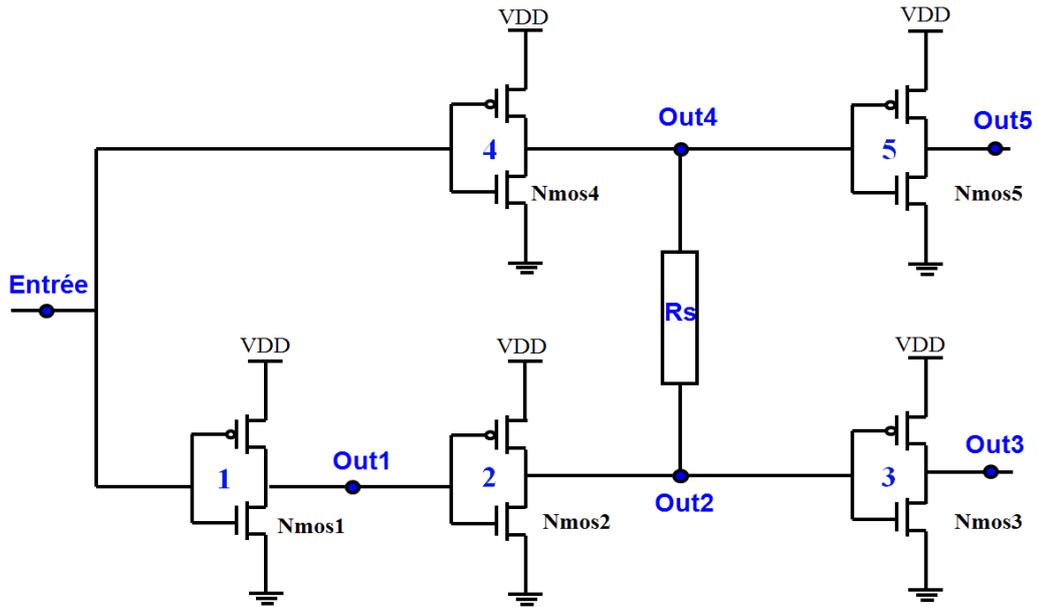
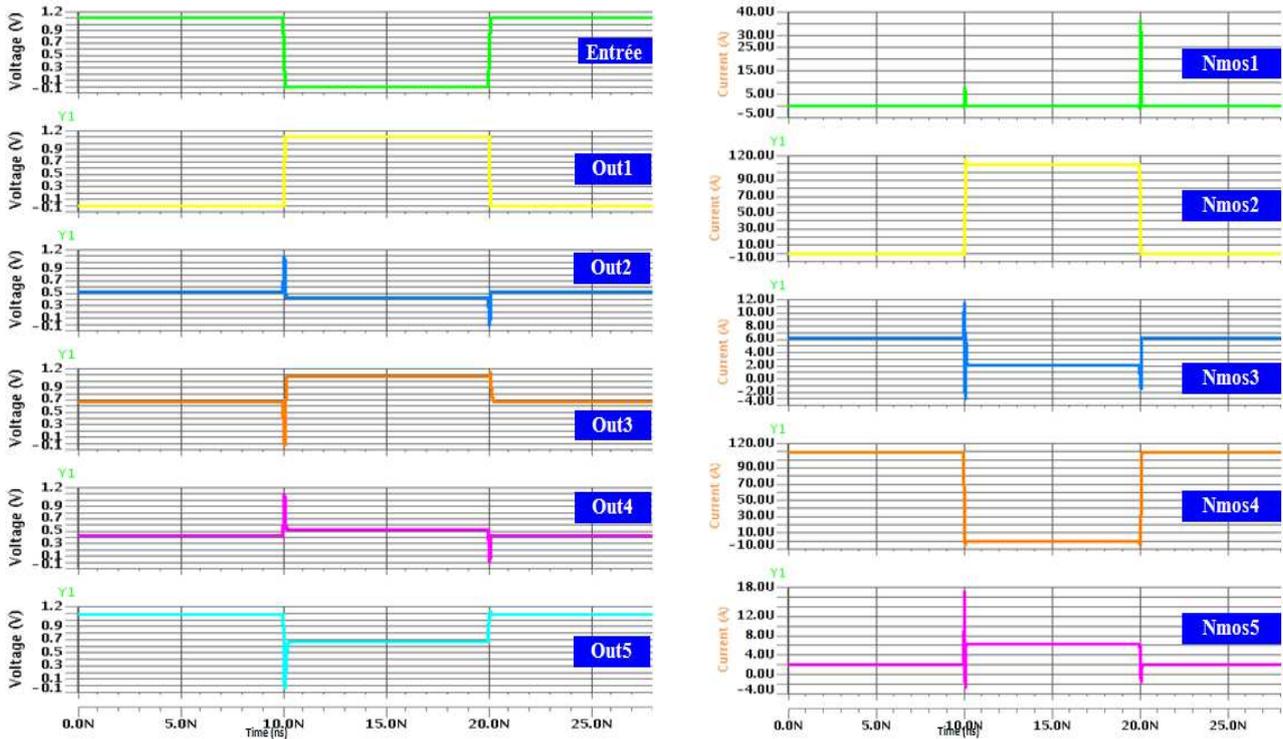


Figure 25 : Structure bridge, localisation des inverseurs



**Figure 26 : Résultats de simulation ELDO pour un défaut bridge de 1kΩ (A gauche : sortie de chaque inverseur; A droite : courant de drain pour chaque Nmos)**

Grâce aux simulations effectuées avec une valeur de défaut bridge de 1 kΩ (figure 26), on constate que les niveaux de sortie des inverseurs out2 (Haut : 0,5V ; Bas : 0,4V), out3 (Haut : 1,1V ; Bas : 0,6V), out4 (Haut : 0,5V ; Bas : 0,4V), out5 (Haut : 1,1V ; Bas : 0,6V), ne sont dégradés. Cela signifie que les niveaux de la tension grille  $V_g$  sur les transistors suivants sont dégradés et d'après les conditions de l'équation II.1 les conditions d'EMMI ne peuvent plus être respectées.

Pour ce qui concerne les courants de drain (simulation de droite sur la figure 26), la simulation nous montre non seulement un courant de fuite sur les transistors 2, 3, 4, 5 mais aussi un fonctionnement de ces transistors non saturés.

Selon les résultats de cette simulation et les conditions de photoémission présentés dans la partie précédente, nous devrions d'une part observer une forte émission sur les inverseurs 3 et 5 et, d'autre part, aucune émission sur les inverseurs 2 et 4.

### 3.2.2. Simulation d'un défaut bridge de 10kΩ

Maintenant, intéressons nous toujours à la structure bridge mais avec une valeur de défaut de 10kΩ. Les simulations ont été effectuées dans les mêmes conditions que celles-ci dessus, les résultats sont présentés sur la figure 27 :

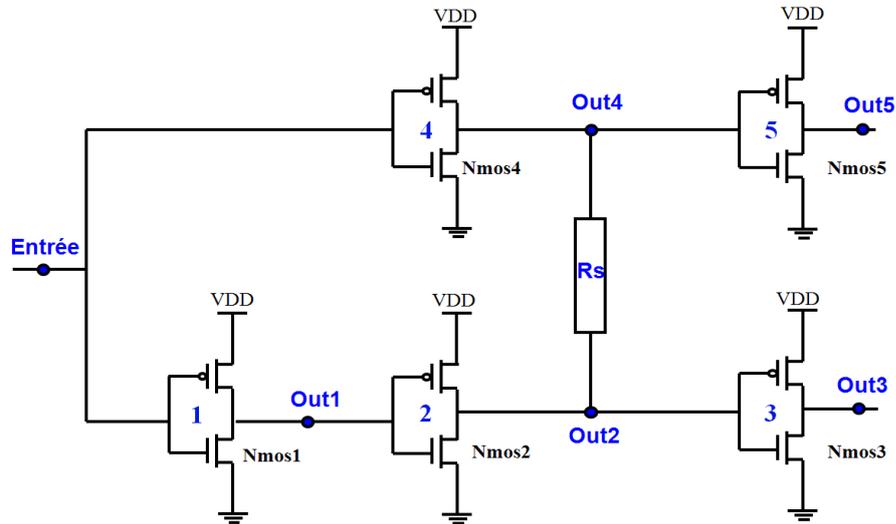


Figure 27 : Structure Bridge, localisation des transistors

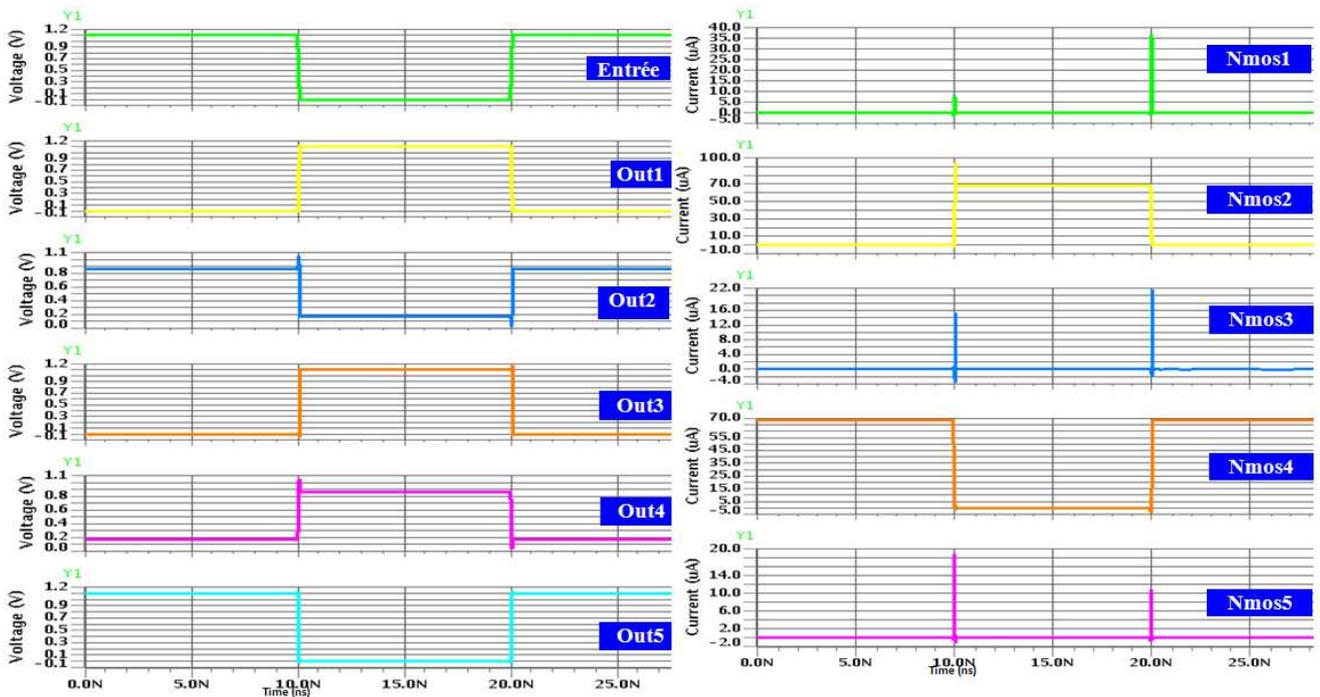


Figure 28 : Résultats de simulation ELDO pour un défaut bridge de 10kΩ (à gauche : sortie de chaque inverseur; à droite : courant de drain pour chaque NMOS)

Sur la figure 28, on peut voir que les niveaux logiques haut et bas des inverseurs 2 et 4 ne sont toujours pas dégradés (Haut : 0,9V ; Bas : 0,2V).

Au niveau du courant de drain, nous observons que les transistors 2 et 4 ne sont pas en mode saturé, mais en mode linéaire. Nous utiliserons ce résultat dans le cas de la stimulation laser thermique.

Au vu de ces résultats, on ne devrait toujours pas avoir d'émission sur ces deux inverseurs (Nmos2 et Nmos4).

### 3.2.3. Simulation d'un défaut bridge de 100kΩ

Terminons maintenant l'étude avec le défaut bridge de 100kΩ

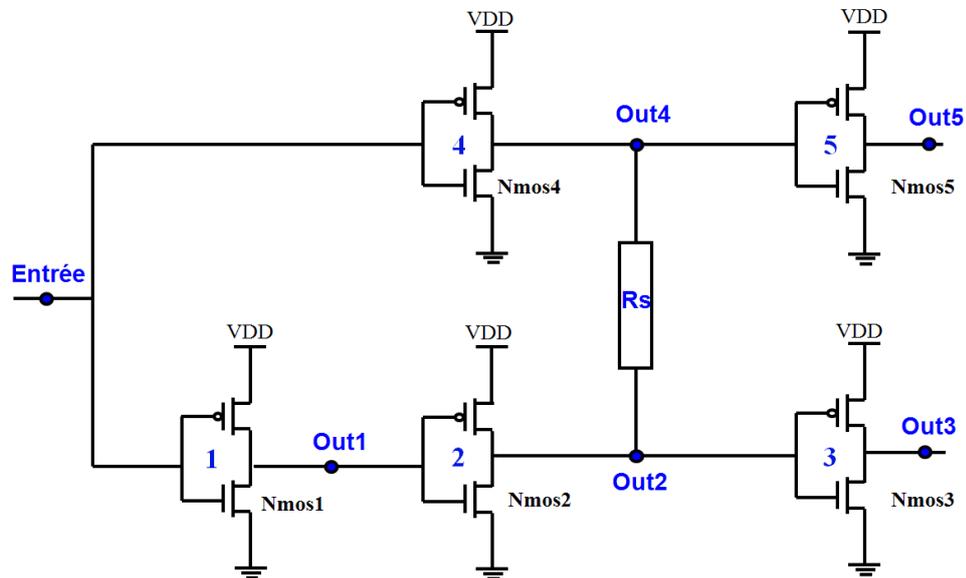


Figure 29 : Structure Bridge, Localisation des transistors

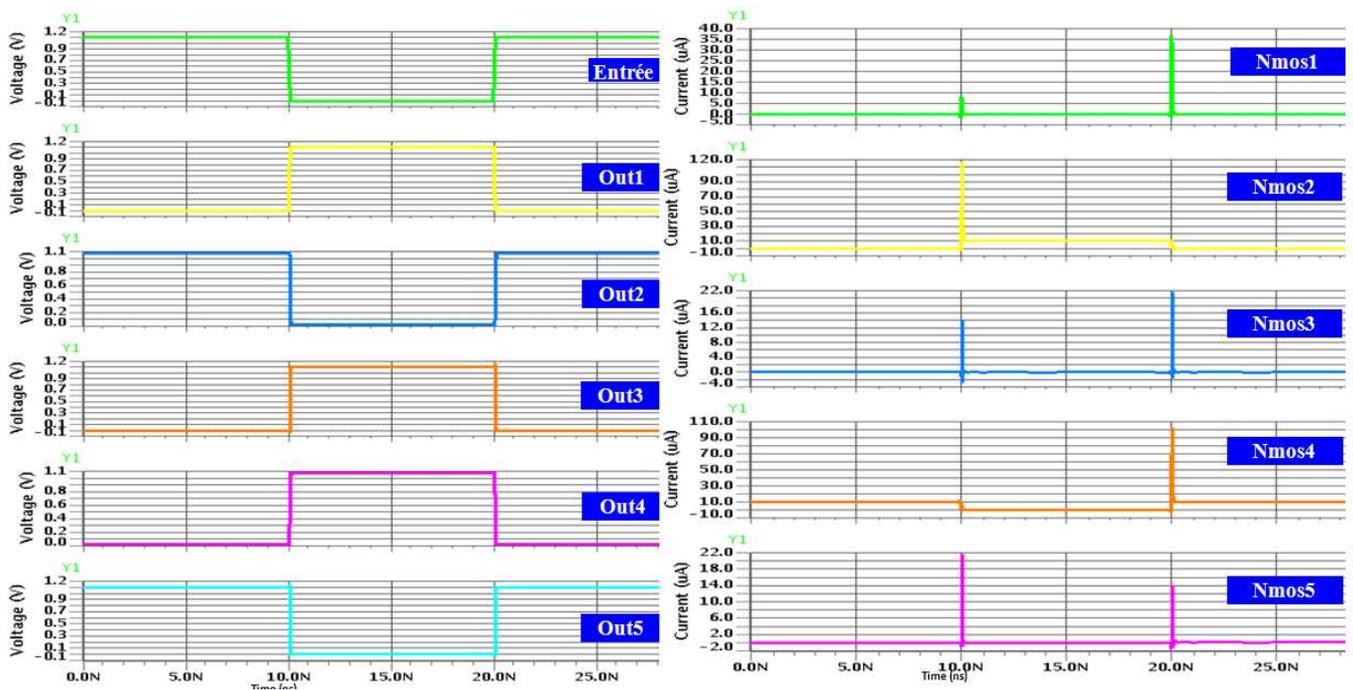


Figure 30 : Résultats de simulation ELDO pour un défaut bridge de 100kΩ (à gauche : sortie de chaque inverseur; à Droite : courant de drain pour chaque NMOS)

Sur les simulations présentées sur la figure 30, on voit qu'un défaut bridge d'une valeur de  $100k\Omega$  n'a aucune influence sur le comportement des inverseurs et que les tensions de sortie sont non dégradées.

Grâce à ces simulations on s'attend à n'avoir aucune influence sur le niveau d'EMMI avec une telle valeur de défaut.

L'outil de simulation nous a permis d'avoir une bonne idée sur le fonctionnement de la structure mise en défaut. Le but de la partie suivante est d'appliquer les techniques standards (EMMI, TRE, Laser) sur cette structure pour nous permettre de définir une hypothèse de défaillance fiable.

## 4. Mécanismes de défaillance / Analyse du défaut bridge à l'aide des techniques optiques disponibles

Comme on l'a vu dans la partie précédente, les simulations électriques permettent de prévoir le comportement d'un circuit intégré en fonction d'un type de fautes. Grâce à cet outil on a mis en évidence le comportement émissif théorique du défaut de type bridge situé entre deux chaînes d'inverseurs.

Dans cette partie, seront vérifiées ces hypothèses dans le but de valider nos résultats issus de la simulation.

On analyse le comportement de la valeur du défaut bridge par les techniques de localisation traditionnelles présentées dans le chapitre précédent (EMMI- TRE- Stimulation Laser).

Pour nous permettre une bonne interprétation des signatures obtenues, on s'appuiera sur les résultats des simulations ELDO obtenus dans la partie précédente. Comme le défaut génère une surconsommation sur l'alimentation VDD du circuit, la technique EMMI sera la première utilisée. Le schéma de la structure est rappelé à la figure 31, ainsi que le schéma de conception (voir figure 32).

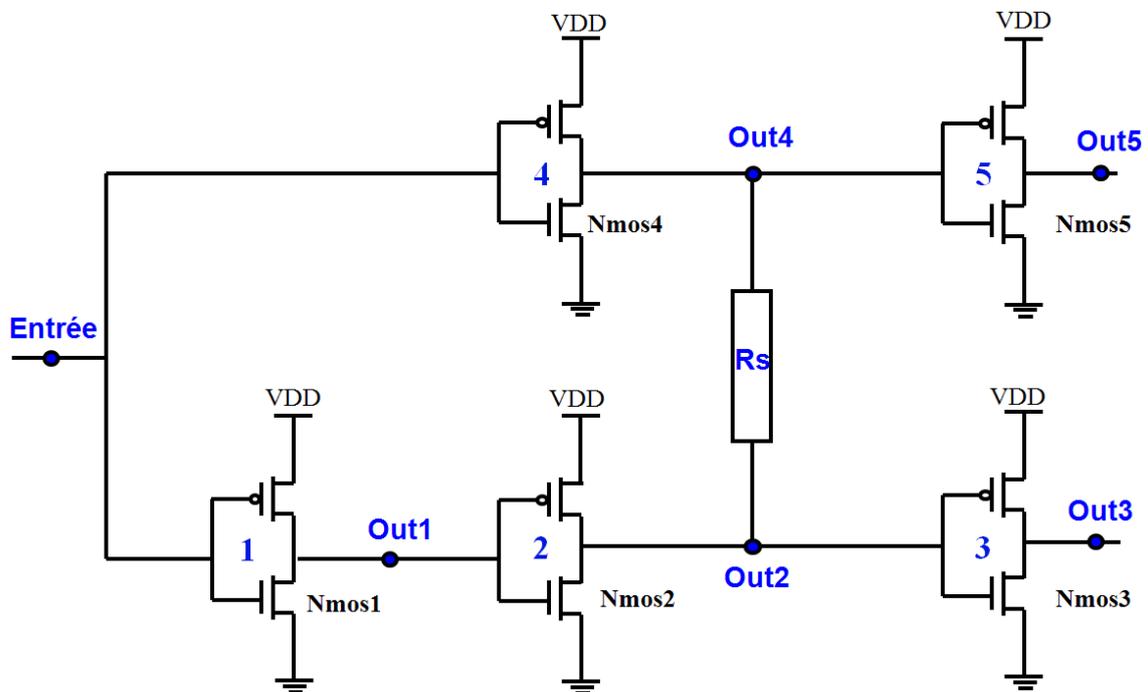


Figure 31 : Schéma de la structure Bridge

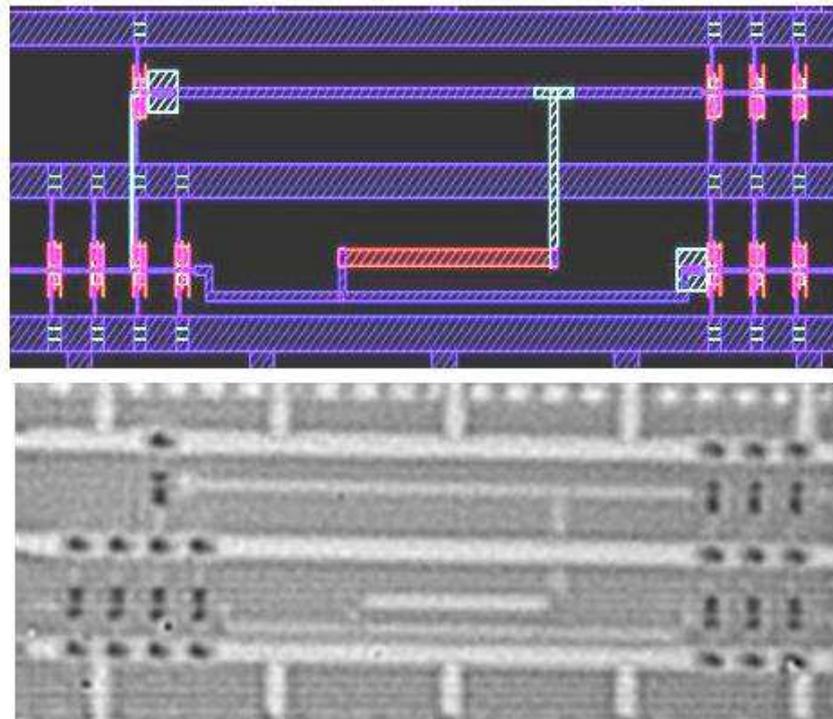


Figure 32 : Layout de la structure Bridge

#### 4.1. Cartographie EMMI

Dans le but de vérifier les hypothèses EMMI faites lors des simulations, nous allons effectuer une cartographie EMMI sur les inverseurs 1, 2, 3, 4,5. Nous commencerons par la structure avec une valeur de défaut de  $1k\Omega$ . Pour réaliser les acquisitions en émission de lumière, le circuit fonctionne à une fréquence de 20MHz avec une tension d'alimentation de 1,1V (tension typique du 45nm). Lors de ces acquisitions l'image de bruit est soustraite dans le but de maximiser le ratio EMMI/Bruit. Le temps de cartographie est fixé à 60 secondes.

### 4.1.1. EMMI sur défaut bridge de 1K $\Omega$

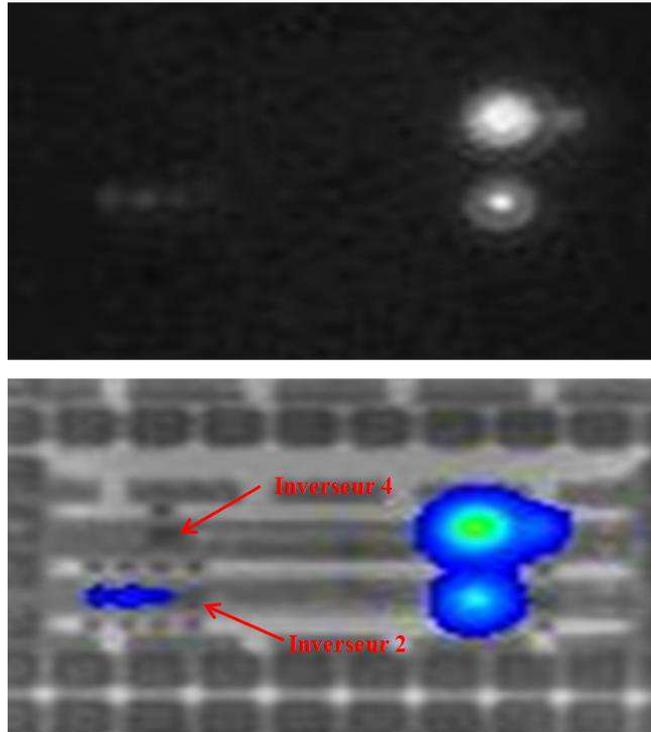


Figure 33 : EMMI sur défaut bridge 1k $\Omega$  (en haut : EMMI, en bas : image superposée)

La figure 33 est le résultat de la cartographie EMMI sur la structure bridge présentant une valeur de défaut de 1k $\Omega$ .

Nous observons qu'il n'y a pas de « spot » EMMI sur les inverseurs 2 et 4 qui sont situés juste avant le défaut bridge et nous observons une surémission sur les deux inverseurs qui suivent le défaut (3 et 5). Maintenant, reprenons les simulations effectuées sur cette structure :

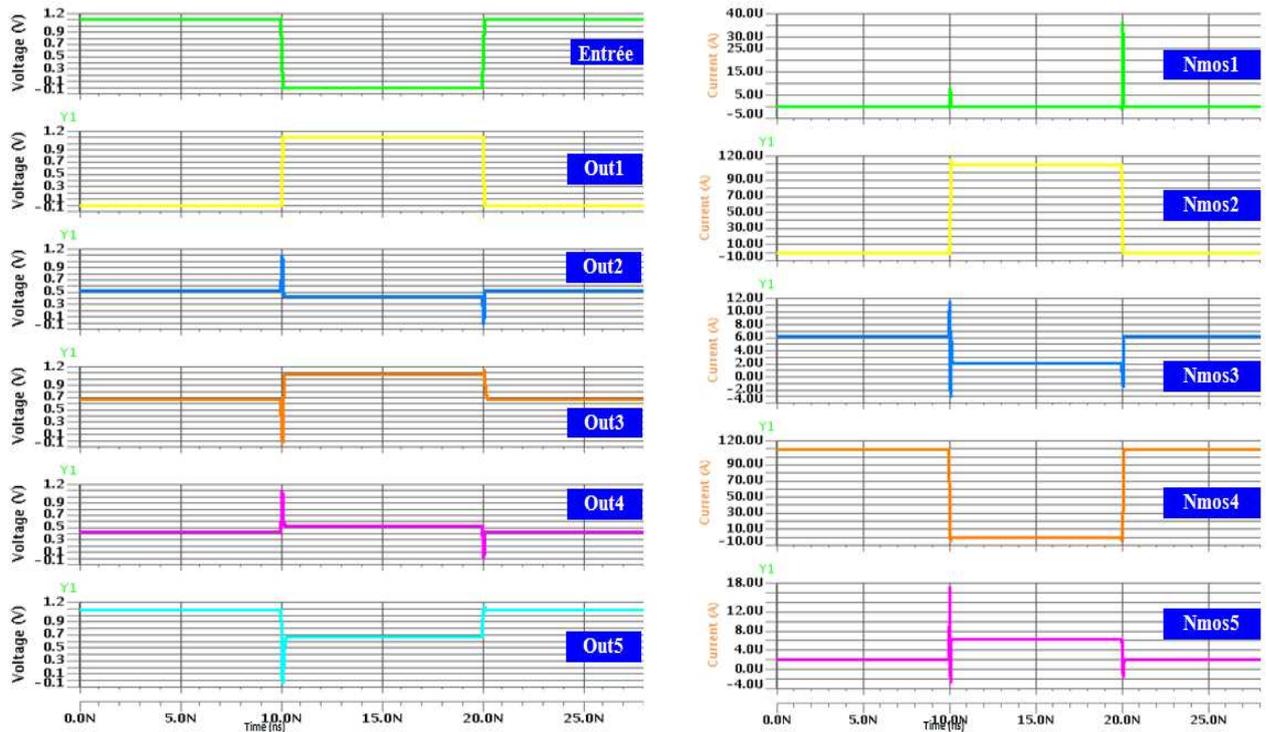


Figure 34 : Simulations Bridge 1kΩ

Le niveau des sorties  $Out2 = Out4 = 500mV$  et la tension de seuil ( $V_T$ ) pour la technologie 45nm est égale à  $400mV$ .

Les conditions d'EMMI énoncées précédemment sont :

$$V_{GS} > V_T \text{ et } V_{DS} > V_G - V_T.$$

Ici nous avons,  $V_{GSIV2} = V_{GSIV4} = 1,1V$  et  $V_{DSNMOS2} = V_{DSNMOS4} = 500mV$  et  $V_{DS} > 1.1 - 0.4 \implies$  ce qui fait  $V_{DS} > 700mV$ .

Or dans le cas de défaut bridge de  $1k\Omega$ , nous avons une tension drain source inférieure à  $750mV$  ( $V_{DS} = 500mV$ ) sur les inverseurs 2 et 4. Cela explique pourquoi nous ne voyons pas d'émission de lumière sur ces deux inverseurs.

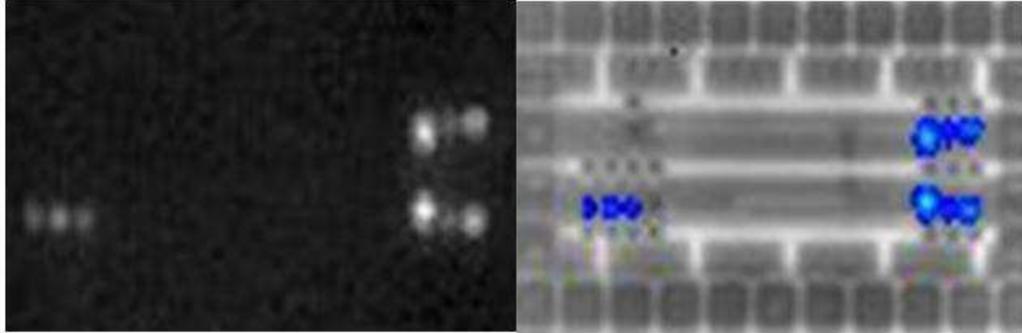
Concernant la surémission observée sur les deux inverseurs après le défaut (inverseur 3 et 5), nous avons  $V_{DSNMOS3}$  et  $V_{DSNMOS5} > V_G - V_T$  (cf. résultats de simulation).

Par contre, nous avons une valeur de tension de grille trop proche de la tension de seuil  $V_T$ , ce qui entraîne un pincement du canal et le transistor se retrouve dans un mode « tristate » (indéterminé), c'est pour cette raison que nous observons une forte émission sur les deux inverseurs après le défaut bridge.

Les signatures EMMI observées sont en parfait accord avec les résultats de simulation obtenus.

### **4.1.2. EMMI sur défaut bridge de 10K $\Omega$**

Intéressons-nous maintenant à la signature EMMI avec un défaut bridge d'une valeur de 10k $\Omega$ .

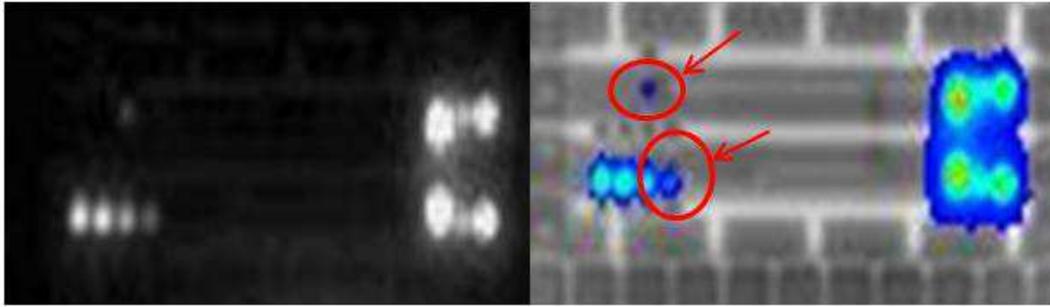


**Figure 35 : EMMI sur défaut bridge 10K $\Omega$  (A gauche : EMMI, A droite : image superposée)**

Sur le défaut bridge de 10 k $\Omega$  nous observons les mêmes phénomènes que sur le défaut de valeur 1k $\Omega$ , pas d'EMMI sur les inverseurs situés juste en amont du défaut tandis que l'on observe une légère surémission sur les inverseurs situés juste en aval. Avec cette valeur de défaut, si l'on se réfère aux simulations effectuées dans la partie précédente on peut voir que la tension de drain source ( $V_{DS}$ ) est vraiment très proche de la tension  $V_G - V_T$ .

Aparté sur le défaut bridge de 10k $\Omega$  : étant donné la tension de drain source ( $V_{DS}$ ) très proche de la tension de seuil  $V_t$ , on va faire une étude particulière sur la tension (en augmentant légèrement la tension d'alimentation)

Etant donné les résultats de simulation, on va augmenter la tension d'alimentation dans le but d'augmenter la tension de grille et de se retrouver dans les conditions favorables d'émission de lumière sur tous les inverseurs de la chaîne.



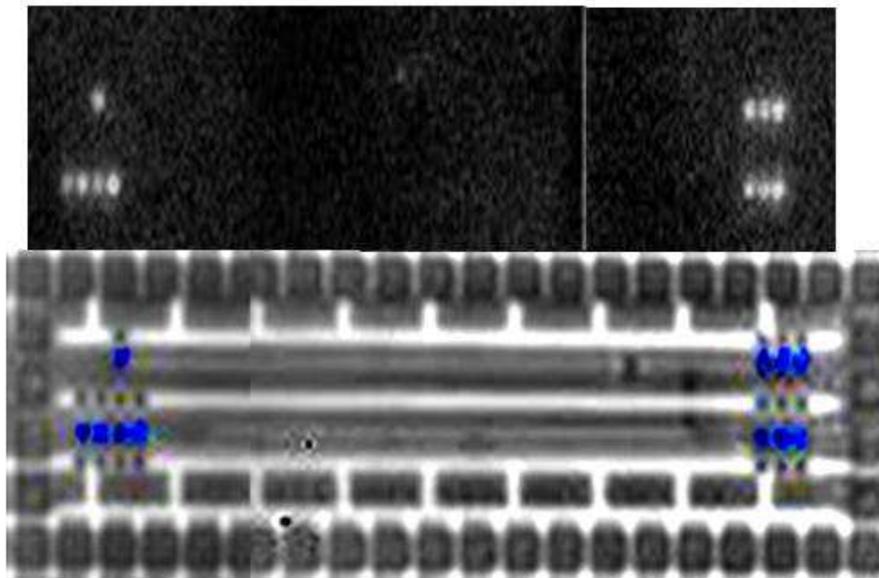
**Figure 36 : EMMI sur défaut bridge 10K $\Omega$  avec VDD+20% (A gauche : EMMI, à droite : image superposée)**

En augmentant légèrement (+20%), nous retrouvons les conditions de photoémission sur les inverseurs 2 et 4 parce que les tensions  $V_{DSNMOS2}$  et  $V_{DSNMOS4}$  sont supérieures à  $(V_G - V_T)$ .

On est conforme à la simulation : la pratique et la théorie sont en concordances. En augmentant la tension d'alimentation on passe de la zone linéaire à la zone saturée. C'est ce phénomène que l'on met en évidence sur l'acquisition EMMI de la figure 36.

### **4.1.3. EMMI sur défaut bridge de 100k $\Omega$**

Regardons maintenant la signature EMMI sur le défaut bridge 100k $\Omega$ .



**Figure 37 : EMMI sur défaut bridge 100K $\Omega$  (En haut : EMMI, En bas : image superposée)**

Sur la figure 37, nous pouvons voir qu'avec une valeur de défaut bridge de 100K $\Omega$  nous ne venons pas altérer le fonctionnement de la chaîne d'inverseurs. Le niveau d'émission est ainsi identique sur chaque inverseur. Ces résultats sont en parfait accord avec les résultats de simulations.

Grâce à l'outil de simulation, il est non seulement possible de prédire l'émission ou la non émission de chaque inverseur, mais surtout d'avoir une interprétation fiable des acquisitions.

La technique d'EMMI étant largement utilisée comme outil de recherche de défauts, cette étude était indispensable. Par contre, la technique EMMI en cartographie n'est pas une technique suffisante pour nous permettre de localiser le défaut bridge. L'émission de lumière permet de révéler que les conséquences en amont et en aval du défaut.

En complément de la technique EMMI en cartographie, nous allons utiliser la technique EMMI en mode mesure (TRE) : cette technique ne pointera pas le défaut physique, mais elle appuiera par la mesure les résultats montrés précédemment en cartographie.

## 4.2. Mesures en Time Resolved Emission (TRE)

Dans le but de bien comprendre les phénomènes observés sur les inverseurs en EMMI, on mesure les signaux en interne aux niveaux des différents transistors. Ces mesures TRE nous permettront de conforter nos observations et conclusions effectuées lors de la partie précédente.

La structure de test est toujours alimentée à 1,1V et le signal d'entrée est toujours fixé à 20MHz. Ci-dessous, pour rappel la localisation des transistors.

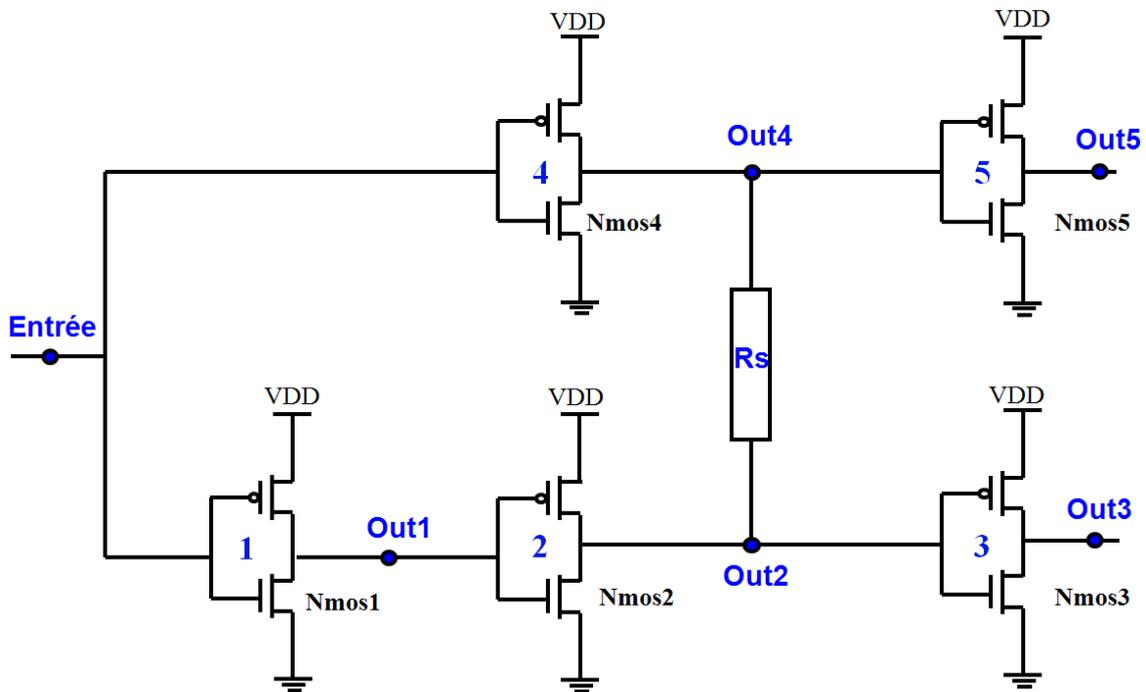


Figure 38 : Localisation des transistors de la structure bridge

### 4.2.1. Acquisition TRE sur défaut bridge de 1K $\Omega$

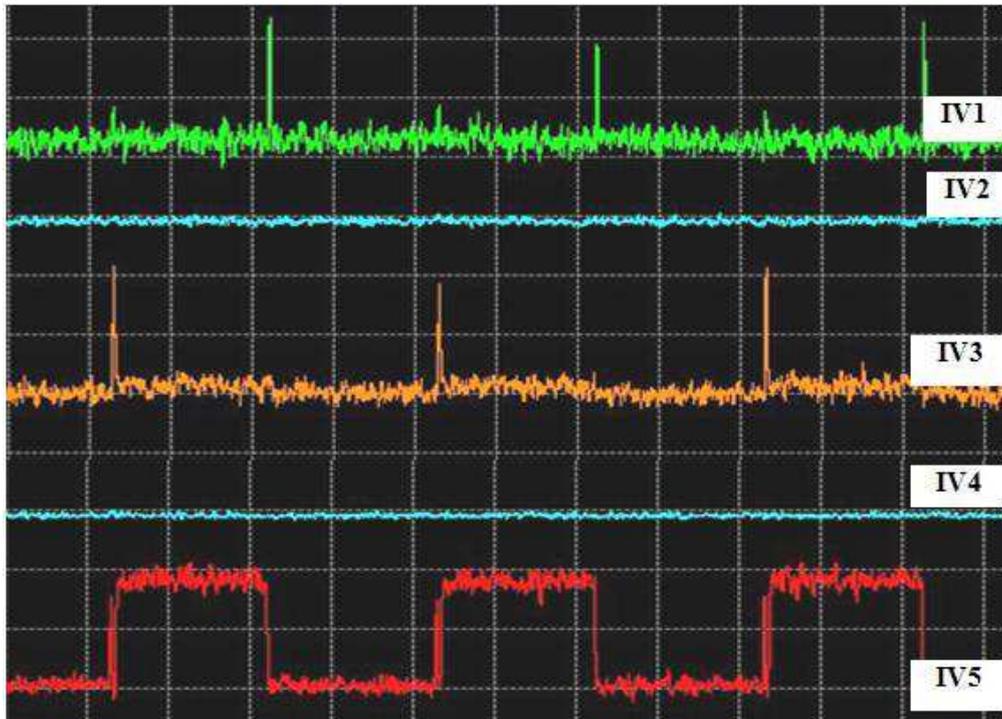
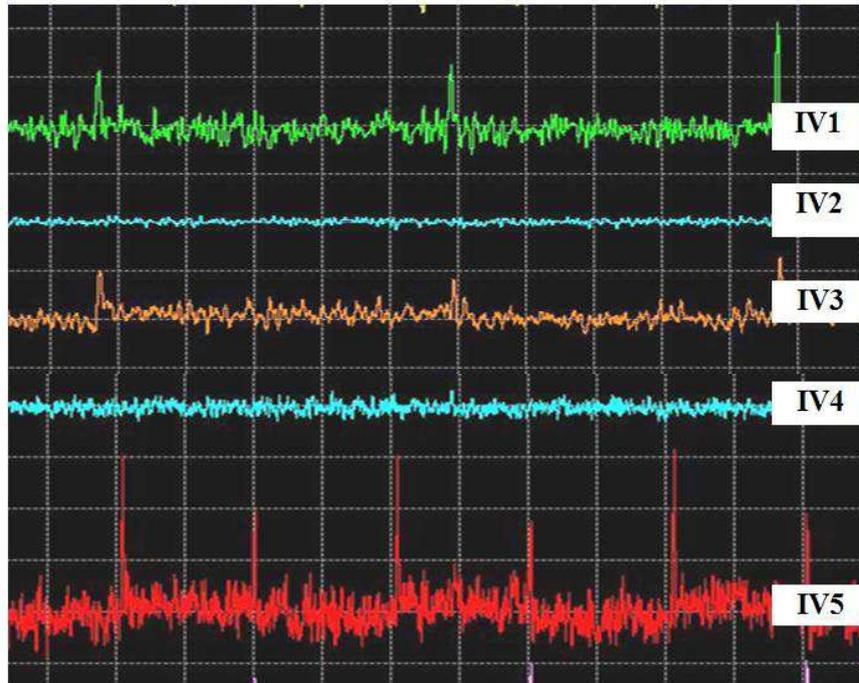


Figure 39 : Acquisition TRE sur les inverseurs de la chaîne avec un défaut bridge de 1K $\Omega$

Nous constatons que sur les inverseurs 2 et 4 nous n'avons pas de signal (comme en EMMI), cela est dû à la tension  $V_{DS}$  qui est trop basse. En effet, pour pouvoir avoir un signal sur ces transistors, il faudrait que la tension  $V_{DS}$  soit supérieure à la tension  $V_G - V_T$ . Ces deux transistors se retrouvent ainsi en mode linéaire et non en mode saturé. Par contre, sur l'inverseur 5, on voit un signal en créneau et non des pics de commutation, cela signifie que le canal est toujours pincé, expliquant ainsi la surémission observée dans la partie précédente sur cet inverseur.

### **4.2.2. Acquisition TRE sur défaut bridge de 10kΩ**

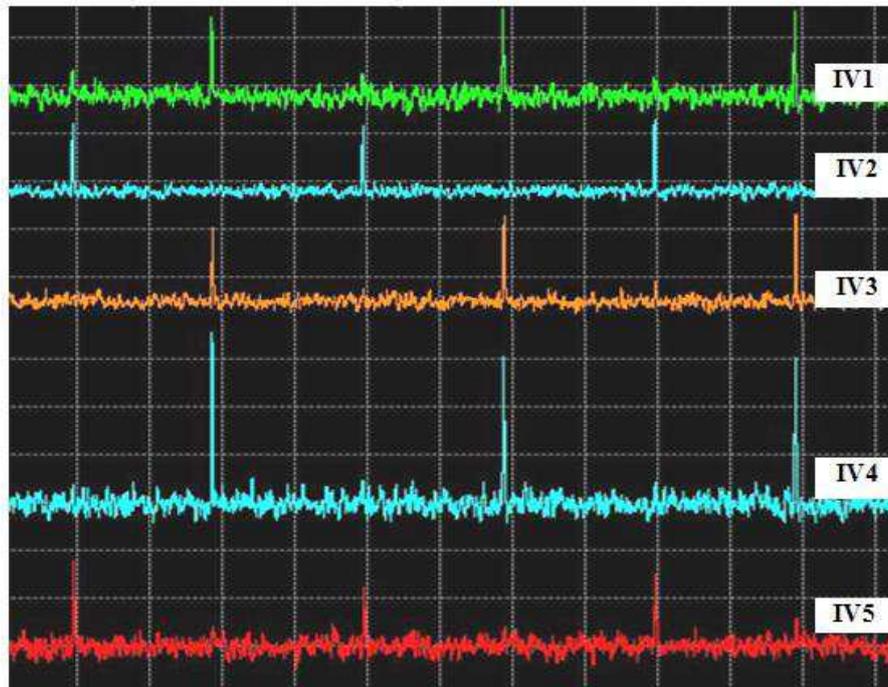
Sur la figure 40 sont représentés les résultats de l'acquisition TRE sur la structure bridge de valeur 10kΩ.



**Figure 40 : Acquisition TRE sur les inverseurs de la chaîne avec un défaut bridge de 10kΩ**

Les acquisitions TRE sur le bridge de 10KΩ nous permettent de confirmer les observations faites sur l'acquisition EMMI en cartographie et la simulation ELDO : pas de signal sur les inverseurs 2 et 4 du fait que la tension de drain source  $V_{DS}$  est trop proche de la tension  $V_G - V_T$ .

### **4.2.3. Acquisition TRE sur défaut bridge de 100k $\Omega$**



**Figure 41 : Acquisition TRE sur les inverseurs de la chaîne avec un défaut bridge de 100k $\Omega$**

Les acquisitions TRE sur le bridge 100k $\Omega$  nous montrent bien qu'une telle valeur de défaut n'affecte pas du tout le fonctionnement des chaînes d'inverseurs. Ces résultats sont tout à fait en accord avec les résultats obtenus lors des simulations et des acquisitions EMMI.

Les techniques EMMI en cartographie et en temporelle (TRE), mettent en évidence les conséquences du défaut bridge. L'outil de simulation nous a permis de faire l'interprétation des différentes signatures.

Malheureusement, on ne détecte que la conséquence de la défaillance sur les transistors mis en défaut. Ces 2 techniques ne sont donc pas suffisantes.

Les techniques de stimulations laser étant complémentaires aux techniques basées sur l'émission de lumière, nous allons maintenant regarder leurs comportements face à ce type de défaut.

## 4.3. Techniques de stimulation laser

Nous présenterons ici les résultats de la stimulation laser thermique obtenus sur les trois valeurs de défaut bridge étudié dans la partie précédente. Nous utiliserons cette technique dans le but d'avoir une information complémentaire sur la nature du défaut. Les paramètres de tests électriques sont identiques à ceux de la partie précédente.

### 4.3.1. Stimulation laser thermique sur défaut bridge de 1k $\Omega$

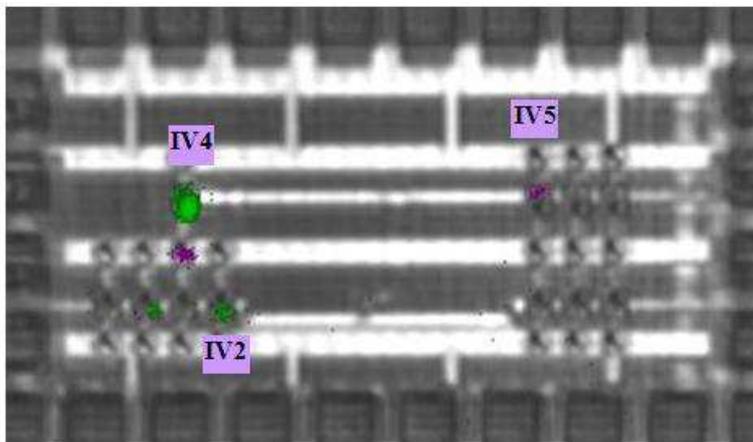
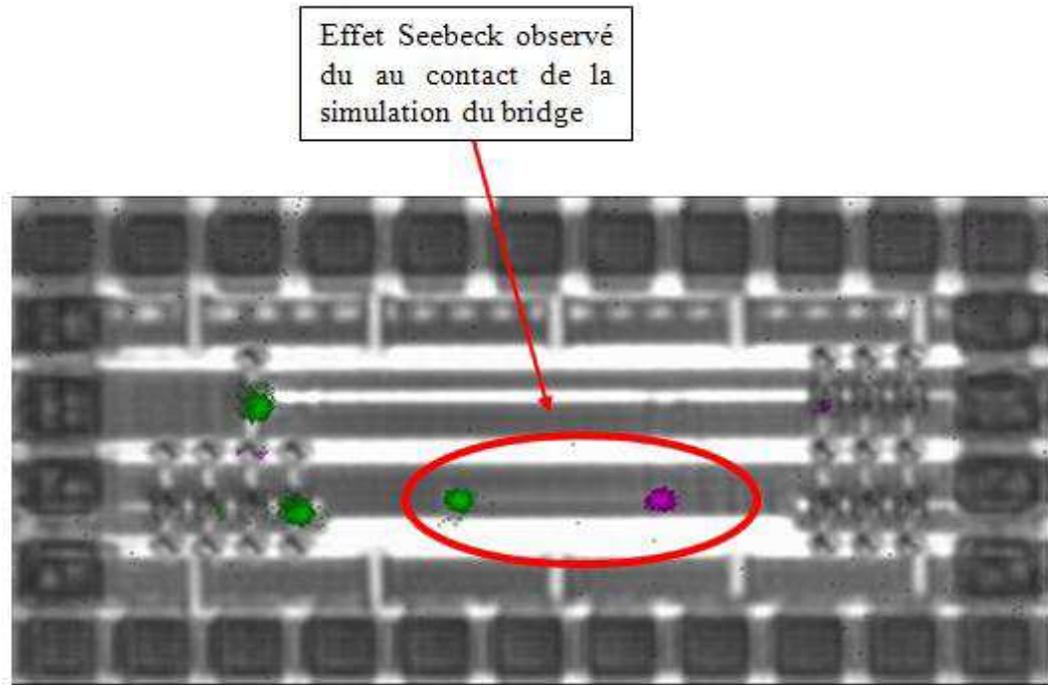


Figure 42 : Acquisition laser sur le défaut bridge de 1k $\Omega$

Cette première acquisition (Figure 42) a été faite sur le défaut bridge de 1k $\Omega$ , on peut observer que les inverseurs 2 et 4 (situés en amont du défaut bridge) sont sensibles aux stimulations lasers. Cela est dû au fait que ces transistors ne sont pas en mode saturé, mais en mode linéaire. Une légère perturbation introduite par le faisceau laser sur ces transistors va venir perturber leurs fonctionnements électriques.

### **4.3.2. Stimulation laser thermique sur défaut bridge de 10k $\Omega$**



**Figure 43 : Acquisition laser sur le défaut bridge de 10k $\Omega$**

Sur le défaut bridge de 10k $\Omega$ , nous avons les mêmes signatures que sur le défaut 1K $\Omega$ , les interprétations sont ainsi les mêmes.

Par contre, sur le défaut bridge de 100K $\Omega$ , nous n'obtenons aucune signature laser, car la valeur du défaut ne vient pas déséquilibrer la chaîne d'inverseurs.

Les techniques lasers ne permettent pas de localiser précisément le défaut. La simulation sur les courants de drain et les tensions de grille des transistors ont pu expliquer les différentes signatures.

## **5. Conclusion**

Comme nous venons de le montrer dans ce chapitre, chaque type de fautes modifie le comportement d'une structure de manière unique. Les signatures émissives et temporelles permettent de dévoiler et déterminer la nature du défaut.

Un des points les plus importants de ce chapitre est la méthodologie d'analyse qui en découle. En effet, il est essentiel que chaque étape d'une analyse confirme, infirme et isole les hypothèses de fautes relevées. En effet l'outil de simulation est incontournable pour expliquer les signatures obtenues sur la modélisation du défaut bridge.

Grâce à la simulation, on a bien compris les différentes signatures EMMI, TRE et de laser, ce qui nous permet d'avoir une très bonne interprétation du défaut. La localisation précise du défaut n'est cependant pas obtenue avec les techniques de localisation traditionnelles, même si les effets ont bien été compris.

Cette étude, a mis en évidence les limitations des techniques optiques de localisation de défaut, d'où la nécessité d'avoir une nouvelle technique de localisation optique.

Dans le chapitre suivant on introduira une nouvelle technique basée sur l'onde laser réfléchie qui est apparue sur le marché en 2010. Cette technique permettra la localisation des défauts de type bridge.



# **Chapitre III : Technique Laser Voltage Imaging et problématiques**



## **1. Introduction**

Dans le premier chapitre, nous avons présenté les techniques de localisation de défauts dites « traditionnelles » (EMMI, TRE, SLS, DLS). Par contre, aujourd'hui, ces techniques d'analyse de défaillances ne couvrent pas la totalité des défauts que l'on peut rencontrer dans nos circuits (cf. chapitre II). Avec la miniaturisation des technologies, il faut sans cesse faire évoluer nos techniques de localisation dans le but d'être sûr de couvrir un maximum de défaillances.

Dans le but d'avoir une meilleure couverture des défauts, des techniques optiques, basées sur l'onde laser réfléchi en mode mesure, sont apparues au début des années 2000. Le Laser Voltage Probing (LVP) en est un parfait exemple. Par extension, une nouvelle technique en mode image basée sur l'onde réfléchi a vu le jour en 2009 : le Laser Voltage Imaging (LVI) [KAS11] [KER07] [KER08].

Le but de ce chapitre est d'étudier cette nouvelle technique d'analyse de défaillances utilisant une approche « laser sonde ». Le laser est alors utilisé comme vecteur de l'information, les caractéristiques optiques du faisceau réfléchi (ou transmis) par le circuit sont analysées, le circuit intégré en fonctionnement vient modifier ces caractéristiques optiques. Les techniques lasers, dites « sondes », sont fondées sur l'analyse de la réflexion d'un faisceau laser sur la surface active du composant [DLE96].

Nous allons présenter cette technique qui nous paraît intéressante pour localiser les défauts fonctionnels complexes en mode image. Nous démontrerons que cette technique apporte une amélioration dans l'interprétation du défaut bridge sans pour autant atteindre l'objectif fixé qui est la localisation des nouveaux types de défauts « soft fail ». Pour cela des améliorations devront être envisagées.

Dans une première partie, nous présenterons le principe du LVI, puis les applications et les limitations rencontrées de cette technique.

## **2. Technique d'analyse laser par imagerie fréquentielle**

La technique Laser Voltage Imaging (LVI) est une nouvelle technique d'analyse de défaillances qui nous permet de cartographier les fréquences à travers la face arrière du circuit. Le laser (de longueur d'onde 1340nm) est directement focalisé au niveau de la zone d'active du circuit à travers la face arrière du composant.

Cette technique de localisation est basée sur la modification de l'absorption du faisceau laser par le matériau semi-conducteur. Pour cela, le faisceau laser est focalisé sur la face arrière du circuit à l'aide d'une lentille optique, et on analyse les variations des propriétés optiques du faisceau laser après son interaction avec le circuit.

### **2.1. Intérêt des techniques lasers**

Le test laser des circuits intégrés consiste à faire interagir un faisceau laser avec un circuit intégré. L'intérêt majeur des techniques employant un faisceau laser réside dans leurs grandes résolutions.

De nombreuses « techniques lasers » ont été développés dans le but d'évaluer la qualité et la fiabilité des composants microélectroniques. Ces techniques sont basées sur deux principes de base :

- Approche pompe : l'interaction d'un faisceau laser avec un circuit induit des perturbations électriques sur ce dernier (cf. Chapitre I).
- Approche sonde : les variations des propriétés physiques internes d'un circuit induites par une perturbation modifient ses propriétés optiques.

Les analyses s'appuyant sur ces deux principes peuvent être regroupées en trois types, appelés analyses de type pompe, sonde, et pompe - sonde.

Dans la partie suivante, on focalisera l'étude sur l'approche de type sonde, car c'est ce principe qui est utilisé dans la technique LVI.

## 2.2. Principe de l'approche sonde

Dans cette partie, nous allons nous intéresser à l'interaction laser-circuit intégré. Comme présenté dans le chapitre I, l'onde laser peut être utilisée comme élément actif d'analyse des circuits, elle a également la faculté de pouvoir "lire" l'état du composant en mode sonde.

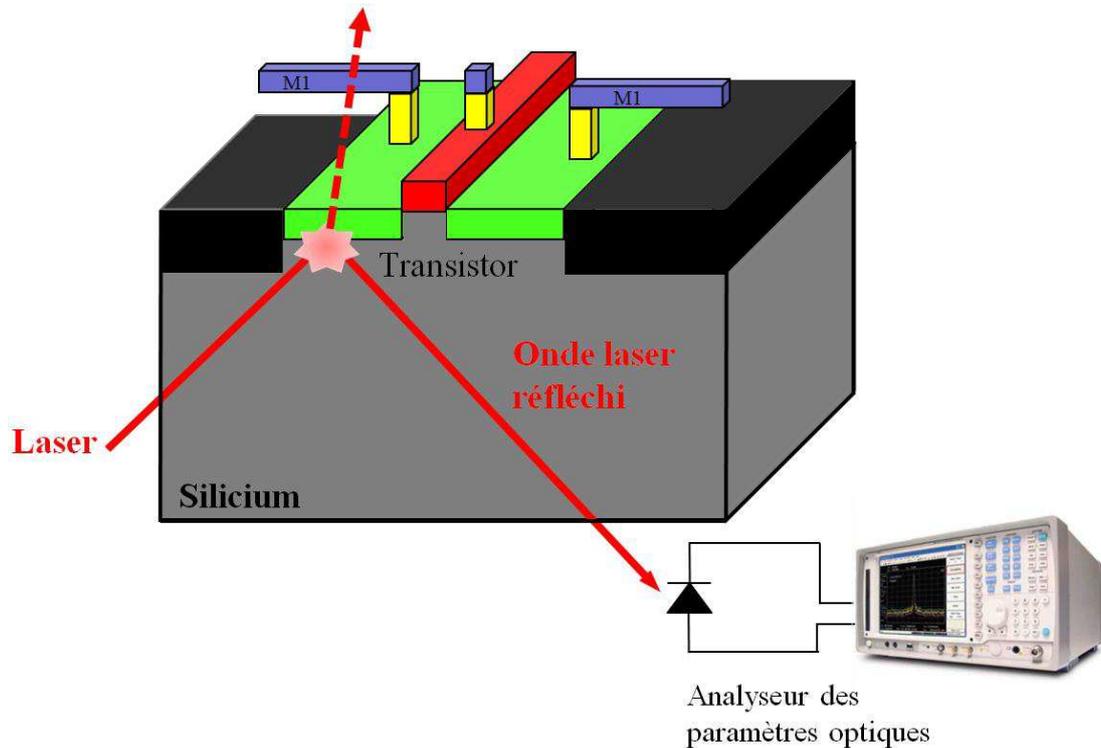


Figure 44 : Illustration du principe laser en mode sonde

Le schéma de la figure 44 illustre le principe de l'approche sonde. Le faisceau laser est focalisé à l'aide d'une lentille optique sur la face arrière du circuit sous test. Le faisceau réfléchi est ensuite analysé à l'aide d'un dispositif photo-détecteur. Le circuit intégré est excité électriquement, ce qui induit au niveau de ses zones actives une modification des paramètres physiques, comme par exemple, l'indice de réfraction optique. Il en résulte une modification des paramètres de l'onde réfléchie. Plusieurs paramètres du faisceau laser réfléchi sont susceptibles d'apporter des informations : l'amplitude, la phase, la fréquence, la polarisation, et la direction.

La mise en œuvre des techniques sonde s'avère souvent plus complexe que celle des techniques pompe, car les variations de l'onde laser réfléchie sont faibles (par

exemple, la variation relative du coefficient de réflexion optique  $\Delta R/R$  en fonction de la température est typiquement de l'ordre de  $10^{-4}$  pour des interconnexions en aluminium [Qui95], et l'emploi de détection synchrone est souvent requis.

Dans cette approche, le circuit est la source de perturbation induisant des modifications des paramètres physiques de l'onde laser réfléchi. L'onde laser, à travers ces paramètres, prélève donc localement des informations sur les mécanismes perturbateurs : elle joue le rôle de sonde, le composant jouant le rôle de source d'énergie.

Comme nous le verrons par la suite, il existe des variantes de l'approche sonde.

Les principaux instruments qui ont été développés s'intéressent à l'analyse de la réflexion ou de la transmission spéculaires, c'est-à-dire des faisceaux lumineux réfléchis ou transmis en respectant les lois de Descartes. Il existe ainsi deux grandes techniques utilisant les propriétés du mode sonde, on retrouve le Laser Voltage Probing (LVP) et le Laser Voltage Imaging (LVI). Le LVP nous permet de venir mesurer les signaux en interne aux niveaux transistors par la face arrière tandis que le LVI nous permet de cartographier les fréquences présentes toujours aux niveaux transistors. Dans ce chapitre nous allons nous intéresser principalement à l'étude de la signature LVI.

## **2.3. La technique Laser Voltage Imaging (LVI)**

Dans la partie précédente, on a montré qu'il existait deux types d'approches possibles dans les techniques lasers : pompe (cf. chapitre 1) et sonde.

Dans cette partie on va étudier la technique Laser Voltage Imaging (LVI) qui utilise les propriétés laser en mode sonde dans le but de cartographier les fréquences présentes dans le circuit.

### **2.3.1. But de la technique LVI**

Commercialisée dans les années 2009, le LVI est une nouvelle technique d'analyse basée sur l'onde laser réfléchi. Les techniques de type sonde ne sont pas encore largement utilisées dans les laboratoires industriels d'analyse de défaillance, car elles

sont délicates à mettre en œuvre et leurs interprétations ne sont, en général, pas triviales.

Le but de cette technique est de cartographier les fréquences présentes au niveau des zones actives des transistors. Le principe du LVI sur un inverseur CMOS est illustré en figure 45.

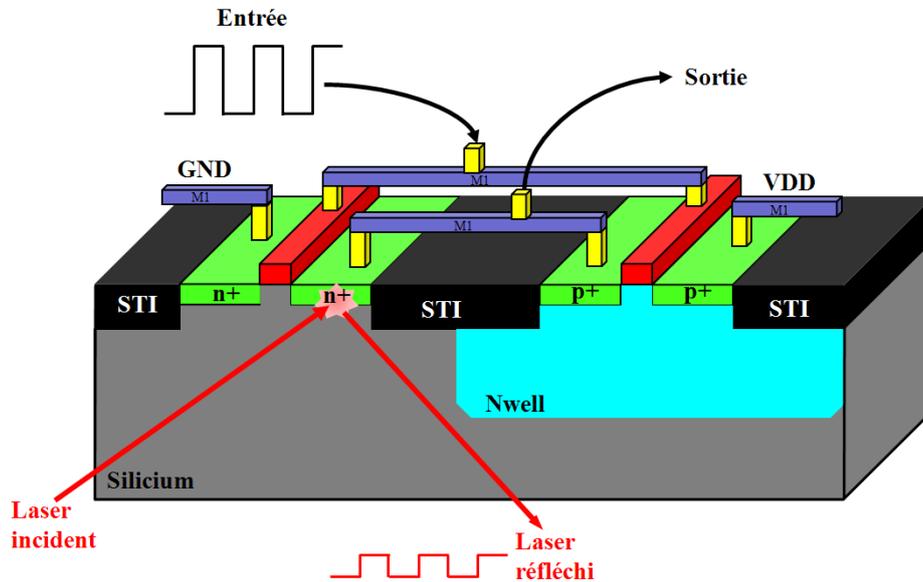


Figure 45 : Illustration de la technique LVI sur un inverseur

### 2.3.2. Mécanismes de perturbation de l'onde laser réfléchie

L'excitation électrique du circuit se traduit par une modification au sein d'un circuit intégré du potentiel électrique, associée à la circulation d'un courant électrique. Ces deux paramètres, liés directement au champ électrique et au champ magnétique, induisent des perturbations au sein du matériau qui se traduisent directement ou indirectement par des modifications des paramètres optiques. Il convient de prendre aussi en compte la puissance électrique comme origine de la perturbation.

La technique LVI est une dérivation de la technique « Laser Voltage Probing » développée dans le milieu des années 1980 par Harley Heinrich [HEI87]. Le but de cette technique est de venir analyser la modulation d'amplitude de l'onde laser réfléchie pour en déduire le signal présent (à l'aide d'un faisceau laser 1064nm

impulsionnel). Avec le LVI, on utilisera un laser continu de longueur d'onde 1340 nm pour éviter les effets invasifs d'un laser 1064nm sur le circuit sous test.

Le laser à 1340nm étant peu énergétique (voir chap I), on négligera les effets d'absorption dus à la génération de paire électron trou. En effet, à cette longueur d'onde l'énergie du photon est largement plus faible que l'énergie du band gap du silicium.

Il existe plusieurs effets modulant l'onde laser réfléchi. On retrouve les effets d'électro-absorption, plus communément appelé effet Franz Keldish, ainsi que l'électro-réfraction qui apparait lorsque le champ électrique est plus grand que  $10^5$  V/cm. Mais, ce dernier effet est négligeable pour une longueur d'onde laser de 1340nm. A cette longueur d'onde, les principaux effets sur l'onde laser réfléchi sont l'absorption et la réfraction dues aux porteurs libres [BRU99, SOR87].

Le changement du coefficient d'absorption ainsi que l'indice de réfraction du silicium (due à la présence de porteurs libres) sont calculables comme ci-dessous [SOR87] :

$$\Delta n = n_0 - \sqrt{n_0^2 - \frac{(\lambda q)^2}{4(\pi c_0)^2 \epsilon_0} \left[ \frac{\Delta N_e}{m_e} + \frac{\Delta N_h}{m_h} \right]} \quad \text{Equation III.1}$$

$$\Delta \alpha = \frac{\lambda^2 q^3}{4\pi^2 c_0^3 \epsilon_0 n_0} \left[ \frac{\Delta N_e}{m_e^2 \mu_e} + \frac{\Delta N_h}{m_h^2 \mu_h} \right] \quad \text{Equation III.2}$$

Avec respectivement,  $\Delta n$  et  $\Delta \alpha$  les changements d'indices de réfraction et du coefficient d'absorption,  $n_0$  est l'indice du silicium non dopé  $q$  est la charge de l'électron,  $\lambda$  est la longueur d'onde,  $\epsilon_0$  est la permittivité du vide,  $c_0$  est la vitesse de la lumière dans le vide,  $\mu$  est la mobilité,  $m$  est la masse effective, et  $\Delta N$  sont les changements de densités des porteurs libres. Les indices  $h$  et  $e$  représentent respectivement les trous et les électrons.

### 2.3.3. Les effets de perturbations de l'onde laser réfléchi dans la mesure LVI

Comme décrit dans la partie précédente, la réflectance d'une structure peut être calculée par les indices de réfraction et d'absorption. Dans cette partie, on va s'intéresser à ces effets qui viennent modifier ces indices optiques. Les effets principaux sont les effets de Franz Keldish et les effets des porteurs libres (appelé en anglais « free carrier »)

#### **2.1.1.1.Effets de Franz Keldish ou électro absorption**

Ce sont Franz [Fra58] et Keldysh[Kel58] qui, en 1958, ont développé de manière indépendante la théorie des transitions optiques interbandes dans les semi-conducteurs en présence d'un champ électrique [Kel64] [Wil60] [Pan71]). Le changement d'absorption est principalement causé par une réduction de l'énergie du band-gap. Pour des photons d'énergie supérieure au gap, le champ électrique peut induire soit une augmentation soit une diminution du coefficient d'absorption du matériau suivant l'énergie du photon donnant lieu à une oscillation sur le spectre d'absorption du matériau appelée « Oscillation Franz-Keldysh ».

Le spectre d'électro absorption dans le silicium a été mesuré par Wendland et Chester. La figure ci-dessous montre ce spectre [WC65]

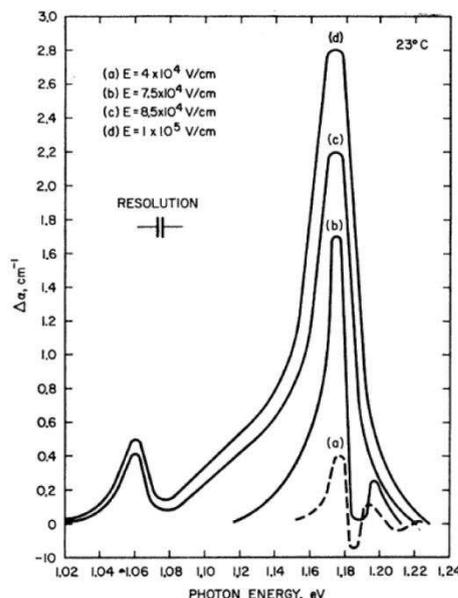


Figure 46 : Spectre d'électro absorption dans le silicium [WC65]

Le graphe nous montre deux pics majeurs à une énergie de photons de 1,175eV (correspondant à 1055nm) et une à 1,06eV (Correspond à une longueur d'onde laser de 1170nm).

### **2.1.1.2.Effets des porteurs libres « free carrier »**

L'effet de « free carrier » décrit le changement d'indice de réfraction et du coefficient d'absorption dans le silicium selon la densité des porteurs libres (free carrier). En plus des porteurs libres présents dans les dispositifs semi-conducteurs naturellement, on peut injecter (+ΔN) en appliquant un champ électrique au dispositif.

#### **2.1.1.2.1. L'absorption due aux porteurs libres**

Le changement du coefficient d'absorption causé par les porteurs libres. Ce coefficient peut être calculé par l'équation ci-dessous :

$$\Delta\alpha = \frac{\lambda^2 q^3}{4\pi^2 c_0^3 \epsilon_0 n_0} \left[ \frac{\Delta N_e}{m_e^2 \mu_e} + \frac{\Delta N_h}{m_h^2 \mu_h} \right]$$

$n_0$  est l'indice du silicium non dopé  $q$  est la charge de l'électron,  $\lambda$  est la longueur d'onde,  $\epsilon_0$  est la permittivité du vide,  $c_0$  est la vitesse de la lumière dans le vide,  $\mu$  est la mobilité,  $m$  est la masse effective, et  $\Delta N$  sont les changements de densités des porteurs libres. Les indices h et e représentent respectivement les trous et les électrons.

Soref et Benett ont ainsi étudié les effets des free carriers dans le silicium. Les auteurs ont ainsi collectés les spectres d'absorption de 0,001 à 2,8eV pour les électrons (e) et les trous (h) [SOR87]. Les graphes de ces spectres sont présentés dans les figures ci-dessous :

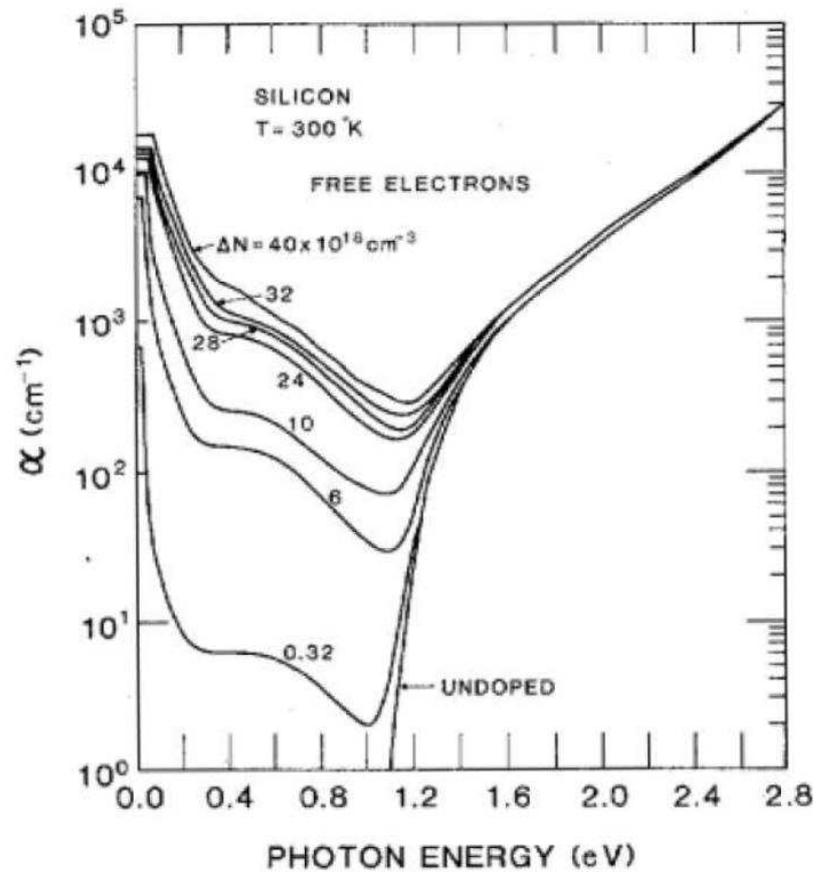


Figure 47 : Spectre d'absorption optique dans le silicium montrant l'influence de la concentration des électrons libres [SB87]

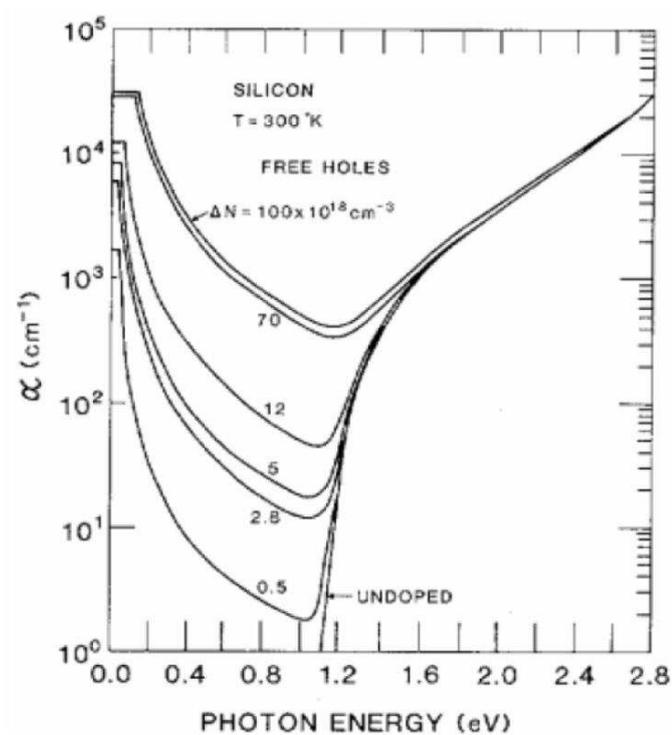


Figure 48 : Spectre d'absorption optique dans le silicium montrant l'influence de la concentration des trous libres [SOR87]

### 2.1.1.2.2. La réfraction due aux porteurs libres

Le changement du coefficient de réfraction ( $\Delta n$ ) dû aux porteurs libres ( $\Delta N$ ) est calculé comme ci-dessous (voir en annexe pour le développement de l'équation) :

$$\Delta n = n_0 - \sqrt{n_0^2 - \frac{(\lambda q)^2}{4(\pi c_0)^2 \epsilon_0} \left[ \frac{\Delta N_e}{m_e} + \frac{\Delta N_h}{m_h} \right]}$$

L'indice de réfraction est extrait de l'indice d'absorption donné par Soref et Benett. Les figures 49 et 50 montrent la variation de l'indice de réfraction en fonction de la longueur d'onde. La figure 51 montre l'indice de réfraction en fonction de la concentration des trous et des électrons pour une longueur d'onde de 1300nm.

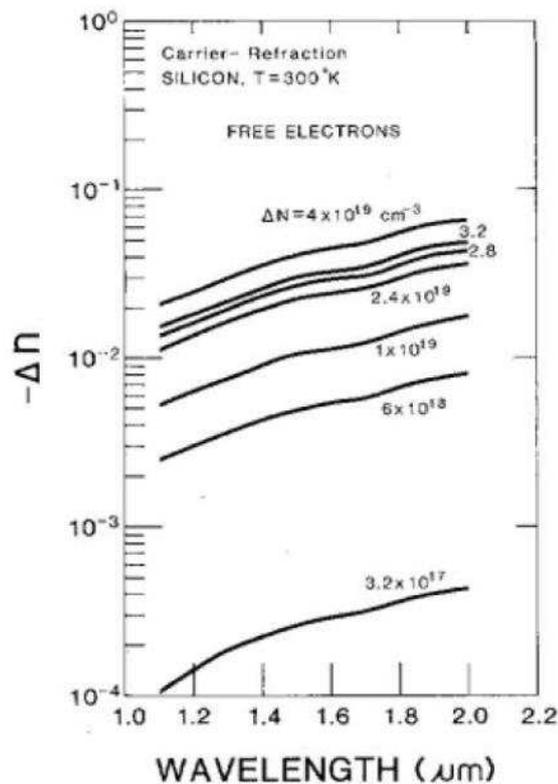


Figure 49 : Indice de réfraction pour différentes valeurs de concentration d'électrons [SOR87].

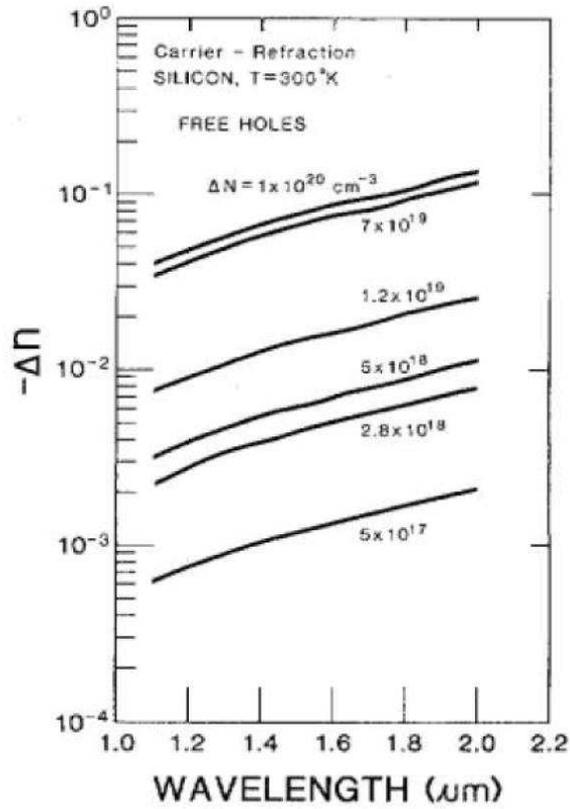


Figure 50 : Indice de réfraction pour différentes valeurs de concentration de trous [SOR87].

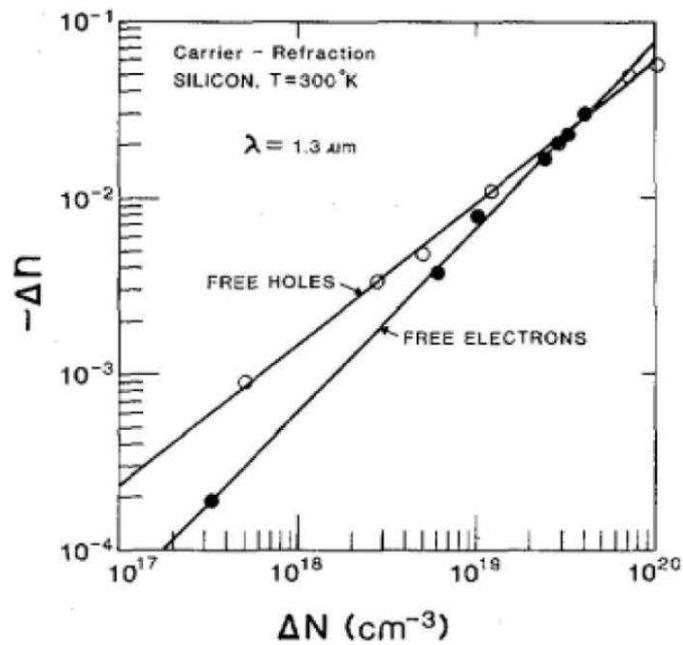


Figure 51 : Réfraction des porteurs libres en fonction de leurs concentrations [SOR87].

### 2.3.4. Principe de la mesure LVI

En pratique, un faisceau laser continu est envoyé au travers du substrat vers une zone active du composant. En parvenant au niveau de cette zone active le faisceau est modulé par l'activité des transistors, une partie du faisceau est réfléchié par les métallisations puis retraverse le substrat. Ce faisceau réfléchi est ensuite capturé par une photodiode rapide puis analysé à l'aide d'un analyseur de spectre. Ainsi une cartographie LVI (en niveau d'intensité) nous est donnée comme représenté sur la figure 52 :

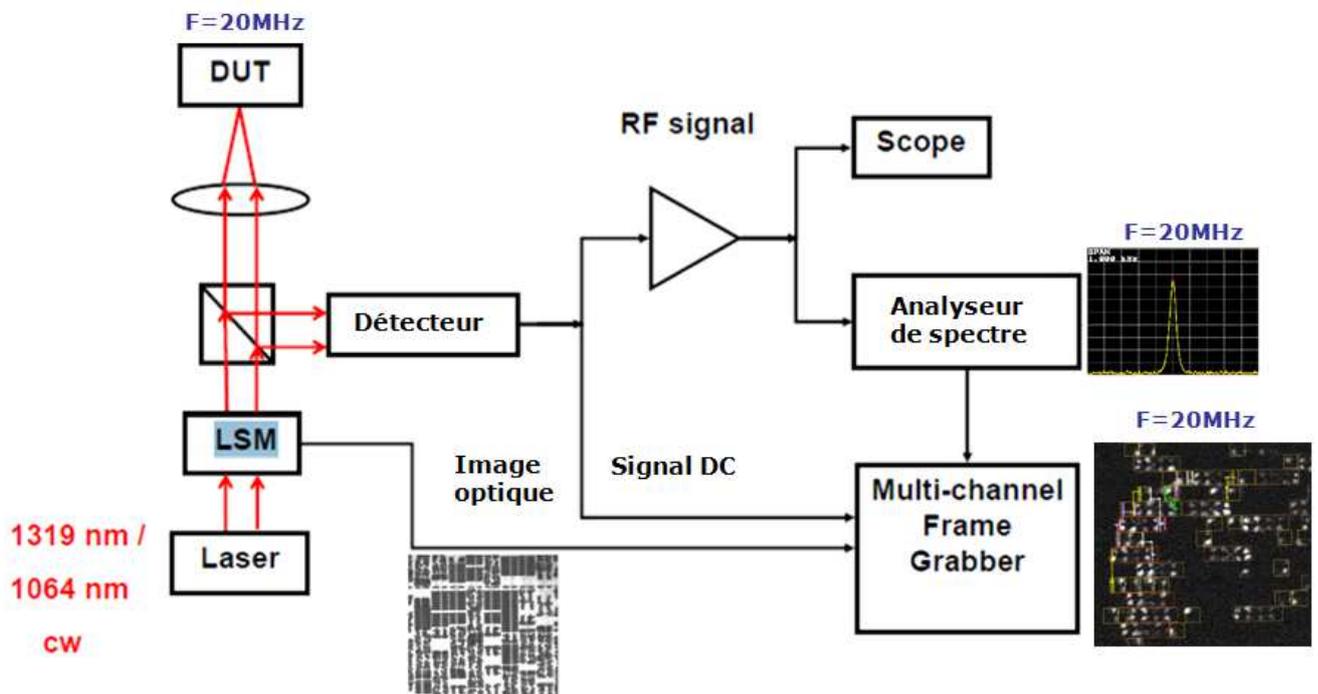


Figure 52 : Principe de la mesure LVI

Le faisceau laser modulé est alors réfléchi puis converti en signal électrique (modulé aussi) par le module détecteur. Ce module est constitué d'une photodiode, d'amplificateur d'impédance et d'amplificateurs RF. Puis le signal électrique modulé est envoyé dans l'analyseur de spectre pour analyse.

L'analyseur de spectre reçoit le signal électrique modulé par l'activité des transistors, la sortie de l'analyseur est un signal électrique qui est proportionnel à l'intensité de la modulation détectée. Ce signal est alors converti en niveau de gris par la carte vidéo du système pour donner une image LVI.

Grâce à l'analyseur de spectre nous pouvons discriminer les différentes fréquences. En pratique, on vient positionner l'analyseur sur la fréquence que l'on veut analyser, le faisceau laser vient balayer la zone d'intérêt, la fréquence est cartographiée si la modulation du signal réfléchi contient la composante de la fréquence d'intérêt dans le domaine fréquentiel.

L'intensité du faisceau laser réfléchi est, non seulement fonction de l'épaisseur de silicium de l'échantillon analysé, mais aussi de la modulation apportée par le changement d'état des transistors.

Son intensité varie selon que la zone testée est soumise à une tension plus ou moins grande du fait de la variation du champ électrique local.

L'interprétation des résultats de cette technique est cependant rendue difficile par l'action de différentes sources de perturbations liées à la technologie sub-micrométrique des circuits. Il est par exemple attendu que la présence de nouveaux matériaux, de très fortes densités de dopage ou que l'échauffement du composant en cours d'utilisation soient susceptibles d'agir en parallèle sur l'intensité de l'onde réfléchi LVI.

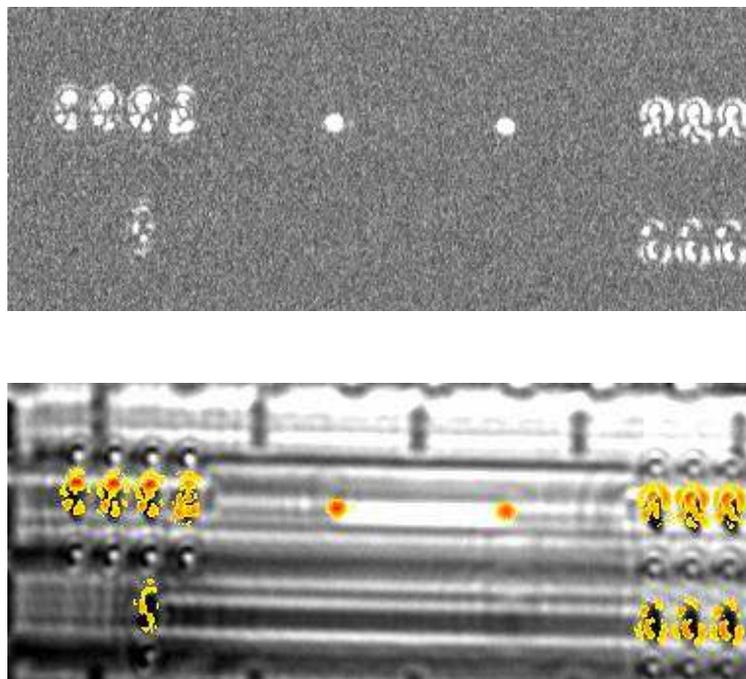
La partie suivante va s'intéresser à deux études de cas LVI qui permettra de valider la potentialité : une étude sur le défaut bridge et une seconde étude sur l'étude de l'intégrité d'une chaîne à registre à décalage en 28nm.

### 3. Applications

En raison de la complexité des circuits et de la diminution de la tension d'alimentation, les techniques de localisation traditionnelles deviennent de plus en plus « obsolètes » (notamment l'EMMI). Dans cette partie, nous allons montrer les avantages et les limitations de l'utilisation de la technique LVI à travers deux cas d'études. Le premier sera l'étude LVI sur le cas du défaut Bridge présenté dans le chapitre précédent (Chapitre II), puis la seconde étude montrera la localisation d'une rupture de signal dans une chaîne à registre à décalage.

#### 3.1. Cas d'étude défaut bridge en 45nm

Dans ce premier cas d'étude, reprenons la problématique du chapitre précédent sur la structure défaut bridge : les techniques de localisation traditionnelles mettaient en évidence que les défauts de type bridge n'étaient pas localisables avec les techniques « traditionnelles ».



**Figure 53 : Mesure LVI sur structure défaut bridge à 10 MHz**

Sur la figure 53 est représentée l'acquisition LVI sur la structure bridge présentée dans le chapitre présent. Un signal d'horloge à 5MHz avec un rapport cyclique de 50% est appliqué à l'entrée de la structure. La tension d'alimentation est fixée à 1,1V qui est la valeur typique pour la technologie 45nm.

Cette cartographie nous donne l'information des zones fonctionnant à la fréquence de l'horloge, qui sont les zones actives des transistors. Par contre, nous obtenons deux points au niveau de la simulation du défaut bridge (l'étude de ce phénomène parasite sera étudiée dans le chapitre suivant). Ainsi, la technique LVI ne nous donne pas la localisation précise du défaut bridge mais juste les zones des transistors fonctionnement à la fréquence cartographiée.

On verra dans le prochain chapitre qu'il sera possible de cartographier seulement le chemin de défaillance en modifiant légèrement le circuit sous test.

### **3.2. Localisation LVI dans une chaîne de registre à décalage (FF)**

Ce second cas d'étude, est un défaut dans une chaîne à registre à décalage (Flip Flop, FF) en technologie 28nm. Le défaut observé est un défaut de type « soft fail » à VDD min. La signature du défaut est un collage à 0, qui est représentatif d'un défaut de transition dans la chaîne de registre. Tout d'abord, les techniques EMMI et Lasers ont été effectuées sur ce cas d'analyse et n'ont pas permis de faire une hypothèse de défaut fiable. La défaillance n'est pas reliée à une fuite, ainsi une dégradation temporelle sur un des signaux est suspectée.

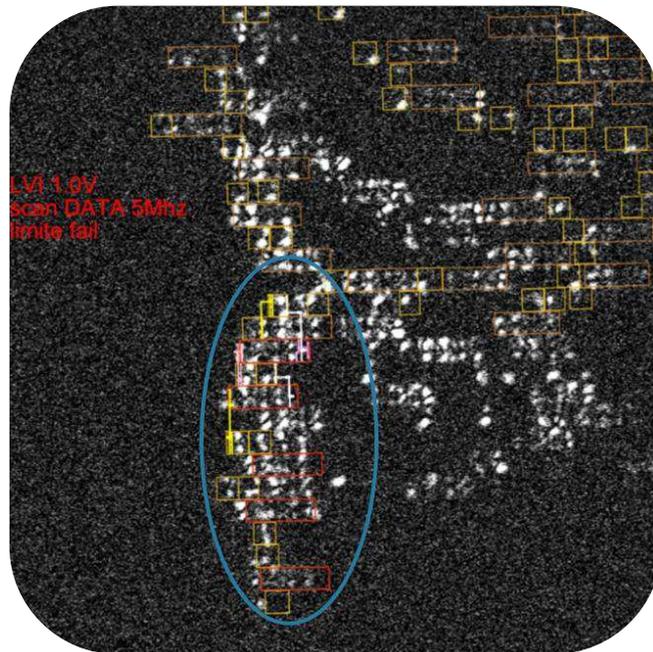
C'est pour cette raison que nous allons utiliser la technique LVI dans le but de cartographier si tous les signaux sont bien présents dans la chaîne de registre.

le défaut de type « soft fail » à VDD min est caractérisé par deux fonctionnements différents :

- Un fonctionnement correct à VDD nominal (1V),
- Un fonctionnement défaillant à VDD min (0,9V).

C'est deux types de fonctionnement vont être exploré dans l'étude LVI qui suit. Le défaut est suspecté sur la chaîne du signal de données. Nous allons cartographier ce

signal à 5MHz dans les deux modes de fonctionnement définis ci-dessus. Les résultats LVI sont présentés sur les figures 54.



**Figure 54 : Acquisition LVI sur le signal de donnée à 1V**

La figure 54, montre l'acquisition LVI sur le signal de données avec une tension d'alimentation à 1V (pas de défaut détecté à cette tension). La cartographie montre que l'activité du signal de données est identique sur chaque Flip Flop dans la zone d'intérêt définie par le cercle bleu.

Maintenant nous allons nous placer le circuit dans le mode défaillant à VDD min (0,9V).

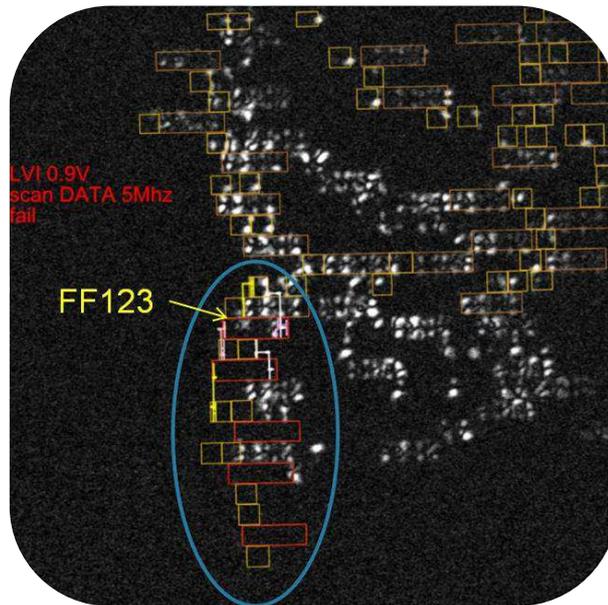


Figure 55 : Acquisition LVI sur le signal de donnée à 0,9V

Sur la figure 55, nous avons effectué la même acquisition que sur la figure 55 en diminuant la tension d'alimentation dans le but de se mettre dans le mode défaillant. Nous observons qu'à partir de la FF123 le signal de donnée est stoppé. Cela signifie que le signal ne se transmet pas à travers cette FF à VDD min. La figure 56 présente un zoom sur cette zone pour voir si nous n'avons pas des informations complémentaires.

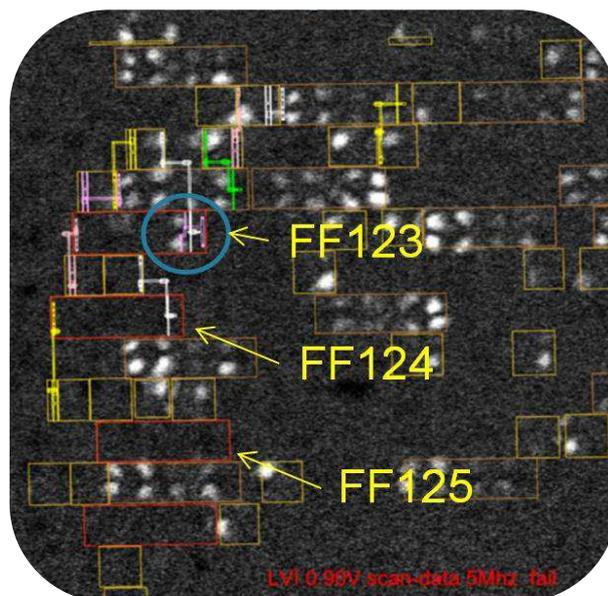


Figure 56 : Acquisition LVI sur le signal de donnée à 0,9V, zoom sur la zone d'intérêt.

Sur la figure 56, nous pouvons voir quelques informations intéressantes sur le fonctionnement de la FF123 diagnostiqué défaillante lors de la précédente acquisition LVI.

Le signal de données est bien stoppé sur la FF123. Par contre, nous voyons bien que le FF capture bien le signal (cercle bleu sur la figure 56) et nous n'avons pas de signal sur l'étage de sortie de la FF (située à gauche de la FF123).

Grâce à la technique LVI, nous pouvons dire que la défaillance se situe dans le FF123, entre l'étage d'entrée et l'étage de sortie. Cet exemple sera repris dans le chapitre V pour aller plus loin dans l'analyse.

## **4. Conclusion**

Comme nous l'avons signalé dans le premier chapitre, l'émission de photons diminue exponentiellement avec les tensions d'alimentation (VDD). Pour de faibles tensions VDD (au-dessous de 1V), la probabilité d'émission en faveur du signal réel attendu est donc très faible.

Pour repousser encore plus loin ces limites, une nouvelle technique d'analyse a été introduite sur le marché : la technique LVI.

Nous avons montré que cette technique était très efficace pour venir cartographier et dissocier les différentes fréquences présentes dans les circuits.

Dans la dernière partie nous avons présenté deux cas d'applications, un défaut bridge et un défaut de rupture de signal dans une chaîne de FF. Grâce à la technique LVI nous n'avons pas pu venir localiser précisément la zone en défaut.

C'est pour cela que nous devons développer de nouvelles méthodologies utilisant les propriétés de l'onde laser réfléchie dans le but de pouvoir couvrir ces nouvelles problématiques.

Ces problématiques vont être abordées dans les chapitres suivants, le quatrième chapitre traitera de la problématique du défaut bridge, une nouvelle technique sera introduite dans le but de dissocier la signature thermique de la signature LVI. Et le dernier chapitre traitera de la problématique de la rupture de signal vue à la fin de ce chapitre.



# **Chapitre IV: Améliorations du LVI.**

## **Imagerie fréquentielle par thermoréfectance**



## 1. Introduction

Dans le chapitre précédent, on a montré les propriétés et la valeur ajoutée de la technique LVI dans la recherche et la localisation de défauts complexes.

On a démontré que même si la technique LVI apportait un plus non négligeable dans la recherche de défauts, elle ne permettait pas à elle seule de localiser d'une manière sûre et précise tous les types de défauts complexes.

De plus, sur la signature de la figure 1(cas présenté dans le chapitre précédent), il est étonnant de voir des signatures LVI sur des zones sans transistor (zone 1 et zone 2)

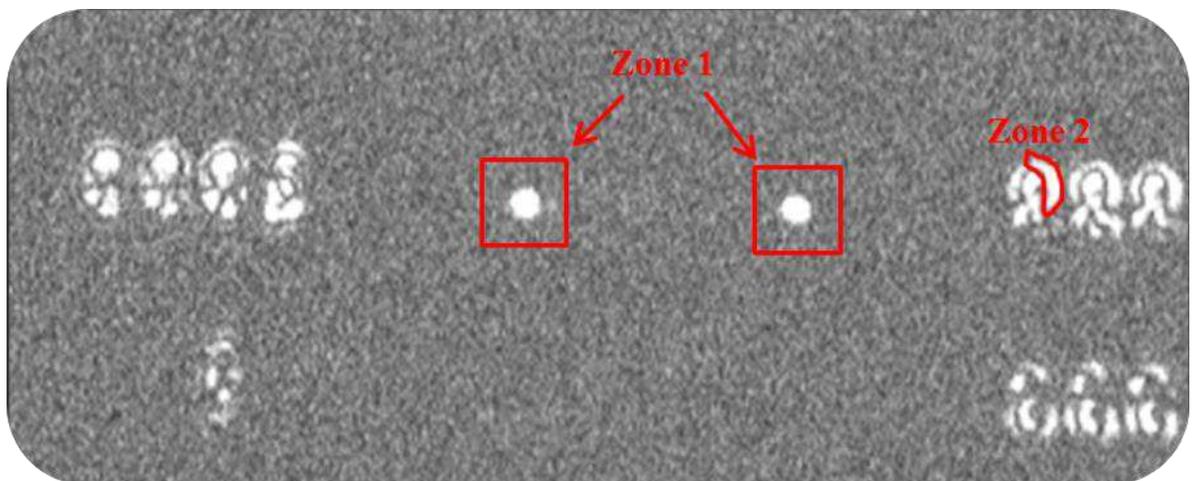


Figure 57 : Problématique signature LVI

Il est indispensable d'étudier cet effet « parasite » si on souhaite apporter des améliorations pertinentes à la technique LVI afin de localiser les défaillances dans les CI.

Ce chapitre sera donc consacré à cette étude. D'une part, nous montrerons que l'onde laser réfléchie est composée d'une signature due à la concentration des porteurs libres [KIN07] mais aussi d'une composante en thermoréfectance. D'autre part, nous utiliserons ces propriétés pour localiser les défauts dans les CI. Cette dernière amélioration a non seulement fait l'objet d'un brevet en 2011 (TFI), mais aussi de publications ISTFA 2011, 2012 / ESREF 2011. Enfin, nous appuierons cette démonstration sur un cas d'étude.

## **2. La thermoréfectance**

Le développement des techniques de thermoréfectance date des années 1970-80 [BIN82]. Le principe fondamental de la thermoréfectance est d'analyser la réflexion d'une onde lumineuse en fonction de la température de l'élément duquel part l'onde réfléchie.

La thermoréfectance est une méthode optique sans contact utilisant les variations locales de réflectivité induites par la chauffe de l'échantillon afin d'en déduire une mesure de la température. Elle peut être utilisée dans une large gamme de longueurs d'onde bien que la réflectivité dépende aussi du matériau et de la longueur d'onde. Dans cette partie nous allons nous intéresser à la thermoréfectance lors du fonctionnement statique des composants, c'est-à-dire dans le cas où un courant constant y est injecté.

### **2.1. Principe de la thermoréfectance**

Le principe de la thermoréfectance consiste dans la mesure de la variation relative du coefficient de réflexion, cette variation étant directement proportionnelle à la variation de température de la surface de l'échantillon étudié.

Une source lumineuse éclaire l'échantillon, qui est caractérisé par une température  $T_0$ . L'intensité réfléchie par l'échantillon est donnée en fonction de la réflectivité par :

$$\varnothing_R = R\varnothing_0 \qquad \text{Equation IV.1}$$

R étant la réflectivité de l'échantillon à la température  $T_0$ ,  $\varnothing_R$  étant l'intensité du faisceau réfléchi et  $\varnothing_0$  étant l'intensité du faisceau incident (figure 58)

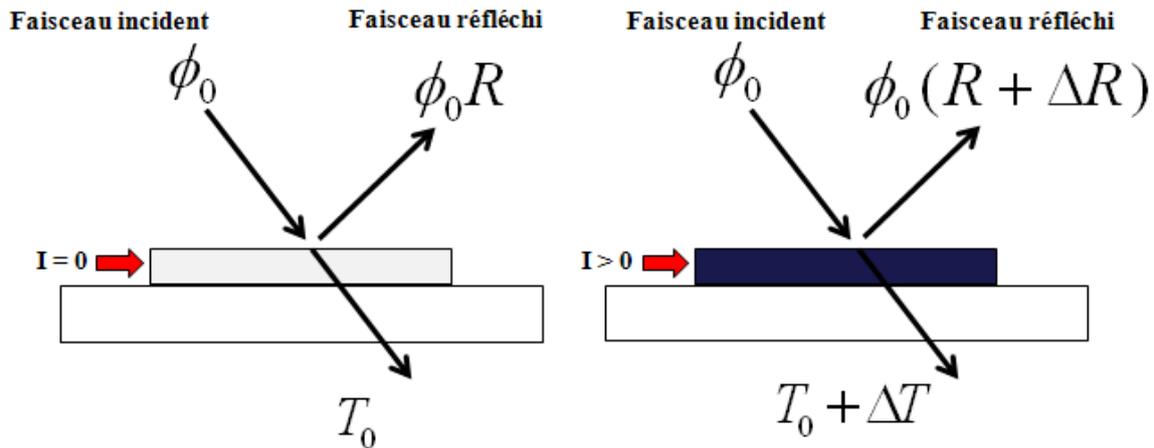


Figure 58 : Schéma de principe de la thermoréflectance

Quand la température de l'échantillon change due au passage d'un courant, la réflectivité du faisceau est modulée et devient :

$$R(T+\Delta T)=R+\Delta R \quad \text{Equation IV.2}$$

L'équation sur l'intensité du faisceau réfléchi donnée par (Eq. IV-01) devient :

$$\emptyset_{R+\Delta R} = (R + \Delta R)\emptyset_0 \quad \text{Equation IV.3}$$

La relation avec la réflectivité et la température est ainsi la suivante :

$$\Delta R = \frac{dR}{dT}\Delta T \quad \text{Equation IV.4}$$

Donc d'après l'équation EQ. IV-04, on note bien la relation entre la réflectivité et la variation de température du matériau, le coefficient de réflexion d'une surface dépend de sa température.

Dans le cas de l'analyse de défaillance, nous allons utiliser les propriétés de l'effet Joule pour créer une variation de température locale. Comme démontré précédemment, cette variation de température modulera le faisceau réfléchi et sera utilisé pour l'étude de thermoréflectance.

Cet effet est régit par l'équation suivante :

$$Q_{Joule} = RI^2 \qquad \text{Equation IV.5}$$

La réponse thermique est donnée par le coefficient de conductivité thermique du matériau. Ainsi, on aura un effet thermoréfectance différent si le faisceau rencontre du poly / Cu /Alu / W présents dans les puces électroniques.

## **2.2. Etude de la signature de thermoréfectance sur une ligne de cuivre**

Si l'on reprend la problématique de l'interprétation de la signature LVI de l'introduction, on voit un « effet parasite » dans l'acquisition de l'image LVI qu'il nous faut étudier. L'hypothèse la plus probable (due à l'absence de transistor) est qu'il y a un effet thermoréfectance.

Dans cette partie nous allons montrer une méthodologie que nous avons développée pour dissocier l'effet de thermoréfectance de la signature LVI. Pour montrer cela, on va étudier cette influence sur une structure plus simple.

### 2.2.1. Description de la structure

La structure utilisée pour cette étude est constituée de deux lignes de cuivre Métal 1 en parallèle, en technologie 45nm, avec les dimensions suivantes :  $L=100\mu\text{m}$ ,  $W=1\mu\text{m}$ ,  $H=0,25\mu\text{m}$  pour une valeur totale de 12,5 Ohms.

Une des deux lignes possède des dummies (structure qui permet d'assurer une densité uniforme sur la couche métallique) en polysilicium et l'autre n'en possède pas. La vue de la structure est représentée à la figure 59.

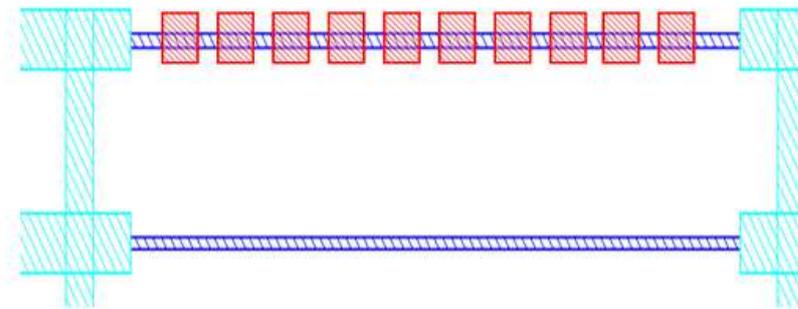


Figure 59 : Description de la structure de la ligne de cuivre

L'émulation électrique de cette structure est décrite dans la figure 60

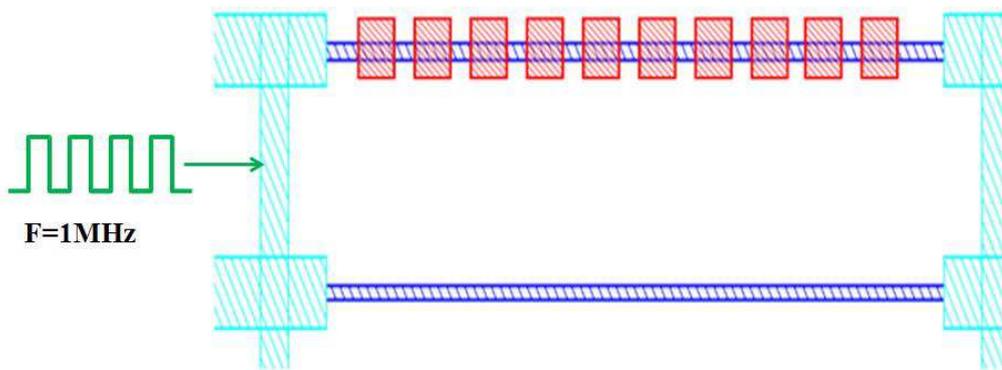
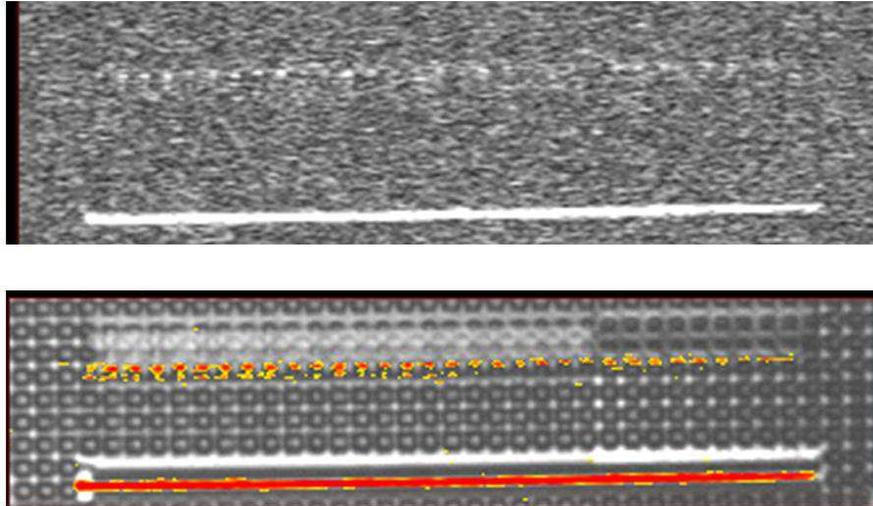


Figure 60 : Emulation électrique de la ligne de cuivre.

Le signal appliqué en entrée est une horloge (« clock ») à 1 MHz avec un rapport cyclique de 50%. La valeur de la tension haute est fixée à 1,1V, qui est la tension nominale pour la technologie 45 nm.

## **2.2.2. Résultats de l'acquisition LVI**



**Figure 61 : Signature de thermoreflectance sur la ligne de cuivre**

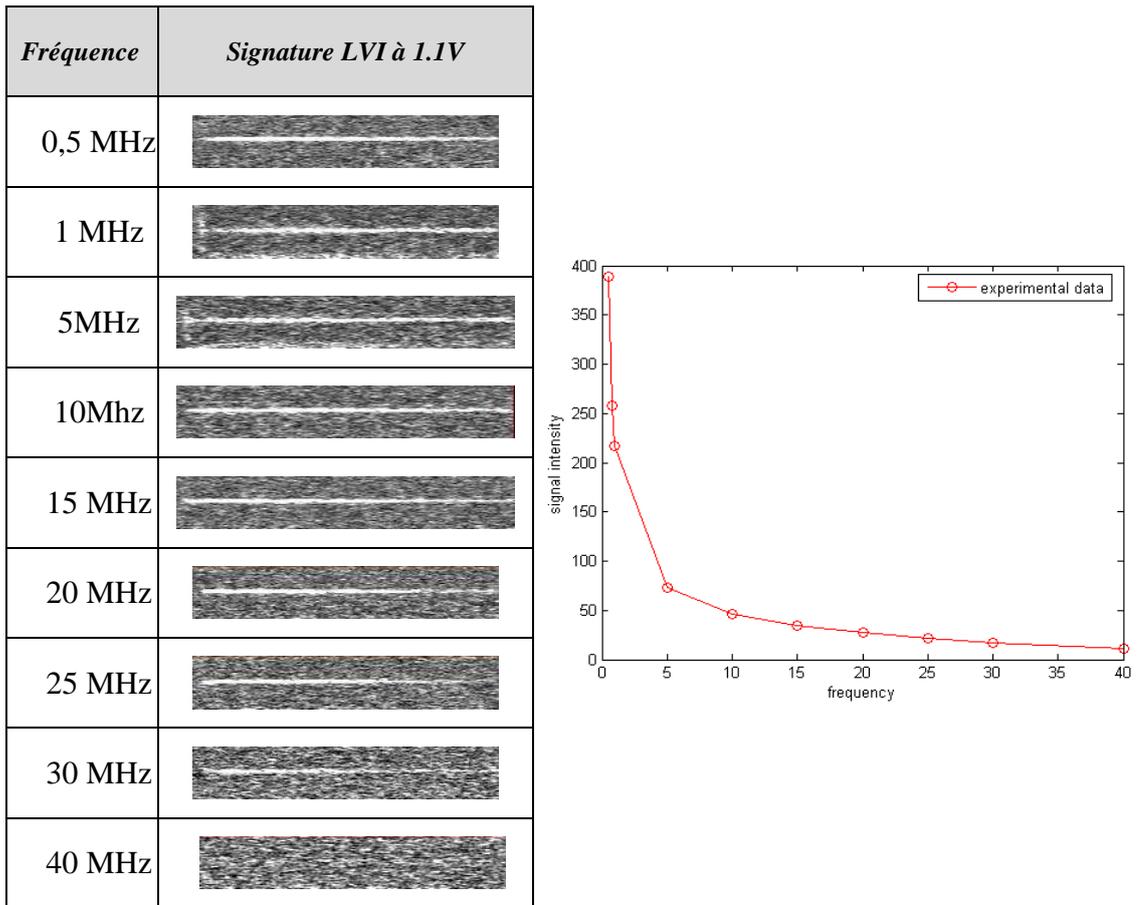
Sur la figure 61, nous observons une signature LVI sur les deux lignes de cuivre. D'après la théorie du LVI montrée dans le chapitre III, aucune signature ne devrait être détectée sur ce type de structure, car il n'y a aucun transistor. Dans cet exemple, on retrouve bien la problématique de l'effet « parasite » vue en introduction.

Pour permettre de démontrer la présence d'un phénomène de thermoréflectance, nous allons étudier la signature de cette structure cuivre suivant différentes valeurs de tension de fréquence. Si c'est un phénomène de thermoréflectance que l'on observe, à basse fréquence la signature devrait être présente et s'estomper en augmentant la fréquence.

## **2.2.3. Etude de la signature LVI suivant la fréquence et la tension (expérimentation)**

### **2.2.3.1. Etude suivant la fréquence**

Dans cette étude, l'émulation électrique est décrite dans la figure 62, nous faisons varier la fréquence de 0,5 MHz à 40MHz.



**Figure 62 : Etude fréquentielle de la signature LVI sur la structure cuivre**

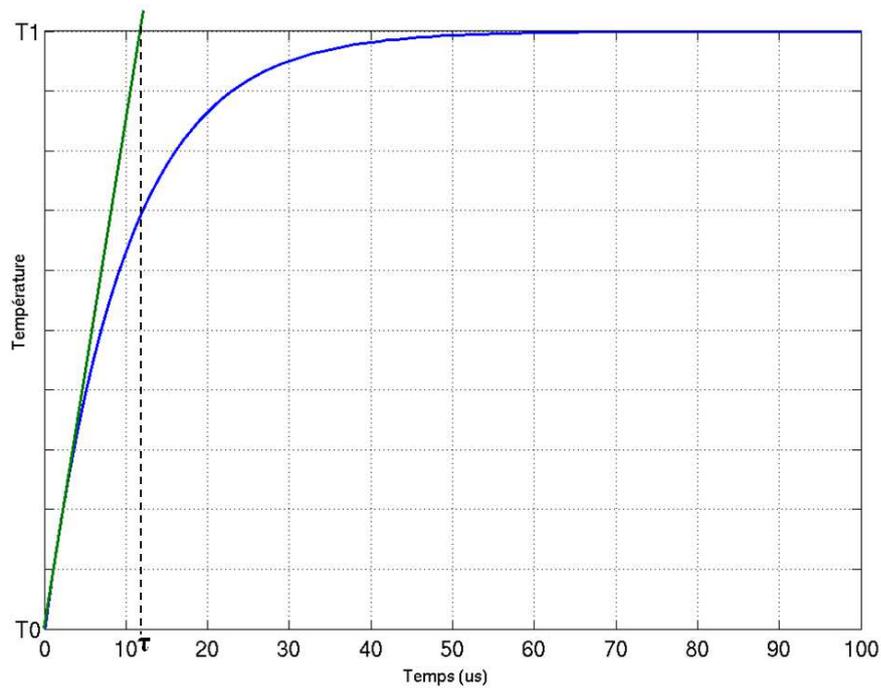
Les résultats de l’expérience (figure 62) montrent une augmentation de l’intensité de la signature LVI avec la diminution de la fréquence.

L’onde laser réfléchie est ainsi modulée par les variations de température présentes à la surface de la structure. Ces variations sont dues à l’échauffement induit par effet Joules de la ligne de cuivre créé par le passage du courant.

- Modèle de l’échauffement :

L’échauffement n’est pas instantané. Cet échauffement a été modélisé par un modèle du premier ordre de constante de temps  $\tau$  [REV08].  $T_0$  étant la température à froid et  $T_1$  la température finale, la variation de température au cours du temps  $t$  se comporte comme un circuit RC du premier ordre, ce qui nous donne :

$$T(t) = T_0 + (T_1 - T_0)(1 - e^{-\frac{t}{\tau}}) \quad \text{Equation IV.6}$$



**Figure 63 : Modèle de la phase d'échauffement**

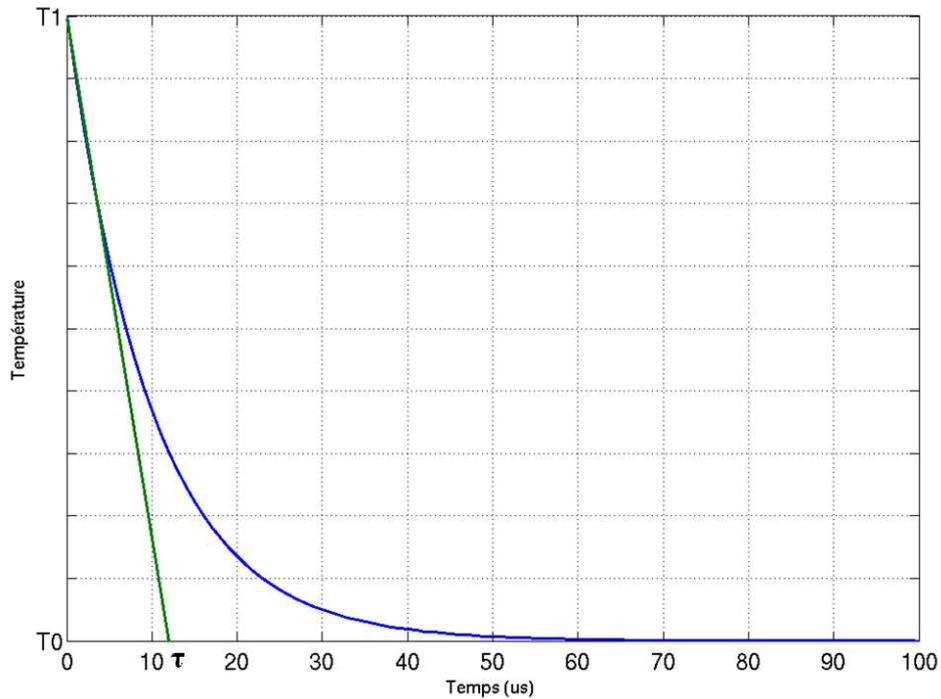
Avant d'arriver asymptotiquement à sa température d'équilibre, la ligne de cuivre va s'échauffer. De manière symétrique, la structure ne va pas se refroidir instantanément lorsque l'on arrête la stimulation électrique.

- Modèle du refroidissement :

En supposant que la température d'équilibre  $T1$  ait été atteinte, dans un modèle du premier ordre nous avons ainsi le refroidissement décrit de manière duale par l'équation suivante:

$$T(t) = T0 + (T1 - T0) \left( e^{-\frac{t}{\tau}} \right)$$

*Equation IV.7*

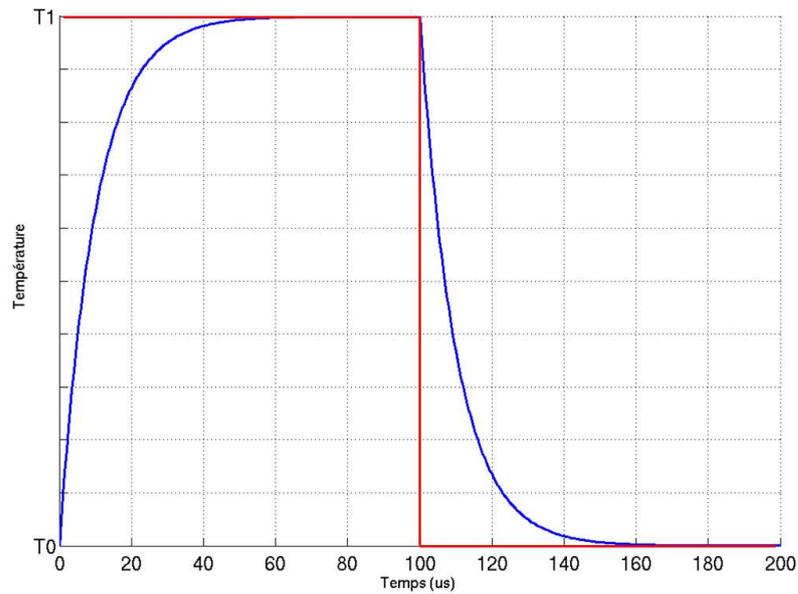


**Figure 64: Modèle de la phase de refroidissement**

La loi de refroidissement de Newton, établit que le taux de perte de chaleur d'un corps est proportionnel à la différence de température entre le corps et le milieu.

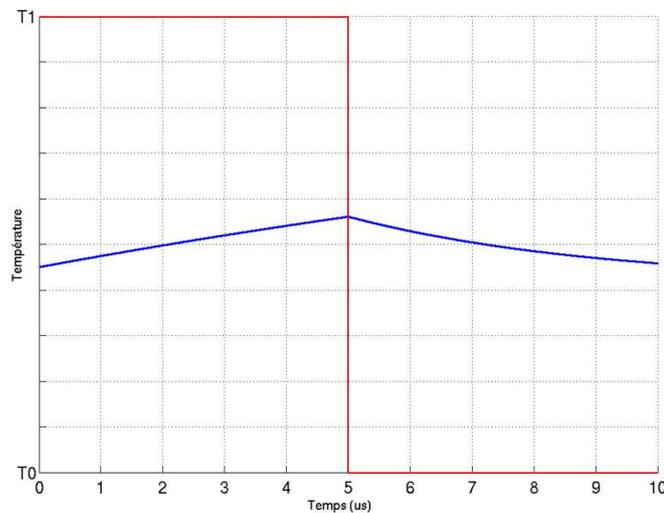
La ligne de cuivre peut également être échauffée périodiquement avec un signal de stimulation électrique de forme carrée et de rapport cyclique 50 %. Si la période  $T$  de ce signal est beaucoup plus grande que la constante de temps thermique, la température de la ligne de cuivre aura le temps de se stabiliser successivement à  $T_1$  et  $T_0$ .

La température moyenne (intégration sur une longue durée) sera de  $(T_1 + T_0)/2$ .



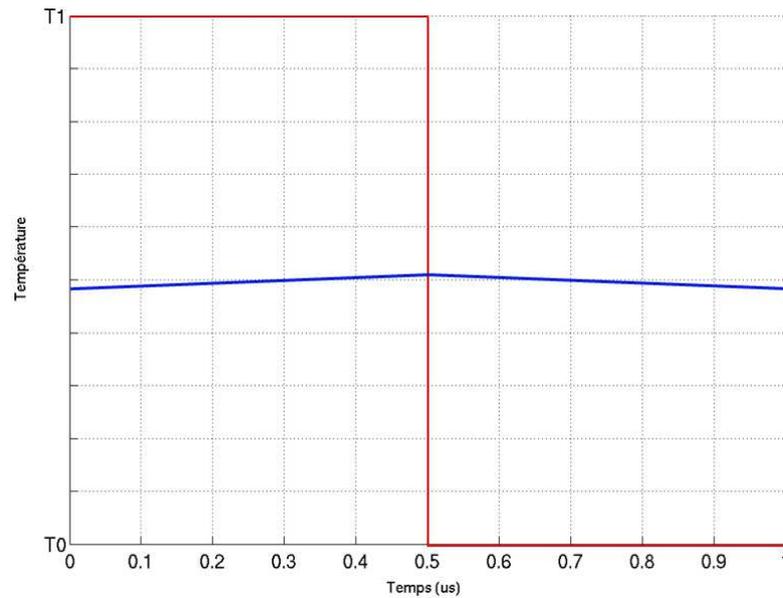
**Figure 65 : Modèle avec une fréquence < constante de temps de chauffe du matériau**

En augmentant la valeur de la fréquence à travers la ligne de cuivre, nous laissons moins de temps à la structure pour se chauffer ou se refroidir, ce qui entraîne une variation de température plus faible autour de la moyenne  $(T1+T0)/2$ .



**Figure 66 : Réponse du modèle de l'échauffement / Refroidissement avec une fréquence > constante de temps de chauffe du matériau**

A très haute fréquence, la ligne de cuivre se stabilisera à la valeur moyenne et l'excursion en température (échauffement et refroidissement) sera quasi nulle. Cette situation est rappelée dans la figure suivante :



**Figure 67 : Réponse du modèle de l'échauffement / Refroidissement avec une fréquence élevée**

Sur la figure 62, à partir de 40 MHz on n'observe plus de signature LVI ; ceci est dû à une valeur de la fréquence (trop importante). La fréquence est ainsi supérieure à la constante de chauffe du matériau et ne modifie pas le coefficient de réflexion. C'est grâce à la variation de ce coefficient que l'on est capable de venir cartographier les phénomènes de thermoréflexance. Si ce coefficient ne varie pas de manière significative à la fréquence appliquée, l'onde laser réfléchi ne pourra jamais être modulée et aucune signature ne peut être détectée.

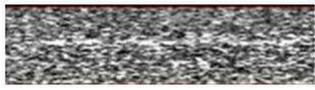
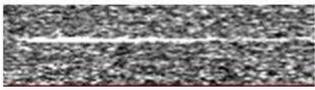
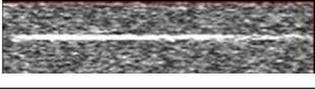
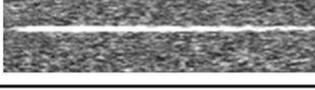
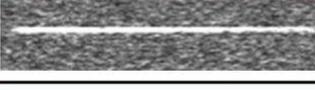
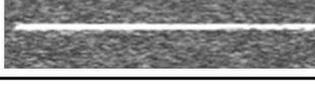
Pour ainsi mettre en évidence les phénomènes de thermoréflexance de la signature LVI, il faut utiliser des fréquences plus faibles que celles utilisées lors de la technique de LVI classique (quelques MHz contre une dizaine de MHz), compte tenu des valeurs des constantes de temps thermique de l'ordre de la microseconde sur les structures métal submicroniques comparées à celles du faisceau réfléchi (inférieures à la picoseconde) [REV08].

NB : La diode actuelle utilisée dans le système a une fréquence trop importante (4,7GHz) pour optimiser les paramètres permettant une détection maximale de l'effet thermoréflexance. De nouvelles diodes « moins rapides » seront prochainement proposées par les constructeurs. Cette première observation met en évidence le phénomène de thermoréflexance présent dans la signature LVI.

Pour valider l’hypothèse de thermoréfectance, nous allons maintenant nous intéresser à l’étude de cette signature LVI pour une fréquence fixe en faisant varier la tension d’alimentation.

### 2.2.3.2. Etude suivant la tension

Dans cette étude, nous allons fixer la fréquence du signal d’entrée à 5MHz et nous faisons varier la tension d’alimentation de 0,5V à 1V. Le but de cette étude est d’établir la relation existante entre l’intensité du signal de thermoréfectance en fonction de la valeur de la tension d’alimentation. Les résultats sont présentés sur la figure 68.

Niveau tension d'alimentation	Acquisition LVI à 5MHz
0,5 V	
0,6 V	
0,7 V	
0,8 V	
0,9 V	
1 V	

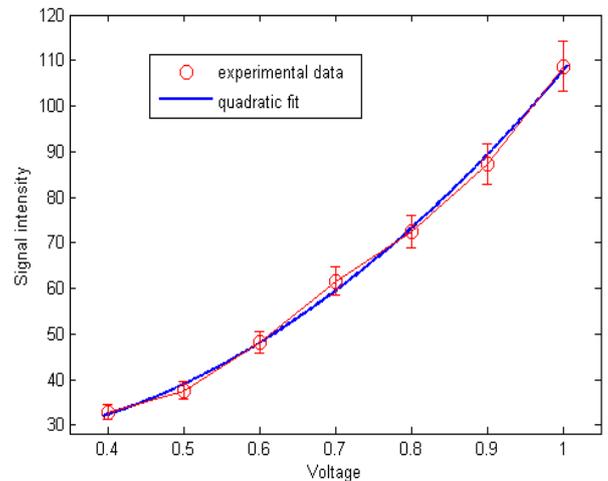


Figure 68 : Etude suivant la tension d’alimentation de la signature LVI sur la structure cuivre

Les résultats de l'expérience (figure 68) montrent une augmentation de l'intensité de la signature LVI avec l'augmentation de la tension aux bornes de la structure.

Grâce à ces résultats, nous avons montré l'influence de la valeur de la tension d'alimentation sur l'intensité du signal de thermoréfectance. L'effet Joule est directement lié à la valeur d'alimentation, plus nous augmentons la tension, plus l'effet Joule sera important, ce qui engendre une forte variation de température et nous permet ainsi d'avoir une meilleure détection du signal de thermoréfectance. Sur le graphique de la figure 68, nous montrons bien qu'il existe une relation quadratique entre l'intensité du signal et la valeur d'alimentation qui est directement liée à l'équation IV-04 [CEL11].

Cet effet «parasite» dans l'acquisition LVI étant maintenant compris, nous pouvons donc avoir un effet thermoréfectance cumulé à un effet des porteurs libres dans la signature LVI. Nous allons maintenant contrôler l'effet joule par setup électrique et ainsi utiliser cette nouvelle opportunité pour localiser les nouveaux types de défauts en utilisant les propriétés de la thermoréfectance.

### **3. Développement d'une nouvelle technique de détection de défauts par imagerie thermique fréquentielle : « Thermal Frequency Imaging (TFI) »**

Dans le chapitre précédent, on a démontré que la technique LVI seule ne permettait pas de localiser de manière sûre et précise tous les types de défauts. Comme pour l'émission de lumière, ce problème vient du fait que la technique LVI conventionnelle donne une information au niveau transistor et pas au niveau interconnexion. Nous avons vu, dans le chapitre 1, que les effets thermiques par stimulation laser statique et dynamique corrigeaient en partie cette situation, mais ne permettaient pas d'avoir une approche de type mesure (pas de stimulation laser). Dans la première partie de ce chapitre, nous avons montré que le signal LVI pouvait aussi comporter une composante thermique que nous allons utiliser. Pour cela, nous avons développé une nouvelle technique d'analyse appelée « Thermal Frequency Imaging (TFI) ».

#### **3.1. Principe de cette nouvelle technique**

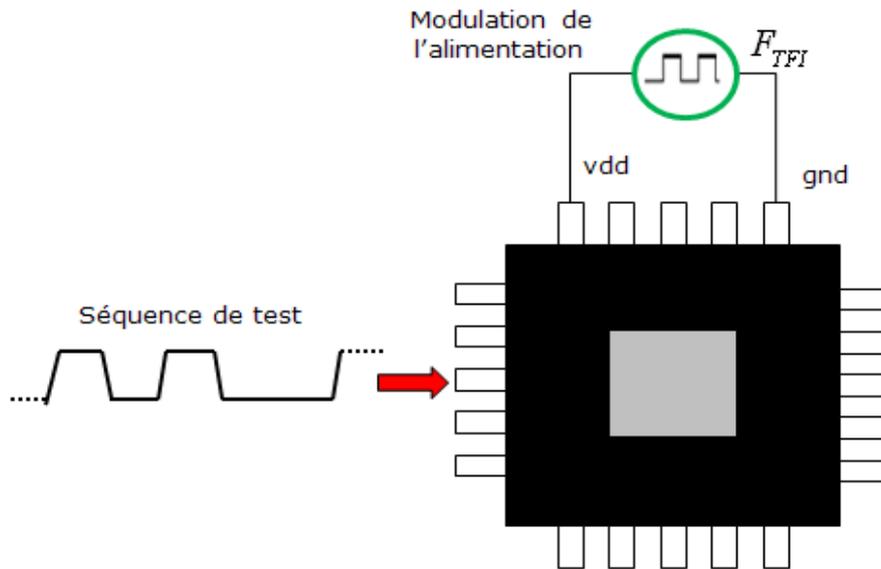
Basée sur la thermoréflectance couplée au LVI, le TFI nous assure à la fois l'accessibilité électrique au défaut en technologie CMOS avancée tout en maximisant l'effet de thermoréflectance.

Cette nouvelle technique nous permet de dissocier dans la signature LVI les effets dus principalement aux porteurs libres des effets thermoréflectance et ainsi de localiser les défauts complexes. Afin de dissocier ces deux effets, un setup électrique particulier est nécessaire.

### 3.1.1. Le setup électrique

Ce nouveau setup électrique doit répondre aux exigences suivantes :

- la plage de fonctionnement en tension / fréquence doit rester la même,
- les conditions opératoires reproduisant le défaut doivent être les mêmes



**Figure 69 : Schéma de fonctionnement de la technique TFI**

Pour cela, on va créer une perturbation minimale sur la tension d'alimentation (figure 69) ; cette perturbation sera modélisée par une " basse" fréquence  $F_{TFI}$  d'un signal carré avec un rapport cyclique de 50% afin de permettre aux matériaux de chauffer et de refroidir de façon périodique. Au préalable, nous nous assurons que dans ces conditions « particulières », le circuit en fonctionnement n'a pas changé d'état : la défaillance électrique est toujours présente dans les mêmes conditions opératoires. La cartographie LVI se fera sur la fréquence de l'alimentation  $F_{TFI}$

Le circuit intégré ainsi alimenté, la température interne de l'élément en défaut varie périodiquement avec la fréquence  $F_{TFI}$ . L'intensité du faisceau laser réfléchi est donc modulée en fonction de la variation de température qui est elle-même modulée en fonction de la fréquence  $F_{TFI}$  et correspond à :

$$(R + \tau \cdot \Delta R) \varnothing_0$$

Equation IV.8

avec  $\tau$  la constante de temps de chauffe du matériau à contrôler.

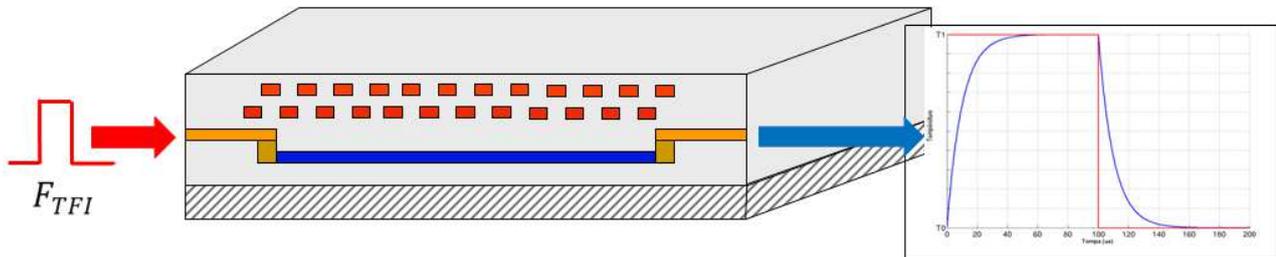


Figure 70 : Schéma chauffe/refroidissement d'une ligne de métal par effet Joule

En choisissant une fréquence  $F_{TFI}$  différente des fréquences présentes dans le circuit (horloge, données, ...), les éléments en défaut chaufferont avec une fréquence différente de la fréquence de fonctionnement des transistors.

Grâce à ce nouveau montage, l'onde laser réfléchie sera exempte de signatures fréquentielles correspondant au fonctionnement normal des transistors. C'est par ce biais que nous pouvons dissocier l'effet des free carrier de l'effet thermorélectance.

Afin d'optimiser l'effet thermorélectance, nous choisirons une fréquence  $F_{TFI}$  permettant une chauffe et un refroidissement maximal sur des matériaux mis en jeu.

Comme nous l'avons vu dans le paragraphe 2.2.2 la demi-période  $F_{TFI}$  doit être supérieure à la plus grande constante de temps de chauffe des matériaux utilisés dans le circuit. Ainsi, les matériaux mis en jeu auront le temps de chauffer complètement pendant une demi-période, et de refroidir complètement pendant l'autre demi-période. Ce paramètre est primordial si on veut avoir un résultat significatif au niveau de l'acquisition.

En effet, si la demi-période du signal  $F_{TFI}$  est inférieure à la plus grande constante de temps de chauffe des matériaux mis en jeu, le matériau en défaut n'aura pas le temps de chauffer complètement, ni de refroidir complètement. Son oscillation en température sera alors de faible amplitude, voire quasi nulle ; l'intensité du faisceau laser réfléchi ne sera pas ou sera faiblement modulée par la température, empêchant

toute détection d'une signature fréquentielle correspondant à une signature thermique d'un défaut.

Au vu des expériences faites et montrées précédemment, on ne choisira pas une fréquence  $F_{TFI}$  supérieures à 1MHz pour les applications d'analyse de défaillances dans les semi conducteurs. Pour des fréquences  $F_{TFI}$  inférieures à 10 kHz, le rapport signal sur bruit se dégrade et ne permet pas une bonne observation des signatures thermiques. La détection des défauts est donc dans ce cas encore plus difficile : nous sommes en effet dans un mode de dysfonctionnement de la diode actuelle utilisée dans le système. C'est la raison principale de l'apparition prochaine de nouvelles diodes « moins rapides » qui seront proposées par les constructeurs.

En pratique, pour nous permettre de dissocier une signature LVI d'une signature de thermoréfectance, il suffit de faire plusieurs acquisitions à différentes fréquences  $F_{TFI}$  comprises entre 10 kHz et 1 MHz et ayant un rapport cyclique de 50%.

Si l'on observe une variation de l'intensité de la signature LVI alors la signature est de type thermique (elle s'atténue avec une augmentation de la fréquence).

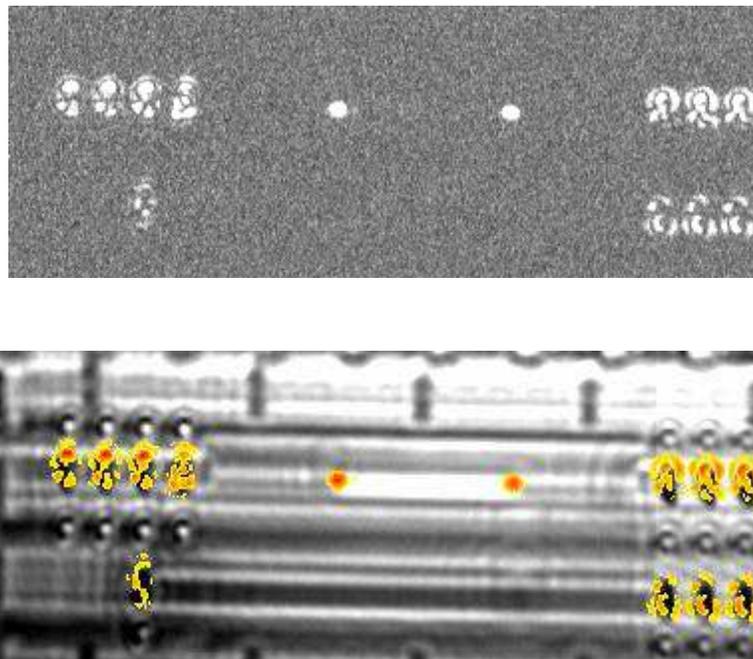
De la même manière, s'il n'y a pas de variation de l'intensité de la signature LVI, alors, la signature n'est pas une signature thermique, mais une signature parasite de type free carrier d'un élément du circuit. Le composant n'est probablement pas en défaut ; cette signature correspond sûrement à un transistor en fonctionnement normal. Dans la partie suivante, reprenons maintenant le cas du défaut bridge développé dans le chapitre II.

### **3.1.2. Expérimentation théorique sur le défaut bridge**

Pour montrer tout l'intérêt de cette nouvelle technique de localisation de défauts, nous allons nous intéresser à notre fameuse structure bridge. Celle-ci contient à la fois des éléments actifs (transistors) et des éléments passifs (résistances qui simulent un défaut calibré).

Comme on l'a montré dans le chapitre II et III, la localisation des défauts bridges reste une problématique à part entière malgré les techniques de localisation traditionnelles (EMMI, Laser, LVI). Les défauts de type « bridges » sont des connexion involontaires entre les nœuds du circuit intégré. Ces effets, jusqu'alors négligeables dans les technologies à grille polysilicium, deviennent maintenant prépondérants dans les nouveaux nœuds technologiques. Aussi, il devient indispensable d'avoir un processus d'analyse performant permettant de localiser ces « nouveaux » défauts.

Dans le but de discriminer les phénomènes de thermoréfectance de la signature LVI, nous allons utiliser la technique TFI présentée précédemment. Pour rappel, l'acquisition LVI à 5MHz avec un rapport cyclique de 50% et une tension d'alimentation à 1,1V donne les résultats de l'acquisition présentés en figure 71 :



**Figure 71 : Acquisition LVI sur la structure bridge en technologie 45nm, en haut : image brute, en bas : image superposée avec l'image illuminée**

Sur la figure 71, la technique LVI nous permet juste de mettre en évidence les zones actives de la structure (l'activité des transistors), par contre cette technique ne nous aide pas pour trouver la cause du défaut (ici la résistance bridge en polysilicium).

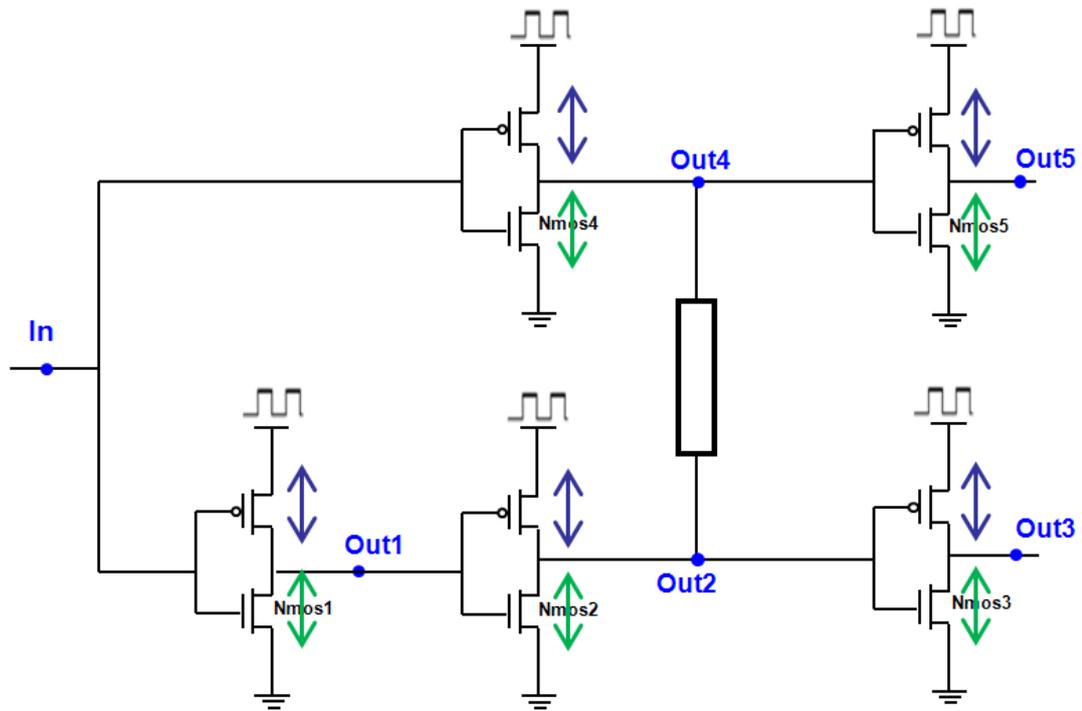


Figure 72 : Schéma modulation TFI sur la structure bridge

Appliquons maintenant la technique TFI sur ce cas (figure 9). Le nouveau setup électrique favorisant l'effet thermoréfectance est décrit comme suit : l'acquisition de la figure 73 montre la signature TFI à 1MHz toujours sur la structure bridge.



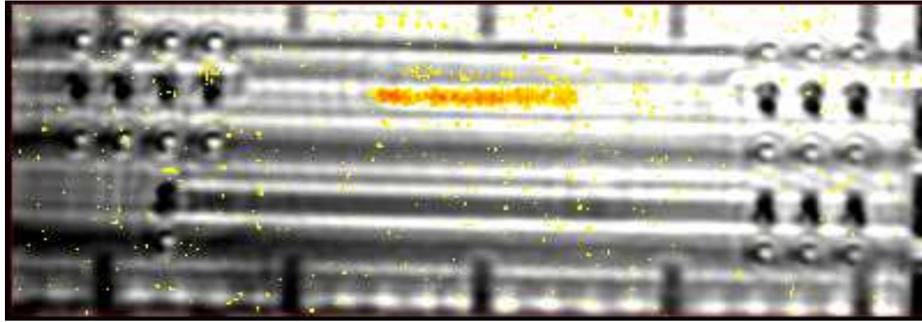


Figure 73 : Signature TFI sur la structure bridge

Grâce à la technique TFI, seule la partie résistive (la simulation du défaut bridge) est localisée. On peut donc dire que les techniques LVI et TFI sont complémentaires puisqu'elles permettent d'observer à la fois le fonctionnement des transistors face à un défaut complexe (signature LVI) et la localisation exacte du défaut (signature TFI).

L'exemple ci-dessus montre bien la valeur ajoutée de la cartographie sur  $F_{TFI}$  par rapport à une cartographie sur les signaux internes en fonctionnement : seule la zone où se produit de la thermoreflectance apparait.

Reste à effectuer le travail d'interprétation de l'analyste pour élaborer la bonne hypothèse de défaillance en vue de l'analyse physique.

La limitation principale observée aujourd'hui est la nécessité de focaliser le microscope optique sur le défaut (en z) pour obtenir une localisation : ce qui n'est pas possible au-delà du premier niveau de métallisation.

Afin de clore ce chapitre, nous allons maintenant présenter les résultats majeurs obtenus sur des cas réels d'analyse de défaillances et expliquer comment cette nouvelle technique apporte une réelle valeur ajoutée dans l'élaboration de l'hypothèse de faute.

#### 4. Cas d'étude sur une chaîne de scan défaillante en technologie 45nm

Cette nouvelle technique d'analyse étant prometteuse, nous l'avons déployée dans le laboratoire afin d'avoir un retour « terrain » et ainsi connaître les performances réelles et la valeur ajoutée pour un laboratoire d'analyse de défaillances.

## 4.1. Contexte de l'analyse

Aujourd'hui, pour nous permettre d'accélérer nos campagnes de tests et d'analyses, nous avons développé des structures de tests spécifiques appelées DFT (design for test). Ces structures ont deux spécificités :

- la possibilité de faciliter l'analyse dans le cas d'un mauvais fonctionnement du composant
- la réduction du temps de test nécessaire à chaque composant lors de la production de masse.

Dans ce cas d'étude, on va s'intéresser à la défaillance d'une chaîne de scan en technologie 40nm. La description de la structure se trouve sur la figure ci-dessous (figure 74).

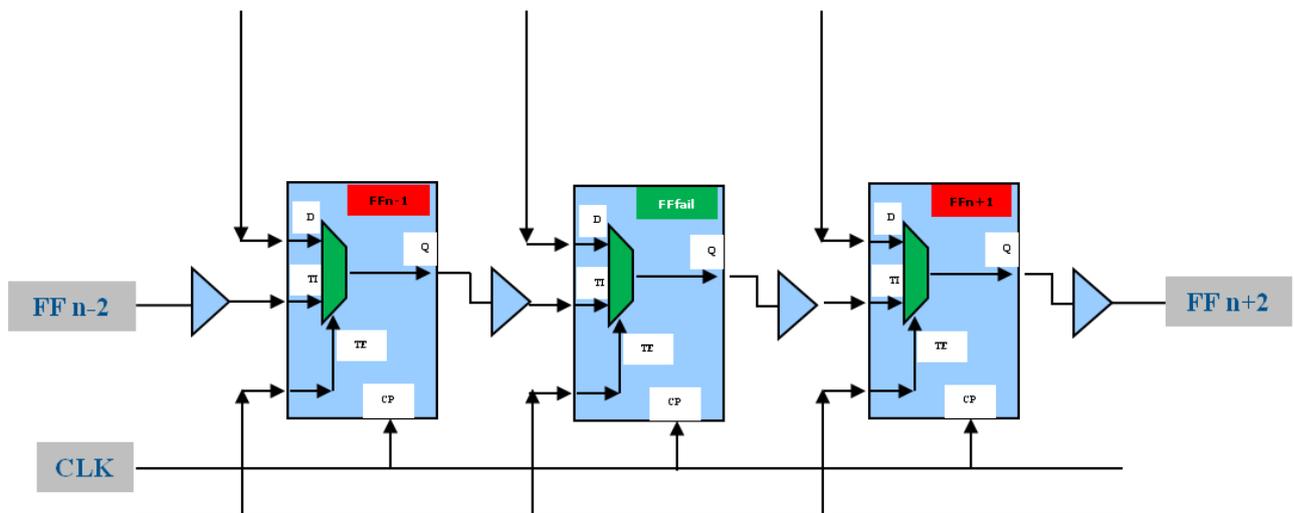


Figure 74 : Description de la chaîne de registre à décalage

La chaîne à registre à décalage est une structure spécifique conçue par des ingénieurs de DFT permettant de récupérer rapidement le résultat de tests de blocks internes précédemment testés. Chaque résultat de ces tests internes est envoyé dans sa bascule respective. Ce résultat étant capturé par la bascule, un décalage est appliqué pour le récupérer en série sur une sortie du circuit. Le mot récupéré est ensuite comparé à un mot de référence.

Cette structure est donc composée d'un maillage de bascules (flip flop) couplé à une partie combinatoire. La phase de tests de la partie combinatoire se décompose en deux modes :

- Mode décalage, on décale (« shift ») les valeurs des éléments mémoire,
- Mode fonctionnel, on simule le nouveau vecteur de test.

## **4.2. Tests électriques et description du défaut**

Dans ce cas d'analyse, la défaillance sur la chaîne de scan est un défaut de type « soft fail » [BRU03] caractérisé de la manière suivante:

- à Vdd nominal (1.1V) quand la sortie de la chaîne de scan passe de 0 à 1, le premier état logique '1' est toujours manquant.
- quand on augmente l'alimentation de 20% (1.3V) la chaîne de scan redevient fonctionnelle.
- on note également une dépendance avec la fréquence de fonctionnement de l'horloge interne.

Sur les figures 75 et 76, on peut retrouver la caractérisation du fonctionnement du circuit à travers le tracé Schmoos (représentation tension VS fréquence) ainsi que la description du défaut électrique.

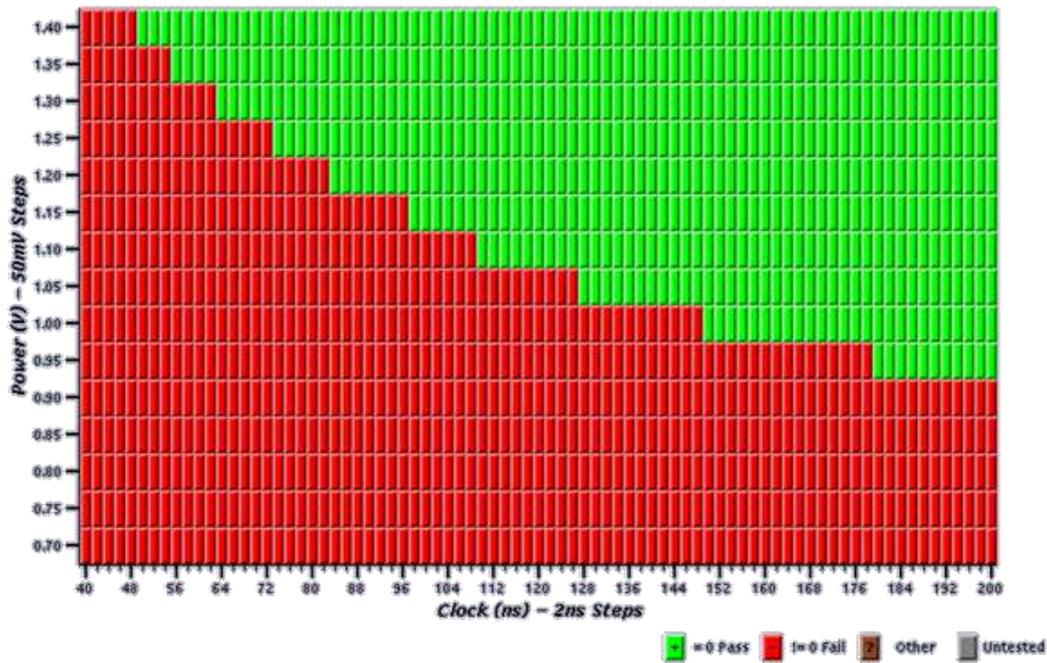


Figure 75 : Test fréquentiel du défaut (schmoo)

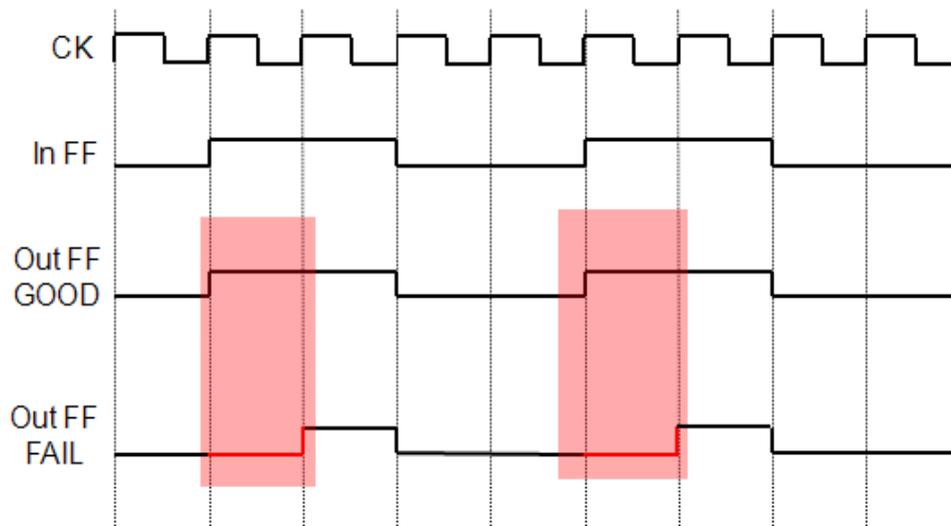


Figure 76 : Description électrique de défaut

Le test ATPG (Automatic Test Pattern Generation) nous donne une information sur une hypothèse de défaut lié à la bascule 160 (bascule160). Connaissant la position X Y de chaque bascule dans le circuit, nous avons un point d'entrée pour utiliser les techniques optiques de localisation de défaut

NB : Le test ATPG est un processus permettant de générer un ensemble de vecteurs de tests automatiquement pour simuler et analyser les réponses afin de détecter des fautes.

Il a deux phases principales ; premièrement, c'est la génération de vecteurs de tests pour des fautes ciblées. Cette phase implique généralement une boucle dans laquelle la séquence de tests est progressivement évaluée et affinée jusqu'à ce que la couverture de fautes soit satisfaite. Deuxièmement, l'algorithme ATPG injecte une faute dans un circuit, et ensuite utilise une variété de mécanismes pour activer la faute.

Le cœur du processus d'ATPG est le modèle de fautes qui fait abstraction des comportements attendus de fautes. En général, le nombre de fautes réelles est trop grand. Le modèle de fautes est nécessaire pour réduire la complexité et fournir des cibles pour la détection des défauts et l'évaluation de la qualité d'une séquence de tests.

Si on revient sur le cas d'analyse, l'étape suivante consiste à utiliser les techniques traditionnelles d'analyse de défaillances comme l'EMMI et la SDL (« Soft Defect Localization »). Les résultats sont présentés dans la partie suivante.

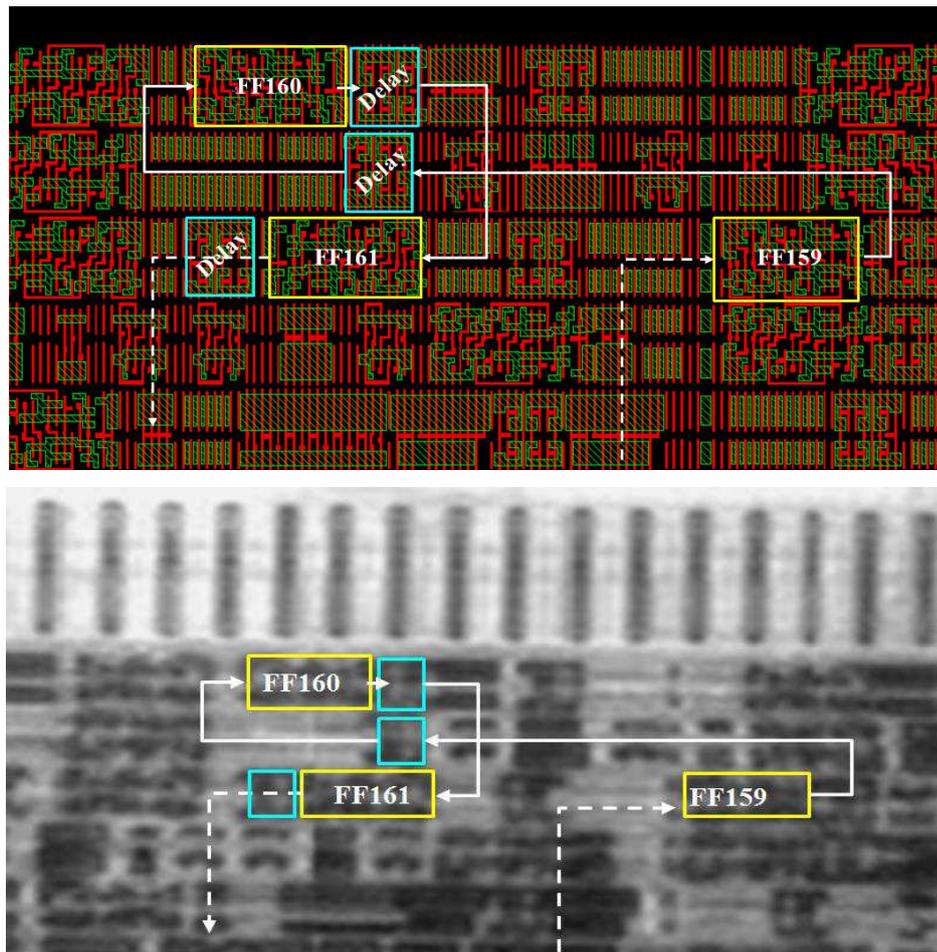


Figure 77 : Localisation de la zone d'intérêt (bascule 160) ;  
En haut : représentation GDS, en bas: image illuminée

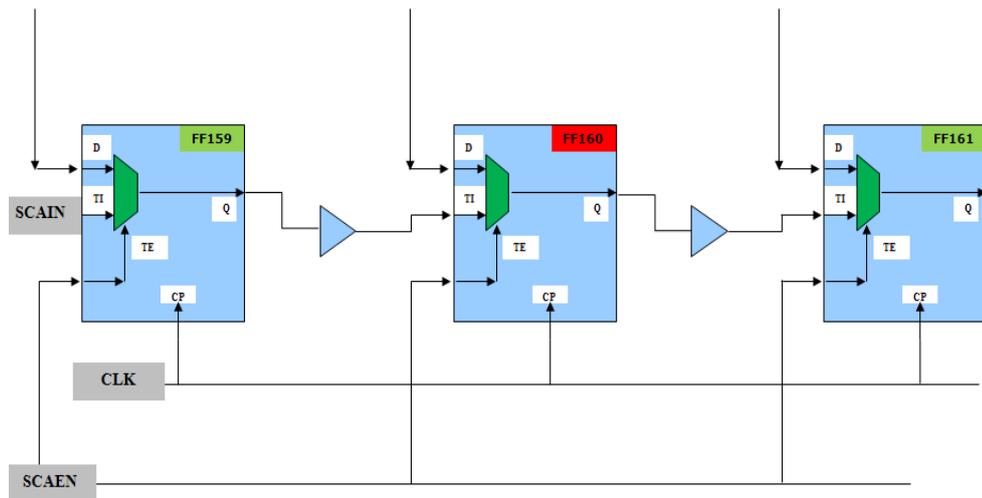


Figure 78 : Schématique de la zone d'intérêt

### 4.3. Résultats EMMI et laser

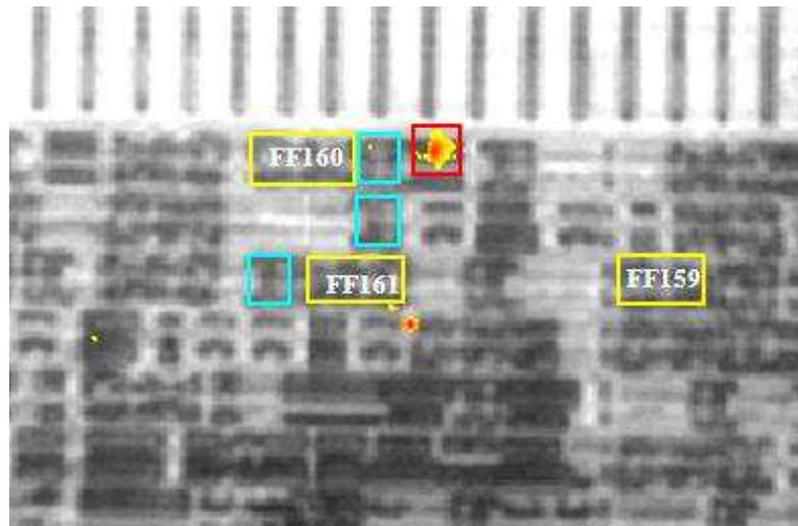


Figure 79 : Acquisition EMMI SIL 220X

Sur la figure 79, on peut voir un gros spot EMMI qui correspond à un buffer qui distribue le signal d'horloge à un autre bloc de cellules.

La technique EMMI ne nous donne pas d'informations suffisantes sur la localisation du défaut, mais nous informe sur les transistors concernés par le défaut.

Comme le défaut est dépendant de la valeur d'alimentation (défaut soft), nous allons essayer d'adresser le défaut avec une technique plus appropriée aux défauts soft, qui est la stimulation laser dynamique (SDL). Les résultats de cette technique sont présentés sur la figure 80.

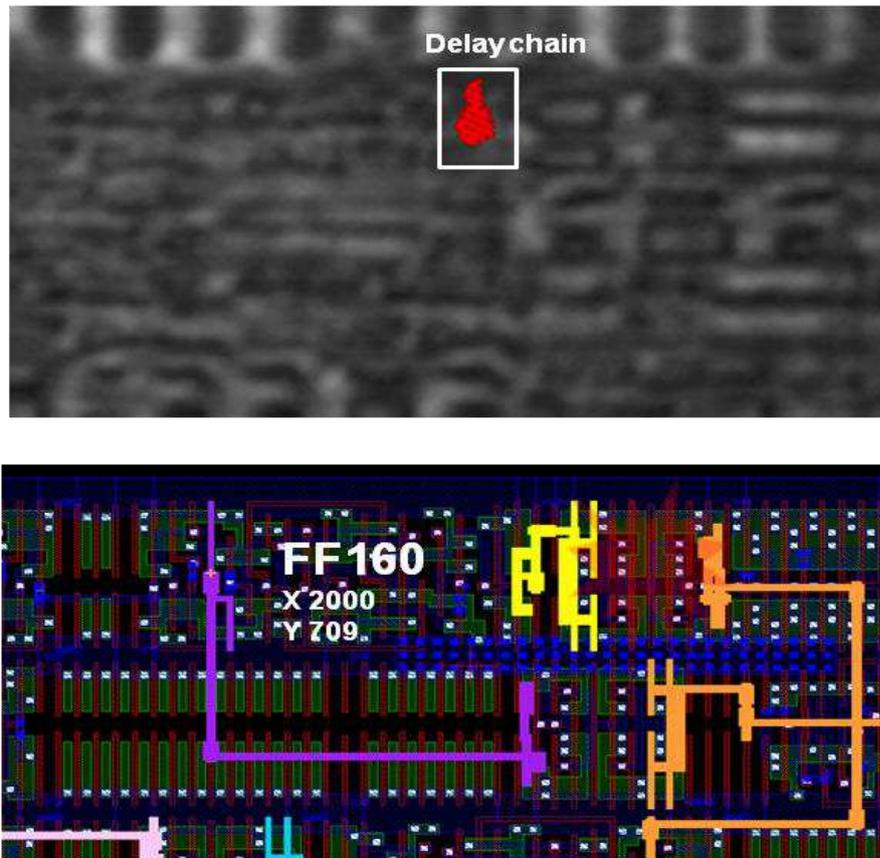


Figure 80 : Localisation SDL

Sur la figure 80, une zone sensible à la technique SDL est localisée à la sortie de la chaîne de « delay » entre la bascule 160 et la bascule 161. Cette localisation est très intéressante, car elle est située à proximité de la localisation donnée par le test ATPG. Pour valider cette localisation, nous allons utiliser la technique LVI.

#### 4.4. Résultats LVI et Cw LVP

La technique LVI nous permet de cartographier les fréquences présentes à l'intérieur du circuit. Grâce à elle on peut identifier rapidement quelle zone du circuit est active à une fréquence spécifique. Avec ce procédé nous allons vérifier les différents signaux, à l'intérieur des bascules, du signal le plus critique (l'horloge) au moins critique (les signaux de validation « Enable »).

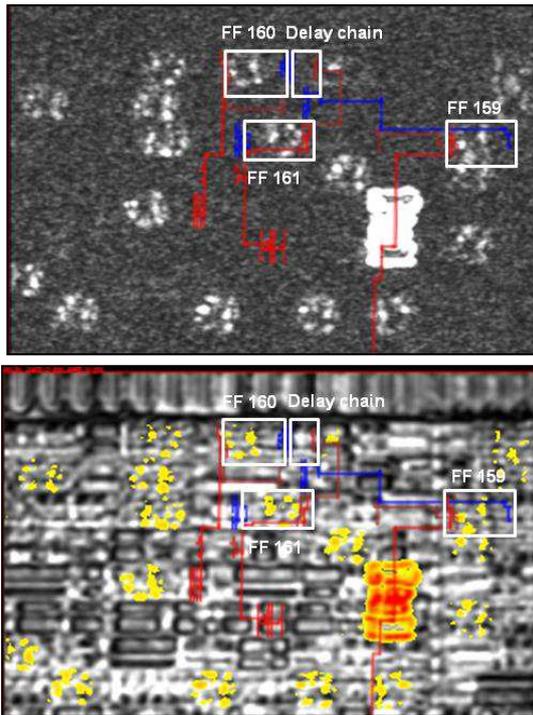


Figure 81 : Résultats LVI sur l'horloge à 20MHz

Sur la figure 81, à 20 MHz (fréquence d'horloge), une signature importante LVI est observée. Ce point correspond à un buffer d'arbre d'horloge. On s'attend alors à avoir une signature plus importante sur cette structure parce qu'elle a une densité de porteur plus forte, dans le but de distribuer le signal d'horloge à toutes les bascules « Flip Flop » [BRU03]. Sur la bascule160 (diagnostiquée défaillante par le test ATPG), le signal LVI est correct par rapport aux autres bascules. A cette étape, nous pouvons conclure que le défaut n'est pas lié au signal d'horloge.

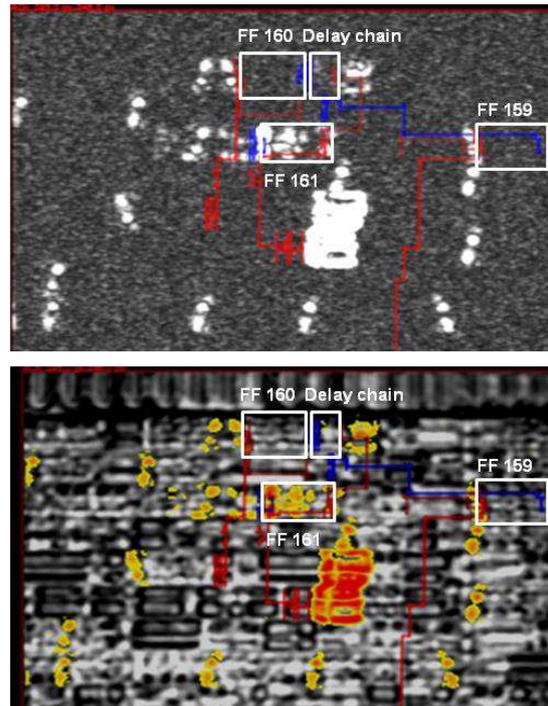


Figure 82 : Résultats LVI sur le signal de données à 10 MHz

Sur la figure 82, à 10 MHz, nous pouvons voir une nette différence de signature entre la bascule160 et bascule161. Nous pouvons ainsi conclure avec cette signature que le signal de données n'est pas correct sur la bascule 161.

L'étape suivante consiste à venir cartographier le signal de données (10 MHz). Sur la figure 83 sont présentés les résultats des acquisitions Cw-LVP obtenus sur les différentes sorties (Nmos et Pmos) de la bascule 160 et des sorties de la chaîne de retard (« delay ») située juste après le bascule 160.

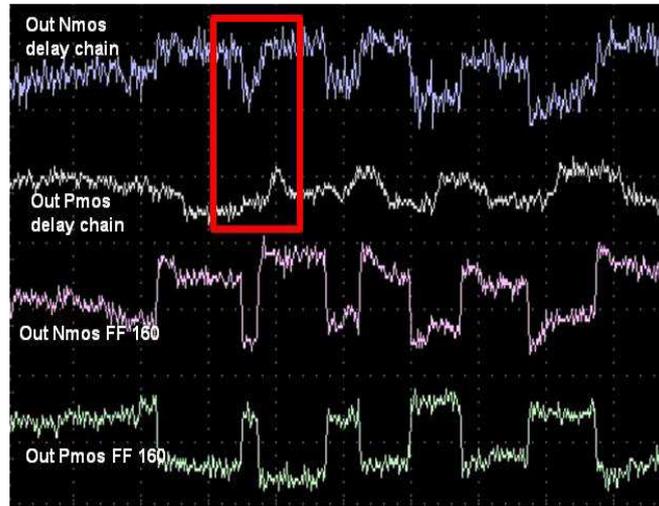


Figure 83 : Acquisitions CW LVP

Sur la figure 84, on observe que le signal à la sortie de la chaîne de delay est beaucoup plus faible que celui à la sortie de la bascule 160. De plus, nous observons un délai entre le Nmos et le Pmos sur cette porte. Ceci explique la signature LVI obtenue sur la figure 16. Les mesures LVI et les acquisitions en Cw-LVP (Continuous Waves- Laser Voltage Probing) ont ainsi permis d'établir que le défaut est localisé entre la bascule 160 et la bascule 161. Cependant, nous ne pouvons pas savoir la localisation exacte du défaut.

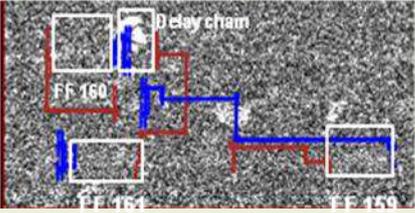
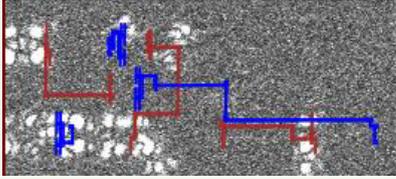
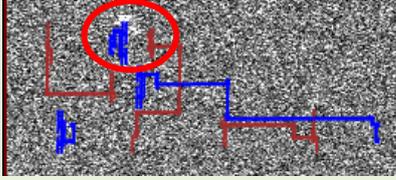
Pour cela, on va utiliser la technique TFI, pour nous permettre de trouver la défaillance.

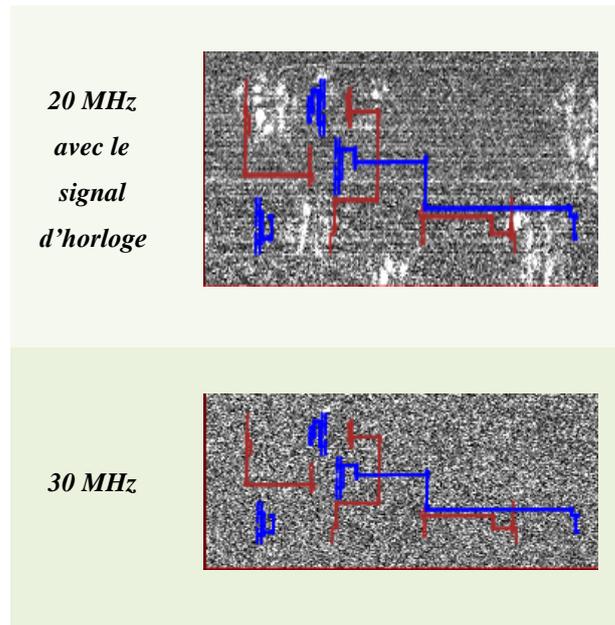
## 4.5. Résultats TFI

Avec la technique LVI, nous cartographions généralement des signaux fréquentiels au niveau des transistors. Dans notre application TFI, un signal modulé est directement appliqué à l'alimentation de la puce avec un niveau haut à VDD et un niveau bas à  $VDD - 20\%$  [CEL11].

Le but de cette technique est de localiser le chemin de fuite sur l'alimentation par une approche dynamique. Avec ce nouveau setup électrique, une variation de température est créée lors que le défaut est parcouru par le courant de l'alimentation.

Les acquisitions TFI sont représentées dans le tableau ci-dessous. Ces acquisitions ont été faites à différentes fréquences dans le but de discriminer le signal LVI du signal de thermo réflectance. Le signal d'horloge est à 20 MHz et le signal de données à 10MHz.

Fréquence	Acquisition TFI
1 MHz	
10 MHz avec le signal de données	
15 MHz	



**Figure 84 : Acquisitions TFI**

Sur la figure 84, à 1 MHz et à 15 MHz, aucun signal n'est présent à ces fréquences à l'intérieur du circuit, par contre nous obtenons bien une signature TFI à l'entrée de la chaîne de retard.

Quand nous augmentons la valeur de la fréquence, la signature TFI disparaît, parce que l'effet de thermoréfectance devient négligeable. Effectivement, le TFI est obtenue par effet Joule. Donc, à fréquence élevée (>20-30 MHz), nous ne laissons pas assez de temps à la structure pour s'échauffer. Avec cette nouvelle technique (TFI), nous avons un moyen pour détecter les chemins résistifs.

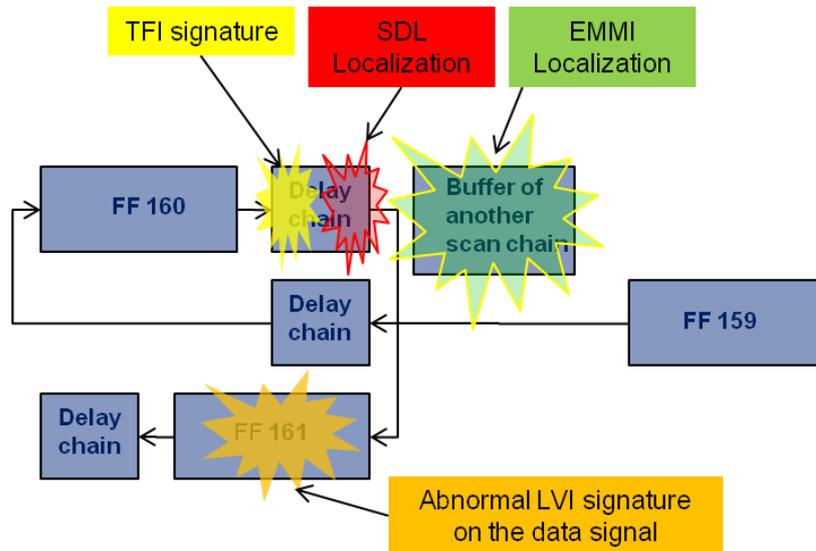


Figure 85 : Résumé final des différentes localisations

Grâce à toutes ces investigations, nous pouvons conclure que le défaut est situé dans la chaîne de retard (signature SDL + TFI) entre les bascules 160 et 161.

Avec ces différentes signatures, nous pouvons faire une bonne hypothèse de défaut, mais les différentes signatures montrent différentes zones dans la chaîne de retard. En effectuant une coupe sur cette structure, nous pourrions ainsi discriminer laquelle de ces deux signatures montre directement le défaut.

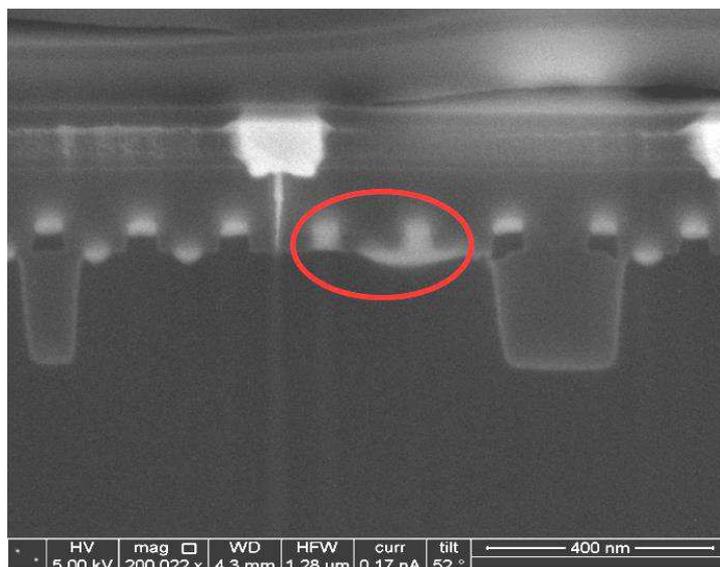


Figure 86 : Analyse physique du défaut

Sur la figure 86, nous pouvons observer une infiltration sur le transistor PMOS à l'entrée de la chaîne de delay. Nous pouvons ainsi conclure que la signature TFI

montre directement la localisation de la défaillance, la signature SDL montre ainsi une conséquence du défaut.

La technique TFI est particulièrement utilisée au niveau du laboratoire puisqu'elle amène une valeur ajoutée certaine sur les cas complexes. Le TFI a fait l'objet en 2011 d'un brevet déposé ainsi que de deux publications ESREF / ISTFA.

## **5. Conclusion**

Une caractérisation et une compréhension plus approfondie des acquisitions LVI ont conduit à une étude sur un effet « parasite » sur les images. Nous avons montré que dans le signal LVI on pouvait distinguer l'effet des « free carrier » et l'effet de la thermoreflectance et que grâce à la technique TFI on pouvait séparer ces 2 aspects.

Cela nous a amené au développement d'une nouvelle technique d'analyse prometteuse qui a été brevetée en 2011 : le TFI. Nous avons montré à travers ce chapitre la réelle valeur ajoutée du TFI.

Nous avons également montré la complémentarité de cette technique avec celles qui permettent d'obtenir une information sur la zone transistor (EMMI, LVI et LVP) et celles qui permettent d'obtenir une information sur les zones d'interconnexion (stimulations laser statiques et dynamiques).

La limitation principale observée est que l'on doit absolument focaliser le microscope optique sur le défaut (en z) pour obtenir une localisation : pas de localisation possible avec cette technique au-delà du premier niveau de métallisation.

Le TFI nous donne aujourd'hui une information sur la zone où se produit de la thermoreflectance. Peut-on continuer l'amélioration de cette technique LVI pour valider l'intégrité des signaux internes par exemple ? Ce type d'information en mode image combiné aux techniques vues dans les chapitres précédents peut ajouter une corde à notre arc dans la compréhension des mécanismes de défaillances toujours plus complexes. Nous allons montrer comment dans le chapitre suivant.



# **Chapitre V : Comment récupérer une information temporelle dans la signature LVI ?**



## **1. Introduction**

Nous avons montré dans le chapitre précédent comment utiliser les propriétés de réflectance des matériaux dans le but d'isoler un défaut thermique.

La technique LVI est basée sur l'étude fréquentielle de l'onde laser réfléchie. Cette étude est faite grâce à un analyseur de spectre. L'analyseur permet à la chaîne de mesure de transposer le signal temporel dans le domaine fréquentiel et ainsi de donner à l'utilisateur les différentes fréquences contenues dans le signal ainsi que leurs amplitudes respectives.

Lors de l'acquisition LVI, l'analyste vient focaliser l'analyseur de spectre sur la valeur de la fréquence qu'il veut cartographier. Dans le domaine fréquentiel, cette valeur correspond à la valeur de la fréquence fondamentale ( $F_0$ ). Depuis de nombreuses décennies, l'analyse spectrale est un des axes majeurs du traitement du signal. Ces informations vont nous être très utiles.

Dans ce dernier chapitre, on présentera en premier lieu les différents avantages de l'analyse spectrale classique, basée sur la théorie de Fourier. Dans un 2eme temps, on montrera comment utiliser ces informations pour l'analyse de défaillance. L'objectif sera d'avoir une bonne idée de l'intégrité d'un signal se propageant dans les circuits (comme le signal d'horloge par exemple) en mode cartographie (sans aucune mesure en interne). Enfin, on terminera ce chapitre par deux cas d'étude en technologie avancée montrant les avantages multiples de l'utilisation de l'analyse spectrale (localisation de dégradation de front, dégradation de rapport cyclique.)

## 2. Analyse fréquentielle

Les méthodes fréquentielles sont basées sur la transformée de Fourier. La connaissance des fréquences caractéristiques permet d'identifier et de localiser les défauts issus des composants en analysant leur spectre fréquentiel.

Pour transformer un signal mesuré dans le domaine temporel vers le domaine fréquentiel, on peut utiliser la transformée de Fourier (TF) continue pour un signal analogique continu ou la transformée de Fourier discrète pour un signal échantillonné. La partie suivante rappellera quelques points importants sur la transformée de Fourier des signaux temporels puis nous présenterons l'intérêt de coupler les propriétés de l'analyse spectrale avec la technique de cartographie LVI.

### 2.1. Fonctionnement théorique de l'analyse spectrale en fréquence

Toute fonction continue est décomposable en série de FOURIER. De plus, si cette fonction est périodique de période T, le nombre de termes de la décomposition est fini.

Une fonction f (de la variable t), périodique de période T et de pulsation  $\omega = \frac{2\pi}{T}$  décomposable en une série de fonctions sinusoïdales de pulsations  $n\omega$ , avec n entier naturel et d'amplitudes déterminées, sous la forme :

$$f(t) = \frac{1}{2} a_0 + \sum_{n=1}^{\infty} a_n \cos(n\omega t) + \sum_{n=1}^{\infty} b_n \sin(n\omega t) \text{ Equation V.1}$$

Avec :

$$a_0 = \frac{1}{\pi} \int_{-\pi}^{\pi} f(t) dt \text{ Equation V.2}$$

$$a_n = \frac{1}{\pi} \int_{-\pi}^{\pi} f(t) \cos(n\omega t) dt \quad \text{Equation V.3}$$

$$b_n = \frac{1}{\pi} \int_{-\pi}^{\pi} f(t) \sin(n\omega t) dt \quad \text{Equation V.4}$$

Ce développement unique est appelé développement en série de Fourier de la fonction. Les coefficients  $a_n$  et  $b_n$  sont les coefficients de Fourier de la fonction  $f$ .

Le terme de pulsation  $\omega$  est le fondamental.

Les termes de pulsation  $n\omega$  ( $n > 1$ ) sont les harmoniques de rang  $n$ .

Le terme de pulsation  $\omega$  est le fondamental.

Dans la pratique, cela veut dire que l'on peut décomposer notre fonction comme une somme de sinus (cosinus) de périodes multiples de la période de cette dernière.. Les coefficients représentent alors le niveau "énergétique de chacune des fréquences élémentaires".

L'application principale de l'analyse FFT est donc la mise en évidence des périodicités du signal et le calcul de "l'énergie" contenue dans le signal pour chacune des fréquences.

La transformée de Fourier est une des méthodes (la plus utilisée aujourd'hui) pour représenter un phénomène temporel dans le domaine fréquentiel.

## **2.2. Propriétés de l'analyse spectrale**

Comme on le voit dans l'équation V.1, la série de Fourier d'un signal périodique est infinie, mais discrète. Elle comporte :

- une composante continue qui n'est autre que la valeur moyenne  $f(t)$
- une composante sinusoïdale de même fréquence que celle de  $f(t)$  appelée fondamentale
- une série de composantes sinusoïdales de fréquences multiples entières de celle de  $f(t)$  appelées harmoniques

Le « poids » relatif de chacune des composantes non continues du signal  $f(t)$  est représenté par son amplitude :

$$c_n = \sqrt{a_n^2 + b_n^2} \qquad \text{Equation V.5}$$

Cette amplitude décroît quand  $n$  augmente : les harmoniques « contribuent » d'autant moins au signal que leur rang est élevé.

La représentation de Fourier du signal  $f(t)$  est alors appelée spectre de Fourier.

Nous retrouvons ce spectre à la sortie de notre analyseur de spectre dans notre chaîne d'acquisition LVI. Un tel spectre est de la forme :

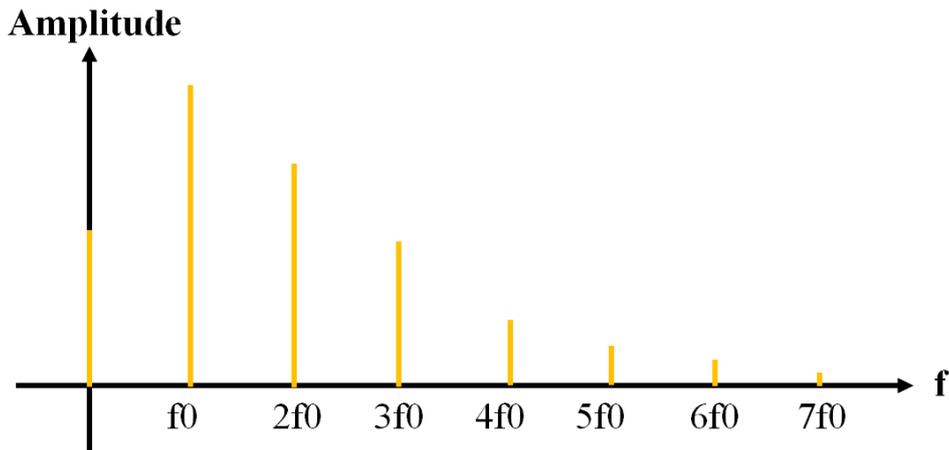


Figure 87 : Représentation du spectre fréquentiel

Certaines harmoniques peuvent être absentes suivant la nature du signal analysé.

### 2.2.1. Spectres de signaux périodiques

Pour une fonction  $f(t)$  paire, c'est-à-dire que  $f(-t)=f(t)$ , sa décomposition en série de Fourier ne peut renfermer que des fonctions paires, ce qui entraîne que les éléments  $b_n$  sont tous nuls pour une fonction paire. Sur la figure ci-dessous est représenté le spectre d'une fonction paire.

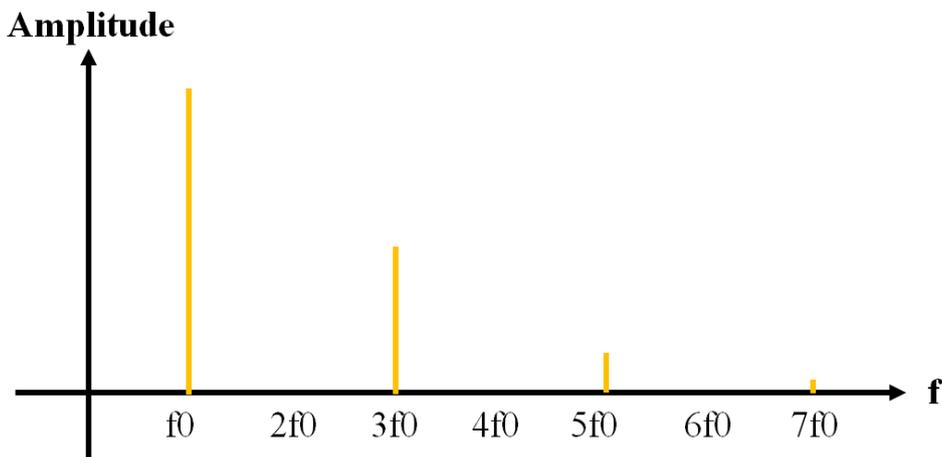


Figure 88 : Représentation spectrale d'un signal pair

Pour une fonction  $f(t)$  impaire, c'est-à-dire que  $f(-t) = -f(t)$  ; sa décomposition en série de Fourier ne peut renfermer que des fonctions impaires, ce qui entraîne que les

éléments  $a_n$  sont tous nuls pour une fonction impaire. Sur la figure ci-dessous est représenté le spectre d'une fonction impaire.

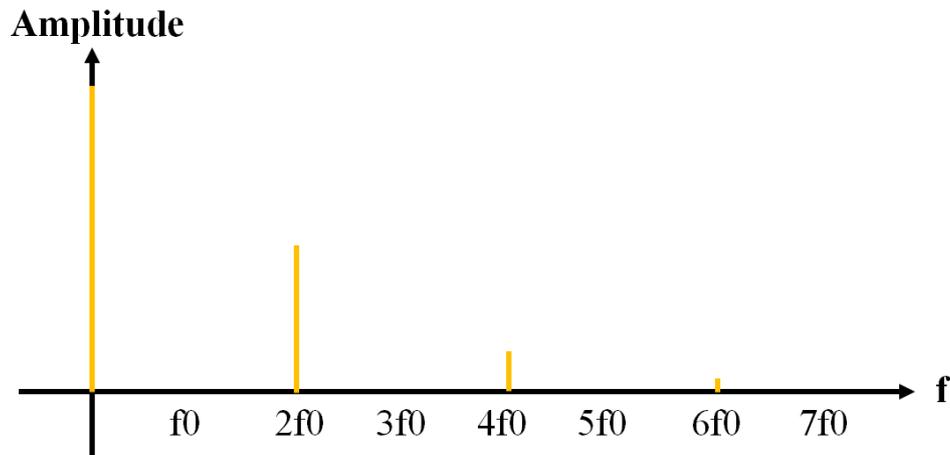


Figure 89 : Représentation spectrale d'un signal impair

Maintenant, nous allons nous intéresser à la décomposition en série de Fourier des signaux non périodiques.

### 2.2.2. Spectres de signaux non périodiques

Considérons ainsi un signal rectangulaire positif (correspondant aux signaux électriques présents dans les circuits intégrés) de rapport cyclique  $a$  ; les représentations temporelles et fréquentielles d'un tel signal sont données ci-dessous :

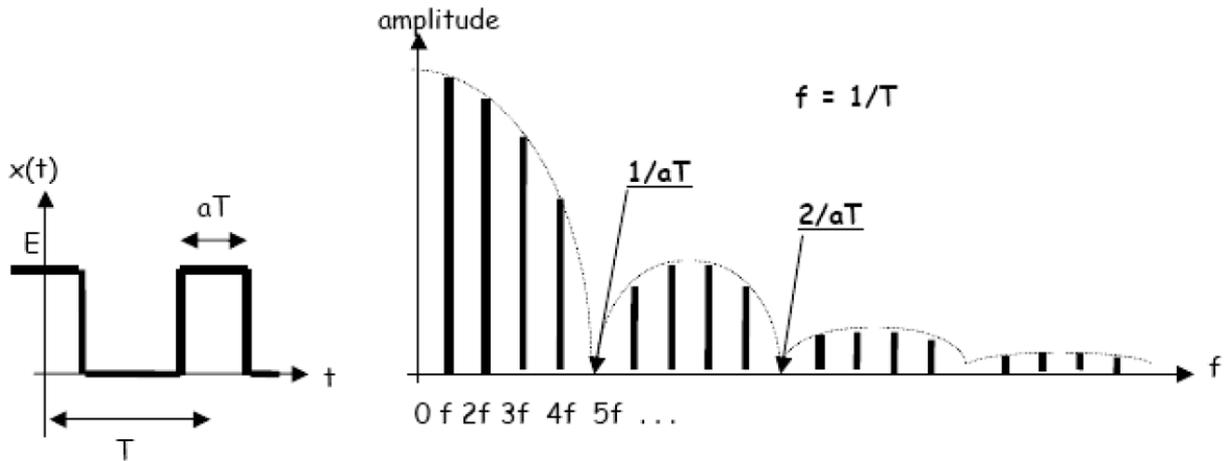


Figure 90 : Spectre de signaux non périodiques

Le spectre comprend des raies aux fréquences  $Nf$ , dont l'amplitude évolue avec la fréquence comme une fonction de type  $\frac{\sin x}{x}$ . Cette fonction enveloppe passe par 0 aux fréquences multiples de l'inverse de la largeur des créneaux :  $1/aT, 2/aT, \dots$

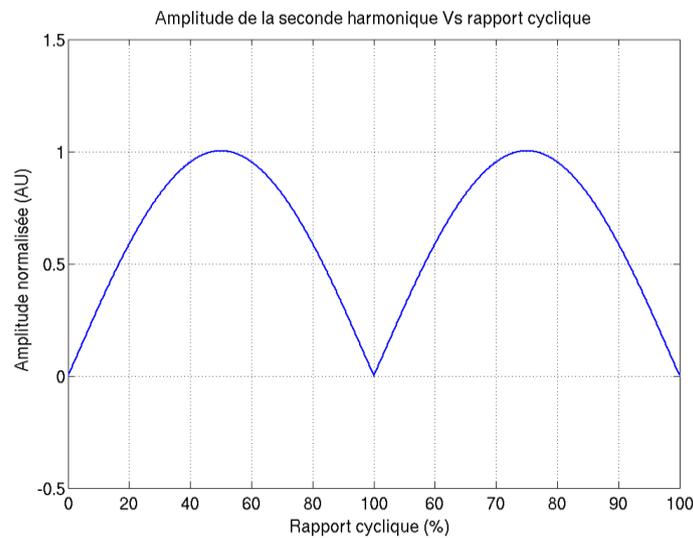
Dans la partie qui suit, nous allons nous intéresser à ces propriétés dans le but de pouvoir couvrir des défauts de « type temporels » (dégradation de fronts, de rapports cycliques, fronts manquants...) avec la technique de cartographie LVI.

On montrera que ces propriétés vont nous permettre de venir vérifier l'intégrité des signaux présents dans le circuit.

### 2.3. Propriétés spectrales appliquées à l'analyse LVI

Il est très habituel de représenter un signal par son évolution temporelle. L'oscillogramme obtenu donne des informations sur la valeur moyenne, la valeur crête, la valeur instantanée du signal, mais ne donne pas d'information directe sur l'ensemble des fréquences contenues dans le signal. Or, nous venons de voir qu'à l'aide de la décomposition en série de Fourier, il est simple de mettre en évidence les fréquences contenues dans un signal.

Aujourd'hui, dans nos circuits de test, nous avons généralement des signaux avec un rapport cyclique de 50%. Précédemment, on a montré que la décomposition en série de Fourier d'un signal carré de rapport cyclique 50%, faisait apparaître une infinité de fréquences au niveau des multiples impairs de la fréquence de la fondamentale. Par contre, les harmoniques paires n'apparaissent pas. L'amplitude de la seconde harmonique d'un signal carré est dépendante de la valeur du rapport cyclique du signal. La figure 5 montre la valeur de la seconde harmonique en fonction de la valeur du rapport cyclique du signal.



**Figure 91 : Amplitude de la seconde harmonique Vs rapport cyclique**

La figure précédente montre que nous avons un maximum de la seconde harmonique lorsque le rapport cyclique du signal est de 25% (ou dégradé de 25%).

Le but maintenant est d'utiliser les propriétés de la seconde harmonique lors de la cartographie LVI, pour nous permettre de venir localiser les défauts de dégradation temporelle sur les signaux périodiques (rapport cyclique 50%).

A l'aide de l'analyseur de spectre, nous allons venir cartographier la fréquence qui nous intéresse. Si cette fréquence est bien présente sur la zone attendue, nous pouvons commencer l'étude sur la seconde harmonique pour venir vérifier l'intégrité du signal sur la zone. Pour cela il suffit de venir placer l'analyseur de spectre sur la valeur de la seconde harmonique (2 fois la valeur de la fréquence fondamentale). Si le signal est dégradé, on obtiendra une signature « 2nd harmonique » sur le transistor dégradé.

Dans la partie qui suit, nous allons présenter deux cas d'études qui montrent toute la puissance de l'utilisation de l'analyse harmonique à travers la cartographie LVI.

### **3. Cas d'études sur technologie 28nm**

Nous présenterons ici deux cas d'analyse que nous avons réalisés lors de véritables analyses de défaillance et qui concernent la mise en œuvre de l'utilisation de l'analyse spectrale sur la seconde harmonique. Nous allons voir que les résultats obtenus peuvent nous fournir des éléments de réponse importants quant aux mécanismes de défaillance.

#### **3.1. Localisation de dégradations de rapport cyclique par analyse fréquentielle**

##### **3.1.1. Présentation de l'analyse**

Dans ce cas d'étude, nous allons nous intéresser à une défaillance de type « arbre » en technologie 28nm. Les différents résultats de tests couplés à l'outil de diagnostic montrent une défaillance sur l'arbre d'horloge d'un circuit complexe affectant aussi bien les différentes mémoires que tous les éléments liés à cet arbre. On note également une forte dépendance tension / fréquence sur le nombre de cellules défaillantes.

La figure 93 représente la localisation, le chemin principal que parcourt l'horloge dans le circuit des buffers de l'arbre d'horloge diagnostiqué défaillant.

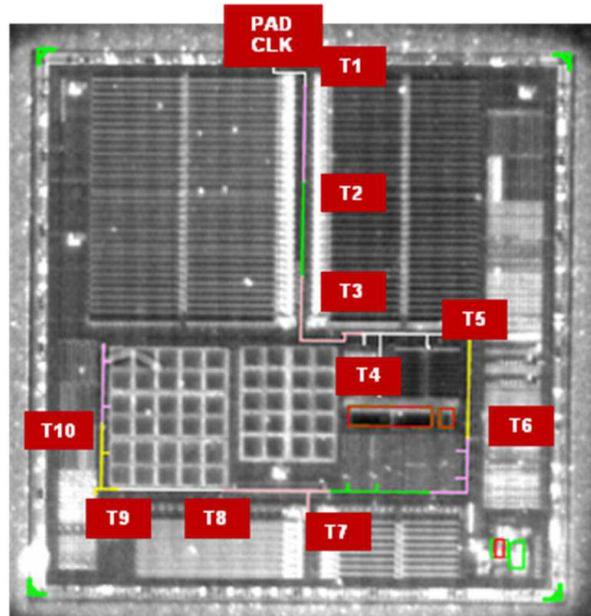


Figure 92 : Localisation des buffers d'horloge

### 3.1.2. Résultats

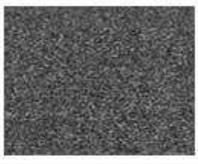
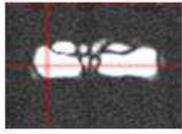
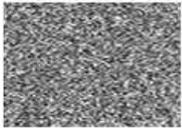
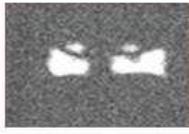
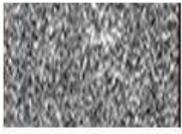
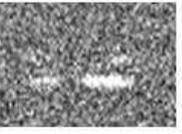
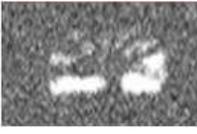
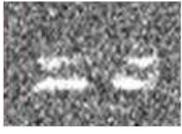
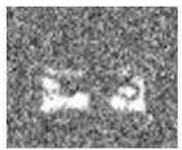
#### 3.1.2.1. Cartographie LVI et seconde harmonique

A l'aide de la cartographie LVI sur la fréquence d'horloge ainsi que l'étude sur la seconde harmonique nous allons vérifier l'intégrité du chemin de l'arbre d'horloge. Et nous pourrions mettre en évidence la zone où la dégradation temporelle est présente.

Nous validerons cette localisation, par l'utilisation de la mesure LVP (le Laser Voltage Probing) sur chaque transistor.

Dans cette étude, le signal d'horloge est à 10 MHz (avec un rapport cyclique de 50%). Les filtres de l'analyseur de spectre (RBW et VBW) sont placés chacun à 1KHz. La vitesse de balayage laser est de 1,7ms et la puissance laser utilisée est de ,.2mW.

La figure 93 montre les résultats significatifs obtenus sur la cartographie LVI et sur la seconde harmonique sur le chemin de buffers de l'arbre d'horloge.

	LVI 10MHz	LVI 2 <sup>nd</sup> Harmonique 20MHz
PAD CLK		
T1		
T3		
T5		
T7		
T10		

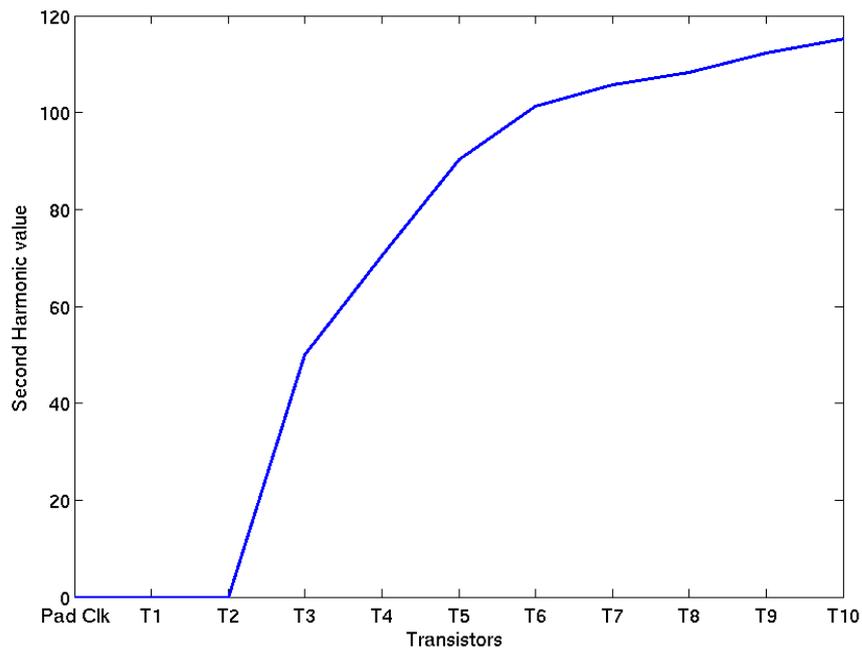
**Figure 93 : Cartographie LVI et 2nd harmonique**

Sur la figure 93, le signal d'horloge est un signal carré à 10MHz avec un rapport cyclique de 50%. Grâce à la technique LVI et à celle de la seconde harmonique démontrée dans la partie précédente, on peut mettre en évidence qu'à partir du transistor T3, le signal commence à se dégrader. La signature sur la seconde harmonique nous permet de valider l'hypothèse de défaillance.

De plus, si on regarde le niveau de signature des transistors T3 à T10, on remarque que la signature sur la fondamentale décroît tandis que la signature sur la seconde harmonique augmente. Si l'on se réfère à la figure 91, on sait que la valeur de

l'amplitude de la seconde harmonique augmente quand le rapport cyclique se dégrade pour arriver à un maximum à 25%. Les signatures sur la seconde harmonique sont significatives de la présence d'un défaut. La défaillance n'est donc pas présente sur un transistor, mais sur plusieurs.

Sur la figure 94 est représentée l'intensité de la seconde harmonique en fonction du transistor.



**Figure 94 : Intensité de la seconde harmonique**

Si on compare la figure 94 avec la courbe théorique présentée à la figure 91, on peut en déduire que les signaux sur le pad d'horloge jusqu'au transistor T2 ne sont pas dégradés. Par contre, du transistor T2 au T10, l'intensité de la seconde harmonique augmente comme sur la figure 91. Donc, plus en s'écarte du pad d'entrée, plus le signal se dégrade. Dans le but de confirmer cette dégradation, on va mesurer chaque transistor préalablement localisé avec la technique LVP.

### 3.1.2.2. Mesure LVP

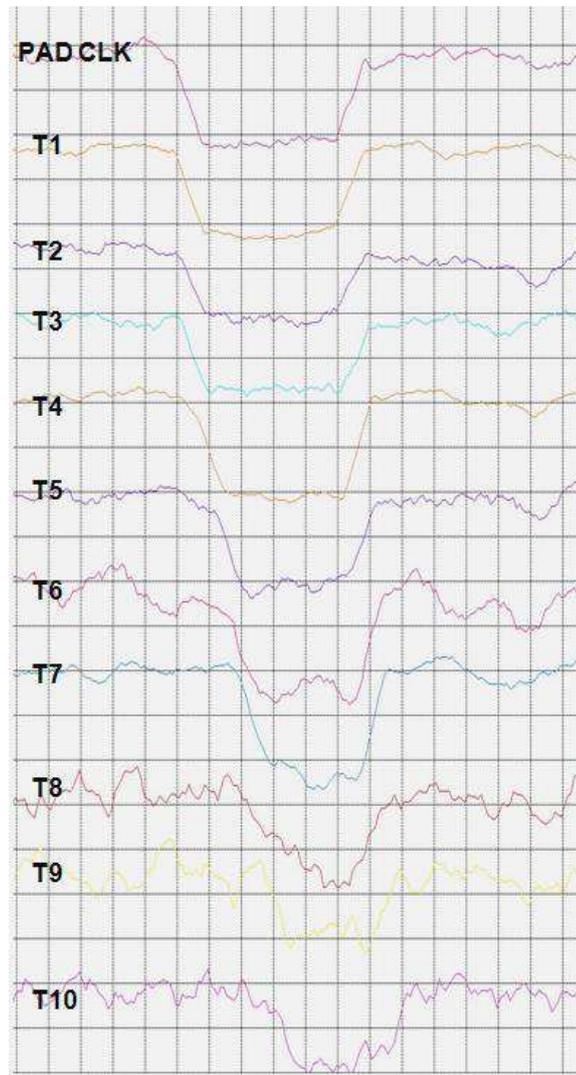
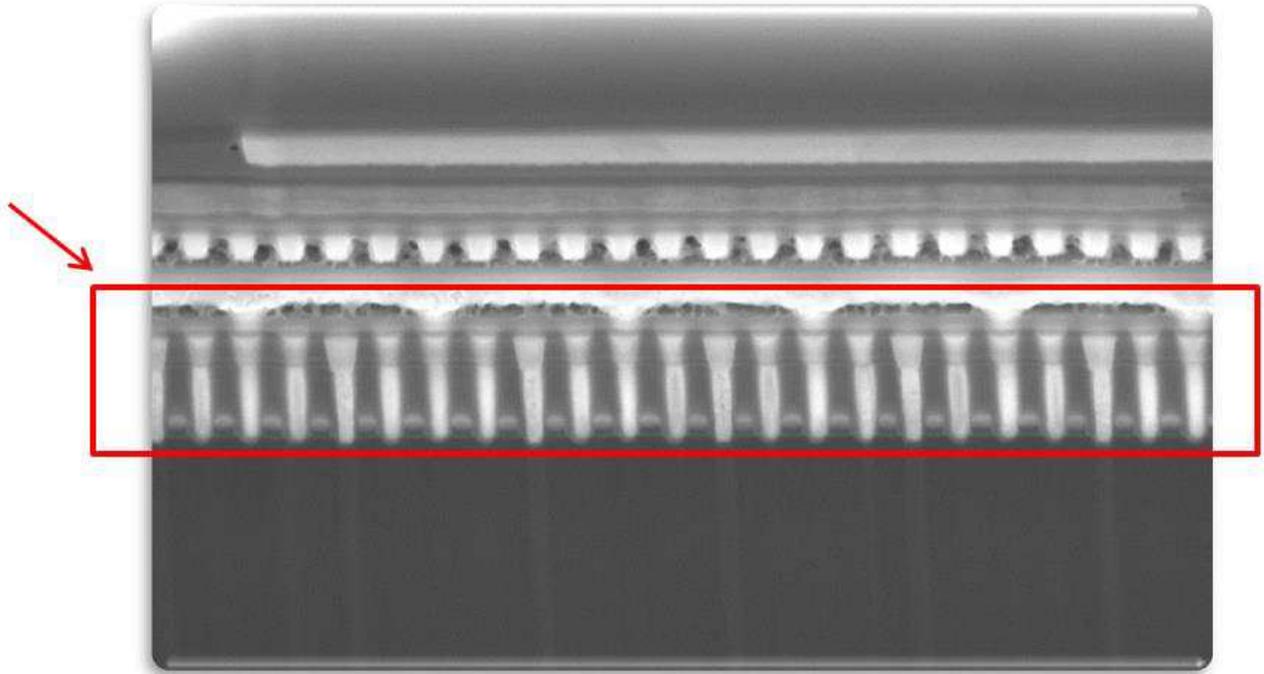


Figure 95 : Acquisition LVP sur chaque transistor de l'arbre d'horloge

La figure 95 représente l'acquisition LVP sur les différents transistors de l'arbre d'horloge. Grâce à ces acquisitions, nous confirmons la dégradation temporelle observée sur les acquisitions de seconde harmonique à la figure 7. Nous observons une dégradation du rapport cyclique à partir du transistor T3.

Après investigation lors de l'analyse physico chimique, nous avons mis en évidence que tout le lot était affecté par ce défaut, les contacts des transistors étaient légèrement décalés avec le niveau de métallisation. Ce désalignement entraîne un changement de la résistance de grille, ce qui est à l'origine de la dégradation du rapport cyclique. (Voir figure 96)



**Figure 96 : Analyse physique du défaut : contacts désalignés**

### **3.2. Localisation de dégradation de front par analyse fréquentielle**

Dans ce cas d'étude, on va étudier l'influence de la dégradation de front sur la signature en harmonique 2. Ce paramètre est très intéressant à étudier dans le processus d'une analyse de défaillance. Dans cette étude nous allons revenir sur l'application LVI présentée dans le chapitre III. La technique n'avait montré que la conséquence de la défaillance (signal stoppé dans la chaîne de registre). La figure ci-dessous montre l'acquisition LVI sur la zone d'intérêt pointée par l'outil de diagnostic.

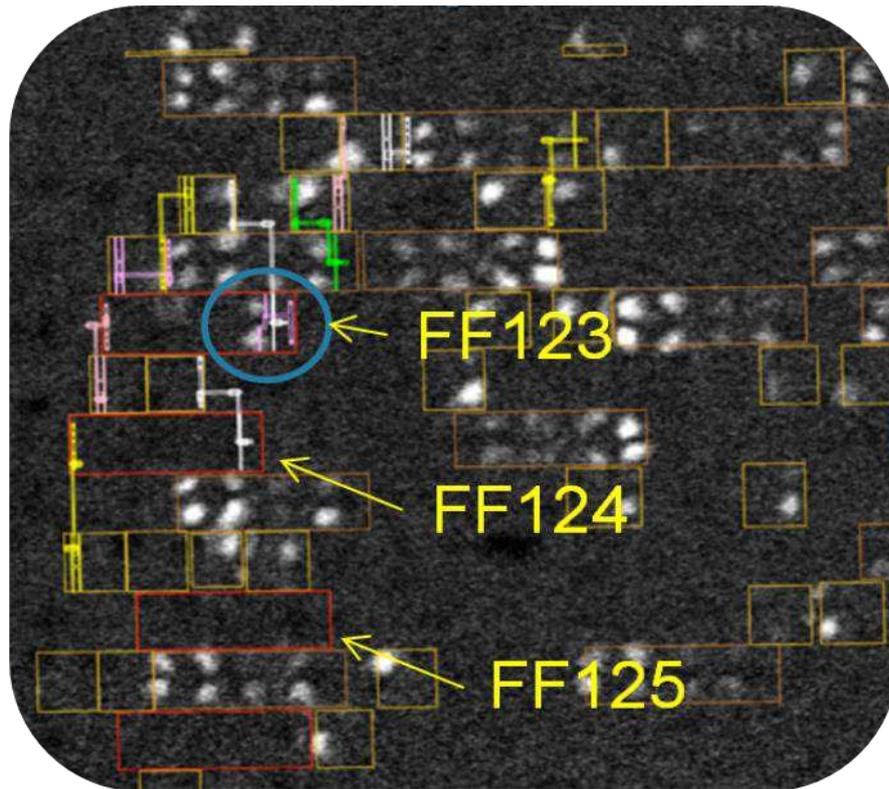


Figure 97 : Cartographie LVI

Pour rappel, le défaut est localisé dans une chaîne de registre à décalage en 28nm. C'est un défaut de type « soft », c'est à dire dépendant de la tension et de la fréquence (ici la défaillance est maximale à VDD min). Une dégradation temporelle est fortement suspectée après quelques itérations dans la recherche et la compréhension de la faute. Sur la figure 97 est rappelée l'acquisition LVI effectuée dans le chapitre III. Elle avait montré une cassure du signal de la donnée à 5MHz dans la chaîne des bascules. (au niveau de la FF 123). Comme une dégradation temporelle est suspectée, il est approprié d'utiliser la cartographie du signal de données sur la valeur de sa seconde harmonique



Figure 98 : LVI 2nd harmonique sur le signal de donné à 0.96V

La figure 98 montre le résultat d'acquisition sur la valeur de la seconde harmonique du signal de la donnée (soit 10Mhz). On peut noter qu'avec cette technique une seule signature ressort. Cette signature se situe sur un NMOS dans la bascule 123. Cela veut dire que le signal de donnée est dégradé sur ce transistor. Dans le but de vérifier cette hypothèse, on va faire une mesure en interne sur ce transistor à l'aide de la technique LVP. Les résultats LVP sont présentés sur la figure ci-dessous.

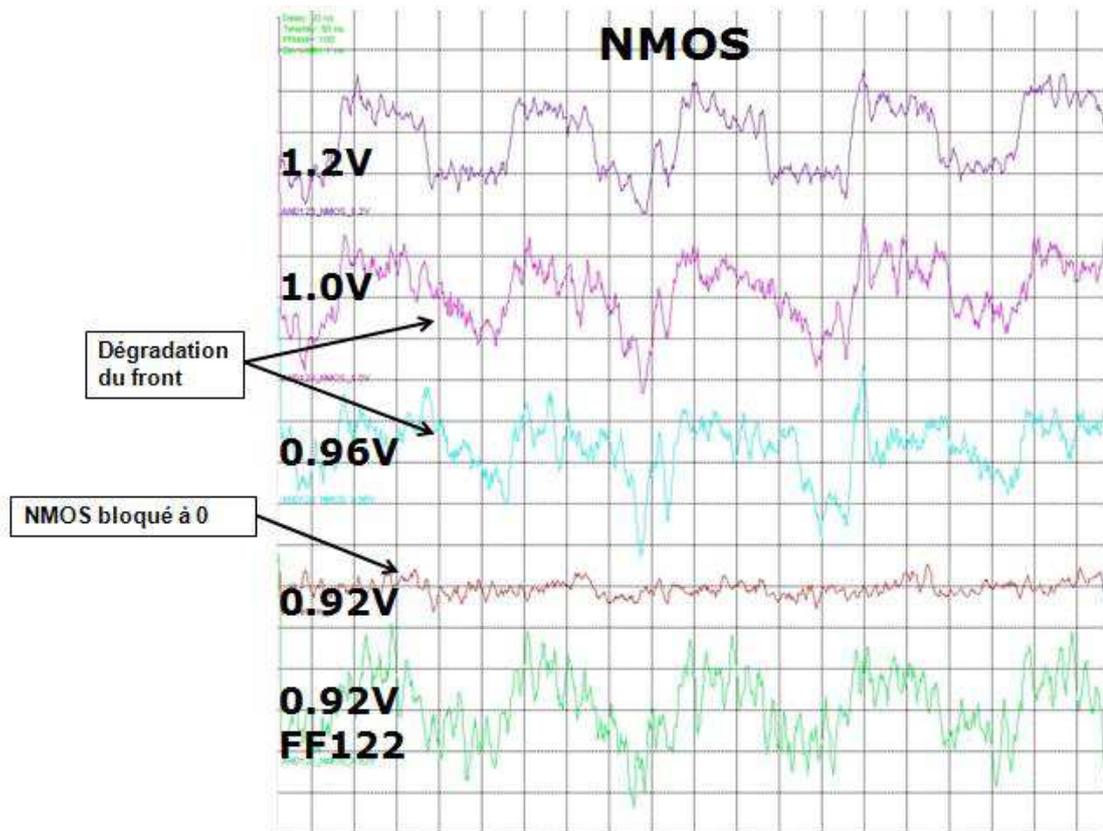
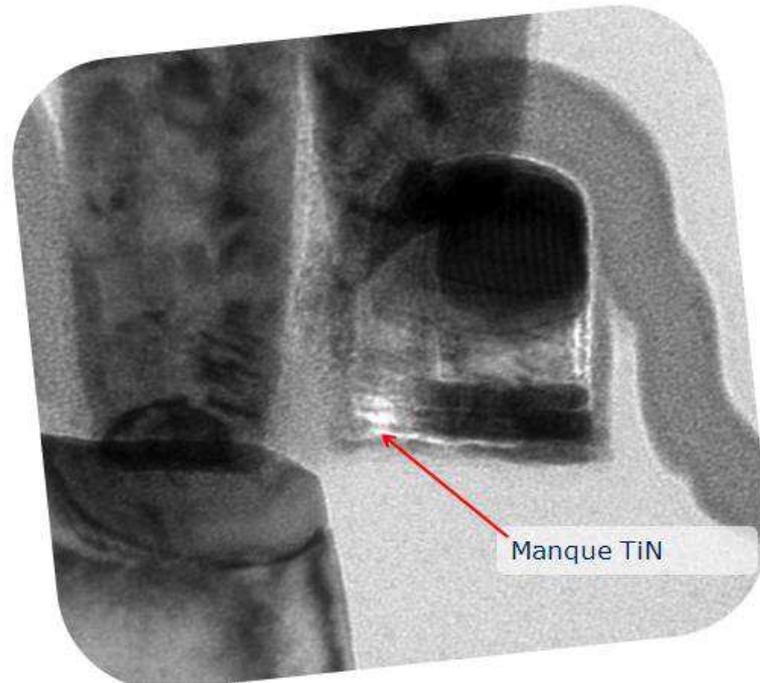


Figure 99 : Acquisition LVP sur le transistor localisé par la seconde harmonique

Pour confirmer la dégradation temporelle, nous avons effectué une mesure en interne sur le transistor localisé grâce à l'analyse sur la seconde harmonique. Cette mesure a été faite à une fréquence de données de 5MHz, et pour différentes valeurs de tension pour la caractérisation du défaut (nous rappelons que nous sommes en présence d'un défaut soft). On peut ainsi voir que le signal se dégrade à partir de 1V et qu'à partir de 0,92V le signal n'est plus du tout présent.

Grâce aux techniques de la seconde harmonique et de mesure LVP, on peut faire une hypothèse de défaillance très fiable (sur un problème de contact). Nous pouvons effectuer l'analyse physique sur le transistor NMOS de la bascule 123.



**Figure 100 : Lamelle TEM sur le NMOS localisé**

La figure 100 nous montre l'analyse TEM sur le transistor localisé défaillant. L'analyse physique nous révèle un manque de TiN au niveau de la grille qui change la résistivité du contact sur grille créant ainsi la défaillance soft.

## **4. Conclusion**

Dans ce chapitre, on a montré une évolution de la technique LVI à travers la cartographie fréquentielle de la seconde harmonique. En plus d'avoir une information sur la présence du signal (ou non), on peut ainsi, grâce à cette nouvelle méthode, venir vérifier l'intégrité du signal.

L'analyse « en fréquence » est devenue une méthode indispensable au sein du laboratoire. C'est une analyse rapide en mode cartographie qui permet la vérification de l'intégrité des signaux. Elle s'appuie sur la transformée de Fourier appliquée à l'analyse de défaillance. Cette représentation permet de connaître le contenu spectral d'énergie ou de puissance présent dans le signal à la fréquence  $f$ , et donc de détecter la présence d'un défaut générant un choc périodique à une fréquence de défaut.

Grâce à la combinaison du LVI et de l'étude en seconde harmonique nous pouvons ainsi mettre en évidence des défauts temporels portant sur la dégradation de front, la dégradation du rapport cyclique... La technique LVP permet de valider les hypothèses même si on a montré que cela n'est pas obligatoire (seulement confortable).



## **Conclusion Générale**



Le travail de recherche présenté dans cette thèse permet de mieux répondre aux nouveaux défis de l'analyse de défaillance des composants, en particulier ceux liés à la problématique de détection et d'analyse des défauts complexes dans les technologies ultimes ( inférieur à 45nm).

L'évolution des technologies vers une intégration de plus en plus croissante rend l'analyse de défaillances des circuits intégrés de plus en plus difficile et complexe. L'étape de localisation de défauts devient cruciale et conditionne le résultat d'une analyse. Cette étape est d'autant plus importante lorsque le défaut est situé dans la partie logique d'un circuit intégré. En effet, la densité des transistors et des éléments d'interconnexion est tellement forte dans ces parties que les techniques actuelles ne fournissent pas une précision suffisante dans la localisation du défaut.

Les outils industriels intégrant ces techniques ont évolué pour répondre à certains besoins, cependant, il existe des limites physiques qui restreignent l'utilisation de ces outils. Il faut donc continuellement développer de nouvelles techniques et méthodes d'analyse pour répondre à la problématique d'une miniaturisation constante.

En effet, les contraintes des circuits nouvelles générations imposent l'apparition de phénomènes physiques impliquant des défauts difficiles à interpréter (ex: défaut bridge).

Les méthodes conventionnelles sont devenues dans de nombreux cas obsolètes, cause de la réduction des tailles et de l'augmentation des niveaux d'interconnexions. L'augmentation des vitesses de fonctionnement introduit l'apparition de défauts dynamiques (c'est à dire des défauts accessibles uniquement en mode de fonctionnement dynamique) qui nécessite de mesurer de tels signaux à l'intérieur des circuits intégrés. Ces contraintes ont mené au développement de techniques de localisation sans contact basée sur l'onde laser réfléchie.

Ces travaux se sont tout d'abord intéressés à l'importance de la localisation de défaut par la face arrière, ainsi qu'à l'identification des techniques existantes d'analyse de défaillance (EMMI, lasers). A travers le défaut bridge on a pu montrer l'insuffisance des techniques "traditionnelles" à localiser un tel défaut, ainsi une étape de simulation a été obligatoire pour pouvoir bien étudier les signatures face à ce défaut.

Depuis 2009, une nouvelle technique commerciale est apparue. Cette technique basée sur le laser en monde sonde, le LVI. Toujours à travers le cas d'étude bridge on a mis en évidence l'insuffisance de cette technique et la présence de signature parasite.

Une étude théorique sur ces parasites ont permis de montrer que nous avons des phénomènes de thermoréfectance présents dans la signature LVI.

Ces travaux ont permis de développer deux nouvelles techniques de localisation:

- une nouvelle technique basée sur les propriétés du LVI et de la thermoréfectance. A l'aide de cette technique on vient modifier légèrement le montage du circuit sous test et ainsi on est capable de dissocier les défauts dit "thermique" de la signature LVI.

- une seconde basée sur l'analyse fréquentielle. Avec l'avancée des technologies, les défauts deviennent également de plus en plus complexes et par conséquent plus difficiles à détecter et à localiser. Ces défauts génèrent des marginalités sur le fonctionnement du circuit en fonction des variations de paramètres électriques ou physiques. Une majorité de ces défauts génèrent des problèmes temporels dans le circuit. Grâce à l'analyse fréquentielle, on a pu développer une nouvelle technique utilisant les propriétés de la transformée de Fourier pour nous permettre de faire l'étude d'intégrité des signaux du circuit sous test.

La présente étude a permis d'élargir les limites de l'analyse de défaillance. Ce travail a été valorisé au travers de quatre publications portant sur la théorie, ainsi que sur la mise en place de ces nouvelles techniques au sein du laboratoire d'analyse de défaillance de ST Microelectronics de Crolles.



## Références

- [BAK97] K. Baker and J. Van Beers, "Shmoo Plotting: The Black Art of IC Testing", Design & Test of Computers, vol 14, No 3, pp. 90-97, 1997
- [BAR00] S. Barde, R. Eco\_et, J. Costeraste, A. Meygret and X. Hugon, "Displacement Damage Effects in InGaAs Detectors : Experimental Results and Semi-Empirical Model Prediction", IEEE - Transactions on Nuclear Science, Vol. 47(6), 2000, p2466-2472
- [BAR96] D.L. Barton et al. « Infrared Light Emission from Semiconductor Devices », ISTFA, pp.9-17, 1996.
- [BAR99] D. L. Barton, K. Bernhard-Hofer et E. I. Cole Jr. : FLIP-chip and "backside" techniques. Microelectronics Reliability, pages 721–730, 1999.
- [BEA02] F. Beaudoin : Thèse de doctorat, Université de Bordeaux 1, 2002.
- [BEA04] T. Beauchêne : Etude et localisation de défauts dans les circuits intégrés par stimulation Photoélectrique laser. Thèse de doctorat, Université Bordeaux 1, 2 avril 2004.
- [BRU03] M.R. Bruce "Soft defect localization (SDL) in integrated circuits using laser scanning microscopy", Lasers and Electro-Optics Society, 2003. LEOS 2003. The 16<sup>th</sup> Annual Meeting of the IEEE
- [BRU99] M. Bruce et al., "Waveform Acquisition from the Backside of Silicon Using Electro-Optic Probing", Proceedings of 25<sup>th</sup> ISTFA Santa Clara, 1999, pp. 19-25.
- [BIN82] Binnig, G., H. Rohrer, et al. (1982). "Surface Studies by Scanning Tunneling Microscopy." Physical Review Letters 49(1) : 57.
- [CEL10] G. Celi, S. Dudit, P. Perdu, A. Reverdy, T. Parrassin, E. Bechet, D. Lewis, and M. Vallet, "Facing the defect characterization and localization challenges of bridge defects on a submicronic technology (45 nm and below)", presented at Microelectronics Reliability, 2010, pp.1499-1505
- [CEL11] G. Celi, S. Dudit, P. Perdu, A. Reverdy, T. Parrassin., D. Lewis, and M. Vallet, "LVI detection on passive structure in advance CMOS technology: new opportunities for device Analysis", ESREF 2011, Microelectronics Reliability 51 (2011) , p.1662-1667.
- [CEL11] G. Celi, S. Dudit, P. Perdu, A. Reverdy, T. Parrassin., D. Lewis, and M. Vallet, "Thermal Frequency Imaging : A new application of Laser Voltage Imaging applied on 40nm technology", ". International Symposium for Testing and Failure Analysis, ISTFA 2011, p.18-23.
- [COL01] E. I. Cole Jr. et al. : Resistive interconnection localization. Dans ISTFA, 2001.

- [COL94] E. I. Cole Jr., J. M. Soden, J. L. Rife, D. L. Barton et C. L. Henderson : Novel failure analysis techniques using photon probing with a scanning optical microscope. Dans IRPS, pages 338–398, 1994.
- [DLE96] Thèse de Dean Lewis, Juillet 1996
- [DI93A] C. Di, and J. Jess “On CMOS Bridge Fault Modeling and Test Pattern Evaluation”, 11th IEEE VLSI Test / Symp, pp. 116-119, 1993
- [FIR04] A. Firiti, D. Lewis, F. Beaudoin, P. Perdu, G. Haller and P. Fouillat, "Photoelectric Laser Stimulation in a Failure Analysis Laboratory", IEEE – Proceedings of International Symposium on Industrial Electronics, Vol.1, 2004, p101-104
- [FUJ83] S. Fujiwara “on the acceleration of test generation algorithm”, IEEE, vol. C-32, PP. 1137-1144, 1983
- [GER93] J. Gervais, “Mesure du coefficient d’absorption optique dans le silicium multicristallin de type P pour photopiles solaires“, J. Phys. III France 3 (1993), p1489-1495
- [HAW03] C. Hawkins, “CMOS Defect Electronics”, Tutorials, International Symposium for Testing and Failure Analysis, 2003
- [HEI87] H. K. Heinrich, D. M. Bloom, B. R. Hemenway, K. McGroddy, and U. Keller, "Noninvasive Optical Sheet Charge Density Probe for Silicon Integrated Circuits", IEEE Transactions on Electron Devices vol. 33 (11), 1987, pp. 1860.
- [HON97] Y.E. Hong and M. Tay Tiong We, "The application of novel Failure Analysis Techniques for Advanced Multi-layered CMOS devices", IEEE - Proceedings of International Test Conference (ITC), 1997, p304-309
- [IWA 99] H. Iwai, “CMOS Technology – Year 2010 and Beyond,” IEEE Journal of Solid-State Circuits, vol. 34, March 1999, pp. 357–366.
- [JOH93] A.H. Johnston, «Charge Collection in p-n Junctions Excited With Pulsed Infrared Lasers», IEEE transaction on Nuclear Sciences, Vol. 40, No. 6, p. 1694-1702, 1993.
- [KAS11] S. Kasapi, U.S. Patent 7, 733,100B2, 2011
- [KAS97] S. Kasap « Thermoelectric effects in Metals : Thermocouples », e-booklet ; Department of Electrical Engineering, University of Saskatchewan, Canada
- [KEL58] L.V. Keldysh, "The effect of a strong electric field on the optical properties of insulating crystals", Soviet Physics JETP, 1958, pp. 788-790.
- [KEL64] L. V. Keldysh. Ionization in the field of a strong electromagnetic wave. J. Exptl. Theoret. Phys. (USSR) 47, pages 1945{1957, 1964. translation: Soviet Physics JETP 20 (1965) 1307{1314.

- [KHU86] N. Khurana, C. L. Chiang « Analysis of Product Hot Electron Problems by Gated Emission Microscopy », Proceeding IRPS, IEEE, pp.189-194, 1986.
- [KIN07] U. Kindereit, G. Woods, J. Tian, C. Boit “Investigation of Laser Voltage Probing Signals in CMOS Transistors”, IEEE-IRPS 45 (2007)526
- [KIN08] U. Kindereit, C.Boit, U. Kerst, S. Kasapi, “Comparison of laser voltage probing and mapping results in oversized and minimum size devices of 120nm and 65nm technology”, Micro Rel 48 (2008) 1322
- [KOL92] J. Kolzer, C. Boit, A. Dallmann, G. Deboy, J. Otto, et D. Weinmann, « Quantitative Emission Microscopy », Journal of Applied Physics, Vol. 71, No. 11, p. R23-R41, 1992.
- [KOL91] J. Kölzer, A. Dallmann, G. Deboy, J. Otto et D. Weinmann : Emission microscopy. European Symposium on Reliability of Electron device Failure physics and analysis, 2:625–649, octobre 1991.
- [LER99] C. Leroux et D. Blachier: Light emission microscopy for reliability studies. Microelectronics reliability, 49:169–180, 1999.
- [LIL27] J.E. Lilienfield US Patent 1,877,140 and 1,900,018
- [MAT91] Y. Matsunaga, H. Yamashita and S. Ohsawa, "A Highly Sensitive On-Chip Charge Detector for CCD Area Image Sensor", IEEE - Journal of Solid-State Circuits, Vol. 26(4), 1991, p 652-656
- [MON98] S. Ito et H. Monna : Failure analysis of wafer using backside OBIC method. Microelectronics Reliability, 38:993–996, 1998.
- [MOO65] G.E. Moor, "Cramming more components onto Integrated Circuits", Electronics Magazine, Vol. 38(8), 1965
- [NIK93] K. Nikawa et S. Tozaki : Testing and failure analysis. ASM International, pages 303– 310, 1993.
- [NIK96] K. Nikawa, C. Matsumoto et S. Inoue : Verification and improvement of the optical beam induced resistance change (OBIRCH) method. ISTFA, 1996.
- [NIK99] K. Nikawa et S. Inoue : LSI failure analysis using focused laser beam heating. Microelectronic Reliability, 37(12):1841–1847, 1997.
- [PAN71] J. I. Pankove. Optical processes in semiconductors. Dover Publications Inc. New York, 1971.
- [PER00] P. Perdu, R. Desplats and F. Beaudoin, “A review of sample backside preparation techniques for VLSI”, Microelectronics Reliability, Vol. 40, Issues 8-10, 2000, p1431-1436.

- [REM05] M. Remmach, A. Pigozzi, R. Desplats, P. Perdu, D. Lewis, J. Noel, S. Dudit, "Light Emission to Time Resolved Emission For IC Debug and Failure Analysis", *Microelectronics Reliability*, Vol. 45, 2005, p1476-1481
- [Qui95] V. Quintard, "Réflectométrie et Interférométrie laser haute résolution. Application à la caractérisation de composants électronique" - Thèse de doctorat de l'Université de Bordeaux 1, n° 1315, 1995.
- [REM04] M. Remmach, R. Desplats, P. Perdu, J. P. Roux, M. Vallet, S. Dudit, P. Sardin, "Light Emission and TRE for a 120nm Technology case study : How much wavelength shift ?", *IEEE - Proceedings of IPFA*, 2004, p139-142
- [REN94] M. Renovell et al, "CMOS Bridging Fault Modeling", *IEEE 12th VLSI Test Symposium*, pp. 392-397, 1994
- [REV08] Thèse Antoine Reverdy « Localisation de défauts par stimulation thermique laser modulée en intensité. Développement et application à la détection de phase », 2008
- [ROTH66] J.P. Roth "Diagnosis of automata failure: A calcul and a method", IBM, july 1966
- [ROW03] J. A. Rowlette and T. M. Eiles, "Critical Timing Analysis in Microprocessors Using Near-IR Laser Assisted Device Alteration (LADA)", *International Test Conference*, pp. 264-273, 2003
- [SAN07] K. Sanchez, "Développement et application de techniques d'analyse par stimulation dynamique laser pour la localisation de défaut et le diagnostic de CI", *manuscrit de thèse*, Université de Bordeaux 1, n°3370, 2007.
- [SAR87] M. Saritas, H.D. McKell, "Absorption coefficient of SI in the wavelength region between 0.80 – 1.16  $\mu\text{m}$ " *J. of Applied Physics*, Vol.61, pp. 4923-4923, 1987.
- [SOR87] R. A. Soref and B. R. Bennett. Electro-optical effects in silicon. *IEEE Journal of Quantum Electronics*, QE-23, 1987.
- [SHA04] G. Shade, "Photon Emission Microscopy", *Desk Reference Fifth Edition – Electronic Device Failure Analysis Society (EDFAS)*, 2004, p347-355
- [SKO03] T. Skotniki, F. Boeuf, *Introduction à la physique du transistor MOS*, 2003
- [STE02] F. Stellari, A.Tosi, F. Zappa and S. Cova, "CMOS Circuit Analysis with Luminescence measurements and simulations", *IEEE - Proceedings of ESSDERC*, 2002, p495-498
- [STE06] F. Stellari, A. Tosi and P. Song, "Switching Time Extraction of CMOS Gates using Time-Resolved Emission (TRE)", *IEEE - Proceedings of IRPS*, 2006, p566-573
- [SOR87] R. A. Soref and B. R. Bennett, "Electrooptical effects in Silicon", *IEEE Journal of Quantum Electronics*, 1987, pp. 123-12

- [TOS06] A. Tosi, F. Stellari, A. Pigozzi, G. Marchesi and F. Zappa , "Hot-Carrier Photoemission in Scaled CMOS Technologies : A Challenge for Emission Based Testing and Diagnostics", IEEE - Proceedings of IRPS, 2006, p595-601
- [TOS06] A. Tosi, F. Stellari, F. Zappa and S. Cova, "Hot-carrier Luminescence : Comparison of different CMOS Technologies", IEEE - European Solid-State Device Research (ESSDERC), 2003, p351-354
- [VAL00] D.P. Vallett, "Failure Analysis Requirements for Nanoelectronics", IEEE – Transactions on Nanotechnology, Vol. 1(3), 2000, p117-121
- [VIE93] H. Vierhaus et al, “CMOS Bridges and Resistive Transistor Fault: IDDQ versus Delay Effects”, International Test Conference, pp. 83-91, 1993
- [WC65] P.H. Wendland and M. Chester. Electric field effects on indirect optical transitions in silicon. Phys. Rev., 140(4A):1384{1390, 1965.
- [WIL60] R. Williams. Electric field induced light absorption in cds. Phys. Rev. 117, pages 1487{1490, 1960.
- [WIL86] T. Wilson et C.J.R. Sheppard : Observations of dislocations and jonction irregularities in bipolar transistors using the OBIC mode of the scanning optical microscope. Solid-State Electronics, 29(11):1189–1194, 1986.
- [YEE99] Wai Mun Yee, Mario Paniccia, Travis Eiles, Valluri Rao, "Laser Voltage Probe (LVP): A Novel Optical Probing Technology for Flip-Chip Packaged Microprocessors", IEEE Proceedings of 7th IPFA '99, Singapore
- [YIN10] S. Yin, T. Lundquist. “Laser Voltage Imaging : A new perspective of Laser Voltage Probing”. International Symposium for Testing and Failure Analysis, ISTFA 2010, p.5-12.



## **Contributions scientifiques de l'auteur**

### **2012 :**

G. Celi, S. Dudit, P. Perdu, A. Reverdy, T. Parrassin, D. Lewis, M. Vallet, "Laser Voltage Imaging: New perspective using second harmonic detection on submicron technology", présenté à 38th International Symposium for Testing and Failure Analysis (Phoenix / Arizona), Novembre 2012

T. Parrassin, E. Petit, G. Celi, Y. Mousseau, S. Dudit, "Optical techniques using dynamic power supplies applied for bridge defect localization on a 28nm technology node scan chain", présenté à 38th International Symposium for Testing and Failure Analysis (Phoenix / Arizona), Novembre 2012

### **2011 :**

G. Celi, S. Dudit, P. Perdu, A. Reverdy, T. Parrassin, D. Lewis, M. Vallet, "Thermal Frequency Imaging: A new application of Laser Voltage Imaging applied on ultimate technology (40nm and below)", présenté à 37th International Symposium for Testing and Failure Analysis (San José/Californie), Novembre 2011

G. Celi, S. Dudit, P. Perdu, A. Reverdy, T. Parrassin, D. Lewis, M. Vallet, "LVI detection on passive structure in advance CMOS technology: new opportunities for device Analysis", *Microelectronics Reliability*, Septembre 2011, 51 (9-11) pp.1662-1667

T. Parrassin, G. Celi, S. Dudit, M. Vallet, "Failure analysis defect location on a real case 55nm memory using dynamic power supply emulation", *Microelectronics Reliability* (September 2011), 51 (9-11), pg. 1646-1651

G. Bascoul, P. Perdu; A. Benigni, S. Dudit, G. Celi, D. Lewis, "Time Resolved Imaging: From logical states to events, a new and efficient pattern matching method for VLSI analysis", *Microelectronics Reliability* (September 2011), 51 (9-11), pg. 1640-1645

G. Bascoul, P. Perdu, D. Lewis, S. Dudit, G. Celi " Activity Analysis At Low Power Supply On 45nm Technology", présenté à 37th International Symposium for Testing and Failure Analysis (San José), Novembre 2011

G. Bascoul, P. Perdu, G. Celi, D. Lewis, S. Dudit, " Time Resolved Imaging at low power supply on 45nm technology ", présenté à 18th IEEE International Symposium on the Physical and Failure Analysis of Integrated Circuits, Juillet 2011

**2010 :**

G. Celi & al, "Facing the defect characterization and localization challenges of bridge defects on a submicronic technology (45 nm and below)", *Microelectronics Reliability*, 2010, pp.1499-1505

## Table des illustrations

Figure 1 : Processus d'une analyse de défaillance.....	20
Figure 2 : Vue en coupe d'un circuit intégré CMOS en technologie 45nm .....	21
Figure 3 : Schéma d'un transistor MOSFET submicronique, on distingue les deux réservoirs de charges : la source et le drain, ainsi que l'électrode de commande : la grille. ....	23
Figure 4 : Caractéristique de sortie ID (VG) idéale (en gras) et réelle (en trait fin) .....	24
Figure 5 : Description des différents états de fonctionnement d'un transistor nMOS. Première ligne : représentation du MOS. Seconde ligne : coupe longitudinale de l'énergie le long du canal. Troisième ligne : niveau d'énergie suivant une coupe transverse au canal dans les régions métal, oxyde et semi-conducteurs [SKO03].....	26
Figure 6 : Croissance du nombre de transistors dans les microprocesseurs Intel suivant la loi de Moore. On peut noter la justesse de la seconde loi de Moore ajustée en 1975. ....	28
Figure 7 : Structure en bande dans un isolant, un semi-conducteur et un métal.....	29
Figure 8 : Coefficient d'absorption du silicium extrinsèque en fonction de la longueur d'onde pour un substrat dopé N (JOH93). ....	31
Figure 9 : Coefficient d'absorption du silicium intrinsèque en fonction de la longueur d'onde du faisceau utilisé, pour des longueurs d'onde du spectre [800nm ; 1060nm] (GER93, SAR87).....	32
Figure 10 : Représentation de l'inverseur MOS .....	33
Figure 11 : Efficacité de détection en fonction de la longueur d'onde pour les détecteurs de type CCD, InGaAs et MCT [REM05] .....	37
Figure 12 : Exemple de photoémission. Objectif 20X, Temps d'acquisition 60 sec. A gauche : image d'émissivité brute, à droite : image superposée avec l'image du circuit.....	38
Figure 13 : <i>Principe de l'émission de photons dans un transistor NMOS</i> .....	39
Figure 14 : <i>Spectre d'émission des photons en fonction des mécanismes physiques [KOLZE92]</i> .....	39
Figure 15 : EMMI sur technologie 45nm, lentille 100X, temps d'acquisition : 60 sec .....	41
Figure 16 : <i>TRE sur technologie 45nm, temps d'acquisition : 60 sec</i> .....	42
Figure 17 : Principe de la stimulation laser.....	44
Figure 18 : Représentation de la stimulation laser sur une ligne métallique.....	46
Figure 19 : Coefficient de Seebeck pour différentes interfaces .....	48
Figure 20 : Exemple de signature Seebeck .....	48
Figure 21 : <i>Illustration stimulation laser dynamique, à gauche : schmoo ; à droite : localisation du Chemin Bon/Mauvais</i> .....	51
Figure 22 : Modélisation d'un défaut court-circuit "Bridge" .....	57
Figure 23 : Structure de test du défaut bridge .....	58
Figure 24 : Layout de la structure Bridge. Bas: image illuminée en face arrière de la structure bridge.....	59
Figure 25 : Structure bridge, localisation des inverseurs .....	62
Figure 26 : Résultats de simulation ELDO pour un défaut bridge de 1k $\Omega$ (A gauche : sortie de chaque inverseur; A droite : courant de drain pour chaque Nmos).....	63
Figure 27 : Structure Bridge, localisation des transistors.....	64
Figure 28 : Résultats de simulation ELDO pour un défaut bridge de 10K $\Omega$ (à gauche : sortie de chaque inverseur; à droite : courant de drain pour chaque NMOS) .....	64
Figure 29 : Structure Bridge, Localisation des transistors .....	66
Figure 30 : Résultats de simulation ELDO pour un défaut bridge de 100K $\Omega$ (à gauche : sortie de chaque inverseur; à Droite : courant de drain pour chaque NMOS) .....	66

Figure 31 : Schéma de la structure Bridge .....	68
Figure 32 : Layout de la structure Bridge .....	69
Figure 33 : EMMI sur défaut bridge 1k $\Omega$ (en haut : EMMI, en bas : image superposée) .....	70
Figure 34 : Simulations Bridge 1K $\Omega$ .....	71
Figure 35 : EMMI sur défaut bridge 10K $\Omega$ (A gauche : EMMI, A droite : image superposée) .....	72
Figure 36 : EMMI sur défaut bridge 10K $\Omega$ avec VDD+20% (A gauche : EMMI, à droite : image superposée) .....	73
Figure 37 : EMMI sur défaut bridge 100K $\Omega$ (En haut : EMMI, En bas : image superposée). ..	74
Figure 38 : Localisation des transistors de la structure bridge .....	75
Figure 39 : Acquisition TRE sur les inverseurs de la chaine avec un défaut bridge de 1K $\Omega$ ..	76
Figure 40 : Acquisition TRE sur les inverseurs de la chaine avec un défaut bridge de 10k $\Omega$ .	77
Figure 41 : Acquisition TRE sur les inverseurs de la chaine avec un défaut bridge de 100k $\Omega$	78
Figure 42 : Acquisition laser sur le défaut bridge de 1k $\Omega$ .....	79
Figure 43 : Acquisition laser sur le défaut bridge de 10k $\Omega$ .....	80
Figure 44 : Illustration du principe laser en mode sonde .....	87
Figure 45 : Illustration de la technique LVI sur un inverseur .....	89
Figure 46 : Spectre d'électro absorption dans le silicium [WC65].....	91
Figure 47 : Spectre d'absorption optique dans le silicium montrant l'influence de la concentration des électrons libres [SB87] .....	93
Figure 48 : Spectre d'absorption optique dans le silicium montrant l'influence de la concentration des trous libres [SOR87] .....	93
Figure 49 : Indice de réfraction pour différentes valeurs de concentration d'électrons [SOR87]. .....	94
Figure 50 : Indice de réfraction pour différentes valeurs de concentration de trous [SOR87].	95
Figure 51 : Réfraction des porteurs libres en fonction de leurs concentrations [SOR87].....	95
Figure 52 : Principe de la mesure LVI .....	96
Figure 53 : Mesure LVI sur structure défaut bridge à 10 MHz.....	98
Figure 54 : Acquisition LVI sur le signal de donnée à 1V.....	100
Figure 55 : Acquisition LVI sur le signal de donnée à 0,9V.....	101
Figure 56 : Acquisition LVI sur le signal de donnée à 0,9V, zoom sur la zone d'intérêt. ....	101
Figure 57 : Problématique signature LVI.....	107
Figure 58 : Schéma de principe de la thermoréfectance .....	109
Figure 59 : Description de la structure de la ligne de cuivre.....	111
Figure 60 : Emulation électrique de la ligne de cuivre. ....	111
Figure 61 : Signature de thermorefectance sur la ligne de cuivre.....	112
Figure 62 : Etude fréquentielle de la signature LVI sur la structure cuivre .....	113
Figure 63 : Modèle de la phase d'échauffement.....	114
Figure 64 : Modèle de la phase de refroidissement.....	115
Figure 65 : Modèle avec une fréquence < constante de temps de chauffe du matériau.....	116
Figure 66 : Réponse du modèle de l'échauffement / Refroidissement avec une fréquence > constante de temps de chauffe du matériau.....	116
Figure 67 : Réponse du modèle de l'échauffement / Refroidissement avec une fréquence élevée.....	117
Figure 68 : Etude suivant la tension d'alimentation de la signature LVI sur la structure cuivre .....	118
Figure 69 : Schéma de fonctionnement de la technique TFI.....	121
Figure 70 : Schéma chauffe/refroidissement d'une ligne de métal par effet Joule.....	122
Figure 71 : Acquisition LVI sur la structure bridge en technologie 45nm, en haut : image brute, en bas : image superposée avec l'image illuminée .....	124

Figure 72 : Schéma modulation TFI sur la structure bridge .....	125
Figure 73 : Signature TFI sur la structure bridge .....	126
Figure 74 : Description de la chaine de registre à décalage .....	127
Figure 75 : Test fréquentiel du défaut (schmoo) .....	129
Figure 76 : Description électrique de défaut .....	129
Figure 77 : Localisation de la zone d'intérêt (bascule 160) ; .....	130
Figure 78 : Schématisation de la zone d'intérêt.....	131
Figure 79 : Acquisition EMMI SIL 220X .....	131
Figure 80 : Localisation SDL .....	132
Figure 81 : Résultats LVI sur l'horloge à 20MHz .....	133
Figure 82 : Résultats LVI sur le signal de données à 10 MHz.....	133
Figure 83 : Acquisitions CW LVP .....	134
Figure 84 : Acquisitions TFI .....	136
Figure 85 : Résumé final des différentes localisations.....	137
Figure 86 : Analyse physique du défaut.....	137
Figure 87 : Représentation du spectre fréquentiel.....	147
Figure 88 : Représentation spectrale d'un signal pair.....	147
Figure 89 : Représentation spectrale d'un signal impair .....	148
Figure 90 : Spectre de signaux non périodiques .....	149
Figure 91 : Amplitude de la seconde harmonique Vs rapport cyclique .....	150
Figure 92 : Localisation des buffers d'horloge .....	152
Figure 93 : Cartographie LVI et 2nd harmonique.....	153
Figure 94 : Intensité de la seconde harmonique .....	154
Figure 95 : Acquisition LVP sur chaque transistor de l'arbre d'horloge .....	155
Figure 96 : Analyse physique du défaut : contacts désalignés.....	156
Figure 97 : Cartographie LVI.....	157
Figure 98 : LVI 2nd harmonique sur le signal de donné à 0.96V .....	158
Figure 99 : Acquisition LVP sur le transistor localisé par la seconde harmonique .....	159
Figure 100 : Lamelle TEM sur le NMOS localisé .....	160



## **Etude, applications et améliorations de la technique LVI sur les défauts rencontrés dans les technologies CMOS avancées 45nm et inférieur.**

L'analyse de défaillances joue un rôle important dans l'amélioration des performances et de la fabrication des circuits intégrés. Des défaillances peuvent intervenir à tout moment dans la chaîne d'un produit, que ce soit au niveau conception, durant la qualification du produit, lors de la production, ou encore lors de son utilisation.

Il est donc important d'étudier ces défauts dans le but d'améliorer la fiabilité des produits. De plus, avec l'augmentation de la densité et de la complexité des puces, il est de plus en plus difficile de localiser les défauts, et ce malgré l'amélioration des techniques d'analyses.

Ce travail de thèse s'inscrit dans ce contexte et vise à étudier et développer une nouvelle technique d'analyse de défaillance basée sur l'étude de l'onde laser réfléchie le "Laser Voltage Imaging" (LVI) pour l'analyse de défaillance des technologies ultimes (inférieur à 45nm).

**Mots Clés :** Analyse de défaillance, localisation de défauts, Silicium, LVI, Thermoréfectance, TFI, stimulation laser, interaction laser/Silicium

---

## **Study, applications and improvements of the LVI technique on the advanced CMOS technologies 45nm and below.**

The Failure analysis plays an important role in the improvement of the performances and the manufacturing of integrated circuits. Defects can be present at any time in the product chain, during the conception (design), during the qualification, during the production, or still during its use.

It is important to study these defects in order to improve the reliability of the products. Furthermore, with the density increasing and the complexity of the chips, it is harder and harder to localize the defects.

This thesis work consists to develop a new failure analysis technique based on the study of the reflected laser beam the "Laser Voltage Imaging" LVI, for the ultimate technologies (below 45nm).

**Keywords:** Failure analysis, defect localization, Silicon, LVI, Thermorefectance, TFI, laser stimulation, laser / silicon interaction