



HAL
open science

Technologie d'intégration monolithique des JFET latéraux

Farah Laariedh

► **To cite this version:**

Farah Laariedh. Technologie d'intégration monolithique des JFET latéraux. Autre. INSA de Lyon, 2013. Français. NNT : 2013ISAL0031 . tel-00940370

HAL Id: tel-00940370

<https://theses.hal.science/tel-00940370>

Submitted on 31 Jan 2014

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Thèse

***Technologie d'intégration monolithique des
JFET latéraux***

Présentée devant
L'institut national des sciences appliquées de Lyon

Pour obtenir
Le grade de docteur

Formation doctorale : Génie électrique
École doctorale: EEA de Lyon

Par

Farah Laariedh

Soutenue le 13 Mai 2013 devant la Commission d'examen

Jury MM.

Président	Jean François Barbot, Professeur (Institut Pprime, Poitiers)
Rapporteur	Konstantinos Zekentes, Professeur (IESL, Grèce)
Rapporteur	Jean François Barbot, Professeur (Institut Pprime, Poitiers)
	Adel Kalboussi, Professeur (FSM, Tunisie)
	Jean Louis Leclercq Chargé de recherche (CNRS) (ECL de Lyon)
	Mihai Lazar Chargé de recherche (CNRS) (INSA de Lyon)
	Dominique Planson Professeur (INSA de Lyon)

Laboratoire de recherche : AMPERE

SIGLE	ECOLE DOCTORALE	NOM ET COORDONNEES DU RESPONSABLE
CHIMIE	<u>CHIMIE DE LYON</u> http://www.edchimie-lyon.fr Insa : R. GOURDON	M. Jean Marc LANCELIN Université de Lyon – Collège Doctoral Bât ESCPE 43 bd du 11 novembre 1918 69622 VILLEURBANNE Cedex Tél : 04.72.43 13 95 directeur@edchimie-lyon.fr
E.E.A.	<u>ELECTRONIQUE, ELECTROTECHNIQUE, AUTOMATIQUE</u> http://edeea.ec-lyon.fr Secrétariat : M.C. HAVGOUDOUKIAN eea@ec-lyon.fr	M. Gérard SCORLETTI Ecole Centrale de Lyon 36 avenue Guy de Collongue 69134 ECULLY Tél : 04.72.18 65 55 Fax : 04 78 43 37 17 Gerard.scorletti@ec-lyon.fr
E2M2	EVOLUTION, ECOSYSTEME, MICROBIOLOGIE, MODELISATION http://e2m2.universite-lyon.fr Insa : H. CHARLES	Mme Gudrun BORNETTE CNRS UMR 5023 LEHNA Université Claude Bernard Lyon 1 Bât Forel 43 bd du 11 novembre 1918 69622 VILLEURBANNE Cédex Tél : 06.07.53.89.13 e2m2@univ-lyon1.fr
EDISS	<u>INTERDISCIPLINAIRE SCIENCES-SANTE</u> http://www.ediss-lyon.fr Sec : Samia VUILLERMOZ Insa : M. LAGARDE	M. Didier REVEL <i>Hôpital Louis Pradel</i> Bâtiment Central 28 Avenue Doyen Lépine 69677 BRON Tél : 04.72.68.49.09 Fax :04 72 68 49 16 Didier.revel@creatis.uni-lyon1.fr
INFOMATHS	INFORMATIQUE ET MATHÉMATIQUES http://infomaths.univ-lyon1.fr Sec :Renée EL MELHEM	Mme Sylvie CALABRETTO Université Claude Bernard Lyon 1 INFOMATHS Bâtiment Braconnier 43 bd du 11 novembre 1918 69622 VILLEURBANNE Cedex Tél : 04.72. 44.82.94 Fax 04 72 43 16 87 infomaths@univ-lyon1.fr
Matériaux	<u>MATERIAUX DE LYON</u> http://ed34.universite-lyon.fr Secrétariat : M. LABOUNE PM : 71.70 –Fax : 87.12 Bat. Saint Exupéry Ed.materiaux@insa-lyon.fr	M. Jean-Yves BUFFIERE INSA de Lyon MATEIS Bâtiment Saint Exupéry 7 avenue Jean Capelle 69621 VILLEURBANNE Cedex Tél : 04.72.43 83 18 Fax 04 72 43 85 28 Jean-yves.buffiere@insa-lyon.fr
MEGA	<u>MECANIQUE, ENERGETIQUE, GENIE CIVIL, ACOUSTIQUE</u> http://mega.ec-lyon.fr Secrétariat : M. LABOUNE PM : 71.70 –Fax : 87.12 Bat. Saint Exupéry mega@insa-lyon.fr	M. Philippe BOISSE INSA de Lyon Laboratoire LAMCOS Bâtiment Jacquard 25 bis avenue Jean Capelle 69621 VILLEURBANNE Cedex Tél :04.72 .43.71.70 Fax : 04 72 43 72 37 Philippe.boisse@insa-lyon.fr
ScSo	<u>ScSo*</u> http://recherche.univ-lyon2.fr/scso/ Sec : Viviane POLSINELLI Brigitte DUBOIS	M. OBADIA Lionel Université Lyon 2 86 rue Pasteur 69365 LYON Cedex 07 Tél : 04.78.77.23.86 Fax : 04.37.28.04.48

Remerciements

Je tiens à débiter ces remerciements en exprimant toute ma gratitude à Dominique Planson et Mihai Lazar qui ont dirigé cette thèse. Merci de m'avoir fait confiance, de m'avoir encadré comme vous l'avez fait, d'avoir su donner de votre temps lorsque c'était nécessaire.

Mes remerciements vont aussi à Jean-Louis Leclercq pour les échanges scientifiques intéressants que nous avons pu avoir durant ces quelques années et pour l'examen final de ce manuscrit.

Je voudrais remercier Jean-François Barbot d'être le rapporteur et d'avoir accepté de présider le jury de ma soutenance de thèse. Merci à Konstantinos Zekentes de m'avoir fait l'honneur d'être le rapporteur de ces travaux de recherche. Je remercie également Adel Kalboussi d'avoir accepté d'examiner ces travaux.

Ces travaux n'auraient pas pu être réalisés sans l'aide des membres de la plate forme NanoLyon. Je les remercie tous pour le travail qu'ils réalisent, en particulier Pierre Cremillieu qui m'a pris en charge pendant mes travaux en salle blanche. Je remercie également Radoslaw Mazurczyk, Khaled Ayad et Joëlle Grégoire et ceux que j'aurais oubliés.

Pour les mêmes raisons, je souhaite remercier les membres de l'équipe EPI, Nicolas, Thibault, Stan, Raphaël, Amira, Pascal, Maher, Alaa, Hassen, Cyril, Jonathan, Arthur, Tony...

Un grand merci à Davy Carole pour les analyses EDX et José Penuelas pour les analyses DRX ainsi qu'à Christiane Dubois pour les analyses SIMS.

Merci aux personnes du laboratoire Ampère et Institut de Nanotechnologie de Lyon avec lesquelles j'ai eu l'occasion de travailler durant cette thèse.

Résumé :

Le carbure de silicium (SiC) est un semi-conducteur à large bande d'énergie interdite, remarquable par ses propriétés physiques situées à mi-chemin entre le silicium et le diamant. Ceci suscite actuellement un fort intérêt industriel pour son utilisation dans la fabrication de composants susceptibles de fonctionner dans des conditions extrêmes : forte puissance et haute température. Les travaux de thèse se sont focalisés sur la levée de verrous technologiques pour réaliser des composants latéraux de type JFET (Junction Field Effect Transistor) et les intégrer monolithiquement dans des substrats SiC-4H. L'objectif est de réaliser un bras d'ondeur intégré en SiC avec deux étages commande et puissance. Dans un premier temps, nous avons entamé cette thèse par une caractérisation de deux lots de composants JFET latéraux à canaux N et P réalisés dans le cadre de deux projets ANR précédents cette thèse. De cette étude nous avons extrait plusieurs points positifs, comme celui qui concerne la tenue en tension des JFET de puissance et l'intégration monolithique des JFET basse tension. Mais, nous avons aussi mis en évidence, la nécessité d'optimiser la structure de composants et d'améliorer certaines étapes technologiques, principalement, la définition des canaux par implantation ionique, le contact ohmique et la gravure profonde. Des études approfondies pour réaliser le contact ohmique sur SiC type P et des procédés pour réaliser une gravure profonde dans le SiC ont été développés. Ces études ont permis d'obtenir une faible résistance de contact comparable à l'état de l'art mondial, d'avoir des calibres en courant plus élevés et par conséquent une meilleure modulation. Pour la gravure, un masque dur à base de silicium et nickel (NiSi), nous a permis de mettre en place un procédé original qui permet des gravures profondes du SiC et réaliser les structures intégrés des JFET. L'ensemble de ces améliorations technologiques nous a permis d'obtenir des nouveaux lots de composants JFET P et N intégrés sur la même puce, avec des meilleures performances par rapport aux précédentes réalisations, notamment avec une conduction dans les canaux 10 à 100 fois plus importante. Nous avons également obtenu une modulation du courant I_{ds} en fonction de la tension V_{gs} sur un nombre très important de JFET en augmentant significativement le rendement par rapport aux lots précédents.

Mots-Clés: Carbure de silicium, JFET latéraux, Contact ohmique, Gravure profonde, Caractérisation électriques.

Abstract:

Silicon carbide (SiC) is as a wide band gap semiconductor, notable for its physical properties at midway between silicon and diamond. The interesting properties of silicon carbide as high thermal conductivity and high breakdown voltage make it a very promising material for high power, high temperature and high-frequency device applications.

The thesis focused on the removal of technological barriers to achieve lateral JFET (Junction Field Effect Transistor) monolithically integrated in 4H-SiC substrates.

The final objective is to realize an inverter in SiC by integrating the two stages command and power.

Initially, we started this thesis by electrical characterization of two batches of JFET with N and P-type channels. These devices have been realized during two previous ANR projects.

In this study, we extracted several positive points, such, the breakdown voltage of the power JFET which correspond to the escomtated value. The monolithic integration of the low voltage JFET stage was also demonstrated. But we have also highlighted the need to optimize the device structures and improve some technological steps, mainly the definition channels by ion implantation, the ohmic contact and deep etching.

Therefore we focused our study to achieve ohmic contact on SiC P-type and to find methods for performing deep etching in SiC. These studies have resulted in a low specific contact resistance comparable to the world state of the art on the ohmic contact on P-type SiC. Low contact resistances will allow us to obtain higher current and a better modulation on our JFET devices.

Concerning the SiC etching, a hard mask of silicon and nickel (NiSi) has enabled us to develop a novel method that allows us to obtain deep and tight etching structures, very useful to achieve the JFET integrated devices

All these technological improvements allowed us to fabricate new batches of P and N-type JFET integrated on the same chip with better performance compared to previous achievements, especially with a conduction channels 10 to 100 times higher. We also got a modulation current I_{ds} as a function of the voltage V_{gs} on a large number of JFET significantly increasing the performance compared to previous batches.

Keywords: Silicon Carbide, Ohmic contact, deep etching, electrical characterization, JFET.

Sommaire

Introduction générale.....	11
----------------------------	----

Chapitre 1: Le carbure de silicium pour l'intégration de composants électroniques

Introduction	18
1.1 Contexte - Positionnement du carbure de silicium.....	18
1.1.1 Propriétés physiques du SiC.....	20
1.1.2 Facteur de mérite du SiC.....	21
1.1.3 Propriétés électroniques intrinsèques du SiC.....	22
1.2 Etat de l'art de la filière du carbure du silicium.....	23
1.2.1 Fournisseurs de substrat SiC	23
1.2.2 Aspects cristallographiques.....	24
1.2.3 Défauts dans le SiC	27
1.3 Spécificités technologiques du SiC	29
1.3.1 L'épithaxie du SiC	29
1.3.2 Dopage	31
1.3.2.1 Eléments dopants.....	31
1.3.2.2 Dopage in situ.....	31
1.3.2.3 Dopage localisé par diffusion.....	32
1.3.2.4 Dopage localisé par implantation ionique	32
1.3.3 La gravure du SiC	34
1.3.3.1 Gravure humide.....	34
1.3.3.2 Gravure sèche par plasma	35
1.3.3.2.1 Propriétés du plasma.	35
i) Interaction plasma-surface.....	35
ii) sélectivité de la gravure	36
1.3.3.2.2 Les principaux réacteurs.....	37
a) RIE (Reactive Ion Etching).....	38
b) ICP (Inductively Coupled Plasma)	38
1.3.3.2.2 Synthèse des procédés utilisées dans la gravure du SiC	39
1.3.4 Le contact ohmique sur le SiC	42
1.3.4.1 Le contact ohmique sur SiC-4H type N	42
1.3.4.2 Le contact ohmique sur SiC-4H type P	42
1.3.5 Packaging	45
1.3.6 Passivation.....	45
1.3.6.1 Passivation primaire	46
1.3.6.2 Passivation secondaire.....	46
1.4 Les composants d'électronique de puissance en SiC.....	47
1.4.1 Les diodes en SiC.....	47
1.4.2 Le JFET	50
1.4.3 Le MOSFET.....	53
1.4.4 Le BJT	55
1.5 L'intégration en électronique de puissance.....	56
1.5.1 Pourquoi l'intégration en électronique de puissance	56
1.5.2 Vers l'intégration monolithique.....	56
1.6. Conclusion du chapitre:.....	59
1.7. Références:	60

Chapitre 2 : Analyse des composants JFET latéraux pour améliorer la technologie de fabrication

2.1 Le contexte	71
2.2 Description des échantillons.....	71
2.2.1 Description des échantillons de l'étage de puissance (1 ^{er} lot)	73
2.2.2 Description de l'échantillon de l'étage de commande basse puissance.....	78
2.3 Caractérisations électriques des composants.....	82
2.3.1. Méthodologie de l'analyse I-V	82
2.3.2 Résultats sur les composants de puissance.....	84
2.3.2.1 Etude préliminaire des JFET type N (FL0288-09).....	84
2.3.2.1.1 Mesures Grille – Source ($P^+ - N - N^+$) et Drain – Source ($N^+ - N - N^+$)	84
2.3.2.1.2 Mesures contact du substrat reporté en surface – Substrat ($P^+ - P^- - P^+$).....	85
2.3.2.1.3 Mesures Grille – Substrat ($P^+ - N - P^+$).....	86
2.3.2.2 Fonctionnement des composants JFET type N (FL0288-09).....	87
2.3.2.2.1 Caractérisation $I_{ds}(V_{ds})$ en fonction de V_{gs}	87
2.3.2.4 Etude préliminaire des JFET type P (AE0695-02).....	90
2.3.2.4.1 Mesures Grille – Source ($N^+ - P - P^+$) et Drain – Source ($P^+ - P - P^+$)	91
2.3.2.4.2 Mesures contact de surface reporté en surface – Substrat ($N^+ - N^- - N^+$).....	92
2.3.2.4.3 Mesures Grille – Substrat ($N^+ - P - N^+$)	93
2.3.2.5 Fonctionnement des composants JFET type P (AE0695-02).....	93
2.3.2.6 Mesures TLM.....	96
2.3.2.7 Tenue en tension des JFET de puissance	97
2.3.2.8 Analyse des résultats obtenus sur les JFET de puissance	99
2.3.3 Résultats sur les composants de l'étage de commande.....	101
2.3.3.1 Etude préliminaire des JFET type N et P (R0413-01)	101
2.3.3.1.1 Mesures Grille – Source, Drain – Source.....	101
2.3.3.1.2 Fonctionnement des composants JFET type N et P (R0413-01)	104
2.3.3.1.3 Mesures TLM.....	107
2.3.3.1.4 Analyse des résultats obtenus sur les JFET de l'étage de commande	108
2.4 Conclusion du chapitre 2.....	109
2.5 Références :	111

Chapitre 3: Réalisation de contacts ohmiques sur SiC type P

3.1 Introduction.....	116
3.2 Etudes précédentes réalisées au laboratoire Ampère.....	117
3.2.1 Alliage SiC-Al/Ti	118
3.2.2 Alliage SiC-Ni/Al.....	118
3.2.3 Alliage SiC-Ti/Ni	119
3.3 Réalisation du contact ohmique Ni/Ti/Al sur SiC-4H type P.....	121
3.3.1 Préparation des échantillons et procédé de réalisation des contacts	121
3.3.1.1 Présentation des substrats utilisés	121
3.3.1.2 Préparation des échantillons.....	122
3.3.1.3 Procédé de réalisation des contacts	122
3.3.1.3.1 Dépôt des métaux :.....	124
3.3.1.3.2 Le recuit (description des fours utilisés)	125
3.3.2 Caractérisation électrique des contacts	127
3.3.2.1 Mesure I(V) à 25 °C	127
3.3.2.1.1 Contact avec les empilements Ni/Ti/Al	130
3.3.2.1.2 Contact avec les empilements Ni/Ti/Al/Ni	131

3.3.2.1.2.1 Influence de la température de recuit sur la résistance spécifique de contact.....	132
3.3.2.1.2 Tableau récapitulatif.....	135
3.3.3 Analyses physico-chimiques des contacts.....	136
3.3.3.1 Analyses SIMS.....	136
3.3.3.2 Analyse DRX.....	139
3.3.2.3 Analyse EDX.....	141
3.3.4 Caractérisations électrique des contacts en température.....	143
3.4 Conclusion.....	145
3.5 Références :.....	147

Chapitre 4: Technologie pour l'intégration monolithique de composants JFET latéraux type N et P en SiC

4.1 Introduction.....	154
4.2 Description des échantillons.....	155
4.2.1 Description de l'étage de commande basse puissance.....	156
4.2.2. Description des échantillons de l'étage de puissance.....	158
4.2.2.1 Conception la structure gravée de l'étage de puissance.....	158
4.2.2.2 Présentation de la structure.....	159
4.2.2.3 Organisation du jeu de masques.....	160
4.3 Déroulement technologique.....	164
4.3.1 Chimie – nettoyage des surfaces.....	165
4.3.2 Photolithographie.....	166
4.3.2.1 Nettoyage des masques Cr-verre.....	167
4.3.3 Métallisation.....	168
4.3.4 Dopage par implantation ionique.....	169
4.3.4.1 Les simulateurs SRIM et I ² SiC.....	169
4.3.4.2. Masque d'implantation.....	170
4.3.4.3 Implantation d'azote.....	172
4.3.4.3.1 Canal N.....	172
4.3.4.3.2 Caissons drain, grille, source N ⁺	172
4.3.4.4 Implantation d'aluminium.....	173
4.3.4.4.1 Canal P.....	173
4.3.4.4.2 Caissons drain, grille, source P ⁺	174
4.3.4.5 Recuit post implantation.....	175
4.3.5 Passivation-isolation.....	176
4.3.6 La gravure plasma du SiC.....	177
4.3.6.1 Introduction.....	177
4.3.6.2 Masque de gravure – sélectivité et volatilité.....	178
4.3.6.2.1 Masque Silicium et Carbone.....	180
4.3.6.2.2 Masque TiNiSi.....	182
4.3.6.2.3 Masques en résines photosensibles.....	183
4.3.7 Diagramme de cheminement.....	185
4.4 Caractérisations électriques des composants.....	188
4.4.1. Méthodologie de l'analyse I-V.....	188
4.4.2 Résultats sur les composants de puissance.....	188
4.4.2.1 Etude préliminaire.....	188
4.4.2.1.1 Mesures Drain – Source.....	189
4.4.2.2 Fonctionnement des composants.....	190
4.4.2.2.1 Caractérisation I _{ds} (V _{ds}) en fonction de V _{gs}	190
4.4.2.3 Analyse des résultats obtenus sur les JFET de puissance.....	194
4.4.3 Résultats sur les composants de l'étage de commande.....	195

4.4.3.1 Etude préliminaire	195
4.4.3.1.1 Mesures Drain – Source	195
4.4.3.2 Fonctionnement des composants.....	196
4.4.3.2.1 Caractérisation $I_{ds}(V_{ds})$ en fonction de V_{gs}	196
4.4.3.3 Analyse des résultats obtenus sur les JFET de l'étage de commande	199
4.4.4 Mesures TLM.....	199
4.5 Conclusion du chapitre.....	202
4.6.Références	203
Conclusion générale et perspectives	204
Annexe 1.....	210
Annexe 2.....	213
Annexe 3.....	217
Annexe 4.....	226
Folio administratif.....	229

Introduction générale

La miniaturisation des composants électroniques constitue aujourd'hui un axe fort de recherche en soi. Durant les trois dernières décennies, les développements de dispositifs à semiconducteurs de puissance ont abouti à l'apparition de nouveaux composants avec des technologies qui ont atteint des niveaux proches de limites.

Pour améliorer les performances des nouvelles générations de dispositifs de forte puissance ainsi que pour élargir leur spectre de fonctionnement et la gamme d'applications industrielles, le carbure de silicium (SiC) se positionne comme un candidat incontournable, là où le silicium atteint ses limites.

Bien que Schockley aie déjà affirmé dans les années 1950 que le carbure de silicium remplacera le silicium grâce à ses propriétés supérieures [Scho 52], soixante ans après, le silicium est encore le matériau le plus employé dans le domaine de la micro-électronique et des microsystèmes. Cependant dans la majorité des cas le choix du silicium est dû au coût de la matière première et surtout à la maîtrise de la technologie de fabrication, plutôt qu'à ses propriétés physiques intrinsèques. En effet, ce matériau atteint rapidement ses limites lorsqu'on travaille à des températures élevées ou à des atmosphères chimiquement agressives. Grâce aux progrès réalisés dans les filières technologiques depuis ces dernières années, plusieurs composants à semi-conducteurs en SiC sont apparus dans le domaine des applications de puissance, de l'industrie automobile, de l'aéronautique, des forages pétroliers. Ces composants représentent aujourd'hui un marché de niche mais leur forte valeur ajoutée rend ce matériau très attractif.

Le laboratoire Ampère mène des recherches depuis plusieurs années pour concrétiser l'intégration d'un onduleur à base de transistors JFET P et N au sein d'une même puce. Après des travaux théoriques qui ont montré la faisabilité de ce système et après une première tentative de fabrication de deux lots de composants, l'objectif de cette thèse a été d'améliorer la technologie de fabrication pour ces composants en réalisant également des nouveaux lots. D'une manière générale, nous avons choisi une technologie SiC et de ne pas traiter le cas du nitrure de galium, GaN qui a aussi de très grands potentiels pour l'intégration de puissance. En effet le SiC conservera probablement un avantage décisif pour les applications à haute température que vise le laboratoire Ampère.

Le chapitre introductif se propose d'établir un état de l'art sur le matériau semiconducteur carbure de silicium. Nous présenterons, dans une première partie, un bref

historique de ce semi-conducteur avant de décrire quelques-unes de ses propriétés structurales, physiques et électroniques qui lui confèrent des aptitudes remarquables pour des utilisations très diversifiées en environnement sévère. Nous expliciterons ensuite les différentes techniques de croissance employées pour l'élaboration de ce matériau et évoquerons enfin les principaux champs d'applications du SiC, pour une utilisation à court terme dans les domaines de l'électronique de puissance.

Nous introduisons dans le deuxième chapitre les résultats de mesures électriques que nous avons réalisées sur des transistors JFET-SiC latéraux fabriqués dans notre laboratoire.

Ce travail a été proposé afin d'approfondir et exploiter d'une manière académique les résultats obtenus dans deux projets ANR, COTHT (CONvertisseurs Très Haute Température) projet blanc 2006-2009 et JFET-SB (JFET Switch Bridge) projet jeune chercheur 2005-2008, dont le laboratoire AMPERE a été porteur. Le but est de comprendre et d'améliorer les différentes briques technologiques afin de relever les performances de nouveaux composants.

Deux types de transistors JFET latéraux en SiC-4H ont été conçus et fabriqués lors de ces projets ANR avec l'objectif final de réaliser un onduleur monolithique en SiC haute température (300 °C). Les JFET pour l'étage de commande (40 V/30 mA-1 A) ont été réalisés dans le cadre du projet COTHT et ceux pour l'étage puissance (600 V/30 mA-1 A) dans le projet JFET-SB.

Afin de faciliter la commande individuelle de ces transistors, des structures complémentaires ont été choisies pour les deux JFET de puissance, un JFET à canal N et l'autre à canal P. Le fait d'avoir choisi des structures complémentaires permet de minimiser les interférences mutuelles et de diminuer (voire éliminer) l'injection de porteurs entre les deux JFET.

Remarquons qu'aucun JFET à canal type P à base de SiC n'a été réalisé à l'heure actuelle. Ainsi la nouveauté porte sur la réalisation d'un JFET à canal type P ainsi que son intégration monolithique avec un JFET complémentaire à canal type N sur une même puce en carbure de silicium.

L'étude des contacts ohmiques sur SiC-4H type P – verrou technologique à lever pour la fabrication de composants de puissance - fait l'objet du 3^{ème} chapitre. Différentes métallisations à base de nickel, de titane et d'aluminium sont étudiées pour la réalisation des contacts ohmiques. Leurs conditions de recuits de type RTA (Rapid Thermal Annealing) sont exploitées sur plusieurs fours pour chaque type de métallisation afin de déterminer la condition qui engendre la résistance spécifique de contact la plus faible. Des analyses structurales SIMS (Secondary Ion Mass Spectrometer), EDX (Energy-Dispersive X-ray) et

DRX (Diffraction de Rayons X) sont exploitées pour comprendre la formation des nos contacts.

Cette étude a abouti à un résultat très important sur le contact ohmique sur SiC type P, une faible résistance spécifique comparable à l'état de l'art mondial ($\rho_c \sim 1 \times 10^{-5} \Omega \cdot \text{cm}^2$). Nous avons utilisé un alliage à base de Ni/Ti/Al/Ni.

Le quatrième chapitre s'intéresse à la réalisation des nouveaux lots de JFET latéraux avec l'objectif de les intégrer monolithiquement en carbure de silicium. Parmi l'ensemble des étapes technologiques nécessaires à la réalisation des composants, nous nous attardons sur la gravure plasma utilisée pour définir les différentes structures de nos composants. Enfin, nous présentons les performances électriques des composants JFET latéraux fabriqués selon notre procédure établie tout au long de ce travail.

Précisons que toutes les optimisations faites tout au long de ce travail comme celui sur le contact ohmique ou bien celui sur la gravure du SiC nous a permis de réaliser des JFET latéraux de deux types N et P et les intégrer sur une même puce de carbure de silicium.

Nous terminons par une synthèse et les perspectives de nos travaux.

Avant de clôturer cette introduction générale nous précisons que ces travaux ont pu être réalisés d'une part grâce au contrat doctoral obtenu par le candidat pour ce sujet de thèse. Nous avons utilisé les échantillons et les moyens technologiques qui ont été financés par deux projets ANR qui ont précédés cette thèse : le projet COTHT (CONvertisseurs Très Haute Température) projet blanc 2006-2009 et JFET-SB (JFET Switch Bridge) projet jeune chercheur 2005-2008.

Chapitre 1: Le carbure de silicium pour l'intégration de composants électroniques

Introduction	18
1.1 Contexte - Positionnement du carbure de silicium.....	18
1.1.1 Propriétés physiques du SiC.....	20
1.1.2 Facteur de mérite du SiC.....	21
1.1.3 Propriétés électroniques intrinsèques du SiC	22
1.2 Etat de l'art de la filière du carbure du silicium.....	23
1.2.1 Fournisseurs de substrat SiC	23
1.2.2 Aspects cristallographiques.....	24
1.2.3 Défauts dans le SiC	27
1.3 Spécificités technologiques du SiC	29
1.3.1 L'épitaxie du SiC	29
1.3.2 Dopage	31
1.3.2.1 Eléments dopants.....	31
1.3.2.2 Dopage in situ.....	31
1.3.2.3 Dopage localisé par diffusion.....	32
1.3.2.4 Dopage localisé par implantation ionique	32
1.3.3 La gravure du SiC	34
1.3.3.1 Gravure humide.....	34
1.3.3.2 Gravure sèche par plasma	35
1.3.3.2.1 Propriétés du plasma.	35
i) Interaction plasma-surface	35
ii) sélectivité de la gravure	36
1.3.3.2.2 Les principaux réacteurs.....	37
a) RIE (Reactive Ion Etching).....	38
b) ICP (Inductively Coupled Plasma)	38
1.3.3.2.2 Synthèse des procédés utilisées dans la gravure du SiC	39
1.3.4 Le contact ohmique sur le SiC	42
1.3.4.1 Le contact ohmique sur SiC-4H type N	42
1.3.4.2 Le contact ohmique sur SiC-4H type P	42
1.3.5 Packaging	45
1.3.6 Passivation.....	45
1.3.6.1 Passivation primaire	46
1.3.6.2 Passivation secondaire.....	46
1.4 Les composants d'électronique de puissance en SiC.....	47
1.4.1 Les diodes en SiC	47
1.4.2 Le JFET	50
1.4.3 Le MOSFET	53
1.4.4 Le BJT	55
1.5 L'intégration en électronique de puissance.....	56
1.5.1 Pourquoi l'intégration en électronique de puissance	56
1.5.2 Vers l'intégration monolithique.....	56
1.6. Conclusion du chapitre:.....	59
1.7. Références:	60

Liste de figures :

Figure 1: Volume des publications dans « Journal of Applied Physics » et « IEEE Transactions on Electron Devices » concernant la physique ou des dispositifs en SiC [Thom 13].	19
Figure 2 : Évolution de la concentration intrinsèque en fonction de la température, en tenant compte de la variation de E_g avec la température [Rayn 10].	23
Figure 3 : Evolution de la taille des wafers en carbure de silicium a) SiCrystal [Stra 10] b) Cree	24
Figure 4 : Diagramme de phase binaire du Si-C (V : vapeur, L : liquide) [Fut 10].	25
Figure 5 : Structure : Si-C.	26
Figure 6 : Image après gravure au KOH des défauts Threading Screw Dislocation (TSD), Threading Edge Dislocation (TED), et micropore (μPs) [Shri 08].	28
Figure 7 : Profil SRIM d'une implantation multiple d'azote pour la formation d'un canal. ..	33
Figure 8 : Photographie et coupe schématique de la chambre chaude du four de recuit.	34
Figure 9 : Schéma descriptif de la sélectivité de la gravure du SiC qui montre la consommation du masque et du SiC pendant le procédé de gravure.	36
Figure 10 : La sélectivité de certains masques utilisés pour graver SiC [Laza 06].	37
Figure 11 : Phénomène de micromasquage produit lors d'un procédé de gravure SiC. On observe que la surface du SiC gravé est devenue très rugueuse.	37
Figure 12 : Photographie et schéma simplifié du bâti de gravure RIE Nextral NE110.	38
Figure 13 : Schéma simplifié du bâti de gravure ICP.	39
Figure 14 : Evolution de la vitesse de gravure en fonction de la pression, paramétrée en pourcentage de SF_6 .	40
Figure 15: a) Trou de 330 μm de profondeur gravé en 6 h avec une vitesse 0,95 $\mu m/min$, b) profondeur en fonction de la tension de bias [Chab 00].	40
Figure 16 : a) Image MEB d'une gravure profonde, b) profondeur de gravure en fonction du temps.	41
Figure 17 : Présentation schématique des éléments de packaging sur une diode PiN vue en coupe.	45
Figure 18 : démonstrateur d'une diode JBS [Alex 03].	49
Figure 19 : Structure d'un JFET et sa topographie [Rudo10].	50
Figure 20 : a) Démonstrateur d'un transistor JFET [Zaho04], b) Structure du VJFET SiC 1200 V-15 mm^2 fabriqué par SemiSouth [Rite 10].	51
Figure 21 : Structure d'un JFET latéral avec une tenue en tension 1100 V et $R_{sp}= 9.5 m\Omega cm^2$ [Shen 08].	52
Figure 22 : Structure d'un JFET latéral avec une tenue en tension 800 V et $R_{sp}= 50 m\Omega cm^2$ [Fuji 06].	52
Figure 23 : Structure DMOSFET 10 kV réalisée par Ryu [Ryu 04].	53
Figure 24 : Structure a) DEMOSFET et b) IEMOSFET réalisées par Harada. La couche p+ réalisée par épitaxie pour le DEMOSFET et par implantation pour l'IMOSFET [Hara 06].	54
Figure 25 : a) Structure de BJT, b) circuit Darlington, c) photographie de BJT réalisé par [Zhan 10].	55
Figure 26 : Vers l'intégration monolithique.	57
Figure 27 : Technologie VIPer intégrant monolithiquement des fonctions de commande au sein d'un transistor vertical de puissance 600V [Marm 00].	58
Figure 28 : Exemple d'intégration monolithique fonctionnelle d'un composant fabriqué avec la technologie ASDTM de la société ST Microelectronics.	58

Liste de tableaux :

Tableau 1 : Propriétés physiques des principaux matériaux semi-conducteurs à large bande interdite comparés au silicium [Rayn 95][Cama 98][Nall 01, 02].	20
Tableau 2 : Facteurs de mérite pour plusieurs semi-conducteurs à large bande interdite en comparaison avec le silicium.	22
Tableau 3 : Propriétés électroniques intrinsèques de différents polytypes SiC.	22
Tableau 4 : Liste des principaux fabricants de substrat SiC et la qualité des substrats, pour les deux polytypes les plus courants 4H et 6H.	24
Tableau 5 : Notation de Ramsdell utilisée pour les principaux polytypes de carbure de silicium et séquence d'empilements correspondants.	26
Tableau 6 : Niveaux énergétiques des centres de défauts intrinsèques dans le SiC [Lebe 99.]	28
Tableau 7 : Niveau d'énergie des impuretés dans SiC-6H et SiC-4H. E_c et E_v sont respectivement les énergies des bandes de conduction et de valence [Frei 95] [Mats 99] [Jenn 96] [Srid 98] [Kaka 02].	31
Tableau 8 : Une synthèse non exhaustive des contacts ohmiques sur le SiC type N.	42
Tableau 9 : Une synthèse non exhaustive des contacts ohmiques sur SiC-4H de type P.	43
Tableau 10 : Caractéristiques électriques de quelques diodes Shottky commerciales à base de SiC par Cree, Microsemi, Infineon et ST Microelectronics [ST 12].	48
Tableau 11 : Caractéristiques électriques des quelques MOSFET-SiC commercialisés par Cree et Rhom.	53

Introduction

Après la découverte de ses propriétés semi-conductrices en 1907 [Roun 07], le carbure de silicium apparaît extrêmement intéressant de par ses propriétés de conduction ainsi que ses propriétés de résistance aux températures élevées. La révolution de l'électronique de puissance qui apparaît avec ce nouveau matériau semble exceptionnelle, illustrée par les performances atteintes par plusieurs démonstrateurs qui suggèrent un avenir prometteur pour les composants de puissance en SiC. Tous ces composants ont une propriété commune qui les rendent extrêmement intéressants du point de vue de l'électronique de puissance dans leur capacité à pouvoir opérer à haute température et à supporter de fortes tensions inverses. Les technologies SiC sont donc appelées à jouer un rôle majeur au cours des années à venir. Pour atteindre ce but, il est toutefois nécessaire d'en maîtriser toutes les étapes technologiques de fabrication des composants. Ainsi, la réalisation de dispositifs de puissance plus performants que ceux en silicium permettra aux industriels fabricants de modules électroniques de puissance de diminuer leurs coûts et surtout d'améliorer leurs performances.

Depuis une dizaine d'année, nous voyons apparaître la mise sur le marché des premiers composants en SiC commerciaux telles que les diodes Schottky en 2001 par Microsemi [Micr 01] et Infineon [Rupp 03] et plus récemment les transistors JFET par Semisouth [Semi 09] et MOSFETs par [Cree 11] et [Rhom 13]. Il est à noter aussi l'exploitation de ce matériau dans le domaine des hyperfréquences où l'on trouve des MESFET [Cree 04].

1.1 Contexte - Positionnement du carbure de silicium.

Trouvé dans les météorites, le carbure de silicium n'existant pas à l'état naturel sur la terre, la plupart des substrats naturels sont d'origine extraterrestre ou de synthèse [Berz 24]. Les travaux de Jöns Jakob Berzelius montrent en 1824 l'existence d'une liaison chimique stable, partiellement ionique, entre le silicium et le carbone et la possibilité de synthétiser sous forme stœchiométrique le composé binaire SiC. Vers 1885, Eugène G. Achelson réussit à faire croître une couche de SiC. La méthode utilisée consistait à faire passer une décharge électrique dans un mélange de poudres de carbone et de silice. Elle est encore utilisée pour la synthèse des poudres abrasives et donne un mélange de blocs de SiC de mauvaise pureté chimique, mais relativement monocristallines [Ache 82]. Round a montré en 1907 le phénomène d'électroluminescence sur le carbure de silicium [Roun 07].

La synthèse du matériau présente cependant des difficultés évidentes : en particulier, la température mise en jeu lors de la synthèse est très élevée de l'ordre de 2000 °C. En 1955 la méthode de «Lely» [Lely 55], basée sur la condensation de SiC, permet de faire croître des couches de SiC de hautes qualités monocristallines et de pureté électronique. En 1978 fut montrée une nouvelle méthode de croissance avec la technique de sublimation qui est en fait une méthode dérivée de celle de Lely [Voda 78]. Les études des performances du SiC démarrèrent alors parallèlement aux Etats-Unis et en Union soviétique. En 1990, la start-up américaine *CREE* Research fondée trois ans plus tôt, fut à même de proposer des substrats de qualité acceptable pour réaliser des prototypes de composants en SiC à partir d'une méthode proche de celle développée par Lely en 1955.

Depuis, la mise sur le marché de substrats SiC de 100 mm a été atteinte. Non seulement Cree Research a commencé à mettre sur le marché des substrats de 4 pouces de polytype 4H et 6H mais de nouveaux fabricants sont apparus comme SiCrystal (racheté par Rhom en 2010) [Sicr 12], Norstel [Nors 06], Tankeblue [Tank 09] et II-VI Incorporated [II-VI 12]. Cree a annoncé en 2012 la commercialisation de la nouvelle génération de substrats de 6 pouces (150 mm) [Cree 12].

Depuis quelques années, l'effort de recherche porte principalement sur les composants de puissance et RF pour lesquels la filière classique du Silicium atteint ses limites. Le nombre de publications scientifiques, indicateur de l'activité du domaine de recherche, augmente rapidement suite aux travaux lancés au début des années 90 dans le monde entier. Cette forte tendance est illustrée par la figure 1 qui représente l'évolution des recherches sur le carbure de silicium par les nombres de brevets et les papiers scientifiques dans deux journaux spécialisés, IEEE Transactions on Electron Devices et Journal of Applied Physics. (Figure 1).

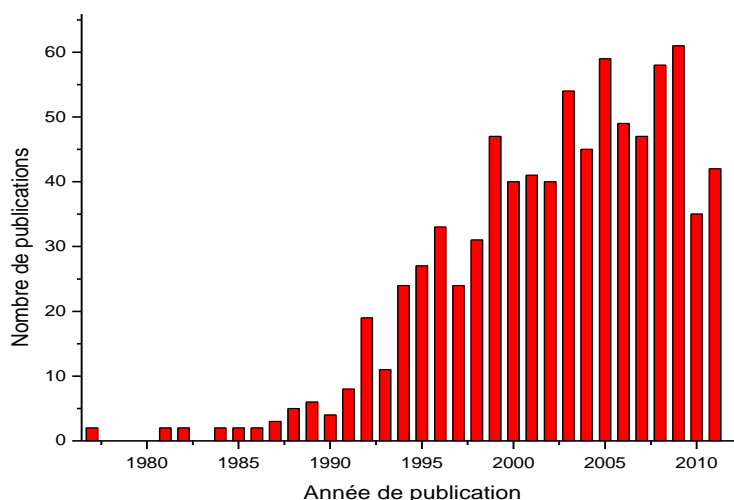


Figure 1: Volume des publications dans « Journal of Applied Physics » et « IEEE Transactions on Electron Devices » concernant la physique ou des dispositifs en SiC [Thom 13].

1.1.1 Propriétés physiques du SiC

Le SiC présente des propriétés physiques peu communes. Ceci provient de la faible valeur des distances interatomiques dans la liaison Si-C, 0,194 nm, à comparer avec 0,234 nm pour le silicium et 0,154 nm pour le diamant. Cette liaison n'est pas purement covalente, elle est ionique à 12 % du fait de la différence d'électronégativité entre le silicium et le carbone. A partir des caractéristiques de cette liaison Si-C, en résultent les propriétés physico-chimiques, mécaniques et thermiques particulières du matériau SiC. La dureté du matériau est très élevée ainsi que la forte résistance à la corrosion et la résistance aux irradiations. La conductivité thermique λ du SiC – 4,5 W/cm.K - est très largement supérieure à celle du silicium (Tableau1).

Matériau	E_g (eV)	n_i (cm ⁻³)	ϵ_r	μ_n (cm ² .V ⁻¹ .s ⁻¹)	μ_p (cm ² . V ⁻¹ .s ⁻¹)	E_c (MV/cm)	v_{sat} (10 ⁷ .cm.s ⁻¹)	λ (W · cm ⁻¹ · K ⁻¹)
Si	1,1	$1,5 \times 10^{10}$	11,8	1350	450	0,2	1	1,5
GaN-2H	3,39	$1,9 \times 10^{10}$	9	900	350	3,3	2,5	1,3
SiC-3C	2,2	8,42	9,6	900	45	1,2	2	4,5
SiC-4H	3,26	$6,1 \times 10^{-8}$	10	600	115	2	2	4,5
SiC-6H	3	$1,4 \times 10^{-5}$	9,7	370	90	2,4	2	4,5
Diamant	5,45	$1,6 \times 10^{-27}$	5,5	1900	3800	5,6	2,7	2

Tableau 1 : Propriétés physiques des principaux matériaux semi-conducteurs à large bande interdite comparés au silicium [Rayn 95][Cama 98][Nall 01, 02].

- n_i : concentration de porteurs (électrons) intrinsèques dans le semi-conducteur à une température donnée.

E_c : champ critique, c'est le champ électrique limite au-delà duquel le claquage dans le semi-conducteur peut apparaître.

- μ_n (μ_p) : mobilité des porteurs électrons (trous).

- v_{sat} : vitesse de saturation des électrons accélérés par champ électrique dans un semi-conducteur.

- λ : conductivité thermique.

Le SiC possède une bande d'énergie interdite E_g entre 2,2 et 3,3 eV avec une conductivité thermique du SiC monocristallin environ 3 fois supérieure à celle du silicium ce qui permet d'avoir un nombre de porteurs intrinsèques n_i très faible. Cette large bande interdite et le coefficient thermique important lui offrent une opportunité très attrayante pour le fonctionnement à haute température là où le silicium atteint ses limites.

En regardant le tableau 1, on note que le champ électrique critique du carbure de silicium est jusqu'à dix fois plus grand que celui du silicium. Ceci permet d'envisager une augmentation forte de la tenue en tension pour une couche SiC qui présente une épaisseur réduite avec un dopage plus élevé. Ces propriétés permettent de réaliser des dispositifs unipolaires (Schottky,

JFET, MOSFET) présentant une perte à l'état passant considérablement réduite tout en augmentant encore la rapidité des commutations des composants bipolaires.

Pour comparer, dans le tableau 1 nous avons également ajouté d'autres semi-conducteurs à large bande interdite, le GaN et le Diamant.

Le diamant apparaît comme un semi-conducteur plus intéressant pour l'électronique de puissance mais à l'heure actuelle, il subsiste des limitations technologiques importantes pour utiliser ce matériau dans la réalisation de composants de puissance. En particulier, il est encore très difficile de fabriquer des substrats de grande dimension (aujourd'hui leur taille est d'environ $3 \times 3 \text{ mm}^2$) pour pouvoir produire des composants en masse et le dopage de type N reste très difficile à réaliser [Koiz 02].

Le GaN présente également des propriétés physiques très intéressantes, comme le champ électrique critique, large bande interdite et faible concentration intrinsèque des porteurs. Mais sa faible conductivité thermique et la concentration élevée des défauts dans les couches de GaN font que le SiC soit préféré par le laboratoire Ampère pour la réalisation de composants intégrés pour des applications hautes tensions (HV) et haute température (HT).

1.1.2 Facteur de mérite du SiC

Dans ce paragraphe, on revient situer l'importance du carbure de silicium par un classement par ordre comparé au silicium et d'autres semi-conducteurs à large bande interdite (tableau 2). Les facteurs de mérite sont ceux de Johnson [John 63], Keyes [Keye 72] et Baliga [Bali 82].

Le facteur de mérite de Johnson JMF détermine l'aptitude du matériau pour les applications haute fréquence et haute puissance, il est proportionnel au champ électrique critique et à la vitesse de saturation :

$$\text{JMF} = \frac{E_c \cdot v_{sat}}{2\pi}$$

Le facteur de mérite de Keyes KMF nous informe sur les performances thermiques et fréquentielles, il prend en considération la conductivité thermique du matériau, la vitesse de saturation et sa permittivité :

$$\text{KMF} = \lambda \sqrt{\left(\frac{c \cdot v_{sat}}{4\pi\epsilon_r} \right)}$$

Enfin le facteur de mérite de Baliga BMF est proportionnel à la mobilité des porteurs, à la permittivité du matériau et au champ électrique :

$$\text{BMF} = \mu\epsilon_r E_c^3$$

Ces facteurs de mérite traduisent alors bien les performances du SiC pour les composants de puissance, plus le facteur est important plus les composants présentent de bonnes performances. Les valeurs relevées font du SiC un excellent candidat pour la réalisation des composants de puissance.

Matériaux	Si	SiC-3C	4H-SiC	SiC-6H	GaN	Diamant
JFM	1	65	180	260	760	2540
KFM	1	1,6	4,61	4,68	16	32,1
BFM	1	33,4	130	110	650	4110

Tableau 2 : Facteurs de mérite pour plusieurs semi-conducteurs à large bande interdite en comparaison avec le silicium.

1.1.3 Propriétés électroniques intrinsèques du SiC

La concentration n_i est liée à la largeur de la bande interdite ainsi qu'aux densités d'états permis dans les bandes de conduction N_c et bandes de valence N_v . Le tableau 3 présente les valeurs de ces paramètres pour différents polytypes¹ de SiC. Le carbure de silicium possède une large bande interdite (3,2 eV) ce qui donne une concentration de porteurs intrinsèques n_i extrêmement faible comparée à celle du silicium. Cette propriété lui permet donc de fonctionner à haute température et c'est un paramètre important car il influe les niveaux de courants de fuite en inverse des diodes à jonctions bipolaires ou Schottky.

Polytypes	6H-SiC	4H-SiC	3C-SiC
$N_c(\text{cm}^{-3})$	$8,65 \times 10^{19}$	$1,68 \times 10^{19}$	$1,56 \times 10^{19}$
$N_v(\text{cm}^{-3})$	$3,30 \times 10^{19}$	$3,30 \times 10^{19}$	$3,30 \times 10^{19}$
$n_i = \sqrt{N_c N_v} \exp\left(\frac{-E_g}{2KT}\right)(\text{cm}^{-3})$	$1,4 \times 10^{-5}$	$6,12 \times 10^{-8}$	8,42

Tableau 3 : Propriétés électroniques intrinsèques de différents polytypes SiC.

D'après la figure 2 qui représente l'évolution de la densité de porteurs intrinsèques en fonction de la température pour différents matériaux on voit clairement que pour le SiC-6H et le SiC-4H, la concentration intrinsèque reste très inférieure aux dopages généralement utilisés ($> 10^{14} \text{ cm}^{-3}$). Par conséquent, le SiC peut fonctionner en régime extrinsèque au-delà de 1000 K.

¹ La notion de polytype sera expliquée dans le paragraphe 1.2.2 ci-après

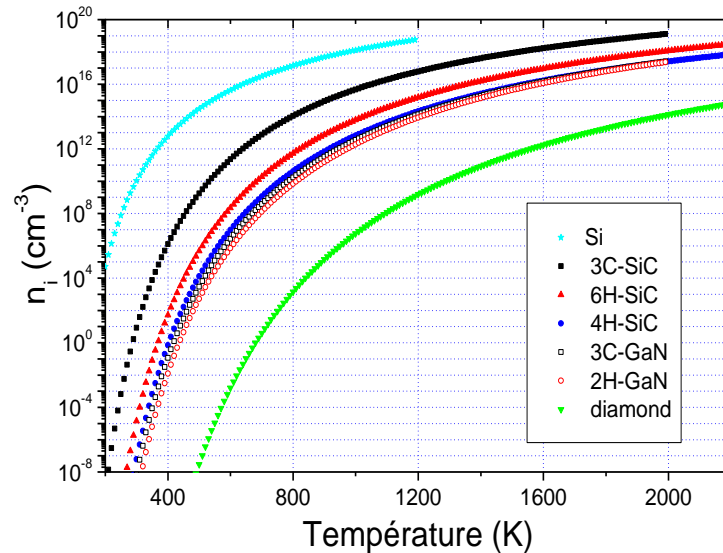


Figure 2 : Évolution de la concentration intrinsèque en fonction de la température, en tenant compte de la variation de E_g avec la température [Rayn 10].

1.2 Etat de l'art de la filière du carbure du silicium

1.2.1 Fournisseurs de substrat SiC

Les substrats de carbure de silicium (SiC) disponibles actuellement, en SiC-6H et en SiC-4H, suivent une évolution de la taille de la plaque (wafer) qui permet des progrès technologiques (figure 3). La taille des plaques augmente, elle a atteint 100 mm (~4") pour des plaques commercialisées depuis 2006 et la commercialisation de substrats 150 mm (~6") a été envisagée en 2012 par Cree [Cree 12].

Cette évolution va permettre de réaliser des composants sur des plaques SiC avec des équipements déjà largement exploités dans les fonderies de la filière silicium classique. Le marché du substrat SiC est assez largement dominé par Cree qui est leader en termes de vente et de qualité de matériau. L'achat de la société Intrinsic par Cree en 2006 a permis la commercialisation de substrats sans micropores. Mais des nouveaux acteurs ont fait leur apparition, notamment SiCrystal (racheté par Rohm en 2010) et II-VI qui ont pris des parts de marché importantes à CREE. Depuis quelques années la Chine est présente, avec notamment Tankeblue, qui affiche une forte volonté de progresser malgré la qualité moindre des plaques commercialisées actuellement (tableau 4).

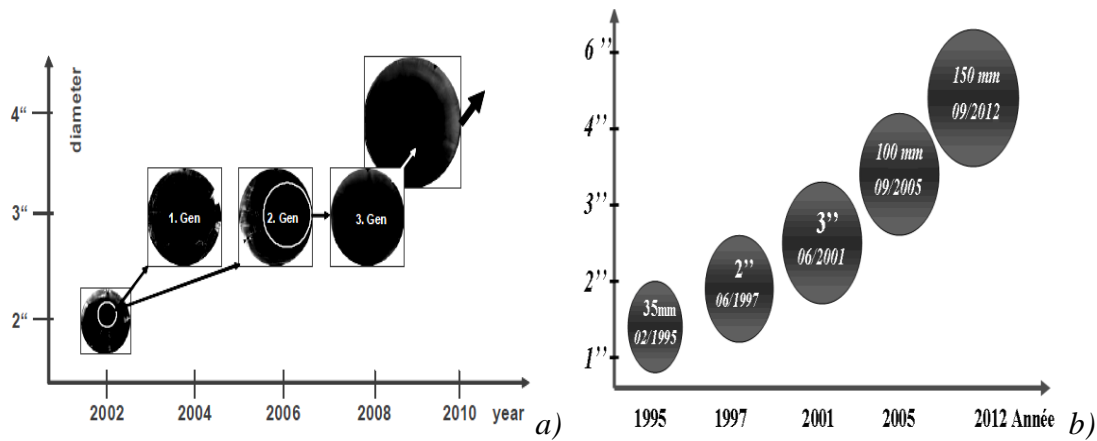


Figure 3 : Evolution de la taille des wafers en carbure de silicium a) SiCrystal [Stra 10] b) Cree

Fabricant	Polytype	Diamètre	micropore	Polytype	Diamètre	micropore
	4H	(cm ⁻²)	(pouce)	6H	(pouce)	(cm ⁻²)
Cree	Oui	150mm	10	Oui	2"	NC
SiCrystal (racheté par Rhom)	Oui	100 mm	30	Oui	2"	100
II-VI Inc	Oui	3"	100	Oui	3"	100
Tankeblue	Oui	3"	10	Oui	2"	10
Xiamen Powerway Advanced Material	Oui	3"	20	Oui	2"	30

Tableau 4 : Liste des principaux fabricants de substrat SiC et la qualité des substrats, pour les deux polytypes les plus courants 4H et 6H.

1.2.2 Aspects cristallographiques

Le carbure de silicium se compose par des atomes de silicium et des atomes de carbone en égalité numérique. D'après le diagramme de phase entre silicium et carbone de la figure 4, le SiC n'existe pas en phase liquide. En plus de la croissance du SiC par sublimation, l'existence d'un domaine 'liquide + SiC' à une température inférieure à 2300 °C permet de réaliser des croissances de monocristaux en phase liquide, en partant de silicium liquide (ou d'une solution riche en silicium), dans laquelle on ajoute du carbone [Fut 10].

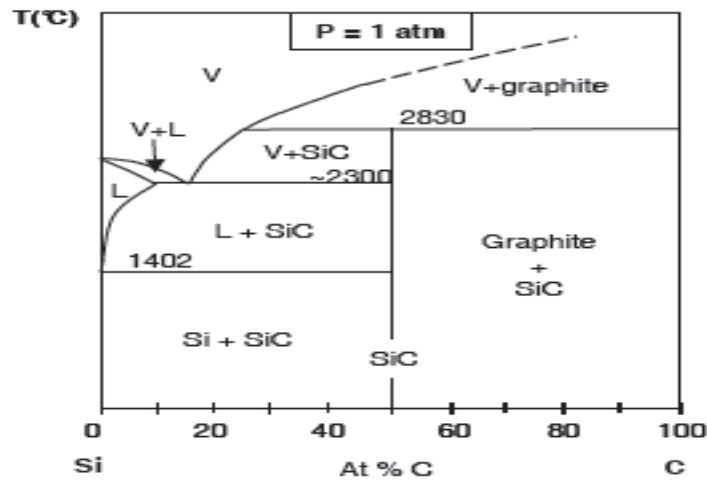


Figure 4 : Diagramme de phase binaire du Si-C (V : vapeur, L : liquide) [Fut 10].

Le carbure de silicium est un matériau cristallin formé par la succession alternée d'empilements C-Si (**figure 5**). Les différentes formes d'empilement de ces plans donnent des cristaux différents appelés polytypes. Au total plus de 170 polytypes ont été identifiés et parmi ceux-ci, quatre ou cinq seulement présentent un intérêt pour les applications micro-électroniques. Ce sont ceux qui ont été le plus étudiés.

En électronique, les plus utilisés sont les polytypes 6H, 4H, et 3C. Des recherches sont également opérées sur les polytypes 15R et 2H. Les lettres H, C et R indiquent la famille cristallographique : hexagonal, cubique ou rhomboédrique, précédés par un chiffre indiquant le nombre des empilements, selon la notation de Ramsdell (tableau 5).

- SiC-2H pour le polytype wurtzite, possède la même symétrie que celle de GaN.
- SiC-3C pour le polytype cubique, possède la même symétrie que celle de GaAs.
- SiC-4H et SiC-6H présentent des liaisons à la fois à symétrie cubique et hexagonale.

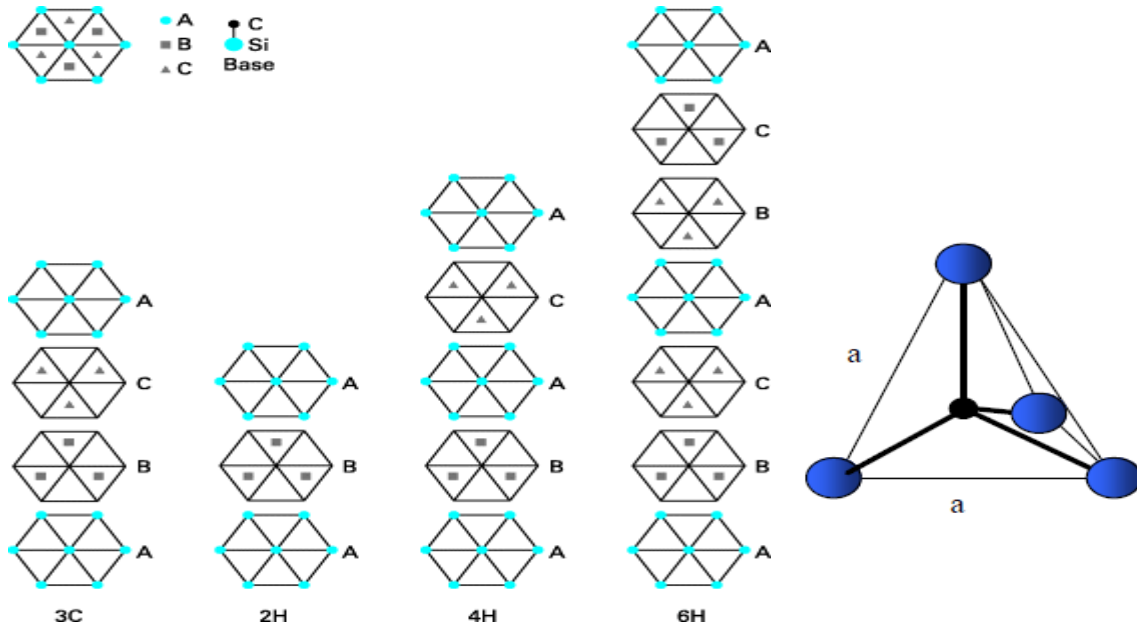


Figure 5 : Structure : Si-C.

La figure 5 présente une liaison silicium-carbone telle que celle qui se trouve dans chaque plan, les atomes de silicium se trouvent au centre d'un tétraèdre formé par quatre atomes de carbone dont 3 situés en position de premiers voisins dans la couche immédiatement adjacente (et réciproquement pour le carbone).

Les propriétés physiques et électriques sont dépendantes du polytype. Par la suite, nous nous limitons aux polytypes 3C, 6H et surtout 4H, les plus utilisés dans la fabrication des composants de puissance, plus particulièrement parce qu'ils présentent les propriétés les plus intéressantes pour les composants de puissance.

Notion du Ramsdell	Polytypes	Séquence d'empilement
2H	Wurtzite	AB/AB/...
3C	zinc- blende	ABC/ABC/...
4H		ABAC/ABAC/...
6H		ABCACB/ABCACB...
15R		ABCBACABACBCACB/AB...

Tableau 5 : Notation de Ramsdell utilisée pour les principaux polytypes de carbure de silicium et séquence d'empilements correspondants.

1.2.3 Défauts dans le SiC

Les défauts de structure des semi-conducteurs modifient leurs propriétés électriques, optiques et mécaniques. Pour les applications en électronique, un intérêt a été porté depuis plusieurs décennies pour identifier les défauts de structure dans le carbure de silicium, généralement créés pendant la croissance du cristal. Parmi les défauts cristallins répertoriés dans les semi-conducteurs, les défauts étendus ou linéaires et les défauts ponctuels ont une importance considérable. Les défauts étendus tels que les micropipes, les dislocations et les fautes d'empilement dans le plan de base (Figure 6) peuvent modifier considérablement leurs propriétés mécaniques et surtout électriques.

Les micropipes sont des microtubes vides de matière traversant le lingot de SiC. Ce type de défaut se comporte comme un court-circuit. Les dislocations endommagent les composants et conduisent à une augmentation des courants de fuite et réduisent la tenue en tension [Neud 00]. Il a été montré que les défauts d'empilement entraînent une augmentation de la tension en direct pendant le fonctionnement sous fort courant pour des composants bipolaires et réduisent la durée de vie des porteurs [Das 05] [Suma 05]. Des recherches par Cree [Leon 09] [Berk 09] ont permis de réduire la densité de micropipes pour donner un substrat SiC-4H de 4 pouces complètement exempt de ce type de défaut mais une densité de dislocation restant relativement élevée de 425 cm^{-2} . La société Cree en collaboration avec l'Université de Linköping a réussi à réduire la densité des fautes d'empilements à moins de 10 cm^{-2} en proposant une nouvelle technique de croissance [Suma 06].

Pour les défauts ponctuels on peut distinguer les défauts intrinsèques (lacunes, interstitiels, antisites) et les défauts extrinsèques (impuretés en sites substitutionnels ou interstitiels). Ces défauts ponctuels intrinsèques et extrinsèques peuvent se combiner ou s'agglomérer pour donner des défauts plus complexes. Ils ajoutent des niveaux d'ionisation supplémentaires dans la bande interdite, modifiant ainsi les propriétés électriques et optiques du matériau.

Une description détaillée des défauts intrinsèques présentée dans le tableau 6 récapitule les paramètres des centres des défauts :

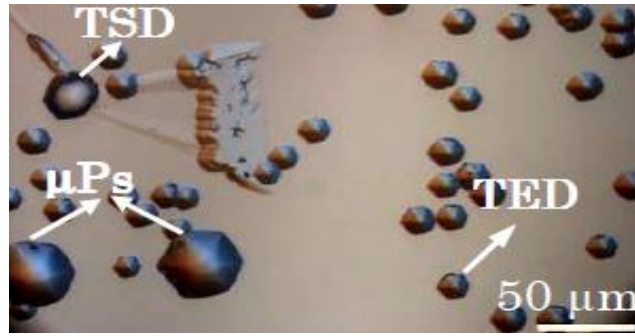


Figure 6 : Image après gravure au KOH des défauts Threading Screw Dislocation (TSD), Threading Edge Dislocation (TED), et micropore (μPs) [Shri 08].

Localisation d'énergie (eV)		
Centre	SiC- 6H	SiC- 4H
L	$E_v + 0,24$	$E_v + 0,24$
I	$E_v + 0,52$	$E_v + 0,53$
D	$E_v + 0,58$	$E_v + 0,54$
S	$E_c - 0,35$	
E_1/E_2	$E_c - 0,34/0,41$	
Z_1/Z_2	$E_c - 0,6/0,7$	$E_c - 0,63/0,68$
R	$E_c - 1,27$	

Tableau 6 : Niveaux énergétiques des centres de défauts intrinsèques dans le SiC [Lebe 99.]

L'amélioration des techniques de croissance cristalline sur ce matériau a permis dernièrement la commercialisation par plusieurs fournisseurs de substrats SiC de très haute qualité, qui nous permettent aujourd'hui de réaliser des composants à haute performance.

1.3 Spécificités technologiques du SiC

Depuis 2001, des composants à base de carbure de silicium sont mis sur le marché par Microsemi et Infineon, ouvrant un nouveau marché pour l'électronique de puissance. Pour réaliser des composants électroniques il faut mettre en évidence les différentes étapes technologiques nécessaires. Les performances du composant de puissance à base de SiC sont liées non seulement à la qualité du substrat comme nous venons de le décrire au 1.2 mais aussi à la technologie de fabrication du composant qui suit après.

La technologie microélectronique met en œuvre un grand nombre d'étapes élémentaires nécessaires à la fabrication d'un circuit intégré (croissance et dépôt de couches monocristallines, métallisations de contact, dopages, implantations, gravures...). Les composants visés dans notre travail présentent un empilement de couches et un nombre d'étapes d'une grande complexité. Les principales étapes-clés que sont l'épitaxie, les procédés de dopage, la gravure et le contact ohmique seront abordées par la suite.

1.3.1 L'épitaxie du SiC

L'épitaxie est une technique de croissance orientée, l'un par rapport à l'autre, de deux cristaux possédant un certain nombre d'éléments de symétrie communs dans leurs réseaux cristallins (source Wikipédia). La méthode la plus courante est l'homoépitaxie qui consiste à faire croître un cristal sur un cristal de nature chimique identique. Cependant, dans le cas du SiC et pour palier le coût élevé des substrats SiC obtenus par sublimation ainsi que leur fragilité, la meilleure alternative proposée actuellement est l'intégration par hétéroépitaxie sur substrat de silicium. Cette voie rencontre beaucoup d'inconvénients, dus au fort désaccord des paramètres de mailles des deux cristaux. Plusieurs méthodes de croissance sont utilisées pour faire croître le SiC. L'épitaxie par jets moléculaires (ou MBE pour *Molecular Beam Epitaxy*), permet de contrôler la croissance à l'échelle de la couche atomique grâce à une vitesse de croissance très lente d'environ une monocouche atomique par minute. Les températures de dépôts sont relativement basses et se situent entre 500 et 1000 °C, comparées aux autres techniques. Mais dans un cadre industriel, l'application de cette méthode semble bien difficile à mettre en oeuvre, principalement à cause de l'ultra vide et la faible vitesse de dépôt [Fiss 01] [Ming 98].

L'épitaxie en phase liquide (LPE – Liquid Phase Epitaxy), où le substrat SiC est mis en contact avec une phase liquide sursaturée en silicium et en carbone, qui se précipitent et

cristallisent sur le substrat. Cette technique a l'avantage d'être rapide, mais elle est moins précise en contrôle fin des épaisseurs et pour la réalisation de couches faiblement dopées [Alex 01] [Hatt 08]. Cette technique permet d'atteindre des vitesses de croissance relativement élevées pour des températures variant de 1100 à 1700 °C.

Le dépôt chimique en phase vapeur (CVD- Chemical Vapour Deposition) est la technique de croissance épitaxiale la plus utilisée par les fournisseurs comme CREE qui est actuellement l'entreprise la plus avancée aussi bien commercialement que technologiquement pour la croissance des polytypes hexagonaux. La firme japonaise HOYA [Hoya 00] constitue la référence pour l'élaboration de couches de SiC-3C sur substrat silicium de plusieurs centaines de microns d'épaisseur et faiblement dopées en impuretés. En France, la société NOVASiC [Nova 13], en association avec le laboratoire CNRS CRHEA [Crhe 11], ont obtenu d'excellents résultats pour les structures hexagonales et cubiques [Ziel 10][Jiao 10].

Le dépôt CVD est basé sur les réactions chimiques des précurseurs gazeux - le silane et un alcane (propane, méthane, ...) dilués dans un flux porteur d'hydrogène arrivant à la surface du substrat, souvent chauffé. La croissance s'effectue à une température comprise entre 1400 °C et 1600 °C [Hass 10][Leon 10].

Une désorientation du cristal est recommandée pour avoir une couche de bonne qualité cristalline en préservant le polytype initial et obtenir une vitesse de croissance importante [Kimo 97]. Par rapport à l'axe [0001] les angles typiques utilisés sont 8° ou 4° pour le polytype 4H, 3° ou 5° pour le 6H.

La CVD permet, grâce aux réactions chimiques mises en jeu d'obtenir sur le substrat, une très bonne voire une excellente adhésion. De plus, les couches déposées présentent une excellente uniformité locale en épaisseur, là où est injectée la vapeur, même si le support présente des anomalies. Par contre, à plus grande échelle (notamment celle d'une plaque entière) cette uniformité est obtenue lorsque l'épaisseur est plus importante par l'utilisation de supports tournants. Un inconvénient propre aux techniques CVD est la création de sous-produits de réaction qui peuvent contaminer les couches déposées s'ils ne sont pas évacués efficacement.

1.3.2 Dopage

1.3.2.1 Eléments dopants

Le dopage d'un matériau consiste à introduire, dans sa matrice, des atomes étrangers. Dans les semiconducteurs ces derniers se substituent alors à certains atomes initiaux et introduisent davantage d'électrons ou de trous modifiant les propriétés électriques et optiques. Dans le SiC, les dopants se substituent soit au carbone, soit au silicium. Au vu de la classification des éléments chimiques du tableau de Mendeleïev, le carbure de silicium est un semi-conducteur de la colonne IV, les donneurs proviennent de la colonne V (N, P et As) et les accepteurs de la colonne III (B, Al et Ga).

Pour l'azote (donneur), le site de substitution est le site carbone, alors que pour le phosphore (donneur) il s'agit la plupart du temps du site silicium [Rura 03]. Une étude a montré que le taux d'incorporation de dopants dépend du rapport Si/C lors de la croissance [Lark 97]. En effet, en augmentant le rapport Si/C de 0,1 à 0,5, l'incorporation intentionnelle d'azote est passée de 10^{15} cm^{-3} à 10^{17} cm^{-3} . Ces impuretés de type donneur possèdent des niveaux donneurs superficiels. Les accepteurs aluminium se substituent aux atomes de silicium. L'accepteur Bore quant à lui peut se substituer soit au site silicium en constituant un niveau superficiel, soit au site carbone en créant un centre profond. Les niveaux d'énergie des impuretés N, Al, V et B dans SiC-6H et SiC-4H sont donnés dans **le tableau 7**.

Dopant	Azote	Aluminium	Bore
Niveau d'énergie (meV) SiC-6H	$E_c-(200\pm 30)$	$E_v+(240\pm 20)$	$E_v+(390\pm 40)$ $E_v+(710\pm 13)$
Niveau d'énergie (meV) SiC-4H	E_c-65 E_c-124	E_v+200	E_v+300 E_v+650

Tableau 7 : Niveau d'énergie des impuretés dans SiC-6H et SiC-4H. E_c et E_v sont respectivement les énergies des bandes de conduction et de valence [Frei 95] [Mats 99] [Jenn 96] [Srid 98] [Kaka 02].

1.3.2.2 Dopage in situ

L'incorporation des dopants est possible durant la phase de croissance du matériau. Elle permet d'obtenir une couche dopée d'épaisseur et de dopage désiré. Le dopage peut être

contrôlé avec le rapport Si/C pendant l'élaboration par CVD et ainsi résulte une bonne activation des impuretés intégrées à la matrice cristalline.

1.3.2.3 Dopage localisé par diffusion

Pour certaines applications, on peut doper le cristal après la croissance par diffusion, or ce type de dopage est très difficile dans le SiC, notamment du fait de la faible distance interatomique qui induit de faibles coefficients de diffusion des dopants. Les coefficients de diffusion des impuretés dopantes sont très faibles et nécessitent des températures et des durées importantes. Les coefficients de diffusion de l'aluminium et du bore sont respectivement de $6 \times 10^{-14} \text{ cm}^2 \cdot \text{s}^{-1}$ et $8 \times 10^{-13} \text{ cm}^2 \cdot \text{s}^{-1}$ à 1700 °C [Trof 97]. Des études donnent une valeur de $2,5 \times 10^{-11} \text{ cm}^2 \cdot \text{s}^{-1}$ pour le bore à 2050 °C [Brac 00].

1.3.2.4 Dopage localisé par implantation ionique

L'implantation ionique est la technique favorisée pour l'obtention de dopages localisés, malgré la limite des profondeurs de dopage possibles [Lebe 99][Pens 93]. Une étape de recuit à haute température vers 1700 °C est alors nécessaire pour activer thermiquement les dopants et réparer l'endommagement créé au niveau de la stœchiométrie du SiC et la dégradation de sa structure cristalline [Choy 97] [Morv 98], et permettre aux impuretés implantées de migrer vers un site cristallin adéquat afin de devenir, véritablement, des dopants [Laza 00].

Le taux d'activation de l'aluminium implanté dans SiC est assez faible, Bluet et al, ont implanté à une forte dose entre (10^{14} et 10^{16} cm^{-2}) à 650 °C, pour obtenir une concentration de 10^{21} cm^{-3} , ils obtiennent un taux d'activation de 37,5 % après un recuit à 1670 °C, pendant 12 min [Blue 00]. L'activation de dopants de type N est un peu plus aisée, Blanque et al ont obtenu 90 % à la fois pour l'implantation de phosphore et l'azote dans SiC. Ils obtiennent une concentration de $3,5 \times 10^{19} \text{ cm}^{-3}$ après plusieurs recuits de 1300 à 1600 °C pour une durée de 2 heures [Blan 04]. Des études menées sur SiC-3C montrent que le taux d'activation des dopants est un peu plus faible par rapport à la famille hexagonale 4H et 6H, [Loss 97].

En conclusion, le dopage par implantation ionique est la seule technique classique pour réaliser un dopage localisé, mais elle n'est pas aussi facile de point de vue de la pénétration des dopants et leur activation.

La profondeur de pénétration dans SiC est trop faible. Dans le cas de l'azote, dopant de type N, cette profondeur est de l'ordre 1 nm/keV. Cela signifie que pour obtenir 1 µm de profondeur il faudrait une énergie de l'ordre de 1 MeV, valeur trop grande pour les implanteurs standards.

Pour réaliser un profil d'implantation profond en gardant un profil de dopage plat, il est préférable d'utiliser plusieurs « tirs » avec des énergies et des doses différentes. Un exemple de profil d'une implantation multiple d'azote pour la formation d'un canal simulé par SRIM (Stopping and Range of Ions in Matter – [Srim 12]) est présenté dans la figure 7.

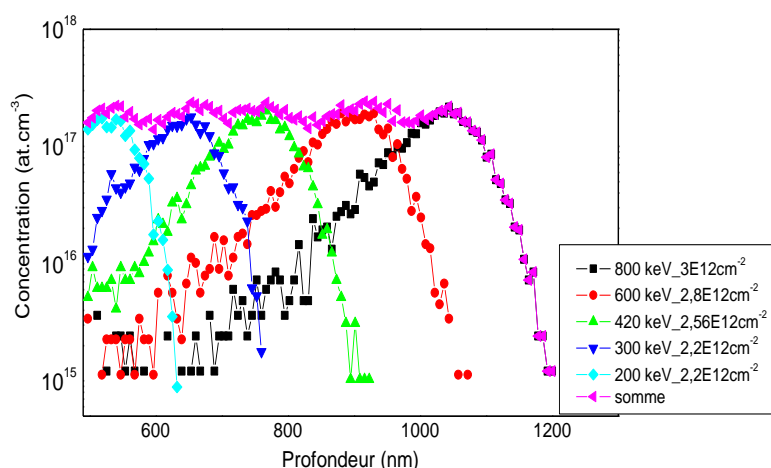


Figure 7 : Profil SRIM d'une implantation multiple d'azote pour la formation d'un canal.

Afin d'activer les dopants et 'réparer' les défauts dus à l'implantation, il est nécessaire de réaliser un recuit post-implantation par la technique dite RTA (Rapid Thermal Annealing). Le terme de recuit rapide ou RTA, recouvre l'ensemble des techniques utilisant des temps courts tout en conservant l'isothermie. En d'autre terme, bien que limitée au maximum, la durée du traitement doit permettre une répartition uniforme de la chaleur dans le matériau considéré. Ceci à la différence du mode de flux thermique (pour lequel la température décroît au fur à mesure lorsqu'on s'éloigne de la zone chauffée localement) et le mode adiabatique (pour lequel la chaleur diffuse peu dans le matériau chauffé pendant le traitement du fait de la brièveté du recuit).

Durant cette thèse nous avons utilisé un four RTA SiC JIPELEC, localisé au laboratoire Ampère site INSA, Lyon, pour recristalliser et activer les impuretés après l'implantation dans SiC, montré dans la figure 9.

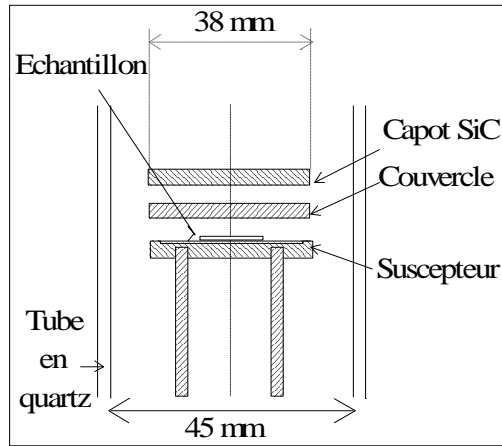
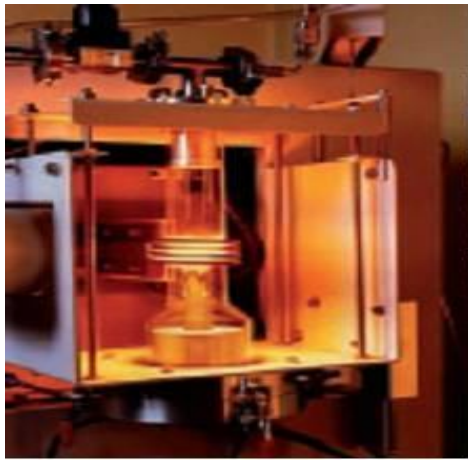


Figure 8 : Photographie et coupe schématique de la chambre chaude du four de recuit.

Le suscepteur est chauffé par induction électromagnétique. Le recuit se déroule sous argon à pression atmosphérique. Typiquement pour nos échantillons nous avons utilisé un recuit à 1650 °C pendant 45 minutes.

1.3.3 La gravure du SiC

Parmi les technologies de fabrication des composants, afin de créer les motifs et les zones actives des dispositifs, les techniques de gravure en voie humide ou en voie sèche sont couramment utilisées. Ces gravures peuvent permettre aussi de graver de façon très sélective les motifs. Contrairement au silicium, le SiC est un matériau 'difficile' à structurer de par ses excellentes propriétés de résistance chimique et mécanique.

1.3.3.1 Gravure humide

C'est le mode traditionnel de gravure. La gravure humide est un processus purement chimique se déroulant en trois étapes :

- les molécules réactives présentes dans la solution diffusent vers la surface.
- des réactions entre ces molécules et les atomes de matériaux entraînent la création de produits solubles.
- Ces derniers sont ensuite enlevés de la surface.

Un des avantages de la gravure humide est l'existence d'un nombre important de recettes chimiques pour graver plusieurs types de matériaux. Ces recettes peuvent être convenablement dosées pour obtenir de fortes vitesses de gravure. De plus, l'absence de processus de gravure physique (bombardement ionique) réduit au maximum les dommages à la surface de motifs gravés.

Cependant dans le cas du SiC, à cause de la forte énergie de liaison Si-C et l'inertie chimique il n'y a aucune méthode convenable pour graver le SiC par voie humide. Des essais ont été faites par Chu en 1965, pour graver de SiC à 180 °C avec de l'acide phosphorique

(H₃PO₄) [Chu 65]. D'autres solutions permettent de graver le SiC telles qu'un mélange KOH : KNO₃ porté à 350 °C pour graver SiC-6H ou encore NaOH chauffé à 900 °C pour graver le SiC-3C [Pear 02]. Ces conditions extrêmes ne sont pas simples à mettre en œuvre et imposent d'avoir des contenants ou des porte-substrats qui résistent à ces températures et ne réagissent pas aux produits utilisés. À part des traitements de préparation de surface de type piranha (H₂SO₄ : H₂O₂) couramment mises en œuvre, l'ensemble de l'état de l'art a préféré se tourner vers des techniques de gravure en voie sèche pour structurer le SiC.

1.3.3.2 Gravure sèche par plasma

Dans la gravure sèche, l'attaque chimique est remplacée par un gaz, un faisceau d'ions ou un faisceau de photons. Ces techniques présentent l'avantage d'être très directives et anisotropes. La gravure sèche peut permettre de procéder à des gravures à fort facteur d'aspect et/ou fines, de dimensions submicroniques. Le principe consiste à amener des réactifs gazeux qui réagiront avec les composés de la surface à graver en formant un composé volatil et de l'évacuer par la suite dans la phase gazeuse. La gravure sèche est en réalité une technique de gravure plasma dans laquelle interviennent à la fois les effets de bombardement par des ions et la réaction chimique. La gravure peut se faire préférentiellement suivant des plans réticulaires ou axes cristallographiques.

Les procédés plasmas (gravure ou dépôt) sont devenus une étape nécessaire dans l'industrie des semi-conducteurs et l'utilisation des réacteurs à plasma, enceintes où sont placées une ou plusieurs plaquettes de semi-conducteurs à traiter, a débuté vers les années 70. Depuis, d'énormes progrès ont été effectués dans ce domaine. Ces dernières années, les études de décharges électriques, des réacteurs plasmas à basse pression, ont connu un regain d'intérêt en raison de leurs nombreuses applications industrielles et notamment pour le SiC. Pour graver le SiC il faut utiliser la gravure sèche anisotrope en utilisant des gaz fluorés (SF₆, CF₄, CHF₃, NF₃) ou une combinaison de ces gaz, souvent en présence d'oxygène (10 à 50 %). Les bâtis utilisés généralement pour la gravure sèche, sont de type ECR (Electron Cyclotron Résonance) [McDa 97], RIE (Reactive Ion Etching) et ICP (Inductive Coupled Plasma) [Yih 97, Kahn 99].

1.3.3.2.1 Propriétés du plasma.

i) Interaction plasma-surface

Un plasma ressemble à un gaz, mais le fait que les particules de ce gaz soient ionisées change en fait radicalement la physique qui gère la dynamique de ces particules. D'une part les particules chargées ont un mouvement qui est déterminé par les champs

électromagnétiques, et d'autre part les champs sont créés par les densités de charge et de courant dues à ces particules.

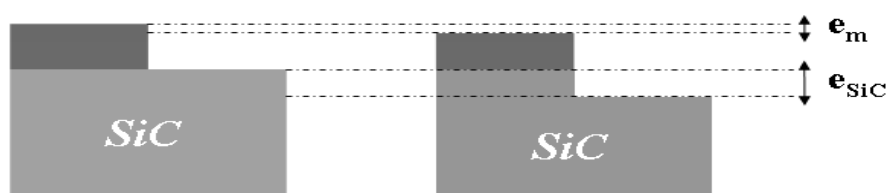
Plusieurs phénomènes peuvent se produire sur la surface en contact avec ces particules tel que, l'absorption, la désorption et le déplacement d'un atome de la surface dépendant de leurs énergies. Ces phénomènes génèrent plusieurs types de gravures qui peuvent être de nature chimique ou physique.

La gravure chimique est le résultat d'une réaction par absorption des espèces réactives originaires du plasma (radicaux libres, atomes, molécules) avec des atomes du substrat pour former des espèces volatiles. La gravure physique est une gravure mécanique sous le fait du bombardement de la surface, les ions incidents étant accélérés par le champ électrique (différence de potentiel entre le potentiel plasma et le potentiel du substrat) et viennent percuter la surface du substrat et casser ainsi les liaisons des atomes.

Dans le cas du SiC, il est préconiser d'utiliser des mécanismes de gravure physique pour casser les liaisons Si-C, couplé à un processus plutôt chimique faisant interagir les espèces réactives fluorées avec le silicium et oxygène avec le carbone, conduisant à la formation d'espèces volatiles SiF_x, CO et CO₂.

ii) sélectivité de la gravure

La sélectivité de gravure, correspond au rapport entre la vitesse de gravure de la couche et la vitesse de gravure du masque (protection des zones non gravées). Dans le cadre de gravure fortement agressive ou particulièrement longue telles qu'utilisées pour nos développements, il est nécessaire de pouvoir disposer de masques très sélectifs (figure 9).



$$S = v_{\text{SiC}} / v_{\text{m}} = e_{\text{SiC}} / e_{\text{m}}$$

Figure 9 : Schéma descriptif de la sélectivité de la gravure du SiC qui montre la consommation du masque et du SiC pendant le procédé de gravure.

En général, on utilise un masque en résine photosensible mais cette voie est très largement limitée pour notre application. Des masques en SiO₂ ou Si₃N₄ sont également à proscrire car non sélectifs en chimie fluorée. Les travaux précédents développés par le

laboratoire Ampère ont permis de montrer que seuls les masques métalliques (nickel² ou aluminium) présentaient des bonnes caractéristiques de tenue (figure 11).

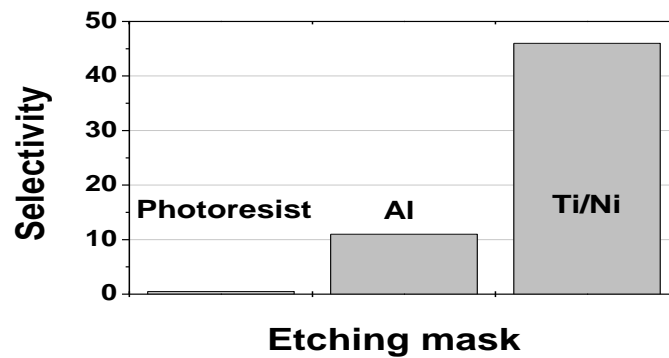


Figure 10 : La sélectivité de certains masques utilisés pour graver SiC [Laza 06].

Il est important de noter ici que pour avoir une surface plane sans rugosité il faut bien maîtriser la gravure, à la fois par le choix soigneux des différents paramètres de gravure, que ce soit la pression, la puissance et le débit des gaz, mais aussi par le choix du masque, ceci nous permet de nous affranchir du phénomène de micromasquage (figure 11) qui endommage gravement la surface par le redépôt de particules non volatiles qui proviennent principalement du masque de gravure ou d'autres pièces du réacteur (la plaque de quartz qui protège la cathode).

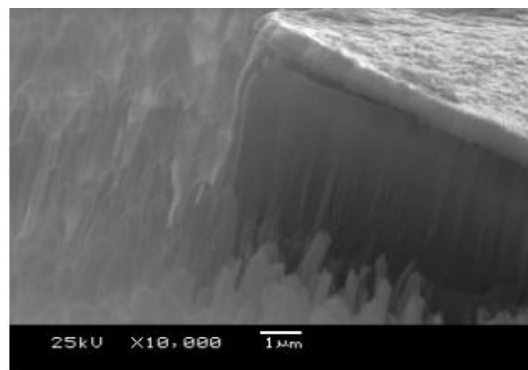


Figure 11 : Phénomène de micromasquage produit lors d'un procédé de gravure SiC. On observe que la surface du SiC gravé est devenue très rugueuse.

1.3.3.2 Les principaux réacteurs

Nous allons décrire dans cette partie le principe de fonctionnement des équipements de gravure RIE et ICP utilisés pendant cette étude.

² Dans la figure 10, le masque est mentionné Ti/Ni. Une fine couche de titane a été ajoutée à l'interface SiC/Ni pour améliorer l'accroche du Ni sur le SiC. Cependant c'est bien la couche de Ni qui sert de masque pendant le procédé de gravure

a) RIE (Reactive Ion Etching)

Ce réacteur de gravure dite « Reactive Ion Etching » (RIE) disponible sur la plateforme NanoLyon a été utilisé dans le cadre de ma thèse pour graver nos substrats. Il s'agit d'un réacteur NEXTRAL NE110. Le principe de la gravure RIE repose sur une décharge capacitive entre deux plateaux parallèles plongeant dans un plasma réactif comme la figure 12 le montre. Dans les réacteurs RIE, le substrat est positionné sur l'électrode inférieure et une tension RF est appliquée entre les deux électrodes pour produire le plasma. Le champs électrique alternatif fixé à 13,56 MHz permet aux électrons présents de gagner suffisamment d'énergie pour ioniser les atomes. Les électrons ainsi libérés vont à leur tour participer à l'ionisation du gaz.

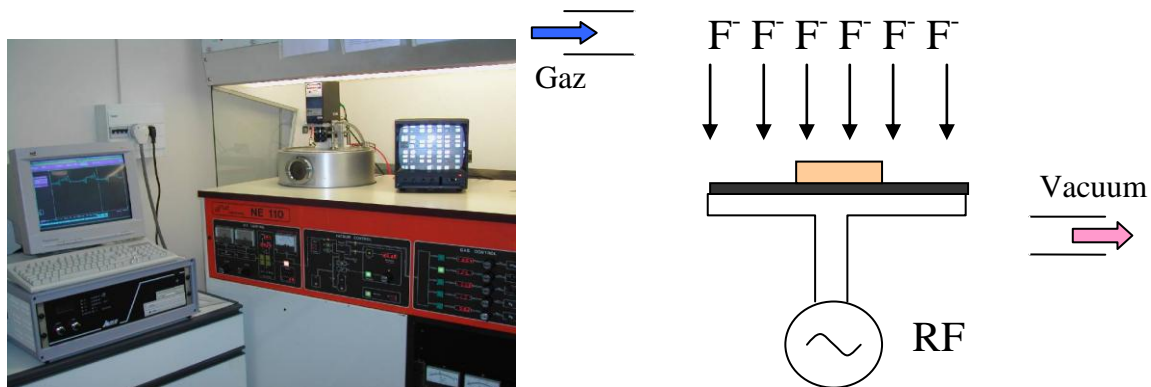


Figure 12 : Photographie et schéma simplifié du bâti de gravure RIE Nextral NE110.

Ce bâti est utilisé en routine sur la plate-forme et est dédié multi-procédés/multi-matériaux. Les gaz réactifs installés en ligne sont : Méthane - CH_4 , Argon - Ar, Trifluorométhane - CHF_3 , SF_6 , Oxygène- O_2 , Hydrogène- H_2 . Le débit massique se situe en général entre 0 et 50 sccm^3 . La pression de travail est située entre 0 et 100 mtorr, la puissance maximale RF est de 300 Watts.

La cathode est en aluminium, elle fait 11 cm de diamètre et est recouverte soit d'une plaque de silicium soit d'une plaque en Quartz en cours de gravure.

Ce réacteur est équipé d'un système de contrôle in situ (Système Sofie de Jobin-Yvon) par interférométrie laser.

b) ICP (Inductively Coupled Plasma)

Ce réacteur a été conçu au CNET MEYLAN avec l'aide de la société ETREM. Ce type de réacteur est équipé par un champ électrique RF qui est induit dans le plasma par une antenne externe. Il permet d'obtenir des fortes densités à basse pression. L'antenne est enroulée autour d'un tube isolant en alumine, la source, où est créé le plasma par l'action d'un

³ Sccm : "standard cubique centimètre per minute, une unité de débit de gaz sous des conditions standard de pression (1 atm) et de température (0 °C).

champ magnétique RF_1 (1000 W max). Le substrat est placé dans une chambre séparée située en dessous de la source à quelques centimètres (distance variable). Pour ce réacteur nous pouvons contrôler l'énergie des ions en polarisant le porte-substrat par une alimentation RF_2 (600 W max) indépendante de la source.

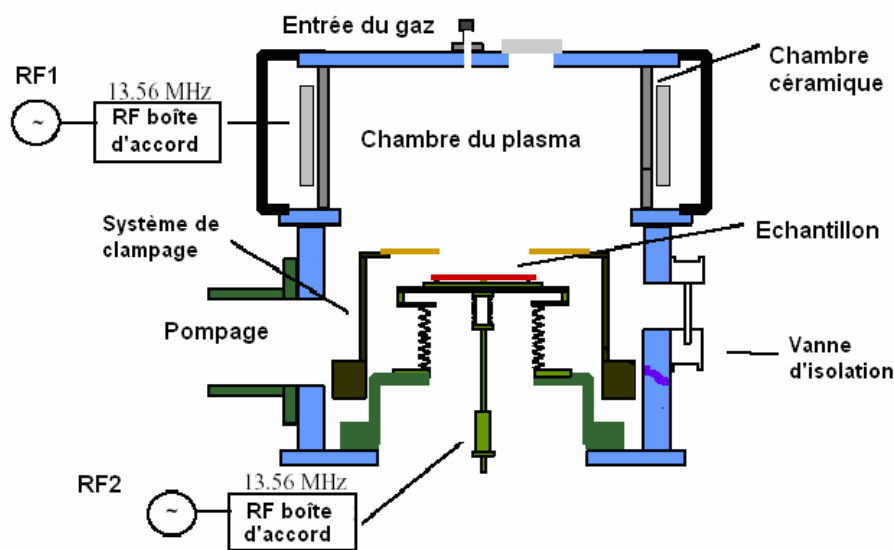


Figure 13 : Schéma simplifié du bâti de gravure ICP.

La source ICP est utilisée comme source de haute densité en ions, ce qui augmente le taux de la gravure (etch rate). Une différence de potentiel en radiofréquence (RF) est appliquée au substrat afin de créer un champ électrique directionnel au voisinage de celui-ci. Le transfert de la puissance électrique au plasma se fait par couplage inductif au moyen de spires enroulées autour du réacteur et à travers une fenêtre de diélectrique comme représenté sur la figure 13, et qui tend à rendre la gravure plus anisotrope. L'injection des gaz dans le réacteur est assurée par des contrôleurs de débit massique.

Tout comme la RIE, dans une politique de mettre à disposition un équipement multi-procédés/multi-matériaux, plusieurs types de chimies peuvent être utilisées au travers de gaz réactionnels installés : Chlore- Cl_2 , hydrogène – H_2 , méthane – CH_4 , oxygène – O_2 , Argon – Ar, SF_6 . Le débit massique est situé en général entre 0 et 50 sccm.

1.3.3.2 Synthèse des procédés utilisées dans la gravure du SiC

Le matériau SiC est gravé dans un mélange oxygène et hexafluorure de soufre (SF_6). Le choix du SF_6 est basé sur l'excellente réactivité chimique du fluor avec les atomes de Silicium et sur la capacité de pouvoir générer une grande quantité d'ions fluorés dans le plasma. L'ajout de l'oxygène au mélange réactionnel favorise la gravure des couches carbonées par la formation des éléments volatils tels que le monoxyde et le dioxyde de carbone.

La gravure de carbure de silicium utilisant le plasma SF_6/O_2 a été rapportée par plusieurs équipes de recherche, Yih et Wolf,[Yih 97][Wolf 96] avec des cinétiques comprises entre

0,05 à 0,2 $\mu\text{m}/\text{min}$. Camara [cama02] obtient une vitesse plus élevée, de 0,4 $\mu\text{m}/\text{min}$ avec un plasma SF_6/Ar mais pour une pression comprise entre 150 à 250 mtorr (**figure14**). Ces conditions permettent de produire des ions très excités énergétiquement mais qui peuvent endommager la surface gravée créant ainsi des défauts électriques.

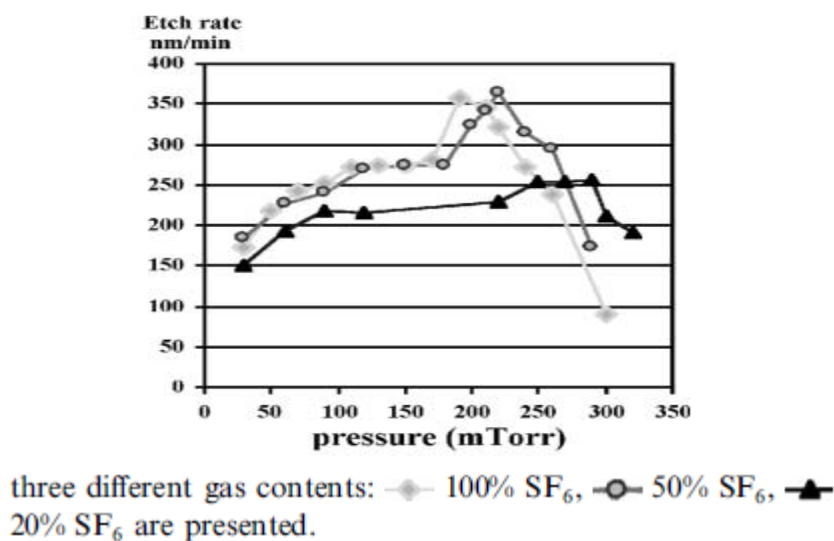


Figure 14 : Evolution de la vitesse de gravure en fonction de la pression, paramétrée en pourcentage de SF_6 .

Les meilleures cinétiques de gravure du SiC ont été obtenues par Chabert [Chab 00], avec 1,35 $\mu\text{m}/\text{min}$ dans un réacteur hélicon pour un plasma SF_6/O_2 (**figure 15**), et 1,5 $\mu\text{m}/\text{min}$ par Kim [Kim 04] avec un réacteur ICP en utilisant uniquement le gaz SF_6 .

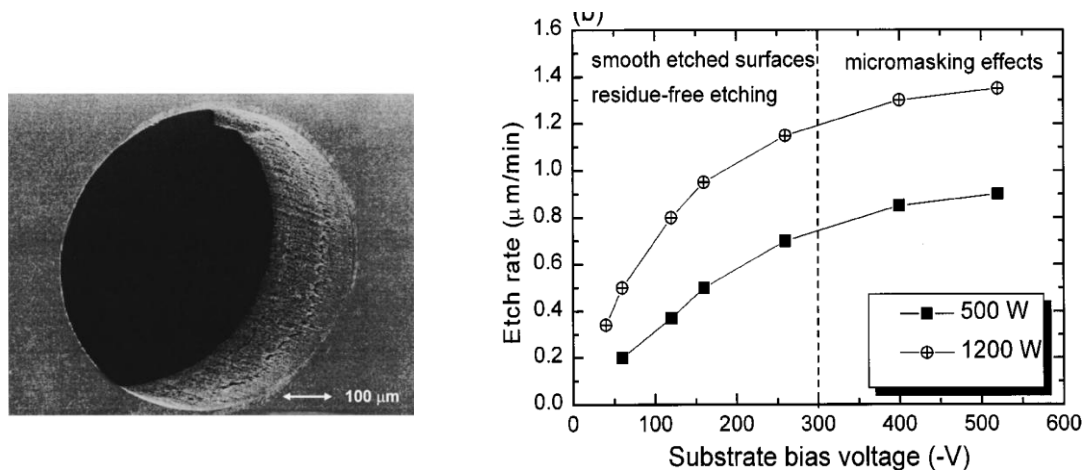


Figure 15: a) Trou de 330 μm de profondeur gravé en 6 h avec une vitesse 0,95 $\mu\text{m}/\text{min}$, b) profondeur en fonction de la tension de bias [Chab 00].

Dans le cadre des travaux de gravure réalisés au sein de notre laboratoire Lanois [Lano 97] a réussi à atteindre une vitesse de 0,27 $\mu\text{m}/\text{min}$ avec un réacteur ECR, suivis par les travaux de thèse de Heu Vang, sur la mise au point d'une gravure profonde supérieure à 10 μm par RIE SF_6/O_2 pour une protection MESA de diode verticale. Ce dernier a obtenu des conditions stabilisées avec une vitesse de l'ordre de 0,3 $\mu\text{m}/\text{min}$ (figure 16). [Vang 06]

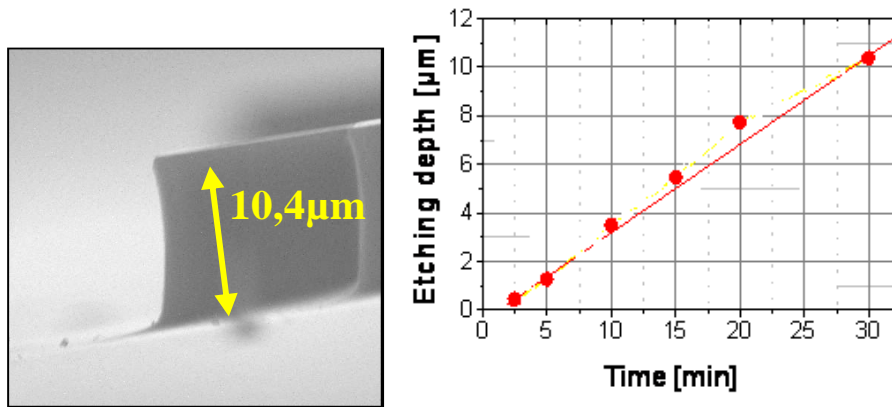


Figure 16 : a) Image MEB d'une gravure profonde, b) profondeur de gravure en fonction du temps.

Ces conditions de gravures ont été pour nous un point de départ pour les travaux que nous détaillerons au quatrième chapitre

1.3.4 Le contact ohmique sur le SiC

1.3.4.1 Le contact ohmique sur SiC-4H type N

Le contact ohmique sur le type N est très souvent réalisé avec du nickel, métal qui permet d'obtenir des résistances spécifiques de contact inférieure à $10^{-5} \Omega\text{cm}^2$. D'autres métaux sont utilisés, comme le titane (Ti), le tungstène (W) ou encore le chrome (Cr) qui permettent d'obtenir des résistances spécifiques assez faibles [Rocc 05] [Rocc 12].

Le choix du métal pour ce contact est donc très large. Il doit être déposé sur une couche fortement dopée (supérieure à $1 \times 10^{18} \text{at.cm}^{-3}$) suivi d'un recuit afin de former un contact ohmique qui sera stable lors de son utilisation dans le composant. Les températures utilisées sont souvent proches de 1000°C , pendant quelques minutes. Le tableau suivant rassemble les principaux métaux utilisés pour former un contact ohmique sur le SiC-4H type N.

Poly-type SiC	Composition du contact	Concentration du accepteur cm^{-3}	Condition du recuit	Résistance spécifique Ωcm^2	Référence
SiC-4H	Ni-Cr	$4,8 \times 10^{17}$	1100°C , 3 min	1×10^{-4}	[Luck 98]
SiC-4H	W	$7,8-8 \times 10^{18}$	1000°C , 15 min	3×10^{-5}	[Jang 01]
SiC-4H	TiC	$1,3 \times 10^{19}$	950°C	4×10^{-5}	[Lee 00a]
SiC-4H	Ti	$>10^{20}$	950°C	2×10^{-5}	[Lee 00]
SiC-4H	Ni	1×10^{19} 1×10^{19} $1,1 \times 10^{19}$	1050°C , 10 min 1000°C , 5 min 950°C , 30 min	6×10^{-6} $1,5 \times 10^{-5}$ $7,5 \times 10^{-6}$	[Furs 01] [Hall 97]
SiC-4H	TiW	$1,3 \times 10^{19}$	950°C , 30 min	$2\sim 6 \times 10^{-5}$	[Lee 00b]

Tableau 8 : Une synthèse non exhaustive des contacts ohmiques sur le SiC type N.

1.3.4.2 Le contact ohmique sur SiC-4H type P

Il est bien connu que la résistance des contacts ohmiques limite souvent les performances des composants. Le cas du contact ohmique sur le SiC type P pose plus de difficultés que le contact ohmique sur le SiC type N. De nombreux travaux portent actuellement sur ce type de contact pour lesquels de nombreuses lacunes persistent quant à la compréhension des mécanismes de formation du contact ohmique en fonction de leur mise en œuvre technologique (type de dépôt, température et durée de recuit...).

L'aluminium est un dopant de type P pour le SiC et c'est pourquoi il est l'un des métaux les plus utilisés dans la formation du contact ohmique, souvent couplé à un autre métal [Koni 03]

[Crof 01]. Nous présentons dans le tableau suivant, un état de l'art des contacts ohmiques sur SiC-4H de type P. :

Poly-type SiC	Composition du contact	Epaisseur du métal (nm)	Concentration du accepteur cm^{-3}	Condition du recuit	Résistance spécifique Ωcm^2	Référence
SiC-4H	Ni-Ti-Al	25-50-300	3.9×10^{18}	800 °C, 30 min à vide	7×10^{-5} C TLM	[Koni 03]
SiC-4H	Ni-Ti-Al	35-50-300	$1,3 \times 10^{19}$	800 °C, 1 min, à vide	$8-20 \times 10^{-4}$	[Ito 06]
SiC-4H	Al	160	$4,8 \times 10^{18}$	1000 °C, 2 min, à vide	$4,2 \times 10^{-4}$ TLM	[John 03]
SiC-4H	Al-Ti-Al	642-330-643	$4,8 \times 10^{18}$	1000 °C, 120 s, à vide	$3,3 \times 10^{-4}$ TLM	[John 03]
SiC-4H	Ni-Al	50-300	3.9×10^{18}	800 °C, 5-30 min, à vide	$9,5 \times 10^{-5}$ C TLM	[Koni 03]
SiC-4H	Al-Ti	225-25	$1,3 \times 10^{19}$	1000 °C, 2 min, à vide	3×10^{-5}	[Crof 01]
SiC-4H	Al-Ti	Ti (31%)	$4,8 \times 10^{19}$	1000 °C, 2 min, à vide	$2,5 \times 10^{-4}$	[John 04]
SiC-4H	Ti-Al	100-300	1×10^{20}	950 °C, 1 min, sous Ar	$1,45 \times 10^{-4}$	[Fraz 11]
SiC-4H	Al-Ti-Pt-Ni	50-100-25-50	$1,5 \times 10^{19}$	1000 °C, 2 min, à vide	9×10^{-5} TLM	[Vass 01]
SiC-4H	Ti	100	$1,3 \times 10^{19}$	800 °C, 1 min, à vide	$2-4 \times 10^{-5}$	[Crof 97]

Tableau 9 : Une synthèse non exhaustive des contacts ohmiques sur SiC-4H de type P.

Nous pouvons noter que les niveaux de résistance obtenus sont de l'ordre de $10^{-4} \Omega\text{cm}^2$ suivant les niveaux de dopages et de températures de recuit. Soit un ordre de grandeur par rapport au contact de type N.

Comme nous l'avons déjà mentionné le nickel est le métal le plus souvent utilisé pour réaliser le contact type N, mais il est aussi possible d'obtenir un contact ohmique sur P, cependant les résistances obtenues sont seulement de l'ordre $10^{-3} \Omega\text{cm}^2$, [Koni 03]. Pour l'alliage Al-Ti, le comportement ohmique est obtenu mais reste très sensible à la qualité de la couche d'aluminium. C'est la configuration aluminium : 90% - titane : 10% (en pourcentage massique) qui présente la plus faible résistance spécifique de $1 \times 10^{-6} \Omega\text{cm}^2$ mais avec un problème important de reproductibilité [Crof 01]. En revanche la composition aluminium : 70% -Ti : 30% représente le meilleur compromis pour un bon contact avec une reproductibilité pour une valeur de résistance spécifique de l'ordre $10^{-5} \Omega\text{cm}^2$. La formation de l'alliage Ti_3SiC_2 semble être l'origine de ce contact ohmique. Cet alliage semble prometteur de par ses qualités en termes de conductivité électrique et de conductivité thermique à la fois.

Actuellement les contacts ohmiques sur SiC type P sont en général réalisés avec un alliage ternaire à base de Ni, Ti et Al. Dans le 3^{ème} chapitre nous étudions en détail cet alliage et décrivons les mécanismes responsables de la formation du contact ohmique.

1.3.5 Packaging

Dans les composants de puissance à semi-conducteurs, les densités de puissance manipulées peuvent largement dépasser quelques centaines de watts par centimètre carré (environ 500 W/cm^2), et une puce peut supporter des tensions de plusieurs kilovolts ou des courants de plus d'une centaine d'ampères. Dans ces conditions, l'environnement de la puce de puissance (son boîtier, ou son packaging) joue un rôle primordial dans son fonctionnement final. Le rôle initial du packaging est de protéger et d'isoler la puce de son environnement, il doit évacuer la chaleur que cette dernière dissipe et transmet via les terminaux de connexion au reste du circuit (bonding).

Les différents éléments de packaging sont représentés dans la figure 17 suivante.

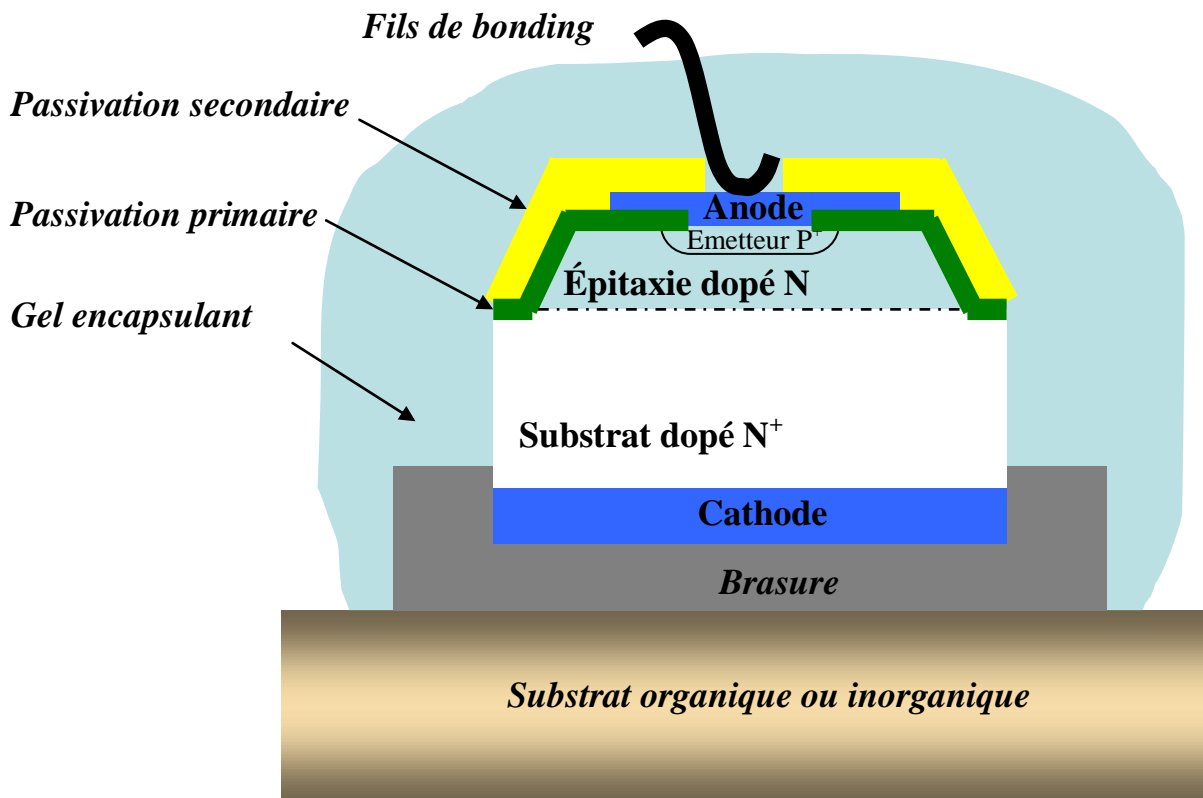


Figure 17 : Présentation schématique des éléments de packaging sur une diode PiN vue en coupe.

1.3.6 Passivation

Lors du fonctionnement sous haute tension des dispositifs à semiconducteur, un champ électrique se crée en surface dû à la différence de potentiel qui apparait entre les régions de type P et N des jonctions. Ceci conduit au claquage de la structure dans des régions extrêmes par contournement du champ électrique [Letu 00]. Pour réduire ce risque de contournement, il faut déposer une couche isolante dont la rigidité diélectrique est supérieure à celle de l'air et

ne pas engendrer des charges susceptibles d'augmenter les renforcements de champ électrique en surface.

Cette couche isolante sert à la fois à passiver les états de charge présents à l'interface avec le semiconducteur, mais aussi à protéger cette interface de toute contamination pouvant être une source de défaillance dans le temps.

Cette isolation se réalise généralement en deux étapes.

1.3.6.1 Passivation primaire

La couche de passivation primaire a pour objectif de réduire au maximum les états d'interface du semiconducteur. On utilise des matériaux diélectriques bien connus, tels que le SiO_2 , pour une épaisseur de quelques centaines de nanomètres, Cette couche possède généralement un très fort champ de claquage compris entre 10 et 12 MV.cm^{-1} [Kosu 05] [Yano 05]. Cette couche de passivation permet de réduire fortement le niveau des courants de fuite des composants sous polarisation inverse.

1.3.6.2 Passivation secondaire

La couche de passivation secondaire doit posséder une excellente propriété diélectrique et supporter les dilatations thermiques sur des dispositifs de grandes dimensions. De plus, cette couche doit pouvoir être déposée de manière conforme sur une épaisseur de plusieurs microns. Cette dernière vient en complément de la couche primaire. On utilise en général des polymères comme le polyimide. [Dupo 06][Nutt 03][Obre 02]

1.4 Les composants d'électronique de puissance en SiC

Dans ce paragraphe nous mettrons l'accent sur les composants qui sont déjà commercialisés en présentant également des exemples de composants performants développés par des équipes de recherches.

1.4.1 Les diodes en SiC

Le carbure de silicium possède des qualités indéniables pour les applications de puissance, les potentialités de ce matériaux en terme de montées en température de fonctionnement, en tension et en fréquence, ainsi qu'en terme de réduction des pertes ont été démontrées au travers des nombreux travaux qui ont permis la réalisation des démonstrateurs dans toutes les catégories de composants connues tels que les diodes (Schottky ou bipolaire), les JFET, MOSFET et thyristors.

A ce jour, de nombreux travaux ont été développés, dédiés à l'évaluation de la mise en œuvre expérimentale, la caractérisation électrique, la fiabilité de certains composants et jusqu'à tester leur comportement au sein des systèmes. Parmi ces nombreuses démonstrations, nous nous focaliserons sur **la diode Schottky** sans doute le plus simple composant à semi-conducteur mais le plus développé d'entre eux. C'est effectivement le premier composant de puissance de la filière SiC à être arrivé sur le marché, dès 2001 par Microsemi [Micr 01] et par Infineon technologies [Rupp 03]. Les avancées technologiques ont été importantes sur ce composant et en ont permis sa production industrielle. La gamme de diodes SiC commercialisée est résumée dans le tableau 10.

Le principal avantage de ces composants unipolaires est d'avoir une gamme de tension plus grande que les diodes Schottky en silicium et une vitesse de commutation très rapide car les charges stockées sont quasiment nulle.

Le record de tenue en tension d'une diode Schottky (SBD) est de 10 kV sur substrat SiC-4H de type N avec une couche active N (concentration $5,6 \times 10^{14} \text{ cm}^{-3}$, épaisseur 115 μm) et une densité de courant de 48 A.cm^{-2} , une protection périphérique par MJTE (Multistep Junction Termination Extension) [Zhao 03]. Le meilleur démonstrateur en SiC-4H a été réalisé par Singh avec le record en courant de 130 A [Sing 02].

Fournisseur	Tension de claquage (V)	Courant direct (A)	Tension direct (A)	Courant de fuite (μ A)
Microsemi	200	1 à 4	1,6 à 1,8	20 à 50
Microsemi	400	1 à 4	1,6 à 1,8	20 à 50
Microsemi	600	1 à 4	1,6 à 1,8	20 à 50
Cree	600	2	1,5 à 1,8	10 à 20
Cree	650	4	1,5 à 1,8	12 à 24
Cree	1200	27 à 54	1,5 à 2,2	35 à 65
Cree	1700	10 à 15	1,7 à 3	20 à 100
Infineon	300	10 à 20	1,5 à 1,7	15 à 200
Infineon	600	2 à 16	1,5 à 1,7	2 à 200
ST	600	12	1,4 à 1,7	30 à 150

Tableau 10 : Caractéristiques électriques de quelques diodes Schottky commerciales à base de SiC par Cree, Microsemi, Infineon et ST Microelectronics [ST 12].

Plusieurs études ont été réalisées pour évaluer les performances des diodes Schottky 1200 V en comparaison avec des diodes PIN-Si 1200 V. Ces études ont montré que la diode Schottky SiC présente un temps de commutation plus court et une surtension plus faible grâce à sa vitesse de commutation due au fait que c'est un composant unipolaire et son régime de transport en courant est donc régi par les porteurs majoritaires [Bros 05].

Par comparaison avec des diodes Schottky Silicium commercialisées, la diode BAT240A réalisée par Infineon présente une tenue en tension la plus importante de 250 V avec un courant de 1 A.

Comparativement il semble bien que, vu la différence de capacité entre les deux diodes, celle à base de SiC est beaucoup plus performante et plus puissante, d'où le fait que l'équivalent des diodes Schottky SiC, 1200 V serait plutôt des diodes silicium bipolaire.

Malgré cet avantage la diode Schottky possède l'inconvénient d'avoir un courant de fuite et une résistivité importante à haute température. Cette dépendance en température limite l'utilisation des diodes Schottky pour des applications dans la gamme de 300 à 3000 V. Des solutions alternatives ont été développées pour résoudre ce problème avec des diodes JBS composant qui est une combinaison entre les diodes PiN et Schottky. Ce type de diode possède l'avantage d'avoir une faible tension de seuil et un courant de fuite faible en inverse supportant ainsi des tenues en tension élevées. La plupart des diodes Schottky commercialisées actuellement ont en fait une structure de type JBS. (Infineon à partir de la 2ème génération [Hanc 06]).

A titre d'exemple nous présentons ci-dessous dans la figure 18, un démonstrateur qui a été développé par Alexandrov [Alex 03], avec un courant de 140 A sous une tension de 4 V en direct. En inverse la tenue en tension est de 600 V. Dans cette architecture, des anneaux P⁺ ont été définis pour supporter les surcharges de courant. Récemment Brett a réalisé une diode JBS à 10 kV / 20 A avec $V_F < 4$ V et une résistance différentielle 100 mΩ à 25 °C et 450 mΩ à 200 °C [Bret 09].

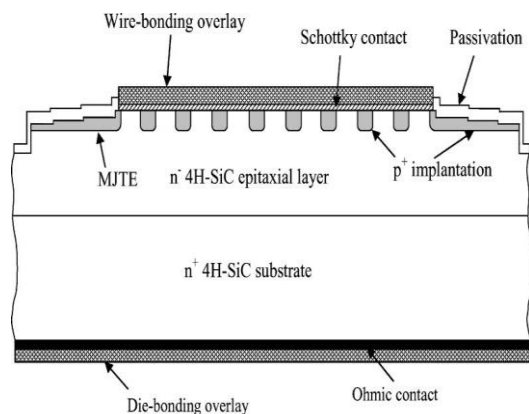


Figure 18 : démonstrateur d'une diode JBS [Alex 03].

Les diodes PiN sont classées dans les applications hautes tensions supérieures à 2 kV et hautes températures supérieures à 150 °C [Mrin 06]. Le composant qui détient le record de la plus grande tenue en tension avec 19 kV est celui de Sugawara [Suga 01] et, en termes de puissance Hull a réalisé une diode PiN avec une tenue en tension de 4,5 kV et un courant de 180 A [Hull 06].

1.4.2 Le JFET

La société Infineon par l'intermédiaire de son ancien centre de recherche SiCED ainsi que la société Semisouth vendent des transistors JFET en petite quantité aux laboratoires de recherche universitaire ou industriels.

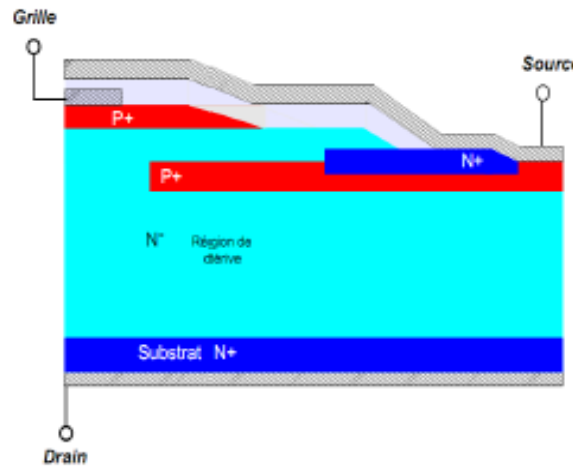


Figure 19 : Structure d'un JFET et sa topographie [Rudo10].

Des travaux réalisés et développés par SiCED ont permis de mettre en place des JFET "Normally On", qui possèdent un canal latéral et un canal vertical. Peter Friedriech a étudié plusieurs types des structures verticales réalisées sur substrat SiC-4H de type N, fourni par Cree avec une résistance spécifique inférieure à $24 \text{ m}\Omega\text{cm}^2$ [Frie 00]. Ces structures possèdent une très faible résistance à l'état passant, une chute de tension de 1.4 V pour une densité de courant de 100 Acm^{-2} et une vitesse de commutation faible. Une amélioration dans la structure des JFET a été réalisée en reliant la source avec la couche enterrée P^+ ce qui a permis de diminuer la capacité Miller et d'augmenter la vitesse de commutation.

Dans le même groupe et dans le but d'améliorer cette structure verticale, Rudof [Rudo 10] a réalisé une nouvelle topographie présentée dans la figure 19. Cette structure possède une couche P^+ implantée de manière sélective dans une couche epitaxiée N^- , et connectée avec la source pour diminuer la capacité de Miller. Un canal latéral est formé entre cette couche P^+ et celle de la grille pour contrôler le courant.

Dès 2004, Zhao a réalisé un JFET SiC "Normally Off", avec une tenue en tension de 1 kV et un calibre en courant de 6 A avec une faible résistance à l'état passant $R_{\text{on}} = 4,8 \text{ m}\Omega\text{cm}^2$ [Zaho 04]. Une couche de drift de $9,4 \mu\text{m}$ dopée $7 \times 10^{15} \text{ cm}^{-3}$ a été utilisée. Notons également la grille très dopée réalisée par implantation sur les parois du canal vertical, pour que la zone de charge d'espace de la jonction PN de grille-source sans polarisation permette de pincer le canal (Figure 20a).

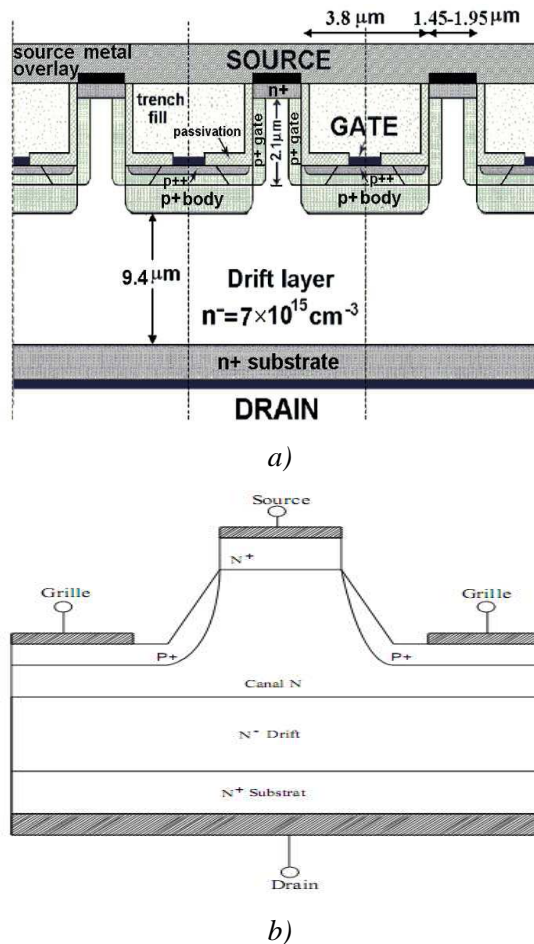


Figure 20 : a) Démonstrateur d'un transistor JFET [Zaho04], b) Structure du VJFET SiC 1200 V-15 mm² fabriqué par SemiSouth [Rite 10].

En 2010, SemiSouth commercialisait un JFET 'Normally-Off' 1200 V avec une surface active totale de 15 mm², une résistance à l'état passant de 25 mΩ et un courant de saturation de 120 A à température ambiante [Rite10]. La structure du VJFET en SiC -1200 V à canal vertical fabriqué par SemiSouth ainsi que sa photographie est présente dans la figure 20b. On remarque la similitude avec la structure présentée par Zhao en 2004.

Le JFET latéral :

Les recherches qui ont été faites pour réaliser des JFET latéraux en SiC ne sont pas nombreuses. Citons d'abord Zhao et son équipe aux Etats-Unis qui ont réalisé un JFET normally-off avec une tenue en tension de 1100 V [Shen 08]. La technologie de fabrication est basée sur une structure en tranchée TI-JFET (Trench Implanted JFET) utilisant la technique RESURF. La densité du courant enregistrée à température ambiante est de 105 A/cm² pour une résistance spécifique à l'état passant $R_{on,sp} = 9.5 \text{ m}\Omega \text{ cm}^2$. La figure suivante montre la structure réalisée.

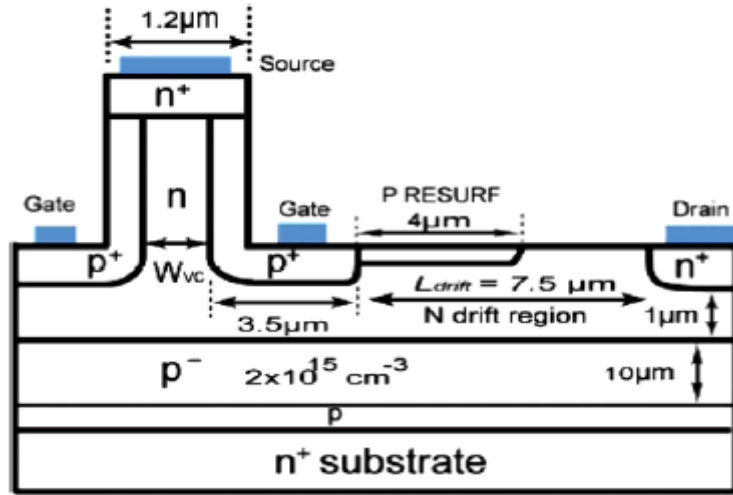


Figure 21 : La structure du JFET latéral fabriqué par l'équipe de Zhao, avec une tenue en tension 1100 V et une $R_{on,sp} = 9.5 \text{ m}\Omega \text{ cm}^2$ [Shen 08].

Une deuxième structure a été réalisée par une équipe japonaise [Fuji 06] dans laquelle la technique RESURF a été amplement exploitée (double couche) pour obtenir une tenue en tension de 800 V et une résistance spécifique de $50 \text{ m}\Omega \text{ cm}^2$. La structure réalisée est présente dans la figure suivante.

Notons que les structures développées par le laboratoire AMPERE sont proches de cette dernière. Les structures fabriquées par AMPERE se différencient par le fait que l'utilisation d'un substrat semi-isolant a été abandonné au profit de l'intégration latérale des JFET P et N sur la même puce en SiC.

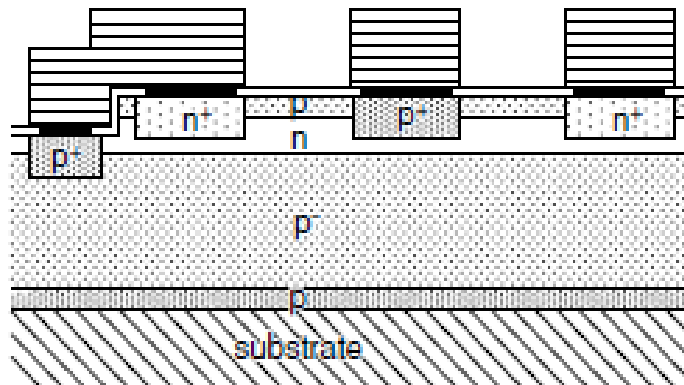


Figure 22 : Structure du JFET latéral réalisé par Fuji et al. [Fuji 06] avec une tenue en tension 800 V et une $R_{on,sp} = 50 \text{ m}\Omega \text{ cm}^2$.

1.4.3 Le MOSFET

Dans la filière silicium, un MOSFET avec une tenue en tension supérieure à 1 kV semble peu réaliste. Mais avec le SiC il est théoriquement possible de réaliser un transistor MOSFET avec une tenue en tension de 10 kV pour une résistance à l'état passant plus faible [Howe 07]. De nombreux industriels s'y intéressent à ce composant. Les différents MOSFET-SiC commercialisés notamment par Cree et Rohm sont reportés dans le tableau suivant.

Fournisseur	V _{ds} (V)	I _{ds} (A)	R _{ds} (Ω)
Rhom	600	10	0,2
Rhom	1200	35	0,08
Cree	1200	33	0,08
Cree	1200	24	0,16
Cree	1200	28	0,16
Cree	1200	50	0,08

Tableau 11 : Caractéristiques électriques des quelques MOSFET-SiC commercialisés par Cree et Rhom.

Les transistors MOSFET-SiC de puissance rencontrent cependant des problèmes liés à la qualité de l'interface oxyde de champ/semiconducteur. Ce problème conduit à une mobilité des électrons très faible dans le canal. Des nombreuses études ont été réalisées pour améliorer la mobilité des électrons et ont conduit à une amélioration importante de cette mobilité. Par contre il reste à résoudre le problème de la dégradation de ces composants lors du fonctionnement à haute température [Kapl 11].

En 2004, Ryu a réalisé un transistor DMOSFET en SiC-4H (figure (23)) avec une tenue en tension 10 kV à un courant de fuite de 197 μA, une mobilité effective dans le canal 22 cm²V⁻¹s⁻¹ avec une surface active de 4,24 × 10⁻³ cm² [Ryu 04].

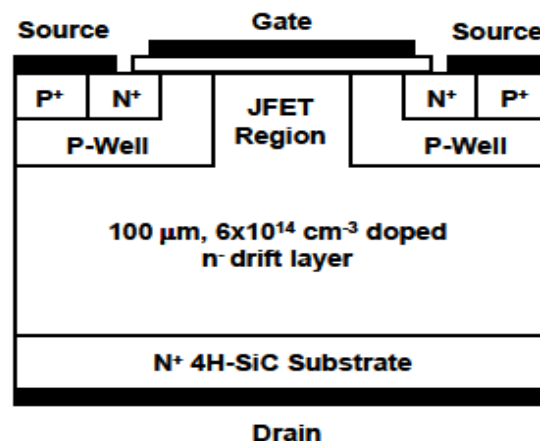


Figure 23 : Structure DMOSFET 10 kV réalisée par Ryu [Ryu 04].

Un nouveau démonstrateur a été développé par Ryu en 2006. La surface active plus importante de $0,15 \text{ cm}^2$ avec une tenue en tension de 10 kV induit un courant de fuite de $3,3 \mu\text{A}$. Le calibre en courant atteint 5 A pour une tension de drain de 3,76 V. [Ryu 06]

Howell a réalisé un DMOSFET avec une large surface active de $0,6 \text{ cm}^2$ avec une tenue en tension 10 kV et un courant 20 A mesuré à $V_{ds}= 5 \text{ V}$ et $V_{gs}= 10 \text{ V}$ [Howe 08].

Harada a réussi à réduire la résistance spécifique dans un démonstrateur nommé IMOSFET, présenté sur la figure 24, avec une résistance spécifique de $1.8 \text{ m}\Omega\text{cm}^2$ et une tenue en tension 660 V. [Hara 06]

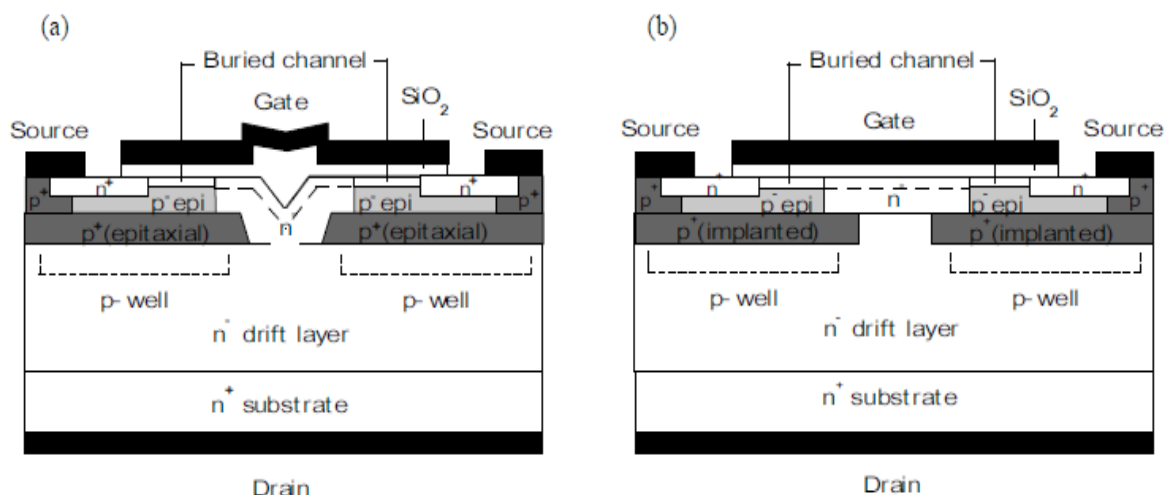


Figure 24 : Structure a) DEMOSFET et b) IEMOSFET réalisées par Harada. La couche p+ réalisée par épitaxie pour le DEMOSFET et par implantation pour l'IMOSFET [Hara 06].

1.4.4 Le BJT

Des nombreuses recherches ont été réalisées dans le développement de BJT (*Bipolar junction transistor*) en SiC et surtout pour améliorer les performances du composant en terme du gain en courant qui reste faible et diminue avec la température, dû à la courte durée de vie des porteurs en SiC.

La société suédoise Transic (racheté par Fairchild Semiconductor) commercialise ces composants en faible quantité pour les laboratoires de recherches. Ces transistors sont destinés à des applications 1200 V avec un courant de 6 ou 20 A [Tran 13].

Une solution a été envisagée par Zhang (**figure 25**) dans une configuration Darlington qui permet d'augmenter le gain [Zhan 10]. Le plus grand gain obtenu est de 440 pour un courant de collecteur 10 A et une tenue en tension de 10 kV avec une résistance spécifique de $130 \text{ m}\Omega\text{cm}^2$.

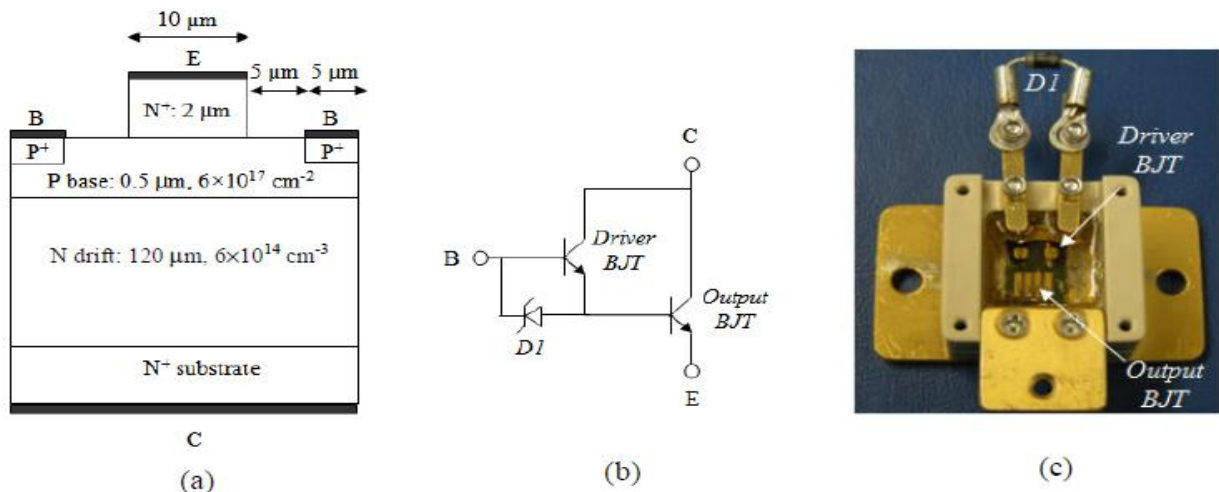


Figure 25 : a) Structure de BJT, b) circuit Darlington, c) photographie de BJT réalisé par [Zhan 10].

1.5 L'intégration en électronique de puissance

1.5.1 Pourquoi l'intégration en électronique de puissance

La recherche constante de miniaturisation des composants et l'intégration monolithique des composants de puissance à semi-conducteurs est un thème de recherche en essor depuis quelques années car il offre des perspectives intéressantes en termes de performances, de densité de puissance et de fiabilité. Les circuits onduleurs ainsi que tous types de convertisseurs permettant d'améliorer le rendement de conversion et la fiabilité, sont aujourd'hui un axe fort de recherche. Néanmoins, bons nombres de contraintes technologiques, fonctionnelles ou structurelles limitent l'intégration monolithique de fonctions au sein des composants de puissance moyenne et haute tension. L'un des défis majeur consiste alors à trouver les fonctions ou les briques élémentaires essentielles qui peuvent être intégrées au sein de ces composants, sans diminuer les performances et sans complexifier le procédé technologique de fabrication.

En électronique de puissance, plusieurs modes d'intégration sont couramment rencontrés. Ils dépendent de l'application et de la gamme de puissance visée. On distinguera l'intégration hybride et l'intégration monolithique. La première est caractérisée par l'association au sein d'un même module de plusieurs puces et la deuxième par l'association de plusieurs composants au sein d'une même puce.

1.5.2 Vers l'intégration monolithique

L'intégration monolithique, plus appropriée pour les convertisseurs, consiste à réaliser sur une même puce un ou plusieurs interrupteurs, ainsi que plusieurs fonctions de commande, de protection ou de contrôle. L'avantage de cette technique apparue grâce à l'évolution faite sur les procédés technologiques, est de permettre la réalisation des parties actives et passives d'un convertisseur ainsi que leurs interconnexions sur le même substrat, conduisant à des réalisations de très faible encombrement. L'intégration de composants par ce procédé fut alors envisageable et réalisable, en passant d'une intégration hybride de plusieurs puces différentes réalisées classiquement sur un substrat et couvertes dans un gel permettant principalement la protection contre les risques d'arcs électriques, nécessitant un bon système de refroidissement, à une intégration monolithique telle que présentée dans la figure 26. On peut distinguer l'intégration de type : circuits intégrés de puissance et l'intégration fonctionnelle.

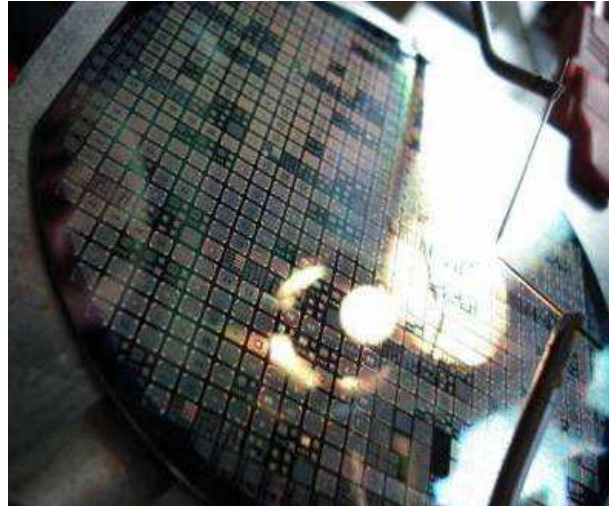
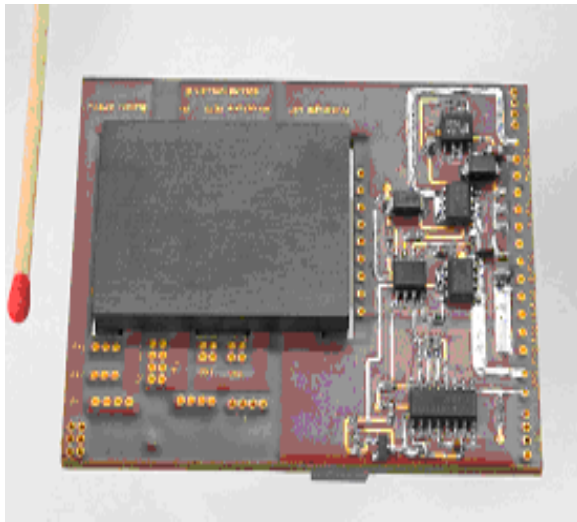


Figure 26 : Vers l'intégration monolithique.

Les circuits intégrés de puissance (*Smart Power*)

Le principe du circuit intégré de puissance est de rassembler des circuits faibles tension de traitement de signaux et de contrôle-commande avec le composant principal. On peut citer la Technologie VIPer présentée sur la figure 27 [Marm 00], qui intègre monolithiquement des fonctions de commande au sein d'un transistor vertical de puissance 600 V. Selon les niveaux de tension, les composants de puissance sont latéraux (5-60 V) ou bien verticaux (>60 V). Ces types de composants intégrés sont appelés «Smart power» [Mura 00]. La miniaturisation de ces derniers a permis l'intégration des circuits numériques très complexes comme les microprocesseurs DSP ou des microcontrôleurs dans la nouvelle génération décrite comme une technologie VLSI (Very Large Scale of Integration) avec des fonctions de puissance [Cont 98].

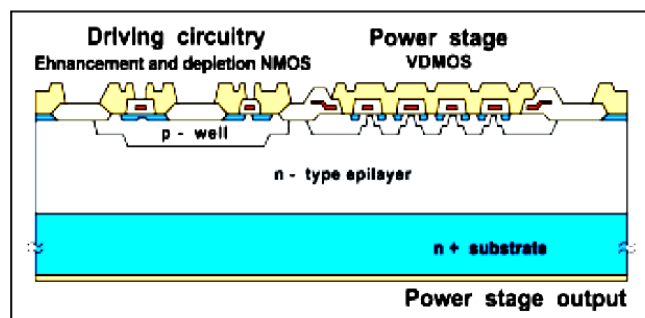


Figure 27 : Technologie VIPer intégrant monolithiquement des fonctions de commande au sein d'un transistor vertical de puissance 600V [Marm 00].

Des composants électroniques de commutation ont été développés par la technologie CMOS en carbure de silicium, des transistors NMOS conventionnels sont fabriqués avec de canal à longueur courte de 0,5 mm et des transistors PMOS conventionnels à 0,8 mm, en utilisant la technique Smart Power [Pio 02].

Intégration fonctionnelle

Les efforts de recherche et de développement ont conduit un niveau plus poussé, celle de l'intégration monolithique fonctionnelle. Ce processus d'intégration fonctionnelle est décrit dans des publications telles que [Créb 06], [Sanc 95]. Ces développements technologiques sont basés sur des nouvelles fonctions de protection et de commutation en prenant compte les interactions électriques entre les différentes couches de semiconducteur. ST Microelectronics ont développé la technologie ASDTM présentée sur la figure 28.

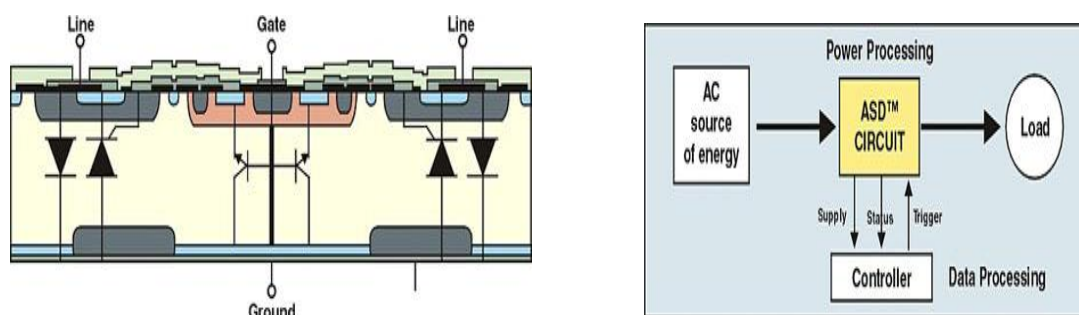


Figure 28 : Exemple d'intégration monolithique fonctionnelle d'un composant fabriqué avec la technologie ASDTM de la société ST Microelectronics.

1.6. Conclusion du chapitre:

Dans ce chapitre nous avons présenté un état d'art sur le carbure de silicium, en insistant notamment sur les points sensibles qui concernent la technologie des composants SiC. Cette partie introduit et motive les développements technologiques que nous allons présenter dans les chapitres suivants pour réaliser des composants JFET complémentaires.

Sur le SiC, dans ce premier chapitre nous avons également rappelé ses propriétés structurales, physiques et électroniques qui lui confère des aptitudes remarquables pour des utilisations en environnement sévère et notamment pour l'électronique haute tension et haute température. Nous avons essayé aussi de faire un inventaire des principaux composants SiC en insistant sur ceux qui sont commercialisés.

Comparé aux autres semiconducteurs à large bande interdite, nous devons mentionner que le GaN représente aujourd'hui un concurrent direct du SiC dans la réalisation de composants de puissance moyenne tension. Comme le SiC, le GaN présente des caractéristiques intéressantes pour les composants de puissance, avec une exception notable au niveau du coefficient thermique de conductivité du GaN qui est beaucoup plus faible par rapport au SiC. Cette contrainte et la quasi-indisponibilité de substrat GaN, et de couches épitaxiales de bonnes qualités font que le SiC soit encore préféré pour les applications hautes température et haute tension que vise le laboratoire Ampère.

1.7. Références:

- [Acha 07] J. Achard, A Tallaire, X Bonnin, G Lombardi, K Hassouni and A Gicquel. High quality MPACVD diamond single crystal growth: high microwave power density regime. *J. Phys. D: Appl. Phys.* Vol. 40, pp. 6175, (2007).
- [Ache 82] E. G. Acheson. Production of Artificial Crystalline Carbonaceous Materials, *United States Patent. Vol. 492, pp. 767, (1993).*
- [Alex 01] A. Syrkin, V. Dmitriev, O. Kovalenkov, D. Bauman, J. Crofton. Liquid-Phase Epitaxial Growth of Heavily Doped Al p-Type Contact Layers for SiC Devices and Resulting Ohmic Contacts. *Materials Science Forum.* Vol. 389 – 393, pp. 291-294, (2001).
- [Alex 03] P. Alexandrov, W. Wright, M. Pan, M. Weiner, L. Jiao, J.H. Zhao. Demonstration of high voltage (600–1300V), high current (10–140 A), fast recovery 4H-SiC p-i-n/Schottky (MPS) barrier diodes. *Solid-State Electronics.* Vol. 47, pp. 263–269, (2003).
- [Bali 82] B.J.Baliga. power device figure of merit high-frequency application. *IEEE: Electron letters.* Vol. 10, pp. 455, (1989).
- [Berk 09] E. Berkman, R.T. Leonard, J. Paisley, Y. Khlebnikov, J. O'Loughlin, A. Burk, R. Powell, D.P. Malta, E. Deyneka, M.F. Brady, I. Khlebnikov, F. Tsvetkov, H.McD. Hobgood, J. Sumakeris, C. Basceri, V Balakrishna, H. Carter Jr., C. Balkas. Defect Status in SiC Manufacturing. *Materials Science Forum.* Vol. 615, pp. 3-6, (2009).
- [Berz 24] J.J.Berzelius. Untersuchungen über die Flussspathsäure und deren merkwürdigsten Verbindungen. *Annalen der Physik und Chemie.* Vol. 1, pp. 169-230, (1824).
- [Blan 04] S. Blanqué, R. Pérez, P. Godignon, N. Mestres, E. Morvan, A. Kerlain, C. Dua, C. Brylinski, M. Zielinski and J. Camassel. Room temperature implantation kinetics of nitrogen and phosphorus in 4H-SiC, crystals. *Materials Science Forum.* Vol. 457-460, pp. 893-896, (2004).
- [Blue 00] J. M. Bluet, J. Pernot, J. Camassel, S. Contreras, J. L. Robert, J. F. Michaud, and T. Billon. Activation of aluminium implanted at high doses in 4h-SiC. *J. Appl. Phys.* Vol. 88, pp.1971, (2000).
- [Bonn 13] <http://www.microelectronique.univ-rennes1.fr>, (consulté le 01.01.2013).
- [Brac 00] H. Bracht, N. A. Stolwijk, M. Laube, and G. Pensl. Diffusion of boron in silicon carbide: Evidence for the kick-out mechanism. *Appl. Phys. Lett.* Vol. 77, pp. 3188, (2000).
- [Bret 09] A. Hull Brett et. al. Development of Large Area (up to 1.5 cm²) 4H-SiC 10 kV Junction Barrier Schottky Rectifiers. *Mat. Sci. Forum.* Vol. 600-603, pp. 931-934, (2009).
- [Bros 04] P. Brosselard. Conception, Réalisation et Caractérisation d'interrupteurs (thyristors et JFET) haute tension (5kV) en carbure de silicium. Thèse de doctorat CEGELY. INSA de Lyon, 181 p (2004).
- [Bros 05] P. Brosselard, X. Jorda, M. Vellvehi, A. Perez-Tomas, P. Godignon, J. Millan. 1.2 kV Rectifiers Thermal Behaviour: comparison between Si PiN, 4H-SiC Schottky and JBS diodes. *Barcelona Power Electronics and Applications: European Conference*, pp.1-9, (2007).
- [Bros 92] M. Brousseau. *Physique du solide (Propriétés électroniques)*, Masson, (1992).
- [Cama 98] J. Camassel et J.L. Robert. matériaux semi-conducteurs grand gap : SiC. *Technique de l'ingénieur : traité électronique*, article 1990, (1998).
- [Cama 02] N. Camara, K. Zekentes. Study of the reactive ion etching of 6H-SiC and 4H-SiC in SF₆/Ar plasmas by optical emission spectroscopy and laser interferometry. *Solid-State Electronics.* Vol. 46, pp. 1959–1963, (2002).
- [Casa 96] J. B. Casady and R. W. Johnson. status of silicon carbide as a wide bandgap semiconductor for high-temperature applications. Review paper, *Solid-State Electronics* Vol. 39, No. 10, pp. 1409-1422, (1996).
- [Chab 00] P. Chabert, N. Proust, J. Perrin, and R. W. Boswell. High rate etching of 4H-SiC using a SF₆/O₂ helicon plasma. *Appl. Phys. Lett.* Vol. 76, pp. 2310, (2000).
- [Choy 97] W.J. Choyke, G. Pensl, *MRS Bulletin.* Physical properties of SiC. Vol. 22, N° 3, pp. 25, (1997).
- [Chu 65] T.L. Chu and R.B. Campbell. Chemical etching of silicon carbide with hydrogen. *Journal of electrochemical society*, Vol. 112, no 9, pp. 955-956, (1965).

- [Cont 98] C. Contiero, P. Galbiati, M. Palmieri, G. Ricotti, R. Stella. Smart power approaches VLSI complexity. Proc. On International Symposium On Power Semiconductor Devices, ISPSD'98. pp.11-15, (1998).
- [Cree 04] <http://www.cree.com>, (consulté le 01.01.2013).
- [Cree 11] Cree's New Z-FET™ Silicon Carbide MOSFET Delivers Superior Energy Efficiency to an Expanding List of Power Applications. May 19, 2011, www.cree.com/news-and-events/cree-news/press-releases/2011/may/110519-z-fet.
- [Cree 12] Cree Introduces 150-mm 4HN Silicon Carbide Epitaxial Wafers. August 30, 2012, <http://www.cree.com/news-and-events/cree-news/press-releases/2012/august/150mm-wafers>.
- [Crhe 11] http://www.crhea.cnrs.fr/crhea/documents/activity_report.pdf#page=22, (consulté le 01.01.2013).
- [Créb 06] J. Crébier. Intégration Monolithique et composants de puissance. Habilitation à Diriger des Recherches - INPG - G2Elab, (2006).
- [Crof 01] J.Crofton. Finding the optimum Al/Ni alloy composition for use as an ohmic contact 4H-SiC. Solid-State Electronics, vol. 46, pp. 109–113, (2001).
- [Crof 97] J.Crofton. Titanium and aluminum-titanium ohmic contact of p-type SiC. Solid-State Electronics, Vol. 41, pp. 1725–1729, (1997).
- [Das 05] M. K. Das, J. J. Sumakeris, B. A. Hull, J. Richmond, S. Krishnaswami, et A. R. Powell. Drift-Free, 50 A, 10 kV 4H-SiC PiN Diodes with Improved Device Yields. Materials Science Forum, vol. 483, pp. 965-968, (2005).
- [Dupo 06] L.Dupont. Contribution à l'étude de la durée de vie des assemblages de puissance dans des environnements haute température et avec des cycles thermique de grande amplitude. Thèse de doctorat de l'école normale supérieure, Cachan, (2006).
- [Ferr 11] G. Ferro. New approaches to in-situ doping of SiC epitaxial layers. Advanced Materials Research, Vol. 324, pp. 14-19, (2011).
- [Ferr 06] G. Ferro. Croissance épitaxiale du carbure de silicium à basse température. HDR, Université Claude Bernard - Lyon I, (2006-07-03).
- [Fiss 01] A. Fissela, U. Kaisera. Schrötter, W. Richter, F. Bechstedt. MBE growth and properties of SiC multi-quantum well structures. Applied Surface Science, Vol. 184, pp. 37–42, (2001).
- [Fraz 11] A. Frazzetto, F. Giannazzo, R. Lo Nigro, V. Raineri, F. Roccaforte. Structural and transport properties in alloyed Ti/Al Ohmic contacts formed on p-type Al-implanted 4H-SiC annealed at high temperature. Journal of Physics D: Applied Physics vol. 44, 255302, (2011).
- [Fuji 06] K. Fujikawa, K. Shibata, T. Masuda, S. Shikata, Member, IEEE, and H. HayashiA. Fukumoto. 800 V 4H-SiC RESURF-Type Lateral. IEEE ELECTRON DEVICE LETTERS, (2008).
- [Fuku 96] A. Fukumoto. First-principles calculations of p-type impurities in cubic SiC. Phys. Rev. B 53, 4458–4461, (1996).
- [Furs 01] L. G. Fursin, J. H. Zhao, and M. Weiner, Nickel ohmic contacts to p and n-type 4H-SiC. *Eelctronics Lett.* vol. 37, pp. 1092, (2001).
- [Frie 03] P. Friedrichs, H. Mitlehner, R. Schörner, K. O. Dohnke, and D. Stephani. High voltage, modular switch based on SiC VJFET - first results for a fast 4.5kV/1.2W configuration. Materials Science Forum, Vols. 433-436, pp. 793-796, (2003).
- [Frie 00] P. Friedrichs, et al. Static and Dynamic Characteristics of 4H-SiC JFET Designed for Different Blocking categories. Materials Science Forum, Vol. 338-342, pp. 1243-1246, (2000).
- [Frei 95] J.A. Freitas, books: Properties of silicon carbide Photoluminescence spectra of SiC polytypes. Par Gary Lynn Harris, INSPEC Series n° 13, INSPEC, pp. 29, (1995).
- [Hall 97] C. Hallin, R. Yakimova, B. Pecz, A. Georgieva, T. Marinova, L. Kasamakova, R. Kakanakov, and E. Janzen. Improved Ni Ohmic Contact on n-Type 4H-SiC. *J. of Electron. Mater.* Vol. 26, pp. 119, (1997).
- [Hanc 06] J. Hancock, F. Bjoerk, , M. Treu, R. Rupp and T. Reimann. 2nd generation 600V SiC Schottky diodes use merged pn/Schottky structure for surge overload protection. IEEE Applied Power Electronics Conference and Exposition, pp.4, (2006).

- [Hatt 08] R. Hattori, K. Kamei, K. Kusunoki, N. Yashiro, S. Shimosaki. LPE Growth of Low Doped n-Type 4H-SiC Layer on On-Axis Substrate for Power Device Application. *Materials Science Forum*, Vols 615 – 617, pp. 141-144, (2008).
- [Hara 06a] S. Harada, M. Kato, K. Suzuki, M. Okamoto, T. Yatsuo, K. Fukuda, K. Arai. 1.8 m Ω cm², 10 A Power MOSFET in 4H-SiC. *Electron Devices Meeting, IEDM '06*. pp.1 - 4 (2006).
- [Hara 06b] S. Harada, M. Kato, K. Suzuki, M. Okamoto, T. Yatsuo, K. Fukuda, K. Arai. 4.3 m Ω cm², 1100 V 4H-SiC Implantation and Epitaxial MOSFET. *Materials Science Forum*, Vol. 527-529, pp. 1281-1284, (2006).
- [Hass 10] J. Hassan, J.P. Bergman, A. Henry and E. Janzén. High growth rate with reduced surface roughness on-axis homoepitaxial growth of 4H-SiC. *Materials Science Forum*, Vol. 679 – 680, pp. 115-118, (2010).
- [Howe 08a] R.S. Howell, S. Buchoff, S. Van Campen, T.R. McNutt, H. Hearne, A. Ezis, M.E. Sherwin, R.C Clarke, R. Singh, Comparisons of Design and Yield for Large-Area 10-kV 4H-SiC DMOSFETs *Electron Devices*, IEEE Transactions, Vol. 55 (8), pp.1816 – 1823 (2008).
- [Howe 08b] R.S. Howell, S. Buchoff, S. Van Campen, T.R. McNutt, A. Ezis, B. Nechay, C.F. Kirby, M.E. Sherwin, R.C Clarke, R. Singh, A 10-kV Large-Area 4H-SiC Power DMOSFET With Stable Subthreshold Behavior Independent of Temperature. *Devices*, IEEE Transactions on ,Vol 55 (8), pp. 1807 – 1815, (2008).
- [Hoya 00] http://www.hoya.co.jp/english/news/2000/1226_2.html, (consulté le 01.01.2013).
- [Hull 2006] B. A. Hull, M. K. Das, J. T. Richmond, J. J. Sumakeris, R. Leonard, J. W. Palmour and S. Leslie. A 180 Amp/4.5 kV 4H-SiC PiN Diode for High Current Power Modules. *IEEE International Symposium on Power Semiconductor Devices and IC's*, pp.1-4, (2006).
- [Ito 06] K. Ito, S. Tsukimoto, M. Muratami. Effects of Al ion implantation to 4H-SiC on the specific contact resistance of TiAl-based contact materials” *Science and Technology of Advanced Materials*, Vol. 7, pp. 496–501, (2006).
- [Jang 01] T. Jang, B. Odekirk, L. D. Madsen, and L. M. Porter. Thermal stability and contact degradation mechanisms of TaC ohmic contacts with W/WC overlayers to n-type 6H SiC. *J. Appl. Phys.* 90, pp. 4555, (2001).
- [Jenn 96] J. R. Jenny, J. Skowronski, W. C. Mitchel, H. M. Hobgood, R. C. Glass et al. Deep level transient spectroscopic and Hall effect investigation of the position of the vanadium acceptor level in 4H and 6H SiC. *Appl. Phys. Lett.* 68, pp. 1963, (1996).
- [Joh 63] E.O.Johnson. Physical limitations on frequency and power parameters of transistor. *RCA Review* 26, Vol. 60, pp. 163-177, (1965).
- [Kaka 02] A. Kakanakova-Georgieva, R. Yakimova, A. Henry, M. K. Linnarsson, M. Syväjärvi et al. Cathodoluminescence identification of donor–acceptor related emissions in as-grown 4H–SiC layers *J. Appl. Phys.* 91, pp. 2890, (2002).
- [Kapl 11] R.J. Kaplar, S. DasGupta, M.J. Marinella, B. Sheffield, R. Brock, M.A. Smith, and S. Atcitty, degradation mechanisms and characterization techniques in silicon carbide MOSFETs at high-temperature operation, *EESAT 2011*, San Diego, California, USA, http://www.sandia.gov/eosat/2011/papers/Tuesday/10_Kaplar_EESAT_2011_RevisedAbstract.pdf.
- [Keye 72] R.Keyes. Figure of merit for semiconductor for high speed switches. *Proc IEEE*, Vol. 60, pp. 225-232, (1972).
- [Khan 99] F. A. Khan and I. Adesida. High rate etching of SiC using inductively coupled plasma reactive ion etching in SF6-based gas mixtures. Citation: *Appl. Phys. Lett.* 75, pp. 2268, (1999).
- [Koiz, 02] S. Koizumi, K.Watanabe, M.Hasegawa. Formation of diamond P-N junction and its optical emission characteristics. *Diamond and related materials*, Vol.11, pp. 307-311, (2002).
- [Koni 03] R. konishi. Development of Ni/Al and Ni/Ti/Al ohmic contact materials for p-type 4H-SiC. *Mater. Sci. Eng. Vol. B* 98, pp. 286-293, (2003).
- [Kosu 05] Ryoji Kosugia, Kenji Fukudab and Kazuo Arai. High Temperature Rapid Thermal Oxidation and Nitridation of 4H-SiC in Diluted N2O and NO Ambient. *Materials Science Forum* Vols. 483-485, pp. 669-672, (2005).

- [Kim 04] D.W. Kim, H.Y. Lee, B.J. Park, H.S. Kim, Y.J. Sung, S.H. Chae, Y.W. Ko, G.Y. Yeom. High rate etching of 6H-SiC in SF₆-based magnetically-enhanced inductively coupled plasmas. *Thin Solid Films*, Vol. 447–448, pp. 100–104, (2004).
- [Kimo 97] T. Kimoto, A. Itoh, and H. Matsunami. Step-Controlled Epitaxial Growth of High- Quality SiC Layers. *Phys. Stat. Sol.*, Vol 202, Pp. 247, (1997).
- [Lano 97] F.Lanois. Etude de la gravure de carbure de silicium, application à la réalisation des composants de puissance. Thèse de doctorat CEGELY, Lyon INSA de Lyon ,(1997).
- [Lark 97] D.J. Larkin. SiC dopant incorporation control using site-competition CVD. *phys. stat. sol.* (b) 202, pp.305, (1997).
- [Laz 06] M. Lazar, H. Vang, P. Brosselard, C. Raynaud, P. Cremillieu, J.-L. Leclercq, A. Descamps, S. Scharnholz, D. Planson. Deep SiC etching with RIE. *Superlattice and microstructures*, Vol 40 N4-6, pp. 388-392, (2006).
- [Laza 00] M. Lazar, L. Ottaviani, M. L. Locatelli, C. Raynaud, D. Planson, E. Morvan, P. Godignon, W. Skopura, and J. P. Chante. Improved Annealing Process for 6H-SiC p-n Junction Creation by Al Implantation. *Mater. Sci. Forum*, Vol. 338-342, pp. 921, (2000).
- [Lebe 99] A. A. Lebedev. Deep level centers in silicon carbide. *Review. Semiconductors*, Vol. 33, pp. 107, (1999).
- [Lebe 99] A. A. Lebedev. Deep level centers in silicon carbide: A review. *Semiconductors*, Vol. 33, n°. 2, pp. 107-130, (1999).
- [Lee 00a] S.-K. Lee, E. Danielsson, C.-M. Zetterling, M. Östling, J.-P. Palmquist, H. Högberg, and U. Jansson. The formation and characterization of epitaxial titanium carbide contacts to 4H-SiC, *Mat. Res. Soc. Symp. Proc.* T6.9, pp.622, (2000).
- [Lee 00b] S.-K. Lee, C.-M. Zetterling, and M. Östling TiW (Titanium tungsten) for Ohmic and Schottky contacts to 4H-SiC, *Mat. Res. Soc. Symp. Proc.* H7.2, pp. 640, (2000).
- [Lee 00] S.-K. Lee, C.-M. Zetterling, M. Ostling, J.-P. Palmquist, H. Högberg, U. Jansson. Low resistivity ohmic titanium carbide contacts to n- and p-type 4H-silicon carbide. *Solid-State Electronics*. Vol.44, pp. 1179-1186, (2000).
- [Leon 10] S. Leone, Y. C. Lin, F.S. Beyer, S. Andersson, A. Henr, O. Kordina, E. Janzén. Chloride-based CVD at high rates of 4H-SiC on-axis epitaxial layers for power devices. *Materials Science Forum*, Vol. 679 – 680, pp. 59-62, (2010).
- [Leon 09] R.T. Leonard, Y. Khlebnikov, A.R. Powell, C. Basceri, M.F. Brady, I. Khlebnikov, J.R. Jenny, D.P. Malta, Michael J. Paisley, V.F. Tsvetkov, R. Zilli, E. Deyneka, H.McD. Hobgood, V. Balakrishna, C.H. Carter Jr. 100 mm 4HN-SiC Wafers with Zero Micropipe Density. *Materials Science Forum*, Vol. 600, pp. 7-10, (2009).
- [Lely 55] J. A. Lely. Sublimation process for manufacturing silicon carbide crystals. Emmasingel, Eindhoven, Netherlands, assignor, by mesne assignments, Philips company Inc, New York, a corporation of Delaware, serial No 492-385, (1955).
- [Letu 00] P. Leturq. Tenue en tension des semiconducteurs de puissance. *Techniques de l'ingénieur, Traité Génie Electrique*, Article D3104. (2000).
- [Loss 97] R. Lossy, W. Reichert, E Obermeier, and W. Skorupa, Doping of 3C-SiC by implantation of nitrogen at high temperature. *Journal of electronic materials*. Vol. 26, no.3, pp. 123-127, (1997).
- [Luck 98] E. D. Luckowski, J. M. Delucca, J. R. Williams, S. E. Mohny, M. J. Bozack, T. Isaacs-Smith, and J. Crofton. Improved Ohmic Contact to n-Type 4H and 6H-SiC Using Nichrome. *J. of Electron. Mater.* Vol. 27, pp. 330, (1998).
- [Marm 00] M. Marmouget. Contribution au développement d'outils d'aide à la conception de dispositif de puissance basés sur le mode d'intégration fonctionnelle. Thèse de doctorat du LAAS Toulouse, (2000).
- [Mats 99] H. Matsuura, T. Kimoto and H. Matsunami. Nitrogen Donor Concentrations and Its Energy Levels in 4H-SiC Uniquely Determined by a New Graphical Method Based on Hall-Effect Measurement. *Jpn. J. Appl. Phys.* Vol. 38, pp. 4013–4016, (1999).
- [Mazz 04] M. Mazzola, J. B. Casady, N. Merrett, I. Sankin, W. Draper, D. Seale, V. Bondarenko, Y.Koshka, J. Gafford, and R. Kelley. Assessment of 'Normally On' and 'Quasi On' SiC VJFET's in Half-Bridge Circuits. *Mater. Sci. Forum*, Vols. 457-460, pp. 1153-1156, (2004).
- [McDa 97] Mc. Daniel, G. Lee, J. W. Lambers, E. S. Pearton, S. J. Holloway, P. H. Ren, F. Grow, J. M. Bhaskaran, M. Wilson. Comparison of dry etch chemistries for SiC. *Journal of*

- Vacuum Science & Technology A: Vacuum, Surfaces, and Films May Vol.15, pp. 885 – 889, (1997).
- [Micr 01] Microsemi, Cree team up to commercialize SiC Schottky diodes. <http://www.eetimes.com/electronics-news/4101779/Microsemi-Cree-team-up-to-commercialize-SiC-Schottky-diodes>.
- [Ming 98] J.M. Chen, A.J. Steckl, M.J. Loboda. Heteroepitaxial Growth of SiC on Si by Gas Source MBE with Silacyclobutane. *Materials Science Forum*. Vol. 264-268, pp. 239-242, (1998).
- [Morv 98] E. Morvan, J. Montserrat, J. Rebollo, D. Flores, X. Jorda, M. L. Locatelli, and L. Ottaviani. Stoichiometric Disturbances in Ion Implanted Silicon Carbide. *Mater. Sci. Forum*, 264-268, pp. 737, (1998).
- [Moku 08] Y. Mokuno, A. Chayahara, and H. Yamada. Synthesis of large single crystal diamond plates by high rate homoepitaxial growth using microwave plasma CVD and lift-off process. *Diamond Relat. Mater.* vol17, pp. 415-418, (2008).
- [Mri 06] M. K. Das. Development of a Commercially Viable 4H-SiC PiN Diode Technology. International Baltic Electronics Conference, pp.1-4, (2006).
- [Mura 00] B. Murari, C. Contiero, R. Gariboldi, S. Sueri, and A. Russo. Smart power technologies evolution. In Industry Applications Conference - IEEE IAS , vol. 1, pp. 10-19, (2000).
- [Nall 01] F. Nallet. Conception, réalisation et caractérisation d'un composant limiteur de courant en carbure de silicium. Thèse doctorat INSA, Lyon (2001).
- [Nall 02] F. Nallet. SiC pour l'électronique de puissance du futur. Technique de l'ingénieur, traité recherche, article RE 3, (2002).
- [Nova 13] NOVASIC. <http://www.novasic.com>. (consulté le 01.02.2103).
- [Nors 06] <http://www.norstel.com/index.asp?p=products&s=productsoverview>, (consulté le 01.02.2103).
- [Neud 00] P. G. Neudeck. Electrical Impact of SiC Structural Crystal Defects on High Electric Field Devices. *Materials Science Forum*, vol. 338, pp. 1161-1166, (2000).
- [Nutt 03] K.I. Nuttall, O. Buiuu, V.V.N. Obreja. Surface leakage current related failure of power silicon devices operated at high junction temperature. *Microelectronics Reliability*. Vol. 43, No 9-11, pp.1913-1918, (2003).
- [Obre 02] V.V.N. Obreja, K.I. Nuttall. On the high temperature operation of high voltage power devices. *Semiconductor Conference, 2002. CAS 2002 Proceedings. International*. Vol 2, pp: 253-256, (2002).
- [Pear 02] S.J. Pearton. Wet and dry etching of SiC. process technology for silicon carbide devices. (2002).
- [Pens 93] G. Pensl and W. J. Choyke. Electrical and optical characterization of SiC. *Physica B*, 185, pp. 264, (1993).
- [Pio 02] M. Pio Lam, K.T. Kornegay, Motorola Inc., Tempe, AZ. Recent progress of submicron CMOS using 6H-SiC for smart power applications. *Electron Devices : IEEE Transactions* Vol. 46, Issue:3, pp. 546 – 554, (2002).
- [Trof 97] T. Troffer, M. Schadt, T. Frank, H. Itoh, G. Pensl, J. Heindt, H. P. Strunk, and M. Maier. Doping of SiC by Implantation of Boron and Aluminium. *phys. stat. sol. (a)* pp. 162-277, (1997).
- [Rayn 95] C. Roynoud. Caractérisation électrique de matériaux et composants en SiC. Thèse de doctorat INSA Lyon, (1995).
- [Rayn 10] C. Roynoud. Comparison of high voltage and high temperature performances of wide bandgap semiconductors for vertical power devices. *Diamond & Related Materials*. Vol. 19, pp.1–6, (2010).
- [Rocc 05] F. Roccaforte, f. la via, and V. Raineri, *International journal of High Electronica and Systems*, Vol 15, No 4, pp. 781-820, (2005).
- [Rocc 12] F. Roccaforte, A. Frazzetto, G. Grecoa, F. Giannazzo, P. Fiorenza, R. Lo Nigro, M. Saggio, M. Leszczyn´ski , P. Pristawko, V. Raineri. Critical issues for interfaces to p-type SiC and GaN in power devices. *Applied Surface Science*. Vol. 258, pp. 8324– 8333, (2012).
- [Roun 07] H.J.Round. A note on carborundum. *Electrical word*, Vol. 17, pp. 309-312, (1993).
- [Rhom 13] <http://www.rohm.com/web/eu/search/parametric/-/search/SiC%20MOSFET>, (consulté le 01.02.2103).

- [Rite 10] A. Ritenour, D.C. Sheridan, V. Bondarenko, and J.B. Casady. Performance of 15mm² 1200 V Normally-Off SiC VJFET with 120 A Saturation Current. *Materials Science Forum*. Vol. 645- 648, pp. 937-940, (2010).
- [Rura 03] R. Rurali, P. Godignon, J. Rebollo, E. Hernandez, and P. Ordejon. First-principles study of n-type dopants and their clustering in SiC. *Applied Physics Letters*, vol. 82(n° 24), pp. 4298-4302, (2003).
- [Rudo 10] E. Rudolf, P. Friedrichs, J. Biela. Fast switching with SiC VJFET – influence of the device topology. *Materials Science Forum Vol. 645-648, pp. 933-936, (2010)*.
- [Rupp 03] R. Rupp, I. Zverev. SiC Power Devices: How to be competitive towards Si based solutions. *Materials Science Forum*. Vol. 433-436, pp 805-812, (2013).
- [Ryu 04] S-H Ryu, S. Krishnaswami, M. O'Loughlin, J. Richmond, A. Agarwal, J. Palmour, A.R Hefner. 10-kV, 123-mΩ·cm² 4H-SiC power DMOSFETs. *Electron Device Letters IEEE* Vol. 25 (8), pp. 556 – 558, (2004).
- [Ryu 06] S-H Ryu, S. Krishnaswami, B. Hull, J. Richmond, A. Agarwal, A.R Hefner. 10 kV, 5A 4H-SiC Power DMOSFET. *Power Semiconductor Devices and IC's, 2006. ISPSD 2006. IEEE International Symposium* pp. 1 – 4 (2006).
- [Sanc 95] J-L. Sanchez. Intégration fonctionnelle de composants de puissance, principes et technologie. *Habilitation à Diriger des Recherches - LAAS _ Université Paul Sabatier*, (1995).
- [Scho 52] W. Schockley, A unipolar field effect transistor. *Proc.IRC*, Vol. 40, pp. 1365-1376, (1952).
- [Sem 09] http://www.semiconductor-today.com/news_items/2009/OCT/SEMISOUTH_051009.htm, (consulté le 01.02.2103).
- [Soue 06] M Soueidan, G. Ferro, B. Nsouli, M. Roumié. H. Nada . S. Veronique; J.M. Bluet, K. Michel. Elaboration and characterization of boron doping during SiC growth by VLS mechanism. *Journal of crystal*, vol. 327, pp. 46-51, (2006).
- [Shen, 92] Shen T.C., Gao G.B. et Morkoc H. Recent developments in ohmic contacts for III-V compound semiconductors. *Journal of Vacuum Science and Technology B*, vol. 10, n°5, pp. 2113-2132, sept./oct. 1992.
- [Shen, 08] k. Sheng, Y. Zhang, M. Su, J. H. Zhao, X. Li, P. Alexandrov, L. Fursin, G. G.B. and H. Morkoc. Demonstration of the first SiC power integrated circuit. *Solid-State Electronics* Vol. 52, pp.1636–1646, (2008).
- [Shri 08] A. Shrivastava, P. Muzykov, B. Pearman, S. Michael Angel, T. S. Sudarshan. Study of triangular defects and inverted pyramids in 4H-SiC 41 off-cut (0 0 01) Si face epilayers. *Journal of Crystal Growth*, vol. 310, pp. 4443–4450, (2008).
- [Sicr 12] <http://www.sicrystal.de/content/media/pdf/specification.pdf>, (consulté le 01.02.2103).
- [Sing 02] R. Singh, J. Cooper, M. Melloch, T. Chow, et J. Palmour. SiC power Schottky and PiN diodes. *Electron Devices, IEEE Transactions on*, vol. 49, n°. 4, pp. 665-672, (2002).
- [Sing 10] K. Singh, and F. Guedon, and R. McMahon, and S.Weier. Parameter extraction and calorimetric validation for a silicon carbide JFET PSpice model. *Power Electronics, Machines and Drives (PEMD), 5th IET International Conference on*, pp.1-6, (2010).
- [Srim 12] <http://www.srim.org/>, (consulté le 01.02.2103).
- [Stra 10] T. Straubinger. High quality 100mm 4H-SiC substrates with low resistivity. *Materials Science Forum Vol. 645-648, pp. 3-8, (2010)*.
- [Suga 01] Y. Sugawara, D. Takayama, K. Asano, R. Singh, J. Palmour and T. Hayashi. 12-19 kV 4H-SiC pin diodes with low power loss. *Proceedings of the 13th International Symposium on Power Semiconductor Devices and ICs*, pp.27-30, (2001).
- [Suma 05] J. J. Sumakeris, M. K. Das, S. Y. Ha, E. Hurt, K. G. Irvine, M. J. Paisley, M. J. O'Loughlin, J. J. Palmour, M. Skowronski, H. McD. Hobgood, C. H. Carter Jr. Development of Epitaxial SiC Processes Suitable for Bipolar Power Devices. *Materials Science Forum*, vol. 483, pp. 155-158, (2005).
- [Suma 06] J. J. Sumakeris, J. P. Bergman, M. K. Das, C. Hallin, B. A. Hull, E. Janzén, H. Lendenmann, M. J. O'Loughlin, M. J. Paisley, S. Y. Ha, M. Skowronski, J. J. Palmour, C. H. Carter Jr. Techniques for Minimizing the Basal Plane Dislocation Density in SiC Epilayers to Reduce Vf Drift in SiC Bipolar Power Devices. *Materials Science Forum*, vol. 527, p. 141-146, (2006).

- [Srid 98] S. G. Sridhara, L. L. Clemen, R. P. Devaty, W. J. Choyke, D. J. Larkin, H. S. Kong, T. Troffer, and G. Pensl, *J. Appl. Phys.* 83, pp. 7909, (1998).
- [ST 12] <http://www.st.com/st-web>, (consulté le 01.02.2103).
- [Sze, 81] Sze S.M, *Physics of Semiconductors Devices*, second edition, John Wiley and Sons, New-York, (1981).
- [Tank 09] <http://www.compoundsemiconductor.net/csc/company-details.php?cid=14863>, (consulté le 01.02.2103).
- [Thom 13] <http://apps.webofknowledge.com/> (consulté le 01.02.2103).
- [Tran 13] <http://www.transic.com/index.php/products> (consulté le 01.02.2103).
- [Vass 01] K.Vassilevsk. Phase formation at thermal annealing of Al/Ti/Ni ohmic contact 4H-SiC. *Mater. Sci Eng., B* 80, 370-375, (2001).
- [Voda 78] J. A. Vodakov. Method for epitaxial production of semiconductor silicon carbide utilizing a close-space sublimation deposition technique. brevet Appl. N° 8881,714, Filed: Feb.27, (1978).
- [Wolf 96] R. Wolf and R. Helbig Reactive Ion Etching of 6H-SiC in SF6/O2 and CF4/O2 with N2 Additive for Device Fabrication *J. Electrochem. Soc.*, Volume 143, Issue 3, pp. 1037-1042, (1996).
- [Yano 05] H. Yano, T. Hatayama, Y. Uraokac and T. Fuyuki. High temperature NO annealing of deposited SiO2 films on N-type 4H-SiC. *Materials Science Forum*, Vol 483-485, pp 685-688, (2005).
- [Yih 97] P. H. Yih, V. Saxena, and A. J. Steckl. A Review of SiC Reactive Ion Etching in Fluorinated Plasmas. *phys. stat. sol. (b)* 202, pp.605, (1997).
- [Zhao 03] J. Zhao, P. Alexandrov, et X. Li. Demonstration of the first 10-kV 4H-SiC Schottky barrier diodes. *IEEE Electron Devices Letters*, Vol.24, pp.402–404, (2003).
- [Zhao 04] J. H. Zhao, K. Tone, X. Li, P. Alexandrov, L. Fursin and M. Weiner. 6A, 1kV 4H-SiC Normally-off Trenched-and-Implanted Vertical JFET. *Materials Science Forum*, Vol. 457-460, pp. 1213-1216, (2004).
- [Zhan 10] Q. Zhang, R. Callanan, A. Agarwal, A. Burk, M. O’Loughlin, J. Palmour, and C. Scozzie 10 kV, 10 A Bipolar Junction Transistors and Darlington Transistors on 4H-SiC. *Materials Science Forum*, Vol. 645-648, pp. 1025-1028. (2010)
- [II-VI 12] <http://www.iivwbg.com/products.html>. (consulté le 01.02.2103).

Chapitre 2 : Analyse des composants JFET latéraux pour améliorer la technologie de fabrication

2.1 Le contexte	71
2.2 Description des échantillons.....	71
2.2.1 Description des échantillons de l'étage de puissance (1 ^{er} lot)	73
2.2.2 Description de l'échantillon de l'étage de commande basse puissance.....	78
2.3 Caractérisations électriques des composants.....	82
2.3.1. Méthodologie de l'analyse I-V	82
2.3.2 Résultats sur les composants de puissance.....	84
2.3.2.1 Etude préliminaire des JFET type N (FL0288-09).....	84
2.3.2.1.1 Mesures Grille – Source (P ⁺ -N-N ⁺) et Drain – Source (N ⁺ -N-N ⁺)	84
2.3.2.1.2 Mesures contact du substrat reporté en surface – Substrat (P ⁺ -P ⁻ - P ⁺).....	85
2.3.2.1.3 Mesures Grille – Substrat (P ⁺ -N-P ⁻ -P ⁺).....	86
2.3.2.2 Fonctionnement des composants JFET type N (FL0288-09).....	87
2.3.2.2.1 Caractérisation I _{ds} (V _{ds}) en fonction de V _{gs}	87
2.3.2.4 Etude préliminaire des JFET type P (AE0695-02).....	90
2.3.2.4.1 Mesures Grille – Source (N ⁺ -P-P ⁺) et Drain – Source (P ⁺ -P-P ⁺)	91
2.3.2.4.2 Mesures contact de surface reporté en surface – Substrat (N ⁺ -N ⁻ -N ⁺).....	92
2.3.2.4.3 Mesures Grille – Substrat (N ⁺ -P-N ⁻ -N ⁺)	93
2.3.2.5 Fonctionnement des composants JFET type P (AE0695-02).....	93
2.3.2.6 Mesures TLM.....	96
2.3.2.7 Tenue en tension des JFET de puissance	97
2.3.2.8 Analyse des résultats obtenus sur les JFET de puissance	99
2.3.3 Résultats sur les composants de l'étage de commande.....	101
2.3.3.1 Etude préliminaire des JFET type N et P (R0413-01)	101
2.3.3.1.1 Mesures Grille – Source, Drain – Source.....	101
2.3.3.1.2 Fonctionnement des composants JFET type N et P (R0413-01)	104
2.3.3.1.3 Mesures TLM.....	107
2.3.3.1.4 Analyse des résultats obtenus sur les JFET de l'étage de commande	108
2.4 Conclusion du chapitre 2.....	109
2.5 Références :	111

Liste de tableaux :

Tableau 1 : Nomenclature et type des JFET réalisés dans les projets JFET-SB et COTHT... 73	73
Tableau 2 : Paramètres géométriques des JFET de l'étage de puissance. 75	75
Tableau 3 : Description des différents niveaux du jeu de masques utilisés dans la fabrication des JFET de l'étage de puissance. 76	76
Tableau 4 : Paramètres technologiques des JFET N et P des plaques FL0288-09 et AE0695-02. 78	78
Tableau 5: Paramètres géométriques des JFET type N de l'étage de commande. 79	79
Tableau 6 : Paramètres géométriques des JFET type P de l'étage de commande. 80	80
Tableau 7 : Description des différents niveaux du jeu de masques utilisés dans la fabrication des JFET de l'étage de commande. 80	80
Tableau 8: Les résistances à l'état passant et les transconductances typiques extraites des JFET à canal N sélectionnés comparées aux valeurs théoriques calculées. La valeur théorique de la résistance carrée est $R_{sh}=3,3 \text{ k}\Omega$ 88	88
Tableau 9 : Les résistances à l'état passant et les transconductances typiques extraites des JFET à canal P sélectionnés comparées aux valeurs théoriques calculées. La valeur théorique de la résistance carrée est $R_{sh}=2,33 \times 10^4 \Omega$ 94	94
Tableau 10 : Les résistances à l'état passant et les transconductances typiques extraites des JFET à canal N sélectionnés comparées aux valeurs théoriques calculées. La valeur théorique de la résistance carrée est $R_{sh}=1,33 \text{ k}\Omega$ 105	105
Tableau 11 : Les résistances à l'état passant et les transconductances typiques extraites des JFET à canal P sélectionnés comparées aux valeurs théoriques calculées. La valeur théorique de la résistance carrée $R_{sh}=3,4 \text{ k}\Omega$ 106	106

Liste de figures :

Figure 1 : Schéma d'un onduleur avec les deux étages commande et puissance.	72
Figure 2 : Représentation schématique du JFET à canal N sur la plaque FL0288-09.	74
Figure 3 : Représentation schématique du JFET à canal P sur la plaque AE0695-02.	74
Figure 4 : Schéma des masques utilisés pour la fabrication des JFET de puissance composés des 2 champs répétitifs ($6 \times 10 \text{ mm}^2$) et de huit niveaux. Désignation des JFET.	75
Figure 5 : Profil d'implantation du canal pour les JFET type N de FL0288-09 (a) et les JFET type P d'AE0695-02 (b).	77
Figure 6 : Profil d'implantation de la grille, la source et le drain avec azote pour les caissons de type N (a) et aluminium pour les caissons de type P (b).	77
Figure 7 : Profil d'implantation de la couche RESURF avec azote pour AE0695-02 (a) et avec aluminium pour FL0288-09 (b).	77
Figure 8 : Nomenclature des différents champs sur les échantillons FL0288-09 et AE0695-02	78
Figure 9 : Vue en coupe des plaques avec les structures des JFET à canal N et P, a) DH0612-10 et b) R0413-01.	79
Figure 10 : Schéma des masques utilisés pour la fabrication des JFET de l'étage commande composés des 2 champs répétitifs ($5 \times 10 \text{ mm}^2$) et de huit niveaux. Désignation des JFET.	80
Figure 11 : Nomenclature des différents champs sur la plaque R0413-01	81
Figure 12 : Organigramme qui illustre le cheminement des mesures I(V) sur les JFET.	83
Figure 13 : Banc de caractérisation électrique : Station sous pointe (a) Leviers à pointes (b).	83
Figure 14 : Vue en coupe de plaque FL0288-09 avec la structure des JFET à canal N.	84
Figure 15 : Caractéristiques $I_{gs}(V_{gs})$ des JFET n°2	Figure 16 : Caractéristiques $I_{ds}(V_{ds})$ à $V_{gs}=0 \text{ V}$ des JFET n° 2
.....	
Figure 17 : Mesures I_{contact} du substrat reporté en surface -substrat (V).	86
Figure 18 : Mesures $I_{\text{grille-substrat}}(V)$	86
Figure 19 : Caractéristiques mesurées $I_{ds}(V_{ds}, V_{gs})$ des JFET 2 du champ 4C (a), JFET 6 du champ 3D (b), JFET 9 du champ 3D (c) et JFET 10 du champ 2D (d).	88
Figure 20-b : Structure en peigne et une grille P^+ partiellement métallisée (partie vert foncé) du, JFET 6	89
Figure 21 : Vue en coupe de plaque AE0695-02 avec la structure des JFET à canal P.	91
Figure 22 : Caractéristiques $I_{gs}(V_{gs})$ des JFET n°6	91
Figure 23 : Caractéristiques $I_{ds}(V_{ds})$ des JFET n°6	91
Figure 24 : Mesures I_{contact} du substrat reporté en surface -substrat (V).	92
Figure 25 : Mesures $I_{\text{grille-substrat}}(V)$	93
Figure 26 : Caractéristique $I_{ds}(V_{ds}, V_{gs})$ des JFET 6 (a), et JFET 9 (b), du même champ 4D	94
.....	
Figure 27 : Présentation schématique du profil du canal caché par la queue de canalisation de l'implantation de la grille en surface.	95
Figure 28 : structures TLM pour les couches de type P et N.	96
Figure 29 : Courbes I-V en fonction de la distance entre les motifs TLM type N (à gauche) et type P (à droite).	97
Figure 30 : Tenue en tension typiques des JFET type N (a) et type P (b). Nous avons représenté les courants de fuite en échelle logarithmique (à gauche) et linéaire (à droite). ..	98
Figure 31 : Structure gravée (a) et planar (b) avec les JFET P et N intégrés sur le même substrat	100
Figure 32 : Vue en coupe de la plaque R0413-01 avec les structures des JFET à canal N et P.	101
Figure 33 : Caractéristiques $I_{gs}(V_{gs})$ et $I_{ds}(V_{ds})$ des JFET 3 avec un canal de type N	102

<i>Figure 34 : Caractéristiques $I_{gs}(V_{gs})$ et $I_{ds}(V_{ds})$ des JFET 1 avec un canal de type P.....</i>	102
<i>Figure 35 : Caractéristiques $I_{ds}(V_{ds})$ en fonction de V_{gs} du JFET 3 champ 6E (a) et du JFET 6 champ 4F(b).....</i>	104
<i>Figure 36 : Caractéristiques $I_{ds}(V_{ds})$ en fonction de V_{gs} du JFET 2 champ 5F (a) et du JFET 1 champ 5C (b).....</i>	105
<i>Figure 37 : image des JFET type P après claquage dans l'air sous une tension égale à 100 V.</i>	106
<i>Figure 38 : Courbes I-V en fonction sur les motifs TLM type N (à gauche) et type P (à droite).</i>	107

2.1 Le contexte

Le SiC est arrivé ces dernières années à une maturité technologique telle, que cela permet de réaliser une gamme assez large de composants de puissance. Ces derniers suscitent un intérêt croissant de la part des universitaires et industriels aussi bien sur le plan national qu'international. Le laboratoire AMPERE travaille depuis le début des années 90 sur la conception et la réalisation de composants de puissance en SiC. Depuis 2003, en partenariat avec les laboratoires LMI (spécialiste en croissance épitaxiale) et l'INL (spécialiste en élaboration et caractérisations), un pôle technologique SiC lyonnais s'est constitué soutenu par plusieurs projets.

Les enjeux technologiques se situent au niveau de la réalisation de couches de type p à fort dopage, le développement des contacts ohmiques sur le SiC de type p, l'étude des gravures sèches profondes pour la réalisation de composants (thyristor, JFET, association monolithiques de transistors et diodes...).

Rappelons que le but de la thèse est d'optimiser des structures latérales afin d'améliorer les performances des composants intégrés en carbure du silicium en termes de puissance, courant à l'état passant, tension de blocage et tenue en température.

Le deuxième chapitre de ce manuscrit a pour objet d'analyser électriquement les composants latéraux réalisés dans le cadre de ces deux projets ANR. L'analyse des résultats doit nous permettre de comprendre quelles sont les étapes technologiques sur lesquelles la thèse doit se focaliser afin d'améliorer les performances des composants latéraux en vue de leur intégration monolithique.

2.2 Description des échantillons

Deux types de transistors JFET latéraux en SiC-4H ont été conçus et fabriqués lors de ces projets ANR avec l'objectif final de réaliser un onduleur monolithique en SiC haute température (300 °C). Les JFET pour l'étage de commande ont été réalisés dans le cadre du projet COTHT et ceux pour l'étage puissance 600 V dans le projet JFET-SB.

La figure 1 présente le schéma de principe d'un bras d'onduleur avec les deux étages commande et puissance.

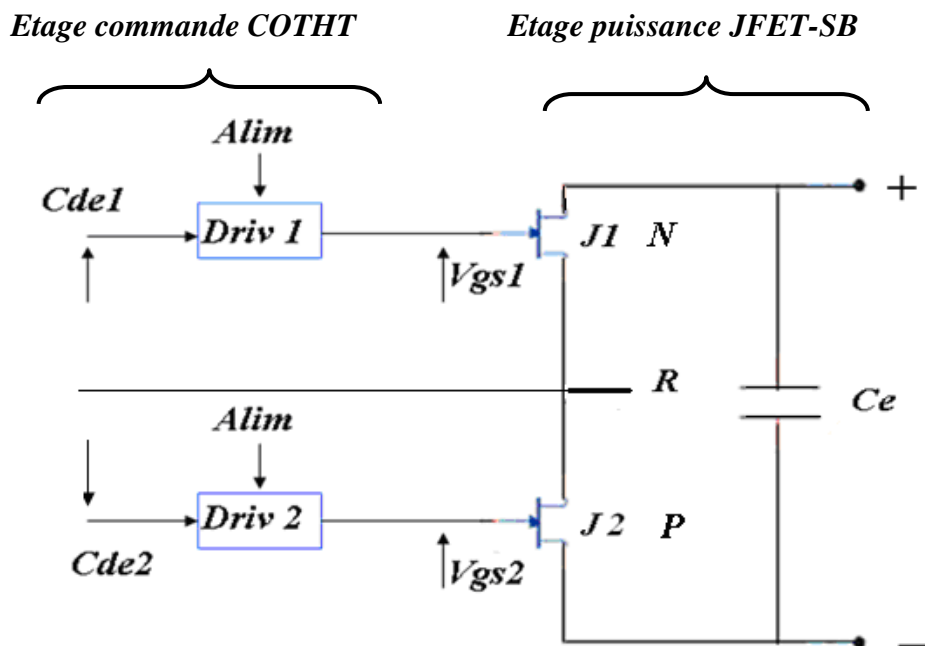


Figure 29 : Schéma d'un onduleur avec les deux étages commande et puissance.

L'étage de puissance d'un bras d'onduleur, peut être considéré d'une façon simplifiée comme un dispositif électronique de puissance avec trois points de connexions, deux pour l'alimentation haute tension +/- et le troisième pour la sortie, vers la charge, qui est par exemple la phase R dans le cas de la figure 1.

La capacité C_e permet de stabiliser la tension continue au moment des commutations. Le calibre en tension de cet onduleur est de 400 V DC et fixe les caractéristiques des deux transistors JFET de puissance, soit 600 V. Cette valeur a été choisie par rapport au large marché des applications électriques connectées au secteur (applications domotiques).

Chacun de ces transistors est commandé par un driver, qui délivre une tension V_{gsi} isolée entre la grille et la source du transistor de puissance. Il faut préciser que le JFET considéré est un composant Normally-on, c'est-à-dire qu'il conduit pour $V_{gs} = 0$ V et se bloque avec une tension négative pour un canal de type N. Afin de faciliter la commande individuelle de ces transistors, des structures complémentaires ont été choisies pour les deux JFET de puissance, un JFET à canal N et l'autre à canal P. Rappelons que l'objectif final est d'intégrer ce bras d'onduleur monolithiquement sur la même puce, bien que dans le projet JFET-SB ces JFET aient été fabriqués séparément sur deux substrats bien distincts.

Le fait d'avoir choisi des structures complémentaires permet de minimiser les interférences mutuelles et de diminuer (voire éliminer) l'injection de porteurs entre les deux JFET. Dans ce cas, les deux drivers doivent être capables de fournir des signaux électriques de signes opposés pour la commande des deux JFET complémentaires. Ainsi, au niveau de la commande, une tension négative de l'ordre de -10 V à -15 V est nécessaire pour bloquer le

JFET de type N et une tension positive de l'ordre de 10 V à 15 V pour bloquer le JFET de type P.

Afin de satisfaire le calibre en tension des JFET de puissance l'effet RESURF (REduced SURface Field) a été utilisé pour la conception des différentes structures. Cette technologie permet de réduire le champ électrique dans la structure et d'améliorer la répartition des équipotentielles. Lors de la fabrication, toutes les couches fonctionnelles (source, grille, drain, canal, RESURF) ont été fabriquées par implantation ionique. La surface des composants a été adaptée pour obtenir des courants de 30 mA à 1A.

Une technologie à base de JFET SiC latéraux a été également choisie pour l'étage de commande. Pour ces JFET, la structure est simplifiée par rapport à ceux de l'étage de puissance, une tenue en tension de 60 V étant suffisante pour commander les grilles des composants de l'étage de puissance. De plus, les couches du canal ont été définies par épitaxie CVD et des structures complémentaires à base de JFET N et P ont été également utilisées.

Pour la suite nous allons nommer 1^{er} lot 600 V les JFET latéraux de l'étage de puissance et 2^{ème} lot basse tension les JFET latéraux réalisés pour le circuit de commande.

La nomenclature et le type des JFET réalisés dans les deux premiers lots sont reportés dans le tableau suivant.

	Nom substrat	type de JFET
1 ^{er} lot 600 V	AE0695-02	P
	FL0288-09	N
2 ^{ème} lot basse tension	R0413-01	P et N
	DH0612-10	P et N

Tableau 12 : Nomenclature et type des JFET réalisés dans les projets JFET-SB et COTHT.

2.2.1 Description des échantillons de l'étage de puissance (1^{er} lot)

Pour la réalisation des composants, nous avons utilisé deux plaques SiC-4H avec des structures complémentaires. La plaque FL0288-09 présente une couche épitaxiale de type p ($10 \mu\text{m} - 6,9 \times 10^{14} \text{cm}^{-3}$) sur un substrat P⁺ et la plaque AE0695-02 présente une couche épitaxiale de type n ($10 \mu\text{m} - 8,8 \times 10^{15} \text{cm}^{-3}$) sur un substrat N⁺. Les structures des JFET N et P sont présentées sur les figures 2 et 3, avec un code de couleurs pour les 2 types de conduction (rose-rouge pour le type N et bleu clair et foncé pour le type P) : plus la couleur est foncée, plus le dopage est élevé.

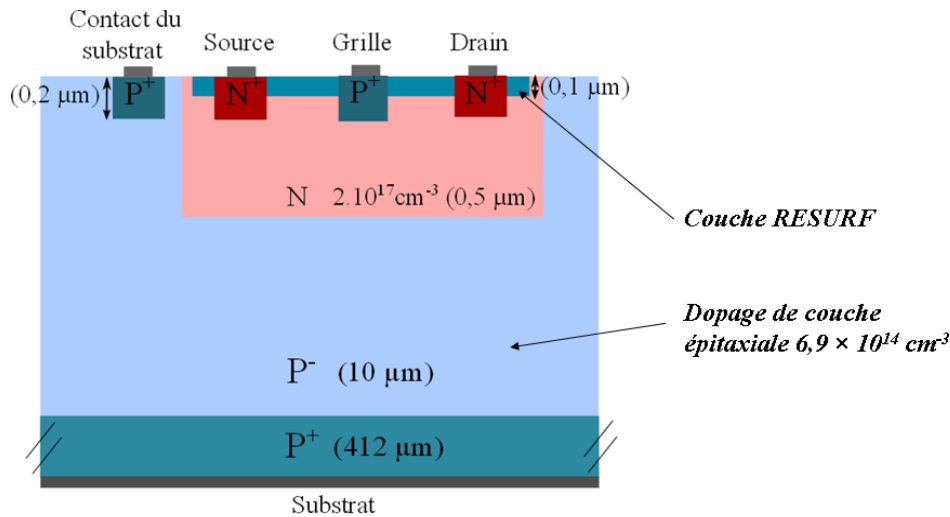


Figure 30 : Représentation schématique du JFET à canal N sur la plaque FL0288-09.

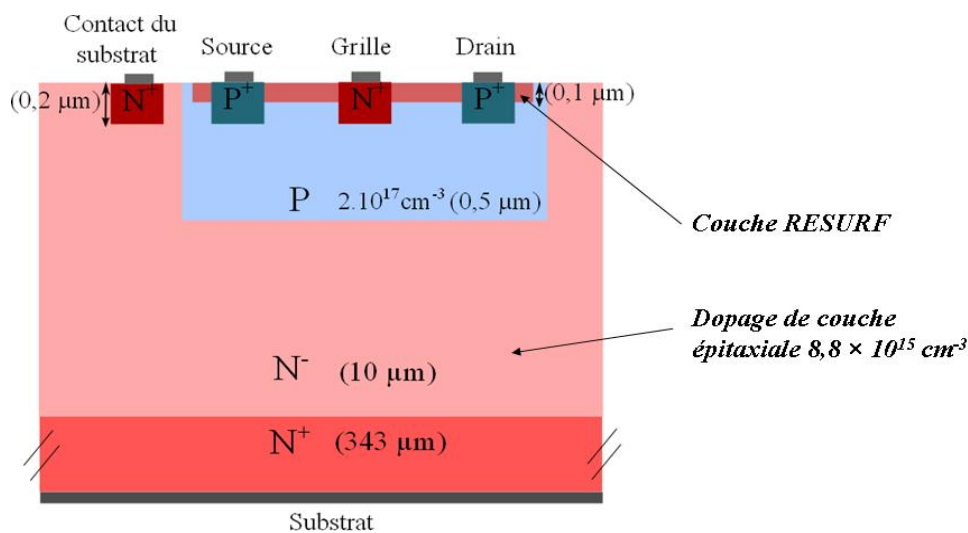


Figure 31 : Représentation schématique du JFET à canal P sur la plaque AE0695-02.

Nous remarquons la présence des caissons de source, drain, grille et canal qui ont été réalisés par implantations ioniques. Notons également une fine couche en surface d'une épaisseur de 0,1 μm réalisée également par implantation ionique. Celle-ci a été ajoutée pour améliorer la tenue en tension des composants par effet RESURF.

Le même jeu de masques (présenté en figure 4) a été utilisé pour la fabrication des composants à canal P et N. Il contient deux champs où figurent l'ensemble des transistors JFET ainsi que des motifs de tests. Ces derniers peuvent être classés en deux catégories, d'une part ceux utilisés directement lors de la fabrication technologique en salle blanche (contrôle dimensionnel, croix d'alignement) et d'autre part ceux utilisés après fabrication pour le test électrique des couches fonctionnelles : mesure des résistances de contact (TLM) et du dopage (effet Hall, mesures capacitives).

Parmi les composants JFET notons ceux qui ont des structures en peigne (J4 à J10). Cette structure permet d'augmenter la largeur du canal tout en optimisant la surface du

composant. Cependant pour ces composants la grille est partiellement métallisée contrairement aux JFET J1 à J3 qui ont une structure en serpentin. La géométrie des différents JFET est récapitulée dans le tableau ci-dessous.

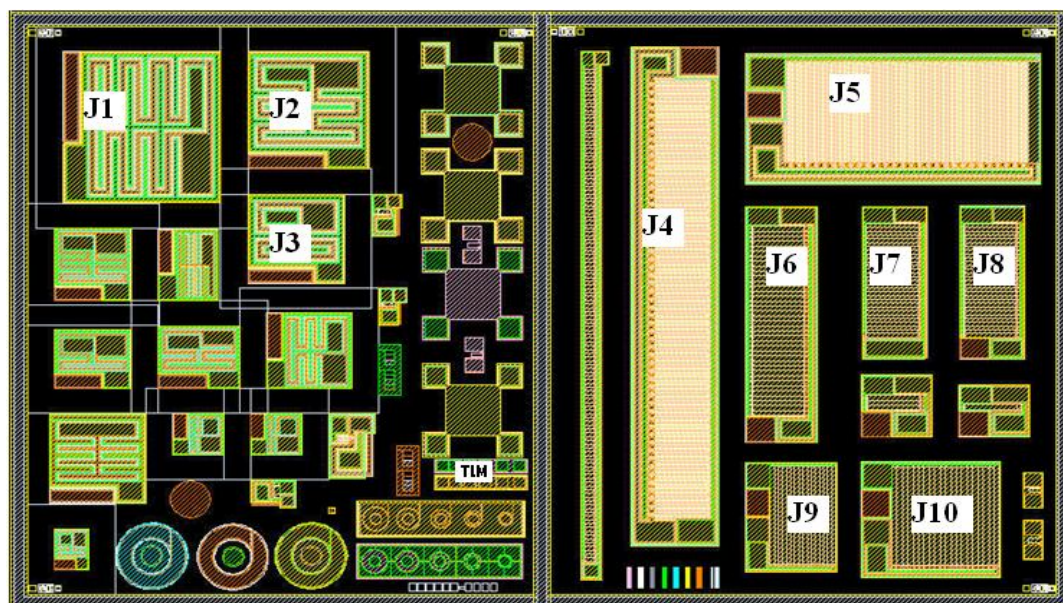


Figure 32 : Schéma des masques utilisés pour la fabrication des JFET de puissance composés de 2 champs répétitifs ($6 \times 10 \text{ mm}^2$) et de huit niveaux. Désignation des JFET.

	J1	J2	J3	J4	J5	J6	J7	J8	J9	J10
Surface (mm^2)	2,2	1,32	0,81	4,05	3,08	3,08	1,4	0,91	0,93	1,48
Largeur du canal Z (mm)	10,49	5,6	3,09	58	58	39	31,1	31,1	31	39
Longueur du canal L (μm)	140	140	140	140	40	30	26	26	26	30

Tableau 13 : Paramètres géométriques des JFET de l'étage de puissance.

Les différents niveaux du jeu de masques sont résumés et brièvement décrits dans le tableau ci-dessous.

Niveau	Procédé technologique
1	Gravure des croix d'alignement nécessaires pour les étapes de lithographie
2	Implantation ionique du canal - caisson profond
3	Implantation ionique du drain et de la source
4	Implantation ionique de la grille et du contact de polarisation de la couche épitaxiale
5	Implantation ionique de la couche supérieure utilisée pour l'effet RESURF
6	Ouverture de la passivation et métallisation Ti/Ni des contacts ohmiques sur le drain et la source
7	Ouverture de la passivation et métallisation Ti/Ni des contacts ohmiques sur la grille
8	Sur-métallisation

Tableau 14 : Description des différents niveaux du jeu de masques utilisés dans la fabrication des JFET de l'étage de puissance.

Il faut noter que le type de dopage des différentes implantations dépend de la nature du transistor (canal N ou canal P). Pour les zones dopées N, une implantation d'azote (N) a été effectuée et les zones de type P ont été créées par implantation d'aluminium (Al). Les profils de dopage sont montrés dans la figure 5 pour le canal, la figure 6 pour les caissons de grille, source et drain et la figure 7 pour la couche RESURF en surface. Les profils d'implantations sont obtenus par simulation SRIM (Stopping and Range of Ions in Matter), de type Monte-Carlo [Zieg 13].

Ces implantations ioniques ont été effectuées à l'Institut Physique Nucléaire de Lyon (partenaire du projet JFET-SB), avec l'implanteur ionique IMIO400. Cet implanteur présente une gamme d'énergie étendue grâce à une plage de tension d'accélération de 100 à 400 kV. Très utile pour réaliser les caissons des canaux profonds il présente néanmoins l'inconvénient de ne pas pouvoir faire des implantations en surface à faibles énergies. Pour pallier cette contrainte technologique liée au fait que l'énergie minimale de l'implanteur utilisé a été de 200 keV pour les espèces doublement chargées, une couche d'arrêt de silice a été utilisée en surface. Celle-ci a pour but d'obtenir une valeur maximale de dopage à l'interface SiO₂/SiC. L'épaisseur de cette couche de silice a été par exemple pour une implantation à 200 keV de 350 nm dans le cas de l'aluminium et de 500 nm pour l'azote.

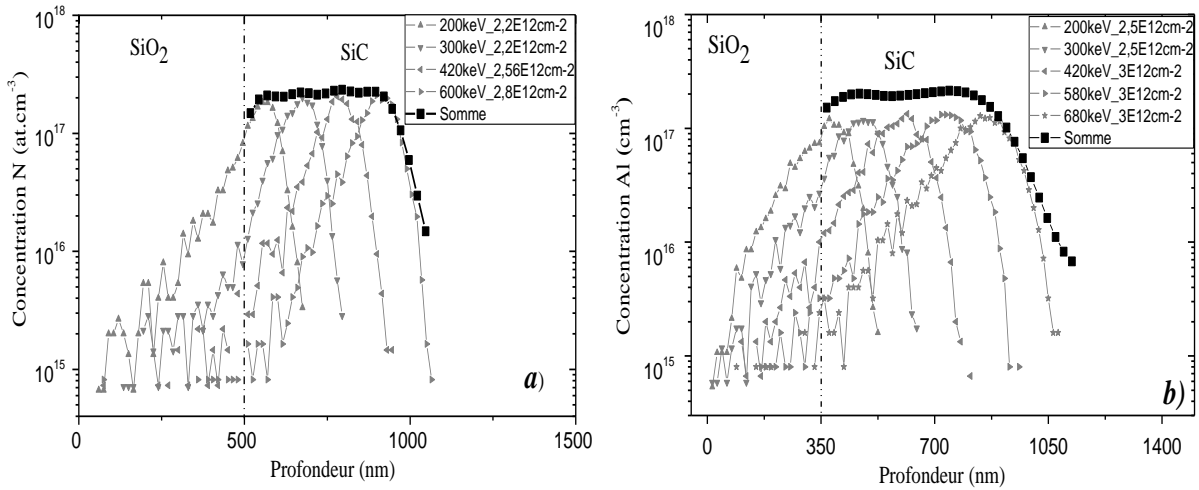


Figure 33 : Profil d'implantation du canal pour les JFET type N de FL0288-09 (a) et les JFET type P d'AE0695-02 (b).

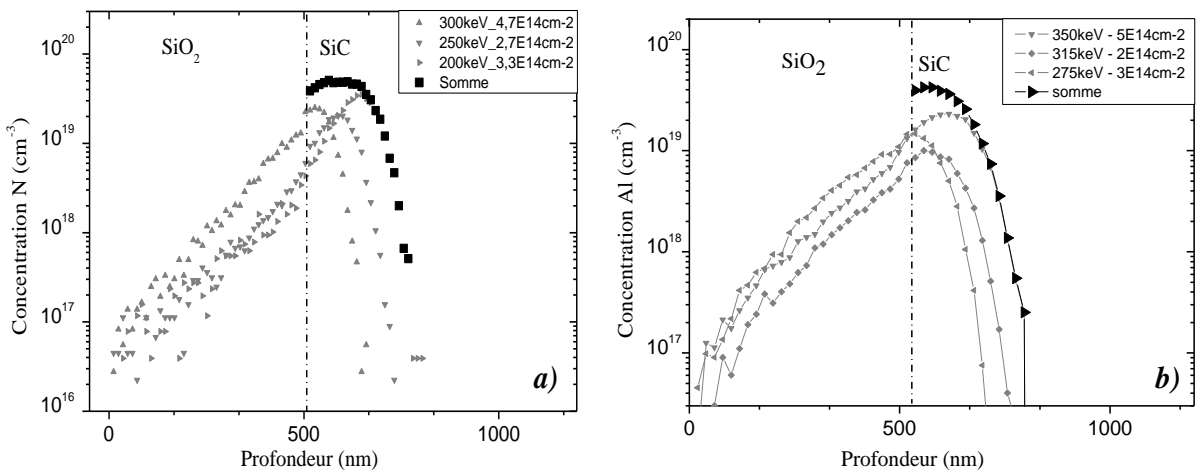


Figure 34 : Profil d'implantation de la grille, la source et le drain avec azote pour les caissons de type N (a) et aluminium pour les caissons de type P (b).

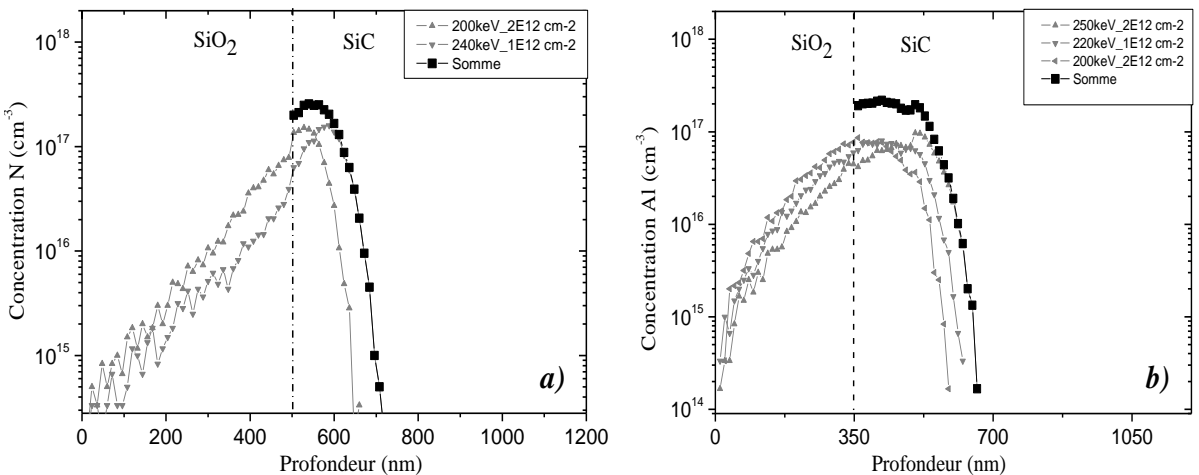


Figure 35 : Profil d'implantation de la couche RESURF avec azote pour AE0695-02 (a) et avec aluminium pour FL0288-09 (b).

Dans le tableau 4 sont synthétisés les paramètres technologiques des JFET de type N de la plaque FL0288-09 et des JFET de type P de la plaque AE0695-02.

Echantillons		Type de couche	Dopant implanté	Concentration de dopage	Epaisseur	Nombre de composants
FL0288-09	Canal	N	N	$2 \times 10^{17} \text{ cm}^{-3}$	0,5 μm	120
	Source et Drain	N+	N	$4 \times 10^{19} \text{ cm}^{-3}$	0,2 μm	
	Grille	P+	Al	$4 \times 10^{19} \text{ cm}^{-3}$	0,2 μm	
	Couche RESURF	P	Al	$1 \times 10^{17} \text{ cm}^{-3}$	0,1 μm	
AE0695-02	Canal	P	Al	$2 \times 10^{17} \text{ cm}^{-3}$	0,5 μm	120
	Source et Drain	P+	Al	$4 \times 10^{19} \text{ cm}^{-3}$	0,2 μm	
	Grille	N+	N	$4 \times 10^{19} \text{ cm}^{-3}$	0,2 μm	
	Couche RESURF	N	N	$1 \times 10^{17} \text{ cm}^{-3}$	0,1 μm	

Tableau 15 : Paramètres technologiques des JFET N et P des plaques FL0288-09 et AE0695-02.

Afin de localiser les différents champs sur chaque plaque lors de la caractérisation électrique des composants, nous avons utilisé la nomenclature décrite sur la figure 8. Soulignons aussi que pour repérer les composants JFET testés relatifs à chaque champ il faut également se reporter à la figure 4.

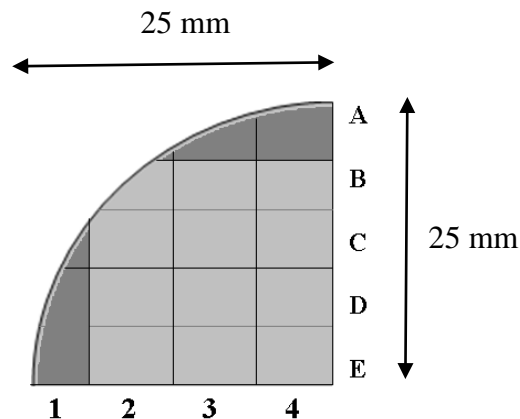


Figure 36 : Nomenclature des différents champs sur les échantillons FL0288-09 et AE0695-02

2.2.2 Description de l'échantillon de l'étage de commande basse puissance

Tout d'abord, nous devons mentionner que la plaque initiale utilisée dans la fabrication de ce lot de composants (DH0612-10 commercialisée par CREE) n'a pas permis la réalisation des JFET latéraux. Sur cette plaquette DH0612-10, aucun JFET ne conduit, les canaux trop fins étant traversés par les grilles trop profondes. Pour cause d'un budget limité du projet, une autre plaque R0413-01, dont les couches épitaxiales ont été réalisées à l'Université de Linköping, a été ensuite utilisée dans la fabrication de ces composants. Ces couches

épitaxiales bien que surdimensionnées pour fabriquer des JFET latéraux, ont permis de valider cette technologie d'intégration latérale. Nous allons ainsi présenter par la suite ces composants comme des transistors JFET malgré le fait qu'ils ne puissent pas jouer leur rôle d'interrupteurs à cause de l'impossibilité de bloquer le canal.

La plaque R0413-01 comporte un substrat de type N^+ avec un dopage de $7 \times 10^{18} \text{ cm}^{-3}$ et deux couches épitaxiales. La première couche de type P a une épaisseur de $5 \mu\text{m}$ et un dopage de $5 \times 10^{16} \text{ cm}^{-3}$. L'épaisseur et le dopage de la seconde couche de type N sont respectivement de $2 \mu\text{m}$ et de $5 \times 10^{16} \text{ cm}^{-3}$. Contrairement aux JFET de puissance, ces couches épitaxiales seront directement utilisées comme des canaux des JFET latéraux basse tension.

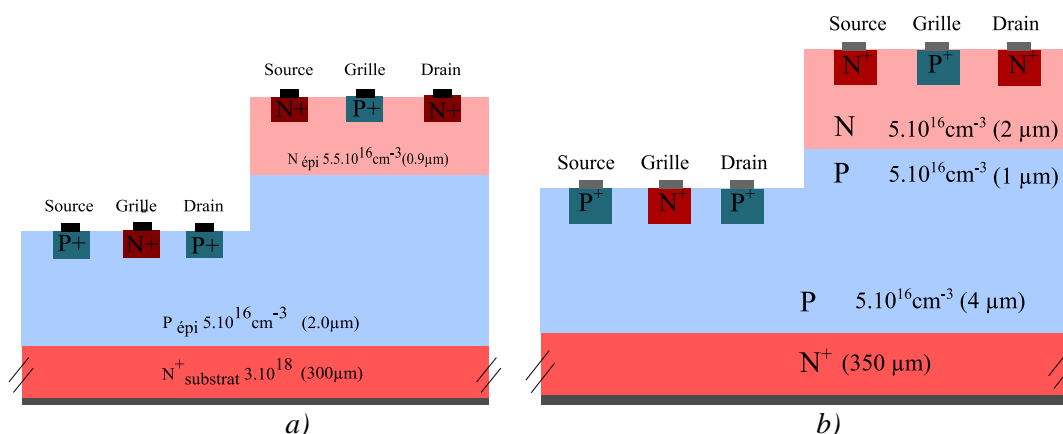


Figure 37 : Vue en coupe des plaques avec les structures des JFET à canal N et P, a) DH0612-10 et b) R0413-01.

Les structures des JFET de type P et N sont représentées sur la figure 9. Notons que pour ce lot les JFET des deux types P et N ont été réalisés en même temps et intégrés monolithiquement sur le même substrat SiC. Le jeu de masques utilisé pour la fabrication de ces structures, est présenté dans la figure 10. Ce jeu de masques contient à la fois des transistors JFET type N (sur le champ de gauche) et type P (sur le champ de droite). Comme pour l'étage de puissance ce jeu de masques comporte également des motifs de tests technologiques et électriques.

La géométrie de différents JFET est récapitulée dans les tableaux ci-dessous :

JFET type N	J1	J2	J3	J4	J5	J6
Surface (mm^2)	0,14	0,14	0,195	0,195	0,14	0,14
Largeur du canal Z (mm)	1,1	0,2	1,1	1,1	0,2	1,1
Longueur du canal L (μm)	28	32	28	32	28	32

Tableau 16: Paramètres géométriques des JFET type N de l'étage de commande.

JFET type P	J1, J3, J5	J2, J4, J6	J1'	J2'	J3'	J4', J5'
Surface (mm ²)	0,195	0,195	2,2	1,5	0,89	0,89
Largeur du canal Z (mm)	1,1	1,1	29,6	39,5	31,2	31,2
Longueur du canal L (µm)	28	32	40	25	19	28

Tableau 17 : Paramètres géométriques des JFET type P de l'étage de commande.

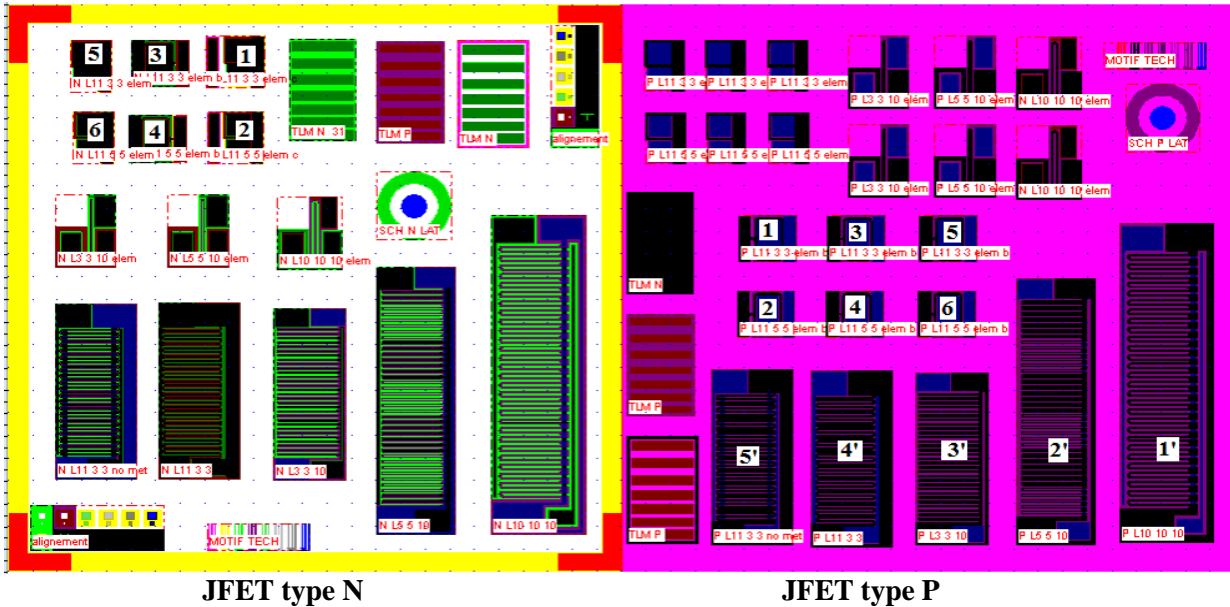


Figure 38 : Schéma des masques utilisés pour la fabrication des JFET de l'étage commande composés des 2 champs répétitifs (5×10 mm²) et de huit niveaux. Désignation des JFET.

Les différents niveaux du jeu de masques sont résumés et brièvement décrits dans le tableau ci-dessous.

Niveau	Procédé technologique
1	Gravure profonde pour distinguer les JFET de type N et de type P
2	Gravure des croix d'alignement nécessaires pour les étapes de lithographie.
3	Implantation ionique d'azote (source/drain : JFET- N ; grille : JFET- P)
4	Implantation ionique d'aluminium (grille: JFET- N; source/drain : JFET- P).
5	Ouverture de la passivation et métallisation des caissons N ⁺
6	Ouverture de la passivation et métallisation des caissons P ⁺
7	Ouverture de la passivation et métallisation des caissons P ⁺ et N ⁺ si des métaux identiques sont utilisés
8	Sur-métallisation sur le drain, la source et la grille des JFET de type N et P

Tableau 18 : Description des différents niveaux du jeu de masques utilisés dans la fabrication des JFET de l'étage de commande.

Les implantations ioniques utilisées pour former les caissons source/drain et grille sont similaires à celles présentées pour les JFET de l'étage de puissance. La même métallisation Ti/Ni a été utilisée pour la formation des contacts ohmiques sur les couches P⁺ et N⁺ des sources/drains et grilles des JFET

Lors de la caractérisation électrique des composants, sur cette plaque, pour localiser les différents champs, nous avons utilisé la nomenclature décrite sur la figure 11 suivante. Soulignons encore que pour situer les composants JFET testés relatifs à chaque champ il faut également se référer à la figure 10.

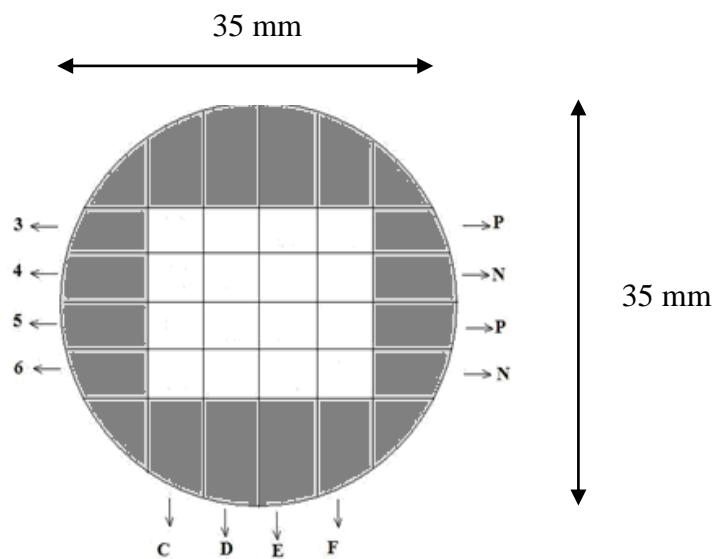


Figure 39 : Nomenclature des différents champs sur la plaque R0413-01

2.3 Caractérisations électriques des composants

2.3.1. Méthodologie de l'analyse I-V

Pour tester et analyser le fonctionnement des JFET nous avons procédé par étapes.

1) Nous avons commencé par mesurer le courant de la grille vers la source, quand cette jonction est en inverse (jusqu'à environ 5 à 8 V). Si le courant de fuite est faible, dans ce cas on peut espérer bloquer le canal. Nous avons considéré le courant de fuite suffisamment faible pour une valeur inférieure ou égale à 10^{-6} A.

2) A l'état passant pour une bonne conduction du courant dans le canal entre les deux électrodes, le drain et la source, il faut assurer un niveau de courant suffisant (supérieur ou égal à 10^{-3} A). Alors des mesures $I_{ds}(V_{ds})$ à $V_{gs} = 0$ V ont été effectuées pour chercher les JFET qui ont des courbes de caractéristique I-V les plus symétriques avec un courant suffisamment élevé.

Ces mesures grille-source $I_{gs}(V_{gs})$ et drain-source $I_{ds}(V_{ds})$ ont systématiquement été réalisées durant ces deux premières étapes sur tous les JFET.

3) La complexité des structures nous a demandé des mesures complémentaires entre d'autres électrodes des JFET ainsi que des mesures sur des motifs de test comme les TLM. Ainsi les mesures entre la grille et le substrat nous ont permis de valider la présence d'un canal sous la grille ou son percement. Les mesures sur les motifs TLM nous ont permis de qualifier les contacts ohmiques qui en cas de défaillance peuvent générer une augmentation significative des résistances à l'état passant des composants.

4) Finalement nous avons étudié le fonctionnement des meilleurs JFET. En traçant les réseaux des caractéristiques $I_{ds}(V_{ds}, V_{gs})$ nous avons ensuite extrait la transconductance (g_m) et la résistance carrée (R_{sh}) du canal.

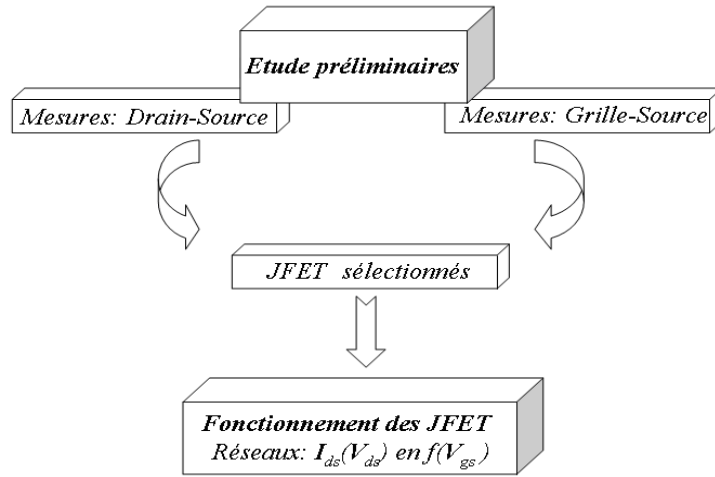
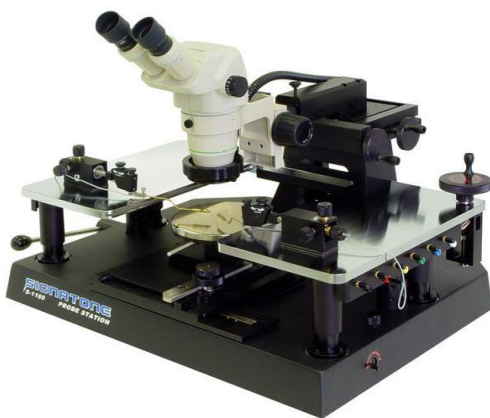
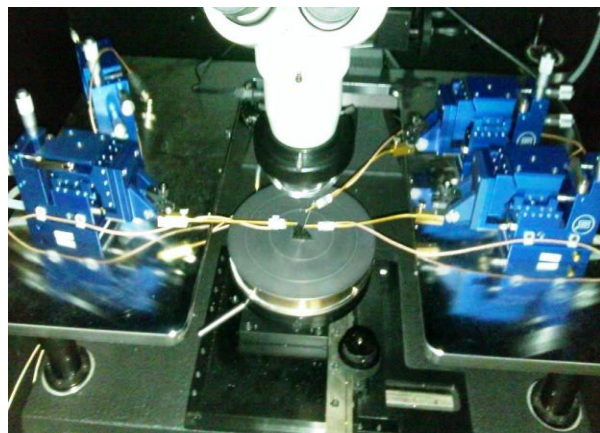


Figure 40 : Organigramme qui illustre le cheminement des mesures I(V) sur les JFET.

La caractérisation des composants a été faite avec un banc Signatone S-1160 sous pointes, disponible au laboratoire. Les mesures I-V sont effectuées en utilisant des SMU Keithley 2636 et 2410. Tous les appareils sont pilotés par ordinateur grâce à un logiciel spécifique qui assure la récupération des résultats de mesures.



a)



b)

Figure 41 : Banc de caractérisation électrique : Station sous pointe (a) Leviers à pointes (b).

2.3.2 Résultats sur les composants de puissance

2.3.2.1 Etude préliminaire des JFET type N (FL0288-09)

On commence par rappeler la structure des JFET type N de la plaque FL0288-09 :

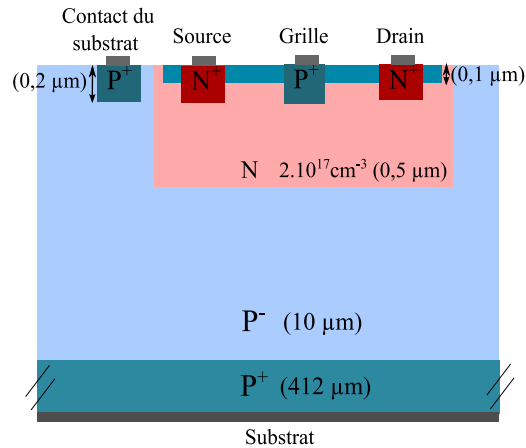


Figure 42 : Vue en coupe de plaque FL0288-09 avec la structure des JFET à canal N.

2.3.2.1.1 Mesures Grille – Source ($P^+ - N - N^+$) et Drain – Source ($N^+ - N - N^+$)

Les figures 15 et 16 présentent les caractéristiques $I_{gs}(V_{gs})$ et $I_{ds}(V_{ds})$ de tous les JFET n°2 (voir la figure 4 pour leur géométrie et situation sur le champ) de l'échantillon FL0288-09 utilisé pour la fabrication des JFET à canal N.

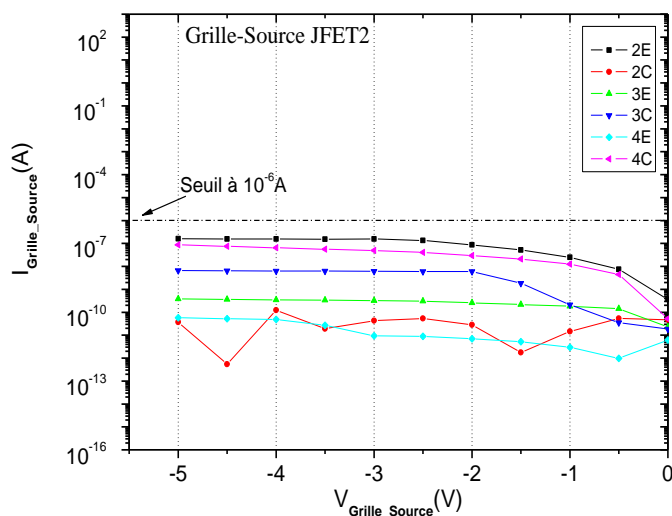


Figure 43 : Caractéristiques $I_{gs}(V_{gs})$ des JFET n°2

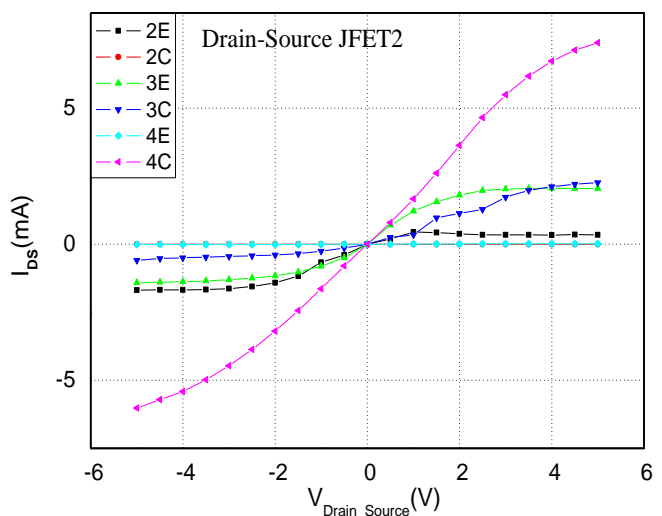


Figure 44 : Caractéristiques $I_{ds}(V_{ds})$ à $V_{gs}=0$ V des JFET n°2

Pour les caractéristiques $I_{gs}(V_{gs})$ nous représentons uniquement la partie en inverse, mais précisons que nous avons bien trouvé en direct le comportement d'une diode p/n.

Nous remarquons que pour le JFET 2 du champ 4C (couleur rose), le courant de fuite de la jonction grille-source est $I_{fuite} = 8,6 \times 10^{-8} \text{ A}$ et la courbe $I_{ds}(V_{ds})$ est bien symétrique, linéaire à moins 3 V de polarisation et avec un courant de plusieurs milliampères. Ceci est un exemple typique d'un JFET avec un fonctionnement correct avec un courant suffisamment élevé à l'état passant et un courant de fuite grille-source inférieur à notre critère de sélection.

De la même façon, en utilisant ces critères de sélection nous résumons ci-dessous les meilleurs JFET que nous avons trouvés :

- JFET 2, champ 4C
- JFET 6, champ 3D
- JFET 8, champ 4D
- JFET 9, champ 3D
- JFET 10, champ 2D

Cependant, les figures 15 et 16 font apparaître un comportement non homogène des JFET 2 sur l'ensemble de la plaque, et ce malgré le fait qu'ils présentent a priori la même structure géométrique. Les JFET des champs 2C et 4E semblent complètement bloqués.

Afin de comprendre le dysfonctionnement de ces composants, nous avons effectué des mesures courant-tension complémentaires entre le contact du substrat reporté en surface et le substrat et entre la grille et le substrat (voir la figure 14 pour le positionnement des électrodes).

2.3.2.1.2 Mesures contact du substrat reporté en surface – Substrat ($P^+ - P^- - P^+$)

Dans la structure du JFET, en polarisant le contact du substrat reporté en surface par rapport au substrat nous devrions trouver le comportement d'une résistance ($P^+ - P^- - P^+$) qui devrait être approximative à celle de la couche P^- . Les mesures présentées sur la figure 17, ne montrent pas des caractéristiques linéaires typiques d'une résistance. Ce comportement est probablement dû à la non-ohmicité des contacts sur les couches P^+ (caisson et/ou face arrière). Ce fait sera aussi mis en évidence par les mesures sur les structures de test TLM.

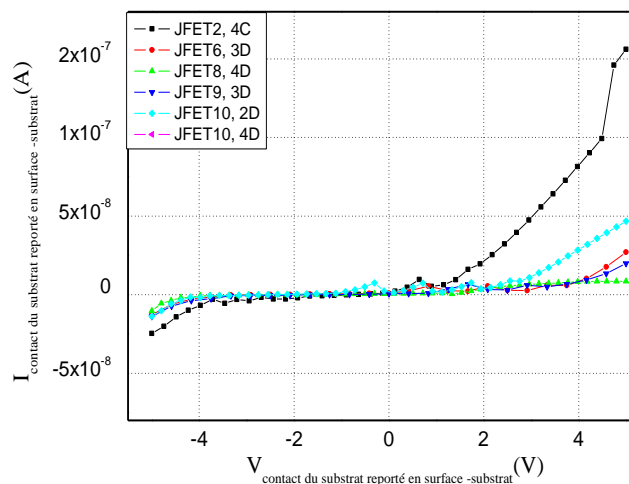


Figure 45 : Mesures $I_{\text{contact du substrat reporté en surface -substrat}}$ (V).

2.3.2.1.3 Mesures Grille – Substrat ($P^+ - N - P^- - P^+$)

Entre la grille et le substrat nous devons avoir la présence d'un transistor bipolaire ou de deux diodes tête-bêche bloquant le courant dans les deux sens. Sur la figure 18 nous remarquons les JFET 6 du champ 3D et le JFET 10 du champ 2D qui montrent un courant de fuite assez élevé pour ces jonctions.

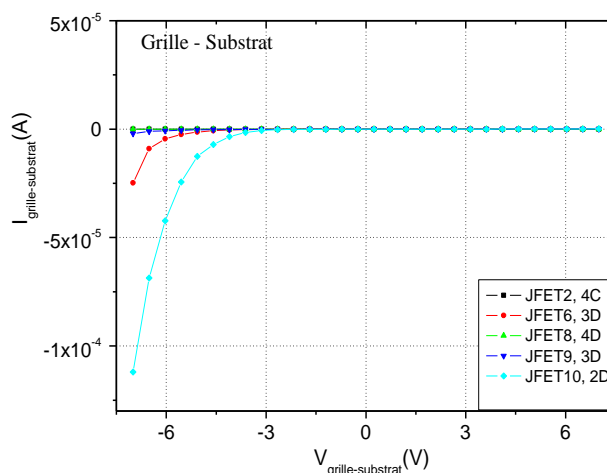


Figure 46 : Mesures $I_{\text{grille-substrat}}$ (V)

Ces deux champs 2D et 3D sont situés plutôt vers le centre de l'échantillon. Sur ces champs nous avons trouvé plusieurs JFET avec une bonne conduction du canal. La diminution de l'épaisseur du canal qui est la base du transistor PNP peut être difficilement mise en cause. Ainsi l'origine du courant de fuite pourra être recherchée plutôt au niveau du caisson de la grille (P^+) en surface. Une partie du profil d'implantation de la grille pourrait être masquée soit par l'implantation de la couche RESURF, soit par une augmentation locale de la couche d'arrêt de silice en surface.

Cependant d'une manière générale sur la plaque FL0288-09, il faut noter que nous avons trouvé un nombre réduit de composants JFET-N qui présentent ce courant de fuite.

2.3.2.2 Fonctionnement des composants JFET type N (FL0288-09)

2.3.2.2.1 Caractérisation $I_{ds}(V_{ds})$ en fonction de V_{gs}

A partir des mesures préliminaires nous avons sélectionné plusieurs transistors JFET qui doivent présenter une modulation du courant dans le canal par la polarisation de la jonction grille-source. Des caractéristiques $I_{ds}(V_{ds}, V_{gs})$ typiques sont présentées dans la figure ci-dessous. Rappelons que pour les transistors JFET à canal N en mode de fonctionnement direct, on applique une tension V_{ds} positive et qu'une polarisation négative de la grille V_{gs} est nécessaire pour bloquer le canal. Nous avons fait varier la tension V_{gs} avec des valeurs comprises entre 1 V et la tension négative de blocage.

Une modulation du courant sur un nombre relativement important de composants a été obtenue.

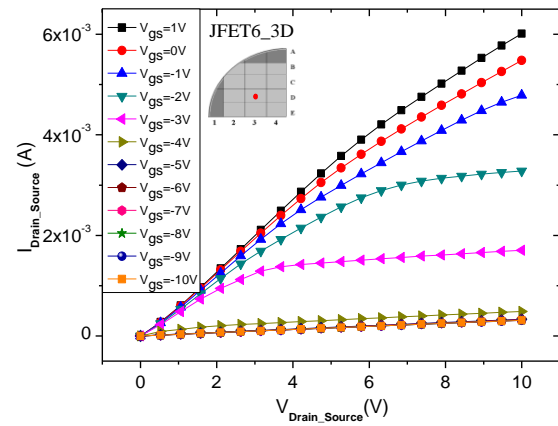
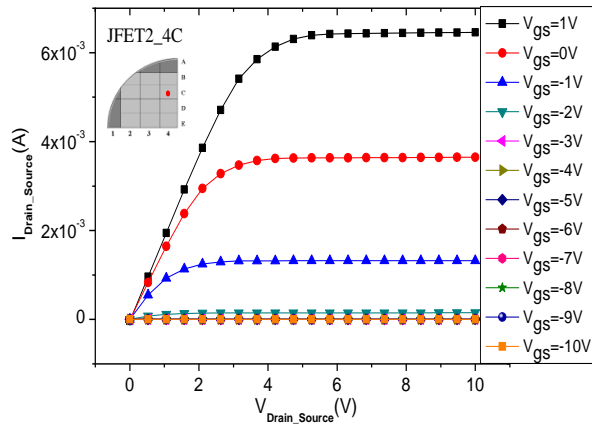
Nous avons regardé de plus près le régime linéaire $V_{ds} < V_{dsat}$, appelé également le régime ohmique. Ce régime correspond à une évolution quasi linéaire du courant de sortie I_{ds} pour des faibles valeurs de la tension de drain V_{ds} (pour une tension V_{gs} donnée) [Mathieu 01]. Dans cette zone, la section du canal conducteur est presque uniforme et le JFET se comporte comme une résistance contrôlée par la tension de grille V_{gs} . Nous avons extrait deux résistances:

$$R_{ON} = (dV_{ds}/dI_{ds}) \text{ pour } V_{gs}=0 \text{ V, } V_{ds} \ll V_{dsat}$$

qui est normalement directement liée à la résistance carrée du canal R_{sh} :

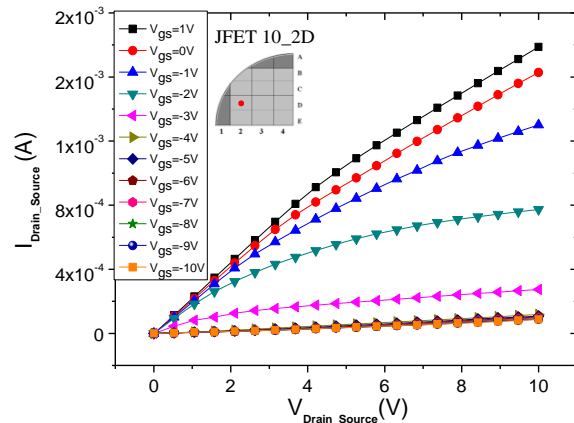
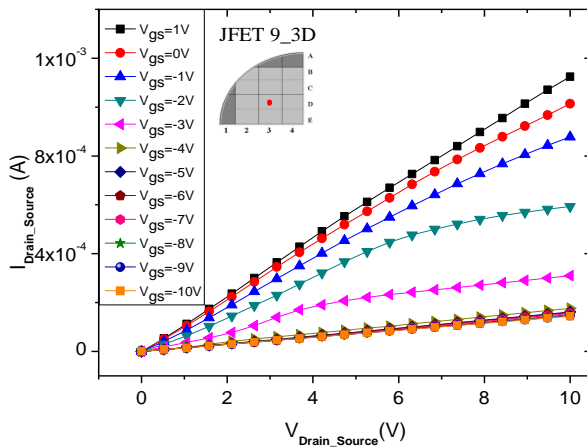
$$R_{sh} = \rho/a = R_{ON} * Z/L$$

Z étant la largeur du canal, L sa longueur, ρ sa résistivité et a son épaisseur.



a)

b)



c)

d)

Figure 47 : Caractéristiques mesurées $I_{ds}(V_{ds}, V_{gs})$ des JFET 2 du champ 4C (a), JFET 6 du champ 3D (b), JFET 9 du champ 3D (c) et JFET 10 du champ 2D (d).

Ainsi en tenant compte de la géométrie des différents JFET nous résumons les valeurs obtenues dans le tableau ci-dessous :

	$R_{ON} [\Omega]$	$R_{sh} [\Omega]$	$L [\mu m]$	$Z [mm]$	$g_m [S] (V_{DS}=6,3 V)$	$g_m [S] \text{ théorique}$
JFET 2	570	$0,22 \times 10^5$	140	5,6	$2,79 \times 10^{-3}$	$3,5 \times 10^{-3}$
JFET 6	1660	$21,5 \times 10^5$	30	39	$0,4 \times 10^{-3}$	$110,5 \times 10^{-3}$
JFET 9	9090	$108,3 \times 10^5$	26	31	$0,042 \times 10^{-3}$	$101,3 \times 10^{-3}$
JFET 10	5650	$73,4 \times 10^5$	30	39	$0,13 \times 10^{-3}$	$110,5 \times 10^{-3}$

Tableau 19: Les résistances à l'état passant et les transconductances typiques extraites des JFET à canal N sélectionnés comparées aux valeurs théoriques calculées. La valeur théorique de la résistance carrée est $R_{sh}=3,3 k\Omega$.

En comparant les différentes valeurs nous remarquons une inhomogénéité des résistances du canal N qui est certainement due à la présence d'autres résistances en série comme les résistances de contact si elles ne sont pas suffisamment faibles et négligeables. On peut également mettre en cause la non uniformité de l'épaisseur de la couche d'arrêt de la silice utilisée lors du dopage des caissons (figures 5 à 7). Cependant, celle-ci ne peut pas expliquer une variation de plusieurs ordres de grandeur de la résistance carrée.

Seule la résistance carrée du canal extraite du JFET 2 s'approche de la valeur théorique estimée à 3,3 k Ω . Pour son calcul nous avons considéré une résistivité de 0,1 Ω .cm [Rayn 10] pour un dopage effectif de 10^{17} cm $^{-3}$ du canal N et une épaisseur de 0,3 μ m. Ce JFET a une structure en serpentín avec une grille P $^+$ métallisée sur toute sa largeur contrairement aux autres du tableau 8 qui présentent une structure en peigne et une grille P $^+$ partiellement métallisée (figure 20-a et 20-b).

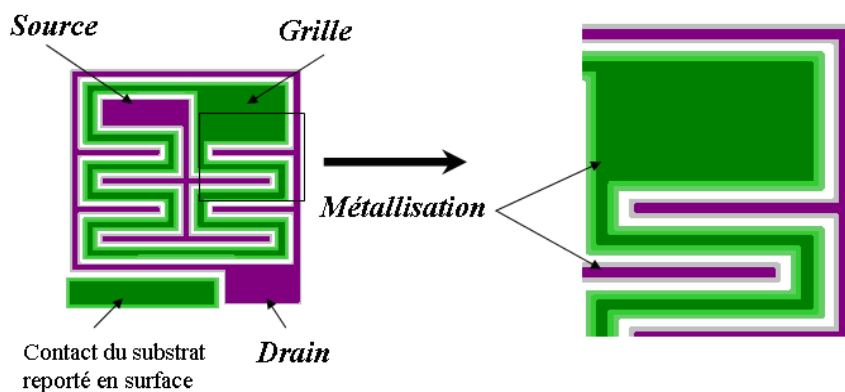


Figure 20-a: Structure en serpentín avec une grille P $^+$ métallisée sur toute sa largeur (gris pour les drain et source N $^+$, vert clair pour la grille P $^+$, violet et vert foncé pour la métallisation des couches).

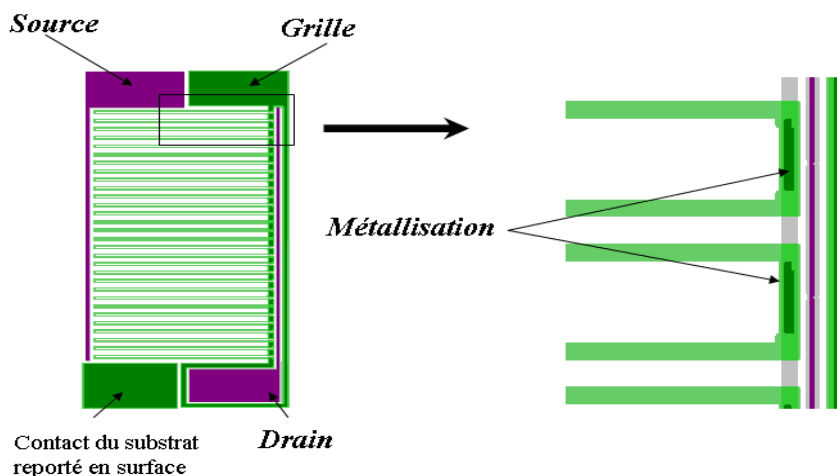


Figure 48-b : Structure en peigne et une grille P $^+$ partiellement métallisée (partie vert foncé) du, JFET 6

La difficulté de polariser sur toute sa largeur la couche P $^+$ de SiC-4H connue pour sa forte résistivité, surtout dans le cas d'un contact ohmique médiocre, pourrait expliquer la différence entre les valeurs des résistances carrées des canaux. Cette hypothèse semble plus

acceptable que la remise en cause d'une étape technologique qui n'aurait pas provoqué des variations de plusieurs ordres de grandeur de la résistance carrée.

Dans le tableau 8, nous avons également ajouté la transconductance extraite à partir des mesures présentées dans la figure 19. Cette grandeur est directement liée aux paramètres géométriques du JFET suivant les relations ([Sze 85] et annexe2) :

$$g_m = \left. \frac{dI_D}{dV_G} \right)_{V_D=cst} = \frac{I_P V_D}{2V_P^2} \sqrt{\frac{V_P}{V_G + V_{bi}}} = \frac{q\mu_n N_D Z a V_D}{L V_P} \sqrt{\frac{V_P}{V_G + V_{bi}}}$$

pour le régime linéaire et

$$g_m = \left. \frac{dI_D}{dV_G} \right)_{V_D=cst} = \frac{I_P}{V_P} \left(1 - \sqrt{\frac{V_G + V_{bi}}{V_P}} \right) = \frac{2q\mu_n N_D Z a}{L} \left(1 - \sqrt{\frac{V_G + V_{bi}}{V_P}} \right)$$

pour le régime de saturation.

Avec un dopage effectif du canal de 10^{17} cm^{-3} , une mobilité de $600 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ [Rayn 10] et une épaisseur de $0,3 \text{ } \mu\text{m}$ la valeur théorique de la transconductance avec la géométrie du JFET 2 est de $3,4 \text{ mS}$ et de $110,5 \text{ mS}$ avec la géométrie du JFET 6. Comme pour l'extraction de la résistance carrée du canal nous remarquons que seule la géométrie en serpentin avec une grille P^+ métallisée sur toute sa largeur permet de retrouver la valeur théorique de la transconductance.

2.3.2.4 Etude préliminaire des JFET type P (AE0695-02)

Après avoir achevé les mesures sur l'échantillon FL0288-09, nous avons testé de la même façon l'échantillon AE0695-02 à partir duquel des JFET à canal P ont été fabriqués. Des mesures $I(V)$ ont été effectuées entre deux électrodes pour sélectionner les meilleurs JFET suivies par une caractérisation du fonctionnement des composants par des mesures $I_{ds}(V_{ds}, V_{gs})$.

Ci-dessous on rappelle la structure des JFET type P de la plaque AE0695-02 :

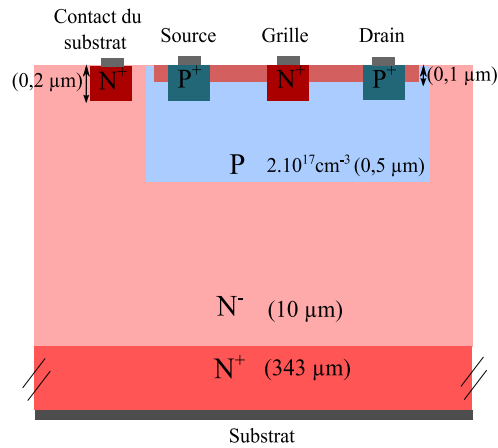


Figure 49 : Vue en coupe de plaque AE0695-02 avec la structure des JFET à canal P.

2.3.2.4.1 Mesures Grille – Source ($N^+ - P - P^+$) et Drain – Source ($P^+ - P - P^+$)

Les figures 22 et 23 présentent les caractéristiques $I_{gs}(V_{gs})$ et $I_{ds}(V_{ds})$ de tous les JFET n°6 (voir la figure 4 pour leur géométrie et situation sur le champ) de l'échantillon AE0695-02 utilisé pour la fabrication des JFET à canal P.

Comme pour les JFET N nous représentons uniquement la partie en inverse des caractéristiques $I_{gs}(V_{gs})$ en se focalisant sur le courant de fuite.

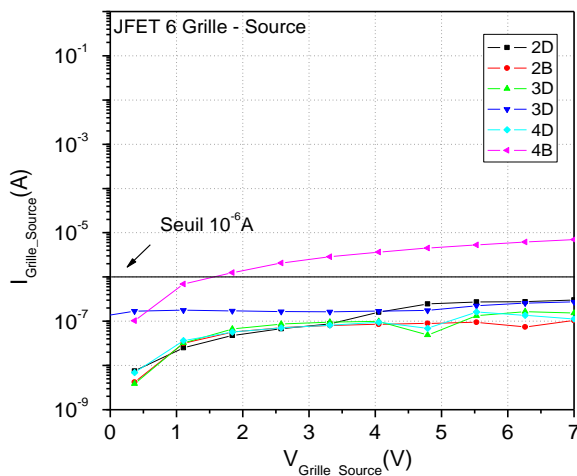


Figure 50 : Caractéristiques $I_{gs}(V_{gs})$ des JFET n°6

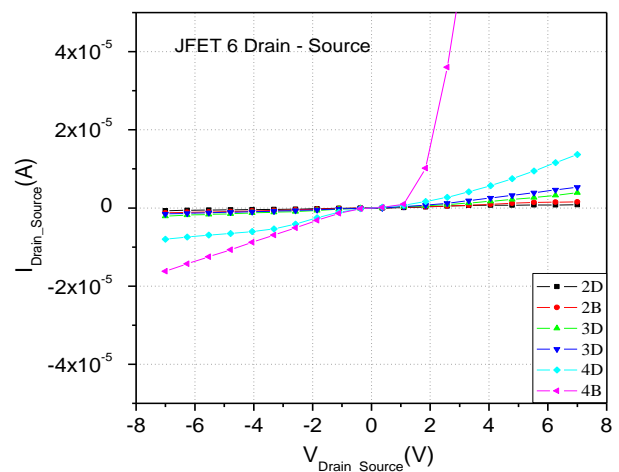


Figure 51: Caractéristiques $I_{ds}(V_{ds})$ des JFET n°6

Mais précisons que nous avons bien obtenu un comportement de jonction P/N entre la grille et la source, les composants s'allumant avec une couleur typique du SiC-4H lors des mesures électriques sous polarisation directe.

Bien que les mesures grille-source montrent un courant de fuite assez faible (figure 22), les courbes $I_{ds}(V_{ds})$ ne sont pas symétriques (figure 23). Le courant dans le canal

est extrêmement faible, de l'ordre de quelques dizaines de microampère. Ces mesures sont typiques de tous les JFET P de la plaque AE0695-02.

Cela signifie très probablement que le canal ne conduit pas, il étant bloqué.

Afin de comprendre le comportement des composants, nous avons effectué des mesures courant-tension complémentaires entre le contact du substrat reporté en surface et le substrat et entre la grille et le substrat (voir la figure 20 pour le positionnement des électrodes).

2.3.2.4.2 Mesures contact de surface reporté en surface – Substrat ($N^+ - N^- - N^+$)

Les mesures entre le contact du substrat reporté en surface et le substrat (figure 24) montrent sur un nombre important de composants que nous avons une bonne conduction dans la structure verticale à travers les couches $N^+ - N^- - N^+$. Le courant est plus important que dans le cas des structures des JFET N de la plaque FL0288-09 (figure 17). Ceci est dû au fait que la conduction se fait à travers des couches de type N mais également à de meilleurs contacts, moins résistifs sur les caissons N^+ . Néanmoins ces contacts ne sont pas ohmiques, les courbes présentées sur la figure 17 ne sont pas symétriques.

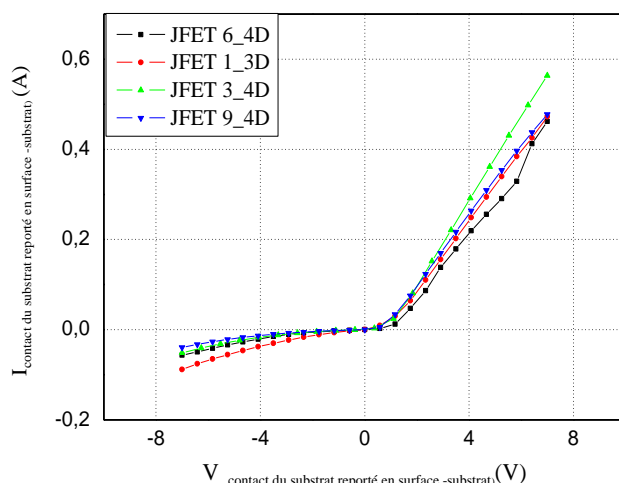


Figure 52 : Mesures $I_{\text{contact du substrat reporté en surface -substrat}}$ (V).

2.3.2.4.3 Mesures Grille – Substrat ($N^+P-N^-N^+$)

Entre la grille et le substrat nous notons la présence d'un transistor bipolaire NPN ($N^+P-N^-N^+$) ou de deux diodes tête-bêche bloquant le courant dans les deux sens. Par contre nous observons un courant supérieur à 1 mA dans les deux sens de polarisation (figure 25). Cette conduction si élevée à travers les deux diodes tête-bêche n'est pas normale. Le canal semble présenter une épaisseur trop fine. Ainsi il est très probable qu'à cet endroit la grille N^+ , traverse presque ou même intégralement l'épaisseur du canal. Ainsi elle devient suffisamment proche de la couche épitaxiée N^- , située sous le canal P pour faire conduire un courant entre la grille et le substrat.

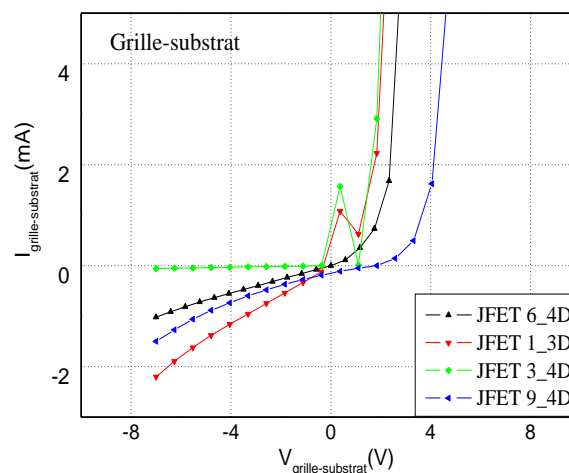


Figure 53 : Mesures $I_{grille-substrat}(V)$

Ce résultat concorde avec la faible conduction dans le canal trouvée lors des mesures $I_{ds}(V_{ds})$ et le comportement quasi normally-off (bloqué) des JFET.

2.3.2.5 Fonctionnement des composants JFET type P (AE0695-02)

A partir de ces mesures préliminaires nous avons sélectionné plusieurs transistors JFET P qui présentent une modulation du courant dans le canal par la polarisation de la jonction grille-source. Les caractéristiques $I_{ds}(V_{ds}, V_{gs})$ typiques sont présentées ci-dessous.

Rappelons que pour les transistors JFET à canal P en mode de fonctionnement direct, on applique une tension V_{ds} négative et qu'une polarisation positive de la grille V_{gs} est nécessaire

pour bloquer le canal. Nous avons fait varier la tension V_{gs} avec des valeurs comprises entre -1 V et une faible tension positive qui était censé bloquer le canal. Nous avons commencé avec une valeur négative -1 V afin de mettre légèrement en conduction les canaux quasi-bloqués.

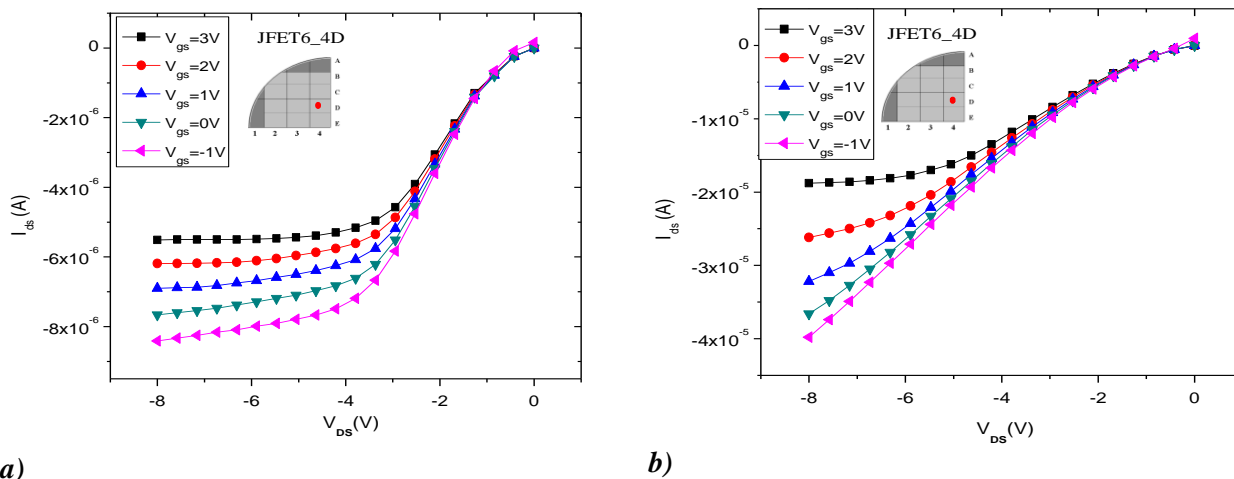


Figure 54 : Caractéristique $I_{ds}(V_{ds}, V_{gs})$ des JFET 6 (a), et JFET 9 (b), du même champ 4D

Nous remarquons la présence d'un seuil de conduction pour ces JFET qui est dû d'une part à la faible conduction du canal et d'autre part à la non ohmicité de la prise des contacts sur les caissons P^+ , source et drain.

Comme pour les JFET N de la plaque FL0288-09 nous avons extrait les résistances à l'état passant sur la partie quasi-linéaire ainsi que la transconductance du canal. Les valeurs sont résumées dans le tableau ci-dessous :

	R_{ON} [Ω]	R_{sh} [Ω]	L [μm]	Z [mm]	g_m [S] ($V_{DS}=-6.3$ V)	g_m [S] théorique
JFET 6	4×10^5	$5,2 \times 10^8$	30	39	$0,65 \times 10^{-6}$	20×10^{-3}
JFET 9	$2,8 \times 10^5$	$3,3 \times 10^8$	26	31	$5,2 \times 10^{-6}$	18×10^{-3}

Tableau 20 : Les résistances à l'état passant et les transconductances typiques extraites des JFET à canal P sélectionnés comparées aux valeurs théoriques calculées. La valeur théorique de la résistance carrée est $R_{sh}=2,33 \times 10^4 \Omega$

En considérant une épaisseur de 0,3 μm du canal P et un dopage effectif de 10^{17}cm^{-3} , ce qui correspond à une résistivité de 0,7 $\Omega \cdot \text{cm}$ [Rayn 10] et une mobilité de $110 \text{cm}^2 \text{V}^{-1} \text{s}^{-1}$, la valeur théorique de la résistance carrée du canal est estimée à $2,33 \times 10^4 \Omega$. La valeur théorique de la transconductance du JFET n°6 est de 20 mS. Ces valeurs théoriques très éloignées de celles extraites expérimentalement confirment le comportement bloqué, normally-off, de ces JFET P.

La forte résistivité du canal peut s'expliquer par la technique d'implantation ionique utilisée dans la couche du canal et celles adjacentes (la grille et la couche RESURF). Les défauts résiduels inhérents à cette étape d'implantation mais aussi le contrôle de l'épaisseur du canal peuvent expliquer cette forte résistance du canal de type P. La profondeur du canal a été probablement sous-estimée par rapport à la canalisation produite par l'implantation des couches en surface comme celle de la grille. Une présentation schématique et explicative est donnée sur la figure 27 suivante.

La canalisation qui peut être importante pour l'azote (N) utilisé dans l'implantation de la grille peut masquer tout ou partie du canal.

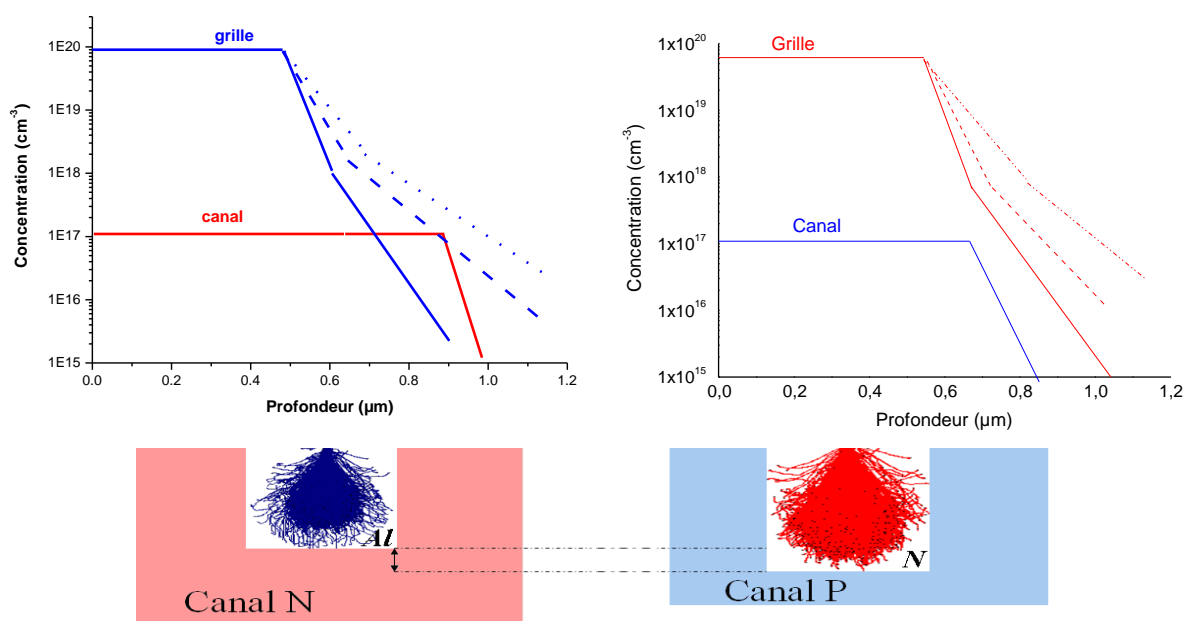


Figure 55 : Présentation schématique du profil du canal caché par la queue de canalisation de l'implantation de la grille en surface.

Cette supposition est confortée par le fait que nous avons trouvé une meilleure modulation des JFET à canal N que ceux à canal P. Pour les JFET à canal N, le canal a été réalisé par une implantation d'azote qui est un élément plus léger que l'aluminium utilisé dans l'implantation du canal de type P. Une profondeur plus importante de pénétration est produite lors de l'implantation d'azote par rapport à celle d'aluminium. En plus comme dans le cas des JFET à canal N la grille est réalisée par implantation d'aluminium, elle est moins profonde que la grille des JFETs de type P qui est faite par implantation d'azote.

Ainsi il est plus probable d'obtenir dans le cas des JFET P ce recouvrement du canal par la queue de canalisation de la grille.

2.3.2.6 Mesures TLM

Pour caractériser électriquement les résistances des contacts, des mesures $I(V)$ ont été effectuées sur les structures TLM réalisées sur les deux plaques FL0288-09 et AE0695-02 (figure 28). Les couches analysées de type N et P correspondent aux caissons de source, de drain et de grille réalisés par implantation ionique d'aluminium et d'azote. Ces couches sont isolées par des jonctions p/n. Les résultats sont équivalents pour les deux plaques puisque les implantations ioniques ont été réalisées en même temps et la même recette de métallisation Ti/Ni a été utilisée pour les caissons N^+ et P^+ .

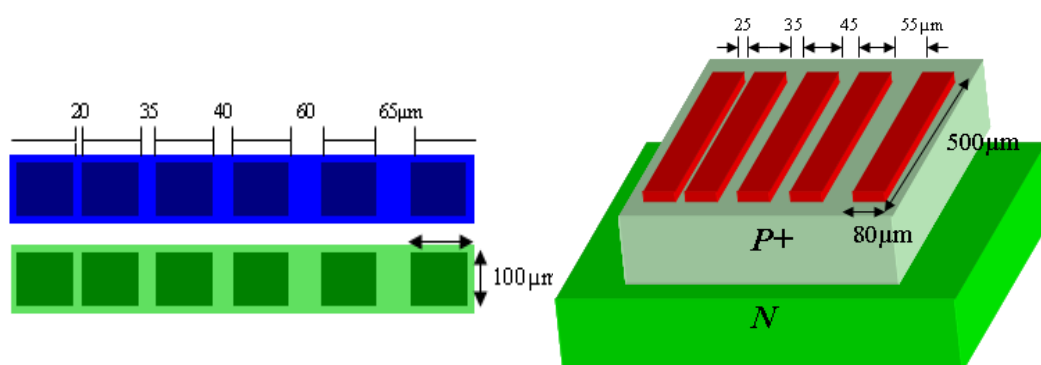


Figure 56 : structures TLM pour les couches de type P et N.

La figure suivante présente les mesures $I(V)$ entre les différents plots des TLM, pour les deux types n et p. On constate que les mesures courant-tension ne sont pas linéaires. Ceci montre un mauvais contact ohmique surtout pour celui réalisé sur le type P. Mais même dans le cas des motifs sur les caissons N^+ , comme les courbes $I(V)$ ne sont pas parfaitement linéaires nous ne pouvons pas calculer la valeur de la résistance spécifique de contact à cause d'une trop grande erreur.

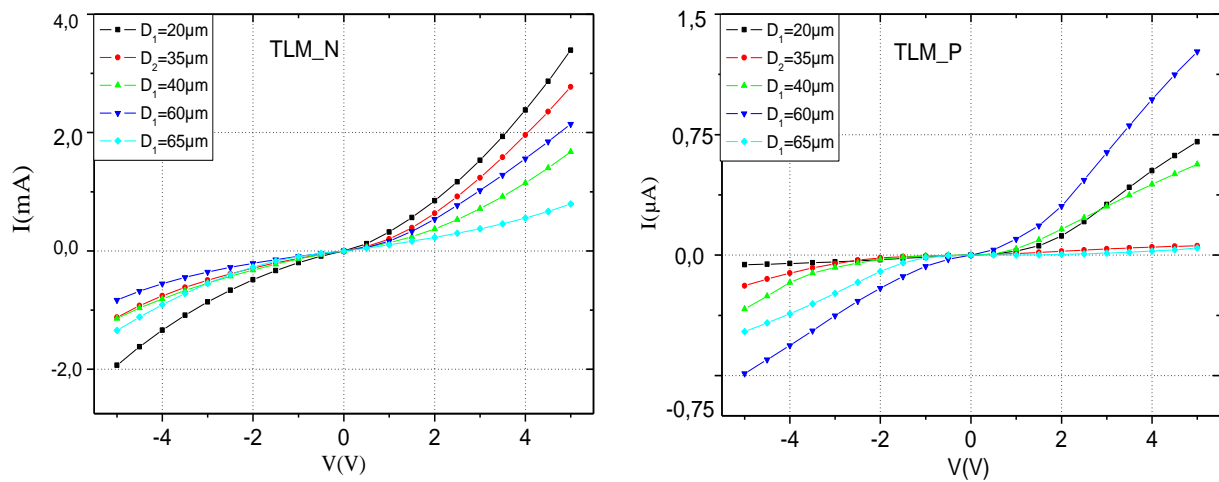


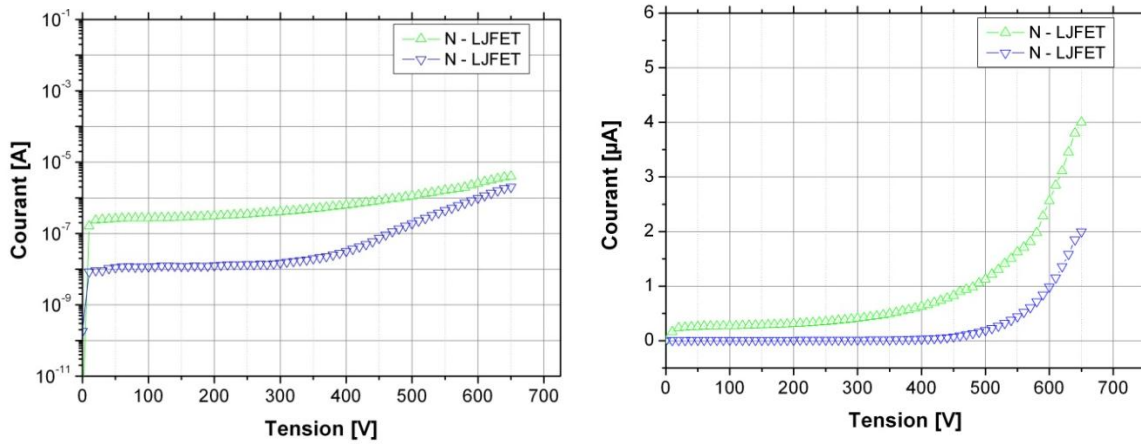
Figure 57 : Courbes I-V en fonction de la distance entre les motifs TLM type N (à gauche) et type P (à droite).

On remarque cependant le niveau relativement élevé du courant entre deux plots sur le type N. Il est du même ordre de grandeur que le courant $I_{DS}(V_{DS})$ des JFET type N de la plaque FL0288-09.

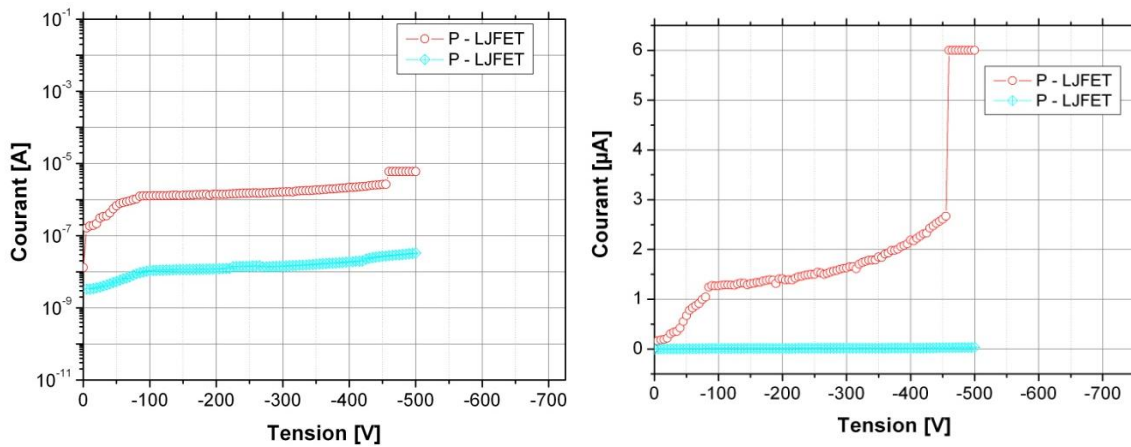
2.3.2.7 Tenue en tension des JFET de puissance

Si nous avons rencontré des difficultés lors des mesures en conduction des composants, la tenue en tension a par contre été validée lors du test à l'état bloqué des JFET latéraux sur les deux échantillons AE06950-02 et FL0288-09. Les mesures ont été effectuées en fonction de la tension en direct bloquée, dans l'air à température ambiante, les composants étant protégés en surface avec une couche de silice de 1 μm .

Des tenues en tension avec une valeur maximale de 650 V ont été obtenues pour les JFET à l'état bloqué aussi bien sur ceux avec un canal de type P que de type N (figure ci-dessous).



(a)



(b)

Figure 58 : Tenue en tension typiques des JFET type N (a) et type P (b). Nous avons représenté les courants de fuite en échelle logarithmique (à gauche) et linéaire (à droite).

2.3.2.8 Analyse des résultats obtenus sur les JFET de puissance

Ce paragraphe a pour objet de synthétiser les résultats essentiels obtenus sur 1^{er} lot des JFET 600 V de l'étage de puissance.

Si la tenue en tension des composants a été démontrée, les résultats sur la conduction du canal latéral sont par contre plutôt mitigés. Contrairement aux JFET de puissance à canaux verticaux, les paramètres technologiques semblent avoir un impact plus important sur le comportement des JFET latéraux.

a) Implantation ionique

Un nombre considérable d'implantations ioniques a été réalisé durant la fabrication de ce lot, 6 implantations différentes dont 4 sur chaque composant: canal, source/drain, grille, RESURF (figures 2 et 3 et tableau 4). Ceci est certainement la cause de la résistance excessive des canaux type P. La couche du canal a été partiellement ou totalement masquée par les implantions en surface de la grille et/ou de la couche RESURF.

De plus une couche de silice d'arrêt a été utilisée en surface, contrainte imposée par l'énergie d'implantation minimale de l'implanteur disponible. Le contrôle de l'épaisseur de cette couche de silice ajoute une incertitude sur le profil de dopage final. Mais également cette contrainte technique a demandé l'utilisation d'énergies relativement élevées pour l'implantation de la grille en surface. Il est bien connu que l'augmentation de l'énergie d'implantation augment également l'écart type ou la déviation standard (ΔR_p) [Laza 02] des ions implantés et ainsi la possibilité de recouvrir le canal par la grille.

Pour la fabrication d'un prochain lot de JFET de puissance il est ainsi souhaitable :

- de garder cet implanteur et cette technique adaptée à la réalisation de couches profondes, comme celles du canal.
- pour la réalisation des caissons de grille, source et drain, d'utiliser un implanteur classique en limitant l'énergie à une centaine de keV et sans utiliser une couche d'arrêt de silice en surface.
- de diminuer ou limiter le nombre de couches réalisées par implantation ionique. En vue de l'intégration des deux JFET P et N sur le même substrat il est préférable ainsi de se focaliser sur une structure gravée plutôt qu'une structure « planar » nécessitant d'avantages de caissons implantés (figure 31).

Ce choix demande cependant une maîtrise de la gravure profonde du SiC et la capacité d'obtenir une surface gravée sans défauts et compatible avec la fabrication de composants 600 V.

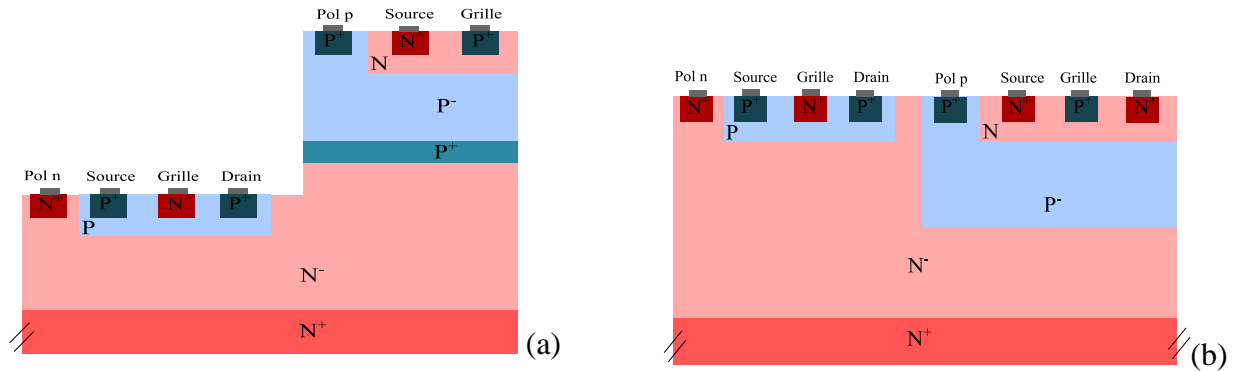


Figure 59 : Structure gravée (a) et planar (b) avec les JFET P et N intégrés sur le même substrat

Comme la tenue en tension a déjà été montrée il est préférable dans un premier temps de ne plus utiliser la couche RESURF en surface en se focalisant sur l'étude de la conduction du canal implanté.

b) Géométrie des composants

Sur les JFET de type N nous avons vu qu'il est difficile de polariser la couche de la grille P^+ car elle n'est pas métallisée sur toute sa largeur. Ainsi il faudrait privilégier l'utilisation de JFET avec une structure en serpentins avec une grille complètement métallisée plutôt que les JFET avec une structure en peigne avec une grille partiellement métallisée (la géométrie des structures a été détaillée dans les figures 20a et 20b). Ceci implique par contre une diminution considérable de la largeur du canal Z par surface de SiC utilisée.

Sans éliminer complètement les structures en peigne il est préférable pour un prochain lot d'augmenter le nombre de JFET avec une structure en serpentins.

c) Contacts ohmiques

Sur les composants que nous avons caractérisés, la même métallisation a été utilisée pour les caissons N^+ et P^+ . Cette recette basée sur un alliage Ti/Ni a été optimisée pour le SiC-4H de type P. Si un contact ohmique n'a pas été obtenu sur les couches P^+ il est vraiment regrettable de ne l'avoir pas obtenu non plus sur les N^+ .

Il est ainsi souhaitable pour un prochain lot de puissance d'utiliser deux métallisations distinctes, une dédiée pour les couches P^+ et l'autre pour les N^+ . Cette dernière devrait être obtenue assez facilement, d'après la littérature, en augmentant la concentration de nickel dans l'alliage Ti/Ni.

Par contre une étude approfondie s'impose pour l'optimisation des contacts ohmiques sur le SiC-4H type P.

2.3.3 Résultats sur les composants de l'étage de commande

2.3.3.1 Etude préliminaire des JFET type N et P (R0413-01)

Rappelons que la plaque R0413-01 comporte à la fois des JFET de type N et P qui ont été réalisés en même temps et intégrés monolithiquement sur le même substrat SiC. La structure de ces JFET basse tension conçue pour l'étage de commande est reprise dans la figure ci-dessous.

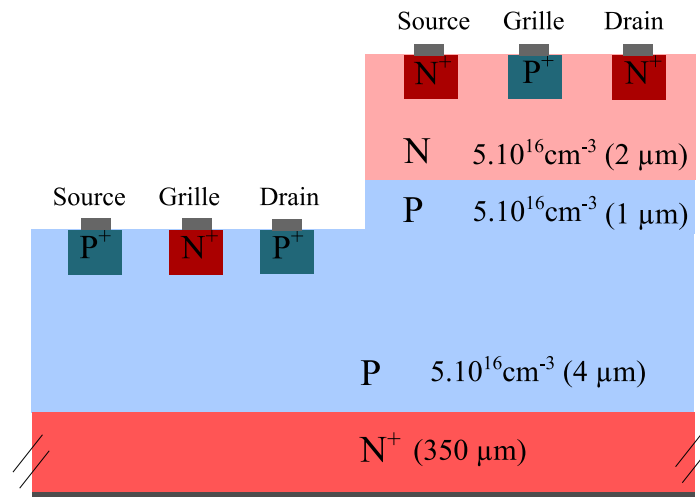


Figure 60 : Vue en coupe de la plaque R0413-01 avec les structures des JFET à canal N et P.

Comme pour l'étage de puissance, des mesures $I(V)$ grille-source et drain-source ont été effectuées pour sélectionner les meilleurs JFET afin d'étudier ensuite leur fonctionnement.

2.3.3.1.1 Mesures Grille – Source, Drain – Source

Les caractéristiques $I_{gs}(V_{gs})$ et $I_{ds}(V_{ds})$ des JFET n°3 avec un canal N (voir figure 10 pour leur géométrie et situation sur le champ) sont présentées sur la figure 33. Les caractéristiques des JFET n°1 avec un canal P sont présentées sur la figure 34.

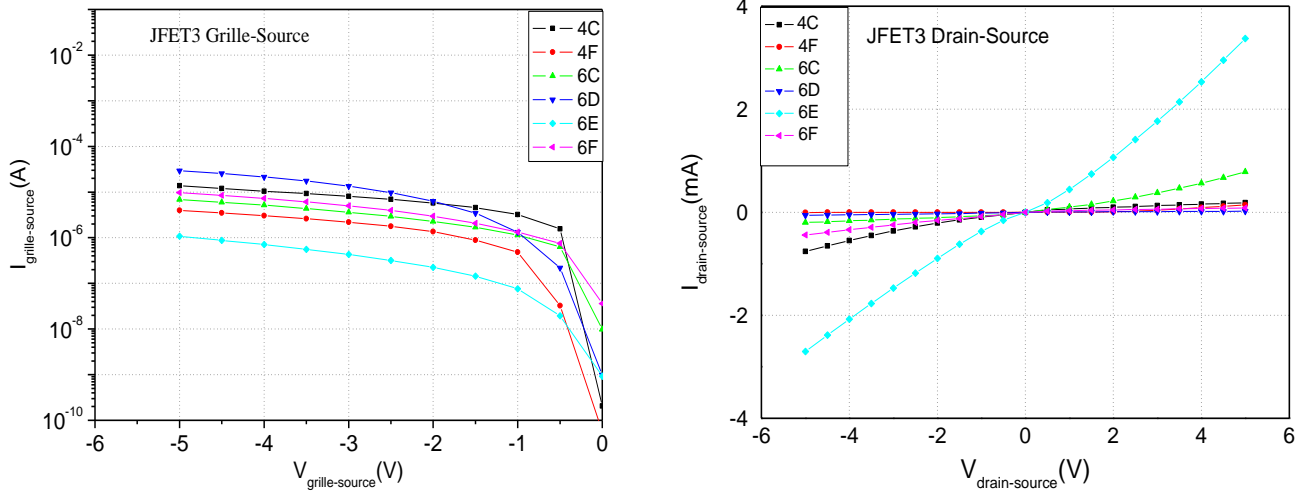


Figure 61 : Caractéristiques $I_{gs}(V_{gs})$ et $I_{ds}(V_{ds})$ des JFET 3 avec un canal de type N

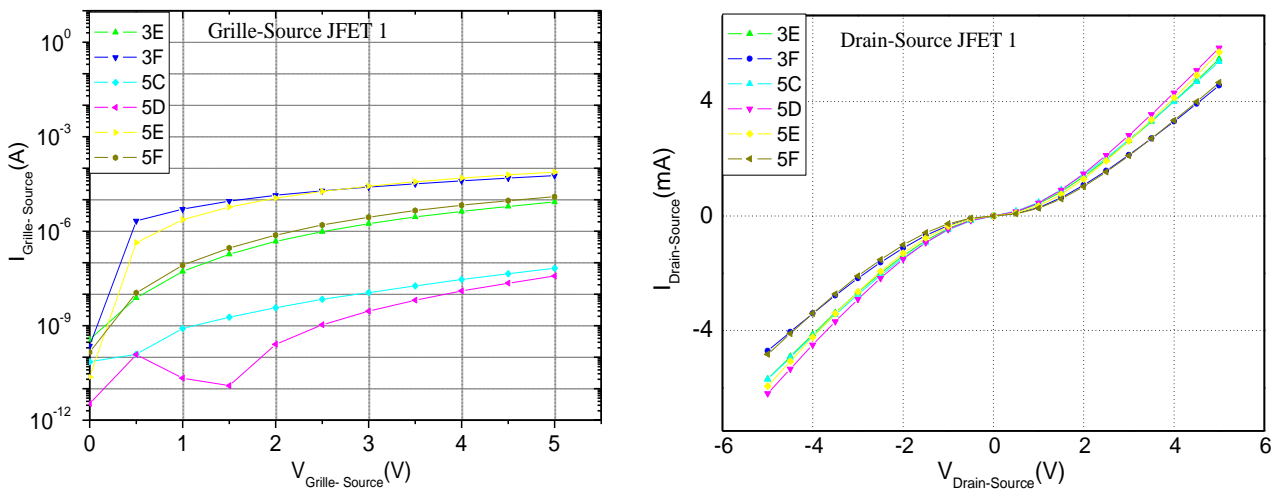


Figure 62 : Caractéristiques $I_{gs}(V_{gs})$ et $I_{ds}(V_{ds})$ des JFET 1 avec un canal de type P

Nous avons trouvé un nombre important de JFET qui possèdent des caractéristiques, avec un courant de fuite relativement faible entre la grille et la source et avec une conduction quasi-symétrique du courant entre le drain et la source surtout pour les JFET P. Nous remarquons la présence d'un seuil de conduction pour ces JFET P qui est dû très certainement à la non ohmicité de la prise des contacts sur les caissons P^+ , source et drain.

Dans le canal, cette conduction assure un courant de l'ordre de quelques milliampères. Les JFET de type N présentent en général un courant de fuite plus élevé comme le cas du JFET 3 du champ 6D présenté dans la figure 32 (couleur bleu foncée).

Les JFET ci-dessous remplissent les deux conditions abordées ci-dessus.

JFET type N :

1. JFET 3 : champ 6E
2. JFET 6 : champ 4E, 4F

JFET type P :

JFET 1 : champ 5C, 5D
JFET 2 : champ 5C, 5D, 5E, 5F
JFET 3 : champ 5C, 5D, 5E
JFET 4 : champ 5C, 5F
JFET 5 : champ 3F, 5C, 5D, 5F
JFET 6 : champ 5D, 5F
JFET 1' : champ 3F
JFET 2' : champ 5F
JFET 3' : champ 5C, 5F

2.3.3.2 Fonctionnement des composants JFET type N et P (R0413-01)

Après les mesures préliminaires nous avons sélectionné plusieurs transistors JFET qui doivent présenter une modulation du courant dans le canal par la polarisation de la jonction grille-source. Les caractéristiques électriques typiques I_{ds} (V_{ds} , V_{gs}) sont présentées ci-dessous.

Les transistors JFET type N sont caractérisés en appliquant une tension V_{ds} positive pour des tensions de polarisation de grille V_{gs} négatives et comprises entre 0 V et -30 V. La caractérisation des JFET type P est effectuée en mode inverse, en appliquant une tension V_{ds} négative pour des tensions de polarisation de grille V_{gs} positives comprises entre 0 V et 50V.

Caractéristiques des JFET type N :

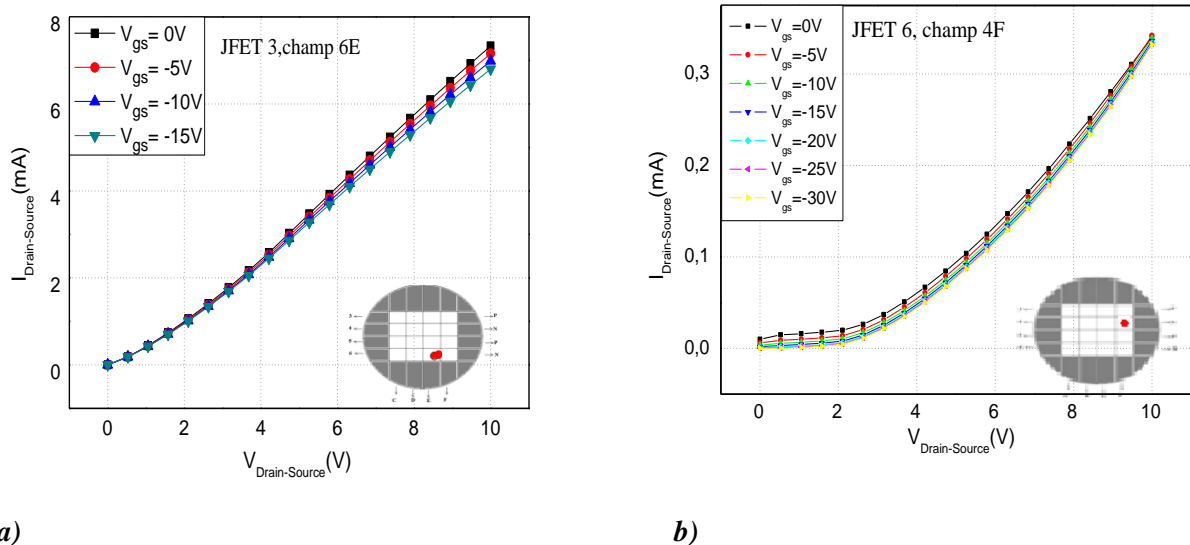


Figure 63 : Caractéristiques $I_{ds}(V_{ds})$ en fonction de V_{gs} du JFET 3 champ 6E (a) et du JFET 6 champ 4F(b)

Nous observons qu'il est assez difficile de moduler la conduction du canal avec la tension grille-source. Nous avons extrait les résistances à l'état passant ainsi que la transconductance du canal. Les valeurs sont résumées dans le tableau ci-dessous:

	$R_{ON} [\Omega]$	$R_{sh} [\Omega]$	$L [\mu m]$	$Z [mm]$	$g_m [S] (V_{DS}= 6,3 V)$	$g_m [S] \text{ théorique}$
JFET 3	1500	$5,8 \times 10^4$	28	1,1	$1,8 \times 10^{-5}$	$2,3 \times 10^{-3}$
JFET 6	21740	74×10^4	32	1,1	$5,9 \times 10^{-7}$	2×10^{-3}

Tableau 21 : Les résistances à l'état passant et les transconductances typiques extraites des JFET à canal N sélectionnés comparées aux valeurs théoriques calculées. La valeur théorique de la résistance carrée est $R_{sh}=1,33 \text{ k}\Omega$

En considérant une épaisseur de $1,5 \mu m$ du canal N et un dopage effectif de $5 \times 10^{16} \text{ cm}^{-3}$, ce qui correspond à une résistivité de $0,2 \Omega.cm$ et une mobilité de $700 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, la valeur théorique de la résistance carrée du canal est estimée à $1,33 \times 10^3 \Omega$ et celle de la transconductance du JFET n°3 à $2,3 \text{ mS}$. Ces valeurs théoriques sont éloignées de celles extraites expérimentalement.

Caractéristiques des JFET type P

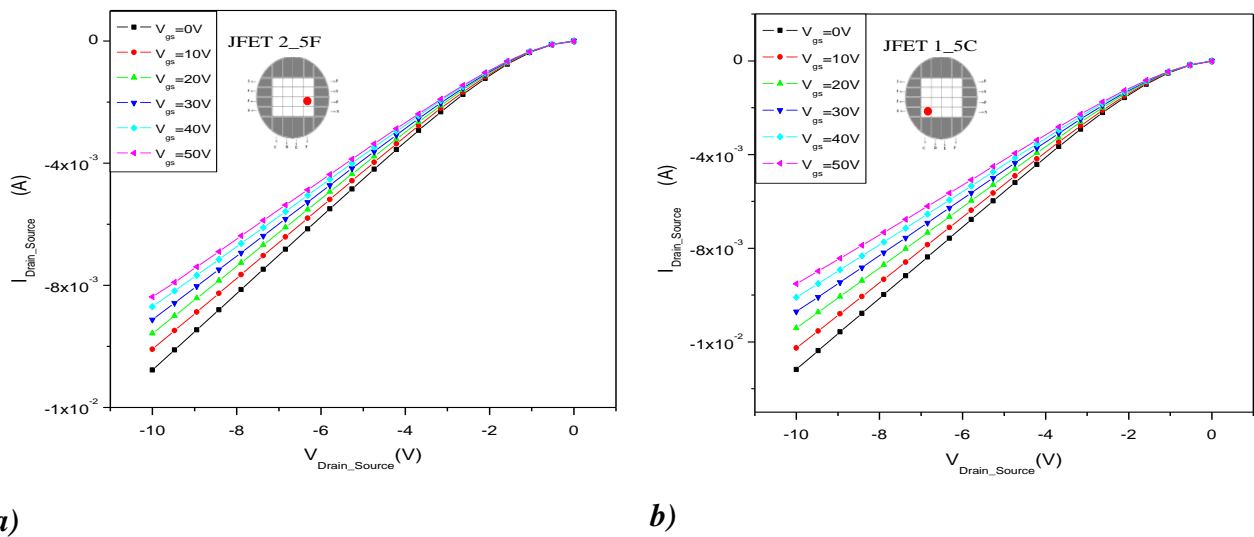


Figure 64 : Caractéristiques $I_{ds}(V_{ds})$ en fonction de V_{gs} du JFET 2 champ 5F (a) et du JFET 1 champ 5C (b)

Par rapport au JFET N, nous observons qu'il est plus facile de moduler la conduction du canal avec la tension grille-source mais nous n'arrivons pas à bloquer le canal ni atteindre un régime de saturation. Nous avons extrait les résistances à l'état passant ainsi que la transconductance du canal. Les valeurs sont résumées dans le tableau ci-dessous :

	$R_{ON} [\Omega]$	$R_{sh} [\Omega]$	$L [\mu m]$	$Z [mm]$	$g_m [S] (V_{DS} = -6.3 V)$	$g_m [S] \text{ théorique}$
JFET 2	1100	$3,7 \times 10^4$	32	1,1	$3,5 \times 10^{-5}$	$4,2 \times 10^{-4}$
JFET 1	710	$2,7 \times 10^4$	28	1,1	$4,6 \times 10^{-5}$	$4,8 \times 10^{-4}$

Tableau 22 : Les résistances à l'état passant et les transconductances typiques extraites des JFET à canal P sélectionnés comparées aux valeurs théoriques calculées. La valeur théorique de la résistance carrée $R_{sh}=3,4 \text{ k}\Omega$.

Les JFET de type P sont moins résistifs que ceux de type N. Ceci est dû certainement à une épaisseur plus importante du canal qui correspond à la couche épitaxiée de type P. La résistance carrée et la transconductance du canal P se rapprochent aussi des valeurs théoriques qui sont $3,4 \times 10^3 \Omega$ et $0,42 \text{ mS}$ (en prenant une résistivité de $1,2 \Omega \cdot \text{cm}$ pour un dopage de $5 \times 10^{16} \text{ cm}^{-3}$, une mobilité de $115 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ et une épaisseur du canal de $3,5 \mu\text{m}$).

Dans les deux cas, aussi bien pour les JFET de type N et type P, nous observons qu'il est impossible de bloquer le canal.

En continuant d'augmenter la tension V_{gs} nous avons observé un claquage des composants pour des tensions de grille supérieures à 100 V (figure 37). Les tests ont été effectués dans l'air.



Figure 65 : image des JFET type P après claquage dans l'air sous une tension égale à 100 V .

En partant de la structure des JFET présentée sur la figure 9 et paragraphe 2.2.2 (dopages et épaisseurs des couches) nous avons calculé la valeur de la tension de pincement. Les équations utilisées sont détaillées dans l'Annexe n°1.

Ainsi, on déduit $V_{p} = -98,7 \text{ V}$ pour les JFET type N et pour les JFET type P, $V_{p} = +550 \text{ V}$.

Ainsi les épaisseurs des canaux réalisés par épitaxie sont trop grandes et ne permettent pas de pincer ou de bloquer le canal à basse tension. Rappelons que dès le départ on savait que ces couches épitaxiales étaient trop épaisses pour fabriquer des canaux de JFET.

Néanmoins nous pouvons tirer un résultat extrêmement important de cette étude, ce lot de composants a permis de montrer qu'il est possible d'intégrer des JFET de type P et N sur la même puce en partant d'une structure relativement simple.

2.3.3.3 Mesures TLM

Comme sur les lots de puissance, nous avons réalisé des mesures I(V) sur des structures TLM afin de tester les résistances de contact.

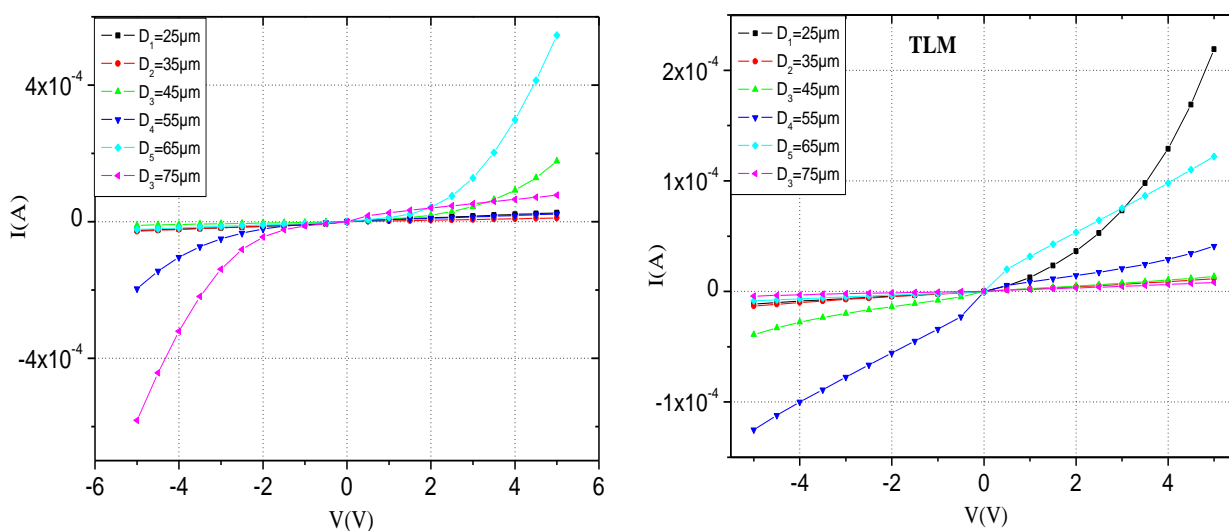


Figure 66 : Courbes I-V en fonction sur les motifs TLM type N (à gauche) et type P (à droite).

La figure 38 montre des courbes I-V entre les motifs TLM qui ne sont pas linéaires avec un courant faible, ce qui dénote des mauvais contacts ohmiques. La non linéarité des courbes I(V) nous a empêché également d'extraire la résistance spécifique de contact.

Comme pour l'étage de puissance, la même recette Ti/Ni a été utilisée pour la prise des contacts sur les caissons N et P. On peut conclure que cette recette, Ti (48 nm)/Ni (100 nm), n'a finalement fonctionné sur aucun des deux contacts. On remarque comme pour les composants de puissance une légère augmentation du courant pour le type N par rapport au type P.

2.3.3.4 Analyse des résultats obtenus sur les JFET de l'étage de commande

a) Structure des composants

Sur l'échantillon R0413-01, nous avons trouvé un nombre important de JFET qui présentent une modulation du canal par rapport à une polarisation V_{gs} . Mais pour bien mettre en évidence cette modulation, il a fallu commander la grille à des tensions très élevées de l'ordre de 50 V pour les JFET de type P, et -15 V pour les JFET type N. Le blocage des canaux a été également impossible à effectuer.

Ces résultats sont dus à des valeurs trop élevées des dopages et des épaisseurs des canaux. Mais il faut souligner que ce lot a permis de montrer qu'il est possible d'intégrer sur la même puce des JFET complémentaires avec des canaux P et N, ce qui a été un résultat très important pour la suite de nos travaux. Remarquons également qu'il s'agit d'une structure gravée.

Pour un prochain lot basse tension il faudra diminuer les valeurs des dopages et/ou des épaisseurs des couches des canaux. Mais les résultats que nous avons obtenus sur l'étage de puissance nous ont montré que la maîtrise de cette conduction latérale est délicate et très sensible aux paramètres technologiques. Une attention particulière devra être accordée à l'implantation de la grille en surface.

b) Contacts ohmiques

Comme pour le lot 600 V, la même métallisation, basée sur un alliage Ti/Ni, a été utilisée pour les caissons N^+ et P^+ . Nous avons mis en évidence les mêmes défaillances.

Ainsi nous pouvons tirer les mêmes conclusions que pour un prochain lot, à savoir qu'il est préférable d'utiliser deux métallisations distinctes, une dédiée pour les couches P^+ et l'autre pour les N^+ . De plus, une étude approfondie s'impose pour l'optimisation des contacts ohmiques sur le SiC-4H type P.

2.4 Conclusion du chapitre 2

Nous avons caractérisé deux lots de composants JFET latéraux à canaux N et P pour réaliser les étages de puissance et de commande d'un onduleur SiC. Nous disposions pour cela de 3 plaquettes (wafers) différents: FL0288-09, AE0695-02 pour l'étage puissance et R0413-01 pour l'étage commande.

Concernant les contacts ohmiques nous n'avons pas mesuré des courbes I-V bien linéaires entre les motifs TLM sur les deux types P et N. Nous avons constaté ainsi que les techniques de fabrication des contacts ohmiques restent à améliorer.

Un résultat positif concerne la modulation du courant I_{ds} en fonction de la tension V_{gs} sur les JFET type P des échantillons R0413-01, les JFET type N de FL0288-09 et plusieurs JFET type P de AE0695-02. Les JFET de l'échantillon R0413-01 n'ont pas pu être bloqués à cause du claquage des composants. Dans ce dernier cas les couches des canaux sont trop épaisses ou le dopage est trop élevé.

Si nous avons obtenu une bonne conduction dans les canaux des JFET de commande, les canaux des JFET de puissance des échantillons FL0288-09 et AE0695-02 sont par contre trop résistifs, le courant étant très faible surtout pour les JFET de type P de AE0695-02. Pour les meilleurs JFET de type N de FL0288-09, les courants sont de quelques dizaines de milliampères.

On remarque dans le cas de l'étage de puissance que ces canaux ont été mis en œuvre par implantation ionique. La technique d'ouverture des caissons peut être mise en cause avec l'utilisation de la couche d'arrêt de silice et il est également probable que l'épaisseur du canal ait été sous-estimée sans tenir compte de la canalisation de l'azote et de l'aluminium dans le SiC. Le canal sur une partie voire sur l'intégralité de son épaisseur a été ainsi masqué par les implantations en surface des grilles et de la couche RESURF.

Les résistances des canaux peuvent également augmenter à cause des défauts résiduels créés par l'implantation ionique. Ainsi, nous pouvons conclure que l'utilisation d'une manière excessive de l'implantation ionique pour la réalisation des couches fonctionnelles des JFET détériore la qualité de ces couches en les rendant trop résistives.

Le lot basse tension a montré la faisabilité de l'intégration monolithique des JFET latéraux N et P sur le même substrat, ce qui constitue un autre résultat très important. Dans ce cas, une structure relativement simple a été employée avec deux couches épitaxiées utilisées directement comme des canaux N et P.

Pour réaliser également l'intégration monolithique des JFET de puissance qui présentent une structure plus complexe, un travail est nécessaire pour améliorer certaines étapes technologiques et le design des composants. Ainsi cette étude nous a montré qu'il est nécessaire :

- d'optimiser la gravure profonde du SiC et la métallisation sur les caissons P⁺,
- de privilégier les structures en des JFET avec une grille métallisée sur toute sa largeur,
- d'envisager une structure gravée pour le bras d'onduleur monolithique en diminuant le nombre d'étapes d'implantations ioniques.

2.5 Références :

- [Math 01] H. Mathieu. Physique des semiconducteurs et des composants électroniques : *Dunod*. 2001 - 826 pages.
- [Laza 02] M. Lazar. Etude du dopage par implantation ionique d'aluminium dans le carbure de silicium pour la réalisation de composants de puissance. Thèse de doctorat INSA-CEGELY Lyon, (2002).
- [Rayn 10] C. Raynaud, D. Tournier, H. Morel, D. Planson. Comparison of high voltage and high temperature performances of wide bandgap semiconductors for vertical power devices. *Diamond & Related Materials*, Vol. 19, pp. 1–6, (2010).
- [Sze 85] S. M. Sze. Semiconductor devices, physics and technology: *Wiley*, 30 avr. 1985, 523 pages.
- [Zieg 13] <http://www.srim.org/> (consulté le 01.02.2013).

Chapitre 3: Réalisation de contacts ohmiques sur SiC type P

3.1 Introduction.....	116
3.2 Etudes précédentes réalisées au laboratoire Ampère.....	117
3.2.1 Alliage SiC-Al/Ti.....	118
3.2.2 Alliage SiC-Ni/Al.....	118
3.2.3 Alliage SiC-Ti/Ni.....	119
3.3 Réalisation du contact ohmique Ni/Ti/Al sur SiC-4H type P.....	121
3.3.1 Préparation des échantillons et procédé de réalisation des contacts.....	121
3.3.1.1 Présentation des substrats utilisés.....	121
3.3.1.2 Préparation des échantillons.....	122
3.3.1.3 Procédé de réalisation des contacts.....	122
3.3.1.3.1 Dépôt des métaux :.....	124
3.3.1.3.2 Le recuit (description des fours utilisés).....	125
3.3.2 Caractérisation électrique des contacts.....	127
3.3.2.1 Mesure I(V) à 25 °C.....	127
3.3.2.1.1 Contact avec les empilements Ni/Ti/Al.....	130
3.3.2.1.2 Contact avec les empilements Ni/Ti/Al/Ni.....	131
3.3.2.1.2.1 Influence de la température de recuit sur la résistance spécifique de contact.....	132
3.3.2.1.2.2 Tableau récapitulatif.....	135
3.3.3 Analyses physico-chimiques des contacts.....	136
3.3.3.1 Analyses SIMS.....	136
3.3.3.2 Analyse DRX.....	139
3.3.3.3 Analyse EDX.....	141
3.3.4 Caractérisations électrique des contacts en température.....	143
3.4 Conclusion.....	145
3.5 Références :.....	147

Liste de tableaux :

Tableau 1 : Etat de l'art des contacts ohmiques sur P-SiC.....	117
Tableau 2 : Les différents alliages étudiés par le passé au laboratoire AMPERE pour la formation des contacts ohmiques sur le SiC type P et les résistances spécifiques obtenues.	120
Tableau 3 : Procédé de nettoyage des échantillons SiC.....	122
Tableau 4 : Descriptif des différents échantillons réalisés dans le cadre de l'étude des contacts ohmiques Ni/Ti/Al sur SiC-4H type P.	125
Tableau 5 : Les différents empilements étudiés et les résistances spécifiques obtenues.	135
Tableau 6 : Pourcentage des éléments formés après recuit à 800 °C.....	142

Liste de figures :

Figure 1 : Résistances de contacts spécifiques mesurées sur des contacts Al/Ti sur SiC-4H après un recuit à 1000 °C pendant 2 min et sous Argon.	118
Figure 2 : Profil du recuit thermique sur les contacts Ni/Al [Vang 06]	119
Figure 3 : Résistances spécifiques des contacts Ni/Al en fonction du dopage [Vang 06]	119
Figure 4 : Profils des éléments (a) et la déconvolution du pic C _{1s} pic (b) obtenus par analyses XPS sur le contact SiC –Ti/Ni étudié dans le projet COTHT.	120
Figure 5 : Structure des échantillons avec les couches P ⁺ en surface : a) épitaxiées b) implantées.	121
Figure 6 : Structure TLM avec 5 plots	123
Figure 7 : Les étapes technologiques pour réaliser les structures TLM.	123
Figure 8 : Principe du dépôt par "e-beam" [Bonn 13].	124
Figure 9 : Fours utilisés: a) Jipelec Fav4 b) Jipelec JetStar c) AnnealsSys AS-One.	125
Figure 10 : Profil d'un recuit à 900 °C pendant 2 min avec 2 paliers.	126
Figure 11 : Mesure I(V) des empilements Ti/(4)/Al(60)/Ti(100)/Pt(25)/Ni(25 nm), recuits à 800 °C , 900 °C et 1000 °C sous argon.	128
Figure 12 : Mesure I(V) des empilements Ti/(5)/Al(60)/Ti(30)/Ni(100), recuits à 800 °C et 900 °C sous argon.	128
Figure 13 : Mesure I(V) des empilements Ni(12.5)/Ti/(25)/Al(150), recuits à 700 °C, 800 °C et 900 °C sous Argon.	129
Figure 14 : Mesure I(V) des empilements Ni(12,5)/Ti/(50)/Al(300)/Ni(12,5 nm), recuits de 700 °C à 850 °C sous Argon.	130
Figure 15 : Mesure I(V) des empilements Ni(12,5)/Ti/(25)/Al(150), recuits à 800 °C sous Argon.	131
Figure 16 : La variation de la résistance entre les plots TLM et l'extraction de la résistance spécifique de contact pour les empilements Ni(10)/Ti(40)/Al(240)/Ni(10 nm) recuits à différentes températures comprises entre 700 °C et 850 °C.	132
Figure 17 : Influence de la température de recuit sur la résistance spécifique de contact des empilements Ni(10)/Ti(40)/Al(240)/Ni(10 nm)	133
Figure 18 : Jeu de masques utilisé pour la fabrication des structures TLM et des diodes bipolaires. La taille du champ élémentaire présenté est de 3×3 mm ²	133
Figure 19 : Mesure I (V) sur une diode bipolaire d'un diamètre de 360µm, en fonction de la température de recuit. Les caractéristiques sont représentées avec une ordonnée en échelle logarithmique (à gauche) et linéaire (à droite).	134
Figure 20 : Profil de réflectivité du contact en Ni/Ti/Al/Ni déposées sur SiC-4H : a) avant recuit superposé à un profil simulé, b) après recuit.	137
Figure 21 : Profil SIMS de contact en Ni/Ti/Al/Ni déposées sur SiC-4H avant recuit.	138
Figure 22 : Profil SIMS de contact en Ni/Ti/Al/Ni déposées sur SiC-4H et après recuit 800 °C pendant 2 minutes sous argon.	138
Figure 23 : Diagramme de diffraction θ -2 θ de contact en Ni/Ti/Al/Ni déposées sur SiC-4H avant recuit.	139
Figure 24 : Diagramme de diffraction θ -2 θ de contact en Ni/Ti/Al/Ni déposées sur SiC-4H après recuit 800 °C pendant 2 minutes sous argon.	140
Figure 25 : Diagramme de diffraction θ -2 θ de contact en Ni/Ti/Al/Ni déposées sur SiC-4H après recuit 700 °C, 800 °C et 900 °C pendant 2 minutes sous argon.	140
Figure 26 : Profil de mesure EDX de contact en Ni/Ti/Al déposées sur SiC-4H après recuit à 800 °C pendant 2 minutes sous argon. L'axe des abscisses représente l'énergie des photons X identifiés en keV et l'axe des ordonnées représente le nombre de coups d'acquisition en unités arbitraires.	141

Figure 27 : Variation de la résistance mesurée entre les plots TLM en fonction de la distance entre les plots TLM à différentes températures de 25 à 300 °C, pour l'empilement Ni(10)/Ti(40)/Al(240)/Ni(10 nm) recuit à 800 °C sous argon.....	143
Figure 28 : Variation de la résistance spécifique de contact et la résistance carrée R_{sh} en fonction de la température de 25 à 300 °C, pour l'empilement Ni(10)/Ti(40)/Al(240)/Ni(10 nm) recuits à 800 °C sous argon.	144

3.1 Introduction

Nous avons vu dans le deuxième chapitre que le contact ohmique sur le SiC-4H type p doit être amélioré et qu'une étude approfondie s'impose. L'obtention d'un contact ohmique de qualité, présentant à la fois une faible résistance de contact et une caractéristique courant-tension (I-V) linéaire, est indispensable à la réalisation de tout bon composant électronique. Cela passe par la maîtrise d'un certain nombre d'étapes de fabrication en passant par le choix du métal, son épaisseur, les traitements thermiques et la préparation des surfaces nécessaires à l'obtention d'une interface métal-semiconducteur, sur la base d'un état de l'art déjà bien abondant et surtout les acquis sur ce sujet au laboratoire Ampère. Ce chapitre, centré sur l'obtention de ce contact et son intégration dans les étapes technologiques, se décompose en plusieurs parties.

L'état de l'art sur le contact ohmique sur SiC ayant été présenté dans le premier chapitre nous allons juste rappeler au début de ce troisième chapitre les études sur ce sujet, précédemment réalisées au laboratoire AMPERE. Suite à ce positionnement, nous montrerons que d'une manière implicite notre choix s'est arrêté sur le contact ohmique formé par l'alliage nickel-titane-aluminium.

Ce chapitre abordera ensuite dans le détail le cas du contact ohmique Ni/Ti/Al sur SiC-4H type P, par la description des procédés de fabrication en présentant les différents outils que nous avons eus à notre disposition : bâti d'évaporation, four de recuit. L'impact des paramètres majeurs que sont, le nettoyage avant dépôt des surfaces de SiC, les épaisseurs respectives et séquences des métaux déposés, les conditions de recuit, sera étudié et évalué par des mesures électriques courant-tension sur des motifs spécialement conçus et réalisés à cet effet.

Ensuite, une partie de ce chapitre sera consacrée à l'étude physico-chimique de l'alliage formé afin d'identifier les phases qui permettent la formation du contact ohmique. Cette étude permettra de conclure sur une combinaison de paramètres favorables à l'obtention d'un procédé de fabrication d'un bon contact ohmique et reproductible.

3.2 Etudes précédentes réalisées au laboratoire Ampère

A travers la littérature, on relève beaucoup de difficultés dans la réalisation des contacts sur le SiC de type P. L'origine de ces problèmes est attribuée à sa large bande interdite et à la difficulté de trouver un métal ayant une affinité électronique pouvant correspondre à celle du SiC pour obtenir un bon contact ohmique sur le type P. Principalement, on trouve dans la littérature, les contacts ohmiques formés à partir des métaux suivants : nickel, aluminium, titane, platine et plus rarement tungstène , cobalt... Ces études sont détaillées dans le premier chapitre. Ci-dessous nous rappelons uniquement le tableau récapitulatif n°9 du premier chapitre.

Poly-type SiC	Composition du contact	Epaisseur du métal (nm)	Concentration du accepteur cm^{-3}	Condition du recuit	Résistance spécifique Ωcm^2	Référence
SiC-4H	Ni-Ti-Al	25-50-300	3.9×10^{18}	800 °C, 30 min à vide	7×10^{-5} CTLM	[Koni 03]
SiC-4H	Ni-Ti-Al	35-50-300	1.3×10^{19}	800 °C, 1 min, à vide	8.20×10^{-4}	[Ito 06]
SiC-4H	Al	160	4.8×10^{18}	1000 °C, 2 min, à vide	4.2×10^{-4} TLM	[John 03]
SiC-4H	Al-Ti-Al	642-330-643	4.8×10^{18}	1000 °C, 120 s, à vide	3.3×10^{-4} TLM	[John 03]
SiC-4H	Ni-Al	50-300	3.9×10^{18}	800 °C, 5-30 min, à vide	9.5×10^{-5} C TLM	[Koni 03]
SiC-4H	Al-Ti	225-25	1.3×10^{19}	1000 °C, 2 min, à vide	3×10^{-5}	[Crof 01]
SiC-4H	Ti-Al	100-300	1×10^{20}	950 °C, 1 min, sous Ar	1.45×10^{-4}	[Fraz 11]
SiC-4H	Al-Ti-Pt-Ni	50-100-25-50	1.5×10^{19}	1000 °C, 2 min, à vide	9×10^{-5} TLM	[Vass 01]
SiC-4H	Ti	100	1.3×10^{19}	800 °C, 1 min, à vide	2.4×10^{-5}	[Crof 97]

Tableau 23 : Etat de l'art des contacts ohmiques sur P-SiC

Remarquons que dans la littérature les auteurs ne sont pas assez rigoureux dans la présentation de la première couche métallique des empilements déposée à la surface du SiC. Rappelons que dans la présentation de nos résultats nous avons choisi la convention de mentionner en premier la première couche déposée sur SiC et en dernier celle qui est à la surface.

Des travaux ont déjà été effectués au laboratoire Ampère pour réaliser des contacts ohmiques sur SiC type P.

3.2.1 Alliage SiC-Al/Ti

Suite à une collaboration avec le CNR - IMM de Bologne (ancien LAMEL) dans le cadre de la thèse de Mihai LAZAR, des contacts ohmiques sur les couches SiC-4H et 6H de type P ont été réalisés, utilisant des alliages Al-Ti. Les résultats de ce travail ont donné lieu à plusieurs publications [Nipo 02, Mosc 05].

Pour le recuit de métallisation, un four de recuit JIPELEC à induction a été utilisé avec une puissance de 20 kW ce qui permet d'avoir des rampes de chauffe très efficaces de 50 à 100 °C/s. Le recuit se fait à partir d'un vide secondaire ou sous argon ultra-pur avec un plateau à 1000 °C pendant 2 min. Les épaisseurs des couches Ti/Al ont été calculées pour avoir un pourcentage de masse atomique autour de 30/70, conforme aux meilleurs contacts publiés en termes de résistance spécifique de contact et reproductibilité [Crof 01]. Les résistances spécifiques de contacts se situent autour de $10^{-4} \Omega \text{ cm}^2$. La figure 1 ci-dessous, présente les résistances de contact spécifiques mesurées sur tous les motifs de tests répartis uniformément à la surface d'une plaquette SiC-4H de 37 mm de diamètre.

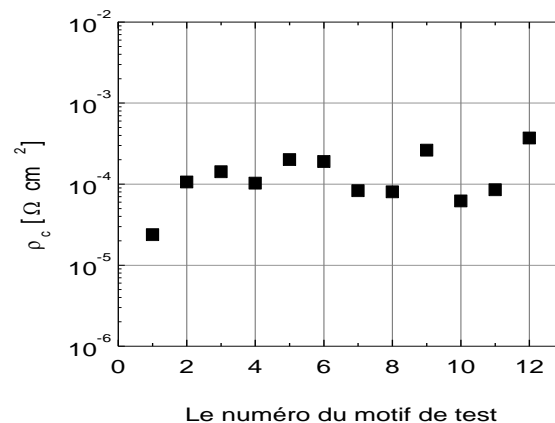


Figure 67 : Résistances de contacts spécifiques mesurées sur des contacts Al/Ti sur SiC-4H après un recuit à 1000 °C pendant 2 min et sous Argon.

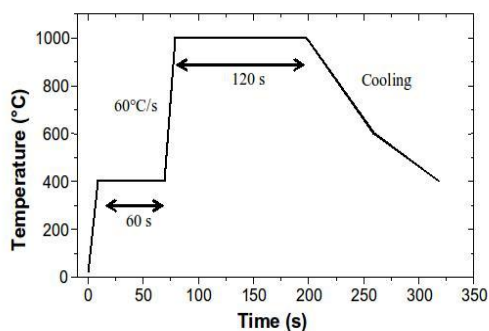
3.2.2 Alliage SiC-Ni/Al

Une étude approfondie du contact ohmique formé par cet alliage sur le SiC de type P a été menée dans le cadre de la thèse de Heu Vang et dont les résultats ont été publiés également dans [Vang 06].

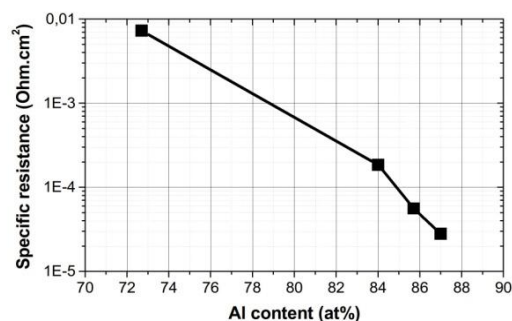
L'influence de l'atmosphère de recuit sur la formation du contact ohmique a été étudiée dans différents fours RTA différents sur des échantillons identiques en termes de dopage. L'ohmicité des contacts a été systématiquement obtenue mais leur qualité dépend de la nature des gaz et de la propreté des fours utilisés pour le recuit post-métallisation. Ainsi pour les échantillons recuits dans un four RTA Addax sous azote, les contacts métalliques

présentent une couche résistive en surface. Ceci rend difficile la prise des contacts qui ne peut être faite qu'une fois cette couche enlevée (grattage mécanique). De plus ces contacts s'oxydent rapidement dans le temps ce qui rend encore plus difficile leur caractérisation électrique. Ce problème n'est pas observé dans le cas des deux autres fours RTA JIPELEC où le recuit se fait sous vide ou sous argon ultra-pur.

Pour améliorer la métallurgie du contact métal-semiconducteur, notons que les auteurs ont proposé la mise en place d'un palier intermédiaire à une température relativement basse (autour de 400 °C) dans le profil de recuit (Figure 2) avant la montée rapide à 1000 °C nécessaire pour former les contacts ohmiques. Des contacts ohmiques ont été obtenus avec une résistance spécifique de contact aussi faible que $3 \times 10^{-5} \Omega \cdot \text{cm}^2$ sur des couches de SiC-4H de type p dopées à $4 \times 10^{19} \text{ cm}^{-3}$ après un recuit à 1000 °C durant 2 min. La figure 3 montre comment la résistance spécifique de contact diminue en augmentant le pourcentage de l'aluminium dans les couches Ni/Al. Pour cette étude l'épaisseur de la couche de nickel a été fixée à 50 nm et l'épaisseur de la couche d'aluminium varie de 200 nm (Al 73 at%⁴) à 500 nm (Al 87 at%).



a)



b)

Figure 68 : Profil du recuit thermique sur les contacts Ni/Al [Vang 06]

Figure 69 : Résistances spécifiques des contacts Ni/Al en fonction du dopage [Vang 06]

3.2.3 Alliage SiC-Ti/Ni

Cet alliage a été étudié dans la perspective de son utilisation dans les composants SiC haute température étudiés dans le projet ANR COTHT pour des contacts à la fois type N et P. Le fonctionnement à haute température a été bien prouvé jusqu'à 600 K.

La résistance spécifique de contact est de l'ordre de $10^{-3} \Omega \cdot \text{cm}^2$, mesurée à température ambiante. Cette résistance est relativement élevée. Celle-ci a été attribuée à la présence d'une couche de graphite à l'interface métal/semiconducteur. Des liaisons C-C ont été mises en évidence par des analyses XPS (X-ray photon spectroscopy) [Mahe 09]. Cette couche se forme à l'interface entre l'alliage Ni/Ti et la surface du SiC après le recuit post-métallisation

⁴ Le symbole at% concerne une concentration atomique et le symbole w% concerne une concentration massique.

comme la relève les résultats des analyses XPS présentés dans la figure 4. Les auteurs notent également la formation de la phase TiC.

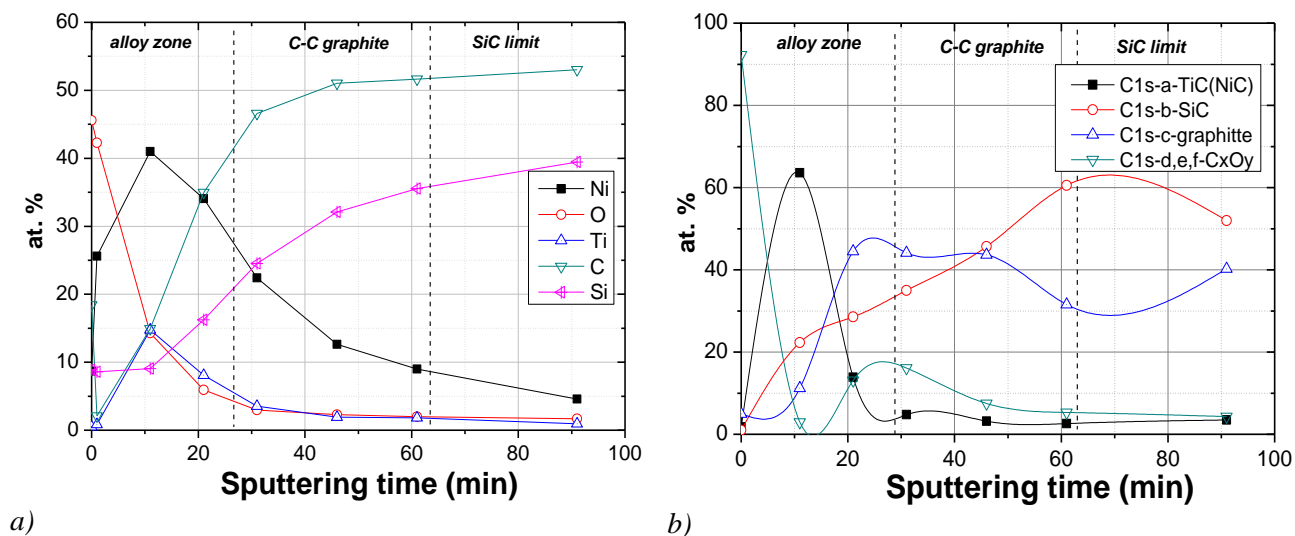


Figure 70 : Profils des éléments (a) et la déconvolution du pic C_{1s} pic (b) obtenus par analyses XPS sur le contact SiC–Ti(48 nm)/Ni(100nm) 2 min à 900°C sous Ar, étudié dans le projet COTHT.

Le tableau suivant récapitule les différents résultats obtenus en termes de résistance spécifique de contact sur les études précédentes réalisées au laboratoire AMPERE :

Alliage	Résistance spécifique	Référence
Al-Ti	$10^{-4} \Omega \cdot \text{cm}^2$	[Nipo 02, Mosc 05].
Ni-Al	$3 \times 10^{-5} \Omega \cdot \text{cm}^2$	[Vang 06]
Ti-Ni	$10^{-3} \Omega \cdot \text{cm}^2$	[Mahe 09]

Tableau 24 : Les différentes alliages étudiés par le passé au laboratoire AMPERE pour la formation des contacts ohmiques sur le SiC type P et les résistances spécifiques obtenues.

Comparativement aux valeurs données dans la littérature (tableau état de l'art), les résultats obtenus au laboratoire Ampère se situent encore une décade au-dessus. Ceci indique un besoin d'améliorer ce contact pour nos futurs composants.

3.3 Réalisation du contact ohmique Ni/Ti/Al sur SiC-4H type P.

Suite aux résultats que nous avons trouvés dans la littérature (présentés dans le premier chapitre) et à ceux obtenus lors des études précédentes au laboratoire que nous venons de présenter, nous avons choisi de nous focaliser sur la formation des contacts ohmiques sur le SiC type P basés sur un alliage nickel, titane et aluminium. Cet alliage est intéressant par le fait qu'il nécessite un budget thermique plus faible (contacts ohmiques obtenus dès 800 °C) et les phases formées à l'interface métal/semiconducteur sont stables à haute température (Ti_3SiC_2).

3.3.1 Préparation des échantillons et procédé de réalisation des contacts

La quasi-totalité des procédés technologiques pour la formation des contacts métalliques ont été réalisés sur la plateforme NanoLyon qui dispose de tous les équipements nécessaires. Parmi ceux-ci notons les bords de dépôt, photolithographie, la gravure sèche, les nettoyages chimiques et les fours de recuits classiques ou rapides sous atmosphères contrôlées.

3.3.1.1 Présentation des substrats utilisés

Au cours de ce travail, nous avons réalisé les dépôts métalliques sur des substrats de SiC-4H de type P, fortement dopés ($3 \text{ à } 4 \times 10^{19} \text{ cm}^{-3}$). Ces dopages sont réalisés par implantation ionique d'aluminium à l'Institut de Physique Nucléaire de Lyon (figure 5a) et par épitaxie CVD à l'Université suédoise de Linköping (figure 5b). Nous avons choisi d'avoir le même dopage P^+ sur les échantillons implantés et épitaxiés.

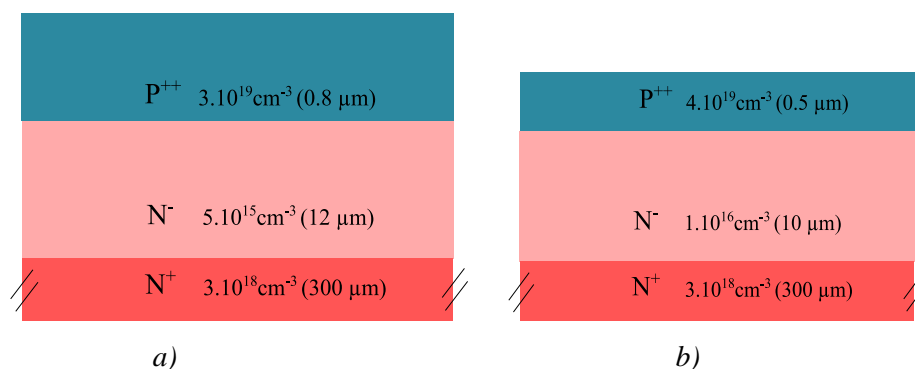


Figure 71 : Structure des échantillons avec les couches P^+ en surface : a) épitaxiés b) implantés.

Dans les deux cas sur les échantillons SiC-4H, la couche P^+ en surface, est isolée du substrat N^+ par une couche épitaxiée de type N avec un faible dopage.

Sur les échantillons implantés, un recuit post-implantation a été effectué avec une couche d'encapsulation en graphite. Cette couche protectrice a été réalisée par un dépôt de résine AZ5214E (Hoechst GmbH) suivi par un recuit à 750 °C durant 30 minutes dans un four

sous vide primaire [Oliv 07]. Ensuite le recuit post implantation à 1700 °C a été réalisé dans un four à induction. La couche carbonée est alors éliminée par une attaque plasma O₂, et la surface du SiC est désoxydée par un nettoyage chimique au BOE (Buffered Oxide Etch). Ce procédé sera détaillé dans le chapitre 4, nous avons précisé ici uniquement les étapes critiques pour la formation du contact ohmique en surface.

3.3.1.2 Préparation des échantillons

Avant le dépôt des métaux, tous les échantillons ont subi une étape préliminaire de nettoyage afin de se débarrasser des impuretés à la surface de SiC-4H. Les échantillons ont été nettoyés avec des procédés chimiques inspirés de ceux utilisés pour nettoyer le silicium [Bau 03]. Les étapes de ce nettoyage sont indiquées dans le tableau suivant :

Etape	Fonction	Produit et concentration	Température et durée
RCA ₁ Rinçage	Enlever des particules organiques	NH ₄ OH : H ₂ O ₂ : H ₂ O (1:1:6) eau désionisée	70 °C-10 min 25 °C-5 min
RCA ₂ Rinçage	Enlever des particules métalliques lourdes	HCL:H ₂ O ₂ : H ₂ O (1:1:5) eau désionisée	70 °C-10 min 25 °C-5 min
CARO Rinçage	Enlever des particules organiques et métalliques	H ₂ SO ₄ :H ₂ O ₂ (2:1) eau désionisée	100 °C-10 min 25 °C-5 min
BOE Rinçage	Retrait de l'oxyde SiO ₂	BOE (tampon NH ₄ F et HF) eau désionisée	25 °C-5 min 25 °C-5 min

Tableau 25 : Procédé de nettoyage des échantillons SiC.

Les bains de nettoyage RCA₁ et RCA₂ ont été proposés par Kern en 1970 [Kern 70]. La solution RCA₁ à base d'ammoniaque est nécessaire pour enlever les particules organiques, et la solution RCA₂ composée d'acide chlorhydrique élimine les traces de métaux lourds. Le nettoyage CARO a pour but d'éliminer les composés organiques et les métaux de la surface. Le bain de BOE à la fin de chaque procédé est effectué afin d'éliminer une éventuelle couche d'oxyde (notamment le SiO₂). La surface SiC ainsi nettoyée selon cette procédure constitue la surface 'standard' avant dépôt.

3.3.1.3 Procédé de réalisation des contacts

Des structures TLM ont été réalisées sur les couches SiC-4H de type P, pour tester l'ohmicité des contacts. Cette structure est détaillée dans la figure 6 en précisant notamment les distances variables entre les plots métalliques. Pour s'approcher d'un modèle

unidimensionnel, nous avons des plots proches de la limite des zones P⁺ (20 μm) et beaucoup plus larges (500 μm) que leur longueur⁵ (80 μm). Dans ces structures la couche P⁺ est également isolée latéralement soit par la jonction p/n créée par le procédé d'implantation lui-même soit en formant des mesas par une gravure sèche (RIE) des couches épitaxiées.

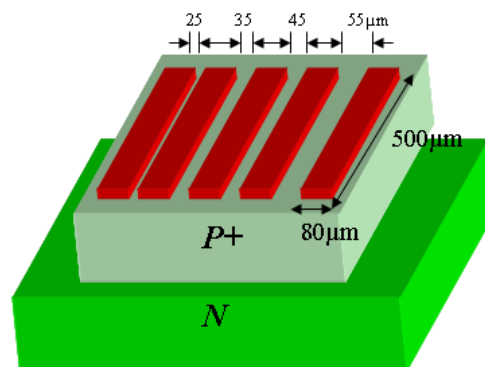


Figure 72 : Structure TLM avec 5 plots

Deux niveaux de masques lithographiques ont été utilisés pour réaliser les motifs mesa et les plots métalliques (figure 7).

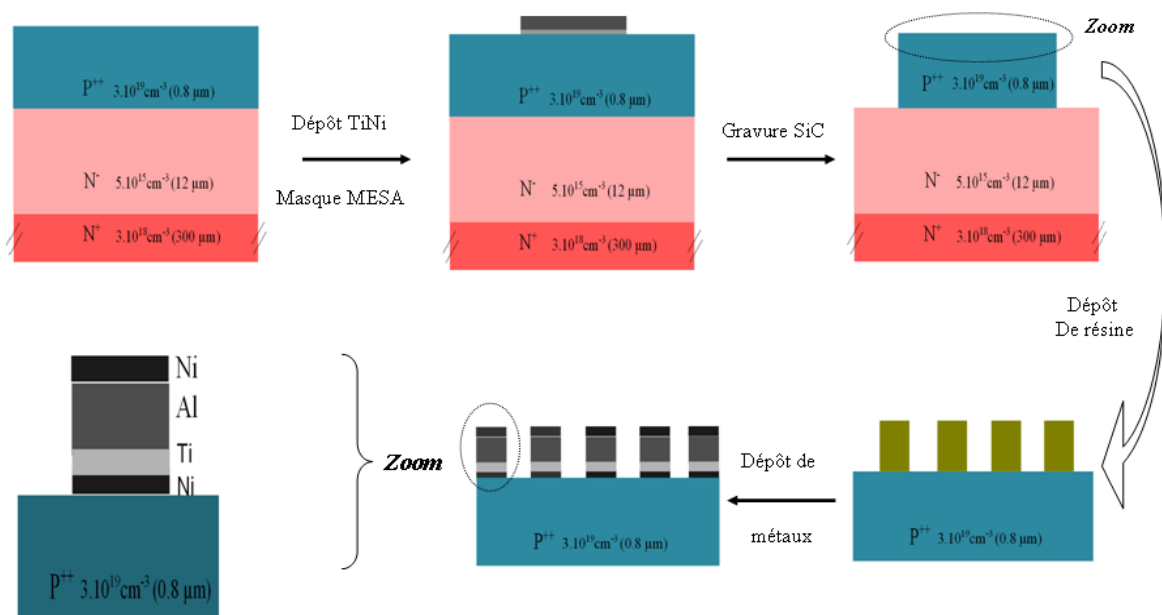


Figure 73 : Les étapes technologiques pour réaliser les structures TLM.

Nous avons utilisé du Ti/Ni pour protéger les zones non-gravées lors de la définition des zones mesas. Le procédé de gravure sera également détaillé dans le chapitre 4. Le procédé, basé sur une technique lift-off, consiste à déposer 1,3 μm de résine réversible AZ5214E (Hoechst GmbH) avec la tournette, l'insoler à travers le masque en quartz et la développer. Ensuite les couches métalliques ont été déposées et les motifs ont été formés par le soulèvement de la résine (à l'acétone).

⁵ La longueur est dans le sens du courant et la largeur est perpendiculaire à la direction du courant.

3.3.1.3.1 Dépôt des métaux :

Nous avons testé plusieurs alliages à base de nickel (Ni), titane (Ti), aluminium (Al). Sur un lot d'échantillons nous avons également ajouté le platine (Pt) qui comme nous l'avons vu au premier chapitre présente a priori un meilleur travail de sortie pour le SiC de type P. La nature et la qualité des métaux à déposer ainsi que la nécessité de ne pas dégrader les motifs TLM résinés en cours de dépôt, notre choix s'est porté sur un bâti d'évaporation par "e-beam" (par faisceau d'électrons - figure 8) sous vide secondaire. Le vide limite de la chambre est de l'ordre 10^{-7} mbar. Dans ces conditions, les vitesses de dépôt des différents métaux varient entre 0,5 à 1,5 Å/s à une pression de chambre de l'ordre de 10^{-6} mbar.

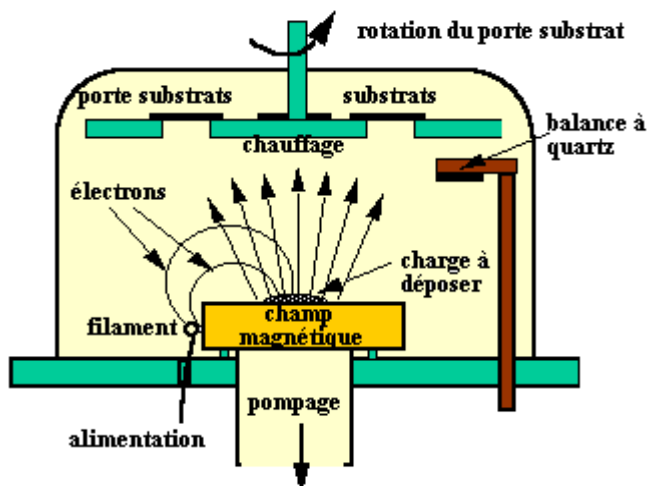


Figure 74 : Principe du dépôt par "e-beam" [Bonn 13]

Dans le tableau suivant est présentée une synthèse des échantillons étudiés avec les détails sur les paramètres des empilements métalliques : épaisseur et ordre de dépôt des couches. Dans le choix de ces paramètres nous nous sommes basés sur des données trouvées dans la littérature (exposés précédemment et dans le premier chapitre) et en les adaptant à nos équipements. Notamment l'article de synthèse des contacts ohmiques sur le SiC de Roccaforte et al. [Rocc 05] a été pour nous un réel support.

Nous remarquons la présence de deux familles d'alliages présentées dans le Tableau 4. La première présente deux alliages avec du titane à l'interface SiC-métal. Parmi ces deux alliages nous avons testé une composition où le platine a été ajouté. Pour la deuxième famille d'alliages étudiés, nous avons le nickel à l'interface avec le SiC. Sur cette dernière nous avons fait varier les épaisseurs des couches tout en gardant constantes les proportions entre les trois éléments. Sur une partie de ces alliages nous avons récupéré une partie de la couche de nickel qui était à la interface avec le SiC pour la poser à la surface de l'empilement. Cette raison est expliquée en détails dans les paragraphes ci-après.

Echantillons SiC-4H type P	Composition du métal	Epaisseur du métal (nm)
022010 : Couche p+ implantée	(SiC)-Ti-Al-Ti-Pt-Ni	4-60-100-25-25
012010 : Couche p+ implantée	(SiC)-Ti-Al-Ti-Ni	5-60-30-100
AE069502A : Couche p+ implantée	(SiC)-Ni-Ti-Al	25-50-300
X405A : Couche p+ épitaxiée	(SiC)-Ni-Ti-Al	12,5-25-150
AE069502B : Couche p+ implantée	(SiC)-Ni -Ti-Al- Ni	12,5-50-300-12,5
X405B' : Couche p+ épitaxiée	(SiC)-Ni -Ti-Al- Ni	5-20-120-5
X405B : Couche p+ épitaxiée	(SiC)-Ni -Ti-Al- Ni	10-40-240-10

Tableau 26 : Descriptif des différents échantillons réalisés dans le cadre de l'étude des contacts ohmiques Ni/Ti/Al sur SiC-4H type P.

3.2.1.3.2 Le recuit (description des fours utilisés)

Les recuits des ces contacts ont été réalisés dans des fours RTA à lampes halogènes. Les fours utilisés (figure 9) ont été :

- Nanolyon : Jipelec Fav4, JPELEC JetStar
- LMI, UCBL : AnnealSys AS-One

Ces fours permettent d'avoir des rampes de chauffe supérieures ou égales à 50 °C/s sous atmosphère contrôlée (argon ou vide). Ils sont contrôlés en température, à l'aide d'un capteur qui peut être soit un pyromètre soit un thermocouple. Pendant le recuit les échantillons sont déposés sur un suscepteur en graphite.

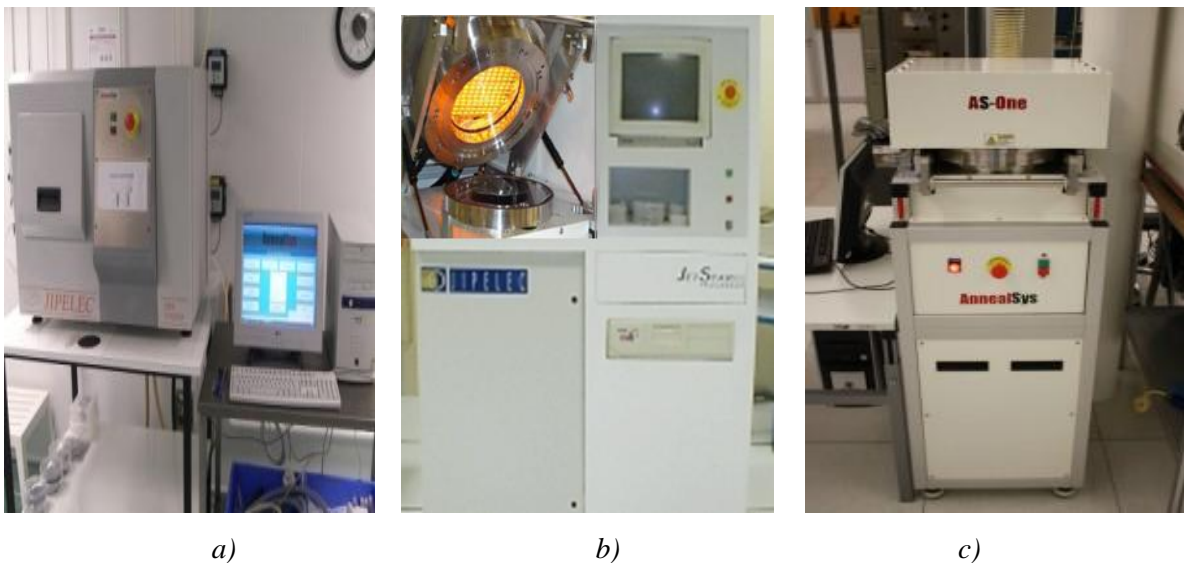


Figure 75 : Fours utilisés: a) Jipelec Fav4 b) Jipelec JetStar c) AnnealSys AS-One.

Le procédé de recuit thermique se déroule en plusieurs étapes (figure 10). La première consiste à faire plusieurs itérations de vide dans la chambre, à l'aide d'une pompe primaire, afin d'évacuer les particules contenues dans la chambre. Ensuite, par injection d'argon, la chambre est remise à pression atmosphérique ou contrôlée. La montée en température peut ensuite être réalisée.

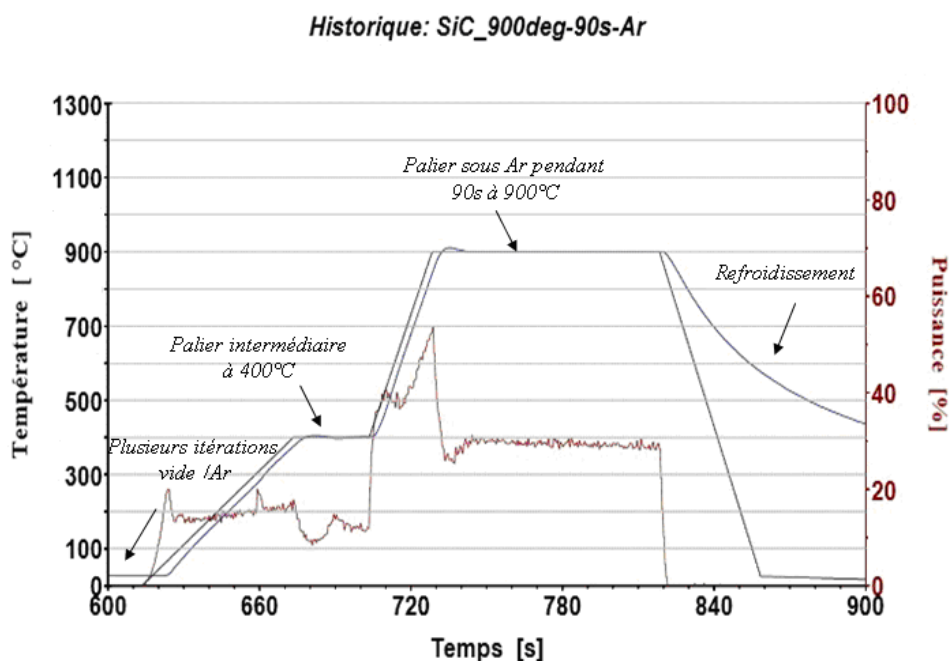


Figure 76 : Profil d'un recuit à 900 °C pendant 2 min sous Argon avec 2 paliers.

Avec l'expérience des études précédentes au laboratoire nous avons choisi d'utiliser deux paliers. Nous avons volontairement introduit un palier intermédiaire à une température relativement basse à 400 °C. Ce palier correspond également à la température d'accroche du pyromètre, il permet aussi un préchauffage des lampes qui vont être plus réactives lors de la deuxième rampe de montée rapide (typiquement 50 °C/s). On limite ainsi un dépassement de la consigne (*overshoot*) de la température du recuit du deuxième palier située pour notre étude entre 700 °C et 1000 °C. Cette température de recuit est maintenue pendant quelques minutes (1 à 2 min) suivie par une coupure de puissance pour passer au refroidissement. Ainsi cette dernière phase n'est pas contrôlée en température.

Par contre la descente en température est maintenue sous argon jusqu'à l'ambiante.

3.3.2 Caractérisation électrique des contacts

Les contacts qui ont été réalisés sur le SiC P⁺ ont été testés d'abord par des mesures électriques. Nous avons ainsi vérifié l'ohmicité des contacts et ajusté le procédé technologique par rapport aux résultats obtenus.

Nous avons utilisé le même banc sous pointes présenté dans le deuxième chapitre pour réaliser des mesures courant-tension. Les structures TLM ont été systématiquement testées après chaque procédé de recuit. Nos recuits sont donc cumulatifs. C'est-à-dire que si après cette étude nous avons trouvé une température optimale de recuit il faut tenir compte du fait que précédemment ces contacts ont vu également des recuits à des températures plus faibles.

3.3.2.1 Mesure I(V) à 25 °C

Les caractéristiques courant-tension mesurées entre les plots de TLM sont reportées dans les figures suivantes. Pour mieux mettre en relief nos résultats nous avons choisi de dupliquer nos figures qui montrent la variation des caractéristiques I (V) avec la température de recuit post-métallisation. Ainsi sur la même représentation graphique nous pouvons d'abord voir en couleur foncée les courbes I (V) entre les différents plots TLM, obtenues après une certaine température de recuit post-métallisation. Ces courbes sont superposées aux I (V) présentées en couleurs grises qui ont été obtenues sur ces mêmes échantillons après d'autres recuits post-métallisation.

Ainsi nous pouvons observer si le recuit de métallisation provoque la formation d'un contact ohmique (courbes I (V) linéaires) et l'évolution de ce contact avec la température de recuit.

Nous avons commence par la première famille avec les empilements Ti/Al/Ti/Pt/Ni et Ti/Al/Ti/Ni, disposant le titane à l'interface avec le SiC. Les résultats sont représentés sur les figures 11 et 12. Ces mesures révèlent des caractéristiques non linéaires pour les différentes températures de recuits étudiés. Ainsi avec ces deux empilements nous n'avons pas pu obtenir des contacts ohmiques. Nous remarquons que pour le premier empilement Ti/Al/Ti/Pt/Ni les niveaux des courants diminuent avec l'augmentation de la température du recuit de métallisation. Ceci montre une détérioration des contacts.

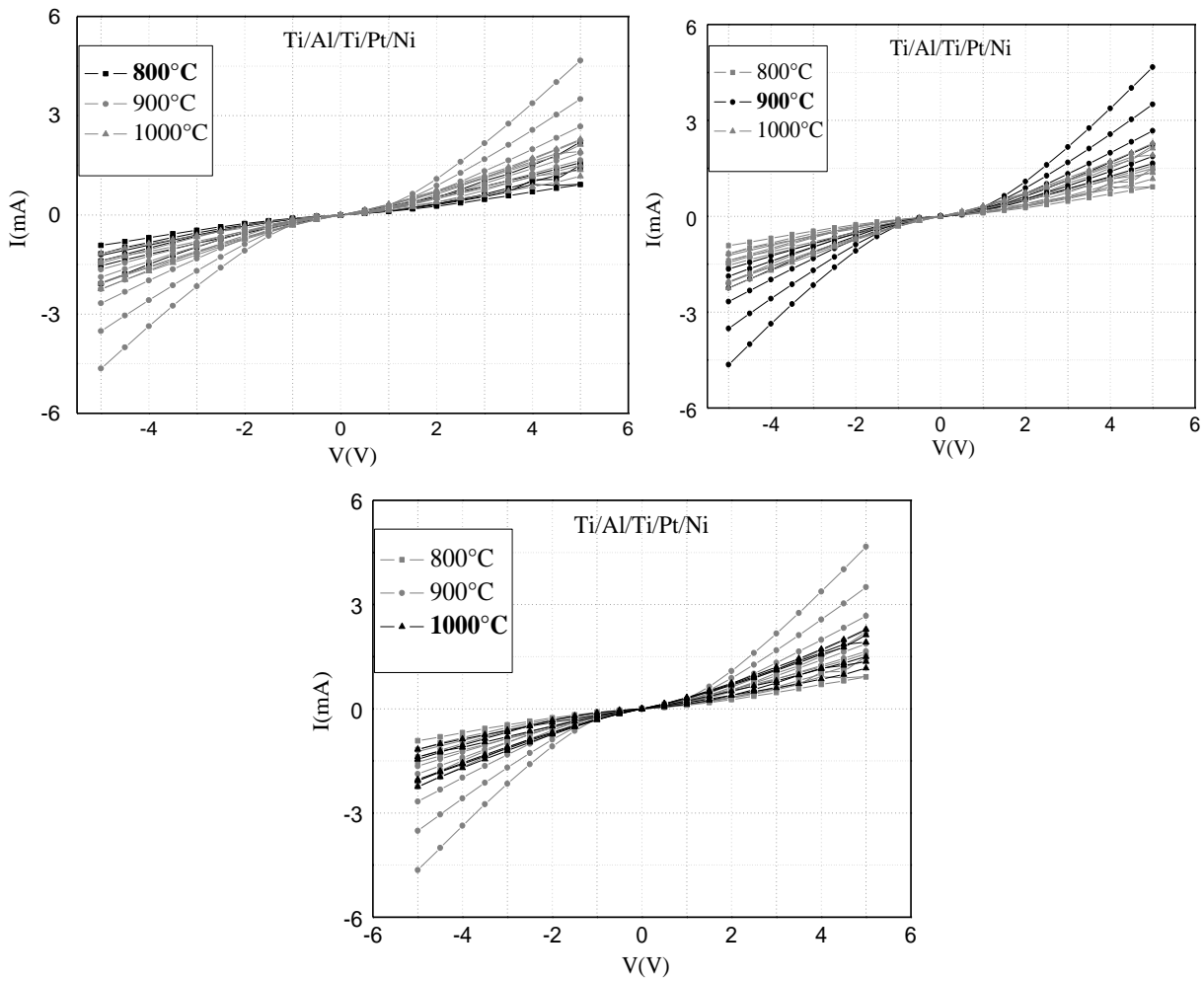


Figure 77 : Mesure I(V) des empilements Ti/(40)/Al(60)/Ti(100)/Pt(25)/Ni(25 nm), recuits à 800 °C , 900 °C et 1000 °C sous argon.

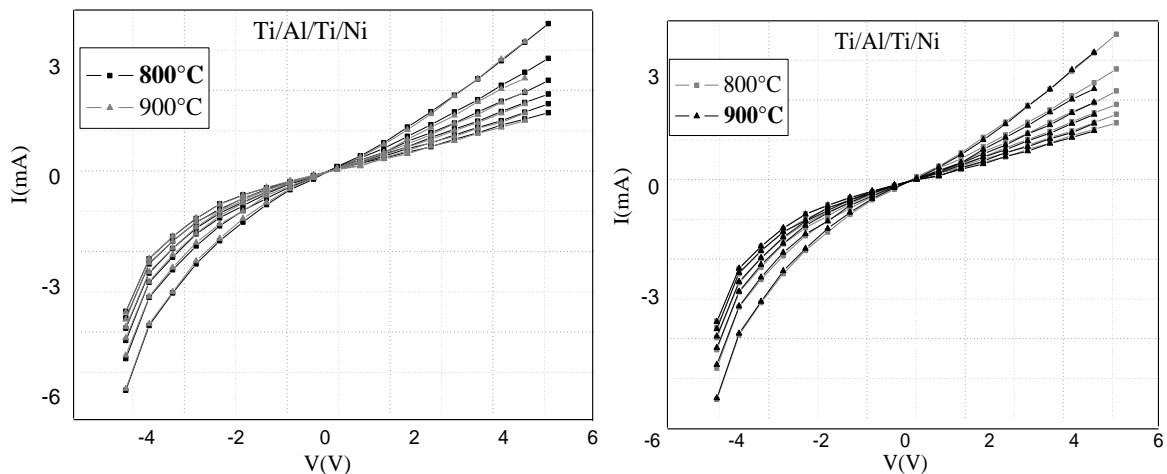


Figure 78 : Mesure I(V) des empilements Ti/(50)/Al(60)/Ti(30)/Ni(100), recuits à 800 °C et 900 °C sous argon.

Si un contact direct du titane à la surface du SiC ne nous a pas permis d'obtenir un contact ohmique, sur l'autre famille des contacts avec la présence du nickel à l'interface avec le SiC, les mesures révèlent des caractéristiques linéaires. Il semblerait donc que nickel à l'interface SiC-contact métallique favorise la formation d'un bon contact ohmique.

Les résultats typiques obtenus sur les empilements Ni/Ti/Al et Ni/Ti/Al/Ni sont montrés dans les figures 13 et 14 présentées ci-dessous.

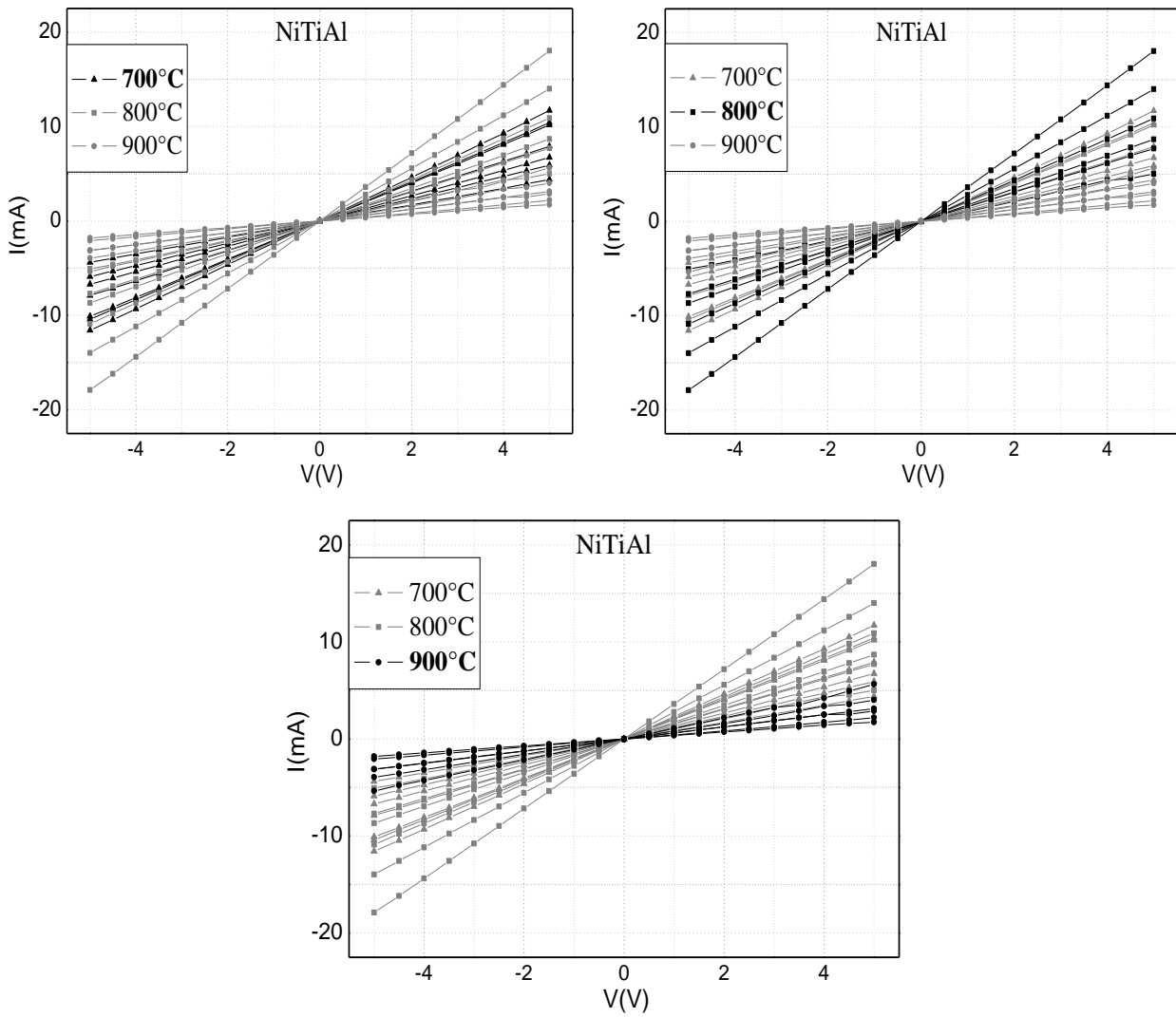
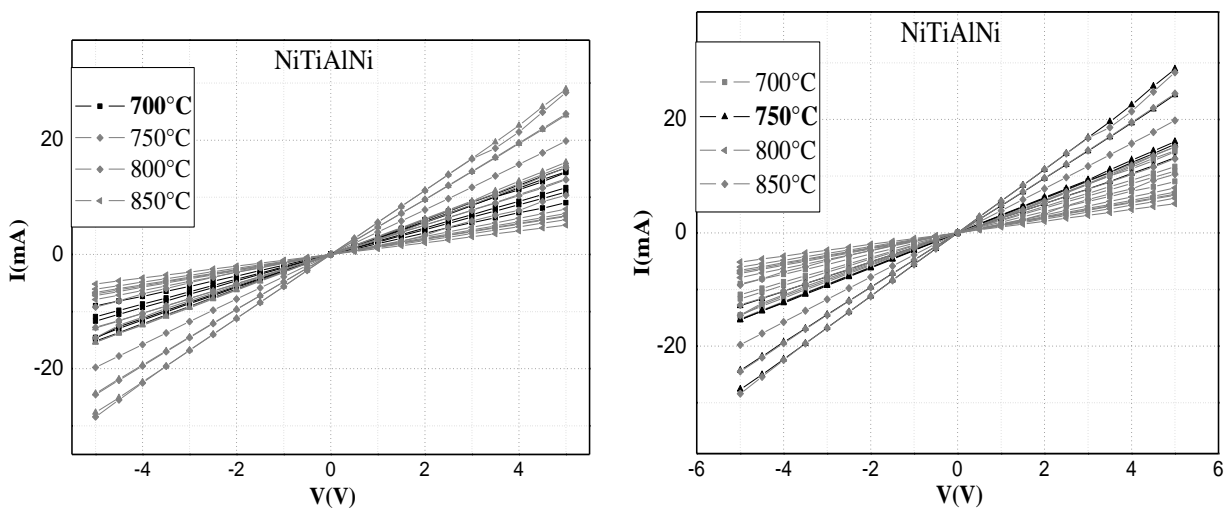


Figure 79 : Mesure I(V) des empilements Ni(12.5)/Ti/(50)/Al(300), recuits à 700 °C, 800 °C et 900 °C sous Argon.



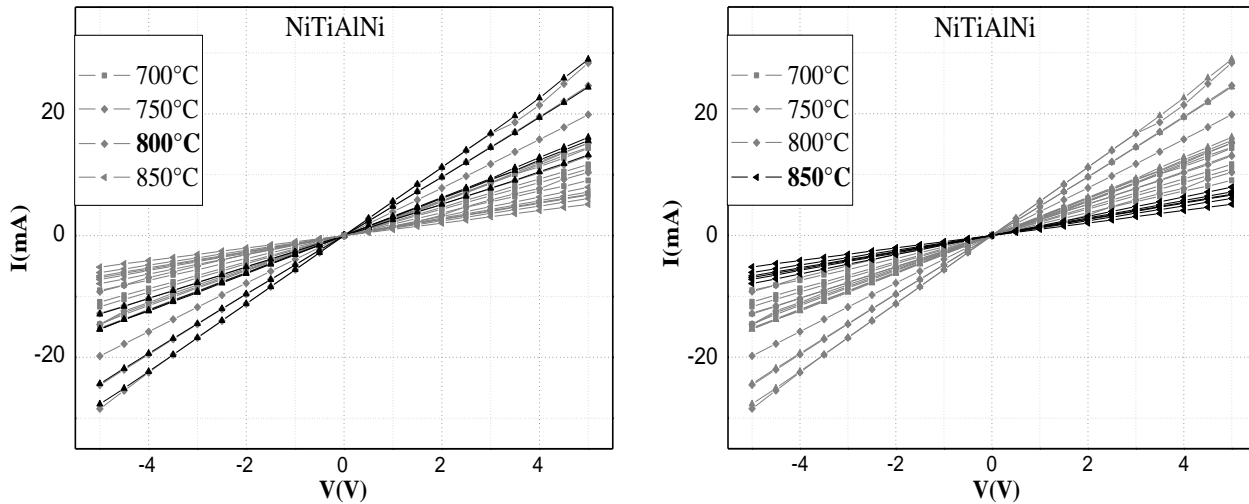


Figure 80 : Mesure $I(V)$ des empilements $Ni(10)/Ti(40)/Al(240)/Ni(10\text{ nm})$, recuits de $700\text{ }^{\circ}\text{C}$ à $850\text{ }^{\circ}\text{C}$ sous Argon.

Les courbes $I(V)$ obtenus, montrent une symétrie parfaite qui dénote ainsi l'ohmicité des contacts quelle que soit la température de recuit des échantillons (plage $700\text{-}900\text{ }^{\circ}\text{C}$). Pour mieux comprendre la formation du contact ohmique et l'influence de la température, nous avons étudié chacun de ces empilements. Suite aux résultats que nous avons obtenus nous avons dû changer les épaisseurs des métaux déposés tout en gardant le pourcentage et la proportion de chacun.

3.3.2.1.1 Contact avec les empilements Ni/Ti/Al

Après plusieurs échantillons réalisés et recuits sur les deux fours JIPELEC nous avons décelé une difficulté dans la reproductibilité des contacts. Celle-ci a été due à la présence après recuit, d'une couche isolante en surface sur les plots TLM. La présence de cette couche isolante rend difficile la prise des contacts qui ne peut être faite qu'une fois cette couche est enlevée mécaniquement (grattage forcée du contact en surface). Nous avons tenté de l'enlever sans succès par gravure chimique en utilisant différentes solutions. Nous avons eu plus de réussites en utilisant une RIE Ar/H_2 .

Typiquement sur la figure 15 nous présentons une non-cohérence de mesure sur une structure TLM avec une métallisation présentant une couche isolante en surface. Les caractéristiques $I(V)$ ne sont pas dans l'ordre de variation de la distance entre les plots TLM. Les courbes $I(V)$ mesurées entre les plots extrêmes (25 et $75\text{ }\mu\text{m}$) présentées dans l'ellipse de la figure sont anormalement plus résistives que les autres.

Remarquons que dans cette partie, nous nous limitons aux analyses des caractérisations électriques. Des analyses physico-chimies plus approfondies ont été menées pour comprendre l'origine de cette couche isolante. Ces résultats sont présentés dans la dernière partie de ce chapitre.

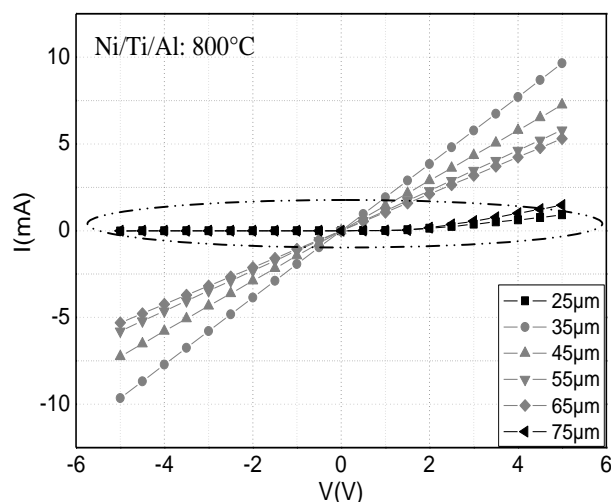


Figure 81 : Mesure $I(V)$ des empilements Ni(12,5)/Ti(25)/Al(150), recuits à 800 °C sous argon

Pour éviter l'oxydation en surface de l'aluminium sans doute à l'origine du phénomène observé, nous avons décidé d'ajouter en fin d'empilement le dépôt d'une couche de nickel pour réaliser une sorte d'encapsulation ("capping"). Les résultats sont donnés dans le paragraphe suivant.

3.3.2.1.2 Contact avec les empilements Ni/Ti/Al/Ni

Plusieurs séquences avec des épaisseurs différentes ont été testées tout en gardant les proportions entre les 3 éléments par rapport à l'empilement Ni/Ti/Al présenté dans le paragraphe précédent:

Echantillons SiC-4H type P	Composition du métal	Épaisseur du métal (nm)
X405B' : Couche p ⁺ épitaxiée	(SiC)-Ni -Ti-Al- Ni	5-20-120-5
X405B : Couche p ⁺ épitaxiée	(SiC)-Ni -Ti-Al- Ni	10-40-240-10
AE069502B : Couche p ⁺ implantée	(SiC)-Ni -Ti-Al- Ni	12,5-50-300-12,5

Tableau 5 : Les différents empilements Ni/Ti/Al/Ni

Nous avons retrouvé la formation de la couche isolante notamment sur les parties extrêmes des plots (proches de la gravure mesa) dans le cas des faibles valeurs des épaisseurs de couches de nickel (5 nm). Par la suite nous avons augmenté la quantité du nickel à la surface afin d'éviter l'oxydation de l'aluminium. Les résultats que nous avons obtenus

confirment que ce phénomène est évité systématiquement pour des épaisseurs de nickel supérieures ou égales à 10 nm.

Pour ces empilements Ni/Ti/Al/Ni, nous avons essayé de garder également une quantité de nickel suffisante à l'interface avec le SiC puisque nous avons montré précédemment que sa présence est indispensable.

Les mesures de résistance spécifique obtenues ont été faites pour des recuits réalisés dans les trois fours RTA. Les résultats obtenus sont équivalents. Ceci prouve que nous avons obtenu une métallurgie reproductible qui nous a permis ensuite d'extraire avec précision les résistances spécifiques de contact et regarder l'influence de la température de recuit sur ce paramètre. Ces résultats sont présentés dans le paragraphe suivant.

3.3.2.1.2.1 Influence de la température de recuit sur la résistance spécifique de contact.

Nous avons fait varier la température de recuit entre 700 et 900 °C. La résistance spécifique de contact a été extraite pour des mesures I (V) effectuées à température ambiante.

La résistance spécifique de contact a été extraite sur des structures TLM (figure 6), suivant la méthode présentée dans l'annexe 1. La figure 16 présente la variation de la résistance entre les plots avec la distance entre les plots pour les différentes températures de recuit. Nous remarquons la bonne linéarité des courbes obtenues après des recuits entre 700 et 800 °C ce qui montrent la qualité de nos contacts.

A partir de 850°C nous observons une augmentation de la résistance entre les plots, ce qui nous fait remarquer une dégradation du contact à partir de cette température.

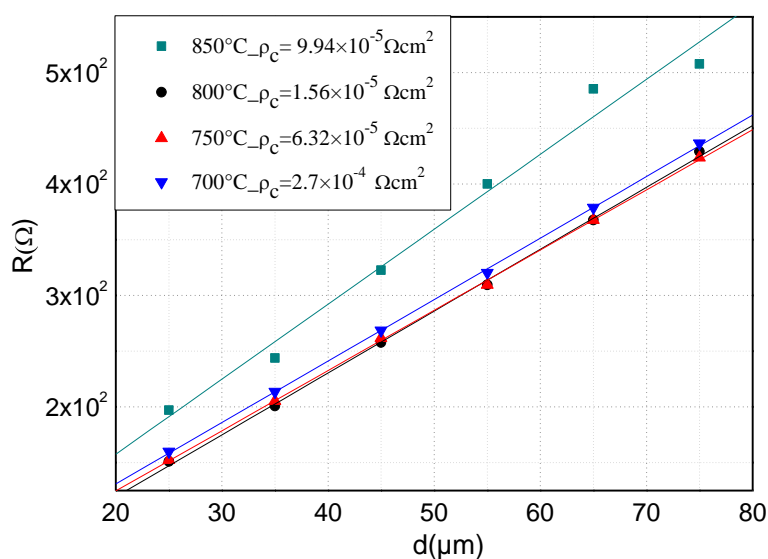


Figure 82 : La variation de la résistance entre les plots TLM et l'extraction de la résistance spécifique de contact pour les empilements Ni(10)/Ti(40)/Al(240)/Ni(10 nm) recuits à différentes températures comprises entre 700 °C et 850 °C.

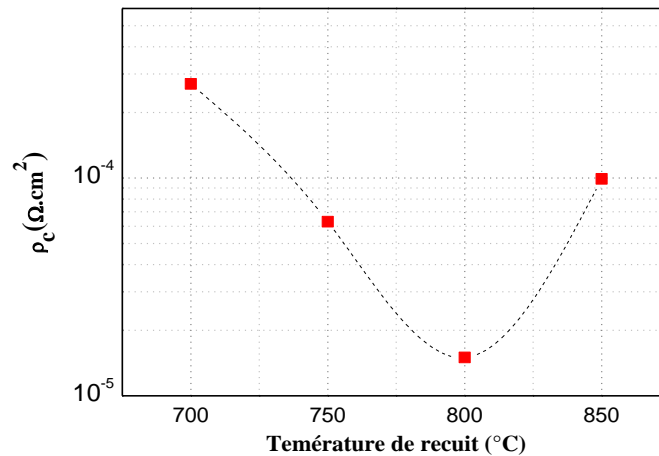


Figure 83 : Influence de la température de recuit sur la résistance spécifique de contact des empilements Ni(10)/Ti(40)/Al(240)/Ni(10 nm)

Dans la figure 17 nous avons tracé la résistance spécifique de contact en fonction de la température de recuit. La résistance spécifique de contact diminue avec l'augmentation de la température de recuit jusqu'à une valeur minimale de $1.5 \times 10^{-5} \Omega \cdot \text{cm}^2$ obtenue pour 800 °C afin d'augmenter de nouveau à partir de cette température. La température optimale du recuit pour obtenir un contact ohmique se situe donc vers 800 °C.

Pour confirmer la dégradation des contacts ohmiques pour des recuits supérieurs à 800 °C, nous avons profité de la présence de diodes bipolaires sur le jeu de masques utilisé pour la fabrication des structures TLM (figure 18). Nous avons testé les caractérisations électriques I (V) en direct de ces diodes bipolaires fabriquées en même temps avec les structures TLM.

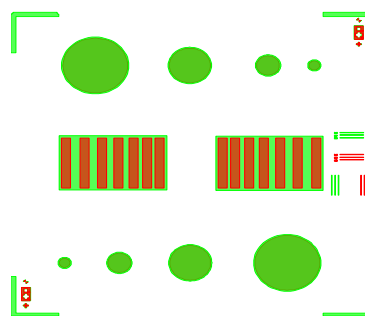


Figure 84 : Jeu de masques utilisé pour la fabrication des structures TLM et des diodes bipolaires. La taille du champ élémentaire présenté est de $3 \times 3 \text{ mm}^2$.

Des mesures I (V) effectuées sur une diode bipolaire de diamètre 360 μm , pour une tension appliquée de -5 à 5 V sont présentées sur la figure 19.

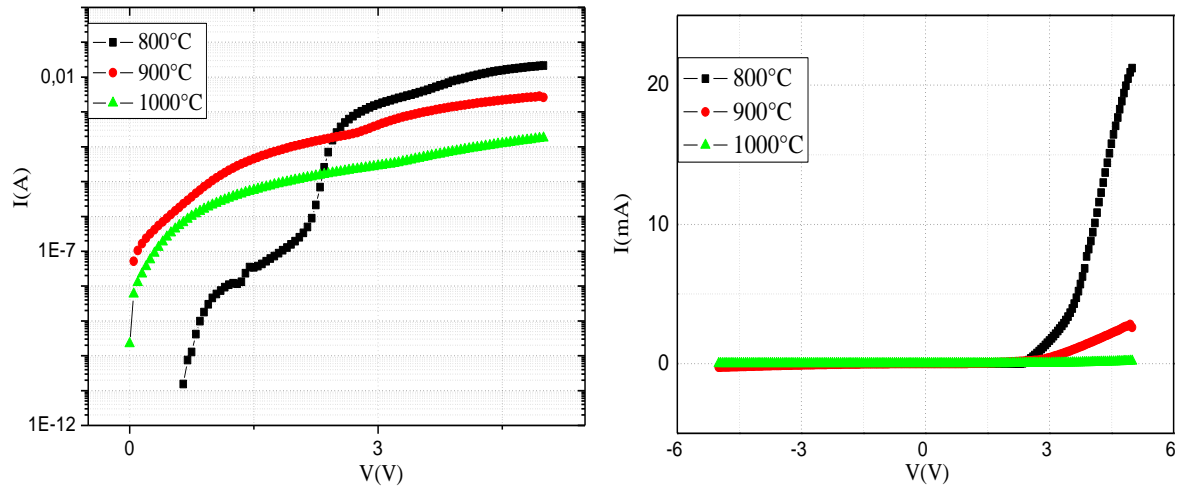


Figure 85 : Mesure $I(V)$ sur une diode bipolaire d'un diamètre de $360\mu\text{m}$, en fonction de la température de recuit. Les caractéristiques sont représentées avec une ordonnée en échelle logarithmique (à gauche) et linéaire (à droite).

Ces mesures montrent également une dégradation des caractéristiques en direct pour des températures de recuit supérieures à 800°C . Sous une polarisation de $+5\text{ V}$, le courant diminue de $0,02\text{ A}$ pour un recuit de 800°C à 2 mA pour un recuit de 900°C et à $0,2\text{ mA}$ pour un recuit à 1000°C .

3.3.2.1.2 Tableau récapitulatif

Dans le tableau ci-dessous nous synthétisons les différents résultats que nous avons obtenus sur les alliages à base de nickel, titane et aluminium que nous avons étudiés:

Polytype	Composition du métal	Epaisseur du métal (nm)	Concentration du dopage cm^{-3}	Condition du recuit	Résistance spécifique Ωcm^2
SiC-4H Couche p^+ implanté 022010	(SiC)-TiAlTiPtNi	4-60-100-25-25	4×10^{19}	JetStar : 800, 900 et 1000 °C ; sous Argon 10% sccm, 90 sec	non ohmique
SiC-4H Couche p^+ implanté 012010	(SiC)-TiAlTiNi	5-60-30-100	4×10^{19}	JetStar : 800, 900 et 1000 °C ; sous Argon 10% sccm, 90 sec	non ohmique
SiC-4H Couche p^+ implanté AE069502A	(SiC)-NiTiAl	25-50-300	4×10^{19}	Fav4 : 800, 900 °C sous Argon 10% sccm, 120 sec	$6,5 \times 10^{-5}$
SiC-4H Couche p^+ épitaxié 405A	(SiC)-NiTiAl	12,5-25-150	3×10^{19}	JetStar : 750, 800 °C ; sous Argon 10% sccm, 90 sec	$1,1 \times 10^{-4}$
SiC-4H Couche p^+ implanté AE069502B	(SiC)-NiTiAlNi	12,5-50-300-12,5	4×10^{19}	Fav4 : 800, 900 et 1000 °C sous Argon 10% sccm, 120 sec	$8,5 \times 10^{-5}$
SiC-4H Couche p^+ épitaxié 405B	(SiC)-NiTiAlNi	10-40-240-10	3×10^{19}	Fav4 : 700 °C sous Argon 10% sccm, 120 sec	$1,4 \times 10^{-4}$
SiC-4H Couche p^+ épitaxié 405B'	(SiC)-NiTiAlNi	5-20-120-5	3×10^{19}	JetStar : 700, 750, 800 et 850 °C ; sous Argon 10% sccm, 90 sec	$1,9 \times 10^{-4}$
SiC-4H Couche p^+ épitaxié 405B	(SiC)-NiTiAlNi	10-40-240-10	3×10^{19}	JetStar : 700, 750, 800 et 850 °C ; sous Argon 10% sccm, 90 sec	$1,5 \times 10^{-5}$

Tableau 27 : Les différents empilements étudiés et les résistances spécifiques obtenues.

3.3.3 Analyses physico-chimiques des contacts

Dans la section précédente nous avons montré le rôle important joué par le nickel : à l'interface pour la formation du contact ohmique et à la surface pour éviter la formation d'une couche isolante avec l'aluminium. Ces résultats nous les avons mis en évidence uniquement par les mesures électriques effectuées durant l'optimisation de cette étape technologique.

Des analyses physico-chimiques de ces contacts ont été faites également pour mieux comprendre les mécanismes et identifier les phases responsables de la formation du contact ohmique. Nous avons surtout voulu comprendre la formation des couches isolantes en surface et le rôle du nickel pour éviter ce phénomène.

3.3.3.1 Analyses SIMS

Pour suivre quantitativement l'évolution des profils des éléments dans les contacts que nous avons formés, nous pouvons utiliser la spectroscopie de masse d'ions secondaires (SIMS). C'est une méthode destructive, l'échantillon est bombardé par un faisceau ionique primaire qui creuse un cratère à la surface étudiée. Une partie de la matière est convertie en ions secondaires. Ces ions secondaires sont alors entraînés par un champ électrique vers un spectromètre de masse à déflexion électromagnétique qui va les trier. Le spectre de masse donne le nombre d'ions secondaires en fonction de leur masse, il permettant d'identifier les espèces de surface. Toutes les caractérisations SIMS pour cette thèse ont été effectuées avec une source d'ions primaires O_2^+ , au sein d'Institut des Nanotechnologies de Lyon (INL) sur le site de l'INSA de Lyon, par Dr Christiane Dubois.

Nous avons analysé en SIMS l'empilement (SiC)/Ni(10 nm)-Ti(40 nm)-Al(240 nm)-Ni(10 nm) après dépôt et avant recuit (figure 21) ainsi qu'après un recuit à 800 °C pendant 2 min (figure 22). Avant recuit nous observons bien l'ordre correct des métaux déposés. Remarquons que dans ce cas cette technique ne permet pas de convertir le temps d'érosion en profondeur d'analyse à cause de la variation de la vitesse d'érosion du faisceau primaire avec la nature de chaque couche analysée. Des mesures complémentaires de réflectivité optique ont été réalisées sur ces empilements et confirment les épaisseurs des couches déposées. Une simulation⁶ a été effectuée avec les épaisseurs des 4 couches de nickel, titane et aluminium utilisées dans notre empilement. Ce spectre de réflectivité simulé se superpose bien au profil

⁶ La simulation prend en compte les indices optiques et les épaisseurs des couches afin de retrouver le chemin optique du rayonnement qui traverse l'empilement des couches.

expérimental avant recuit (figure 20). Après recuit nous obtenons un spectre expérimental lisse ce qui dénote l'homogénéité de l'alliage formé.

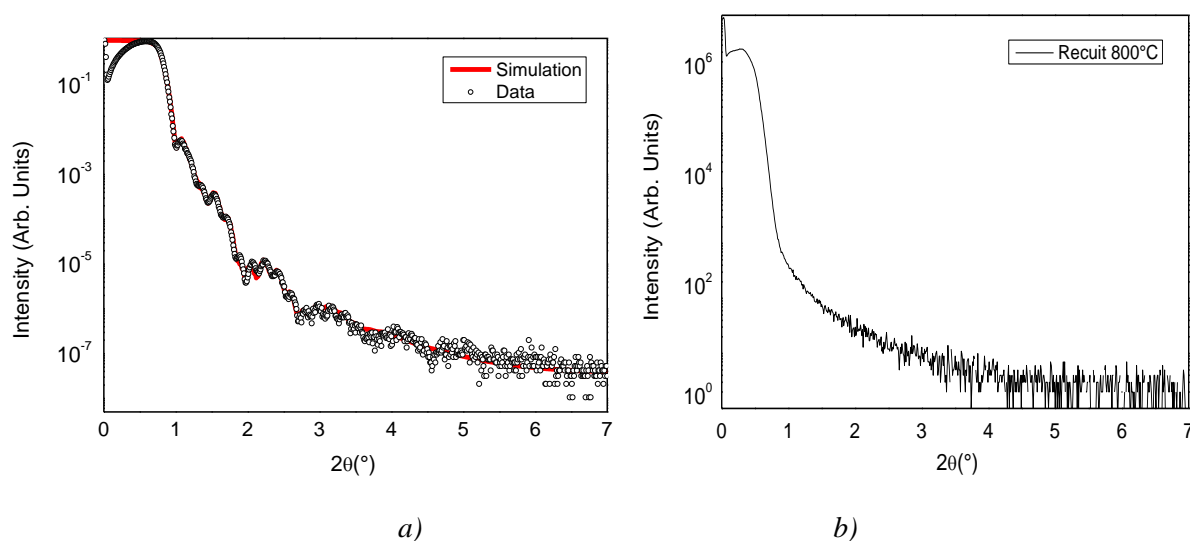


Figure 86 : Profil de réflectivité du contact en Ni/Ti/Al/Ni déposées sur SiC-4H : a) avant recuit superposé à un profil simulé, b) après recuit.

Après le recuit à 800 °C les analyses SIMS nous montrent une évolution importante des profils d'éléments métalliques en confirmant une forte réactivité inter-métallique et surtout à l'interface avec le SiC.

Nous observons une zone riche en aluminium près de la surface et une zone de forte interaction à l'interface avec le SiC mais sans la présence de l'aluminium. Le fait de trouver aluminium en grande quantité à la surface des contacts nous suggère que la couche isolante en surface est un composé d'aluminium.

Nous remarquons aussi une diffusion significative de titane tant vers la surface et l'interface qui peut s'expliquer par la formation d'une phase carbure comme le Ti_3SiC_2 , responsable à la formation de contact ohmique d'après la littérature [John 04][Jenn 07]. Ceci reste à être prouvé dans notre cas.

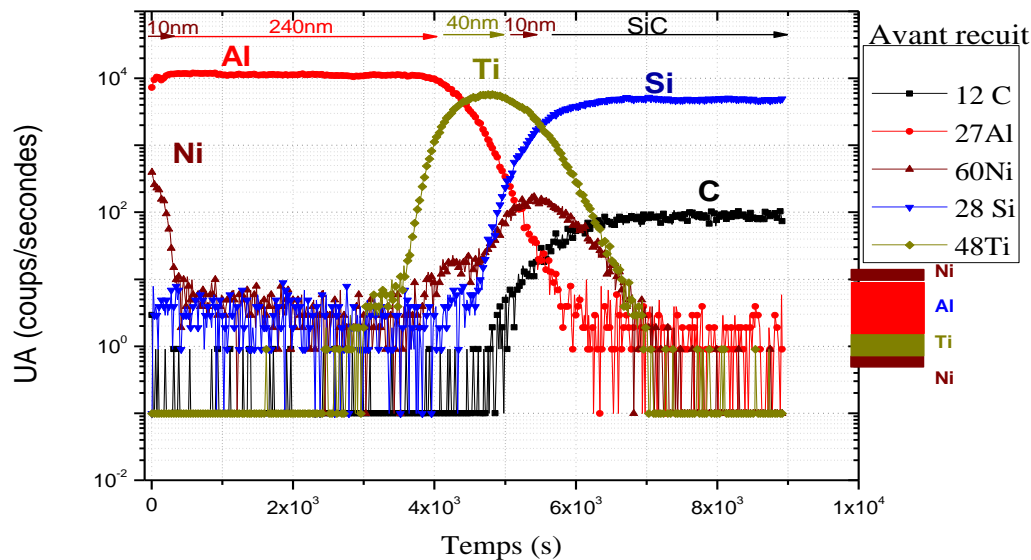


Figure 87 : Profil SIMS de contact en Ni/Ti/Al/Ni déposées sur SiC-4H avant recuit.

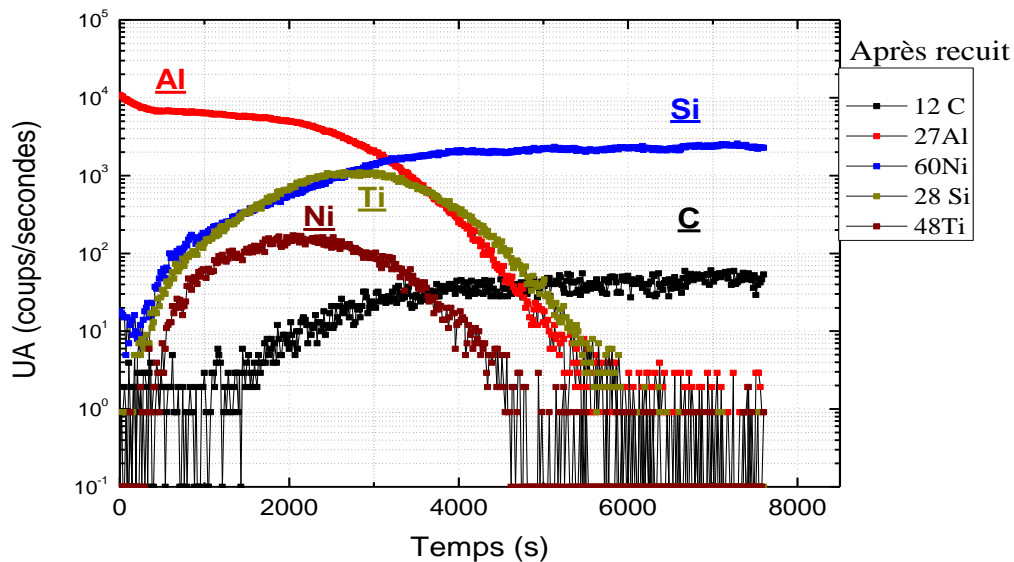


Figure 88 : Profil SIMS de contact en Ni/Ti/Al/Ni déposées sur SiC-4H et après recuit 800 °C pendant 2 minutes sous argon.

Le profil du nickel semble également suivre le silicium à l'interface avec une formation probable de siliciure Ni_2Si qui aide à la pénétration des métaux dans le carbure de silicium. [Port 95][Niki 05][Koni 03].

Comme nous n'observons pas une évolution indépendante du spectre du carbone par rapport à celui du silicium, nous pouvons supposer l'absence d'une couche de carbone à l'interface contact/SiC ce qui montrait également que le SiC s'est décomposé en réagissant avec le titane et le nickel pour former des alliages tels que décrits avant. Ceci serait en cohérence avec les faibles résistances spécifiques de contact (de l'ordre de $10^{-5} \Omega \cdot \text{cm}^2$) que nous avons trouvé, en prouvant la qualité de nos contacts.

3.3.3.2 Analyse DRX

Nous avons voulu confirmer les suppositions faites au paragraphe précédent par des d'autres analyses directes sur les contacts que nous avons obtenu.

L'analyse par diffraction de rayons X (DRX), est une technique non destructive utilisée pour la caractérisation structurale des matériaux cristallins et polycristallins. Dans le cas d'une couche déposée sur un substrat, cette méthode permet de déterminer l'orientation cristalline, de déterminer les désaccords de maille et de connaître les phases cristallines des différents matériaux. Dans cette thèse, cette technique a été utilisée pour connaître les phases cristallines formées sur SiC-4H type P lors de la réalisation de notre contact ohmique. Comme pour le SIMS nous avons analysé les contacts avant et après recuit. Les caractérisations ont été réalisées au moyen d'un diffractomètre RIGAKU Smartlab développé sur Nanolyon-INL site ECL avec l'aide de José Penuelas.

Avant recuit (figure 23), on observe un pic à $35,61^\circ$ d'une intensité très importante, il correspond au SiC (004), et un pic pour chacun des métaux déposés, titane à $38,4$ (0001), aluminium à $38,84$ (111) et nickel à $44,86$ (111).

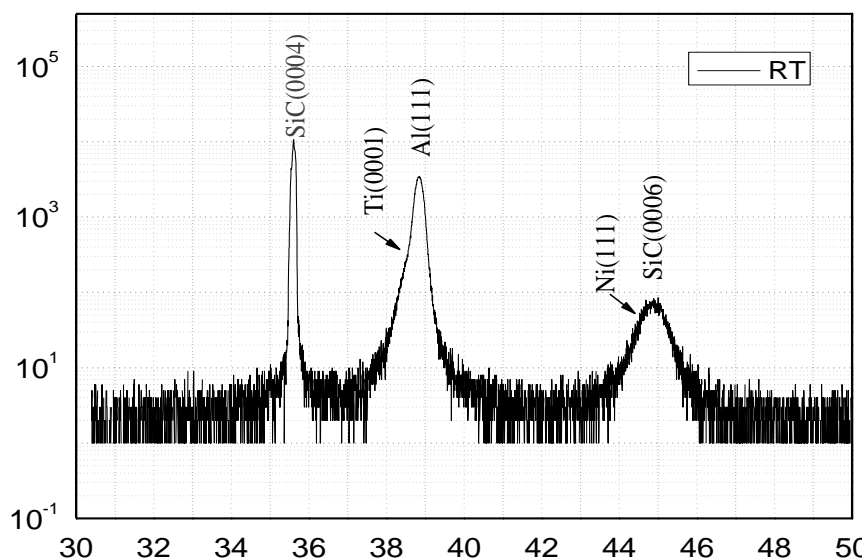


Figure 89 : Diagramme de diffraction θ - 2θ de contact en Ni/Ti/Al/Ni déposées sur SiC-4H avant recuit.

Après le recuit à 800°C (figure 24), on observe l'apparition de plusieurs nouveaux pics qui correspondent aux alliages formés. Ainsi par l'apparition de plusieurs pics nous confirmons sans aucun doute la formation dans nos contacts, du Ti_3SiC_2 et du siliciure de nickel Ni_2Si . Donc ces alliages semblent être les phases responsables de la formation du contact ohmique. Nous observons également des phases intermétalliques NiAl_3 et TiAl_2 . Cette

analyse DRX confirme ainsi les suppositions que nous avons faites lors de l'analyse des spectres obtenus en SIMS (paragraphe 3.3.3.1 précédent).

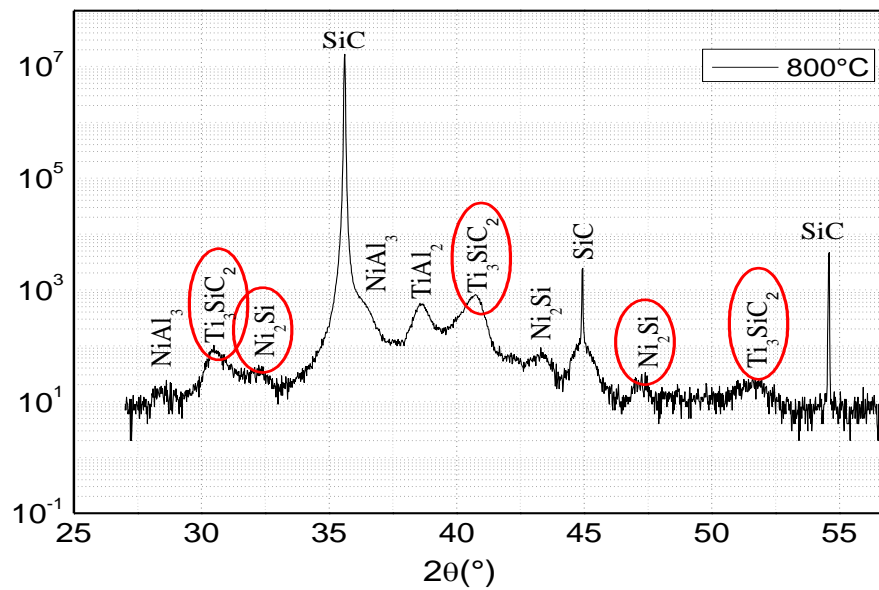


Figure 90 : Diagramme de diffraction θ - 2θ de contact en Ni/Ti/Al/Ni déposées sur SiC-4H après recuit 800 °C pendant 2 minutes sous argon.

Une analyse de diffraction des rayons X a été faite sur un échantillon ayant subi successivement plusieurs recuits à 700 °C, 800 °C et 900 °C pour montrer l'influence de la température de recuit sur les phases formées. Ces spectres sont présentés sur la figure 25. Pour faciliter la lecture des résultats nous ne mentionnons plus les pics de la figure 24.

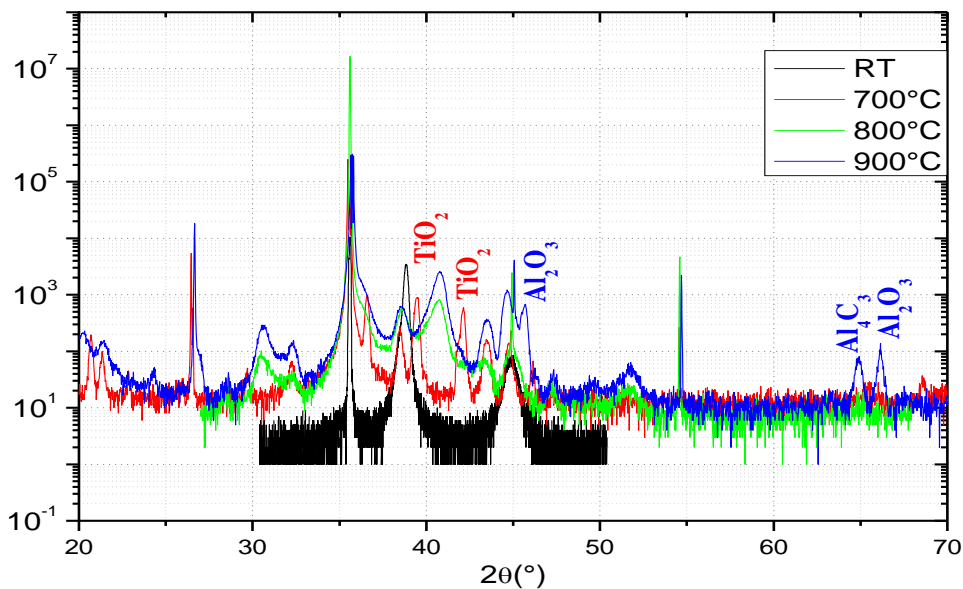


Figure 91 : Diagramme de diffraction θ - 2θ de contact en Ni/Ti/Al/Ni déposées sur SiC-4H après recuit 700 °C, 800 °C et 900 °C pendant 2 minutes sous argon.

Ainsi en comparant les spectres obtenus après les recuits à 700 et 800 °C nous remarquons la disparition des pics TiO_2 dans le cas du recuit optimal à 800 °C. La

détérioration des contacts à 900 °C peut être expliquée par l'apparition des phases isolantes Al_4C_3 et Al_2O_3 .

Donc cette analyse montre que la formation des couches non conductrices composées d'aluminium, est à l'origine de l'augmentation de la résistance spécifique pour des recuits supérieurs à 800 °C. Mais avec ces analyses DRX nous ne sommes pas certains que ces couches sont localisées en surface et donc nous ne sommes pas sûrs d'avoir bien identifié l'origine du problème rencontré lors de l'utilisation de l'empilement Ni/Ti/Al pour réaliser le contact ohmique. Pour ceci nous avons effectué à la surface de ces échantillons des analyses EDX (Energy-Dispersive X-ray spectroscopy).

3.3.2.3 Analyse EDX

La rencontre entre le faisceau électronique incident et les atomes de la surface de l'objet génère des photons X, captés par un détecteur. Un élément donné émet des photons X caractérisés par leur énergie car chaque émission correspond à une transition électronique entre les niveaux de cœur de l'atome. Le traitement des signaux X permet de trier les photons par énergie, d'attribuer à chaque photon détecté un élément chimique (analyse qualitative) mais aussi de compter les photons en fonction de leur énergie (en eV). Il est donc possible par cette analyse EDX de procéder à une analyse chimique quantitative localisée de la surface d'un échantillon.

Nous avons effectué des mesures EDX sur les échantillons recuits qui comportent une couche isolante en surface et qui rend la prise de contact avec les pointes très difficile lors de la mesure courant-tension.

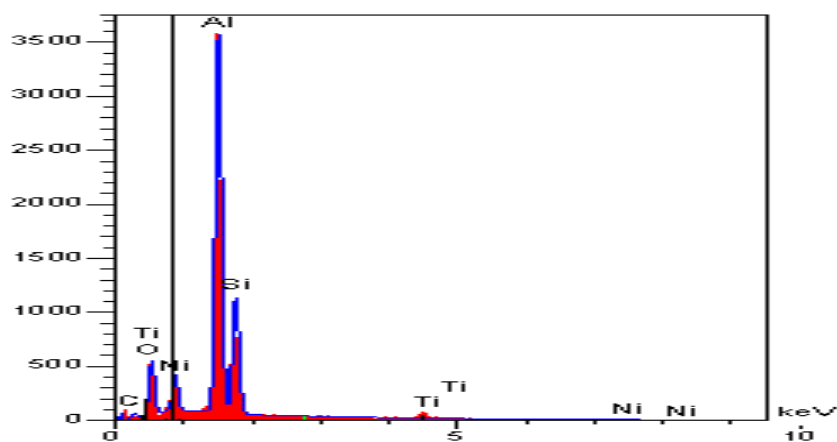


Figure 92 : Profil de mesure EDX de contact en Ni/Ti/Al déposées sur SiC-4H après recuit à 800 °C pendant 2 minutes sous argon. L'axe des abscisses représente l'énergie des photons X identifiés en keV et l'axe des ordonnées représente le nombre de coups d'acquisition en unités arbitraires.

Le profil de mesure EDX (figure 26) obtenu sur un tel échantillon recuit confirme la présence d'une quantité importante d'oxygène à la surface représentée aussi dans le tableau 6. Rappelons que les recuits sont effectués sous argon avec plusieurs purges et cycles de pompage pour nettoyer la chambre de recuit. Ces conditions ne semblent pas suffisantes et pour la suite nous ne sommes intéressés de plus près à l'atmosphère de l'enceinte du four.

Nous avons réalisé une étude sur l'influence de l'atmosphère de l'enceinte lors du recuit en faisant varier la pression partielle de l'argon. Ainsi nous avons trouvé que lorsqu'on travaillait sous argon avec un pompage primaire qui nous permettait d'ajuster la pression dans la chambre de recuit à $3,3 \times 10^{-3}$ mbar la quantité d'oxygène trouvée par EDX dans nos contacts est de l'ordre de 30 at% (tableau 6). En arrêtant le pompage primaire pendant le recuit et travaillant sous argon à pression atmosphérique la quantité d'oxygène trouvé par EDX dans nos contacts diminue notamment à 5 at% (tableau 6).

	Avant recuit		Après recuit sous argon à vide primaire $3,3 \times 10^{-3}$ mbar		Après recuit sous argon à pression Atmosphérique 10^3 mbar	
	w%	at%	w%	at%	w%	at%
C	8,82	19,70	4,42	8,50	7,04	15,82
O	0,00	0,00	20,09	28,98	2,99	5,04
Al	34,86	34,65	45,40	38,84	25,69	25,72
Si	39,83	38,02	27,62	22,70	47,52	45,70
Ti	1,00	0,56	0,00	0,00	0,00	0,00
Ni	15,49	7,07	2,46	0,97	16,77	7,72

Tableau 28 : Pourcentage des éléments formés après recuit à 800 °C.

Le fait d'augmenter la pression de travail jusqu'à la pression atmosphérique, toujours sous argon, nous a permis de baisser la quantité d'oxygène qui crée la surface isolante après recuit. Cette quantité importante d'oxygène réagit avec l'aluminium pour former de l'alumine en surface en absence de la couche protectrice de nickel.

Dans le tableau au-dessus on constate que les concentrations d'aluminium et d'oxygène augmentent après le premier recuit sous argon avec un pompage en vide primaire. Par contre la quantité de nickel baisse, indétectable dans la poire MEB par la présence de la couche isolante. La concentration de nickel est retrouvée après le recuit à pression atmosphérique avec la même valeur qu'avant le recuit, et en même temps nous observons une diminution des concentrations d'aluminium et d'oxygène.

Ainsi nous avons montré qu'en augmentant la pression d'argon jusqu'à la pression atmosphérique dans l'enceinte du four pendant le recuit nous pouvons éviter la formation des couches isolantes de nos contacts.

3.3.4 Caractérisations électrique des contacts en température

L'étude présentée dans les parties précédentes de ce chapitre nous a permis de définir un procédé optimal pour la formation un contact ohmique sur le SiC-P⁺ :

- empilement Ni/Ti/Al/Ni,
- recuit 800 °C sous argon à pression atmosphérique.

Nous avons voulu également regarder la stabilité en température de ces contacts ohmiques. Cette étude est présentée dans le dernier paragraphe de ce chapitre.

Ainsi nous avons caractérisé des structures TLM fabriquées avec le procédé optimal par des mesures courant-tension en température $I(V, T)$ de l'ambiante à 300 °C. La figure 27 réunit les courbes résistances entre les plots TLM en fonction la distance entre les plots pour les différentes températures de mesure.

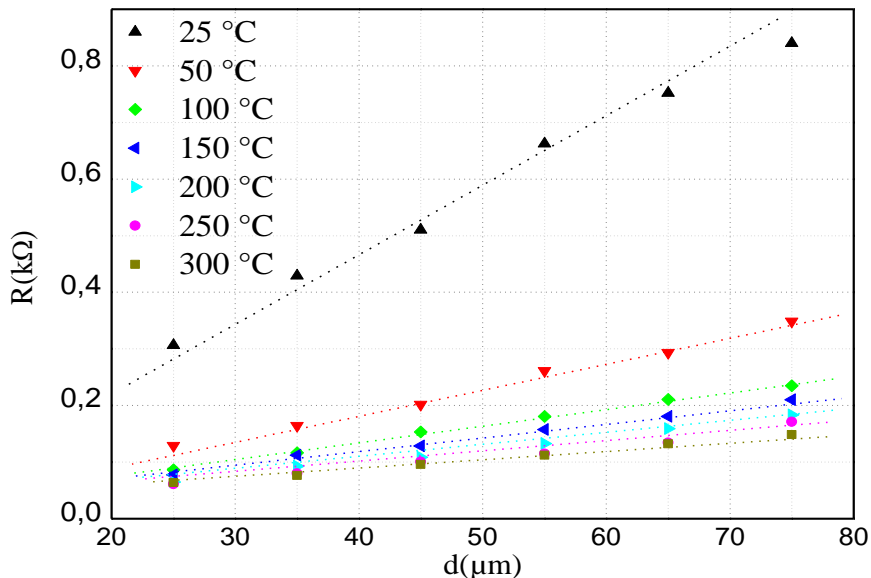


Figure 93 : Variation de la résistance mesurée entre les plots TLM en fonction de la distance entre les plots TLM à différentes températures de 25 à 300 °C, pour l'empilement Ni(10)/Ti(40)/Al(240)/Ni(10 nm) recuit à 800 °C sous argon.

A partir de ces mesures nous avons extrait les résistances spécifiques de contact ainsi que les résistances carrées de la couche P⁺ en fonction de la température de mesure. La figure 28 présente ci-dessous la variation de ces paramètres extraits en fonction de la température de mesure.

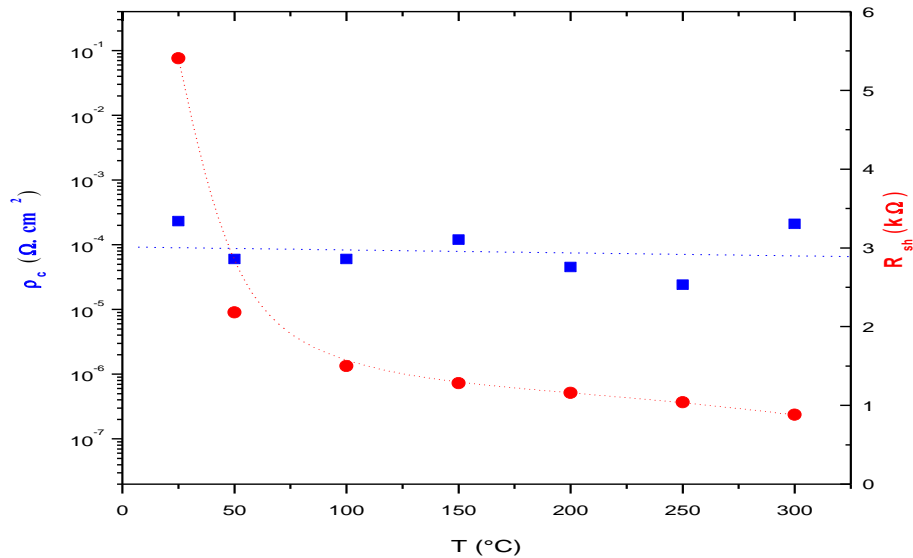


Figure 94 : Variation de la résistance spécifique de contact et la résistance carrée R_{sh} en fonction de la température de 25 à 300 $^{\circ}\text{C}$, pour l'empilement Ni(10)/Ti(40)/Al(240)/Ni(10 nm) recuits à 800 $^{\circ}\text{C}$ sous argon.

On observe une diminution normale de la résistance carrée R_{sh} de la couche P^+ , phénomène connu dans le SiC-4H de type p. Il est produit par l'ionisation des dopants aluminium qui ne sont pas complètement ionisés⁷ à la température ambiante.

Aucune modification notable sur la valeur de la résistance spécifique de contact n'a été observée, que ce soit pendant la montée en température, ou après le cycle de température. Le fait que la résistance spécifique de contact ne varie pas en fonction de la température prouve une certaine stabilité et une bonne métallurgie de nos contacts.

En regardant les modèles des résistances de contacts présentés dans l'annexe n°4, la non variation de la résistance de contact avec la température montre que nous sommes dans le cas d'une émission tunnel pure, non assistée thermiquement. Ceci est cohérent avec le fort dopage de nos couches P^+ .

⁷ L'ionisation des dopants Al avec une concentration de l'ordre de $4 \times 10^{19} \text{ cm}^{-3}$ est inférieure à 1% [Laza 02].

3.4 Conclusion

Nous avons testé plusieurs empilements à base de nickel, titane et aluminium, pour former des contacts ohmiques sur des couches de SiC-4H de type P⁺. Ces couches P⁺ ont été réalisées par implantation ionique ou par épitaxie CVD.

Nous avons regardé l'influence de la nature des couches métalliques, leur disposition séquentielle et leurs épaisseurs ainsi que l'influence du traitement thermique nécessaire à la formation des contacts ohmiques.

Nous avons montré le rôle important que joue le Nickel, sa présence dans une quantité bien définie étant primordiale.

- à l'interface avec le SiC pour former le contact ohmique.
- et à la surface des couches pour éviter la formation de l'oxyde d'aluminium.

L'empilement Ni/Ti/Al/Ni (10-40-240-10 nm) nous a permis d'obtenir des résultats très satisfaisants pour des températures de recuits situées entre 700 et 800 °C avec une résistance spécifique de contact de $1,5 \times 10^{-5} \Omega \cdot \text{cm}^2$. Ce résultat se trouve parmi les meilleurs de l'état de l'art concernant les contacts ohmiques sur le SiC-4H, type P.

En comparant les trois fours de recuits, les résultats que nous obtenons sont quasi-équivalents. Nos contacts sont également équivalents si on compare la nature des couches P⁺ formées par implantation ionique ou par épitaxie CVD.

Avec les analyses physico-chimiques, nous avons montré une diffusion significative de titane et du nickel vers l'interface et la présence de l'aluminium en surface (analyses SIMS). Nous avons confirmé la formation de Ti₃SiC₂ et du Ni₂Si à dans nos contacts par la présence de plusieurs pics lors des analyses DRX.

Avec les mesures EDX, nous avons pu identifier l'origine du problème d'oxydation due à la quantité importante d'oxygène dans la chambre de recuit. L'augmentation de la pression argon jusqu'à la pression atmosphérique permet d'éviter la formation de la couche isolante à la surface de nos contacts.

Des caractérisations I (V, T) ont montré que nos contacts ohmiques sont stables en température, au moins jusqu'à 300 °C.

Les résultats présentés dans ce chapitre ont fait l'objet de deux publications revues publiés en 2012 et 2013⁸. Ceci prouve la qualité et l'originalité des résultats que nous avons obtenus. Le procédé optimal sorti de cette étude est actuellement appliqué dans la fabrication

⁸ La liste des publications personnelles est insérée à la fin de ce manuscrit.

de tous les composants SiC réalisés par le laboratoire Ampère sur la plateforme Nanolyon.

3.5 Références :

- [Baud 03] A. Boudrant, F. Tardif, and C. Wyon. *Caractérisation et nettoyage du silicium* : Hermes science publications, (2003).
- [Bonn 13] http://www.microelectronique.univ-rennes1.fr/fr/index_chap8.htm, (consulté le 01.02.2013).
- [Crof 01] J. Crofton. Finding the optimum Al/Ni alloy composition for use as an ohmic contact 4H-SiC. *Solid-State Electronics*, Vol. 46, pp. 109–113, (2001).
- [Crof 97] J. Crofton. Titanium and aliminum-titanium ohmic contact of p-type SiC. *Solid-State Electronics*, Vol. 41, pp. 1725–1729, (1997).
- [Fraz 11] A. Frazzetto, F. Giannazzo, R. Lo Nigro, V. Raineri, F. Roccaforte. Structural and transport properties in alloyed Ti/Al Ohmic contacts formed on p-type Al-implanted 4H-SiC annealed at high temperature. *Journal of Physics D: Applied Physics* 44, 255302, (2011).
- [Ito 06] K. Ito, S. Tsukimoto, M. Muratami. Effects of Al ion implantation to 4H-SiC on the specific contact resistance of TiAl-based contact materials. *Science and Technology of Advanced Materials*, Vol. 7, pp. 496–501, (2006).
- [Jenn 07] M.R. Jennings, A. Perez-Tomas, M. Davies, D. Walker, L. Zhu, P. Losee, W. Huang, S. Balachandran, O.J. Guy, J.A. Covington, T.P. Chow, P.A. Mawby. Analysis of Al/Ti, Al/Ni multiple and triple layer contacts to p-type 4H-SiC. *Solid-State Electronics*, Vol. 51, pp. 797–801, (2007)
- [John 03] B J. Johnson and M A. Capano. The effect of titanium on Al–Ti contacts to p-type 4H-SiC. *Solid-State Electronics*, Vol. 47, pp. 1437, (2003).
- [John 04] J. Brian, A. M. Capano. Mechanism of ohmic behavior of Al-Ti contacts to p-type 4H-SiC after annealing. *Journal Of Applied Physics*, Vol. 95, Nb10, (2004).
- [Kak 01] R. Kakanakov, L. Kassamakova, I. Kassamakov, K. Zekentes, N. Kuznetsov. Improved Al:Si ohmic contacts to p-type 4H-SiC. *Materials Science and Engineering B*. 80, pp. 374–377, (2001).
- [Kern 70] W. Kern and D.A .Puotien. Cleaning solution based on hydrogen peroxide for use in silicon semiconductor technology. *RCA Rev*, Vol.31, no.2, pp.187-206, (1970).
- [Koni 03] R. Konishi, R. Yasukochi, O. Nakatsuka, Y. Koide, M. Moriyama, M. Murakami. Development of Ni/Al and Ni/Ti/Al ohmic contact materials for p-type 4H-SiC .*Mater. Sci. Eng.*, B 98, pp. 286-293, (2003).
- [Laza 02] M. Lazar. Etude du dopage par implantation ionique d'aluminium dans le carbure de silicium pour la réalisation de composants de puissance. Thèse de doctorat INSA-CEGELY Lyon, (2002).
- [Rayn 10] C. Raynaud, D. Tournier, H. Morel, D. Planson, Comparison of high voltage and high temperature performances of wide bandgap semiconductors for vertical power devices. *Diamond & Related Materials*, Vol. 19, pp. 1–6, (2010).
- [Mosc 05] F. Moscatelli, A. Scorzoni, A. Poggi, M. Bruzzi, S. Lagormarsino, S. Mersi, S. Sciortino, M. Lazar, A. Di Placido, R. Nipoti. Measurements of Charge Collection Efficiency of p+/n Junction SiC Detectors. *Materials Science Forum*, vol. 483-486, pp.1021-1024 (2005).
- [Niki 05] I. P. Nikitina, K. V. Vassilevski, N. G. Wright, A. B. Horsfall, and A. G. O'Neill. Formation and role of graphite and nickel silicide in nickel based ohmic contacts to n-type silicon carbide. *Journal Of Applied Physics* 97, 083709, (2005).
- [Nipo 02] R. Nipoti, F. Moscatelli, A. Scorzoni, A. Poggi, G. Cardinali, M. Lazar, C. Raynaud, D. Planson, M.-L. Locatelli, J.P. Chante. Contact Resistivity of Al/Ti Ohmic Contacts on p-Type Ion Implanted 4H- and 6H-SiC. *MRS Fall Meeting, Symposium K Silicon Carbide -Materials, Processing and Devices* ,Boston, Massachusetts, USA, Déc. 2-6, (2002).
- [Oliv 07] E. Oliviero, M. Lazar, A. Gardon, C. Peaucelle, A. Perrat, J.J. Grob, C. Raynaud and D. Planson. High energy N+ ion implantation in 4H–SiC. *Nuclear Instruments and Methods*

- in Physics Research Section B: Beam Interactions with Materials and Atoms, Volume 257, Issues 1-2, pp. 265-269, April (2007).
- [Port 95] L.M. Porter, R.F. Davis, Mater. Sci. Eng. B34, pp. 83-105, (1995).
- [Rocc 05] F. Roccaforte, F. La Via, V. Raineri. Ohmic contacts to SiC. International Journal of High Electronics and Systems, 15 N°. 4, pp 781-820 (2005).
- [Sou 09] M. Soueidan, M. Lazar, D.M. Nguyen, D. Tournier, C. Raynaud, and D. Planson. Process Optimization for High Temperature SiC Lateral Devices. Materials Science Forum. Vol. 615-617, pp. 585, (2009).
- [Vang 06] H. Vang, M. Lazar, P. Brosselard, C. Raynaud, P. Cremillieu, J.-L. Leclercq, J.-M. Bluet, S. Scharnholz, D. Planson. Ni–Al ohmic contact to p-type 4H-SiC. Superlattices and Microstructures, Vol. 40, Issues 4–6, pp. 626-631, October–December, (2006).
- [Vass 01] K. Vassilevsk K. Zekentes, K. Tsagaraki, G. Constantinidis, I. Nikitina. Phase formation at thermal annealing of Al/Ti/Ni ohmic contact 4H-SiC. Mater. Sci Eng., B 80, pp. 370-373, (2001).

Chapitre 4: Technologie pour l'intégration monolithique de composants JFET latéraux type N et P en SiC

4.1 Introduction.....	154
4.2 Description des échantillons.....	155
4.2.1 Description de l'étage de commande basse puissance.....	156
4.2.2. Description des échantillons de l'étage de puissance.	158
4.2.2.1 Conception la structure gravée de l'étage de puissance.....	158
4.2.2.2 Présentation de la structure.....	159
4.2.2.3 Organisation du jeu de masques.....	160
4.3 Déroulement technologique.....	164
4.3.1 Chimie – nettoyage des surfaces.....	165
4.3.2 Photolithographie.....	166
4.3.2.1 Nettoyage des masques Cr-verre.....	167
4.3.3 Métallisation.....	168
4.3.4 Dopage par implantation ionique.....	169
4.3.4.1 Les simulateurs SRIM et I ² SiC.....	169
4.3.4.2. Masque d'implantation.....	170
4.3.4.3 Implantation d'azote.....	172
4.3.4.3.1 Canal N.....	172
4.3.4.3.2 Caissons drain, grille, source N ⁺	172
4.3.4.4 Implantation d'aluminium.....	173
4.3.4.4.1 Canal P.....	173
4.3.4.4.2 Caissons drain, grille, source P ⁺	174
4.3.4.5 Recuit post implantation.....	175
4.3.5 Passivation-isolation.....	176
4.3.6 La gravure plasma du SiC.....	177
4.3.6.1 Introduction.....	177
4.3.6.2 Masque de gravure – sélectivité et volatilité.....	178
4.3.6.2.1 Masque Silicium et Carbone.....	180
4.3.6.2.2 Masque TiNiSi.....	182
4.3.6.2.3 Masques en résines photosensibles.....	183
4.3.6.3 Diagramme de cheminement.....	185
4.4 Caractérisations électriques des composants.....	188
4.4.1. Méthodologie de l'analyse I-V.....	188
4.4.2 Résultats sur les composants de puissance.....	188
4.4.2.1 Etude préliminaire.....	188
4.4.2.1.1 Mesures Drain – Source.....	189
4.4.2.2 Fonctionnement des composants.....	190
4.4.2.2.1 Caractérisation I _{ds} (V _{ds}) en fonction de V _{gs}	190
4.4.2.3 Analyse des résultats obtenus sur les JFET de puissance.....	194
4.4.3 Résultats sur les composants de l'étage de commande.....	195
4.4.3.1 Etude préliminaire.....	195
4.4.3.1.1 Mesures Drain – Source.....	195
4.4.3.2 Fonctionnement des composants.....	196
4.4.3.2.1 Caractérisation I _{ds} (V _{ds}) en fonction de V _{gs}	196
4.4.3.3 Analyse des résultats obtenus sur les JFET de l'étage de commande.....	199
4.4.4 Mesures TLM.....	199
4.5 Conclusion du chapitre.....	202
4.6.Références.....	203

Les tableaux :

<i>Tableau 1 : Paramètres géométriques des JFET type N de l'étage de commande.</i>	157
<i>Tableau 2 : Paramètres géométriques des JFET type P de l'étage de commande.</i>	157
<i>Tableau 3 : Paramètres géométriques des JFET de l'étage de puissance.</i>	161
<i>Tableau 4 : Description des différents niveaux du jeu de masques.</i>	162
<i>Tableau 5 : Les implantations ioniques effectuées sur les JFET N et P de plaque II-VI.....</i>	175
<i>Tableau 6 : Les résistances à l'état passant et les transconductances typiques extraites des JFET à canal N comparées aux valeurs théoriques calculées, en donnant également la valeur théorique de la résistance carrée $R_{sh}=1,5 \text{ k}\Omega$.</i>	191
<i>Tableau 7 : Les résistances à l'état passant et les transconductances typiques extraites des JFET à canal P sélectionnés comparées aux valeurs théoriques calculées. La valeur théorique de la résistance carrée est $R_{sh}=1,12 \times 10^4 \Omega$.</i>	193
<i>Tableau 8 : Les résistances à l'état passant et les transconductances typiques extraites des JFET à canal N. La valeur théorique de la résistance carrée est $R_{sh}=3,1 \text{ k}\Omega$.</i>	197
<i>Tableau 9 : Les résistances à l'état passant et les transconductances typiques extraites des JFET à canal P sélectionnés comparées aux valeurs théoriques calculées, en donnant également la valeur théorique de la résistance carrée $R_{sh}=1,1 \times 10^4 \Omega$.</i>	198

Les figures :

Figure 1 : Schéma d'un bras d'onduleur avec les deux étages commande et puissance.	155
Figure 2 : Représentation schématique des JFET basse tension à canal P et N sur la plaque DH0612-10.	156
Figure 3 : Schéma des masques utilisés pour la fabrication des JFET de puissance composés des 2 champs répétitifs ($6 \times 10 \text{ mm}^2$) et de huit niveaux. Désignation des JFET : à gauche JFET type N (couleur blanc) et à droite JFET type P (couleur rose).	157
Figure 4 : Structure simulée des JFET type N et P intégrés sur le même substrat SiC pour réaliser l'étage de puissance du bras d'onduleur.	159
Figure 5 : Représentation schématique des JFET de puissance à canal N et P sur la plaque	160
Figure 6 : Schéma du jeu de masques utilisés pour la fabrication des JFET de puissance, composé de 2 champs répétitifs ($6 \times 10 \text{ mm}^2$) et de dix niveaux. Désignation des JFET.	161
Figure 7 : Les différents niveaux de masques nécessaires à la réalisation des JFET N et P.	163
Figure 8 : structures de JFET réalisés: a) étage de puissance, b) étage de commande.	164
Figure 9 : Représentation schématique des plaquettes utilisées pour la réalisation des JFET latéraux.	164
Figure 10 : Spectres d'analyses SIMS obtenus sur les plaquettes utilisées pour la réalisation de JFET latéraux. a) EB-EC376-29 SY A b) DH0612-10.	165
Figure 11 : Photographie MEB d'une résine (épaisseur de $1,2 \mu\text{m}$) avec une lithographie négative.	166
Figure 12 : Photographie de lithographie avec une résine épaisse (Ti35ES) sur une structure mesa de $5 \mu\text{m}$	167
Figure 13 : Images prises avec microscope optique : a) masque Cr-verre sale avant nettoyage, b) report de ces saletés sur nos échantillons.	168
Figure 14 : Images prises avec microscope optique d'un masque Cr-verre après nettoyage.	168
Figure 15 : Représentation schématique de la surgravure d'une couche de silice et images prises au microscope optique qui montrent : (b) le phénomène de surgravure au niveau du flanc et sur les motifs de contrôle de lithographie (c) échantillon gravé sans surgravure, flanc droit et motifs de contrôle de lithographie bien définis.	171
Figure 16 : a) Profil d'implantation du canal N, b) tableau des énergies et les doses d'implantation pour le canal N des JFET de la plaque II-VI EB-EC376-29 SY A. Les implantations ont été effectuées à travers une couche de silice de 500 nm	172
Figure 17 : a) Profil d'implantation de la grille, la source et le drain avec azote pour les caissons de type N. Ce profil a été superposé avec celui du canal P, b) tableau des énergies et les doses d'implantation N^+	173
Figure 18 : a) Profil d'implantation du canal P, b) tableau des énergies et les doses d'implantation pour le canal P des JFET de la plaque II-VI EB-EC376-2 SY A.	174
Figure 19 : a) Profil d'implantation aluminium de la grille, la source et le drain pour les caissons de type P. Ce profil a été superposé avec celui du canal N, b) tableau des énergies et les doses d'implantation.	174
Figure 20 : exemple typique de variation de la température en fonction du temps lors d'un recuit à $1650 \text{ }^\circ\text{C}$ pendant 45 min avec une forte rampe de chauffe.	176
Figure 21 : a) Photographie du four à induction, b) description du support de l'échantillon.	176
Figure 22: configuration du réacteur RIE a) avec plaque en quartz et b) plaque en quartz et wafer silicium.	178

<i>Figure 23 : Images prises au microscope électronique à balayage. Le micromasking provient a) de la cathode en aluminium et b) de la géométrie du masque fermé (couvert à 90 %).</i>	179
<i>Figure 24 : photographie des masques (6 × 10 mm) utilisés pour la gravure (tel que la zone blanche : la zone gravée et la zone noire : zone non gravée), a) masque ouvert couvert 35 % b) masque fermé couvert 90 %.</i>	179
<i>Figure 25 : Images prises au microscope électronique à balayage du substrat SiC-4H gravé avec RIE a) surface lisse gravée avec masque de nickel ouvert b) surface rugueuse gravée avec un masque fermé.</i>	180
<i>Figure 26 : Images prises au microscope électronique à balayage sur des surfaces SiC gravées (environ 1,5 µm) avec a) un masque de carbone, b) un masque de silicium.</i>	181
<i>Figure 27 : Image prise au microscope électronique à balayage du motif de résine carbonisée à 600° C pendant 30 minutes.</i>	181
<i>Figure 28 : Images obtenues au microscope électronique à balayage sur des échantillons SiC après une gravure faite avec le réacteur RIE avec un masque TiNiSi. Le masque est encore présent en haut des flancs (ce qui explique la surface peau d'orange).</i>	183
<i>Figure 29 : Images prises au microscope électronique à balayage sur des échantillons SiC après une gravure faite dans le réacteur ICP avec un masque TiNiSi.</i>	183
<i>Figure 30 : Images prises au microscope électronique à balayage pour des gravures faites avec un masque de résine Ti35ES à : a) une couche et b) double couche.</i>	184
<i>Figure 31 : les différentes étapes technologiques pour la fabrication des JFET de l'étage de puissance.</i>	186
<i>Figure 32 : Photographies prises sur les échantillons réalisés</i>	187
<i>Figure 33 : Vue en coupe de plaque EB-EC376-29 SY A avec les structures des JFET à canal N et P.</i>	189
<i>Figure 34 : Caractéristiques $I_{ds}(V_{ds})$ à $V_{gs}=0$ V des JFET avec: a) canal de type N, b) canal de type P. V_{ds} est polarisée faiblement entre -5 V et +5 V.</i>	189
<i>Figure 35 : Caractéristiques $I_{ds}(V_{ds}, V_{gs})$ de JFET Js11 (a), JFET Js14 (b), JFET Js15 (c), JFET Js7 (d).</i>	191
<i>Figure 36 : Caractéristiques $I_{ds}(V_{ds})$ en fonction de V_{gs} du JFET Js12 (a) et du JFET Js6 (b).</i>	193
<i>Figure 37 : Vue en coupe de la plaque DH0612-10, avec les structures des JFET à canal N et P.</i>	195
<i>Figure 38 : Caractéristiques $I_{ds}(V_{ds})$ des JFET avec: a) canal de type N, b) canal de type P.</i>	196
<i>Figure 39 : Caractéristiques $I_{ds}(V_{ds})$ en fonction de V_{gs} du JFET 3 champ B1 (a) JFET 3 champ B3 (b)</i>	197
<i>Figure 40 : Caractéristiques $I_{ds}(V_{ds})$ en fonction de V_{gs} du JFET 2 champ 5F (a) et du JFET 1 champ 5C (b)</i>	198
<i>Figure 41 : Courbes I-V en fonction de la distance entre les motifs TLM type N (à gauche) et type P (à droite).</i>	200
<i>Figure 42 : Extraction de la résistance spécifique d'empilements Ti(5)/Ni(150 nm) contact type N (à gauche) et Ni(10)/Ti(40)/Al(240)/Ni(10 nm) contact type P (à droite).</i>	200
<i>Figure 43 : Courbes I-V sur les motifs TLM type P présentant une augmentation brutale du courant entre les plots.</i>	201

4.1 Introduction

Les résultats présentés dans le deuxième chapitre, sur la caractérisation électrique des anciens lots de JFET latéraux, ont montré la faisabilité d'intégrer sur une même puce SiC des JFET complémentaires avec des canaux N et P. De plus, les analyses de ces résultats nous ont permis de comprendre quelles sont les étapes technologiques sur lesquelles nous devons nous focaliser afin d'améliorer les performances de ces composants latéraux.

Suite à ces travaux nous avons présenté dans le troisième chapitre une étude approfondie concernant le contact ohmique sur le SiC-4H type P. Cette étude a permis d'obtenir des contacts ohmiques sur le SiC de type P avec une résistivité spécifique de l'ordre $10^{-5} \Omega \cdot \text{cm}^2$. Rappelons que les résultats sur les lots analysés dans le deuxième chapitre nous recommandaient l'utilisation de deux métallisations distinctes pour la fabrication d'un nouveau lot de composants, une dédiée pour les couches P^+ et l'autre pour les couches N^+ .

Ce quatrième chapitre présente la réalisation de nouveaux lots de composants JFET latéraux N et P en décrivant tout particulièrement l'optimisation des différentes étapes technologiques nécessaires à leur intégration monolithique.

Tout d'abord nous commencerons par présenter quelques éléments sur la conception de ces nouveaux composants. La deuxième partie du chapitre fera l'objet de la description détaillée des étapes technologiques utilisées pour la réalisation des composants. Nous allons particulièrement insister sur les changements que nous avons apportés par rapport aux lots présentés dans le deuxième chapitre. Un accent sera mis sur la gravure du SiC, l'optimisation des contacts ohmiques étant déjà largement détaillée dans le chapitre 3. Nous finirons ce chapitre par la caractérisation électrique des lots réalisés.

4.2 Description des échantillons

Commençons par rappeler le schéma du bras d'onduleur avec les deux étages de puissance et commande, présentés au deuxième chapitre.

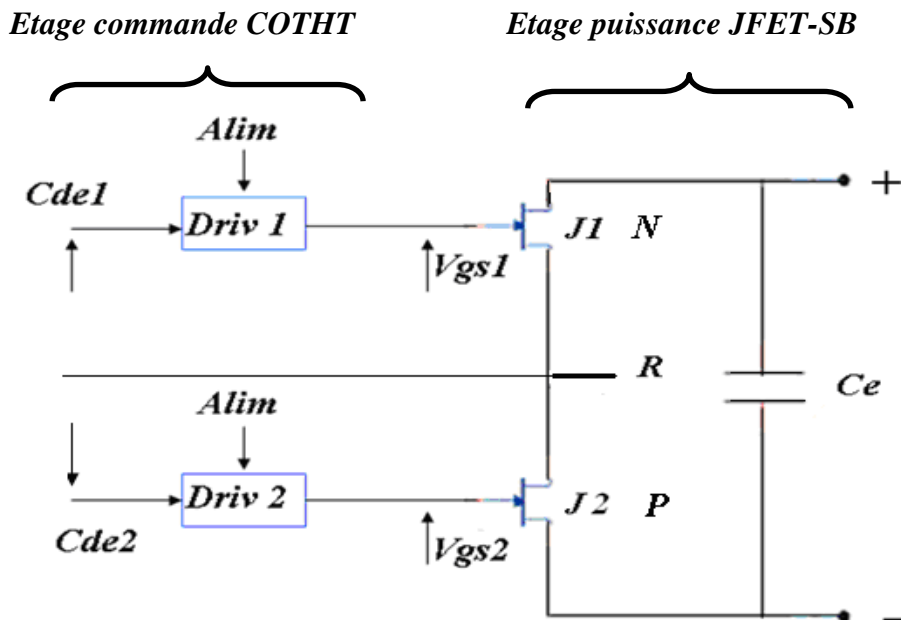


Figure 95 : Schéma d'un bras d'onduleur avec les deux étages commande et puissance.

Nous nous sommes focalisés sur l'étage de puissance en développant pour ce lot des nouvelles structures et en utilisant un nouveau jeu de masques. Les épaisseurs des couches des grilles et des canaux ont été optimisées ainsi que leurs dopages. Nous avons utilisé deux métallisations distinctes pour les contacts ohmiques sur les couches P^+ et N^+ .

4.2.1 Description de l'étage de commande basse puissance.

Nous avons repris des échantillons de la plaque CREE prévue initialement dans le projet COTHT pour la fabrication de l'étage de commande. La plaque **DH0612-10** (SiC-4H) utilisée dans la fabrication de ce lot de composants comporte un substrat de type N⁺ avec un dopage de $3 \times 10^{18} \text{ cm}^{-3}$ et deux couches épitaxiales. La première couche de type P a une épaisseur de $2 \mu\text{m}$ et un dopage de $5 \times 10^{16} \text{ cm}^{-3}$. L'épaisseur et le dopage de la seconde couche de type N sont respectivement de $0,9 \mu\text{m}$ et de $5,5 \times 10^{16} \text{ cm}^{-3}$. Ces couches épitaxiales seront directement utilisées pour les canaux des JFET latéraux basse tension. Cette structure a été définie lors du projet ANR COTHT. La couche de type P est plus épaisse afin de prendre en compte l'incertitude sur la gravure de la première couche épitaxiale de type N. Les tensions de pincement pour ces JFET calculés d'après l'annexe 2 et en prenant une profondeur de grille de $0,5 \mu\text{m}$ sont d'environ 10 V pour les JFET type N et 40 V pour les JFET type P.

Les structures des JFET de type P et N intégrées monolithiquement sur le même substrat SiC sont représentées sur la figure 2 avec un code de couleurs pour les deux types de conduction (rose-rouge pour le type N et bleu clair et foncé pour le type P). Notons que pour ce lot nous avons utilisé le même jeu de masques que celui présenté dans le deuxième chapitre et rappelé ci-dessous dans la figure 3.

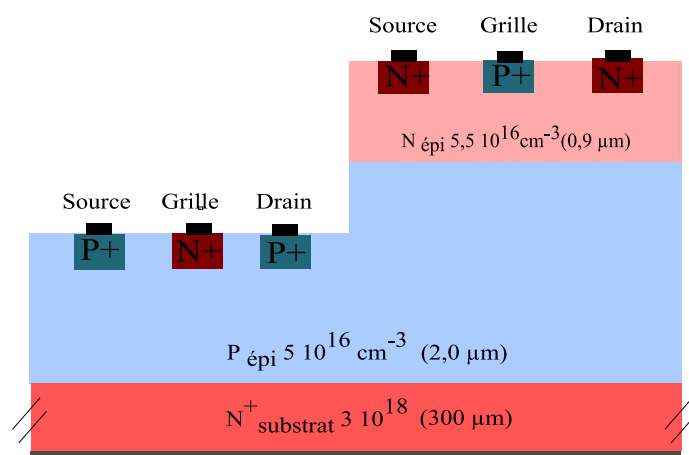


Figure 96 : Représentation schématique des JFET basse tension à canal P et N sur la plaque DH0612-10.

La géométrie des différents JFET est récapitulée dans le tableau ci-dessous. Rappelons que le jeu de masques a été également défini dans le projet COTHT.

<i>JFET type N</i>	<i>J1</i>	<i>J2</i>	<i>J3</i>	<i>J4, J5</i>	<i>J6</i>	<i>J7</i>	<i>J8</i>	<i>J9</i>	<i>J10</i>
Surface (mm ²)	2,2	1,5	0,89	0,89	0,195	0,32	0,31	0,195	0,195
Largeur du canal Z (mm)	29,6	39,5	31,2	31,2	1,1	1	1	1,1	1,1
Longueur du canal L (μm)	40	25	19	28	40	25	19	32	28

Tableau 29 : Paramètres géométriques des JFET type N de l'étage de commande.

<i>JFET type P</i>	<i>J1</i>	<i>J2</i>	<i>J3</i>	<i>J4, J5</i>	<i>J6, J8, J10</i>	<i>J7, J9, J11</i>	<i>J12, J13</i>	<i>J14, J15</i>	<i>J16, J17</i>
Surface (mm ²)	2,2	1,5	0,89	0,89	0,195	0,195	0,32	0,32	0,31
Largeur du canal Z (mm)	29,6	39,5	31,2	31,2	1,1	1,1	1	1	1
Longueur du canal L (μm)	40	25	19	28	32	28	40	25	19

Tableau 30 : Paramètres géométriques des JFET type P de l'étage de commande.

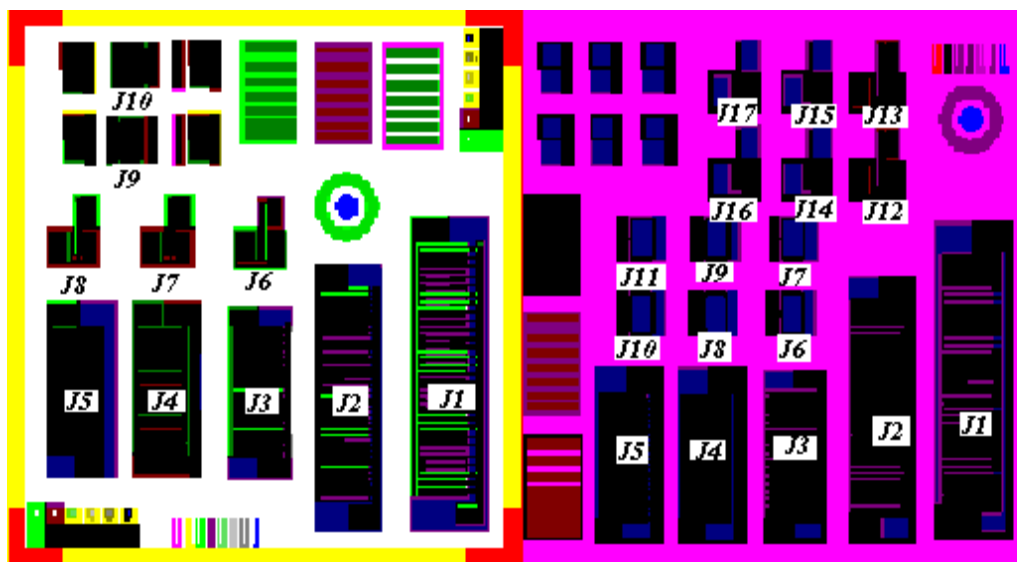


Figure 97 : Schéma des masques utilisés pour la fabrication des JFET de puissance composés des 2 champs répétitifs ($6 \times 10 \text{ mm}^2$) et de huit niveaux. Désignation des JFET : à gauche JFET type N (couleur blanc) et à droite JFET type P (couleur rose).

4.2.2. Description des échantillons de l'étage de puissance.

4.2.2.1 Conception la structure gravée de l'étage de puissance

La conception de la structure gravée de l'étage de puissance, a été réalisée dans le cadre du travail de master de recherche d'Aurélien Jarno [Jarn 04]. Il a notamment réalisé le design des composants JFET, en simulant leur comportement électrique, avec le logiciel MEDICI™. Ce logiciel permet d'obtenir les caractéristiques électriques globales en fonction de l'architecture des composants. Ainsi ces travaux ont permis de déterminer les paramètres des couches utilisées tels que le dopage et l'épaisseur, des données technologiques comme la profondeur de gravure ou la dose d'implantation. Ces paramètres ont été optimisés afin d'obtenir une tension de claquage maximale. De plus, la connaissance des dimensions géométriques du canal (longueur et largeur) fixe le calibre en courant à l'état passant des JFET.

La conception de la structure gravée est antérieure au projet ANR JFETSB. Les acteurs du projet ANR JFETSB ont fait le choix d'une structure planaire au détriment de la structure gravée, la structure planaire semblant plus facilement réalisable. Mais nous avons vu lors du deuxième chapitre que la structure planaire demande un nombre trop important d'étapes d'implantations ioniques qui rendent difficilement la conduction des canaux. De plus par rapport aux composants du lot de puissance JFETSB présentés dans le deuxième chapitre, les nouveaux composants JFET à canal P et N sont intégrés sur la même puce.

La figure suivante (figure 4) présente l'étage de puissance du bras d'onduleur issue du travail de simulation d'Aurélien Jarno avec les structures des JFET type P et N intégrées sur le même substrat SiC type P. Les paramètres (dopage et épaisseurs) des différentes couches sont mentionnés dans la figure. Les valeurs des calibres en courant à l'état passant et des tenues en tension estimées par ces simulations, sont :

- 715 V et 1,25 A (en considérant une surface de 1 mm²) pour le JFET de type N.
- 742 V et 0,50 A (en considérant une surface de 1 mm²) pour le JFET de type P.

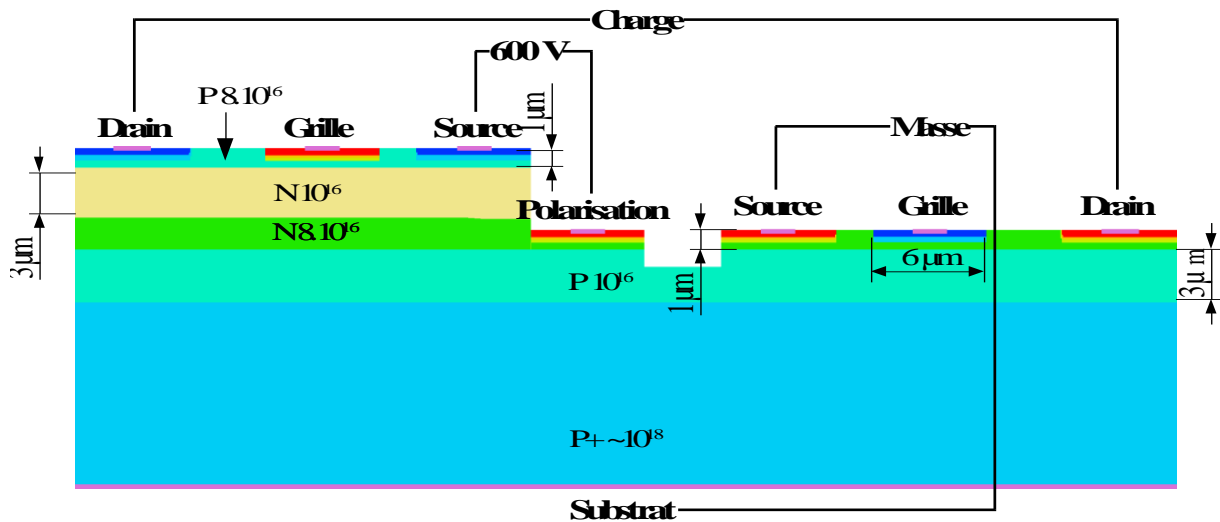


Figure 98 : Structure simulée des JFET type N et P intégrés sur le même substrat SiC pour réaliser l'étage de puissance du bras d'ondeleur.

Ces résultats sont également valables en inversant les types des couches et en gardant la disposition des JFET au niveau du bras d'ondeleur. Ainsi le JFET type N doit au potentiel le plus faible ou à la masse, et le JFET de type P au potentiel le plus élevé (le substrat N⁺ doit être polarisé également au potentiel le plus élevé).

Pour des raisons pratiques liées à la disponibilité des substrats SiC auprès des fabricants commerciaux, nous avons choisi cette dernière option. La plaquette SiC avec un substrat N⁺ et des couches épitaxiales a été achetée auprès du fabricant II-VI [II-VI 12]. La plaquette utilisée et la structure fabriquée sont présentées dans les paragraphes suivants.

4.2.2.2 Présentation de la structure

Pour la réalisation des composants de puissance nous avons utilisé la plaque SiC-4H fournie par II-VI avec la référence **EB-EC376-29 SYA**. La plaque présente un substrat N⁺ (300 μm - $3 \times 10^{18} \text{ cm}^{-3}$) et plusieurs couches épitaxiales dont:

- une de type N (7 μm - $5 \times 10^{15} \text{ cm}^{-3}$)
- et au-dessus deux couches de type P (5 μm - $1 \times 10^{16} \text{ cm}^{-3}$ sur une couche à fort dopage $1 \times 10^{18} \text{ cm}^{-3}$ de 0,5 μm).

Les structures des JFET N et P intégrés monolithiquement dans ce substrat SiC sont présentées dans la figure suivante (figure 5). Nous avons représenté sur cette figure les couches des caissons implantés (canal, source, grille et drain) des JFET. Une description complète de la structure avec l'enchaînement détaillé des étapes technologiques de fabrication sera donnée par la suite dans la partie 4.3.

Les tensions de pincement pour ces JFET calculés d'après l'annexe 2 et en prenant une profondeur de canal de 0,5 μm sont d'environ 22 V pour les JFET type N et P.

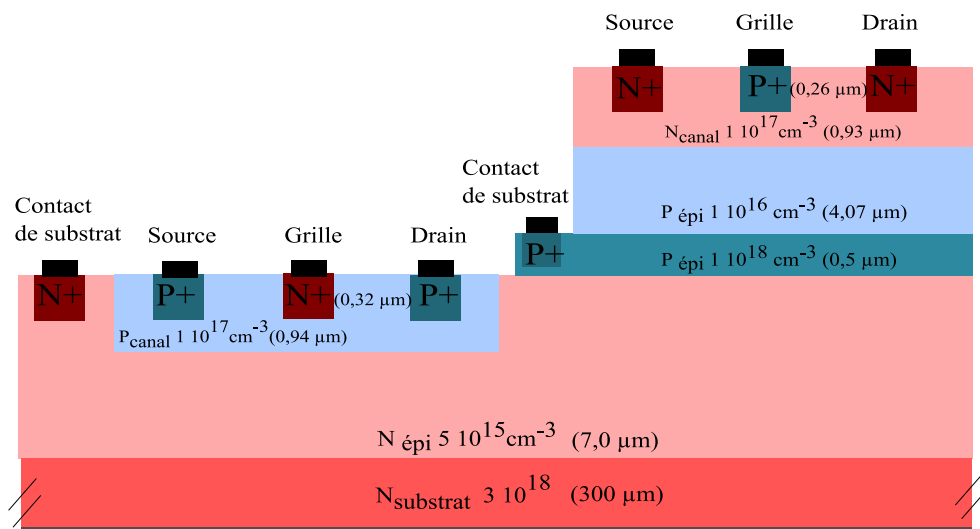


Figure 99 : Représentation schématique des JFET de puissance à canal N et P sur la plaque EB-EC376-29 SYA.

Remarquons au passage le contact pris sur la couche épitaxiée P qui joue un rôle de pseudo-substrat pour le JFET à canal N.

4.2.2.3 Organisation du jeu de masques

Le jeu de masques utilisé pour la fabrication des composants est présenté figure 6. Il a été réalisé par M. Lazar avec le logiciel Virtuoso du programme CADENCE en tenant compte de l'expérience et des résultats sur les lots que nous avons présenté dans le deuxième chapitre. Il a été modifié par rapport aux anciens lots en favorisant les structures de composants en serpent. Le jeu de masques contient deux champs où figure l'ensemble des transistors JFET ainsi que des motifs de tests. Ces motifs de test peuvent être classés en deux catégories, d'une part ceux utilisés directement lors de la fabrication technologique en salle blanche (contrôle de la précision de lithographie, croix d'alignement) et ceux utilisés après fabrication pour le test électrique des couches fonctionnelles : mesure des résistances de contact (TLM), du dopage (mesures capacitives).

La géométrie de différents JFET est récapitulée dans les tableaux ci-dessous.

JFET type N/P	Js1, Js2	Js3, Js4	Js6, Js7	Js9, Js10	Js11, Js12	Js13, Js14	Js15, Js16	Jd1, Jd2	Jd3, Jd4	Jd5, Jd6	Jd7, Jd8	Jd9, Jd10
Surface totale du composant (mm ²)	2,2	1,32	0,81	0,41	0,47	0,5	0,6	3,08	1,48	0,93	0,40	0,34
Largeur du canal Z (mm)	10,4 9	5,6	3,09	2,4	2,83	3,62	3,38	39	39	31	3,1	1,5
Longueur du canal L (μm)	140	140	140	70	80	70	80	30	30	26	55	55

Tableau 31 : Paramètres géométriques des JFET de l'étage de puissance.

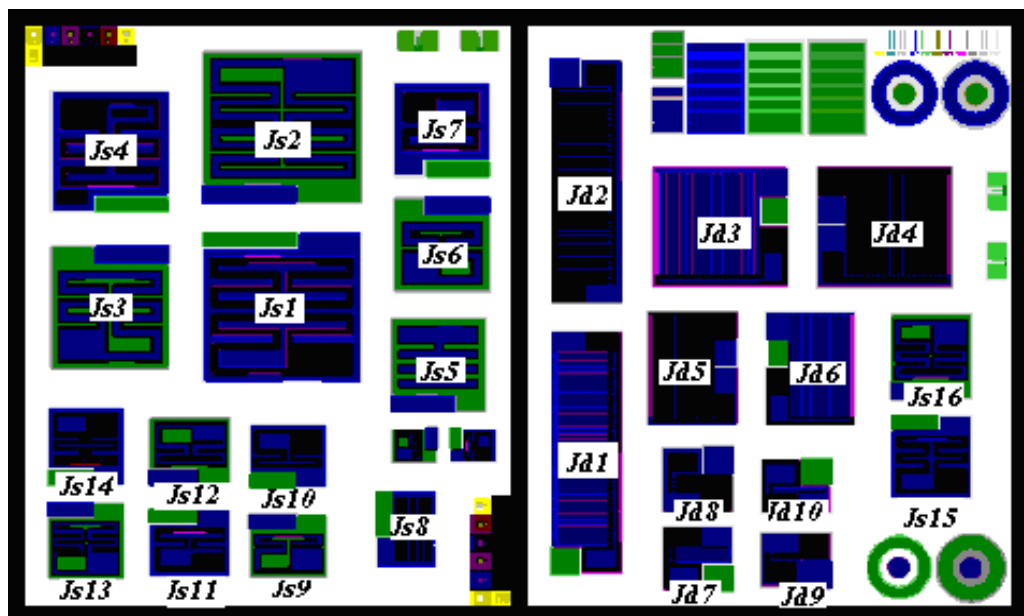


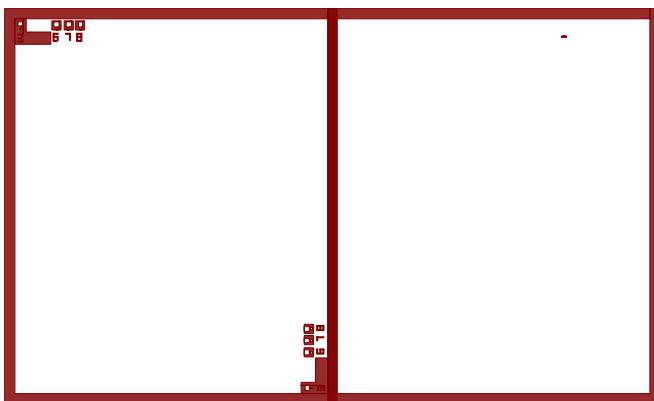
Figure 100 : Schéma du jeu de masques utilisés pour la fabrication des JFET de puissance, composé de 2 champs répétitifs ($6 \times 10 \text{ mm}^2$) et de dix niveaux. Désignation des JFET.

Les différents niveaux du jeu de masque sont résumés dans le tableau ci-dessous. Ils synthétisent également les principales étapes technologiques pour la fabrication des composants.

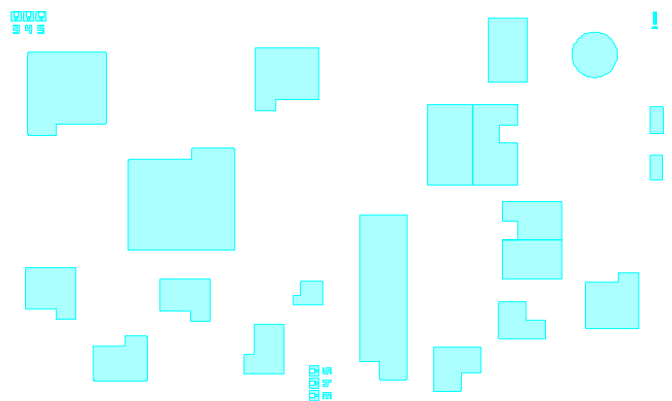
Niveau	Procédé technologique
1	Gravure profonde pour séparer les JFET de type N et de type P
2	Gravure pour la prise de contacts sur la couche P ⁺ .
3	Gravure des croix d'alignement nécessaires pour les étapes de lithographie.
4	Implantation ionique aluminium du canal P.
5	Implantation ionique azote (source/drain : N-JFET ; grille : P-JFET)
6	Implantation ionique aluminium (grille: N-JFET ; source/drain : P-JFET).
7	Métallisation Ti/Ni sur les caissons N ⁺
8	Métallisation Ni/Ti/Al/Ni sur les caissons P ⁺
9	Ouverture de la passivation de caissons P ⁺ et N ⁺
10	Sur-métallisation sur le drain, la source, la grille des JFET de type N et P

Tableau 32 : Description des différents niveaux du jeu de masques.

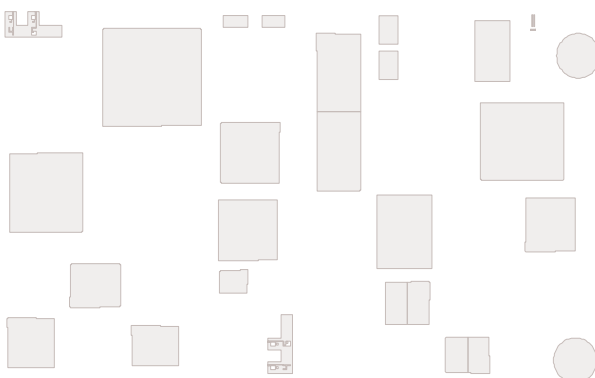
Le jeu de masques est réalisé en taille 4" à l'échelle 1. Les niveaux du jeu de masques d'un champ répétitif sont présentés individuellement dans la figure suivante :



Masque niveau Actif (DF)



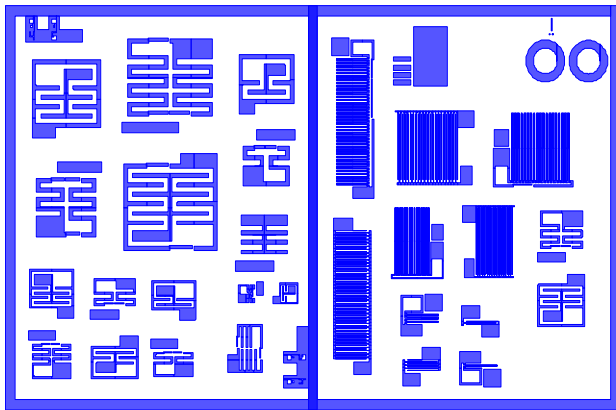
Masque niveau gravure profonde (BF)



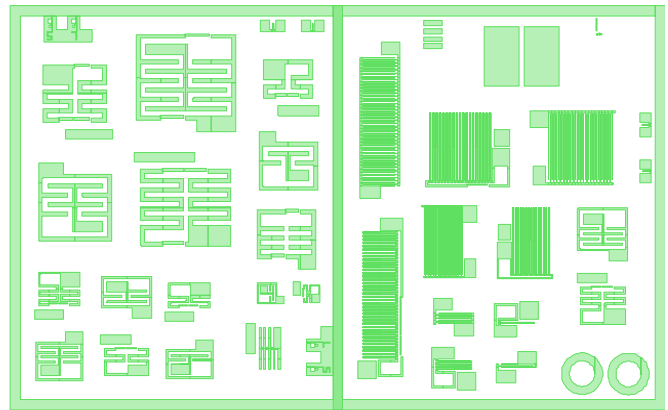
Masque niveau de gravure pour la prise de contacts sur la couche P⁺ (DF)



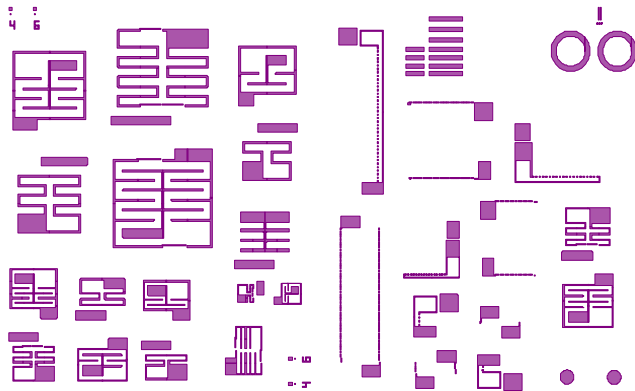
Masque niveau implantation canal P (DF)



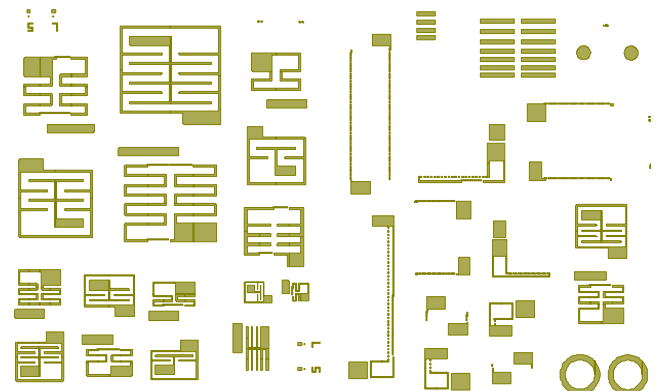
Masque niveau implantation N^+ (DF)



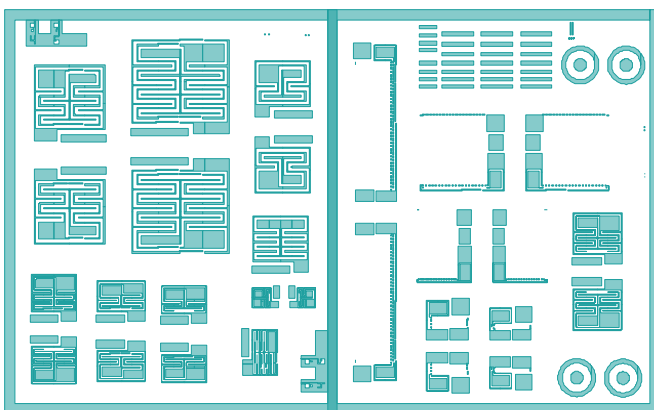
Masque niveau implantation P^+ (DF)



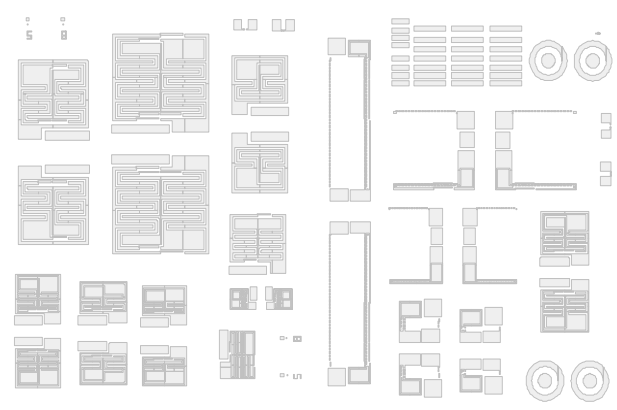
Masque métallisation N^+ (BF)



Masque métallisation P^+ (BF)



Masque passivation (BF)



Masque sur-métallisation N^+ et P^+ (BF)

Figure 101 : Les différents niveaux de masques nécessaires à la réalisation des JFET N et P.
(DF): Dark Field ou champ sombre, (BF): Bright Field ou champ clair.

4.3 Déroulement technologique

Ce sous-chapitre décrit les étapes technologiques utilisées et optimisées lors du procédé de fabrication des JFET.

Tout d'abord rappelons la structure des JFET que nous avons fabriqués :

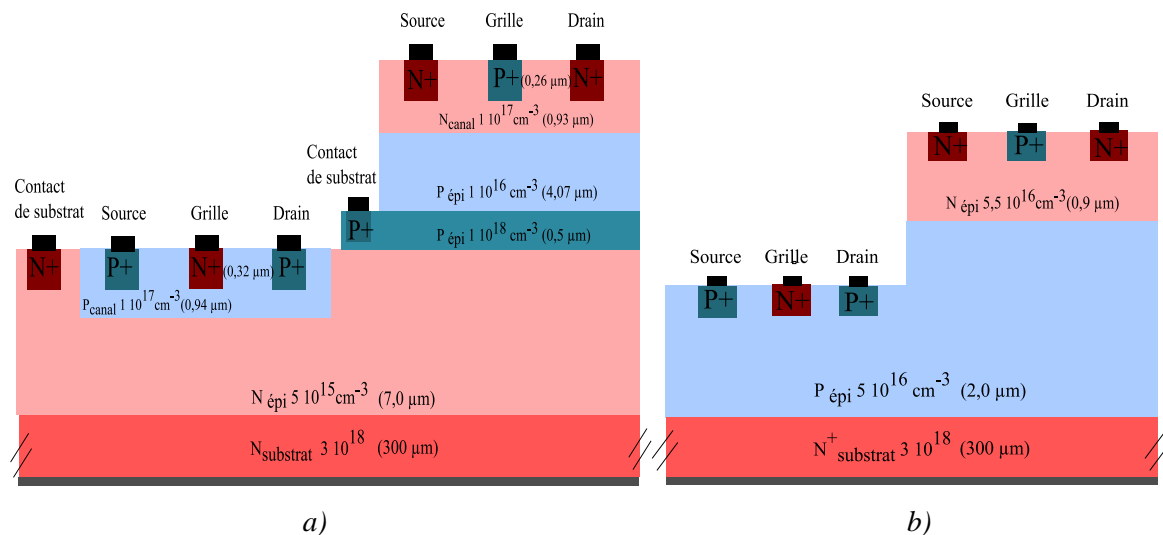
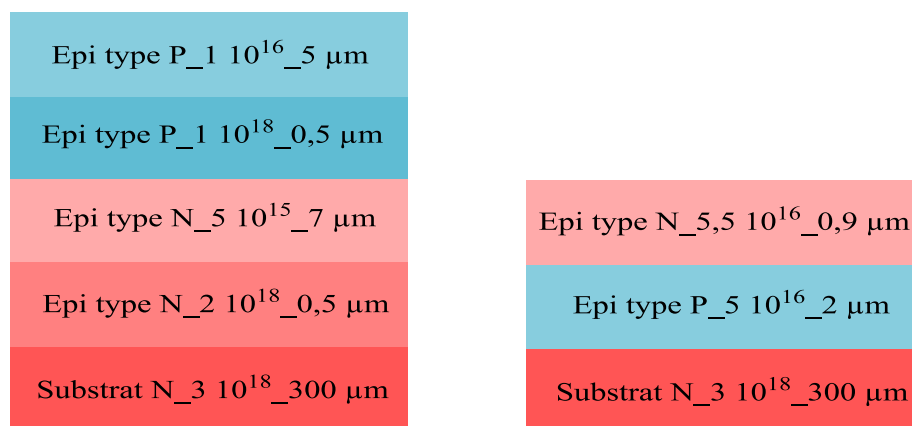


Figure 102: structures de JFET réalisés: a) étage de puissance, b) étage de commande.

Ainsi que les paramètres des plaques SiC-4H utilisées :



a : EB-EC376-29 SY A (II-VI)

b: DH0612-10 (CREE)

Figure 103 : Représentation schématique des plaquettes utilisées pour la réalisation des JFET latéraux.

Remarquons que pour l'étage de puissance les canaux sont réalisés par implantations contrairement aux JFET de l'étage de commande où la conduction des canaux est assurée par

les couches épitaxiales. Nous avons pris la décision de réaliser les canaux par implantation ionique dans la structure de l'étage de puissance sinon elle serait devenue trop complexe et trop onéreuse en nombres de couches épitaxiales.

Avant de détailler les étapes technologiques utilisées à la fabrication de ces composants nous montrons ci-dessous les analyses SIMS qui ont été réalisées avec une source primaire en oxygène sur des échantillons en provenance de ces plaquettes. Ces analyses ont été faites juste avant la fabrication de ces nouveaux lots de composants. Précisons que la limite de détection de l'azote est de $\sim 10^{18} \text{ cm}^{-3}$, et celle d'aluminium de $\sim 10^{15} \text{ cm}^{-3}$. Ces mesures confirment en grande partie (dans les limites mentionnées juste avant) les paramètres de dopage et épaisseur fournis par II-VI et CREE sont mentionnées dans la figure 9.

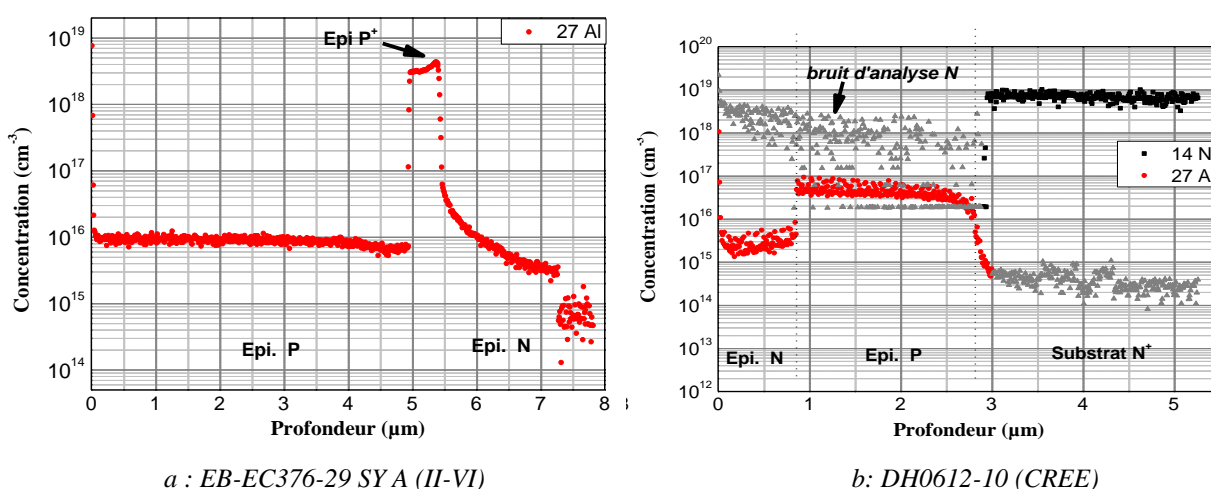


Figure 104 : Spectres d'analyses SIMS obtenus sur les plaquettes utilisées pour la réalisation de JFET latéraux. a) EB-EC376-29 SY A b) DH0612-10.

4.3.1 Chimie - nettoyage des surfaces

L'étape de nettoyage est une étape primordiale lors de la réalisation des composants. Ces étapes sont très présentes tout au long des procédés technologiques. Le nettoyage est utilisé avant tout procédé appliqué sur un échantillon et pour toute préparation de surface entre deux étapes technologiques. Les mélanges chimiques utilisés pour les nettoyages des surfaces sont habituellement appelés le piranha (ou CARO) et le RCA. Des traitements chimiques sont également utilisés pour graver et éliminer les masques métalliques. Ces différentes solutions chimiques utilisées dans nos travaux ont déjà été décrites dans les deux chapitres précédents.

4.3.2 Photolithographie

La photolithographie est une étape clef dans le déroulement de la réalisation technologique, car elle est utilisée pour chaque niveau de masque. La lithographie est le procédé de report sur la résine des motifs dessinés sur un masque. Toutes les étapes de réalisation de composant sont basées localement sur le report de motifs très bien définis et sur des surfaces de plus en plus petites afin de créer et d'interconnecter des dispositifs élémentaires entre eux et d'améliorer leur intégration.

Pour nos échantillons et l'ensemble des étapes technologiques, le transfert se fait sur des résines photosensibles étalées sur la surface de nos échantillons. Par insolation UV, la résine exposée réagit et sa structure change. Il est alors possible d'enlever sélectivement soit les parties exposées, soit les parties protégées. Il existe deux types de résines, les résines photosensibles négatives, dont la partie exposée, reste après le développement, et la résine positive dont la partie exposée sera enlevée. Il existe des résines réversibles permettant d'être à la fois positives et négatives.

Dans le cadre de la fabrication de nos structures JFET par gravure, le verrou principal consistait à pouvoir réaliser nos contacts métalliques sur le haut des 'mésas'. Compte-tenu des dimensions la technique par 'lift-off' a été préférée. Nous avons utilisé en général la résine l'AZ5214E [MiCh 13] qui est une résine réversible, connue et utilisée couramment sur la plateforme NonoLyon de l'ECL. Le procédé d'inversion (passage de positive à négative) nécessite une étape de recuit supplémentaire et une insolation pleine plaque. Ces résines couramment utilisées dans les centres technologiques ont généralement une épaisseur de l'ordre du micromètre (1,2 μm pour un dépôt à 5000 tours/min).

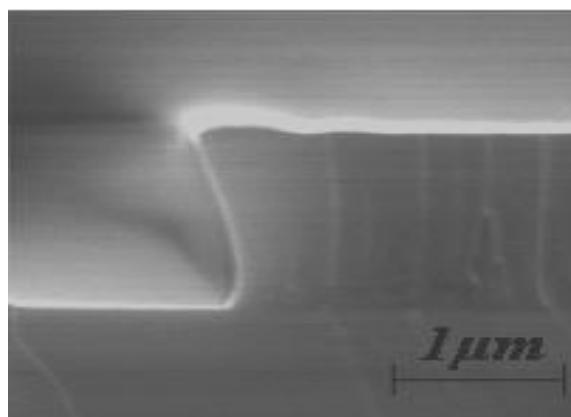


Figure 105 : Photographie MEB d'une résine (épaisseur de 1,2 μm) avec une lithographie négative.

Pour des besoins spécifiques nous avons utilisé d'autres résines, en essayant de les adapter à nos équipements et produits existants.

Pour les échantillons présentant des flancs avec une hauteur de marche supérieure à $1\ \mu\text{m}$ (mesas), il a fallu utiliser une résine épaisse afin de bien recouvrir les flancs. Pour nos échantillons présentant une gravure profonde de $6\ \mu\text{m}$, des résines épaisses notamment la SPR 220.7 [Ship 06] de $7\ \mu\text{m}$ a été utilisée en lithographie positive. En jouant sur la vitesse de rotation lors du dépôt par "spin coating" (tournette), il est alors possible d'atteindre des épaisseurs plus importantes de l'ordre de $8\ \mu\text{m}$. D'autres étapes ont exigé l'utilisation de résines épaisses pour une lithographie négative notamment lors des dépôts de couches métalliques par "lift-off". Les résines Ti35ES et nLof [MiCh 13] sont négatives avec des épaisseurs respectivement de $4\ \text{à}\ 5\ \mu\text{m}$ et de $2\ \text{à}\ 8\ \mu\text{m}$.

Les résines négatives présentent en général un angle négatif, rentrant (figure 11) qui facilite les dépôts par lift-off. Ces dépôts ont été utilisés notamment pour les prises de contacts métalliques en haut des flancs gravés. Ce procédé nous permet d'éviter toute surgravure souvent provoquée par l'attaque chimique dans le cas d'une gravure humide des couches métalliques déposées pour former les contacts. La figure 12 présente un flanc méso recouvert d'une résine Ti35ES qui a été utilisée pour déposer par "lift-off", des couches métalliques en haut des flancs mesas.

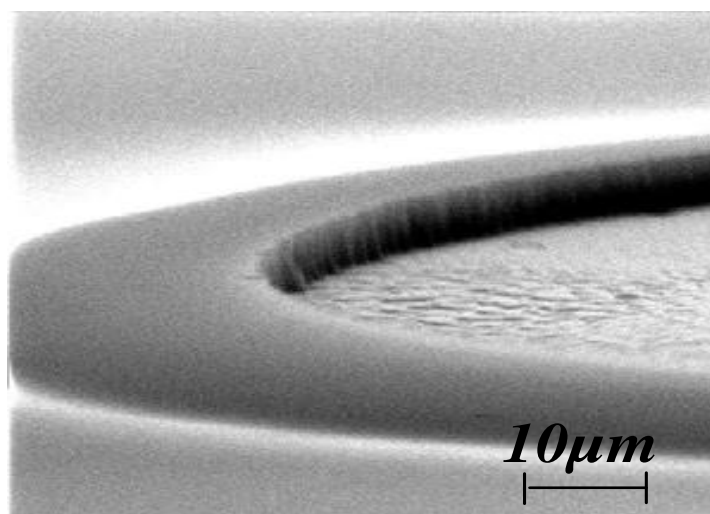


Figure 106 : Photographie de lithographie avec une résine épaisse (Ti35ES) sur une structure mesa de $5\ \mu\text{m}$.

4.3.2.1 Nettoyage des masques Cr-verre

Avant de clôturer cette partie nous tenons à remarquer qu'il est extrêmement important de bien nettoyer les masques Cr-verre qui sont utilisés pour le report des motifs par photolithographie par contact (masque-échantillon). En effet, lors des utilisations successives de nos masques, ceux-ci se polluent et occasionnent à terme des zones de micro-masquage parasites. La figure 13 montre des micro-plots formés sur nos échantillons à cause des saletés

et des résidus de résine, qui se collent, durcissent dans le temps et avec la température sur les masques Cr-verre lors des étapes de lithographie.

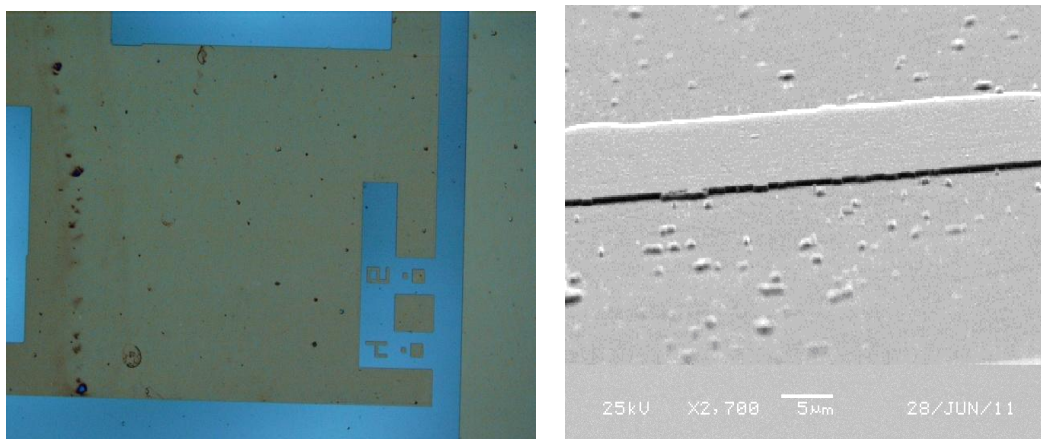


Figure 107 : Images prises avec microscope optique : a) masque Cr-verre sale avant nettoyage, b) report de ces saletés sur nos échantillons.

Une procédure de nettoyage systématique a été mise en place pour nos masques. Cela commence par un nettoyage par trempage dans l'acétone chaud suivi d'une étape de nettoyage à l'acétone dans une cuve à ultrasons. Nous avons également testé le plasma oxygène et ensuite un plasma O₃ (ozonolyse). Enfin le meilleur résultat a été obtenu avec une solution à base d'acide sulfurique et de l'eau oxygénée avec les proportions suivantes : 95 % de H₂SO₄ et 5 % de H₂O₂. Cette solution, une sorte de Pyrana ou Caro, nous a permis de nettoyer et retirer tous les résidus sur nos masques comme le montre la figure 14.

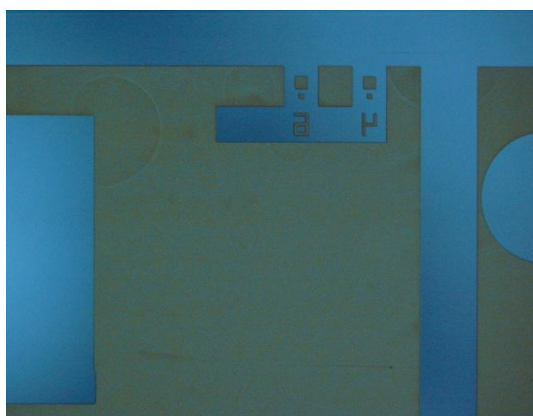


Figure 108 : Images prises avec microscope optique d'un masque Cr-verre après nettoyage.

4.3.3 Métallisation

Les dépôts métalliques ont été réalisés par évaporation au canon à électrons, dans un bâti pompé sous ultra-vide. Le vide résiduel avant dépôt est de l'ordre de 10⁻⁷ mbar, le vide au moment du dépôt est maintenu entre quelques 10⁻⁷ mbar et 10⁻⁶ mbar.

Les dépôts métalliques que nous avons réalisés, ont été faits essentiellement à base de titane, de nickel et d'aluminium.

Dans le cas des contacts ohmiques, nous avons utilisé des métaux de différentes natures Ni/Ti/Al/Ni sur SiC-4H type P (contact ohmique type P) et Ti/Ni sur SiC-4H type N (contact ohmique type N). Sur nos dispositifs nous avons commencé par le contact type N qui nécessite un recuit à une température à 900 °C. Rappelons que nous avons montré dans l'étude sur le contact ohmique de type P au troisième chapitre, qu'on peut dégrader le contact avec un recuit à une température supérieure à la température optimale qui était autour de 800 °C.

Ainsi, tout d'abord, une étape de photolithographie a été réalisée avant de déposer 150 nm de nickel sur une couche d'accrochage de 5 nm de titane. Puis le lift-off a été effectué suivi par un recuit RTA (Rapid Thermal Annealing) à une température de 900 °C pendant 90 s qui permet la formation du contact ohmique type N. Une nouvelle étape de photolithographie a eu ensuite lieu pour définir les zones pour le contact ohmique type P. Nous avons déposé les couches Ni/Ti/Al/Ni, alliage étudié dans le chapitre précédent qui nous permet d'avoir un contact ohmique type P à une résistivité spécifique de l'ordre $10^{-5} \Omega\text{cm}^2$ après un recuit RTA à une température de 800 °C pendant 90 s.

4.3.4 Dopage par implantation ionique

Etant donné la difficulté d'introduire des impuretés dans le SiC par diffusion, l'implantation ionique est la solution la plus efficace pour réaliser un dopage localisé [Laza 02]. Cette étape est très critique pour la conduction à l'état passant.

Deux types de dopants ont été utilisés pour réaliser les implantations ioniques dans le SiC. L'azote est l'impureté utilisée pour réaliser le canal et les caissons des électrodes (source, drain et grille) type N. L'aluminium a été implanté pour former le canal et les caissons des électrodes type P.

4.3.4.1 Les simulateurs SRIM et I²SiC

Deux simulateurs d'implantation ionique de type de Monte-Carlo ont été utilisés : SRIM (Stopping and Range of Ions in Matter), [SRIM 12], et I²SiC (Implantation Ionique dans le SiC), [Morv' 98].

Le simulateur nommé I²SiC est basé sur la méthode Monte Carlo (MC) dans l'approximation des collisions binaires (BCA). Il a été réalisé dans le cadre de la thèse en cotutelle Ampère-CNM de Erwan Morvan [Morv 99]. Ce simulateur est basé sur des modèles physiques qui décrivent l'interaction ion matière (collision élastique, angles de déflexion,

pertes d'énergies nucléaire et électronique...). Le simulateur I^2SiC prend en compte la structure périodique du SiC (4H ou 6H) vue par le faisceau incident, et en conséquence les positions bien déterminées des atomes dans la matrice cristalline. Il considère également les vibrations thermiques des atomes du réseau, leurs faibles déplacements d'oscillation par rapport à une position d'équilibre et la divergence du faisceau incident.

Dans la littérature on remarque la bonne superposition des profils SIMS et I^2SiC surtout dans la partie canalisation, ce qui n'est pas le cas du simulateur SRIM qui considère la cible amorphe.

D'une manière générale nous avons utilisé I^2SiC pour simuler les implantations dans le SiC et SRIM pour les implantations dans des couches d'autre nature (silice, couches métalliques...).

4.3.4.2. Masque d'implantation

Pour rendre le dopage sélectif, un masque à la surface du substrat est nécessaire afin de pouvoir doper localement et sélectivement les zones désirées. Il protège les régions qui ne doivent pas être implantées. Pour nos implantations ioniques nous avons utilisé la silice comme masque, déposée par PECVD (*Plasma-enhanced chemical vapor deposition*), en optimisant son épaisseur. Son épaisseur minimale et sa densité atomique sont des paramètres critiques pour que les ions ne la traversent pas et ne puissent atteindre la surface à protéger.

L'épaisseur a été choisie en fonction de l'énergie maximale d'implantation. Nous avons déterminé les épaisseurs du masque par simulation SRIM. Les simulations pour les implantations les plus énergétiques (680 keV en aluminium) demandent un masque avec une épaisseur d'environ 2 μm .

Notons que le fait d'utiliser des masques épais en silice nous a confrontés au problème de son ouverture pour les zones à implanter. Cette difficulté a été plus importante par le fait que nous avons des flancs gravés avec des hauteurs assez élevées. Dans ce cas, nous avons dû ouvrir les couches de silice par gravure humide, la gravure sèche étant limitée à des épaisseurs de l'ordre d'1 μm sur une surface plane. Nous avons utilisé des résines épaisses pour définir les zones d'ouverture de la silice en faisant attention au recouvrement des flancs. Nous avons utilisé les résines SPR 220.7 avec 8 μm d'épaisseur. Des essais de gravure ont été réalisés sur des petits échantillons (quart de wafer 2'') sur lesquels nous avons dessiné notre masque de résine déposée sur une couche de silice d'épaisseur supérieure ou égale à 1.2 μm . Tout d'abord, les premiers essais de gravure de la silice avec BOE (Buffered Oxide Etch) ont produit une sur-gravure latérale importante, de l'ordre de quelques μm (figure 15).

Cette sur-gravure est incompatible avec les dimensions de nos composants. L'influence des différents paramètres a été étudiée. Pour arriver à optimiser cette attaque, nous avons raccourci la durée de réaction et amélioré le mouillage avec un mélange à base de BOE et acide fluorhydrique HF (48 %) avec une proportion en volume (BOE : HF) (3:1).

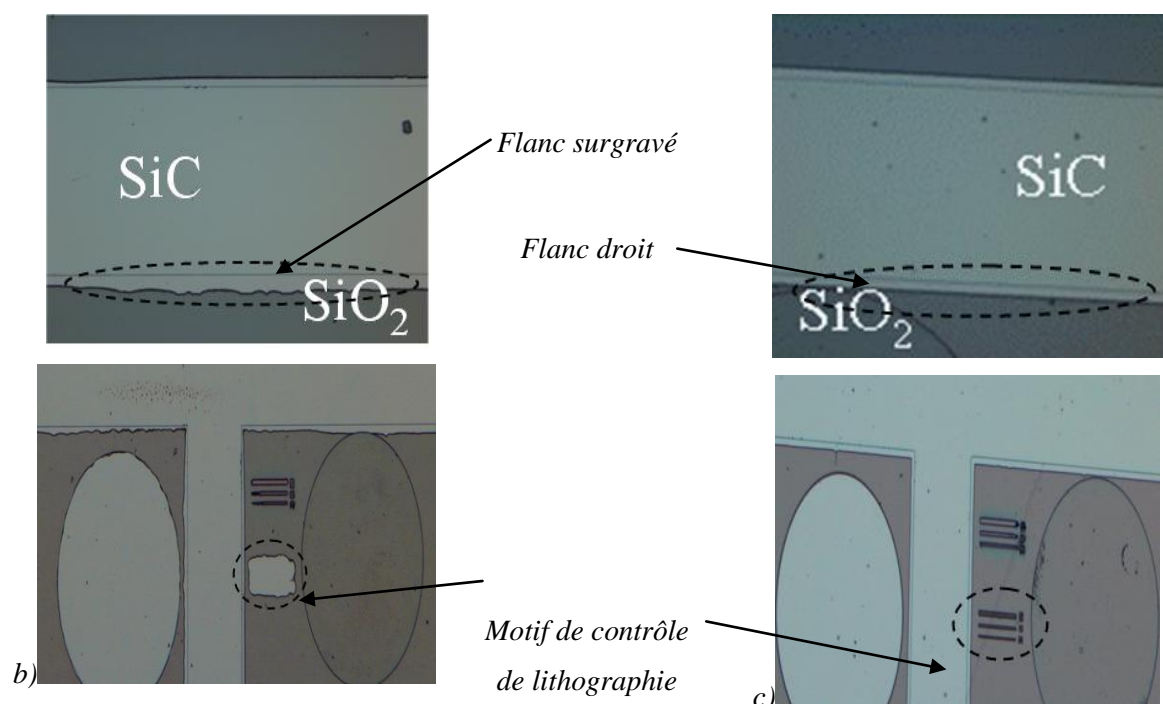
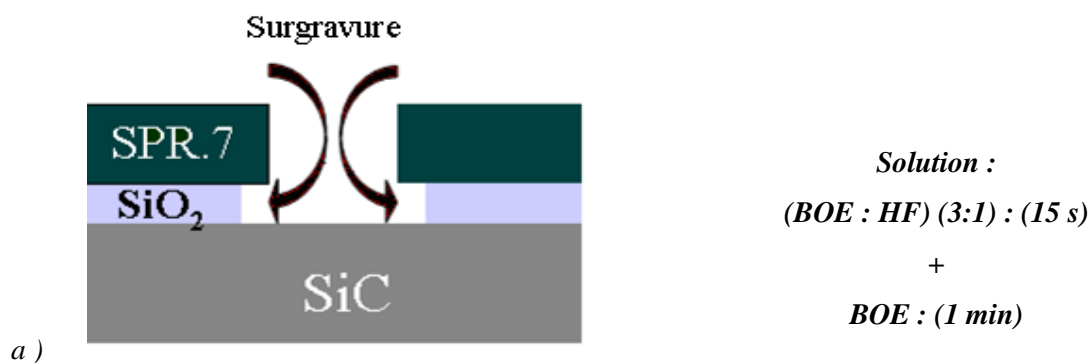


Figure 109 : Représentation schématique de la surgravure d'une couche de silice et images prises au microscope optique qui montrent : (b) le phénomène de surgravure au niveau du flanc et sur les motifs de contrôle de lithographie (c) échantillon gravé sans surgravure, flanc droit et motifs de contrôle de lithographie bien définis.

4.3.4.3 Implantation d'azote

4.3.4.3.1 Canal N

Une implantation d'azote a été réalisée à la surface des couches épitaxiées du substrat II-VI en carbure de silicium pour former le canal type N de concentration $2 \times 10^{17} \text{ cm}^{-3}$. Cette implantation a été effectuée à l'Institut Physique Nucléaire de Lyon IPNL avec l'implanteur ionique IMIO400. Comme mentionné dans le deuxième chapitre, rappelons que pour palier la contrainte technologique liée au fait que l'énergie minimale de cet implanteur est de 200 keV pour les espèces doublement chargées, une couche d'arrêt de 500 nm de silice a été utilisée en surface. Par contre, nous remarquons que malgré cet inconvénient, cet implanteur non standard, est bien adaptée à la réalisation des couches des canaux puisqu'il permet d'obtenir des énergies élevées et donc des canaux implantés assez profonds

Dans ce cas, nous avons ajouté à la surface du SiC une couche de silice de 500 nm. La figure 16 et le tableau suivant illustrent le profil de simulation de l'implantation.

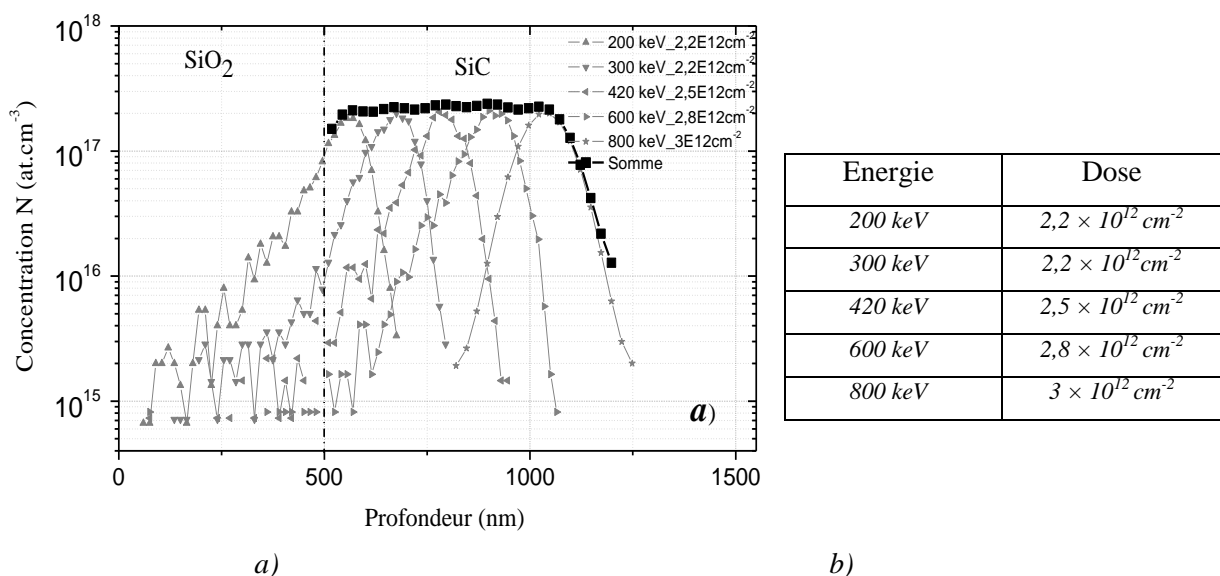


Figure 110 : a) Profil d'implantation du canal N, b) tableau des énergies et des doses d'implantation pour le canal N des JFET de la plaque II-VI EB-EC376-29 SY A. Les implantations ont été effectuées à travers une couche de silice de 500 nm.

4.3.4.3.2 Caissons drain, grille, source N⁺

Une seconde implantation d'azote a été réalisée pour les caissons des électrodes (source, drain et grille) à une concentration $3 \times 10^{19} \text{ cm}^{-3}$.

Les paramètres de cette implantation ont été déterminés et optimisés à partir de simulations avec le logiciel I²SiC qui prend en compte l'effet de la canalisation. Les implantations ont été effectuées à l'Institut Pprime de Poitiers, à faibles énergies commençant

à 25 keV qui permet d'éviter l'utilisation de la couche d'arrêt et surtout de diminuer la profondeur de ces caissons N⁺. Nous insistons sur ce point qui représente un changement majeur par rapport aux lots de composants présentés au deuxième chapitre.

Cette implantation est critique pour le fonctionnement du composant pour la prise de contact et surtout pour la définition de l'épaisseur du canal de conduction sous le caisson de grille dans le cas du transistor type P.

Le profil de concentration des dopants N⁺ est illustré par la figure 17 et les paramètres d'implantations sont récapitulés dans le tableau attaché à la figure. Nous avons superposé le profil N⁺ avec le profil du canal P réalisé par implantation d'aluminium qui sera décrite dans le paragraphe suivant.

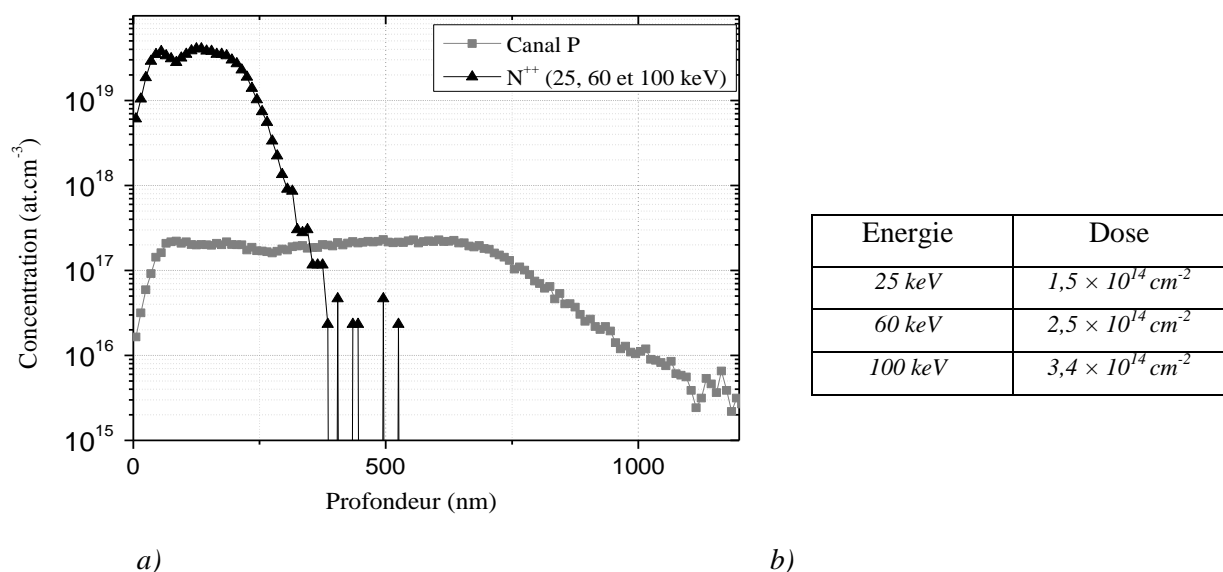


Figure 111 : a) Profil d'implantation de la grille, la source et le drain avec azote pour les caissons de type N. Ce profil a été superposé avec celui du canal P, b) tableau des énergies et les doses d'implantation N⁺.

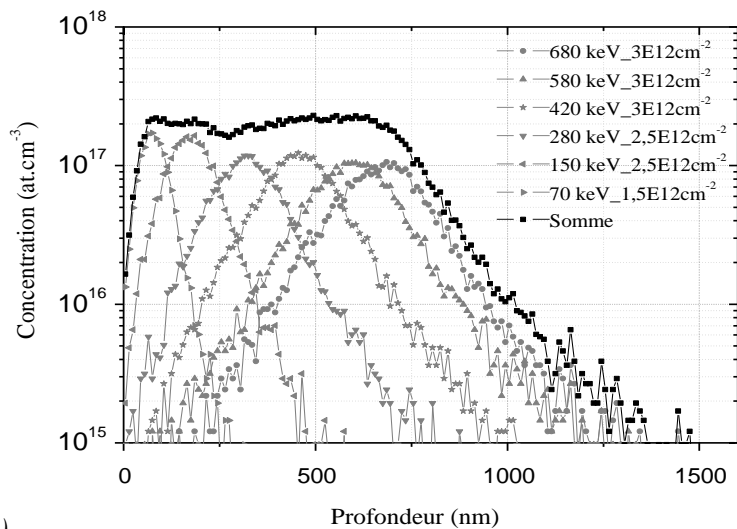
4.3.4.4 Implantation d'aluminium

Des implantations d'aluminium à plusieurs énergies ont été effectuées sur nos échantillons pour former le canal type P et les caissons des électrodes P⁺.

4.3.4.4.1 Canal P

Tout d'abord, l'implantation du canal visant une concentration de plateau de 2 × 10¹⁷ cm⁻³ été faite avec l'implanteur ionique IMIO400 de l'Institut Physique Nucléaire de Lyon IPNL.

Toutes les implantations d'aluminium ont été effectuées sans couche d'arrêt de silice puisque l'IPNL a trouvé une solution technique pour diminuer l'énergie d'implantation jusqu'à 70 keV. Les doses et les énergies ont été sélectionnées à partir de simulations issues du logiciel I²SiC. La figure 18 et le tableau suivant illustrent le profil de simulation de l'implantation.



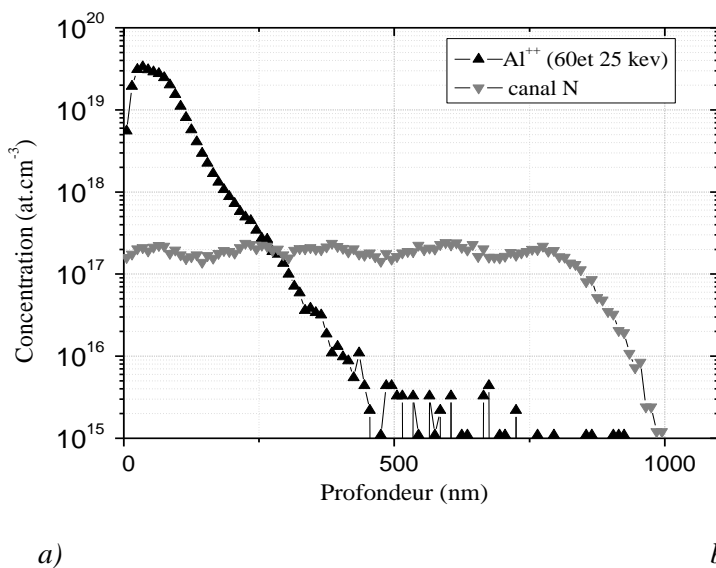
Energie	Dose
70 keV	$1,5 \times 10^{12} \text{ cm}^{-2}$
150 keV	$2,5 \times 10^{12} \text{ cm}^{-2}$
280 keV	$2,5 \times 10^{12} \text{ cm}^{-2}$
420 keV	$3 \times 10^{12} \text{ cm}^{-2}$
580 keV	$3 \times 10^{12} \text{ cm}^{-2}$
680 keV	$3 \times 10^{12} \text{ cm}^{-2}$

a) b) *Figure 112 : a) Profil d'implantation du canal P, b) tableau des énergies et les doses d'implantation pour le canal P des JFET de la plaque II-VI EB-EC376-2 SYA.*

4.3.4.4.2 Caissons drain, grille, source P⁺

Une deuxième implantation d'aluminium, P⁺, pour les caissons des électrodes (sources, drains et grilles) visant une concentration de plateau de $3 \times 10^{19} \text{ cm}^{-3}$ a été faite avec un implantateur classique (Eaton) chez IBS (Ion Beam Services). Dans ce dernier cas les implantations ont été faites à faibles énergies afin de diminuer la profondeur de ces caissons P⁺, et augmenter l'épaisseur du canal N.

Le profil de concentration des dopants P⁺ est présenté dans la figure, superposé avec le profil du canal N.



Energie	Dose
25 keV	$8 \times 10^3 \text{ cm}^{-2}$
60 keV	$2 \times 10^{14} \text{ cm}^{-2}$

a) b) *Figure 113 : a) Profil d'implantation aluminium de la grille, la source et le drain pour les caissons de type P. Ce profil a été superposé avec celui du canal N, b) tableau des énergies et les doses d'implantation.*

Le tableau 5 synthétise les implantations ioniques effectuées pour fabriquer les JFET de type N et P de la plaque *EB-EC376-29 SY A*.

Echantillons		Type de couche	Concentration de dopage	Profondeur
JFET type N	Canal	N	$2 \times 10^{17} \text{ cm}^{-3}$	0,93 μm
	Source et Drain	N ⁺	$3 \times 10^{19} \text{ cm}^{-3}$	0,32 μm
	Grille	P ⁺	$3 \times 10^{19} \text{ cm}^{-3}$	0,26 μm
JFET type P	Canal	P	$2 \times 10^{17} \text{ cm}^{-3}$	0,94 μm
	Source et Drain	P ⁺	$3 \times 10^{19} \text{ cm}^{-3}$	0,26 μm
	Grille	N ⁺	$3 \times 10^{19} \text{ cm}^{-3}$	0,32 μm

Tableau 33 : Les implantations ioniques effectuées sur les JFET N et P de plaque *II-VI EB-EC376-29 SY A*.

4.3.4.5 Recuit post implantation

La pénétration des ions dans le matériau cause un nombre important de collisions avec les atomes du réseau. L'énergie transmise entraîne un déplacement des atomes du matériau de leurs sites originels, ils provoquent des collisions successives qui induisent des défauts au sein du matériau. Ainsi la région concernée présente des défauts structuraux et peut même être considérée comme une région amorphe. Un recuit post-implantation est nécessaire pour guérir ces défauts structuraux engendrés. Il permet également aux dopants de migrer vers des sites substitutionnels pour devenir électriquement actifs.

Notons cependant que nos implantations ioniques ont été faites à une température supérieure de l'ambiante, entre 300 et 400 °C. Ceci permet d'éviter l'amorphisation du matériau SiC, de diminuer le nombre de défauts résiduels et de mieux guérir les défauts avec le recuit post-implantation [Laza 02].

Lors du recuit post-implantation les échantillons sont posés dans un suscepteur en graphite qui résiste à des températures supérieures à 2000 °C. Nos recuits ont été faits à 1650 °C, durant 45 min sous argon, ce recuit post-implantation est effectué au laboratoire Ampère dans un four RF à induction de marque JIPELEC [Laza 02]. La figure 20 présente les profils temps/température typiques produit dans ce four. Remarquons la forte rampe de chauffe initiale. La figure 21 présente le four JIPELEC utilisé avec une présentation schématique du support.

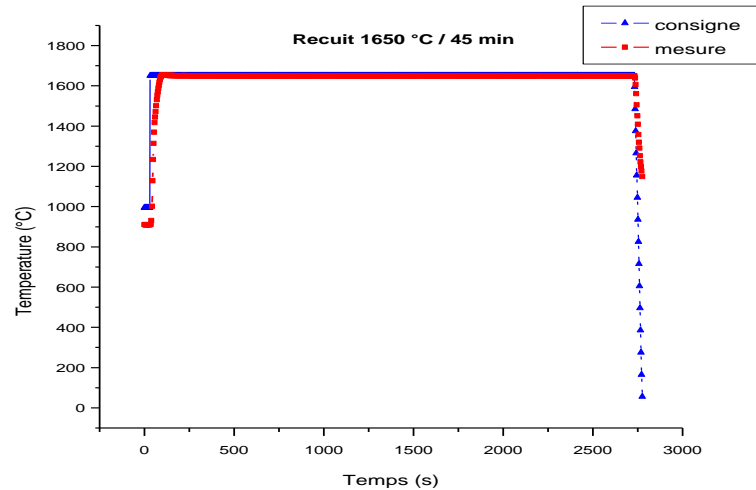


Figure 114 : Exemple typique de variation de la température en fonction du temps lors d'un recuit à 1650 °C pendant 45 min avec une forte rampe de chauffe.

Pour éviter la dégradation de la surface de l'échantillon et la forte rugosité due à l'évaporation des atomes de silicium à la surface qui a lieu à cette haute température [Laza 02], une couche de carbone a été déposée à la surface de l'échantillon avant le recuit à 1650 °C. La couche de carbone joue un rôle de capping, par encapsulation de la couche active. Cette couche de carbone est formée à partir d'une résine standard, l'AZ5214E qui dans notre cas a été étalée à la tournette sur la surface de nos échantillons. La couche de résine est durcie et "carbonisée" avec un premier recuit à 110 °C pendant 3 minutes suivi d'un autre à 750 °C sous vide pendant 30 minutes. [Nego 04][Tsao 04].

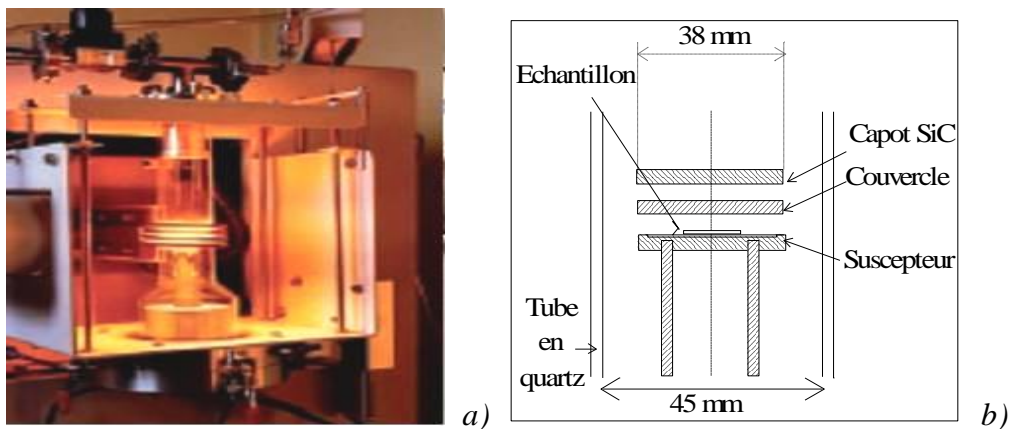


Figure 115 : a) Photographie du four à induction, b) description du support de l'échantillon.

4.3.5 Passivation-isolation

Dans la structure des JFET latéraux, nous devons réaliser des gravures profondes pour séparer les JFET type N et P, d'environ 6 µm de profondeur (correspondant à l'épaisseur de la couche épitaxiée de SiC type P de nos échantillons). Pour un bon fonctionnement du

composant final, les flancs de ces mesas doivent être recouverts d'une couche de passivation. Cette couche sert également à réaliser l'isolation électrique entre les différentes pistes métalliques utilisées pour la prise des contacts sur les couches de type P et N.

Ces couches de passivation et isolation doivent tout d'abord adhérer aux flancs de la structure. Le matériau choisi et utilisé pour passiver et isoler a été une couche de SiO₂ réalisée par un dépôt PECVD avec un bâti de dépôt Oxford Plasmalab 80. Cette technique de dépôt, nous a permis de déposer une couche uniforme présentant des bonnes propriétés de recouvrement des flancs.

4.3.6 La gravure plasma du SiC

4.3.6.1 Introduction

C'est l'une des étapes technologiques clés que nous avons dû optimiser pour réaliser nos composants. Rappelons que nous avons choisi de fabriquer un bras d'onduleur monolithique avec les JFET N et P intégrés sur une structure monolithique gravée. Cette structure gravée a été préférée par rapport à la structure planaire afin de diminuer le nombre d'implantations ioniques. C'est la raison pour laquelle ce paragraphe est plus développé que les autres en présentant les détails technologiques de la gravure plasma du SiC.

La gravure plasma est une étape primordiale pour définir la structure géométrique de nos composants SiC, (protection périphérique mesa, gravure profonde, rafraîchissement de surface...). Pour l'intégration monolithique des nos JFET type P et N, il faut une gravure de 6 µm pour atteindre la couche N et séparer les deux JFET N et P, tel que montré sur la figure 5.

L'inertie chimique du SiC empêche sa gravure par voie humide. Ceci impose l'utilisation de gravures sèches de type plasma. Sur la plateforme NanoLyon, nous avons eu à notre disposition, un réacteur classique RIE (Reactive Ion Etching) et un réacteur haute densité ICP (Inductively Coupled Plasma). Le plasma utilisé est à base de gaz fluorés (SF₆ et CHF₃) mélangés avec de l'oxygène ou de l'argon. Une configuration spécifique du réacteur a été développée lors des travaux précédents [Laza 06] et qui permet d'atteindre une vitesse moyenne de gravure linéaire de 0,35 µm/min avec les paramètres suivant :

- SF₆ (25 sccm) / O₂ (6,7 sccm⁹)
- pression de travail de 60 mTorr
- une puissance RF de 250 W

⁹ *Sccm : standard cubique centimètre par minute, une unité de débit de gaz sous des conditions standard de pression et de température.*

Des masques métalliques essentiellement à base de nickel ont été exploités pour obtenir des gravures profondes et ce jusqu'à 10 μm , le nickel montrant une très bonne sélectivité par rapport au SiC.

4.3.6.2 Masque de gravure – sélectivité et volatilité

Pour réaliser des gravures profondes dans le SiC, il faut un masque ayant une sélectivité élevée par rapport au SiC. Nous avons étudié plusieurs masques de gravure : résines photosensibles, silicium, aluminium et nickel, avec la configuration du réacteur de gravure optimisée.

En plus de la sélectivité du masque, un autre paramètre important nous a conforté dans le choix le mieux approprié. Ce paramètre est la volatilité des espèces produites lors de l'interaction du plasma avec la surface du SiC et aussi avec celle du masque. En effet, la non volatilité des produits de réaction est souvent à l'origine du phénomène de micromasking qui apparaît en cours de gravure.

Les phénomènes qui provoquent la formation du micromasking, générant une surface très rugueuse du SiC, ont été partiellement identifiés et publiés dans la thèse de Heu Vang [Vang 06]. Cette étude a montré qu'en premier lieu, la cathode du réacteur étant protégée elle-même par une plaque en quartz, cette dernière pouvait réagir avec le mélange gazeux SF_6/O_2 utilisé lors de notre procédé. La solution consiste alors à protéger la cathode avec un wafer de silicium (disposé au-dessus de la plaque de quartz - figure 22) qui peut induire un effet favorable en augmentant la concentration d'espèces volatiles SiF_x formées en cas de réaction parasite, permettant ainsi d'éviter le micromasking dû à la gravure de la cathode.

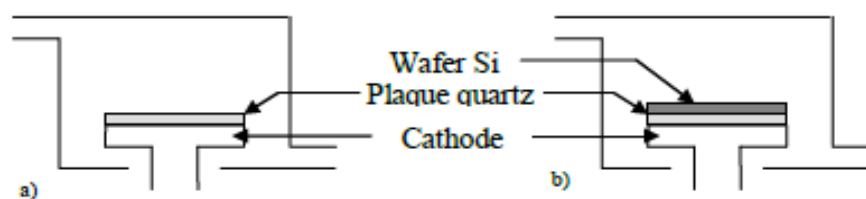


Figure 116: configuration du réacteur RIE a) avec plaque en quartz et b) plaque en quartz et wafer silicium.

Ce phénomène de micromasking a également été constaté dans le bâti ICP où un support-cathode en aluminium est utilisé. La figure 23a présente le résultat obtenu sur un échantillon SiC. Les pics de micromasking apparaissent sur toute la surface du SiC, à la fois sur les surfaces gravées et non-gravées (masquées).

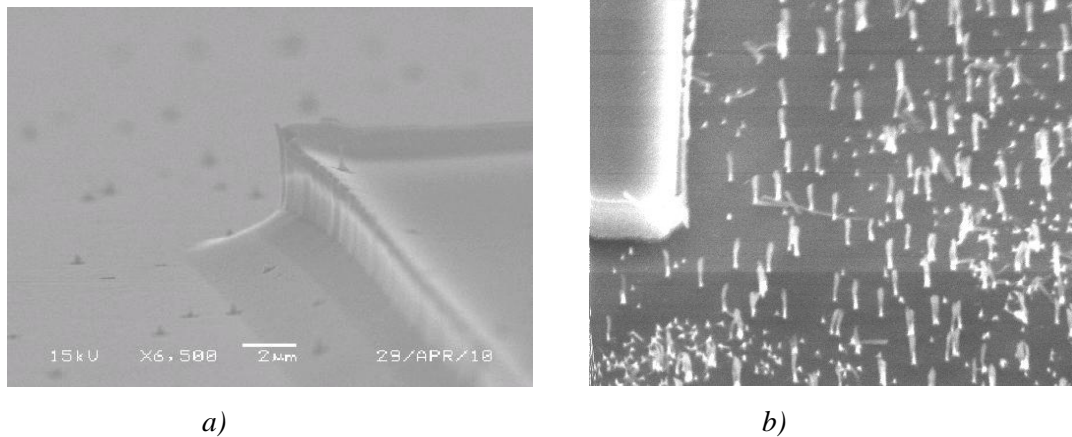


Figure 117 : Images prises au microscope électronique à balayage. Le micromasking provient a) de la cathode en aluminium et b) de la géométrie du masque fermé (couvert à 90 %).

En second lieu, nous avons aussi montré que le micromasking pouvait provenir aussi de la géométrie du masque et de son ouverture comme illustré sur la figure 23b. Dans le cas d'un masque fermé en nickel (fort taux de couverture en métal à la surface). Le nickel réagit avec les espèces réactives fluorées accélérées vers la surface de l'échantillon pour former du NiF_x qui ne s'évacue pas facilement par pompage. Ceci provoque donc un phénomène de confinement des particules de NiF_x dans chaque cellule. Ces particules se déposent alors sur toute la surface libre autour et provoquent l'apparition du micromasking (illustré dans la figure 23b) et empêchent la gravure de la surface dans ces zones très localisées.

Les figures 24 a et b présentent successivement deux exemples de masque ouvert, partiellement couvert à 35 % et d'un masque fermé, presque entièrement couvert à 90 %..

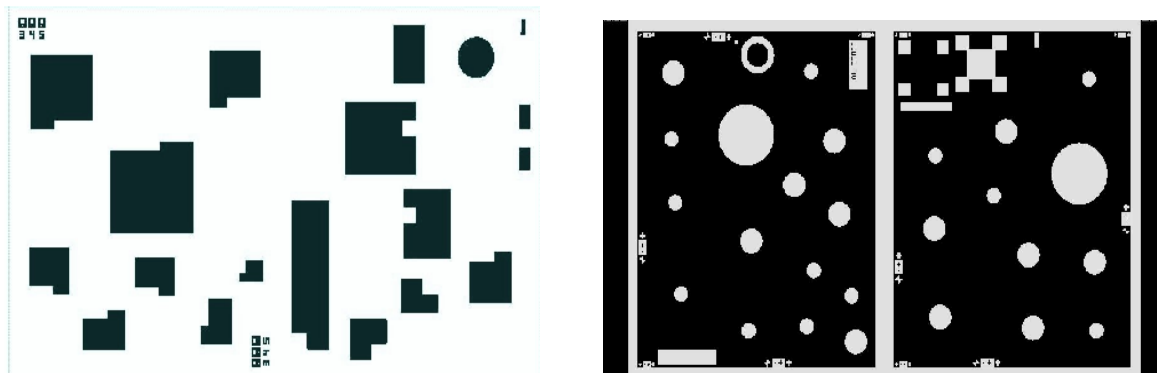


Figure 118 : Photographie des masques ($6 \times 10 \text{ mm}$) utilisés pour la gravure (tel que la zone blanche : la zone gravée et la zone noire : zone non gravée), a) masque ouvert couvert 35 % b) masque fermé couvert 90 %.

Dans la figure 25 nous présentons les surfaces typiques de SiC gravées que nous avons obtenues en partant de la configuration RIE optimisée en utilisant un masque de nickel ouvert et un masque de nickel fermé.

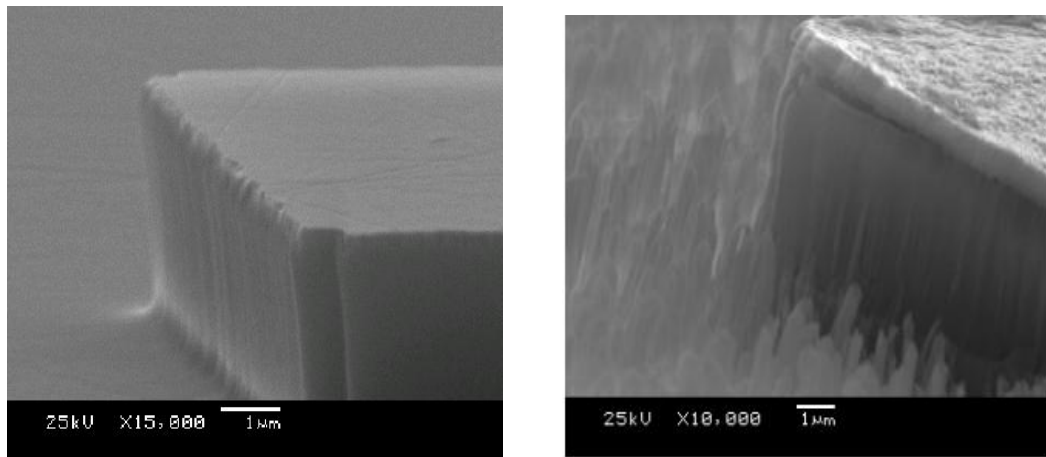


Figure 119 : Images prises au microscope électronique à balayage du substrat SiC-4H gravé avec RIE a) surface lisse gravée avec masque de nickel ouvert b) surface rugueuse gravée avec un masque fermé.

La fabrication des nouveaux lots de JFET latéraux a exigé l'utilisation à la fois de masques ouverts et fermés pour la délimitation des JFET N et P et la définition des zones de contacts sur la couche épitaxiale profonde P⁺. Cela implique la recherche d'un masque fermé de gravure assez sélectif pouvant résister au plasma et permettre une gravure assez profonde, entre 1,5 et 2 μm, en gardant une surface propre, bien lisse et non rugueuse. Ainsi notre souhait a été d'obtenir un résultat comme celui présenté dans la figure 25a en utilisant un masque fermé comme celui de la figure 24b.

Pour la gravure profonde avec un masque ouvert nous avons utilisé la solution "classique" avec un masque basé sur le nickel, qui présente une bonne sélectivité par rapport au SiC, en conservant une surface lisse avec une rugosité acceptable de l'ordre de quelques nanomètres. Pour la bonne adhérence sur le SiC, on ajoute une fine couche d'accrochage de titane à l'interface nickel/SiC. Un empilement final Ti/Ni (5 nm/~250 nm) est utilisé par dépôt e-beam et lift-off.

4.3.6.2.1 Masque Silicium et Carbone

Des solutions alternatives ont été étudiées pour résoudre le problème du micromasking généré par le nickel quand on utilise un masque fermé. Des essais de gravure ont été faits avec des masques en carbone et en silicium (constituants du matériau à graver). Les résultats obtenus montrent une bonne qualité de surface pour des masques, aussi bien ouverts que fermés (figure 26)¹⁰.

¹⁰ Nous pouvons observer sur l'échantillon gravé avec un masque silicium un aspect ondulé de la partie non gravée de l'échantillon. Cet état de surface correspond au masque de Si après gravure. Ce masque de Si n'a pas été enlevé avant la prise des images au MEB.

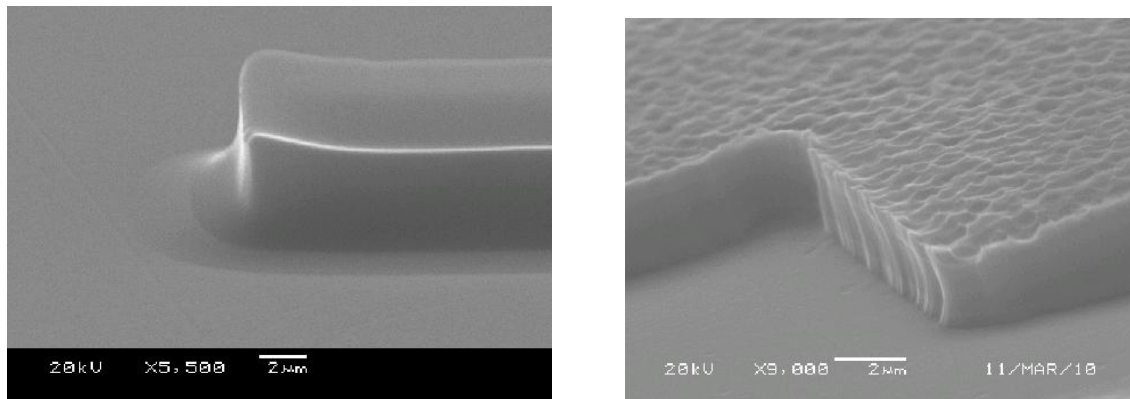


Figure 120 : Images prises au microscope électronique à balayage sur des surfaces SiC gravées (environ $1,5 \mu\text{m}$) avec a) un masque de carbone, b) un masque de silicium.

Pour réaliser une gravure avec un masque de carbone, nous avons étalé tout d'abord sur l'échantillon de la résine AZnLof 2070 suivi d'un procédé de photolithographie. Puis nous avons carbonisé cette résine avec un recuit à 600°C durant 30 min sous atmosphère riche en azote ou sous vide. Une couche de résine carbonisée obtenue d'épaisseur $8 \mu\text{m}$ est illustrée dans la figure 27 suivante.

Le masque de silicium a été fait par un dépôt d'environ un micron de silicium au canon à électrons.

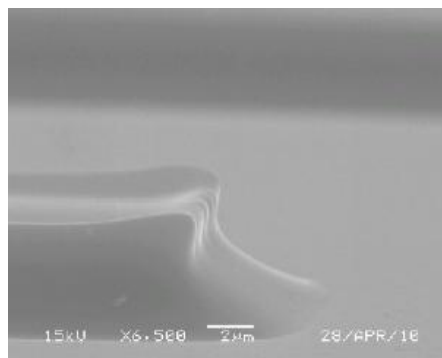


Figure 121 : Image prise au microscope électronique à balayage du motif de résine carbonisée à 600°C pendant 30 minutes.

Cependant, en comparant avec le nickel, la sélectivité des masques de carbone et de silicium est significativement plus faible. En effet, ces matériaux se gravent plus vite que le SiC si on utilise la même configuration plasma SF_6/O_2 optimisée. La profondeur de gravure est ainsi limitée par la consommation du masque carbone ou silicium pendant le processus. Ce problème peut être résolu avec le dépôt d'une couche épaisse de silicium de plusieurs micromètres. Dans notre étude, le parc expérimental dont nous disposons nous a limités à des dépôts de $1,5 \mu\text{m}$ maximum. Au delà, le silicium commence à s'arracher de la surface du SiC à cause des contraintes mécaniques et thermiques que subit le matériau.

Néanmoins, grâce à une bonne volatilité des espèces produites pendant le processus de gravure [Laza 11] nous avons montré que les masques de C et de Si peuvent être utilisés pour

graver des structures serrées (espacées de quelques centaines de nanomètres) qui peuvent s'appliquer aux composants basse tension et les circuits de contrôle intégrés [Sank 06].

Nous remarquons aussi, pour les échantillons gravés avec le masque de carbone (figure 26a) une transition allongée au niveau des flancs en bas, en raison de la géométrie initiale du masque de carbone. Ceux-ci présentaient déjà des flancs inclinés formés pendant la conversion de la résine pendant le recuit (figure 27). Cette géométrie pourrait être utilisée dans le design et la conception de nouveaux dispositifs de carbure de silicium avec des tranchées inclinées.

4.3.6.2.2 Masque TiNiSi

En récapitulant, par rapport aux masques qui ont été investigués, notons que seulement le nickel a montré une bonne sélectivité. Par contre avec le nickel, une bonne qualité de surface gravée est obtenue uniquement pour des masques ouverts. Il reste le problème de la formation du micromasking qui apparaît avec un masque fermé.

Avec un masque de silicium, nous avons obtenu une surface bien lisse avec une faible rugosité même avec une géométrie fermée mais la faible sélectivité nous empêche de graver profondément le SiC au-delà d'1 μm .

Les résultats obtenus avec le nickel et le silicium nous ont naturellement conduit à réaliser un masque mixte avec les deux éléments pour garder une atmosphère riche en espèces volatiles qui s'évacuent facilement, grâce à la présence du silicium et en rajoutant le nickel pour améliorer la sélectivité. Ainsi nous avons pu faire des gravures assez profondes en conservant en même temps une surface lisse et sans micromasking qui endommage le composant électronique. Cette combinaison entre le silicium et le nickel nous a permis de remplir notre cahier des charges et de mettre en place un procédé original.

Ce procédé consiste dans un dépôt successif de Ti (5 nm) /Ni (150 nm) /Si (150 nm) par évaporation au canon à électrons et lift-off, Cette dernière couche de Si se consomme au fur et à mesure de la gravure du SiC, créant une atmosphère riche en silicium et améliorant la volatilité des espèces produites par l'attaque plasma.

Ce masque TiNiSi, dans le bâti RIE nous a permis de graver des épaisseurs jusqu'à $6\mu\text{m}$ pour des durées de l'ordre de 15 min.

La figure 28 montre l'état de surface obtenu. Notons que ces images ont été prises sur des échantillons sur lesquels nous n'avons pas retiré le masque après gravure, d'où l'aspect de peau d'orange que nous observons sur les surfaces non gravées.

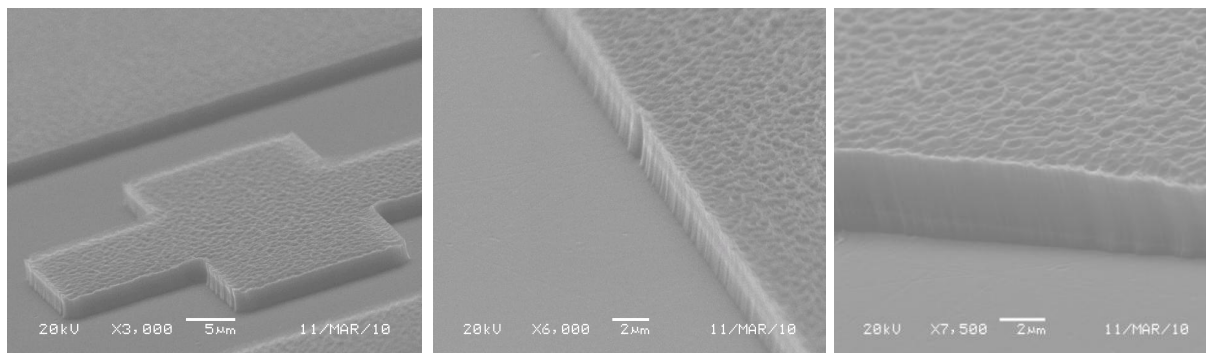


Figure 122 : Images obtenues au microscope électronique à balayage sur des échantillons SiC après une gravure faite avec le réacteur RIE avec un masque TiNiSi. Le masque est encore présent en haut des flancs (ce qui explique la surface peau d'orange)

Des gravures ont été faites avec le même masque TiNiSi dans le réacteur ICP. Ces résultats viennent confirmer ceux obtenus avec le réacteur RIE. La figure 29 montre le très bon état de surface du fond de gravure.

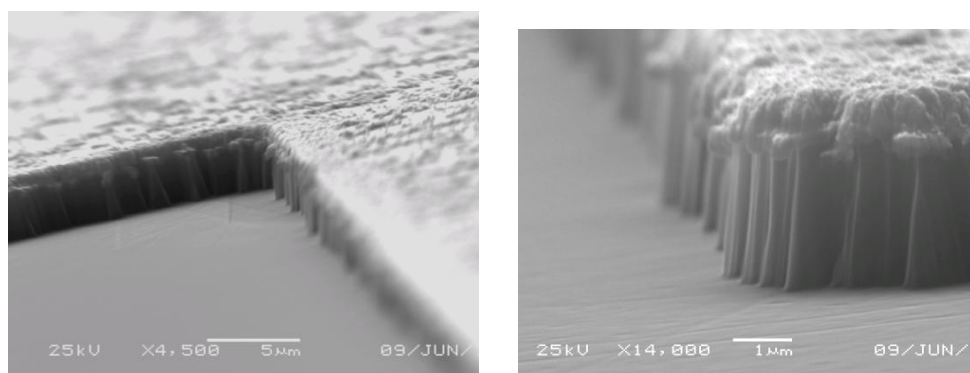


Figure 123 : Images prises au microscope électronique à balayage sur des échantillons SiC après une gravure faite dans le réacteur ICP avec un masque TiNiSi.

4.3.6.2.3 Masques en résines photosensibles

Les essais réalisés avec des résines photosensibles épaisses se justifient par la facilité de la mise en place du masque de gravure puisqu'il s'agit d'étapes simples : une lithographie suivie par un recuit à 110-120 °C pendant 1-2 min pour durcir la résine.

Nos essais ont été faits avec la résine Ti35ES (4,5 μm). Les premiers résultats ont montré que la sélectivité est trop faible pour pouvoir résister au plasma SF₆/O₂ et ce type de masque ne peut pas être utilisé pour des gravures profondes du carbure de silicium. Cependant il est possible de réaliser des gravures avec une profondeur de l'ordre de 900 nm en gardant une surface lisse et à faible rugosité. Ceci est une profondeur intéressante notamment pour la mise en place des croix d'alignement. On évite ainsi de recouvrir avec un

masque de métal qui entraînerait un temps de processus plus long. Cependant notons l'état très dégradé des flancs de gravure (Figure 30a).

Dans un deuxième temps, nous avons fait des essais avec une double couche de résine Ti35ES. Premièrement on étale une couche, on la laisse reposer pendant 15 min puis on ajoute la deuxième couche pour obtenir à la fin une épaisseur de 8 μm (celle de la double couche). Cette méthode nous a permis d'aboutir à une gravure de profondeur de 1,7 μm , (Figure 30b). L'état des flancs reste très dégradé même dans ce cas à cause de la consommation progressive latéralement des flancs.

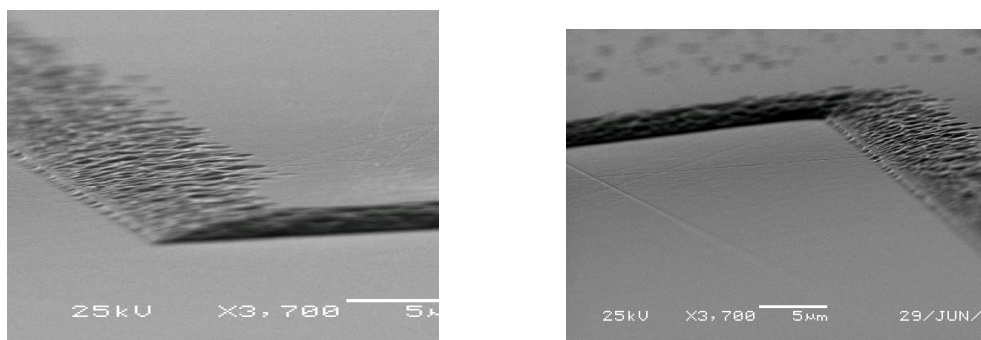
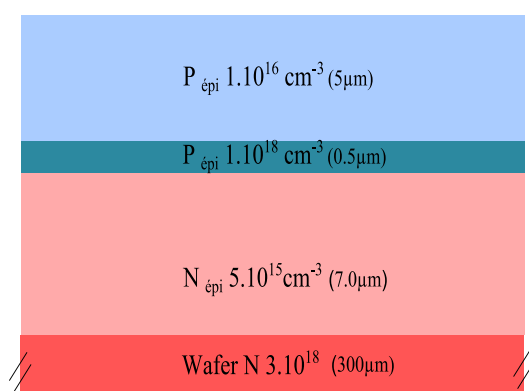


Figure 124 : Images prises au microscope électronique à balayage pour des gravures faites avec un masque de résine Ti35ES à : a) une couche et b) double couche.

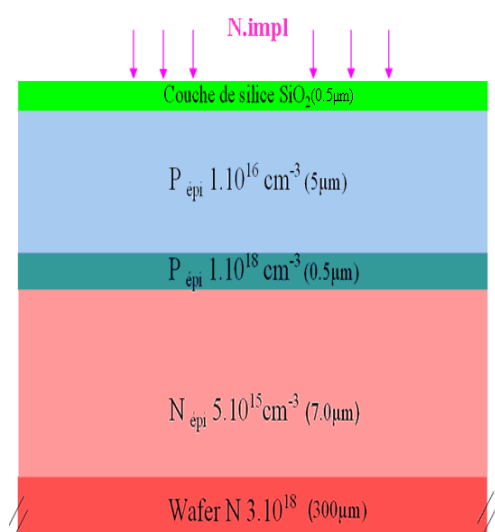
4.3.7 Diagramme de cheminement

L'élaboration du diagramme de cheminement des étapes technologiques ("process-flow") pour la réalisation des JFET latéraux s'est appuyée sur l'expertise du laboratoire dans la fabrication des composants et les travaux déjà réalisés dont les lots présentés dans le deuxième chapitre.

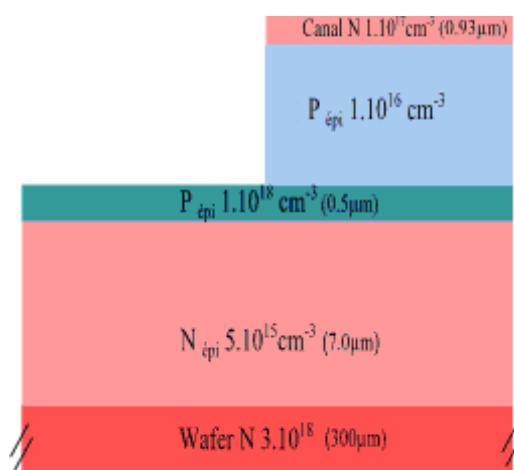
Ci-dessous nous résumons le procédé technologique utilisé dans la fabrication du nouveau lot de composants JFET P et N intégrés monolithiquement pour l'étage haute tension du bras d'onduleur.



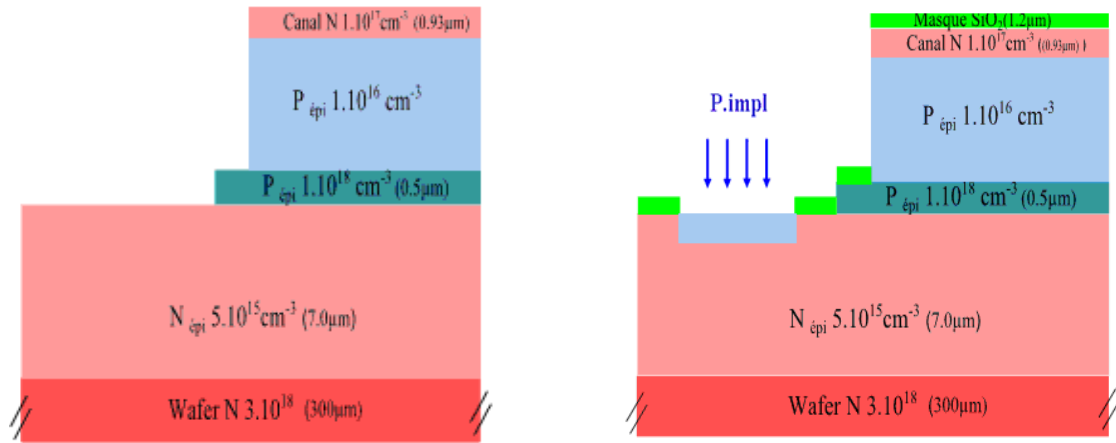
Substrat 4H-SiC (II-VI) : EB-EC376-29 SY



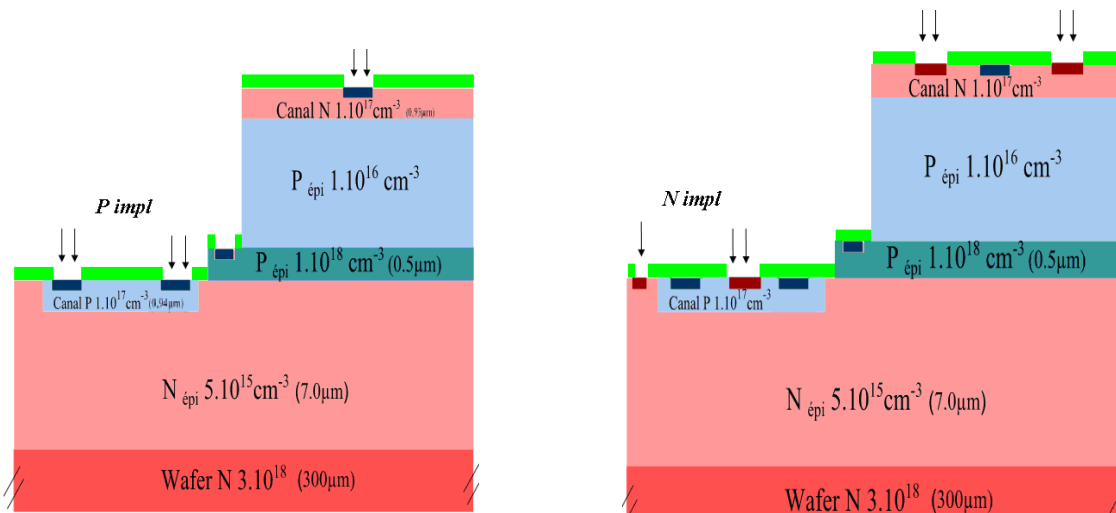
i) Implantation ionique du canal N



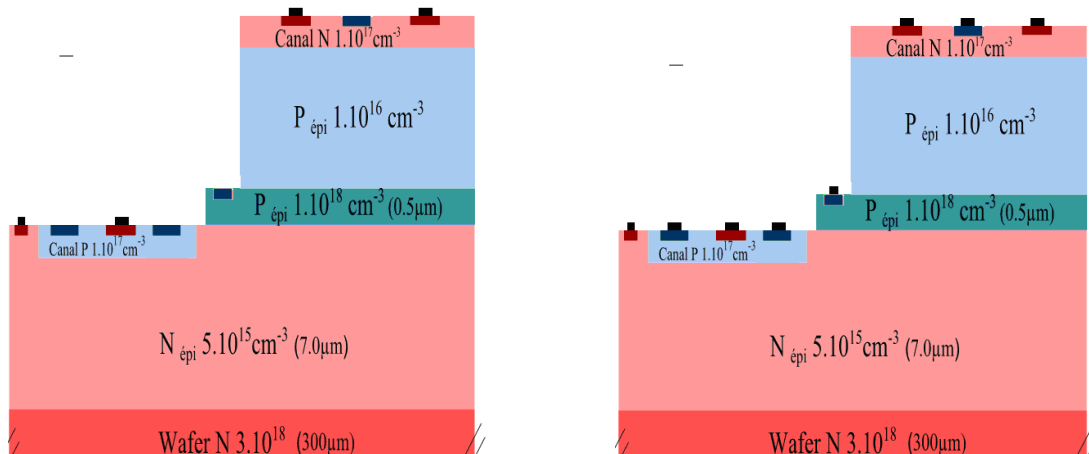
ii) Gravure profonde pour séparer les JFET N et P



iii) Gravure pour la prise de contacts sur la couche P^+ iv) Implantation ionique du canal P .



v) Implantation ionique azote des caissons vi) Implantation ionique aluminium des caissons



vii) Métallisation $TiNi$ des caissons N^+ viii) Métallisation $NiTiAlNi$ des caissons P^+

Figure 125 : Les différentes étapes technologiques pour la fabrication des JFET de l'étage de puissance.

Le « process flow » de fabrication des JFET est détaillé en annexe 3.

Dans la figure suivante nous présentons quelques images prises au microscope optique des nouveaux lots que nous avons réalisés.

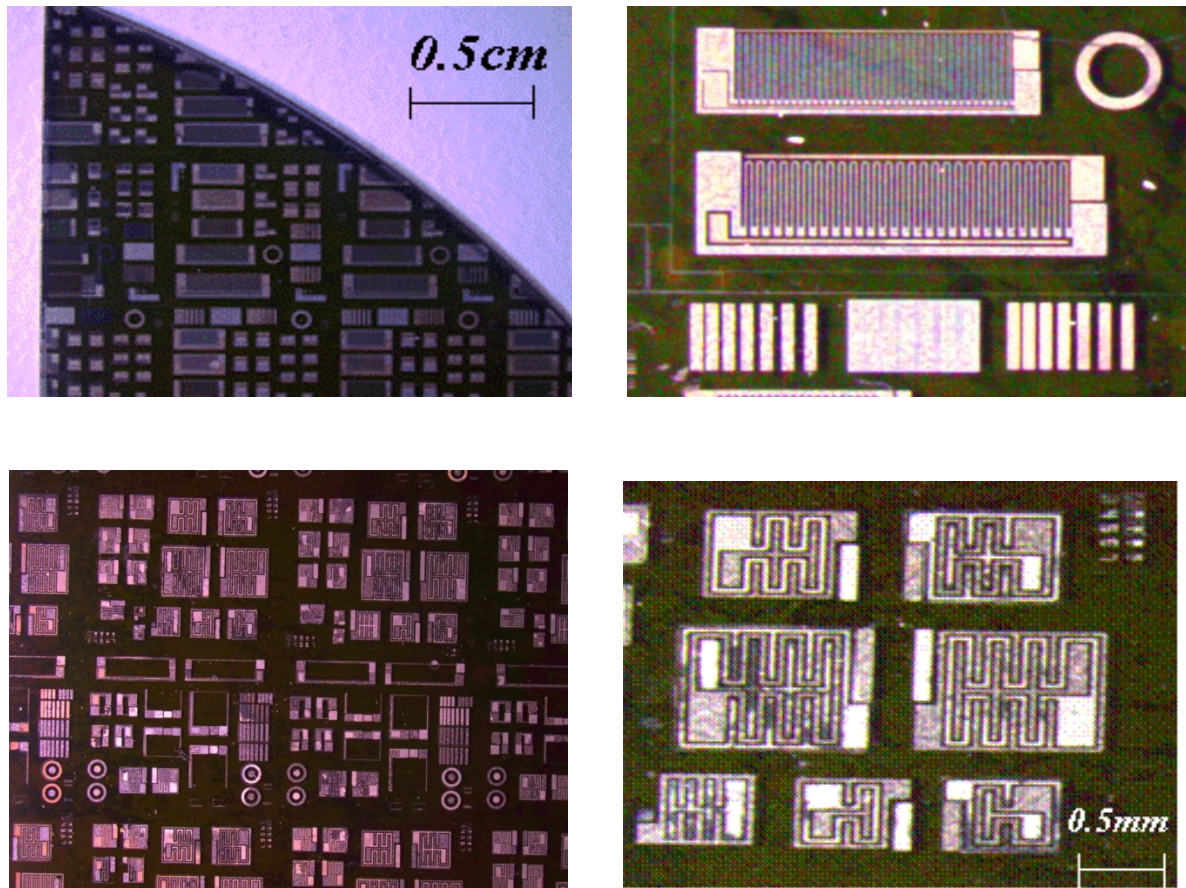


Figure 126 : Photographies prises sur les échantillons réalisés

Ces composants ont été caractérisés à l'aide d'un banc de mesure muni d'une table sous pointe pour contacter les composants. Ces résultats sont présentés dans le paragraphe suivant.

4.4 Caractérisations électriques des composants

4.4.1. Méthodologie de l'analyse I-V

Comme nous avons vu sur les anciens lots présentés dans le deuxième chapitre, nous avons eu surtout des problèmes liés à un canal de conduction bloqué. Pour tester le fonctionnement de nos nouveaux JFET nous avons commencé par des mesures $I_{ds}(V_{ds})$ à $V_{gs}=0$ V pour vérifier si ces nouveaux JFET ont des caractéristiques I-V linéaires et symétriques (sous faibles polarisations) avec un courant suffisamment élevé. Ces mesures drain-source $I_{ds}(V_{ds})$ à $V_{gs}=0$ V (sans polariser le substrat) ont été réalisées systématiquement sur tous les JFET.

Ensuite nous avons étudié le fonctionnement des JFET. En traçant les réseaux des caractéristiques $I_{ds}(V_{ds}, V_{gs})$ nous avons finalement extrait la transconductance (g_m) et la résistance carrée (R_{sh}) du canal.

La caractérisation des composants a été faite avec le même banc de caractérisation Signatone S-1160 sous pointes décrit dans le deuxième chapitre (Figure 12).

4.4.2 Résultats sur les composants de puissance

4.4.2.1 Etude préliminaire

Rappelons que la plaque **EB-EC376-29 SY A** utilisée pour l'étage de puissance comporte à la fois des JFET type N et P qui ont été réalisés en même temps et intégrés monolithiquement sur le même substrat SiC.

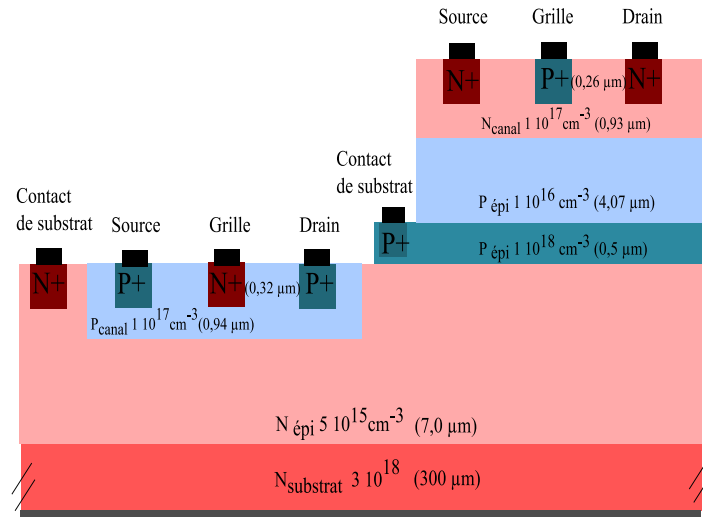


Figure 127 : Vue en coupe de plaque EB-EC376-29 SYA avec les structures des JFET à canal N et P.

4.4.2.1.1 Mesures Drain – Source

Les caractéristiques I_{ds} (V_{ds}) des JFET type N sont présentées dans la figure 34a. Les caractéristiques des JFET type P sont présentées dans la figure 34b.

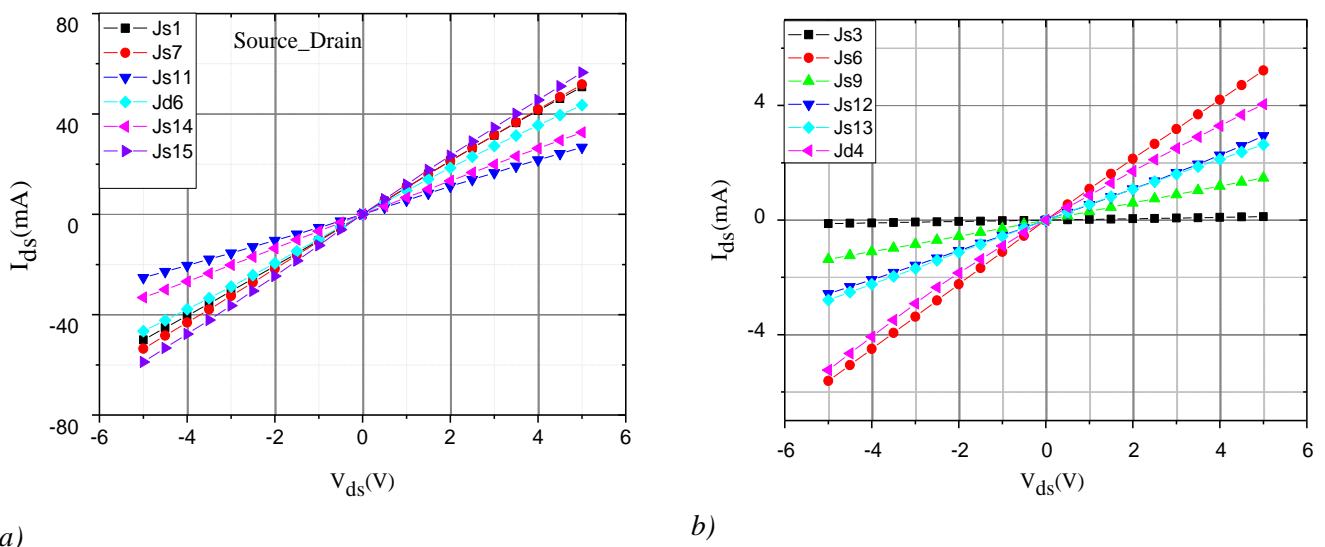


Figure 128 : Caractéristiques I_{ds} (V_{ds}) à $V_{gs}=0$ V des JFET avec: a) canal de type N, b) canal de type P. V_{ds} est polarisée faiblement entre -5 V et +5 V.

Nous avons trouvé que tous les JFET possèdent des caractéristiques avec une conduction symétrique et linéaire du courant entre le drain et la source. Dans le canal, cette conduction assure un courant de l'ordre de quelques milliampères pour les JFET de type P et quelques

dizaines de mA pour les JFET de type N¹¹. La linéarité des caractéristiques montre que nos contacts sont ohmiques. Les analyses des motifs TLM seront présentées dans les paragraphes suivants.

4.4.2.2 Fonctionnement des composants

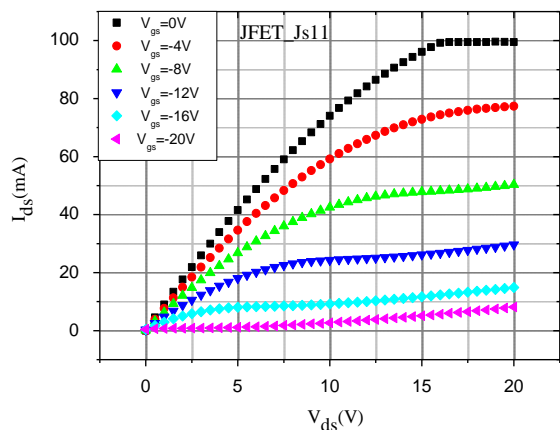
4.4.2.2.1 Caractérisation $I_{ds}(V_{ds})$ en fonction de V_{gs}

Nous avons testé un nombre significatif de transistors JFET pour regarder une modulation du courant dans le canal avec la polarisation de la jonction grille-source. Des caractéristiques $I_{ds}(V_{ds}, V_{gs})$ typiques sont présentées dans la figure ci-dessous. Rappelons que pour les transistors JFET à canal N en mode de fonctionnement direct, on applique une tension V_{ds} positive et on fait varier la tension V_{gs} avec des valeurs comprises entre 0 V et la tension négative de blocage. Pour les transistors JFET à canal P on applique une tension V_{ds} négative et une polarisation positive de la grille V_{gs} pour bloquer le canal.

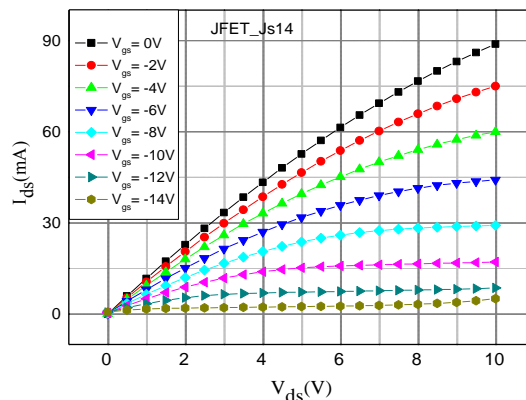
Réseaux de caractéristiques des JFET type N :

Une modulation du courant a été pratiquement obtenue sur tous les JFET type N. Des caractéristiques typiques sont présentées sur les figures suivantes. Des courants jusqu'à une centaine de mA ont été obtenus sur ces JFET de type N.

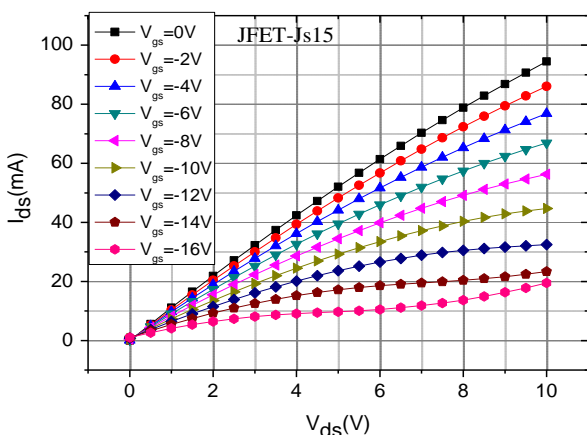
¹¹ Les valeurs des résistances R_{on} sont données dans le paragraphe suivant



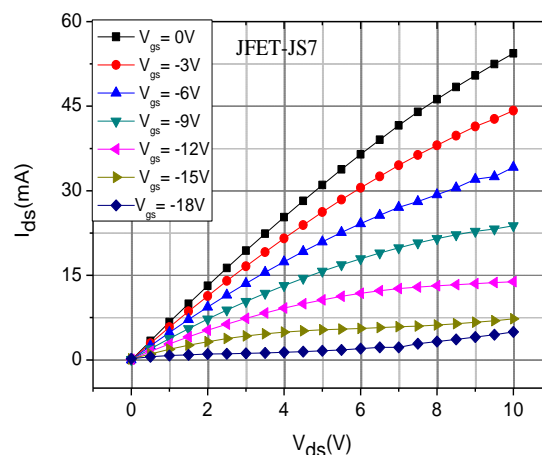
a)



b)



c)



d)

Figure 129 : Caractéristiques $I_{ds}(V_{ds}, V_{gs})$ de JFET Js11 (a), JFET Js14 (b), JFET Js15 (c), JFET Js7 (d).

Ainsi en tenant compte de la géométrie des différents JFET nous résumons dans le tableau ci-dessous les valeurs des paramètres physiques R_{ON} , R_{sh} et g_m que nous avons extraits.

	$R_{ON} [\Omega]$	$R_{sh} [\Omega]$	$L [\mu m]$	$Z [mm]$	$g_m [S]$	$g_m [S]$ théorique
JFET Js11	123	$4,35 \times 10^3$	80	2,835	$5,5 \times 10^{-3}$ ($V_{DS}=18 V$)	$6,7 \times 10^{-3}$
JFET Js14	91	$4,7 \times 10^3$	70	3,625	$6,5 \times 10^{-3}$ ($V_{DS}=9 V$)	$9,8 \times 10^{-3}$
JFET Js15	97	$4,09 \times 10^3$	80	3,38	$5,3 \times 10^{-3}$ ($V_{DS}=9 V$)	$7,5 \times 10^{-3}$
JFET Js7	156	$3,4 \times 10^3$	140	3,09	$3,0 \times 10^{-3}$ ($V_{DS}=9 V$)	$4,17 \times 10^{-3}$

Tableau 34 : Les résistances à l'état passant et les transconductances typiques extraites des JFET à canal N comparées aux valeurs théoriques calculées, en donnant également la valeur théorique de la résistance carrée $R_{sh}=1,5 k\Omega$.

En comparant les valeurs nous remarquons une homogénéité des résistances du canal N. La résistance carrée du canal extraite est de l'ordre de 4 kΩ pour les différents JFET, valeur qui s'approche de la valeur théorique estimée à 1,5 kΩ. Pour son calcul nous avons considéré une résistivité de 0,1 Ω.cm [Rayn 10] pour un dopage effectif de 10^{17} cm⁻³ du canal N et une épaisseur de 0,67 (égale à 0,93-0,26 μm).

Nous avons calculé la transconductance des différents JFET présentés dans le tableau 6. Les valeurs de transconductance calculée théoriquement sont également présentées dans le même tableau. Pour le calcul nous avons utilisé un dopage effectif du canal de 10^{17} cm⁻³, une mobilité de 600 cm²V⁻¹s⁻¹ [Rayn 10] et une épaisseur de 0,67 μm. La transconductance est directement liée aux paramètres géométriques du JFET suivant les relations ([Sze 85] et détaillées en annexe 2 :

$$g_m = \left. \frac{dI_D}{dV_G} \right)_{V_D=cst} = \frac{I_P V_D}{2V_P^2} \sqrt{\frac{V_P}{V_G + V_{bi}}} = \frac{q\mu_n N_D Z a V_D}{L V_P} \sqrt{\frac{V_P}{V_G + V_{bi}}}$$

Pour le régime linéaire et

$$g_m = \left. \frac{dI_D}{dV_G} \right)_{V_D=cst} = \frac{I_P}{V_P} \left(1 - \sqrt{\frac{V_G + V_{bi}}{V_P}} \right) = \frac{2q\mu_n N_D Z a}{L} \left(1 - \sqrt{\frac{V_G + V_{bi}}{V_P}} \right)$$

Pour le régime de saturation.

Comme pour l'extraction de la résistance carrée du canal nous remarquons que les valeurs mesurées correspondent aux valeurs calculées théoriquement pour ces JFET. Ces résultats sont assez satisfaisants par rapport à ceux obtenus sur les lots caractérisés dans le deuxième chapitre. On remarque cependant que certains JFET sont difficiles à bloquer complètement. Ce point sera mis en évidence et discuté également sur les autres JFET présentés dans les paragraphes suivants.

Réseaux de caractéristiques des JFET type P

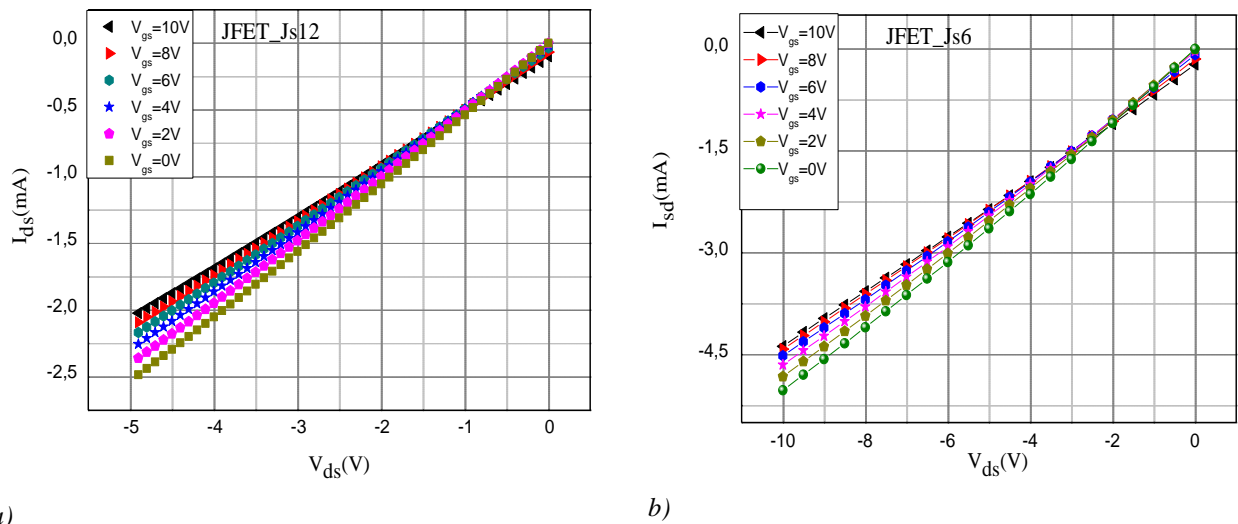


Figure 130 : Caractéristiques $I_{ds}(V_{ds})$ en fonction de V_{gs} du JFET Js12 (a) et du JFET Js6 (b).

Nous observons qu'il est assez difficile de moduler la conduction du canal avec la tension grille-source. Nous avons extrait les résistances à l'état passant ainsi que la transconductance du canal en tenant compte de la géométrie des deux JFET. Nous résumons les valeurs obtenues dans le tableau ci-dessous :

	$R_{ON} [\Omega]$	$R_{sh} [\Omega]$	L [μm]	Z [mm]	g_m [S]	g_m [S] théorique
JFET Js12	1897	$6,7 \times 10^4$	80	2,835	4×10^{-5} ($V_{DS} = -4,5V$)	$1,09 \times 10^{-5}$
JFET Js6	1886	$4,1 \times 10^4$	140	3,09	6×10^{-5} ($V_{DS} = -9V$)	7×10^{-4}

Tableau 35 : Les résistances à l'état passant et les transconductances typiques extraites des JFET à canal P sélectionnés comparées aux valeurs théoriques calculées. La valeur théorique de la résistance carrée est $R_{sh} = 1,12 \times 10^4 \Omega$.

Pour calculer la résistance carrée du canal nous avons considéré une résistivité de $0,7 \Omega \cdot \text{cm}$ pour une épaisseur de $0,62 \mu\text{m}$ (égale à $0,94-0,32 \mu\text{m}$), et un dopage effectif de 10^{17}cm^{-3} , [Rayn 10] la valeur théorique de la résistance carrée du canal est estimée à $1,12 \times 10^4 \Omega$ s'approche de la valeur calculée expérimentalement.

Utilisant une mobilité de $110 \text{cm}^2 \text{V}^{-1} \text{s}^{-1}$, les valeurs théoriques de la transconductance de deux JFET sont présentées dans le tableau 7. Ces valeurs théoriques restent assez éloignées de celles extraites expérimentalement si on se compare aux résultats obtenus sur les JFET N. Ceci est dû au fait que les valeurs extraites expérimentalement sont faussées parce que sur les JFET type P, nous n'avons pas pu obtenir une plage de modulation importante du courant I_{ds} en faisant varier la tension V_{gs} . Nous pensons que nous devons approfondir la façon dont les électrodes (substrat compris) de ces composants doivent être polarisées afin d'éviter d'enclencher des transistors parasites. Ce phénomène sera mis en évidence lors des tests sur les motifs TLM.

4.4.2.3 Analyse des résultats obtenus sur les JFET de puissance

Dans ce paragraphe, nous synthétisons les résultats obtenus sur les JFET de l'étage de puissance, en citant les paramètres technologiques optimisés et leurs impacts sur le comportement des JFET latéraux.

Nous avons trouvé un nombre important, (environ trois quarts sur une centaine de JFET caractérisés) de JFET type N qui présentent une modulation du canal par rapport à une polarisation V_{gs} , mais le blocage des canaux a été impossible à effectuer sur les JFET type P. La bonne conduction dans le canal (tous les composants sont normally-on) s'explique par nos choix technologiques :

a) *Implantation ionique pour les caissons.*

Des implantations ioniques ont été réalisées durant la fabrication de ce lot, 4 implantations différentes (canal, source/drain, grille type P et N). Les implantations des caissons de grille (drain et source) ont été réalisées sans couche d'arrêt de silice en surface et en utilisant des faibles énergies d'implantations. Ainsi l'épaisseur du canal a pu être augmentée par rapport aux lots présentés dans le deuxième chapitre. Soulignons également que le choix des énergies d'implantation minimale, limite l'augmentation de l'écart type ou la déviation standard (ΔR_p) de ces implantations [Laza 02] et ainsi la possibilité de recouvrir le canal par la grille.

b) *Géométrie des composants*

Nous avons privilégié l'utilisation de JFET avec une grille complètement métallisée (structure en serpent) plutôt que ceux avec une grille partiellement métallisée avec une structure en peigne (la figure 20 du chapitre 2 détaille ces structures). Confirmant les résultats trouvés avec les anciens lots, malgré la perte en largeur du canal Z par surface de SiC utilisée, nous avons vu qu'il est difficile de faire conduire tout le canal des JFETs avec une grille partiellement métallisée (structure en peigne) contre ceux avec une structure en serpent dont la grille est complètement métallisée.

c) *Contacts ohmiques*

Nous avons utilisé deux métallisations distinctes, une dédiée pour les couches P^+ et l'autre pour les N^+ . Après une étude approfondie nous avons défini un procédé optimisé basé sur un empilement Ni/Ti/Al/Ni pour réaliser des contacts sur le SiC-4H type P. Pour le contact type N nous avons utilisé un alliage Ti/Ni. Par rapport à l'alliage Ti/Ni utilisé dans les lots présentés au deuxième chapitre nous avons augmenté la quantité de nickel par rapport au titane. Des contacts ohmiques ont été obtenus avec ces deux métallisations sur les couches N et P, ce qui nous a permis d'améliorer la conduction dans le canal. Les valeurs des résistances spécifiques sont détaillées ci-après dans un paragraphe dédié au test des motifs TLM.

4.4.3 Résultats sur les composants de l'étage de commande

4.4.3.1 Etude préliminaire

Rappelons que nous avons utilisé le même jeu de masques que l'ancien lot basse tension conçu pour l'étage de commande et la plaque DH0612-10 initialement prévue pour la fabrication de ces composants. Des JFET type N et P ont été réalisés en même temps et intégrés monolithiquement sur le même substrat SiC. La structure est reprise dans la figure ci-dessous. Rappelons que cette structure est simplifiée par rapport à celle de l'étage de puissance, les couches épitaxiales jouant directement un rôle de canal pour les JFET.

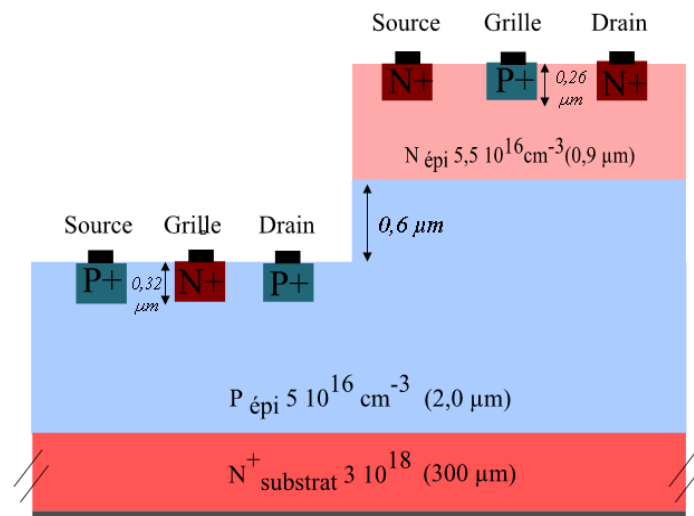
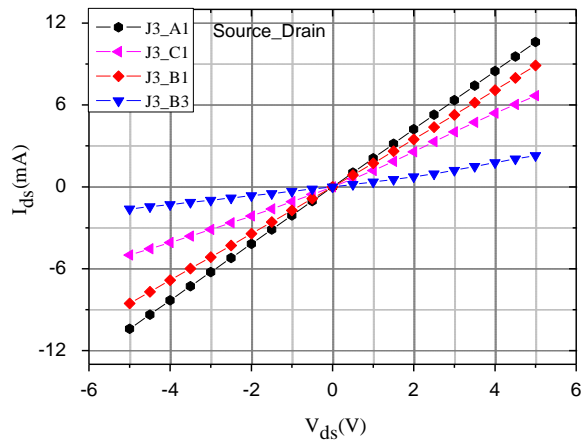


Figure 131 : Vue en coupe de la plaque DH0612-10, avec les structures des JFET à canal N et P.

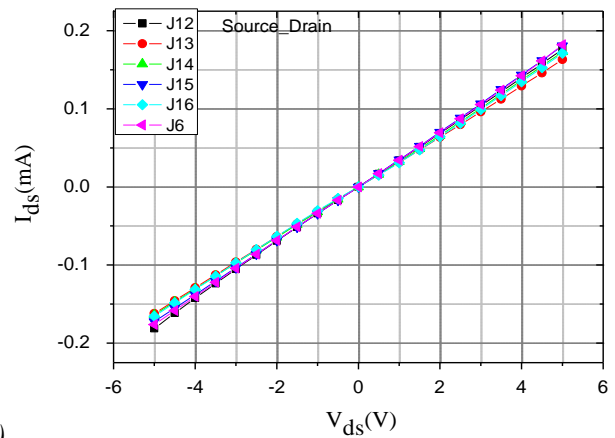
Comme pour l'étage de puissance, nous avons commencé par des mesures I(V) drain-source entre -5 et 5 V et sans polariser la grille, $V_{gs} = 0 \text{ V}$.

4.4.3.1.1 Mesures Drain – Source

Les caractéristiques I_{ds} (V_{ds}) sont présentées dans la figure ci-dessous, les JFET type N sur la figure 38a et les JFET type P sur la figure 38b.



a)



b)

Figure 132 : Caractéristiques $I_{ds}(V_{ds})$ des JFET avec: a) canal de type N, b) canal de type P.

Les mesures $I_{ds}(V_{ds})$ montrent une conduction parfaitement linéaire et symétrique du courant entre le drain et la source. Les JFET de type N présentent une conductivité plus élevée de l'ordre de quelques milliampères contre un courant d'un ordre de grandeur plus faible pour les JFET type P.

4.4.3.2 Fonctionnement des composants

4.4.3.2.1 Caractérisation $I_{ds}(V_{ds})$ en fonction de V_{gs}

Après les mesures préliminaires nous présentons ci-dessous les caractéristiques électriques typiques $I_{ds}(V_{ds}, V_{gs})$.

Les transistors JFET type N sont caractérisés en appliquant une tension V_{ds} positive pour des tensions de polarisation de grille V_{gs} négatives et comprises entre 0 V et -20 V. La caractérisation des JFET type P est effectuée en mode direct, en appliquant une tension V_{ds} négative pour des tensions de polarisation de grille V_{gs} positives comprises entre 0 V et 40 V.

Réseaux de caractéristiques des JFET type N :

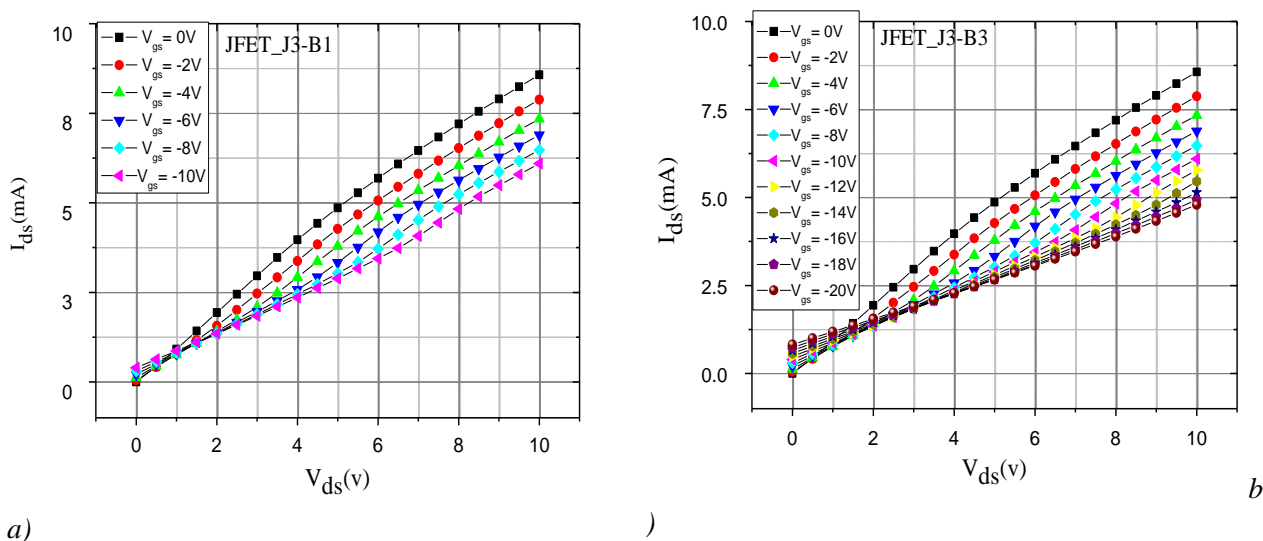


Figure 133 : Caractéristiques $I_{ds}(V_{ds})$ en fonction de V_{gs} du JFET 3 champ B1 (a) JFET 3 champ B3 (b)

Nous observons une modulation avec la tension grille-source mais nous n'avons pas réussi à bloquer le canal. Nous constatons aussi un phénomène qui se déclenche lorsqu'on augmente la tension de polarisation appliquée sur la grille par l'augmentation du courant drain source (I_{ds}) à une tension drain source égale à zéro, provoquant un certain décalage par rapport à l'origine ($I_{ds}=V_{ds}=0$ V) des caractéristiques. Nous expliquons ce phénomène également par la présence d'un transistor parasite qui se déclenche à une certaine polarisation.

Nous avons extrait les résistances à l'état passant ainsi que la transconductance du canal. Les valeurs sont résumées dans le tableau ci-dessous:

JFET	R_{ON} [Ω]	R_{sh} [Ω]	L [μm]	Z [mm]	g_m [S] ($V_{DS}=9$ V)	g_m [S] théorique
JFET 3-B1	1000	$1,64 \times 10^6$	19	31,2	$2,8 \times 10^{-4}$	$6,4 \times 10^{-2}$
JFET 3-B3	1007	$1,64 \times 10^6$	19	31,2	$2,7 \times 10^{-4}$	$6,4 \times 10^{-2}$
JFET 7	2130	$8,5 \times 10^4$	25	1	$2,7 \times 10^{-4}$	$1,52 \times 10^{-3}$

Tableau 36 : Les résistances à l'état passant et les transconductances typiques extraites des JFET à canal N. La valeur théorique de la résistance carrée est $R_{sh}=3,1$ k Ω .

En considérant une épaisseur de $0,64 \mu\text{m}$ (égale à $0,9-0,26 \mu\text{m}$) du canal N et un dopage effectif de $5,5 \times 10^{16} \text{cm}^{-3}$, ce qui correspond à une résistivité de $0,2 \Omega \cdot \text{cm}$ et une mobilité de $650 \text{cm}^2 \text{V}^{-1} \text{s}^{-1}$, la valeur théorique de la résistance carrée du canal est estimée à $3,1 \times 10^3 \Omega$ et celle de la transconductance sont présentées dans le tableau 8. Ces valeurs théoriques sont éloignées de celles extraites expérimentalement surtout pour les JFET avec une grille partiellement métallisée (structure interdigitée en peigne), comme pour le JFET 3. Par contre

les valeurs expérimentales s'approchent de celles théoriques pour le JFET 7 qui présente une structure en serpentín avec une grille métallisée sur toute sa largeur.

Réseaux de caractéristiques des JFET type P

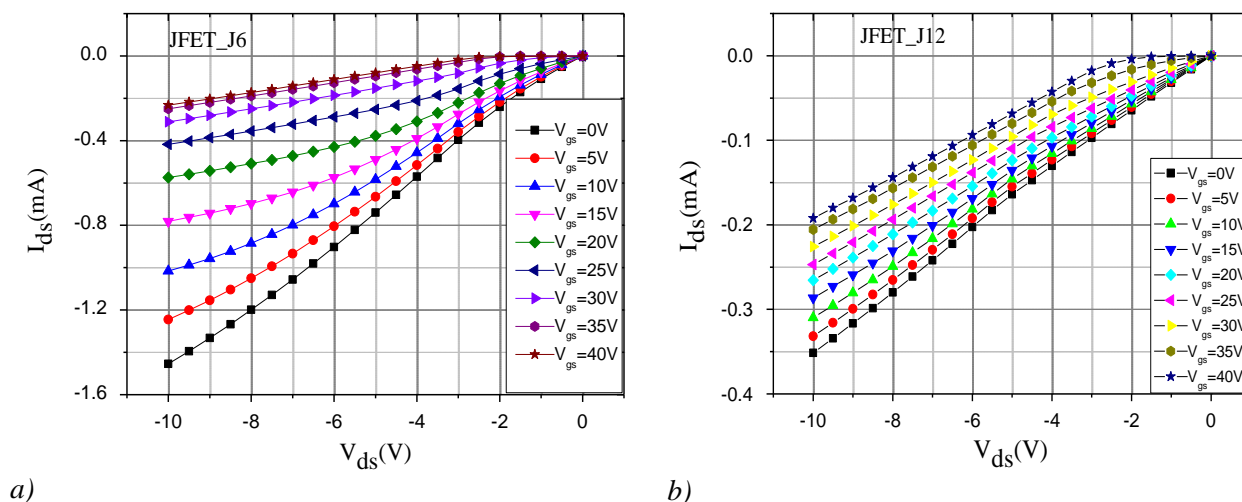


Figure 134 : Caractéristiques $I_{ds}(V_{ds})$ en fonction de V_{gs} du JFET 2 champ 5F (a) et du JFET 1 champ 5C (b)

Nous observons qu'il est plus facile de moduler la conduction du canal avec la tension grille-source et nous arrivons presque à bloquer le canal et atteindre un régime de saturation dans le cas du JFET J6. Nous avons extrait les résistances à l'état passant ainsi que la transconductance du canal. Les valeurs sont résumées dans le tableau ci-dessous :

	$R_{ON} [\Omega]$	$R_{sh} [\Omega]$	$L [\mu m]$	$Z [mm]$	$g_m [S] (V_{DS} = -6.5 V)$	$g_m [S] \text{ théorique}$
JFET J6	6024	2×10^5	32	1,1	$2,4 \times 10^{-5}$	$2,16 \times 10^{-4}$
JFET J12	29239	11×10^5	25	1	$2,9 \times 10^{-4}$	$2,52 \times 10^{-4}$

Tableau 37 : Les résistances à l'état passant et les transconductances typiques extraites des JFET à canal P sélectionnés comparées aux valeurs théoriques calculées, en donnant également la valeur théorique de la résistance carrée $R_{sh} = 1,1 \times 10^4 \Omega$.

Pour une épaisseur de $1,08 \mu m$ ($2 - 0,6 - 0,32 \mu m$) du canal P et un dopage effectif de $5 \times 10^{16} cm^{-3}$, ce qui correspond à une résistivité de $1,2 \Omega.cm$ et une mobilité de $115 cm^2 V^{-1} s^{-1}$ la valeur théorique de la résistance carrée du canal est estimée à $1,1 \times 10^4 \Omega$, et les valeurs théoriques de la transconductance de deux JFET sont présentées dans le tableau 9. Ces valeurs

théoriques sont assez peu éloignées de celles extraites expérimentalement surtout si on compare aux résultats des anciens lots présentés dans le deuxième chapitre.

4.4.3.3 Analyse des résultats obtenus sur les JFET de l'étage de commande

a) Structure des composants

Pour ce nouveau lot nous avons augmenté les épaisseurs des couches des canaux. Ainsi nous avons pu obtenir une conduction dans le canal aussi bien pour les JFET de type P que ceux de type N. Nous avons trouvé un nombre important de JFET type P qui présentent une modulation de la conduction dans le canal par rapport à une polarisation V_{gs} . Le blocage des canaux a été impossible à effectuer sur le JFET type N à cause de l'enclenchement d'un transistor bipolaire parasite.

Les résultats obtenus aussi bien sur l'étage de puissance que sur l'étage de commande, montrent que la maîtrise de cette conduction latérale est délicate et très sensible aux paramètres technologiques. Un travail supplémentaire doit être effectué sur la polarisation de ces composants dans cette configuration monolithique intégrée pour éviter l'enclenchement des transistors parasites.

b) Contacts ohmiques

Comme pour le lot de puissance la même métallisation, basée sur un alliage Ti/Ni pour le contact type N et un alliage Ni/Ti/Al/Ni pour le contact type P, a été utilisée pour les caissons N^+ et P^+ . Nous avons mis en évidence l'ohmicité des contacts.

4.4.4 Mesures TLM

Comme nous l'avons présenté dans le troisième chapitre, une métallurgie stable et reproductible a été développée durant ce travail de thèse pour réaliser des contacts ohmiques sur SiC-4H type P. Nous avons réalisé cette métallisation sur les deux plaques, la plaque EB-EC376-29 SY A pour l'étage de puissance et la plaque DH0612-10 pour l'étage de commande (Figure 4 et 6). Pour les couches SiC-4H N^+ nous avons utilisé une métallisation distincte, basée sur un empilement Ti/Ni.

Comme nous avons prévu des motifs de test sur les masques, des mesures $I(V)$ ont été effectuées sur les structures TLM des couches de type N et P. Ces couches correspondent aux caissons source-drain et grille réalisés par implantation ionique d'aluminium et azote. Ces structures TLM ont été réalisées en même temps que les JFET.

Les figures suivantes présentent les mesures $I(V)$ entre les différents plots des TLM, pour les deux types N et P. Les courbes montrent une symétrie parfaite qui dénote ainsi l'ohmicité des contacts.

La résistance spécifique de contact a été extraite suivant la méthode présentée dans l'annexe 1. La figure 42 présente la variation de la résistance entre les plots TLM avec la distance entre les plots. Nous remarquons la bonne linéarité des courbes obtenues montrant la qualité de nos contacts avec une résistance spécifique de l'ordre $4 \times 10^{-5} \Omega\text{cm}^2$ pour le contact type P et de l'ordre $2 \times 10^{-4} \Omega\text{cm}^2$ pour le contact type N.

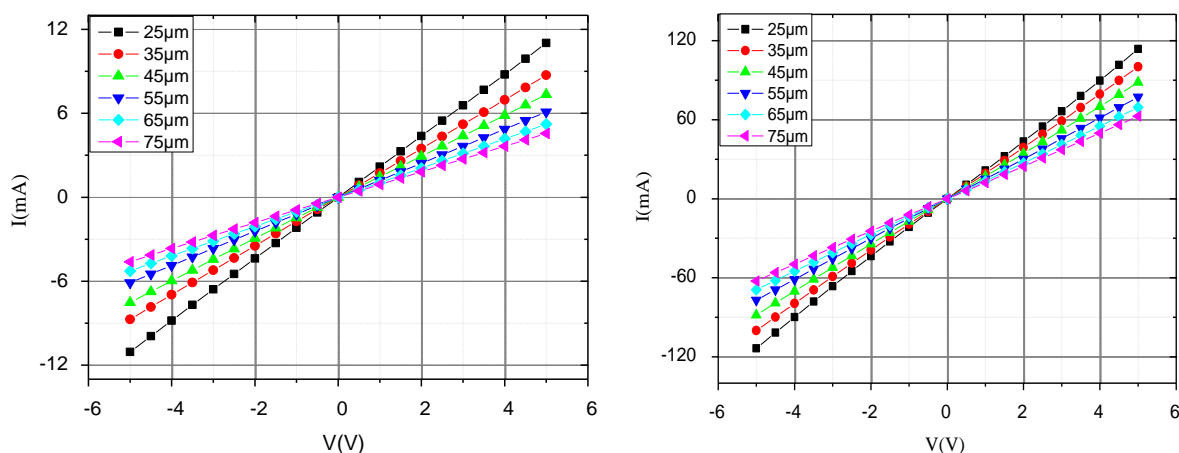


Figure 135 : Courbes $I-V$ en fonction de la distance entre les motifs TLM type N (à gauche) et type P (à droite).

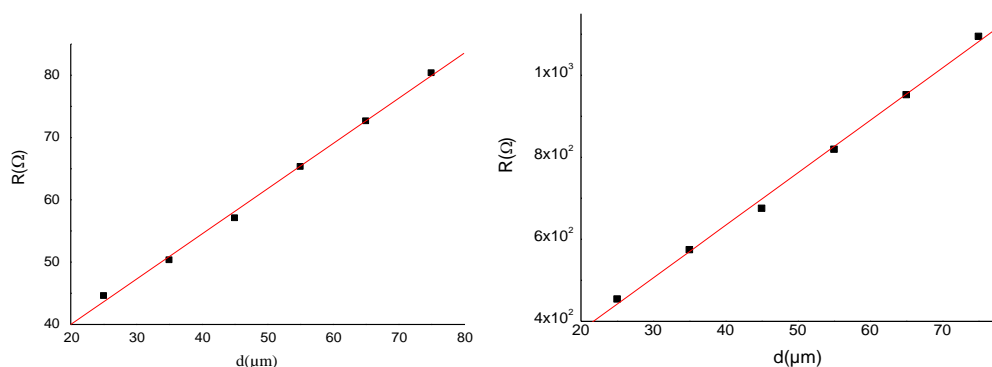


Figure 136 : Extraction de la résistance spécifique d'empilements $\text{Ti}(5)/\text{Ni}(150 \text{ nm})$ contact type N (à gauche) et $\text{Ni}(10)/\text{Ti}(40)/\text{Al}(240)/\text{Ni}(10 \text{ nm})$ contact type P (à droite).

Avant de clôturer cette partie, remarquons que sur certaines structures TLM nous avons obtenu des caractéristiques $I-V$ linéaires qui ne sont pas dans l'ordre de variation de la distance entre les plots TLM. De plus sur les JFET de type P, nous avons constaté une

augmentation brusque du courant entre ces plots qui peut s'expliquer par la présence de transistors bipolaires parasites comme nous avons remarqué dans le fonctionnement des JFET.

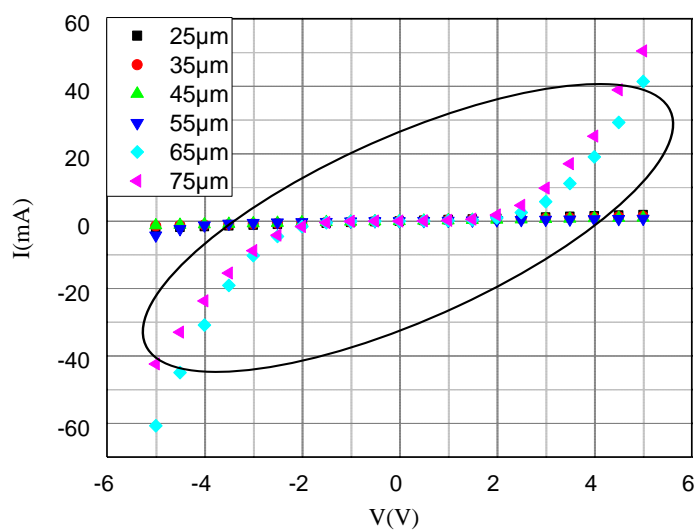


Figure 137 : Courbes I-V sur les motifs TLM type P présentant une augmentation brutale du courant entre les plots.

4.5 Conclusion du chapitre

Dans ce chapitre, de nouveaux dispositifs JFET latéraux réalisés en carbure de silicium ont été présentés. Des étapes technologiques optimisées ont été implémentées dans la fabrication de ces composants. Ainsi, deux lots de JFET SiC-4H de type N et P conçus pour l'étage de puissance et l'étage de commande ont été fabriqués. Les performances obtenues sont relativement satisfaisantes notamment en termes de conduction des canaux. Ceci était un des points négatifs des lots de composants JFET présentés dans le deuxième chapitre où le canal était bloqué par l'implantation de la grille.

Nous avons obtenu une bonne conduction dans les canaux des JFET de l'étage de commande et également pour l'étage de puissance avec un courant de plusieurs dizaines de milliampères, jusqu'à une centaine de milliampères pour les JFET à canal N, et de l'ordre du milliampère pour ceux canal P. Ceci a été possible grâce à plusieurs changements technologiques qui ont été effectués par rapport aux lots analysés dans le deuxième chapitre :

- 1) Nous avons mieux contrôlé le dopage de la grille, en diminuant son épaisseur pour élargir le canal. Ceci a été possible en utilisant des énergies d'implantations ioniques plus faibles et en éliminant la couche d'arrêt de silice en surface.
- 2) L'optimisation du contact ohmique de type P et le fait d'utiliser une métallisation distincte pour le contact ohmique de type N ont joué également un rôle important.

Une modulation du courant I_{ds} en fonction de la tension V_{gs} a été obtenue sur une bonne partie des JFET. Par contre un certain nombre de JFET n'ont pas pu être bloqués à cause de la mise en conduction de transistors parasites due à la structure gravée multicouches utilisée.

Il reste un travail à effectuer sur la caractérisation électrique de ces transistors en configuration bras d'onduleur monolithique en faisant très attention à la polarisation et l'isolation des différentes électrodes. Par manque de temps nous n'avons pas pu effectuer ce travail. Néanmoins nous avons montré la faisabilité technologique de ces transistors JFET à canal P et N intégrés monolithiquement sur la même puce.

4.6. Références

- [Jarn'04] A. Jarno. Etude de la faisabilité d'un bras d'onduleur en carbure de silicium (SiC). Rapport Master Recherche DEI, Lyon : INSA de Lyon, 2004, 66 pages.
- [Vang 06] H. Vang. Optimisation des étapes technologiques pour la fabrication de composants de puissance en carbure de silicium. Thèse de Doctorat CEGELY, INSA de Lyon. 2006. 212 pages.
- [Lano 97] F. Lanois. Etude de la gravure du carbure de silicium application à la réalisation de composants de puissance. Thèse de Doctorat CEGELY, INSA de Lyon, 1997, 222 pages.
- [Laza 02] M. Lazar. Etude du dopage par implantation ionique d'Aluminium dans le carbure de silicium pour la réalisation de composants de puissance. Thèse de doctorat, CEGELY, INSA de Lyon, 2002, 219pages.
- [Laza 06] M. Lazar, H. Vang, P. Brosselard, C. Raynaud, P. Cremillieu, J.L. Leclercq, A. Deschamps, S. Scharnholz, D. Planson. Deep SiC etching with RIE. Superlattices and Microstructures. Vol 40, Issues 4-6, October-December 2006, pp. 388-392
- [Laza 11] M. Lazar, F. Enoch, F. Laariedh, D. Planson, P. Brosselard. Influence of the Masking Material and Geometry on the 4H-SiC RIE Etched Surface State. Materials Science Forum Vol. 679-680, pp. 477-480, (2011).
- [MiCh 13] MicroChemicals Photoresists MicroChemicals GmbH [en ligne]. Disponible sur : < <http://www.microchemicals.com/de/produkte.html> >, (consulté le 01.02.2013).
- [Morv 98] E. Morvan, J. Montserrat, J. Rebollo, D. Flores, X. Jorda, M. L. Locatelli, and L. Ottaviani. Stoichiometric Disturbances in Ion Implanted Silicon Carbide. *Mater. Sci. Forum*, Vol. 264-268, pp. 737, (1998).
- [Morv 99] E. Morvan. Modélisation de l'implantation ionique dans α -SiC et application à la conception de composants de puissance. Thèse de doctorat, CEGELY, Lyon : INSA de Lyon, 1999, 300 pages.
- [Nego 04] Y. Negoro, K. Katsumoto, T. Kimoto and H. Matsunami. Flat Surface after High-Temperature Annealing for Phosphorus-Ion Implanted 4H-SiC (0001) using Graphite Cap. Materials Science Forum, Vol. 457-460, pp.933-936, (2004).
- [Szc 03] A. Szczesny, P. Sniecikowski, J. Szmidt and A. Werbowy. Reactive ion etching of novel materials-GaN and SiC. Vacuum, Vol. 70, pp.249-254, (2003).
- [Sank 06] I. Sankin, V. Bonderko, R. Kellev and J.B. Casady, SiC Smart Power JFET Technology for High-Temperature Applications, Mater Sci Forum Vol. 527-29, pp.1207, (2006).
- [Srim 12] <http://www.srim.org/> (consulté le 01.02.2013).
- [Sze 85] S. M. Sze Semiconductor devices, physics and technology, Wiley, 30 avr. 1985 - 523 pages.
- [Tsao 04] B.-H Tsao, S. Liu and J. Scofield. Improved AlNi Ohmic Contacts to P-Type SiC. Materials Science Forum, Vol. 457-460, pp.841-844, (2004).
- [II-VI 12] <http://www.iivwbg.com/products.html>, (consulté le 01.02.2013).

Conclusion générale

Ce travail de thèse s'est focalisé sur l'optimisation des paramètres technologiques afin de réaliser des composants JFET latéraux intégrés en SiC-4H. Nous avons entamé cette thèse par une caractérisation de deux lots de composants JFET latéraux à canaux N et P réalisés dans le cadre de deux projets ANR précédents cette thèse. Ces composants étaient prévus pour réaliser les étages de puissance et de commande d'un bras d'ondeur SiC. De cette étude nous avons extrait plusieurs points positifs, comme celui qui concerne la modulation du courant I_{ds} en fonction de la tension V_{gs} sur les JFET type P des échantillons utilisés pour l'étage de commande et ceux de type N des JFET type N de l'étage de puissance. Par contre, nous avons remarqué un courant extrêmement faible des JFET de puissance. Nous avons mis en question la présence du canal qui s'est retrouvé sous les multiples implantations en surface, notamment celles utilisées pour former la grille. Les faibles courants obtenus étaient également dus à la non ohmicité des contacts aussi bien sur les couches P^+ que sur les couches N^+ .

Nous avons mis en évidence, à partir des résultats sur l'étage de commande, qu'il est préférable d'envisager l'intégration monolithique des JFET latéraux N et P sur un même substrat en utilisant une structure gravée avec des multi-couches épitaxiales, plutôt que sur une structure planaire. Ceci permet de réduire le nombre d'étapes d'implantations ioniques.

Nous avons conclu également que pour réaliser l'intégration monolithique des JFET de puissance qui présentent une structure plus complexe, un travail est nécessaire pour améliorer certaines étapes technologiques et le design des composants.

Ce choix impose une maîtrise de la gravure profonde du SiC et d'être capable d'obtenir une surface gravée sans défauts et compatibles avec la fabrication de composants de puissance. Des masques métalliques essentiellement à base de nickel et silicium ont été exploités pour obtenir des gravures profondes sur le carbure de silicium. Les résultats obtenus avec le masque Ni et le masque Si nous a conduit à réaliser un masque mixte avec les deux éléments. Ainsi nous avons pu faire des gravures assez profondes en conservant en même temps une surface lisse et sans la présence du phénomène de micromasking qui endommage le fonctionnement des composants. Cette combinaison entre le silicium et nickel (NiSi), nous a permis de remplir le cahier des charges et de mettre en place un procédé original¹² qui permet des gravures profondes du SiC grâce à la présence du nickel. Le micromasking est

¹² Ce procédé original a été obtenu suite aux études préliminaires sur la gravure du SiC qui ont été présentées dans un congrès international et publiés dans un article revue.

évité, malgré le taux important de recouvrement de la surface par le masque, par la présence du silicium qui permet d'améliorer la volatilité des produits de réaction.

Les anciens lots caractérisés dans le deuxième chapitre montraient une résistance importante des contacts avec une influence désastreuse sur la conduction du canal et la modulation du courant dans le JFET. Ceci est dû au fait d'avoir utilisé le même alliage Ti/Ni pour métalliser les différents caissons type N et type P, qui n'a pas permis d'obtenir des contacts ohmiques ni sur les couches de type P et ni sur les couches de type N. Sur les nouveaux lots de composants que nous avons fabriqués, nous avons utilisé deux métallisations distinctes, une dédiée pour les couches P⁺ et l'autre pour les N⁺, pour améliorer la qualité de nos contacts. Cette amélioration a permis d'obtenir une résistance de contact plus faible, d'avoir des calibres en courant plus élevés et par conséquent une meilleure modulation. Ainsi les caractérisations électriques des nouveaux lots de JFET fabriqués durant cette thèse, ont pu mettre en évidence l'optimisation du contact ohmique de type P tout en obtenant un contact également ohmique pour la métallisation des caissons de type N.

Pour arriver à ce résultat nous avons étudié plusieurs empilements de couches métalliques à base de nickel, aluminium et titane, pour former des contacts ohmiques sur des couches de SiC-4H de type P. Nous avons analysé l'influence de la nature des couches métalliques, leur ordre et leur épaisseur. Nous avons sélectionné l'empilement Ni/Ti/Al/Ni (10-40-240-10nm) qui nous a permis d'obtenir des résultats très satisfaisants pour des températures de recuits situées autour de 800 °C avec une résistance spécifique de contact de $1,5 \times 10^{-5} \Omega \cdot \text{cm}^2$. Ce résultat se trouve parmi les meilleurs de l'état de l'art concernant les contacts ohmiques sur le SiC-4H, type P¹³. Au passage nous remarquons également que ce résultat est très utile dans la fabrication de composants SiC de type MOSFET, permettant d'abaisser la température de formation des contacts ohmiques sur le SiC type p qui en général se situe autour de 1000 °C. D'ailleurs notre procédé développé pour le contact ohmique sur le SiC type P, est actuellement couramment utilisé par le laboratoire Ampère dans la fabrication des composants SiC sur la plateforme Nanolyon.

Sur les nouveaux lots de composants JFET de puissance et commande fabriqués durant cette thèse, nous avons modifié localement la structure des JFET afin de mieux contrôler le dopage de la grille, en diminuant son épaisseur pour augmenter l'épaisseur du canal. Ceci a été possible en utilisant des énergies d'implantations ioniques plus faibles pour la fabrication des grilles et en éliminant la couche d'arrêt de silice en surface. Nous avons cependant gardé les implantations à haute énergie pour réaliser les canaux.

¹³ L'ensemble des études et des résultats que nous avons obtenu sur le contact ohmique du SiC type P, ont fait l'objet de 2 articles revues et d'une présentation orale dans un congrès international.

L'ensemble de ces améliorations technologiques nous a permis d'obtenir des nouveaux lots de composants JFET avec des meilleures performances par rapport aux précédentes réalisations, notamment avec une conduction dans les canaux plus importante, celle-ci pouvant atteindre une centaine de milliampère. Nous avons également obtenu une modulation du courant I_{ds} en fonction de la tension V_{gs} sur un nombre très important de JFET.

Perspectives

Avec les nouveaux lots de composants réalisés durant cette thèse, nous avons montré qu'il est possible d'intégrer les JFET de type P et N sur la même puce également pour l'étage de puissance. Sur l'ensemble des JFET que nous avons réalisé, les caractérisations électriques montrent qu'il est difficile de bloquer les canaux. La structure gravée que nous avons choisie demande un travail supplémentaire à effectuer sur la caractérisation électrique de ces transistors en configuration bras d'onduleur monolithique en faisant très attention à la polarisation et l'isolation des différentes électrodes. Par manque de temps nous n'avons pas pu effectuer ce travail.

La figure 6 du chapitre 4 présente le schéma du jeu de masques utilisés pour la fabrication des JFET P et N de puissance intégrés sur la même puce. Nous pouvons observer sur cette figure, que les JFET P et N ont été positionnés vis-à-vis l'un de l'autre. Ainsi en ajoutant deux étapes technologiques d'isolation et de sur-métallisation il est possible de connecter directement entre eux les JFET P et N afin de réaliser un bras d'onduleur monolithique.

Par contre les soucis que nous avons rencontrés lors de la caractérisation électrique de nos JFET P et N intégrés sur la même puce, a mis en évidence une influence mutuelle entre les composants, en déclenchant la conduction de transistors parasites. Ainsi il est préférable d'insérer une étude intermédiaire en fabriquant une structure hybride dans laquelle les JFET P et N seront reportés sur un substrat isolant (alumine, PCB...).

Pourtant la structure complémentaire avec des JFET P et N a été choisie en pensant à une structure de type CJFET par analogie avec la structure des CMOS. L'isolation par jonction entre les JFET semble avoir des limites, pour pallier ce problème nous pourrions également ajouter une étape d'isolation des composants par gravure plasma. Cette étape a été optimisée durant cette étude afin d'atteindre des caissons suffisamment serrés et avec des profondeurs importantes.

Le blocage difficile de nos JFET peut également être dû à un défaut dans la conception des composants JFET latéraux. Si on compare nos composants par rapport aux structures de Zhao et commercialisés ensuite par SemiSouth, nous pouvons observer une structure plus complexe de la grille qui permet d'allonger le canal sous la grille et de mieux contrôler le pincement du canal. Sans forcément reprendre des structures aussi complexes que celles de

SemiSouth qui rendraient difficile l'intégration sur la même puce des JFET P et N, on pourrait approfondir l'étude de l'influence de la longueur du canal sur le blocage de ces JFET.

Nous avons également mis en évidence que la multiplication des étapes d'implantations ioniques rend difficile le contrôle de la conduction du canal. Une alternative à l'implantation ionique est l'utilisation de l'épitaxie localisée par VLS. Cette étape technologique a été décrite dans le premier chapitre. Les laboratoires LMI et Ampère travaillent actuellement sur l'optimisation de cette étape technologique et envisage son utilisation dans des structures de type JFET.

Annexe 1

1.1 La technique TLM (Transfer Length Method)

Pour les besoins technologiques des composants de puissance, afin de limiter les pertes en commutation et l'échauffement du composant, il est crucial d'obtenir des valeurs de résistances de contact les plus faibles possibles.

Par définition, un contact ohmique est un contact métal-semiconducteur avec une très faible résistance de contact R_c . Un contact métal-semiconducteur est ohmique lorsque le courant I est proportionnel à la tension V appliquée. La procédure expérimentale la plus couramment employée pour déterminer les résistances spécifiques de contact est la méthode des de la longueur de transfert TLM, proposée par Schockley [Scho 64]. Cette méthode permet de déterminer la résistance spécifique de contact ρ_c . Pour cela on réalise une série de contacts métalliques ayant des espacements croissants entre eux. Les mesures électriques sont effectuées avec une station sous pointes. Celle-ci permet de mesurer les résistances des composants à partir de mesures $I(V)$, deux pointes servent à la fois à l'injection du courant, et à la mesure de la tension.

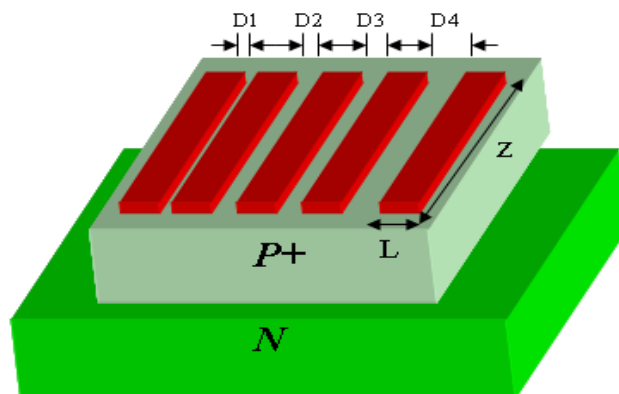


Figure 1 : Structure TLM

On mesure la résistance entre deux plots voisins. Notons que l'on suppose que la résistance carrée de la couche est la même entre les contacts et sous les contacts, ce qui est une approximation acceptable pour le SiC puisque la diffusion sous les contacts est faible. On trace ensuite la résistance entre deux plots en fonction de la distance entre les plots, courbe $R = f(L)$ dans la figure 2.

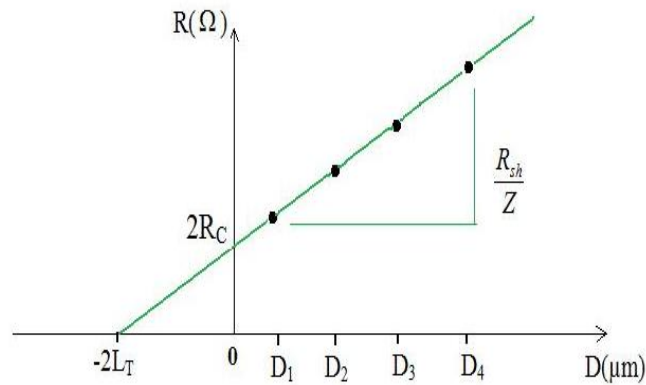


Figure 2: Résistance mesurée en fonction de l'espacement des plots et les paramètres pouvant être extraits R_C , R_{sh} et L_T .

De cette droite on peut déduire :

- La résistance carrée R_{sh} de la couche : $R_{sh} = \text{Pente} \times Z$ (Z étant la largeur des plots)
- La résistance de contact R_C : $R_C = \frac{R_{sh} * L_T}{Z}$
- La longueur de transfert L_T : représente la distance caractéristique sur laquelle s'effectue le transfert du courant depuis l'électrode très conductrice jusque dans la couche plus faiblement conductrice.

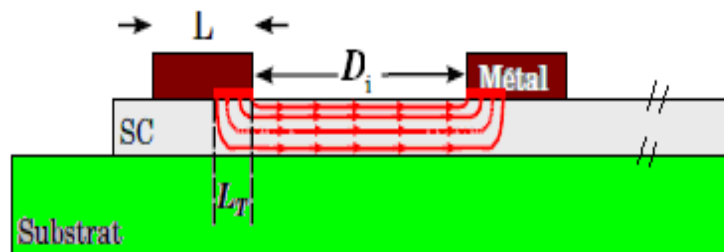


Figure 3: Représentation des lignes de courant pendant une polarisation et les paramètres L_T et D_i .

$$L_T = \sqrt{\frac{\rho_C}{R_{sh}}} = \frac{R(0)}{2 \cdot \text{pente}} = \frac{A}{2B} \text{ (en } \mu\text{m)}.$$

- La résistance spécifique de contact ρ_C :

$$\rho_C = R_{sh} * L_T^2$$

Les mesures TLM nécessitent une précaution au niveau des courants de fuite, c'est pourquoi la couche supportant les contacts ohmiques doit être isolée électriquement.

Il existe plusieurs techniques d'isolation, les plus couramment utilisées par les concepteurs, de part sa simplicité de réalisation et son efficacité, sont la gravure Mesa, ou l'isolation dans un caisson par implantation ionique.

Pour garder une conduction longitudinale entre les plots et minimiser la conduction latérale il faut que la largeur des plots (Z) soit très importante par rapport à la longueur des plots (L) et à la distance entre les plots ($D1, D2, D3, D4$).

1. 2 Référence :

- [Shoc 63] W. Shockley, W. Shockley, Report No. AI-TOR-64-207, Air Force Atomic Laboratory, Wright-Patterson Air Force Base, OH, 1964.

Annexe 2

Equations fondamentales du JFET

2.1. Structure

La zone active du JFET est représentée sur la figure 1, cas d'un JFET asymétrique, ce qui est le cas d'une structure latérale. Les axes Ox et Oy représentent respectivement les axes longitudinal et transversal de la structure, avec l'origine prise côté source. La profondeur totale du canal est égale a , supposée constante. La profondeur de la zone de désertion en un point d'abscisse x est représentée par le paramètre $W(y)$. En prenant l'hypothèse d'un canal graduel, le potentiel le long du canal et par conséquent aussi la profondeur W de la zone de charge d'espace varie graduellement entre la source et le drain, cette profondeur est notée W_1 côté source et W_2 côté drain. [Sze 06]

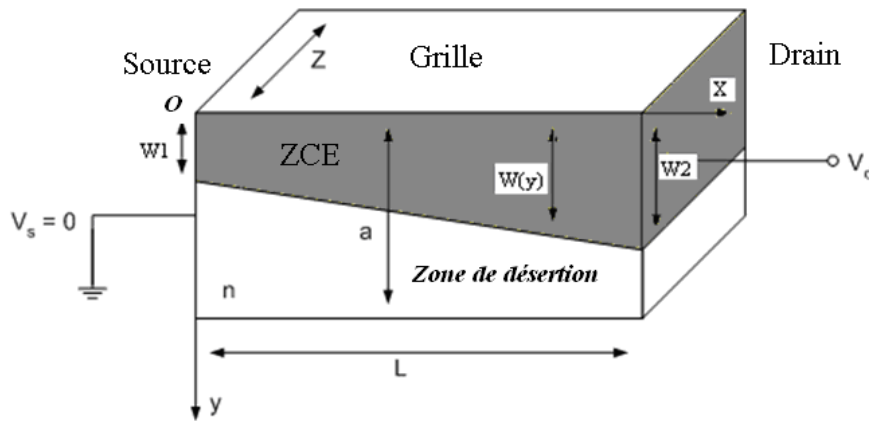


Fig 1: La zone active du JFET : canal drain-source

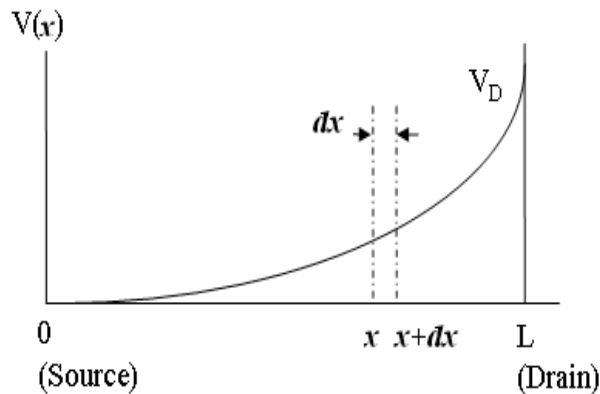


Fig 2: Variation de la tension du drain V_a tout au long du canal.

Z= largeur du canal

V_G = tension de grille $V_G \leq 0$

L= longueur du canal

V_D = tension du drain $V_D \geq 0$

a = profondeur du canal

W_i = profondeur de la zone de déplétion de la jonction P⁺N

2.2 Courant de drain (canal type N) :

La résistance du canal est donnée par l'équation suivante :

$$R = \rho \frac{L}{A} = \frac{L}{q\mu_n N_D A} = \frac{L}{q\mu_n N_D Z(a-W)} \quad (1)$$

$$dR = \frac{dL}{q\mu_n N_D Z(a-W)} = \frac{dx}{q\mu_n N_D Z(a-W(x))}$$

N_D = concentration des donneurs dans le canal

$A = Z(a-W(x))$

La profondeur de la zone de déplétion à une distance x par rapport la source (x=0) est égale :

$$W(x) = \sqrt{\frac{2\epsilon_s [V(x) + V_G + V_{bi}]}{qN_D}} \quad (2)$$

❖ $W_2 = a$: Pinch-off

On obtient la tension de saturation V_{Dsat} quand $W=a$:

$$V_{Dsat} = \frac{qN_D a^2}{2\epsilon_s} - V_G - V_{bi} \quad (3)$$

En utilisant l'équation (1), en remplaçant L par dx :

$$dV = I_D dR = \frac{I_D dx}{q\mu_n N_D Z[a-W(x)]} \quad (4)$$

Pour $I_D = \text{cst}$ (constante) l'équation (3) donne :

$$I_D dx = q\mu_n N_D Z[a-W(x)]dV \quad (5)$$

Mais à partir de l'équation 2 on obtient également :

$$dV = \frac{qN_D}{\epsilon_s} W dW \quad (6)$$

On remplace dV par sa valeur dans l'équation (5) et on intègre entre $x=0$ et $x=L$, avec le changement de variable $W=W_1$ à $W=W_2$:

$$I_D = \frac{1}{L} \int_{W_1}^{W_2} q\mu_n N_D Z(a-W) \frac{qN_D}{\epsilon_s} W dW$$

$$= \frac{Z\mu_n q^2 N_D^2}{\epsilon_s L} \left[a(W_2^2 - W_1^2) - \frac{2}{3}(W_2^3 - W_1^3) \right]$$

A partir de l'équation 2 on peut également exprimer W_2 et W_1 comme :

$$W_2 = \sqrt{\frac{2\epsilon_s [V_D + V_G + V_{bi}]}{qN_D}} \quad W_1 = \sqrt{\frac{2\epsilon_s [V_G + V_{bi}]}{qN_D}}$$

$$I_D = I_P \left[\frac{V_D}{V_P} - \frac{2}{3} \left(\frac{V_D + V_G + V_{bi}}{V_P} \right)^{3/2} + \frac{2}{3} \left(\frac{V_G + V_{bi}}{V_P} \right)^{3/2} \right] \quad (7)$$

En notant $I_P = \frac{Z\mu_n q^2 N_D^2 a^3}{\epsilon_s L}$ (8)

et $V_P = \frac{qN_D a^2}{2\epsilon_s}$ (9)

Dans le cas du régime de saturation :

$$V_P = V_D + V_G + V_{bi} \quad \text{quand } W_2 = a \quad V_D = V_{Dsat}$$

2.3 Transconductance et résistance carrée du canal

L'expression du courant de drain I_D (équation (7)) permet de calculer deux paramètres fondamentaux du transistor qui sont la transconductance g_m et la conductance du canal (conductance du drain) g_d .

Lorsque le transistor est polarisé en un point de fonctionnement donné par les tensions statiques V_G et V_D , le courant de drain est I_D égale :

❖ **Régime linéaire :** $V_D \ll V_G + V_{bi}$

Utilisons l'approximation suivante $f(a+x) - f(a) = (a+x-a)f'(x) = x f'(x)$ avec ($x \ll a$)

On obtient le courant de drain dans le régime linéaire :

$$I_D \approx I_P \frac{V_D}{V_P} \left[1 - \left(\frac{V_G + V_{bi}}{V_P} \right)^{1/2} \right] \quad (10)$$

Ce qui permet de déduire la conductance du canal par l'expression suivante :

$$g_D = \left. \frac{dI_D}{dV_D} \right|_{V_G = cst} = \frac{I_P}{V_P} \left[1 - \left(\frac{V_G + V_{bi}}{V_P} \right)^{1/2} \right]$$

$$g_D \approx \frac{q\mu_n N_D Z(a - W_1)}{L} = \frac{(a - W_1) Z}{\rho L} \approx \frac{1}{R_{sh}} \frac{Z}{L} \quad (11)$$

où R_{sh} est la résistance carrée de la couche du canal.

La transconductance est égale à :

$$g_m = \left. \frac{dI_D}{dV_G} \right|_{V_D = cst} = \frac{I_P V_D}{2V_P^2} \sqrt{\frac{V_P}{V_G + V_{bi}}} = \frac{q\mu_n N_D Z a V_D}{L V_P} \sqrt{\frac{V_P}{V_G + V_{bi}}} \quad (12)$$

❖ **Régime de saturation :** $V_D = V_P - V_G - V_{bi} = V_{Dsat}$

$$I_D = I_P \left[\frac{1}{3} - \left(\frac{V_G + V_{bi}}{V_P} \right) + \frac{2}{3} \left(\frac{V_G + V_{bi}}{V_P} \right)^{3/2} \right] \quad (13)$$

La conductance g_D est nulle dans le régime linéaire.

Et la transconductance égale :

$$g_m = \left. \frac{dI_D}{dV_G} \right|_{V_D = cst} = \frac{I_P}{V_P} \left(1 - \sqrt{\frac{V_G + V_{bi}}{V_P}} \right) = \frac{2q\mu_n N_D Z a}{L} \left(1 - \sqrt{\frac{V_G + V_{bi}}{V_P}} \right) \quad (14)$$

2.2. Référence :

[Sze 06] S-M Sze, Semiconductor devices - Physics and technology. 2006.

Annexe 3

3.1- Process-flow de l'étage de puissance :

Echantillon : EB-EC376-29 SY A				
N°	Equipements	Process	Technologies	Remarques
1	Nanolyon-ECL - Salle chimie-	Nettoyage RCA -Organic Clean - Ionic Clean - Oxide Strip	- 5:1:1 H ₂ O:H ₂ O ₂ :NH ₄ OH à 70°C (10') - 6:1:1 H ₂ O:H ₂ O ₂ :HCl à 70°C (10') - BOE (3')	Rinçage entre étapes Séchage à la fin
2	Nanolyon-ECL -MRC-	Dépôt SiO ₂ par MRC 1h30	500W (1800V) - cible Si 50 sccm O ₂ / 50 sccm Ar	Ctrl optique et Tencor : 490 nm
3	IPNL -Implanteur IMIO400-	Implantation Canal type N	800keV – 3.0E12 cm ⁻² 600 keV – 2.8E12 cm ⁻² 420 keV – 2.5E12 cm ⁻² 300 keV – 2.2E12 cm ⁻² 200 keV – 2.2E12 cm ⁻²	Ctrl optique
4	Nanolyon-ECL - Salle chimie-	Nettoyage CARO	3:1 H ₂ SO ₄ /H ₂ O ₂ (2*10') BOE (3') Acétone / éthanol (2*5')	Rinçage entre acides mais pas entre solvants Séchage à la fin
Litho 1				
5	Nanolyon-ECL -MJB3-	Niveau : "15-Gravure (séparation des deux JFETs N et P) (BF)"	Etalage résine AZ5214 E	4000 RPM /5/ 30 s
6	Nanolyon-ECL -MJB3-		Recuit prebake 110 °C – 1 min	
7	Nanolyon-ECL -MJB3-		Exposition UV 1,7 s	
8	Nanolyon-ECL -MJB3-		Recuit postbake 110 °C – 1 min	
9	Nanolyon-ECL -MJB3-		Exposition UV 10 s, pleine plaque	
10	Nanolyon-ECL -MJB3-		Développement ~20 s Rinçage	Ctrl optique et Tencor : 1,3 µm
11	Nanolyon-ECL -vieux canon-	Dépôt Ti/Ni	50A/2 × 2000 A	position haute TF 45%
12	Nanolyon-ECL - Salle chimie-	Lift-off	Acétone chaud/ A froid/ Spray bleu/ Éthanol	
13	Nanolyon-ECL -RIE-	Nettoyage O ₂	20 sccm O ₂ , 100 W, 100 mTorr, 300 s	
14	Nanolyon-ECL -RIE-	Gravure SiC	26 sccm SF ₆ / 6,7sccm O ₂ , 300 W (300V) 60 mTorr, 900 s	Ctrl optique et Tencor : 4,9 µm

15	Nanolyon-ECL - Salle chimie-	Nettoyage	3:1 H ₂ SO ₄ /H ₂ O ₂ (2*10') BOE (3') Acétone / éthanol (2*5')	Rinçage entre acides mais pas entre solvants Séchage à la fin
Litho 2				
16	Nanolyon-ECL -MJB3-	Niveau : "20_SUBS_N (pour contacter la couche P ⁺)(DF)"	Etalage résine nLof 2070	4000 RPM /5/30s
17	Nanolyon-ECL -MJB3-		Recuit prebake 110°C – 1 min	
18	Nanolyon-ECL -MJB3-		Exposition UV 9 s	
19	Nanolyon-ECL -MJB3-		Recuit postbake 110 °C – 1 min/ Développement ~20 s Rinçage	Ctrl optique et Tencor : 7 µm
20	Nanolyon-ECL -LEYBOLD-	Dépôt Ti/Ni/Si	50A/1300/1300 A	position haute TF 45%
21	Nanolyon-ECL -RIE-	Gravure SiC	26 sccm SF ₆ /6,7 sccm O ₂ , 250 W (300 V) 60 mTorr, 360 s	Ctrl optique et Tencor : 1,5 µm
22	Nanolyon-ECL - Salle chimie-	Nettoyage	CARO (2*10') BOE (3') Acétone / éthanol (2*5')	Rinçage entre acides mais pas entre solvants Séchage à la fin
Litho 3				
23	Nanolyon-ECL -MJB3-	Niveau "14 – ACTV (pour définir les motifs d'alignement des niveaux suivants) (DF)"	Etalage résine nLof 2070	5000 RPM /5/30s
24	Nanolyon-ECL -MJB3-		Recuit prebake 110 °C – 1 min	
25	Nanolyon-ECL -MJB3-		Exposition UV 9 s	
26	Nanolyon-ECL -MJB3-		Recuit postbake 110 °C – 1 min/	
27	Nanolyon-ECL -MJB3-		Développement ~20 s Rinçage	Ctrl optique et Tencor : 7 µm
28	Nanolyon-ECL - LEYBOLD -	Dépôt Ti/Ni /Si	50A/1300/1300 A	position haute TF 45%
29	Nanolyon-ECL - Salle chimie-	Lift-off	Acétone chaud/ A froid/ Spray bleu, Éthanol	
30	Nanolyon-ECL -RIE-	Nettoyage O ₂	20 sccm O ₂ , 100 W, 100 mTorr, 300 s	
31	Nanolyon-ECL -RIE-	Gravure SiC	26 sccm SF ₆ / 6,7 sccm O ₂ , 300 W (300 V) 60 mTorr, 150 s	Ctrl optique et Tencor : 0,7 µm
32	Nanolyon-ECL - Salle chimie-	Nettoyage	3:1 H ₂ SO ₄ /H ₂ O ₂ (2*10') BOE (3') Acétone / éthanol (2*5')	Rinçage entre acides mais pas entre solvants Séchage à la fin
33	Nanolyon-ECL -Oxford-	Dépôt SiO ₂ par PECVD	Plasma (28 min)	Ctrl optique et Tencor : ~2 µm
34	Nanolyon-INSA	Litho 4	Etalage résine SPR2070	4000 /300/ 30 s

	-EVG-	Niveau "8 – CANAL_P (DF)"		
35	Nanolyon-INSA -EVG-		Recuit prebake 120 °C – 1 min	
36	Nanolyon-INSA -EVG-		Exposition UV 480mj/cm ²	
37	Nanolyon-INSA -EVG-		Développement > ou =120 s Rinçage	Ctrl optique et Tencor : 7 µm
38	Nanolyon-ECL -chimie-	Gravure chimique	BOE:HF (48%) (3:1) 15 s puis 1min BOE	Ctrl optique et Tencor : 2 µm
39	IPNL -Implanteur IMIO400-	Implantation canal P Al	680 keV – 3E12 cm ⁻² 580 keV – 3E12 cm ⁻² 420 keV – 3E12 cm ⁻² 280 keV – 2,5E12 cm ⁻² 150 keV – 2,5E12 cm ⁻² 70 keV – 1,5E12 cm ⁻²	Ctrl optique
40	Nanolyon-ECL -Oxford-	Dépôt SiO ₂ par PECVD	Plasma (28 min)	Ctrl optique et Tencor : ~2 µm
41	Nanolyon-INSA -EVG-	Litho 5 Niveau "2 – IMPLN (DF)"	Etalage résine SPR.2070	4000 /300/ 30 s
42	Nanolyon-INSA EVG -		Recuit prebake 110 °C – 1 min	
43	Nanolyon-INSA EVG		Exposition UV 480 mj/cm ²	
44	Nanolyon-INSA EVG -		Développement > ou =120 s Rinçage	Ctrl optique et Tencor : 7 µm
45	Nanolyon-ECL -chimie-	Gravure chimique	BOE:HF (48%) (3:1) 15 s puis 1 min BOE	Ctrl optique et Tencor : 2 µm
46	Nanolyon-ECL -chimie-	Délaçage de la résine	Acétone chaud/ A froid/ Spray bleu, Éthanol	
47	IBS -Implanteur EATON-	Implantation N ⁺⁺	100 keV – 3,4E14 cm ⁻² 60 keV – 2,5E14 cm ⁻² 25 keV – 1,5E13 cm ⁻²	Ctrl optique
48	Nanolyon-ECL - Salle chimie-	Nettoyage	3:1 H ₂ SO ₄ /H ₂ O ₂ (2*10') BOE (3') Acétone / éthanol (2*5')	Rinçage entre acides mais pas entre solvants Séchage à la fin
49	Nanolyon-ECL -oxford-	Dépôt SiO ₂ par PECVD	Plasma (28min)	Ctrl optique et Tencor : ~2µm
50	Nanolyon-INSA -EVG-	Litho 6 Niveau "9 – IMPLP (DF)"	Etalage résine SPR.2070	4000 /300/ 30 s
51	Nanolyon-INSA EVG		Recuit prebake 110 °C – 1 min	
52	Nanolyon-INSA EVG		Exposition UV 480 mj/cm ²	
53	Nanolyon-INSA EVG		Développement > ou =120 s Rinçage	Ctrl optique et Tencor : 7 µm
54	Nanolyon-ECL -chimie-	Gravure chimique	BOE:HF (48%) (3:1) 15 s puis 1 min BOE	Ctrl optique et Tencor : 2µm
55	Nanolyon-ECL	Délaçage de la résine	Acétone chaud/ A froid/ Spray	

	-chimie-		bleu, Éthanol	
56	Poitiers -Implanteur EATON -	Implantation Al ⁺⁺	60 keV – 2E14 cm ⁻² 25 keV – 8E13 cm ⁻²	Ctrl optique
57	Nanolyon-ECL - Salle chimie-	Nettoyage	3:1 H ₂ SO ₄ /H ₂ O ₂ (2*10') BOE (3') Acétone / éthanol (2*5')	Rinçage entre acides mais pas entre solvants Séchage à la fin
58	Nanolyon-ECL -MJB3-	Dépôt AZ5214E	Recuit 110 °C/ 3 min	Ctrl optique et Tencor : 1,2 µm
59	AMPERE-INSA -JIPELEC-	Carbonisation	Recuit 750 °C/ 30 min	Ctrl optique et Tencor : 1 µm
60	AMPERE-INSA -JIPELEC à induction-	Recuit post- implantation	1650 °C/ 45 min	Ctrl optique et Tencor : 1 µm
61	Nanolyon-ECL -Anatech-	Plasma O ₂	500 sccm, 400 W, 30 min	Ctrl optique
62	Nanolyon-ECL - Salle chimie-	Nettoyage RCA -Organic Clean - Ionic Clean - Oxide Strip	- 5:1:1 H ₂ O:H ₂ O ₂ :NH ₄ OH à 70°C (10') - 6:1:1 H ₂ O:H ₂ O ₂ :HCl à 70°C (10') - BOE (1')	Rinçage entre étapes Séchage à la fin
63	Nanolyon-INSA EVG	Litho 7 Niveau "5 – MET_N (BF)"	Etalage résine nLof 2020	3000 /300/ 30 s
64	Nanolyon-INSA EVG		Recuit prebake 110 °C – 1 mn	
65	Nanolyon-INSA EVG		Exposition UV 66mj/cm ²	
66			Recuit postbake 110°C – 1 mn	
67	Nanolyon-INSA EVG		Développement > ou =120 s Rinçage	Ctrl optique et Tencor : 2 µm
68	Nanolyon-ECL -Laybold-	Dépôt Ti/Ni	5/150 nm	position haute TF 45%
69	Nanolyon-ECL - Salle chimie-	Lift-off	Acétone chaud/ A froid/ Spray bleu, Éthanol	
70	Nanolyon-ECL -Laybold-	Dépôt Ti/Ni sur la face arrière	5/150 nm	position haute TF 50%
71	AMPERE-INSA -JIPELEC-	Recuit RTA	900 °C/90 s	
72	Nanolyon-INSA EVG	Litho 8 Niveau "6 – MET_P (BF)"	Etalage résine nLof 2020	
73	Nanolyon-INSA EVG		Recuit prebake 110 °C – 1 mn	
74	Nanolyon-INSA EVG		Exposition UV 66mj/cm ²	
75	Nanolyon-INSA EVG -		Recuit postbake 110 °C – 1 mn	
76	Nanolyon-ECL		Développement	Ctrl optique et

	-RIE-		> ou =120 s Rinçage	Tencor : 2 µm
77	Nanolyon-ECL -Laybold-	Dépôt Ni/Ti/Al/Ni	10/40/240/10 nm	
78	Nanolyon-ECL - Salle chimie-	Lift-off	Acétone chaud/ A froid/ Spray bleu, Etanol	
79	AMPERE-INSA -JIPELEC à lampes-	Recuit RTA	800 °C/ 90s	
80	Nanolyon-ECL -MJB3-	Litho 9 Niveau "7 – SURMETAL (BF)"	Etalage résine nLof 2020	1000 RPM /9/ 30 s 2000 RPM /9/ 30 s
81	Nanolyon-ECL -MJB3-		Recuit prebake 110 °C – 1 mn	
82	Nanolyon-ECL -MJB3-		Exposition UV 66mj/cm ²	
83	Nanolyon-ECL -MJB3-		Recuit postbake 110 °C – 1 mn	
84	Nanolyon-ECL -MJB3-		Développement > ou =120 s Rinçage	Ctrl optique et Tencor : 2 µm
85	Nanolyon-ECL -Laybold-	Dépôt Ni/Ti/Au	200 A/5000 A/1500 A	position haute TF 50%
86	Nanolyon-ECL - Salle chimie-	Lift-off	Acétone chaud/ A froid/ Spray bleu, Ethanol	

3.2-Process-flow de l'étage de Commande :

Echantillon : DH0612-10				
N°	Equipements	Process	Technologies	Remarques
1	Nanolyon-ECL - Salle chimie-	Nettoyage RCA -Organic Clean - Ionic Clean - Oxide Strip	- 5:1:1 H ₂ O:H ₂ O ₂ :NH ₄ OH à 70°C (10') - 6:1:1 H ₂ O:H ₂ O ₂ :HCl à 70°C (10') - BOE (3')	Rinçage entre étapes Séchage à la fin
Litho 1				
5	Nanolyon-ECL -MJB3-	Niveau "1-Gravure (séparation des deux JFETs N et P) (BF)"	Etalage résine AZ5214 E	4000 RPM /5/ 30 s
6	Nanolyon-ECL -MJB3-		Recuit prebake 110 °C – 1 min	
7	Nanolyon-ECL -MJB3-		Exposition UV 1,7 s	
8	Nanolyon-ECL -MJB3-		Recuit postbake 110 °C – 1 min	
9	Nanolyon-ECL -MJB3-		Exposition UV 10 s, pleine plaque	
10	Nanolyon-ECL -MJB3-		Développement ~20 s Rinçage	Ctrl optique et Tencor : 1,3 µm
11	Nanolyon-ECL -vieux canon-	Dépôt Ti/Ni	50 A/2×1000 A	position haute TF 45%
12	Nanolyon-ECL - Salle chimie-	Lift-off	Acétone chaud/ A froid/ Spray bleu/ Éthanol	
13	Nanolyon-ECL -RIE-	Nettoyage O ₂	20 sccm O ₂ , 100 W, 100 mTorr, 300 s	
14	Nanolyon-ECL -RIE-	Gravure SiC	26 sccm SF ₆ / 6,7sccm O ₂ , 300 W (300 V) 60 mTorr, 360 s	Ctrl optique et Tencor : 1,5 µm
15	Nanolyon-ECL - Salle chimie-	Nettoyage	3:1 H ₂ SO ₄ /H ₂ O ₂ (2*10') BOE (3') Acétone / éthanol (2*5')	Rinçage entre acides mais pas entre solvants Séchage à la fin
Litho 2				
23	Nanolyon-ECL -MJB3-	Niveau "2 – ACTV (pour définir les motifs d'alignement des niveaux suivants) (DF)"	Etalage résine AZ5214 E	5000 RPM /5/30 s
24	Nanolyon-ECL -MJB3-		Recuit prebake 110 °C – 1 min	
25	Nanolyon-ECL -MJB3-		Exposition UV 4 s	
27	Nanolyon-ECL		Développement	Ctrl optique et

	-MJB3-		~20 s Rinçage	Tencor : 1,2 µm
28	Nanolyon-ECL - LEYBOLD -	Dépôt Ti/Ni /Si	50 A/1300 A	position haute TF 45%
29	Nanolyon-ECL - Salle chimie-	Lift-off	Acétone chaud/ A froid/ Spray bleu, Éthanol	
30	Nanolyon-ECL -RIE-	Nettoyage O ₂	20 sccm O ₂ , 100W, 100 mTorr, 150 s	
31	Nanolyon-ECL -RIE-	Gravure SiC	26 sccm SF ₆ / 6,7sccm O ₂ , 300 W (300 V) 60 mTorr, 150 s	Ctrl optique et Tencor : 0,3 µm
32	Nanolyon-ECL - Salle chimie-	Nettoyage	3:1 H ₂ SO ₄ /H ₂ O ₂ (2*10') BOE (3') Acétone / éthanol (2*5')	Rinçage entre acides mais pas entre solvants Séchage à la fin
40	Nanolyon-ECL -Oxford-	Dépôt SiO ₂ par PECVD	Plasma (28min)	Ctrl optique et Tencor : ~2 µm
41	Nanolyon-INSA -EVG-	Litho 3 Niveau "3- IMPLN (DF)"	Etalage résine SPR.2070	4000 /300/ 30 s
42	Nanolyon-INSA EVG -		Recuit prebake 110 °C – 1 min	
43	Nanolyon-INSA EVG		Exposition UV 480 mj/cm ²	
44	Nanolyon-INSA EVG -		Développement > ou =120 s Rinçage	Ctrl optique et Tencor : 7µm
45	Nanolyon-ECL -chimie-	Gravure chimique	BOE:HF (48%) (3:1) 15 s puis 1 min BOE	Ctrl optique et Tencor : 2 µm
46	Nanolyon-ECL -chimie-	Délaçage de la résine	Acétone chaud/ A froid/ Spray bleu, Éthanol	
47	IBS -Implanteur EATON-	Implantation N ⁺⁺	100 keV – 3,4E14 cm ⁻² 60 keV – 2,5E14 cm ⁻² 25 keV – 1,5E13 cm ⁻²	Ctrl optique
48	Nanolyon-ECL - Salle chimie-	Nettoyage	3:1 H ₂ SO ₄ /H ₂ O ₂ (2*10') BOE (3') Acétone / éthanol (2*5')	Rinçage entre acides mais pas entre solvants Séchage à la fin
49	Nanolyon-ECL -oxford-	Dépôt SiO ₂ par PECVD	Plasma (28 min)	Ctrl optique et Tencor : ~2 µm
50	Nanolyon-INSA -EVG-	Litho 4 Niveau "4 – IMPLP (DF)"	Etalage résine SPR.2070	4000 /300/ 30 s
51	Nanolyon-INSA EVG		Recuit prebake 110 °C – 1 min	
52	Nanolyon-INSA EVG		Exposition UV 480 mj/cm ²	
53	Nanolyon-INSA EVG		Développement > ou =120 s Rinçage	Ctrl optique et Tencor : 7 µm
54	Nanolyon-ECL -chimie-	Gravure chimique	BOE:HF (48%) (3:1) 15 s puis 1 min BOE	Ctrl optique et Tencor : 2 µm
55	Nanolyon-ECL -chimie-	Délaçage de la résine	Acétone chaud/ A froid/ Spray bleu, Éthanol	
56	Poitiers -Implanteur	Implantation Al ⁺⁺	60 keV – 2E14 cm ⁻² 25 keV – 8E13 cm ⁻²	Ctrl optique

EATON -				
57	Nanolyon-ECL - Salle chimie-	Nettoyage	3:1 H ₂ SO ₄ /H ₂ O ₂ (2*10') BOE (3') Acétone / éthanol (2*5')	Rinçage entre acides mais pas entre solvants Séchage à la fin
58	Nanolyon-ECL -MJB3-	Dépôt AZ5214E	Recuit 110 °C/ 3 min	Ctrl optique et Tencor : 1,2 µm
59	AMPERE-INSA -JIPELEC-	Carbonisation	Recuit 750 °C/ 30 min	Ctrl optique et Tencor : 1 µm
60	AMPERE-INSA -JIPELEC à induction-	Recuit post- implantation	1650 °C/ 45 min	Ctrl optique et Tencor : 1 µm
61	Nanolyon-ECL -Anatech-	Plasma O ₂	500 sccm, 400 W, 30 min	Ctrl optique
62	Nanolyon-ECL - Salle chimie-	Nettoyage RCA -Organic Clean - Ionic Clean - Oxide Strip	- 5:1:1 H ₂ O:H ₂ O ₂ :NH ₄ OH à 70 °C (10') - 6:1:1 H ₂ O:H ₂ O ₂ :HCl à 70 °C (10') - BOE (1')	Rinçage entre étapes Séchage à la fin
63	Nanolyon-INSA EVG	Litho 5 Niveau "5 – MET_N (BF)"	Etalage résine nLof 2020	3000 /300/ 30 s
64	Nanolyon-INSA EVG		Recuit prebake 110 °C – 1 mn	
65	Nanolyon-INSA EVG		Exposition UV 66 mj/cm ²	
66			Recuit postbake 110 °C – 1 mn	
67	Nanolyon-INSA EVG		Développement > ou =120 s Rinçage	Ctrl optique et Tencor : 2 µm
68	Nanolyon-ECL -Laybold-	Dépôt Ti/Ni	5/150 nm	position haute TF 45%
69	Nanolyon-ECL - Salle chimie-	Lift-off	Acétone chaud/ A froid/ Spray bleu, Éthanol	
70	Nanolyon-ECL -Laybold-	Dépôt Ti/Ni sur la face arrière	5/150 nm	position haute TF 50%
71	AMPERE-INSA -JIPELEC-	Recuit RTA	900 °C/90 s	
72	Nanolyon-INSA EVG	Litho 6 Niveau "6 – MET_P (BF)"	Etalage résine nLof 2020	
73	Nanolyon-INSA EVG		Recuit prebake 110 °C – 1 mn	
74	Nanolyon-INSA EVG		Exposition UV 66 mj/cm ²	
75	Nanolyon-INSA EVG -		Recuit postbake 110 °C – 1 mn	
76	Nanolyon-ECL -RIE-		Développement > ou =120 s Rinçage	Ctrl optique et Tencor : 2 µm
77	Nanolyon-ECL	Dépôt Ni/Ti/Al/Ni	10/40/240/10 nm	

	-Laybold-			
78	Nanolyon-ECL - Salle chimie-	Lift-off	Acétone chaud/ A froid/ Spray bleu, Etanol	
79	AMPERE-INSA -JIPELEC à lampes-	Recuit RTA	800 °C/ 90 s	
80	Nanolyon-ECL -MJB3-	Litho 7 Niveau "7 – SURMETAL (BF)"	Etalage résine nLof 2020	1000 RPM /9/ 30 s 2000 RPM /9/ 30 s
81	Nanolyon-ECL -MJB3-		Recuit prebake 110 °C – 1 mn	
82	Nanolyon-ECL -MJB3-		Exposition UV 66 mj/cm ²	
83	Nanolyon-ECL -MJB3-		Recuit postbake 110 °C – 1 mn	
84	Nanolyon-ECL -MJB3-		Développement > ou =120 s Rinçage	Ctrl optique et Tencor : 2 µm
85	Nanolyon-ECL -Laybold-	Dépôt Ni/Ti/Au	200 A/5000 A/1500 A	position haute TF 50%
86	Nanolyon-ECL - Salle chimie-	Lift-off	Acétone chaud/ A froid/ Spray bleu, Ethanol	

Annexe 4

4.1 Généralités sur les contacts métal/semi-conducteur

Une interface métal/vide est déterminée par le travail de sortie $q \cdot \phi_m$ qui est l'énergie à fournir pour extraire un électron depuis le niveau de Fermi et l'amener à quelques distances atomiques du métal, (figure 1). Le travail de sortie est donc la différence entre le niveau du vide et le niveau de Fermi E_f du métal. Ce travail de sortie est fortement influencé par les impuretés et l'orientation cristallographique de la surface [Brou 92].

De même, l'interface semi-conducteur/vide est caractérisée par son travail de sortie $q \cdot \phi_{sc}$, mais aussi par son affinité électronique $q \cdot \chi_{sc}$ qui est la différence d'énergie entre la bande de conduction et le niveau du vide. Ce travail dépend fortement du dopage et du matériau semi-conducteur [Sze 81] et [She 92].

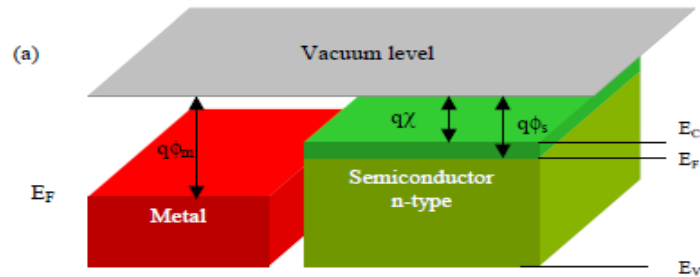


Figure 1: interface métal-vide-semi-conducteur

4.1 1. Interface métal/semi-conducteur

Si on met en contact un métal et un semi-conducteur, un transfert de charge va se produire. Cela se traduit par un alignement des niveaux de Fermi des deux matériaux. Un champ électrique est induit à l'interface dû à la répartition des charges ce qui se traduit par une courbure des bandes d'énergie (figure 2).

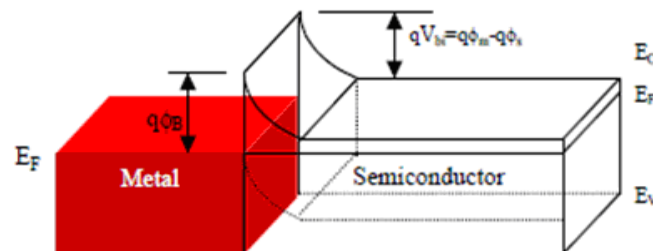


Figure 2 : contact métal-semi-conducteur (type n)

Dans le cas des contacts métal/semi-conducteur, la barrière du potentiel s'oppose dans un sens au passage des porteurs et donne à l'interface un effet redresseur. Pour obtenir un contact

ohmique il est donc nécessaire de réduire cette barrière, que ce soit en hauteur ou en largeur (utilisation de l'effet tunnel). Par définition, un contact ohmique est un contact métal/semi-conducteur présentant une caractéristique $I(V)$ linéaire. Si on met en contact un métal et un semi-conducteur quatre cas tels que décrits schématiquement sur la figure 3, se présentent suivant le type du semi-conducteur.

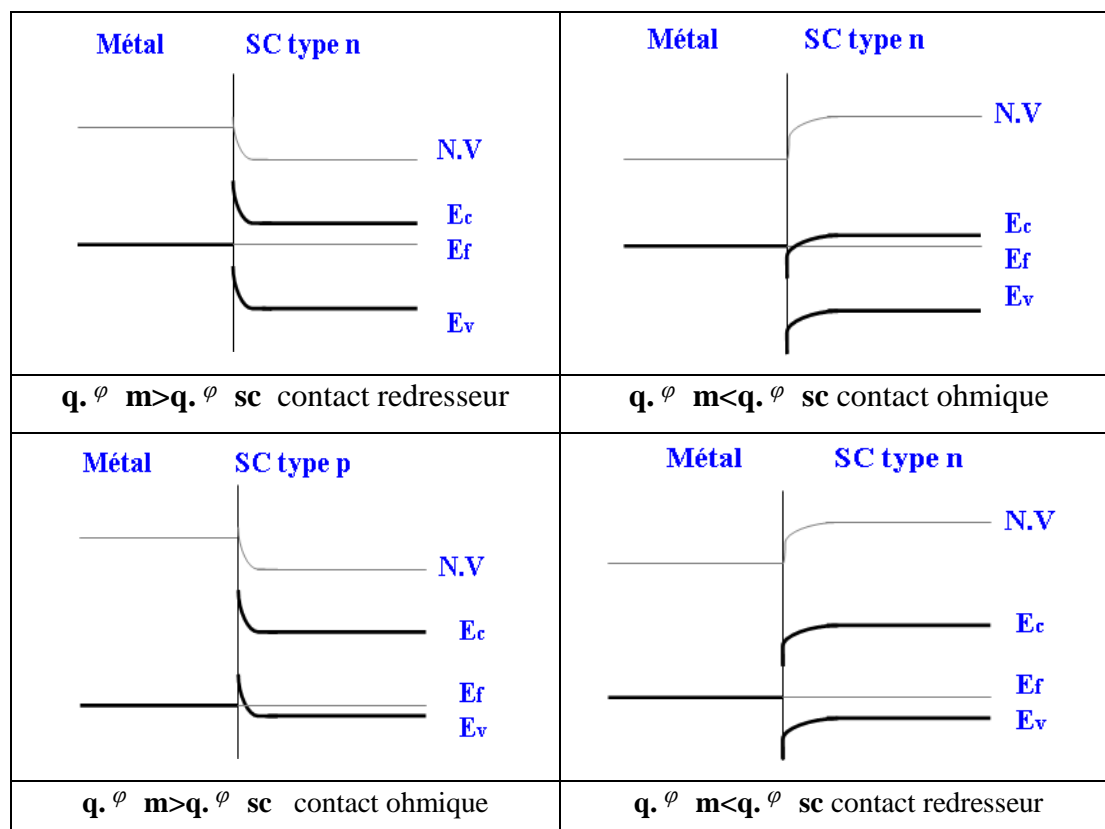


Figure 3 : description schématique de l'interface métal/semiconducteur suivant le dopage du semiconducteur

4.1.2. Phénomènes de transport à l'interface

Dans les contacts métal-semi-conducteur, le courant est dû principalement aux porteurs majoritaires.

On note ρ_c la résistance de contact spécifique, qui est le paramètre de base qui qualifie la qualité du contact ohmique metal-semiconducteur.

On définit le paramètre de Padovani-Stratton E_{00} :

$$E_{00} = \frac{qh}{4\pi} * \sqrt{\frac{N}{\epsilon m^*}}$$

où q est la charge électronique, h la constante de Planck, ϵ la constante diélectrique du matériau, N le dopage, m^* la masse effective des porteurs.

Le transport peut se faire de différentes manières. Les différents types de conduction rencontrée lors de l'injection de porteurs sont présentés ci-dessous.

- **Emission thermo-ionique** : la conduction thermoïonique a lieu lorsque l'énergie de l'électron est supérieure à la hauteur de la barrière du potentiel. Dans ce cas les porteurs passent par-dessus la barrière de potentiel. Ce processus est prépondérant lorsque le semi-conducteur est peu dopé ($N \ll 10^{17} \text{ cm}^{-3}$). Il est utilisé pour les diodes Schottky.

➤ pour un dopage $N < 10^{17} \text{ cm}^{-3}$, on a $E_{00} \ll kT$.

$$\rho_c = \frac{k}{qA^*T} \exp\left(\frac{q\phi_b}{kT}\right) \text{ avec la constante de Richardson } A^* = \frac{4\pi qm^*k^2}{h^3}$$

où k est la constante de Boltzmann et T la température.

La résistance de contact dépend de la température : plus T augmente, plus la probabilité qu'un porteur passe au-dessus de la barrière $q\phi_b$ est élevée, et donc plus la résistance ρ_c est faible.

- **Effet tunnel** : même si l'énergie n'est pas suffisante pour dépasser la hauteur de barrière, l'électron peut traverser la barrière directement sous faible champ électrique. Il s'agit de la conduction par effet tunnel. Ce processus est prépondérant quand le semi-conducteur est fortement dopé ($N > 10^{18} \text{ cm}^{-3}$). Le contact est alors en général ohmique.

➤ pour un fort dopage ($N > 10^{18} \text{ cm}^{-3}$), on a $E_{00} \gg kT$.

$$\rho_c \propto \exp\left(\frac{q\phi_b}{E_{00}}\right) = \exp\left(\frac{2\sqrt{\varepsilon}m^*}{\hbar} \cdot \frac{\phi_b}{\sqrt{N}}\right)^{14}$$

La barrière devient suffisamment étroite pour que l'effet tunnel devienne prépondérant. La résistance spécifique de contact est d'autant plus faible que le dopage est important ($> 10^{19} \text{ cm}^{-3}$ pour le 6H ou SiC-4H).

- **Emission tunnel assistée thermiquement** : pour les dopages intermédiaires seuls les électrons ayant une énergie suffisante peuvent passer par effet tunnel, là où la barrière est suffisamment étroite.

➤ pour $10^{17} \text{ cm}^{-3} < N < 10^{18} \text{ cm}^{-3}$, on a $E_{00} \sim kT$.

$$\rho_c \propto \exp\left(\frac{q\phi_b}{E_{00} \cdot \coth\left(\frac{E_{00}}{kT}\right)}\right)$$

ρ_c dépend dans ce cas de la température mais aussi du dopage N , par l'intermédiaire de E_{00} . [Rocc 05].

Référence :

- [Brou 92] Brousseau M., "Physique du solide" (Propriétés électroniques), Masson, (1992).
 [Rocc 05] F. Roccaforte, f. la via, and V. Raineri, International journal of High Electronica and Systems, Vol 15, No 4, p781-820, (2005).
 [Shen, 92] Shen T.C., Gao G.B. et Morkoc H., "Recent developments in ohmic contacts for III-V compound semiconductors", Journal of Vacuum Science and Technology B, vol. 10, n°5, p. 2113-2132, sept./oct. (1992).
 [Sze, 81] Sze S.M., "Physics of Semiconductors Devices", second edition, John Wiley and Sons, New-York, (1981).

¹⁴ \propto : Signifie proportionnel

FOLIO ADMINISTRATIF

THESE SOUTENUE DEVANT L'INSTITUT NATIONAL DES SCIENCES APPLIQUEES DE LYON

NOM : Laariedh

Date de soutenance :

13/05/2013

Prénoms : Farah

TITRE : Technologie d'intégration monolithique des JFET latéraux

NATURE : Doctorat

Numéro d'ordre : 2013ISAL0031

Ecole doctorale : E.E.A

Spécialité : Matériaux

RESUME :

Le carbure de silicium (SiC) est un semi-conducteur à large bande d'énergie interdite, remarquable par ses propriétés physiques situées à mi-chemin entre le silicium et le diamant. Ceci suscite actuellement un fort intérêt industriel pour son utilisation dans la fabrication de composants susceptibles de fonctionner dans des conditions extrêmes : forte puissance et haute température.

Les travaux de thèse se sont focalisés sur la levée de verrous technologiques pour réaliser des composants latéraux de type JFET (Junction Field Effect Transistor) et les intégrer monolithiquement dans des substrats SiC-4H. L'objectif est de réaliser un bras d'onduleur intégré en SiC avec deux étages commande et puissance.

Dans un premier temps, nous avons entamé cette thèse par une caractérisation de deux lots de composants JFET latéraux à canaux N et P réalisés dans le cadre de deux projets ANR précédents cette thèse.

De cette étude nous avons extrait plusieurs points positifs, comme celui qui concerne la tenue en tension des JFET de puissance et l'intégration monolithique des JFET basse tension. Mais, nous avons aussi mis en évidence, la nécessité d'optimiser la structure de composants et d'améliorer certaines étapes technologiques, principalement, la définition des canaux par implantation ionique, le contact ohmique et la gravure profonde.

Des études approfondies pour réaliser le contact ohmique sur SiC type P et des procédés pour réaliser une gravure profonde dans le SiC ont été développés. Ces études ont permis d'obtenir une faible résistance de contact comparable à l'état de l'art mondial, d'avoir des calibres en courant plus élevés et par conséquent une meilleure modulation. Pour la gravure, un masque dur à base de silicium et nickel (NiSi), nous a permis de mettre en place un procédé original qui permet des gravures profondes du SiC et réaliser les structures intégrés des JFET.

L'ensemble de ces améliorations technologiques nous a permis d'obtenir des nouveaux lots de composants JFET P et N intégrés sur la même puce, avec des meilleures performances par rapport aux précédentes réalisations, notamment avec une conduction dans les canaux 10 à 100 fois plus importante. Nous avons également obtenu une modulation du courant I_{ds} en fonction de la tension V_{gs} sur un nombre très important de JFET en augmentant significativement le rendement par rapport aux lots précédents.

MOTS-CLES : Carbure de silicium, JFET latéraux, Contact ohmique, Gravure profonde, Caractérisation électriques.

Abstract:

Silicon carbide (SiC) is as a wide band gap semiconductor, notable for its physical properties at midway between silicon and diamond. The interesting properties of silicon carbide as high thermal conductivity and high breakdown voltage make it a very promising material for high power, high temperature and high-frequency device applications.

The thesis focused on the removal of technological barriers to achieve lateral JFET (Junction Field Effect Transistor) monolithically integrated in 4H-SiC substrates.

The final objective is to realize an inverter in SiC by integrating the two stages command and power.

Initially, we started this thesis by electrical characterization of two batches of JFET with N and P-type channels. These devices have been realized during two previous ANR projects.

In this study, we extracted several positive points, such, the breakdown voltage of the power JFET which correspond to the escomtated value. The monolithic integration of the low voltage JFET stage was also demonstrated. But we have also highlighted the need to optimize the device structures and improve some technological steps, mainly the definition channels by ion implantation, the ohmic contact and deep etching.

Therefore we focused our study to achieve ohmic contact on SiC P-type and to find methods for performing deep etching in SiC. These studies have resulted in a low specific contact resistance comparable to the world state of the art on the ohmic contact on P-type SiC. Low contact resistances will allow us to obtain higher current and a better modulation on our JFET devices.

Concerning the SiC etching, a hard mask of silicon and nickel (NiSi) has enabled us to develop a novel method that allows us to obtain deep and tight etching structures, very useful to achieve the JFET integrated devices

All these technological improvements allowed us to fabricate new batches of P and N-type JFET integrated on the same chip with better performance compared to previous achievements, especially with a conduction channels 10 to 100 times higher. We also got a modulation current I_{ds} as a function of the voltage V_{gs} on a large number of JFET significantly increasing the performance compared to previous batches.

Laboratoire (s) de recherche : AMPERE-INSA de Lyon

Directeur de thèse: Planson Dominique

Président de jury : Jean François Barbot, Professeur (Institut Pprime, Poitiers)

Composition du jury :

Rapporteur	Konstantinos Zekentes, Professeur (IESL, Grèce)
Rapporteur	Jean François Barbot, Professeur (Institut Pprime, Poitiers)
	Adel Kalboussi, Professeur (FSM, Tunisie)
	Jean Louis Leclercq Chargé de recherche (CNRS) (ECL de Lyon)
	Mihai Lazar Chargé de recherche (CNRS) (INSA de Lyon)
	Dominique Planson Professeur (INSA de Lyon)

