



HAL
open science

Contribution à la conception de synthèses de fréquence pour liaison satellite embarquée: montée en résolution et réduction de raies parasites

Julien Juyon

► To cite this version:

Julien Juyon. Contribution à la conception de synthèses de fréquence pour liaison satellite embarquée: montée en résolution et réduction de raies parasites. Micro et nanotechnologies/Microélectronique. Université Paul Sabatier - Toulouse III, 2013. Français. NNT: . tel-00956651

HAL Id: tel-00956651

<https://theses.hal.science/tel-00956651v1>

Submitted on 7 Mar 2014

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



Université
de Toulouse

THÈSE

En vue de l'obtention du

DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par :

Université Toulouse 3 Paul Sabatier (UT3 Paul Sabatier)

Présentée et soutenue par :

Julien JUYON

le mardi 17 décembre 2013

Titre :

CONTRIBUTION À LA CONCEPTION DE SYNTHÈSES DE FRÉQUENCE POUR
LIAISON SATELLITE EMBARQUÉE : MONTÉE EN RÉOLUTION ET RÉDUCTION DES
RAIES PARASITES

École doctorale et discipline ou spécialité :

ED GEET : Électromagnétisme et Systèmes Haute Fréquence

Unité de recherche :

LAAS-CNRS

Directeur(s) de Thèse :

Éric TOURNIER (LAAS-CNRS)
Stéphane THURIES (Freescale)

Jury :

Hervé BARTHÉLEMY, Rapporteur (IM2NP - Polytech' Marseille)
Jean-Baptiste BEGUERET, Rapporteur (IMS)
Thierry PARRA, Président (LAAS-CNRS)
Gilles CIBIEL, Examineur (CNES)

Avant propos

LES travaux de recherche qui font l'objet de ce rapport de thèse ont été principalement réalisés au laboratoire LAAS-CNRS dans le groupe MOST (Microondes et Opto-microondes pour Systèmes de Télécommunications).

Avant tout, je remercie particulièrement mes rapporteurs, Hervé Barthélemy et Jean-Baptiste Begueret, pour l'honneur qu'ils m'ont accordé en jugeant mon travail de thèse à travers ce manuscrit.

De très belles années ont été passées au LAAS où j'ai intégré le groupe MOST une première fois en décembre 2006 lors d'un stage volontaire de Master 1. Je remercie très chaleureusement Jacques Graffeuil pour l'accueil et la confiance qu'il m'a accordés. Je vous dois beaucoup.

Je remercie mon directeur de thèse Éric Tournier. Malgré la grande autonomie de travail que tu m'a accordé, je te remercie particulièrement pour ton aide précieuse sur la correction et l'amélioration du manuscrit. Bien que mon expression écrite laisse à désirer, tu a su rendre la qualité de ce manuscrit bien meilleure.

Un remerciement particulier à mes amis Vincent Lagarestes et Luca Testa pour leur aide extrêmement précieuse à la rédaction du manuscrit ! Ainsi qu'à Charles Retailleau pour la partie programmation et Ahmed Zoubir (le spécialiste matlab).

Je remercie toutes les personnes des services techniques du LAAS qui ont contribué à la réussite de ces travaux de thèse : Laurent Bary, Alexandre Rumeau, Nicolas Mauran, Jacques Rayssac (parti en retraite) et Xavier Bouquet du service I2C pour leur aide précieuse au montage de bancs et cartes de test ; David Colin du service TEAM pour le bounding.

Sans oublier mes collègues et amis des bureaux G24, G23 et G19 du LAAS : Thomas Epert, Teddy Borr, Lamine Ourak, Grégory Meneghin, Alessandro Magnani, Pierre-Henri Merrer, Émilie Leynia de la Jarrige, ainsi que tous mes collègues d'Axess Europe.

J'accorde une attention particulière à tous mes amis, et je risque d'en oublier, pour m'avoir supporté et remonté le moral pendant la période difficile qu'a été la rédaction, ainsi que pour tous les bons moments passés avec eux : Maéva Collet, David Bourrier, Fabien Mesnilgrete, Pascaline Serard, Céline Christophe, Emilie Debourg, Sven Salomon et Florent Seichepine (qui sont restés mes amis malgré tout les « buts » qu'ils ont pris à l'escalade), Guillaume Fumat, Alice Landraing, Aline Petit, etc.

Enfin, je remercie grandement mes parents Pierro et Lolo (non maman, je ne t'ai pas oublié), mon frère Thomas (Yo Pequeño) et ma sœur Émilie (Minishwarzi).

Table des matières

Avant propos	5
Introduction générale	13
1 Synthèse de fréquence du projet FAST	19
1.1 Introduction	21
1.2 Le projet FAST	21
1.2.1 Contexte et enjeu	21
1.2.2 L'antenne réseau à pointage électronique	22
1.3 Orientation de la thèse	22
1.3.1 La synthèse de fréquence	22
1.3.2 Compensation de l'effet Doppler	24
1.3.3 Spécifications pour la synthèse de fréquence	25
1.4 Généralités sur la synthèse de fréquence	26
1.4.1 La synthèse de fréquence à base de PLL	26
1.4.2 Principales caractéristiques des synthétiseurs de fréquence à base de PLL	26
1.5 Les bases de la PLL	27
1.5.1 Principe	27
1.5.2 L'oscillateur contrôlé en tension	29
1.5.3 Le comparateur phase/fréquence	29
1.5.4 La pompe de charge	29
1.5.5 Filtre de boucle	31
1.5.6 Diviseur de fréquence	32
1.5.7 Modélisation de la PLL verrouillée	32
1.5.7.1 Fonctions de transfert	32
1.5.7.2 Dimensionnement du filtre de boucle	33
1.5.8 Raies parasites et bruit de phase	34
1.5.8.1 Bruit de phase	34
1.5.8.2 Raies parasites	35
1.5.9 Résolution	36
1.5.10 Limitation des performances d'une PLL entière	36
1.6 La division fractionnaire	36
1.6.1 Introduction	36
1.6.2 Principe de la division fractionnaire	37
1.6.3 Les raies parasites	38
1.6.3.1 Origine des raies parasites	38
1.6.3.2 Réduction et suppression des raies parasites	39
1.6.4 Principales structures de diviseur fractionnaire	40
1.6.4.1 Structure classique (brassage des rapports de division)	40
1.6.4.2 Compensation de l'erreur de phase	41

1.6.4.3	Randomisation	42
1.6.4.4	Mise en forme du bruit par un modulateur $\Sigma\Delta$	43
1.6.4.5	Interpolation de l'erreur de phase (utilisation d'un DDS)	44
1.6.5	Comparaison des différentes structures	46
1.6.5.1	Comparaison spectrale	47
1.6.5.2	Limitations de la bande passante de la PLL	49
1.6.5.3	Résumé des principales structures de diviseur fractionnaire	50
1.6.6	Conclusion	50
	Références bibliographiques	53
2	Conception d'une PLL	55
2.1	Introduction	57
2.2	Le VCO	57
2.2.1	Principales structures d'oscillateurs	57
2.2.2	Caractéristiques du VCO	58
2.2.3	VCO paire différentielle croisée	59
2.2.4	Conception du VCO	60
2.2.4.1	Premiers résultats de simulations	60
2.2.4.2	Réalisation du VCO	61
2.3	Le diviseur de fréquence	66
2.3.1	Circuits logiques pour la RF	67
2.3.1.1	Logique CMOS	67
2.3.1.2	Logiques à paire différentielle (CML/ECL)	67
2.3.1.3	Logique ECL multi-niveaux	69
2.3.2	Conception du diviseur	70
2.3.2.1	Diviseur ECL	71
2.3.2.2	Diviseur CMOS	73
2.3.2.3	Passage de la logique ECL à la logique CMOS	73
2.4	PFD et pompe de charges	75
2.5	Assemblage de la PLL	76
2.6	Conclusion	78
	Références bibliographiques	79
3	Conception du diviseur fractionnaire	83
3.1	Introduction	85
3.2	Inconvénients d'un DDS utilisé seul	85
3.2.1	L'association DDS/PLL	86
3.2.2	Dimensionnement du DDS	87
3.2.2.1	Utilisation du DDS seul pour la division	87
3.2.2.2	Utilisation d'un diviseur avant le DDS	89

3.3	Diviseur à double module	90
3.4	Nouvelle architecture de diviseur fractionnaire	91
3.4.1	Principe	91
3.4.2	Rapports de divisions synthétisables	93
3.4.2.1	Première approche	93
3.4.2.2	Motif (ou période) de l'accumulateur	94
3.4.2.3	Périodicité du système complet	95
3.4.2.4	Résolution	96
3.4.3	Simulations comportementales	101
3.4.4	Conception de l'accumulateur de phase	102
3.4.4.1	Choix de la structure de l'accumulateur	103
3.4.4.2	Réalisation de l'accumulateur	105
3.4.4.3	Dessin des masques	106
3.4.5	Le compteur et le comparateur	107
3.4.6	Passage de la logique ECL à CMOS	108
3.4.7	Diviseur complet	108
3.5	Conclusion	109
	Références bibliographiques	111
4	Résultats expérimentaux du diviseur fractionnaire	113
4.1	Introduction	115
4.2	Mesure de l'accumulateur	116
4.2.1	Spectres de sortie	116
4.2.2	Domaine de fonctionnement de l'accumulateur	117
4.3	Mesure du diviseur complet	118
4.3.1	Mesure de la fréquence en fonction de la programmation	118
4.3.2	Spectre de sortie	121
4.3.3	Modifications nécessaires du circuit	122
4.3.4	Limite fréquentielle du système	124
4.4	Conclusion	125
	Références bibliographiques	126
	Conclusion générale et perspectives	127
A	Calcul de l'erreur de phase dans la division fractionnaire classique	133
A.1	Signal idéal	135
A.2	Lors d'une division par N	135
A.3	Lors d'une division par $N + 1$	136
B	Programme périodicité du diviseur fractionnaire	137

Liste des figures & tableaux	141
Liste des figures	143
Liste des tableaux	145
Résumé	147
Production scientifique	150

Introduction générale

ÊTRE connecté au réseau de données mondial (WEB) quelle que soit sa situation géographique est une tendance forte de ces dernières années. Avec l'évolution des technologies, le besoin en communications haut débit devient un enjeu commercial. On le voit notamment avec les réseaux de téléphonie et l'augmentation rapide des débits d'accès à internet. Le marché de l'aéronautique se retrouve aussi visé, et permettre un accès haut débit à bord des avions pendant le vol est un marché commercial évidemment stratégique. À ce jour, les solutions à haut débit les moins coûteuses sont apportées par des antennes mécaniques sous radôme fixées à la carlingue et inadaptées à l'aéronautique, car elles augmentent la traînée de l'appareil. En effet, pour ce type d'application, le radôme doit en général être fixé sur le dessus de l'avion pour assurer une communication optimale avec les satellites. Par exemple, la solution technologique proposée par Boeing (Connexion by Boeing), à base de technologie AsGa, était très coûteuse à l'achat et à l'utilisation. Elle a d'ailleurs été abandonnée en 2006 après deux années à peine d'exploitation commerciale. De ce fait, la plupart des aviateurs utilisent le système Inmarsat dont le débit est très faible (l'équivalent d'un modem téléphonique commuté Numéris classique). Les antennes planaires à réseau d'éléments rayonnants au contraire, ont l'avantage d'un faible encombrement. Initialement utilisées pour des applications militaires, car faciles à dissimuler, elles sont maintenant largement utilisées dans le domaine public. Cependant, il n'existe pas de système à antenne planaire pour l'accès internet à haut débit dans l'aéronautique dont le modèle économique soit viable.

Fournir une infrastructure aéroportée complète, centrée autour d'une antenne satellite peu coûteuse et plane, à pointage électronique de faisceau, est ce qui a motivé le lancement d'un projet dénommé FAST¹. L'objectif de ce projet est de concevoir une antenne à matrice d'éléments rayonnants, de faible encombrement, faible coût, et faible consommation. Le contrôle de cette antenne, l'émission-réception des signaux, mais également la direction de pointage, doivent dès lors être assurés par voie électronique, à l'aide de circuits intégrés monolithiques hyperfréquences (MMIC²), qui permettent d'assurer un faible encombrement et un fonctionnement haute fréquence. Depuis plusieurs années, l'évolution des procédés de fabrication fait que les technologies sur silicium, de coût plus faible que les technologies III-V habituellement utilisées aux fréquences élevées, prennent une place de plus en plus importante dans la conception de MMIC. En particulier, l'utilisation d'une technologie BiCMOS SiGe est un choix intéressant pour diminuer le coût vis-à-vis de la concurrence.

Le fondeur IBM et sa technologie BiCMOS SiGe 0,13 μm ont été retenus pour le projet. Il offre une documentation très complète mise à jour régulièrement. Sa bibliothèque de composants est très appréciable par son côté exhaustif, sous l'environnement Cadence. En effet, en plus de composants classiques comme transistors, résistances, inductances, etc, on y trouve toute une gamme composants passifs RF tels que lignes de transmissions (microrubans, couplées, coplanaires), coupleurs, diviseurs de puissance, etc, et qui sont déjà modélisés pour le simulateur temporel de Cadence, Spectre RF. L'accès à cette fonderie s'est fait au travers du

1. Fiber-like Aircraft Satellite Telecommunications

2. « Monolithic Microwave Integrated Circuits » = circuit intégrés haute fréquence

centre multi-projet MOSIS, équivalent américain du CMP français, pour un prix au mm^2 en dollars comparable à ce qui se pratique en France en euros, à technologie équivalente de $0,13\ \mu\text{m}$... Le prix de revient a donc été particulièrement intéressant étant donné le taux de conversion dollar/euros pratiqué ces dernières années. Par contre, le « ticket d'entrée » (nombre minimum de mm^2) pour participer à un run de fonderie est beaucoup plus élevé, ce qui a obligé tous les concepteurs du projet à participer aux mêmes runs (deux par an au maximum) afin d'atteindre ce ticket d'entrée, avec comme revers de médaille l'impossibilité pour un concepteur pris par le temps de décaler d'un run (environ 2-3 mois) un seul design de quelques mm^2 afin de lui offrir de meilleures chances de succès : il n'aurait pas atteint le ticket d'entrée. Les puces ont mis en général de trois à quatre mois pour revenir de fabrication.

Ce travail de thèse concerne la synthèse de fréquence de la section MMIC. Le chapitre 1 de ce manuscrit est composé de trois parties. La première partie met en avant le côté plus technique du projet dans lequel s'inscrit cette thèse afin d'en énoncer l'objectif initial, qui a guidé ces travaux : augmenter la résolution fréquentielle de la synthèse de fréquence en vue de générer des fréquences précises. La synthèse de fréquence est utilisée dans notre cas pour de la conversion de fréquence, et le besoin d'une résolution élevée réside dans la volonté d'être compatible avec le plan de fréquence de n'importe quel satellite, mais aussi dans la volonté de pouvoir compenser l'effet Doppler dû aux mouvements relatifs de l'avion et du satellite. Pour assurer cette précision, nous nous sommes intéressés à la conception d'un diviseur fractionnaire, qui une fois inséré dans la chaîne de retour d'une PLL¹ peut permettre de satisfaire le cahier des charges. La deuxième partie du premier chapitre rappelle les bases de la PLL, ce qui permet d'introduire certaines notions nécessaires à la compréhension des avantages liés à l'utilisation d'un diviseur fractionnaire, qui sont non seulement l'augmentation de la résolution fréquentielle, mais aussi l'amélioration du bruit de phase ou l'augmentation de la bande passante. Malgré ses avantages, le diviseur fractionnaire n'est pas sans inconvénient, car il génère des raies parasites qui viennent polluer le spectre du signal divisé, ce qu'explique la troisième partie de ce premier chapitre, avant de finir sur une comparaison entre différentes topologies de diviseurs fractionnaires existant actuellement. Notamment, notre choix d'utiliser un DDS² comme diviseur fractionnaire pour ses qualités en réduction de raies parasites est explicité.

Avant de nous focaliser sur le travail de conception du diviseur fractionnaire, nous nous sommes d'abord orientés vers la réalisation d'une PLL plus classique à pas entier, comme préliminaire à l'intégration du diviseur fractionnaire. Ces travaux, présentés dans le chapitre 2, représentent une étape indispensable qui nous a aussi permis de valider l'environnement de conception, et surtout maîtriser le design kit du fondeur IBM. Ce n'est qu'ensuite que nous avons travaillé à la conception du diviseur fractionnaire. La structure que nous proposons est décrite en théorie et en conception dans le chapitre 3. Si nous sommes partis de la division que propose naturellement un DDS, il s'avère que celui-ci ne peut pas répondre, seul, aux exigences concernant la résolution. À partir de ce constat, nous proposons une nouvelle architecture, qui

1. Phase Locked Loop = boucle à verrouillage de phase

2. Direct Digital Synthesizer = Synthétiseur numérique direct

s'articule autour du DDS mais permet d'en éliminer les limitations identifiées, ceci tout en conservant ses avantages dans la réduction des raies parasites. Cette structure offre de plus des résolutions bien meilleures qu'un DDS de même taille utilisé seul. Le circuit réalisé sert d'étape intermédiaire à la structure plus générale proposée au final, et qui n'utilise que la partie « accumulateur » du DDS, comme le montre le début du chapitre 3. La suite du chapitre est dédiée à la conception d'un prototype.

Le circuit décrit dans le chapitre 3 a été fabriqué et mesuré. Le chapitre 4 détaille les mesures correspondantes. Des mesures de spectre ont été faites pour déterminer la fréquence de sortie du diviseur, ainsi que sa périodicité. Dans un premier temps, nous nous sommes intéressés à la validation de l'accumulateur, présenté en début de chapitre, puis aux mesures du système complet. Ces mesures nous ont permis de valider le premier prototype avant d'identifier quelques problèmes résiduels qui peuvent facilement être corrigés à partir de quelques modifications proposées en fin de chapitre.

Chapitre 1

La synthèse de fréquence du projet FAST

1.1 Introduction

Cette thèse CIFRE s'inscrit dans le projet de recherche et développement FAST (Fiber-like Aircraft SaTellite communications) et a été cofinancée par la société Axess Europe. Elle s'est déroulée aux trois quarts du temps au LAAS-CNRS (Laboratoire d'Analyse et d'Architecture des Systèmes du Centre National de la Recherche Scientifique) et le quart restant dans les locaux de l'entreprise, sous les directions d'Éric Tournier (enseignant-chercheur au LAAS) et Stéphane Thuries (directeur technique Axess Europe).

Axess Europe SA est une entreprise spécialisée dans le développement d'applications logicielles destinées aux marchés financiers. Elle a souhaité diversifier ses activités en créant une filiale de recherche et développement à Toulouse dans le secteur des télécommunications, et a supervisé le montage et le déroulement du projet FAST.

1.2 Le projet FAST

1.2.1 Contexte et enjeu

Le projet FAST, débuté en 2008, est un consortium composé de huit partenaires académiques et industriels (figure 1.1) avec pour objectif de fournir une solution de communications haut débit à faible coût et faible encombrement pour l'aviation, comparativement à une solution telle que « Connexion by Boeing », très coûteuse. Les applications visées sont diverses : fournir un accès internet aux passagers, permettre une intervention médicale à distance (télé médecine) avec priorisation de l'accès en cas d'urgence médicale, transmettre éventuellement les données de vols en temps réel, le tout de manière sécurisée ou non, etc.

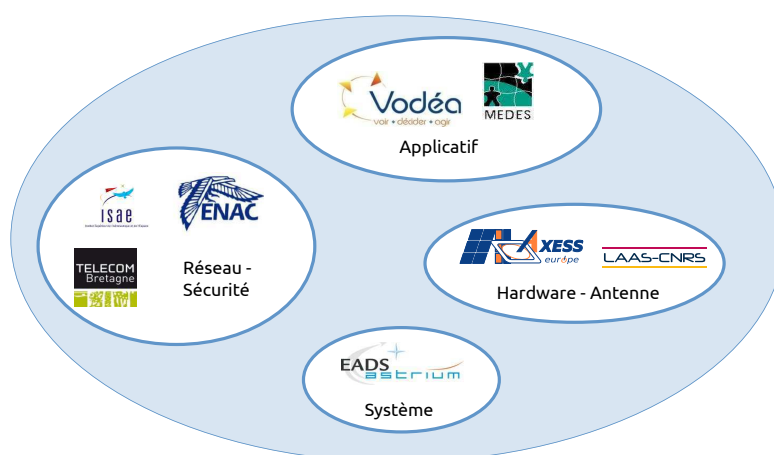
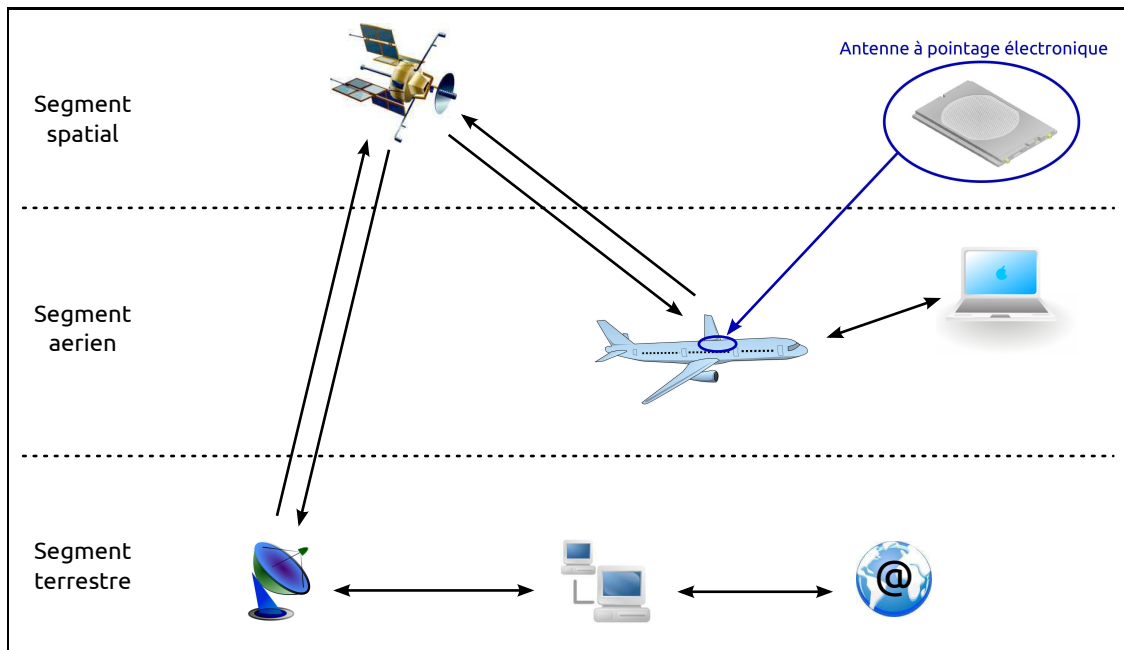


FIGURE 1.1 – *Partenaires du projet FAST*

La figure 1.2 permet d'illustrer le projet FAST : afin d'établir une connexion avec le sol, l'avion doit être capable de communiquer avec les satellites.

Le projet concerne la bande Ku, et initialement deux satellites sont visés, Eutelsat et SES Astra, ce qui nous donne un premier plan de fréquence à respecter : entre 10,7 GHz et 12,75 GHz

FIGURE 1.2 – *Le projet FAST*

en réception, et entre 14 GHz et 14,5 GHz en émission. Par ailleurs, un deuxième plan de fréquence en bande Ka a également été pris en compte, étant donné l'intérêt croissant pour cette bande de fréquence dans les systèmes de communication par satellites : les fréquences à couvrir s'étalent de 18 GHz à 19 GHz.

1.2.2 L'antenne réseau à pointage électronique

L'antenne, plane, se compose d'une matrice comportant quelques centaines d'éléments rayonnants. Elle peut alors être placée sous un radôme au-dessus de l'avion, de faible épaisseur ce qui en limite la traînée. L'utilisation d'une matrice d'éléments rayonnants permet d'obtenir une antenne à fort gain, avec une orientation du faisceau maîtrisée par un déphasage approprié entre les différents éléments. La figure 1.3 illustre l'effet du déphasage entre les éléments rayonnants et la direction du faisceau résultant.

1.3 Orientation de la thèse

1.3.1 La synthèse de fréquence

La figure 1.4 représente une architecture possible de la chaîne d'émission-réception de l'antenne. Il s'agit d'une architecture homodyne avec une conversion directe en bande de base. À la naissance du projet, rien n'était fixé sur le choix de l'architecture (homodyne, hétérodyne, etc). Ce manuscrit ne traitera pas des différences entre ces architectures, le but ici étant de présenter les travaux de thèse concernant la synthèse de fréquence.

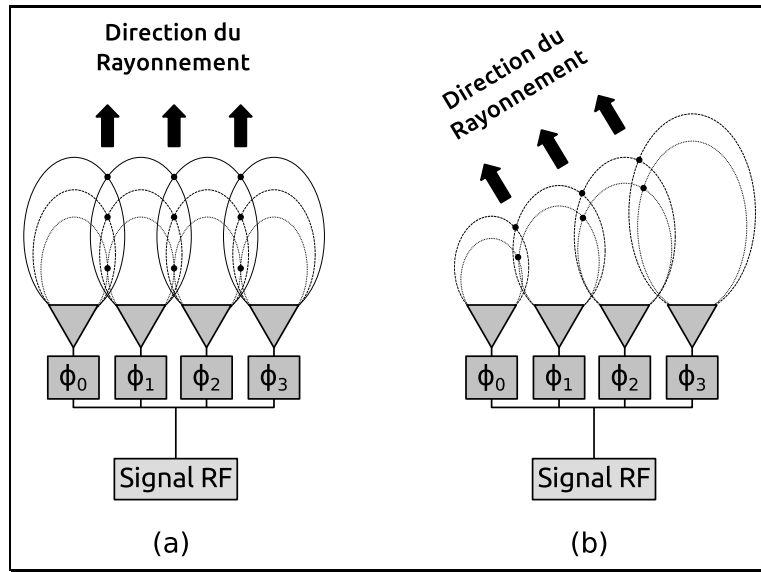


FIGURE 1.3 – Principe de l’antenne réseau à pointage électronique

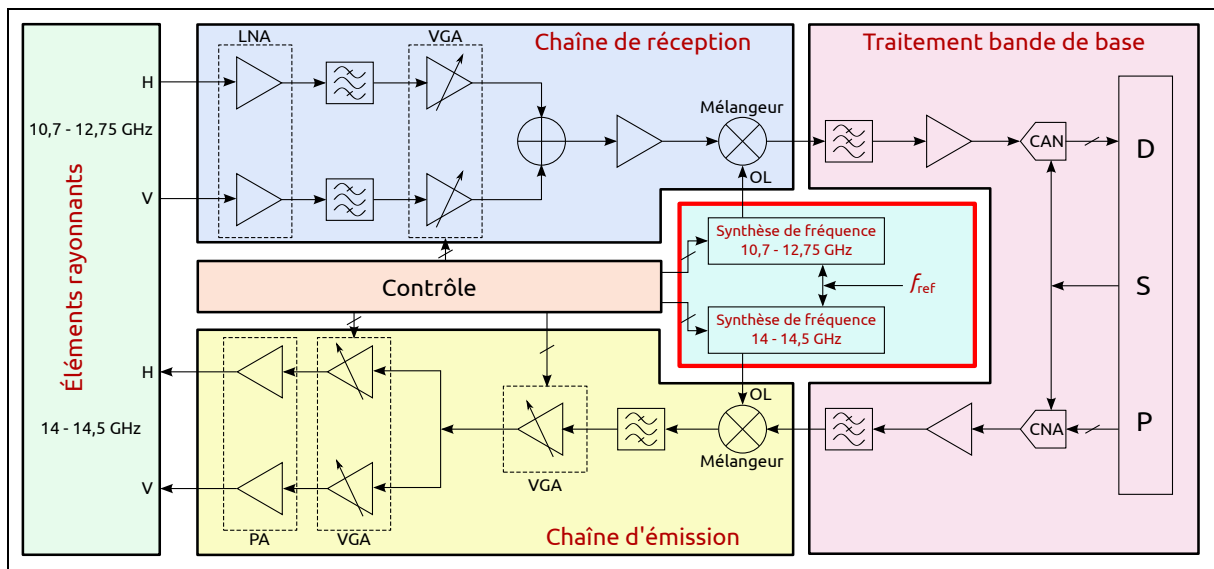


FIGURE 1.4 – Exemple d’un système d’émission réception : système homodyne

La synthèse de fréquence permet de fournir le signal de référence OL^1 aux mélangeurs afin de réaliser la transposition de fréquence (ou conversion de fréquence). La sélection du canal de réception (ou d’émission) est réalisée grâce au synthétiseur de fréquence et à la valeur de la fréquence du signal qu’il fournit. Dans le cas d’un système homodyne, une seule conversion implique que le synthétiseur de fréquence doit fournir une référence de même fréquence que le canal visé. Les systèmes hétérodynes ont plusieurs conversions de fréquences. Dans notre cas, si nous choisissons un système hétérodyne, il y a une première conversion en bande intermédiaire (conversion FI^2) suivie d’une deuxième conversion en bande de base. Dans notre cas, pour la bande Ku, la fréquence est fixée à 1 GHz, ce qui correspond à la moitié de la largeur de bande.

1. Oscillateur Local
2. Fréquence Intermédiaire

Dans ce cas, deux signaux OL sont fournis et la sélection du canal se fait lors de la conversion en bande FI. La fréquence du signal OL doit donc être 1 GHz en dessous de la fréquence du canal.

1.3.2 Compensation de l'effet Doppler

Le mouvement de l'avion ainsi que celui du satellite avec lequel il communique impliquent des dérives en fréquence entre le signal émis et reçu liées à l'effet Doppler. La variation de fréquence due à ce phénomène est donnée par la relation suivante [1] :

$$\Delta f = \frac{V_{\text{rel}}}{c} f_{\text{em}} \quad (1.1)$$

avec :

- V_{rel} , la valeur de la vitesse relative du récepteur par rapport à l'émetteur de l'onde.
- c , la vitesse de la lumière considérée dans le vide, soit 3×10^8 m/s.
- f_{em} , la fréquence de l'onde émise.

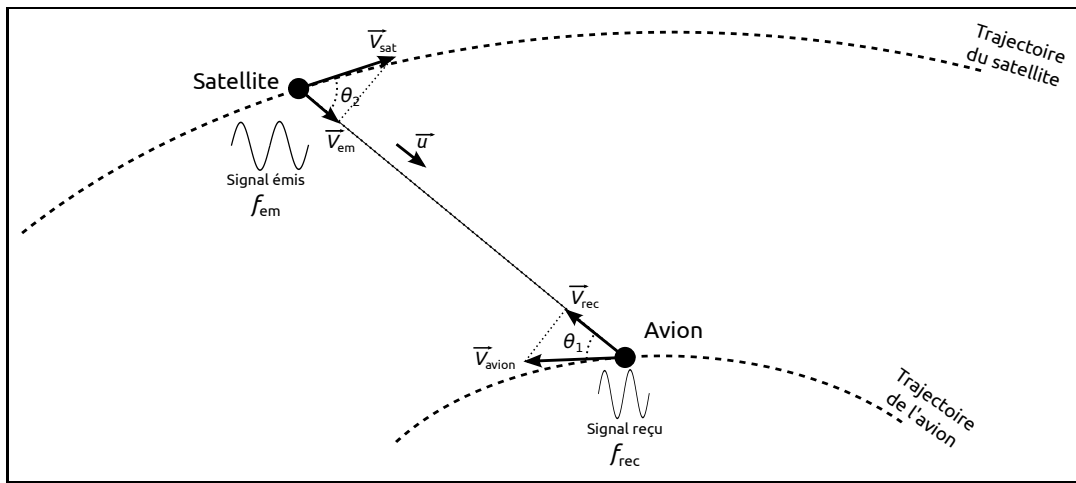


FIGURE 1.5 – L'effet Doppler

La figure 1.5 schématise succinctement le cas d'une communication satellite-avion. Ici l'émetteur est le satellite, et le récepteur l'avion. La vitesse du satellite est \vec{V}_{sat} , celle de l'avion est \vec{V}_{avion} . La valeur de la vitesse relative V_{rel} dans ce cas s'exprime en fonction des composantes de ces vitesses sur la direction émetteur-récepteur par :

$$V_{\text{rel}} = \|\vec{V}_{\text{em}} - \vec{V}_{\text{rec}}\| = (\vec{V}_{\text{sat}} - \vec{V}_{\text{avion}}) \cdot \vec{u} = (V_{\text{sat}} \cos \theta_2 + V_{\text{avion}} \cos \theta_1) \quad (1.2)$$

avec \vec{u} le vecteur unitaire dans le sens émetteur vers récepteur. Dans le cas de la figure 1.5, les composantes des vitesses sont de sens opposés et donc leur module s'ajoute. En ce qui nous concerne, les satellites visés sont géostationnaires. Leur vitesse peut donc être considérée comme nulle dans le référentiel terrestre. La variation de fréquence due à l'effet Doppler ne

dépend alors que du mouvement de l'avion et vaut :

$$\Delta f = \frac{V_{\text{avion}} \cos \theta_1}{c} f_{\text{em}} \quad (1.3)$$

L'effet Doppler est nul lorsque le satellite est à la verticale de l'avion ($\theta_1 = 90^\circ$), et est maximum lorsque l'avion vole en direction du satellite ($\theta_1 = 0^\circ$).

La vitesse de croisière d'un avion de ligne est autour de 300 m/s. La variation de fréquence pour une communication en bande Ku est alors de 0 à 12,75 kHz pour la bande de réception, et de 0 à 14,5 kHz pour la bande d'émission.

Nous nous sommes intéressés à la possibilité de compenser ce phénomène au sein de la synthèse de fréquence. Bien évidemment, il n'est pas possible de compenser des écarts qui tendent vers 0 lorsqu'avion et satellite se rapprochent d'une même verticale. Il faut donc se donner une limite afin d'avoir un ordre de grandeur de la résolution en fréquence à concevoir : si l'on souhaite par exemple pouvoir compenser à partir d'un demi degré de la verticale c'est-à-dire pour des angles inférieurs à $89,5^\circ$ ($89,5^\circ$ étant le pire cas), pour le minimum de fréquence de 10,7 GHz, on en déduit une résolution de fréquence de 93,4 Hz. Nous arrondirons cette résolution à 100 Hz.

1.3.3 Spécifications pour la synthèse de fréquence

Le synthétiseur de fréquence doit être capable de couvrir la bande de fréquence imposée par les satellites de télécommunications visés. La résolution de 100 Hz choisie permettra de sélectionner avec précision le canal de transmission dont la fréquence sera légèrement décalée à cause de l'effet Doppler. Concernant la fréquence de référence, celle-ci a été fixée à 10 MHz mais pas imposée. Ce choix correspond au standard habituel de synchronisation des appareils de mesures.

En fonction de l'architecture du système choisi, les spécifications sont les suivantes :

- Si le système choisi est homodyne :
 - Fréquence de référence (f_{ref}) : 10 MHz
 - Fréquence de sortie (f_{out}) : de 10,7 GHz à 12,75 GHz en réception, et 14 GHz à 14,5 GHz en émission
 - Résolution (Δf_{out}) : 100 Hz
- Si le système choisi est hétérodyne de fréquence intermédiaire 1 GHz :
 - Fréquence de référence (f_{ref}) : 10 MHz
 - Fréquence de sortie (f_{out}) : de 9,7 GHz à 11,75 GHz en réception, et 13 GHz à 13,5 GHz en émission
 - Résolution (Δf_{out}) : 100 Hz

1.4 Généralités sur la synthèse de fréquence

Les synthétiseurs de fréquences permettent de générer des signaux de différentes fréquences à partir d'un signal de référence de fréquence fixe.

Les principales solutions de synthèse de fréquence sont rassemblées dans le tableau 1.1 [2].

Synthèse directe	Synthétiseur analogique direct (DAS ¹)	Oscillateur + mélangeurs + diviseurs + non-linéarités + filtres	
	Synthétiseur numérique direct (DDS ²)	Accumulateur de phase + CNA	
Synthèse indirecte	Boucle à verrouillage de phase (PLL ³)	Rapport de division entier	
		Rapport de division fractionnaire	Estimation de phase par CNA
			Gigue de phase aléatoire
			Mise en forme du bruit par $\Sigma\Delta$
	Interpolation de l'erreur de phase		
Boucle à verrouillage de délai (DLL ⁴)	Multiplication de fréquence par le nombre de délais en série		

TABLE 1.1 – *Différents types de synthèses de fréquence*

Deux grandes familles se distinguent : les synthétiseurs directs, numériques (§ 1.6.4.5) et analogiques, et les synthétiseurs indirects (avec la présence d'une contre réaction). Pour un fonctionnement haute fréquence, faible surface d'intégration, basse consommation et grande résolution fréquentielle, la PLL est le synthétiseur adéquat.

1.4.1 La synthèse de fréquence à base de PLL

La PLL est sans aucun doute le système le plus utilisé dans la synthèse de fréquence. C'est un synthétiseur de fréquence indirect. Le signal de sortie est divisé pour être comparé en phase et fréquence avec un signal de référence plus basse. Indirectement, c'est le signal de référence qui se retrouve en sortie multiplié par ce rapport de division. La PLL permet donc de générer un signal haute fréquence à partir d'une référence de fréquence plus basse. La plupart des blocs fonctionnels d'une PLL peuvent être numérisés, ce qui offre de grandes possibilités d'intégration, de programmation, de reconfigurabilité, etc. En particulier, les diviseurs de fréquence sont d'ailleurs aujourd'hui majoritairement numériques, et le choix de la fréquence de sortie peut alors se faire de manière logicielle.

1.4.2 Principales caractéristiques des synthétiseurs de fréquence à base de PLL

Plage d'accord

La plage d'accord correspond à la gamme de fréquence que le synthétiseur est capable de générer. Dans notre cas (§1.3.3) elle doit couvrir la bande (9,7 – 12,75) GHz en réception et (13 – 14,5) GHz en émission pour la bande Ku.

-
1. Direct Analog Synthesizer
 2. Direct Digital Synthesizer
 3. Phase Locked Loop
 4. Delay-Locked Loop

Résolution fréquentielle

La résolution fréquentielle ou pas en fréquence correspond à l'écart entre deux fréquences successives que peut générer le synthétiseur.

Temps d'établissement ou dynamique

Représente le temps de stabilisation du synthétiseur lors d'un changement de fréquence.

Pureté spectrale

En représentation fréquentielle, un signal parfait est composé d'une raie parfaite (ou impulsion de dirac) à une fréquence donnée f_{signal} . En réalité, deux types de perturbations viennent dégrader ce spectre, les raies parasites (« spurious ») et le bruit de phase :

- Les raies parasites sont toutes les raies, autres que le fondamental et ses harmoniques, contenues dans le spectre. Elles peuvent être plus ou moins éloignées de la raie principale à f_{signal} .
- Le bruit de phase se caractérise par une variation aléatoire de la phase du signal qui se traduit par un étalement de spectre de la raie principale, jusqu'à quelques MHz. Il correspond au rapport de la densité spectrale de puissance sur une bande normalisée de 1 Hz centrée sur la fréquence $f_{\text{signal}} + f_c$ et de la puissance du signal de sortie à la fréquence f_{signal} . Il est noté $L(f_c)$, en dBc/Hz, et s'écrit [2] :

$$|L(f_c)|_{\text{dBc/Hz}} = 10 \log \left(\frac{P_{(f_c + f_{\text{signal}} + 1 \text{ Hz})}}{P_{f_{\text{signal}}}} \right) \quad (1.4)$$

La figure 1.6 illustre l'influence des raies parasites et du bruit de phase sur le spectre d'un signal réel.

1.5 Les bases de la PLL

1.5.1 Principe

La PLL est un système asservi. La grandeur asservie est la fréquence par le biais d'une comparaison de phase entre un signal de référence (f_{ref}) et le signal de sortie du système après division (f_{div}) (figure 1.7). En effet, deux signaux continuellement en phase ont forcément même fréquence. Une PLL classique est composée de 4 blocs, voire 5. L'oscillateur contrôlé en tension (VCO¹), le comparateur de phase (PFD²), et éventuellement de fréquence qui s'accompagne alors d'une pompe de charge (CP³), le filtre de boucle, et le diviseur de fréquence [3]. Lorsque les

1. « Voltage Controlled Oscillator »
 2. « Phase Frequency Detector »
 3. « Charge-Pump »

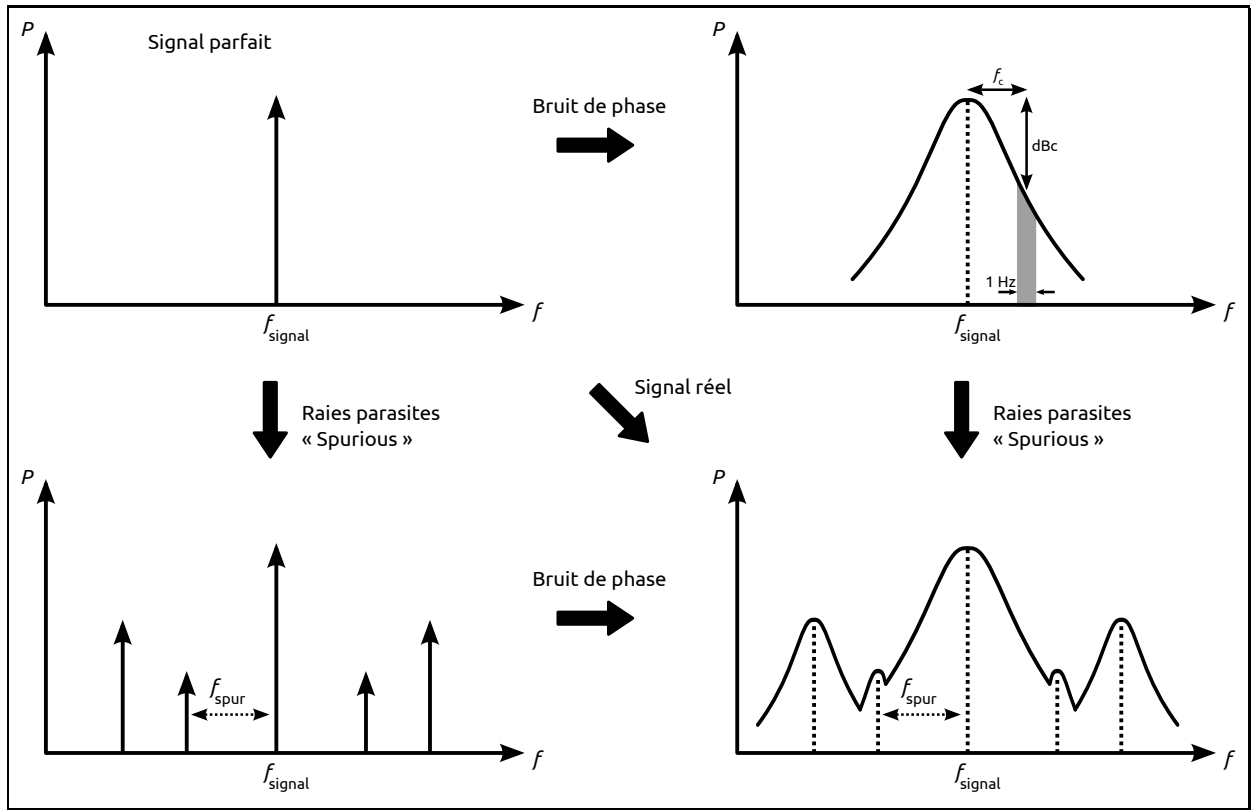


FIGURE 1.6 – Influence du bruit et des raies parasites sur le spectre d'un signal réel

deux signaux comparés sont constamment en phase, ils ont alors même fréquence ($f_{div} = f_{ref}$). La PLL est dite verrouillée. Ce qui donne la relation suivante :

$$\theta_{ref}(t) = \theta_{div}(t) \implies f_{ref} = f_{div} \implies f_{ref} = \frac{f_{out}}{N} \implies f_{out} = N f_{ref} \quad (1.5)$$

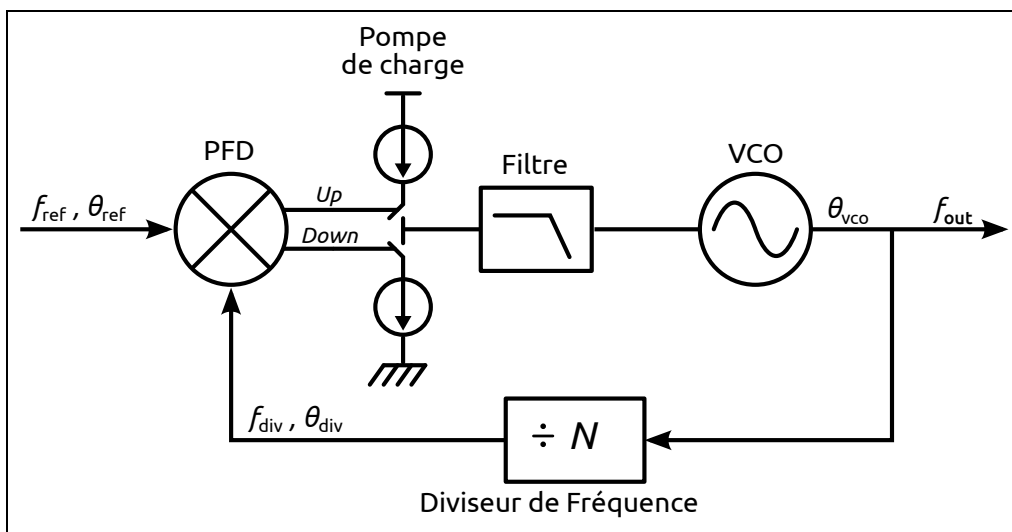


FIGURE 1.7 – Schéma de principe d'une PLL

En tant que système asservi et lorsqu'elle est verrouillée, la PLL peut être modélisée dans le domaine fréquentiel avec la transformée de Laplace des fonctions de transfert de chaque bloc,

en considérant la phase comme la grandeur asservie.

1.5.2 L'oscillateur contrôlé en tension

Le VCO génère le signal de sortie de la PLL. La fréquence du signal qu'il génère dépend d'une tension de contrôle (V_{tune}) appliquée à son entrée. La relation entre l'entrée et la sortie peut s'écrire de manière linéaire en première approximation :

$$f_{\text{out}} = f_0 + K_{\text{VCO}} V_{\text{tune}} \quad (1.6)$$

où f_0 représente la fréquence du VCO au repos, c'est-à-dire pour une tension de contrôle nulle. K_{VCO} représente le gain du VCO en Hz/V. La fonction de transfert du VCO s'écrit :

$$\frac{\theta_{\text{VCO}}}{V_{\text{tune}}} = \frac{2\pi K_{\text{VCO}}}{p} \quad (1.7)$$

1.5.3 Le comparateur phase/fréquence

Le comparateur phase-fréquence séquentiel associé à une pompe de charge et un filtre est la structure la plus utilisée en tant que chaîne de détection. L'ensemble transmet l'information de l'erreur de phase entre le signal de référence et le signal de sortie du diviseur de fréquence. La figure 1.8 représente la structure classique du comparateur phase-fréquence séquentiel. C'est un système à trois états fonctionnant sur front [2] : l'état nul, l'état d'accélération et l'état de ralentissement. L'état nul correspond au cas où les signaux f_{ref} et f_{div} sont en phase. Lorsque f_{ref} est en *avance* de phase par rapport à f_{div} , la sortie « Up » passe à l'état haut pendant une durée correspondante à l'écart de phase : c'est l'état d'accélération, qui a pour conséquence d'augmenter la fréquence du VCO. L'état de ralentissement correspond à l'état où f_{ref} est en *retard* de phase par rapport à f_{div} . La sortie « Down » passe alors à l'état haut, et en conséquence, la fréquence du VCO est abaissée. Ce fonctionnement peut être illustré par la figure 1.9 représentant le diagramme d'état du PFD ainsi que la figure 1.10 représentant les chronogrammes pour un PFD idéal.

1.5.4 La pompe de charge

La pompe de charge permet de convertir les signaux « Up » et « Down » venant du PFD, en courant dans le filtre de boucle. Si la source injectant du courant a la même valeur I_p que la source retirant du courant (figure 1.11), le courant d'erreur moyen en sortie de la pompe peut s'écrire de manière linéaire en première approximation :

$$\overline{I_{\text{cp}}} = I_p \frac{\Delta\theta}{2\pi} \quad (1.8)$$

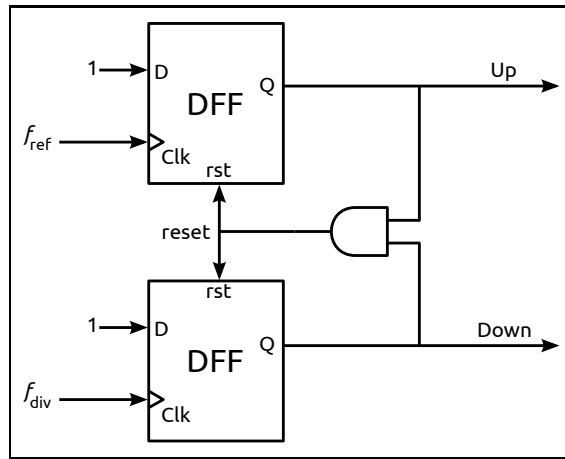


FIGURE 1.8 – Structure classique d’un comparateur phase-fréquence

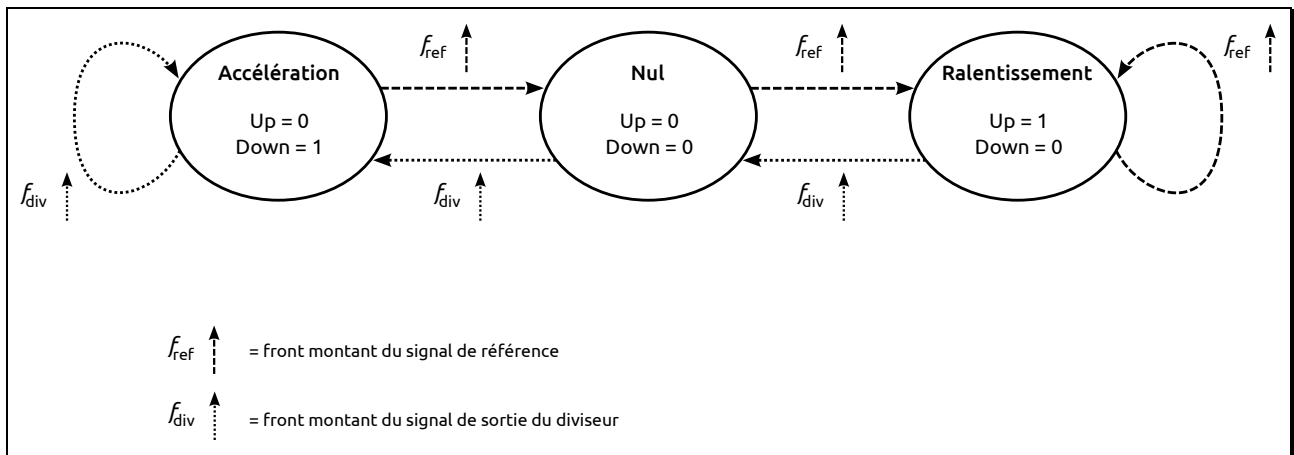


FIGURE 1.9 – Fonctionnement du PFD : diagramme d’état

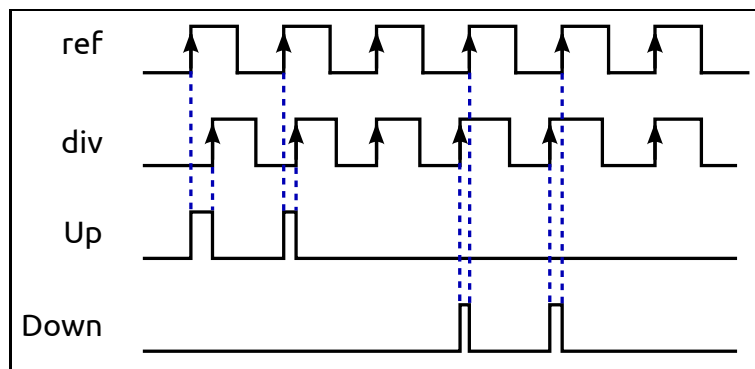


FIGURE 1.10 – Chronogrammes d’un PFD idéal

ce qui permet d’écrire le gain K_{pd} du couple PFD/CP :

$$K_{pd} = \frac{\overline{I_{cp}}}{\Delta\theta} = \frac{I_p}{2\pi} \tag{1.9}$$

La figure 1.12 représente la caractéristique de transfert de la chaîne de détection composée d’un PFD suivi d’une pompe de charge.

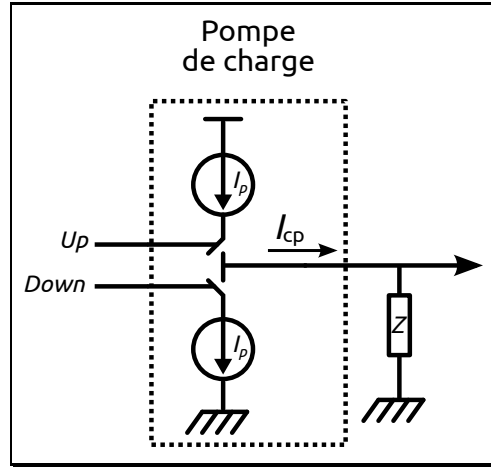


FIGURE 1.11 – Pompe de charge

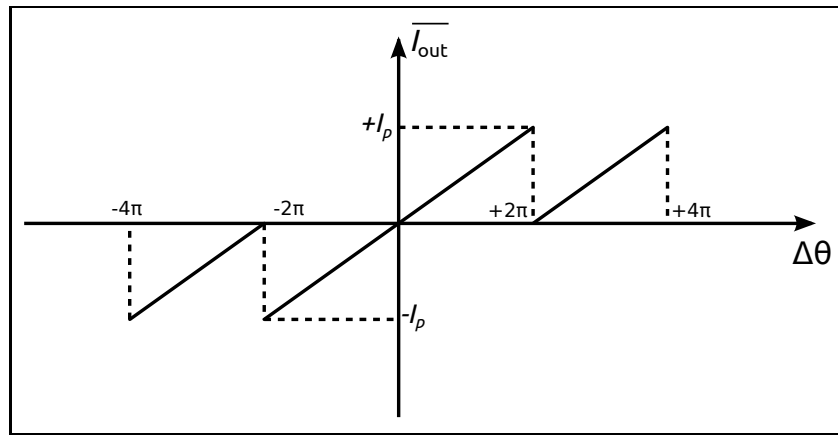


FIGURE 1.12 – Caractéristique de transfert du couple PFD/CP

1.5.5 Filtre de boucle

Le filtre de boucle constitue un convertisseur courant-tension, entre le courant d'erreur moyen sortant de la pompe de charge et la tension de contrôle du VCO. Il a un rôle essentiel dans la PLL. De ses paramètres vont dépendre la bande passante (BP), la marge de phase (et donc la stabilité) et la pureté spectrale de la PLL. En pratique, les filtres d'ordre 2 et 3 sont les plus utilisés [4]. N'est rappelé ici que l'ordre 2. La figure 1.13 représente la topologie du filtre d'ordre 2 utilisé dans les PLL. La fonction de transfert associée est la suivante :

$$F(p) = \frac{1}{p} \frac{1 + \tau_1 p}{C_0(1 + \tau_2 p)} \quad \text{avec} \quad \begin{cases} \tau_1 = R_1 C_1 \\ \tau_2 = \frac{R_1 C_1 C_2}{C_0} \\ C_0 = C_1 + C_2 \end{cases} \quad (1.10)$$

Il peut être intéressant de mettre un amplificateur faible bruit basse fréquence [5] entre le filtre le VCO. Ceci permettrait d'isoler le filtre de l'impédance du VCO et d'éviter les appels de courant de celui-ci qui peuvent modifier les caractéristiques du filtre, mais aussi des retours

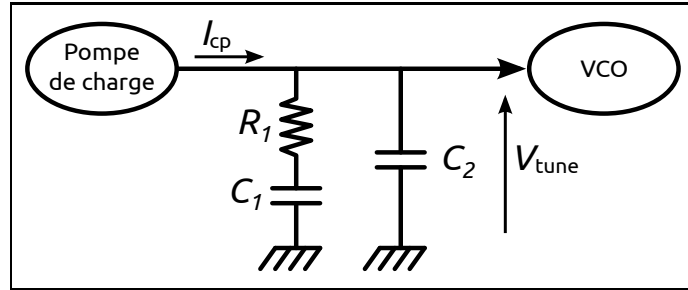


FIGURE 1.13 – Topologie du filtre de boucle d'ordre 2

d'oscillations venant du VCO dans le filtre.

1.5.6 Diviseur de fréquence

Le diviseur de fréquence permet de diviser la fréquence du signal de sortie du VCO afin de le comparer à la fréquence de référence de la PLL, plus basse. Cette utilisation du diviseur de fréquence sur la boucle de retour de la PLL réalise la multiplication de fréquence du signal de référence (équation 1.5).

Les diviseurs de fréquence sont en principe programmables (programmation du rapport de division), ce qui permet de faire varier la fréquence de sortie de la PLL. Ils peuvent être à rapport de division entier ou fractionnaire.

1.5.7 Modélisation de la PLL verrouillée

1.5.7.1 Fonctions de transfert

La modélisation de la PLL permet de définir les paramètres de chaque bloc, décrit précédemment, nécessaires à la convergence (et donc la stabilité) du système.

Lorsque la PLL est verrouillée, le système est considéré comme linéaire pour de faibles variations de fréquence autour de cette position d'équilibre où elle peut être modélisée dans le domaine de Laplace. Toutefois, il est intéressant de noter que cette modélisation est une approximation qui n'est valable que pour une valeur de BP de la PLL (définie plus bas) faible devant la fréquence de référence f_{ref} et que la modélisation se fait de manière plus rigoureuse, pour le couple PFD/CP, dans le domaine des transformés en Z [6, 2, 3]. Ceci est lié au fonctionnement discret du couple PFD/CP qui génère des impulsions en courant à la fréquence de référence. Pour assurer la validité du modèle de Laplace ainsi qu'une première condition sur la stabilité du système, la limite de la bande passante est définie ainsi :

$$\text{BP} \leq \frac{f_{\text{ref}}}{10} \quad (1.11)$$

La figure 1.14 représente le schéma bloc de la PLL avec la fonction de transfert de chaque bloc. Les fonctions de transfert en boucle ouverte « $H_{\text{BO}}(p)$ » et boucle fermée « $H_{\text{BF}}(p)$ »

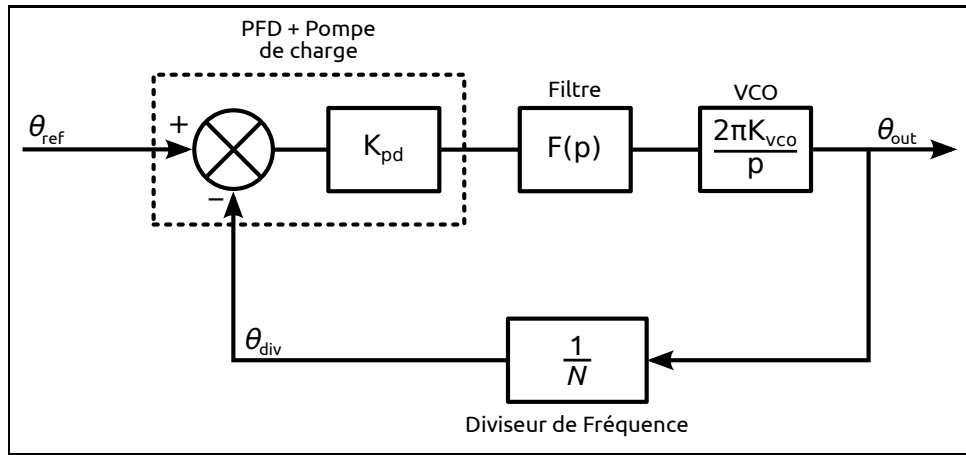


FIGURE 1.14 – Schéma de la PLL modélisée

peuvent alors être déterminées :

$$H_{BO}(p) = K_{pd} F(p) \frac{2\pi K_{vco}}{p} \frac{1}{N} = I_p \frac{1}{p^2} \frac{1 + \tau_1 p}{C_0(1 + \tau_2 p)} K_{vco} \frac{1}{N} \quad (1.12)$$

$$H_{BF}(p) = N \frac{H_{BO}(p)}{1 + H_{BO}(p)} \quad (1.13)$$

1.5.7.2 Dimensionnement du filtre de boucle

Ces deux fonctions de transfert permettent d'étudier la rapidité du système, la stabilité ainsi que les performances en bruit. La fonction de transfert en boucle ouverte est utile pour déterminer rapidement la bande passante ainsi que la marge de phase du système. La bande passante est définie comme étant la fréquence f_0 pour laquelle le gain en boucle ouverte est unitaire ($|H_{BO}(p)| = 1$). La marge de phase correspond à la différence entre la phase, à la fréquence f_0 , et -180° (figure 1.15). En fonction de la stabilité et des performances souhaitées, les paramètres du filtre de boucle sont déterminés en tenant compte des paramètres des autres blocs du circuit.

Pour une bande passante et une marge de phase souhaitées, les paramètres du filtre de boucle d'ordre 2 défini précédemment (§ 1.5.5) peuvent être calculés [7, 8]. Afin d'assurer un bon compromis entre stabilité et temps de réponse, la marge de phase M_θ doit être comprise entre 30° et 60° .

Les deux valeurs des constantes de temps τ_1 et τ_2 , issues des équations du filtre sont alors déterminées par [7] :

$$\tau_2 = \frac{1 - \sin(M_\theta)}{\omega_0 \cos(M_\theta)} \quad \text{et} \quad \tau_1 = \frac{1}{\omega_0^2 \tau_2} \quad (1.14)$$

Avec ω_0 la pulsation correspondante à la bande passante f_0 .

Les valeurs des capacités et de la résistance du filtre de boucle se déduisent des deux

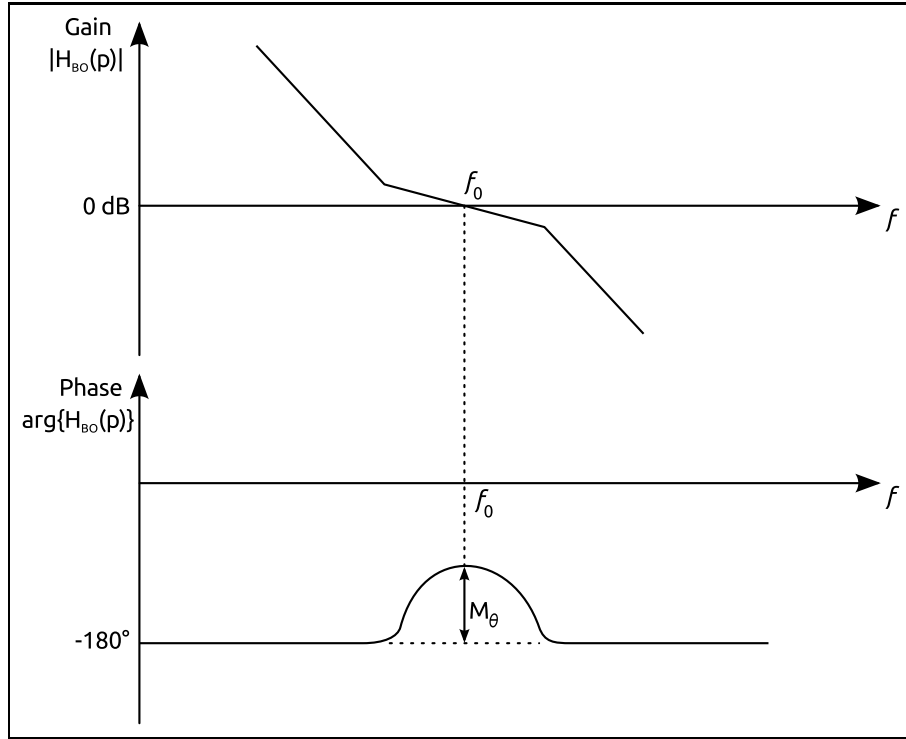


FIGURE 1.15 – Représentation de la marge de phase en boucle ouverte d'une PLL

constantes de temps par les relations suivantes :

$$\begin{cases} C_2 = \tau_2^2 \frac{K_{vco} I_p}{N} \sqrt{\frac{1 + \frac{\tau_1}{\tau_2}}{1 + \frac{\tau_2}{\tau_1}}} \\ C_1 = C_2 \left(\frac{\tau_1}{\tau_2} - 1 \right) \\ R_1 = \frac{\tau_1}{C_1} \end{cases} \quad (1.15)$$

1.5.8 Raies parasites et bruit de phase

1.5.8.1 Bruit de phase

Chaque bloc de la PLL apporte sa contribution en bruit au système. Le spectre de bruit de phase global s'exprime en fonction des contributions en bruit de chaque bloc pris indépendamment ainsi que de la fonction de transfert en boucle ouverte par l'équation suivante [8] :

$$\begin{aligned} S_{PLL} = & \left| \frac{1}{1 + H_{BO}(p)} \right|^2 S_{VCO}(p) + \left| \frac{NH_{BO}(p)}{1 + H_{BO}(p)} \right|^2 S_{ref}(p) + \left| \frac{NH_{BO}(p)}{1 + H_{BO}(p)} \right|^2 S_{div}(p) \\ & + \frac{1}{K_{pd}^2} \left| \frac{NH_{BO}(p)}{1 + H_{BO}(p)} \right|^2 S_{PFDP+PC}(p) + \frac{1}{K_{pd}^2 Z(p)} \left| \frac{NH_{BO}(p)}{1 + H_{BO}(p)} \right|^2 S_{filtre}(p) \end{aligned} \quad (1.16)$$

avec les contributions des densités spectrales unilatérales de bruit de phase suivantes :

- $S_{VCO}(p)$: VCO libre,
- $S_{ref}(p)$: oscillateur de référence,
- $S_{div}(p)$: sortie du diviseur,
- $S_{PFD+CP}(p)$: sortie du couple PFD-CP,
- $S_{filtre}(p)$: sortie du filtre,
- $S_{PLL}(p)$: sortie de la PLL (sortie du VCO).

L'allure typique du spectre de bruit de phase en sortie d'une PLL est présenté figure 1.16. L'asservissement de la phase du VCO réalisé par la PLL permet de retrouver en sortie le bruit de phase de l'oscillateur de référence augmenté de $20 \log(N)$ (zone 1), puis le bruit de l'ensemble PFD-CP + filtre augmenté lui aussi de $20 \log(N)$ (zone 2), dans la limite de la bande passante de la PLL. Au-delà de la bande passante, on retrouve le bruit du VCO libre. La valeur du rapport de division peut donc avoir un impact important sur le niveau de bruit de phase en sortie de la PLL.

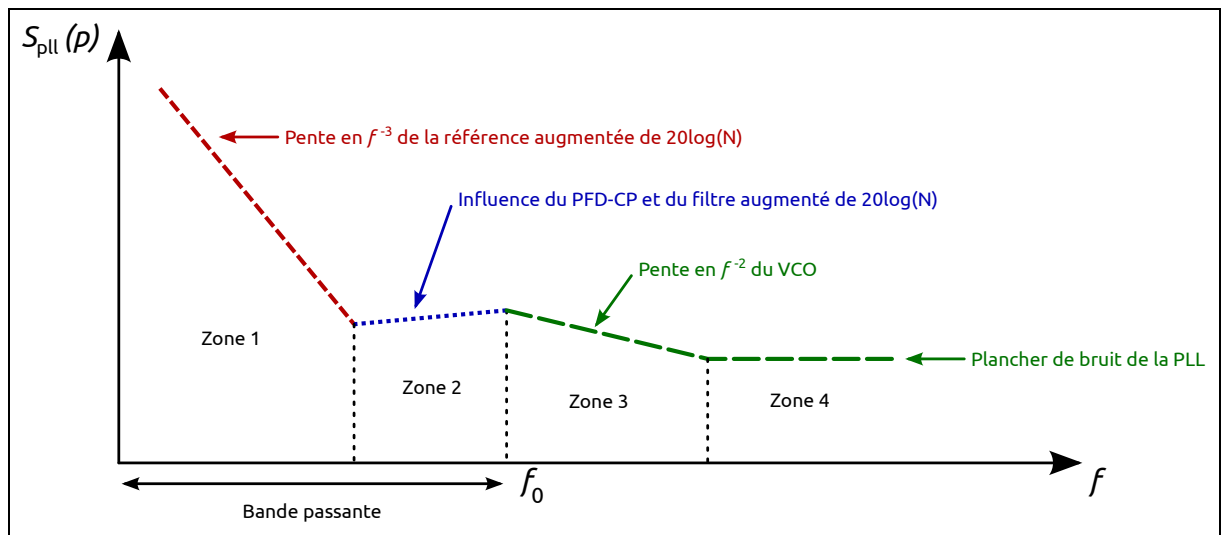


FIGURE 1.16 – Spectre typique du bruit de phase en sortie de la PLL [8]

1.5.8.2 Raies parasites

Au spectre de sortie de la PLL s'ajoute la présence de raies parasites. Les principales raies viennent de la fréquence de référence et sont liées aux imperfections de la chaîne de détection [3]. Les causes majeures sont les courants de fuites du filtre ainsi que le désappariement des sources de courant de la pompe de charge, qui implique des courants fournis et absorbés non identiques (§ 1.5.4). De ce fait, même lorsque la PLL est verrouillée, une correction sur la tension du VCO se fait à la fréquence de fonctionnement du comparateur, donc à la fréquence de référence. Il s'ensuit la présence de deux raies de part et d'autre de la fréquence de sortie, à une distance de f_{ref} . Pour une PLL à division fractionnaire, d'autres raies parasites viennent polluer le spectre de sortie. C'est ce qui sera traité dans le paragraphe 1.6.

1.5.9 Résolution

La résolution d'une PLL correspond à l'écart entre deux fréquences successives qu'elle peut générer. Elle dépend de la façon dont est réalisée la division de fréquence (comme le montre l'équation (1.17) tirée de l'équation (1.5)) ainsi que de la valeur de la fréquence de référence. Dans le cas d'une PLL entière (utilisant un diviseur entier programmable), la résolution correspond à la fréquence de référence, car $\Delta N = 1$.

$$\Delta f_{\text{out}} = \Delta N f_{\text{ref}} \quad (1.17)$$

Il est possible d'augmenter cette résolution en diminuant f_{ref} ou en utilisant une division fractionnaire à la place de la division entière.

1.5.10 Limitation des performances d'une PLL entière

La conception d'une PLL à division entière repose sur un compromis entre ses différentes caractéristiques. La figure 1.17 illustre les interactions entre les paramètres et les performances de la boucle dans ses grands axes : augmenter la résolution fréquentielle implique une diminution de la fréquence de référence. La bande passante doit être abaissée pour respecter la limite $BP < f_{\text{ref}}/10$ et le rapport de division N doit être augmenté pour garder la même fréquence de sortie. Or diminuer la bande passante diminue la rapidité de la boucle. En effet, le temps de verrouillage est inversement proportionnel à la bande passante ($t_{\text{lock}} \propto 1/BP$) [3]. Elle a aussi un impact sur le bruit de phase tout comme l'augmentation de N : le bruit de phase de l'oscillateur de référence (généralement meilleur que le VCO libre) se retrouve en sortie de la PLL, mais rehaussé de $20 \log(N)$ dans la limite de la bande passante (§ 1.5.8.1). Le même raisonnement peut être fait si ce n'est pas la résolution fréquentielle qu'on souhaite augmenter, mais la rapidité de la boucle, ou en encore si l'on souhaite optimiser le bruit de phase en sortie de la boucle, etc.

La PLL entière atteint donc, dans bien des cas, des limites en performances qui peuvent être repoussées par l'utilisation de la division fractionnaire.

1.6 La division fractionnaire

1.6.1 Introduction

La division fractionnaire permet de rendre la résolution fréquentielle indépendante de la fréquence de référence de la PLL, tout en conservant une bonne dynamique de boucle et sans venir dégrader les caractéristiques en bruit de phase. En effet, comme on vient de le voir au § 1.5.9, la résolution d'une PLL à division entière correspond à la valeur de la fréquence du signal de référence à l'entrée du comparateur de phase. Avec la division fractionnaire, il est

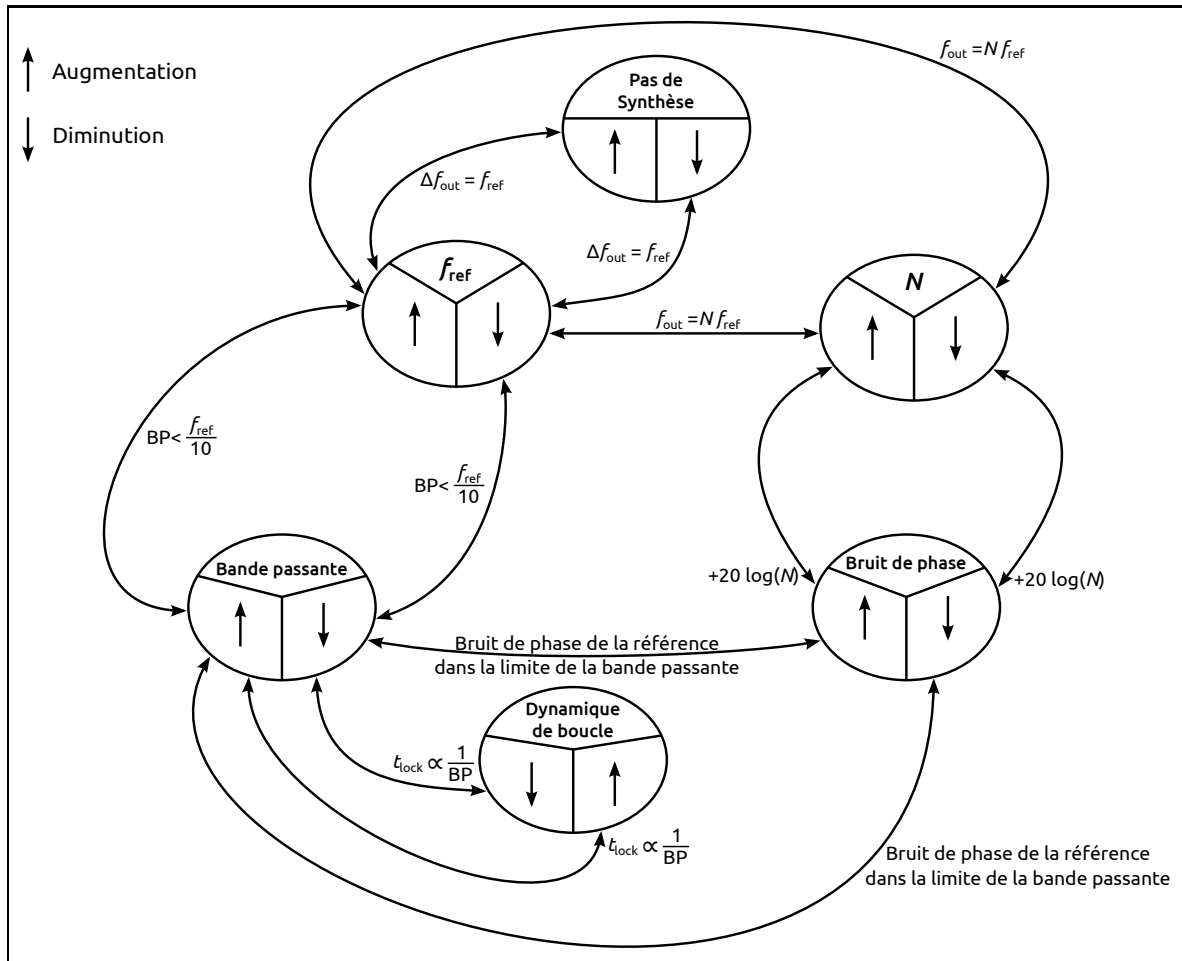


FIGURE 1.17 – Compromis entre les différentes caractéristiques pour une PLL entière

possible d'obtenir des rapports de division entre deux valeurs entières successives. Elle offre donc la possibilité d'avoir $\Delta N < 1$.

Mise à part l'augmentation de la résolution de la PLL, l'utilisation d'un diviseur fractionnaire dans la boucle de retour peut s'avérer aussi très intéressante dans les applications où l'on souhaite abaisser le niveau de bruit de phase ($20 \log(N)$) ou augmenter la bande passante de la PLL et donc sa dynamique. Malgré ces avantages, la division fractionnaire génère des raies parasites. L'étude du principe de la division fractionnaire permet de mieux comprendre l'origine de ces raies, et l'on trouve dans la littérature différentes structures ou méthodes visant à les minimiser ou les supprimer ainsi que nous le traitons dans le paragraphe qui suit.

1.6.2 Principe de la division fractionnaire

Les diviseurs de fréquence sont aujourd'hui majoritairement des circuits numériques séquentiels [9], qui ne peuvent fonctionner que synchronisés sur des fronts d'horloge (l'horloge étant ici le signal de sortie du VCO dont on veut diviser la fréquence). On ne peut alors diviser la fréquence d'un signal que par des valeurs entières (ou demi-entières si l'on prend en compte à la fois les fronts montants et descendants [10]). La division fractionnaire fonctionne sur le prin-

cipe de la division entière dont le rapport de division est modifié de manière dynamique entre deux ou plusieurs valeurs [4] : le rapport de division fractionnaire est alors égal à la moyenne temporelle des rapports entiers.

La figure 1.18 représente une implémentation possible de la division fractionnaire avec un diviseur qui peut diviser soit par N , soit par $N + 1$, et un système de commande qui permet de commuter entre ces deux valeurs (0 pour N et 1 pour $N + 1$) selon une séquence prédéfinie qui est répétée. En prenant comme exemple la séquence 001 (figure 1.18), on a alors une division moyenne de $N,333$:

$$N_{\text{frac}} = \frac{N + N + (N + 1)}{3} = N + \frac{1}{3}$$

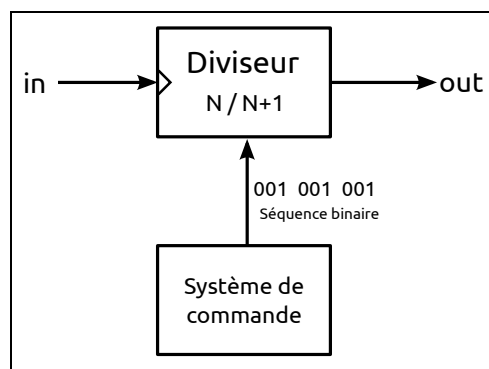


FIGURE 1.18 – Schéma de principe de la division fractionnaire

Insérée dans une PLL, l'entrée « in » correspond à la sortie du VCO et la sortie « out » à l'entrée du comparateur phase-fréquence.

1.6.3 Les raies parasites

1.6.3.1 Origine des raies parasites

La périodicité de la modification du rapport de division (ou plutôt la répétition de la séquence binaire appelée « motif ») entraîne l'apparition de raies parasites dans le domaine fréquentiel. La figure 1.19 représente des chronogrammes permettant d'illustrer l'origine de ces raies parasites à travers un exemple où la division fractionnaire souhaitée est de $N,3$. Dans ce cas, la séquence binaire la plus courte doit comporter 7 divisions par N et 3 divisions par $N + 1$. La figure 1.19 montre deux cas de séquence pour obtenir la même division fractionnaire :

- le cas « basique », qui représente le pire cas où l'on fait d'abord les divisions par N puis les divisions par $N + 1$ (ou l'inverse). La séquence binaire correspondante est alors 0000000111. Ce cas-là n'est jamais implémenté, il sert juste d'illustration.
- le cas « classique » où les rapports de division N et $N + 1$ sont mélangés. La séquence binaire correspondante peut être alors 0010010010.

La comparaison de chacun des cas avec le cas « idéal », qui représente le signal parfaitement divisé de manière fractionnaire, permet de mettre en évidence un décalage temporel « ε » qui représente une erreur de phase entre le signal réel (basique et classique) et le signal idéal. Cette

différence de phase est traduite, dans la chaîne de détection de la PLL, par un signal d'erreur (figure 1.19). L'évolution de l'erreur de phase correspondant aux deux cas de séquences binaires est représentée par la figure 1.20 et dont le calcul est donné en annexe A. Un mélange adéquat des rapports de division N et $N + 1$ permet de diminuer l'amplitude de l'erreur de phase. La figure 1.21 correspond aux différents spectres (simulés) en sortie du diviseur fractionnaire associés aux chronogrammes de la figure 1.19. La simulation a été faite pour un rapport de division $N_{\text{frac}} = 10,3$ avec une fréquence d'entrée de 1 GHz. L'amplitude des raies dans le cas classique est plus faible que pour le cas basique, ce qui donne déjà une indication : la minimisation de l'erreur de phase permet de réduire l'amplitude des raies parasites.

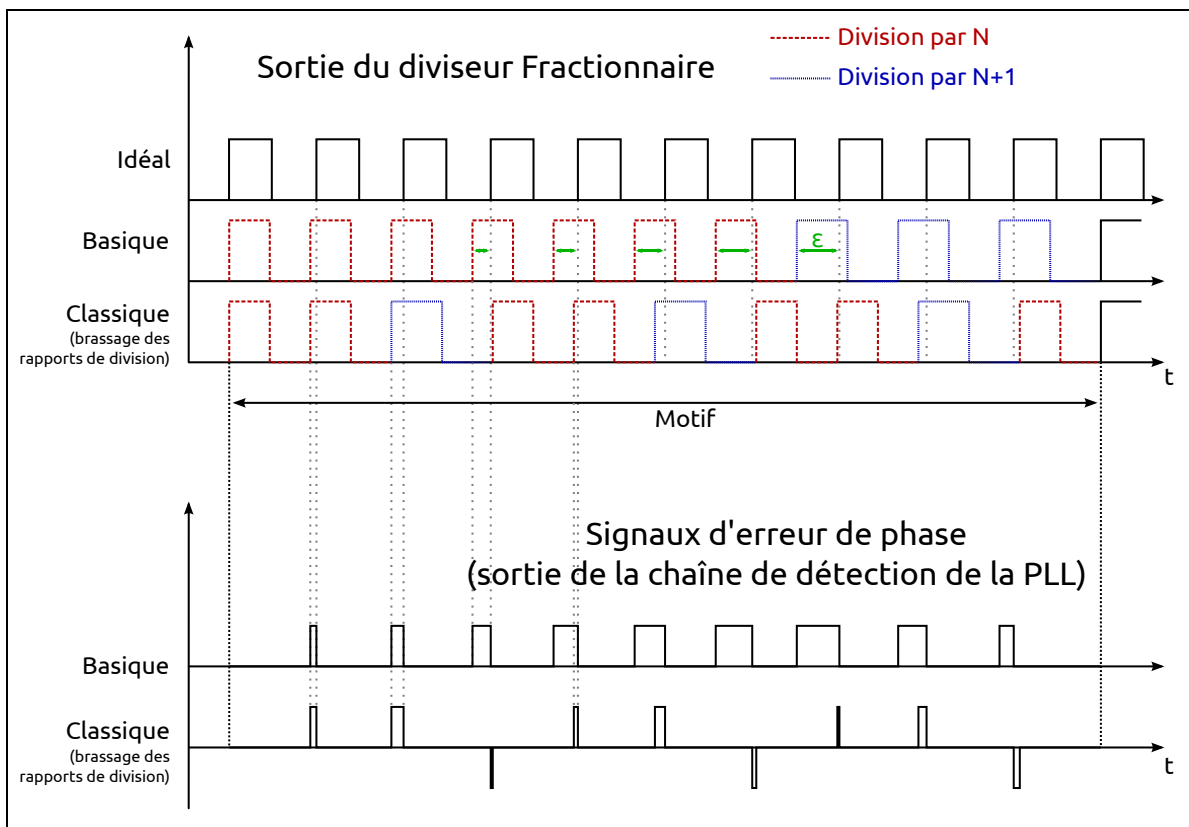


FIGURE 1.19 – Chronogrammes illustrant l'origine de l'erreur de phase dans la division fractionnaire

1.6.3.2 Réduction et suppression des raies parasites

Les figures précédentes (1.19, 1.20, 1.21) mettent en évidence la présence de raies parasites liée à la périodicité de la séquence de contrôle (ou motif) du diviseur $N/N + 1$, et dont l'amplitude est proportionnelle à l'erreur de phase. En effet, le spectre en sortie du diviseur est pollué de raies dont l'espacement correspond à la fréquence du motif. Pour supprimer ces raies parasites, il faudrait rendre la séquence binaire totalement aléatoire (randomisation) de manière à supprimer toute périodicité. Ceci est en contradiction avec la nécessité de maîtriser le rapport de division moyen, qui passe par un certain déterminisme dans l'alternance des rapports de division instantanés. À défaut, la réduction de l'amplitude des raies passe par une minimisation

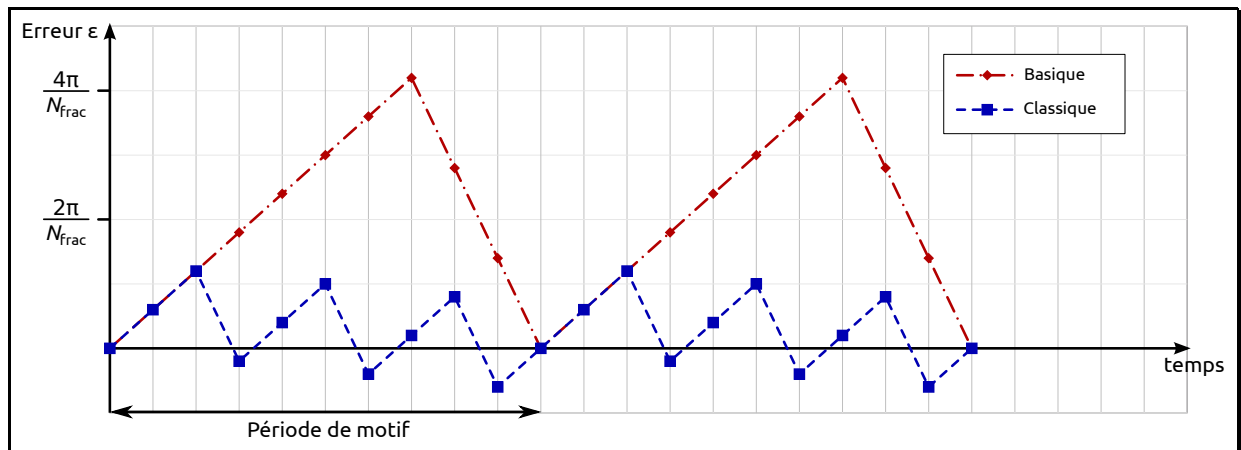


FIGURE 1.20 – Erreur de phase dans la division fractionnaire

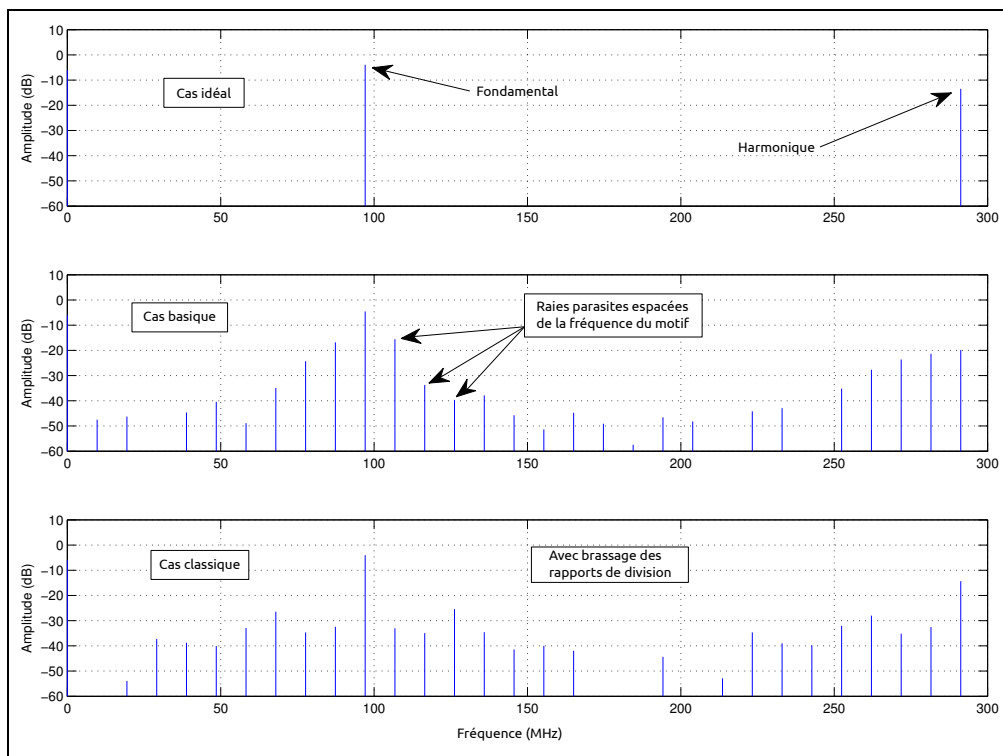


FIGURE 1.21 – Spectre de sortie du diviseur fractionnaire pour deux séquences binaires différentes

de l'erreur de phase. Le paragraphe suivant traite des différentes structures à l'état de l'art visant à la suppression des raies parasites par une pseudo-randomisation, ou à la réduction de ces raies par compensation ou interpolation de l'erreur de phase.

1.6.4 Principales structures de diviseur fractionnaire

1.6.4.1 Structure classique (brassage des rapports de division)

La première structure d'un diviseur fractionnaire est réalisée par un accumulateur pilotant le diviseur $N/N+1$ (figure 1.22) [11, 12]. Cette structure correspond au cas classique décrit dans les figures 1.19, 1.20, 1.21. Le débordement de l'accumulateur, c'est-à-dire la retenue de sortie,

est utilisé pour contrôler le changement de division. Le signal d'horloge de l'accumulateur correspond à la sortie du diviseur. Le rapport de division ainsi que la résolution de cette structure sont donnés par l'équation :

$$N_{\text{frac}} = N + \frac{P}{2^n} \implies \Delta N_{\text{frac}} = \frac{1}{2^n} \quad (1.18)$$

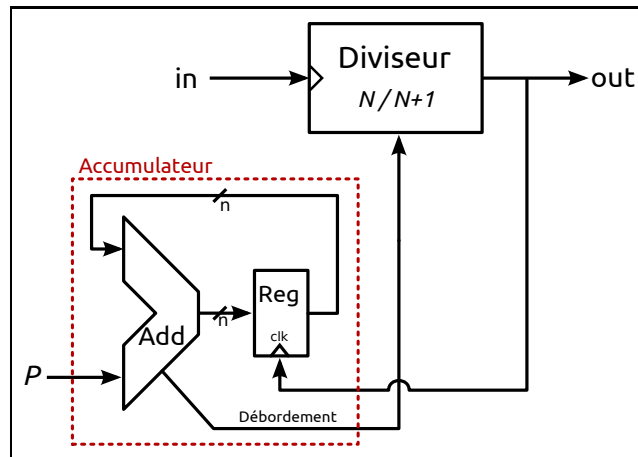


FIGURE 1.22 – Structure classique d'un diviseur fractionnaire

Cette structure, très simple à réaliser, permet d'obtenir une très grande résolution. Cependant, la périodicité du fonctionnement de l'accumulateur (§ 3.4.2.2) implique une grande quantité de raies parasites dans le spectre de sortie du diviseur que l'on retrouve dans le spectre de l'erreur de phase (figure 1.31). Lorsqu'un tel diviseur est inséré dans une PLL, ces raies parasites sont en partie atténuées par le filtre de boucle.

1.6.4.2 Compensation de l'erreur de phase

Le filtre de boucle n'est souvent pas suffisant pour filtrer les raies parasites ; surtout que plus la périodicité de l'accumulateur est grande, plus les raies se situent à basse fréquence et sont difficiles à filtrer. À partir de la structure classique, il est possible de réduire voire supprimer ces raies en venant corriger l'erreur de phase à l'intérieur de la PLL. Il existe deux méthodes reconnues de compensation. La première méthode utilise une DLL (Delay Locked Loop) entre la sortie du diviseur et l'entrée du PFD [13]. Cette structure vient corriger la phase du signal de contre-réaction pour effectuer la compensation, mais devient rapidement complexe et limite la résolution [14]. La seconde méthode, représentée par la figure 1.23, utilise un CNA¹ pour venir compenser l'erreur de phase transmise par la chaîne de détection [15, 9]. L'inconvénient de cette structure revient à la complexité du CNA, mais surtout aux variations technologiques ainsi qu'à la température et la tension d'alimentation [14].

1. Convertisseur Numérique-Analogique

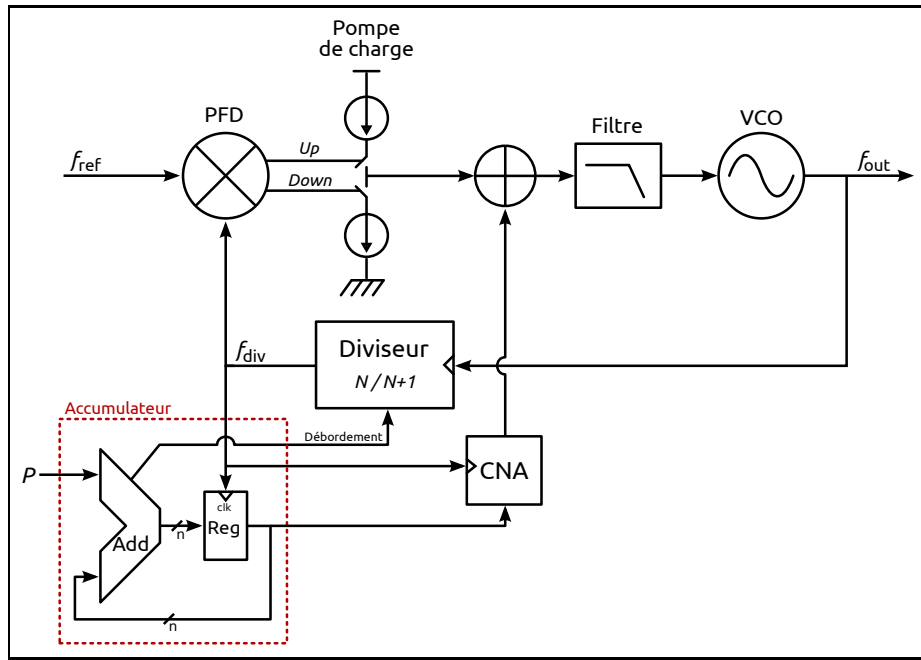


FIGURE 1.23 – PLL fractionnaire avec compensation de l'erreur de phase

1.6.4.3 Randomisation

Dans le but de supprimer totalement les raies parasites liées à la périodicité de l'accumulateur, deux techniques majeures existent permettant de randomiser les rapports de division tout en maintenant la division moyenne à la valeur fractionnaire voulue. La première structure a été réalisée par Wheatley [16] et est montrée par la figure 1.24. Un nombre aléatoire est rajouté au résidu de l'accumulateur à chaque débordement de celui-ci. Cette structure permet bien de supprimer les raies parasites, mais transforme ces raies en bruit relativement élevé. De plus, Reinhardt [17] dénonce une complexité élevée à la structure et en propose une plus simple représentée par la figure 1.25. À chaque front de la sortie du diviseur, un nombre aléatoire est généré puis comparé au nombre P qui correspond à la valeur fractionnaire voulue. Si le nombre aléatoire est plus grand que P , on divise par N , s'il est plus petit, on divise par $N + 1$. Cette structure est simple à implémenter, mais génère un niveau de bruit de phase élevé qui évolue en $1/f^2$ [14].

Une structure intéressante récente s'intéresse à la randomisation de l'erreur de phase plutôt que du rapport de division [18]. Le contrôle d'un diviseur $N/N + 1$ par un accumulateur propose un brassage des rapports de division optimal pour minimiser l'erreur de phase (§ 1.6.4.1). Plutôt que randomiser les rapports de division pour casser la périodicité du système, il peut être judicieux de randomiser directement l'erreur de phase engendrée par l'accumulateur, ce qui permet de réduire le bruit de phase par rapport aux structures randomisées classiques.

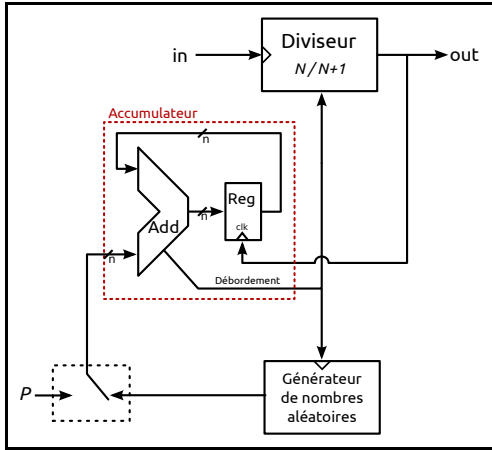


FIGURE 1.24 – Diviseur fractionnaire de Wheatley

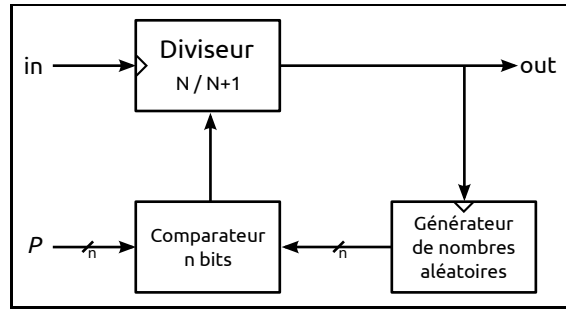


FIGURE 1.25 – Diviseur fractionnaire de Reinhardt

1.6.4.4 Mise en forme du bruit par un modulateur $\Sigma\Delta$

Le modulateur $\Sigma\Delta$ est initialement utilisé dans la conversion analogique-numérique. Cependant, son utilisation a été détournée au profit de la division fractionnaire du fait de sa propriété de mise en forme du bruit de quantification [19]. La figure 1.26 représente la structure classique d'une PLL fractionnaire utilisant un $\Sigma\Delta$ pour contrôler un diviseur $N/N + 1$. Son utilisation est sans aucun doute la méthode la plus utilisée.

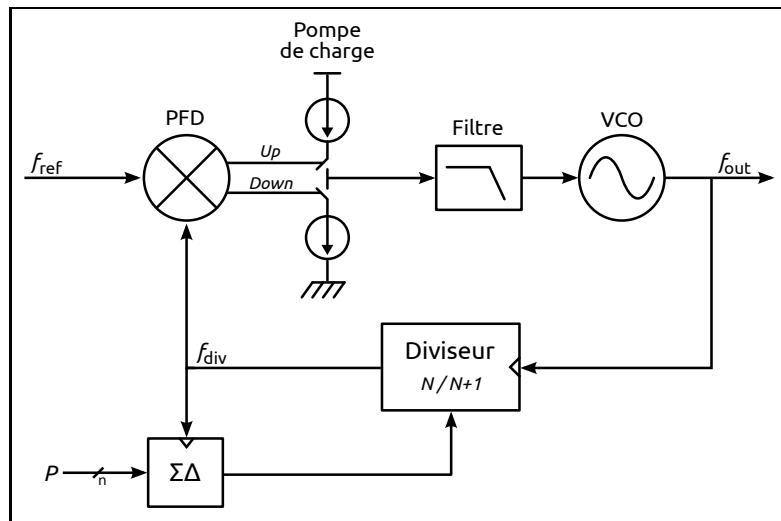


FIGURE 1.26 – Structure classique d'une PLL fractionnaire avec un modulateur $\Sigma\Delta$

Le $\Sigma\Delta$ réalise une pseudo-randomisation des rangs de division. La valeur fractionnaire souhaitée (P sur la figure 1.26) est quantifiée [20], bénéficiant ainsi de la mise en forme du bruit de quantification qui se traduit en bruit de phase à la sortie du diviseur, et qui est transmis par la chaîne de détection. Ce bruit de quantification a la particularité d'être faible pour les basses fréquences, car repoussé vers les fréquences plus hautes (figure 1.31). L'avantage est que ce bruit, alors éloigné de la porteuse, peut être filtré par le filtre de boucle. La propriété de mise en forme du bruit dépend de l'ordre du $\Sigma\Delta$ [19], et il peut encore être amélioré en utilisant

plusieurs valeurs de quantification [14]. Dans ce cas, le $\Sigma\Delta$ pilote un diviseur multimodule. Cependant, l'augmentation de l'ordre du $\Sigma\Delta$ ajoute aussi à sa complexité et aux problèmes de stabilité. De plus, cette propriété de mise en forme du bruit de quantification impose une limitation de la bande passante de la PLL pour filtrer correctement cette remontée du bruit [21]. Une illustration de ces propos est donnée au § 1.6.5.2.

1.6.4.5 Interpolation de l'erreur de phase (utilisation d'un DDS)

Le DDS est un synthétiseur de fréquence directe (sans boucle de rétroaction comme pour la PLL) numérique. À partir d'un mot binaire qu'on lui applique en entrée, il génère un signal en sortie dont la fréquence est fonction du mot d'entrée et de la fréquence de l'horloge qui le pilote. Le DDS est en principe utilisé comme synthétiseur de signaux arbitraires de fréquence variable, mais son fonctionnement offre la possibilité de l'utiliser en tant que diviseur de fréquence fractionnaire.

i Principe du DDS

La figure 1.27 représente la structure basique du DDS afin d'en illustrer le principe [22]. Le DDS permet en général de reconstruire un signal en sortie à partir d'échantillons. À chaque front d'horloge, la sortie de l'accumulateur est incrémentée de la valeur de MCF (mot de contrôle de fréquence). On l'appelle accumulateur de phase, car sa sortie correspond à des rampes d'échantillons représentant la phase instantanée du signal à générer (exemple : $0 = 0$ rad, $2^n - 1 = 2\pi(1 - \frac{1}{2^n})$ rad avec la taille n de l'accumulateur). Ces échantillons de phase sont ensuite convertis en amplitude par le CPA¹. On a alors la version échantillonnée du signal à créer (ici un sinus) qui est ensuite convertie par un CNA puis, éventuellement, filtré par un filtre passe-bas. Le DDS permet de générer toute forme de signal. Il suffit en effet de changer le CPA ou de le reprogrammer s'il s'agit par exemple d'une mémoire [22]. À chaque front d'horloge, un échantillon est généré. Le nombre d'échantillons représentant une période du signal de sortie dépend de la valeur MCF de l'accumulateur. Les valeurs « légales » de MCF générant les fréquences respectant le théorème d'échantillonnage de Nyquist-Shannon sont comprises entre 0 et 2^{n-1} (avec n la taille de l'accumulateur en bits) : toute valeur supérieure à $2^n - 1$ génère ces mêmes fréquences par repliement de spectre. La fréquence du signal de sortie s'écrit pour ces valeurs légales :

$$f_{\text{out}} = \frac{\text{MCF}}{2^n} f_{\text{clk}} \quad ; \quad \forall \text{MCF} \leq 2^{n-1} \quad (1.19)$$

1. Convertisseur Phase-Amplitude

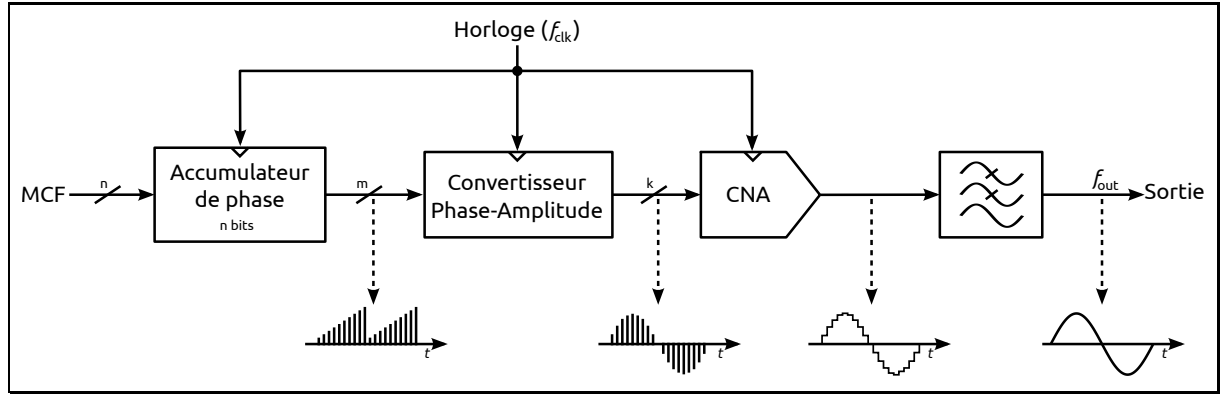


FIGURE 1.27 – Schéma de principe d'un DDS

ii Utilisation du DDS en diviseur fractionnaire

D'après l'équation (1.19), le DDS peut être utilisé comme un diviseur de fréquence dont le signal à diviser correspond à l'horloge. On a alors l'équation :

$$f_{\text{out}} = \frac{f_{\text{clk}}}{N_{\text{DDS}}} \quad ; \quad \text{avec} \quad N_{\text{DDS}} = \frac{2^n}{\text{MCF}} \quad (1.20)$$

avec n la taille de l'accumulateur du DDS. Dans la suite du document, nous appellerons un DDS de n bits, un DDS dont l'accumulateur est de n bits. Nous pouvons faire une remarque sur la non-linéarité du rapport de division en fonction de MCF. La figure 1.28 est un exemple de l'évolution du rapport de division pour un DDS 9 bits. Pour tous les MCF dont la valeur est une puissance de 2, N est alors entier. Pour toutes les autres valeurs possibles de MCF (comprises entre 0 et 2^{n-1}), la division est fractionnaire. En faisant varier MCF, on a une variation de la fréquence de sortie donnée par l'équation :

$$\Delta f_{\text{out}} = \frac{\Delta \text{MCF}}{2^n} f_{\text{clk}} \quad \implies \quad \Delta f_{\text{out}} = \frac{f_{\text{clk}}}{2^n} \quad (1.21)$$

Le DDS peut donc être utilisé comme diviseur de fréquence fractionnaire dans une PLL.

La propriété de division du DDS incombe au fonctionnement de l'accumulateur. Le reste du DDS est utilisé pour mettre en forme le signal que l'on souhaite recréer. Après la conversion phase amplitude, le signal converti en analogique par le CNA, ainsi que le filtrage qui suit, permettent de réaliser une interpolation du croisement par zéro [23], détecté par le PFD de la PLL qui, dans la majorité des cas, fonctionne par détection des fronts. Cette interpolation permet de diminuer grandement l'erreur de phase décrite sur la figure 1.19. Il en résulte une très bonne réduction de l'amplitude des raies (figure 1.31). Les diagrammes temporels d'un DDS donnés dans la figure 1.29 montrent cette interpolation de phase qui a lieu après filtrage du signal sorti du CNA.

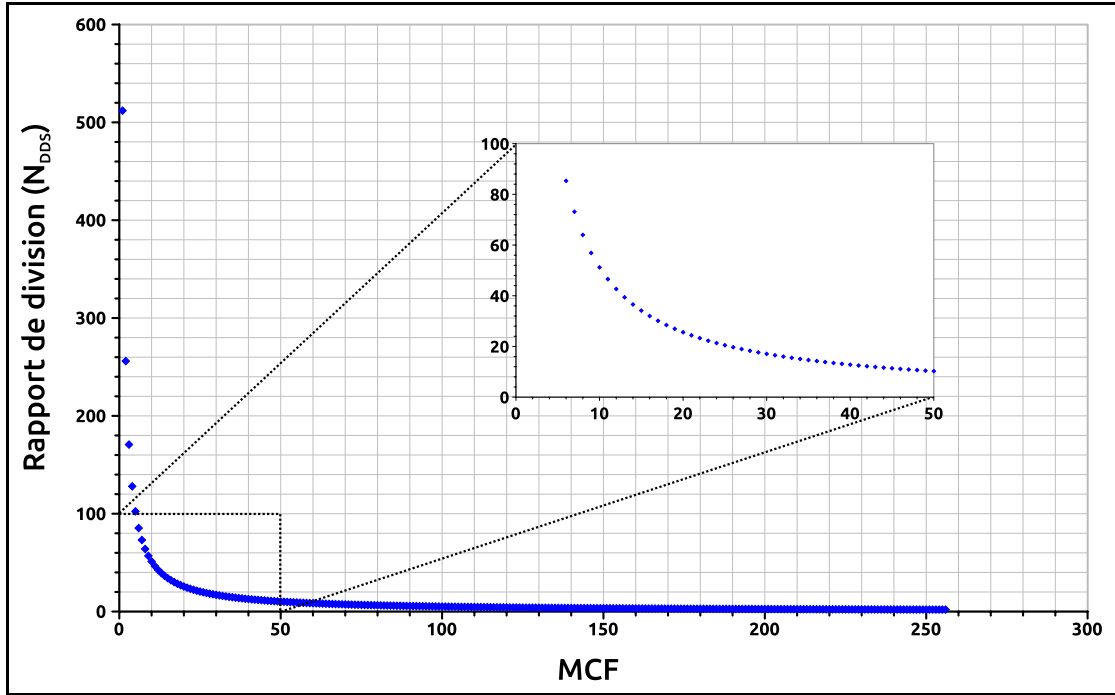


FIGURE 1.28 – Évolution du rapport de division d'un DDS 9 bits

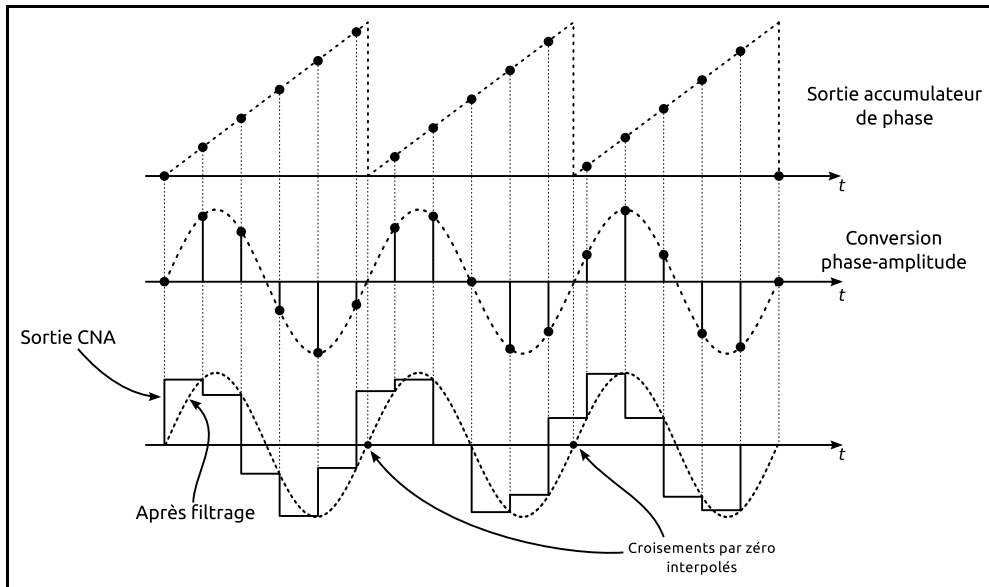


FIGURE 1.29 – Diagrammes temporel d'un DDS montrant l'interpolation de phase

1.6.5 Comparaison des différentes structures

Il est intéressant et nécessaire de comparer ces différentes structures, mais pour ce faire, il faut impérativement réaliser une comparaison pour des rapports de division strictement identiques. En effet, au sein d'une même structure, le contenu parasite en sortie du diviseur est différent pour deux rapports de division fractionnaires différents, vu que les périodicités sont différentes (sauf cas particulier). Nous avons donc modélisé et simulé ces différentes structures afin de s'assurer de la similitude des conditions de simulation.

1.6.5.1 Comparaison spectrale

La figure 1.30 représente le schéma de simulation avec différents cas de diviseurs fractionnaires. Pour chaque cas, la sortie du diviseur fractionnaire est comparée avec la sortie d'un diviseur fractionnaire idéal à l'aide d'un PFD, permettant ainsi de récupérer un signal d'erreur de phase défini dans les figures 1.19 et 1.20. Ce signal est intéressant à observer, car c'est lui qui, après filtrage, correspond au signal de contrôle du VCO lorsqu'on est dans la configuration d'une PLL.

Le premier cas représente le fonctionnement classique, décrit au § 1.6.4.1, à la différence que là, l'accumulateur n'est pas utilisé pour piloter un diviseur $N/N + 1$: la sortie fractionnaire est récupérée directement sur le bit de poids fort (MSB¹). Ce cas permet de se comparer directement avec le quatrième, correspondant à l'utilisation d'un DDS (accumulateur + reconstruction de signal) qui permet d'effectuer de l'interpolation d'erreur de phase. Le deuxième cas permet de montrer l'effet de randomisation de la séquence binaire qui contrôle le diviseur $N/N + 1$.

Une suite de séquences binaires différentes a été générée, dont chaque séquence a une valeur moyenne correspondant à la valeur fractionnaire voulue. Le troisième cas correspond au modulateur $\Sigma\Delta$. Un modèle de MASH-111 ($\Sigma\Delta$ d'ordre 3) avec une sortie quantifiée sur 3 bits contrôle un diviseur multi-module. Le MASH-111 retourne huit valeurs entières comprises entre -3 et $+4$.

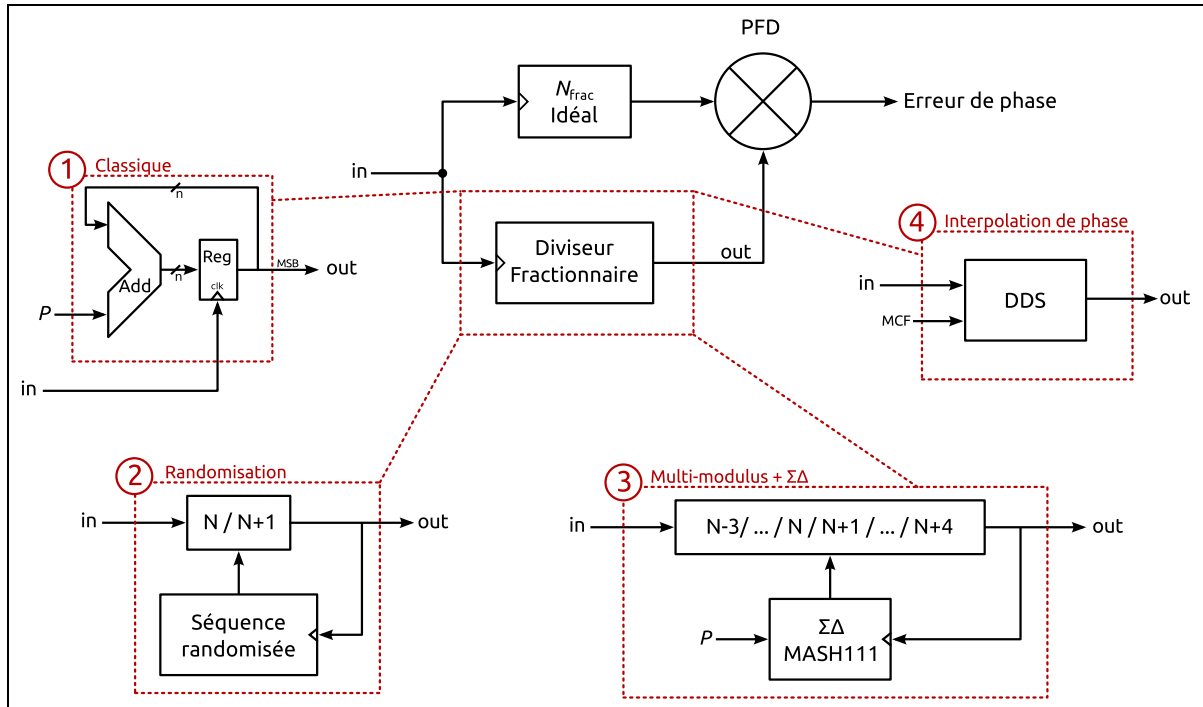


FIGURE 1.30 – Schéma de simulation de l'erreur de phase de la division fractionnaire pour différentes techniques

Les figures 1.31 et 1.32 représentent les spectres de l'erreur de phase dans les différents cas pour une valeur fractionnaire identique. Ces spectres rendent compte de l'effet de chaque

1. Most Significant Bit

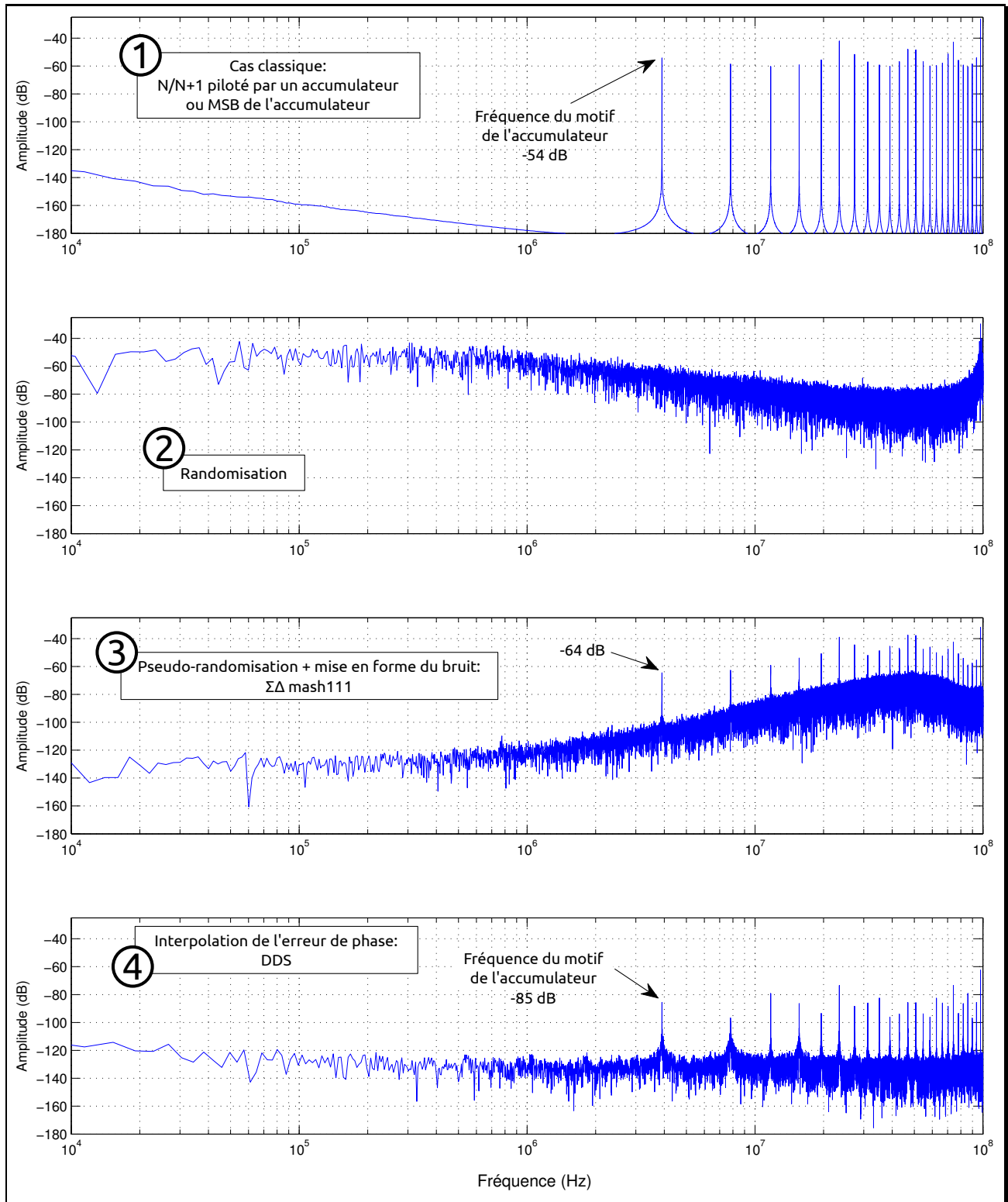


FIGURE 1.31 – Comparaison des spectres de l'erreur de phase pour différentes techniques de division fractionnaire

division fractionnaire en sortie du diviseur [19], en termes de bruit de phase et de signaux parasites. La figure 1.32 permet de mieux comparer les différentes techniques.

L'inconvénient de la structure classique ① est que l'amplitude des raies est très élevée et très difficile à filtrer par le filtre de boucle de la PLL. L'effet de la randomisation des rangs de division

élimine totalement les raies parasites en transformant ces raies en bruit (②). Cependant, le niveau de bruit est très élevé à basse fréquence. À la différence du $\Sigma\Delta$ (③) où l'on voit bien l'effet de mise en forme du bruit, avec du bruit très faible en basses fréquences et rehaussé vers les fréquences supérieures. Le fonctionnement du $\Sigma\Delta$ implique quelques raies parasites, mais le choix de sa structure, de l'ordre choisi ou encore l'ajout d'une randomisation permet de s'en affranchir [14, 24]. L'utilisation du DDS (④), pour obtenir une diminution de l'erreur de phase, montre des performances intéressantes en diminuant l'amplitude des raies tout en ayant un plancher de bruit bas.

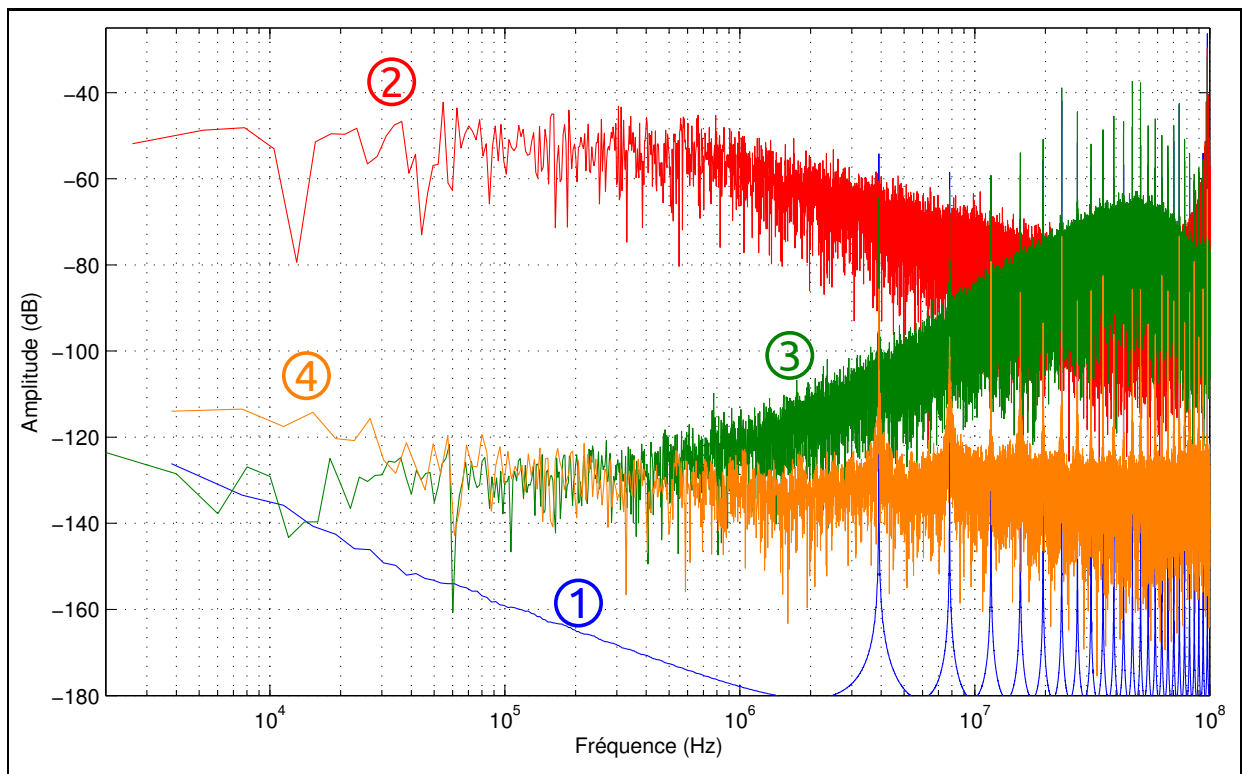


FIGURE 1.32 – Comparaison des spectres de l'erreur de phase pour différentes techniques de division fractionnaire

1.6.5.2 Limitations de la bande passante de la PLL

L'utilisation d'un modulateur $\Sigma\Delta$ affiche des propriétés intéressantes grâce à sa mise en forme du bruit. Par contre, pour être efficace, la remontée de bruit vers les plus hautes fréquences doit être filtrée par le filtre de boucle de la PLL pour ne pas dégrader le spectre de sortie du VCO asservi. Cette caractéristique impose une limite à la bande passante de la PLL. Pour illustrer l'influence de la bande passante, une modélisation en langage VerilogA d'une PLL fractionnaire a été faite avec les caractéristiques décrites dans la figure 1.33. Deux cas de diviseur fractionnaire ont été traités : le $\Sigma\Delta$ (Ⓐ) et le DDS (Ⓑ). Pour des raisons de temps de simulation, le rapport de division du diviseur n'est que de 10,24 ce qui explique une fréquence de référence de 1 GHz. De plus, les diviseurs utilisés sont dans les mêmes conditions que la simulation présentée au § 1.6.5.1. La figure 1.34 est le résultat de simulation décrit dans la figure 1.33 pour deux valeurs

de bande passante dans chaque cas. À gauche, une représentation temporelle de l'évolution de la fréquence de la sortie de la PLL, et à droite le spectre associé. L'évolution de la fréquence en fonction du temps est une traduction directe de la commande en tension appliquée au VCO après filtrage du signal d'erreur.

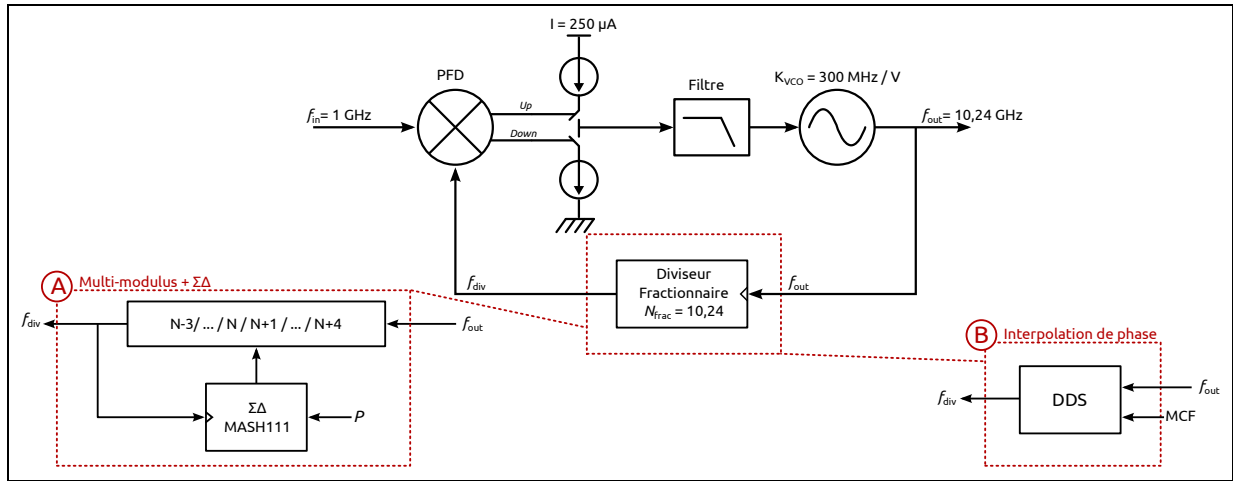


FIGURE 1.33 – Limite de la bande passante de la PLL fractionnaire : schéma de simulation

1.6.5.3 Résumé des principales structures de diviseur fractionnaire

Les principales techniques de division fractionnaire, avec leurs avantages et inconvénients, sont résumées tableau 1.2.

Technique / Structure	Caractéristique / Avantage	Inconvénient
Classique (accumulateur)	Très simple, bonne résolution	Grande amplitude des raies parasites
Compensation d'erreur de phase	Suppression des raies parasites par un DAC	Sensible aux variations technologiques et à la température
Randomisation	Suppression totale des raies parasites	Bruit de phase élevé proche de la porteuse
$\Sigma\Delta$	Mise en forme du bruit : modulation du rapport de division	Bruit difficile à filtrer. Limite la bande passante de la PLL
Interpolation de l'erreur de phase	Bonne réduction des raies parasites et faible bruit	Rapport de division non linéaire

TABLE 1.2 – Techniques de division fractionnaire

1.6.6 Conclusion

Ce chapitre a mis en avant l'objectif de ces travaux de thèse, qui concerne la synthèse de fréquence d'une chaîne d'émission-réception d'une antenne plane aéroportée à dépointage électronique. Notre souhait d'adresser des plans de fréquences aussi diversifiés que possible, et celui de compenser la dérive en fréquence des signaux, émis ou reçus, à cause de l'effet Doppler

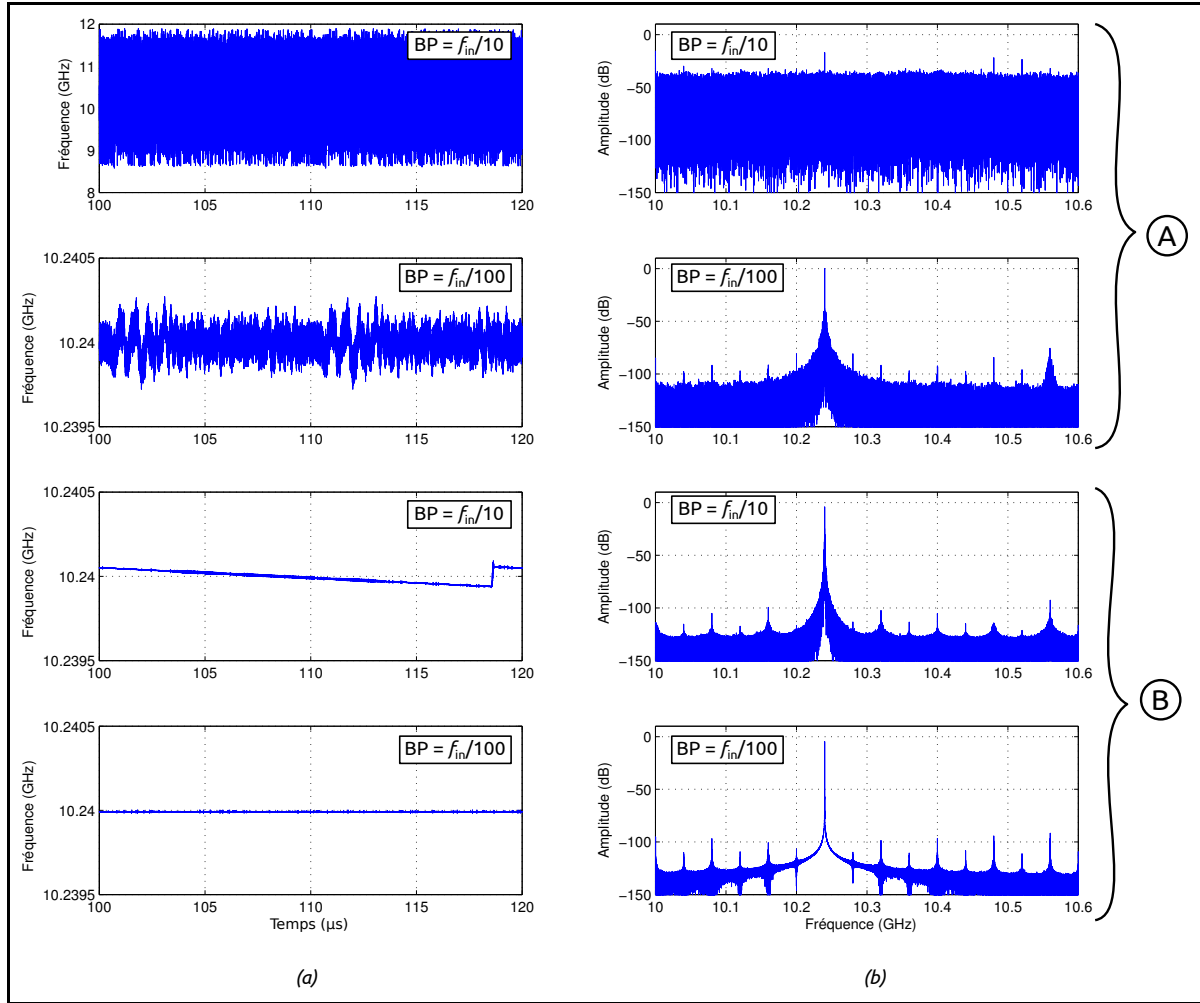


FIGURE 1.34 – Simulation PLL-fractionnaire pour différentes bandes passantes : (a) fréquence de sortie ; (b) Spectre de sortie

engendré par le mouvement de l'avion par rapport au satellite, nous oriente vers l'étude d'un synthétiseur de fréquence haute résolution. Après avoir rappelé les bases théoriques de la PLL, il apparaît clairement intéressant d'utiliser un diviseur fractionnaire sur la chaîne de retour de celle-ci afin d'améliorer la résolution fréquentielle (bruit de phase amélioré, bande passante augmentée, etc.). Cependant, la division fractionnaire amène des raies parasites qui peuvent être plus ou moins atténuées suivant la structure choisie décrite à travers une étude bibliographique. Parmi les solutions existantes, la plus utilisée est le contrôle d'un diviseur double ou multi-module par un modulateur $\Sigma\Delta$, mais son utilisation impose une limite à la bande passante de la PLL encore plus basse que dans le cas d'une PLL entière, alors qu'un des avantages de la division fractionnaire est justement de pouvoir conserver cette bande passante (d'une PLL entière) tout en augmentant la résolution fréquentielle. Au travers d'une comparaison de la pureté spectrale de l'erreur de phase ainsi que celle en sortie de la PLL pour différentes bandes passantes, il a été montré les très bons résultats issus de l'utilisation d'un DDS comme diviseur fractionnaire, solution peu exploitée jusqu'à présent, qui a été retenue puis améliorée dans cette thèse. Reste à savoir si une solution à base de DDS peut répondre également à nos attentes en

terme de résolution. C'est ce qui est traité dans le chapitre 3.

Références bibliographiques du chapitre 1

- [1] Gérard MARAL. *VSAT Networks*. Second Edition. John Wiley & Sons, Ltd, 2003, p. 77 (cf. p. 24).
- [2] Keliu Shu ; Edgar SANCHEZ-SINENCIO. *CMOS PLL Synthesizers : Analysis and Design*. Springer, 2005 (cf. p. 26, 27, 29, 32).
- [3] Cicero S. VAUCHER. *Architectures for RF Frequency Synthesizers*. Springer, 2002 (cf. p. 27, 32, 35, 36).
- [4] Dean BANERJEE. *PLL Performance, Simulation, and Design*. 4th Edition. 2006 (cf. p. 31, 38).
- [5] S. GODET, E. TOURNIER, O. LLOPIS, A. CATHELIN et J. JUYON. « A Baseband Ultra-Low Noise SiGe :C BiCMOS 0.25 μm Amplifier and its Application for an On-Chip Phase-Noise Measurement Circuit ». Dans : *Silicon Monolithic Integrated Circuits in RF Systems, 2009. SiRF '09. IEEE Topical Meeting on*. 2009, p. 1–4 (cf. p. 31).
- [6] F. GARDNER. « Charge-Pump Phase-Lock Loops ». Dans : *Communications, IEEE Transactions on* 28.11 (1980), p. 1849 –1858 (cf. p. 32).
- [7] Vincent LAGARESTE. « Contribution à l'étude de nouvelles architectures de synthétiseur de fréquence ». Thèse de doct. Université Bordeaux I, 2006 (cf. p. 33).
- [8] Mathilde SIÉ. « Synthétiseur de fréquence monolithiques micro-ondes à 10 et 20 GHz en technologies BiCMOS SiGe 0,25 et 0,35 μm ». Thèse de doct. Université Paul Sabatier de Toulouse, 2004 (cf. p. 33–35).
- [9] William F. EGAN. *Frequency Synthesis by Phase Lock*. Second Edition. Wiley Inter-Science, 1999 (cf. p. 37, 41).
- [10] Yu-Che YANG, Shih-An YU, Tao WANG et Shey-Shi LU. « A dual-mode truly modular programmable fractional divider based on a 1/1.5 divider cell ». Dans : *Microwave and Wireless Components Letters, IEEE* 15.11 (2005), p. 754 –756 (cf. p. 37).
- [11] Charles A. KINGSFORD-SMITH. « Device for synthesizing frequencies which are rational multiples of a fundamental frequency ». Brev. 3928813. 1975 (cf. p. 40).
- [12] B. MILLER et R.J. CONLEY. « A multiple modulator fractional divider ». Dans : *Instrumentation and Measurement, IEEE Transactions on* 40.3 (1991), p. 578 –583 (cf. p. 40).
- [13] W. RHEE et A. ALI. « An on-chip phase compensation technique in fractional-N frequency synthesis ». Dans : *Circuits and Systems, 1999. ISCAS '99. Proceedings of the 1999 IEEE International Symposium on*. T. 3. 1999, 363 –366 vol.3 (cf. p. 41).
- [14] F. ZARKESHVARI, P. NOEL et T. KWASNIEWSKI. « PLL-based fractional-N frequency synthesizers ». Dans : *System-on-Chip for Real-Time Applications, 2005. Proceedings. Fifth International Workshop on*. 2005, p. 85 –91 (cf. p. 41, 42, 44, 49).

- [15] Ulrich L. ROHDE. *Digital PLL Frequency Synthesizers - Theory and Design*. Prentice Hall, 1983 (cf. p. 41).
- [16] C. WHEATLEY. « Digital frequency synthesizer with random jittering for reducing discrete spectral spurs ». Dans : *US Patent 4,410,954* (1983) (cf. p. 42).
- [17] V. REINHARDT et I. SHAHRIARY. « Spurless fractional divider direct digital frequency synthesizer and method ». Dans : *US Patent 4,815,018* (1989) (cf. p. 42).
- [18] N. REGIMBAL, Y. DEVAL, F. BADETS et J.-B. BEGUERET. « A random-based fractional-N frequency divider for spurious tones cancellation ». Dans : *Electronics, Circuits, and Systems (ICECS), 2010 17th IEEE International Conference on*. 2010, p. 1076 –1079 (cf. p. 42).
- [19] T.A.D. RILEY, M.A. COPELAND et T.A. KWASNIEWSKI. « Delta-sigma modulation in fractional-N frequency synthesis ». Dans : *Solid-State Circuits, IEEE Journal of* 28.5 (1993), p. 553 –559 (cf. p. 43, 48).
- [20] Pin-En SU et S. PAMARTI. « Fractional- N Phase-Locked-Loop-Based Frequency Synthesis : A Tutorial ». Dans : *Circuits and Systems II : Express Briefs, IEEE Transactions on* 56.12 (2009), p. 881 –885 (cf. p. 43).
- [21] Bram De MUER et M.S.J. STEYAERT. « On the analysis of Delta ; Sigma ; fractional-N frequency synthesizers for high-spectral purity ». Dans : *Circuits and Systems II : Analog and Digital Signal Processing, IEEE Transactions on* 50.11 (2003), p. 784 –793 (cf. p. 44).
- [22] Bar-Giora GOLDBERG. *Digital frequency synthesis demystified*. LLH Technology Publishing, 1999 (cf. p. 44).
- [23] Yi-Da WU, Chang-Ming LAI, Chao-Cheng LEE et Po-Chiun HUANG. « A Quantization Error Minimization Method Using DDS-DAC for Wideband Fractional-N Frequency Synthesizer ». Dans : *Solid-State Circuits, IEEE Journal of* 45.11 (2010), p. 2283 –2291 (cf. p. 45).
- [24] K. SHU, E. SANCHEZ-SINENCIO, F. MALOBERTI et U. EDURI. « A comparative study of digital Sigma ; Delta ; modulators for fractional-N synthesis ». Dans : *Electronics, Circuits and Systems, 2001. ICECS 2001. The 8th IEEE International Conference on*. T. 3. 2001, 1391 –1394 vol.3 (cf. p. 49).

Chapitre 2

Conception d'une PLL

2.1 Introduction

Nous avons montré dans le chapitre 1 notre intérêt à concevoir un diviseur de fréquence fractionnaire pour obtenir une synthèse haute résolution. Plutôt que de débiter directement par la conception d'une PLL fractionnaire, nous avons, dans un premier temps, mené la conception d'une PLL à rapport de division entier. Cette PLL sera ensuite utilisée comme base pour l'intégration d'un diviseur fractionnaire.

Les blocs d'une PLL de test ont donc été conçus : VCO, PFD, pompe de charges, diviseur entier. Cependant, du fait de l'intérêt naissant pour la bande de fréquence Ka dans le cadre d'un autre projet, il nous a été demandé que les premières versions du VCO intégré dans la PLL couvrent une bande de fréquence entre 18 GHz et 19 GHz. Ce n'est qu'ensuite que nous avons pu recentrer nos efforts sur la bande Ku dans le cadre de FAST. Le diviseur de fréquence élémentaire, de rapport fixé à 256, a été fait pour pouvoir fermer la boucle et valider le fonctionnement des différents sous-systèmes avant l'insertion du diviseur fractionnaire en fin de conception.

2.2 Le VCO

Après avoir mis en place tout l'environnement de conception, la prise en main du « design kit » d'IBM s'est fait au travers de la conception du VCO, première fonction que nous avons conçue. Il s'agit d'un circuit critique de la PLL, car non seulement c'est lui qui fonctionne à la plus haute fréquence, mais il est de plus très sensible aux différents éléments parasites (capacités, résistances, inductances, couplages électromagnétiques) qui viennent dégrader le facteur de qualité du résonateur et modifier la plage de fréquences de sortie. Une grande attention doit alors être apportée au dessin des masques afin, sinon de minimiser ces éléments parasites, du moins d'en cadrer l'influence.

Avant de parler de la structure d'oscillateur choisie et de sa conception, il est intéressant d'effectuer un petit tour d'horizon des principes existants.

2.2.1 Principales structures d'oscillateurs

On trouve dans la littérature beaucoup de structures différentes pour réaliser des oscillateurs et donc des VCO. Pour résumer, il existe trois grandes familles d'oscillateurs : les oscillateurs à relaxation (multivibrateurs) utilisés pour des applications basses fréquences, les oscillateurs en anneaux et les oscillateurs à résonateurs, ces deux derniers étant largement utilisés pour les applications RF. Réalisés par une mise cascade d'un nombre impair d'inverseurs (figure 2.12), les oscillateurs en anneaux ont alors l'avantage d'une facilité d'intégration car ils ne nécessitent pas d'éléments extérieurs ou imposants comme pour les oscillateurs à résonateurs. Leur principal défaut est leur performance en bruit de phase [1]. Pour les applications RF nécessitant des fonctionnements hautes fréquences avec de bonnes performances en bruit, les meilleurs candi-

datés sont les oscillateurs à résonateurs. Dans le cadre du projet FAST, l'objectif du tout intégré à faible coût et faible bruit nous oriente directement vers les VCO à résonateurs intégrés LC. Bien que les VCO utilisant des résonateurs externes à fort coefficient de qualité comme les résonateurs SAW («Surface Acoustic Wave») et BAW [2, 3] («Bulk Acoustic Wave») permettent d'obtenir de meilleures performances en bruit de phase, les VCO à résonateur LC gardent l'avantage d'une meilleure facilité d'intégration tout en ayant des performances convenables [4] (de l'ordre de -110 dBc/Hz @ 1 MHz pour des VCO autour de 19 GHz). On peut choisir soit des structures simples avec une seule sortie (Colpitts simple (figure 2.1), Pierce simple, etc), soit des structures équilibrées avec deux sorties différentielles (paires croisées (figure 2.2), push-push, etc).

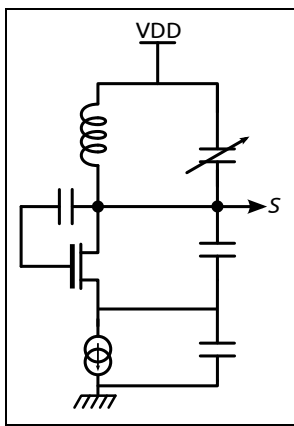


FIGURE 2.1 – VCO LC simple (exemple : Colpitts simple)

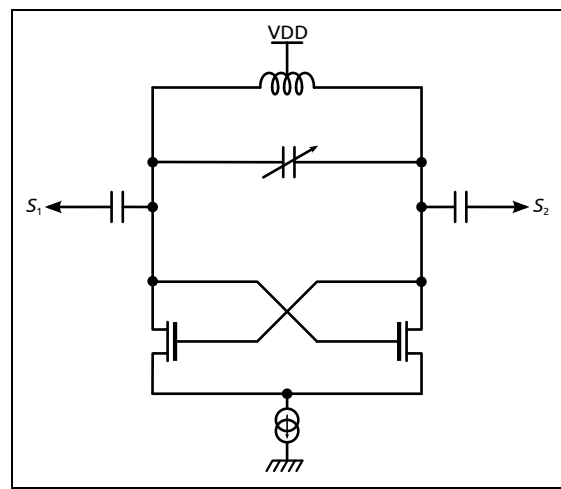


FIGURE 2.2 – VCO LC équilibré (exemple : VCO paire différentielle croisée)

2.2.2 Caractéristiques du VCO

Chaque application a ses exigences concernant les caractéristiques du VCO. En général, pour y répondre, on doit jouer sur des compromis car certaines caractéristiques essentielles du VCO sont en conflit les unes avec les autres. Par exemple, il est difficile d'augmenter la gamme de fréquences tout en diminuant le bruit de phase.

Les principales caractéristiques du VCO sont les suivantes :

- le bruit de phase : il traduit la pureté du signal généré. Les performances en bruit dépendent du coefficient de qualité du résonateur, de la taille des composants (les gros transistors sont moins bruyants), de la polarisation (en général on améliore le bruit de phase en augmentant les courants de polarisation), etc.
- la plage en fréquence : le VCO doit être capable de couvrir la bande de fréquence souhaitée.
- la linéarité : afin de simplifier le design, on cherche à avoir le K_{VCO} le plus linéaire possible, la fonction de transfert d'une PLL étant le plus souvent calculée avec l'approximation d'un K_{VCO} constant.

- le « pushing » : il représente la sensibilité de la fréquence générée par le VCO à une variation de tension d'alimentation, et donc à son bruit.
- le « pulling » : il représente la sensibilité de fréquence à une variation de l'impédance de la charge en sortie.
- la consommation : on la souhaite la plus faible possible.

2.2.3 VCO paire différentielle croisée

La structure retenue est celle d'un VCO à paire différentielle croisée représenté figure 2.3. Cette structure a été choisie car sa sortie différentielle est prévue pour être connectée à un mélangeur différentiel conçu par ailleurs. Un autre avantage de cette structure, est la possibilité de former un VCO avec quatre sorties en quadrature en mettant simplement deux VCO de ce type, judicieusement interconnectés [5]. Le cœur du circuit est composé d'un résonateur LC (en pointillés) et d'un amplificateur à résistance négative (en tirets) qui vient compenser les pertes énergétiques du résonateur. Une estimation de la fréquence d'oscillation f_{osc} peut être calculée à partir des éléments du résonateur, c'est-à-dire à partir de la valeur de l'inductance L et des capacités C_1 , C_2 , C_{var} , C_{par} et C_π . C_π représente la capacité d'entrée (base-émetteur) des transistors amplificateurs T_1 et T'_1 . C_{par} représente la somme des capacités parasites amenées lors de la conception (capacités de couplage entre les pistes de connexion). La fréquence d'oscillation est donnée par :

$$f_{osc} = \frac{1}{2\pi\sqrt{LC_{eq}}} \quad \text{avec} \quad C_{eq} = C_{par} + \frac{C_2 C_{var}}{C_2 + C_{var}} + \frac{C_1 C_\pi}{C_1 + C_\pi} \quad (2.1)$$

La polarisation de la base des transistors amplificateurs est gérée de manière indépendante grâce au pont de résistances R_1 et R_2 . Le miroir de courant formé par les transistors T_3 et T_4 permet d'imposer un courant de polarisation de l'amplificateur, modifiable via l'entrée V_{Bias} . Un étage émetteur suiveur pour chaque sortie est réalisé par deux montages collecteurs communs (transistors T_2 et T'_2) qui permettent de connecter une charge en sortie du VCO sans venir dégrader le résonateur par l'appel de courant résultant. On améliore ainsi le «pulling» tout en autorisant simultanément la mesure sur 50Ω .

La variation de fréquence du VCO est rendue possible par la modification de la capacité équivalente C_{eq} grâce à des diodes varicap C_{var} placées en série avec deux capacités fixes C_2 . Ces capacités C_2 jouent deux rôles :

- améliorer le coefficient de qualité du résonateur. En effet, pour une tension de contrôle V_{Tune} donnée, il est important de minimiser les variations de la tension aux bornes des diodes varicap pour éviter une variation de la capacité résultante du résonateur. Rajouter ces capacités fixes couplées aux deux résistances R_0 permet de fixer un potentiel à l'anode des varactors et d'y avoir des amplitudes d'oscillation plus faible [6].
- obtenir un K_{VCO} positif, c'est-à-dire qu'une augmentation de la tension de contrôle engendre une augmentation de la fréquence d'oscillation. Ce n'est pas un problème en soi,

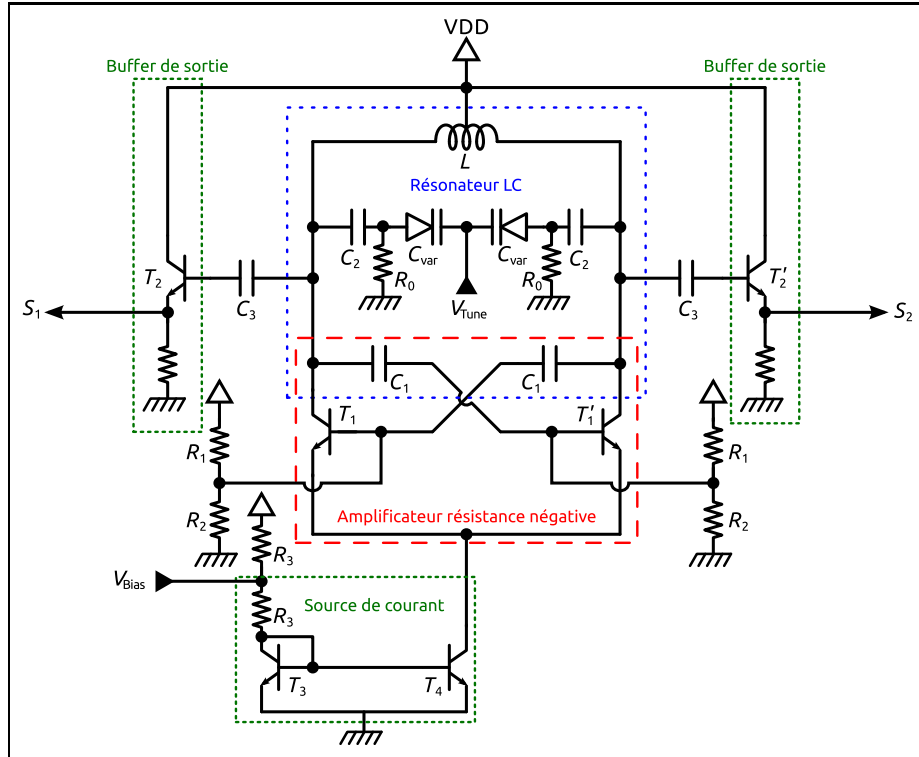


FIGURE 2.3 – Architecture de l'oscillateur contrôlé en tension (VCO)

mais sans C_2 le sens des diodes varicap doit être changé pour les garder polarisées en inverse. Le K_{VCO} est, dans ce cas, négatif.

2.2.4 Conception du VCO

Plusieurs versions de VCO ont été réalisées, et trois RUN technologiques ont été nécessaires afin de maîtriser totalement le kit de la technologie IBM, tout nouveau au démarrage de cette thèse. Notamment, l'extracteur de parasites, ainsi que la simulation monte-carlo, non fonctionnels et mal renseignés dans les premières documentations fournies avec le kit, étaient mal utilisés et ne rendait pas bien compte de l'effet des éléments parasites, et des dispersions technologiques ce qui conduisait à un écart significatif entre simulation et mesure.

D'une version à l'autre d'un VCO, beaucoup d'améliorations ont été apportées et il est difficile ici de tout expliciter. Nous nous limitons alors à un travail synthétique qui tente néanmoins d'en retranscrire les améliorations majeures.

2.2.4.1 Premiers résultats de simulations

Initialement nous nous sommes intéressés à la conception de deux VCO. Le premier utilisant des transistors MOS (appelé « VCO MOS » par la suite), et le deuxième avec des transistors bipolaires (appelé « VCO bipolaire »), afin d'en comparer les caractéristiques (consommation, bruit, etc). La priorité que nous avons fixée sur les performances en bruit de phase tout en couvrant la bande de fréquence 18 GHz - 19 GHz nous a orientés vers la structure à base de

transistors bipolaires. En effet, les simulations menées en parallèle sur ces deux versions de VCO nous ont rapidement montré de meilleurs résultats en bruit de phase pour le VCO bipolaire, comme on peut le voir sur les figures 2.4 et 2.5. Ces deux courbes retranscrivent les premiers résultats de simulation du bruit de phase, pour la même gamme de fréquences, entre les deux versions de VCO. Nous avons $-97 \text{ dBc/Hz} @ 1 \text{ MHz}$ pour le « VCO MOS » contre $-109 \text{ dBc/Hz} @ 1 \text{ MHz}$ pour le « VCO bipolaire ». Ce résultat était attendu, et nous nous sommes donc focalisés rapidement sur le « VCO bipolaire ».

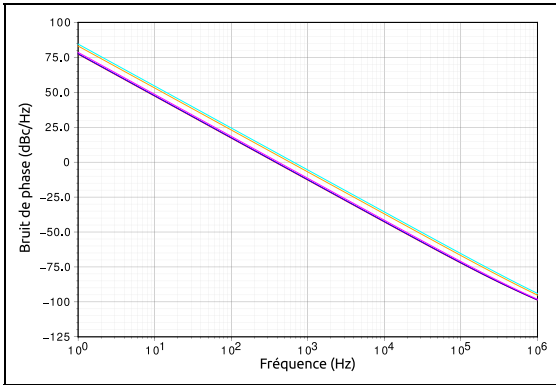


FIGURE 2.4 – *Bruit de phase simulé du « VCO MOS »*

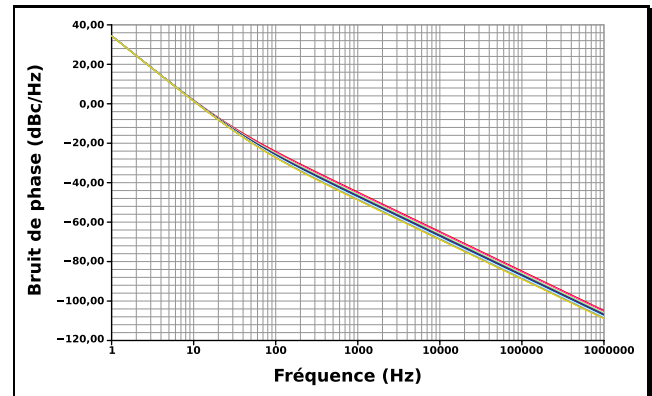


FIGURE 2.5 – *Bruit de phase simulé du « VCO bipolaire »*

2.2.4.2 Réalisation du VCO

i Première réalisation

Une première réalisation du « VCO bipolaire » est représentée par la photographie de la figure 2.6. Afin d'obtenir les performances en bruit de phase de la simulation de la figure 2.5, nous avons joué essentiellement sur la taille des transistors, en les augmentant de manière significative. Avec le design kit d'IBM, le seul paramètre de réglage des transistors bipolaires modélisés est la longueur de l'émetteur, qui de plus est limitée à $18 \mu\text{m}$. Pour obtenir des transistors encore plus gros, nous avons ensuite joué sur leur multiplicité, qui consiste à les dupliquer et à les connecter en parallèle. Cependant, les règles de dessin du fondeur imposent une distance minimale de $6 \mu\text{m}$ entre chaque structure de transistor bipolaire, ce qui vient rapidement nuire à la surface d'intégration du circuit. La photographie 2.6 représente la première version réalisée, et met bien en évidence la place occupée par le cœur du circuit. En général, le cœur d'un VCO reste plus petit que la surface occupée par l'inductance. Vu la place occupée par les transistors, de grandes lignes d'accès RF ont dû être tracées pour connecter les différents composants du circuit (encadrées en rouge sur la photographie). Ces pistes d'accès RF avaient été faites suffisamment large pour ne pas écraser la valeur de l'inductance, mais n'avaient pas été modélisées. Malheureusement, en mesure, le VCO était bloqué à 14 GHz , soit 4 GHz en dessous de la valeur souhaitée, et la commande en tension n'avait aucun effet. Nous avons supposé que la cause principale était ces pistes RF, qui représentent des surfaces importantes,

impliquaient de grandes capacités parasites rendant négligeable la contribution des varactors. Cela pourrait expliquer ce gros décalage en fréquence ainsi que le non-fonctionnement de la commande en tension. Par faute de temps nous n'avons pas poussé nos investigations à ce sujet, surtout qu'en parallèle IBM nous a fourni une documentation spécifique aux règles de conception « layout » recommandés pour que les modèles des composants du schéma soient corrects, les erreurs à éviter, etc. Nous avons donc choisi de laisser de côté cette version pour une nouvelle entièrement refaite en tenant compte de ces nouvelles recommandations. Mais avant de nous lancer dans une seconde version, nous avons dû prendre du temps pour arriver à faire fonctionner l'extracteur de parasites, nécessaire à la bonne prédiction de la mesure.

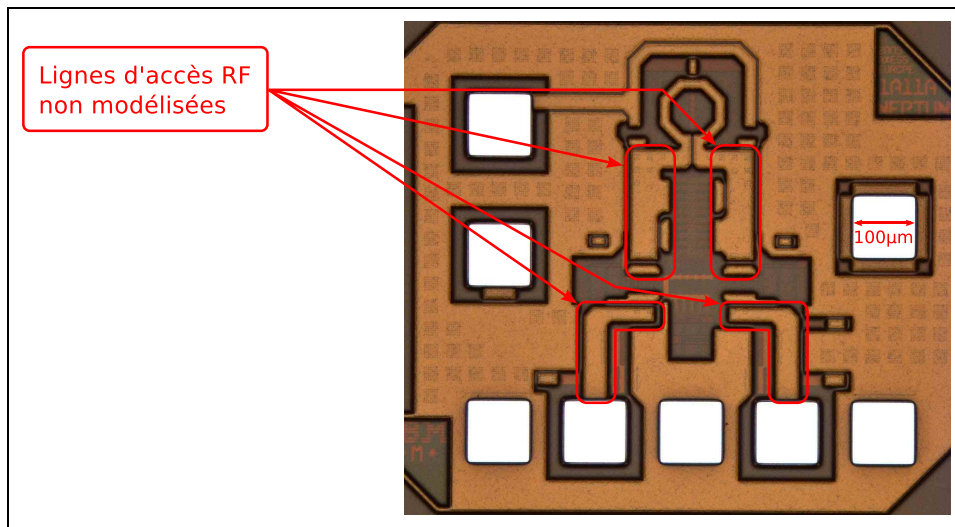


FIGURE 2.6 – Photographie du premier « VCO bipolaire »

ii Deuxième réalisation

Le design kit d'IBM offre, dans sa bibliothèque de composants, différentes lignes RF déjà modélisées, que nous nous sommes efforcés d'utiliser pour les accès à l'inductance et de la sortie des buffers vers les PAD (photographie 2.8). Afin de réduire la surface occupée par le cœur du circuit, nous avons choisi de diminuer la multiplicité des transistors en la ramenant de 10 à 5. Leurs interconnexions s'en trouvent largement simplifiées et génèrent donc moins de parasites. En même temps, les valeurs de l'inductance et des capacités du résonateur ont été réadaptées pour bien couvrir la bande (18 – 19) GHz. La figure 2.7 montre les résultats de simulation du schéma et du « layout » (schéma + extraction de parasites) et de mesures de la puce. Nous avons prévu de concevoir le comparateur phase/fréquence ainsi que la pompe de charges de la PLL en CMOS, car ils fonctionnent à basse fréquence, et qu'avec ce « design kit » les circuits CMOS sont prévus pour fonctionner avec une alimentation ne dépassant pas 1,2 V (alors que le VCO bipolaire est alimenté en 2,4 V). Bien que la mesure montre le contraire, et nous allons y revenir plus bas, notre objectif est donc de couvrir la bande (18 – 19) GHz pour un V_{tune} compris entre 0 V et 1,2 V donc pilotable à partir de circuits CMOS.

Après extraction des parasites de cette deuxième version, nous avons constaté en simulation un décalage en fréquence de plus de 1,5 GHz par rapport au schéma (figure 2.7). Nous avons pu identifier la principale cause de ce décalage : il s'agit des capacités parasites entre la base et le collecteur des transistors T_1 et T'_1 de l'amplificateur à résistance négative (représentés sur la figure 2.3). Nous avons tenté d'optimiser les connexions des transistors pour minimiser au maximum les surfaces métalliques en regard, mais cela n'était pas suffisant. Les parasites ne pouvant pas être supprimés en totalité, il aurait alors fallu changer les paramètres des éléments du schéma (inductance et capacités dans notre cas) et modifier le layout en conséquence, afin que la gamme de fréquences souhaitée soit obtenue *avec* la prise en compte de ces parasites incontournables. Cependant, les modifications n'ont pas pu être réalisées à temps étant donné la proximité du RUN, et même si la simulation layout montre qu'on ne couvre pas la bande de fréquence souhaitée, nous avons quand même envoyé cette version du VCO en fabrication, afin de valider, par la mesure, l'extraction des parasites.

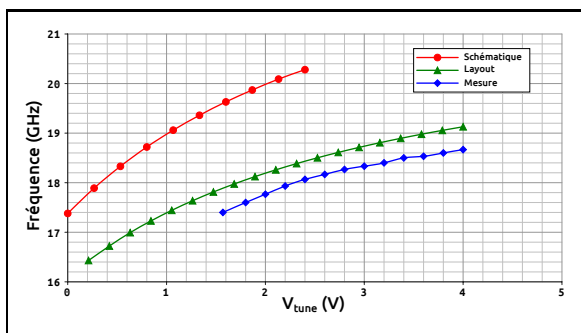


FIGURE 2.7 – Commande en tension du deuxième « VCO bipolaire »

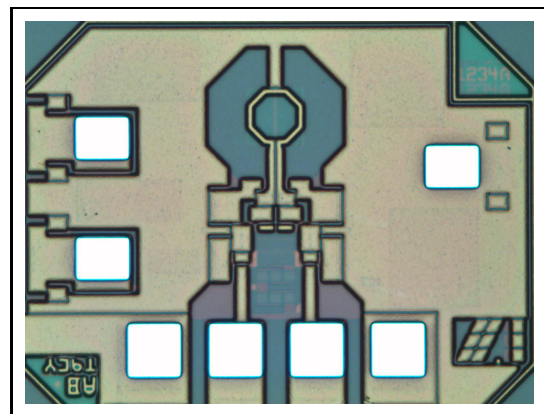


FIGURE 2.8 – Photographie du deuxième « VCO bipolaire »

Les mesures du VCO, réalisées sous pointes, nous ont permis de mettre en évidence un problème lié à l'alimentation du circuit. Pour obtenir un circuit fonctionnel, il nous a fallu l'alimenter sous une tension de 3 V au lieu de 2,4 V. Mais comme la consommation de courant est la même qu'en simulation, cela signifie qu'il y a trop de pertes résistives. De plus nous avons pu obtenir des oscillations seulement à partir d'une tension de contrôle de 1,5 V (figure 2.7) ce qui ne convient pas étant donné que souhaitons couvrir la bande de fréquences pour une tension de contrôle entre 0 V et 1,2 V. Néanmoins, la mesure montre bien qu'à partir d'une tension de contrôle de 1,5 V, nous sommes plutôt en accord avec la simulation du layout. On constate bien encore un petit décalage en fréquence : l'extraction des parasites ne peut pas les prendre tous en comptes mais permet de se rapprocher de la réalité. De plus les dispersions technologiques engendrent aussi des dérives par rapport à la simulation, qui n'ont pas été prises en compte ici. Nous avons apporté des correctifs pour une troisième version du VCO.

iii Troisième réalisation

Le problème d'alimentation a été résolu en augmentant le nombre de « vias », qui permettent de passer d'une couche métallique à l'autre, et le nombre de contacts.

Le dysfonctionnement du deuxième VCO pour un V_{tune} entre 0 V et 1,5 V (figure 2.7) s'explique aussi par des pertes résistives trop importantes dans le résonateur, qui ne sont pas suffisamment compensées par la résistance négative.

Finalement, pour essayer d'assurer cette troisième version, nous avons choisi de supprimer définitivement la multiplicité des transistors, qui si elle était une alternative à la taille limite des transistors modélisés n'apportait que des difficultés de routage du « layout », et donc des éléments parasites. Nous avons ainsi choisi de mettre de côté l'optimisation en bruit. La surface occupée par le cœur du circuit se retrouve également largement diminuée (figure 2.11).

Les paramètres du résonateur ont aussi été modifiés, car nous avons cherché à couvrir une bande de fréquences plus large pour être sûrs de couvrir la bande de fréquences souhaitée malgré les parasites de conception et les dispersions technologiques. Le résultat est donné par la figure 2.9. Le décalage fréquentiel est largement réduit entre la simulation et la mesure et surtout nous pouvons couvrir la bande (18 – 19) GHz pour une tension V_{tune} entre 0,35 V et 0,8 V.

Pour une commande en tension de 0 V à 2,4 V, on a une variation de 17,1 GHz à 21,73 GHz ce qui représente un K_{VCO} de 1,93 GHz/V. Le cœur du VCO consomme 8,4 mW. En sortie, grâce aux « buffers », nous obtenons une puissance de -2 dBm en simulation et -6 dBm en mesure (sans compter les pertes des câbles et des pointes). En prenant en compte ces buffers, la consommation est de 35,4 mW. Les mesures sont donc bien en accord avec les simulations.

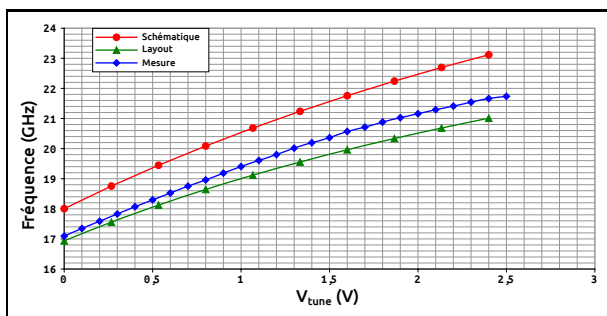


FIGURE 2.9 – Commande en tension du troisième « VCO bipolaire »

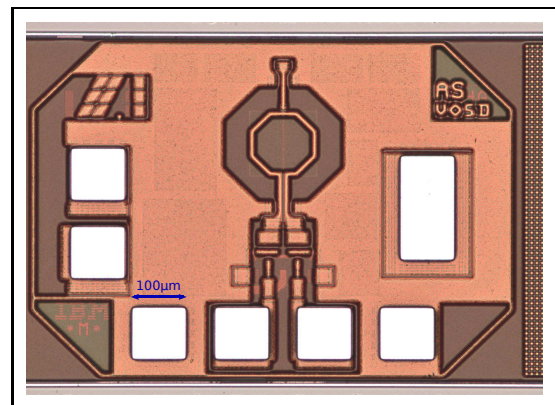


FIGURE 2.10 – Photographie du troisième « VCO bipolaire »

Les principales caractéristiques de ce VCO sont données dans le tableau 2.1, en comparaison avec d'autre VCO en bande K de la littérature.

Il est délicat de comparer de manière rigoureuse deux VCO entre eux, surtout lorsque chacun est optimisé pour une caractéristique différente de l'autre. On sait par exemple que l'augmentation de la largeur de bande dégrade automatiquement le bruit de phase, qui peut alors être

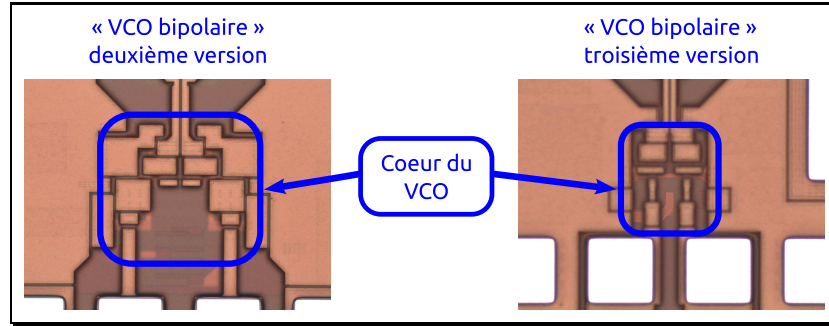


FIGURE 2.11 – Comparaison de taille des « VCO bipolaires » deuxième et troisième version

amélioré en augmentant la consommation. Les performances en bruit dépendent aussi de la fréquence d'utilisation : plus la fréquence est élevée, plus le bruit de phase sera élevé. Comme on cherche toujours à obtenir le VCO le plus large bande possible avec le bruit le plus faible possible et la consommation la plus faible possible, il faut donc faire des compromis. Au final, pour comparer les VCO entre eux, il est impératif de prendre en considération ces différents paramètres dans des proportions adéquates afin qu'un VCO optimisé pour une caractéristique reste comparable à un VCO optimisé pour une autre caractéristique. Cette comparaison s'effectue au travers d'un facteur de mérite, dont il existe plusieurs formules [7, 8, 9, 10, 11]. Ce facteur de mérite permet de classer les VCO sur une base comparable malgré des optimisations différentes conduisant à des performances différentes. La formule qui semble être la plus utilisée est la suivante :

$$\text{FDM}_1 = L(f_c) - 20 \log \left(\frac{f_0}{f_c} \right) + 10 \log(P_{\text{DC}}) \quad (2.2)$$

Ce facteur de mérite prend en considération le bruit de phase $L(f_c)$ à la distance f_c de la fréquence centrale f_0 (1.4), la fréquence centrale, et la puissance consommée P_{DC} . Cependant ce facteur de mérite ne prend pas en considération la plage d'accord qui est pourtant une caractéristique importante. On trouve alors une formule plus complète tirée de la première et qui est la suivante [11, 12, 13] :

$$\text{FDM}_2 = \text{FDM}_1 + 20 \log \left(\frac{f_0}{\Delta f_{\text{tune}}} \right) \quad (2.3)$$

Il semble plus intéressant encore d'y rajouter la puissance disponible en sortie, car la présence d'un « buffer » nécessaire à obtenir une puissance de sortie convenable joue considérablement sur la consommation, et il devient alors possible de nous comparer aux VCO qui n'ont pas à justifier de leur faible consommation par leur faible puissance de sortie due à l'absence d'un « buffer ». La puissance de sortie étant directement prélevée sur l'alimentation, nous proposons ici un facteur de mérite qui découle des deux premiers :

$$\text{FDM}_3 = L(f_c) - 20 \log \left(\frac{f_0}{f_c} \right) + 10 \log \left(\frac{P_{\text{DC}}}{P_{\text{out}}} \right) + 20 \log \left(\frac{f_0}{\Delta f_{\text{tune}}} \right) = \text{FDM}_2 - 10 \log(P_{\text{out}}) \quad (2.4)$$

Nous sommes comparables à l'état de l'art, mais il est intéressant de noter que la plupart des réalisations de la littérature sont en technologie CMOS. Il est facile d'obtenir de meilleures performances en simulation de la schématique avec l'utilisation de transistors bipolaires, mais dans la pratique, les contraintes au niveau du layout le pénalisent. Les MOS offrent beaucoup plus d'avantages à ce niveau : ils ont une capacité d'intégration nettement supérieure aux bipolaires, peuvent être collés les uns aux autres tout en respectant les règles de dessin et être augmentés facilement en taille sans augmenter considérablement la surface du circuit puisqu'il n'est pas nécessaire de jouer sur la multiplicité. Au final, l'utilisation des transistors MOS pour un VCO à ces fréquences reste plus intéressante. De plus, le K_{VCO} est très élevé, ce qui le rend très sensible aux variations de la tension de contrôle et a un impact sur son bruit de phase. Pour diminuer encore le K_{VCO} tout en conservant la plage de fréquence souhaitée, une méthode très largement utilisée consiste à commuter numériquement sur différentes valeurs de capacités qui constituent le résonateur [14, 15, 16] afin de diminuer le gain du VCO. Cela permet d'améliorer le facteur de qualité du résonateur et donc les performances en bruit de phase [17, 18].

Ref	Technologie	Fréquence centrale (GHz)	Plage d'accord (GHz)	P_{DC}	P_{out} (dBm)	Bruit de phase (dBc/Hz)	FDM ₁ (dBc/Hz)	FDM ₂ (dBc/Hz)	FDM ₃ (dBc/Hz)
[19]	CMOS 0,18 μm	29,9	29,8 – 30 (0,67 %)	27 mW	-7	-105,5 @ 1 MHz	-188	-144,5	-137,5
[20]	CMOS 0,13 μm	27,175	26,85 – 27,5 (2,4 %)	14,6 mW	-3,85	-113 @ 1 MHz	-190	-157,57	-153,72
[21]	BiCMOS SiGe 0,25 μm	15,055	13,1 – 17,01 (26 %)	40 mW	-10	-103,4 @ 1 MHz	-170	-158	-148
[22]	CMOS 0,18 μm	23,645	22,5 – 24,79 (9,7 %)	35,73 mW	-7,95	-111 @ 1 MHz	-183	-162,72	-154,77
[13]	CMOS 0,18 μm	13,72	13,31 – 14,12 (6 %)	4,05 mW	-6	-113,8 @ 1 MHz	-190,2	-166	-162,5
[17]	CMOS 65 nm	14	13 – 15 (14,3 %)	10,8 mW	-	-133 @ 3 MHz	-196	-179	-
[23]	CMOS 0,18 μm	21,37	1,09 (5,1 %)	3,5 mW (sans buffer)	-8,56	-109,8 @ 1 MHz	-191	-165,8	-157,24
[4]	CMOS 0,18 μm	18,95	18,6 – 19,3 (3,58 %)	3,3 mW (sans buffer)	-12	-110,82 @ 1 MHz	-192,2	-162,53	-150,53
[15]	CMOS 65 nm	18,7	17,36 – 20,15 (15 %)	5,98 mW	-	-98 @ 1 MHz	-176	-159	-
notre VCO	BiCMOS SiGe 0,13 μm	19,4	17,1 – 21,73 (26 %)	35,4 mW	-2	-100 @ 1 MHz (simulé)	-170,3	-157,85	-155,85

TABLE 2.1 – Comparaison avec l'État de l'art de différents VCO en bande K

2.3 Le diviseur de fréquence

Le diviseur de fréquence est placé dans la chaîne de retour de la PLL (figure 1.7). Nous avons développé un premier diviseur de fréquence, de rapport fixé à $N = 256$, afin de pouvoir tester tous les blocs constitutifs de la PLL dans une configuration bouclée avant intégration du diviseur fractionnaire. Les diviseurs de fréquence sont majoritairement de nature numérique [24], et fonctionnent en entrée à la fréquence du VCO (haute fréquence) et en sortie à la fréquence de la référence (basse fréquence). Il est nécessaire de s'intéresser aux différentes implémentations possibles de circuits logiques jusqu'aux fréquences RF.

2.3.1 Circuits logiques pour la RF

Pour les applications numériques RF, il existe deux grandes familles de circuits logiques : la logique CMOS (Complementary MOS) et la logique différentielle CML/ECL (Current Mode Logic / Emitter Coupled Logic). La logique CMOS est la plus utilisée, car elle permet une grande densité d'intégration. En revanche, sa fréquence d'utilisation reste limitée à quelques GHz (§ 2.3.1.1). Sa consommation, faible en basse fréquence, augmente sensiblement en gamme RF. Pour fonctionner à des fréquences encore plus hautes, on a recours à la logique CML ou ECL.

2.3.1.1 Logique CMOS

La logique CMOS s'est largement imposée dans les circuits numériques actuels. Simple à la conception, n'utilisant que des NMOS et PMOS (figure 2.13) qui fonctionnent comme des interrupteurs commandés par la grille, elle permet de réaliser des circuits complexes pour de très faibles surfaces d'intégration (ex : les microprocesseurs), et ce pour de faibles coûts. Les niveaux logiques sont éloignés (dans l'idéal, respectivement égaux à la tension d'alimentation et à la masse), ce qui favorise les marges de bruits mais qui contrarie la montée en fréquence. Le temps de propagation, principalement pénalisé par les capacités de grille des transistors, explique la limite en fréquence de cette technologie. Cependant, les évolutions rapides des procédés de fabrication ont permis de réduire les tailles des transistors et donc les capacités de grille de manière significative, permettant à la logique CMOS d'avoir toute sa place dans le domaine RF.

Le temps de propagation dans une porte logique varie en fonction du type de porte utilisé ainsi que du nombre de portes connectées à la sortie de celle-ci. Une méthode simple pour évaluer le potentiel en fréquence d'une technologie donnée est de regarder la fréquence d'oscillation d'un nombre impair de portes inverseuses montées en oscillateur en anneau, comme le montre la figure 2.12 avec 3 inverseurs. Dans notre cas, la technologie IBM 0,13 μm conduit à une fréquence (en simulation) de 10,026 GHz ; ce qui donne un temps de propagation pour un inverseur de 16,6 ps.

2.3.1.2 Logiques à paire différentielle (CML/ECL)

Les logiques CML et ECL reposent sur un étage différentiel dans lequel le fonctionnement des transistors reste le même qu'en analogique et ne s'interprète pas en interrupteur fermé ou ouvert comme dans le cas de la logique CMOS. De plus, les signaux mis en jeu sont d'amplitude réduite afin de favoriser la montée en fréquence. Le principe de fonctionnement des logiques CML et ECL peut être décrit à partir de la figure 2.14. Une légère modification de la conduction des transistors permet de déséquilibrer la structure d'un côté ou de l'autre. L'entrée se fait sur une paire différentielle polarisée par une source de courant constant (ou une simple résistance comme dans les implémentations ECL normalisées). Dans le cas particulier de la figure 2.14,

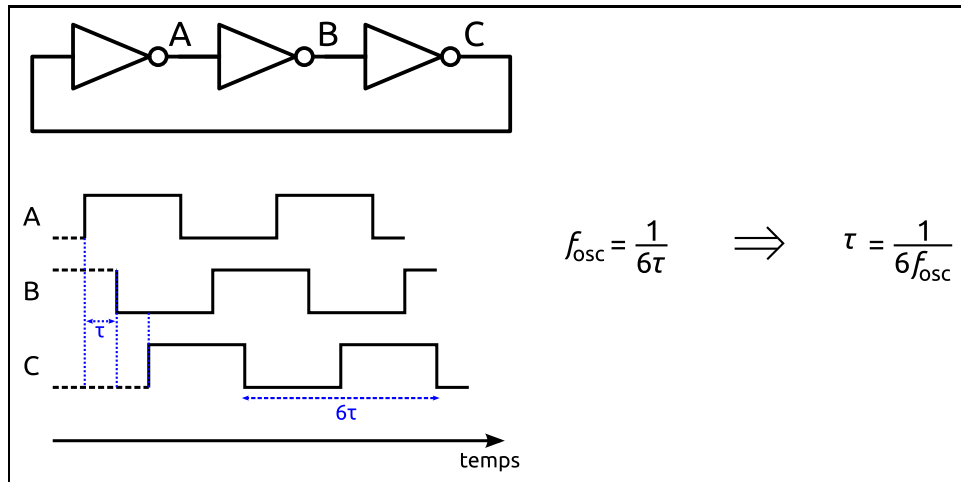
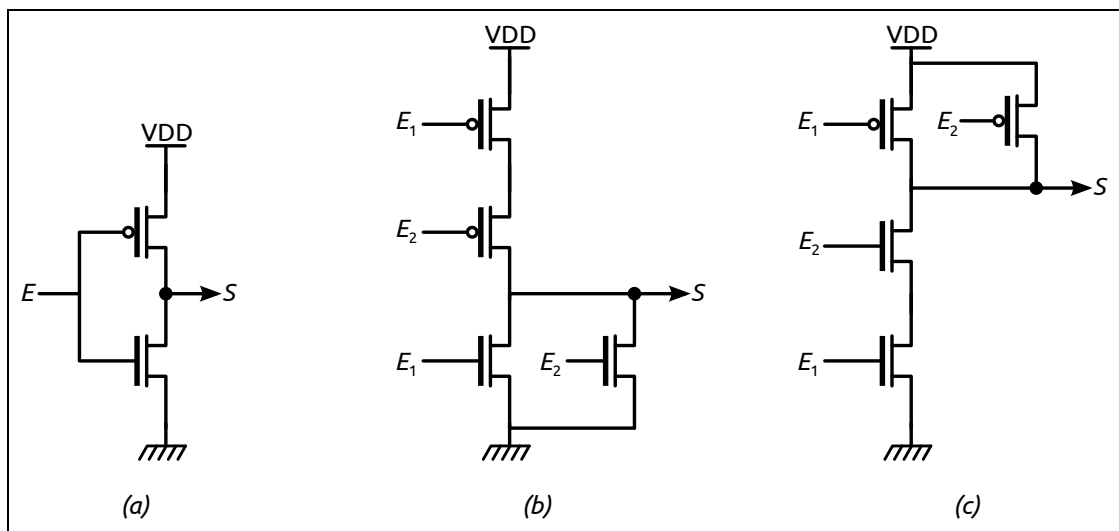
FIGURE 2.12 – Détermination du temps de propagation τ d'un inverseur

FIGURE 2.13 – Portes logiques élémentaires en CMOS : (a) Inverseur ; (b) NOR ; (c) NAND.

la base de l'une des branches est fixée à un potentiel de référence V_{ref} , et l'autre est l'entrée logique E . Le niveau logique haut de E doit être supérieur à V_{ref} et le niveau logique bas de E doit être inférieur à V_{ref} . Lorsque E est à l'état bas, le transistor T_1 est alors « beaucoup moins passant » que le transistor T_2 . Dans ce cas, on a une plus grande part du courant I qui passe dans la branche de référence (à droite) et donc dans la résistance R associée, que dans l'autre branche : on a alors la chute de tension maximale à ses bornes ; donc la sortie S_1 associée est à l'état bas. La résistance R de l'autre branche de la paire différentielle (correspondant à l'entrée E) se voit traversée par un plus faible courant d'où une plus faible chute de potentiel à ses bornes conduisant la sortie $\overline{S_1}$ à l'état haut. Lorsque E est à l'état haut on a alors l'inverse : S_1 est à l'état haut et $\overline{S_1}$ à l'état bas.

Dans la logique ECL, ce fonctionnement doit se faire en évitant toute saturation de transistors, afin d'économiser les temps de stockage/déstockage de porteurs dans la base associés à l'état de mise en saturation/désaturation qui ralentissent la commutation [25]. Des suiveurs (transistors T_3 et T_4 en collecteur commun) sont alors nécessaires pour polariser les collecteurs

de T_1 et T_2 , c'est-à-dire S_1 et $\overline{S_1}$, à un potentiel toujours supérieur à leur base, tout en assurant des niveaux de sortie S et \overline{S} alignés avec ceux de l'entrée E . Ces suiveurs permettent aussi d'isoler la bascule des appels de courant des étages pilotés à la suite. Ils sont par contre source de délai et de consommation supplémentaires, car eux aussi doivent être polarisés en permanence.

La logique CML part du principe qu'avec les technologies les plus récentes, ce qui est gagné en temps grâce à la non-saturation des transistors n'est plus forcément significatif par rapport à ce qui est perdu en délai dans les suiveurs qui sont ajoutés, qui de plus augmente significativement la consommation. Elle s'économise donc les suiveurs et bien sûr la consommation associée. Pour notre part nous avons quand même décidé de travailler avec la logique ECL qui apparaît plus rapide dans la technologie que nous utilisons, sachant qu'à terme une économie substantielle de consommation pourra être réalisée en passant sur une logique CML.

Pour comparer à la logique CMOS en termes de temps de propagation (figure 2.12), la même expérience a été réalisée avec un inverseur ECL, sans optimisation particulière : la fréquence d'oscillation de l'oscillateur en anneau formé par 3 inverseurs ECL est de 35,11 GHz, ce qui donne un temps de propagation de 4,75 ps, soit presque 4 fois plus rapide qu'en CMOS.

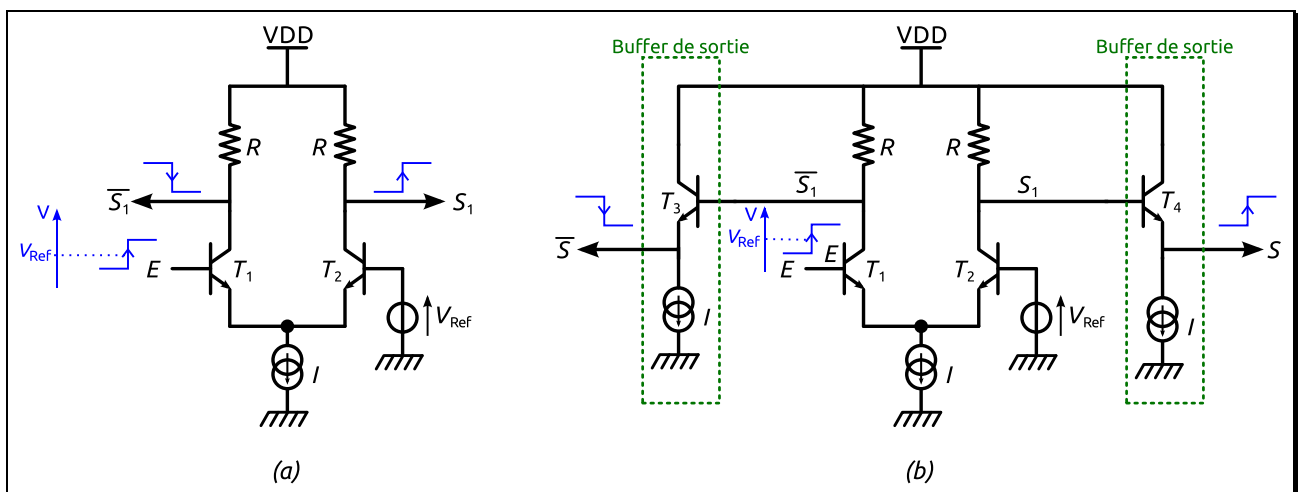


FIGURE 2.14 – Inverseur en logique différentielle : (a) Inverseur CML ; (b) Inverseur ECL.

2.3.1.3 Logique ECL multi-niveaux

Dans la logique ECL classique (un seul niveau), chaque fonction logique est plutôt réalisée par combinaison de portes élémentaires (OU / NON-OU et inverseuse) [26]. Le OU / NON-OU est réalisé à partir de l'inverseur en dupliquant le transistor d'entrée « E » dans la même branche. Ainsi, pour réaliser par exemple une porte ET, ou plus complexe, un OU-EXCLUSIF, il suffit de les décomposer de cette manière :

- Le ET : $A \cdot B = \overline{\overline{A} \cdot \overline{B}} = \overline{\overline{A} + \overline{B}}$ (deux inverseurs et un NON-OU).
- Le OU-EXCLUSIF : $A \oplus B = A \cdot \overline{B} + \overline{A} \cdot B = \overline{\overline{A} + B} + \overline{A + \overline{B}}$ (deux inverseurs et deux NON-OU et un OU).

La conception de circuit logique en ECL classique demande alors rapidement un nombre de portes de base assez conséquent, et donc une grande consommation. La mise en œuvre d'une logique multi-niveaux permet de diminuer grandement la complexité donc la consommation, car il devient possible de mettre en cascade un ou plusieurs transistors dans la même branche différentielle. De plus, on peut travailler avec des signaux différentiels, évitant ainsi l'utilisation du signal de référence V_{ref} . En reprenant l'exemple du OU-EXCLUSIF, la figure 2.15 montre un schéma de réalisation possible en logique ECL multi-niveaux et différentielle. Cette méthode de conception a été utilisée pour le diviseur fractionnaire décrit au chapitre suivant.

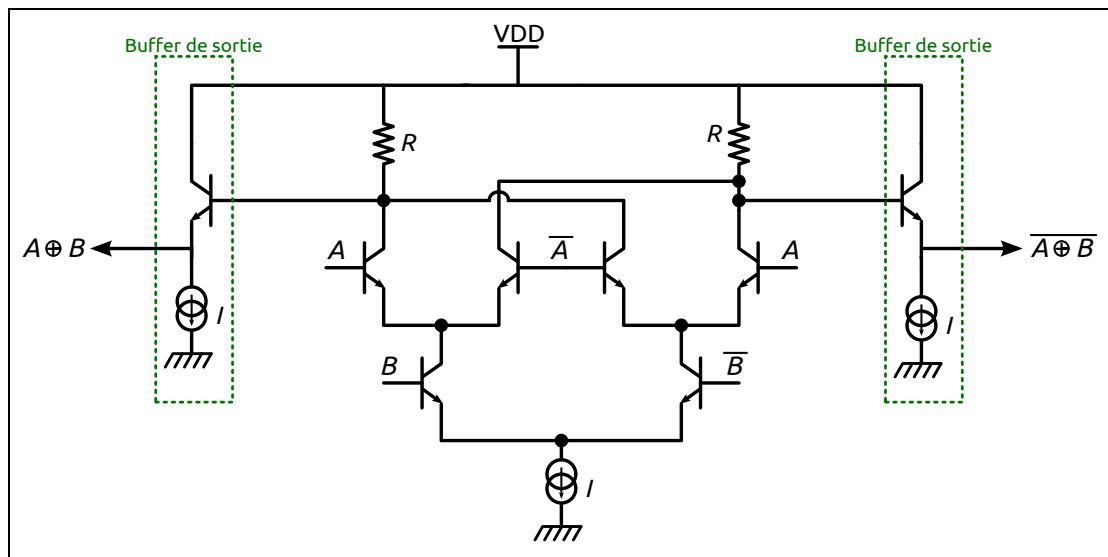


FIGURE 2.15 – OU-EXCLUSIF en ECL multi-niveaux

2.3.2 Conception du diviseur

Le diviseur est réalisé par une mise en cascade de diviseurs par 2, chacun d'entre eux étant constitué d'une bascule-D réagissant sur front (DFF¹) rebouclée sur elle-même (figure 2.16) : la sortie inverseuse \overline{Q} rebouclée sur l'entrée D. Cette bascule montée ainsi voit sa sortie Q changer d'état à chaque front d'horloge, ce qui a pour effet de diviser la fréquence du signal d'horloge par deux. Pour réaliser une bascule D sensible sur front, il faut utiliser deux verrous D (« D-Latch ») montés en série et connectés aux signaux d'horloge de façon complémentaires, comme le montre la figure 2.17.

La bascule DFF de la figure 2.17 est transformée en diviseur par 2 en reliant sa sortie Out avec l'entrée \overline{In} , et en reliant la sortie \overline{Out} avec l'entrée In. Pour obtenir un diviseur par 256 on met en série huit diviseurs par deux.

La conception du diviseur de fréquence a été séparée en trois parties : une partie a été faite en ECL, une autre partie en CMOS et la troisième partie est un circuit de transition pour passer de la logique ECL à la logique CMOS (figure 2.24). Le VCO délivre en effet un signal

1. D-FlipFlop

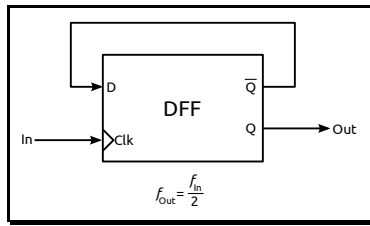


FIGURE 2.16 – Bascule D réagissant sur front montée en diviseur de fréquence par 2

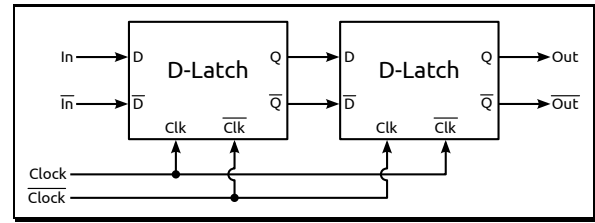


FIGURE 2.17 – Réalisation d'une bascule D sensible sur front (DFF)

ayant une fréquence autour de 19 GHz, et donc le diviseur doit être capable de fonctionner à cette fréquence. La technologie CMOS ne permettant pas de l'atteindre (maximum 3,5 GHz figure 2.23), les premiers étages ont été réalisés en logique ECL, et par souci de consommation, les autres étages ont été réalisés en CMOS à une fréquence plus basse. Le diviseur ECL assure une division par 16, ce qui conduit à une fréquence d'attaque du diviseur CMOS tolérable, autour de 1,2 GHz ($< 3,5$ GHz).

2.3.2.1 Diviseur ECL

Le diviseur de fréquence par 2 est réalisé à partir de la structure d'un verrou D (détaillée dans le chapitre suivant figure 3.15) comme le montre la figure 2.18. On voit qu'il s'agit d'une structure hybride CML/ECL, l'étage suivant de la première bascule ayant été retiré sans nuire significativement à la vitesse de fonctionnement. Par contre, l'étage suivant de la seconde a été conservé pour garantir une attaque en tension sur le diviseur suivant. Vu que l'objectif est de mettre en cascade quatre diviseurs par 2 pour réaliser le diviseur par 16, une seule cellule (diviseur par 2) est réalisée au niveau layout (figure 2.19), et est ensuite dupliquée : il n'y a plus qu'à faire les interconnexions. Chacun des étages est polarisé par une source de courant réalisée par un miroir MOS simple. Le potentiel V_b permet de modifier le courant de polarisation de manière externe pour éventuellement récupérer un dysfonctionnement en changeant le point de fonctionnement. Une place disponible dans le coin d'une puce, nous a permis d'y intégrer le diviseur ECL par 16 et son fonctionnement a été validé expérimentalement. La figure 2.20 en est une photo. On voit bien les deux accès différentiels d'entrée (à gauche) et de sortie (en haut). Ces deux accès sont représentés par quatre plots pour une mesure sous pointes différentielles GSSG. Le plot de droite est l'accès à la polarisation V_b de la source de courant. Si aucun potentiel V_b n'est imposé, le miroir de courant est à travers les résistances par l'alimentation de la puce. La figure 2.21 représente la simulation temporelle du dessin des masques après extraction des parasites pour un signal d'entrée (Clk) de 40 GHz. Les signaux de sortie affichent bien une fréquence de 2,5 GHz, et on peut voir que pour une période du signal de sortie, on compte 16 périodes du signal d'entrée.

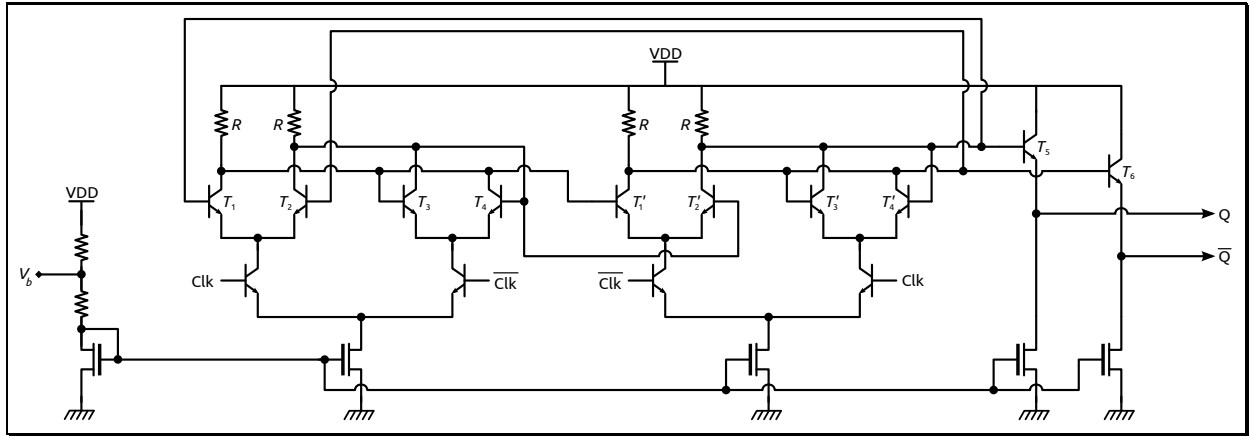


FIGURE 2.18 – Schéma du diviseur par 2 en logique ECL

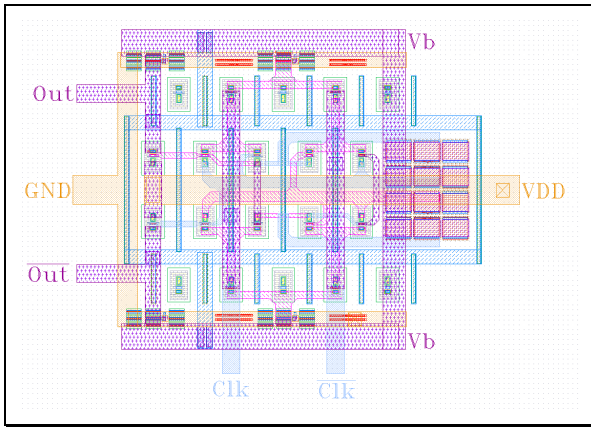


FIGURE 2.19 – Dessin des masques du diviseur par 2 en logique ECL

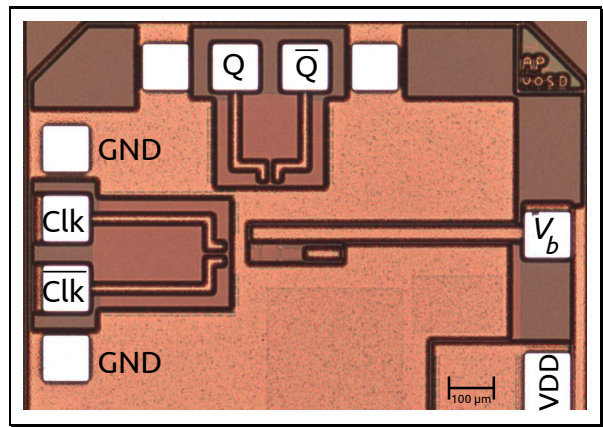


FIGURE 2.20 – Photo du diviseur par 16 en logique ECL

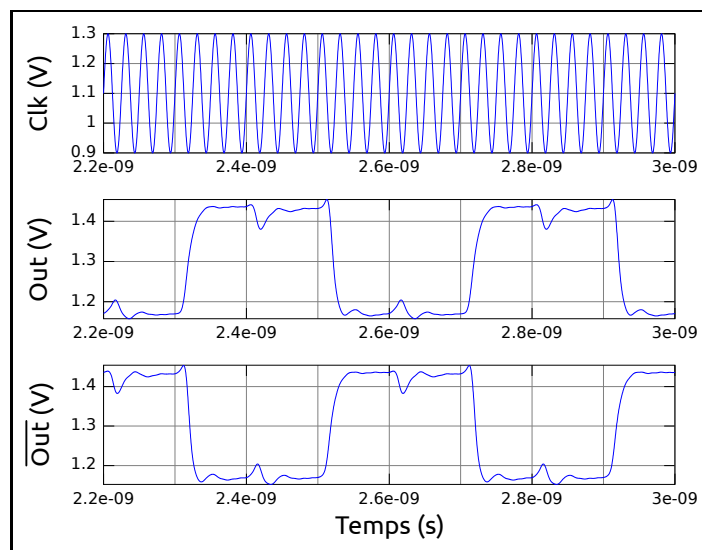


FIGURE 2.21 – Simulation du dessin des masques après extraction des parasites du diviseur par 16 en ECL

2.3.2.2 Diviseur CMOS

La figure 2.22 représente une structure de bascule D sensible sur front en logique CMOS. Pour transformer ce circuit en diviseur de fréquence par deux, il suffit de relier \bar{S} à D et de prendre la sortie sur S . Même principe que précédemment, on a bien deux verrous réagissant sur niveaux complémentaires de l'horloge mis l'un à la suite de l'autre. Chaque bascule est composée d'un inverseur commandé par l'horloge (cellule de lecture) et d'une cellule de mémorisation. Si on regarde la bascule « D-latch 1 », lorsque Clk est à l'état bas, on transfère alors l'entrée D inversée (\bar{D}) à l'entrée de la cellule de mémoire. On est donc en mode « lecture ». Lorsque Clk est à l'état haut, on est en mode « mémoire ». La mémorisation se fait par deux inverseurs rebouclés. La bascule « D-latch 2 » fonctionne donc à l'inverse : mode « lecture » à l'état haut de Clk et mode « mémoire » à l'état bas.

Comme pour le diviseur en logique ECL, quatre diviseurs sont mis en série pour obtenir un diviseur par 16. La limite en fréquence de ce diviseur est donnée par la limite du premier étage (diviseur par deux). La figure 2.23 permet d'estimer cette limite en simulation. Elle montre le rapport de division en fonction de la fréquence d'entrée. Le rapport de division n'est plus constant et égal à deux à partir de 3,6 GHz

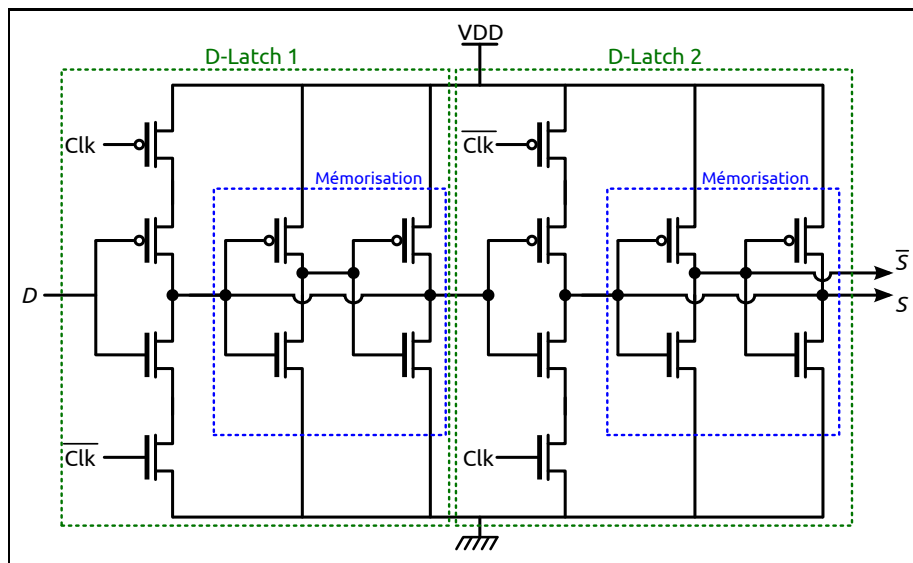


FIGURE 2.22 – Schéma d'une bascule D sensible sur front en logique CMOS

2.3.2.3 Passage de la logique ECL à la logique CMOS

Les niveaux logiques des technologies ECL et CMOS sont différents. Pour mettre en cascade ces deux diviseurs par 16 afin d'obtenir le diviseur par 256, il faut réaliser un circuit intermédiaire qui permet l'ajustement des niveaux logiques des circuits ECL vers ceux des circuits CMOS. Pour cela, il faut d'une part modifier l'excursion des signaux (différence entre le niveau haut et le niveau bas) et d'autre part ajuster le potentiel statique pour le situer au niveau de basculement. Si on regarde la simulation du diviseur ECL (figure 2.21), le niveau haut correspond à une

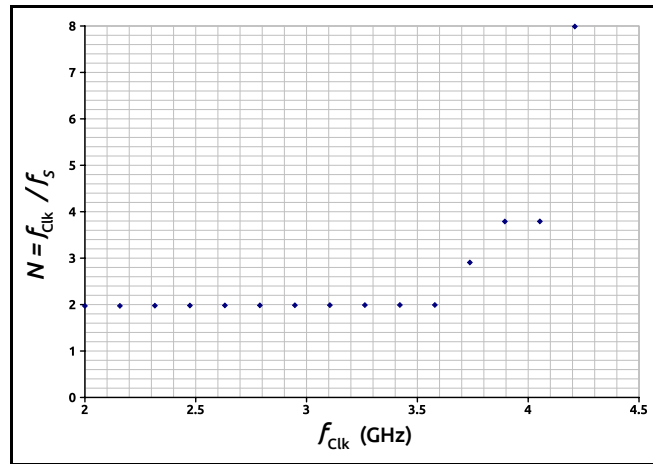


FIGURE 2.23 – Simulation de la limite en fréquence du diviseur par 2 en CMOS

tension de 1,45 V et le niveau bas à 1,15 V. Donc l'amplitude est de 300 mV et le niveau de basculement correspond à 1,3 V. Concernant la logique CMOS, le niveau haut se situe à la tension d'alimentation, soit 1,2 V qui est une limite imposée par le fondeur, et le niveau bas à la masse. Donc l'amplitude est de 1,2 V, et le seuil de basculement autour de 0,6 V (il dépend du rapport W/L des PMOS et NMOS utilisé). La figure 2.24 représente une structure possible qui a été implémentée. Le premier bloc (amplificateur différentiel) permet d'augmenter l'amplitude des signaux sortant des circuits ECL. On passe ainsi d'une amplitude de 300 mV à une amplitude de 1 V (très proche des niveaux du CMOS). Le deuxième bloc permet de modifier le potentiel statique, grâce aux deux ponts de résistances, pour se rapprocher du seuil de basculement des circuits CMOS (soit $VDD_2/2 = 0,6\text{ V}$). Les valeurs de la capacité de découplage et des résistances ont été déterminées pour garder une fréquence de coupure largement inférieure à la fréquence de sortie du premier diviseur, en maintenant la valeur de C la plus faible possible (pour limiter la surface d'intégration) et les valeurs de R_1 et R_2 les plus élevées possibles (pour limiter la consommation des branches de repolarisation).

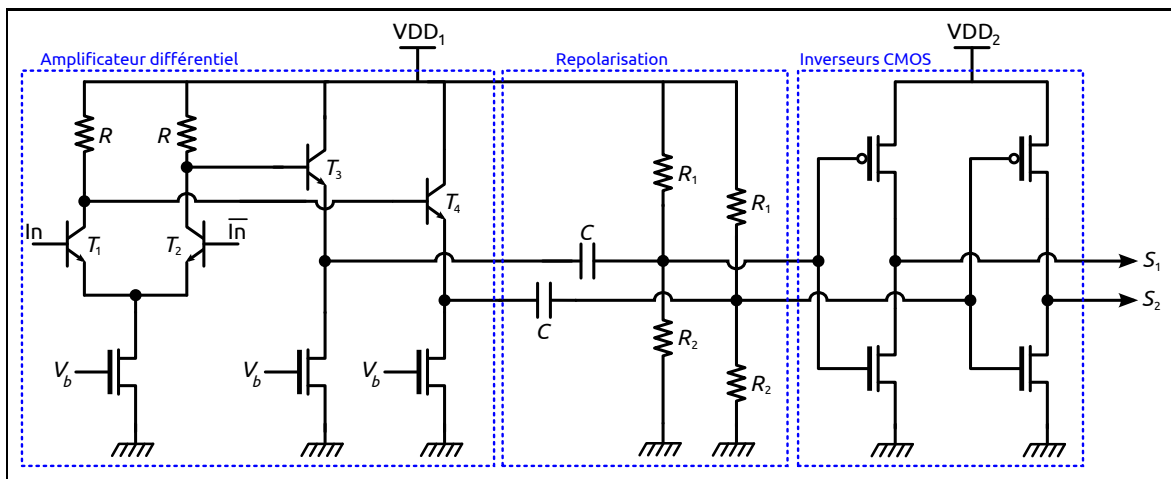


FIGURE 2.24 – Topologie du circuit de conversion de la logique ECL vers CMOS

2.4 PFD et pompe de charges

Le PFD et la pompe de charges ont été réalisés à partir des travaux de doctorants précédents du groupe (Mathilde Sié [27] et Stéphane Thuries [26]). Réalisés à l'époque sous le design kit de STMicroelectronics, leurs topologies ont été reprises et adaptées sur la technologie d'IBM, ce qui nous a permis de gagner un temps considérable.

La topologie du PFD est représentée par la figure 2.25. La partie « Détection erreur de phase » est le schéma détaillé de la structure classique d'un PFD représentée sur la figure 1.8. La partie « Filtrage pics parasites » permet de s'affranchir des pics parasites qui apparaissent lors des transitions des signaux à l'entrée du comparateur [28]. Ce phénomène est dû au temps de propagation du signal reset et responsable en partie de ce qu'on appelle la « zone morte » du PFD. Cette « zone morte » correspond à un domaine où pour de faibles déphasages il n'y a pas de détection.

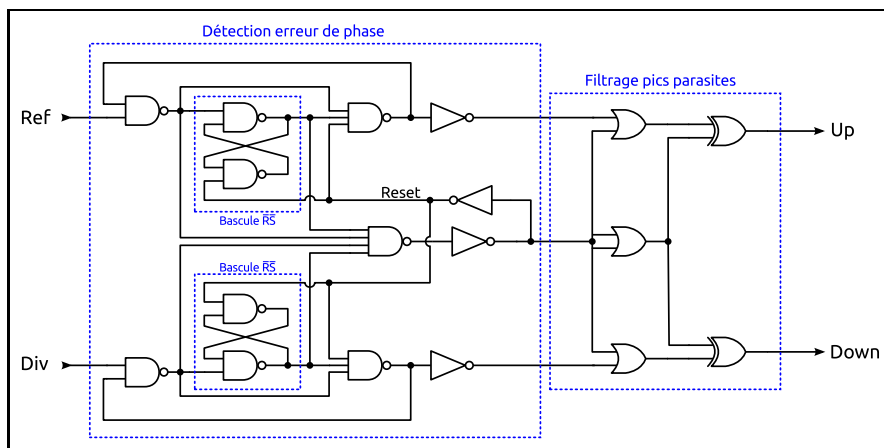


FIGURE 2.25 – Topologie du PFD

Le PFD a été intégré dans une puce indépendante et a été mis dans un boîtier CERDIP¹ pour être mesuré facilement (pas besoin de station sous pointes). La figure 2.26 est une photographie du montage en boîtier. Deux puces y sont présentes, et la figure 2.27 est le résultat de mesure mettant en évidence quatre cas où on voit les trois états du PFD : état nul, d'accélération et de ralentissement (§ 1.5.3).

La figure 2.28 représente la topologie de la pompe de charges réalisée. C'est une structure symétrique simple composée de trois paires de miroirs de courants : des miroirs PMOS pour fournir du courant et des miroirs NMOS pour absorber du courant. Le miroir de courant central est piloté par des interrupteurs MOS commandés par les signaux Up et Down ; ce qui permet soit d'activer le miroir PMOS soit le miroir NMOS.

1. Ceramic Dual Inline Package

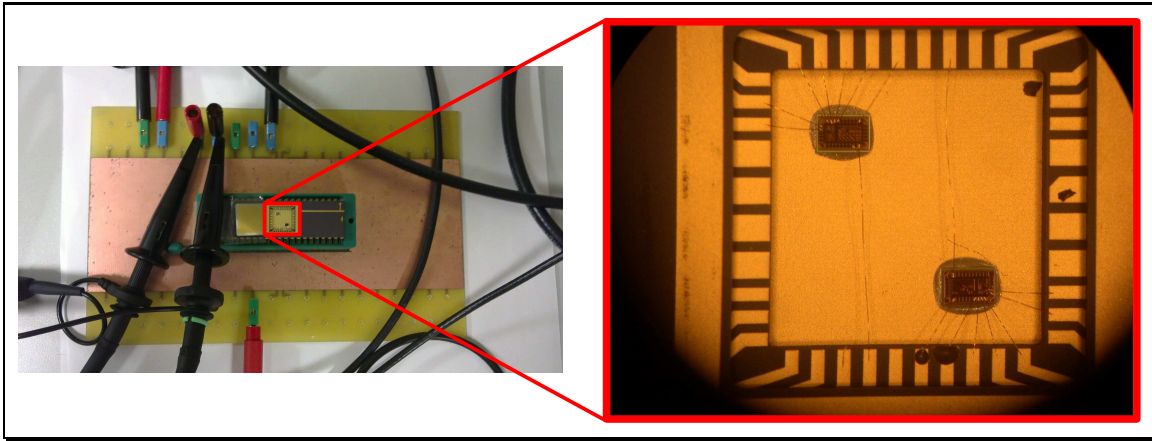


FIGURE 2.26 – Photographie du montage en boîtier CERDIP du PFD

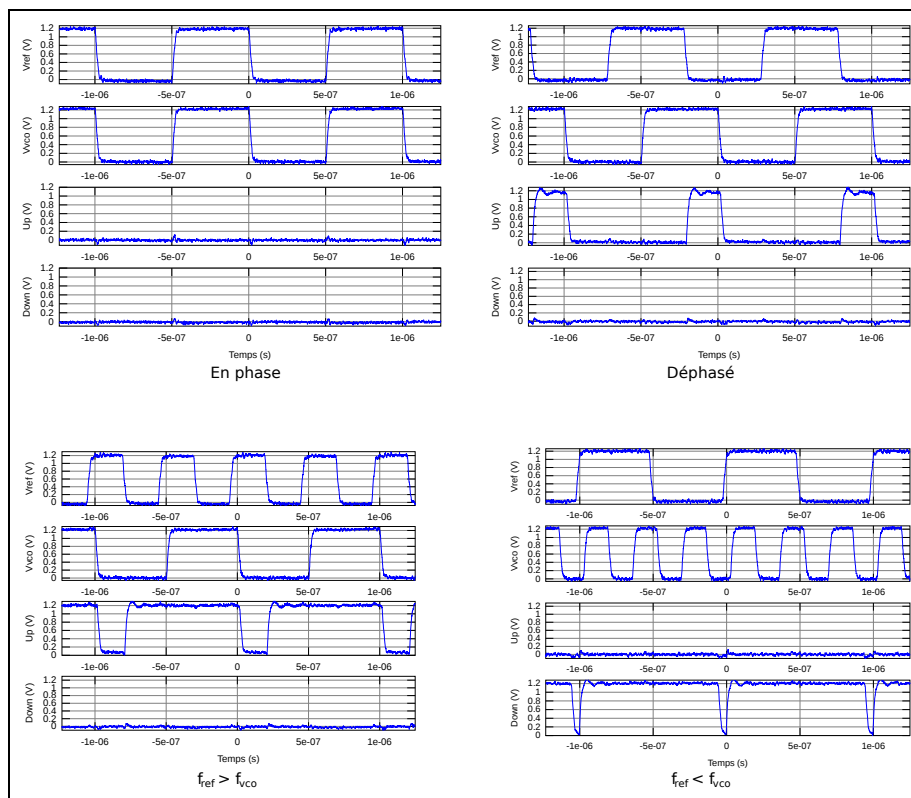


FIGURE 2.27 – Mesures du PFD

2.5 Assemblage de la PLL

Une PLL a été réalisée à partir d'un assemblage de ces blocs. Après un fonctionnement confirmé en simulation (figure 2.29), une puce comportant deux PLL (figure 2.30) a été envoyée en fabrication. Une avec le filtre de boucle intégré, et l'autre sans filtre afin de pouvoir en connecter un de façon externe. Les PLL ont été mesurées, mais s'avèrent non fonctionnelles. Il a tout de même été possible d'effectuer des tests supplémentaires à partir de « PAD » que nous avons rajoutés pour autoriser l'accès à différents endroits du circuit en cas de dysfonctionnement. Nous avons constaté que le VCO était bloqué à la fréquence correspondant au V_{tune} maximum, soit la tension d'alimentation de la pompe de charge. Nous avons donc regardé au niveau des

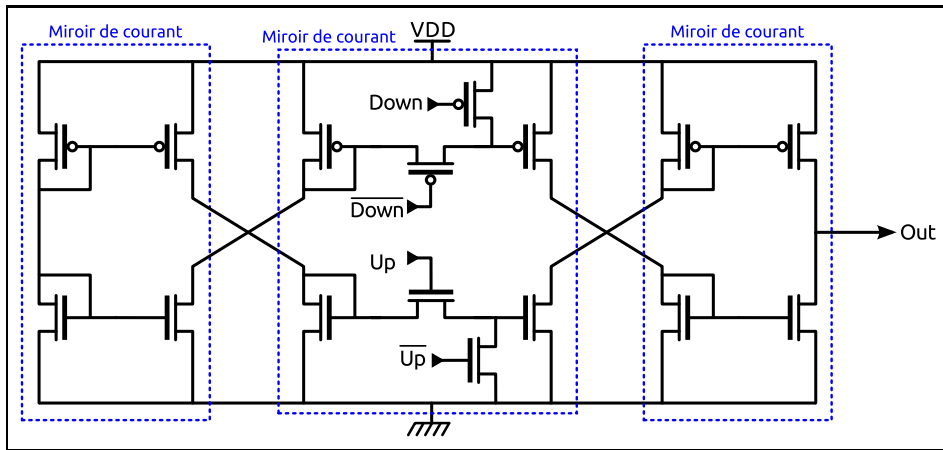


FIGURE 2.28 – Topologie de la pompe de charges

deux entrées du PFD : la sortie du diviseur était nulle, ce qui explique le blocage du VCO à la fréquence maximale de la PLL (la contre-réaction cherchant à accélérer le VCO qui semble ne pas réagir). Le diviseur ECL ayant été vérifié en mesure, nous avons supposé deux choses :

- soit l'étage de conversion de la logique ECL vers CMOS ne fonctionnait pas correctement et n'arrivait pas à piloter la logique CMOS.
- soit les grilles des transistors MOS étaient endommagées pour les mêmes raisons que la première puce du diviseur fractionnaire, à cause des ESD (§ 4.1).

Nous penchons vers la deuxième explication. Par la suite, cette PLL a dû être mise de côté afin de recentrer le travail sur le diviseur fractionnaire. Nous n'avons donc pas poursuivi nos investigations pas plus que nous n'avons relancé de « run » sur la PLL complète.

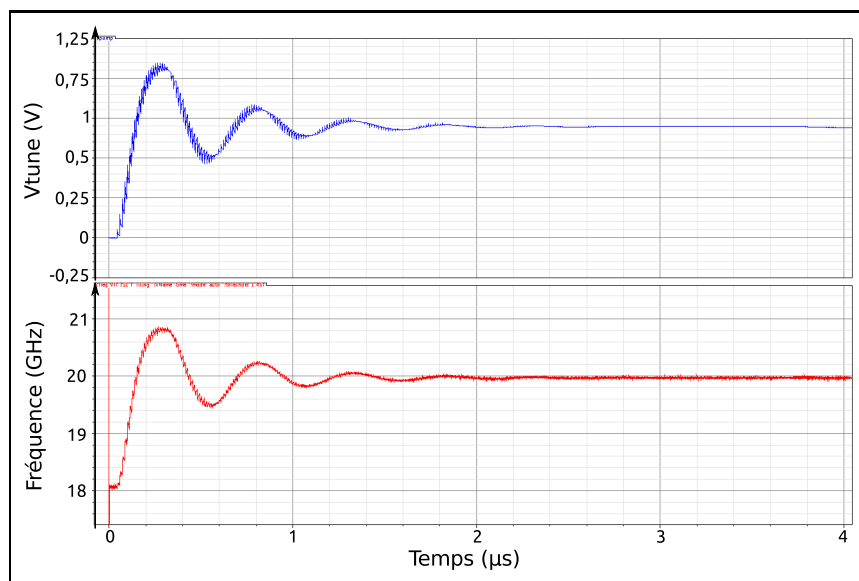


FIGURE 2.29 – Simulation de la PLL : commande en tension et fréquence de sortie du VCO asservi

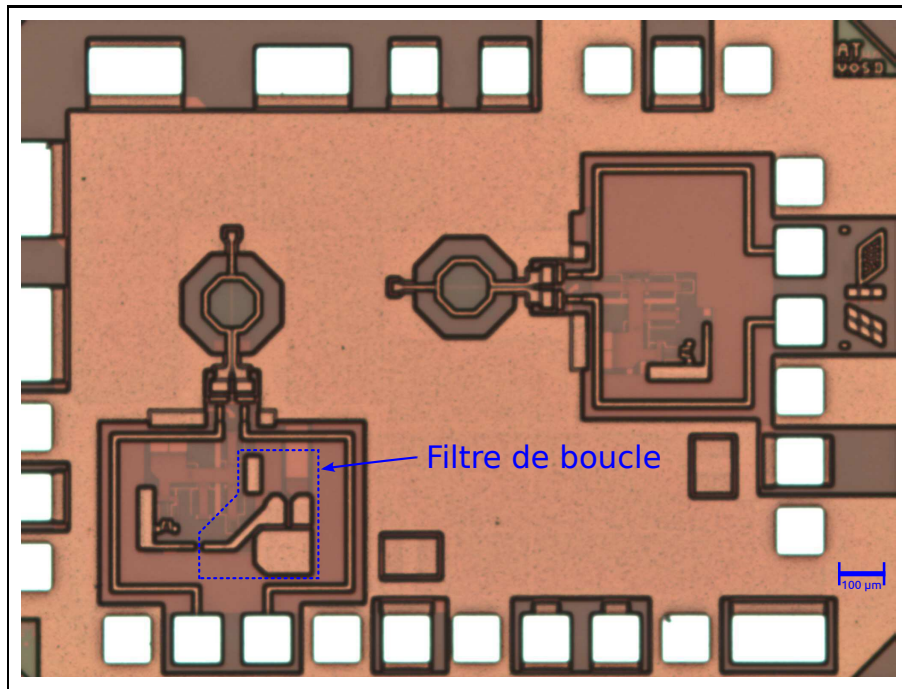


FIGURE 2.30 – Photo des deux PLL (avec et sans filtre) sur la même puce

2.6 Conclusion

Ce chapitre présente la réalisation des différents blocs d'une PLL classique, dont la vocation à terme est de recevoir le diviseur fractionnaire décrit dans le chapitre suivant.

Tous les travaux présentés ici ont malheureusement été ralentis par différents problèmes liés à l'environnement de conception. Nous avons en effet dû faire face à un changement majeur de version du logiciel Cadence (version 5 vers version 6) ainsi que l'imposait l'évolution du design kit. Le système de conversion fourni en standard par le design kit pour convertir automatiquement les bases de données CDB de Cadence 5 vers les bases de données OpenAccess de Cadence 6 était bogué, et nous avons dû nous résoudre à le modifier manuellement pour réussir la conversion automatisée des nombreuses conceptions déjà engagées sur Cadence 5 (schématiques et dessins de masques), et ainsi éviter à tous les concepteurs du projet de devoir ressaisir l'ensemble de leurs cellules. Il a également fallu résoudre les problèmes de fonctionnement puis d'utilisation de l'extracteur de parasites ainsi que de la simulation statistique monte-carlo.

Une fois ces différents problèmes résolus, nous avons pu maîtriser le design kit à travers la conception des circuits présentés dans ce chapitre. La plupart se sont révélés fonctionnels en version autonome. Le plus gros du travail a été effectué autour des VCO, grâce auxquels nous avons pu valider la procédure d'extraction de parasites.

Nos efforts concernant cette PLL sont restés en suspend, étant donné qu'un autre membre de l'équipe arrivé en cours de projet, Luca Testa, designer confirmé, a eu pour mission de finaliser une PLL directement en bande Ku, qui s'est rapidement révélée fonctionnelle. Nous nous sommes ainsi recentrés sur la conception du diviseur fractionnaire.

Références bibliographiques du chapitre 2

- [1] Ming ta HSIEH. *Comparison of LC and Ring VCOs for PLLs in a 90 nm Digital CMOS Process* (cf. p. 57).
- [2] S. RAI et B. OTIS. « A 1 V 600 μ W 2.1 GHz Quadrature VCO Using BAW Resonators ». Dans : *Solid-State Circuits Conference, 2007. ISSCC 2007. Digest of Technical Papers. IEEE International*. 2007, p. 576–623 (cf. p. 58).
- [3] P. VINCENT, J.B. DAVID, I. BURCIU, J. PROUVEE, C. BILLARD, C. FUCHS, G. PARAT, E. DEFOUCAUD et A. REINHARDT. « A 1 V 220 MHz-Tuning-Range 2.2 GHz VCO Using a BAW Resonator ». Dans : *Solid-State Circuits Conference, 2008. ISSCC 2008. Digest of Technical Papers. IEEE International*. 2008, p. 478–629 (cf. p. 58).
- [4] To-Po WANG. « A K-Band Low-Power Colpitts VCO With Voltage-to-Current Positive-Feedback Network in 0.18 μ m CMOS ». Dans : *Microwave and Wireless Components Letters, IEEE* 21.4 (2011), p. 218–220 (cf. p. 58, 66).
- [5] Hyung Ki AHN, In-Cheol PARK et Beomsup KIM. « A 5-GHz self-calibrated I/Q clock generator using a quadrature LC-VCO ». Dans : *Circuits and Systems, 2003. ISCAS '03. Proceedings of the 2003 International Symposium on*. T. 1. 2003, I-797–I-800 vol.1 (cf. p. 59).
- [6] M. ZANNOTH, B. KOLB, J. FENK et R. WEIGEL. « A fully integrated VCO at 2 GHz ». Dans : *Solid-State Circuits, IEEE Journal of* 33.12 (1998), p. 1987–1991 (cf. p. 59).
- [7] D. HAM et A. HAJIMIRI. « Concepts and methods in optimization of integrated LC VCOs ». Dans : *Solid-State Circuits, IEEE Journal of* 36.6 (2001), p. 896–909 (cf. p. 65).
- [8] Huijung KIM, Seonghan RYU, Yujin CHUNG, Jinsung CHOI et Bumman KIM. « A low phase-noise CMOS VCO with harmonic tuned LC tank ». Dans : *Microwave Theory and Techniques, IEEE Transactions on* 54.7 (2006), p. 2917–2924 (cf. p. 65).
- [9] D. OZIS, N.M. NEIHART et D.J. ALLSTOT. « Differential VCO and passive frequency doubler in 0.18 μ m CMOS for 24 GHz applications ». Dans : *Radio Frequency Integrated Circuits (RFIC) Symposium, 2006 IEEE*. 2006, 4 pp.– (cf. p. 65).
- [10] P.K. ROUT, U.K. NANDA, D.P. ACHARYA et G. PANDA. « Design of LC VCO for optimal figure of merit performance using CMODE ». Dans : *Recent Advances in Information Technology (RAIT), 2012 1st International Conference on*. 2012, p. 761–764 (cf. p. 65).
- [11] A. TASIC, W.A. SERDIJN et J.R. LONG. « Design of multistandard adaptive voltage-controlled oscillators ». Dans : *Microwave Theory and Techniques, IEEE Transactions on* 53.2 (2005), p. 556–563 (cf. p. 65).
- [12] Chau-Ching CHIONG, Hong-Yeh CHANG et Ming-Tang CHEN. « Ka-Band Wide-Bandwidth Voltage-Controlled Oscillators in InGaP-GaAs HBT Technology ». Dans : *Microwave Integrated Circuit Conference, 2008. EuMIC 2008. European*. 2008, p. 358–361 (cf. p. 65).

- [13] Hwann-Kaeo CHIOU et Sheng-Chi CHEN. « Low phase noise Ku-band Gm-boosting differential Colpitts VCO ». Dans : *Microwave Conference, 2009. APMC 2009. Asia Pacific*. 2009, p. 313–316 (cf. p. 65, 66).
- [14] Wang YUJIE, Fan XIANGNING et Li BIN. « A Fully Integrated LC VCO with 1V Voltage Supply in 0.18 μm CMOS Process for Wireless Sensor Network Applications ». Dans : *Computer Science Service System (CSSS), 2012 International Conference on*. 2012, p. 511–514 (cf. p. 66).
- [15] Guang ZHU, Shengxi DIAO, Fujiang LIN et D. GUIDOTTI. « A low-power wide-band 20GHz VCO in 65nm CMOS ». Dans : *Millimeter Waves (GSMM), 2012 5th Global Symposium on*. 2012, p. 291–294 (cf. p. 66).
- [16] Li XIAN, Li WENYUAN et Wang ZHIGONG. « A wide tuning range LC-VCO using switched capacitor array technique ». Dans : *Signals Systems and Electronics (ISSSE), 2010 International Symposium on*. T. 1. 2010, p. 1–4 (cf. p. 66).
- [17] S.D. TOSO, A. BEVILACQUA, M. TIEBOUT, N. DA DALT, A. GEROSA et A. NEVIANI. « A 0.06 mm² 11 mW Local Oscillator for the GSM Standard in 65 nm CMOS ». Dans : *Solid-State Circuits, IEEE Journal of* 45.7 (2010), p. 1295–1304 (cf. p. 66).
- [18] B. SADHU, Jaehyup KIM et R. HARJANI. « A CMOS 3.3-8.4 GHz wide tuning range, low phase noise LC VCO ». Dans : *Custom Integrated Circuits Conference, 2009. CICC '09. IEEE*. 2009, p. 559–562 (cf. p. 66).
- [19] Chien-Cheng WEI, Hsien-Chin CHIU et Yi-Tzu YANG. « A novel compact complementary Colpitts differential CMOS VCO with low phase-noise performance ». Dans : *Radio Frequency Integrated Circuits Symposium, 2008. RFIC 2008. IEEE*. 2008, p. 541–544 (cf. p. 66).
- [20] D.Y. JUNG et C.S. PARK. « Power efficient Ka-band low phase noise VCO in 0.13 μm CMOS ». Dans : *Electronics Letters* 44.10 (2008), p. 630–631 (cf. p. 66).
- [21] J.A. TORRES et J.C. FREIRE. « Ku band voltage controlled oscillator on SiGe ». Dans : *Circuits and Systems, 2008. APCCAS 2008. IEEE Asia Pacific Conference on*. 2008, p. 1379–1382 (cf. p. 66).
- [22] Sun Young KIM, Choon-Sik CHO, J. W LEE et Jaeheung KIM. « A novel feedback low phase noise Ka-band push-push CMOS VCO ». Dans : *Microwave Conference, 2009. APMC 2009. Asia Pacific*. 2009, p. 1735–1738 (cf. p. 66).
- [23] Szu-Ling LIU, Kuan-Han CHEN, Tsu CHANG et Albert CHIN. « A Low-Power K-Band CMOS VCO With Four-Coil Transformer Feedback ». Dans : *Microwave and Wireless Components Letters, IEEE* 20.8 (2010), p. 459–461 (cf. p. 66).
- [24] William F. EGAN. *Frequency Synthesis by Phase Lock*. Second Edition. Wiley Inter-Science, 1999 (cf. p. 66).

- [25] N.P. JOUPPI, S. SIDIROPOULOS et S. MENON. « A speed, power, and supply noise evaluation of ECL driver circuits ». Dans : *Solid-State Circuits, IEEE Journal of* 31.1 (1996), p. 38–45 (cf. p. 68).
- [26] Stéphane THURIES. « Conception et intégration d'un synthétiseur digital direct micro-onde en technologie silicium SiGe : C 0,25 μm ». Thèse de doct. Université Paul-Sabatier de Toulouse, 2006 (cf. p. 69, 75).
- [27] Mathilde SIÉ. « Synthétiseur de fréquence monolithiques micro-ondes à 10 et 20 GHz en technologies BiCMOS SiGe 0,25 et 0,35 μm ». Thèse de doct. Université Paul Sabatier de Toulouse, 2004 (cf. p. 75).
- [28] M. SIE, G. CIBIEL, E. TOURNIER, R. PLANA et J. GRAFFEUIL. « High-speed, spurious-free sequential phase frequency detector and dual-modulus prescalers for RF frequency synthesis ». Dans : *Radio Frequency Integrated Circuits (RFIC) Symposium, 2003 IEEE*. 2003, p. 679–682 (cf. p. 75).

Chapitre 3

Conception du diviseur fractionnaire

3.1 Introduction

Le choix de la topologie d'un diviseur fractionnaire dépend des spécifications du système dans lequel il doit être intégré : la fréquence de référence de la PLL, le bruit de phase en sortie, la bande de fréquence en sortie et la résolution fréquentielle. Ces quatre paramètres ont une influence sur les valeurs extrêmes du rapport de division N et donc du dimensionnement du diviseur.

Après un tour d'horizon des différentes structures de diviseur fractionnaire effectué au § 1.6.4, notre choix initial s'est tourné vers l'utilisation d'un DDS, pour ses qualités en termes de réduction des raies parasites [1] (§ 1.6.4.5) ainsi que pour son avantage sur la bande passante de la PLL comparé à l'utilisation plus habituelle d'un modulateur $\Sigma\Delta$. Cependant, les spécifications système qui réclament un pas de résolution très fin sur de nombreux rapports de division imposeraient une taille conséquente au DDS s'il devait être utilisé seul comme diviseur dans la chaîne de retour de la PLL. C'est ce qui est montré en premier lieu dans ce chapitre à travers une étude de faisabilité. Nous proposons donc une nouvelle architecture qui n'est plus uniquement basée sur le seul DDS, afin d'obtenir à la fois une grande résolution et une large gamme de rapports de division, sans devoir sacrifier la taille de l'architecture. Cette structure s'inspire à la fois du fonctionnement de l'accumulateur du DDS et de celui du prédiviseur à double module (« dual-modulus prescaler ») composé d'un unique compteur. Un prototype du système a été réalisé et est décrit dans ce chapitre.

3.2 Inconvénients d'un DDS utilisé seul

Les spécifications système (§ 1.3.3) permettent de définir le rapport du diviseur pour obtenir la résolution fréquentielle ainsi que la bande de fréquence souhaitées en sortie de la PLL. À partir du schéma de la PLL (figure 1.7) et de l'équation (1.5) qui en donne la fréquence de sortie, la résolution fréquentielle à la sortie de la PLL s'écrit :

$$f_{\text{out}} = N f_{\text{ref}} \implies \Delta f_{\text{out}} = \Delta N f_{\text{ref}} \quad (3.1)$$

en considérant une fréquence f_{ref} fixe pour le signal de référence de la PLL. Dans ce cas, la résolution fréquentielle ne dépend que de la résolution du diviseur. La résolution fréquentielle souhaitée s'obtient en respectant la condition sur la résolution du diviseur fractionnaire :

$$\Delta N_{\text{frac}} \leq \frac{\Delta f_{\text{out}}}{f_{\text{ref}}} \quad (3.2)$$

Le tableau 3.1 rassemble les informations sur les spécifications système données au chapitre 1. La bande de fréquence donnée prend en considération un choix de départ indéterminé sur l'architecture du système d'émission-réception (homodyne ou hétérodyne).

Bande (Ku)	Rx	Tx
Fréquence de sortie de la PLL (f_{out})	(9,70 – 12,75) GHz	(13 – 14,5) GHz
Résolution fréquentielle (Δf_{out})	100 Hz	100 Hz
Fréquence de référence (f_{ref})	10 MHz	10 MHz
Rapport de division (N)	970 – 1275	1300 – 1450
Résolution du diviseur (ΔN_{frac})	10^{-5}	10^{-5}

TABLE 3.1 – Spécifications système : rapport de division et résolution

3.2.1 L'association DDS/PLL

D'après l'équation (1.21), le DDS utilisé comme diviseur permet d'obtenir un pas très fin sur l'évolution de la fréquence de sortie en fonction du MCF. En plus d'avoir une résolution fine, il permet d'avoir une évolution de la fréquence de sortie du DDS linéaire en fonction de MCF. Seulement, il en est tout autrement lorsqu'il est utilisé en diviseur dans la boucle de retour d'une PLL (figure 3.1). Lorsque la PLL est verrouillée, on a $f_{\text{div}} = f_{\text{ref}}$. La fréquence de sortie de la PLL (f_{out}) s'écrit alors :

$$f_{\text{out}} = N_{\text{DDS}} f_{\text{ref}} \quad ; \quad \text{avec} \quad N_{\text{DDS}} = \frac{2^n}{\text{MCF}} \quad (3.3)$$

Le pas en fréquence à la sortie de la PLL dépend de l'évolution de N_{DDS} qui dépend de MCF. La résolution est déterminée pour deux valeurs successives de MCF (MCF_1 et $\text{MCF}_2 = \text{MCF}_1 + 1$) par :

$$\Delta f_{\text{out}} = \frac{2^n}{\text{MCF}_1} f_{\text{ref}} - \frac{2^n}{\text{MCF}_2} f_{\text{ref}} \quad \Rightarrow \quad \Delta f_{\text{out}} = \frac{2^n}{\text{MCF}_1 (\text{MCF}_1 + 1)} f_{\text{ref}} \quad (3.4)$$

$$\Rightarrow \quad \Delta N_{\text{DDS}} = \frac{2^n}{\text{MCF}_1 (\text{MCF}_1 + 1)} \quad (3.5)$$

L'équation (3.4) montre que la résolution fréquentielle de la PLL n'est pas linéaire, alors qu'elle l'est pour le DDS utilisé seul comme diviseur de fréquence (§ ii). Il fallait s'attendre à ce résultat car tout opérateur inséré dans la boucle de retour d'un système à contre-réaction se retrouve inversé dans la chaîne équivalente directe : ici, la PLL multiplie une fréquence à partir de l'opération inverse, la division de fréquence. Si la division est linéaire avec la programmation MCF du DDS, la multiplication ne peut pas l'être : elle est proportionnelle à MCF^{-1} .

Pour les plus petites valeurs de MCF, le pas ΔN_{DDS} et le rapport de division N_{DDS} sont très grands (figure 1.28). Plus les MCF sont élevés, plus la résolution est fine. Cette non-linéarité du rapport de division n'est pas forcément un inconvénient à partir du moment où la résolution est suffisante, mais il faut dimensionner correctement le DDS pour avoir à la fois la résolution souhaitée dans tout le plan de fréquences, ainsi qu'un rapport de division suffisamment élevé pour se situer dans la bande souhaitée en sortie de la PLL.

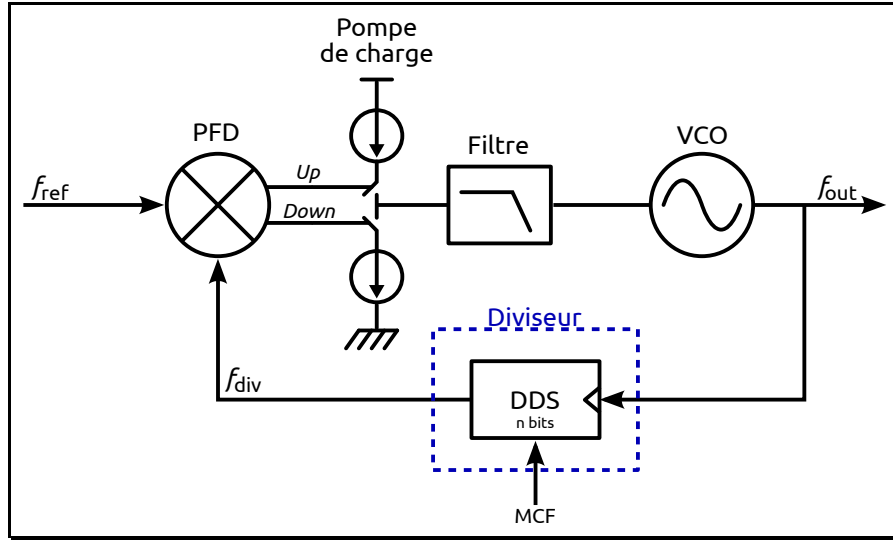


FIGURE 3.1 – DDS en diviseur de fréquence dans une PLL

3.2.2 Dimensionnement du DDS

3.2.2.1 Utilisation du DDS seul pour la division

Un diviseur fractionnaire n'a d'intérêt que si la résolution qu'il affiche pour une fréquence de référence de la PLL inchangée est plus fine que celle d'un diviseur entier. La division fractionnaire trouve donc son utilité si $\Delta N_{\text{frac}} < 1$. En effet, la résolution donnée par un diviseur entier programmable est au mieux $\Delta N = 1$. La fréquence en sortie du DDS s'exprime en fonction de la taille de l'accumulateur (§ i), c'est donc lui qui nous importe. Le reste du DDS se réalise en fonction de l'accumulateur. Dans notre cas, la résolution souhaitée est $\Delta N_{\text{frac}} = 10^{-5}$ (tableau 3.1) ce qui permet de déterminer la taille nécessaire de l'accumulateur en utilisant la figure 3.2 : N_{frac} correspond à la résolution souhaitée pour le diviseur fractionnaire.

On souhaite avoir en sortie de la PLL une fréquence f_{out} telle que :

$$f_{\text{out}_{\text{min}}} \leq f_{\text{out}} \leq f_{\text{out}_{\text{max}}} \quad (3.6)$$

On tire de l'équation (3.3) en fonction des données de la figure 3.1 que :

$$\frac{f_{\text{out}_{\text{min}}}}{f_{\text{ref}}} \leq N_{\text{DDS}} \leq \frac{f_{\text{out}_{\text{max}}}}{f_{\text{ref}}} \implies N_{\text{min}} \leq N_{\text{DDS}} \leq N_{\text{max}} \quad (3.7)$$

En remplaçant N_{DDS} par les équations du DDS, on trouve une première condition sur les valeurs extrêmes des MCF :

$$\frac{2^n}{\text{MCF}_{\text{max}}} \leq \frac{2^n}{\text{MCF}} \leq \frac{2^n}{\text{MCF}_{\text{min}}} \implies \text{MCF}_{\text{min}} = \frac{2^n}{N_{\text{max}}} ; \quad \text{MCF}_{\text{max}} = \frac{2^n}{N_{\text{min}}} \quad (3.8)$$

Maintenant, il faut déterminer la condition sur n pour avoir $\Delta N_{\text{DDS}} \leq \Delta N_{\text{frac}}$. La résolution la moins bonne correspond à deux valeurs successives de MCF autour du MCF le plus petit. C'est-à-dire qu'il faut que $\Delta N_{\text{DDS}} \leq \Delta N_{\text{frac}}$ entre les deux valeurs MCF_{min} et $\text{MCF}_{\text{min}} + 1$ (figure 3.2).

Par rapport à l'équation (3.4), on a la condition suivante :

$$\frac{2^n}{\text{MCF}_{\min}(\text{MCF}_{\min} + 1)} \leq \Delta N_{\text{frac}} \implies \text{MCF}_{\min} (\text{MCF}_{\min} + 1) \geq \frac{2^n}{\Delta N_{\text{frac}}} \quad (3.9)$$

Les équations (3.8) et (3.9) nous donnent l'inéquation suivante, à résoudre pour obtenir la taille minimale n de l'accumulateur nécessaire :

$$\left(\frac{2^n}{N_{\max}}\right)^2 + \frac{2^n}{N_{\max}} \geq \frac{2^n}{\Delta N_{\text{frac}}} \quad (3.10)$$

Après résolution de l'inéquation, la taille n du DDS doit répondre à la condition suivante :

$$n \geq \frac{\ln\left(\frac{(N_{\max} - \Delta N_{\text{frac}}) N_{\max}}{\Delta N_{\text{frac}}}\right)}{\ln 2} \quad (3.11)$$

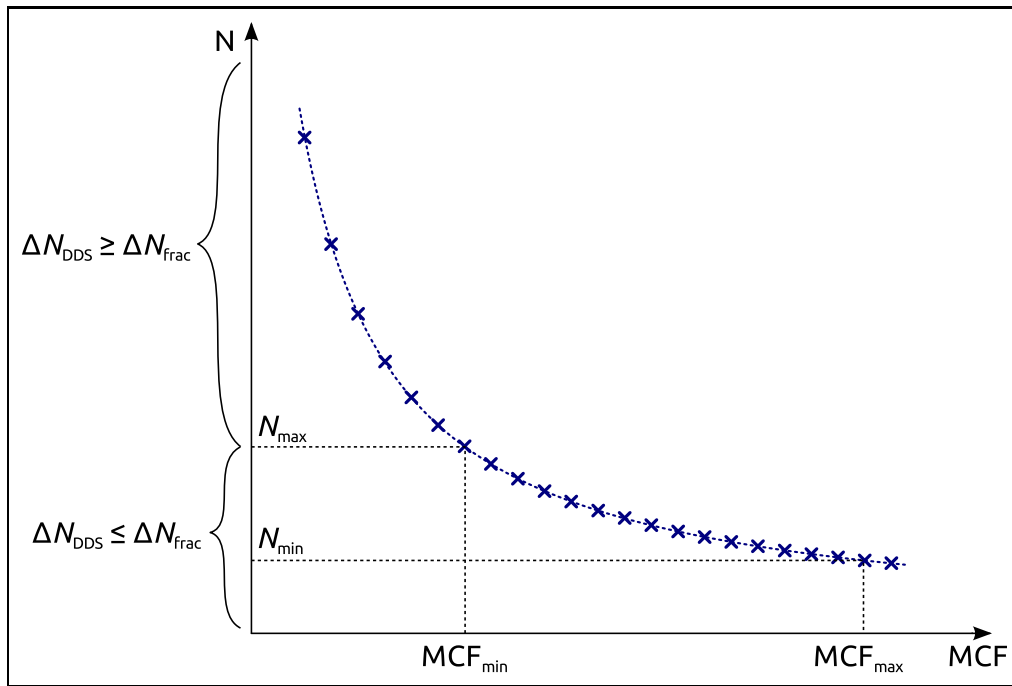


FIGURE 3.2 – Rapport de division d'un accumulateur : dimensionnement

Le tableau 3.2 donne le résultat de l'inéquation (3.11) en fonction des spécifications. Il faudrait un DDS de 38 bits (!) directement connecté à la sortie du VCO pour pouvoir couvrir la bande Rx et Tx avec une résolution fréquentielle de 100 Hz. Seulement, la conception d'un tel DDS à ces fréquences relève de l'impossible et n'aurait que des désavantages : consommation électrique exorbitante, grande surface d'intégration (figure 3.21), complexité de conception (cf § 3.4.4.3, § 2.3.1). Il faut donc prédiviser le signal de sortie du VCO pour travailler à plus basse fréquence, ce qui élimine la complexité de conception, mais apporte un inconvénient sur l'erreur de phase comme nous allons le voir maintenant.

Bande (Ku)	Rx	Tx
N_{\min}	970	1300
N_{\max}	1270	1450
ΔN_{frac}	10^{-5}	10^{-5}
Taille accumulateur n	38 bits	38 bits

TABLE 3.2 – Taille du DDS seul nécessaire

3.2.2.2 Utilisation d'un diviseur avant le DDS

L'utilisation d'un prédiviseur a un impact sur l'erreur de phase (décrite au § 1.6.3.1) engendrée par la division fractionnaire. La période instantanée (c'est-à-dire le temps entre deux fronts montants successifs) du signal de sortie d'un diviseur fractionnaire change au cours du temps entre deux valeurs ou plus (car il y a commutation entre 2 rapports de division ou plus (§ 1.6.2)). Pour limiter l'erreur de phase engendrée par la division fractionnaire, l'écart entre les différentes périodes instantanées du signal doit être le plus faible possible. C'est pour cela que l'on fait commuter un diviseur entier sur des valeurs de rapports de division proches. L'utilisation du DDS permet, grâce à l'interpolation de l'erreur de phase, d'aller encore plus loin dans la réduction de cet écart. Malheureusement, le fait de positionner un diviseur devant un diviseur fractionnaire augmente l'amplitude de l'erreur de phase en venant modifier l'écart entre les rapports de division commutés. Pour éviter cela, il faut alors plutôt mettre le diviseur après le diviseur fractionnaire. La figure 3.3 illustre ces deux cas, en prenant pour exemple un diviseur $N/N + 1$ piloté par la même séquence binaire que celle décrite au § 1.6.2.

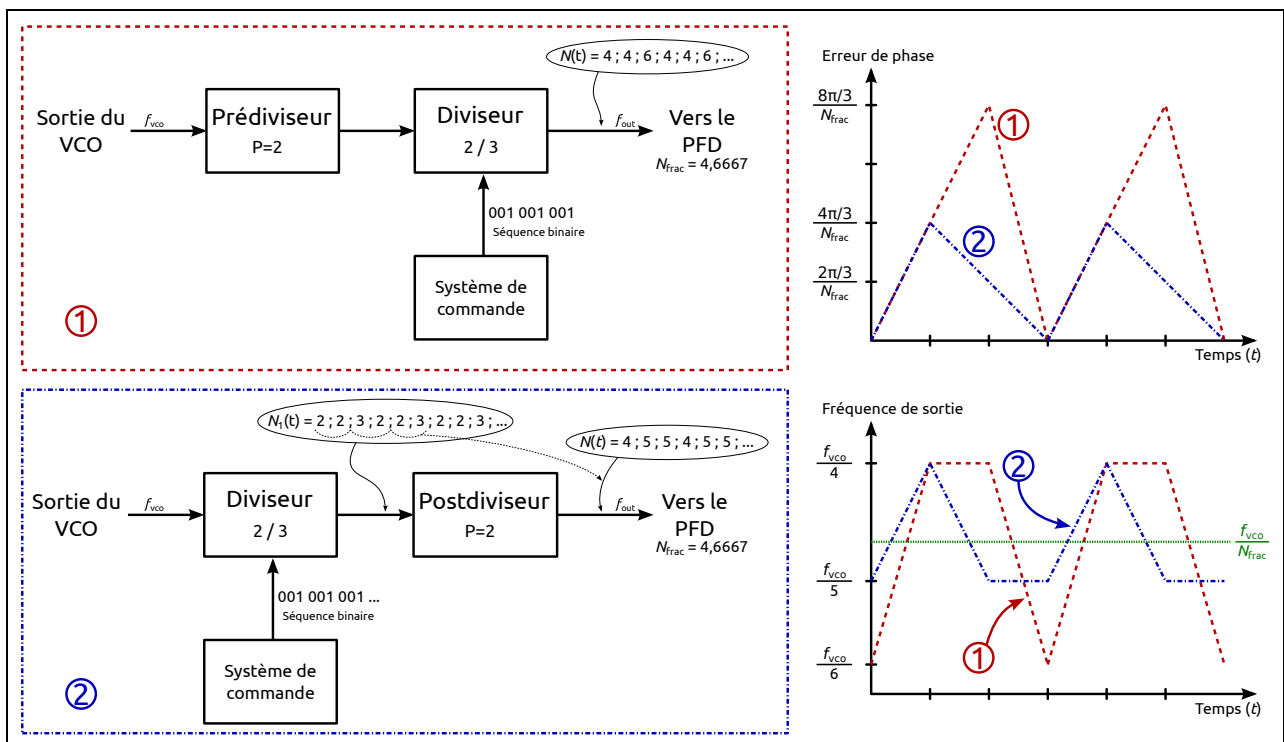


FIGURE 3.3 – Influence de l'utilisation d'un prédiviseur sur l'erreur de phase

Ici $N = 2$ et le prédiviseur (ou postdiviseur) divise par 2. Dans le cas du prédiviseur, le rapport de division varie entre NP et $(N+1)P = NP+P$ alors que dans celui du postdiviseur, le rapport de division varie entre deux valeurs successives NP et $NP+1$, ce qui a pour conséquence une erreur de phase moins élevée. La courbe d'erreur de phase montre que l'amplitude de l'erreur est directement multipliée par la valeur du prédiviseur. Le raisonnement peut également se faire sur la fréquence mesurée entre deux fronts montants successifs, en sortie de la chaîne de division. Dans les deux cas, la fréquence moyenne en sortie correspond à la fréquence d'entrée (f_{VCO}) divisée par la valeur fractionnaire N_{frac} , mais dans le cas d'un prédiviseur, la variation de fréquence en sortie est plus importante. Plus la valeur du prédiviseur est grande, plus la variation de fréquence en sortie est importante (figure 3.3). Il en va de même pour l'erreur de phase. Cette augmentation d'erreur de phase doit être compensée par une diminution de la bande passante de la PLL.

L'utilisation d'un DDS pour effectuer une division fractionnaire perd donc un peu de son intérêt lorsqu'il est précédé d'un diviseur. Par contre lorsque ce dernier est déplacé après le DDS, on peut relâcher la résolution du DDS, mais celui-ci reste contraint de travailler à la plus haute fréquence.

3.3 Diviseur à double module

Le diviseur à double module est un diviseur entier programmable permettant d'obtenir des facteurs de division élevés [2, 3, 4]. Classiquement, il est constitué d'un prédiviseur ($P/P + 1$) et de deux décompteurs. Le schéma de principe est représenté par la figure 3.4. La sortie du prédiviseur est utilisée comme signal d'horloge pour deux décompteurs. Ces deux décompteurs D_1 et D_2 sont chargés respectivement par les valeurs A et B avec la condition $A > B$, et le prédiviseur fixé sur une des valeurs de division (ici $P + 1$). Lorsque le décompteur D_1 est complètement vide, il reste à 0 et sa sortie commande le prédiviseur pour qu'il commute à une division par P . Le décompteur D_2 continue son décomptage jusqu'à se vider à son tour, ce qui provoque la réinitialisation du système à son point de départ : les deux décompteurs sont rechargés aux mêmes valeurs initiales (A et B), la sortie du décompteur D_1 change à nouveau d'état et donc le prédiviseur recommute à $P + 1$. Le cycle recommence alors, et sa durée correspond à la période T_{out} en sortie. En analysant ce cycle, la période à la sortie du prédiviseur T_{div} est égale à $T_{in}(P + 1)$ pendant les A premières périodes de décomptage, puis à $T_{in}P$ pour les $B - A$ périodes restantes. La période du cycle s'écrit donc :

$$T_{out} = A T_{in} (P + 1) + (B - A) T_{in} P \quad (3.12)$$

Il en découle le rapport de division global N :

$$N = A (P + 1) + (B - A) P = B P + A \quad (3.13)$$

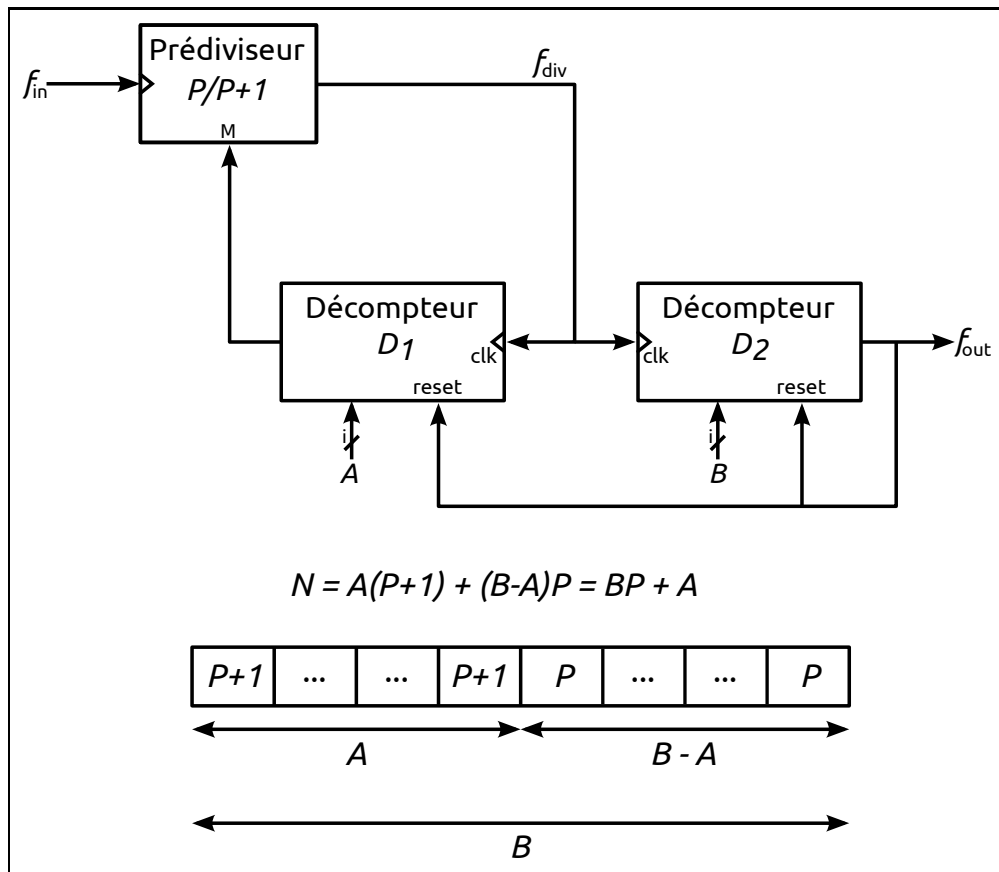


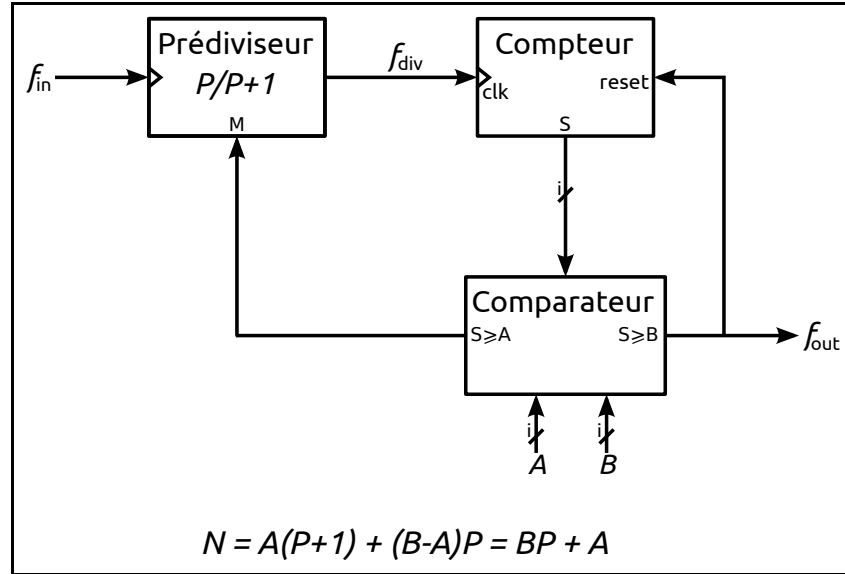
FIGURE 3.4 – Diviseur à double module ou compteur à échappement

Afin de simplifier l'architecture, il est possible de réaliser un fonctionnement similaire en n'utilisant qu'un seul compteur (ou décompteur) accompagné d'un double comparateur [5] (figure 3.5). C'est cette structure qui nous a intéressés pour réaliser le diviseur fractionnaire. La sortie du prédiviseur sert de signal d'horloge à un compteur initialisé à $S = 0$. le prédiviseur divise au départ par $P + 1$. La valeur S du compteur est comparée à deux valeurs A et B , avec la même condition que précédemment ($A > B$). Lorsque S atteint la valeur A , on commute le prédiviseur pour une division par P , et le compteur continue de compter jusqu'à atteindre la valeur B . Le compteur est réinitialisé, et un nouveau cycle reprend. On a alors les mêmes équations que précédemment (3.12 et 3.13) donnant la valeur du rapport de division global N . L'intérêt de cette structure par rapport à la précédente est d'économiser un compteur, toujours plus complexe à réaliser qu'un comparateur, même un comparateur devant comparer à deux valeurs.

3.4 Nouvelle architecture de diviseur fractionnaire

3.4.1 Principe

En considérant le fonctionnement du diviseur entier programmable à double module et un seul compteur, nous avons pensé à remplacer le prédiviseur par un DDS. Au lieu de venir

FIGURE 3.5 – *Diviseur à double module avec un seul compteur*

commuter à $P/P + 1$ on vient commuter entre deux valeurs de MCF. La particularité est que le signal d'entrée est maintenant prédivisé non plus par une valeur entière (P ou $P + 1$), mais directement de façon fractionnaire grâce au DDS.

Le rapport de division fractionnaire d'un DDS ne dépend que des caractéristiques de l'accumulateur de phase (le MCF appliqué à l'entrée ainsi que sa taille n bits). L'équation 1.19 du DDS donnant la fréquence du signal de sortie en fonction de la fréquence d'horloge s'applique aussi au signal de bit de poids fort (MSB¹) en sortie de l'accumulateur. Afin d'étudier et de valider le système, nous nous sommes donc limités à l'utilisation d'un accumulateur de phase plutôt que d'un DDS complet, offrant ainsi une conception beaucoup moins complexe. Ceci nous a permis de réaliser un prototype fonctionnel à comparer avec la théorie et la simulation.

La figure 3.6 représente l'architecture du diviseur fractionnaire qui a été implémentée. L'accumulateur est au départ programmé par MCF₁. Le MSB sert d'horloge au compteur. Lorsque la valeur S du compteur atteint la valeur A on commute la programmation de l'accumulateur à MCF₂, et le compteur continue de compter jusqu'à atteindre la valeur B . À ce moment-là, le compteur est réinitialisé, et on retourne la programmation de l'accumulateur à MCF₁ et le cycle se répète. Une impulsion est récupérée en sortie du comparateur, le temps que l'action de remise à zéro soit effective (reset asynchrone). La condition $S \geq B$ n'étant plus vérifiée, la sortie B du comparateur revient à 0. Pour illustrer ces propos, la figure 3.7 représente, en exemple, le fonctionnement du système pour un accumulateur 4 bits au travers des chronogrammes.

1. « Most Significant Bit »

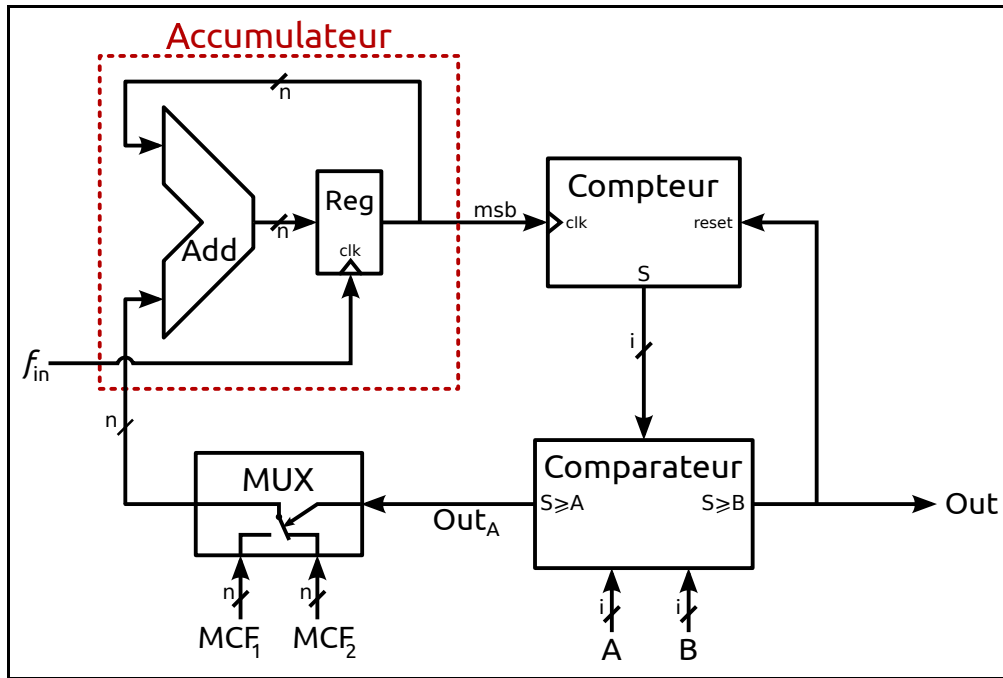


FIGURE 3.6 – Architecture du diviseur fractionnaire réalisé

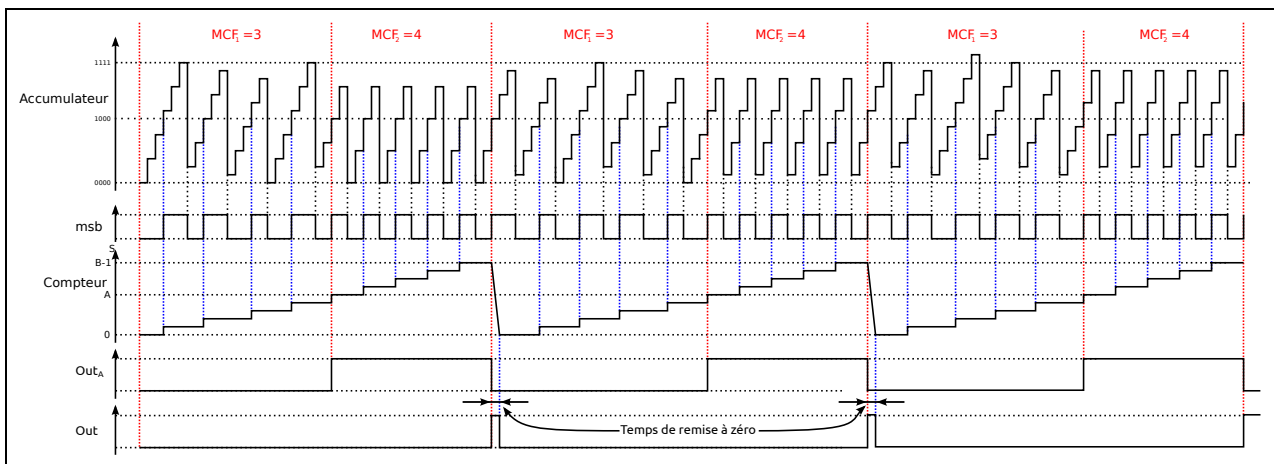


FIGURE 3.7 – Fonctionnement du diviseur fractionnaire pour un accumulateur 4 bits

3.4.2 Rapports de divisions synthétisables

3.4.2.1 Première approche

A travers cette structure, notre idée première a été de palier à la non-linéarité du rapport de division du DDS inséré dans la PLL (§ 3.2.1) pour assurer une meilleure résolution fréquentielle[6].

Le rapport de division dépend de quatre paramètres de programmation (MCF_1 , MCF_2 , A , B), ce qui offre une très grande variété de combinaisons possibles. Une première estimation du rapport de division peut être faite en considérant que l'accumulateur fonctionne dans son cycle normal pour chaque MCF. Dans ce cas, pendant les A premières périodes de comptage on a la

période moyenne d'horloge du compteur (MSB de l'accumulateur) qui est :

$$\overline{T_{\text{MSB}_1}} = \frac{2^n}{\text{MCF}_1} T_{\text{in}}$$

De la même manière, pour les $B - A$ périodes de comptage, on a la période moyenne d'horloge du compteur qui est :

$$\overline{T_{\text{MSB}_2}} = \frac{2^n}{\text{MCF}_2} T_{\text{in}}$$

On en déduit, comme pour le diviseur entier, la période moyenne à la sortie du système :

$$\overline{T_{\text{out}}} = A \overline{T_{\text{MSB}_1}} + (B - A) \overline{T_{\text{MSB}_2}} = \left(A \frac{2^n}{\text{MCF}_1} + (B - A) \frac{2^n}{\text{MCF}_2} \right) T_{\text{in}} \quad (3.14)$$

Le rapport de division fractionnaire de ce diviseur s'écrit alors :

$$N_{\text{frac}} = 2^n \left(\frac{A}{\text{MCF}_1} + \frac{B - A}{\text{MCF}_2} \right) \quad (3.15)$$

Cette formule permet d'obtenir une bonne approximation du rapport de division pour une grande partie des combinaisons (§ 3.4.2.3). Elle serait exacte si l'accumulateur pouvait être considéré comme un diviseur fractionnaire idéal. Seulement, le rapport fractionnaire de l'accumulateur correspond à la moyenne du rapport de division durant sa période propre (§ 3.4.2.2), et le changement du MCF au cours du temps vient casser sa périodicité. Cette équation n'est exacte (sauf autre cas particulier) que pour les programmations où le MCF ne change pas. C'est-à-dire pour $\text{MCF}_1 = \text{MCF}_2$, ou $A = 0$, ou $A = B$. Néanmoins elle permet de définir les valeurs minimales et maximales des rapports de division synthétisables. La valeur maximale que peut prendre MCF_1 et MCF_2 est 2^{n-1} (§ 1.6.4.5.ii). Les valeurs extrêmes du rapport de division sont alors :

$$\begin{cases} N_{\text{min}} = \frac{2^n}{2^{n-1}} = 2 & \text{avec } A = 0, B = 1, \text{MCF}_2 = 2^{n-1} \\ N_{\text{max}} = 2^n (2^i - 1) & \text{avec } A = 0, B = 2^i - 1, \text{MCF}_2 = 1, (i \text{ étant la taille du compteur}) \end{cases} \quad (3.16)$$

Pour connaître les véritables rapports de division fractionnaires du système, il faut donc en déterminer sa périodicité. Le rapport fractionnaire correspond au rapport de division moyen contenu dans la période du système. Il est défini par le rapport entre le nombre de fronts montants du signal d'entrée et le nombre de fronts montants du signal de sortie contenus dans la période du système.

3.4.2.2 Motif (ou période) de l'accumulateur

Il est assez facile de déterminer le motif de l'accumulateur illustré par la figure 3.8. L'évolution du MSB de l'accumulateur fonctionne comme un diviseur fractionnaire $N/N + 1$. En

fonction du MCF, le nombre de périodes d'horloge avant débordement de l'accumulateur correspond à deux valeurs entières qui sont les rapports de division N et $N + 1$ et s'écrivent :

$$N = \left\lfloor \frac{2^n}{\text{MCF}} \right\rfloor \quad \text{et} \quad N + 1 = \left\lfloor \frac{2^n}{\text{MCF}} + 1 \right\rfloor \quad \text{avec} \quad [x] \Leftrightarrow \text{partie entière de } x \quad (3.17)$$

La période d'accumulation ($T_{\text{Accumulation}}$) correspond au temps nécessaire jusqu'au débordement de l'accumulateur, et elle peut donc prendre deux valeurs possibles qui sont :

$$\begin{cases} T_{\text{Accumulation}_{\min}} = N T_{\text{in}} = \left\lfloor \frac{2^n}{\text{MCF}} \right\rfloor T_{\text{in}} \\ T_{\text{Accumulation}_{\max}} = (N + 1) T_{\text{in}} = \left\lfloor \frac{2^n}{\text{MCF}} + 1 \right\rfloor T_{\text{in}} \end{cases} \quad (3.18)$$

avec T_{in} le signal d'entrée à diviser qui correspond à l'horloge de l'accumulateur.

Il y a une alternance entre ces deux périodes avec une distribution qui se répète dans le temps : c'est le motif de l'accumulateur. Le temps correspondant à la durée du motif est la période de l'accumulateur. Le nombre de périodes d'accumulation contenues dans le motif est :

$$P = \frac{\text{MCF}}{\text{PGCD}(\text{MCF}, 2^n)} \quad \text{avec} \quad \text{PGCD} : \text{Plus Grand Commun Diviseur} \quad (3.19)$$

Le rapport de division N_{frac} de l'accumulateur sur la durée du motif est donné dans l'équation (3.3). La période de l'accumulateur s'écrit alors à partir de cette équation et de l'équation (3.19) par :

$$T_{\text{Accumulateur}} = N_{\text{frac}} P T_{\text{in}} = \frac{2^n}{\text{PGCD}(\text{MCF}, 2^n)} T_{\text{in}} \quad (3.20)$$

La compréhension du fonctionnement de l'accumulateur permet de déterminer la périodicité du système complet.

3.4.2.3 Périodicité du système complet

La mise en équation du système complet est plus délicate dès lors que le changement du MCF de l'accumulateur au cours du temps vient casser la périodicité de celui-ci. S'il est possible d'obtenir le rapport de division exact à partir des valeurs MCF_1 , MCF_2 , A , B et d'un algorithme basé sur une équation récurrente très simple, nous n'avons pas à ce jour déterminé une version non récurrente de ce calcul à travers une simple équation. Cela nécessite de se plonger dans la théorie de l'arithmétique modulaire, à supposer d'ailleurs qu'une solution au problème existe.

Nous avons tout de même modélisé le système sous forme d'un programme qui donne son état pour chaque front montant du signal d'entrée, c'est-à-dire la valeur de l'accumulateur, du compteur et du MCF. Dès qu'un état s'est répété, c'est que le système a atteint son régime cyclique, et sa périodicité peut être déterminée. Le tableau 3.3 permet d'illustrer le comportement du système et notamment la façon dont la périodicité du système est déterminée. En partant d'une valeur initiale à zéro pour l'accumulateur et le compteur, et le MCF à la valeur

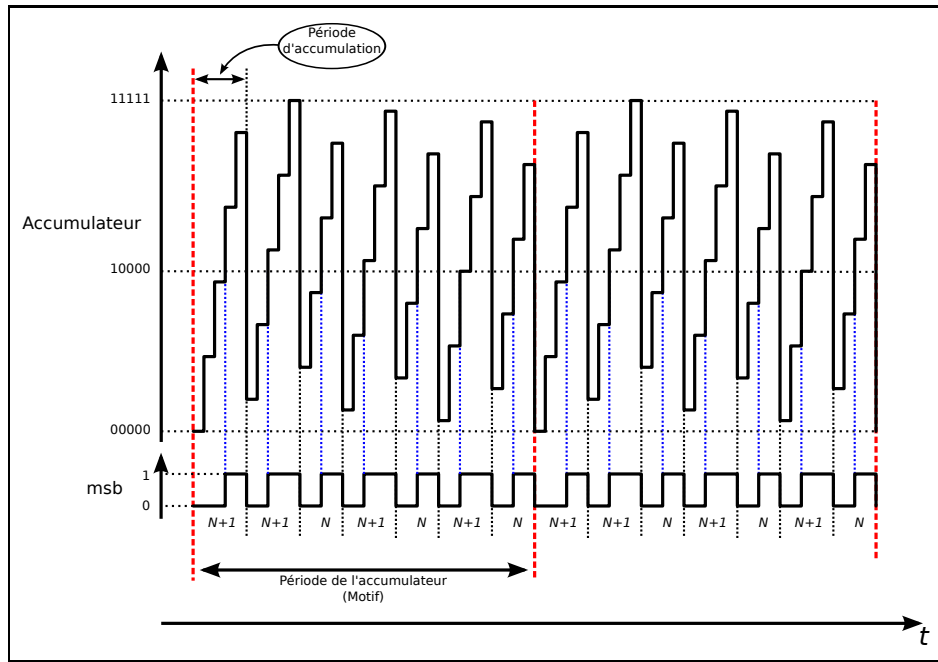


FIGURE 3.8 – Fonctionnement de l'accumulateur : exemple avec $n = 5$ bits et $MCF=7$

du MCF_1 , le système demande un certain nombre d'itérations avant de tomber dans un état cyclique. Dans cet exemple, l'état cyclique du système est atteint au 33^e front du signal d'entrée, car cet état se retrouve au 44^e front. Ce qui correspond à 11 fronts du signal d'entrée. Pendant cette période, il y a eu deux fronts sur la sortie. Le rapport de division fractionnaire est alors $N_{\text{frac}} = 11/2 = 5,5$. La formule (3.15) donne $N_{\text{frac}} = 5,6615$; ce qui fait une erreur d'environ 3% qui donne une bonne approximation mais pas suffisante en vue de la résolution souhaitée ($\Delta N_{\text{frac}} = 10^{-5}$). L'annexe B correspond au listing du programme qui détermine cette périodicité et donc le rapport de division.

Nous avons ensuite mis au point un deuxième programme permettant de calculer toutes les combinaisons possibles de programmation (MCF_1 , MCF_2 , A , B) du système afin de connaître les rapports de division synthétisables ainsi que la résolution. Le programme a été d'abord réalisé sous Matlab, mais a très rapidement atteint des limites en temps de calcul et ressources mémoire (> 100 Go de RAM, 24 h de calcul pour un accumulateur 9 bits et un compteur 6 bits). Le programme a donc été transcrit en langage CUDA-C. La programmation CUDA permet de donner des instructions de calcul au GPU¹ plutôt qu'au CPU². Les GPU sont caractérisés par leur capacité à traiter massivement des calculs en parallèle, ce qui en accélère grandement le temps d'exécution dans notre cas (1 Go de RAM, 1 min de calcul).

3.4.2.4 Résolution

La résolution du système dépend du choix de la taille de l'accumulateur et du compteur. Devant la complexité de l'architecture, il est difficile de déterminer la résolution du système de

1. Graphics Processing Unit = Processeur graphique

2. Central Processing Unit = Unité centrale de traitement

N° du front d'entrée	MCF	Valeur accumulateur	Valeur compteur	N° du front de sortie
0	10	0	0	-
1	10	10	0	-
2	13	20	1 = A	-
3	13	1	1	-
4	13	14	1	-
5	10	27	2 = B → reset	1
6	10	5	0	-
7	10	15	0	-
8	13	25	1	-
9	13	6	1	-
10	10	19	2 = B → reset	2
11	10	29	0	-
12	10	7	0	-
13	13	17	1	-
14	13	30	1	-
15	13	11	1	-
16	10	24	2 = B → reset	3
17	10	2	0	-
18	10	12	0	-
19	13	22	1	-
20	13	3	1	-
21	10	16	2 = B → reset	4
22	10	26	0	-
23	10	4	0	-
24	10	14	0	-
25	13	24	1	-
26	13	5	1	-
27	10	18	2 = B → reset	5
28	10	28	0	-
29	10	6	0	-
30	13	16	1	-
31	13	29	1	-
32	13	10	1	-
33	10	23	2 = B → reset	6
34	10	1	0	-
35	10	11	0	-
36	13	21	1	-
37	13	2	1	-
38	13	15	1	-
39	10	28	2 = B → reset	7
40	10	6	0	-
41	13	16	1	-
42	13	29	1	-
43	13	10	1	-
44	10	23	2 = B → reset	8
45	10	1	0	-

TABLE 3.3 – Illustration de la périodicité du système pour un accumulateur 5 bits avec : $MCF_1 = 10$, $MCF_2 = 13$, $A = 1$, $B = 2$

manière directe. Pour la déterminer, il faut alors calculer, via le programme décrit au § 3.4.2.3, toutes les combinaisons possibles de programmation du système (MCF_1 , MCF_2 , A , B), et en extraire le rapport de division. Une fois tous les rapports de division calculés, ils sont rangés par ordre croissant, et l'écart entre chacun donne le pas ΔN_{frac} . La figure 3.9 représente les courbes de résolution pour un accumulateur donné (6 bits) et différentes tailles de compteur (4 bits, 5 bits, 6 bits, et 7 bits), avec la courbe de droite qui est un zoom de la partie intéressante de la courbe de gauche. La figure 3.10 est une représentation similaire avec cette fois la taille du compteur fixée et des tailles d'accumulateurs différentes (4 bits, 5 bits et 6 bits). Ces deux figures permettent de tirer un certain nombre d'informations intéressantes. Le système permet d'atteindre une large gamme de rapports de division avec une résolution plus ou moins bonne. La résolution est mauvaise pour de très petits rapports de division ainsi que pour les grands. Il y a une zone où la résolution est optimale et présente un plancher. En dehors de cette zone, la résolution devient très rapidement mauvaise. En se focalisant sur ce plancher, on peut constater que :

- L'augmentation de la taille du compteur (figure 3.9) a pour effet d'élargir le plancher et donc d'augmenter la gamme de rapports de division, là où la résolution est optimale.
- L'augmentation de la taille de l'accumulateur augmente la résolution en gardant une largeur de plancher quasi identique (figure 3.10).

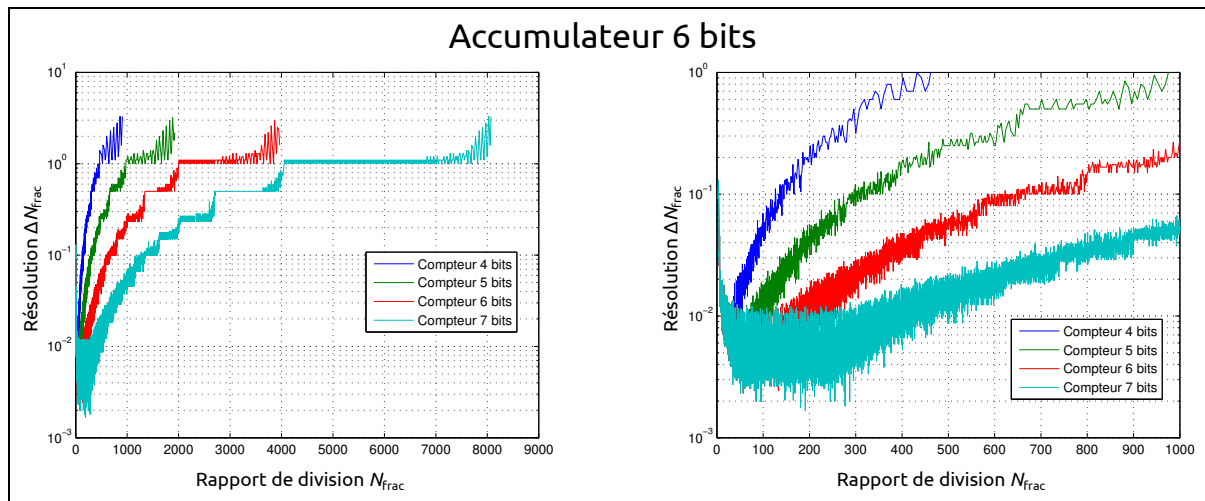


FIGURE 3.9 – Courbe de résolution du système en fonction de la taille du compteur (accumulateur fixe)

Au-delà d'un couple accumulateur-compteur de 7 bits, le traitement de tous les rapports de division possibles demande trop de ressources matérielles (informatique) pour le stockage et le traitement des données. Nous ne nous sommes donc intéressés qu'au calcul de la résolution dans la gamme de rapports qui nous intéresse ($970 < N_{\text{frac}} < 1450$). Pour cela, le programme doit nécessairement calculer tous les rapports de division pour ne garder que ceux compris entre 970 et 1450.

La tendance pour cette architecture est la même que pour le DDS utilisé seul (figure 3.2) : la résolution n'est mauvaise que sur une petite partie des valeurs possibles. Chercher à ce que

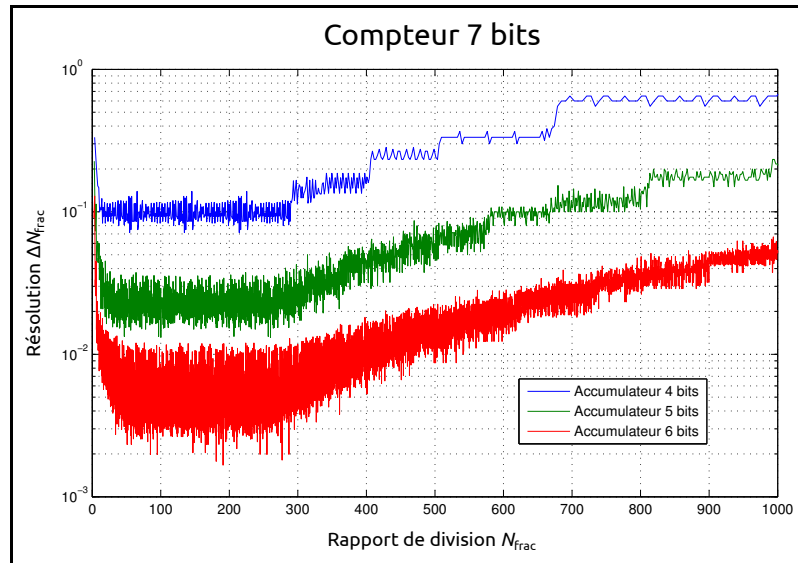


FIGURE 3.10 – Courbe de résolution du système en fonction de la taille de l’accumulateur (compteur fixe)

la plus mauvaise résolution soit meilleure que la résolution minimale du cahier des charges conduit alors à des contraintes très sévères, pour ne satisfaire au final qu’un petit pourcentage de résolutions fautive. C’est un peu comme si on dimensionnait toutes les routes de France pour fluidifier le trafic routier le plus dense qui n’a lieu qu’une fois par an, lors du chassé croisé de fin juillet début août... La tendance est plutôt de dimensionner les routes de manière raisonnable, d’accepter des conditions dégradées quelques jours par an, et même de déconseiller aux automobilistes de partir ces jours là... Si on suit le même principe, on décide d’éliminer un petit nombre de valeurs parmi les plus mauvaises, disons 1 %, qu’on évitera d’utiliser, et de satisfaire les 99 % restantes.

Les courbes de la figure 3.11 sont le résultat des résolutions pour différentes tailles du circuit. Grâce au programme CUDA et à notre matériel informatique, nous avons pu obtenir les résultats jusqu’à 12 bits pour l’accumulateur et 8 bits pour le compteur (temps de calcul égal à 6 jours). Au-delà, le temps de calcul est multiplié environ par 4 par bit supplémentaire de l’accumulateur. Les deux courbes du haut correspondent à la valeur de résolution la moins bonne ($\Delta N_{\text{frac}(\text{max})}$) entre deux valeurs successives de N_{frac} en fonction de la taille de l’accumulateur et du compteur. Les deux courbes centrales sont une représentation similaire mais pour 99 % des meilleures valeurs de résolution, et les deux courbes du bas montre la résolution moyenne sur l’ensemble des valeurs.

Prenons le cas d’un accumulateur de 12 bits et d’un compteur de 8 bits : les deux courbes du haut indiquent que la résolution du système, pour des rapports de division compris entre 970 et 1450, est de 15×10^{-4} car $\Delta N_{\text{frac}} \leq 15 \times 10^{-4}$; mais les deux courbes centrales ajoutent que 99 % des valeurs de résolution entre deux rapports de division successifs est en dessous de 2×10^{-5} , et la résolution moyenne, quant à elle, est de 4×10^{-6} (courbes du bas).

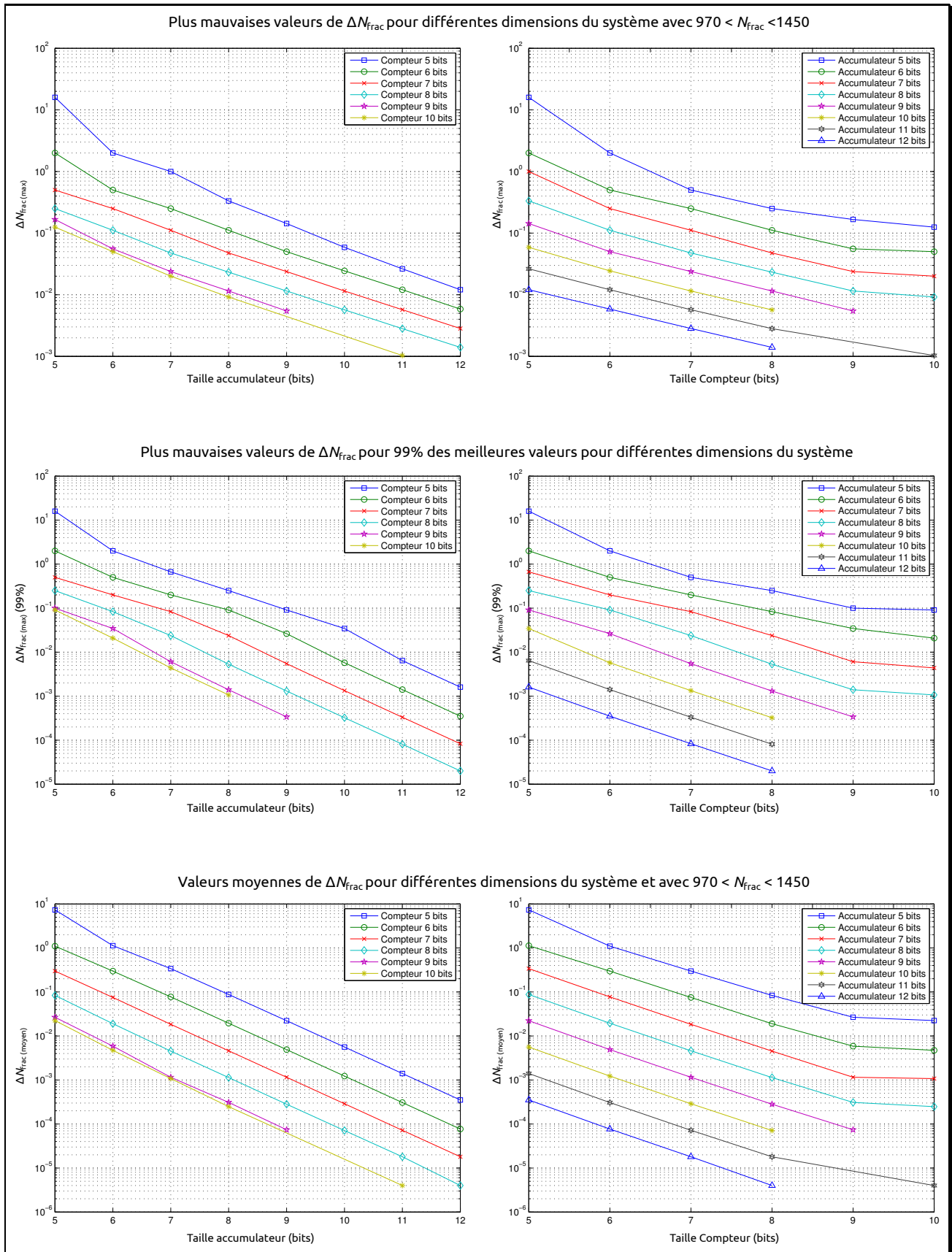


FIGURE 3.11 – Résolution du système pour différentes configurations (taille accumulateur et compteur) et pour $970 < N_{frac} < 1450$

En regardant l'évolution de la résolution, on voit qu'elle augmente en augmentant la taille du compteur et de l'accumulateur, jusqu'à une certaine taille pour le compteur. Ici, au-delà d'un compteur 9 bits, la résolution augmente peu. Donc, pour couvrir la bande de rapport de division qui nous intéresse, il est inutile d'utiliser un compteur de plus de 9 bits, car cela ne permettrait de ne gagner que peu en résolution.

La tendance de ces courbes permet d'avoir une estimation du dimensionnement du circuit nécessaire pour obtenir la résolution ΔN_{frac} souhaitée qui est de 10^{-5} : en augmentant d'un bit la taille du compteur (jusqu'à 9 bits) ou celle de l'accumulateur, on améliore par environ deux la résolution $\Delta N_{\text{frac}(\text{max})}$ du système, et par environ quatre la résolution moyenne $\Delta N_{\text{frac}(\text{moy})}$ ainsi que la résolution de 99 % des valeurs. Dans ce cas, avec un accumulateur de 12 bits et un compteur de 9 bits, plus de 99 % des valeurs seraient en dessous de la résolution souhaitée. Si on voulait vraiment avoir la totalité des valeurs en dessous de cette résolution, il faudrait alors augmenter la résolution de l'accumulateur de 12 bits à 18 bits (toujours accompagné d'un compteur de 9 bits). On voit bien tout l'intérêt d'éliminer 1 % des valeurs parmi les plus contraignantes. Il est intéressant de noter que l'architecture que nous proposons nécessite de travailler sur des nombres de bits plus réduits par rapport à l'utilisation du DDS seul : avec un accumulateur de 12 bits et un compteur de 8 bits, la résolution du système est $\Delta N_{\text{frac}(\text{max})} = 15 \times 10^{-4}$ et est aussi bonne qu'un DDS seul de 31 bits au niveau de l'accumulateur.

3.4.3 Simulations comportementales

Afin d'étudier et de valider le système, une modélisation du circuit a d'abord été faite avec des composants décrits en Verilog-A. La programmation permet de valider le fonctionnement d'un point de vue numérique et permet de calculer les rapports de division. Le langage Verilog-A permet de décrire le circuit d'un point de vue analogique (avec les grandeurs physiques). Cette étape est intéressante, car elle offre une transition entre le monde de la programmation et le monde de la conception du circuit.

Deux circuits modélisés ont été réalisés. Le premier correspond au système réellement implémenté, c'est-à-dire avec seulement l'accumulateur en prédiviseur (figure 3.6), et le deuxième correspond à l'utilisation d'un DDS complet permettant une réduction des raies parasites résiduelles, par interpolation de phase (le DDS remplace alors l'accumulateur de la figure 3.6). Il faut noter qu'une bascule DFF montée en diviseur par deux (figure 2.16), a été rajoutée à la sortie du système décrit sur la figure 3.6. Cette bascule permet de transformer les impulsions de sortie (§ 3.4.1) en signaux carrés, plus facilement mesurables. Cette bascule ne change en rien la périodicité du système, mais elle divise par 2 la fréquence.

Cette étape de conception a permis de vérifier et valider la périodicité du système calculée par notre programme CUDA-C. La figure 3.12 est une comparaison des spectres de sortie dans les deux cas pour une programmation donnée : $f_{\text{in}} = 10$ GHz, $\text{MCF}_1 = 60$, $\text{MCF}_2 = 61$, $A = 47$, $B = 60$. La détermination de la périodicité par la récurrence décrite au § 3.4.2.3, donne 5612 fronts du signal d'entrée contenus dans la période du système et 11 fronts du signal de sortie. Le

rapport de division $N_{\text{frac}} = 2(5612/11) = 1020,3636$ (le facteur 2 est lié à la bascule D de sortie). Ce qui donne une fréquence de sortie $f_{\text{out}} = 9,8004 \text{ MHz}$. La position des raies parasites permet de vérifier la périodicité du système. La première raie parasite est éloignée de $1,7819 \text{ MHz}$ de la raie principale. Ce qui correspond bien à la périodicité calculée, car la fréquence du système est 5612 fois plus petite que la fréquence du signal d'entrée fixée à 10 GHz dans la simulation.

En comparant ces deux spectres, on voit nettement la réduction des raies parasites grâce au DDS. Le filtrage de sortie du DDS est simplement un filtre RC passe-bas d'ordre 1 et de fréquence de coupure $f_c = f_{\text{in}}/10$. Un filtrage simple permet une bonne diminution de l'amplitude des raies parasites : dans l'exemple de la figure 3.12 l'atténuation est de 25 dB .

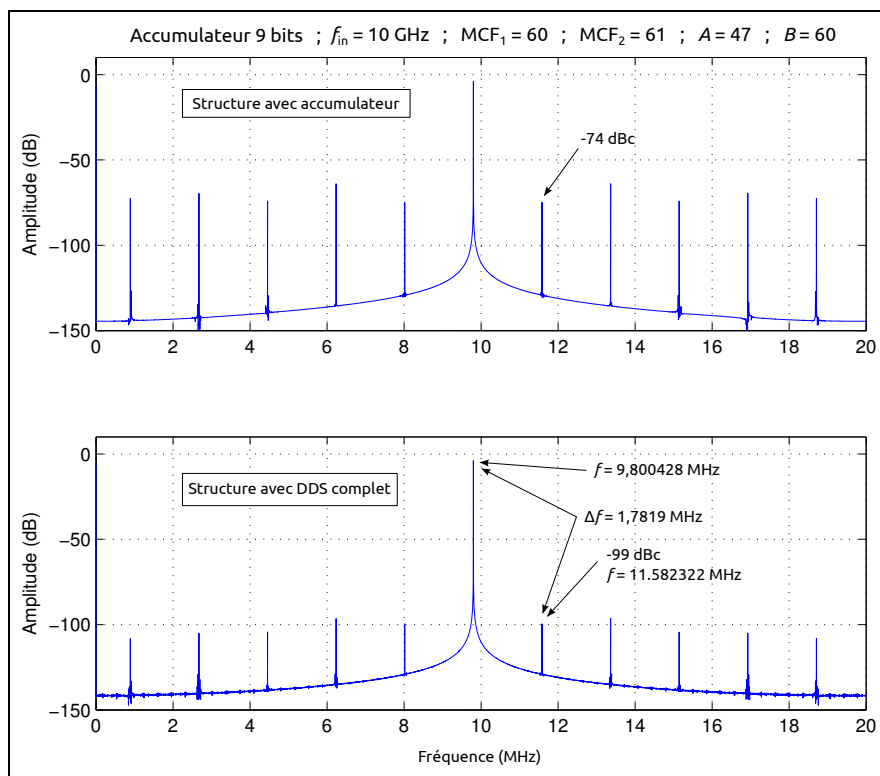


FIGURE 3.12 – Spectre simulé de la sortie du diviseur implémenté : comparaison avec l'utilisation du DDS seul

3.4.4 Conception de l'accumulateur de phase

Le circuit réalisé intègre un accumulateur 9 bits ainsi qu'un compteur et un comparateur de 6 bits chacun. Ceci offre en théorie une résolution $\Delta N = 0,05$. Avec un DDS seul, cette résolution aurait été obtenue avec 26 bits sur l'accumulateur. L'objectif de cette étape est de valider le fonctionnement du système : vérifier son fonctionnement haute fréquence, obtenir la bonne fréquence en sortie en comparaison avec la théorie, etc. Le remplacement de l'accumulateur par un DDS complet ne fera alors qu'améliorer les performances. La contrainte de fonctionnement haute fréquence s'applique à l'accumulateur dont la fréquence d'horloge doit fonctionner à la fréquence de sortie de la PLL. L'accumulateur a été réalisé en logique ECL en partenariat avec

un autre doctorant du groupe, Teddy Borr [7] dans le cadre de la conception d'un DDS haute fréquence. Si la prévision qu'il réalise est suffisamment élevée, le reste du système peut alors être réalisé en logique CMOS afin de limiter la consommation globale du système.

3.4.4.1 Choix de la structure de l'accumulateur

La conception de l'accumulateur réside sur un compromis entre rapidité et consommation. Pour cela deux structures nous intéressent : la structure simple, et la structure pipeline [5].

La structure simple, représentée par la figure 3.13, est une mise en cascade d'accumulateurs 1 bit. En d'autres termes, elle est réalisée à partir d'un accumulateur n bits à propagation de retenue suivie d'un registre, de n bits lui aussi. Cette structure est la plus simple car elle utilise le minimum d'additionneurs et de registres. C'est donc celle qui consomme le moins, et qui aura une meilleure intégration. Cependant, elle limite grandement les performances en vitesse. En effet, pour que l'opération d'accumulation soit valide, il faut attendre que l'additionneur n bits finisse son opération d'addition. Pour cela il faut attendre que le dernier additionneur (celui correspondant au MSB) ait reçu sa retenue entrante (C_{in}).

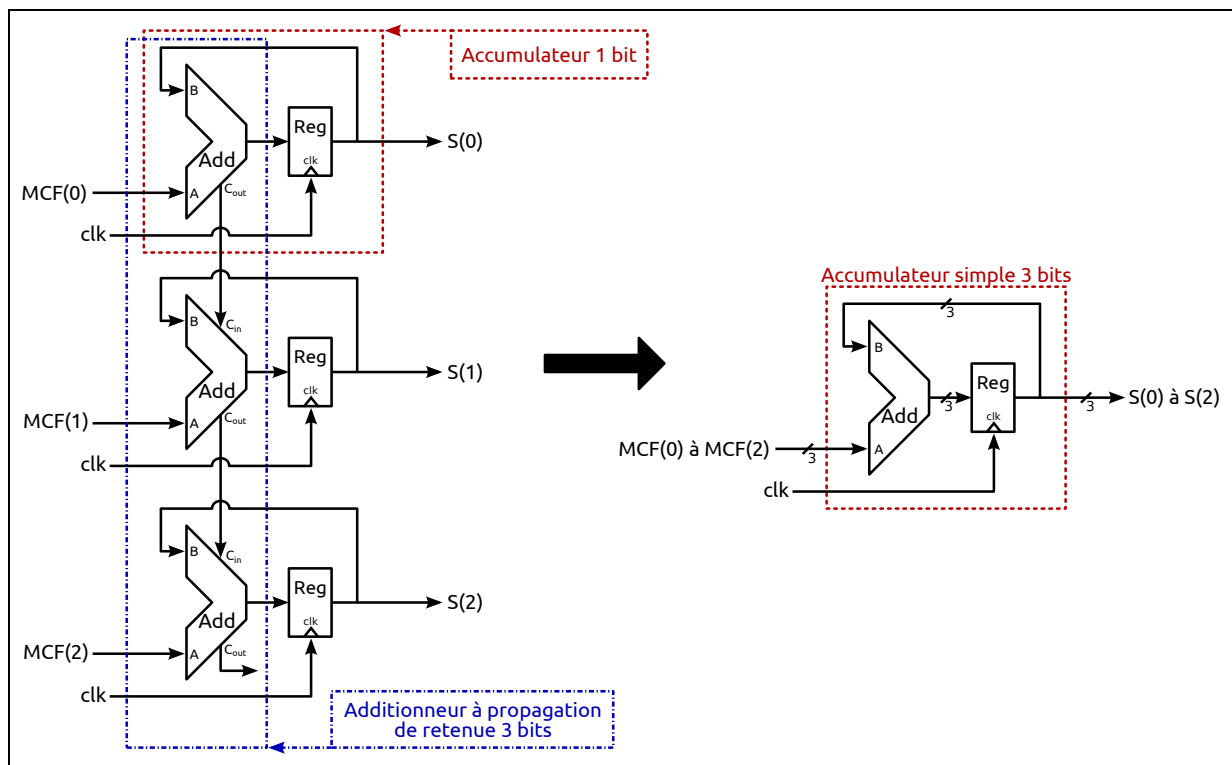


FIGURE 3.13 – Schéma d'un accumulateur à structure simple 3 bits

La structure pipeline permet de pallier le problème de propagation de la retenue en décomposant l'addition en plusieurs étapes, chacune étant décalée d'un coup d'horloge. L'opération se retrouve donc décalée dans le temps d'un nombre entier de périodes d'horloge, mais sans compromettre la validité de l'opération. La figure 3.14 représente la structure pipeline réalisée. C'est une structure pipeline 2×4 bits + 1 LSB¹ [5], c'est-à-dire qu'il y a un accumulateur 1 bit

1. Least Significant Bit

pour le bit de poids faible, un accumulateur simple 4 bits pour les bits de poids moyen et un accumulateur simple 4 bits pour les bits de poids fort. Pour un gain de vitesse optimal, l'idéal est d'utiliser une structure 9×1 bits (utilisant 9 accumulateurs 1 bit) pour un accumulateur 9 bits. Malheureusement, cela nécessite l'utilisation de 89 registres 1 bit contre 9 pour un accumulateur 9 bits à structure simple. Ce qui donne une consommation quasiment 10 fois plus élevée, alors que la structure 2×4 bits + 1 LSB choisie n'utilise que 29 registres 1 bit et ne consomme donc que trois fois plus que la structure simple. Afin de diminuer encore la complexité, les registres d'entrée (représentés en pointillés sur la figure 3.14) ont été supprimés. Dans ce cas, l'utilisation du circuit est limitée à une programmation de MCF_1 et MCF_2 successifs et de telle sorte que seul le LSB change entre ces deux valeurs. Pour cela, le MCF le plus petit doit être pair. On obtient alors une réduction du nombre de registres 1 bit à 17. La nouvelle consommation est donc maintenant d'un peu moins de deux fois la consommation d'un accumulateur simple 9 bits.

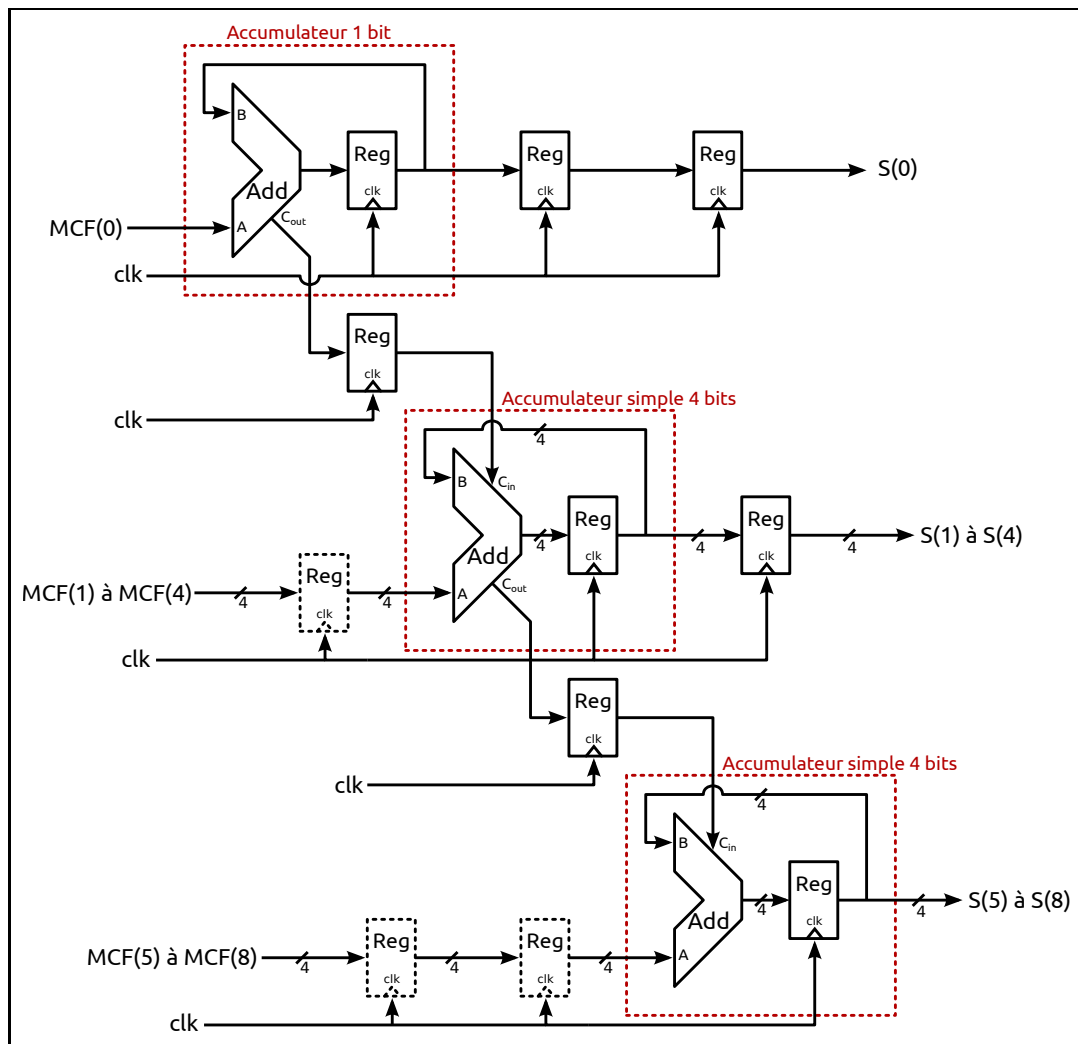


FIGURE 3.14 – Schéma de l'accumulateur 9 bits réalisé : structure pipeline 2×4 bits + 1 LSB

3.4.4.2 Réalisation de l'accumulateur

L'accumulateur est réalisé uniquement avec un agencement d'additionneurs 1 bit et de registres 1 bit. Seul le nombre de registres diffère suivant la structure choisie (§ 3.4.4.1). La conception de l'accumulateur est donc principalement orientée sur la conception d'un additionneur 1 bit et d'un registre 1 bit. L'accumulateur final est alors un assemblage de ces deux cellules élémentaires. Le registre de mémorisation est une simple bascule D.

La figure 3.15 représente une structure de bascule D sensible sur niveau en logique ECL [8]. Lorsque l'horloge (clk) est à l'état haut, la bascule est en mode lecture. Lorsqu'elle est à l'état bas la bascule est en mémorisation, c'est-à-dire que l'état est maintenu jusqu'au niveau haut suivant de l'horloge. L'étage de sortie représenté par les deux collecteurs communs T_5 et T_6 montre bien qu'on est en logique ECL. Les sources de courant qui polarisent les étages différentiels et de sorties sont réalisées par un simple transistor NMOS piloté par un potentiel de référence V_{ref} . Ce potentiel de référence est créé à partir d'un miroir de courant polarisé en interne comme celui de la figure 3.16 : le point V_b du miroir est aussi connecté vers l'extérieur à travers un « pad », ce qui permet éventuellement de pouvoir changer la polarisation des sources de courant de manière externe afin de pallier un dysfonctionnement. La sortie du registre est à deux niveaux logiques Q/\overline{Q} et Q'/\overline{Q}' prévus pour être compatibles avec les niveaux de l'additionneur 1 bit ou ceux d'un même registre. Le niveau Q/\overline{Q} de la bascule est utilisé si l'entrée de la porte suivante à connecter est celle d'un autre registre ou l'entrée $C_{in}/\overline{C_{in}}$ d'un additionneur. Le niveau Q'/\overline{Q}' est utilisé dans le cas d'une connexion à l'entrée B/\overline{B} d'un additionneur (figure 3.17).

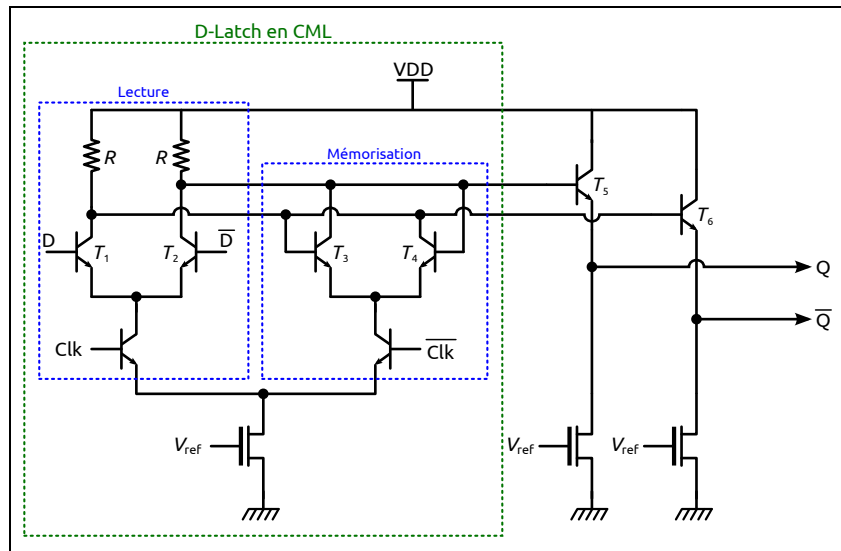


FIGURE 3.15 – Schéma d'une bascule D sensible sur niveau en logique ECL

L'additionneur est composé de trois entrées A , B et la retenue entrante C_{in} , ainsi que de deux sorties, la somme Sum_2 et la retenue de sortie C_{out} . Les équations booléennes des deux

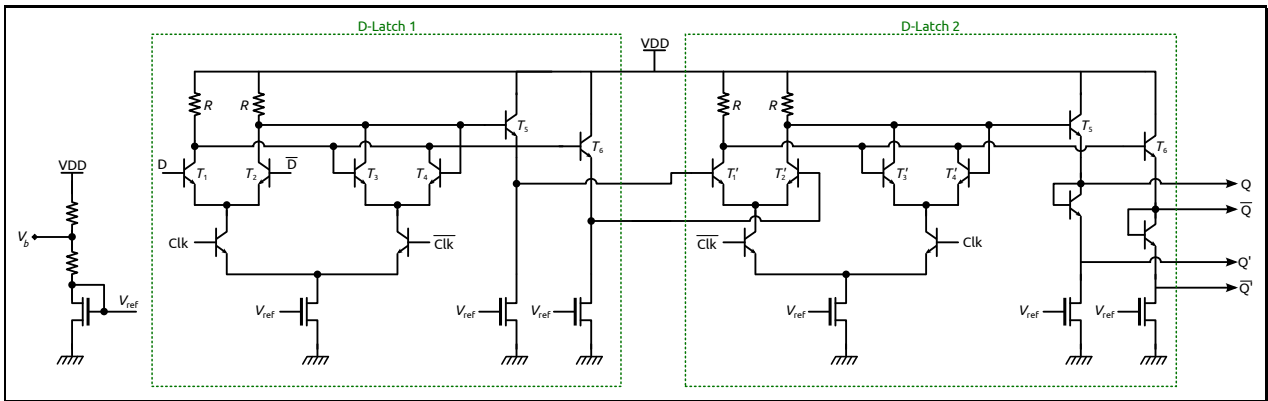


FIGURE 3.16 – Schéma du registre 1 bit implémenté en ECL

sorties s'écrivent :

$$\begin{aligned} \text{Sum} &= (A \oplus B) \oplus C_{in} \\ C_{out} &= C_{out} \cdot (A \oplus B) + A \cdot B \end{aligned} \tag{3.21}$$

La figure 3.17 représente l'implémentation de ces deux fonctions, et donc de l'additionneur 1 bit, en logique ECL multi-niveaux. Les sources de courant qui polarisent les étages différentiels sont des sources commandées réalisées par des transistors NMOS pilotés par une des entrées de l'additionneur (ici l'entrée A et \bar{A}), ce qui permet de réduire la puissance dissipée vu qu'on économise un étage différentiel et donc la tension d'alimentation peut être abaissée [5].

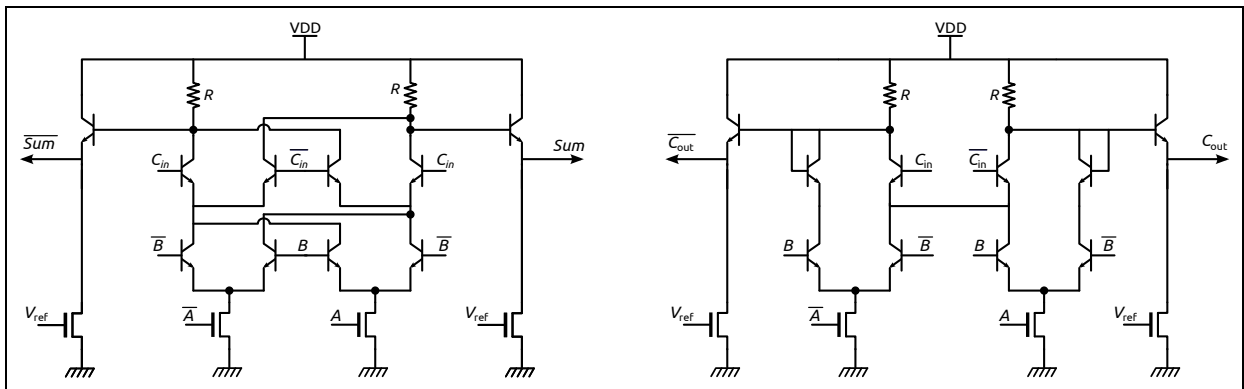


FIGURE 3.17 – Schématique d'un additionneur 1 bit

3.4.4.3 Dessin des masques

Le dessin des masques, qui représente le dessin physique du circuit, est une étape délicate pour l'accumulateur. Son fonctionnement haute fréquence obtenu en simulation se retrouve dégradé par les parasites ajoutés. Une attention particulière a donc été apportée aux dessins des deux cellules élémentaires qui le composent (additionneur 1 bit et registre 1 bit). Vu que ces cellules sont dupliquées pour réaliser l'accumulateur final, elles ont été réalisées de telle sorte qu'il suffit de les coller les unes aux autres pour que les connexions d'alimentation, de masse et de polarisation des sources de courant (V_{ref}) se retrouvent connectées, tout en respectant

les règles de dessin des masques (figure 3.18 et figure 3.19). Il ne reste alors que les entrées et sorties à connecter entre elles.

Par ailleurs, les connexions entre les différents transistors de ces deux cellules ont été optimisées de façon à minimiser les parasites pour un fonctionnement rétro-simulé le plus haut possible en fréquence. Malheureusement, la complexité de l'accumulateur complet (9 bits) rend difficile la minimisation globale des parasites. En effet, il compte environ 600 transistors bipolaires à connecter. À la différence des transistors MOS qui peuvent être collés les uns aux autres et engendrer une grande densité d'intégration, les transistors bipolaires doivent être espacés de $6\ \mu\text{m}$ au minimum afin de respecter les règles de dessin imposées par le fondeur. Ceci explique de nombreux parasites résistifs difficiles à supprimer. La simulation du schéma pour un $\text{MCF} = 1$ affiche un fonctionnement jusqu'à 27 GHz alors que la rétrosimulation du dessin des masques indique une fréquence maximale de fonctionnement de seulement 18 GHz, ce qui confirme l'impact majeur des parasites et la nécessité de leur prise en compte.

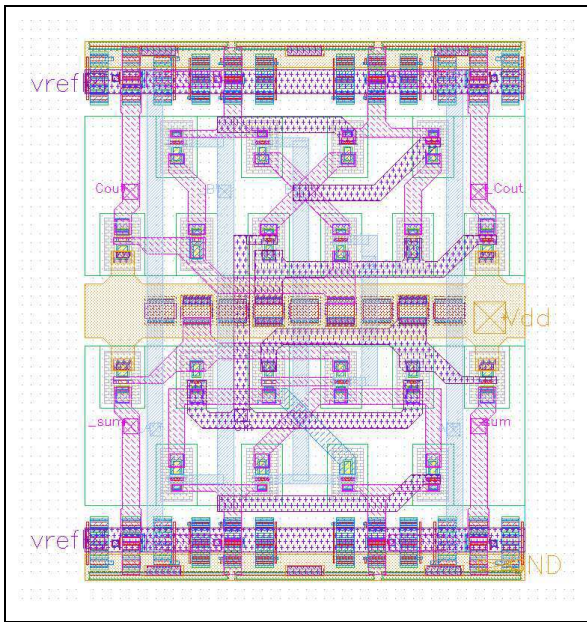


FIGURE 3.18 – Dessin des masques de l'additionneur 1 bit

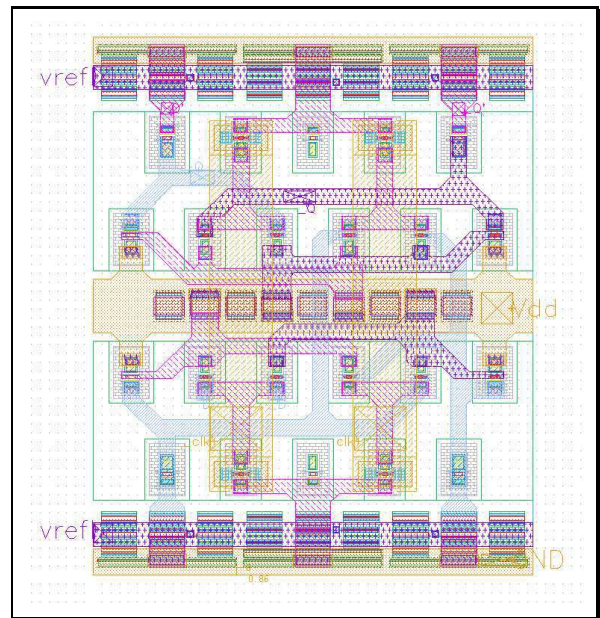


FIGURE 3.19 – Dessin des masques du registre 1 bit

3.4.5 Le compteur et le comparateur

Le compteur et le comparateur sont réalisés en logique CMOS et ne sont pas vraiment une contrainte à la conception. L'avantage de la logique CMOS c'est qu'elle est très facile à réaliser d'autant que le fondeur IBM fournit pour sa technologie BiCMOS8HP toute une bibliothèque numérique de portes logiques toutes prêtes pour la schématisation et le dessin des masques. Il suffit donc d'assembler les portes logiques nécessaires et de réaliser les connexions. En plus de fonctionner à de plus basses fréquences que la logique ECL, la taille des circuits CMOS en est tellement réduite que les parasites résistifs liés aux connexions des portes logiques entre elles sont très faibles.

3.4.6 Passage de la logique ECL à CMOS

Les niveaux logiques entre l'ECL et le CMOS sont différents. Un étage de transition entre ces deux logiques est donc nécessaire pour ajuster les niveaux. Pour cela, il faut d'une part augmenter l'amplitude du signal sortant de la logique ECL, puis modifier le niveau statique (tension DC) pour le situer autour du seuil de commutation de la logique CMOS. La figure 3.20 représente la structure implémentée. L'amplification du signal est réalisée par un amplificateur différentiel (transistors T_1 et T_2). L'amplitude passe alors d'environ 0,35 mV à 0,8 V. Ces signaux amplifiés sont suivis d'un étage suiveur formé par les transistors T_3 et T_4 . En plus de conserver l'amplitude, le niveau DC se retrouve abaissé d'un V_{BE} ($\approx -0,9$ V). Le niveau DC se retrouve autour de 1,5 V. Les circuits CMOS sont alimentés dans notre cas en 1,2 V. Les niveaux logiques sont donc 0 V pour le niveau bas, et 1,2 V pour le niveau haut. Le seuil de basculement se situe autour de 0,6 V. Les transistors T_5 et T_6 , montés en diode, jouent le rôle d'abaisseurs de tension supplémentaires d'une valeur V_{BE} comme pour les transistors suiveurs. Ceci permet de récupérer un niveau DC autour de 0,6 V et donc de pouvoir se connecter aux circuits CMOS. Les chronogrammes de la figure 3.20 montrent l'évolution de l'amplitude et du niveau DC aux différents points du circuit.

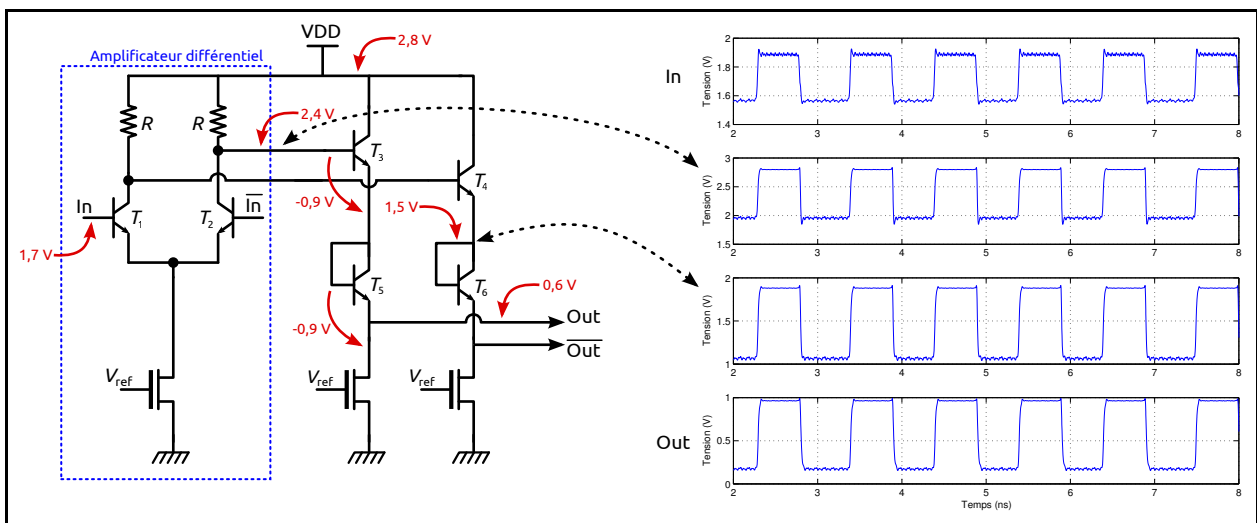


FIGURE 3.20 – Schéma du convertisseur ECL vers CMOS et résultats de simulation

3.4.7 Diviseur complet

La figure 3.21 est une image du dessin des masques du diviseur complet. La différence de niveau d'intégration entre la logique CMOS et ECL y est évidente. Le compteur et le comparateur sont composés d'environ 350 transistors MOS chacun (nMOS et pMOS confondus) et l'accumulateur contient environ 600 transistors. Les temps de simulations et les ressources matérielles nécessaires étant très grands, des rétro-simulations du système complet n'ont été faites que pour deux programmations afin de vérifier le bon fonctionnement avant le départ en fabrication.

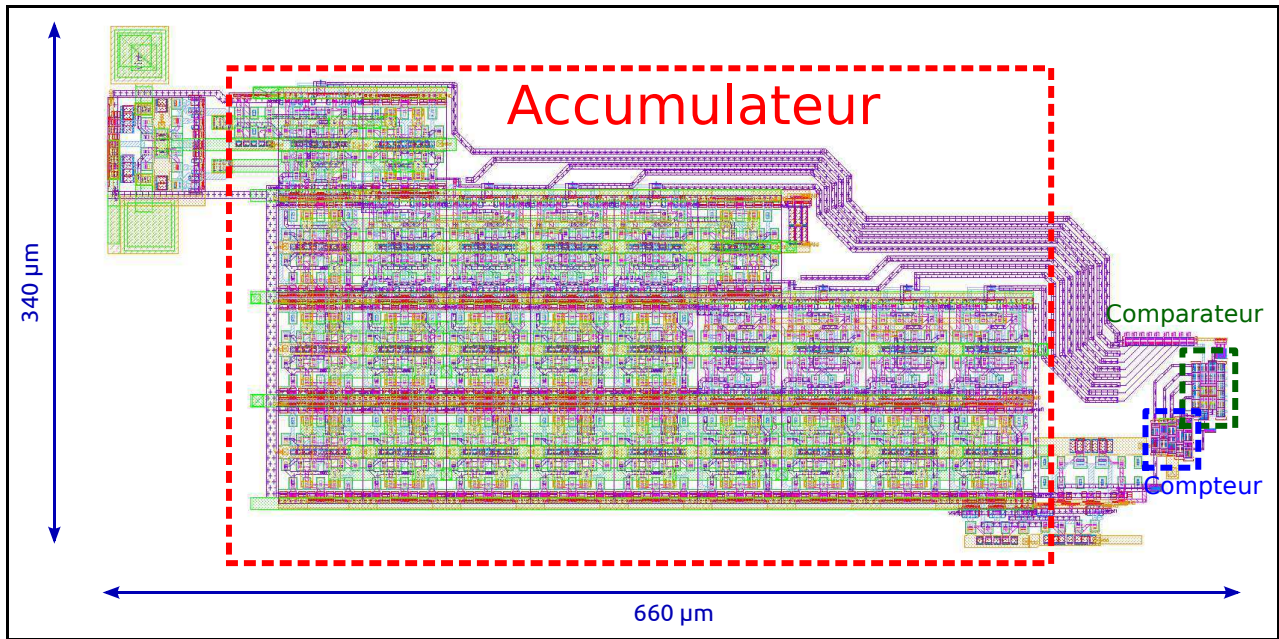


FIGURE 3.21 – Dessin des masques du diviseur implémenté : accumulateur 9 bits, compteur et comparateur 6 bits

3.5 Conclusion

À travers ce chapitre ont été présentées les différentes étapes qui nous ont menés à une architecture originale de diviseur fractionnaire. un simple DDS, tel qu'il a été présenté au chapitre 1, était visé au départ, mais son fonctionnement en diviseur fractionnaire dans une PLL aurait imposé un surdimensionnement de celui-ci pour atteindre une bonne résolution fréquentielle sur une large gamme de rapports de division. L'architecture développée et présentée dans ce chapitre répond à cette limitation du seul DDS. Elle permet de simplifier grandement la complexité de ce dernier, pour une résolution donnée, en lui adjoignant un compteur et un comparateur.

La résolution fréquentielle de 100 Hz qui a été fixée dans le projet implique une résolution $\Delta N = 10^{-5}$ pour le diviseur fractionnaire (avec une fréquence de référence de la PLL à 10 MHz). Pour répondre à cette condition, un DDS utilisé seul doit être de 38 bits, alors que pour la version proposée avec un compteur et un comparateur supplémentaire, le DDS n'est plus que de 18 bits, et elle permet d'avoir tous les ΔN inférieurs ou égaux à la résolution souhaitée, et plus faible encore si l'on accepte d'éliminer un petit pourcentage parmi les valeurs de résolution les plus mauvaises : nous avons montré qu'un accumulateur de 12 bits (et donc a fortiori un DDS de même taille, soit une réduction de 6 bits supplémentaires) suffit en enlevant 1% des valeurs. Il est possible de diminuer encore plus la taille en ne prenant vraiment en considération que la résolution autour des fréquences qui nous intéressent (celles des canaux de transmission), à l'exclusion de toutes les autres possibilités.

Le circuit réalisé et présenté en deuxième partie de ce chapitre en est une version simplifiée, notamment en ce qui concerne la complexité de réalisation de l'accumulateur 9 bits : le choix

dans la programmation des deux valeurs de MCF est réduit à une valeur paire quelconque et à la valeur impaire suivante. Cette version simplifiée est toutefois suffisante pour valider la conception du diviseur, en l'étendant ensuite à un diviseur à valeurs de MCF quelconques, puis à une version avec un DDS complet en lieu et place de l'accumulateur. C'est ce qui est présenté dans le chapitre suivant avec les résultats expérimentaux.

Références bibliographiques du chapitre 3

- [1] Yi-Da WU, Chang-Ming LAI, Chao-Cheng LEE et Po-Chiu HUANG. « A Quantization Error Minimization Method Using DDS-DAC for Wideband Fractional-N Frequency Synthesizer ». Dans : *Solid-State Circuits, IEEE Journal of* 45.11 (2010), p. 2283 –2291 (cf. p. 85).
- [2] Ulrich L. ROHDE. *Digital PLL Frequency Synthesizers - Theory and Design*. Prentice Hall, 1983 (cf. p. 90).
- [3] E. TOURNIER, M. SIE et J. GRAFFEUIL. « A 14.5 GHz, 0.35 μm frequency divider for dual-modulus prescaler ». Dans : *Radio Frequency Integrated Circuits (RFIC) Symposium, 2002 IEEE*. 2002, p. 227 –230 (cf. p. 90).
- [4] Mathilde SIÉ. « Synthétiseur de fréquence monolithiques micro-ondes à 10 et 20 GHz en technologies BiCMOS SiGe 0,25 et 0,35 μm ». Thèse de doct. Université Paul Sabatier de Toulouse, 2004 (cf. p. 90).
- [5] Stéphane THURIES. « Conception et intégration d'un synthétiseur digital direct micro-onde en technologie silicium SiGe : C 0,25 μm ». Thèse de doct. Université Paul-Sabatier de Toulouse, 2006 (cf. p. 91, 103, 106).
- [6] J. JUYON, I. BURCIU, T. BORR, S. THURIES et E. TOURNIER. « A low spurious level fractional-N frequency divider based on a DDS-like phase accumulation operation ». Dans : *Mixed Design of Integrated Circuits and Systems (MIXDES), 2011 Proceedings of the 18th International Conference*. IEEE, juin 2011, p. 417–421 (cf. p. 93).
- [7] T. BORR, J. JUYON et E. TOURNIER. « A both Gaussian and sinusoidal phase-to-amplitude converter for low-power ultra-high-speed direct digital synthesizers ». Dans : *New Circuits and Systems Conference (NEWCAS), 2011 IEEE 9th International*. 2011, p. 5 –8 (cf. p. 103).
- [8] S. GODET, E. TOURNIER, O. LLOPIS, A. CATHELIN et J. JUYON. « A Low Phase Noise and Wide-Bandwidth BiCMOS SiGe :C 0.25 μm Digital Frequency Divider For An On-Chip Phase-Noise Measurement Circuit ». Dans : *Silicon Monolithic Integrated Circuits in RF Systems, 2009. SiRF '09. IEEE Topical Meeting on*. 2009, p. 1 –4 (cf. p. 105).

Chapitre 4

Résultats expérimentaux du diviseur fractionnaire

4.1 Introduction

Ce chapitre présente les résultats des mesures effectuées sur le diviseur fractionnaire présenté au chapitre 3.

Nous avons développé des cartes de test afin d'y mesurer les puces plutôt que sous pointes. Ce choix vient essentiellement du nombre de bits de programmation nécessaires et donc du nombre de pads à connecter avec l'extérieur. Les puces ont donc été collées sur PCB¹ et reliées grâce à des fils de « bonding » (figure 4.1). La programmation du système (A , B , MCF_1 , MCF_2) est faite grâce à des rampes de « switch » (en rouge sur la photo) qui commutent les entrées, soit à la tension d'alimentation, soit à la masse.

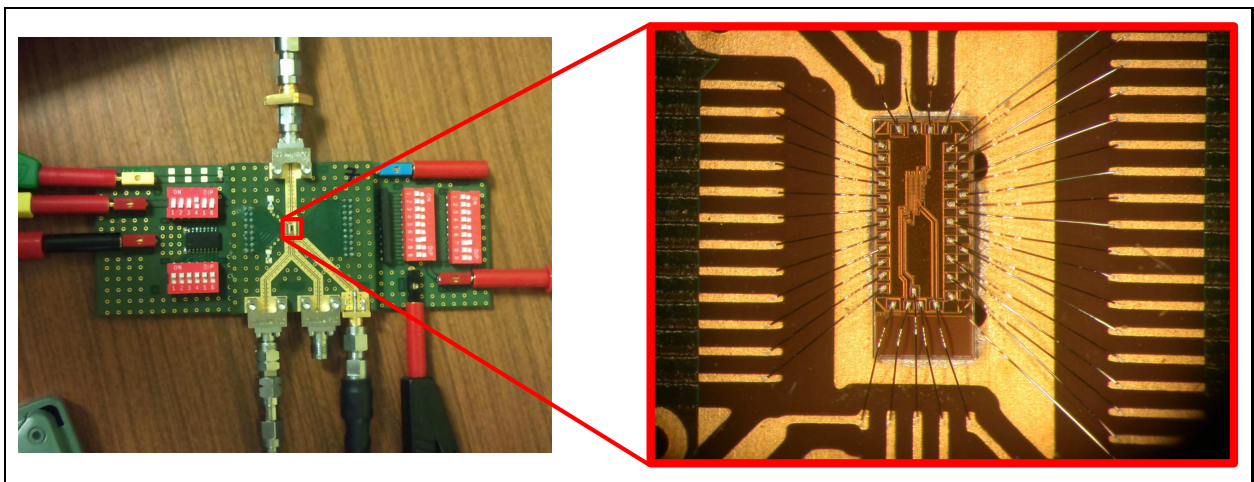


FIGURE 4.1 – Photographie du PCB de test et du « bonding » du diviseur fractionnaire

Le diviseur a fait l'objet de deux « runs ». Parmi la première série de puces, sept ont été montées et une seule était fonctionnelle. Le problème a rapidement été identifié et venait de certaines entrées de programmation « grillées » qui étaient bloquées, soit à 1, soit à 0. Ces entrées de programmation sont directement connectées à des grilles de transistor MOS très fragiles face aux décharges électrostatiques. Il a donc fallu rajouter des protections ESD² sur chaque entrée, oubliées sur la première version. Par chance, parmi cette première série de puces, nous en avons tout de même trouvé une d'utilisable, car seule son entrée LSB du MCF_1 était bloquée à 1. Nous avons donc pu valider le fonctionnement global de la puce avec les autres bits de programmation. Les mesures présentées ici correspondent à la deuxième série de puces incluant des protections ESD et permettant d'exploiter pleinement la programmation prévue. Les mesures sont en accord avec ce qui a pu être mesuré sur cette première puce.

La partie ECL (l'accumulateur) fonctionne sous une tension de 3 V et nécessite un courant de 150 mA. La partie CMOS fonctionne sous une tension de 1,3 V et un courant de 6 mA. Ce qui nous donne une consommation totale de 457,8 mW.

1. Printed Circuit Board = circuits imprimés

2. ElectroStatic Discharge

4.2 Mesure de l'accumulateur

Lors de la conception du circuit, nous avons prévu de pouvoir mesurer la sortie MSB de l'accumulateur seul (figure 3.6), afin de valider son fonctionnement, avant un test plus complet. Ce MSB a été connecté à un « buffer » capable de s'accommoder des $50\ \Omega$ des appareils de mesures haute fréquence. Afin de mesurer ce MSB dans les conditions d'un accumulateur simple, il faut programmer le système pour qu'il n'y ait pas de changement de MCF au cours du temps, ce qui revient à fixer $A = B$. La sortie de l'accumulateur peut alors être mesurée pour différentes valeurs de MCF.

4.2.1 Spectres de sortie

La fréquence des raies parasites liées à la périodicité de l'accumulateur est vérifiée et comparée à la théorie. À partir de l'équation (3.20), la fréquence théorique vraie de l'accumulateur est donnée par :

$$f_{\text{accu}} = \frac{\text{PGCD}(\text{MCF}, 2^n)}{2^n} f_{\text{in}} \quad (4.1)$$

avec, dans notre cas, $n = 9$ et $f_{\text{in}} = 10\ \text{GHz}$.

Des raies parasites se trouvent autour de la raie principale et espacées entre elles de la fréquence vraie de l'accumulateur f_{accu} . La fréquence de la raie principale est la fréquence de sortie apparente de l'accumulateur (ici le MSB) et est donnée par l'équation 1.19. La figure 4.2 représente quelques résultats de mesures pour différentes valeurs de MCF :

- ① \rightarrow MCF = 32 : MCF correspond à une puissance de 2. Dans ce cas la division est entière et non pas fractionnaire, il n'y a donc pas de variation périodique du rapport de division au cours du temps, et les fréquences vraie et apparente sont identiques, ce qui explique l'absence de raies parasites.
- ② \rightarrow MCF = 48 : quelques raies parasites sont présentes sur le spectre, liées à une période vraie courte de l'accumulateur ($\text{PGCD}(48, 2^9) = 16$). La fréquence vraie de l'accumulateur est alors $f_{\text{accu}} = 312,5\ \text{MHz}$. Sur la mesure montrée dans la figure 4.2, on a $f_{\text{accu}} = 308\ \text{MHz}$. Cet écart s'explique simplement par l'incertitude de mesure de l'analyseur de spectre dû à un large « span ». Pour pouvoir se comparer la fréquence calculée en théorie, il faut alors utiliser la fonction fréquencemètre de l'analyseur de spectre qui offre une plus grande précision de mesure, au mHz près. En mesurant la fréquence de cette manière pour chaque raie, on retrouve la fréquence théorique f_{accu} . De même pour la fréquence de la raie principale qui est de $937,5\ \text{MHz}$ avec le fréquencemètre. On a donc un rapport de division fractionnaire de $N_{\text{frac}} = 10,67$, conforme à la théorie.
- ③ et ④ \rightarrow MCF = 50 : exemple ici d'une périodicité plus grande de l'accumulateur qui montre dès lors un nombre beaucoup plus important de raies parasites. La courbe ④ est un zoom de la courbe ③ afin de vérifier la fréquence de l'accumulateur qui est $f_{\text{accu}} = 39,0625\ \text{MHz}$ en théorie (car $\text{PGCD}(48, 2^9) = 2$) et qui se retrouve en mesure en tenant compte de l'incertitude. La fréquence de la raie principale est de $976,65\ \text{MHz}$. On a donc

un rapport de division fractionnaire de $N_{\text{frac}} = 10,24$. Ce cas correspond exactement au cas de l'accumulateur traité en exemple sur la figure 1.31 (avec ici une fréquence d'entrée à 10 GHz).

- ⑤ et ⑥ \rightarrow MCF = 51 : correspondent à un cas où la périodicité de l'accumulateur est maximale (car $\text{PGCD}(48,2^9) = 1$). Dans ce cas, la fréquence correspondant à cette périodicité est la plus basse possible pour l'accumulateur. Le nombre de raies parasites contenu dans le spectre est alors maximal. La fréquence attendue de l'accumulateur est $f_{\text{accu}} = 19,531\,25$ MHz. La fréquence de la raie principale est de 996,26 MHz. On a donc un rapport de division fractionnaire de $N_{\text{frac}} = 10,04$

Ces mesures montrent bien le caractère fractionnaire de l'accumulateur. On voit la puissance et la quantité de raies parasites qui viennent polluer le spectre. Nous avons pu constater parmi toutes les mesures effectuées que le SFDR¹, qui donne l'écart entre la puissance de la raie principale et celle de la raie parasite la plus importante (harmoniques mis à part) de l'accumulateur est indépendant de la programmation, donc de la périodicité du signal de sortie, et est autour de 19 dBc. La figure 4.2 le montre pour trois périodicités différentes. Par contre, suivant la programmation, la position de la raie parasite la plus puissante varie.

4.2.2 Domaine de fonctionnement de l'accumulateur

L'entrée du système, qui correspond à l'horloge de l'accumulateur, se fait sur un « buffer » qui permet de générer les bons niveaux logiques pour le fonctionnement de l'accumulateur. De plus, celui-ci transforme le signal d'entrée en deux signaux différentiels compatibles avec les circuits ECL qui suivent. L'entrée du buffer se fait sur une capacité de liaison permettant de s'affranchir d'un quelconque niveau DC venant du générateur délivrant le signal à la puce. Cette capacité de couplage, associée au reste du circuit, constitue un filtre imposant une plage de fonctionnement à l'accumulateur. C'est-à-dire qu'il y a une bande de fréquences du signal d'entrée, ainsi qu'une gamme en puissance, à l'intérieur desquelles l'accumulateur fonctionne, et en dehors desquelles le circuit ne fonctionne pas. Ce domaine de fonctionnement est représenté par la figure 4.3. Le tracé en pointillés représente le domaine de fonctionnement pour MCF = 1 (LSB seul activé), celui en trait plein le domaine de fonctionnement pour MCF = 256. Ces deux MCF sont les valeurs extrêmes de programmation possibles pour l'accumulateur. Les mesures ont été faites pour chaque valeur de MCF correspondant à une puissance de deux, et ne sont pas représentées ici pour ne pas surcharger la figure. En augmentant la valeur de MCF, on augmente la plage de fonctionnement. La zone grisée correspond donc à la plage de fonctionnement globale de l'accumulateur : zone où l'accumulateur fonctionne quelle que soit la programmation du MCF. Le plateau à 20 dBm n'est pas une limite de fonctionnement, mais une limite de l'appareil qui génère le signal de référence.

1. Spurious-Free Dynamic Range

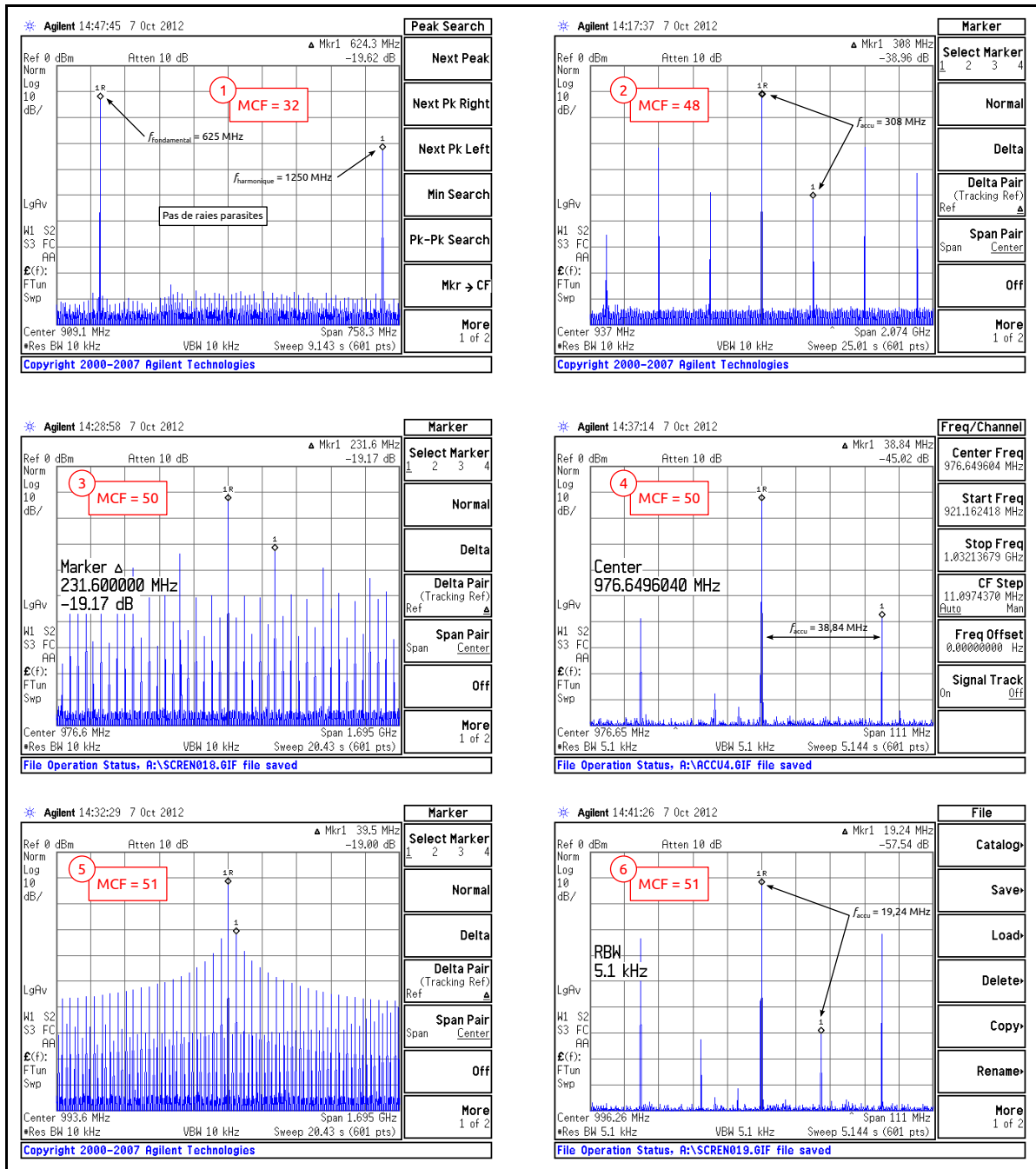


FIGURE 4.2 – Mesure de l’accumulateur 9 bits pour différents MCF avec $f_{in} = 10 \text{ GHz}$

4.3 Mesure du diviseur complet

4.3.1 Mesure de la fréquence en fonction de la programmation

La programmation du diviseur se fait sur quatre paramètres : MCF_1 et MCF_2 sur 9 bits chacun qui contrôlent l’accumulateur, A et B les deux valeurs du comparateur sur 6 bits chacune. La façon dont l’accumulateur a été réalisé impose des valeurs de MCF qui doivent être successives (§3.4.4.1). La fréquence de sortie du diviseur complet a été mesurée de la même manière que la sortie de l’accumulateur pour différentes valeurs de programmation. Le système

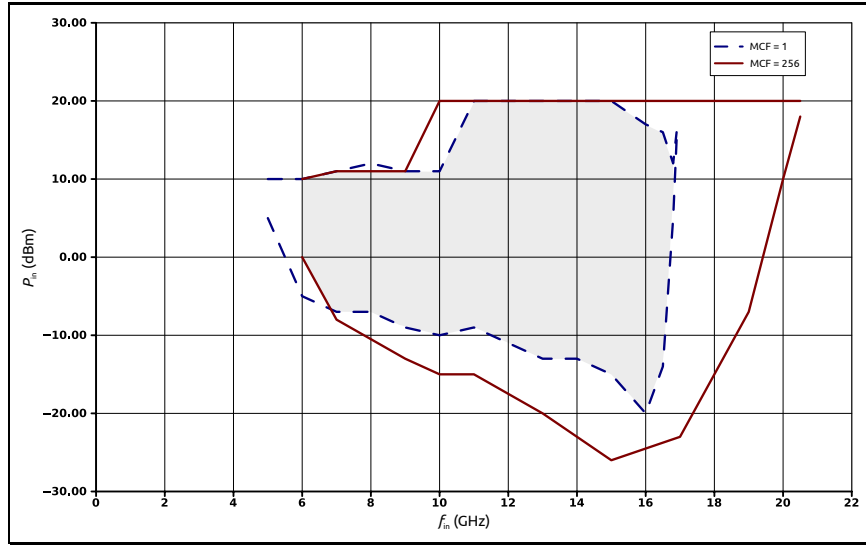
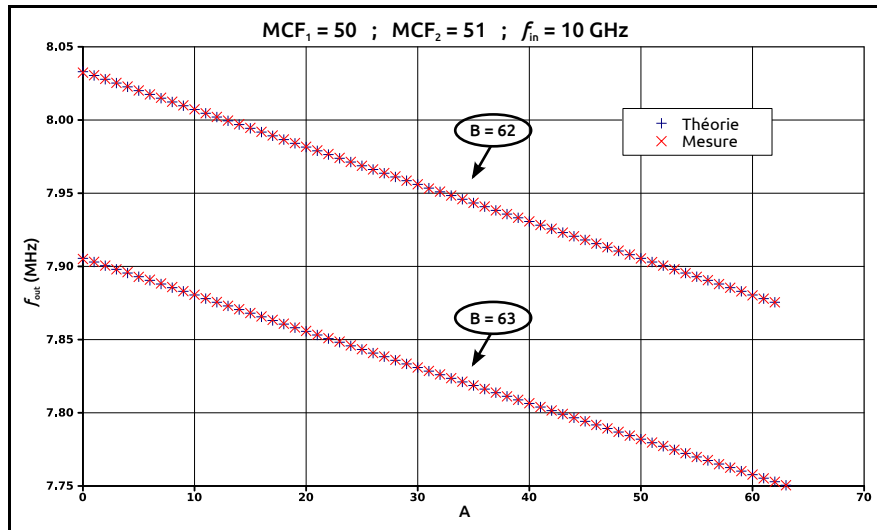
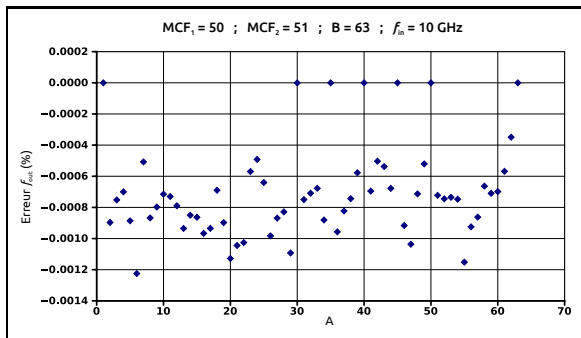
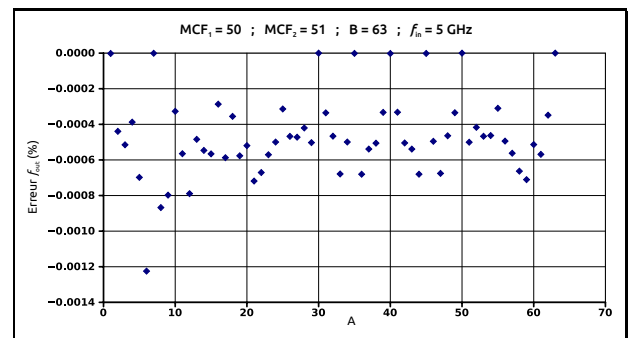


FIGURE 4.3 – Puissance admissible de l’accumulateur en fonction de la fréquence d’entrée

étant déterministe, il est inutile d’en mesurer toutes les combinaisons possibles. En revanche, beaucoup de mesures ont été faites pour différents couples de MCF. Ne sont présentés ici que quelques résultats, suffisants pour apporter commentaires et conclusions. La figure 4.4 représente l’évolution de la fréquence en sortie du diviseur en ne faisant varier que A ; MCF_1 , MCF_2 et B étant fixés. En comparaison avec l’évolution de la fréquence de sortie en théorie, la mesure semble correspondre parfaitement. Cependant, après une mesure précise de la fréquence de sortie à l’aide du fréquencemètre de l’analyseur de spectre, on constate des écarts en fréquence comme le montrent les figures 4.5 et 4.6. Ces deux figures représentent le pourcentage d’erreur entre la théorie et la mesure pour une fréquence d’entrée à 10 GHz et 5 GHz. Ce pourcentage d’erreur est donné par la relation suivante :

$$\varepsilon_f = \frac{f_{\text{théorie}} - f_{\text{mesure}}}{f_{\text{théorie}}} \times 100$$

Pour cette série de mesures, l’écart en fréquence est de l’ordre de 8 ppm pour $f_{in} = 10$ GHz et de 5 ppm pour $f_{in} = 5$ GHz ; ce qui correspond à un écart de quelques kHz pour une fréquence autour de 7,8 MHz. La précision de mesure avec la fonction « counter » de l’analyseur de spectre est de ± 1 mHz. Cet écart en fréquence sur la mesure en comparaison avec la théorie ne peut donc s’expliquer par une incertitude de mesure, mais par le fonctionnement du circuit et la façon dont il a été réalisé. L’accumulateur et le couple compteur-comparateur ne fonctionnent pas à la même vitesse. Les portes logiques CMOS (compteur-comparateur) ont des temps de propagation beaucoup plus longs que les portes logiques ECL (accumulateur). En simulation, on observe des temps de montée et descente autour de 150 ps pour les portes logiques CMOS contre 50 ps pour la logique ECL. C’est cette différence de vitesse entre ces deux parties du circuit (accumulateur d’une part et compteur-comparateur d’autre part) qui explique cet écart en fréquence. Lorsque le comparateur envoie la commande de changement de MCF, il se passe un certain nombre de fronts du signal d’entrée avant que le changement de MCF ne soit effectif.

FIGURE 4.4 – Évolution de la fréquence de sortie du diviseur en fonction de A FIGURE 4.5 – Pourcentage d'erreur entre la fréquence mesurée et théorique pour $f_{in} = 10$ GHzFIGURE 4.6 – Pourcentage d'erreur entre la fréquence mesurée et théorique pour $f_{in} = 5$ GHz

De même pour la remise à zéro du compteur. Le temps nécessaire au changement de MCF au cours du fonctionnement ainsi que le temps nécessaire à la remise à zéro implique que le temps de comptage avec MCF_1 ou MCF_2 ne correspond plus tout à fait à la théorie. De plus, la fréquence mesurée est stable au mHz près, ce qui signifie que le système reste déterministe et donc que la périodicité du système prévu par la théorie se retrouve différente. Ce changement de périodicité explique aussi cet écart en fréquence, car le rapport de division fractionnaire se retrouve différent de la théorie. Une autre façon de le visualiser est de mesurer le spectre et de le comparer avec le spectre théorique (paragraphe suivant). Bien évidemment, en diminuant la fréquence d'entrée, l'écart en fréquence mesurée par rapport à la théorie diminue aussi. Pour que le système actuel fonctionne, il faut alors une fréquence d'entrée suffisamment basse pour que les temps de propagation ne soient plus pénalisants. Cependant, pour le circuit réalisé, la limite basse de fonctionnement de l'accumulateur due à la capacité de liaison (§ 4.2.2) ne nous permet pas de descendre en dessous de 5 GHz pour la fréquence d'entrée (figure 4.3). Pour ce faire, l'entrée du circuit doit être modifiée pour mettre une capacité de plus grande valeur, ou bien l'enlever pour la gérer en externe par un té de polarisation.

4.3.2 Spectre de sortie

L'étude du spectre montre le contenu parasite du signal de sortie. Les raies parasites présentes autour de la raie principale et de ses harmoniques traduisent directement la périodicité vraie du système. Pour confirmer l'écart en fréquence mesuré lié à une différence de périodicité entre la théorie et la mesure, il suffit de comparer le spectre théorique et le spectre mesuré. Le résultat donné par la figure 4.7 est une comparaison de la mesure avec le résultat de simulation de la figure 3.12. Les deux fréquences, mesurée et simulée, sont très proches avec un écart de 10 ppm : les raisons de cet écart sont les mêmes que précédemment. Par contre, le contenu parasite est très différent ce qui montre bien la différence de périodicité vraie entre la théorie et la mesure. On retrouve les puissances maximales des raies parasites en simulation comme en mesure, ce qui permet néanmoins de valider la simulation, et de confirmer les amplitudes des raies auxquelles nous pourrions nous attendre en complétant la structure par l'utilisation du DDS (figure 3.12).

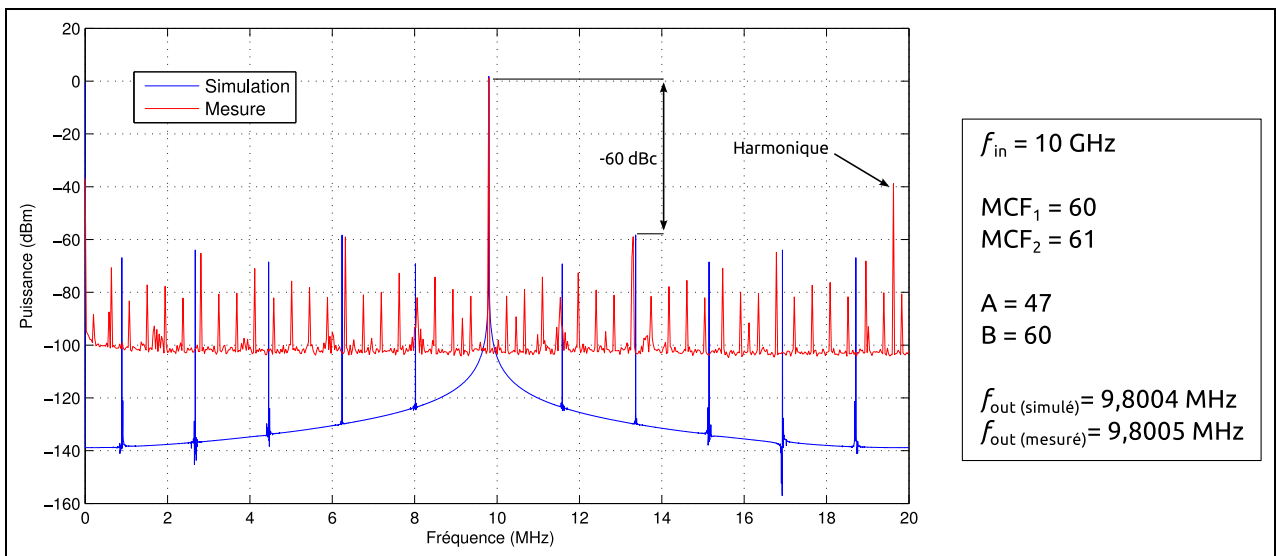


FIGURE 4.7 – Spectres de sortie du diviseur mesurés pour différentes valeurs de A

Il faut noter que le SFDR obtenu en mesure et simulation est de -60 dBc alors que les signaux sont de périodicités différentes. Bien que nous ayons réalisé les mesures pour quelques centaines de combinaisons de programmation, nous ne pouvons pas généraliser, mais parmi toutes les programmations mesurées, nous avons constaté un SFDR autour de cette valeur. A première vue, l'amplitude des raies parasites semble être indépendante de la programmation comme nous avons pu le constater pour l'accumulateur mesuré seul (figure 4.2). Nous obtenons alors une atténuation des raies parasites de 40 dB supplémentaires.

Même à l'état de prototype, il est intéressant d'établir une première comparaison avec des DDS réalisés en technologie BiCMOS SiGe (tableau 4.1). Alors que nous nous sommes limités à l'utilisation de l'accumulateur, nous obtenons déjà un plus faible niveau de parasites, qu'on s'attend à améliorer encore plus par l'utilisation d'un DDS complet.

Ref	Technologie	Fréquence d'horloge	Taille accumulateur	Puissance consommée	SFDR
[1]	BiCMOS SiGe 0,25 μm	6 GHz	6 bits	308 mW	-25 dBc
[2]	BiCMOS SiGe 0,18 μm	6,2 GHz	9 bits	2500 mW	-26 dBc
[3]	BiCMOS SiGe 0,13 μm	5 GHz	24 bits	4700 mW	-45 à -82 dBc (bande étroite) -38 dBc (bande de Nyquist)
[4]	BiCMOS SiGe 0,35 μm	15 GHz	8 bits	366 mW	-42 dBc
[5]	BiCMOS SiGe 0,13 μm	8,6 GHz	11 bits	4800 mW	-42 dBc (bande étroite) -33 dBc (bande de Nyquist)
[6] (simulé)	BiCMOS SiGe 0,13 μm	20 GHz	9 bits	585 mW	-44,5 dBc
[7]	BiCMOS SiGe 0,35 μm	5 GHz	9 bits	460 mW	-45,7 dBc
Notre prototype	BiCMOS SiGe 0,13 μm	10 GHz	9 bits	457,8 mW	-60 dBc

TABLE 4.1 – Comparaison avec des DDS de la littérature

4.3.3 Modifications nécessaires du circuit

Le circuit réalisé mélange deux familles logiques pour un bon compromis entre vitesse et consommation. Si cette cohabitation ECL-CMOS est plutôt habituelle, citons par exemple le diviseur à double module présenté au § 3.3, nous devons reconnaître que notre architecture est plus sensible à la gestion des temps de propagation entre logiques. En effet, dans un diviseur à double module, le temps de propagation « critique » (sans l'être vraiment) est celui qui fait commuter la logique ECL du rapport P au rapport $P + 1$ et inversement, piloté par la logique CMOS. Un temps de propagation important sera transparent dans la mesure où il ne fera que décaler tous les instants de commutation $P \rightarrow P + 1$ et $P + 1 \rightarrow P$ d'une même valeur, sans modifier au final la périodicité de l'ensemble. Dans notre architecture au contraire, la valeur d'accumulation ECL changeant à chaque détection du comparateur CMOS, on ne peut plus se permettre d'attendre et d'accumuler MCF_1 là où il aurait fallu accumuler MCF_2 et inversement, car on ne fait plus un simple décalage mais on change la périodicité du système... De plus, si le compteur fonctionne de manière synchrone par rapport à son horloge, ce n'est pas le cas de sa remise à zéro, dans la première version que nous avons implémentée, pas plus que pour le changement de MCF. Dans ces conditions, le circuit est doublement sensible aux temps de propagation, et c'est ce qui explique l'écart en fréquence mesurée. Pour que le circuit fonctionne comme en théorie, il faut prendre plus de précautions dans la gestion des chemins critiques.

Ce que nous proposons ici, c'est une solution permettant de pallier ce problème de temps de propagation en rendant toute la partie CMOS synchrone par rapport au MSB de l'accumulateur. L'idéal serait de rendre tout le système synchrone, mais dans le cas de notre circuit ce n'est pas possible du fait du mélange de la logique ECL très rapide, avec la logique CMOS beaucoup plus lente. C'est pour cela qu'il faut garder deux horloges distinctes (le signal d'entrée et le MSB de l'accumulateur). La figure 4.8 est une proposition de modifications à apporter au circuit : les deux bascules D en pointillés sont à rajouter et sont synchronisées sur la sortie MSB de l'accumulateur qui correspond à l'horloge du compteur. La bascule D sur le chemin du reset est là pour montrer que l'on rend le reset du compteur synchrone. En réalité, cette modification

sera gérée dans le compteur lui-même. La synchronisation du reset et du changement de MCF se faisant sur le MSB de l'accumulateur, la synchronisation n'a donc lieu qu'au débordement suivant de l'accumulateur par rapport à la théorie, laissant les temps de propagation s'achever. En d'autres termes, pour correspondre à la théorie pour une valeur A et B du comparateur, il faudra programmer le circuit modifié par $A - 1$ et $B - 1$.

Ces modifications montrent en simulation qu'on retrouve bien la périodicité du système décrit par la théorie. Pour cela, nous avons utilisé le circuit modélisé par des portes logiques en verilog-A. Lorsque l'on règle le temps de montée et descente de chaque porte à 50 ps pour la partie ECL et 150ps pour la partie CMOS, on observe bien un écart de fréquence par rapport à la théorie, et il est facile de mettre en évidence la modification de la périodicité en regardant l'évolution de la période (ou de la fréquence) instantanée du signal de sortie. Après modification du circuit de simulation, on retombe parfaitement sur la périodicité donnée par la théorie, en prenant en compte le débordement supplémentaire nécessaire à l'application du reset du compteur ou du changement de MCF. La figure 4.9 montre le résultat de simulation de la fréquence instantanée calculée entre deux fronts montants du signal de sortie du diviseur dans les trois versions du système : version théorique, version réalisée, et version corrigée. L'étude de cette fréquence instantanée rend compte du changement du rapport de division instantané. Ces courbes permettent donc de visualiser aisément la périodicité du système, car on y voit clairement un motif qui se répète dans chaque cas. Le temps entre le début et la fin du motif correspond à la période du système. Le motif du circuit réalisé est différent de la version théorique alors qu'après la modification annoncée dans la figure 4.8, on récupère une périodicité identique à la théorie.

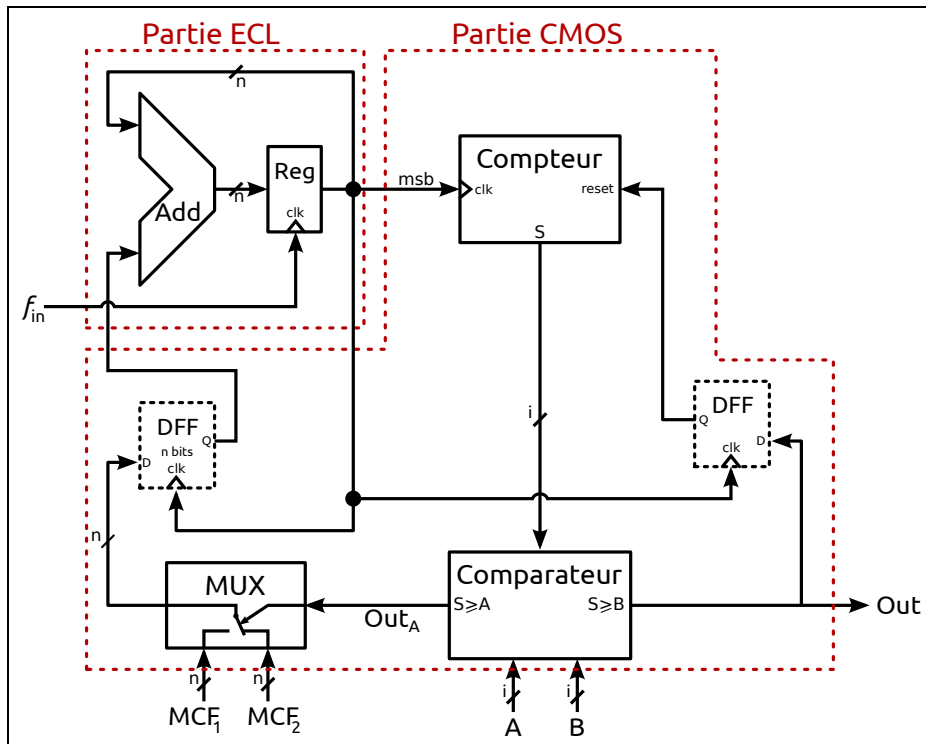


FIGURE 4.8 – Proposition de modification du circuit pour correspondre à la théorie

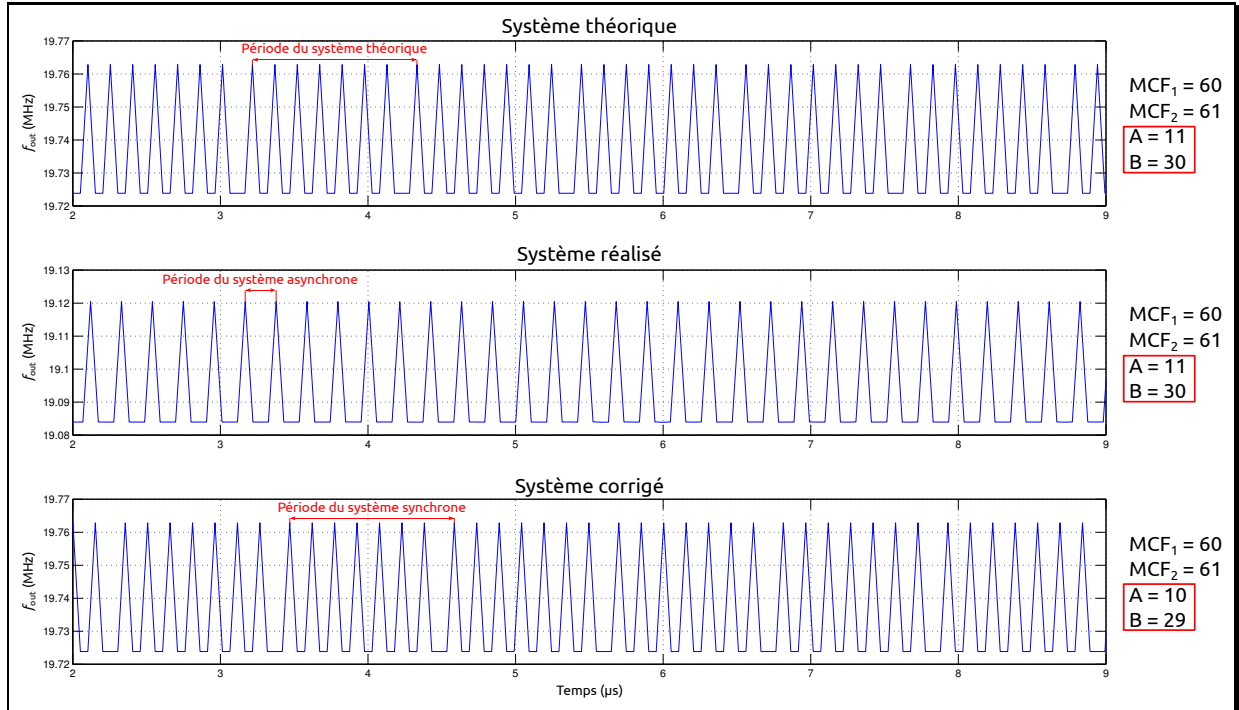


FIGURE 4.9 – Simulation de la périodicité du système avant et après modification

4.3.4 Limite fréquentielle du système

Le système réalisé associe deux familles logiques (ECL et CMOS). La partie ECL, qui correspond à l'accumulateur, est considérée comme un prédiviseur de fréquence dont la sortie correspond à l'horloge du compteur réalisé en CMOS. Il faut donc que la prédivision réalisée par l'accumulateur abaisse suffisamment la fréquence d'entrée du système pour être inférieure à la fréquence maximale de fonctionnement du compteur CMOS. La limite de fonctionnement du compteur, en mesure, est de 2 GHz. Cette limite du compteur impose une limite fréquentielle au système pour une programmation donnée. Vu sous un autre angle, pour une fréquence donnée à l'entrée du système, la limite de fonctionnement du compteur impose une valeur maximale de programmation de l'accumulateur (MCF_1 et MCF_2). On tire de l'équation (1.19) la condition suivante pour la valeur maximale du MCF qu'il est possible d'utiliser :

$$MCF \leq \frac{2^n f_{\max(\text{CMOS})}}{f_{\text{in}}} \quad (4.2)$$

avec $f_{\max(\text{CMOS})}$ la fréquence maximale d'utilisation de la partie CMOS que l'on s'est fixé à 2 GHz (constatée en mesure). Par exemple, l'accumulateur réalisé est de 9 bits et en théorie le MCF maximal est de 2^{n-1} soit 256. Pour une fréquence d'entrée à 10 GHz, la valeur maximale de MCF est alors 102 afin que la fréquence de sortie de l'accumulateur reste inférieure à la fréquence maximale de fonctionnement du compteur.

4.4 Conclusion

Les mesures présentées dans ce chapitre correspondent au prototype réalisé, qui est une version adaptée du système plus général décrit en théorie au chapitre 3 : cette adaptation consiste simplement à contraindre la programmation du système à deux valeurs successives de MCF, ce qui est suffisant pour en vérifier le fonctionnement. Ceci a permis de mettre en avant quelques problèmes de conception, ainsi que certaines limites de fonctionnement à prendre en considération.

Des écarts entre les fréquences mesurées et la théorie s'expliquent par le caractère asynchrone du système conçu. Dans ces conditions, pour que le circuit fonctionne comme en théorie, il faut diminuer la fréquence d'entrée. Cependant, les mesures ont montré une limite basse de fonctionnement pour l'accumulateur réalisé, principalement due à une capacité de découplage en entrée. Le circuit n'a donc pas pu être vérifié pour des fréquences plus basses que 5 GHz, mais pourra l'être moyennant quelques modifications de ce découplage. Pour pallier ce problème d'écart de fréquence, il s'agira de rendre le circuit synchrone pour s'affranchir au mieux des temps de propagation. Le circuit réalisé est une cohabitation de deux logiques fonctionnant à des vitesses différentes (ECL et CMOS : § 2.3.1). L'accumulateur est en ECL et fonctionne jusqu'à 17 GHz, et le reste en CMOS fonctionne jusqu'à 2 GHz. Pour un fonctionnement le plus haut en fréquence, une gestion d'horloge rigoureuse entre ces deux types de logiques est nécessaire ainsi que le montrent certaines pistes données dans ce chapitre.

Il est intéressant de noter une limite inhérente due à la différence de vitesse de fonctionnement entre l'ECL et le CMOS : c'est la valeur maximale du MCF de l'accumulateur pour que la prédivison qu'il réalise soit suffisante pour ne pas dépasser la fréquence maximale de fonctionnement des circuits CMOS qui suivent. Cela implique une diminution du nombre de combinaisons possibles de programmation du système qui donne la résolution du système décrit dans le chapitre 3.

Cette structure, encore à l'état de prototype, a d'ores et déjà montré de très bons résultats : les mesures affichent des raies parasites atténuées de 40 dB par rapport à la sortie de l'accumulateur. Alors que la finalité est de remplacer l'accumulateur par un DDS pour réduire encore plus les raies parasites, nous sommes déjà meilleurs que les DDS de la littérature à ces fréquences.

Références bibliographiques du chapitre 4

- [1] S. THURIES, E. TOURNIER, A. CATHELIN, S. GODET et J. GRAFFEUIL. « A 6-GHz Low-Power BiCMOS SiGe :C 0.25 μm Direct Digital Synthesizer ». Dans : *Microwave and Wireless Components Letters, IEEE* 18.1 (2008), p. 46–48 (cf. p. 122).
- [2] X. YU, Fa Foster DAI, J.D. IRWIN et R.C. JAEGER. « A 9-bit Quadrature Direct Digital Synthesizer Implemented in 0.18- μm SiGe BiCMOS Technology ». Dans : *Microwave Theory and Techniques, IEEE Transactions on* 56.5 (2008), p. 1257–1266 (cf. p. 122).
- [3] Xueyang GENG, F.F. DAI, J.D. IRWIN et R.C. JAEGER. « A 5 GHz direct digital synthesizer MMIC with direct modulation and spur randomization ». Dans : *Radio Frequency Integrated Circuits Symposium, 2009. RFIC 2009. IEEE.* 2009, p. 419–422 (cf. p. 122).
- [4] B. LAEMMLE, C. WAGNER, H. KNAPP, L. MAURER et R. WEIGEL. « A 366mW direct digital synthesizer at 15GHz clock frequency in SiGe Bipolar technology ». Dans : *Radio Frequency Integrated Circuits Symposium, 2009. RFIC 2009. IEEE.* 2009, p. 415–418 (cf. p. 122).
- [5] Xueyang GENG, F.F. DAI, J.D. IRWIN et R.C. JAEGER. « An 11-Bit 8.6 GHz Direct Digital Synthesizer MMIC With 10-Bit Segmented Sine-Weighted DAC ». Dans : *Solid-State Circuits, IEEE Journal of* 45.2 (2010), p. 300–313 (cf. p. 122).
- [6] T. BORR, J. JUYON et E. TOURNIER. « A both Gaussian and sinusoidal phase-to-amplitude converter for low-power ultra-high-speed direct digital synthesizers ». Dans : *New Circuits and Systems Conference (NEWCAS), 2011 IEEE 9th International.* 2011, p. 5 –8 (cf. p. 122).
- [7] Ching-Yuan YANG, Jun-Hong WENG et Hsuan-Yu CHANG. « A 5-GHz Direct Digital Frequency Synthesizer Using an Analog-Sine-Mapping Technique in 0.35 μm SiGe BiCMOS ». Dans : *Solid-State Circuits, IEEE Journal of* 46.9 (2011), p. 2064–2072 (cf. p. 122).

Conclusion générale et perspectives

LES travaux de recherche décrits dans ce manuscrit ont été réalisés dans le cadre du projet FAST dont l'objectif était la réalisation d'une antenne plane à réseau d'éléments rayonnants pour une communication haut débit entre avions et satellites. Ils ont été orientés vers la synthèse de fréquence qui, dans notre cas, est utilisée pour de la transposition de fréquence dans la chaîne d'émission-réception. Les mouvements de l'avion et du satellite entraînent des dérives en fréquence dues à l'effet Doppler, que nous nous sommes également intéressés à compenser au travers de cette synthèse de fréquence. Nos efforts ont été centrés sur la conception d'un diviseur fractionnaire en vue d'augmenter la résolution fréquentielle dans la PLL.

Après un rappel des fondamentaux de la PLL dans le chapitre 1, il a été mis en évidence l'intérêt de la division fractionnaire dans la boucle de rétroaction d'une PLL, sur laquelle nos efforts se sont ensuite concentrés. Elle permet d'augmenter la résolution fréquentielle sans devoir diminuer ni la fréquence de référence, ce qui permet de conserver la dynamique de boucle, ni la bande passante, ni les performances en bruit de phase. Cependant, comme la division fractionnaire engendre des raies parasites dans le spectre de sortie de par son principe de fonctionnement, un état de l'art des différentes techniques de réduction de ces raies parasites a permis de faire ressortir une technique peu utilisée qui utilise un DDS comme diviseur fractionnaire, technique que nous avons ensuite améliorée après avoir montré dans le chapitre 3 qu'un DDS utilisé seul ne pouvait pas répondre à nos contraintes de résolution fréquentielle tout en lui gardant une taille raisonnable : elle devrait être de 38 bits, ce qui semble impossible à réaliser pour des fréquences autour de 10 GHz. Nous avons donc proposé une technique originale, toujours basée sur un DDS mais au travers d'une architecture plus sophistiquée, qui autorise l'augmentation de la résolution fréquentielle sans devoir pénaliser la taille du DDS. Cette structure versatile passe par quatre paramètres de programmation, dont dépend le rapport de division du système. La mise en équation du système donnant directement le rapport de division en fonction de ces quatre paramètres reste à ce jour une étape à accomplir. Le problème est malgré tout résolu par récurrence, à partir d'un petit programme permettant de déterminer la périodicité du système et donc le rapport de division, dont le temps d'exécution est négligeable. L'absence de résolution directe n'est pas un problème majeur pour des plans de fréquence bien établis suivant des normes connues : on peut précalculer les valeurs de programmation nécessaires. Mais une solution sous la forme d'une équation directe serait tout de même bienvenue.

Le circuit réalisé et décrit dans ce manuscrit est un prototype simplifié de la structure finale envisagée. D'une part nous n'utilisons que la partie accumulateur du DDS, et d'autre part cet accumulateur a été simplifié lui aussi, en diminuant le nombre de registres nécessaire à son fonctionnement, et le limiter à des valeurs successives d'accumulation MCF. L'objectif était de limiter la prise de risque dans la réalisation du prototype en limitant sa complexité, sans nuire à la validation du principe de fonctionnement ou à l'identification de ses limitations. Si les mesures ont montré des écarts de fréquences avec la théorie, que nous avons expliqués par des temps de propagation mal pris en compte lors de la conception, nous avons pu proposer des modifications pour les résoudre. Afin d'assurer un bon compromis entre rapidité de

fonctionnement et consommation, l'accumulateur a été réalisé en logique ECL, rapide mais gourmande en énergie, et le reste du circuit en logique CMOS, plus lente mais plus raisonnable en consommation à basse fréquence. L'inconvénient de cette union est que la fréquence de sortie de l'accumulateur, qui sert d'horloge aux circuits CMOS, doit rester en dessous de la limite de fonctionnement du CMOS, ce qui limite la valeur maximale autorisée du MCF, et donc la résolution du système puisque le nombre de combinaisons possibles est alors diminué. La gestion des temps de propagation doit également être l'objet de toutes les attentions au niveau des interfaces ECL \leftrightarrow CMOS. Hormis ces réserves, notre architecture a montré de très bonnes performances dans la division fractionnaire, et surtout la faible amplitude des raies parasites. Faute de temps, nous n'avons pas pu développer de deuxième prototype.

Éléments de perspectives

Pour exploiter pleinement les capacités du système en matière de résolution, il faut qu'il puisse fonctionner pour toutes les valeurs des paramètres de programmation possibles. Pour cela, il serait judicieux de réaliser le circuit dans une seule famille logique. Pour un fonctionnement en bande Ku et en vue de la résolution que nous recherchons, la conception « tout ECL » serait complexe et sa consommation très élevée (déjà 450 mW pour l'accumulateur 9 bits simplifié). Il serait alors intéressant de développer ce système en « tout CMOS » en travaillant à plus basse fréquence. Nous avons vu dans le chapitre 3 que diminuer la fréquence à l'entrée du diviseur fractionnaire par une prédivision, avait un impact sur l'erreur de phase en l'augmentant (figure 3.3). Dans le cas d'une architecture émission-réception à double conversion de fréquence (hétérodyne), la sélection du canal se fait souvent lors de la conversion de fréquence en RF (RF vers bande intermédiaire pour la réception, et l'inverse pour l'émission). Pour éviter de prédiviser le signal avant le diviseur fractionnaire, il serait peut-être intéressant d'étudier et de comparer avec la possibilité de sélectionner le canal lors de la conversion de fréquence qui a lieu en bande intermédiaire, comme le montre la figure 4.10 dans le cas de la chaîne de réception qui reprend les spécifications données au chapitre 1. La première conversion de fréquence permet de transposer le spectre utile de réception en un spectre de plus basse fréquence : avec une fréquence OL_1 de 10 GHz on transpose ainsi la bande de réception de (10,7 – 12,75) GHz à la bande intermédiaire de (0,7 – 2,75) GHz. La deuxième transposition permet la sélection du canal de transmission en transposant le canal voulu en bande de base, et c'est à ce niveau là que le diviseur fractionnaire proposé interviendrait. Il pourrait alors peut-être être réalisé en logique CMOS avec un accumulateur plus léger de 18 bits.

Dans une version finale, les deux simplifications mises en place n'auront plus lieu d'être : les valeurs d'accumulation pourront être quelconques, et l'accumulateur laissera la place à un DDS complet, permettant de profiter de ses capacités en interpolation de phase. On peut également envisager de ne pas se limiter à deux valeurs d'accumulation, en mettant en œuvre un comparateur à plus que deux valeurs. On imagine toutefois la complexité de résolution pour lier la programmation à la valeur de division résultante. Mais avant de penser à une version finale il se-

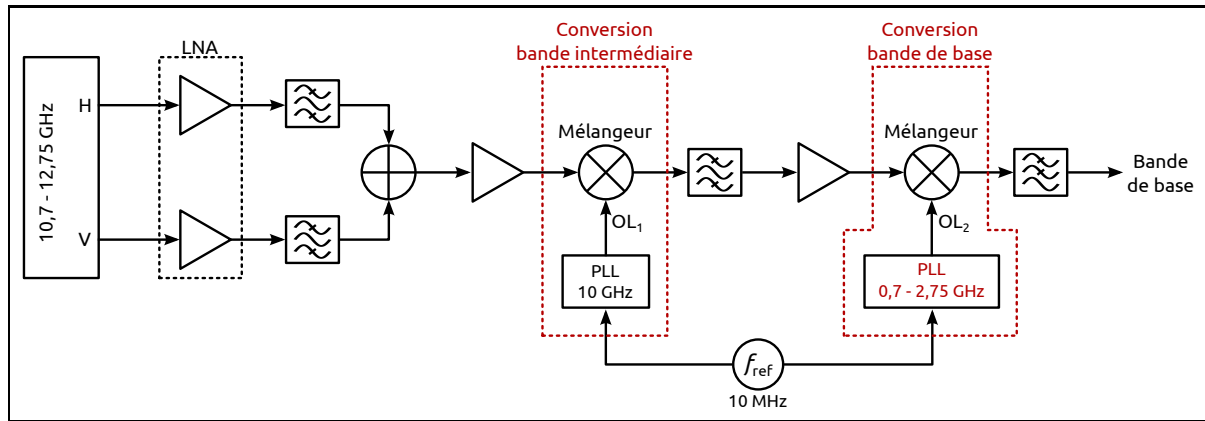


FIGURE 4.10 – Chaîne de réception avec double conversion de fréquence

rait intéressant de réaliser une implémentation de ce système dans un FPGA¹. Bien évidemment le fonctionnement serait basse fréquence, mais il permettrait d’obtenir rapidement et pour un coût raisonnable un circuit mesurable pour toute les combinaisons de programmation sans devoir recourir à de longues simulations. Grâce à une telle implémentation, on pourrait facilement vérifier à l’analyseur de spectre le contenu parasite pour n’importe quelle combinaison.

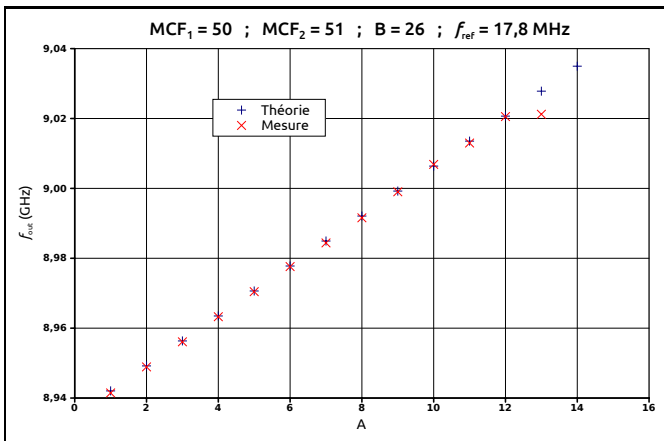


FIGURE 4.11 – Évolution de la fréquence en sortie de la PLL en fonction de la programmation

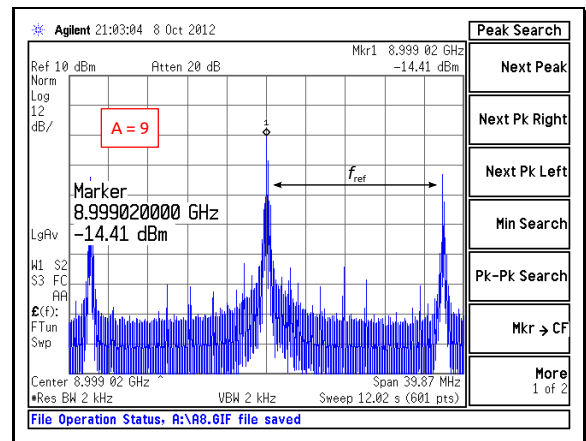


FIGURE 4.12 – Spectre de sortie de la PLL

Il reste donc encore du travail autour de cette architecture, qui lorsqu’elle sera aboutie, pourra rivaliser avec les diviseurs fractionnaires à l’état de l’art, sur la réduction des raies parasites, et même avec avec le $\Sigma\Delta$ qui impose de diminuer la bande passante de la PLL (§ 1.6.5.2). Nous avons pu profiter d’une petite place disponible lors du dernier run technologique du projet, pour tenter une première intégration d’une synthèse de fréquence complète, à partir du diviseur fractionnaire réalisé ici et d’une PLL entière fonctionnelle développée par l’autre membre de l’équipe circuit de l’entreprise, Luca Testa (§ 2.6). Cette tentative, quoiqu’un peu hasardeuse, a donné de bons espoirs puisque nous avons réussi à obtenir un verrouillage de la PLL sur des rapports fractionnaires, et une variation de la fréquence en changeant la programmation du diviseur. La figure 4.11 représente l’évolution de la fréquence de sortie de la PLL en faisant

1. Field-Programmable Gate Array = réseau de portes logiques programmables

varier la valeur A du comparateur. On voit bien le décrochage pour $A = 13$ où la PLL n'est plus verrouillée. La figure 4.12 est le spectre de sortie pour une des valeurs de A .

Annexe A

Calcul de l'erreur de phase dans la
division fractionnaire classique

La division fractionnaire est réalisée par une alternance de rapports entiers de telle sorte que le rapport de division moyen correspond au rapport de division souhaité N_{frac} . La division par un rapport entier engendre une erreur de phase correspondant à un décalage temporel entre le signal idéal et réel qu'il est possible de calculer en s'appuyant sur la figure A.1.

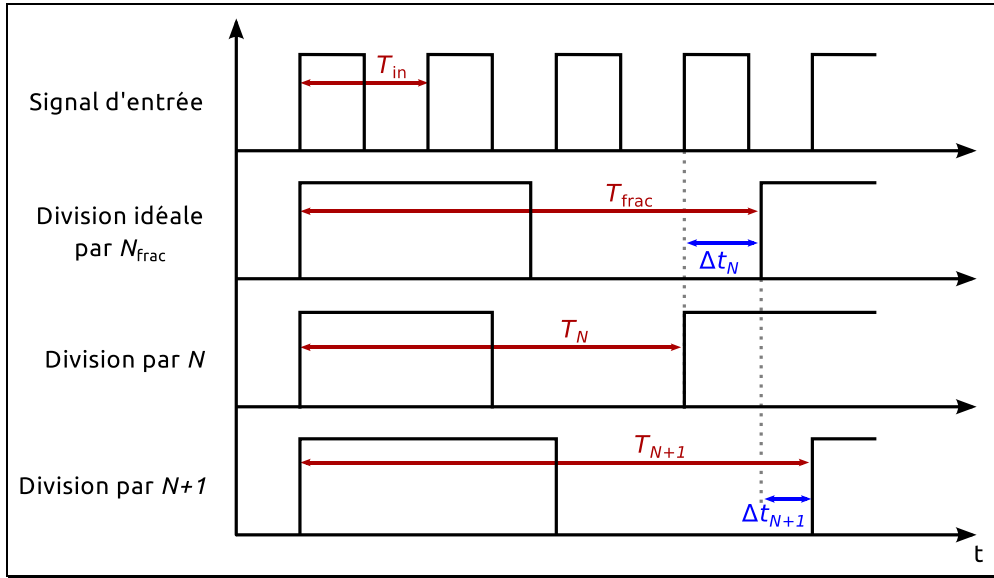


FIGURE A.1 – Origine de l'erreur de phase dans la division fractionnaire

A.1 Signal idéal

Considérons un signal idéalement divisé de manière fractionnaire. La période de ce signal s'écrit :

$$T_{\text{frac}} = N_{\text{frac}} T_{\text{in}} \quad (\text{A.1})$$

avec N_{frac} le rapport de division fractionnaire et T_{in} la période du signal d'entrée du diviseur.

A.2 Lors d'une division par N

La période du signal de sortie lorsqu'on a fait une division par N s'écrit :

$$T_N = N T_{\text{in}} \quad (\text{A.2})$$

Le signal résultant d'une division par N a une période plus petite que le signal idéal. Cela engendre une erreur temporelle Δt_N qui se rajoute entre chaque période :

$$\Delta t_N = T_{\text{frac}} - T_N = (N_{\text{frac}} - N) T_{\text{in}} \quad (\text{A.3})$$

De là on peut en déduire le déphasage ε_N du signal réel par rapport au signal idéal qui s'écrit :

$$\varepsilon_N = \frac{2\pi (T_{\text{frac}} - T_N)}{T_{\text{frac}}} = \frac{2\pi (N_{\text{frac}} - N)}{N_{\text{frac}}} \quad (\text{A.4})$$

S'il y a déjà un déphasage ϕ entre le signal réel et le signal idéal, alors une division par N rajoute une erreur de phase de ε_N . On alors l'erreur de phase qui s'écrit :

$$\varepsilon_N = \phi + \frac{2\pi (N_{\text{frac}} - N)}{N_{\text{frac}}} \quad (\text{A.5})$$

A.3 Lors d'une division par $N + 1$

Le même raisonnement s'applique pour une division par $N + 1$.

La période du signal de sortie lorsqu'on a fait une division par $N + 1$ s'écrit :

$$T_{N+1} = (N + 1) T_{\text{in}} \quad (\text{A.6})$$

Le signal résultant d'une division par $N + 1$ a une période plus petite que le signal idéal. Cela engendre une erreur temporelle Δt_{N+1} qui se rajoute entre chaque période :

$$\Delta t_{N+1} = T_{\text{frac}} - T_{N+1} = (N_{\text{frac}} - (N + 1)) T_{\text{in}} \quad (\text{A.7})$$

De là on peut en déduire le déphasage ε_{N+1} du signal réel par rapport au signal idéal qui s'écrit :

$$\varepsilon_{N+1} = \frac{2\pi (T_{\text{frac}}) - T_{N+1}}{T_{\text{frac}}} = -\frac{2\pi (N + 1 - N_{\text{frac}})}{N_{\text{frac}}} \quad (\text{A.8})$$

S'il y a déjà un déphasage ϕ entre le signal réel et le signal idéal, alors une division par N rajoute une erreur de phase de ε_N . On alors l'erreur de phase qui s'écrit :

$$\varepsilon_{N+1} = \phi - \frac{2\pi (N + 1 - N_{\text{frac}})}{N_{\text{frac}}} \quad (\text{A.9})$$

Le calcul de ces deux erreurs de phase engendrées par une division par N ou par $N+1$ permet d'illustrer la figure 1.20. l'erreur engendrée par une division $N + x$ quelconque en considérant un déphasage initial ϕ peut être généralisé par :

$$\varepsilon_{N+x} = \phi - \frac{2\pi (N + x - N_{\text{frac}})}{N_{\text{frac}}} \quad \forall x \in \mathbb{Z} \quad (\text{A.10})$$

Annexe B

Programme périodicité du diviseur fractionnaire

Voici un programme en langage C que nous avons conçu et qui permet de déterminer la périodicité du diviseur fractionnaire. Cette périodicité nous permet de déterminer le rapport de division fractionnaire.

```

1 #include <stdlib.h>
2 #include <stdio.h>
3 #include <math.h>
4
5 int main(int argc, char *argv[])
6 {
7     int n=atoi(argv[1]);
8     int A=atoi(argv[2]);
9     int B=atoi(argv[3]);
10    int MCF1=atoi(argv[4]);
11    int MCF2=atoi(argv[5]);
12    int i,j=0,l=0,P2n, sortie=0;
13    int init[(int)pow(2,n)], fronts[(int)pow(2,n)];
14
15    printf("n=%d, A=%d, B=%d, MCF1=%d, MCF2=%d\n",n,A,B,MCF1,MCF2);
16    // On calcule une fois pour toute 2^n:
17    P2n = (int) pow(2,n) ;
18    // Démarrage de l'accumulateur à 0:
19    init[0]=0;
20    while (sortie==0)
21    {
22        j++;
23        // Valeur de la phase à la commutation du comptage de A à B+1:
24        l = MCF1-(A*P2n-init[j-1])%MCF1 ;
25        // Valeur de la phase à la fin du cycle de comptage:
26        init[j]= MCF2-((B+1-A)*P2n-1)%MCF2 ;
27        // Nombre de fronts d'horloge pendant le comptage A puis le comptage (B+1-A) du cycle
28        // courant:
29        fronts[j]=(int) floor((A*P2n-init[j-1])/MCF1)+1+(int) floor(((B+1-A)*P2n-1)/MCF2)+1 ;
30        // test pour savoir si on a une période (c.-à-d. une valeur de l'accumulateur de phase
31        // identique au démarrage du comptage):
32        for (i=j-1;i>0;i--)
33        {
34            // on a trouvé une valeur de départ identique aux cycles de comptage n°i et j:
35            if (init[j]==init[i]) sortie = i ;
36        }
37        l=0;
38        // On compte les fronts:
39        for (i=sortie+1;i<=j;i++) l+=fronts[i];
40        printf("Période en cycles de compteur : %d\n",j-sortie);
41        printf("Période en cycles d'horloge : %d\n",l);
42        printf("Rapport fractionnaire : %6.3f\n",(float)l/(j-sortie));
43    }
44    return 0;
45 }

```

Liste des figures & tableaux

Liste des figures

1.1	<i>Partenaires du projet FAST</i>	21
1.2	<i>Le projet FAST</i>	22
1.3	<i>Principe de l'antenne réseau</i>	23
1.4	<i>Exemple d'un système d'émission réception : système homodyne</i>	23
1.5	<i>L'effet Doppler</i>	24
1.6	<i>Bruit et raies parasites d'un signal réel</i>	28
1.7	<i>Schéma de principe d'une PLL</i>	28
1.8	<i>Structure classique d'un PFD</i>	30
1.9	<i>Diagramme d'état du PFD</i>	30
1.10	<i>Chronogrammes d'un PFD idéal</i>	30
1.11	<i>Pompe de charge</i>	31
1.12	<i>Caractéristique de transfert du couple PFD/CP</i>	31
1.13	<i>Topologie du filtre de boucle d'ordre 2</i>	32
1.14	<i>Schéma de principe d'une PLL</i>	33
1.15	<i>Marge de phase en boucle ouverte d'une PLL</i>	34
1.16	<i>Spectre typique du bruit de phase en sortie de la PLL</i>	35
1.17	<i>Compromis performances et paramètres pour une PLL entière</i>	37
1.18	<i>Principe de la division fractionnaire</i>	38
1.19	<i>Origine de l'erreur de phase dans la division fractionnaire</i>	39
1.20	<i>Erreur de phase de la division fractionnaire</i>	40
1.21	<i>Spectre de sortie du diviseur fractionnaire</i>	40
1.22	<i>Structure classique d'un diviseur fractionnaire</i>	41
1.23	<i>PLL fractionnaire avec compensation de l'erreur de phase</i>	42
1.24	<i>Diviseur fractionnaire de Wheatley</i>	43
1.25	<i>Diviseur fractionnaire de Reinhardt</i>	43
1.26	<i>Structure classique d'une PLL fractionnaire $\Sigma\Delta$</i>	43
1.27	<i>Schéma de principe d'un DDS</i>	45
1.28	<i>Évolution du rapport de division d'un DDS 9 bits</i>	46
1.29	<i>Diagrammes temporel d'un DDS montrant l'interpolation de phase</i>	46
1.30	<i>Schéma de simulation de l'erreur de phase</i>	47
1.31	<i>Comparaison spectres erreur de phase</i>	48
1.32	<i>Comparaison spectres erreur de phase</i>	49
1.33	<i>Limite de la bande passante de la PLL fractionnaire : schéma de simulation</i>	50
1.34	<i>Limite de la bande passante de la PLL fractionnaire : résultat de simulation</i>	51
2.1	<i>VCO LC simple (exemple : Colpitts simple)</i>	58
2.2	<i>VCO LC équilibré (exemple : VCO paire différentielle croisée)</i>	58
2.3	<i>Architecture de l'oscillateur contrôlé en tension (VCO)</i>	60

2.4	<i>Bruit de phase simulé du « VCO MOS »</i>	61
2.5	<i>Bruit de phase simulé du « VCO bipolaire »</i>	61
2.6	<i>Photographie du premier VCO</i>	62
2.7	<i>Commande en tension du deuxième « VCO bipolaire »</i>	63
2.8	<i>Photographie du deuxième « VCO bipolaire »</i>	63
2.9	<i>Commande en tension du troisième « VCO bipolaire »</i>	64
2.10	<i>Photographie du troisième « VCO bipolaire »</i>	64
2.11	<i>Comparaison des tailles des VCO</i>	65
2.12	<i>Temps de propagation d'un inverseur</i>	68
2.13	<i>Portes logiques élémentaires en CMOS</i>	68
2.14	<i>Inverseur en logique différentielle</i>	69
2.15	<i>OU-EXCLUSIF en ECL multi-niveaux</i>	70
2.16	<i>Bascule D réagissant sur front montée en diviseur de fréquence par 2</i>	71
2.17	<i>Réalisation d'une bascule D sensible sur front (DFF)</i>	71
2.18	<i>Diviseur par 2 en ECL</i>	72
2.19	<i>Dessin des masques du diviseur par 2 en logique ECL</i>	72
2.20	<i>Photo du diviseur par 16 en logique ECL</i>	72
2.21	<i>Simulation diviseur par 16 en ECL</i>	72
2.22	<i>DFF en logique CMOS</i>	73
2.23	<i>Limite en fréquence diviseur CMOS</i>	74
2.24	<i>Conversion ECL vers CMOS</i>	74
2.25	<i>Topologie du PFD</i>	75
2.26	<i>Photographie du montage en boîtier CERDIP du PFD</i>	76
2.27	<i>Mesures du PFD</i>	76
2.28	<i>Topologie de la pompe de charges</i>	77
2.29	<i>Simulation de la PLL</i>	77
2.30	<i>Photo des deux PLL (avec et sans filtre) sur la même puce</i>	78
3.1	<i>DDS en diviseur de fréquence dans une PLL</i>	87
3.2	<i>Rapport de division d'un accumulateur : dimensionnement</i>	88
3.3	<i>Influence de l'utilisation d'un prédiviseur sur l'erreur de phase</i>	89
3.4	<i>Diviseur à double module ou compteur à échappement</i>	91
3.5	<i>Diviseur à double module avec un seul compteur</i>	92
3.6	<i>Diviseur fractionnaire réalisé</i>	93
3.7	<i>Fonctionnement du diviseur fractionnaire réalisé</i>	93
3.8	<i>Fonctionnement de l'accumulateur</i>	96
3.9	<i>Courbe de résolution du système en fonction de la taille du compteur</i>	98
3.10	<i>Courbe de résolution du système en fonction de la taille de l'accumulateur</i>	99
3.11	<i>Résolution du système pour différentes configurations</i>	100
3.12	<i>Spectre simulé de sortie du diviseur implémenté</i>	102

3.13	<i>Schéma d'un accumulateur à structure simple 3 bits</i>	103
3.14	<i>Structure de l'accumulateur réalisé</i>	104
3.15	<i>Bascule D sur niveau en ECL</i>	105
3.16	<i>Schéma du registre 1 bit implémenté en ECL</i>	106
3.17	<i>Schématique d'un additionneur 1 bit</i>	106
3.18	<i>Dessin des masques de l'additionneur 1 bit</i>	107
3.19	<i>Dessin des masques du registre 1 bit</i>	107
3.20	<i>Schéma du convertisseur ECL vers CMOS et résultats de simulation</i>	108
3.21	<i>Dessin des masques du diviseur implémenté</i>	109
4.1	<i>Photographie du PCB de test et du « bonding » du diviseur fractionnaire</i>	115
4.2	<i>Mesure de l'accumulateur 9 bits pour différents MCF</i>	118
4.3	<i>Puissance admissible de l'accumulateur en fonction de la fréquence d'entrée</i>	119
4.4	<i>Fréquence de sortie du diviseur en fonction de A</i>	120
4.5	<i>Pourcentage d'erreur entre la fréquence mesurée et théorique pour $f_{in} = 10$ GHz</i>	120
4.6	<i>Pourcentage d'erreur entre la fréquence mesurée et théorique pour $f_{in} = 5$ GHz</i>	120
4.7	<i>Spectres de sortie du diviseur mesurés pour différentes valeurs de A</i>	121
4.8	<i>Proposition de modification du circuit</i>	123
4.9	<i>Simulation de la périodicité du système avant et après modification</i>	124
4.10	<i>Chaîne de réception avec double conversion de fréquence</i>	131
4.11	<i>Évolution de la fréquence en sortie de la PLL</i>	131
4.12	<i>Spectre de sortie de la PLL</i>	131
A.1	<i>Origine de l'erreur de phase dans la division fractionnaire</i>	135

Liste des tableaux

1.1	<i>Différents types de synthèses de fréquence</i>	26
1.2	<i>Techniques de division fractionnaire</i>	50
2.1	<i>Comparaison avec l'État de l'art de différents VCO en bande K</i>	66
3.1	<i>Spécifications système : rapport de division et résolution</i>	86
3.2	<i>Taille du DDS seul nécessaire</i>	89
3.3	<i>Illustration de la périodicité du système réalisé</i>	97
4.1	<i>Comparaison avec des DDS de la littérature</i>	122

Résumé

Résumé

Être connecté en haut débit au WEB à bord des avions est un marché à fort potentiel commercial qui a motivé le lancement d'un projet nommé FAST (Fiber-like Aircraft SaTellite communications). Dans le cadre de ce projet, la société Axess Europe, en partenariat avec sept partenaires dont le LAAS-CNRS a développé une antenne plane à matrice d'éléments rayonnants dont l'orientation du faisceau est gérée électroniquement. Cette antenne permet la communication avion-satellite. Cette thèse traite de la partie synthèse de fréquence de l'électronique d'émission-réception de l'antenne. Afin de pouvoir s'adapter à n'importe quel plan de fréquence de satellite, mais aussi la volonté de pouvoir compenser l'effet Doppler dans une certaine mesure, ces travaux se sont tournés vers l'amélioration de la résolution d'une boucle à verrouillage de phase (PLL), et plus particulièrement sur l'étude et la réalisation d'un diviseur de fréquence fractionnaire capable de satisfaire ces exigences. Dans une PLL, la division fractionnaire permet d'augmenter la résolution fréquentielle sans devoir diminuer la fréquence de référence, ce qui permet de conserver la dynamique de boucle, la bande passante ainsi que les caractéristiques en bruit de phase. Cependant, elle génère des raies parasites gênantes, que l'on peut toutefois atténuer avec plusieurs techniques bien connues. Parmi ces techniques, on trouve le DDS (synthétiseur numérique direct) utilisé comme diviseur fractionnaire, mais il ne permet d'atteindre la résolution fréquentielle souhaitée que pour une taille trop importante. Nous avons donc développé une variante basée sur un DDS qui permet d'en conserver les avantages pour la réduction des raies parasites, tout en augmentant la résolution fréquentielle sans devoir en augmenter la taille. Une étude exhaustive de cette structure originale est proposée.

Abstract

Be connected to broadband WEB in flight is a trade issue which has motivated the launch of a project named FAST (Fiber-like Aircraft Satellite Communications). Under this project, Axess-Europe company with seven other partners including LAAS-CNRS, worked on the design of an active phased-array antenna with an electronically controlled beam steering. This thesis deals with the frequency synthesis of the antenna transceiver. In order to be able to connect to different satellites with their own frequency map, and also compensate for the Doppler effect to a certain extent, this focuses on the increase of the frequency resolution of a PLL (Phase-Locked Loop) using a fractional-N frequency divider. When considering a PLL, a fractional-N divider offers several advantages : increase frequency resolution without decreasing the reference frequency, and thus allows to keep the loop dynamic, as well as bandwidth and phase noise performances. However, fractional-N division generates spurious, which can yet be reduced by different well known techniques. Among these techniques, the DDS (Direct Digital Synthesizer) can be used as a fractional-N divider, but the increase of its frequency resolution would dramatically increase its size. So we designed a variant DDS-based topology, which allows to keep the advantage of the DDS in spurious reduction while increasing its frequency resolution without increasing its size. A comprehensive study of this novel structure is proposed.

Production scientifique

- [1] S. GODET, E. TOURNIER, O. LLOPIS, A. CATHELIN et J. JUYON. « A Low Phase Noise and Wide-Bandwidth BiCMOS SiGe :C 0.25 μm Digital Frequency Divider For An On-Chip Phase-Noise Measurement Circuit ». Dans : *Silicon Monolithic Integrated Circuits in RF Systems, 2009. SiRF '09. IEEE Topical Meeting on.* 2009, p. 1–4.
- [2] S. GODET, E. TOURNIER, O. LLOPIS, A. CATHELIN et J. JUYON. « A Baseband Ultra-Low Noise SiGe :C BiCMOS 0.25 μm Amplifier and its Application for an On-Chip Phase-Noise Measurement Circuit ». Dans : *Silicon Monolithic Integrated Circuits in RF Systems, 2009. SiRF '09. IEEE Topical Meeting on.* 2009, p. 1–4.
- [3] J. JUYON, I. BURCIU, T. BORR, S. THURIES et E. TOURNIER. « A low spurious level fractional-N frequency divider based on a DDS-like phase accumulation operation ». Dans : *Mixed Design of Integrated Circuits and Systems (MIXDES), 2011 Proceedings of the 18th International Conference.* 2011, p. 417–421.
- [4] T. BORR, J. JUYON et E. TOURNIER. « A both Gaussian and sinusoidal phase-to-amplitude converter for low-power ultra-high-speed direct digital synthesizers ». Dans : *New Circuits and Systems Conference (NEWCAS), 2011 IEEE 9th International.* 2011, p. 5–8.
- [5] Sylvain GODET, Éric TOURNIER, Olivier LLOPIS, Julien JUYON et Andreia CATHELIN. « Diviseur de fréquence SiGe :C 0,25 μm , large bande et faible bruit, pour banc de mesure de bruit de phase intégré ». Français. Dans : *16ème Journées Nationales Microondes (JNM 2009).* Avr. 2009.
- [6] Teddy BORR, Julien JUYON et Éric TOURNIER. « Convertisseur phase/amplitude sinusoïdal et gaussien pour synthétiseur digital direct basse consommation ultra rapide ». Français. Dans : *17e Journées Nationales Microondes.* Brest, France, mai 2011, 4 pages.