



**HAL**  
open science

# Méthodes de caractérisation et de surveillance des variations technologiques et environnementales pour systèmes reconfigurables adaptatifs

Florent Bruguier

► **To cite this version:**

Florent Bruguier. Méthodes de caractérisation et de surveillance des variations technologiques et environnementales pour systèmes reconfigurables adaptatifs. Micro et nanotechnologies/Microélectronique. Université Montpellier II - Sciences et Techniques du Languedoc, 2012. Français. NNT: . tel-00965377

**HAL Id: tel-00965377**

**<https://theses.hal.science/tel-00965377v1>**

Submitted on 25 Mar 2014

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



Distributed under a Creative Commons Attribution - NonCommercial - NoDerivatives 4.0 International License

ACADÉMIE DE MONTPELLIER

UNIVERSITÉ MONTPELLIER II

Sciences et Techniques du Languedoc

## THÈSE

présentée au Laboratoire d'Informatique de Robotique  
et de Microélectronique de Montpellier pour  
obtenir le grade de docteur

*Spécialité* : **Microélectronique**  
*Formation Doctorale* : **Systèmes Automatiques et Microélectroniques**  
*École Doctorale* : **Information, Structures, Systèmes**

### **Méthodes de caractérisation et de surveillance des variations technologiques et environnementales pour systèmes reconfigurables adaptatifs**

par

**Florent BRUGUIER**

Soutenue le 20 décembre 2012, devant le jury composé de :

**Directeur de thèse**

Mr. Lionel TORRES, Professeur .....LIRMM, Université Montpellier II

**Co-Directeur de thèse**

Mr. Pascal BENOIT, Maître de conférences ..... LIRMM, Université Montpellier II

**Rapporteurs**

Mr. Guy GOGNIAT, Professeur ..... Lab-STICC, Université de Bretagne-Sud

Mr. Marc BELLEVILLE, Directeur de recherche ..... CEA-Leti

**Président du jury**

Mr. Laurent DUSSEAU, Professeur ..... IES, Université Montpellier II

**Examineur**

Mr. Philippe MAURINE, Maître de conférences, HDR ..... LIRMM, Université de Montpellier II



*A ma famille,  
mon plus fidèle soutien.*





---

## Remerciements

Ce manuscrit résume le travail que j'ai effectué sur les méthodes de caractérisation et de surveillance des variations technologiques et environnementales pour les systèmes reconfigurables adaptatifs durant 3 années au sein du département microélectronique du LIRMM. Au terme de ce cheminement, c'est avec émotion que je tiens à remercier tous ceux qui, de près ou de loin, ont contribué à la réalisation de ce projet.

Tout d'abord, je tiens à remercier le professeur Guy Gogniat et le directeur de recherche Marc Belleville d'avoir accepté d'être mes rapporteurs. Je souhaite également remercier, le professeur Laurent Dusseau ainsi que le maître de conférence Philippe Maurine d'avoir accepté d'être mes examinateurs.

Ensuite, je remercie le professeur Lionel Torres, de m'avoir fait confiance, d'avoir accepté d'être mon directeur de thèse et d'avoir permis le déroulement de celle-ci dans les meilleures conditions. J'ai également une pensée toute particulière envers Pascal Benoit, mon co-directeur de thèse, avec qui j'ai pu tant apprendre et échanger durant ces 3 années, toujours disponible, et qui m'a soutenu durant toute cette période.

Je tiens aussi à remercier Arnaud Virazel qui m'a permis de réaliser mes premiers pas dans le monde de l'enseignement et qui a su me guider et me conseiller au cours de cette expérience.

Ces 3 années n'auraient pas été aussi fructueuses sans Lyonel, ami et collègue, avec

qui j'ai tant échangé, autant sur le plan théorique que pratique. J'ai aussi une pensée pour Bruno, compagnon de longues journées de travail acharné mais aussi de soirées de divertissement. Je tiens également à remercier Souha pour sa disponibilité et sa bonne humeur permanente.

J'adresse aussi mes remerciements à Olivier, Jérémie, Aurélie, Boris, Nicolas et Laurent avec qui j'ai passé de nombreuses soirées et qui m'ont initié à la "couinche". Jeu auquel l'élève a très vite dépassé les maîtres. De plus, un grand merci à Morgan qui m'a épaulé lors de nombreuses expérimentations mais aussi permis de découvrir un sport captivant : le Touch Rugby. A quand le prochain demi dynamique?

Mes travaux m'ont permis de travailler avec Laurent De Knyff et Ludovic Guillaume-Sage, deux personnes de grandes qualités humaines et scientifiques. Je me dois aussi de remercier l'ensemble des doctorants et anciens doctorants du département microélectronique que j'ai eu l'occasion de fréquenter au fur et à mesure de ma thèse, parmi eux, Duc, Gabriel, Nicolas, Nicolas, Victor, Nicolas, Florian, Pierre-Didier, Giorgios, Haithem, Amine, Renan, Yoann, Feng Mei, Zhenzhou et tous les autres que j'oublie...

Un petit clin d'oeil va aussi aux anciens du département EEA de l'Ecole Normale Supérieure de Cachan : Rémi, Diane, Lara, Flora, Jean-Mi (Damien)... Je ne pourrais conclure cette section de remerciements sans avoir une pensée pour mon camarade de toujours, ami d'infortune mais surtout de fortune, Régis qui a toujours été là et qui a su me supporter depuis si longtemps (Attention au poulet!!!).

J'ai aussi une pensée toute particulière pour la plus belle découverte faite durant ma thèse, Amandine. Tu m'as apporté tant de choses depuis que je te connais...

Je souhaite également remercier ma sœur Christel et mon frère Mickaël pour leur soutien et pour la bonne humeur qu'ils ont apporté dans notre appartement...

Enfin, je ne peux oublier mes deux plus grands supporters, Adeline, ma mère et Denis, mon père, qui ont toujours été là pour moi notamment pour me soutenir dans mes choix et m'épauler lors de mes périodes de doute.



---

# Table des matières

<b>Remerciements</b>	<b>iii</b>
<b>Table des matières</b>	<b>v</b>
<b>I Introduction</b>	<b>1</b>
I.1 Contexte & Motivations . . . . .	2
I.2 Objectifs de la thèse . . . . .	3
I.3 Contributions . . . . .	4
I.4 Organisation du manuscrit . . . . .	6
<b>II Etat de l'art de la caractérisation des systèmes reconfigurables</b>	<b>7</b>
II.1 Introduction . . . . .	8
II.2 Grandeurs physiques soumises à variation . . . . .	8
II.2.A Classification . . . . .	8
II.2.B Variations technologiques . . . . .	8
II.2.B.a Variations de procédé de fabrication . . . . .	9
II.2.B.b Vieillissement . . . . .	11
II.2.C Variations environnementales . . . . .	12
II.2.C.a Tension d'alimentation . . . . .	12
II.2.C.b Température . . . . .	13
II.2.D Bilan . . . . .	14
II.3 Capteurs dans les circuits intégrés spécifiques . . . . .	15
II.3.A Capteurs bas niveau . . . . .	16



II.3.A.a	Capteurs de tension . . . . .	16
II.3.A.b	Capteurs de courant . . . . .	17
II.3.A.c	Capteurs de délai . . . . .	17
II.3.B	Capteurs plus haut niveau . . . . .	17
II.3.B.a	Capteurs de procédé de fabrication . . . . .	18
II.3.B.b	Capteurs de température . . . . .	18
II.3.C	Bilan . . . . .	19
II.4	Capteurs dans les circuits reprogrammables . . . . .	19
II.4.A	Structure des circuits reprogrammables . . . . .	20
II.4.B	Capteurs intégrés . . . . .	21
II.4.C	Capteurs implémentés . . . . .	22
II.4.C.a	Capteurs de délai . . . . .	22
II.4.C.b	Capteurs de température . . . . .	29
II.5	Conclusion . . . . .	36
<b>III</b>	<b>Du capteur au système en ligne</b>	<b>37</b>
III.1	Dispositif de mesure : définitions et propriétés . . . . .	39
III.1.A	Chaîne d'acquisition . . . . .	39
III.1.B	Propriétés des dispositifs de mesure . . . . .	40
III.1.B.a	Gamme de mesure . . . . .	40
III.1.B.b	Sensibilité . . . . .	40
III.1.B.c	Résolution . . . . .	40
III.1.B.d	Exactitude de mesure . . . . .	41
III.1.C	Bilan . . . . .	41
III.2	Capteurs de performances . . . . .	41
III.2.A	Capteurs asynchrones . . . . .	41
III.2.A.a	Principe de fonctionnement . . . . .	41
III.2.A.b	Etat de l'art . . . . .	42
III.2.B	Capteurs synchrones . . . . .	43
III.2.B.a	Etat de l'art . . . . .	43
III.2.B.b	Principe de fonctionnement . . . . .	43
III.2.B.c	Implémentation proposée . . . . .	44
III.2.C	Stratégies d'implémentation . . . . .	45
III.2.C.a	Choix des ressources utilisées . . . . .	45
III.2.C.b	Implémentation en VHDL . . . . .	45
III.2.C.c	Implémentation en XDL . . . . .	46
III.2.D	Comparaison . . . . .	46

III.2.D.a	Comparaison générale . . . . .	47
III.2.D.b	Evaluation de performances . . . . .	48
III.3	Méthodes d'acquisition . . . . .	49
III.3.A	Introduction . . . . .	49
III.3.B	Méthodes numériques . . . . .	50
III.3.B.a	Capteur "seul" . . . . .	50
III.3.B.b	Capteur et diviseur de fréquence . . . . .	51
III.3.B.c	Capteur, système d'acquisition et de communication . . . . .	52
III.3.B.d	Limitation lors de l'utilisation de logique interne pour le conditionnement des mesures . . . . .	53
III.3.C	Méthodes non-intrusives . . . . .	55
III.3.C.a	Emissions électromagnétiques . . . . .	55
III.3.C.b	Puissance consommée . . . . .	56
III.3.C.c	Comparaison des deux méthodes . . . . .	57
III.3.D	Comparaison . . . . .	58
III.4	Flot de compensation multi-niveau . . . . .	61
III.4.A	Nécessité d'une stratégie de compensation . . . . .	61
III.4.B	Monitoring Hors Ligne . . . . .	61
III.4.B.a	Caractérisation grain fin du FPGA . . . . .	63
III.4.B.b	Placement contraint . . . . .	63
III.4.C	Compensation en ligne . . . . .	63
III.4.D	Vieillessement . . . . .	64
III.5	Conclusion . . . . .	64
<b>IV</b>	<b>Implémentations et résultats</b>	<b>67</b>
IV.1	Caractérisation de circuits reconfigurables . . . . .	68
IV.1.A	Reproductibilité des résultats . . . . .	68
IV.1.A.a	Variations de tension . . . . .	68
IV.1.A.b	Variations de température . . . . .	69
IV.1.A.c	Autres incertitudes . . . . .	71
IV.1.A.d	Bilan . . . . .	72
IV.1.B	Caractérisation à l'aide d'un système numérique . . . . .	74
IV.1.C	Caractérisation à l'aide d'émissions électromagnétiques . . . . .	74
IV.1.C.a	Spartan 3 . . . . .	74
IV.1.C.b	Spartan 6 . . . . .	78
IV.1.C.c	ProASIC3E . . . . .	83
IV.1.C.d	Conclusion . . . . .	89

IV.2	Implémentation d'un système auto-adaptatif . . . . .	89
IV.2.A	Contexte . . . . .	90
IV.2.B	Un Système Multiprocesseur Adaptatif : OpenScale . . . . .	91
IV.2.B.a	Présentation générale . . . . .	91
IV.2.B.b	Matériel . . . . .	92
IV.2.B.c	Logiciel . . . . .	93
IV.2.C	Configuration choisie . . . . .	93
IV.2.C.a	Support matériel . . . . .	93
IV.2.C.b	Configuration du processeur . . . . .	93
IV.2.D	Caractéristiques de capteurs . . . . .	94
IV.2.D.a	Caractérisation . . . . .	94
IV.2.D.b	Modélisation . . . . .	94
IV.2.D.c	Mesure . . . . .	95
IV.2.D.d	Synthèse . . . . .	96
IV.2.E	Résultats d'implémentation . . . . .	97
IV.2.E.a	Présentation du système avec capteurs . . . . .	97
IV.2.E.b	Testbench . . . . .	98
IV.2.E.c	Implémentation avec 1 NPU . . . . .	98
IV.2.E.d	Implémentation avec 4 NPU . . . . .	101
IV.2.F	Bilan . . . . .	102
IV.3	Vieillessement . . . . .	103
IV.3.A	Contexte . . . . .	103
IV.3.B	Evaluation du vieillissement . . . . .	104
IV.3.B.a	Modélisation . . . . .	104
IV.3.B.b	Estimation de l'impact des facteurs de vieillissement . . . . .	104
IV.3.C	Résultats . . . . .	105
IV.3.C.a	Séquence de vieillissement 1 . . . . .	106
IV.3.C.b	Séquence de vieillissement 2 . . . . .	112
IV.4	Conclusion . . . . .	116
<b>V</b>	<b>Conclusion et perspectives</b>	<b>119</b>
V.1	Conclusion . . . . .	120
V.2	Perspectives . . . . .	121
	<b>Bibliographie</b>	<b>123</b>
	<b>Table des figures</b>	<b>135</b>

*TABLE DES MATIÈRES*

ix

**Liste des tableaux**

**138**



---

# Introduction

## Préambule

*Ce chapitre introduit le manuscrit en présentant son contexte ainsi que les objectifs et les contributions de la thèse.*

## Sommaire

---

I.1	Contexte & Motivations . . . . .	2
I.2	Objectifs de la thèse . . . . .	3
I.3	Contributions . . . . .	4
I.4	Organisation du manuscrit . . . . .	6

---



de longueur et largeur de grille des transistors, de concentration des dopants ou encore de la taille des grains métalliques. Cette incertitude de fabrication se traduit par une incapacité des outils de CAO<sup>1</sup> à prévoir précisément les performances finales d'un circuit. De plus, à cette inconstance, viennent s'ajouter les effets des variations environnementales (tension d'alimentation, température...). En effet, ces variations vont elles aussi impacter les performances des circuits. Il en résulte que pour palier toutes ces variations, les concepteurs de circuits sont obligés soit de prendre des marges toujours plus importantes soit de prendre des risques de conception.

Afin de répondre à ces problèmes de variations, des solutions sont mises en place notamment en développant l'adaptabilité des circuits. Cette adaptabilité passe par l'utilisation de méthodes de gestion optimisées de la consommation et des performances des circuits mais aussi en adressant les problèmes de gestion dynamique des points chauds du circuit<sup>2</sup>. De plus, il est possible par la même occasion d'adresser les notions de fiabilité et de vieillissement de circuit.

Dans cette optique, il est nécessaire de mettre en place une chaîne d'adaptation. Une telle chaîne est basée sur l'utilisation de trois éléments clés comme représenté sur la figure I.2 :

- des éléments d'observation de l'état du circuit : les capteurs
- un outil de prise de décision : une unité de gestion
- des éléments permettant d'agir : les actionneurs

## I.2 Objectifs de la thèse

Dans ce contexte, les composants reprogrammables que sont les FPGA<sup>3</sup> représentent un support technologique intéressant. En effet, contrairement aux composants classiques qui ont une configuration fixe, ces composants reprogrammables permettent d'adapter l'implantation physique de différentes fonctions du système en différents emplacements du circuit grâce à une simple reconfiguration. Ils présentent donc une plus grande flexibilité. C'est pourquoi nous nous sommes intéressés au cours de cette thèse à répondre à plusieurs questions en ce sens :

- D'une part, il est important de se demander comment adapter un système afin de répondre aux variations auxquelles il est soumis et ce que ce soient des variations

---

1. Conception Assistée par Ordinateur

2. en anglais : hotspot

3. FPGA : Field Programmable Gate Array



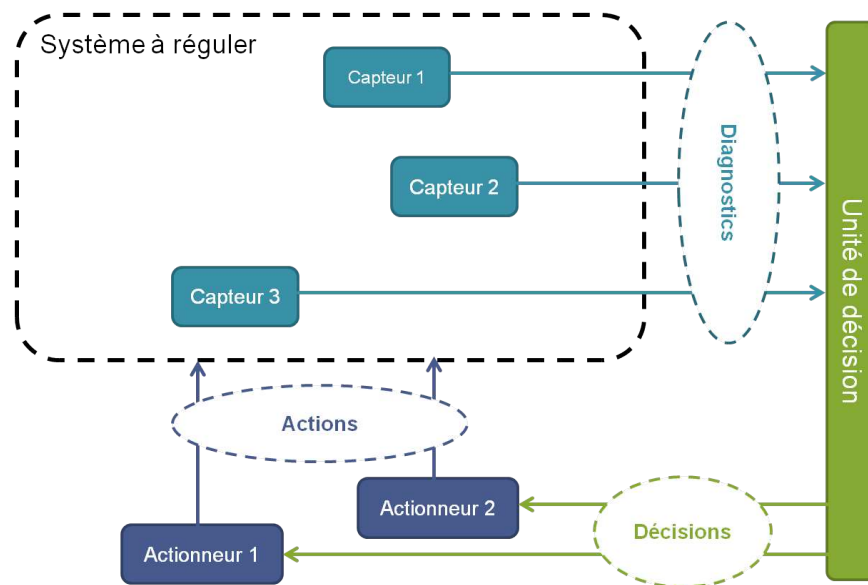


FIGURE I.2 : Représentation d'une chaîne d'adaptation

technologiques, des variations de température ou encore des variations dues au vieillissement du circuit.

- D'autre part, il est nécessaire de mener une réflexion sur la méthode de mesure de ces variations. Une analyse de l'état de l'art nous permet d'étudier plusieurs solutions mises en place dans ce but. A partir de là, nous pouvons également nous demander quelle est la structure de capteur la plus adaptée pour mesurer tel ou tel type de grandeur. De plus, il faut également se pencher sur l'emplacement et le nombre de capteurs nécessaires à des mesures correctes.
- Enfin, il est intéressant de se demander comment collecter, interpréter et utiliser les informations issues de ces capteurs.

### I.3 Contributions

Pour répondre à cette problématique, nous proposons, dans ce manuscrit, un flot d'adaptation complet visant en particulier à compenser les variations technologiques et les variations environnementales mais aussi les variations applicatives. Celui-ci est divisé en deux parties et est détaillé dans un schéma de principe (Fig. III.13).

Dans un premier temps, les performances du FPGA sont finement analysées à l'aide des capteurs de procédé de fabrication. Ensuite, un système de compensation incluant à

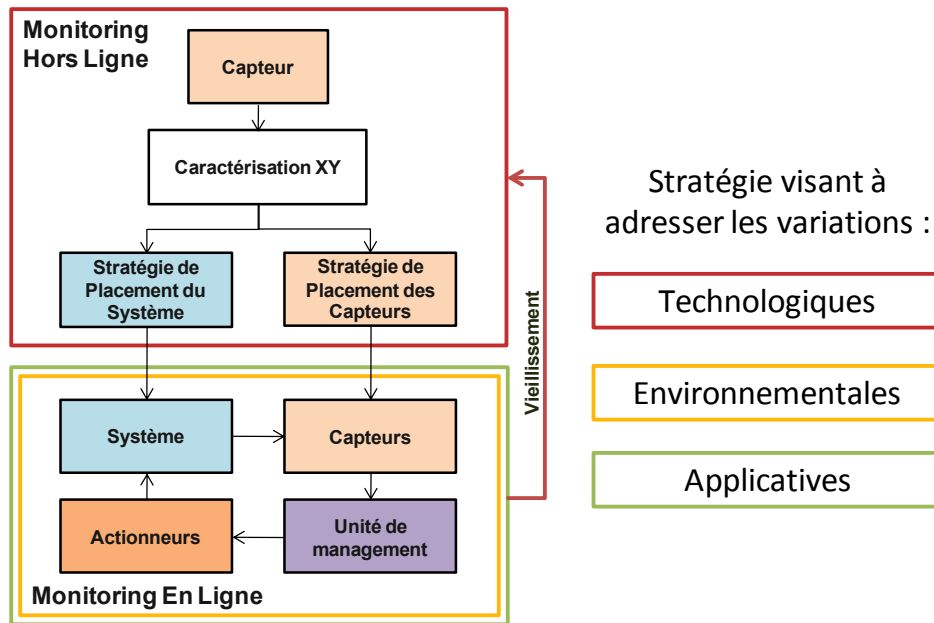


FIGURE I.3 : Flot d'adaptation complet

son tour des capteurs de performances est implémenté à l'intérieur du système lui-même afin de venir monitorer ses performances en ligne.

Afin de mettre en œuvre ce flot de compensation, nous proposons plusieurs contributions :

1. Dans un premier temps, notre étude porte sur toutes les phases de conception des capteurs numériques que ce soit la définition de ceux-ci mais aussi le choix de leur structure, leur dimensionnement ou encore la contrainte du design final de ceux-ci.
2. Nous proposons, ensuite, une approche originale et unique de caractérisation basée sur l'analyse électromagnétique. Il est notamment montré que cette approche permet de se défaire des biais de mesure engendrés par les méthodes de mesure directes.
3. L'utilisation conjointe de capteurs et de cette méthode d'analyse permet une caractérisation fine et précise des variations technologiques de n'importe quel type de circuit FPGA.
4. La cartographie issue de la phase de caractérisation permet ensuite de calibrer les capteurs pour une utilisation en ligne. Nous proposons donc ensuite l'utilisation de ces capteurs pour le monitoring dynamique d'un système MPSOC.

5. Enfin, une étude de vieillissement accéléré est menée sur plusieurs composants afin d'avoir une idée de son impact sur les performances des composants.

## **I.4 Organisation du manuscrit**

Après l'introduction, ce manuscrit est divisé en 5 chapitre.

Dans le chapitre 2, après avoir fait un tour d'horizon des variations influant sur les performances des circuits, un état de l'art des capteurs pour les circuits intégrés spécifiques est proposé. Celui-ci est suivi par une présentation des différentes solutions existantes de capteurs implémentés sur circuits reconfigurables ainsi qu'une analyse pertinente des solutions existantes. Cette analyse nous permet de définir deux structures à évaluer pour réaliser nos mesures : une structure synchrone et une structure asynchrone. De même, nous pouvons nous poser plusieurs questions concernant la mise en place de capteurs au sein d'un système de mesure implanté sur un composant reconfigurable mais aussi sur l'évaluation des méthodes de mesure utilisées ainsi que la performance de celles-ci (facilité de mise en oeuvre, précision, sensibilité...).

Après avoir proposé un rappel sur les propriétés des systèmes de mesure, le chapitre 3 nous permet de réaliser une première évaluation de capteurs de performances. La méthodologie pour réaliser des capteurs est présentée et deux capteurs différents sont implémentés et comparés. S'en suit une évaluation de différentes méthodes d'acquisition des données issues de ces capteurs. L'accent est mis sur l'importance de réaliser des mesures propres permettant de se soustraire notamment au biais présent dans certaines méthodes de mesure. Puis, un flot de compensation en plusieurs étapes est proposé. Il permet de prendre en compte toutes les variations que subit un circuit.

Ensuite, le chapitre suivant expose les principaux résultats de la thèse. Dans un premier temps, les caractérisations de circuits reconfigurables réalisés à l'aide de technologie SRAM et Flash sont présentées. Ensuite, un système adaptatif est implémenté. Celui-ci inclut un réseau de capteurs que nous avons développé. Des estimations de variation de tension et de température sont extraites des données fournies par les différents capteurs. Pour finir, une méthodologie permettant de réaliser l'étude de vieillissement de circuits est mise en place.

Enfin, une conclusion ainsi que les perspectives de ce travail sont proposées.

---

# Etat de l'art de la caractérisation des systèmes reconfigurables

## Préambule

*Après une présentation des grandeurs physiques influant sur les performances des systèmes sur puce, ce chapitre propose un tour d'horizon des capteurs permettant de mesurer ces grandeurs.*

## Sommaire

---

II.1	Introduction . . . . .	<b>8</b>
II.2	Grandeurs physiques soumises à variation . . . . .	<b>8</b>
II.2.A	Classification . . . . .	8
II.2.B	Variations technologiques . . . . .	8
II.2.C	Variations environnementales . . . . .	12
II.2.D	Bilan . . . . .	14
II.3	Capteurs dans les circuits intégrés spécifiques . . . . .	<b>15</b>
II.3.A	Capteurs bas niveau . . . . .	16
II.3.B	Capteurs plus haut niveau . . . . .	17
II.3.C	Bilan . . . . .	19
II.4	Capteurs dans les circuits reprogrammables . . . . .	<b>19</b>
II.4.A	Structure des circuits reprogrammables . . . . .	20
II.4.B	Capteurs intégrés . . . . .	21
II.4.C	Capteurs implémentés . . . . .	22
II.5	Conclusion . . . . .	<b>36</b>

---

## II.1 Introduction

Dans ce chapitre, nous nous intéresserons à l'état de l'art des mesures des grandeurs physiques dans les systèmes intégrés et plus particulièrement dans les systèmes sur puces reconfigurables.

Pour cela, dans un premier temps, nous nous préoccupons de mieux cibler le type de paramètres que nous souhaitons mesurer. Ensuite, nous verrons les capteurs mis en œuvre pour cela dans les circuits intégrés spécifiques avant de nous pencher plus en détail sur ceux utilisés dans les circuits reconfigurables.

## II.2 Grandeurs physiques soumises à variation

Avant de commencer à mesurer des grandeurs physiques, il est nécessaire dans un premier temps de correctement définir ce que nous souhaitons mesurer.

Dans ce manuscrit, nous nous intéressons à la mesure de paramètres physiques dans des systèmes intégrés sur puces reconfigurables et cela afin de mieux pouvoir compenser ces variations tout en tirant le meilleur parti des systèmes que nous allons utiliser.

### II.2.A Classification

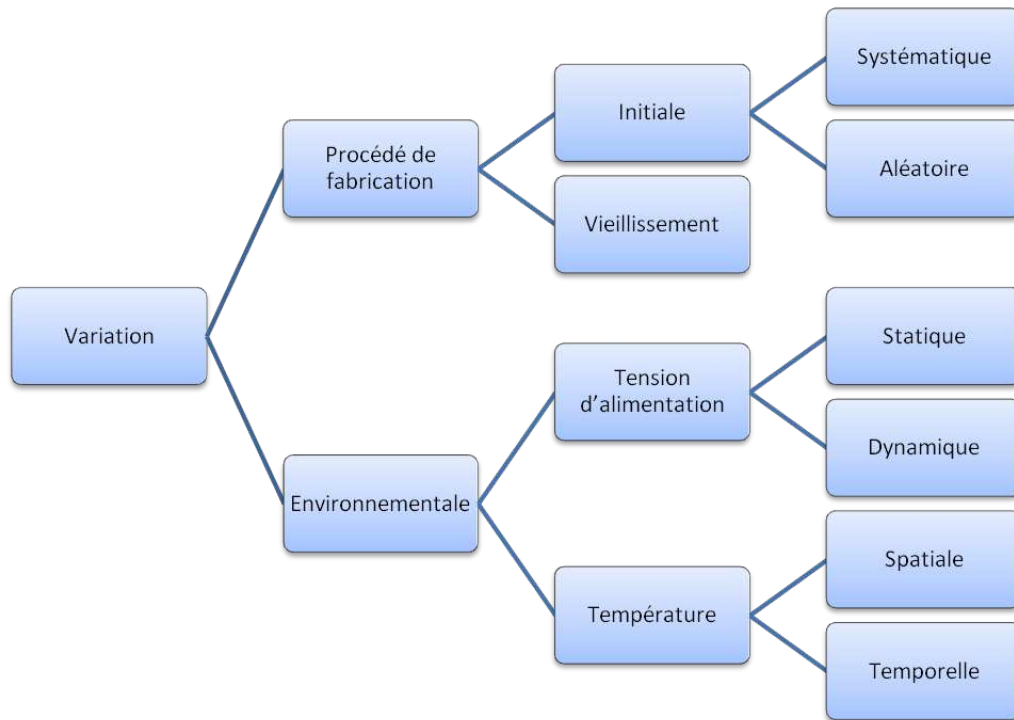
Les caractéristiques de fonctionnement d'un circuit (Fréquence maximale de fonctionnement, Puissance consommée...) sont influencées par des variations sur des paramètres qui ont des origines aussi diverses que la tension d'alimentation du circuit, la température ou encore les caractéristiques intrinsèques de chaque transistor.

Sur la figure II.1, nous pouvons observer une proposition de classification des paramètres influant sur les caractéristiques opérationnelles des circuits intégrés [UTB<sup>+</sup>06].

Dans cette partie, nous nous servons de cette classification comme point de départ pour détailler l'impact de chacun des paramètres influant sur les variations de performance des systèmes sur puce.

### II.2.B Variations technologiques

Concernant les variations technologiques, nous distinguerons deux types de variations. D'un côté nous aurons celles issues des imperfections de procédé de fabrication et d'un autre côté nous étudierons celles dues au vieillissement des circuits.

FIGURE II.1 : Proposition de classification des sources de variations [UTB<sup>+</sup>06]

### II.2.B.a Variations de procédé de fabrication

Lors de la fabrication des circuits intégrés, la complexité des différentes étapes de fabrication (dopage, gravure, photolithographie...) fait qu'il est impossible d'obtenir un processus de fabrication donnant exactement le même résultat lors de la fabrication de deux circuits identiques. En conséquence, des différences apparaissent. Elles se manifestent par des variations sur les paramètres des transistors tels que leurs longueurs et largeurs de grille ou encore leur tension de seuil [Nas00]. Au même titre, les interconnexions du circuit sont elles aussi impactées et voient leurs largeurs et épaisseurs varier.

De part leur effet très localisé, ces variations sont présentes au niveau de chaque transistor. Elles entraîneront donc des variations de performances à la fois à l'intérieur de chaque circuit mais aussi entre puces issues d'un même wafer, d'un même lot de wafer ou encore d'une même unité de production.

A titre d'exemple, nous pouvons nous pencher sur l'étude réalisée dans [WRBK08]. L'auteur y présente des résultats obtenus sur 430 circuits réalisés en technologie 65nm.

La fréquence maximale de fonctionnement ainsi que la puissance statique consommée par ces circuits contenant des oscillateurs en anneaux issus de la même chaîne de fabrication sont mesurées (Fig. II.2). Un écart s'élevant jusqu'à 25% est observé sur la fréquence tandis que des différences de consommation statique d'un rapport allant jusqu'à 3 fois sont constatées.

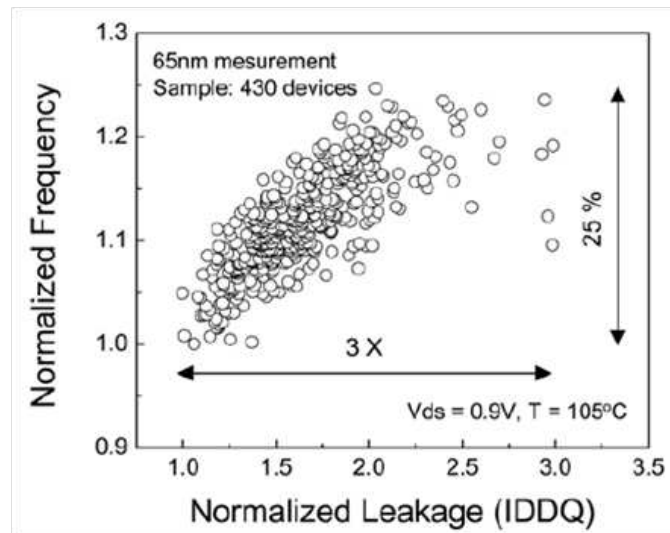


FIGURE II.2 : Couples (Consommation statique, Fréquence maximale) pour un lot d'oscillateurs identiques issus de la même chaîne de fabrication [WRBK08]

D'autre part, si nous nous intéressons à la modélisation de ces variations, il est possible de les classer selon deux groupes distincts : les variations systématiques et les variations aléatoires. Les variations systématiques sont des variations répétitives qui peuvent être caractérisées tandis que les variations aléatoires varient de manière indépendante d'un design à l'autre et sont imprévisibles. Grâce à leur effet prévisible, les variations systématiques peuvent être facilement compensées contrairement aux variations aléatoires [UTB<sup>+</sup>06]. Toutefois, il est difficile de savoir lesquelles de ces variations seront prépondérantes dans les technologies futures et donc de prévoir s'il sera facile d'en tenir compte lors du design des circuits.

Pour conclure, les variations de procédé de fabrication se traduisent donc par des modifications de performances des circuits à la fois au niveau de la vitesse maximale de fonctionnement mais aussi au niveau des puissances consommées (puissance statique et dynamique).

### II.2.B.b Vieillessement

En plus d'être soumis à des différences de performances de fonctionnement à la sortie de la chaîne de fabrication, les circuits voient leurs performances se dégrader tout au long de leur utilisation.

Il existe quatre principaux mécanismes de dégradation (Fig. II.3) :

- **la rupture diélectrique dépendant du temps (TDDB<sup>1</sup>)** [YLY01]. Ce type de dégradation est dû à une accumulation de charges au niveau de l'oxyde de silicium créée par une tension grille-substrat importante. Cette accumulation vient affaiblir l'isolant qui se met progressivement à fuir. Le TDDB a donc pour conséquence une augmentation du courant de fuite qui entraîne une augmentation de la puissance consommée ainsi qu'une diminution de la vitesse de commutation du transistor impacté.
- **L'injection de porteurs chauds (HCI<sup>2</sup>)** [HTH<sup>+</sup>85]. Ce type de dégradation est dû, quant à lui, à la présence de porteurs chauds dans le canal de conduction. En effet, certains porteurs voient leur énergie dépasser la barrière de potentiel de l'isolant et ils sont ensuite accélérés par le champ électrique créé par la grille. Quand une collision entre porteurs et ions arrive, un défaut est créé. Ce défaut entraîne une augmentation de la tension de seuil ainsi qu'une diminution de la mobilité des porteurs et donc une diminution de la vitesse de commutation.
- **L'instabilité de température à tendance négative (NBTI<sup>3</sup>)** [RKM<sup>+</sup>05]. Le NBTI se manifeste par une diffusion des ions hydrogènes entraînant la création de pièges d'interface lors d'un stress en température ou en tension. Ce type de mécanisme est prédominant pour les transistors PMOS et son équivalent le PBTI, qui est l'équivalent pour les transistors NMOS, a un effet négligeable. Le NBTI engendre principalement une augmentation de la tension de seuil des transistors ce qui entraîne une augmentation du temps de commutation.
- **L'électromigration** [CRH90]. L'électromigration est un phénomène qui touche les interconnexions. Au cours du temps, des ions métalliques sont décrochés d'une zone de l'interconnexion pour être déposés plus loin sur cette même interconnexion. Ce phénomène entraîne une augmentation de l'impédance des liaisons et peut éventuellement entraîner des court-circuits ou des ruptures de liaisons.

Les phénomènes de vieillissement vont donc eux aussi influencer sur la modification des performances des circuits intégrés.

---

1. TDDB : Time-Dependent Dielectric Breakdown  
2. HCI : Hot Carrier Injection  
3. NBTI : Negative-Bias Temperature Instability



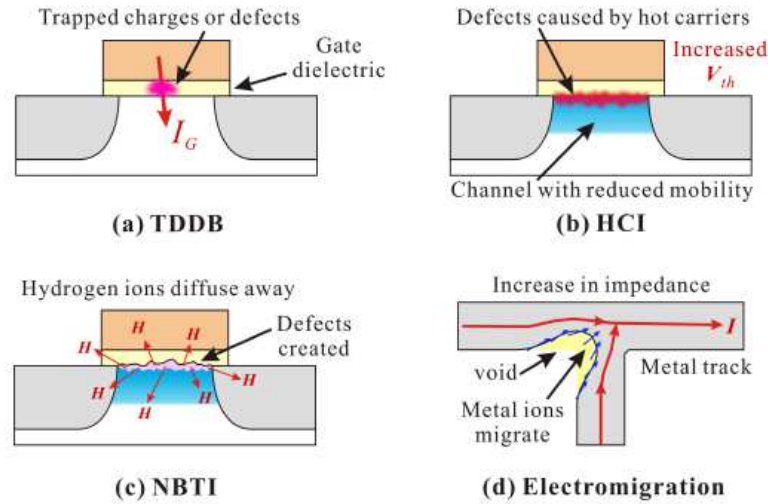


FIGURE II.3 : Mécanismes de dégradation (source : [SWSC10])

## II.2.C Variations environnementales

En plus d'être soumis à des variations technologiques, les circuits vont voir leurs performances fluctuer en fonction de l'évolution de leur environnement.

### II.2.C.a Tension d'alimentation

Malgré tous les efforts effectués lors de la conception et de l'utilisation des circuits pour garantir une tension d'alimentation constante dans les différents blocs du circuit, celle-ci va être amenée à fluctuer. Il existe deux types de variations de tension d'alimentation dont nous allons maintenant détailler les effets.

D'une part, une chute de tension permanente est présente entre l'alimentation et le point à alimenter à cause du côté résistif des conducteurs utilisés pour alimenter les différents transistors du circuit<sup>4</sup>. Ce type de variation est donc qualifié de statique et peut en théorie être pris en compte au moment de la conception du circuit.

D'autre part, lors des commutations des différents transistors, des appels de courant vont entraîner des chutes de tension aux bornes de ceux-ci à cause du côté inductif et résistif des conducteurs. Il s'agit donc ici de variations de type dynamique.

4. en anglais, on parlera d'IR drop ou encore de GND/VDD bounce

A titre d'exemple, nous pouvons nous pencher sur l'étude proposée dans [Nag07]. L'auteur propose une implémentation d'un processeur en technologie 90nm. Celle-ci inclue l'implémentation de 120 sondes permettant de mesurer les variations de tension à l'intérieur du circuit. Une cartographie des variations de ces chutes de tension est proposée sur la figure II.4. Comme nous pouvons l'observer, des variations supérieures à 40mV sont observées sur l'ensemble du circuit et aucune zone n'est épargnée. Cependant, dans le bloc servant au contrôle de la mémoire, des variations plus importantes sont mesurées puisque cette partie du circuit est celle qui voit son activité fluctuer le plus.

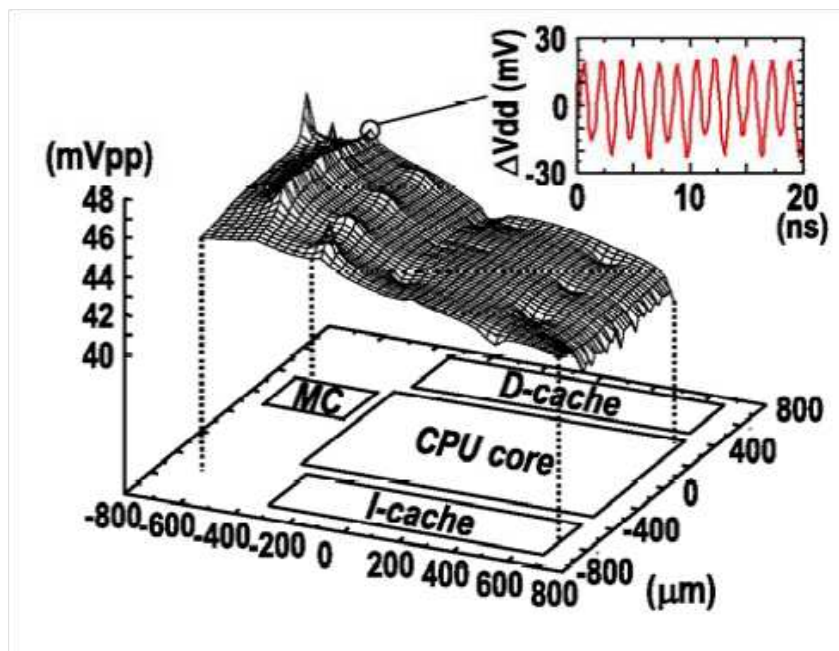


FIGURE II.4 : Mesure de chutes de tension à l'intérieur d'un processeur (source : [Nag07])

A noter qu'une diminution de la tension d'alimentation se traduit par une diminution de la fréquence de commutation des transistors accompagnée d'une diminution de la consommation de puissance statique et dynamique du circuit.

### II.2.C.b Température

Lors de chaque commutation de transistors, des pertes par effet joule ont lieu. Cette dissipation d'énergie se traduit par une modification de la température du canal de conduction affectant par la même les propriétés de celui-ci.

D'une part, la mobilité du canal de conduction est affectée par la température comme suit :  $\mu(T) = \mu(T_0) \left(\frac{T}{T_0}\right)^{-k1}$  avec  $T$  la température du circuit,  $T_0$  la température de référence

et  $k_1$  une constante dépendant du matériau (typiquement 1,5 - 2). La mobilité des porteurs diminue donc lorsque la température augmente.

D'autre part, la tension de seuil des circuits est elle aussi liée à la température. En effet, nous pouvons écrire :  $V_t(T) = V_t(T_0) - k_2(T - T_0)$  avec  $k_2$  une constante comprise entre 0.5mV/K et 4mV/K. Une augmentation de la température entraîne donc une diminution de la tension de seuil.

L'équation du courant de drain dans un canal n s'écrit :  $I_d = \mu_n C_{ox} / 2 (W/L) (V_{GS} - V_t)^2$ . La diminution de la mobilité entraîne donc une diminution du courant de drain tandis qu'une diminution de la tension de seuil a un effet inverse. Or, une augmentation de la température entraîne une diminution de la mobilité ainsi que de la tension de seuil. La température a donc deux effets inverses sur le courant de drain des transistors. Dans les technologies matures, l'effet de la mobilité est prédominant sur celui de la tension de seuil tandis que dans les technologies plus récentes, cet effet a tendance à s'inverser. L'effet sera cependant différent pour chaque technologie à cause du phénomène d'inversion en température qui est dépendant de la tension d'alimentation.

Concernant la classification de ces variations, il est question de variations temporelles de température lorsque la température d'un point du circuit est amenée à changer au court du temps. Ce type d'évènement a notamment lieu lors d'un changement d'activité des transistors présents dans cette partie du circuit. Les variations spatiales interviennent elles lorsque deux zones distinctes du circuit ont une température différente.

## II.2.D Bilan

Nous avons vu que différents paramètres influent sur les caractéristiques des circuits :

- la qualité du procédé de fabrication
- le vieillissement
- la tension d'alimentation
- la température

A la fois la consommation du circuit mais aussi sa fréquence maximale de fonctionnement sont impactées par ces paramètres comme montré dans le tableau II.1.

De plus, il faut noter que cette influence s'accroît avec l'évolution des technologies, la miniaturisation des transistors et l'augmentation de la densité d'intégration [Bor05]. Il sera donc de plus en plus important de pouvoir estimer les variations des grandeurs présentées précédemment afin de pouvoir garantir le bon fonctionnement d'un circuit.

TABLE II.1 : Evolution de la fréquence maximale du circuit ainsi que de sa consommation pour une augmentation de chacun des paramètres

Paramètre accru	Fréquence maximale	Consommation
Tension de seuil	↘	↘
Largeur de grille	-	↗
Longueur de grille	↘	↗
TDDDB	↘	↗
HCI	↘	↘
NBTI	↘	↘
Electromigration	↘	-
Tension	↗	↗
Température <sup>5</sup>	↘	↗

Nous nous sommes intéressés dans cette partie aux sources des variations de paramètres influant sur les performances des circuits intégrés. Dans les parties suivantes, nous nous pencherons sur la mesure de ces paramètres.

### II.3 Capteurs dans les circuits intégrés spécifiques

Il existe de nombreux capteurs pour les circuits intégrés spécifiques<sup>6</sup> servant à réaliser des mesures sur des circuits numériques.

Ces capteurs peuvent être classés en trois catégories :

- les capteurs "bas niveaux". Ils mesurent directement une grandeur physique (tension, courant ou délai).
- les capteurs plus haut niveau qui fournissent une grandeur dérivée de celle qu'ils mesurent (procédé de fabrication, température ou vieillissement).

5. Pour les technologies sensibles au phénomène d'inversion en température, l'effet s'inverse c'est à dire que la fréquence maximale augmente et que la consommation diminue.

6. ASIC : Application-Specific Integrated Circuit

- les capteurs spécifiques qui donnent par exemple des informations sur l'apparition de fautes (parité, voteurs...), l'état d'une architecture (prédiction de branchement, compteurs d'activité...) ou encore la sécurité de celui-ci (intrusions, détection de trojan...).

Dans cette section, nous détaillerons uniquement les capteurs permettant de mesurer les grandeurs qui nous intéressent dans ce manuscrit c'est à dire des capteurs appartenant aux deux premières catégories. Nous allons maintenant en faire un tour d'horizon.

### II.3.A Capteurs bas niveau

Les capteurs bas niveau sont des capteurs qui mesurent directement une grandeur physique c'est à dire qu'il n'est pas nécessaire d'effectuer de traitement supplémentaire pour obtenir la grandeur mesurée. Trois grandeurs sont concernées par ces capteurs, il s'agit de la tension d'alimentation, du courant débité par le circuit ou une partie de celui-ci et enfin les délais que ce soient les temps de propagation ou encore les giges<sup>7</sup>.

Nous allons maintenant présenter une liste non exhaustive de ces capteurs.

#### II.3.A.a Capteurs de tension

Il existe plusieurs types de capteurs de tension d'alimentation. Afin d'être performant, ces capteurs doivent être non invasifs, avoir une faible latence et une grande bande passante.

La plupart des capteurs de tension sont dédiés à la détection de variations dynamiques de tension lors de transitions comme par exemple [NOT05], [ASH05] ou encore [MTRA04]. Ces structures sont ensuite utilisées afin de réaliser de la compensation dynamique de chute de tension [HNB08] ou d'alimenter des algorithmes de gestion dynamique de tension d'alimentation<sup>8</sup>. Enfin, un dernier type d'entre eux est utilisé afin de réaliser des mesures précises de tension d'alimentation afin de servir d'oscilloscope sur puce [She03] [Nag07]. Ceux-ci permettent d'obtenir une cartographie du circuit, la forme précise d'un signal d'horloge ou encore le bruit de couplage d'un signal.

Les plus performants de ces capteurs ont une sensibilité inférieure au millivolt et une fréquence de fonctionnement au delà de 100GHz.

---

7. en anglais : jitter

8. DFS : Dynamic Frequency Scaling

### II.3.A.b Capteurs de courant

Les capteurs de courant sont peu utilisés de par leur difficulté de mise en œuvre. Cependant, nous noterons quelques réalisations notamment afin de réaliser du test de fautes de court-circuit [WC01] ou encore de détecter des erreurs logicielles [NVC93].

### II.3.A.c Capteurs de délai

Les capteurs de délai, quant à eux, ont été développés dans plusieurs optiques.

D'une part, certains d'entre eux sont utilisés afin de gérer les timings en relation avec l'horloge du circuit (temps de montée<sup>9</sup>, gigue). Nous noterons dans ce domaine un grand nombre de réalisations comme par exemple [XZLG05] où les auteurs proposent un circuit de mesure de gigue basé sur l'utilisation d'un système oscillant composé de détecteurs de fronts et de détecteurs de phase. Egalement dans [MOnM<sup>+</sup>08], les auteurs proposent une méthode de mesure de gigue sur le réseau d'horloge permettant de s'affranchir du bruit de l'alimentation qui perturbe grandement ce type de mesure.

D'autre part, différents capteurs s'intéressent à la mesure de délai à l'intérieur de blocs logiques. L'idée est de venir détecter des fautes temporelles afin de prévenir tout dysfonctionnement du circuit. Pour cela, tous les circuits utilisent la même architecture : un élément de synchronisation déclenche un signal de test qui est ensuite dupliqué en deux signaux. Le premier d'entre eux est amené à traverser un répliqua du chemin critique tandis que le second sert de référence. La différence de délai obtenue entre ces deux signaux qui correspond au délai entre les portes est ensuite numérisée et analysée. Il existe trois structures permettant de mettre en œuvre ce capteur. La plus connue d'entre elles est l'architecture razor qui consiste à ajouter une latch retardée en sortie de chaque chemin critique afin de réaliser une comparaison entre la donnée échantillonnée et sa vraie valeur [EDL<sup>+</sup>04]. Dans [KSM<sup>+</sup>98], l'auteur utilise des répliquas de chemin critique reliés à un circuit d'adaptation tension fréquence afin de venir évaluer les performances maximale de ces chemins critiques. Enfin, une ligne de retard programmable sert à émuler plusieurs chemins critiques afin d'en évaluer les performances [ES07], [DK02] et [DSD<sup>+</sup>07].

## II.3.B Capteurs plus haut niveau

Ces capteurs servent à mesurer des grandeurs telles que le procédé de fabrication, le vieillissement ou la température d'un circuit. Les données fournies par ces capteurs

---

9. En anglais : skew

sont issues des mesures de grandeurs telles que des délais de propagation ou encore des courants ou tension.

Nous allons maintenant nous pencher sur les structures disponibles pour réaliser ces capteurs.

### **II.3.B.a Capteurs de procédé de fabrication**

Les capteurs de procédé de fabrication sont des capteurs amenés à mesurer des grandeurs statiques. Plusieurs méthodes ont été développées dans ce sens.

Certains auteurs utilisent pour cela la propagation de signaux à travers une chaîne de portes logiques chaînées entre elles mais aussi respectivement reliées chacune à une bascule [KJHP08]. A un instant donné, le signal est échantillonné. A partir de là, l'état de propagation des signaux nous permet d'estimer la qualité du procédé de fabrication. Dans ce même papier, une structure est également proposée afin d'estimer le ratio de conduction des transistors.

Dans [MSS<sup>+</sup>08], les auteurs proposent une structure capable de mesurer les variations aléatoires de la tension de seuil des transistors. D'autres encore présentent une méthode permettant d'estimer la qualité du procédé de fabrication à partir d'une mesure de fuites de courant [KRH<sup>+</sup>05].

En résumé, il existe un grand nombre de structures permettant de mesurer tel ou tel paramètre soumis à des variations de procédé de fabrication. Nous retiendrons, cependant, celles basées sur des structures tout numérique comme [KJHP08] et nous reviendrons sur ce type de structure lors des investigations menées plus loin dans ce manuscrit.

### **II.3.B.b Capteurs de température**

Les capteurs de température sont principalement utilisés pour réaliser de la gestion de température de manière globale ou locale mais aussi afin de déclencher des alarmes lors de surchauffe de circuits.

Il existe trois structures principales pour réaliser un capteur de température analogique.

La première d'entre elles est basé sur l'utilisation d'une diode "thermique" [Sie09]. Ces diodes possèdent un avantage : une variation  $\Delta T_j$  de la température de la jonction PN entraîne une variation de tension proportionnelle aux bornes de celles-ci. Nous pouvons

donc écrire :  $\Delta T_j = K \cdot \Delta V_d$  avec  $K$  un coefficient de proportionnalité généralement exprimé en  $^{\circ}\text{C}/\text{mV}$  et typiquement compris entre  $0.4$  et  $0.8^{\circ}\text{C}/\text{mV}$ .

La seconde solution est d'utiliser un transistor MOS dans la zone d'inversion de sa caractéristique. En effet, grâce à cela, il est possible de réaliser des capteurs de température relatifs ou absolus<sup>10</sup> [MA89]. Nous noterons notamment plusieurs réalisations basées sur cette méthode permettant d'obtenir des capteurs avec une sensibilité équivalente à celles des diodes thermiques [SCR97, WN95].

La dernière solution est basée sur l'utilisation de transistors bipolaires [PH05]. En effet, de nombreuses technologies CMOS permettent de réaliser des transistors bipolaires et ceux-ci ont une meilleure sensibilité et une meilleure stabilité en température [Bak00].

En ce qui concerne les structures tout numérique, deux structures sont également disponibles.

La première d'entre elle est basée sur l'utilisation d'oscillateurs en anneau. En effet, la fréquence d'une telle structure est notamment sensible aux variations de température et est donc à même d'en détecter les variations [QPZ91].

La seconde solution consiste à propager un signal à travers une interconnexion relativement longue et à mesurer le délai mis pour traverser une telle structure [DB07].

### II.3.C Bilan

Cette partie permet de mettre en avant le grand nombre de structures existants pour mesurer les grandeurs physiques qui influent sur les performances d'un circuit tout au long de son utilisation. Nous retiendrons particulièrement les structures tout numérique telles que les oscillateurs en anneau [QPZ91] ou encore la structure proposée par [KJHP08]. En effet, l'implémentation et l'utilisation de ces structures dans des composants reprogrammables semblent envisageable facilement. D'ailleurs, plusieurs de ces structures ont déjà fait l'œuvre de publications dans le domaine des FPGA et c'est ce que nous allons voir maintenant.

## II.4 Capteurs dans les circuits reprogrammables

Tout comme les circuits intégrés spécifiques, les circuits reprogrammables subissent des variations issues des différentes sources de perturbation décrites précédemment. Ceux-ci présentent cependant un avantage, ils sont reprogrammables ce qui va permettre

---

10. PTAT sensors : Proportional to Absolute temperature sensors



d'avoir accès à toutes les zones du circuit afin de pouvoir en évaluer les performances et/ou d'y implanter des capteurs spécifiques réalisés directement à partir de blocs reconfigurables du circuit. Bien entendu, certains de ces circuits possèdent, en plus des zones logiques reconfigurables, des capteurs spécifiques permettant de mesurer directement certaines grandeurs.

Nous nous pencherons donc, dans un premier temps, sur une présentation et une étude de ces différents blocs avant de venir faire un tour d'horizon des différents capteurs à base de blocs reconfigurables existants.

#### II.4.A Structure des circuits reprogrammables

Même si il existe plusieurs types de circuits reconfigurables ou FPGA issus de différents fabricants, ceux-ci ont tous des structures comparables.

En effet, ils sont tous constitués d'entrées/sorties<sup>11</sup>, de blocs programmables<sup>12</sup> et, pour certains d'entre eux, de blocs plus spécifiques : blocs mémoires de type RAM, blocs multiplieurs ou encore de blocs DSP. Une représentation d'un de ces circuits est proposée sur la Figure II.5.

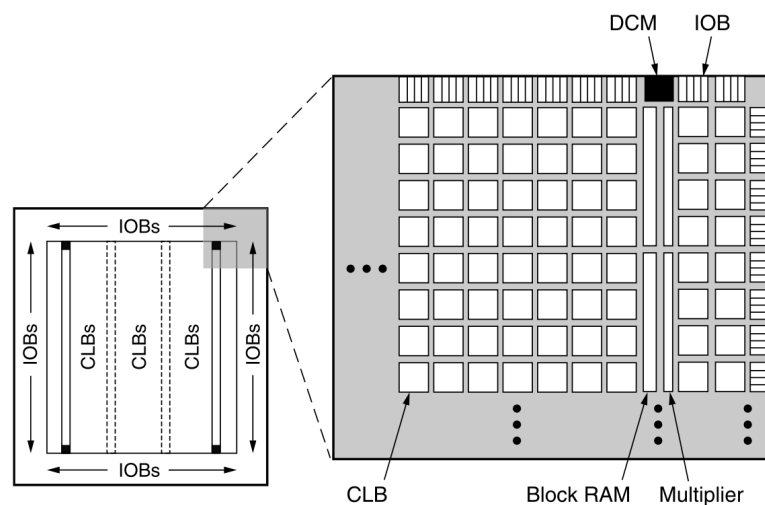


FIGURE II.5 : Architecture d'un FPGA Spartan3 Xilinx (source : Xilinx)

A l'intérieur de chaque CLB, des blocs reconfigurables permettent de réaliser des fonctions logiques allant jusqu'à 4, 5 ou 6 entrées en fonction de la technologie dans

11. IOB : Input/Output Block

12. CLB : Configurable Logic Block

laquelle est réalisée le circuit utilisé. La sortie de ces blocs est ensuite reliée, à l'aide de portes de transmission<sup>13</sup>, soit à d'autres blocs logiques afin de réaliser des fonctions logiques plus complexes, soit à des bascules D afin de réaliser la synchronisation des signaux.

Pour plus de détails sur les différentes structures existantes, nous nous réfèrerons aux deux états de l'art sur les circuits reconfigurables suivants [CCP06][KTR07].

### II.4.B Capteurs intégrés

Comme présenté dans la section II.3.B.b, il est notamment possible de réaliser des capteurs de température et de tension de manière analogique. C'est donc tout naturellement que nous retrouvons certains d'entre eux dans des circuits reprogrammables.

En effet, certains FPGA récents incluent des capteurs de ce type afin de mesurer les tensions d'alimentation du circuit ou encore la température de celui-ci [Sys11, Sys10, Gui11]. Ces capteurs sont le plus souvent intégrés à l'intérieur d'un système de gestion comme celui représenté sur la figure II.6. Ce système de gestion comprend un convertisseur analogique numérique mais aussi des registres permettant de stocker les données qu'ils fournissent. Un système de connexion avec l'extérieur est également prévu pour transmettre ces valeurs au reste du FPGA ou à l'extérieur. Dans le cas de notre exemple, il est possible de suivre l'évolution de la température mais aussi des valeurs des tensions d'alimentation du cœur et des plots du circuit. Le capteur de température présenté ici fournit une température avec une résolution de 0.5°C et une précision de  $\pm 4^\circ\text{C}$ . Les capteurs de tension, quant à eux, présentent une résolution de 3mV et une sensibilité équivalente.

Cependant, même si ces capteurs sont en mesure de nous fournir de précieuses informations, un seul capteur unique est proposé au centre du circuit. Il permet donc d'obtenir des informations globales sur l'état du circuit mais ne fournit aucune information précise sur la situation de chacune des parties de ce même circuit.

C'est dans cette optique que des capteurs plus locaux permettant de cibler une zone de mesure particulière ont été développés à l'aide de blocs reconfigurables.

---

13. en anglais : Pass Gate

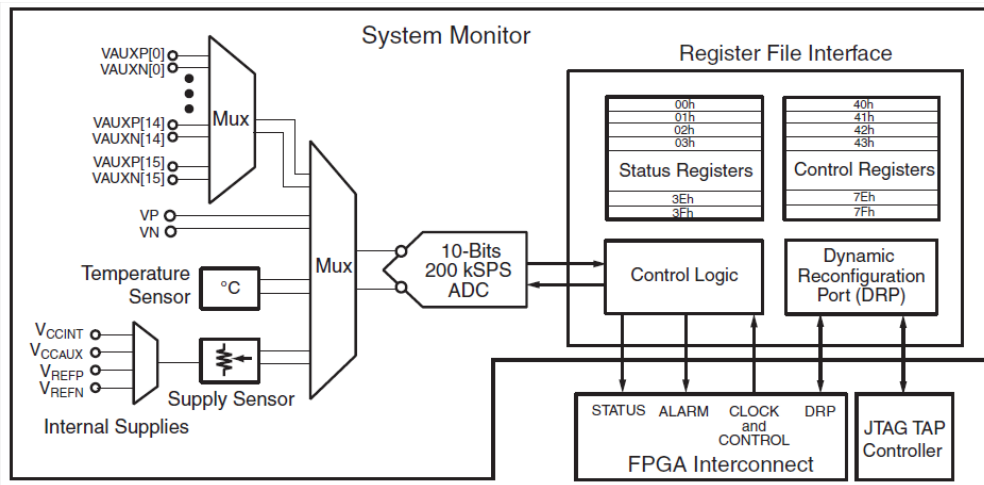


FIGURE II.6 : Structure d'un moniteur système incluant des capteurs de tension et de température (source : [Sys11])

### II.4.C Capteurs implémentés

Les différents capteurs présentés dans cette section sont tous basés sur l'utilisation des blocs reconfigurables présents à l'intérieur des FPGA. Même si certains d'entre eux ressemblent à des capteurs spécifiques pour les ASIC, ils ont souvent été modifiés pour s'adapter aux spécificités des circuits reconfigurables. Enfin, puisque il est facile d'adapter ces capteurs, un grand nombre de variantes de ceux-ci existe.

Ces capteurs sont utilisés dans deux optiques différentes. Certains d'entre eux sont employés afin de mesurer des délais de propagation pour en extraire des variations de procédé de fabrication tandis que d'autres servent à déterminer une température ou l'état d'un circuit en activité.

Dans cette partie, nous proposons de faire un tour d'horizon de ces capteurs.

#### II.4.C.a Capteurs de délai

Dans un premier temps, nous nous intéresserons aux capteurs de délai. Dans cette catégorie, nous classerons tous les capteurs qui servent à réaliser des caractérisations de procédé de fabrication ou encore à estimer la vitesse maximale de fonctionnement de différents blocs reconfigurables.

Nous commencerons, tout d'abord, par nous pencher sur les structures développées

à partir d'oscillateurs en anneau avant de nous intéresser à celles basées sur d'autres architectures.

**Oscillateurs en anneau.** Les premiers auteurs à s'être intéressés à la caractérisation de procédé de fabrication sur FPGA ont proposé une implémentation basée sur l'utilisation d'oscillateurs en anneau [SC06] [SC09]. Cette étude est effectuée sur des circuits Cyclone II fabriqués en technologie 90 nm. Pour cela, une matrice d'oscillateurs composés chacun de 8 éléments logiques permet de caractériser tour à tour chaque groupe d'éléments logiques reconfigurables ainsi formé (Fig. II.7). Une cartographie des fréquences de fonctionnement de chaque circuit caractérisé peut ainsi facilement être obtenue.

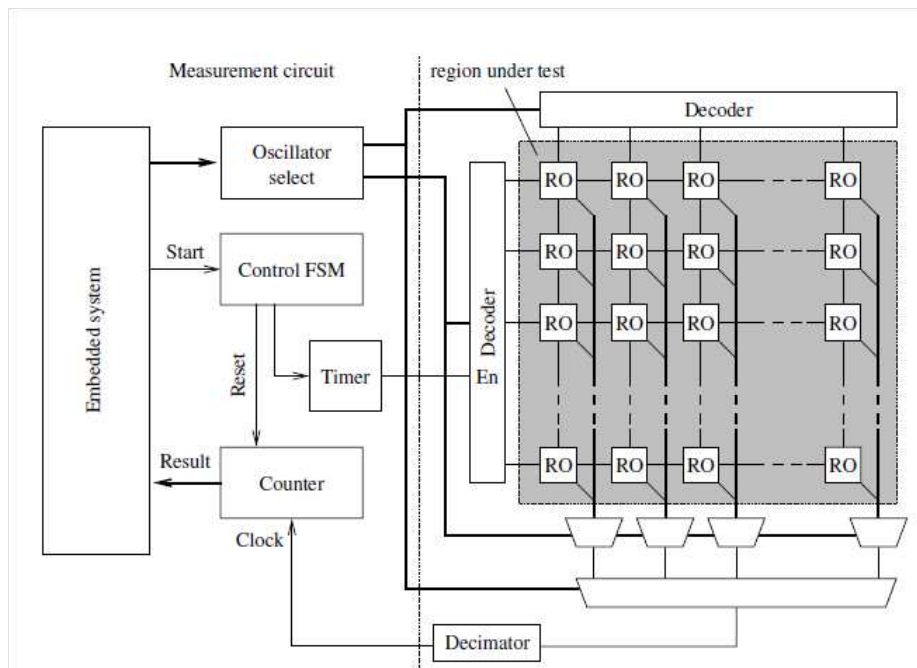


FIGURE II.7 : Circuit de mesure de fréquence d'oscillation proposé par [SC06]

Cette étude présente néanmoins des imperfections. En effet, les systèmes d'acquisition et de transmission sont situés à l'intérieur du circuit et leur impact sur les valeurs mesurées n'est pas abordé (chute de tension, échauffement du circuit...). De plus, l'impact de l'environnement du circuit n'est pas pris en compte puisque notamment le circuit n'est pas maintenu à température constante lors des mesures.

Les mêmes auteurs s'intéressent à cette problématique dans d'autres papiers. Nous noterons notamment les études portant sur l'amélioration du rendement dans les circuits reconfigurables [SC07] [SC08].

D'un autre côté, dans [YXL10], les auteurs proposent une méthode de caractérisation à grain très fin d'un circuit reconfigurable de type Spartan-3e en technologie 90nm. Cette méthode de caractérisation est basée sur l'utilisation consécutive de plusieurs oscillateurs différents positionnés sur les éléments reconfigurables à caractériser. Plusieurs mesures successives sont réalisées et le temps de propagation à travers chaque élément utilisé (Look Up Table, interconnexion...) est ensuite calculé. Cette méthode présente l'avantage d'être très précise mais il est cependant nécessaire de réaliser un grand nombre de mesures afin de caractériser un seul élément du circuit. La caractérisation complète d'un circuit de taille moyenne ne semble pas pouvoir être réalisée dans un temps raisonnable. De plus, les auteurs ne s'intéressent aucunement à la précision de leurs mesures ou encore à la mise en œuvre de celles-ci afin de s'affranchir des variations externes au circuit.

Nous noterons également que les travaux présentés dans [ZH10] et [ZH12], en plus de s'intéresser aux variations de température, présentent des caractérisations globales de procédé de fabrication de circuits de type Virtex-5. Nous reviendrons sur la présentation de ces travaux dans la partie suivante.

**Autres architectures.** D'autres méthodes de caractérisation sont basées sur l'utilisation de différentes architectures de capteurs soit proches de celles des oscillateurs en anneau soit complètement différentes.

Dans [AS03], l'auteur présente une méthode de test de délai basée sur de l'auto-test intégré<sup>14</sup>. Cette méthode est appliquée sur des FPGA Lattice de type ORCA2 et des FPGA Xilinx de type Spartan en technologie 220nm. Pour cela, un signal est propagé à travers deux chemins sous test<sup>15</sup>. L'architecture proposée permet ensuite de déduire le plus rapide des deux. Une représentation simplifiée du schéma logique de cette méthode est proposée sur la figure II.8. Cette méthode permet de manière itérative de classer les différents chemins sous test de tout le circuit et donc de connaître les zones les plus rapides par rapport à celles plus lentes.

Dans [BLS<sup>+</sup>11], les auteurs proposent une implémentation de capteurs sur FPGA de type Virtex-4 fabriqué en technologie 90nm. Ce type de capteur permet d'anticiper les erreurs dues au vieillissement des circuits. Pour cela, un bloc logique est ajouté sur chaque chemin critique monitoré. Ce capteur permet de connaître le décalage temporel entre l'arrivée d'un signal au niveau d'une bascule et celle du signal d'horloge comme présenté sur la figure II.9. Cependant, l'utilisation d'une unité de gestion d'horloge<sup>16</sup> par capteur

---

14. BIST : Built-In-Self-Test

15. PUT : Path Under Test

16. DCM : Digital Clock Management

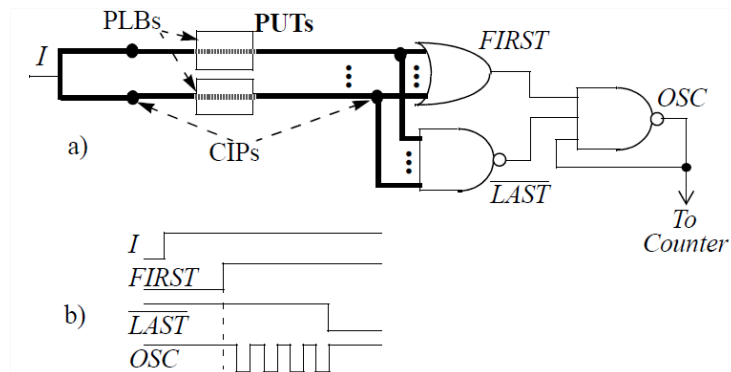
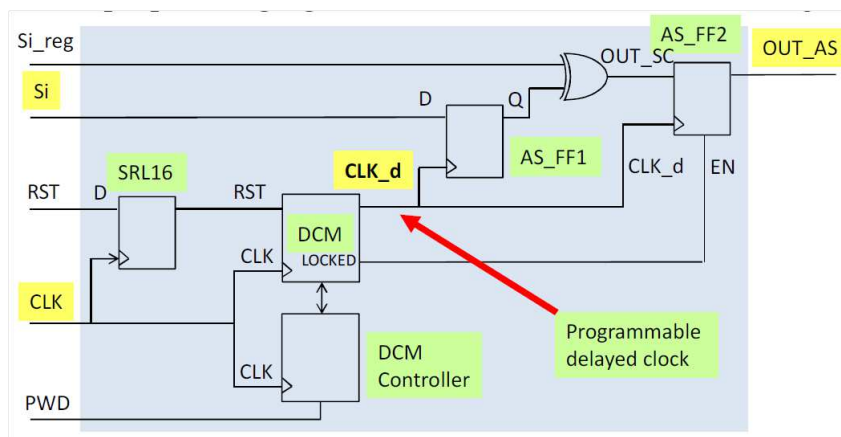


FIGURE II.8 : Circuit de mesure de délai proposé par [AS03]

entraîne un coût en ressources relativement important. Le routage de cette structure est aussi primordial pour son bon fonctionnement. Enfin, le traitement du signal en sortie du DCM est relativement complexe à mettre en œuvre.

FIGURE II.9 : Circuit de mise en évidence de vieillissement proposé par [BLS<sup>+</sup>11]

Egalement implémenté sur Virtex-4, la structure proposée par [WSC07] permet d'évaluer la vitesse de chaque partie du circuit. Pour cela, un signal est propagé à travers le chemin sous test. Puis, la fréquence d'horloge est ensuite progressivement augmentée jusqu'à obtenir un défaut sur le chemin observé. Une cartographie du circuit est ainsi obtenue pour chaque fréquence de test imposée au circuit. Il est alors possible de déterminer les zones du circuit les plus rapides. Cependant, il n'est fait nullement mention de la méthode utilisée pour contraindre les éléments sous test tout comme il n'est fait aucunement mention de la précision des mesures réalisées.

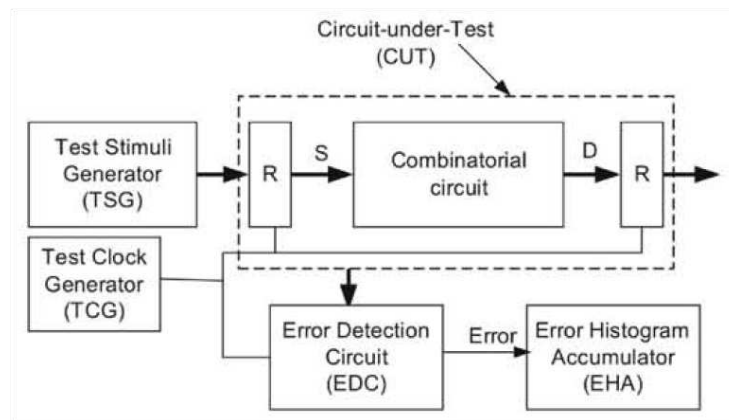


FIGURE II.10 : Circuit de détection d'erreurs proposé par [WSC07]

Une amélioration de cette méthode est mise en œuvre sur un Virtex-5 (65 nm) [MDEK10]. L'astuce réside dans la caractérisation par colonnes puis par lignes du circuit. Un algorithme de corrélation est ensuite utilisé afin de déterminer les zones les plus rapides des plus lentes. De plus, cette fois-ci, la contrainte des structures sous test est bien prise en compte. Cependant, l'impact de l'internalisation de la structure d'acquisition n'est pas étudié tout comme la précision des mesures qui n'est pas abordée.

D'autre part, dans [BBGR09], les auteurs se servent une fois encore d'une méthode de caractérisation rapide. Celle-ci est basée sur la comparaison de vitesse de propagation de deux signaux à travers des chemins sous test. Une représentation de la structure utilisée est proposée sur la figure II.11. Une fois ces mesures réalisées, il est possible d'en extraire des données de procédé de fabrication et d'extrapoler leur effet sur des processeurs fabriqués sur ASIC. Néanmoins, cette structure présente l'inconvénient d'être relativement importante (320 LUT) ce qui a pour effet de limiter le grain des résultats obtenus. De plus, la précision des mesures en fonction de la méthode de mesure n'est pas abordée.

Enfin, plus récemment, certains auteurs utilisent des architectures inspirées de celles basées sur des oscillateurs en anneau tout en les modifiant légèrement. C'est notamment le cas dans [TMY12] où les auteurs utilisent une architecture basée sur la métastabilité de deux signaux (Fig.II.12). Cette méthode présente l'avantage, par rapport à celles basées sur des oscillateurs en anneau, d'une structure plus compacte. Cependant, les paramètres obtenus sont sensibles non pas aux grandeurs mesurées mais au logarithme de ces valeurs. Une conversion est alors nécessaire ce qui peut présenter, dans certains cas, une limitation importante.

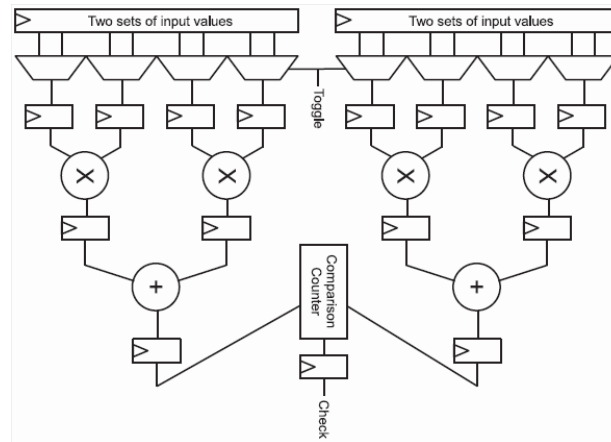


FIGURE II.11 : Circuit de comparaison de vitesse de propagation proposé par [BBGR09]

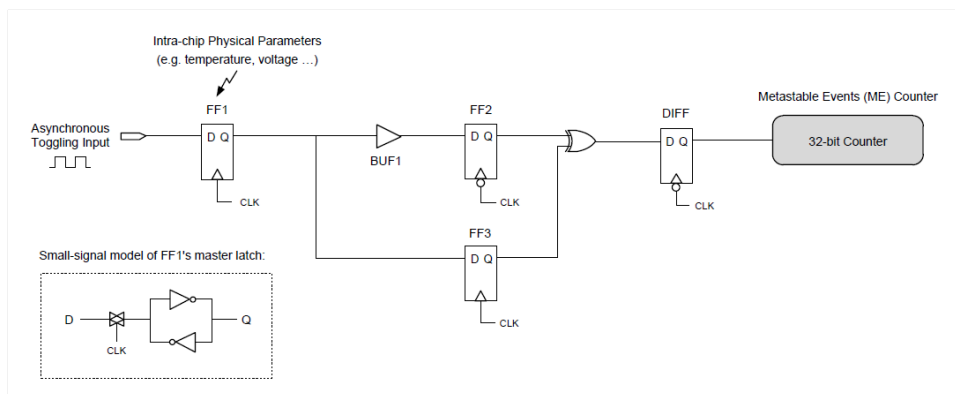


FIGURE II.12 : Circuit de mesure basé la métastabilité de deux signaux proposé par [TMY12]

**Bilan.** Dans cette section, nous avons pu étudier plusieurs structures disponibles pour réaliser des capteurs de délai à partir de blocs reconfigurables. L'ensemble des performances proposées par ces architectures est résumé dans le tableau II.2.

Nous pouvons tirer plusieurs conclusions de cette étude. Tout d'abord, même s'il existe de nombreuses architectures de caractérisation, les oscillateurs en anneau semblent présenter un bon compromis surface / facilité de mise en œuvre / performance.

D'autre part, plusieurs éléments ne sont pas suffisamment pris en compte. En effet, la manière de contraindre la structure du capteur utilisé est rarement évoquée. De plus, l'impact du système d'acquisition sur les mesures obtenues n'est que peu étudié. Enfin, la précision des mesures n'est jamais abordée notamment en ce qui concerne l'impact des variations de l'environnement extérieur au circuit sur celui-ci.



TABLE II.2 : Comparaison générale des méthodes de mesure

Publication	Objectifs	Support Technologie	Type Encombrement	Contrainte capteur	Système d'acquisition	Environnement du circuit
[AS03]	Comparaison de vitesse de chemins	Spartan 220nm	PUT Non mentionné	Non abordé	Externe	Non pris en compte
[SC06]	Caractérisation de délai par bloc	Cyclone II 90nm	RO 8 LUT	Méthode non précisée	Compteur et UART internalisé	Non pris en compte
[WSC07]	Caractérisation de délai de chemin	Cyclone II 90nm	PUT 2 à 12 LUT	Méthode non précisée	FPGA externe	Non pris en compte
[BBGR09]	Comparaison de vitesse de chemins	Cyclone II 90nm	PUT 320 LUT	Hard Macro	Compteur intégré	Non pris en compte
[YXL10]	Caractérisation de délai grain fin	Spartan 3e 90nm	RO Taille variable	Hard Macro	Non précisé	Non pris en compte
[MDEK10]	Caractérisation de délai	Virtex-5 65nm	PUT Ligne ou colonne de LUT	Hard Macro	FSM et décodeur d'adresse	Non pris en compte
[BLS <sup>+</sup> 11]	Capteur de vieillissement	Virtex-4 90nm	PUT	Méthode non précisée	DCM	Non pris en compte
[TMY12]	Capteur de température et de tension	Cyclone II 90 nm	Capteur métastable 2 LUT	Méthode non précisée	Compteur	Sensibilité étudiée

### II.4.C.b Capteurs de température

Un grand nombre des capteurs implémentés sur FPGA sont des capteurs de température. Pour réaliser ce type de capteurs, la plupart des auteurs utilisent des oscillateurs en anneau mais d'autres structures sont également proposées.

Nous allons maintenant nous intéresser aux architectures utilisées pour réaliser ces capteurs. Dans un premier temps nous effectuerons une description détaillée de chacune d'entre elles avant de faire un comparatif de celles-ci.

**Oscillateurs en anneau.** C'est dans [BLB97b] et [BLB97a] que nous pouvons trouver une première utilisation d'oscillateurs en anneau pour la mesure de la température d'un système sur FPGA. Les auteurs y proposent 7 configurations différentes d'oscillateurs implémentés sur FPGA Xilinx de type XC3000 et XC4000 [XC398]. Ces FPGAs font partie des premiers modèles de FPGA proposés par Xilinx et sont fabriqués dans des technologies matures ( $\geq 350\text{nm}$ ). Ces travaux proposent une étude de la sensibilité en température et en tension des différentes structures implémentées grâce à la méthode de mesure proposée sur la figure II.13. Cependant, même si ce papier pose les prémices de l'utilisation des oscillateurs en anneau sur architectures reconfigurables, les mesures sont réalisées dans une technologie mature sans se préoccuper de la manière de réaliser les capteurs ou d'étudier l'influence de la position du capteur à l'intérieur du circuit sur le résultat obtenu.

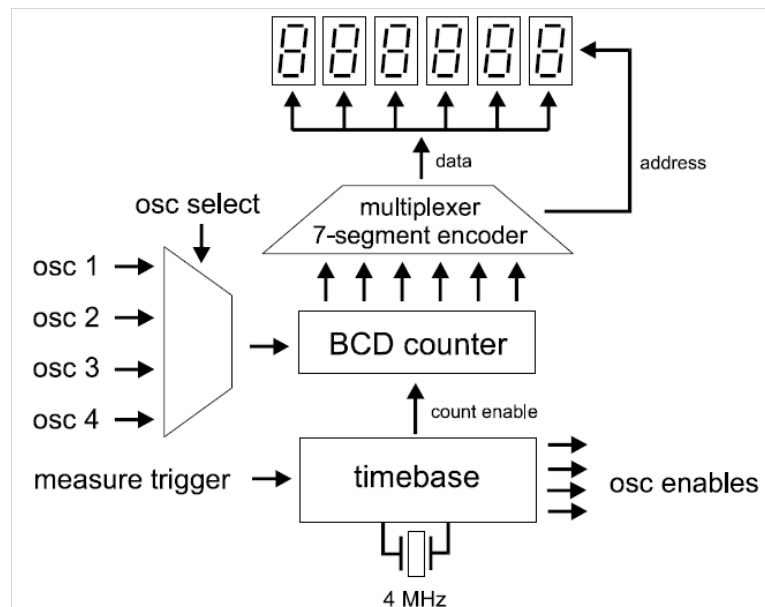


FIGURE II.13 : Circuit de mesure de température proposé par [BLB97b]

Les mêmes auteurs ont repris cette même architecture pour étudier les variations de température dans des technologies plus récentes.

Dans [LBGB02], ils mesurent en deux étapes les variations de température présentes lors de l'exécution de différentes tâches sur un microprocesseur implémenté sur Virtex (technologie 220nm). Dans un premier temps, le processeur est implanté dans le circuit reprogrammable et exécute différentes tâches. Dans un second temps, le FPGA est reprogrammé avec une matrice de capteurs et les mesures fournies par ceux-ci sont envoyées à l'extérieur du circuit comme présenté sur la figure II.14. En comparaison à un état initial, des variations de température inférieures à 1°C sont enregistrées. Néanmoins, même si cette méthode permet de s'affranchir des chutes de tension engendrées au sein du circuit par des appels de courant dus à l'activité du microprocesseur, des lacunes persistent. En effet, le temps nécessaire pour reconfigurer le circuit entre les configurations de "calcul" et de mesure engendre un biais sur les résultats obtenus sans que celui-ci ne soit quantifié. De plus, la précision des appareils utilisés pour réaliser les mesures n'est pas estimée.

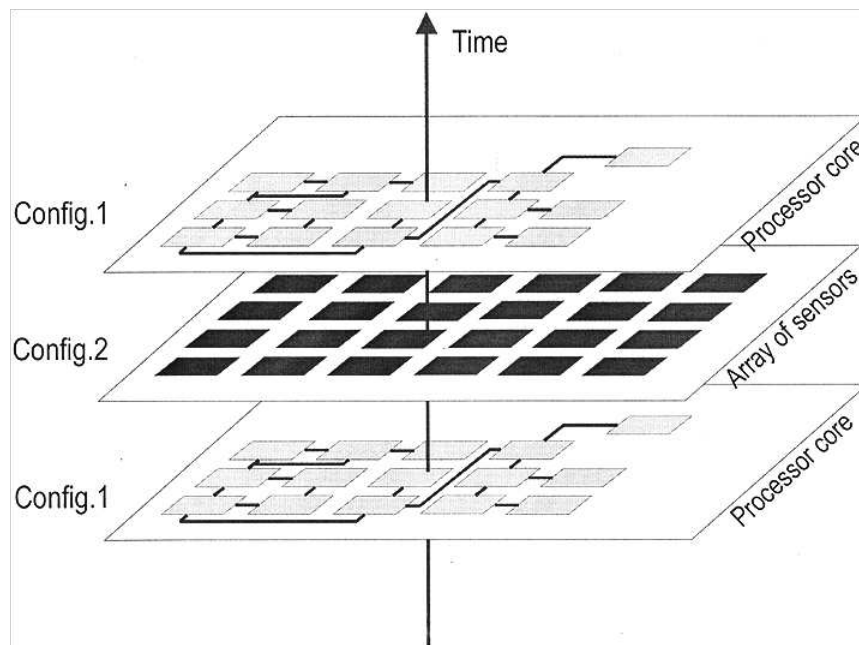


FIGURE II.14 : Succession des différentes configurations (source : [LBGB02])

Un peu plus tard, dans [BLB05] [LBB04], ces mêmes auteurs ont proposé une nouvelle implémentation de leur capteur sur un FPGA de la même série que le précédent (Fig. II.15). Dans un premier temps, ils montrent l'importance de prendre en compte l'auto-

échauffement<sup>17</sup> lors de la mesure de la fréquence fournie par un oscillateur. Puis, une matrice de 32 entités de ce même capteur est utilisée pour réaliser plusieurs cartographies de deux microprocesseurs en activité. Des variations inférieures à 1°C sont observées. Toutefois, même si ce travail montre des résultats intéressants, les auteurs supposent que toutes les variations observées sont imputables à des variations de température sans se soucier de quantifier les probables variations de tension locales auxquelles pourrait être assujéti le circuit. De plus, une fois encore, les auteurs ne s'assurent pas d'avoir contraint suffisamment la structure de leurs oscillateurs afin de garantir que celle-ci soit identique en chaque point.

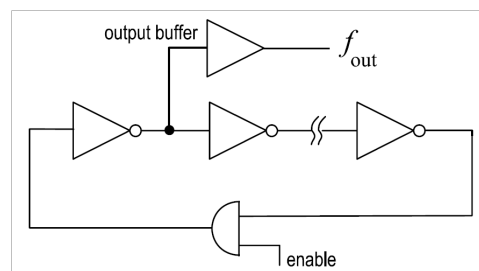


FIGURE II.15 : Circuit de mesure de fréquence proposé par [BLB05]

Enfin dans [FBPC10], les auteurs proposent la caractérisation de capteurs dans une technologie plus récente (Virtex 5 en 90 nm). Pour cela, un capteur constitué de 3 inverseurs est utilisé et sa sensibilité à la température et la tension d'alimentation est étudiée. Cependant, un seul capteur est implémenté et il n'est fait nulle part mention de la méthode employée pour l'implémenter. Ensuite, aucune attention n'est portée aux erreurs de mesure ou autres méthodes de mesure.

En parallèle, d'autres auteurs ont proposé des méthodes de mesure de température à partir d'oscillateurs en anneau.

Dans [VHL<sup>+</sup>05], les auteurs utilisent les architectures d'oscillateurs en anneau proposées dans [LBB04] afin de réaliser une série de mesures sur Virtex-2 Pro en technologie 130 nm. Un processeur Microblaze est implanté sur le FPGA et des variations de température par rapport à la température ambiante sont relevées. Puis, des comparaisons de mesures sont effectuées avec les chiffres fournis par un logiciel de simulation. Les capteurs de température mesurent des variations de température relativement identiques sur l'ensemble du circuit avec une valeur moyenne d'environ 3°C. Cependant, les résultats exposés ici servent plus à la validation d'un outil de simulation

17. en anglais : self-heating

qu'à apporter des éléments nouveaux à la mesure de température sur FPGA. Une fois encore, aucun effort particulier n'est fait pour évaluer l'impact des variations externes sur les mesures obtenues. De plus, l'impact qu'a le système d'acquisition sur les mesures n'est pas étudié.

Les auteurs de [ZH10] et [ZH12] proposent, quant à eux, une mesure de température à partir d'oscillateurs en anneau sur Virtex-5 en technologie 65 nm. La nouveauté vient de l'utilisation en sortie du capteur d'un compteur compact basé sur l'utilisation d'un système de comptage à résidu<sup>18</sup>. Pour ce faire, trois registres à décalage de tailles différentes comptent en parallèle comme présenté sur la figure II.16. Il est ensuite possible de retrouver mathématiquement le résultat du comptage. Cette méthode présente l'avantage de diminuer de manière importante la taille du compteur en sortie du capteur mais elle a aussi un inconvénient de taille, l'algorithme permettant de remonter au comptage est relativement coûteux en temps de calcul pour être inclus dans un système embarqué. En effet, plusieurs multiplications et divisions sont nécessaires pour obtenir ce résultat. De plus, l'impact des chutes de tension sur les mesures n'est pas pris en compte tout comme la précision des mesures qui n'est pas étudiée.

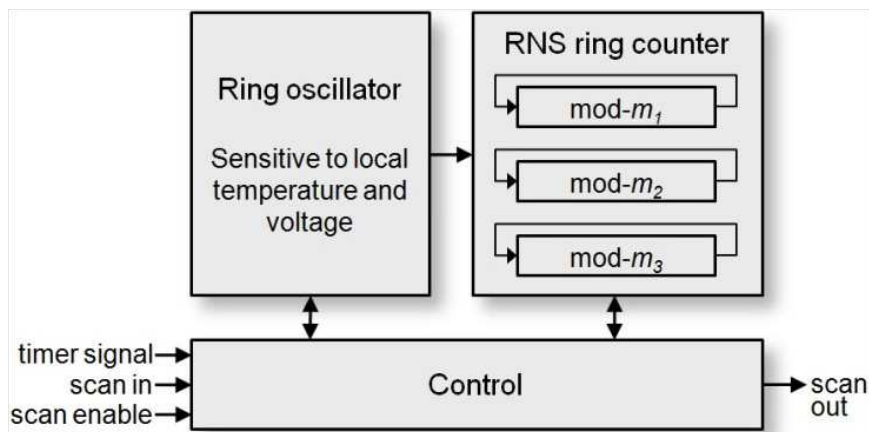


FIGURE II.16 : Circuit de mesure de tension et de température (source : [ZH10])

D'autre part, dans [SJ11], les auteurs implémentent à nouveau un capteur de type oscillateur en anneau sur Virtex-5. Ils utilisent en parallèle une architecture arbitraire dédiée à réaliser des benchmarks en température sur FPGA. Différentes mesures sont réalisées afin de mettre en évidence la réponse non-idéale en température des capteurs à cause des variations de tension d'alimentation du système. Des différences entre les températures fournies par une diode intégrée au circuit et le capteur proposé par les

18. RNS : Residue Number System

auteurs sont également mises en lumière sans pour autant être justifiées. De plus, une fois encore, la précision des mesures n'est pas abordée ici.

Egalement, dans [HAP11], les auteurs implémentent une matrice de capteurs sur un FPGA Virtex-6 fabriqué en technologie 40nm. Cette matrice de capteurs est accompagnée de blocs de calibration permettant de modifier la température d'une zone donnée du circuit. Un modèle d'apprentissage pour chaque capteur est ensuite développé à partir des résultats obtenus. Cependant, il est regrettable que les variations de tension d'alimentation soient oubliées par les auteurs. De même, la manière de placer et router les oscillateurs n'est pas abordée tout comme la précision des mesures.

Enfin, dans [RAHP12], une étude est menée sur le nombre idéal d'étages ainsi que la taille du compteur qu'il est nécessaire d'implémenter afin de réduire au maximum le bruit de mesure. Cette étude est menée sur Virtex-5. La structure utilisée est représentée sur la figure II.17. Dans ce papier, il est montré que lorsque la résolution du capteur est augmentée, dans un même temps, la sensibilité au bruit de ce même capteur est augmentée. Au final, toutes les tailles de capteur évaluées présentent une performance équivalente<sup>19</sup>. Cette étude présente des résultats intéressants qui pourront être réutilisés par la suite.

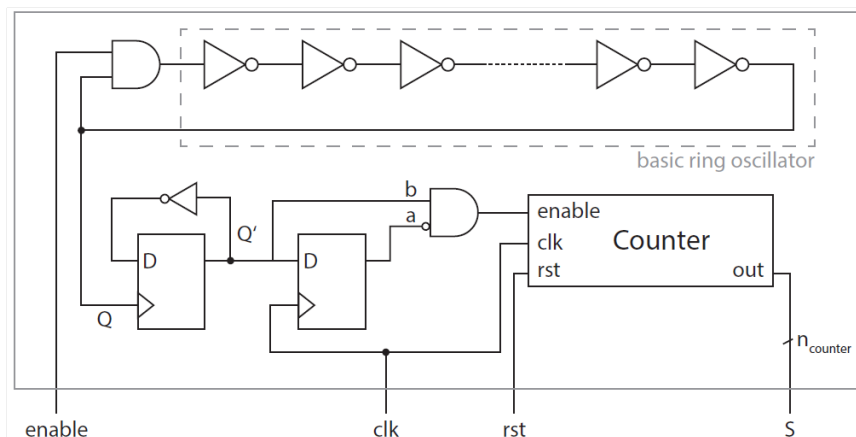


FIGURE II.17 : Circuit de mesure proposé par [RAHP12]

**Autres architectures.** Nous allons maintenant nous intéresser à des architectures autres que les oscillateurs en anneau pour mesurer des variations de température.

Dans [CSZ<sup>+</sup>07], les auteurs proposent un capteur de température implémenté sur Altera ACEX1K en technologie 130nm. Ce capteur est basé sur la propagation d'un signal

19. rapport résolution sur sensibilité au bruit

à travers d'une ligne de délai composée de 4600 éléments logiques reconfigurables. Ce capteur présente l'avantage d'avoir des caractéristiques bien supérieures aux capteurs exposés précédemment mais sa très grande taille en fait un capteur difficilement exploitable à l'intérieur d'un système embarqué.

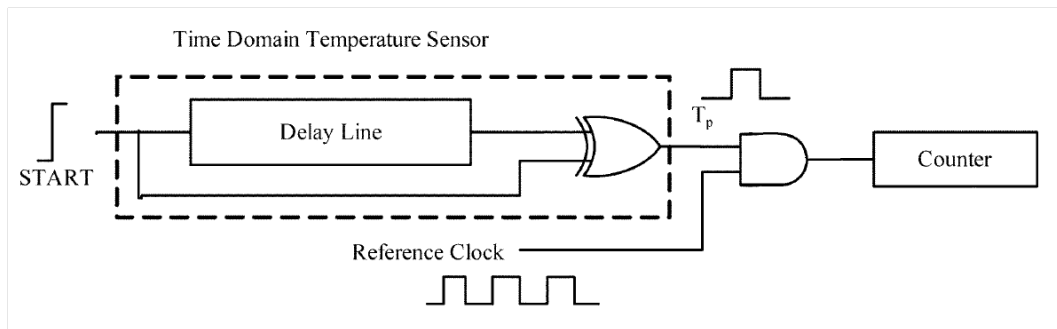


FIGURE II.18 : Circuit de mesure de délai proposé par [CSZ<sup>+</sup>07]

**Bilan.** Dans cette section, nous avons pu étudier plusieurs structures disponibles pour réaliser des capteurs de température à partir de blocs reconfigurables. L'ensemble des performances proposées par ces architectures est résumé dans le tableau II.2.

Plusieurs éléments ressortent de cette étude. Tout d'abord, il semble plus approprié d'utiliser des oscillateurs en anneau afin d'étudier les variations de température dans un système embarqué sur FPGA. D'autre part, même si des tailles différentes d'oscillateurs sont proposées, il est possible d'obtenir des performances équivalentes quelle que soit la taille de celui-ci. Une petite taille de capteur sera donc privilégiée afin de limiter l'encombrement dans le circuit.

D'autre part, plusieurs éléments ne sont pas pris en compte par un grand nombre d'auteurs. En effet, la manière de contraindre la structure de l'oscillateur est rarement évoquée. De plus, l'impact du système d'acquisition sur les mesures obtenues n'est que peu étudié. Ensuite, même si ces capteurs sont le plus souvent utilisés pour mesurer des variations de température, les différents auteurs ne prennent pas toujours en compte leurs susceptibilités à d'autres grandeurs. Enfin, la précision des mesures n'est jamais abordée notamment en ce qui concerne l'impact des variations de l'environnement extérieur au circuit sur celui-ci.

TABLE II.3 : Comparaison générale des méthodes de mesure

Publication	Objectifs	Support Technologie	Type Encombrement	Contrainte oscillateur	Système d'acquisition	Chutes de tension	Variations externes
[BLB97b]	Sensibilité en température et en tension	XC3000 ≥ 350nm	RO 4 LUT	Non mentionné	Direct sur un plot de sortie	Sensibilité mentionnée	Impact non étudié
[LBGB02]	Cartographie de température d'un processeur	Virtex 220nm	RO 7 LUT	Emplacement contraint	Compteur et FSM de commande	Non prises en compte	Impact non étudié
[BLB05]	Cartographie de température d'un processeur	Virtex 220nm	RO 4 CLB	Emplacement contraint	Direct sur un plot de sortie	Non prises en compte	Impact non étudié
[VHL <sup>+</sup> 05]	Cartographie de température d'un processeur	Virtex-2 Pro 130nm	RO 7 LUT	FPGA Editor	Compteur et Processeur	Sensibilité mentionnée	Impact non étudié
[CSZ <sup>+</sup> 07]	Capteur de température	ACEX1K 130nm	Propagation de signal 140 LUT	Non mentionné	Compteur	Non applicable	Quantifiées
[FBPC10]	Sensibilité en température et en tension	Virtex-5 65nm	RO 5 à 25 LUT	Non mentionné	Compteur et FSM	Sensibilité mentionnée	Impact non étudié
[ZH10]	Cartographie de température d'un processeur	Virtex-5 65nm	RO 8 LUT et 8 Latch	Emplacement contraint	Compteur spécifique et FSM	Sensibilité étudiée	Impact non étudié
[SJ11]	Impact de la charge sur la température mesurée	Virtex-5 65nm	RO Non mentionné	Non mentionné	Compteur et FSM	Mis en évidence	Impact non étudié
[HAP11]	Cartographie de température	Virtex-6 40nm	RO 11 LUT	Non mentionné	Compteur et FSM	Non prises en compte	Impact non étudié
[RAHP12]	Exploration paramétrique	Virtex-5 65nm	RO 17 à 111 LUT	Non mentionné	Compteur et FSM	Mise en place de compensation	Impact non étudié



## II.5 Conclusion

Dans ce chapitre, dans un premier temps, nous avons défini les grandeurs qui agissent directement sur les performances des circuits intégrés. Nous avons présenté chacune des sources de variations et leur impact sur la fréquence maximale du circuit ainsi que la consommation de celui-ci.

Dans un second temps, nous nous sommes intéressés aux capteurs permettant de mesurer des variations de ce type sur les circuits spécifiques.

Nous avons ensuite étudié les capteurs propres aux circuits reconfigurables. Pour cela, nous avons commencé par rappeler l'architecture globale de ces circuits. Puis nous nous sommes brièvement intéressés aux capteurs spécifiques incorporés dans certaines gammes de FPGA. Nous avons ensuite fait un tour d'horizon des capteurs réalisés à partir des blocs directement disponibles dans les circuits reconfigurables. Ceux-ci ont été classifiés en deux groupes. Le premier d'entre eux est dédié à la mesure de délai de propagation notamment dans le but de réaliser des caractérisations de performances des circuits. Le second groupe, quant à lui, est utilisé pour estimer des performances en ligne et notamment mesurer la température de circuit. Dans ces deux catégories de capteurs, plusieurs insuffisances ont été reportées. Nous noterons notamment que les évaluations de performances des différents capteurs sont à améliorer dans de nombreux cas. En effet, plusieurs perturbations potentielles ne sont pas prises en compte lors de la caractérisation des capteurs. De plus, ceux-ci sont souvent réalisés sans s'assurer de la reproductibilité de la méthode d'implémentation ce qui peut entraîner pour un même capteur plusieurs architectures différentes sur un même circuit. Enfin, la précision des mesures effectuées n'est jamais abordée.

C'est donc naturellement que, dans le prochain chapitre, nous détaillerons la proposition d'une méthode à employer pour mesurer différents paramètres de circuits reprogrammables.

---

# Du capteur au système en ligne

## Préambule

*Ce chapitre présente les capteurs utilisés dans ce manuscrit ainsi que différentes méthodes de caractérisation de circuits reconfigurables.*

## Sommaire

---

III.1	Dispositif de mesure : définitions et propriétés . . . . .	<b>39</b>
III.1.A	Chaîne d'acquisition . . . . .	39
III.1.B	Propriétés des dispositifs de mesure . . . . .	40
III.1.C	Bilan . . . . .	41
III.2	Capteurs de performances . . . . .	<b>41</b>
III.2.A	Capteurs asynchrones . . . . .	41
III.2.B	Capteurs synchrones . . . . .	43
III.2.C	Stratégies d'implémentation . . . . .	45
III.2.D	Comparaison . . . . .	46
III.3	Méthodes d'acquisition . . . . .	<b>49</b>
III.3.A	Introduction . . . . .	49
III.3.B	Méthodes numériques . . . . .	50
III.3.C	Méthodes non-intrusives . . . . .	55
III.3.D	Comparaison . . . . .	58
III.4	Flot de compensation multi-niveau . . . . .	<b>61</b>

III.4.A	Nécessité d'une stratégie de compensation . . . . .	61
III.4.B	Monitoring Hors Ligne . . . . .	61
III.4.C	Compensation en ligne . . . . .	63
III.4.D	Vieillessement . . . . .	64
III.5	Conclusion . . . . .	<b>64</b>

---

Tout au long de ce chapitre, nous nous intéresserons à la manière de mesurer des variations de performances liées à des variations de grandeurs technologiques (longueur et largeur de grille, tension de seuil...) mais aussi des variations de grandeurs environnementales (tension d'alimentation, température...).

Pour cela, nous rappellerons les notions de chaîne d'acquisition ainsi que les propriétés des dispositifs de mesure. Puis, plusieurs capteurs seront présentés et des méthodes d'acquisition seront étudiées. Enfin, un flot de compensation de ces variations sera proposé.

## III.1 Dispositif de mesure : définitions et propriétés

Les notions de mesure et de chaîne d'acquisition étant au centre de ce travail, il est nécessaire de redéfinir le contexte afin de clarifier et poser correctement les bases des notions abordées plus loin dans ce manuscrit.

Nous nous référerons tout au long de cette partie aux documents édités par le Comité commun pour les guides en métrologie (JCGM) [Gro08].

### III.1.A Chaîne d'acquisition

Nous commencerons cette section par quelques définitions nécessaires à la bonne compréhension de la suite :

- Le **mesurage** est l'opération ou l'ensemble d'opérations permettant l'obtention de la valeur d'une grandeur physique.
- Le **mesurande** est la grandeur physique soumise au mesurage.
- La **mesure** est une représentation quantifiée d'une grandeur physique que l'on souhaite mesurer.

Connaissant ces trois éléments, nous pouvons passer à la description d'une **chaîne de mesure** ou chaîne d'acquisition. La structure de base d'une chaîne de mesure contient au minimum trois différents étages comme représenté à la figure III.1.

Le premier élément de cette chaîne est le **capteur**. Son rôle est d'être sensible aux variations de la grandeur physique que nous voulons étudier et de délivrer une autre grandeur physique image de la première.

Le second élément de cette chaîne, le **conditionneur de signaux**, a pour rôle d'amplifier le signal délivré par le capteur pour lui donner un niveau compatible avec l'unité de visualisation ou d'utilisation.

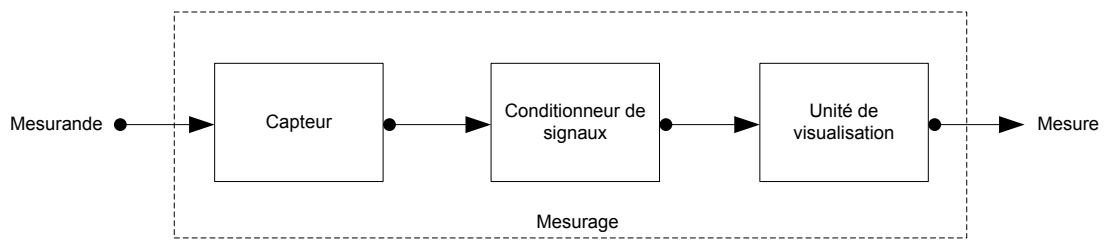


FIGURE III.1 : Structure d'une chaîne d'acquisition

Enfin, l'**unité de visualisation** et/ou d'utilisation permet de rendre la valeur de la grandeur exploitable.

La structure présentée ici se retrouve dans toutes les chaînes de mesure quelles que soient les grandeurs que l'on souhaite mesurer.

### III.1.B Propriétés des dispositifs de mesure

Une fois que nous avons choisi et mis en place une chaîne de mesure afin de quantifier un mesurande, il est important de définir des critères d'évaluation afin de pouvoir comparer et classer les différentes chaînes d'acquisition permettant de mesurer un même mesurande.

Les critères que nous retiendrons pour évaluer notre système sont les suivants : sa gamme de mesure, sa sensibilité, sa résolution, son exactitude.

#### III.1.B.a Gamme de mesure

On appelle gamme de mesure l'ensemble des valeurs du mesurande pour lesquelles l'opération de mesurage est censée fournir une mesure correcte.

#### III.1.B.b Sensibilité

La sensibilité correspond au quotient de la variation d'une indication d'un système de mesure par la variation correspondante de la valeur de la grandeur mesurée.

#### III.1.B.c Résolution

La résolution correspond à la plus petite variation de la grandeur mesurée qui est susceptible de produire une variation de l'indication mesurée.

### III.1.B.d Exactitude de mesure

L'exactitude de mesure correspond à l'écart entre la valeur mesurée et la valeur vraie d'un mesurande.

### III.1.C Bilan

Dans cette partie, nous avons rappelé les notions de base des systèmes de mesures. Nous serons amenés à utiliser ces notions tout au long de ce document.

Dans les parties suivantes, nous nous intéresserons à décrire les capteurs que nous utiliserons mais aussi les différentes chaînes d'acquisition que nous avons été amenés à évaluer.

## III.2 Capteurs de performances

Dans cette partie, nous allons nous pencher plus précisément sur les capteurs de performances directement implémentés à l'aide des ressources présentes sur les FPGA. Ces capteurs de performances peuvent être classés dans deux catégories : les capteurs asynchrones et les capteurs synchrones.

### III.2.A Capteurs asynchrones

#### III.2.A.a Principe de fonctionnement

Les capteurs asynchrones sur FPGA sont généralement basés sur l'utilisation d'un système qui va se mettre à osciller [BLB97b].

La structure la plus souvent utilisée est basée sur l'utilisation d'un nombre impair d'inverseurs comme représenté sur la figure III.2. Ces inverseurs sont chaînés puis le dernier inverseur de la chaîne est relié au premier créant ainsi une boucle.

La structure ainsi créée se met à osciller naturellement lorsqu'elle est alimentée. La fréquence d'oscillation de cette structure est directement fonction des paramètres technologiques du circuit mais aussi de grandeurs physiques telles que la tension d'alimentation du composant ou encore sa température. Dans la littérature, ces capteurs sont appelés capteurs P,V,T.

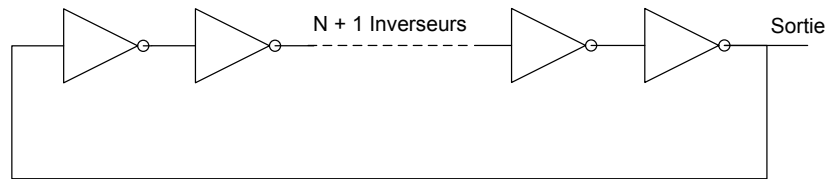


FIGURE III.2 : Schéma de principe d'un oscillateur en anneau

### III.2.A.b Etat de l'art

Initialement, ce type de capteurs a été implanté sur ASIC. C'est dans [QPZ91] qu'apparaît pour la première fois dans la littérature la notion d'oscillateur en anneau utilisé comme capteur. Réalisé dans une technologie  $2\ \mu\text{m}$ , cet oscillateur permet de mesurer une information liée à la fois aux variations de température et de tension d'alimentation.

Par la suite, de part sa facilité d'utilisation, cette structure a souvent été choisie pour servir de capteur sur FPGA.

A ses débuts sur composants reconfigurables, cette structure a été utilisée à plusieurs reprises pour réaliser des capteurs de température. Dans [LB03], l'auteur référence, propose et utilise plusieurs de ces structures afin de mesurer des variations de température. Il faut cependant souligner que ces structures sont réalisées à l'aide de technologies matures (220 à 150 nm). Les variations mesurées sont donc uniquement liées à des variations de température ce qui facilite la lecture et l'utilisation des capteurs.

Cette structure a ensuite été reprise afin de caractériser l'impact des variations de procédé de fabrication sur les délais des portes logiques et des interconnexions d'un FPGA. Dans [SC06], l'auteur propose d'utiliser une grille d'oscillateurs en anneau afin de venir caractériser une variation de délai de propagation à l'intérieur d'un même circuit. Cette méthode permet d'obtenir le délai de propagation d'un signal à travers un oscillateur en anneau de 7 étages. Des résultats pour des FPGA conçus en technologie 90 nm sont proposés et permettent de mettre en évidence des variations supérieures à 4% à l'intérieur d'un même circuit. Cependant, aucune étude portant sur la méthode de mesure et ses propriétés n'est proposée.

D'autres méthodes découlant de cette dernière ont été soumises pour obtenir une caractérisation plus fine des différents éléments du FPGA. Pour cela, il a été proposé de mesurer des délais de propagation à l'intérieur d'un élément logique particulier en utilisant des mesures successives [YXL10]. Ces mesures successives sont ensuite utilisées pour déduire le délai de propagation à travers une LUT ou une interconnexion.

Néanmoins, malgré la possibilité de connaître très précisément les variations auxquelles est soumis un circuit, cette méthode s'avère très lourde à mettre en œuvre à cause du temps de mesure nécessaire.

### III.2.B Capteurs synchrones

Il existe dans la littérature de nombreuses manières de mettre en œuvre des capteurs de type synchrone. Nous nous intéresserons dans cette partie plus particulièrement à ceux portant sur l'évaluation de temps de parcours de chemin critique.

#### III.2.B.a Etat de l'art

Dans les circuits intégrés spécifiques, on utilise des capteurs pour les chemins critiques (CPM : Critical Path Monitor) afin de détecter des fautes temporelles dans un circuit au cours de son utilisation.

Bien que nombreux dans la littérature, tous ces capteurs adoptent une même structure [Dra08]. Un élément de synchronisation déclenche un signal de test qui sera divisé en deux. Le premier sert de référence tandis que le second est introduit dans une unité de retard qui modélise le chemin critique. Le décalage temporel entre les deux signaux est ensuite évalué soit à l'aide d'un comparateur ou d'un système plus évolué.

Ces capteurs sont basés soit sur l'utilisation d'un réplica du chemin critique [KSM<sup>+</sup>98] soit sur l'utilisation d'un chemin ayant le même comportement [DK02, DSD<sup>+</sup>07]. Cependant, malgré l'existence de nombreuses techniques pour gérer les chemins critiques, très peu sont adaptées sur FPGA.

#### III.2.B.b Principe de fonctionnement

Le capteur de temps de parcours (PDS : Path Delay Sensor) proposé ici est directement inspiré par les CPM. La structure de ce capteur est décrite sur la Figure III.3. L'idée du capteur de temps de parcours est d'adapter le CPM au FPGA. De plus, la régularité des structures des FPGA permet de créer plus facilement un réplica de chemin critique sur un FPGA que sur un ASIC.

Le PDS est composé de  $n$  LUT et de  $n$  bascules (FF : flip-flops). Les LUT sont chaînées ensemble et une bascule est câblée à la sortie de chacune des LUT. Un signal d'horloge est appliqué à l'entrée de la chaîne et est propagé à travers les LUT. A chaque front montant d'horloge, un code thermomètre composé de  $n$ -bits est disponible à la sortie des FF. Le code thermomètre est représentatif des performances des LUT et des interconnexions.



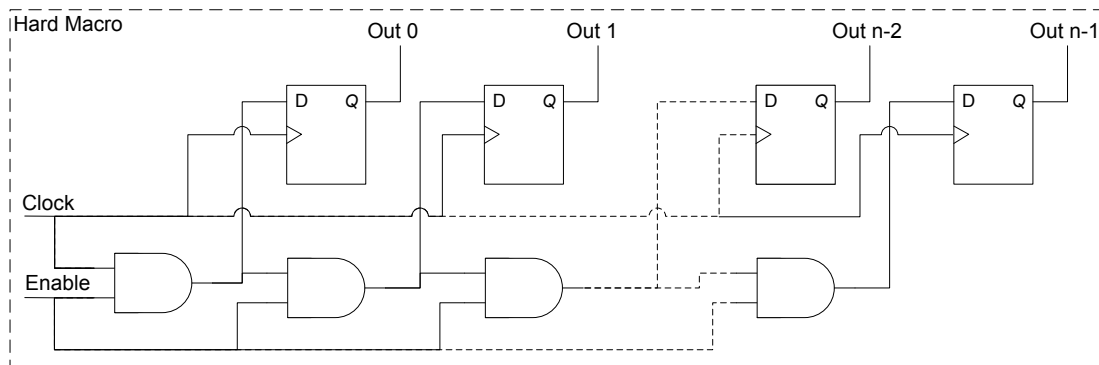


FIGURE III.3 : Capteur de temps de parcours

Par exemple, supposons que le capteur fonctionne et que le code soit stocké. Ce code pourrait être "111111111111000000000000001111" pour un capteur 32 bits. Il sera ensuite analysé. La position Nz du dernier 0 est identifiée.

Deux analyses différentes sont alors possibles :

- Une rapide où nous comparons directement Nz à la taille du chemin critique.
- Une plus lente où le temps T nécessaire à la traversée d'une LUT et des interconnexions associées est approximé de la manière suivante :

$$T = \frac{Nz + 2}{f} \quad (\text{III.1})$$

où f représente la fréquence du signal d'horloge appliqué au capteur. Nz + 2 correspond au nombre de LUT auquel est ajouté arbitrairement 1 afin de prendre en compte le temps de traversée de la FF d'échantillonnage (en simulation, le temps de réponse d'une LUT est à peu près équivalent au temps de traversée d'un FF). Le temps T mesuré ici permet une estimation rapide de la fréquence maximale de fonctionnement d'un chemin critique.

### III.2.B.c Implémentation proposée

Afin d'obtenir une information pertinente, la taille du capteur doit prendre en compte la famille de FPGA sur laquelle le capteur est implanté. Celui-ci permettra de propager une période complète du signal d'horloge de référence pour ce type de circuit.

Le capteur que nous avons utilisé lors de cette thèse est implémenté sur Spartan-3 et sa fréquence d'utilisation est de 50MHz ce qui correspond à la fréquence de référence des designs pour cette technologie. Afin de définir la taille idéale de ce type de capteur pour notre structure, il est nécessaire de tenir compte du temps de traversé d'une LUT et de l'interconnexion correspondant soit 2.217ns en simulation. En tenant compte de

ces contraintes (délai et fréquence d'horloge) et afin de pouvoir transmettre une période complète du signal d'entrée, la taille idéale de ce type de capteur est de 32 étages sur Spartan-3.

### III.2.C Stratégies d'implémentation

Il existe plusieurs manières de procéder pour implémenter des capteurs avec les ressources disponibles dans un FPGA. Nous allons maintenant nous intéresser à celles-ci.

#### III.2.C.a Choix des ressources utilisées

Une fois le type de capteur choisi, il est nécessaire, dans un premier temps, de sélectionner les ressources que nous allons utiliser pour réaliser notre capteur. Nous nous servirons pour cela le plus souvent des ressources classiques telles que les LUT (Look Up Table) mais aussi les Flip-Flops généralement regroupées à l'intérieur de Slices. Ces ressources étant reliées à partir de Switch Matrix. Cependant, avant d'effectuer le moindre choix, nous nous orienterons vers la datasheet du composant utilisé afin de regarder les ressources disponibles et d'adapter au mieux notre capteur à celles-ci.

#### III.2.C.b Implémentation en VHDL

Une fois une architecture de capteur choisie et les ressources d'implémentation sélectionnées, nous pourrions penser qu'il suffit d'écrire quelques lignes de VHDL pour réaliser notre capteur. Cependant, les structures de ces capteurs étant souvent des structures redondantes, il sera souvent nécessaire d'utiliser des astuces de programmation afin d'éviter que le compilateur n'effectue des simplifications qui viendraient compromettre l'architecture du capteur.

Nous allons ci dessous réaliser l'analyse d'extraits de l'implémentation de capteur en VHDL. Nous remarquons l'utilisation de plusieurs options de synthèse particulières par rapport à une implémentation classique :

- library unisim;  
use unisim.vcomponents.all;

*Cette librairie permet d'instancier directement des composants faisant parti d'une architecture de FPGA (LUT, FF..).*

- attribute KEEP : string;  
attribute KEEP of ring\_delay1 : signal is "true";

*Cet attribut permet d'empêcher la simplification d'un signal par l'outil de synthèse.*

- attribute INIT : string;  
attribute INIT of delay1\_lut : label is "4";

*Cet attribut permet d'initialiser le composant utilisé, ici par exemple une LUT2.*

- delay1\_lut: LUT2
  - synthesis translate\_off
  - generic map (INIT => X"4")
  - synthesis translate\_on
  - port map( I0 => enable ,  
          I1 => ring\_inverter ,  
          O => ring\_delay1 );

*On vient ici instancier directement une LUT 2 qui aura un comportement de suiveur.*

Ce type d'implémentation conjuguée à des contraintes de placement du circuit permet de garantir l'utilisation des ressources pré-sélectionnées. Néanmoins, nous ne pourrons pas garantir l'utilisation du même routage entre deux implémentations successives. C'est pourquoi, par la suite, nous nous intéresserons à l'utilisation d'un langage plus bas niveau.

### III.2.C.c Implémentation en XDL

Le langage XDL ou Xilinx Design Language est un langage de description bas niveau développé par la société Xilinx [xil12]. Il permet de définir un bloc logique en utilisant directement les éléments logiques présents dans le FPGA. Nous pourrons également choisir directement le routage utilisé. Une fois tous ces éléments choisis, nous créerons une Hard Macro qui permettra de figer la description ainsi obtenue. Cette Hard Macro permettra de placer et router notre capteur de la même manière quel que soit l'emplacement où l'on souhaitera placer celui-ci dans le FPGA. Nous pourrons donc sans souci effectuer des comparaisons entre les résultats obtenus pour deux positions du capteur dans un même FPGA ou entre deux FPGA différents.

### III.2.D Comparaison

Dans cette section, nous allons réaliser une comparaison rapide entre les deux capteurs proposés : l'oscillateur en anneau et le capteur de temps de parcours. Les détails de cette comparaison sont présentés dans [BBT10].

Afin de comparer ces deux capteurs, nous les avons tous les deux implémentés pour un FPGA de type Spartan 3 et implantés sur plusieurs cartes Spartan-3 Starter Kit Board [sta09].

**III.2.D.a Comparaison générale**

Une comparaison générale des deux capteurs est proposée dans cette partie. Le tableau III.1 présente la surface utilisée mais aussi la latence entre deux mesures consécutives.

TABLE III.1 : Comparaison générale des capteurs

	Surface du capteur (# Slices)	Surface totale avec conditionnement (# Slices)	Latence du capteur (# Cycles)
Oscillateur en anneau	2	80	2046
Capteur de temps de parcours	16	16	2

Commençons par nous intéresser à la surface des capteurs. Plus un capteur est petit et plus il permet de caractériser une petite surface. Il sera donc plus sensible aux variations de procédé de fabrication de type aléatoire et il permettra également de faire une étude détaillée du FPGA. L'oscillateur en anneau est donc plus intéressant dans le cas d'une étude détaillée des performances du FPGA.

La surface totale exprimée ici correspond à l'espace nécessaire à l'implantation du capteur et du conditionneur de signaux. Cette valeur est à mettre en comparaison avec le nombre total de slices disponibles dans le FPGA. En effet, plus un capteur occupe de surface et moins il reste d'espace pour positionner d'autres capteurs ou un système à contrôler. Le capteur de temps de parcours est le meilleur dans ce cas là. Ceci s'explique par le fait que l'oscillateur en anneau nécessite un compteur à sa sortie pour conditionner les signaux tandis que le capteur de temps de parcours n'en a pas besoin.

Le temps de traitement proposé ici représente le nombre de cycles d'horloge nécessaires entre deux mesures successives. Tandis que l'oscillateur nécessite 2046 cycles, le second capteur permet une mise à jour beaucoup plus rapide des performances mesurées. Il faut cependant rester prudent, cet avantage potentiel est à mettre en relation avec les capacités de traitement de l'unité qui récupèrera les données des capteurs.

Avant de tirer des conclusions sur les avantages et les inconvénients d'utiliser une méthode d'acquisition plutôt qu'une autre, nous nous intéresserons à comparer des mesures réalisées à l'aide des deux types de capteur.

### III.2.D.b Evaluation de performances

Afin de réaliser une comparaison des deux types de capteurs, nous avons réalisé des mesures sur un lot de 5 FPGA Spartan 3. Pour assurer la reproductibilité des résultats, les mesures sont réalisées en maîtrisant l'environnement extérieur du circuit (tension d'alimentation et température). La procédure de mesurage détaillée est présentée plus loin dans ce document (cf. III.3).

Pour chaque capteur, la valeur moyenne de la fréquence normalisée mesurée est présentée pour chaque carte sur la figure III.4. Nous pouvons tirer plusieurs informations de ces résultats. Premièrement, les valeurs données par chaque capteur sont relativement équivalentes. Les capteurs donnent bien des valeurs équivalentes du même mesurande. Ensuite, nous remarquons que les valeurs obtenues pour le capteur de temps de parcours sont toujours inférieures ou égales à celles mesurées avec l'oscillateur en anneau. L'explication de cette différence est simple. En effet, de par sa configuration, le capteur de temps de parcours sous-estime la fréquence maximale de fonctionnement du circuit mesuré. En effet, si le changement d'état propagé est entre deux sorties lors de l'échantillonnage, la première montre un état logique et la seconde son contraire mais il est impossible d'obtenir une information sur l'état d'avancement de la propagation entre ces deux sorties.

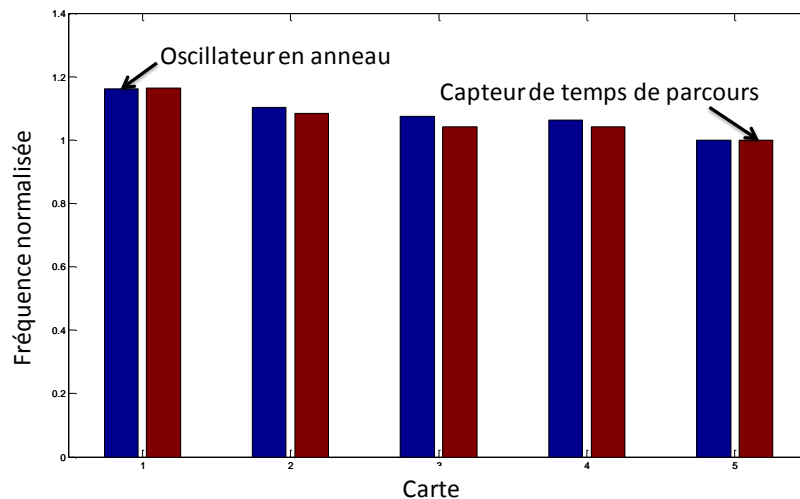


FIGURE III.4 : Comparaison de cartographies entre plusieurs cartes

En conclusion, nous pouvons dire qu'il est possible de tirer profit des deux types de capteur dans différents contextes. Le capteur à oscillateur en anneau sera préféré

lors d'une caractérisation précise du procédé de fabrication et d'une gestion précise des performances. Le capteur de temps de parcours sera utilisé pour une gestion rapide et directe des chemins critiques du système.

## III.3 Méthodes d'acquisition

### III.3.A Introduction

Cette partie présente les différentes méthodes de mesure ainsi qu'une comparaison en terme de précision, de rapidité de mesure mais aussi de facilité de mise en œuvre. A des fins pédagogiques, nous utiliserons tout au long de cette section l'oscillateur en anneau comme capteur. Celui-ci sera positionné lors de la programmation du FPGA sur la logique reconfigurable que nous souhaitons caractériser comme présenté sur la figure III.5. Quel que soit la méthode de caractérisation choisie, en plus du FPGA, un ordinateur sera toujours requis pour réaliser la programmation du circuit. Sauf mention contraire, la méthode proposée pourra être utilisée pour d'autres types de capteurs.

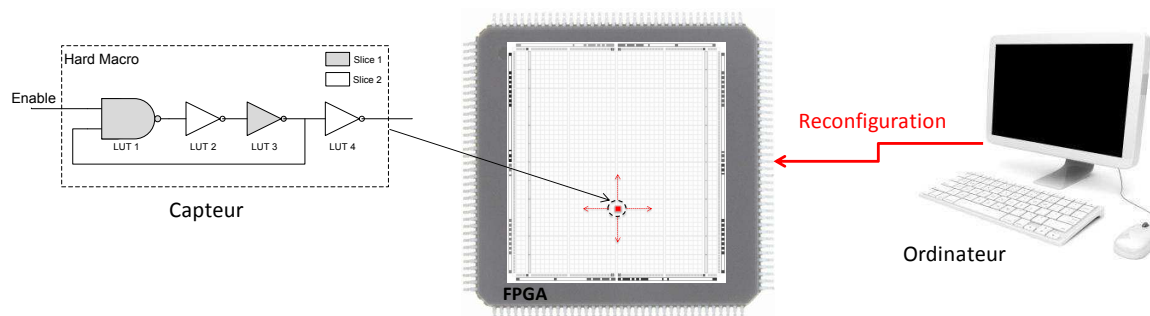


FIGURE III.5 : Configuration de départ pour réaliser une mesure

Dans cette partie, nous verrons dans un premier temps des méthodes d'acquisition basées sur des techniques de conditionnement du signal utilisant les ressources du FPGA puis nous étudierons des méthodes moins conventionnelles basées sur l'utilisation de mesure de paramètres "physiques" du circuit.

### III.3.B Méthodes numériques

Il existe plusieurs méthodes basées sur l'utilisation de logique pour conditionner la valeur de notre capteur de manière "numérique", l'objectif étant ici de récupérer la fréquence ou la période d'oscillation du capteur.

#### III.3.B.a Capteur "seul"

**Principe.** Une des premières idées qui nous vient à l'esprit pour mesurer la fréquence d'oscillation de notre capteur est de le placer sur la zone que nous souhaitons caractériser et de router la sortie du dernier inverseur de celui-ci sur un plot de sortie du circuit comme représenté sur la figure III.6. Il suffit ensuite de venir mesurer la fréquence du signal en sortie du circuit pour obtenir la fréquence d'oscillation du capteur.

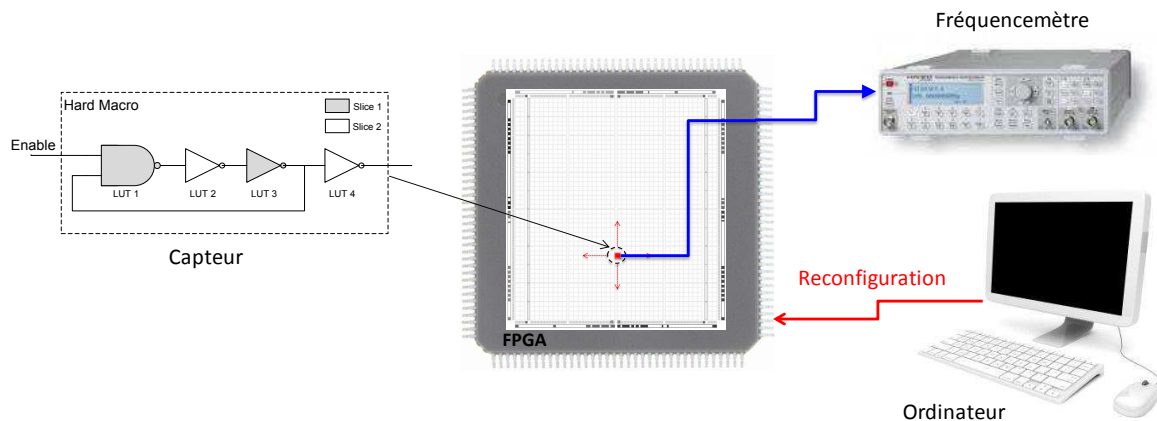


FIGURE III.6 : Mesure avec le capteur "seul"

Nous obtenons alors  $F_{\text{osci}} = F_{\text{mes}}$  où  $F_{\text{osci}}$  est la fréquence de l'oscillateur et  $F_{\text{mes}}$  est la fréquence mesurée. La résolution de la mesure est alors directement liée à la précision du fréquencemètre utilisé lors de la mesure.

**Avantages et limitations.** Cette méthode peut sembler triviale et facile à mettre en œuvre mais elle présente néanmoins de nombreuses limitations.

Premièrement, la fréquence du signal présent en sortie de l'oscillateur ne doit pas excéder la fréquence maximale qu'admet le plot de sortie utilisé.

De plus, le routage de notre capteur vers un même plot de sortie quel que soit sa position n'est pas toujours possible en respectant les contraintes de délai. Dans ce cas, le

signal fourni au système de conditionnement de signaux peut être dégradé ce qui entraîne une erreur de mesure.

Enfin, il est nécessaire de mettre en place un système de mesure de type fréquencemètre en sortie du circuit pour connaître la fréquence de l'oscillateur.

### III.3.B.b Capteur et diviseur de fréquence

**Principe.** Afin de palier les limitations de la précédente méthode, il est possible de venir mettre en sortie du capteur un diviseur de fréquence comme présenté sur la figure III.7. C'est ensuite la sortie du diviseur de fréquence qui sera routé vers l'extérieur du circuit et dont nous viendrons mesurer la fréquence.

Cette méthode nous permet de mesurer une fréquence proportionnelle à la fréquence de l'oscillateur et nous aurons donc  $F_{\text{osci}} = F_{\text{mes}}/N_{\text{div}}$  où  $F_{\text{osci}}$  est la fréquence de l'oscillateur,  $F_{\text{mes}}$  est la fréquence mesurée et  $N_{\text{div}}$  est le coefficient de division. Nous obtiendrons alors une résolution de mesure correspondant au rapport de la précision du fréquencemètre  $Pr_{\text{freq}}$  sur le coefficient de division :  $\text{Rés} = Pr_{\text{freq}}/N_{\text{div}}$ .

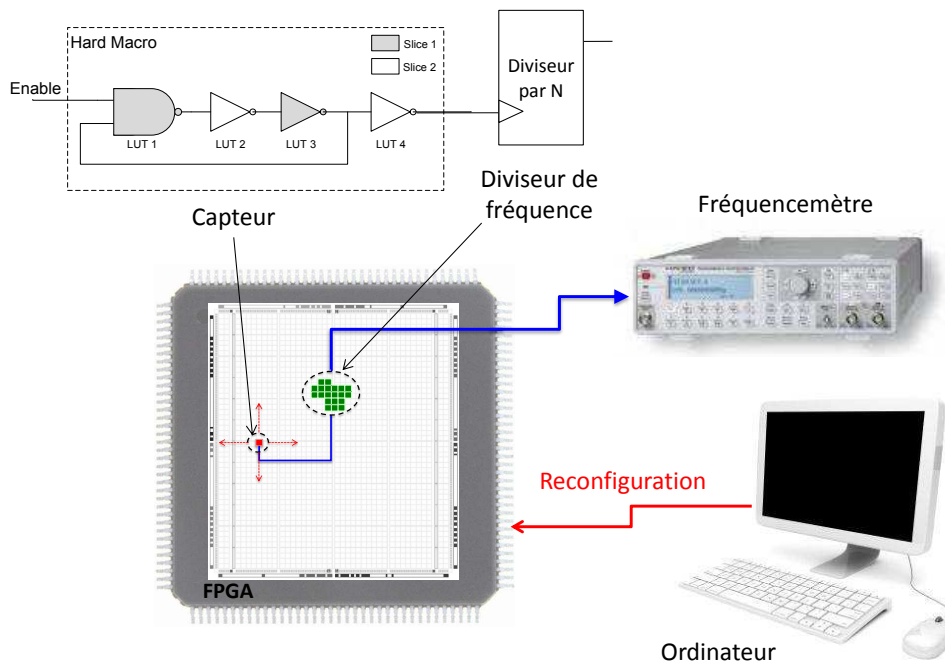


FIGURE III.7 : Mesure avec capteur et diviseur de fréquence



**Avantages et limitations.** Cette méthode présente l'avantage de résoudre une partie des défauts de la précédente.

En effet, le signal en sortie du diviseur aura une fréquence compatible avec les limitations technologiques des plots de sortie du circuit.

D'autre part, l'ajout de logique en sortie du capteur permettra d'atteindre plus facilement toutes les zones du FPGA sans entraîner de dégradation du signal et donc de violation de délais.

Enfin, le fait de mesurer la fréquence sur un plus grand nombre de périodes d'oscillation permet de réduire l'erreur de mesure.

Cependant, il est toujours nécessaire de venir mesurer la fréquence de notre oscillateur avec un appareil de type fréquencemètre en sortie du circuit.

### III.3.B.c Capteur, système d'acquisition et de communication

**Principe.** Afin de supprimer une partie des appareils de mesure nécessaires à l'obtention de la fréquence du capteur, une solution est d'internaliser la partie mesure puis de communiquer le résultat directement mesuré à l'ordinateur servant à programmer le FPGA.

Pour cela, nous gardons seulement le premier étage du diviseur de fréquence qui permet d'avoir des délais de logique compatibles avec la logique synchrone du reste du circuit. Nous transformons ensuite le reste du diviseur de fréquence en compteur comme détaillé sur la figure III.8.

L'ajout de logique de commande en entrée du circuit permet d'activer l'oscillateur pour un nombre de cycles d'horloge prédéfinis  $p$ . Puis, la valeur en sortie du compteur est récupérée et transmise à l'extérieur du FPGA à l'aide d'un système de communication asynchrone (type UART<sup>1</sup>).

La fréquence de l'oscillateur s'obtient à l'aide de l'équation suivante :

$$F_{\text{osci}} = \frac{\text{cpt} * F_{\text{clk}}}{n_{\text{cpt}}} \quad (\text{III.2})$$

où  $F_{\text{osci}}$  est la fréquence de l'oscillateur,  $\text{cpt}$  est le résultat obtenu en sortie du compteur,  $F_{\text{clk}}$  est la fréquence d'horloge du circuit et  $n_{\text{cpt}}$  est le nombre de cycles d'horloge pendant lequel le compteur est actif. La résolution de cette méthode sera directement liée à la fréquence d'horloge utilisée et au nombre de cycles d'horloge pendant que le compteur est actif :  $\text{Rés} = n_{\text{cpt}} / F_{\text{clk}}$ .

1. Universal Asynchronous Receiver Transmitter : émetteur-récepteur asynchrone universel

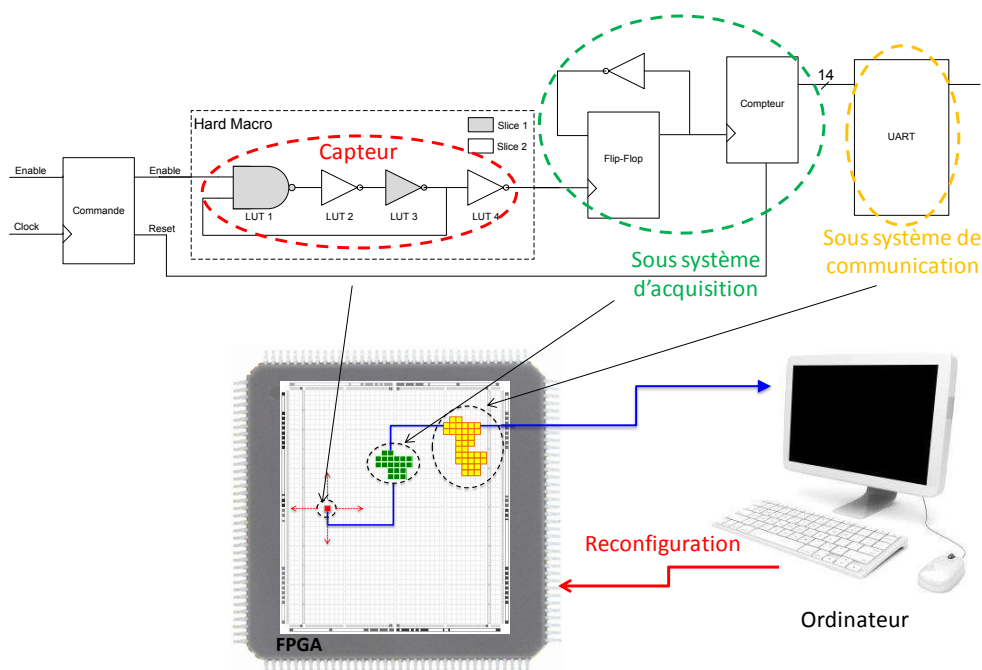


FIGURE III.8 : Mesure avec capteur, système d'acquisition et de communication

**Avantages et limitations.** Cette méthode présente l'avantage de ne pas demander de matériel supplémentaire sachant que l'ordinateur utilisé pour communiquer avec le FPGA pour récupérer les données est déjà nécessaire afin de programmer le FPGA.

Nous allons cependant montrer qu'une limitation supplémentaire apparaît lorsque l'on utilise de la logique interne au FPGA pour conditionner les mesures.

#### III.3.B.d Limitation lors de l'utilisation de logique interne pour le conditionnement des mesures

**Expérimentation.** Afin de montrer le biais introduit par l'utilisation de logique interne pour mesurer la valeur du capteur, nous nous sommes servis de la dernière méthode proposée tout en montrant ses limitations. Pour cela, nous nous sommes appuyés sur la caractérisation d'un FPGA XC3S200-4FTG256 implanté sur une carte Spartan-3 Starter Kit de Diligent [spa10].

Afin de s'affranchir de variations extérieures au FPGA, le régulateur de tension de la carte a été remplacé par une alimentation régulée et la carte a été placée à l'intérieur d'une étuve permettant de maîtriser la température tout au long de la caractérisation.

L'objectif de cette expérimentation est de montrer que l'implantation de logique à proximité de notre capteur influe sur la valeur mesurée. Pour cela, nous allons réaliser deux fois la caractérisation du même circuit. Lors de la première caractérisation, pour une position de capteur donnée, les sous-circuits d'acquisition et de communication seront positionnés à proximité du capteur. Puis, lors de la deuxième caractérisation, les deux sous-circuits seront positionnés à un emplacement différent légèrement plus éloigné du capteur comme représenté sur la figure III.9.

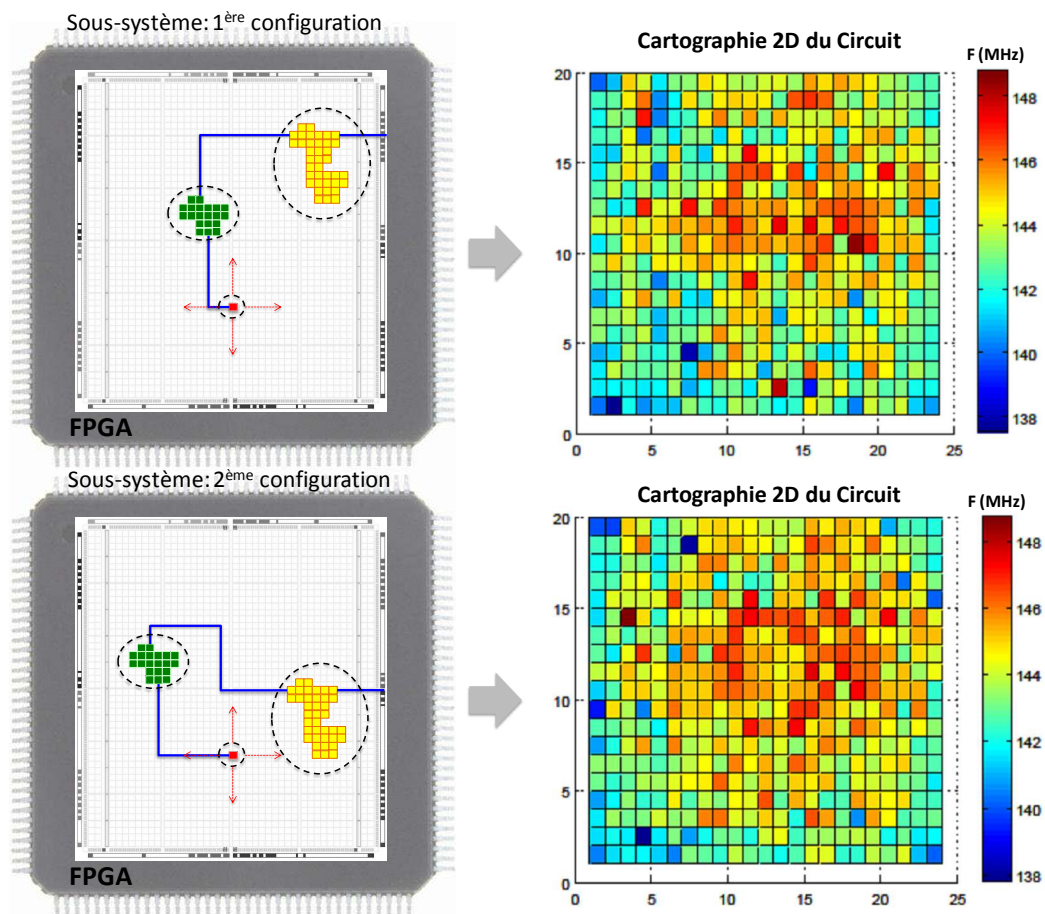


FIGURE III.9 : Impact de la position des sous-systèmes sur la mesure

**Résultats.** Une fois les cartographies réalisées, nous pouvons faire un premier constat : elles ne sont pas identiques. En effet, pour une même position du capteur, la différence de fréquence d'oscillation peut aller jusqu'à 7.2MHz soit environ 5% de la fréquence

moyenne mesurée. De plus, la corrélation entre les deux cartographies est seulement de 75% (Fig. III.9).

Fort de ce constat, nous pouvons déduire de cette expérimentation que l'utilisation de logique interne pour mesurer des variations de fréquence dues à des variations de procédé de fabrication entraîne des erreurs de mesures.

Nous essaierons donc autant que faire se peut de réaliser des mesures sans ajouter de logique interne à notre circuit.

### III.3.C Méthodes non-intrusives

Afin de se dispenser de l'ajout de logique à l'intérieur du circuit et donc éviter d'introduire un biais dans les mesures, nous avons choisi de mesurer la fréquence de notre oscillateur de manière "non-intrusive". Pour cela, une mesure de la puissance consommée ou encore des émissions électromagnétiques permet de déduire des informations sur les performances du circuit.

#### III.3.C.a Emissions électromagnétiques

**Principe.** Nous avons montré dans la partie précédente que l'utilisation de logique interne pour conditionner le signal de notre capteur entraîne une erreur de mesure. L'idée de la méthode proposée ici est d'externaliser le système de conditionnement de la mesure grâce à l'utilisation des émissions électromagnétiques.

Les circuits électroniques sont la source d'émissions électromagnétiques qui sont directement liées à l'appel de courant nécessaire à l'activité des portes logiques du circuit comme décrit dans [Gou92]. De plus, le flux magnétique  $\Phi(t)$  dépend directement de la valeur du courant instantané  $I(t)$  dans les plans de masse et d'alimentation du circuit comme montré dans [DRS06]. Fort de ce constat, nous proposons une méthode basée sur l'Analyse ElectroMagnétique (EMA<sup>2</sup>) pour mesurer la fréquence d'oscillation du capteur.

Cette méthode est basée sur l'utilisation d'un capteur asynchrone comme émetteur électromagnétique. Les rayonnements électromagnétiques sont ensuite mesurés, amplifiés et collectés par un équipement adapté. Une sonde électromagnétique, un amplificateur faible bruit et un oscilloscope sont utilisés pour cela comme présenté sur la figure III.10. Le signal ainsi obtenu est ensuite traité afin d'obtenir la fréquence de l'oscillateur.

---

2. ElectroMagnetic Analysis

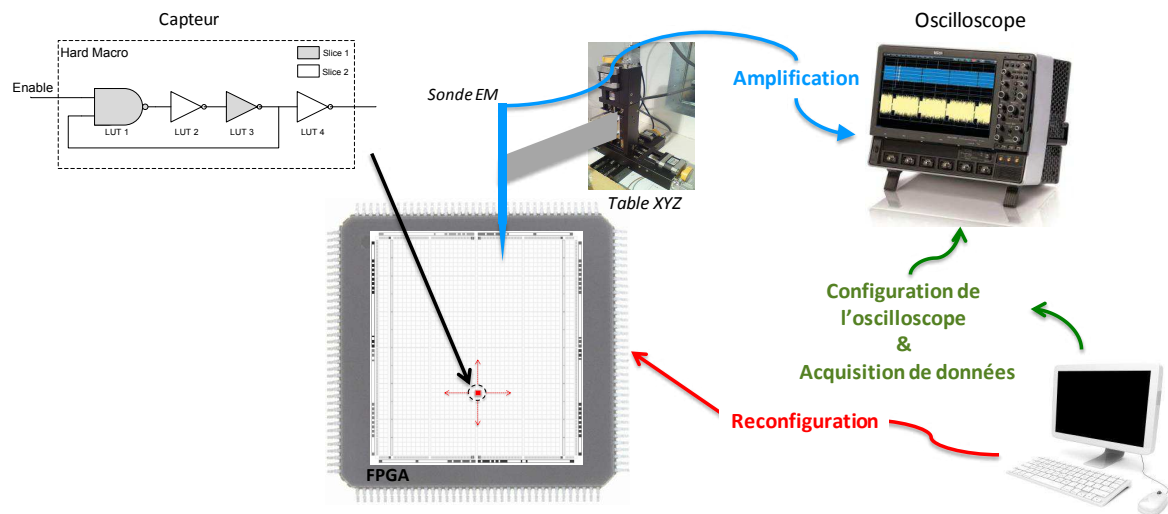


FIGURE III.10 : Système de mesure électromagnétique

Cette méthode présente une résolution qui dépendra directement de la fréquence d'échantillonnage utilisée mais aussi du nombre de points utilisés pour réaliser la FFT :  
 $\text{Rés} = F_{\text{éch}} / N_{\text{bpts}}$ .

**Avantages et limitations.** Cette méthode présente l'avantage de pouvoir mesurer la valeur de l'oscillateur en s'affranchissant de l'erreur induite par l'ajout de logique interne pour le conditionnement de la mesure.

Cette méthode est cependant contraignante de par l'utilisation de matériel complexe et du traitement nécessaire pour obtenir la fréquence de l'oscillateur.

### III.3.C.b Puissance consommée

**Principe.** Une variante de la méthode précédente est basée sur l'étude de la puissance consommée par le circuit et plus précisément la variation de consommation engendrée par le fonctionnement de l'oscillateur.

Pour cela, nous nous baserons sur l'analyse de la consommation de la technologie CMOS. En effet, si un changement intervient sur une porte logique, ce changement peut être mesuré sur les entrées de masse ou d'alimentation du circuit. Si nous utilisons un circuit asynchrone comme notre oscillateur par exemple, la fréquence des variations

observées en sortie de notre circuit sera liée à la fréquence de commutation du circuit. Pour plus d'informations, on se référera à [WE93].

Afin de venir mesurer les variations de tension d'alimentation, il est nécessaire de modifier la carte sur laquelle est implantée le FPGA. Pour cela, nous venons remplacer le régulateur de tension par une alimentation stabilisée externe puis nous mesurerons les variations de tension sur cette même alimentation comme présenté sur la figure III.11. En réalisant, ensuite, une FFT du signal mesuré, nous retrouvons facilement la fréquence d'oscillation du capteur.

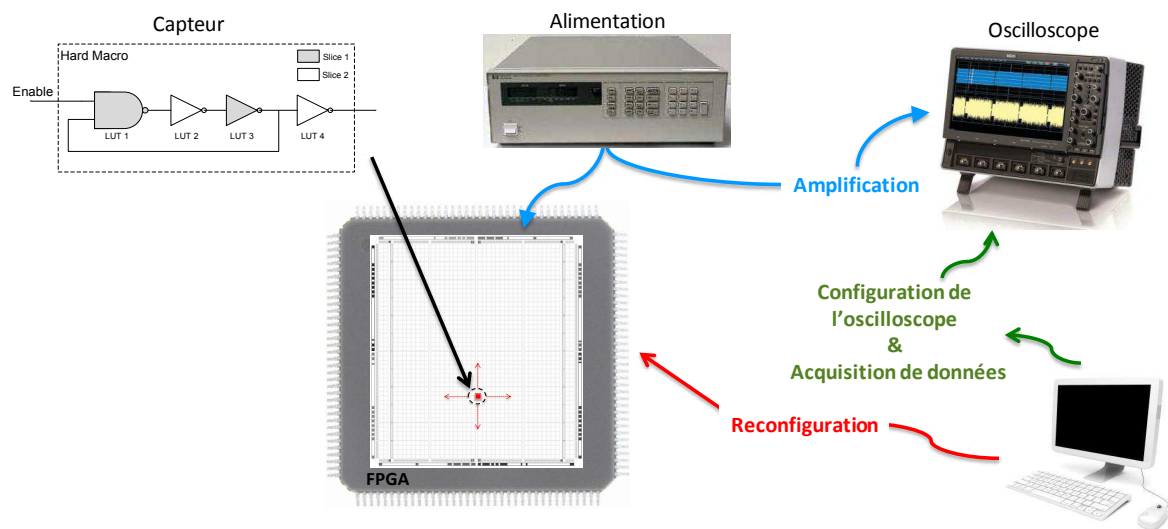


FIGURE III.11 : Système de mesure de la puissance consommée

**Avantages et limitations.** Cette méthode présente à priori des avantages et inconvénients équivalents à la précédente. Nous pourrions penser qu'il existe uniquement une différence concernant la mise en œuvre et le matériel utilisé. Nous allons cependant voir qu'une différence existe entre ces deux méthodes.

### III.3.C.c Comparaison des deux méthodes

**Expérimentation.** Afin de réaliser une comparaison entre les deux méthodes, nous réalisons la mesure de la fréquence d'un capteur avec les deux techniques. Le même amplificateur est utilisé pour amplifier le signal mesuré. Une fois les signaux acquis, une FFT est réalisée pour chaque méthode comme présenté sur la figure III.12.

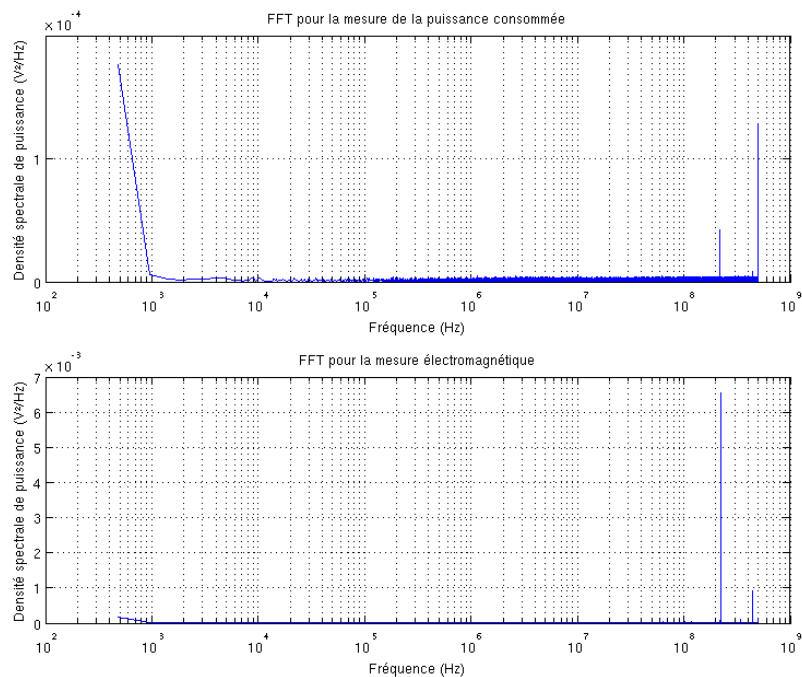


FIGURE III.12 : Comparaison des FFT pour la puissance consommée et les émanations électromagnétiques

**Résultats.** La première remarque que nous pouvons faire est que nous trouvons bien la même fréquence d'oscillation pour les deux méthodes. Cependant, nous remarquons que l'amplitude de la raie de la fréquence de l'oscillateur obtenue dans le cadre d'une mesure EM est de deux ordres de grandeur plus importante (140 fois pour notre exemple) que l'amplitude de la raie obtenue dans le cadre d'une mesure de la puissance consommée. Cette différence s'explique notamment par la présence de capacités de lissage de la consommation tout autour du circuit.

La méthode électromagnétique présente un meilleur rapport signal sur bruit et sera donc privilégiée.

### III.3.D Comparaison

Nous avons vu dans cette partie plusieurs méthodes d'acquisitions des données issues d'un capteur. Dans un but de synthèse, nous avons rassemblé les informations essentielles de chaque méthode dans le tableau III.2.

Pour chaque méthode, les points suivants sont évalués :

- Logique interne : nécessité d'utiliser de la logique interne en plus du capteur pour pouvoir réaliser un mesurage.
- Instruments de mesure supplémentaires : instruments de mesure à utiliser en sus de l'ordinateur nécessaire à la programmation du circuit.
- Durée de traitement : temps nécessaire pour traiter une donnée.
- Résolution : résolution du système de mesurage complet.
- Exactitude de mesure : possibilité que la mesure soit faussée par l'introduction d'un biais ou autre dû au système de mesurage lui même.

Au vu des différentes informations présentées, par la suite, nous utiliserons la méthode électromagnétique lorsque nous souhaiterons obtenir des informations précises sur les variations de procédé de fabrication ou sinon nous utiliserons le capteur avec un compteur lors de l'utilisation des données recueillies directement à l'intérieur du circuit. Nous reviendrons sur ce point plus loin dans ce manuscrit.



TABLE III.2 : Comparaison générale des méthodes de mesure

	Capteur seul	Capteur et diviseur de fréquence	Capteur, système d'acquisition et de communication	Emissions électromagnétiques	Puissance consommée
Logique interne	Non	Oui	Oui	Non	Non
Instruments de mesure supplémentaires	Fréquencemètre	Fréquencemètre	Aucun	Sonde, Amplificateur, Oscilloscope	Amplificateur, Oscilloscope
Durée de Traitement	Instantanée	Rapide	Moyenne	Lente	Lente
Résolution	Précision du fréquencemètre	$\frac{Pr_{freq}}{Nb_{div}}$	$\frac{n_{cpt}}{F_{clk}}$	$\frac{F_{éch}}{Nb_{pts}}$	$\frac{F_{éch}}{Nb_{pts}}$
Exactitude de mesure	Moyenne	Faible	Très Faible	Elevée	Elevée

## III.4 Flot de compensation multi-niveau

### III.4.A Nécessité d'une stratégie de compensation

Nous avons pu voir précédemment que les FPGA subissent des variations dues à des variations technologiques mais aussi à des variations environnementales ou encore applicatives. Afin d'adresser ces problèmes de variabilité sur FPGA, il a été décidé de développer un flot de compensation en plusieurs étapes. Celui-ci est divisé en deux parties et est détaillé dans un schéma de principe (Fig. III.13).

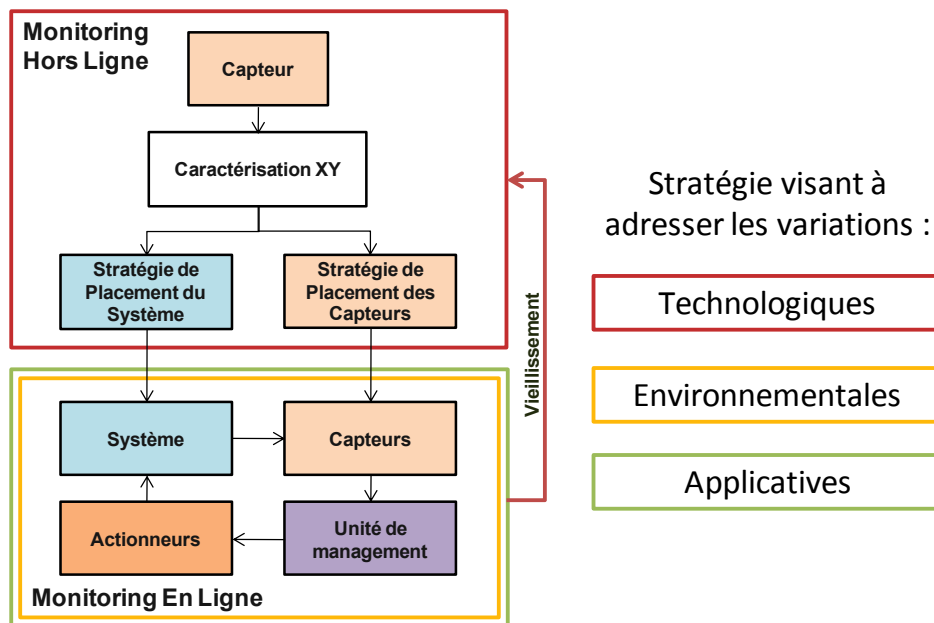


FIGURE III.13 : Flot de compensation multi-niveau

Dans un premier temps, les performances du FPGA sont finement analysées à l'aide des capteurs asynchrones présentés précédemment. Ensuite, un système de compensation est implémenté à l'intérieur du système lui-même afin de venir monitorer ses performances en ligne.

Nous allons maintenant détailler chacune de ses parties.

### III.4.B Monitoring Hors Ligne

Afin de venir contrer les disparités de performances dues aux variations de procédé de fabrication, il a été décidé de mettre en place cette première étape de notre flot

de compensation (Fig. III.14). Celle-ci est divisée en deux parties : une partie de caractérisation du FPGA et une partie de placement/routage stratégique.

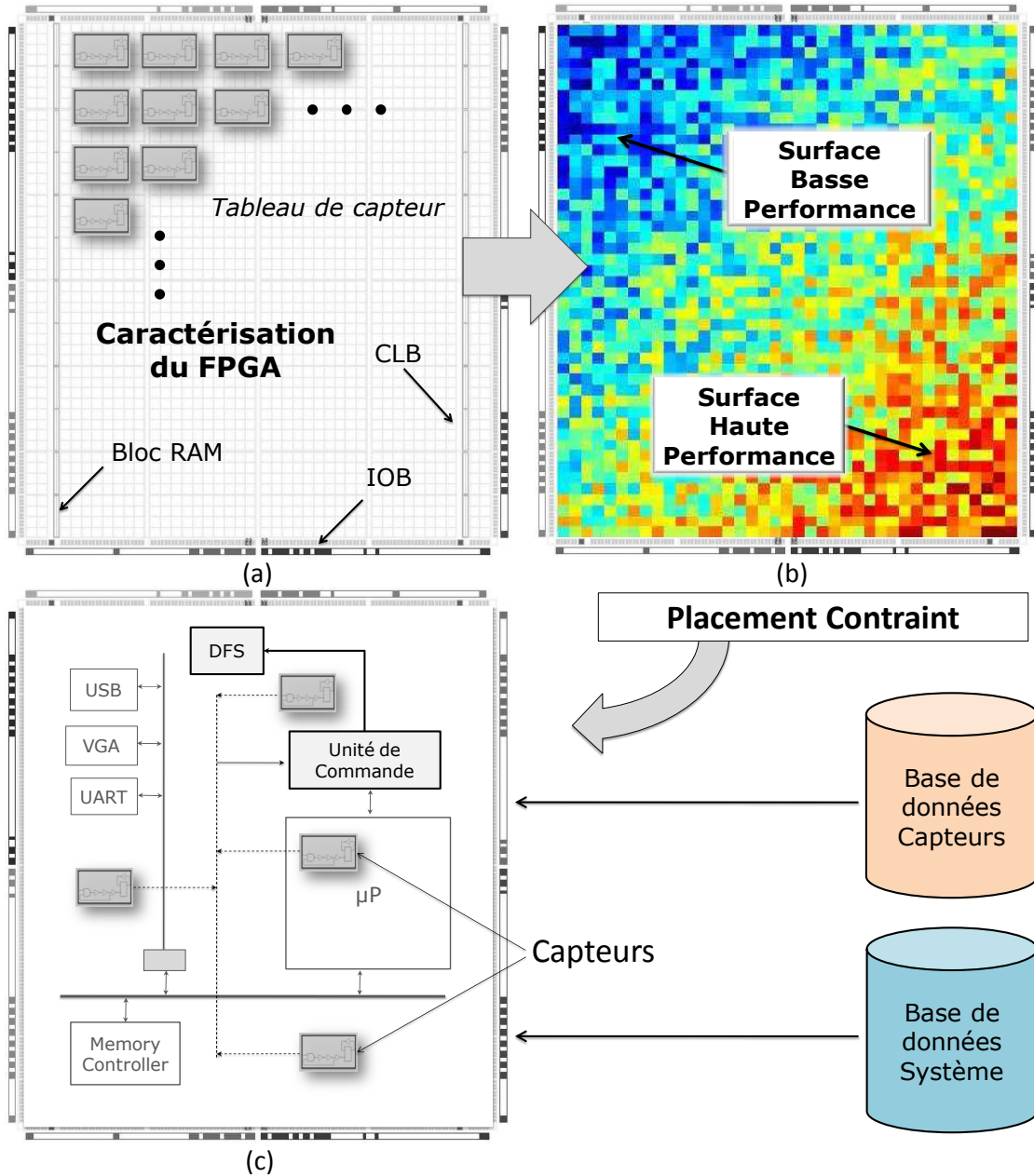


FIGURE III.14 : Monitoring de performances hors ligne et en ligne

### III.4.B.a Caractérisation grain fin du FPGA

Dans un premier temps, nous allons venir caractériser précisément les performances du FPGA (Fig. III.14(a)). Pour cela, un tableau de capteurs couvrant la totalité des blocs reconfigurables du FPGA est utilisé. Ceux-ci sont appliqués directement dans chaque bloc reconfigurable et permettent de connaître très précisément les performances de chacun de ces blocs. Les données issues des capteurs sont ensuite collectées et utilisées afin de réaliser une cartographie du FPGA (Fig. III.14(b)).

### III.4.B.b Placement contraint

Une fois la cartographie du FPGA réalisée, nous allons pouvoir réaliser un placement contraint à la fois du système à surveiller et du système de monitoring en ligne (Fig. III.14(c)). Typiquement, cette étape consiste à placer les blocs les plus critiques du système sur les zones reconfigurables offrant les meilleures performances. Un groupe de capteurs en ligne est également mis en place au sein du système afin de vérifier l'évolution des performances au moment de l'exécution. La stratégie de placement des capteurs prend bien sur en compte le résultat de la cartographie hors ligne mais aussi les exigences des différents modules du système au moment de l'exécution.

### III.4.C Compensation en ligne

La deuxième étape du flot de compensation est basée sur un monitoring en ligne des performances. Dans l'exemple proposé figure III.14, le système est composé d'un microprocesseur, de périphériques, d'une unité de management (MU), d'un réseau de capteurs ainsi que d'actionneurs. Ce processus de suivi en ligne est illustré à la figure III.14(c).

L'objectif est d'effectuer une compensation dynamique des performances du système. Dans ce but, un réseau de capteurs numériques utilisant les ressources du FPGA est mis en œuvre. Les capteurs mesurent les performances puis les données sont collectées et analysées par l'unité de management. A partir de ces informations, cette unité peut adapter les performances du système aux performances réellement disponibles dans le FPGA. Par exemple, il est possible d'adapter la fréquence du système à l'aide d'un actionneur de type gestion dynamique de la fréquence (DFS).

#### **III.4.D Vieillessement**

Comme proposé sur la figure III.13, afin de lutter contre les phénomènes de vieillissement du FPGA, une nouvelle analyse des performances du FPGA peut être demandée lorsque l'unité de management détecte un comportement suspect. Une analyse partielle ou totale peut alors être effectuée afin de réaliser une nouvelle cartographie et de mettre à jour la stratégie de placement des différents modules du système.

### **III.5 Conclusion**

Dans ce chapitre, dans un premier temps, nous avons vu comment définir et évaluer un dispositif de mesure. Les notions de base des systèmes de mesure ont été rappelées ainsi que les définitions relatives à l'évaluation de ce type de système.

Dans un second temps, nous nous sommes intéressés à deux types de capteurs sur FPGA. Ces capteurs ont été implémentés et évalués. Nous avons pu voir que les capteurs basés sur l'utilisation d'un oscillateur en anneau seront préférés lors d'une caractérisation grain fin du procédé de fabrication et un management précis des performances d'un système. Quant à lui, le capteur de temps de parcours sera préféré pour une gestion directe et rapide des chemins critiques du système.

Nous avons ensuite étudié plusieurs méthodes d'acquisition. Pour certaines d'entre elles, le conditionnement des signaux est réalisé de manière numérique grâce à l'utilisation de la logique du FPGA. D'autres méthodes basées sur l'utilisation de la puissance consommée mais aussi des émissions électromagnétiques ont également été évaluées. Après analyse des avantages et inconvénients de chaque méthode, nous serons amenés à utiliser la méthode électromagnétique lorsque nous voudrions obtenir des informations précises sur les variations de procédé de fabrication. La méthode basée sur l'utilisation du capteur couplé avec un compteur sera préférée lorsque l'on souhaitera utiliser les données issues du capteur directement à l'intérieur du circuit.

Enfin, nous avons proposé un flot de compensation multi-niveaux pour lutter contre les variations technologiques, environnementales et applicatives que peut être amené à subir un système implanté sur FPGA. Dans un premier temps, les variations de procédé de fabrication seront adressées à l'aide d'une caractérisation grain fin du procédé de fabrication. Ensuite, la mise en place d'un système de gestion en ligne est exposée.

C'est donc naturellement que dans le prochain chapitre nous nous intéresserons à la mise en place de ce flot. Nous présenterons des résultats de caractérisation mais aussi

le système que nous avons été amené à étudier ainsi que des résultats concernant son contrôle.



---

# Implémentations et résultats

## Préambule

*Ce chapitre présente les principaux résultats de la thèse.*

## Sommaire

---

IV.1	Caractérisation de circuits reconfigurables . . . . .	<b>68</b>
IV.1.A	Reproductibilité des résultats . . . . .	68
IV.1.B	Caractérisation à l'aide d'un système numérique . . . . .	74
IV.1.C	Caractérisation à l'aide d'émissions électromagnétiques . . . . .	74
IV.2	Implémentation d'un système auto-adaptatif . . . . .	<b>89</b>
IV.2.A	Contexte . . . . .	90
IV.2.B	Un Système Multiprocesseur Adaptatif : OpenScale . . . . .	91
IV.2.C	Configuration choisie . . . . .	93
IV.2.D	Caractéristiques de capteurs . . . . .	94
IV.2.E	Résultats d'implémentation . . . . .	97
IV.2.F	Bilan . . . . .	102
IV.3	Vieillessement . . . . .	<b>103</b>
IV.3.A	Contexte . . . . .	103
IV.3.B	Evaluation du vieillissement . . . . .	104
IV.3.C	Résultats . . . . .	105
IV.4	Conclusion . . . . .	<b>116</b>

---



Dans ce chapitre, nous nous intéresserons aux résultats obtenus lors de la mise en œuvre des différentes étapes du flot de compensation multi-niveaux proposé précédemment.

Dans un premier temps, nous analyserons les résultats de caractérisation de différents circuits Xilinx et Microsemi réalisés respectivement à partir de technologies SRAM et Flash. Ensuite, nous présenterons une proposition d'implémentation de système auto-adaptatif ainsi que les capteurs que nous avons développés pour celui-ci. Enfin, nous étudierons des exemples de vieillissement de différents circuits.

## **IV.1 Caractérisation de circuits reconfigurables**

Cette section présente, d'une part, les résultats obtenus lors de la caractérisation de différents circuits reconfigurables Xilinx et Microsemi issus de différents nœuds technologiques. D'autre part, nous nous efforcerons d'estimer et de maximiser l'exactitude des mesures.

### **IV.1.A Reproductibilité des résultats**

Dans cette partie, notre objectif est de réaliser des caractérisations reflétant uniquement les variations de procédé de fabrication. Or, les capteurs que nous utilisons pour réaliser nos mesures sont des capteurs P,V,T. Ils sont donc sensibles à la fois aux variations de procédé de fabrication mais aussi aux variations de tension d'alimentation et de température. C'est pourquoi, afin de s'assurer d'une exactitude de mesure maximale, il est nécessaire d'essayer de minimiser l'influence des variations de tension et de température de l'environnement du circuit sur le circuit lui-même.

#### **IV.1.A.a Variations de tension**

Dans un premier temps, nous nous intéressons à minimiser l'impact des variations de tension d'alimentation.

Pour cela, nous partirons d'un premier constat : les cartes comportant les circuits que nous sommes amenés à caractériser ne permettent pas de gérer directement la tension d'alimentation fournie au circuit. C'est pourquoi, afin de palier cette absence de gestion, nous avons remplacé le régulateur des cartes utilisées par une alimentation externe présentant de meilleures performances (précision, stabilité...). La modification effectuée est montrée sur la figure IV.1.

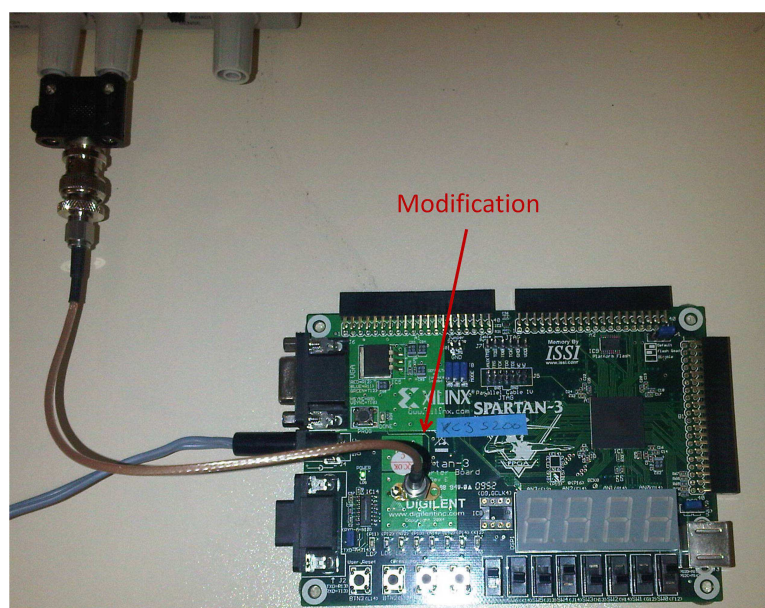


FIGURE IV.1 : Carte Spartan-3 modifiée pour permettre une alimentation externe du circuit

Une fois cette opération effectuée et afin de connaître la sensibilité de notre capteur à la tension, plusieurs mesures de la fréquence d'oscillation d'un même capteur sont effectuées autour du point de fonctionnement ( $1,2V @ 25^{\circ}C$ ) et cela pour plusieurs tensions d'alimentation. Après avoir tracé la caractéristique tension-fréquence, il est possible de déduire l'impact d'une variation de tension sur la fréquence mesurée.

A titre d'exemple, la figure IV.2 présente une caractéristique tension fréquence normalisée obtenue lors de l'implantation de notre capteur sur une carte Spartan-3 S200 avec un indice de vitesse de -4 [spa10]. Dans ce cas, la fréquence de référence est de 192.5MHz pour une tension d'alimentation de 1.2V. A partir de là, connaissant l'incertitude de la tension d'alimentation due aux effets d'ondulation et de bruit blanc sur la tension de sortie de l'alimentation, nous pouvons remonter à l'incertitude sur la fréquence mesurée. Dans notre cas, une incertitude de 0.5mV sur la tension d'alimentation entraîne une incertitude inférieure à 45kHz pour les fréquences mesurées à partir de ce dispositif [tti12].

#### IV.1.A.b Variations de température

Il est aussi nécessaire de prendre des dispositions pour lutter contre l'impact des variations de température de l'environnement de notre circuit. Pour cela, le circuit est

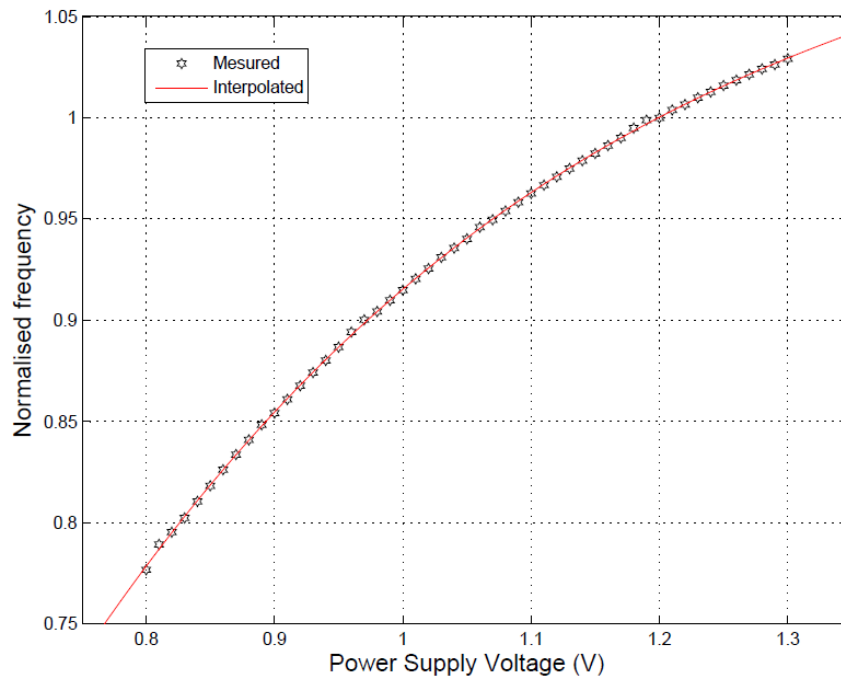


FIGURE IV.2 : Fréquence normalisée de l'oscillateur en fonction de la tension d'alimentation pour un oscillateur en anneau implanté sur un circuit Spartan-3

placé dans une enceinte thermique. Celle-ci sert à réguler précisément la température de l'environnement du circuit.

Tout comme dans le cas de la tension d'alimentation, l'enceinte thermique présente une incertitude concernant la température régulée. La même méthode que précédemment est appliquée pour estimer l'impact de l'erreur en température sur l'incertitude de la fréquence mesurée.

A titre d'exemple, nous pouvons consulter la figure IV.3 qui montre une représentation de la fréquence normalisée en fonction de la température extérieure à proximité du circuit pour un circuit de type Spartan-3. Nous pouvons en déduire que l'incertitude de notre enceinte thermique de  $0.5^{\circ}\text{C}$  sur la température entraîne une incertitude de 35kHz sur la fréquence mesurée [Bin10].

De plus, il est intéressant de noter que le capteur utilisé ici a une réponse linéaire aux variations de température. Ce type de réponse pourra facilement être modélisé et utilisé pour une utilisation de notre capteur par un système directement implanté sur le circuit reprogrammable.

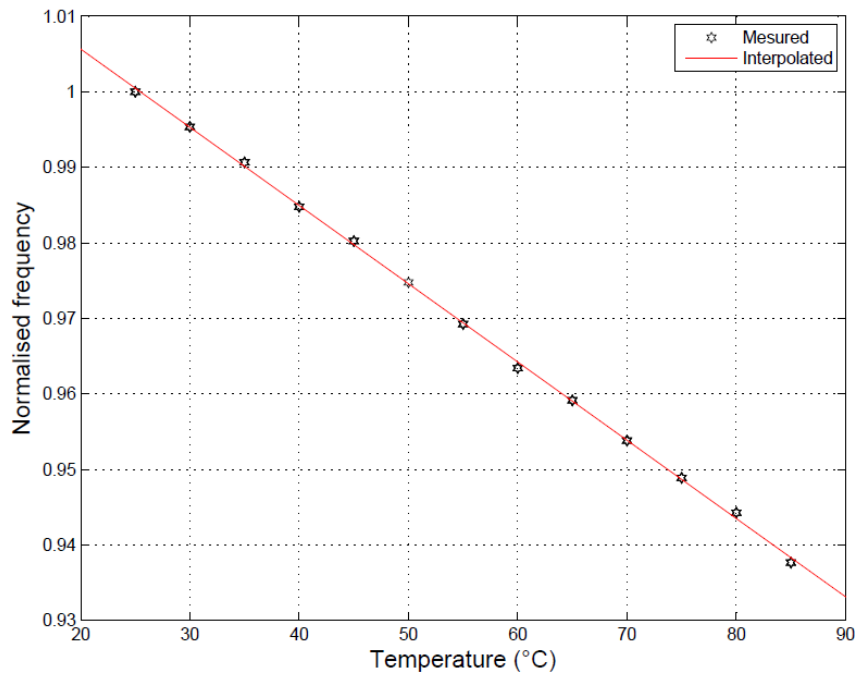


FIGURE IV.3 : Fréquence normalisée de l'oscillateur en fonction de la température pour un oscillateur en anneau implanté sur un circuit Spartan-3

#### IV.1.A.c Autres incertitudes

En plus des incertitudes étudiées ci-dessus, il est nécessaire de venir ajouter les incertitudes déjà abordées dans la partie III.3.

Notamment, pour les méthodes basées sur une analyse fréquentielle, une incertitude liée aux conditions d'échantillonnage du signal est à prendre en compte. En effet, lorsque nous réalisons une FFT, nous obtenons une erreur d'échantillonnage découlant directement de la fréquence d'échantillonnage du signal  $f_{\text{echant}}$  et du nombre de points utilisés pour l'échantillonnage  $N_{\text{echant}}$ . Afin de ramener cette erreur à la fréquence de l'oscillateur en anneaux, il ne faut pas oublier de diviser cette erreur par le nombre d'étages de l'oscillateur  $N_{\text{oscill}}$ . Nous obtenons donc une erreur d'échantillonnage totale  $E_{\text{echant}}$  qui vaut :

$$E_{\text{echant}} = \frac{f_{\text{echant}}}{N_{\text{echant}} * N_{\text{oscill}}}$$

Il est important de noter que cette incertitude est réglable "à souhait" dans les limites

des capacités des appareils de mesure utilisés puisque  $f_{echant}$  et  $N_{echant}$  sont choisis par l'utilisateur, lors de la mesure.

#### IV.1.A.d Bilan

Afin de réduire au maximum l'impact de l'environnement du circuit sur l'incertitude de mesure, nous avons donc été amenés à utiliser une enceinte thermique et une alimentation stabilisée comme représenté sur la figure IV.4.

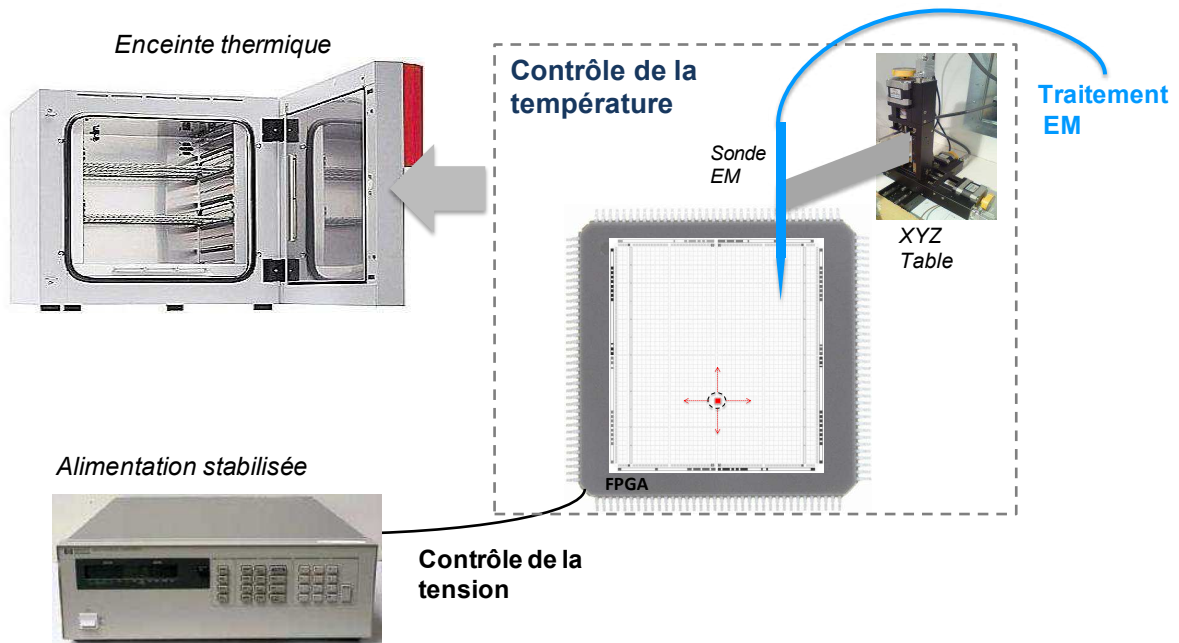


FIGURE IV.4 : Système de contrôle de l'environnement du circuit

En utilisant la méthode d'estimation de l'incertitude proposée précédemment, nous obtenons alors les incertitudes de mesure pour différents types de circuits comme synthétisé dans le tableau IV.1. Afin d'en déduire l'incertitude maximale d'une mesure, il ne reste donc plus qu'à sommer les incertitude proposées ici. Enfin, il ne faudra pas oublier de mettre ces incertitudes en regard avec les différences de fréquences mesurées obtenues lors des différentes caractérisations de circuit. Nous reviendrons sur ce point lors de la présentation des résultats de caractérisation dans les parties suivantes.

TABLE IV.1 : Sources d'incertitude

	Théorique		Spartan-3		Spartan-6	
	Erreur	Impact sur la fréquence	Erreur	Impact sur la fréquence	Erreur	Impact sur la fréquence
Alimentation régulée	$\Delta V$	$\frac{\Delta V}{\Delta f}$	0.5mV	45kHz	0.5mV	230kHz
Température	$\Delta T$	$\frac{\Delta T}{\Delta f}$	0.5°C	35kHz	0.5°C	200kHz
Echantillonnage	$\Delta f_{echant}$	$\Delta f_{echant}$	7kHz	7kHz	18kHz	18kHz

### IV.1.B Caractérisations de circuits à l'aide d'un système numérique

Comme présenté dans la section III.3.B.d, l'utilisation d'une méthode numérique pour caractériser des variations de procédé de fabrication engendre un biais dans les résultats. Les caractérisations issues de la méthode électromagnétique étant plus précises, nous ne présenterons donc dans ce manuscrit que des résultats de caractérisation issus de cette méthode.

### IV.1.C Caractérisations de circuits à l'aide de leurs émissions électromagnétiques

Durant notre étude, nous avons été amenés à caractériser plusieurs types de circuits. Cette section présente les résultats de ces caractérisations.

#### IV.1.C.a Spartan 3

**Architecture.** Afin de débiter notre étude, nous avons tout d'abord caractérisé des cartes contenant des FPGA de type Spartan-3 S200 avec un indice de vitesse de  $-4$  [spa10]. Ces circuits sont composés de 480 blocs logiques configurables<sup>1</sup> et chacun de ces blocs est composé de 4 slices comme présenté sur la figure IV.5. Il existe dans ces FPGA deux types de slices : les slices L et les slices M. Ces deux types de slices disposent des éléments suivants en commun : deux LUT, deux FF, des multiplexeurs, de la logique de propagation de retenue et de la logique classique. Ces éléments permettent de réaliser des fonctions logiques, arithmétiques ou encore de la ROM. En plus de ces fonctions, les slices M peuvent réaliser deux fonctions supplémentaires à savoir : réaliser de la RAM distribuée ou du décalage de données.

**Implémentation proposée.** Notre circuit présente donc des slices de différents types. Ces slices n'étant pas similaires, nous ne pourrions pas réaliser de Hard Macro compatibles avec les deux types de slices. C'est pourquoi, nous avons été contraint de faire un choix pour l'implémentation de notre capteur et puisque les slices L présentent une structure plus simple que les slices M, nous avons choisi d'implémenter notre capteur à l'aide de slices L.

Le capteur utilisé ici est donc implémenté sur deux slices L voisins. Il est composé de 3 LUT chaînées entre elles ainsi que d'une LUT supplémentaire en sortie de l'anneau afin d'éviter des aléas de charge en sortie de l'oscillateur qui entraîneraient un comportement non reproductible de l'oscillateur.

---

1. Configurable Logic Block : CLB

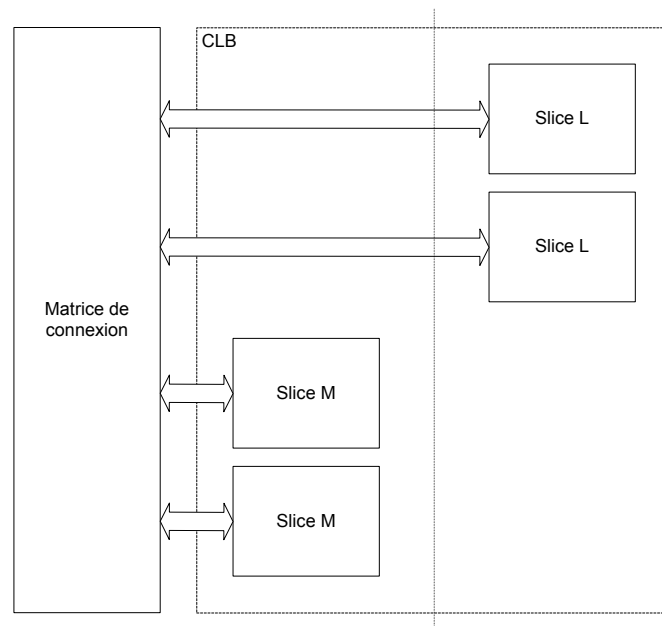


FIGURE IV.5 : Répartition des slices à l'intérieur du CLB

**Stratégie de cartographie.** Afin de réaliser une cartographie complète de notre circuit, le capteur est positionné successivement sur un tableau de  $20 * 24$  positions. Ceci correspond à une mesure pour chacun des 480 blocs logiques configurables disponibles dans le circuit.

Toutes les cartographies sont réalisées sous conditions nominales à savoir une température de  $25^{\circ}\text{C}$  et une tension d'alimentation de  $1,2\text{V}$ .

A noter qu'une cartographie complète d'un circuit prend environ 40 minutes et qu'il est ensuite nécessaire de réaliser un traitement de 10 minutes pour réaliser les FFT et définir la fréquence d'oscillation de chaque capteur.

**Résultats de caractérisation.** Lors de cette étude, nous avons réalisé la caractérisation de 6 cartes. Les résultats de leurs cartographies sont résumés dans le tableau IV.2.

TABLE IV.2 : Résultats de caractérisation de plusieurs cartes

Carte	1	2	3	4	5	6
Fréquence moyenne (MHz)	192.1	201.2	192.5	199.7	202.0	180.4
Variation maximale (%)	5.4	6.5	5.4	5.5	5.1	9.7
3-Sigma (%)	3.2	3.0	3.1	2.9	2.7	5.4



L'analyse de ces résultats nous permet de faire plusieurs constats.

Tout d'abord, les FPGA numérotés de 1 à 5 présentent une fréquence moyenne relativement similaire autour de 200MHz ainsi qu'une variation relative de l'ordre de 6.5% comparée à la fréquence moyenne. Nous pouvons aussi noter que les variations mesurées (plusieurs MHz) sont largement supérieures à l'erreur de mesure estimée précédemment (environ 93kHz).

Ensuite, les circuits numérotés de 3 à 5 ont des répartitions de fréquences équivalentes à celle du FPGA numéro 2 dont la cartographie est proposée sur la figure IV.6. A noter que ces cartographies présentent des distributions gaussiennes de fréquence comme illustré par la figure IV.7. De plus, celles-ci présentent une particularité : les zones les plus rapides sont situées au centre du circuit tandis que les zones les plus lentes sont situées à sa périphérie.

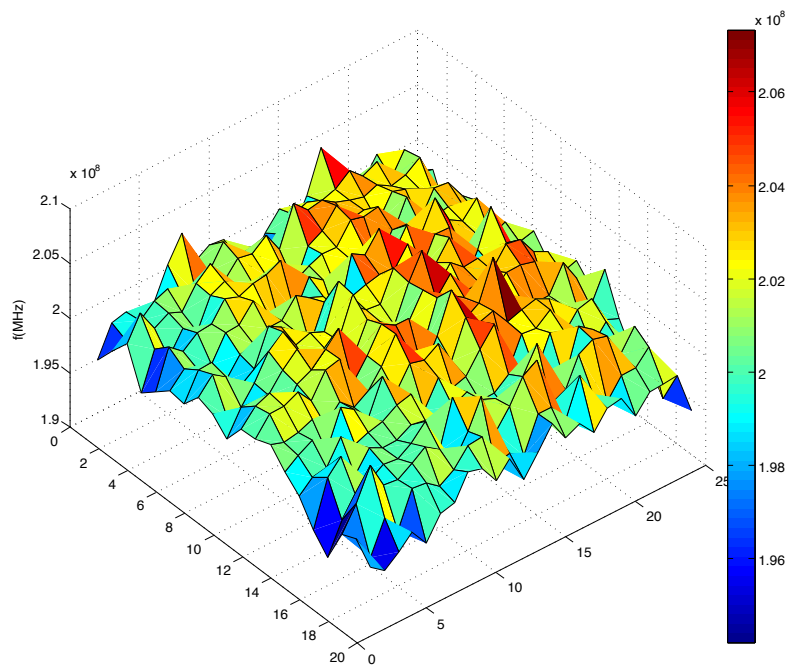


FIGURE IV.6 : Cartographie du FPGA Spartan-3 numéro 2

Deux FPGA présentent des particularités : les circuits numéros 1 et 6.

La cartographie du circuit numéro 1 est présentée sur la figure IV.8. Cette carte a la particularité d'être une carte acquise avant les autres et ayant été plus utilisée que les autres avant d'être caractérisée. Comme nous pouvons le voir, un groupe de slices situés

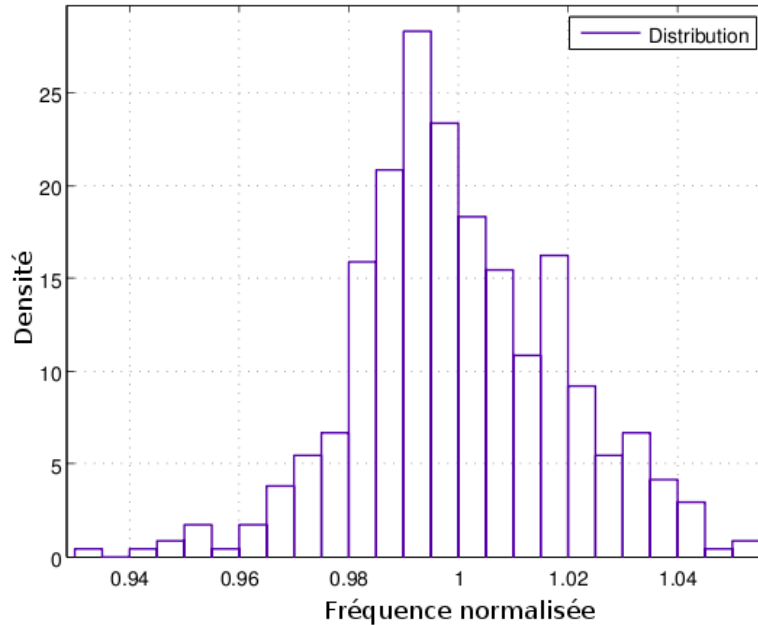


FIGURE IV.7 : Distribution des fréquences des oscillateurs implantés sur le FPGA Spartan-3 numéro 2

au centre du circuit présente des performances inférieures au reste du circuit. Puisque ce circuit a été utilisé à de nombreuses reprises auparavant, nous pouvons penser que les zones présentant des performances moins élevées ont subi une dégradation de leurs performances. Nous reviendrons sur ce point dans la troisième partie de ce chapitre portant sur le vieillissement de circuits.

Quant au circuit numéro 6, il présente la particularité d'avoir une fréquence moyenne plus faible que les autres (environ 10%) ainsi qu'une dispersion de performances plus élevée (presque 50% de plus). D'autre part, si nous nous intéressons à sa cartographie, nous pouvons observer que 4 lignes présentent des performances moins élevées que les autres (figure IV.9). La première hypothèse qui nous vient à l'esprit est que ce "dysfonctionnement" est dû à une anomalie sur le rail d'alimentation qui dessert cette région du FPGA. Cependant, nous ne pouvons seulement que supposer cela puisque il n'est pas possible de le vérifier par notre méthode de caractérisation.

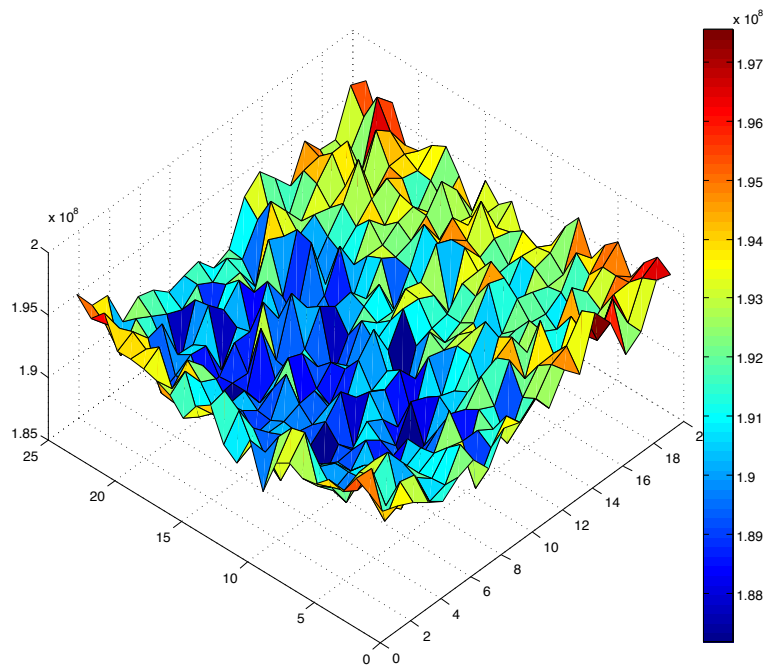


FIGURE IV.8 : Cartographie du FPGA Spartan-3 numéro 1

#### IV.1.C.b Spartan 6

**Architecture.** Nous allons maintenant nous intéresser à la caractérisation de circuits issus d'un nœud technologique plus récent : les FPGA de type Spartan-6 LX16 fabriqués en technologie 45nm [Spa11]. Les circuits utilisés ici ont tous un indice de vitesse de  $-4$ . Ces circuits sont composés de 1140 blocs logiques configurables et chacun de ces blocs est composé de 2 slices comme représenté sur la figure IV.10. Il existe dans ces FPGA trois types de slices : les slices L, les slices M et les slices X. Ces trois types de slices disposent des éléments suivants en commun : quatre LUT, huit FF, des multiplexeurs. Ces éléments permettent de réaliser des fonctions logiques ou encore de la ROM. En plus de ces fonctions, les slices L disposent de logique spécifique à la propagation de retenue tandis que les slices M permettent également de réaliser deux fonctions supplémentaires à savoir : réaliser de la RAM distribuée ou du décalage de données.

**Implémentation proposée.** Tout comme dans le cas des Spartan-3, notre circuit présente des slices de différents types. Il nous faut donc réaliser des Hard Macro compatibles avec un des trois types de slices. Puisque notre circuit présente deux fois

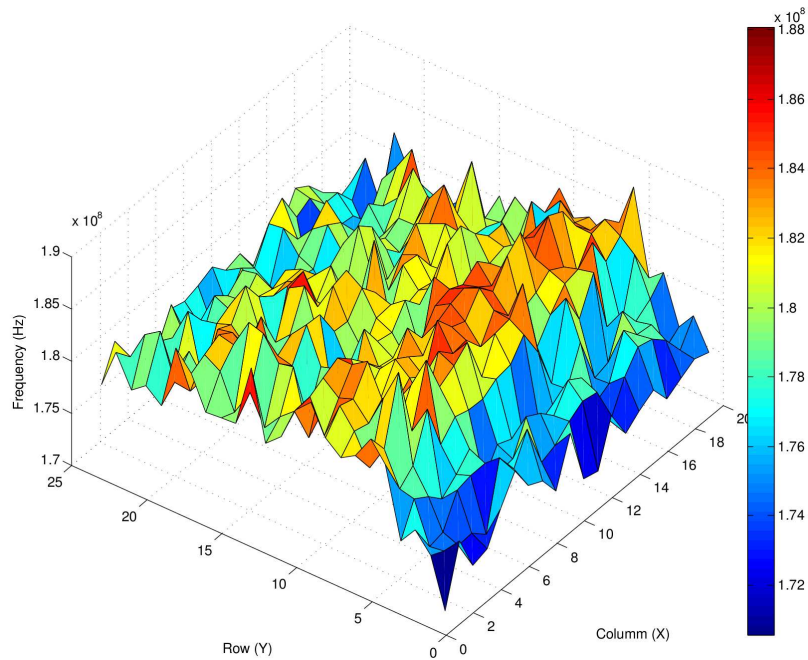


FIGURE IV.9 : Cartographie du FPGA Spartan-3 numéro 6

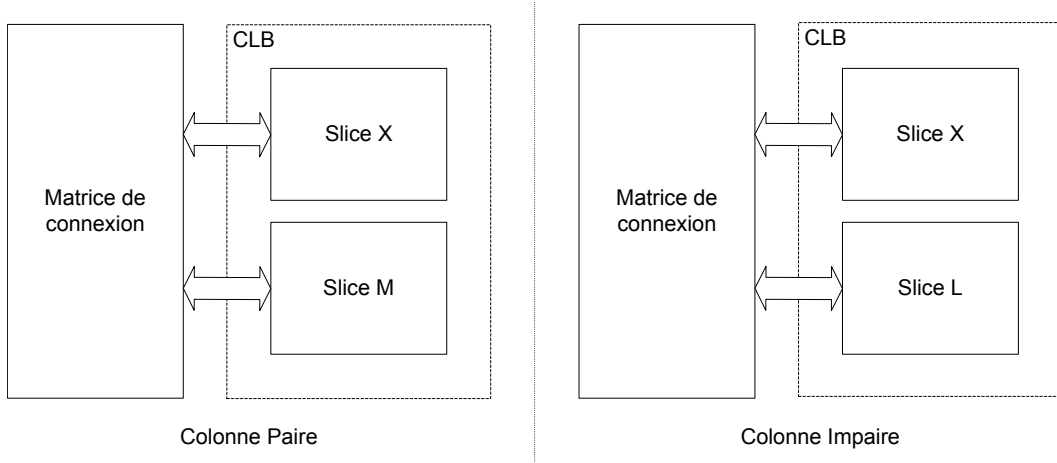


FIGURE IV.10 : Répartition des slices à l'intérieur du CLB

plus de slices X que de slices d'autres types et qu'un slice X est présent dans chaque CLB, nous avons choisi d'implémenter notre capteur sur des slices X.

Le capteur utilisé ici est donc implémenté sur un seul slice X et est composé de 4 LUT chaînées entre elles.

**Stratégie de cartographie.** Afin de réaliser une cartographie complète de notre circuit, le capteur est positionné successivement sur un tableau de  $19 * 60$  positions. Ceci afin d'obtenir une mesure pour chacun des 1140 blocs logiques configurables du circuit.

Toutes les cartographies sont réalisées sous conditions nominales à savoir une température de  $25^{\circ}\text{C}$  et une tension d'alimentation de 1,2V.

A noter qu'une cartographie complète d'un circuit prend environ 2 heures et qu'il est ensuite nécessaire de réaliser un traitement d'environ 15 minutes pour réaliser une FFT pour chacune des positions du capteur et de déterminer sa fréquence d'oscillation.

**Résultats de caractérisation.** Afin d'observer des variations de performances sur des FPGA de type Spartan-6, nous nous sommes intéressés à la caractérisation d'un lot de 7 cartes de type Nexys-3 [Spa11].

Nous commencerons l'analyse des résultats de cartographie en observant la figure IV.11 qui représente la cartographie de la première carte. Nous pouvons faire un constat immédiat, une ligne sur deux présente des performances complètement différentes de sa voisine.

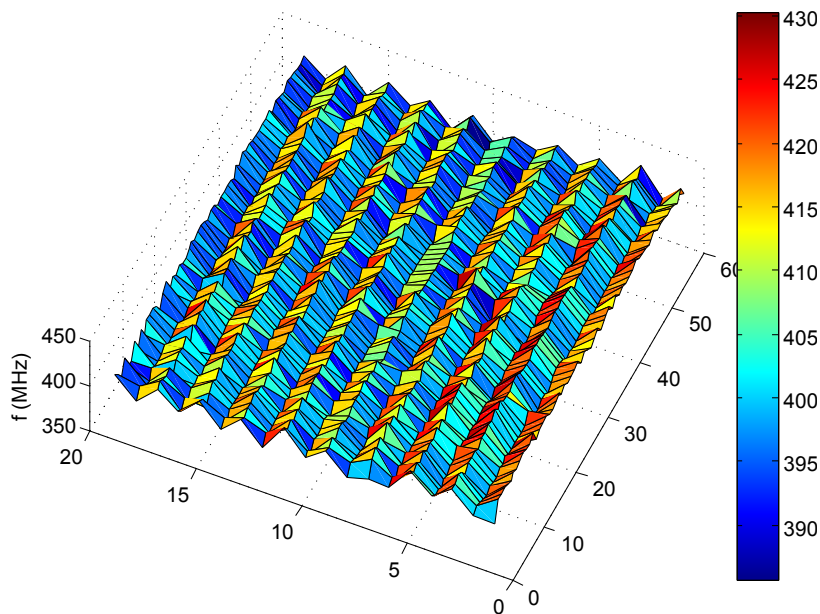


FIGURE IV.11 : Cartographie du FPGA Spartan-6 numéro 1

Nous retrouvons également cette tendance sur l'histogramme proposé sur la figure IV.12 où se dessinent clairement deux gaussiennes distinctes.

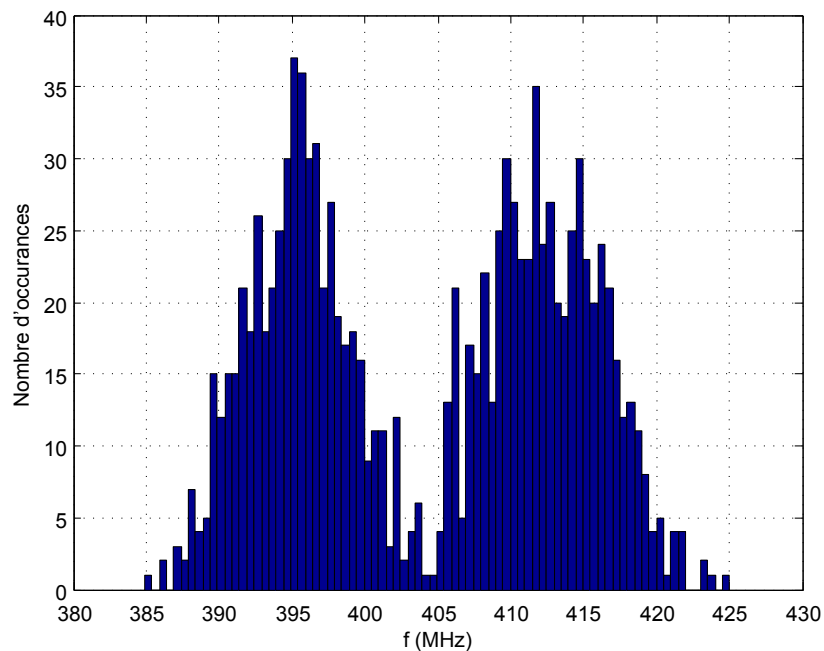


FIGURE IV.12 : Histogramme du FPGA Spartan-6 numéro 1

Cette régularité dans les différences de performances nous incite à nous pencher sur la structure du FPGA. Nous pouvons, en effet, remarquer qu'une ligne est composée de slices X couplés avec des slices L tandis que la suivante est composée de slices X couplés avec des slices M. Nous pouvons donc en déduire que même si les slices X ont les mêmes fonctionnalités dans l'intégralité du circuit, ceux-ci ne sont pas dimensionnés de la même manière lorsqu'ils sont associés à un slice M ou un slice L. Ce sont donc ceux qui sont associés aux slices M qui présentent les moins bonnes performances et puisque les slices M possèdent plus de fonctions que les autres slices, nous pouvons être amenés à penser qu'une surface de silicium plus importante est donc nécessaire afin de réaliser un slice M. Une réduction de surface a donc probablement dû être consentie pour les slices X associés aux slices M.

Pour la suite de l'analyse de performances, nous réaliserons donc deux types d'études : une portant sur les slices X associés aux slices M et une portant sur les slices X associés aux slices L.

Les résultats des campagnes de mesures sont synthétisés dans les tableaux IV.3 et IV.4.

Nous allons donc nous intéresser à analyser ces résultats. Premièrement, nous pouvons constater que les cartes numérotées de 1 à 5 et 7 présentent des caractéristiques similaires avec des fréquences moyennes situées autour de 410MHz et 395MHz. Celles-ci sont

TABLE IV.3 : Résultats de caractérisation de plusieurs cartes (Colonnes Slices X et L)

Carte	1	2	3	4	5	6	7
Fréquence moyenne (MHz)	411.4	411.3	412.9	416.2	412.4	399.7	409.4
Variation maximale (%)	7.48	8.04	7.56	7.29	6.26	6.19	5.72
3-Sigma (%)	3.19	3.16	3.22	3.69	3.04	3.14	3.32

TABLE IV.4 : Résultats de caractérisation de plusieurs cartes (Colonnes Slices X et M)

Carte	1	2	3	4	5	6	7
Fréquence moyenne (MHz)	394.3	394.2	395.8	398.9	395.2	383.8	392.7
Variation maximale (%)	5.52	6.05	5.22	6.84	5.51	9.60	5.20
3-Sigma (%)	2.95	3.12	3.02	3.09	2.70	4.04	2.89

associées à des variations autour de la fréquence moyenne légèrement supérieure à 5%. Nous pouvons également remarquer que la dispersion des valeurs est plus importante pour les slices associés aux slices L que pour ceux associés aux slices M. Enfin, lorsque nous nous intéressons aux caractéristiques séparées des deux types de lignes (figure IV.13 et IV.14), nous retrouvons sur toutes ces cartes une distribution de fréquence similaire. Celle-ci est marquée par la présence de quatre colonnes plus performantes que les autres sur la droite de la carte (deux colonnes pour les CLB composés de slices X et L et deux colonnes pour les CLB composés de slices X et M). N'ayant pas plus d'informations sur l'architecture interne du composant, nous ne pouvons pas conclure quand à l'origine des ces zones plus performantes. Cependant, il est important de noter que nous arrivons bien à mesurer des différences de performances en fonction du placement de notre capteur.

La carte numéro 6 présente la particularité d'avoir ses deux fréquences moyennes plus basses que les autres cartes ainsi qu'une plus grande dispersion de fréquences pour les slices X associés aux slices M. Cependant, nous retrouvons le même schéma de cartographie que précédemment associé à des CLB ayant des performances plus importantes que les autres.

Enfin, nous pouvons nous pencher sur la précision des mesures effectuées. Nous obtenons bien des différences de fréquence mesurées largement supérieures aux incertitudes de mesures que nous avons estimées dans la section IV.1.A. Notre système de

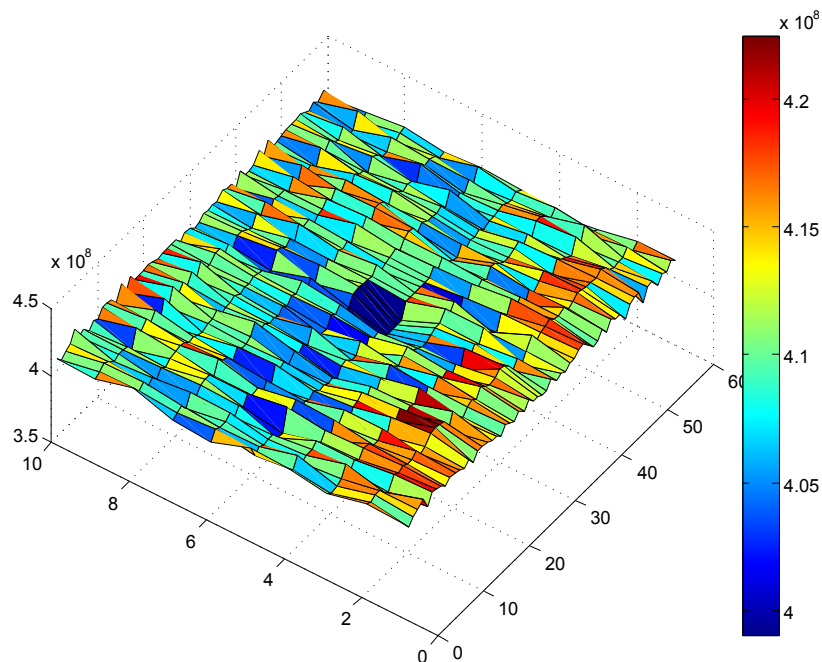


FIGURE IV.13 : Cartographie des slices X associés aux slices L pour le FPGA Spartan-6 numéro 2

mesure présente donc des performances suffisantes pour effectuer les mesures nécessaires à notre expérimentation.

#### IV.1.C.c ProASIC3E

**Architecture.** Nous nous intéressons ici à l'étude de FPGA de type ProASIC3E. Notre objectif est de montrer qu'il est possible d'obtenir des résultats de caractérisation de performances dans une autre technologie que la technologie SRAM.

Contrairement aux FPGA étudiés précédemment, ces FPGA là sont réalisés en technologie Flash 130nm. Ils sont composés d'une matrice d'éléments reconfigurables appelés VersaTiles (Fig. IV.15). Ces éléments permettent de réaliser différentes fonctions logiques à 3 entrées grâce à l'utilisation de différents interrupteurs.

**Implémentations proposées.** De part leur architecture spécifique, toutes les fonctions logiques réalisées dans les FPGA Flash n'utilisent pas les mêmes ressources. Il est donc nécessaire de réaliser plusieurs implémentations d'oscillateurs afin d'avoir une idée des variations de performances que nous pouvons rencontrer à l'intérieur d'une telle structure.



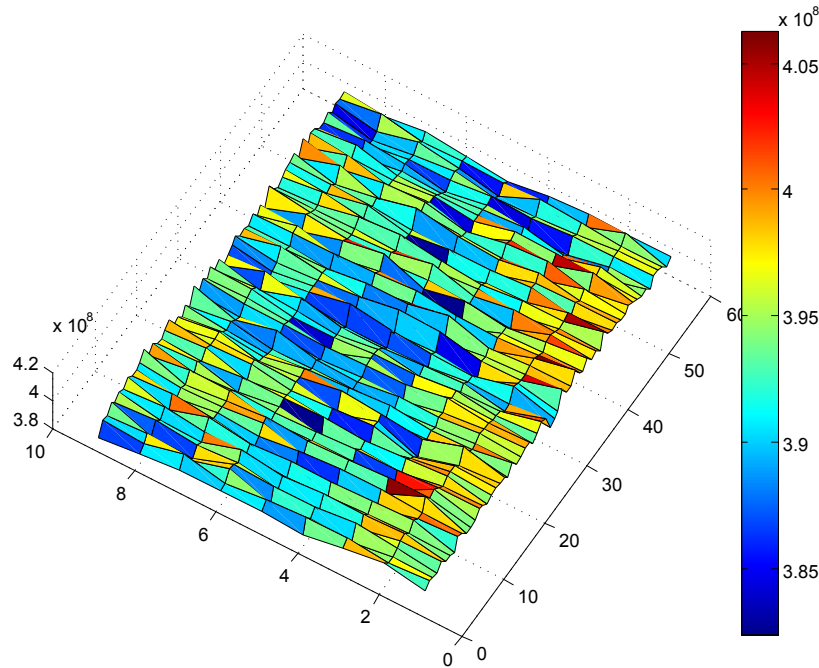


FIGURE IV.14 : Cartographie des slices X associés aux slices M pour le FPGA Spartan-6 numéro 2

Nous avons donc réalisé 3 implémentations d'oscillateurs différents constitués respectivement d'inverseurs, de portes logiques NAND et de NOR comme représenté sur la figure IV.16.

Les capteurs ainsi formés sont donc composés de 3 VersaTiles chaînées entre elles ainsi que d'une supplémentaire en sortie de l'anneau afin d'éviter les aléas de charge en sortie de l'oscillateur qui entraîneraient un comportement non reproductible de l'oscillateur.

**Stratégie de cartographie.** Le temps de reprogrammation des FPGA Flash étant relativement important (plusieurs minutes) et l'automatisation de génération de bitstream n'étant pas possible dans une telle technologie, nous avons décidé de réaliser des cartographies restreintes de ces circuits. Les 3 capteurs seront positionnés successivement sur un tableau de  $10 * 5$  positions comme présentés sur les figures IV.17 et IV.18.

Toutes les cartographies sont réalisées sous conditions nominales à savoir une température de  $25^{\circ}\text{C}$  et une tension d'alimentation de  $1,2\text{V}$ .

**Résultats de caractérisation.** Lors de cette étude, nous avons réalisé avec succès la caractérisation de 2 cartes pour chacune des deux configurations de placement et pour

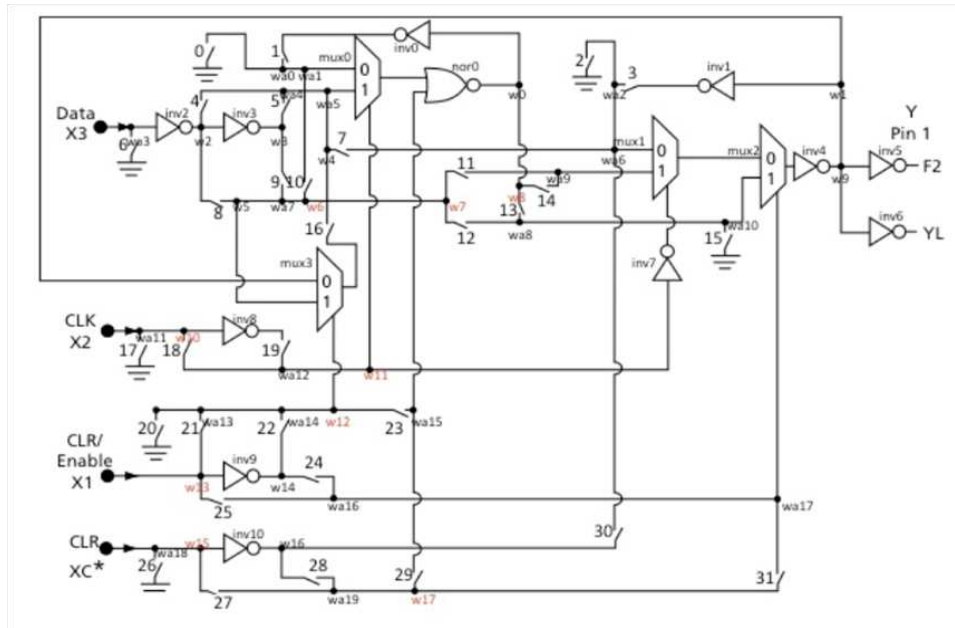


FIGURE IV.15 : Schéma d'un bloc reconfigurable VersaTile

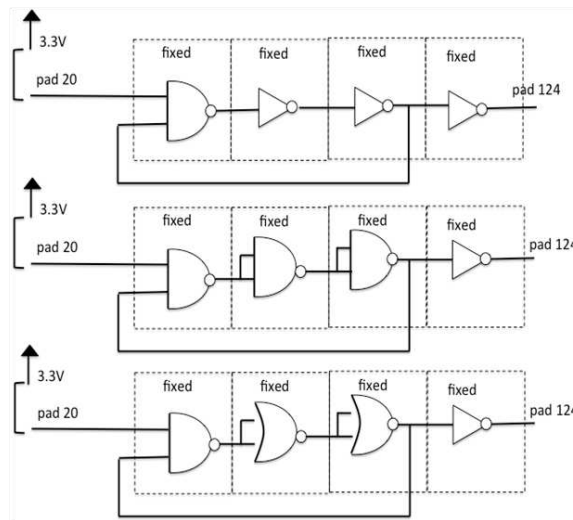


FIGURE IV.16 : Structure des 3 oscillateurs

chacun des types d'oscillateurs. Les résultats de leurs cartographies sont résumés dans le tableau IV.5.

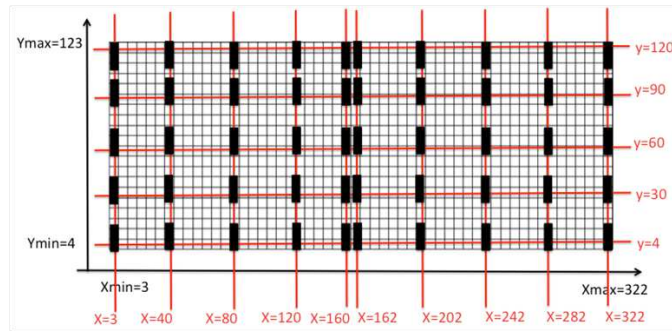


FIGURE IV.17 : Configuration de placement vertical

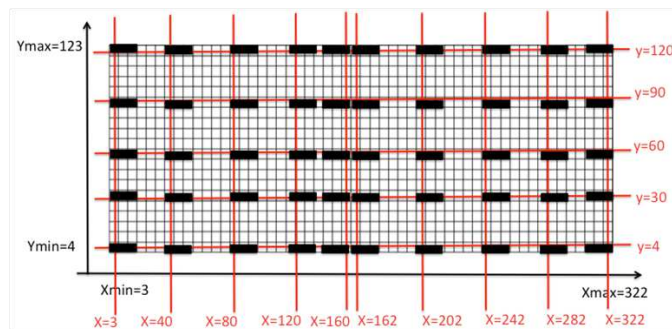


FIGURE IV.18 : Configuration de placement horizontal

TABLE IV.5 : Résultats de cartographie en technologie Flash 130nm

Type	INV				NAND				NOR			
Placement	Vert.	Horiz.	Vert.	Horiz.	Vert.	Horiz.	Vert.	Horiz.	Vert.	Horiz.	Vert.	Horiz.
Carte	1	2	1	2	1	2	1	2	1	2	1	2
Frequene moyenne (MHz)	279.7	267.4	320.1	305.9	361.3	354.9	394.1	385.0	358.4	350.8	392.0	381.2
Variation maximale (MHz)	69.0	35.5	117.5	120.6	60.0	33.7	97.3	99.1	60.6	30.8	99.0	99.6
Variation maximale (%)	24.7	13.3	36.7	39.4	16.6	9.5	24.7	25.8	16.9	8.8	25.3	26.2

L'analyse de ces résultats nous permet de faire plusieurs constats.

Premièrement, les oscillateurs basés sur des structures à partir de NAND et de NOR sont plus rapides que celles réalisées à partir d'inverseurs.

Deuxièmement, pour un même FPGA, un même type d'oscillateur et un même type de placement, les variations observées vont jusqu'à 39.4% (120.6MHz). Ces importantes variations sont inhabituelles pour une technologie telle que la technologie 130nm. Elles sont sûrement dues à des différences dans les ressources utilisées pour router les oscillateurs dans les différentes zones du FPGA. En effet, les outils Microsemi utilisés ici pour réaliser l'implémentation des oscillateurs ne permet pas de garantir l'unicité du placement et routage quelle que soit la position choisie. Cette idée est confortée par l'aspect des cartographies des deux circuits comme représenté sur les figures IV.19 et IV.20.

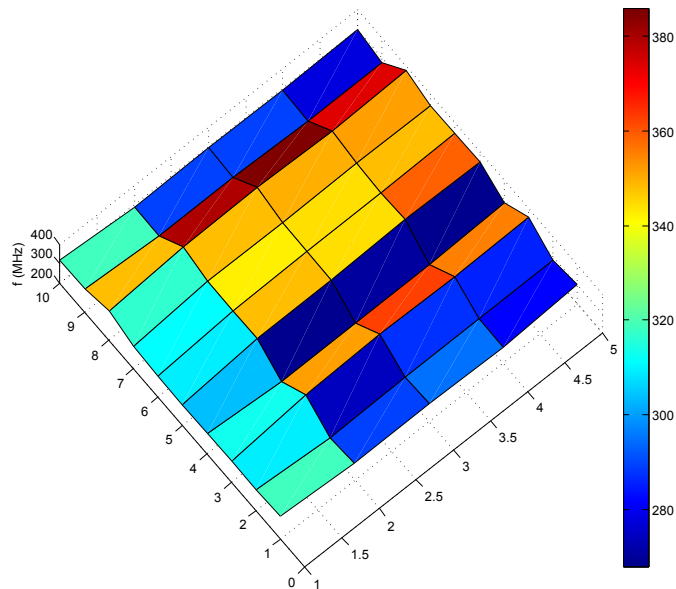


FIGURE IV.19 : Cartographie du circuit Flash n°1

Enfin, lorsque nous comparons les résultats obtenus pour la même configuration pour deux FPGA différents, la variation entre deux mesures est de 24% (85MHz). Nous pouvons donc conclure que même si nous ne pouvons conclure quant à l'uniformité du routage, les variations entre les deux circuits sont relativement importantes.

Les variations obtenues ici sont de loin très supérieures à celles obtenues sur des technologies SRAM. Afin de nous assurer de l'exactitude de telles variations, nous avons réalisé des simulations Spice sur la technologie utilisée et des variations aussi importantes que celles relevées semblent possibles.

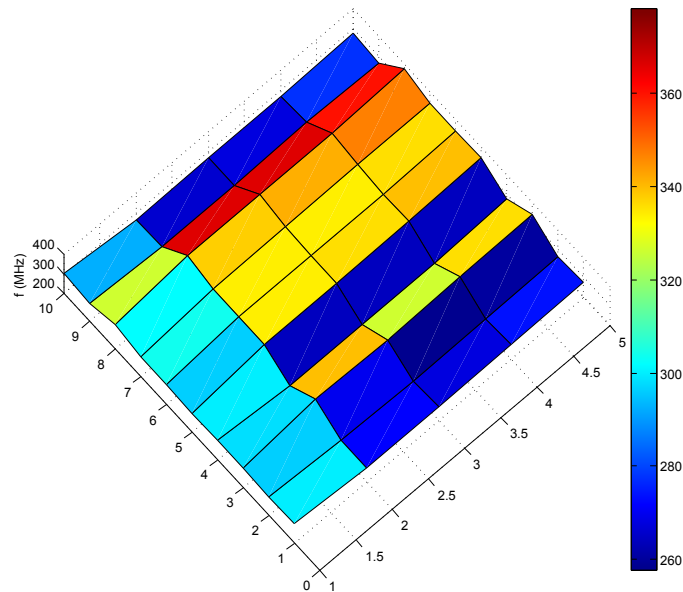


FIGURE IV.20 : Cartographie du circuit Flash n°2

#### IV.1.C.d Conclusion

Dans cette partie, nous avons réalisé avec succès la caractérisation de plusieurs cartes dans différentes technologies. Nous avons obtenu des résultats significatifs qui présentent des variations supérieures aux erreurs de mesure de notre système d'acquisition. De plus, ces mesures ont montré des différences de performances importantes que ce soit entre cartes mais aussi à l'intérieur même des cartes. En effet, ces variations atteignent plus de 10% sur technologie SRAM tandis que des variations de plus de 20% ont été mesurées sur technologie Flash. Ces résultats nous confortent donc dans l'idée qu'il est nécessaire de réaliser des cartographies de carte afin de venir tirer le meilleur parti des performances réellement disponibles dans chacune des cartes.

## IV.2 Implémentation d'un système auto-adaptatif

Cette section présente la mise en place de capteurs dans un système réel complexe. Dans un premier temps, nous nous intéresserons au système utilisé puis nous présenterons les capteurs implémentés en son sein. Enfin, nous exposerons des résultats de mise en œuvre.

## IV.2.A Contexte

Avec la complexité grandissante des systèmes et les temps de conception toujours plus court, il est nécessaire de pouvoir réutiliser tout ou partie des puces des générations précédentes pour pouvoir en concevoir la nouvelle.

Afin de surmonter ce défi, une des meilleures méthodes consiste à utiliser une architecture multiprocesseur scalable. En effet, avec ce type de structure, il est possible d'augmenter le nombre de processeurs de manière linéaire sans augmenter la complexité globale du système.

Ce type d'architecture s'appuie sur l'utilisation d'une grille d'éléments de calcul identiques, chacun possédant sa propre mémoire. Ces éléments sont interconnectés à l'aide d'un Réseau sur Puce<sup>2</sup>.

Il existe de nombreux exemples de développement de ce type de plateforme aussi bien dans le domaine de la recherche que dans celui de l'industrie.

On citera notamment, dans le monde industriel, la réalisation de la société TILERA qui, dès 2007, à travers le développement de TILE64 [Til07], a proposé une architecture basée sur une grille de 8 x 8 processeurs homogènes capable d'effectuer plusieurs centaines de milliards d'opérations à virgule flottante par seconde (443 GFLOP).

Dans le même esprit, la société Intel soutient un projet de recherche intitulé TeraScale [Int07] qui a pour but de développer des architectures de ce type. A noter dans ce cadre, la présentation fin 2009 du SCC<sup>3</sup>. Ce dernier est composé de 48 nœuds de calcul double-coeurs proposant des solutions de gestion de l'énergie avancées.

C'est afin de répondre à cette problématique qu'a été développée l'architecture Openscale au sein de mon équipe de recherche au cours de ces dernières années [BBA<sup>+</sup>11]. Dans le cadre de ce manuscrit, nous présenterons cette architecture sur laquelle nous avons réalisé plusieurs opérations de développement. Les caractéristiques de cette architecture seront détaillées dans les parties suivantes.

A noter que cette architecture est une architecture disponible sous Licence Publique Libre (GPL). C'est pourquoi elle est gratuitement téléchargeable et disponible à l'adresse suivante : [www.lirmm.fr/ADAC](http://www.lirmm.fr/ADAC).

---

2. Network on Chip : NoC

3. Single-Chip Cloud Computer : Nuage informatique sur puce unique

## IV.2.B Un Système Multiprocesseur Adaptatif : OpenScale

Nous avons donc choisi de réaliser l'implantation de nos capteurs sur un système basé sur l'architecture OpenScale. Dans cette section, nous allons décrire plus précisément cette plateforme.

### IV.2.B.a Présentation générale

La plateforme utilisée ici est basée sur l'utilisation d'un réseau d'Eléments de Calculs<sup>4</sup> génériques et identiques interconnectés à l'aide d'un Réseau sur Puce (NoC). Chaque PE possède une mémoire physique qui est utilisée pour l'exécution d'un système d'exploitation (micro-kernel).

L'ensemble des décisions globales et des communications est réalisé par l'envoi et la réception de messages à travers le NoC. De plus, aucun maître global n'est considéré dans cette structure afin de la rendre totalement scalable.

De plus, afin de favoriser le parallélisme et d'assurer la compacité de la structure, un effort de développement notamment en terme de taille a été apporté sur chaque PE que ce soit au niveau matériel ou logiciel.

En résumé, chaque nœud ou Unité de Calcul Réseau<sup>5</sup> est constitué de deux parties une partie calcul contenant notamment le microprocesseur et une partie communication constituée du routeur et de l'interface avec le routeur. La figure IV.21 présente une version schématisée de cette structure.

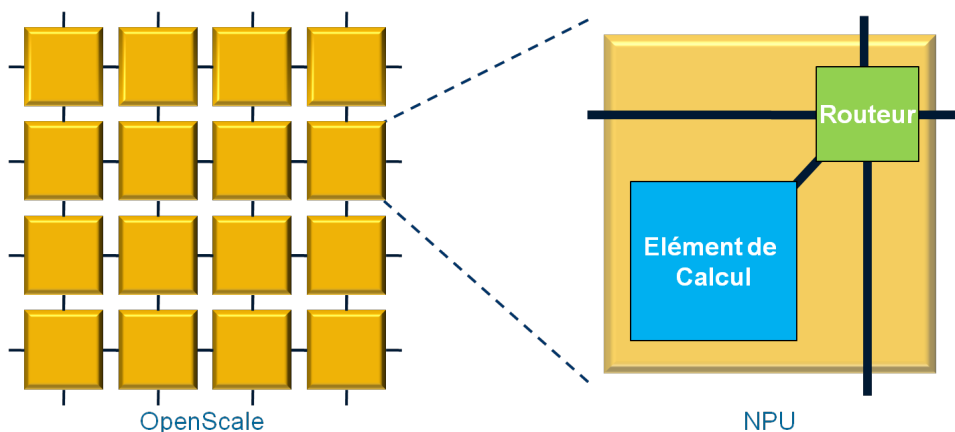


FIGURE IV.21 : Vue d'ensemble de l'architecture utilisée

4. Processing Elements : PE

5. Network Processing Unit : NPU



### IV.2.B.b Matériel

Chaque PE possède une partie calcul et une partie réseau.

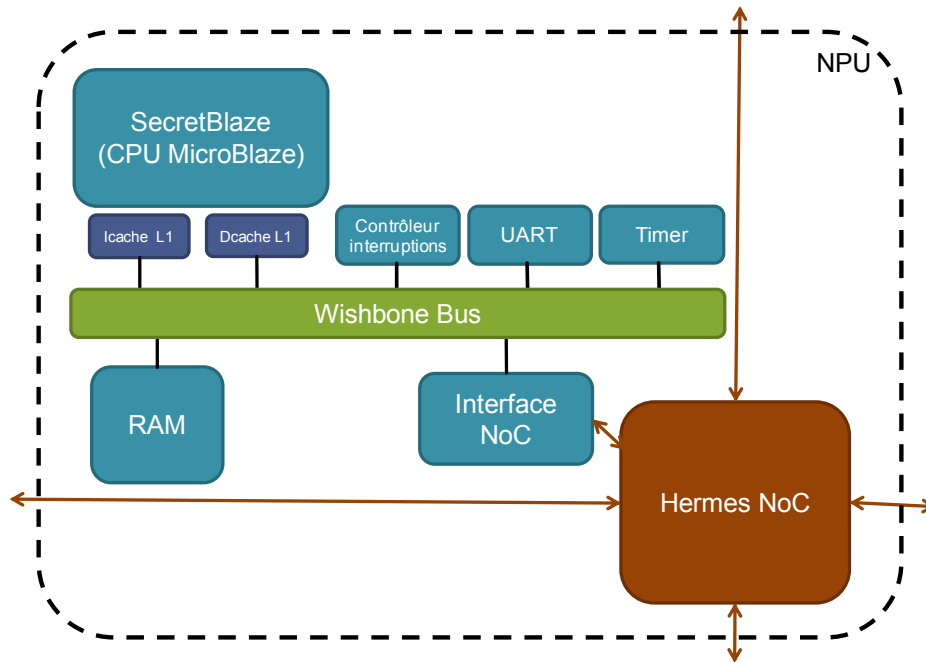


FIGURE IV.22 : Représentation d'une unité de calcul réseau de l'architecture utilisée

La partie calcul est constituée notamment d'un microprocesseur SecretBlaze [BVBT11] et d'un bus fonctionnant selon le standard Wishbone v4 [Her10]. Ce bus permet la communication entre le processeur, la mémoire interne ainsi que les autres éléments périphériques. Parmi ceux-ci, nous pouvons noter la présence de l'interface avec le NoC, d'un timer, d'un contrôleur d'interruption et d'un contrôleur de port série (UART).

Le SecretBlaze est un microprocesseur opensource de type Harvard. Il possède une architecture RISC avec 5 étages de pipeline et il utilise le jeu d'instructions du processeur MicroBlaze [Xil10]. De plus, ce processeur est modulable ce qui implique que l'on peut au choix ajouter ou non les éléments suivants : un multiplieur, un registre à décalage, un diviseur ou encore un module de prédiction de branchement. Enfin, ce processeur possède un cache d'instruction et un cache de données entièrement configurable en terme de taille totale, de taille de ligne ou encore de politique de remplacement (écriture directe ou différée).

Le contrôleur d'interruption permet, quand à lui, de gérer jusqu'à 8 interruptions en parallèle avec gestion des priorités, masquage et armement.

De son côté, le timer est constitué d'un compteur 32 bits permettant de générer une interruption après une durée paramétrable.

Enfin, la partie réseau, quand à elle, est constituée principalement d'un router 2D tiré du projet Hermes [MCM<sup>+</sup>04]. Les transferts de données à l'intérieur de celui-ci sont gérés grâce à un échange de paquet de type "trou de ver". Cette stratégie de communication consiste à bloquer le trajet emprunté par chaque paquet pendant toute la durée du transfert.

### **IV.2.B.c Logiciel**

La plateforme OpenScale utilise un système d'exploitation de type micro-kernel. Celui-ci permet de gérer de manière indépendante les tâches utilisateur. De plus, chaque NPU possède son propre système d'exploitation qu'il exécute de manière indépendante. Les décisions globales quand à elles se font au moyen de l'envoi de messages à travers le NoC.

Le système d'exploitation utilisé est un système d'exploitation temps réel préemptif. Ceci implique qu'un ordonnanceur est utilisé pour gérer les priorités lors de l'exécution des différentes tâches. Son développement est basé sur un projet de système d'exploitation développé par Steve Roads [Rho09].

## **IV.2.C Configuration choisie**

### **IV.2.C.a Support matériel**

Dans le cadre de cette thèse, nous avons choisi d'implémenter le système OpenScale sur une plateforme d'évaluation Virtex-5 OpenSparc [vir12]. Cette carte est dotée d'un FPGA Virtex-5 de type XC5VLX110T [vir11]. Ce circuit est un composant permettant de réaliser des applications logiques générales hautes performances notamment grâce à la présence de plus de 17000 blocs logiques configurables.

### **IV.2.C.b Configuration du processeur**

Afin d'obtenir des résultats comparables et reproductibles, nous avons utilisé la même configuration du processeur SecretBlaze au cours de toutes nos expérimentations. Nous avons donc choisi d'utiliser de la mémoire distribuée mais aussi d'implémenter de manière matérielle les interruptions, un multiplieur pipeliné, un diviseur, un registre à décalage.

Des mémoires caches de données et d'instructions d'une capacité de 8 kilo octets chacune sont par ailleurs également instanciés.

La liaison série qui permet la communication avec l'extérieur de la plateforme est, quant à elle, configurée à une vitesse de 115200 bauds avec 8 bits de données et un de stop par trame.

Cette configuration est une configuration qui permet d'atteindre les meilleures performances en terme de vitesse d'exécution mais qui est relativement gourmande en surface et en consommation de part l'implémentation matériel d'un grand nombre d'opérations arithmétiques.

#### IV.2.D Caractéristiques de capteurs

Afin d'obtenir des informations de performance sur notre système au cours de son utilisation, nous avons décidé d'intégrer plusieurs capteurs au sein de celui-ci. Avant de nous pencher plus précisément sur l'utilisation de ces capteurs en ligne, nous allons dans un premier temps présenter leurs caractéristiques.

##### IV.2.D.a Caractérisation

Nous avons implémenté 3 capteurs. Ceux-ci utilisent différentes ressources disponibles au sein du FPGA comme présenté dans le tableau IV.6. Nous avons volontairement implémenté différentes combinaisons de cellules afin d'obtenir différentes sensibilités aux 3 grandeurs mesurées : la tension d'alimentation, la température mais aussi une grandeur dérivée du procédé de fabrication.

TABLE IV.6 : Oscillateurs en anneau proposés

Capteur	Ring 3	Ring 3L	Ring 15
Nombre de LUT	3	4	16
Nombre de Latches	0	4	0
Fréquence théorique (MHz)	353	145	17

##### IV.2.D.b Modélisation

Les capteurs que nous utilisons sont sensibles à trois grandeurs :

- le procédé de fabrication : P

- la tension d'alimentation :  $V$
- la température :  $T$

La valeur obtenue en sortie de notre capteur  $S$  dépend donc de ces trois grandeurs et peut s'écrire :

$$S = f(P, V, T) \quad (IV.1)$$

Si nous nous plaçons à proximité d'un point de fonctionnement et en faisant l'hypothèse que les trois grandeurs comme indépendantes, nous obtenons :

$$S(P, V, T) = \frac{dS}{dP} \cdot P + \frac{dS}{dV} \cdot V + \frac{dS}{dT} \cdot T + K_0 \quad (IV.2)$$

Ensuite, sur un intervalle de temps relativement court, nous pouvons considérer que l'impact du procédé de fabrication est constant. De même, si on considère le modèle premier ordre, on peut écrire :

$$S(P, V, T) = \frac{\Delta S}{\Delta V} \cdot V + \frac{\Delta S}{\Delta T} \cdot T + K_1(P) \quad (IV.3)$$

Si nous considérons trois capteurs différents réalisant une mesure au même point de notre circuit, il nous sera donc facile de remonter à l'information.

#### IV.2.D.c Mesure

Afin d'obtenir les caractéristiques de nos capteurs, nous avons réalisé plusieurs expérimentations au cours desquelles nous avons récolté les données en sortie de ceux-ci tout en faisant varier à la fois la tension d'alimentation et la température.

A la fin de la caractérisation, une caractéristique représentant la fréquence normalisée en fonction de la tension d'alimentation et de la température est ainsi obtenue. A titre d'exemple, la figure IV.23 montre cette caractéristique pour notre capteur de type Ring 3.

Une fois cette caractéristique tracée, il ne reste plus qu'à en déduire les sensibilités de notre capteur aux variations des différentes grandeurs physiques que nous souhaitons mesurer. A ce titre, le tableau IV.7 permet de comparer nos trois capteurs pour une période d'échantillonnage équivalente. Conformément à ce que nous pouvons prévoir, le capteur comportant le moins d'éléments est celui qui est le plus sensible à la fois à la tension d'alimentation mais aussi à la température. De plus, il est intéressant de noter que nos capteurs n'ont pas le même rapport de sensibilités. Nous pourrions tirer parti de cette différence pour dissocier les variations de température de celles de tension.

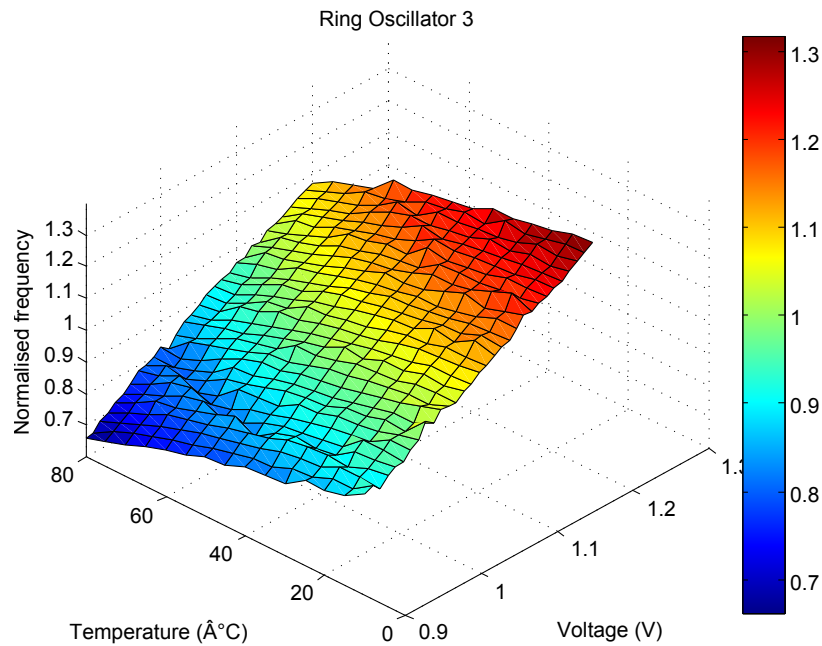


FIGURE IV.23 : Performances du capteur Ring 3

TABLE IV.7 : Oscillateurs en anneau proposés

Capteur	Ring 3	Ring 3L	Ring 15
Cycles d'horloge par mesure	2046	2046	2046
Sensibilité tension (cpt / 0.01V)	117	69	24
Sensibilité température (cpt / 1°C)	-107	-30	-5
Rapport des sensibilités	-1.1	-2.3	-4.8

#### IV.2.D.d Synthèse

Dans cette section, nous avons présenté les capteurs que nous serons amenés à utiliser pour extraire des informations sur l'environnement de notre système lors de l'utilisation de celui-ci. Les trois capteurs différents que nous avons présentés nous permettront de mesurer à la fois la tension d'alimentation en un point de notre système mais aussi la température.

## IV.2.E Résultats d'implémentation

Nous avons réalisé plusieurs implémentations différentes de notre système. Cette section présente les principaux résultats obtenus lors de tests d'exécution de différentes tâches.

### IV.2.E.a Présentation du système avec capteurs

Afin de pouvoir mesurer et récupérer des données issues des différents capteurs que nous avons développés, nous avons décidé d'inclure ceux-ci à l'intérieur de chacun des NPU du système. Pour cela, les capteurs sont reliés au système via une interface connectée directement sur le bus du système comme représenté sur la figure IV.27. Cette interface permet de transmettre la valeur d'un capteur à chaque fois que le système en fait la demande. De plus, lors du paramétrage de l'architecture, l'utilisateur peut choisir le type de capteurs qu'il souhaite utiliser ainsi que leur nombre et leur position.

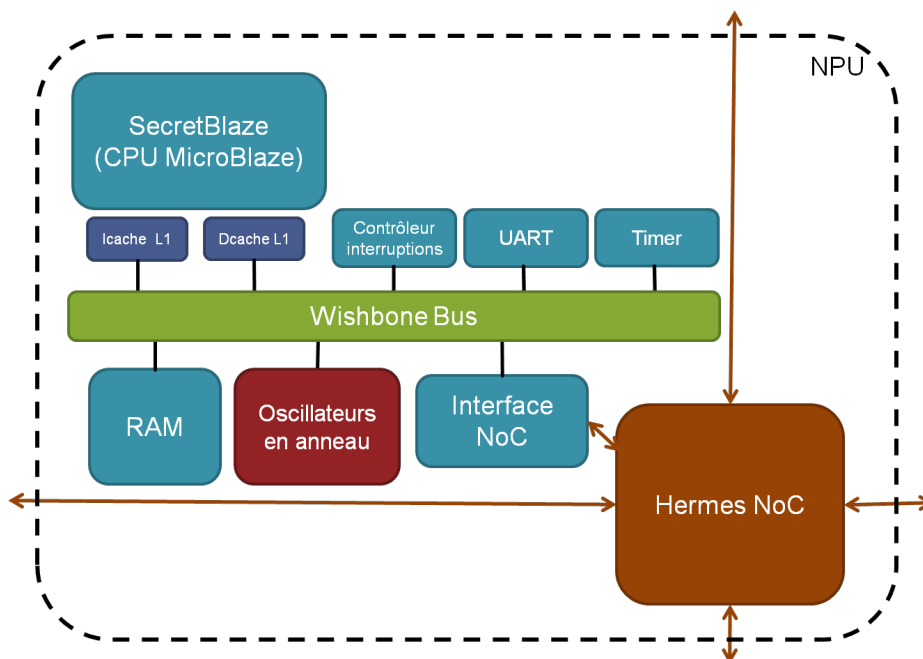


FIGURE IV.24 : Représentation d'une unité de calcul réseau de l'architecture utilisée incluant l'interface avec les oscillateurs en anneau

### IV.2.E.b Testbench

Notre objectif ici est de montrer que nos capteurs sont capables de mesurer des variations dans un système réel. Pour cela, nous avons, dans un premier temps, décidé de faire exécuter des tâches autonomes à notre système. Celui-ci exécutera donc alternativement de manière indépendante les 4 tâches suivantes :

- AES : Algorithme de chiffrement AES<sup>6</sup> [JR02].
- DES : Algorithme de chiffrement DES<sup>7</sup> [Nat77].
- NOP : Exécution d'opérations NOP par le processeur.
- COM : Envoi de données via l'UART.

Chacune de ces tâches est exécutée plusieurs fois avant que le système ne vienne scruter les valeurs des capteurs et qu'il ne les transmette à l'extérieur de la plateforme.

### IV.2.E.c Implémentation avec 1 NPU

**Configuration.** Dans un premier temps, nous avons réalisé des expérimentations en utilisant uniquement un NPU. Celui-ci est placé et routé dans le coin en bas à gauche de notre FPGA et 28 capteurs du même type sont connectés sur le bus via l'interface présentée précédemment. Ces capteurs sont implantés selon une configuration en hexagone de manière à pouvoir couvrir de manière optimale l'ensemble de la zone d'implantation du NPU [WV08].

Une représentation placée-routée du système complet est proposée sur la figure IV.25. Les 28 capteurs apparaissent en orange sur cette version.

**Expérimentation.** Nous avons utilisé notre système en lui faisant exécuter successivement les 4 tâches exécutées précédemment. Le circuit est maintenu autour de son point de fonctionnement à une température de 25°C avec une tension d'alimentation de 1V. Les données de ces capteurs sont envoyées par le système tout au long de l'exécution à un PC externe. Nous pouvons donc réaliser un tracé temporel des données reçues comme présenté sur la figure IV.26. De la même manière, il est possible d'observer les données pour un seul capteur IV.27.

Nous pouvons faire plusieurs constats. Premièrement, nous observons une variation brutale de la valeur mesurée par chaque capteur après chaque changement de tâches exécutées. Ensuite, la valeur mesurée par chaque capteur reste relativement stable au cours de l'exécution d'une même tâche. De plus, à un instant  $t$ , il existe des variations

---

6. Advanced Encryption Standard : Standard de chiffrement avancé

7. Data Encryption Standard : Standard de chiffrement de données

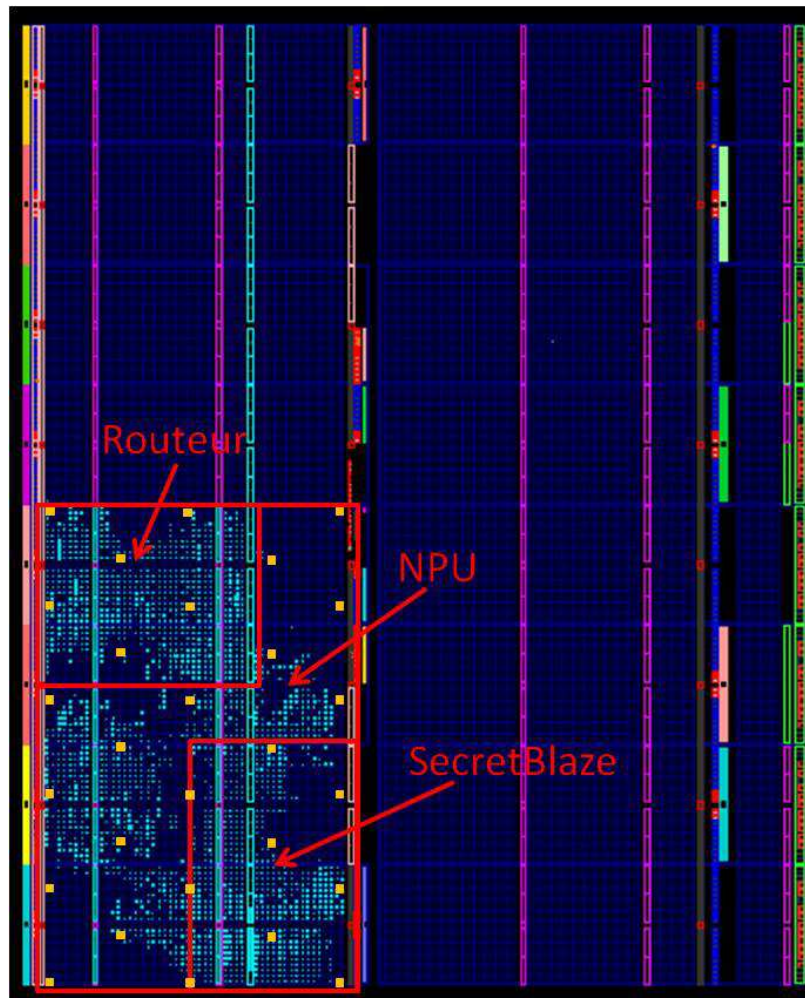


FIGURE IV.25 : Représentation du système complet placé routé

importantes entre les valeurs fournies par chaque capteur. Enfin, les variations observées sont relativement uniformes à l'intérieur du circuit.

A partir de là, il est possible de calculer une valeur moyenne pour chaque tâche, pour chaque type de capteur et pour chaque position. Le tableau IV.8 reporte les valeurs obtenues pour l'un des 28 capteurs.

**Interprétation des résultats.** A partir de ces valeurs de capteurs et en se servant des équations présentées précédemment, il est possible d'extraire les variations de tension et de température qu'implique le passage de l'exécution d'une tâche à une autre. Le



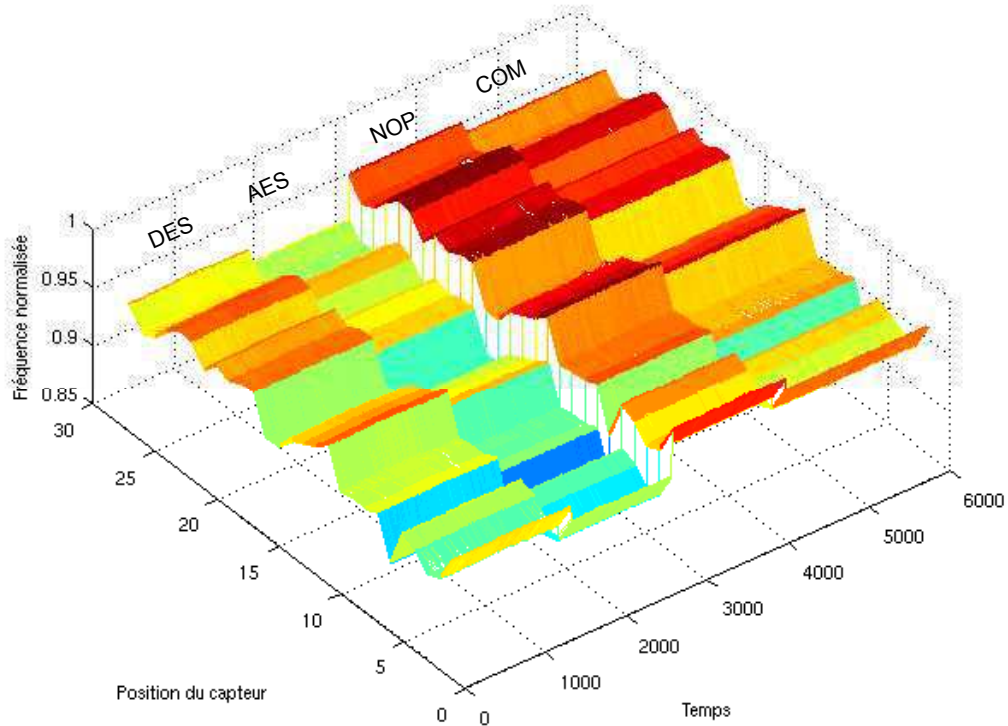


FIGURE IV.26 : Représentation temporelle de la fréquence pour les 28 capteurs de type Ring 3

TABLE IV.8 : Valeurs mesurées en sortie d'un des 28 capteurs

Tâche	AES	DES	NOP	COM
Ring 3	3707	3659	3808	3769
Ring 3L	2014	1992	2083	2078
Ring 15	807	800	832	824

tableau IV.9 propose les variations de tension et de température pour la position étudiée en prenant comme référence l'exécution de la tâche NOP.

Nous pouvons voir que pour les deux premières tâches, la zone dans laquelle est positionné le capteur est sujette à une baisse de tension et une augmentation légère de température par rapport à l'exécution de la troisième. Enfin la dernière tâche a un

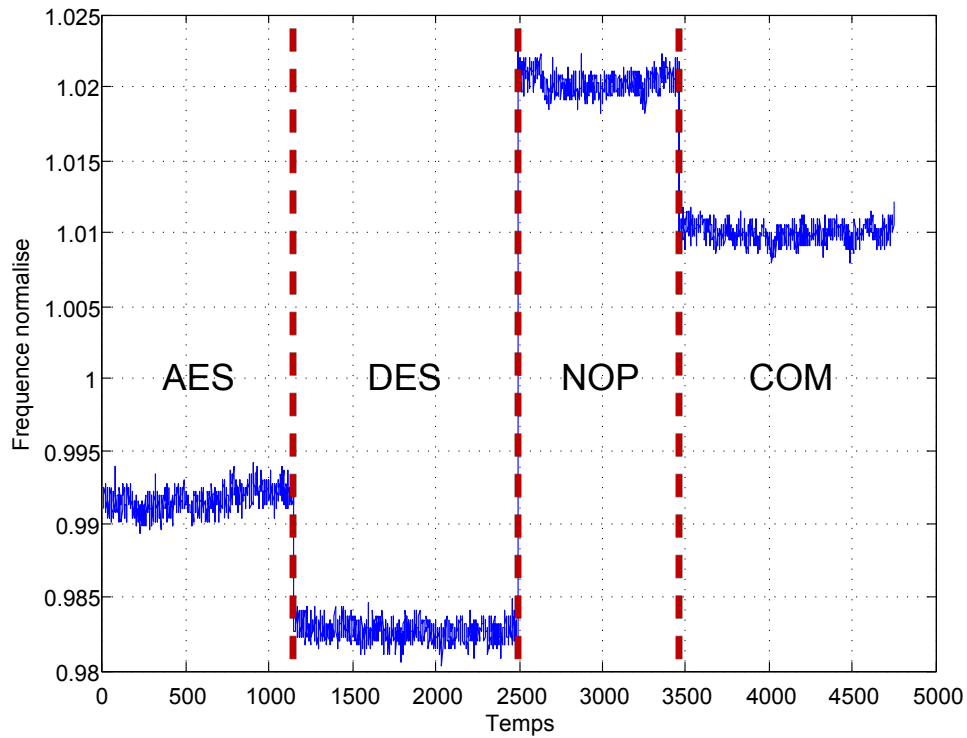


FIGURE IV.27 : Représentation temporelle de la fréquence d'un des 28 capteurs de type Ring 3

TABLE IV.9 : Variations de température et de tension mesurée pour chaque tâche pour un des 28 capteurs

Tâche	AES	DES	NOP	COM
Tension (mV)	-11	-13.5	0	1.1
Température (°C)	0.24	0.08	0	-0.44

comportement inverse qui se traduit par une augmentation de la tension d'alimentation et une baisse de température.

#### IV.2.E.d Implémentation avec 4 NPU

**Configuration.** Nous avons ensuite implémenté une version composée de 4 NPU de notre système. Chacun des NPU occupe un quart de la surface disponible dans le circuit. Dans cette version, comme dans la version précédente, chaque NPU comporte 28 capteurs.

**Expérimentation.** Comme précédemment, nous avons réalisé des mesures à l'intérieur d'un seul NPU lors de l'exécution de nos quatre tâches de référence. Le NPU où sont réalisées les mesures est placé et routé exactement de la même manière que celui utilisé dans le cas précédent. Pendant notre expérimentation, les trois autres NPU effectuent tous l'exécution de la même tâche lors d'une série de mesure. Nous avons donc à nouveau réalisé une série de mesures au cours de laquelle le premier NPU exécutait successivement les 4 tâches. Le résultat de cette acquisition est reporté dans le tableau IV.10.

TABLE IV.10 : Variations de température et de tension mesurée pour chaque tâche pour un des 28 capteurs

Tâche	AES	DES	NOP	COM
Tension (mV)	-50	-50.7	-38.6	-40.0
Température (°C)	0.56	0.35	0.25	-0.12

**Interprétation des résultats.** Comme nous pouvons le voir, l'ajout de NPU en fonctionnement à proximité de celui où sont réalisées les mesures entraîne une chute de tension globale sur le circuit. Même si l'ensemble du circuit a une consommation globale qui augmente cette chute de consommation nous permet d'obtenir une différence de température relativement restreinte.

## IV.2.F Bilan

Dans cette partie, nous avons présenté et utilisé les capteurs que nous avons développés. Grâce à ceux-ci, nous avons pu réaliser avec succès la mesure de variations de performances à l'intérieur d'un système en activité. Lors de l'exécution d'une même tâche, ceux-ci nous donnaient des informations relativement constantes tandis que des variations de plus de 3% étaient constatées lors d'un changement d'activité. De plus, nous avons pu inférer à partir des différentes mesures l'impact de ces changements d'activités sur la température du système ainsi que sur la tension délivrée aux différents blocs logiques à l'intérieur de celui-ci.

Dans une prochaine partie, nous regarderons plus en détail sur la troisième partie de notre flot : l'étude du vieillissement des circuits reconfigurables.

## IV.3 Vieillessement

L'objectif de cette section est d'essayer d'observer des dégradations de tout ou partie du composant reconfigurable. Pour cela, nous placerons des structures spécifiques dans certains blocs reconfigurables du circuit. Nous accompagnerons cette configuration spécifique d'opérations de stress de circuit. Plus concrètement, nous viendrons modifier la tension d'alimentation du circuit ou encore la température de son environnement.

### IV.3.A Contexte

Dans la littérature, nous trouvons peu de références montrant des exemples de vieillissement de circuits reconfigurables.

Nous noterons cependant la présence de quelques travaux intéressants.

Une présentation de l'impact du vieillissement sur des fonctions physiques non duplicables (PUF<sup>8</sup>) est proposée dans [MMS11]. Les auteurs utilisent 512 oscillateurs en anneaux pour réaliser des PUF. Ceux-ci sont implantés à l'intérieur d'un FPGA de type Spartan-3 (90 nm). Les valeurs en sortie de ceux-ci sont mesurées puis le circuit est stressé et de nouvelles mesures sont réalisées. Des dégradations du même ordre de grandeur sur tous les oscillateurs sont observées et celles-ci entraînent des changements de valeurs en sortie du PUF.

Dans [SWSC10], les auteurs proposent une étude et une modélisation à la fois des mesures de 4 types de dégradations de circuits reconfigurables de type Cyclone III (90nm). 4 configurations de stress sont proposées et leur impact sur le vieillissement du circuit est étudié. La dégradation de performance est évaluée à l'aide de deux méthodes : une synchrone et une asynchrone basée l'utilisation d'oscillateurs en anneau. Les deux méthodes d'évaluation montrent des résultats similaires. De plus, une fois l'impact de la méthode de stress évalué, un modèle d'évaluation de dégradation est proposé.

Ces deux publications proposent des résultats intéressants cependant, aucune étude en fonction du placement des blocs de stress n'est effectuée et l'impact du stress sur les zones du FPGA non utilisées n'est pas abordé. De plus, les technologies utilisées sont des technologies matures et il serait intéressant d'effectuer de nouvelles mesures dans une technologie plus récente.

---

8. PUF : Physical Unclonable Functions

### IV.3.B Evaluation du vieillissement

#### IV.3.B.a Modélisation

Comme nous avons pu le voir dans le chapitre II.2.B.b, trois des mécanismes de vieillissement présentés sont influencés par la température et la tension d'alimentation. Cette dépendance nous permet d'envisager d'accélérer le processus de dégradation.

Dans [LQBM08], une loi de dépendance des trois phénomènes en fonction de la température est proposée. Le tableau IV.11 présente ces trois relations. Dans celui-ci,  $t_f$  correspond au temps avant défaut. Chaque expression dépend d'une énergie d'activation  $E_a$  propre à chaque mécanisme ainsi que de la température  $T$  en Kelvin et de la constante de Boltzmann  $\kappa$ .

Le tableau IV.11 présente également la dépendance à la tension d'alimentation des phénomènes de dégradation. Comme montré dans [LQBM08], le NBTI dépend directement de la tension de seuil  $V_{GS}$  tandis que le TDDB dépend de l'importance du champ de force  $\phi$ <sup>9</sup> [LLS05] et que le HCI est calculé à partir du courant de substrat  $I_{sub}$  et de la largeur de transistor  $W$  [AKD<sup>+</sup>09].

TABLE IV.11 : Temps avant défaut pour chacun des phénomènes de vieillissement

Mécanisme	TDDB	HCI	NBTI
Température	$t_d \propto \exp\left(\frac{E_a \text{TDDB}}{\kappa T}\right)$	$t_d \propto \exp\left(\frac{E_a \text{HCI}}{\kappa T}\right)$	$t_d \propto \exp\left(\frac{E_a \text{NBTI}}{\kappa T}\right)$
Tension	$t_d \propto \frac{1}{\phi} \exp\left(-a\sqrt{\phi} + \frac{b}{\phi}\right)$	$t_d \propto \left(\frac{I_{sub}}{W}\right)^{-n}$	$t_d \propto V_{GS}^{-\gamma}$

#### IV.3.B.b Estimation de l'impact des facteurs de vieillissement

Nous allons maintenant essayer d'estimer l'impact des conditions de stress que nous avons appliqué à notre circuit de type Spartan-6. Pour cela, nous avons collecté toutes les données nécessaires au calcul des temps avant défaut de la technologie utilisée [LQBM08, LLS05, AKD<sup>+</sup>09, ITR09]. Ces données sont résumées dans le tableau IV.12.

Grâce à cela, nous pouvons estimer l'accélération du vieillissement. L'impact de chacun des phénomènes sur cette accélération est proposé dans le tableau IV.13.

Comme nous pouvons l'observer, le stress issu d'une augmentation de tension a beaucoup plus d'impact sur le vieillissement du circuit que celui engendré par une augmentation de la température de l'environnement du circuit. Cependant, afin de

9.  $\phi = \frac{V_{GS}}{T_{ox}}$

TABLE IV.12 : Valeurs mesurées en sortie du capteur pour chaque tâche

Paramètre	Valeur
a	$0.015(\text{cm/V})^{0.5}$
b	$7 \times 10^6 \text{cm/V}$
$T_{\text{ox}}$	0.95nm
n	28
W	78.8nm
$\gamma$	7
$E_{\text{aTDDB}}$	0.6eV
$E_{\text{aHCI}}$	0.1eV
$E_{\text{aNBTI}}$	0.9eV
$E_{\text{k}}$	$8.62 \times 10^{-5} \text{eVK}^{-1}$

TABLE IV.13 : Accélération des phénomènes de vieillissement

Fonctionnement	Tension	Température	TDDB	HCI	NBTI
Normal	1.2V	298K	1×	1×	1×
Stress en température	1.2V	353K	$\propto 10 \times$	$\propto 1 \times$	$\propto 10^2 \times$
Stress en tension	1.8V	298K	$\propto 10^5 \times$	$\propto 10^5 \times$	$\propto 10 \times$
Stress total	1.8V	353K	$\propto 10^6 \times$	$\propto 10^5 \times$	$\propto 10^3 \times$

maximiser l'impact du stress sur le circuit, nous utiliserons la dernière configuration (1,8V et 80°C) lors de nos tests de vieillissement du circuit.

### IV.3.C Résultats

Dans cette partie, nous nous intéresserons à des dégradations de circuits de type Spartan 6. Deux séquences de vieillissement sont proposées et les résultats en découlant sont montrés et analysés.

### IV.3.C.a Séquence de vieillissement 1

**Stratégie.** Afin de réaliser une première séquence de vieillissement, nous avons choisi de nous appuyer sur l'utilisation d'oscillateurs en anneau. Ceux-ci sont implémentés dans certaines zones prédéfinies de notre circuit comme schématisé sur la figure IV.28. L'utilisation de ces oscillateurs est couplée à une augmentation de 50% de la tension d'alimentation ainsi que d'une élévation de la température de l'environnement du circuit à savoir une température de 80°C. Ces conditions permettront de venir stresser le circuit.

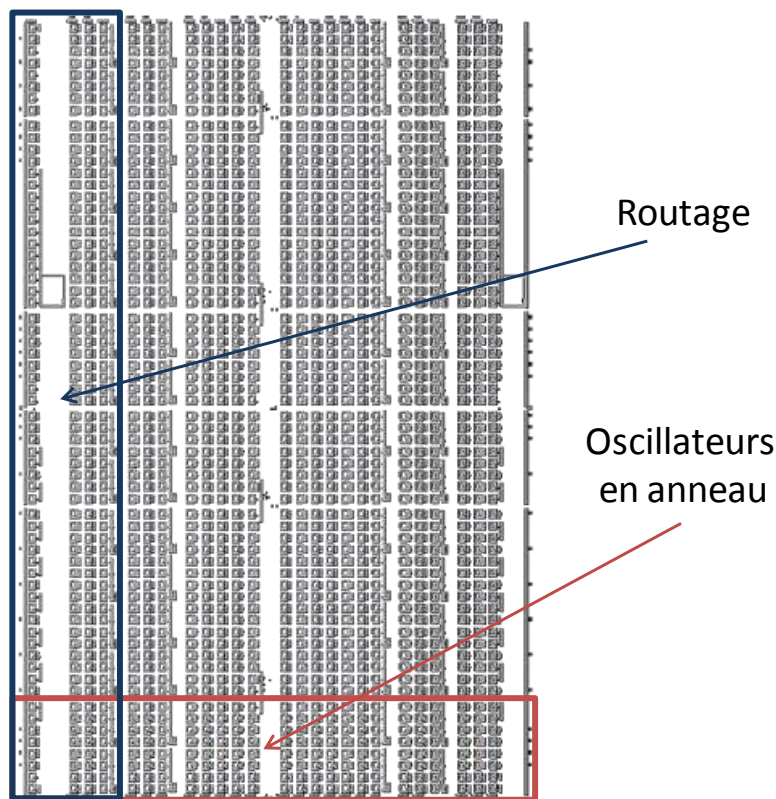


FIGURE IV.28 : Schéma du circuit et placement des différents blocs

La séquence de vieillissement proprement dite se déroule en alternant plusieurs étapes :

- **Caractérisation :** Lors de cette étape, nous venons caractériser entièrement le circuit à l'aide de la méthode proposée dans la partie IV.1.C.b. Chaque cartographie est réalisée sous conditions nominales (1,2V et 25°C).

- **Vieillessement** : Cette étape consiste à mettre le circuit en conditions de stress. La configuration de stress présentée précédemment lui est appliquée (tension d'alimentation, température et configuration du circuit).
- **Régénération** : Lors de l'étape de régénération, le circuit est déconnecté de toute source d'alimentation et est placé à température ambiante. L'objectif est de laisser le circuit recouvrir une partie de ses performances jusqu'à obtenir un état stable.

Lors de notre première expérimentation, ces étapes se sont succédées comme présenté sur la figure IV.29. Dans un premier temps, nous sommes venu caractériser notre circuit. Cette cartographie nous a servi par la suite de référence par rapport à toutes celles réalisées ultérieurement. Nous avons ensuite alterné les phases de vieillissement ou de régénération et les phases de caractérisation. Lors de cette séquence, la durée de chacune des phases de vieillissement ou de régénération avait une durée d'une semaine (168 heures).



FIGURE IV.29 : Organisation de la séquence de vieillissement 1

**Résultats.** Les figures IV.30 à IV.34 présentent chacune la différence de deux cartographies obtenues lors des différentes étapes de caractérisation.

En observant ces résultats plus précisément, nous pouvons faire plusieurs constats.

Premièrement, au bout d'une semaine, tous les blocs reconfigurables ont subi des dégradations. Cependant, comme le montre la figure IV.30, ces dégradations sont plus importantes dans les zones utilisées du circuit (routage et placement des oscillateurs en anneau). En effet, les blocs non utilisés ont subi une dégradation de 4 – 5MHz tandis que les autres blocs voient leurs dégradations de performances atteindre jusqu'à 15MHz.



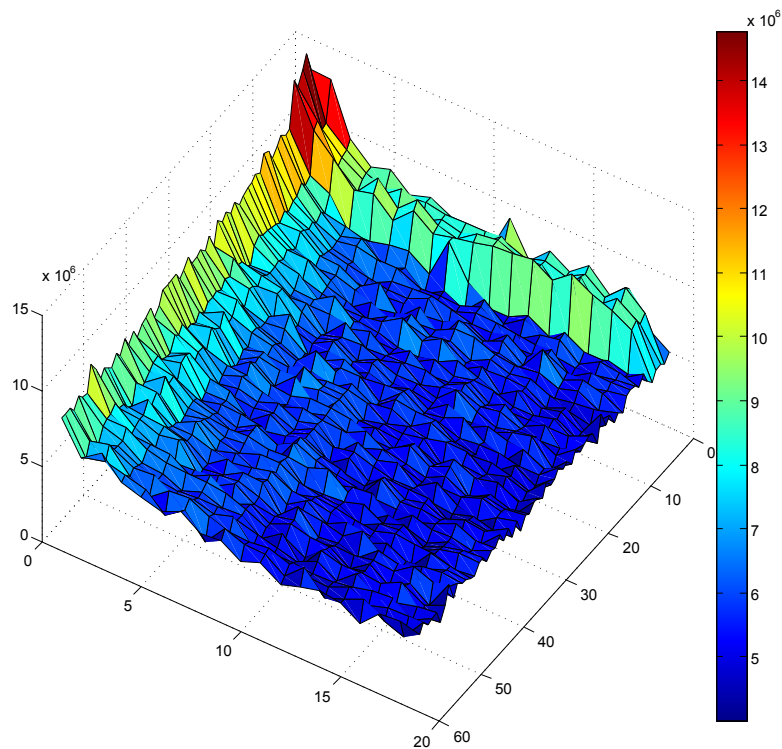


FIGURE IV.30 : Cartographie de la carte montrant la dégradation de la carte au bout d'une semaine de vieillissement

De leur côté, les résultats de la seconde semaine de dégradation montrent plusieurs tendances. Les zones les plus dégradées restent identiques comme nous pouvons le constater sur la figure IV.31. Néanmoins, comme présenté sur la figure IV.32, seuls les blocs reconfigurables accueillant des oscillateurs en anneau ont subi une dégradation supplémentaire (environ 2MHz).

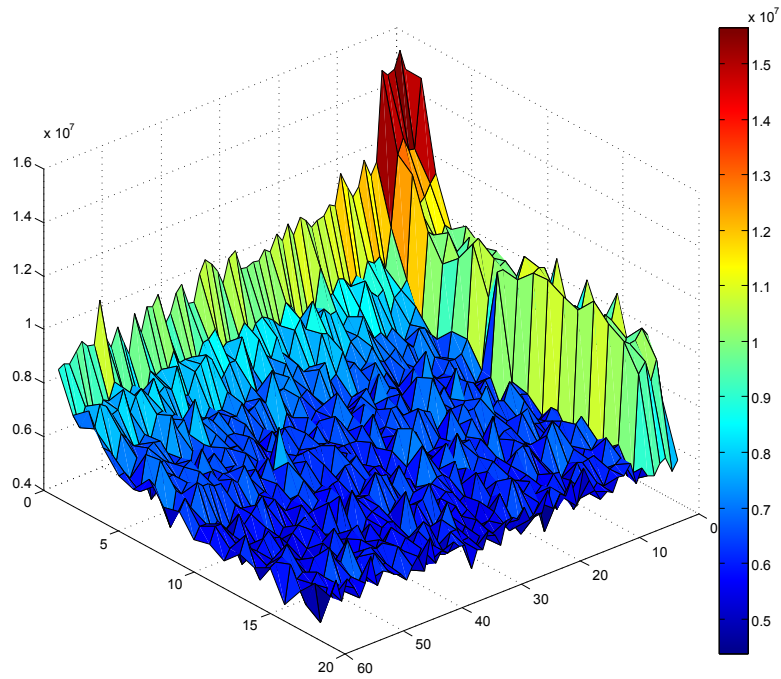


FIGURE IV.31 : Cartographie de la carte montrant la dégradation de la carte au bout de deux semaines de vieillissement

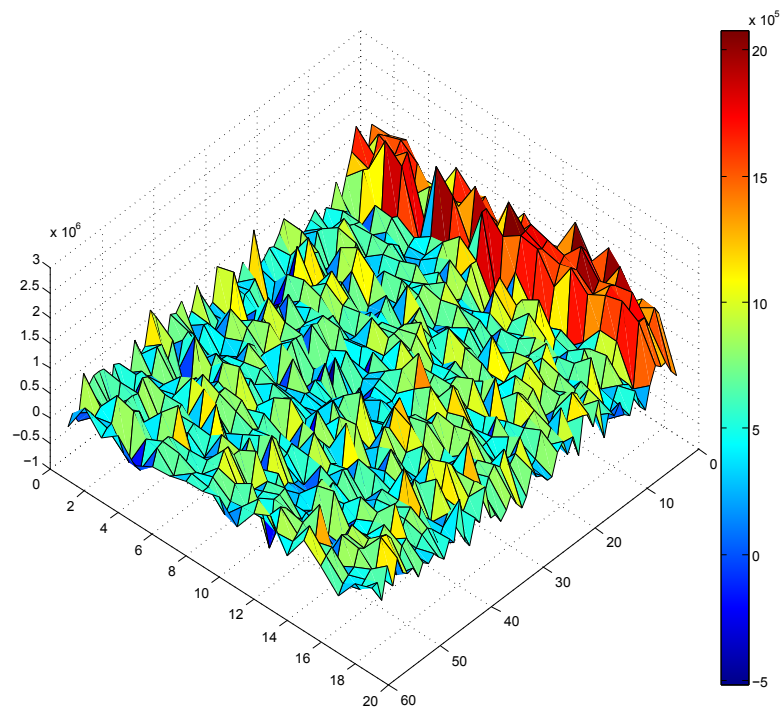


FIGURE IV.32 : Cartographie de la carte montrant la dégradation de la carte lors de la deuxième semaine de vieillissement

Enfin, nous pouvons nous intéresser à l'aspect réversible ou non des dégradations en se penchant sur les figures IV.33 et IV.34. La première de celles-ci nous permet de constater que les zones servant au routage sont les zones qui recouvrent le plus de performances au cours de la phase de régénération. En effet, la totalité de la différence de dégradation avec les blocs non utilisés est regagnée lors de cette étape. Sur la seconde figure, nous pouvons aussi voir que les blocs non utilisés et ceux servant au routage ont subi une dégradation d'environ 2–3MHz tandis que les blocs contenant des oscillateurs en anneau ont vu leurs performances dégradées d'environ 9MHz.

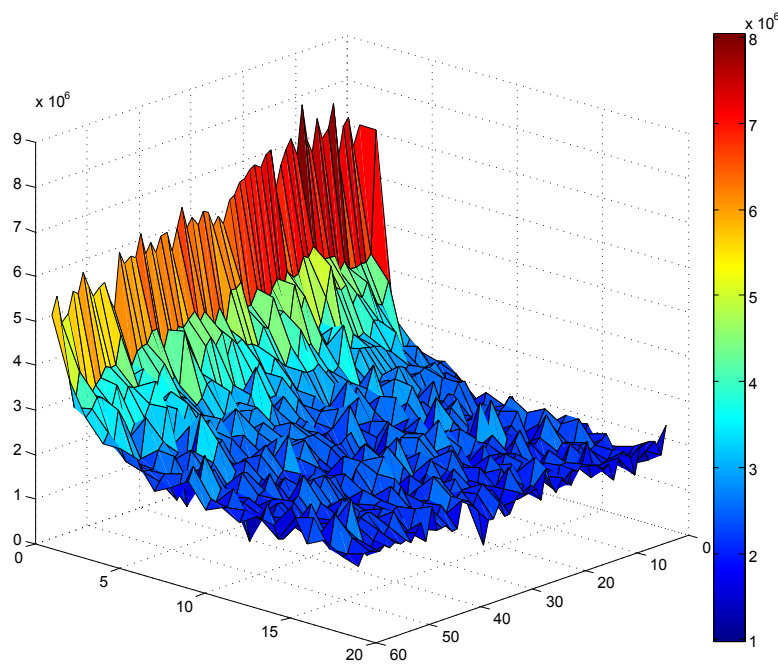


FIGURE IV.33 : Cartographie de la carte montrant le regain de performance après une semaine sans activité

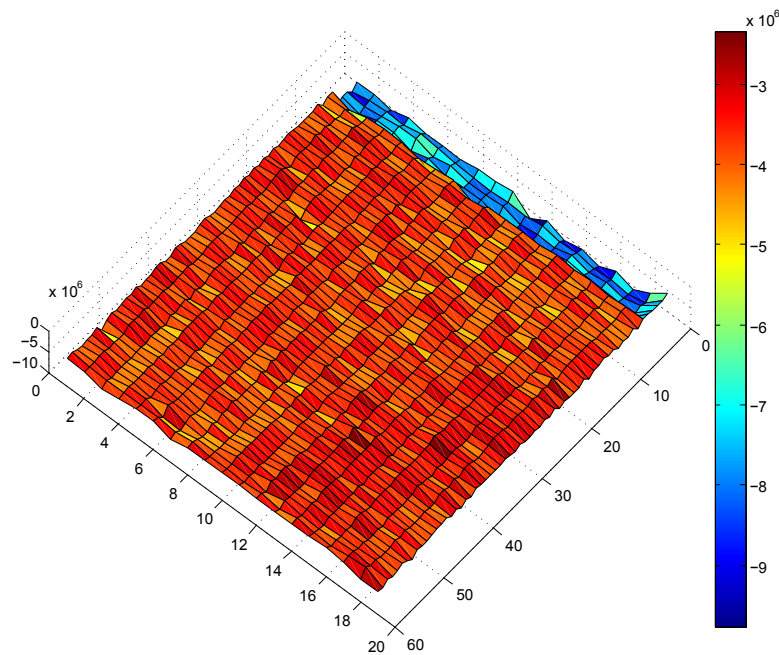


FIGURE IV.34 : Cartographie de la carte montrant la dégradation totale de performances obtenue lors de l'expérience et après une semaine de régénération

**Bilan.** Cette première séquence de vieillissement nous permet de dresser plusieurs constats. Premièrement, nous avons réussi à engendrer et visualiser des dégradations de performances sur notre circuit. De plus, nous avons observé une non-uniformité de ces phénomènes de vieillissement en fonction des zones du FPGA. De même, les zones dégradées n'ont pas été régénérées de manière identique selon l'activité qui leur avait été imposée pendant la phase de stress du circuit. Néanmoins, à la suite de cette première expérimentation, plusieurs points restent à éclaircir :

- De quelle manière évoluent les dégradations lors de la première semaine de stress du circuit ?
- Est-ce que nous aurions observé des variations identiques si les oscillateurs en anneau avaient été placés à une position différente sur le circuit ?
- Est-ce que des dégradations du même ordre de grandeur sont observées si nous changeons de circuit ?
- Ou encore, est-ce que les variations observées dans la zone servant au routage sont vraiment dues au routage ou est-ce que celles-ci sont dues à d'autres phénomènes ? Et comment justifier l'aspect réversible des dégradations de cette zone ?

### IV.3.C.b Séquence de vieillissement 2

**Stratégie.** Afin d'essayer de répondre aux interrogations précédentes, nous avons mené une seconde séquence de vieillissement. Celle-ci utilise des conditions de stress proches de la précédente mis à part la répartition des oscillateurs en anneau qui est réalisée différemment. Cette nouvelle répartition est proposée sur la figure IV.35. Le routage de ces oscillateurs a lui aussi été modifié afin d'éviter de passer par la zone en bordure du circuit qui avait été plus sensible au stress. De plus, il faut noter que le circuit utilisé est différent de celui utilisé lors de la précédente séquence de vieillissement.

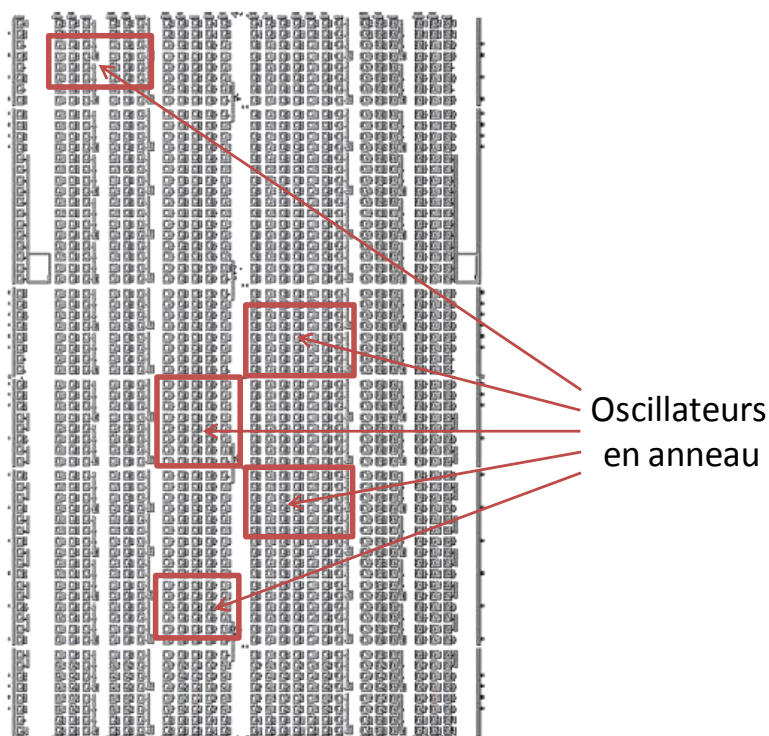


FIGURE IV.35 : Schéma du circuit et placement des différents blocs

Le mécanisme d'enchaînement des différentes phases est lui aussi identique au précédent si ce n'est la durée des phases de vieillissement/régénération qui a été adaptée pour essayer de répondre aux interrogations précédentes. L'intervalle entre les caractérisations lors de ces phases a en effet été modifié. Pour cela, la phase de vieillissement a duré une semaine en totalité et nous sommes venu caractériser le circuit au bout d'une demi journée, une journée puis une fois par jour. De même, lors de la phase

de régénération, nous avons réalisé des cartographies du circuit tous les jours pendant 3 jours.

**Résultats.** Les figures IV.36 à IV.38 présentent chacune la différence de deux cartographies obtenues lors des différentes étapes de caractérisation.

Sur la première de celles-ci, nous pouvons voir que, comme lors de la première séquence de vieillissement, les zones les plus dégradées correspondent aux zones qui ont accueilli des oscillateurs en anneau lors de cette séquence. Nous pouvons donc conclure que les blocs configurables plus sollicités se dégraderont plus rapidement.

Concernant les zones non stimulées lors du vieillissement, nous retrouvons également trois colonnes plus dégradées sur le côté droit du circuit (lignes 1 à 3). Une fois de plus, cette dégradation est réversible, comme nous le montre les figures IV.37 et IV.38. De plus, lors de cette expérimentation, ces colonnes ne sont pas utilisées pour le routage. L'hypothèse faite précédemment ne peut donc pas être retenue. Sans plus de précisions sur l'architecture du FPGA, nous ne pouvons pas à ce jour donner la cause de cette dégradation réversible.

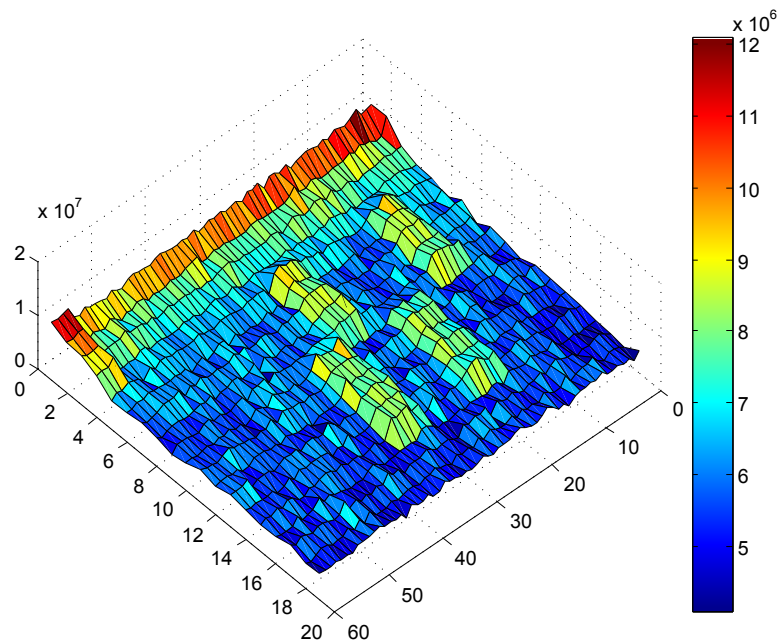


FIGURE IV.36 : Cartographie de la carte montrant la dégradation de la carte au bout d'une semaines de vieillissement



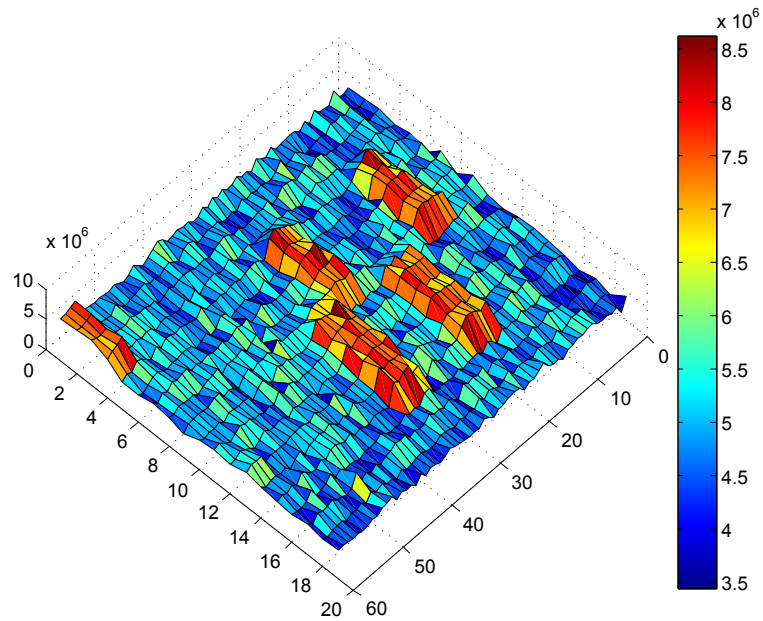


FIGURE IV.37 : Cartographie de la carte montrant la dégradation de la carte au bout d'une semaines de vieillissement et de trois jours de régénération

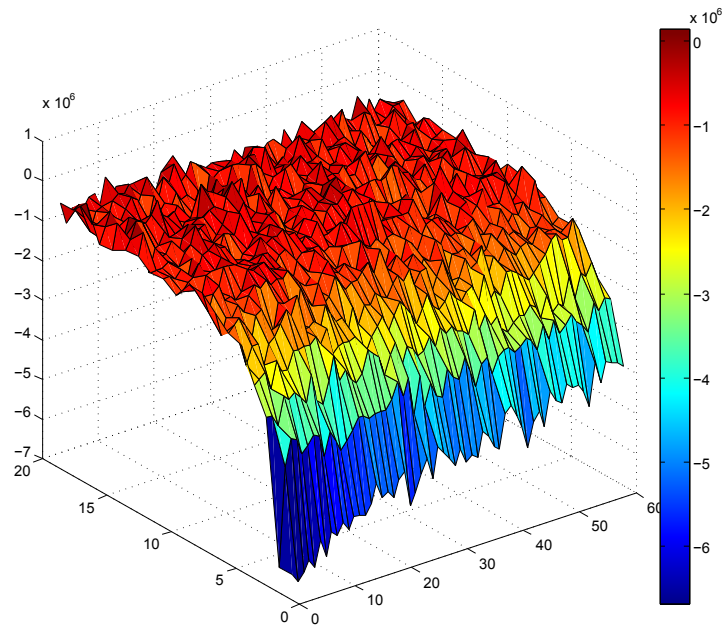


FIGURE IV.38 : Cartographie de la carte montrant la régénération de la carte au bout de trois jours de régénération

Grâce aux différentes cartographies réalisées, nous pouvons également nous intéresser à l'évolution de la dégradation de notre circuit au cours du temps. La figure IV.39 représente l'évolution de la fréquence normalisée au cours du temps pour chacun des blocs reconfigurables accueillant un oscillateur lors de la phase de stress. Nous pouvons faire plusieurs constats. Premièrement, les différents blocs ne vieillissent pas homogènement. En effet, certains d'entre eux subissent une dégradation plus rapide que d'autres même si la tendance reste la même. D'autre part, nous pouvons aussi constater que cette dégradation intervient principalement pendant les premières heures de stress.

De même, nous pouvons nous intéresser au vieillissement des zones non stressées en nous penchant sur la figure IV.40. Celles-ci ont un comportement identiques aux zones stressées tout en ayant une dégradation finale moins importante.

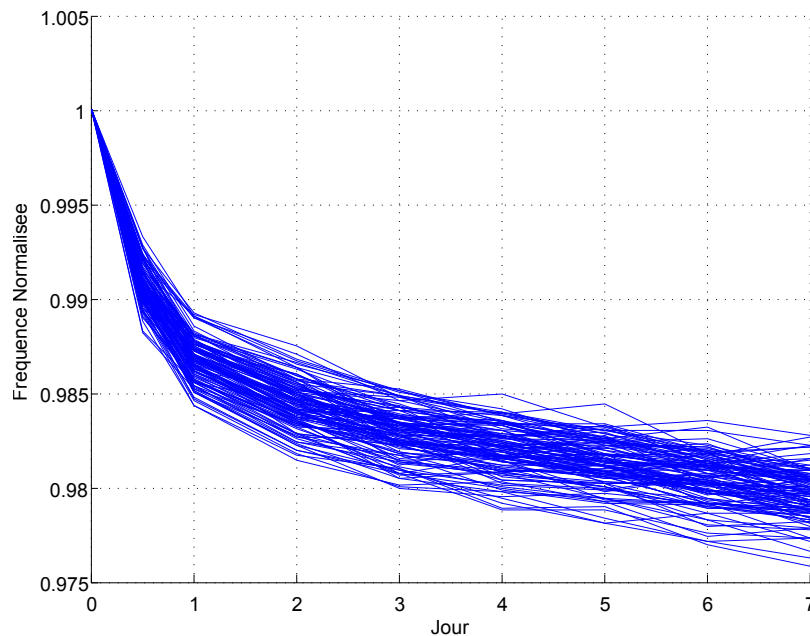


FIGURE IV.39 : Fréquence normalisée en fonction du nombre de jours de vieillissement pour les zones les plus stressées

**Bilan.** Dans cette partie, nous avons pu montrer l'impact du vieillissement sur le circuit. Nous avons également pu montrer de manière formelle l'impact de chacun des deux éléments de stress sur le vieillissement des éléments de notre circuit.



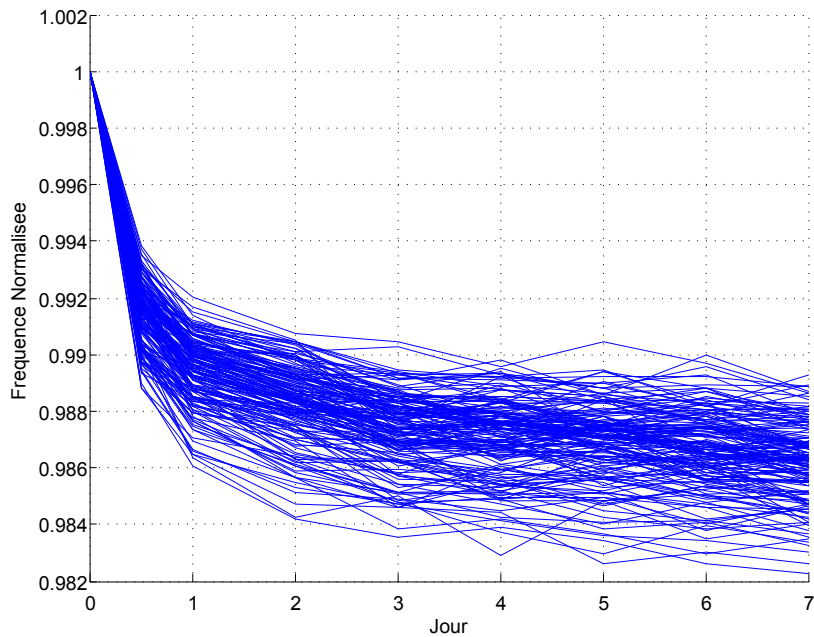


FIGURE IV.40 : Fréquence normalisée en fonction du nombre de jours de vieillissement pour les zones les moins stressées

## IV.4 Conclusion

Dans ce chapitre, nous avons pu voir tous les résultats obtenus durant toute notre étude. Ceux-ci portaient sur toutes les étapes du flot de compensation proposé au début de ce manuscrit.

Dans un premier temps, nous sommes venus caractériser des circuits issus de plusieurs nœuds technologiques. Ces caractérisations ont permis de mettre en évidence des variations de performance entre circuits mais aussi à l'intérieur d'un même circuit. Les variations mesurées sont non négligeables puisque elles dépassent les 10% de variations pour les technologies SRAM et qu'elles sont encore plus importantes en technologie Flash. La nécessité de prendre en compte ces variations lors du placement et du routage d'un système à l'intérieur d'un composant reconfigurable est donc essentiel pour l'obtention de performances optimales.

Dans un second temps, nous nous sommes intéressés à l'utilisation de capteurs en ligne pour maximiser l'utilisation des performances lors de l'utilisation de circuits reconfigurables. Plusieurs capteurs ont été proposés et calibrés pour satisfaire nos exigences en terme de mesure. Ceux-ci ont ensuite été intégrés à l'intérieur d'un système complet comportant plusieurs éléments de calcul. Grâce aux mesures obtenues au cours

de ces expérimentations, il a été possible de mettre en évidence des changements de performances maximales disponibles en fonction des actions exécutées par le système. Ces mesures ont également permis de calculer les variations de tension et de température lors de l'exécution de différentes tâches par le système.

Enfin, nous nous sommes intéressés aux phénomènes de vieillissement. Nous sommes pour cela venu accélérer le vieillissement de notre circuit. Cette accélération de vieillissement a été évaluée et a permis de mettre en évidence l'impact du vieillissement sur différentes zones de notre circuit. Un vieillissement a été observé avec dans les zones stimulées de notre circuit mais aussi dans celles non sollicitées lors de nos expérimentations.

De nombreux résultats ont été exposés dans ce chapitre et nous allons maintenant nous intéresser à la dernière partie de ce manuscrit. Dans celle-ci, nous concluons bien entendu cette étude avant de mettre en perspectives ce travail.



---

# Conclusion et perspectives

## Préambule

*Ce chapitre présente les conclusions de ce manuscrit ainsi que les perspectives de travaux futurs.*

## Sommaire

---

V.1	Conclusion . . . . .	<b>120</b>
V.2	Perspectives . . . . .	<b>121</b>

---

## V.1 Conclusion

Au cours de ces dernières années, l'industrie du semi-conducteur s'est efforcée à réaliser les objectifs fixés par la Loi de Moore à savoir le doublement tous les deux ans de la capacité d'intégration du nombre de transistors dans un circuit. Cet effort d'intégration a vu apparaître de nouvelles problématiques avec entre autres une non homogénéité des performances des circuits dues à des variations de paramètres aussi bien technologiques qu'environnementaux. En effet, même des efforts poussés pendant la phase de conception d'un circuit ne permettent plus de garantir une régularité des performances délivrées par un circuit. De plus, à ces variations technologiques viennent s'ajouter des variations environnementales qui vont elles aussi influencer sur les performances que délivre un circuit.

Afin d'essayer de tirer le meilleur parti de chaque circuit, ce constat a poussé les concepteurs à mettre en place des techniques d'adaptation de circuit. Ces techniques sont notamment basées sur l'utilisation de moniteurs permettant de réaliser des diagnostics sur l'état du circuit. Grâce à ces moniteurs, une unité de gestion peut ensuite entreprendre des actions pour contrer les effets indésirables des variations à l'aide de divers actionneurs.

Dans ce contexte, les FPGA présentent un intérêt de par leur capacité à être reconfigurés pour permettre d'adapter l'implantation physique du système. Dans cette thèse, nous avons donc utilisé ce support technologique afin de répondre à cette problématique.

Dans un premier temps, nous nous sommes demandés comment adapter un système afin de réagir aux différentes variations auxquelles il est soumis (procédé de fabrication, tension, température, vieillissement). Pour cela, nous avons proposé un flot de compensation multi-niveau. Celui-ci permet de considérer les variations de procédé de fabrication lors d'une phase de caractérisation hors-ligne du FPGA. Les variations de tension et de température, quant à elles, sont détectées en ligne grâce à un réseau de capteurs intégré au système à monitorer. Afin de prendre en compte le vieillissement du circuit, lorsque cela est nécessaire et afin de s'adapter à une nouvelle distribution de performances, il est possible de recommencer notre flot depuis la première étape.

D'autre part, nous nous sommes demandés comment mesurer ces variations. Pour cela, les structures existantes ont été étudiées. Il en est ressorti qu'il était nécessaire de redéfinir correctement le contexte de mesure. Ensuite, dans le cadre de notre étude, nous avons comparé plusieurs structures et il en est ressorti que les oscillateurs en anneaux présentaient l'avantage de pouvoir être utilisés dans les deux étapes de notre flot. Nous sommes également revenus sur les différentes étapes de conception de ces circuits. Nous avons aussi analysé la meilleure méthode à utiliser pour récupérer les données issues de

ces capteurs. Dans cette optique, nous avons proposé une méthode de mesure basée sur les émissions électromagnétiques issues de ces capteurs. Cette méthode nous a permis de nous défaire des biais engendrés par les méthodes de mesures proposées dans l'état de l'art.

Grâce à la méthode d'analyse électromagnétique, nous avons pu mener avec succès la caractérisation de FPGA SRAM mais aussi pour la première fois de FPGA Flash. Des variations de plus de 10% ont été observées sur la première technologie tandis que des variations bien supérieures ont été mesurées sur la seconde technologie. De plus, il nous a été possible de réaliser des études de vieillissement de circuit. Il en ressort une non uniformité du vieillissement lorsque le circuit est stressé. Ces deux types de caractérisation nous ont permis de nous conforter dans l'idée qu'il est nécessaire de caractériser les circuits hors-ligne afin de réaliser un placement contraint des blocs critiques de la structure à implémenter sur un circuit.

Enfin, l'utilisation des cartographies issues des étapes précédentes nous a permis d'utiliser un réseau de capteurs afin de mettre en évidence des variations de tension et de température à l'intérieur d'un système multi-processeur lors de son utilisation pour exécuter différentes tâches. Ces données nous permettent de justifier l'importance de monitorer en ligne les performances des différentes zones d'un circuit.

## V.2 Perspectives

Les travaux réalisés pendant cette thèse montrent l'intérêt de réaliser une compensation en plusieurs étapes afin de prendre en compte les diverses variations auxquelles est soumis un système et notamment un système multiprocesseur. Nous avons proposé plusieurs solutions dans ce sens mais il a été nécessaire de faire des choix et certains points ont été laissés de côté. Nous allons donc maintenant aborder ces points d'amélioration tout en mettant en perspectives plusieurs idées afin d'approfondir les recherches sur ce thème.

Tout d'abord, nous avons réalisé plusieurs caractérisations de circuits issus de technologies différentes. Il serait intéressant d'étendre ce type d'étude à un plus grand nombre d'échantillons. De plus, des pistes sont aussi à exploiter du côté des algorithmes de placement de circuit afin d'exploiter au mieux les cartographies réalisées.

En ce qui concerne la partie de gestion en ligne des variations, il reste plusieurs pistes à étudier. En effet, nous avons montré qu'il est possible de mesurer des variations à l'intérieur du circuit lors de l'exécution de différentes tâches. Une autre perspective

serait de mener une étude sur l'utilisation proprement dite des capteurs et notamment afin de connaître le nombre exact de capteurs à utiliser, leur position idéale ou le type de capteur le plus approprié pour mesurer les différentes variations (technologiques et environnementales). Ensuite, d'autres types de capteurs existent à d'autres niveaux d'abstraction (capteurs analogiques, capteurs d'activité...) et une étude comparative des données fournies par ces différents moniteurs pourrait être menée. Dans la même optique, il serait intéressant de s'arrêter sur les méthodes d'utilisation des données issues de ces capteurs et pourquoi pas sur l'utilisation combinée de ces capteurs afin de réaliser notamment de la fusion de données de capteurs. De plus, il serait judicieux de se pencher sur les méthodes de gestion des données issues des capteurs. En effet, nous pouvons nous demander à quelle fréquence il est nécessaire d'échantillonner ces capteurs mais aussi comment il est possible de stocker les données qu'ils fournissent ou encore comment traiter l'historique de ces données? Cela va bien sûr de pair avec un ou plusieurs algorithmes de décision qu'il faudra là aussi déterminer. Enfin, la mise en place d'actionneurs pourra être abordée afin de venir boucler la boucle de compensation.

En outre, si nous revenons sur les études de vieillissement réalisées, nous pouvons noter que la méthodologie utilisée peut être étendue à la caractérisation d'autres causes de modification de caractéristiques et par exemple à l'étude de l'impact des radiations sur les performances des circuits.

En conclusion, ce travail constitue un premier pas vers un système auto-adaptatif constitué d'un réseau de capteurs autonome permettant de gérer au mieux les performances de chaque partie du système. Même si des améliorations sont nécessaires, la méthodologie est désormais mise en place et ré-utilisable afin de parfaire l'extraction et l'exploitation des données de surveillance des différents capteurs.



---

## Bibliographie

- [AKD<sup>+</sup>09] E. Amat, T. Kauerauf, R. Degraeve, A. De Keersgieter, R. Rodriguez, M. Nafria, X. Aymerich, and G. Groeseneken. Channel hot-carrier degradation in short-channel transistors with high-k/metal gate stacks. *IEEE Transactions on Device and Materials Reliability*, 9(3) :425 – 430, 2009. Cité page 104.
- [AS03] Miron Abramovici and Charles E Stroud. BIST-based delay-fault testing in FPGAs. *Journal of Electronic Testing*, 19(5) :549–558, 2003. Cité pages 24, 25, 28, and 135.
- [ASH05] E. Alon, V. Stojanovic, and M.A. Horowitz. Circuits and techniques for high-resolution measurement of on-chip power supply noise. *IEEE Journal of Solid-State Circuits*, 40(4) :820–828, April 2005. Cité page 16.
- [Bak00] A. Bakker. *High-Accuracy CMOS Smart Temperature Sensors*. 2000. Cité page 19.
- [BBA<sup>+</sup>11] Remi Busseuil, Lyonel Barthe, Gabriel Marchesan Almeida, Luciano Ost, Florent Bruguier, Gilles Sassatelli, Pascal Benoit, Michel Robert, and Lionel Torres. Open-Scale : A Scalable, Open-Source NOC-based MPSoC for Design Space Exploration, 2011. Cité page 90.
- [BBGR09] Michael Brown, Cyrus Bazeghi, Matthew R Guthaus, and Jose Renau. Measuring and Modeling Variability using Low-Cost FPGAs. In *FPGA Symposium*, 2009. Cité pages 26, 27, 28, and 135.



- [BBT10] Florent Bruguier, Pascal Benoit, and Lionel Torres. Investigation of Digital Sensors for Variability Characterization on FPGAs. In *Proceedings of the 5th International Workshop on Reconfigurable Communication-centric Systems on Chip 2010 – ReCoSoC'10*, pages 95 – 100, Karlsruhe, Germany, 2010. Cité page 46.
- [Bin10] Enciente Climatique Binder MK 115, 2010. Cité page 70.
- [BLB97a] Eduardo Boemo and Sergio López-Buedo. A Method for Temperature Measurement on Reconfigurable Systems. In *Design of Circuit and Integrated Systems Conference*, pages 727–730, 1997. Cité page 29.
- [BLB97b] Eduardo Boemo and Sergio López-Buedo. Thermal Monitoring on FPGAs Using Ring-Oscillators. In *FPL97*, pages 69–78, 1997. Cité pages 29, 35, 41, and 135.
- [BLB05] Eduardo Boemo and Sergio López-Buedo. Thermal Verification on FPGAs. In *NORCHIP Conference, 2005. 23rd*, pages 48 – 53, 2005. Cité pages 30, 31, 35, and 135.
- [BLS<sup>+</sup>11] V. Bexiga, C. Leong, J. Semiao, I.C. Teixeira, J.P. Teixeira, M. Valdes, J. Freijedo, J.J. Rodriguez-Andina, and F. Vargas. Performance Failure Prediction Using Built-In Delay Sensors in FPGAs. In *2011 21st International Conference on Field Programmable Logic and Applications*, pages 301–304. IEEE, September 2011. Cité pages 24, 25, 28, and 135.
- [Bor05] Shekhar Borkar. Designing reliable systems from unreliable components : the challenges of transistor variability and degradation. *Micro, IEEE*, 25(6) :10–16, 2005. Cité page 14.
- [BVBT11] Lyonel Barthe, Cargnini Luis Vittorio, Pascal Benoit, and Lionel Torres. The SecretBlaze : A Configurable and Cost-Effective Open-Source Soft-Core Processor. In *IEEE IPDPS/RAW*, 2011. Cité page 92.
- [CCP06] Deming Chen, Jason Cong, and Peichen Pan. FPGA Design Automation : A Survey. *Foundations and Trends® in Electronic Design Automation*, 1(3), 2006. Cité page 21.
- [CRH90] P. J. Clarke, A. K. Ray, and C. A. Hogarth. Electromigration—a tutorial introduction. *International Journal of Electronics*, 69(3) :333–338, 1990. Cité page 11.

- [CSZ<sup>+</sup>07] Poki Chen, Mon-Chau Shie, Zhi-Yuan Zheng, Zi-Fan Zheng, and Chun-Yan Chu. A Fully Digital Time-Domain Smart Temperature Sensor Realized With 140 FPGA Logic Elements. *IEEE Transactions on Circuits and Systems I : Regular Papers*, 54(12) :2661–2668, December 2007. Cité pages 33, 34, 35, and 136.
- [DB07] Basab Datta and Wayne P. Burleson. Low power on-chip thermal sensors based on wires. In *2007 IFIP International Conference on Very Large Scale Integration*, pages 258–263. IEEE, October 2007. Cité page 19.
- [DK02] Sandeep Dhar and Bruno Kranzen. Closed-Loop Adaptive Voltage Scaling Controller For Standard-Cell ASICs. In *International symposium on Low power electronics and design*, 2002. Cité pages 17 and 43.
- [Dra08] Alan Drake. Sensors for Critical Path Monitoring. In *Adaptive Techniques for Dynamic Processor Optimization*, Series on Integrated Circuits and Systems, chapter 7, pages 145–174. Springer US, Boston, MA, 2008. Cité page 43.
- [DRS06] Sonia Ben Dhia, Mohamed Ramdani, and Etienne Sicard. *Electromagnetic Compatibility of Integrated Circuits : Techniques for low emission and susceptibility*. Springer, 2006. Cité page 55.
- [DSD<sup>+</sup>07] A. Drake, R. Senger, H. Deogun, G. Carpenter, S. Ghiasi, T. Nguyen, N. James, M. Floyd, and V. Pokala. A Distributed Critical-Path Timing Monitor for a 65nm High-Performance Microprocessor. In *Solid-State Circuits Conference*, pages 398–399, 2007. Cité pages 17 and 43.
- [EDL<sup>+</sup>04] D. Ernst, S. Das, S. Lee, D. Blaauw, T. Austin, T. Mudge, and K. Flautner. Razor : circuit-level correction of timing errors for low-power operation. *IEEE Micro*, 24(6) :10–20, November 2004. Cité page 17.
- [ES07] M. Elgebaly and M. Sachdev. Variation-Aware Adaptive Voltage Scaling System. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 15(5) :560–571, May 2007. Cité page 17.
- [FBPC10] John J. León Franco, Eduardo Boemo, Luis Parrilla, and Encarnación Castillo. Ring oscillators as thermal sensors in fpgas : experiments in low voltage. In *Programmable Logic Conference (SPL), 2010 VI Southern*, pages 133–137, 2010. Cité pages 31 and 35.
- [Gou92] R.R. Goulette. The Measurement Of Radiated Emissions From Integrated Circuits. In *International Symposium on Electromagnetic Compatibility*, pages 340–345. IEEE, 1992. Cité page 55.

- [Gro08] Groupe de travail 2 du Comité commun pour les guides en métrologie. JCGM 200 :2008 Vocabulaire international de métrologie — Concepts fondamentaux et généraux et termes associés (VIM). Technical Report Vim, 2008. Cité page 39.
- [Gui11] 7 Series FPGAs XADC Dual 12-Bit 1MSPS Analog-to-Digital Converter User Guide. Technical report, Xilinx, 2011. Cité page 21.
- [HAP11] Markus Happe, Andreas Agne, and Christian Plessl. Measuring and Predicting Temperature Distributions on FPGAs at Run-Time. In *2011 International Conference on Reconfigurable Computing and FPGAs*, pages 55–60. IEEE, November 2011. Cité pages 33 and 35.
- [Her10] O. O. Richard Herveille. Wishbone System-on-Chip (SoC) Interconnection Architecture for Portable IP Cores, 2010. Cité page 92.
- [HNB08] Matthew Seetharam A. Holtz, Seetharam Narasimhan, and Swarup Bhunia. On-die CMOS voltage droop detection and dynamic compensation. In *Proceedings of the 18th ACM Great Lakes symposium on VLSI - GLSVLSI '08*, page 35, New York, New York, USA, May 2008. ACM Press. Cité page 16.
- [HTH<sup>+</sup>85] Chenming Hu, Simon C. Tam, Fu-Chieh Hsu, Ping-Keung Ko, Tung-Yi Chan, and K.W. Terrill. Hot-Electron-Induced MOSFET Degradation - Model, Monitor, and Improvement. *IEEE Journal of Solid-State Circuits*, 20(1) :295 – 305, 1985. Cité page 11.
- [Int07] Intel Corporation. TeraScale, 2007. Cité page 90.
- [ITR09] International Technology Roadmap for Semiconductors, 2009. Cité page 104.
- [JR02] Joan Daemen and Vincent Rijmen. *The Design of Rijndael : AES - The Advanced Encryption Standard*. Springer, 2002. Cité page 98.
- [KJHP08] Fabian Klass, Ashish Jain, Greg Hess, and Brian Park. An All-Digital On-Chip Process-Control Monitor for Process-Variability Measurements. In *2008 IEEE International Solid-State Circuits Conference - Digest of Technical Papers*, pages 408–623. IEEE, February 2008. Cité pages 18 and 19.
- [KRH<sup>+</sup>05] C.H. Kim, K. Roy, S. Hsu, R.K. Krishnamurthy, and S. Borkar. An on-die CMOS leakage current sensor for measuring process variation in sub-90nm generations. In *2005 International Conference on Integrated Circuit Design and Technology, 2005. ICICDT 2005.*, pages 221–222. IEEE, 2005. Cité page 18.

- [KSM<sup>+</sup>98] Tadahiro Kuroda, Kojiro Suzuki, Shinji Mita, Tetsuya Fujita, Fumiyuki Yamane, Fumihiko Sano, Akihiko Chiba, Yoshinori Watanabe, Koji Matsuda, Takeo Maeda, Takayasu Sakurai, and Tohru Furuyama. Variable Supply-Voltage Scheme for Low-Power High-Speed CMOS Digital Design. 33(3) :454–462, 1998. Cité pages 17 and 43.
- [KTR07] Ian Kuon, Russell Tessier, and Jonathan Rose. FPGA Architecture : Survey and Challenges. *Foundations and Trends® in Electronic Design Automation*, 2(2) :135–253, February 2007. Cité page 21.
- [LB03] Sergio López-Buedo. *Técnicas de Verificación Térmica para Arquitecturas Dinámicamente Reconfigurables*. PhD thesis, 2003. Cité page 42.
- [LBB04] Sergio Lopez-Buedo and Eduardo Boemo. Making visible the thermal behaviour of embedded microprocessors on FPGAs. In *Proceeding of the 2004 ACM/SIGDA 12th international symposium on Field programmable gate arrays - FPGA '04*, page 79, New York, New York, USA, February 2004. ACM Press. Cité pages 30 and 31.
- [LBGB02] S. Lopez-Buedo, J. Garrido, and E.I. Boemo. Dynamically inserting, operating, and eliminating thermal sensors of FPGA-based systems. *IEEE Transactions on Components and Packaging Technologies*, 25(4) :561–566, 2002. Cité pages 30, 35, and 135.
- [LLS05] J. R. Lloyd, E. Liniger, and T. M. Shaw. Simple model for time-dependent dielectric breakdown in inter- and intralevel low-k dielectrics. *Journal of Applied Physics*, 98(8) :1–6, 2005. Cité page 104.
- [LQBM08] Xiaojun Li, Jin Qin, Joseph B Bernstein, and Senior Member. Compact Modeling of MOSFET Wearout Mechanisms for Circuit-Reliability Simulation. *IEEE Transactions on Device and Materials Reliability*, 8(1) :98–121, 2008. Cité page 104.
- [MA89] S. Middelhoek and S. Audet. *Silicon sensors*. 1989. Cité page 19.
- [MCM<sup>+</sup>04] F. Moraes, N. Calazans, A. Mello, L. Moller, and L. Ost. Hermes : an infrastructure for low area overhead packet-switching networks on chip. *the VLSI Journal*, 38(1) :69–93, 2004. Cité page 93.
- [MDEK10] Mehrdad Majzoobi, Eva Dyer, Ahmed Elnably, and Farinaz Koushanfar. Rapid FPGA Delay Characterization Using Clock Synthesis and Sparse Sampling. In *International Test Conference*, pages 457 – 466, 2010. Cité pages 26 and 28.

- [MMS11] A. Maiti, L. McDougall, and P. Schaumont. The Impact of Aging on an FPGA-Based Physical Unclonable Function. In *International Conference on Field Programmable Logic and Applications (FPL)*, pages 151 – 156, 2011. Cité page 103.
- [MOnM<sup>+</sup>08] Cecilia Metra, Martin Omaña, TM Mak, Asifur Rahman, and Simon Tam. Novel On-Chip Clock Jitter Measurement Scheme for High Performance Microprocessors. In *2008 IEEE International Symposium on Defect and Fault Tolerance of VLSI Systems*, pages 465–473. IEEE, October 2008. Cité page 17.
- [MSS<sup>+</sup>08] Mesut Meterelliyoz, Peilin Song, Franco Stellari, Jaydeep P. Kulkarni, and Kaushik Roy. A high sensitivity process variation sensor utilizing sub-threshold operation. In *2008 IEEE Custom Integrated Circuits Conference*, pages 125–128. IEEE, September 2008. Cité page 18.
- [MTRA04] A. Muhtaroglu, G. Taylor, and T. Rahal-Arabi. On-Die Droop Detector for Analog Sensing of Power Supply Noise. *IEEE Journal of Solid-State Circuits*, 39(4) :651–660, April 2004. Cité page 16.
- [Nag07] M. Nagata. On-Chip Measurements Complementary to Design Flow for Integrity in SoCs. In *Design Automation Conference, DAC '07. 44th ACM/IEEE*, pages 400–403, 2007. Cité pages 13, 16, and 135.
- [Nas00] Sani R. Nassif. Design for Variability in DSM Technologies. In *ISQED '00 Proceedings of the 1st International Symposium on Quality of Electronic Design*, page 451. IEEE Computer Society, March 2000. Cité page 9.
- [Nat77] National Bureau of Standards. Data Encryption Standard (DES). *Federal Information Processing Standards Publication*, 1977. Cité page 98.
- [NOT05] M. Nagata, T. Okumoto, and K. Taki. A built-in technique for probing power supply and ground noise distribution within large-scale digital integrated circuits. *IEEE Journal of Solid-State Circuits*, 40(4) :813–819, April 2005. Cité page 16.
- [NVC93] M. Nicolaidis, F. Vargas, and B. Courtois. Design of built-in current sensors for concurrent checking in radiation environments. *IEEE Transactions on Nuclear Science*, 40(6) :1584–1590, 1993. Cité page 17.
- [PH05] Micheal A.P. Pertijs and Johan Huijsing. *Precision temperature sensors in CMOS technology*. Springer, July 2005. Cité page 19.

- [QPZ91] Georges M. Quénot, Nicolas Paris, and Bertrand Zavidovique. A Temperature and Voltage Measurement Cell for VLSI Circuits. In *Euro ASIC'91*, pages 334 – 338, 1991. Cité pages 19 and 42.
- [RAHP12] Christoph Ruething, Andreas Agne, Markus Happe, and Christian Plessl. Exploration of Ring Oscillator Design Space for Temperature Measurements on FPGAs. In *22nd International Conference on Field Programmable Logic and Applications (FPL)*, pages 7–10, 2012. Cité pages 33, 35, and 136.
- [Rho09] Steve Rhoads. Plasma - most mips (tm), 2009. Cité page 93.
- [RKM<sup>+</sup>05] Vijay Reddy, Anand T. Krishnan, Andrew Marshall, John Rodriguez, Sreedhar Natarajan, Tim Rost, and Srikanth Krishnan. Impact of negative bias temperature instability on digital circuit reliability. *Microelectronics Reliability*, 45(1) :31–38, January 2005. Cité page 11.
- [SC06] P Sedcole and Peter Y. K. Cheung. Within-die delay variability in 90nm FPGAs and beyond. In *IEEE International Conference on Field Programmable Technology*, pages 97–104. IEEE, 2006. Cité pages 23, 28, 42, and 135.
- [SC07] Pete Sedcole and Peter Y. K. Cheung. Parametric yield in FPGAs due to within-die delay variations : a quantitative analysis. *International Symposium on Field Programmable Gate Arrays*, 2007. Cité page 23.
- [SC08] Pete Sedcole and Peter Y. K. Cheung. Parametric Yield Modeling and Simulations of FPGA Circuits Considering Within-Die Delay Variations. *ACM Transactions on Reconfigurable Technology and Systems (TRETS)*, 1(2), 2008. Cité page 23.
- [SC09] P Sedcole and Peter Y K Cheung. Within-die delay variability in 90nm FPGAs and beyond. In *ACM Transactions on Reconfigurable Technology and Systems*, volume 2, pages 1–22. ACM, 2009. Cité page 23.
- [SCR97] Vladimir Szckely, Zs. Kohki Cs. MBrta, and Mhrta Rencz. CMOS Sensors for On-Line Thermal Monitoring of VLSI Circuits. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 5(3) :270 – 273, 1997. Cité page 19.
- [She03] K.L. Shepard. On-chip oscilloscopes for noninvasive time-domain measurement of waveforms in digital integrated circuits. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 11(3) :336–344, June 2003. Cité page 16.

- [Sie09] Bernie Siegal. An Introduction to Diode Thermal Measurements. Technical report, Thermal Engineering Associates, Inc., 2009. Cité page 18.
- [SJ11] Moinuddin A. Sayed and Phillip H. Jones. Characterizing Non-ideal Impacts of Reconfigurable Hardware Workloads on Ring Oscillator-Based Thermometers. In *2011 International Conference on Reconfigurable Computing and FPGAs*, pages 92–98. IEEE, November 2011. Cité pages 32 and 35.
- [spa10] Spartan-3 Starter Kit, 2010. Cité pages 53, 69, and 74.
- [Spa11] Spartan-6, 2011. Cité pages 78 and 80.
- [sta09] Spartan-3 Starter Kit Board, 2009. Cité page 46.
- [SWSC10] Edward A Stott, Justin S J Wong, Pete Sedcole, and Peter Y K Cheung. Degradation in FPGAs : Measurement and Modelling. In *Proceedings of the 18th annual ACM/SIGDA international symposium on Field programmable gate arrays*, pages 229–238, 2010. Cité pages 12, 103, and 135.
- [Sys10] Virtex-6 FPGA System Monitor User Guide. Technical report, Xilinx, 2010. Cité page 21.
- [Sys11] Virtex-5 FPGA System Monitor User Guide. Technical report, Xilinx, 2011. Cité pages 21, 22, and 135.
- [Til07] Tiler Corporation. TILE64 Porcessor, 2007. Cité page 90.
- [TMY12] Ghaith Tarawneh, Terrence Mak, and Alex Yakovlev. Intra-Chip Physical Parameter Sensor for FPGAs Using Flip-Flop Metastability. In *22nd International Conference on Field Programmable Logic and Applications (FPL)*, page 7, 2012. Cité pages 26, 27, 28, and 135.
- [Tra12] Transistor Count, 2012. Cité pages 2 and 135.
- [tti12] Alimentation Stabilisée TTi PL303QMD-P, 2012. Cité page 69.
- [UTB<sup>+</sup>06] O.S. Unsal, J.W. Tschanz, K. Bowman, V. De, X. Vera, A. Gonzalez, and O. Ergin. Impact of Parameter Variations on Circuits and Microarchitecture. *IEEE Micro*, 26(6) :30–39, 2006. Cité pages 8, 9, 10, and 135.
- [VHL<sup>+</sup>05] Siva Velusamy, Wei Huang, John Lach, Mircea Stan, and Kevin Skadron. Monitoring Temperature in FPGA based SoCs. *IEEE International Conference on Computer Design*, page 4, 2005. Cité pages 31 and 35.

- [vir11] Xilinx UG190 Virtex-5 FPGA User Guide. Technical report, 2011. Cité page 93.
- [vir12] Virtex-5 OpenSPARC Evaluation Platform, 2012. Cité page 93.
- [WC01] D.M.H. Walker and D. Colby. A practical built-in current sensor for I/sub DDQ/ testing. In *Proceedings International Test Conference 2001 (Cat. No.01CH37260)*, pages 405–414. IEEE, 2001. Cité page 17.
- [WE93] N. Weste and K. Eshraghian. *Principles of CMOS VLSI Design*. Addison-we edition, 1993. Cité page 57.
- [WN95] W Wójciak and A Napieralski. An analogue temperature sensor integrated in the CMOS technology. In *1st THERMINIC Workshop*, 1995. Cité page 19.
- [WRBK08] Wenping Wang, Vijay Reddy, Varsha Balakrishnan, and Srikanth Krishnan. Statistical prediction of circuit aging under process variations. In *2008 IEEE Custom Integrated Circuits Conference*, pages 13–16. IEEE, September 2008. Cité pages 9, 10, and 135.
- [WSC07] Justin S. J. Wong, Pete Sedcole, and Peter Y. K. Cheung. Self-characterization of Combinatorial Circuit Delays in FPGAs. In *2007 International Conference on Field-Programmable Technology*, pages 17–23. IEEE, December 2007. Cité pages 25, 26, 28, and 135.
- [WV08] Chai Wah Wu and Dinesh Verma. A sensor placement algorithm for redundant covering based on Riesz energy minimization. In *IEEE International Symposium on Circuits and Systems, ISCAS*, pages 2074–2077, 2008. Cité page 98.
- [XC398] XC3000 Series Field Programmable Gate Arrays, 1998. Cité page 29.
- [Xil10] Xilinx. MicroBlaze Processor Reference Guide v11.1, 2010. Cité page 92.
- [xil12] Xilinx, 2012. Cité page 46.
- [XZLG05] Tian Xia, Hao Zheng, Jing Li, and A. Ginawi. Self-Refereed On-Chip Jitter Measurement Circuit Using Vernier Oscillators. In *IEEE Computer Society Annual Symposium on VLSI : New Frontiers in VLSI Design (ISVLSI'05)*, pages 218–223. IEEE, 2005. Cité page 17.
- [YLY01] Y. C. Yeo, Q. Lu, and C. Yu. MOSFET gate oxide reliability : Anode hole injection model and its applications. *International Journal of High Speed Electronics and Systems*, 3(11) :849– 886, 2001. Cité page 11.



- [YXL10] Haile Yu, Qiang Xu, and Philip H W Leong. Fine-Grained Characterization of Process Variation in FPGAs. In *Field-Programmable Technology (FPT'10)*, pages 138 – 145, 2010. Cité pages 24, 28, and 42.
- [ZH10] Kenneth M Zick and John P Hayes. On-Line Sensing for Healthier FPGA Systems. In *2010 International Symposium on Field-Programmable Gate Arrays*, pages 239 – 248, 2010. Cité pages 24, 32, 35, and 135.
- [ZH12] Kenneth M. Zick and John P. Hayes. Low-cost sensing with ring oscillator arrays for healthier reconfigurable systems. *ACM Transactions on Reconfigurable Technology and Systems*, 5(1) :1–26, March 2012. Cité pages 24 and 32.



---

## Liste des publications

### Journaux internationaux

1. Gabriel Marchesan Almeida, Remi Busseuil, Luciano Ost, Florent Bruguier, Gilles Sassatelli, Pascal Benoit, Lionel Torres, Michel Robert, “PI and PID Regulation Approaches for Performance-Constrained Adaptive Multiprocessor System-on-Chip” , Embedded Systems Letters, IEEE, September 2011, Volume : 3, Issue : 3, pp. 77-80

### Conférences internationales

1. Florent Bruguier, Jimmy Tarrillo, Fernanda Lima Kastensmidt, Morgan Bourrée, Pascal Benoit, Lionel Torres, "Using Electromagnetic Emanations for Variability Characterization in Flash-Based FPGAs", IEEE Computer Society Annual Symposium on VLSI : ISVLSI 2013, pp.1-6, en attente d'acceptation
2. Remi Busseuil, Lionel Barthe, Gabriel Marchesan Almeida, Luciano Ost, Florent Bruguier, Gilles Sassatelli, Pascal Benoit, Michel Robert, Lionel Torres, “Open-Scale : A Scalable, Open-Source NOC-based MPSoC for Design Space Exploration” , IEEE International Conference on Reconfigurable Computing and FPGAs (ReConFig), 2011, Cancun, Mexique, pp.357-362
3. Florent Bruguier, Pascal Benoit, Philippe Maurine, Lionel Torres, “A New Process

Characterization Method for FPGAs Based on Electromagnetic Analysis”, IEEE FPL’11 : Field Programmable Logic and Applications, 2011, Chania, Greece, pp.20-23

## **Workshops européens**

1. Morgan Bourrée, Florent Bruguier, Lyonel Barthe, Pascal Benoit, Philippe Maurine, Lionel Torres, "SECNUM : an Open Characterizing Platform for Integrated Circuits", European Workshop on Microelectronics Education (EWME), 2012, Grenoble, France, pp.88-91
2. Florent Bruguier, Pascal Benoit, Philippe Maurine, Lionel Torres, "A novel Process Characterisation Method for FPGAs based on Electromagnetic Analysis", 2nd European Workshop on CMOS Variability : VARI 2011, Grenoble, France, pp.1-6
3. Florent Bruguier, Pascal Benoit, Lionel Torres, "Investigation of Digital Sensors for Variability Characterization on FPGAs" , ReCoSoC'10 : 5th International Workshop on Reconfigurable Communication-Centric Systems on Chip, Karlsruhe, Allemagne, pp. 95-100

## **Conférences nationales**

1. Morgan Bourrée, Florent Bruguier, Lionel Barthe, Pascal Benoit, Philippe Maurine, Lionel Torres, "SECNUM : an Open Characterizing Platform for Integrated Circuits" , Colloque National du GDR SOC-SiP, Paris, France, 2012, pp. 1-2
2. Florent Bruguier, Pascal Benoit, Philippe Maurine, Lionel Torres, "EMA : a Key to Characterizing Process in FPGAs," in Journées Electroniques couplées Club EEA – GDR SoC-SiP – GDR SEEDS – CNFM : Technologies émergentes et Green SoC-SiP, Montpellier, France, 2011, pp. 1-2.
3. Florent Bruguier, Pascal Benoit, Lionel Torres, "Capteurs Numériques pour la Gestion de Variations sur Circuits Logiques Programmables", Journées Nationales du Réseau Doctoral en microélectronique : JNRDM, 2011, Cachan, France
4. Florent Bruguier, Pascal Benoit, Philippe Maurine, Lionel Torres, "EMA : a Key to Characterizing Process in FPGAs" , Colloque National du GDR SOC-SiP, Lyon, France, 2011
5. Florent Bruguier, Pascal Benoit, Lionel Torres, "A Variability Compensation Flow for FPGAs" , Colloque National du GDR SOC-SiP, Cergy, France, 9-11 juin 2010



---

## Table des figures

I.1	Nombre de transistors dans les microprocesseurs et loi de Moore (source : [Tra12])	2
I.2	Représentation d'une chaîne d'adaptation . . . . .	4
I.3	Flot d'adaptation complet . . . . .	5
II.1	Proposition de classification des sources de variations [UTB <sup>+</sup> 06] . . . . .	9
II.2	Couples (Consommation statique, Fréquence maximale) pour un lot d'oscillateurs identiques issus de la même chaîne de fabrication [WRBK08] . . .	10
II.3	Mécanismes de dégradation (source : [SWSC10]) . . . . .	12
II.4	Mesure de chutes de tension à l'intérieur d'un processeur (source : [Nag07]) . .	13
II.5	Architecture d'un FPGA Spartan3 Xilinx (source : Xilinx) . . . . .	20
II.6	Structure d'un moniteur système incluant des capteurs de tension et de température (source : [Sys11]) . . . . .	22
II.7	Circuit de mesure de fréquence d'oscillation proposé par [SC06] . . . . .	23
II.8	Circuit de mesure de délai proposé par [AS03] . . . . .	25
II.9	Circuit de mise en évidence de vieillissement proposé par [BLS <sup>+</sup> 11] . . . . .	25
II.10	Circuit de détection d'erreurs proposé par [WSC07] . . . . .	26
II.11	Circuit de comparaison de vitesse de propagation proposé par [BBGR09] . . . .	27
II.12	Circuit de mesure basé la métastabilité de deux signaux proposé par [TMY12] . .	27
II.13	Circuit de mesure de température proposé par [BLB97b] . . . . .	29
II.14	Succession des différentes configurations (source : [LBGB02]) . . . . .	30
II.15	Circuit de mesure de fréquence proposé par [BLB05] . . . . .	31
II.16	Circuit de mesure de tension et de température (source : [ZH10]) . . . . .	32

II.17	Circuit de mesure proposé par [RAHP12] . . . . .	33
II.18	Circuit de mesure de délai proposé par [CSZ <sup>+</sup> 07] . . . . .	34
III.1	Structure d'une chaîne d'acquisition . . . . .	40
III.2	Schéma de principe d'un oscillateur en anneau . . . . .	42
III.3	Capteur de temps de parcours . . . . .	44
III.4	Comparaison de cartographies entre plusieurs cartes . . . . .	48
III.5	Configuration de départ pour réaliser une mesure . . . . .	49
III.6	Mesure avec le capteur "seul" . . . . .	50
III.7	Mesure avec capteur et diviseur de fréquence . . . . .	51
III.8	Mesure avec capteur, système d'acquisition et de communication . . . . .	53
III.9	Impact de la position des sous-systèmes sur la mesure . . . . .	54
III.10	Système de mesure électromagnétique . . . . .	56
III.11	Système de mesure de la puissance consommée . . . . .	57
III.12	Comparaison des FFT pour la puissance consommée et les émanations électromagnétiques . . . . .	58
III.13	Flot de compensation multi-niveau . . . . .	61
III.14	Monitoring de performances hors ligne et en ligne . . . . .	62
IV.1	Carte Spartan-3 modifiée pour permettre une alimentation externe du circuit . . . . .	69
IV.2	Fréquence normalisée de l'oscillateur en fonction de la tension d'alimentation pour un oscillateur en anneau implanté sur un circuit Spartan-3 . . . . .	70
IV.3	Fréquence normalisée de l'oscillateur en fonction de la température pour un oscillateur en anneau implanté sur un circuit Spartan-3 . . . . .	71
IV.4	Système de contrôle de l'environnement du circuit . . . . .	72
IV.5	Répartition des slices à l'intérieur du CLB . . . . .	75
IV.6	Cartographie du FPGA Spartan-3 numéro 2 . . . . .	76
IV.7	Distribution des fréquences des oscillateurs implantés sur le FPGA Spartan-3 numéro 2 . . . . .	77
IV.8	Cartographie du FPGA Spartan-3 numéro 1 . . . . .	78
IV.9	Cartographie du FPGA Spartan-3 numéro 6 . . . . .	79
IV.10	Répartition des slices à l'intérieur du CLB . . . . .	79
IV.11	Cartographie du FPGA Spartan-6 numéro 1 . . . . .	80
IV.12	Histogramme du FPGA Spartan-6 numéro 1 . . . . .	81
IV.13	Cartographie des slices X associés aux slices L pour le FPGA Spartan-6 numéro 2 . . . . .	83
IV.14	Cartographie des slices X associés aux slices M pour le FPGA Spartan-6 numéro 2 . . . . .	84
IV.15	Schéma d'un bloc reconfigurable VersaTile . . . . .	85
IV.16	Structure des 3 oscillateurs . . . . .	85

IV.17 Configuration de placement vertical . . . . .	86
IV.18 Configuration de placement horizontal . . . . .	86
IV.19 Cartographie du circuit Flash n°1 . . . . .	88
IV.20 Cartographie du circuit Flash n°2 . . . . .	89
IV.21 Vue d'ensemble de l'architecture utilisée . . . . .	91
IV.22 Représentation d'une unité de calcul réseau de l'architecture utilisée . . . . .	92
IV.23 Performances du capteur Ring 3 . . . . .	96
IV.24 Représentation d'une unité de calcul réseau de l'architecture utilisée incluant l'interface avec les oscillateurs en anneau . . . . .	97
IV.25 Représentation du système complet placé routé . . . . .	99
IV.26 Représentation temporelle de la fréquence pour les 28 capteurs de type Ring 3 .	100
IV.27 Représentation temporelle de la fréquence d'un des 28 capteurs de type Ring 3 .	101
IV.28 Schéma du circuit et placement des différents blocs . . . . .	106
IV.29 Organisation de la séquence de vieillissement 1 . . . . .	107
IV.30 Cartographie de la carte montrant la dégradation de la carte au bout d'une semaine de vieillissement . . . . .	108
IV.31 Cartographie de la carte montrant la dégradation de la carte au bout de deux semaines de vieillissement . . . . .	109
IV.32 Cartographie de la carte montrant la dégradation de la carte lors de la deuxième semaine de vieillissement . . . . .	109
IV.33 Cartographie de la carte montrant le regain de performance après une semaine sans activité . . . . .	110
IV.34 Cartographie de la carte montrant la dégradation totale de performances obtenue lors de l'expérience et après une semaine de régénération . . . . .	111
IV.35 Schéma du circuit et placement des différents blocs . . . . .	112
IV.36 Cartographie de la carte montrant la dégradation de la carte au bout d'une semaines de vieillissement . . . . .	113
IV.37 Cartographie de la carte montrant la dégradation de la carte au bout d'une semaines de vieillissement et de trois jour de régénération . . . . .	114
IV.38 Cartographie de la carte montrant la régénération de la carte au bout de trois jours de régénération . . . . .	114
IV.39 Fréquence normalisée en fonction du nombre de jours de vieillissement pour les zones les plus stressées . . . . .	115
IV.40 Fréquence normalisée en fonction du nombre de jours de vieillissement pour les zones les moins stressées . . . . .	116

---

## Liste des tableaux

II.1	Evolution de la fréquence maximale du circuit ainsi que de sa consommation pour une augmentation de chacun des paramètres . . . . .	15
II.2	Comparaison générale des méthodes de mesure . . . . .	28
II.3	Comparaison générale des méthodes de mesure . . . . .	35
III.1	Comparaison générale des capteurs . . . . .	47
III.2	Comparaison générale des méthodes de mesure . . . . .	60
IV.1	Sources d'incertitude . . . . .	73
IV.2	Résultats de caractérisation de plusieurs cartes . . . . .	75
IV.3	Résultats de caractérisation de plusieurs cartes (Colonnes Slices X et L) . . . . .	82
IV.4	Résultats de caractérisation de plusieurs cartes (Colonnes Slices X et M) . . . . .	82
IV.5	Résultats de cartographie en technologie Flash 130nm . . . . .	87
IV.6	Oscillateurs en anneau proposés . . . . .	94
IV.7	Oscillateurs en anneau proposés . . . . .	96
IV.8	Valeurs mesurées en sortie d'un des 28 capteurs . . . . .	100
IV.9	Variations de température et de tension mesurée pour chaque tâche pour un des 28 capteurs . . . . .	101
IV.10	Variations de température et de tension mesurée pour chaque tâche pour un des 28 capteurs . . . . .	102
IV.11	Temps avant défaut pour chacun des phénomènes de vieillissement . . . . .	104
IV.12	Valeurs mesurées en sortie du capteur pour chaque tâche . . . . .	105
IV.13	Accélération des phénomènes de vieillissement . . . . .	105

## Abstract

Modern circuits are more and more sensitive to environmental and technology changes. In this context, reprogrammable components like FPGAs represent an interesting technological support. Indeed, these components can adapt the physical layout of the system through a simple reconfiguration of the circuit. In this manuscript, we present a comprehensive adaptative flow to compensate the variations in reconfigurable circuits. For this, a study of all phases of digital sensor design is realized. We then propose a novel and unique characterization approach based on the electromagnetic analysis. It is particularly shown that this approach allows to get rid of measurement bias caused by direct measurement. The joint use of sensors and the method of analysis allows a detailed and accurate characterization of technological variations of any type of FPGA. Finally, the cartography issued from the characterization phase is then used to calibrate the sensors for online use. Then, we employ these sensors for monitoring the dynamics of a system MPSOC.

**Keywords:** *Variability, FPGA, Sensor, Auto-adaptive System, Characterization, Monitoring*

## Résumé

Les circuits modernes sont de plus en plus sensibles aux variations technologiques et environnementales qui n'ont plus seulement un effet global sur les circuits mais aussi un effet local sur ceux-ci. Dans ce contexte, les composants reprogrammables que sont les FPGA représentent un support technologique intéressant. En effet, ces composants permettent d'adapter l'implantation physique du système grâce à une simple reconfiguration du circuit. C'est pourquoi, dans ce manuscrit, nous présentons un flot d'adaptation complet visant à compenser les variations des circuits reconfigurables. Pour cela, une étude de toutes les phases de conception des capteurs numériques est réalisée. Nous proposons ensuite une approche originale et unique de caractérisation basée sur l'analyse électromagnétique. Il est notamment montré que cette approche permet de se défaire des biais de mesure engendrés par les méthodes de mesure directe. L'utilisation conjointe des capteurs et de cette méthode d'analyse permet une caractérisation fine et précise des variations technologiques de n'importe quel type de circuit FPGA. Enfin, la cartographie issue de la phase de caractérisation permet ensuite de calibrer les capteurs pour une utilisation en ligne. Nous utilisons donc ensuite ces capteurs pour le monitoring dynamique d'un système MPSOC.

**Mots clefs:** *Variabilité, FPGA, Capteur, Système auto-adaptatif, Caractérisation, Monitoring*