Caractérisation Électrique et Modélisation du Transport dans les Dispositifs CMOS Avancés

Mikaël Cassé

▶ **To cite this version:**

Mikaël Cassé. Caractérisation Électrique et Modélisation du Transport dans les Dispositifs CMOS Avancés. Micro et nanotechnologies/Microélectronique. Université de Grenoble, 2014. tel-00974652

HAL Id: tel-00974652

https://theses.hal.science/tel-00974652

Submitted on 7 Apr 2014

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

UNIVERSITÉ DE GRENOBLE

MÉMOIRE

Pour obtenir l'

HABILITATION À DIRIGER DES RECHERCHES

par

Mikaël CASSÉ

École Doctorale
Électronique, Électrotechnique, Automatique, Traitement du Signal (EEATS)

Caractérisation Électrique et Modélisation du Transport dans les Dispositifs CMOS Avancés

Soutenue publiquement le **18 mars 2014**,
devant le jury composé de :

M. Olivier BONNAUD
Professeur Université de Rennes 1 et Supelec-Rennes, Président

M. Arnaud BOURNEL
Professeur IEF Orsay, Rapporteur

M. Emmanuel DUBOIS
DR CNRS IEMN Villeneuve d'Ascq, Rapporteur

M. Gérard GHIBAUDO
DR CNRS IMEP-LAHC Grenoble, Rapporteur

Mme Daniela MUNTEANU
DR CNRS IM2NP Marseille, Examinatrice

Mikaël CASSÉ : *Caractérisation Électrique et Modélisation du Transport dans les Dispositifs CMOS Avancés* , Habilitation à Diriger des Recherches, © Novembre 2013

RÉSUMÉ

La micro-électronique est considérée comme une technologie révolutionnaire compte-tenu de la dynamique qu'elle a insufflée à l'économie mondiale depuis l'invention du circuit intégré dans les années 50. Jusqu'à récemment, les défis technologiques relevés ont consisté à conserver une ligne directrice de développement fondée sur une simple réduction des dimensions du transistor MOS, faisant basculer la micro-électronique dans l'ère de la nanoélectronique. Industriels et chercheurs tentent aujourd'hui de repousser les limites physiques imposées par la réduction d'échelle en agissant sur différents leviers technologiques, afin d'améliorer les performances des dispositifs sans avoir à en réduire les dimensions.
Les travaux présentés résument mon activité de recherche menée au CEA-Léti depuis 2001, dans le contexte général du développement des technologies CMOS pour les nœuds avancés (*i.e.* le 65nm pour le début des années 2000, le 14nm et en deçà à l'heure actuelle), avec un focus plus particuliers sur l'étude du transport dans le canal des transistors MOS. Trois voies principales ont été explorées, et seront analysées et commentées :

- les nouveaux matériaux de grille, avec l'introduction des oxydes à forte permittivité (high-κ) et des grilles métalliques.
- l'ingénierie de la mobilité, avec entre autres l'utilisation de matériaux à plus forte mobilité comme les alliages SiGe, ou encore l'exploitation des contraintes.
- les nouvelles architectures de transistor, avec la réalisation de films minces et de transistors multi-grilles ou à grille enrobante.

And now for
something completely different...

— Monty Python's Flying Circus.

TABLE DES MATIÈRES

I PRÉSENTATION DE MES TRAVAUX DE RECHERCHE 1

1 INTRODUCTION 3
- 1.1 Contexte . . . 3
  - 1.1.1 Enjeux économiques et technologie CMOS . . . 3
  - 1.1.2 Réduction des dimensions, performances et fiabilité . . . 4
- 1.2 Quelques notions sur le transport . . . 5
  - 1.2.1 Définition de la mobilité . . . 6
  - 1.2.2 Les mécanismes de diffusion . . . 6
- 1.3 Transistors nanométriques et problématiques associées . . . 7
  - 1.3.1 Du transport diffusif au transport balistique . . . 7
  - 1.3.2 Extraction des paramètres de transport dans les MOSFETs nanométriques 8
- 1.4 Présentation de mes recherches dans ce contexte . . . 9
  - 1.4.1 Technologie, caractérisation électrique et modélisation . . . 10
  - 1.4.2 Organisation du manuscrit . . . 11

2 NOUVEAUX EMPILEMENTS DE GRILLE : DIÉLECTRIQUES HIGH-κ ET GRILLES MÉTALLIQUES 13
- 2.1 Introduction : Optimisation de l'empilement de grille . . . 13
- 2.2 Grilles métal . . . 14
  - 2.2.1 Grilles métalliques nitrurées . . . 14
  - 2.2.2 Additifs de grille : La, Al, MgO... . . . 23
  - 2.2.3 Des voies inexplorées . . . 27
- 2.3 Diélectriques high-k . . . 27
  - 2.3.1 Le cas HfO_2 . . . 29
  - 2.3.2 Diélectriques à base d'hafnium : hétérogénéités, process froid . . . 35
  - 2.3.3 Diélectriques à base d'hafnium : effet de la nitruration . . . 36
- 2.4 Conclusion et perspectives . . . 38

3 OPTIMISATION DU TRANSPORT : NOUVEAUX MATÉRIAUX, SI CONTRAINT 47
- 3.1 Introduction . . . 47
- 3.2 Si contraint . . . 48
  - 3.2.1 Coefficients piézorésistifs et théorie . . . 48
  - 3.2.2 Application aux MOSFETs : contraintes biaxiales, uniaxiales . . . 49
  - 3.2.3 Dispositifs sSOI . . . 52
  - 3.2.4 Magnétorésistance . . . 53
- 3.3 Canaux $Si_{1-x}Ge_x$ . . . 55
  - 3.3.1 Dispositifs à canal long : Étude des mécanismes de diffusion . . . 56
  - 3.3.2 Dispositifs à canal court . . . 58
  - 3.3.3 Coefficients piézorésitifs . . . 60
- 3.4 Conclusion et perspectives . . . 62

4 ARCHITECTURES AVANCÉES : DU FDSOI AUX TRANSISTORS NANOFILS 69
- 4.1 Introduction . . . 69
- 4.2 La technologie film mince sur isolant (SOI) . . . 70
  - 4.2.1 L'effet de couplage . . . 70
  - 4.2.2 Transport dans les dispositifs sur films minces . . . 72
  - 4.2.3 BOX minces, transistors hybrides, et autres considérations . . . 74
- 4.3 Nanofils Si : le Silicium sous toutes ses facettes . . . 75
  - 4.3.1 Caractérisation des pièges d'interface . . . 75
  - 4.3.2 Etude du transport . . . 78

4.4 Conclusion et perspectives 87
5 CONCLUSION ET PERSPECTIVES 97
5.1 Conclusions 97
5.2 Perspectives de recherche 97

ii CURRICULUM VITÆ 101
6 CV DÉTAILLÉ 103
6.1 Formation 103
6.2 Situation professionnelle depuis ma thèse 103
6.3 Expérience pédagogique 103
6.4 Activités de recherche 104
6.4.1 Activités doctorales (1997-2001) 104
6.4.2 Activités au Département des Nanotechnologies du CEA-Léti (depuis 2001) 105
6.4.3 Conclusion et Perspectives de recherche 109
6.5 Responsabilités collectives 110
6.6 Encadrements et rayonnement 111
6.6.1 Encadrements 111
6.6.2 Jury de thèse, hors thèses encadrées 112
6.6.3 Prix et Reconnaissances 112
6.6.4 Activité de relecture d'articles et d'évaluation 112
6.7 Soutiens financiers et valorisation - Projets et contrats 112
6.7.1 Projets Européens 112
6.7.2 Projets Industriels 113
6.7.3 Accords Léti, Alliances 113
6.8 Publications et communications 113
6.8.1 Communications orales invitées 113
6.8.2 Chapitres de livre 114
6.8.3 Revues internationales avec comité de lecture 114
6.8.4 Conférences internationales avec comité de lecture 116

iii ANNEXES 123
A SÉLECTION DE PUBLICATIONS SIGNIFICATIVES 125

GLOSSAIRE ET ACRONYMES

AFM Atomic Force Microscope

BOX Buried OXide

CMOS Complementary Metal-Oxide-Semiconductor

CNL Charge Neutrality Level

CP Charge Pumping

CESL Contact Etch Stop Layer

DFEH Dark Field Electron Holography

EOT Equivalent Oxide Thickness

FDSOI Fully Depleted Silicon On Insulator

GAA Gate-all-around

GIFBE gate-induced floating-body effect

HAADF STEM High Angular Annular Dark Field Scanning Tunneling Electron Microscopy

HRTEM High Resolution Transmission Electron Microscope

ITRS International Technology Roadmap for Semiconductors

MOS Metal-Oxide-Semiconductor

MOSFET Metal-Oxide-Semiconductor Field Effect Transistor

NBED Nano-Beam Electron Diffraction

NBTI Negative Bias Temperature Instability

PDSOI Partially Depleted Silicon On Insulator

SOI Silicon On Insulator

sSOI strained Silicon On Insulator

TEM Transmission Electron Microscope

D_{it} Density of interface states

high-κ high permittivity oxide

bulk fait référence au silicium massif, par opposition au silicium en couche mince

Première partie

PRÉSENTATION DE MES TRAVAUX DE RECHERCHE

1 INTRODUCTION

Les travaux présentés dans ce mémoire résument mon activité de recherche menée au CEA-Léti depuis 2001, en vue de l'obtention de l'Habilitation à Diriger des Recherches. Le contexte général de ces travaux est le développement des technologies CMOS pour les nœuds avancés, avec un *focus* plus particuliers sur l'étude du transport dans le canal des transistors MOS. Il est assez ironique pour quelqu'un qui n'a jamais été transporté par les cours d'électronique de travailler sur sa brique la plus fondamentale : le transistor MOS. Mais en fait il s'agit bel et bien de nanotechnologie et de nanosciences. Les verrous technologiques à dépasser font aujourd'hui appel à la physique des semi-conducteurs, voire à la physique du solide et la physique quantique pour les concepts les plus avancés. D'un autre côté, et c'est ce qui fait l'intérêt de ce domaine de recherche, il faut toujours garder en ligne de mire l'industrialisation des procédés de fabrication (incluant la compatibilité des matériaux mais aussi le coût de production), les spécifications de performances pour des applications données (logique haute performance, faible consommation en fonctionnement,...)... Mais finalement, de la contrainte naît l'innovation.
Ce chapitre détaille le contexte international et local dans lequel ont démarrées ces recherches, et jette les bases de la problématique du transport dans les dispositifs avancés. Je donne ensuite une vue d'ensemble de mon travail de recherche, avec un aperçu de la méthodologie employée.

1.1 CONTEXTE

1.1.1 *Enjeux économiques et technologie CMOS*

La micro-électronique est considérée comme une technologie révolutionnaire compte-tenu de la dynamique qu'elle a insufflée à l'économie mondiale depuis l'invention du circuit intégré par Jack Kilby et Bob Noyce à la fin des années 1950 [1]. De nos jours, le secteur des semi-conducteurs représente un marché mondial d'une valeur d'environ 300 milliards de dollars, et conditionnerait 10% du PIB mondial (source : OPECST). Les systèmes électroniques sont présents dans quasiment tous les aspects de la vie de ce siècle. L'avenir de la micro-électronique en général et du transistor MOS en particulier repose sur la capacité des industriels et des chercheurs a faire perdurer la course à l'intégration et à la miniaturisation [Lundstrom 2003]. Si, jusqu'à présent, les défis technologiques successifs ont toujours été relevés permettant ainsi de conserver une ligne directrice de développement fondée sur une « simple » réduction des dimensions du transistor MOS, il apparaît que le début du XXIème siècle marque un profond changement dans cette approche.
Aujourd'hui, la plus grande préoccupation industrielle réside dans la quête de rentabilité des futures générations de produits micro-électroniques basés sur le transistor massif classique. En effet, les coûts de développement pour passer d'un nœud technologique à un autre se chiffrent aujourd'hui en dizaines de milliards de dollars, de sorte que les gains financiers engendrés par cette hausse de performance ne suffisent plus à couvrir ces coûts. Le passage de la taille des *wafers* de 200 mm à 300 mm [2] a été nécessaire afin de réduire les coûts de production, au prix de lourds investissements en équipement et développement de process. Cette nouvelle donne économique a ainsi obligé l'industrie de la micro-électronique à se restructurer en profondeur. Dans ce sens, les acteurs de cette branche (industries et laboratoires)

1 Pour une historique de la micro-électronique, voir par exemple [Boudenot 2008]
2 Le passage à 450 mm devrait se faire dans un futur assez proche

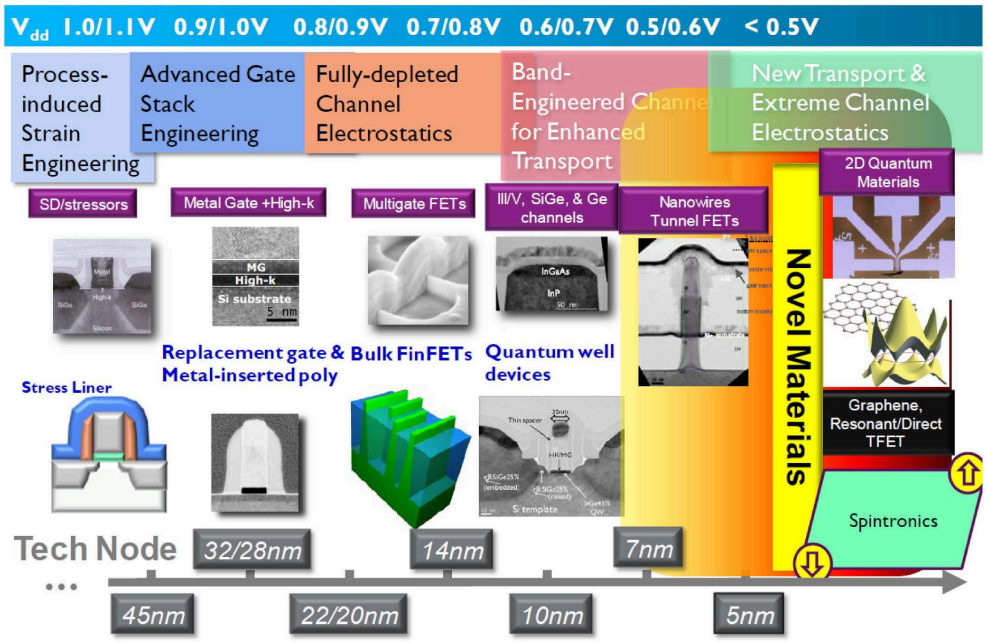


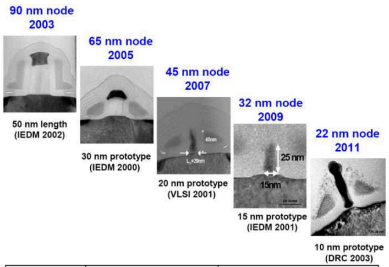
FIGURE 1.1: Roadmap et tendances pour les futures générations de transistors pour les nœuds 45nm et en-deça (applications logiques), vues par l'IMEC [Thean 2012].

n'hésitent plus à se regrouper pour réduire les coûts de développement et de production. On a vu ainsi apparaître dans les années 2000 de grandes alliances R&D industrielles[3], et des centres de recherche regroupant des laboratoires à vocation applicative et plus fondamentale.
La poursuite de la réduction d'échelle a fait basculer la micro-électronique dans l'ère de la *nanoélectronique*. La dimension de la grille de contrôle des transistor, l'une des grandeurs caractéristiques d'un nœud technologique donné, est de l'ordre de 10nm à quelques dizaines de nanomètres, et l'épaisseur de l'oxyde de grille se réduit à quelques atomes. Le fort potentiel de la nanoélectronique repose notamment sur l'interaction croissante entre les sciences de l'ingénieur et la physique fondamentale.
Industriels et chercheurs tentent aujourd'hui de repousser les limites physiques imposées par la réduction d'échelle en agissant sur différents leviers technologiques, afin d'améliorer les performances des dispositifs sans avoir à en réduire les dimensions [Chau 2007]. Dans l'approche *more Moore*[4], la compatibilité avec la technologie *silicium massif* est conservée au maximum. Les performances des circuits sont améliorées par l'intégration de nouveaux matériaux (pour l'oxyde de grille et le canal des transistors essentiellement, mais aussi pour les interconnexions), l'utilisation de nouvelles architectures de transistors (substrat SOI, transistors multi-grilles, intégration 3D) et l'optimisation du *design*. L'approche *more than Moore* étend l'intégration à d'autres fonctions (capteurs...) sur une même puce.
Enfin une approche plus radicale, *beyond CMOS*[5], consiste à abandonner le transistor traditionnel à canal de silicium et à s'orienter vers des technologies en rupture s'appuyant sur des concepts totalement nouveaux (nanotubes de carbone, graphène, électronique de spin...).

1.1.2 *Réduction des dimensions, performances et fiabilité*

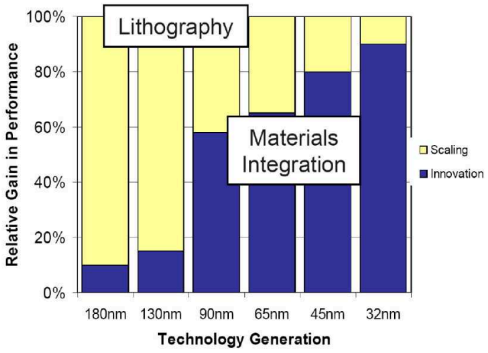
Jusqu'à récemment la réduction des dimensions (essentiellement la longueur de grille et l'épaisseur de l'oxyde de grille SiO_2) a gouverné le passage d'un nœud technologique à un

3 comme l'alliance Crolles 2 sur le site grenoblois, regroupant jusqu'en 2007 STMicroelectronics, Freescale et NXP
4 en référence à la loi de Moore
5 littéralement *au-delà du CMOS*



1993	Toshiba	40nm NMOS
1999	Leti	20nm NMOS
2000	Intel	30nm CMOS
2001	Intel	20nm CMOS
2001	STMicro	16nm NMOS
2001	AMD,Intel	15nm CMOS
2002	Toshiba	15nm CMOS
2002	IBM	6nm PMOS

(a)



(b)

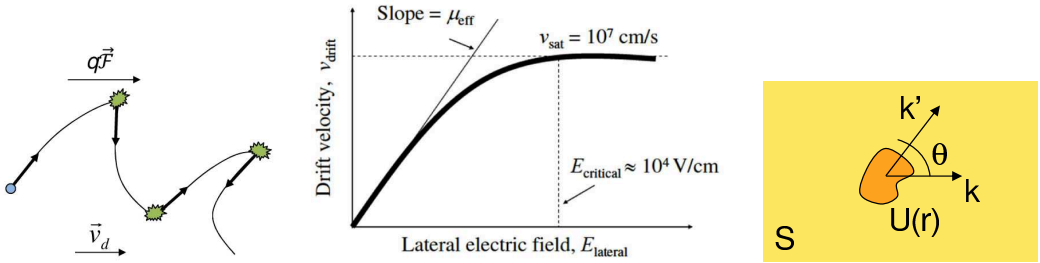
FIGURE 1.2: (a) Chronologie des transistors sub-50 nm publiés dans les grands conférences au début des années 2000. (b) Part de la réduction des dimensions (par la lithographie) et de l'intégration de nouveaux matériaux dans le gain en performance pour différents nœuds technologiques [Groeseneken 2012] (source : Intel, IBM).

autre (Fig. 1.2). Cette réduction des dimensions a permis le doublement de la densité de transistors sur une puce tous les 18 mois. L'introduction de nouveaux matériaux et l'adoption de nouvelles architectures de transistor ont permis de continuer la tendance en préservant l'intégrité électrostatique, tout en diminuant le temps de basculement des portes, et en essayant d'augmenter l'efficacité énergétique (faible courant I_{OFF}, fort I_{ON}). En contrepartie, à mesure que le nombre de transistors par puce augmente, la puissance dissipée augmente également et constitue maintenant un paramètre critique. Celle-ci, limitée raisonnablement à 200W par puce, pourrait limiter la densité d'intégration. On commence à parler d'ailleurs de la loi de Koomey, pendant de la fameuse loi de Moore, et qui prédit le doublement de l'efficacité énergétique tous les 18 mois, *i.e.* une diminution de la puissance consommée pour un nombre donné d'opérations logiques [Koomey 2011].

Outre l'intégration de nouveaux matériaux et l'obtention de performances I_{ON}/I_{OFF} correctes, l'un des gros challenge de la nanoélectronique, maintenant et pour les années à venir, repose sur la fiabilité des circuits et des dispositifs. Au même titre que la performance électrique pure, la durée de vie constitue un critère fondamental pour valider une technologie. L'explosion de la diversité des matériaux utilisés dans l'assemblage d'un transistor, de même que les différentes options technologiques mises en jeu se révèlent être un cauchemar pour les ingénieurs fiabilité [Groeseneken 2012]. La rapidité avec laquelle sont intégrés ces matériaux, mettant en jeu de nouveaux mécanismes de défaillance, nécessite une grande réactivité et s'avère être une difficulté croissante. La fiabilité des dispositifs est fortement liée à la qualité des interfaces, des oxydes. Les pièges mis en jeu peuvent également avoir un impact sur les propriétés électriques du transport. Si bien que transport et fiabilité sont liés.

1.2 QUELQUES NOTIONS SUR LE TRANSPORT

La mobilité des porteurs dans le canal en inversion est un facteur clé pour les MOSFETs car elle détermine le courant de drain en régime linéaire et à l'état ON (du moins en partie) dans ces dispositifs. C'est LA grandeur représentative du transport dans les dispositifs de la micro-électronique. Il est ainsi important de déterminer sa valeur, ainsi que la dépendance avec le champ électrique effectif E_{eff} et/ou la densité de porteurs en inversion N_{inv}. De plus



(a) (b) (c)

FIGURE 1.3: (a) Trajectoire d'une particule de charge q dans un champ électrique **F**. Les collisions sont isotropes et lui confèrent une vitesse moyenne v_d. (b) Relation entre la vitesse de dérive des porteurs v_{drift} et le champ électrique latéral E_{lateral} entre la source et le drain d'un transistor. A l'équilibre, *i.e.* pour $E_{\text{lateral}} < E_{\text{critical}}$, la vitesse est proportionnelle au champ. (c) Schéma de principe décrivant une collision dans le cas 2D : un électron incident est diffusé par un potentiel de diffusion $U(r)$ dans un semiconducteur de surface S. Le vecteur d'onde initial **k** et final **k'** forment un angle θ.

une bonne compréhension des différents mécanismes qui contribuent à limiter la mobilité est nécessaire pour maîtriser et améliorer celle-ci dans les dispositifs existant ou de nouvelles architectures, mais également pour l'inclure dans les modèles de simulation. De gros efforts sont produit aujourd'hui pour augmenter la mobilité des porteurs dans les transistors, principalement en changeant le matériau du canal et en exploitant l'effet des contraintes [Rim 2007].

1.2.1 *Définition de la mobilité*

On définit la mobilité de conduction μ comme le facteur de proportionnalité reliant la vitesse de dérive des porteurs (électrons ou trous) $\mathbf{v_d}$ au champ électrique appliqué **F** (Fig. 1.3a). Dans les cas les plus simples, on a [Kittel 1998] :

$$\overrightarrow{v_d} = \frac{q\tau_m}{m}\overrightarrow{F} \tag{1.1}$$

soit

$$\mu = \frac{e\tau_m}{m} \tag{1.2}$$

où m est la masse de conduction, et τ_m est le temps de relaxation du moment, qui est à peu de choses près le temps moyen entre deux collisions [6].
Dans un transistor, une couche d'inversion [7] est créé dans le canal en surface par l'action d'un champ électrique vertical généré par la grille. La mobilité μ_{eff} des porteurs en inversion est définie par la proportionnalité entre la vitesse de dérive des porteurs v_{d} et le champ électrique latéral E_{lateral} entre la source et le drain (Fig. 1.3b).

1.2.2 *Les mécanismes de diffusion*

Il existe plusieurs mécanismes de diffusion qui transfèrent les électrons ou trous d'un état initial de vecteur d'onde **k** à un état final **k'** (Fig. 1.3c). De plus, les transitions induites peuvent être intra-vallée ou inter-vallées, intra-sousbande ou inter-sousbandes (pour un traitement détaillé voir par exemple [Lundstrom 2000; Hamaguchi 2001]).

6 En fait τ_m est relié au temps moyen entre deux collisions τ_c par la relation $1/\tau_m = 1/\tau_c(1-\cos\theta)$, où θ est le changement d'angle moyen induit par une collision (Fig. 1.3c).
7 On parle aussi de gaz bidimensionnel.

Classiquement pour les porteurs dans le canal en inversion d'un transistor silicium on distingue principalement (Fig. 1.4a) :

- les interactions avec les phonons acoustiques du silicium
- les interactions coulombiennes avec des charges (dopants, charges dans l'oxyde,...)
- les interactions avec la rugosité des interfaces (Si/oxyde principalement)
- les interactions avec les phonons optiques, responsables de la saturation de la vitesse des porteurs dans le matériau à fort champ électrique latéral.

L'intégration de nouveaux matériaux (*high-k*, canal SiGe,...) et l'adoption de nouvelles architectures de transistor (nanofils, SOI,...) nous amènent à considérer d'autres mécanismes de collision, comme l'effet d'alliage pour les canaux SiGe, des interactions à distance, *etc*.
Ces différents mécanismes de diffusions se distinguent par une dépendance en densité de porteurs N_{inv} (ou en champ électrique effectif E_{eff}) différente, ainsi que par une certaine dépendance en température (Fig. 1.4b). Pour des transistors Si avec un empilement de grille SiO_2/poly-Si suffisamment épais (typiquement dont l'EOT est supérieure à 2 nm), la mobilité à forte densité de porteurs [8] suit une courbe, baptisée *mobilité universelle* pour une surface (100) [Sabnis 1979; Takagi 1994a]. L'universalité réside en fait dans la relation entre mobilité effective et champs électrique effectif

$$\mu_{\text{ph,SR}} \propto E_{\text{eff}}^{\beta} \tag{1.3a}$$

$$\text{où le champ effectif est défini par} \quad E_{\text{eff}} = \frac{Q_{dep} + \eta Q_{inv}}{\varepsilon_{Si}} \tag{1.3b}$$

et Q_{dep} et Q_{inv} désignent respectivement la charge de déplétion et la charge d'inversion. Les paramètres β et η dépendent de l'orientation cristallographique, du type de porteurs et de la nature des interactions considérées (phonon ou rugosité) [Takagi 1994b].
La courbe de mobilité universelle, qui correspond donc à la contribution des phonons et de la rugosité de surface, a longtemps servi de référence pour comparer les mobilités NMOS et PMOS de différentes technologies.
Enfin on considère souvent que les mécanismes de diffusion sont indépendant les uns des autres. Cette hypothèse, appelée règle de Matthiessen, permet de sommer les différentes contributions μ_i

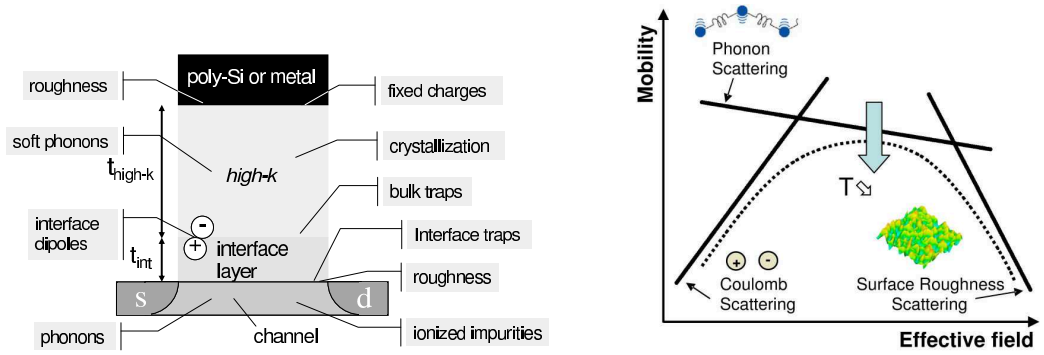
$$\frac{1}{\mu_{\text{tot}}} = \sum_i \frac{1}{\mu_i} \tag{1.4}$$

1.3 TRANSISTORS NANOMÉTRIQUES ET PROBLÉMATIQUES ASSOCIÉES

1.3.1 *Du transport diffusif au transport balistique*

A mesure que la longueur de la grille des transistors est réduite jusqu'à quelques dizaines de nanomètres, les dispositifs sont supposés s'approcher de la limite balistique. Dans le régime balistique (ou quasi-balistique), le nombre de collisions subies par les porteurs est très faible, voire s'annule. Le libre parcours moyen des porteurs devient supérieur à la longueur de grille, et l'ensemble des porteurs issus de la source peuvent atteindre le drain sans être rétrodiffusés. La notion de mobilité, basée sur la moyenne des interactions subies dans le canal, devient obsolète. La vitesse moyenne des porteurs au sommet de la barrière de potentiel près

8 suffisamment élevée pour que les interactions coulombiennes dues aux dopants, aux défauts dans l'oxyde,... soient écrantées



(a) (b)

FIGURE 1.4: (a) Illustration des différents mécanismes limitant la mobilité dans un transistor MOS. (b) Représentation schématique de la mobilité en fonction du champ électrique effectif E_{eff}, avec les trois principaux mécanismes limitant (d'après [Takagi 1994a]).

de la source [9] (appelée aussi vitesse d'injection v_{inj}) est alors le paramètre clé gouvernant le transport dans le canal [Lundstrom 2000, 2002].
Néanmoins, dans le cas quasi-balistique plus réaliste, les porteurs subissent des collisions dans une petite région près de la source. Les mécanismes de diffusion (interactions coulombiennes, phonons acoustiques,...) jouent donc encore une rôle dans le transport, et définissent le degré de balisticité du transport. Celui-ci est souvent décrit par le coefficient de retrodiffusion r des porteurs vers la source. Par conséquent, augmenter le libre parcours moyen, ou de manière équivalente augmenter la mobilité, dans ces dispositifs permet de diminuer ce taux de rétrodiffusion dans la région près de la source, et donc d'augmenter le courant de drain.

Enfin, à fort champ électrique latéral (fort V_{DS}) l'énergie cinétique des porteurs se relaxe par des collisions inélastiques avec les phonons optiques du réseau. Ce mécanisme de relaxation conduit à la saturation de la vitesse des porteurs (Fig. 1.3b). Cette vitesse de saturation v_{sat} est intrinsèque à un matériau semiconducteur donné [10]. Si de plus la longueur de grille diminue, le champs électrique latéral varie beaucoup plus rapidement entre la source et le drain, et peut conduire à des phénomènes de transport non-stationnaire (survitesse par rapport à la vitesse de saturation du matériau).

En conséquence, nous voyons que la relation entre mobilité et transport à faible ou fort champs électrique dans les dispositifs nanométriques n'est pas claire (Fig. 1.5). Il existe notamment toujours des interrogations sur la nature de la vitesse limite (v_{sat} ou v_{inj}) dans ces transistors à fort V_{DS}. Et surtout, de manière plus pratique, dans quelle mesure l'amélioration de la mobilité a t'elle une influence sur le courant I_{ON} ?

1.3.2 *Extraction des paramètres de transport dans les MOSFETs nanométriques*

La mesure de la mobilité dans des transistors de plus en plus courts, dans la mesure où celle-ci a encore un sens, et des paramètres du transport en général dans ces *nano*composants pose problèmes. Des méthodes expérimentales ont dû être adaptées ou imaginées pour tenir compte des évolutions technologiques des transistors (oxydes de grille ultra-fins, surface du transistor réduite, architecture nanofils...), et de nouvelles méthodes mises au point pour caractériser de nouveaux phénomènes (mesure du taux de balisticité, spectroscopie des pièges

9 on parle alors de source virtuelle
10 de l'ordre de 10^{-7}cm/s pour le Si

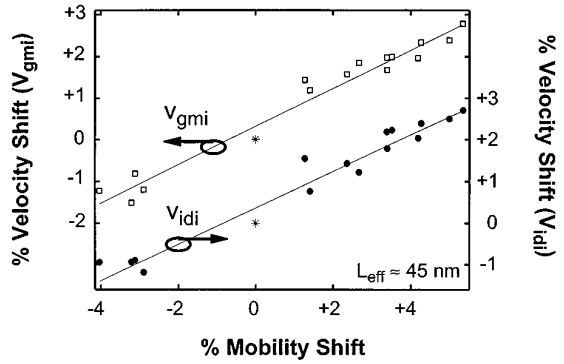


FIGURE 1.5: Relation entre la vitesse des porteurs mesurée dans un transistor de 45 nm à fort V_{DS}, et la mobilité mesurée en régime linéaire [Lochtefeld 2001].

dus aux empilements high-k/métal, effet d'une contrainte,...)[Schroder 2006; Mouis 2010].

La technique expérimentale la plus utilisée pour déterminer la mobilité dans les transistors est la méthode *split-CV*, qui permet de tracer la mobilité effective en fonction de la densité de porteurs dans le canal, ou le champ effectif perpendiculaire au canal [Sodini 1982]. Cette technique a été largement utilisée au cours des travaux décrits ici, et s'applique bien pour des dispositifs dont la surface est supérieure à 100 μm^2. Celle-ci peut être modifiée pour mesurer la mobilité des transistors nanométriques [Romanjek 2005], moyennant la détermination des résistances d'accès et l'hypothèse d'une épaisseur de grille constante quelle que soit la longueur de grille L. D'autres méthodes basées sur l'ajustement du courant de drain avec un modèle de courant, comme la (les) fonction(s) Y [Ghibaudo 1988; Mouis 2010], la méthode $R_{tot}(L)$ [Niu 1999], permettent également d'extraire une valeur de mobilité en fonction de L. Enfin, une méthode alternative plus innovante, développée à l'IMEP-LAHC, utilise la magnétorésistance pour extraire la mobilité dans des dispositifs très courts ($W/L \gg 1$) [Hollis 1980; Meziani 2004].
En règle générale, aucune de ces méthodes n'est parfaite ; toutes exigent de faire une ou plusieurs hypothèses plus ou moins fortes, et dont il faudra tenir compte au moment de l'analyse.

1.4 PRÉSENTATION DE MES RECHERCHES DANS CE CONTEXTE

A la suite de ma thèse effectuée dans un domaine plus fondamental[11], j'ai intégré en 2001 le Département des Nanotechnologies du CEA-Léti, au sein du pôle Minatec. Depuis cette date, mes activités de recherche se concentrent sur la caractérisation électrique et l'étude du transport dans les transistors MOS pour les futures générations technologiques. Ces activités s'inscrivent dans la large thématique *More Moore* décrite plus haut. Le but est d'améliorer les performances des transistors CMOS pour les nœuds technologiques à venir (*i.e* le 65nm pour le début des années 2000, le 14nm et en deçà à l'heure actuelle). Dans ce cadre, trois voies principales ont été explorées :

- les nouveaux matériaux de grille, avec l'introduction des oxydes à forte permittivité (*high-κ*) et des grilles métalliques.
- l'ingénierie de la mobilité, avec entre autres l'utilisation de matériaux à plus forte mobilité comme les alliages SiGe, ou encore l'exploitation des contraintes.
- les nouvelles architectures de transistor, avec la réalisation de films minces et de transistors multi-grilles ou à grille enrobante.

11 Voir le parcours détaillé dans la deuxième partie de ce manuscrit

La Recherche étant avant tout un travail d'équipe, la plupart de mes travaux ont été réalisés dans le cadre de collaborations avec d'autres laboratoires du Léti [12] et du CNRS, et dans le cadre d'accords avec des partenaires industriels, tels que STMicroelectronics pour le principal, à travers feue l'Alliance Crolles 2 jusqu'en 2007, IBM-Albany, ou SOITEC. En 10 ans, l'organisation de la recherche en micro-électronique s'est modifiée et restructurée, en regroupant notamment Recherche, R&D industrielle et enseignement supérieur. Mon arrivée à Minatec correspond à cet infléchissement apporté à Grenoble dès 2001.

1.4.1 *Technologie, caractérisation électrique et modélisation*

Mon activité de recherche repose sur une approche essentiellement expérimentale, en vue d'élaborer ou de compléter des modèles théoriques *simples* basés sur la physique des semiconducteurs et des dispositifs. Dans cette optique, un soin particulier a été apporté tout au long de mon travail de recherche à l'élaboration et au perfectionnement de nouvelles techniques expérimentales en lien avec la caractérisation du transport. En particuliers, l'acquisition par le Léti d'un cryostat permettant la mesure de dispositifs sous pointes jusqu'à de faibles températures (2.7 K sous hélium pompé), a permis de réaliser des caractérisations avancées, tout en bénéficiant d'un outil d'utilisation souple. Des méthodes comme la magnétorésistance ont été développées en collaboration avec le laboratoire des champs magnétiques intenses de Grenoble (CNRS-LCMI) et l'IMEP-LAHC. Ces techniques, en sus de la technologie de fabrication des transistors MOS, constituent une élément essentiel pour l'avancée de la recherche dans ce domaine de la micro-électronique.
Ces différentes techniques de caractérisation nécessitent également d'avoir à disposition des structures de tests adaptées. Celles-ci peuvent être spécifiques à une technique donnée (comme par exemple les barres de *Hall* ou motifs *van der Pauw* pour les mesures sous champ magnétique, des matrices de transistors pour la mesure de capacité des dispositifs nanofils,...), ou simplement un ensemble de transistors isolés avec de multiples géométries en W et L. La participation à la réalisation de réticules de tests incluant de nombreuses structures [13] a largement permis d'obtenir des résultats expérimentaux originaux.
Enfin le lien entre technologie, caractérisation électrique (et physico-chimique) et modélisation a toujours été privilégié. Concrètement cela s'est traduit par une interaction forte avec les laboratoires du Léti dédiés à la *filière* (*bulk*, SOI, nanofils, et maintenant MOS froid) et l'intégration de nouveaux matériaux (diélectriques *high-*κ, grilles métalliques principalement) pour la partie *technologie*. Il est important de connaître le détail de certaines étapes technologiques pour bien comprendre leur influence sur le fonctionnement électrique. De même, les caractérisations physiques, et notamment les techniques de la microscopie électronique comme l'holographie, la diffraction électronique..., apportent un éclairage de plus en plus indispensable, en donnant accès à des informations à l'échelle nanométrique sur les contraintes, les espèces chimiques, les épaisseurs des couches... Et pour finir, la modélisation physique des phénomènes tient une place particulière. Sans cela, les mesures de capacités, de courant ou de mobilité sont difficiles à interpréter. La résolution des équations couplées de Poisson-Schrödinger à 1D est à la base de la plupart des calculs sur les transistors MOS. Le résultat permet d'avoir accès aux fonctions d'onde et aux niveaux d'énergie associés pour chaque type de porteurs dans la couche en inversion du canal. Il est alors possible de calculer la mobilité des porteurs limitée par divers mécanismes de diffusion (phonons, charges,...) dans une approche semi-classique du transport [Lundstrom 2000]. De même, on peut inclure l'effet d'une contrainte sur la structure de bandes obtenue par ailleurs [14]. Pour des structures tri-dimensionnelles de type nanofils, le confinement dans deux dimensions sera la limite de

12 *i.e.* les laboratoires dédiés à la technologie et à l'intégration des composants CMOS, aux matériaux, à la caractérisation physico-chimique... qui ont maintes fois changé de nom au gré des restructurations internes.
13 comme DUNE, TCHE pour les *wafers* 200mm ou bien CAFE et SNOW pour le 300mm
14 en général par des calculs de structure de bandes de type **k.p** ou liaisons fortes.

cette approche, et nécessite de résoudre l'équation de PS à deux dimensions [15].
C'est cette philosophie de recherche que je me suis efforcé de suivre et d'appliquer dans l'encadrement des thèses de L. Thevenod, F. Rochette, P. Leroux et M. Koyama. Les axes de recherche choisis, à travers les sujets de thèse, correspondent à une problématique liée au *scaling* des transistors, toujours en lien avec l'industrie de la micro-électronique, en se donnant la chance d'explorer des aspects plus fondamentaux. La valorisation des résultats s'est faite autant que possible, que ce soit par des publications dans des revues à comité de lecture, des communications orales dans de conférences internationales, ou des présentations à nos partenaires industriels et lors des revues des projets de recherche nationaux ou européens (voir en deuxième partie de ce manuscrit § 6.8).

1.4.2 *Organisation du manuscrit*

Les chapitres qui suivent décrivent les principaux résultats et avancées obtenus dans les trois domaines évoqués plus haut. Le regroupement est thématique plus que chronologique, les trois axes ayant été explorés plus ou moins simultanément, à travers l'encadrement de thèses, stages et/ou dans le cadre de contrats de recherche.
Dans une première partie (Chap. 2), nous présenterons les travaux effectués sur les nouveaux matériaux utilisés dans l'empilement de grille – les diélectriques à forte permittivité et les grilles métalliques – et leur impact sur les propriétés de transport dans le canal.
La deuxième partie (Chap. 3) est consacrée à l'ingénierie de la mobilité, *i.e.* les solutions technologiques utilisées pour optimiser la mobilité des porteurs dans le canal en inversion. Nous présenterons notamment dans ce chapitre les résultats obtenus sur l'étude des contraintes et des matériaux semi-conducteurs contraints (Si et SiGe).
Enfin dans la troisième partie (Chap. 4) nous aborderons les nouvelles architectures de transistors explorées au Leti, des transistors réalisés sur film mince (architecture FDSOI) aux transistors nanofils, récemment développés.
Les futurs développements et les nouveaux axes de recherche envisagés sont finalement présentés et commentés dans la dernière partie de ce manuscrit (Chap. 5).

BIBLIOGRAPHIE

[Boudenot(2008)] J.-C. Boudenot. *New concepts for nanophotonics and nano-electronics : From transistor to nanotube*. C.R. Physique, **9** :41–52, 2008.

[Chau(2007)] R. Chau, B. Doyle, S. Datta, J. Kavalieros, and K. Zhang. *Integrated nanoelectronics for the future*. Nature materials, **6** :810–812, november 2007.

[Ghibaudo(1988)] G. Ghibaudo. *New method for the extraction of MOSFET parameters*. Electron. Lett., **24**(9) : 543–545, 1988.

[Groeseneken(2012)] G. Groeseneken, R. Degraeve, J. Franco, B. Kaczer, K. Martens, P. Roussel, and M. Toledano-Luque. *Recent trends in the electrical characterization and reliablity assessment of CMOS devices*. In WODIM, 2012.

[Hamaguchi(2001)] C. Hamaguchi. *Basic semiconductor physics*. Springer-Verlag, 2001.

[Hollis(1980)] M. Hollis, N. Dandekar, L.F. Eastman, M. Shur, D. Woodard, R. Stall, and C. Wood. *Transverse magnetoresistance in GaAs two terminal submicron devices : A characterization of electron transport in the near ballistic regime*. In IEDM Tech. Dig., volume 26, pages 622 – 625, 1980.

[Kittel(1998)] C. Kittel. *Physique de l'état solide*. Dunod, 7 edition, 1998.

[Koomey(2011)] J. G. Koomey, S. Berard, M. Sanchez, and H. Wong. *Implications of Historical Trends in the Electrical Efficiency of Computing*. IEEE Annals of the History of Computing, **33**(3) :46–54, 2011.

15 Ce calcul est actuellement réalisé par d'autres laboratoires de simulation du Leti ou du CNRS

[Lochtefeld(2001)] A. Lochtefeld and D.A. Antoniadis. *On experimental determination of carrier velocity in deeply scaled NMOS : how close to the thermal limit ?* IEEE Electron Device Lett., **22**(2) :95 –97, 2001.

[Lundstrom(2000)] M. Lundstrom. *Fundamentals of carrier transport*. Cambridge University Press, second edition, 2000.

[Lundstrom(2003)] M. Lundstrom. *Moore's Law Forever ?* Science, **299** :210–211, 2003.

[Lundstrom(2002)] M. Lundstrom and Z. Ren. *Essential physics of carrier transport in nanoscale MOSFETs*. IEEE Trans. Electron Dev., **49**(1) :133 –141, 2002.

[Meziani(2004)] Y.M. Meziani, J. Lusakowski, W. Knap, N. Dyakonova, F. Teppe, K. Romanjek, M. Ferrier, R. Clerc, G. Ghibaudo, F. Boeuf *et al. Magnetoresistance characterization of nanometer Si Metal-Oxide-Semiconductor transistors*. J. Appl. Phys., **96**(10) :5761–5765, 2004.

[Mouis(2010)] M. Mouis and G. Ghibaudo. *Nanoscale CMOS*, chapter 14. J. Wiley & Sons, 2010.

[Niu(1999)] G. Niu, J.D. Cressler, S.J. Mathew, and S. Subbanna. *A total resistance slope-based effective channel mobility extraction method for deep submicrometer CMOS technology*. IEEE Trans. Electron Dev., **46**(9) : 1912–1914, 1999.

[OPECST(2008)] OPECST. *Evolution du secteur de la micro/nanoélectronique*. Office Parlementaire d'Évaluation des Choix Scientifiques et Technologiques, juin 2008.

[Rim(2007)] K. Rim. *32 nm and beyond transistor enhancements : Mobility enhancement*. 2007. IEDM short course.

[Romanjek(2005)] K. Romanjek, F. Andrieu, T. Ernst, and G. Ghibaudo. *Characterization of the effective mobility by split C(V) technique in sub .1µ m Si and SiGe PMOSFETs*. Solid-State Electronics, **49**(5) :721–726, 2005.

[Sabnis(1979)] A.G. Sabnis and J.T. Clemens. *Characterization of the electron mobility in the inverted (100) Si surface*. In Tech. Dig. - Int. Electron Devices Meet., volume 25, pages 18 – 21, 1979.

[Schroder(2006)] D.K. Schroder. *Semiconductor Material and Device Characterization*. Wiley-Interscience, third edition, 2006.

[Sodini(1982)] C.G. Sodini, T.W. Ekstedt, and J.L. Moll. *Charge accumulation and mobility in thin dielectric MOS transistors*. Solid-State Electronics, **25** :833–841, 1982.

[Takagi(1994a)] S. Takagi, A. Toriumi, M. Iwase, and H. Tango. *On the universality of inversion layer mobility in Si MOSFET's : Part I – Effects of substrate impurity concentration*. **41** :2357, 1994a.

[Takagi(1994b)] S. Takagi, A. Toriumi, M. Iwase, and H. Tango. *On the universality of inversion layer mobility in Si MOSFET's : Part II-effects of surface orientation*. **41**(12) :2363 –2368, 1994b.

[Thean(2012)] A. Thean. *Beyond Silicon CMOS : The path of advanced electronic structure engineering for low-voltage transistors*. 2012. SEMICON West.

2

NOUVEAUX EMPILEMENTS DE GRILLE : DIÉLECTRIQUES HIGH-κ ET GRILLES MÉTALLIQUES

2.1 INTRODUCTION : OPTIMISATION DE L'EMPILEMENT DE GRILLE

Après plus de dix années de recherche, les diélectriques à haute permittivité et les électrodes de grille métalliques sont rentrés dans la technologie CMOS standard en 2007, avec la technologie 45 nm (Fig. 2.1).
La course à la réduction des dimensions des transistors requiert notamment une diminution de l'épaisseur de l'oxyde de grille, traditionnellement du SiO_2. Pour les applications haute performance (HP [1]), l'épaisseur critique de 1 nm a été atteinte avec le SiO_2 ou sa variante nitrurée SiON. Le facteur limitant est ici la densité de courant de fuite de grille (>100 A/cm^2) due au courant tunnel à travers ces oxydes ultra-fins. La densité de puissance dissipée dépasse alors les 100 W/cm^2, rendant le refroidissement des puces problématique. Pour les applications faible consommation (LP [2]), la limite est atteinte dès 2 nm de SiO(N), afin de conserver de faibles fuites de grille garantissant une durée de charge de la batterie suffisante [Frank 2011].
Afin de continuer à augmenter la densité d'intégration et de répondre aux spécifications de l'ITRS, la communauté de la micro-électronique, et le Leti en particulier dès le tout début des années 2000, s'est tournée vers les diélectriques à forte permittivité pour remplacer le SiO_2 (κ=3.9) et le SiON (κ=5-6). De même, des grilles métalliques sont intégrées pour remplacer le silicium poly-cristallin fortement dopé (poly-Si), essentiellement pour des raisons de compatibilité technologique avec les matériaux *high-*κ.
Au Leti, nous nous sommes intéressés particulièrement aux diélectriques à base d'hafnium (HfO_2, $HfZrO_2$, HfSiON, ...) avec des constantes diélectriques de l'ordre de $\kappa \sim 20$. Ces matériaux sont rapidement apparus comme les principaux prétendant à une industrialisation, de par leur stabilité thermodynamique avec le silicium, la compatibilité avec les process utilisés pour le CMOS en plus de leurs propriétés diélectriques [Wallace 2005; Colombo 2005].
Pour les grilles métalliques, le choix du matériau est beaucoup moins évident, même maintenant. Au Leti, le choix technologique s'est porté sur des grilles métalliques nitrurées (TiN, TaN, ...). L'ajustement du travail de sortie afin d'obtenir des tensions de seuil adaptées pour

1 *High-Performance* en anglais
2 *Low-Power* en anglais

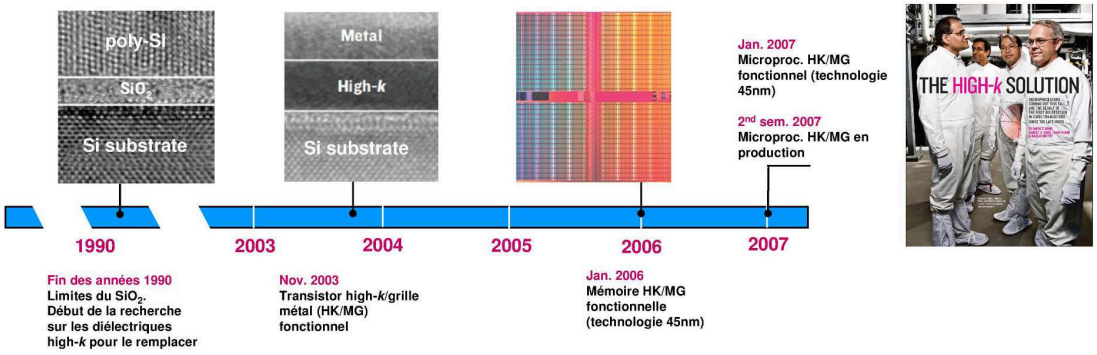


FIGURE 2.1: Historique de la recherche/développement sur les grilles high-κ/métal chez Intel [Bohr 2007]

les transistors NMOS et PMOS constitue l'un des critères les plus important [Misra 2005]. La valeur des tensions de seuil recherchées dépend de l'application visée. En technologie FDSOI le canal n'est pas dopé, et l'ajustement de la tension de seuil nécessite donc de choisir un ou des matériaux de grille avec un travail de sortie adéquat [Weber 2010]. Une solution alternative permet également de changer la tension de seuil en contrôlant la formation de dipôles à l'interface *high-*κ/SiO_x *via* le dépôt de fines couches diélectriques (MgO, Al_2O_3, La_2O_3,...) [Narayanan 2006].
Enfin outre les spécifications de performance auxquelles doivent obéir tous ces nouveaux matériaux [Lee 2006], la fiabilité associée à une faible variabilité de la tension de seuil sont des critères dont il faut de plus en plus tenir compte, et qui nécessitent également d'être optimisés.

Dans ce chapitre nous présentons les travaux menés sur les grilles métalliques et les diélectriques *high-*κ, et particulièrement leur impact sur les propriétés électriques des transistors. Les résultats présentés ont principalement été obtenus au cours de la thèse de L. Thevenod [Thevenod 2009] et de différents stages depuis 2004 (N. Bhouri, W. Ding, et S. Thiele).

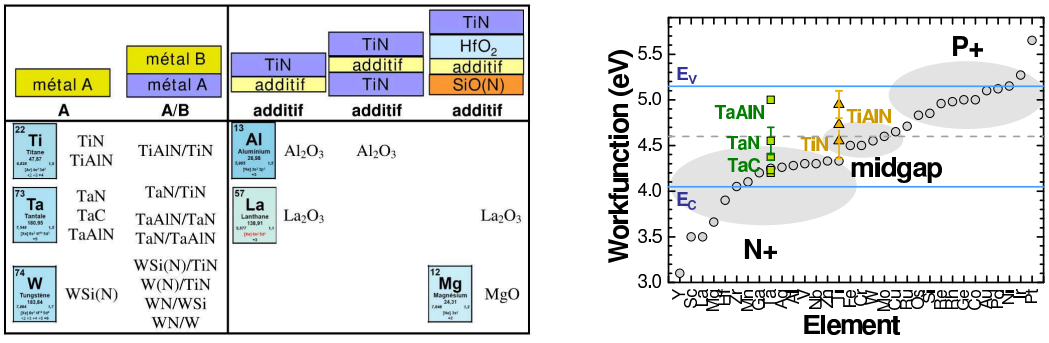
2.2 GRILLES MÉTAL

De nombreux matériaux de grilles et configurations ont été étudiés au Leti, comme illustré sur la Fig. 2.2a. La grille peut se composer d'un matériau unique, d'un alliage, ou de la superposition de plusieurs couches de matériaux différents. La plupart de ces matériaux de grille (à base de titane *Ti* et de tantale *Ta* essentiellement) se sont révélés avoir un travail de sortie de type *midgap*, *i.e.* dont la valeur se situe autour de 4.6 eV (Fig. 2.2b). Seule la variante TaC présente un caractère légèrement N+, alors que l'addition d'aluminium Al augmente légèrement le travail de sortie vers 5 eV. La valeur du travail de sortie peut dépendre également du procédé (PVD, ALD,...) et de la température de dépôt [Charbonnier 2010].
Cependant, dans le cas de dispositifs SOI, dont le canal est non dopé, et pour des applications de type Low STand-by Power une grille *midgap* permet d'atteindre des tensions de seuil adaptées de 0.4-0.6 eV et symétriques pour les NMOS et PMOS [Fenouillet-Beranger 2007]. D'autres stratégies permettent également de faire varier la tension de seuil à partir d'une grille *midgap* ou non, en intégrant par exemple des électrodes (*Ground Plane*) sous le BOX et en les polarisant [Fenouillet-Beranger 2010; Weber 2010]. Cette approche permet notamment d'avoir un peu plus de flexibilité dans le choix des matériaux de grille pour les NMOS et les PMOS, quelle que soit l'application recherchée.
Dans ce contexte, notre démarche a consisté à étudier l'impact de ces matériaux de grille, en particuliers les grilles nitrurées, sur le courant de drain et transport dans le canal, bien que la grille ne soit pas en contact direct avec le canal. L'objectif consistait à ajuster la tension de seuil au mieux tout en conservant les propriétés de transport et la fiabilité des transistors.

2.2.1 *Grilles métalliques nitrurées*

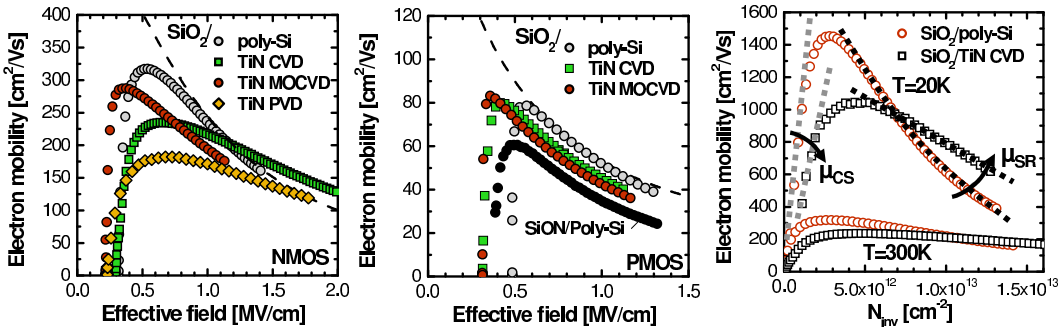
2.2.1.1 *Impact sur la mobilité*

Dans un premier temps, nous avons mis en évidence l'impact d'une grille métallique nitrurée sur la mobilité des porteurs dans le canal [Thevenod 2005; Cassé 2010, 2011]. Le remplacement de la grille en poly-silicium par une grille métallique TiN ou TaN entraine ainsi une dégradation de la mobilité. Cette dégradation dépend aussi bien de la technique de dépôt utilisée (ALCVD, MOCVD, PVD, voir Fig. 2.3) que de l'épaisseur déposée (Fig. 2.4). Cette dégradation est observée jusqu'à des champs électriques de $\sim$1MV/cm sur NMOS et PMOS.
Les couches métalliques TiN déposées peuvent présenter de fortes contraintes internes (jusqu'à plusieurs GPa), dont l'intensité et le signe (tension ou compression) dépendent forte-



(a) (b)

FIGURE 2.2: (a) Tableau récapitulatif des matériaux de grille etudiés au Léti et des différents schémas d'intégration correspondant. Pour le TiN notamment, diverses méthodes de dépôt ont été comparées (CVD, PVD, ALD, MOCVD). (b) Travail de sortie mesuré pour différents matériaux de grille simples (d'après [Buchanan 2004; Robertson 2006]). Les symboles en couleur indiquent des alliages de matériaux avec les différentes valeurs de travail de sortie reportées (données Leti).

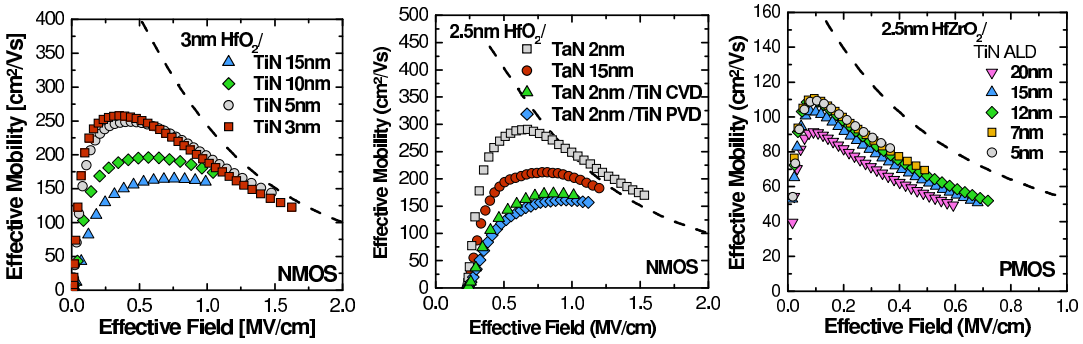


(a) (b) (c)

FIGURE 2.3: Mobilité effective mesurée en fonction du champ électrique effectif pour des transistors avec une grille métallique TiN déposée suivant différents procédés : (a) NMOS (b) PMOS. La mobilité universelle est donnée par la courbe en pointillés. (c) Mobilité effective des électrons mesurée en fonction de la densité de porteurs en inversion N_{inv}, à 300 K et 20 K, pour une grille poly-Si et une grille TiN CVD. A basse température seules les contributions coulombiennes (μ_{CS}) et de rugosité de surface (μ_{SR}) sont mesurées et clairement identifiables. Toutes les mesures sont effectuées sur des dispositifs de longueur L=10μm.

ment du procédé technologique (mode de dépôt, température,..). Des simulations ont montré cependant que le transfert de cette contrainte au canal est négligeable pour des grandes longueurs de grille [Guillaume 2004], comme c'est le cas pour les mesures présentées ici (L=10μm). L'hypothèse d'un effet de la contrainte a donc pu raisonnablement être écartée.
Les mesures à basse température ($\lesssim$20 K) permettent d'éclaircir les causes de cette dégradation. En dessous de 20 K les interactions avec les phonons du réseau disparaissent, et seules les interactions coulombiennes (μ_{CS}) à faible densité de porteurs, et avec la rugosité des différentes interfaces (μ_{SR}) à fort champ électrique, subsistent. La comparaison entre une grille poly-Si et une grille TiN, illustrée sur la Fig. 2.3c, suggère alors :

- un plus grand nombre de défauts chargés induit par les grilles nitrurées (TiN et TaN dans notre cas), dont l'influence électrostatique s'étend jusqu'au canal en inversion.
- une modification de la rugosité de l'interface oxyde/canal vue par les porteurs en inversion.



(a) (b) (c)

FIGURE 2.4: Mobilité effective mesurée en fonction du champ électrique effectif sur des transistors avec différentes épaisseurs de métal de grille : (a) NMOS TiN, (b) NMOS TaN et TaN/TiN, et (c) PMOS TiN. Toutes les mesures sont effectuées sur des dispositifs de longueur L=10μm.

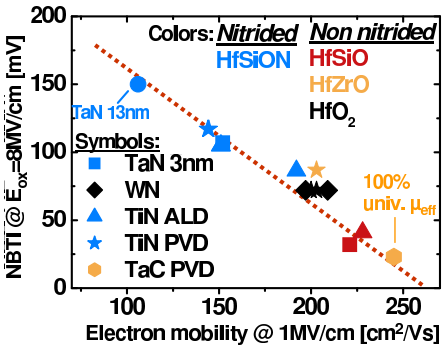


FIGURE 2.5: Corrélation entre NBTI et mobilité des électrons mesurée à fort champ effectif pour différents empilements de grille nitrurée (oxyde high-κ et/ou grille métallique). D'après [Garros 2008b].

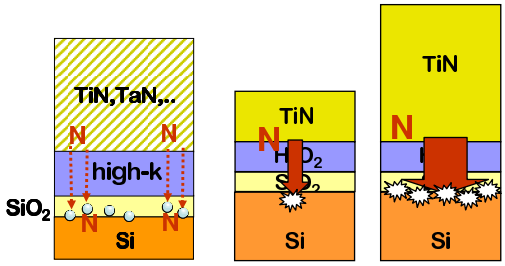


FIGURE 2.6: Représentation schématique de l'effet d'une grille métallique nitrurée : l'azote relâché de la couche nitrurée diffuse vers l'interface SiO_2/Si où il crée des défauts chargés. Plus l'épaisseur de la grille est élevée, et plus la quantité d'azote qui diffuse est importante, et donc le nombre de défauts créés à l'interface.

Corrélation entre NBTI et mobilité.– [Garros 2008b; Reimbold 2008].

Très tôt, des études ont été menées au sein du laboratoire, en collaboration avec notre partenaire industriel STMicroelectronics, sur l'effet de l'intégration des diélectriques high-κ et des grilles métalliques sur la fiabilité, en particuliers sur l'instabilité de la tension de seuil en température (BTI) [Garros 2004]. Ainsi il a été montré que le NBTI (mesuré sur des PMOS) pouvait être dégradé pour des empilements high-κ/grille métal. De plus celui-ci est fortement corrélé à la mobilité des électrons et des trous dans le canal (Fig. 2.5) [Garros 2008b, 2009]. La présence d'azote dans l'empilement de grille a été identifiée comme étant responsable de cette dégradation de NBTI et de mobilité. Celui-ci diffuse, depuis la grille métallique nitrurée ou depuis la ou les couches d'oxyde nitrurées, vers l'interface SiO_2/Si, où des pièges sont créés (Fig. 2.6). La présence de l'azote dû à une grille nitrurée (TiN par exemple) à l'interface avec le canal a été montrée notamment par des mesures SIMS [3] [Garros 2009].

3 pour *Secondary Ions Mass Spectrometry*.

Dans ce qui suit nous présentons l'analyse de ces deux mécanismes de dégradation de la mobilité.

2.2.1.2 *Rugosité de l'interface oxyde/canal*

Principe physique de l'interaction avec la rugosité des interfaces.– Les porteurs confinés dans un gaz bidimensionnel (comme c'est le cas pour une couche d'inversion) sont soumis à des mécanismes d'interaction particuliers [Lundstrom 2000]. Si l'on considère l'interface entre l'oxyde de grille (généralement SiO_2) et le canal Si dans une structure MOS, le process utilisé pour la croissance de l'oxyde interfacial (thermique ou chimique) engendre une certaine rugosité. Celle-ci est généralement décrite par deux paramètres morphologiques : la hauteur moyenne de la rugosité Δ, et la longueur de corrélation L_c (Fig. 2.7). La grille étant une équipotentielle, cette rugosité entraîne un variation du potentiel de confinement le long du canal. De la même manière, les autres interfaces de l'empilement de grille, comme celle entre l'oxyde et la couche métallique, ou bien encore les interfaces entre les différentes couches d'oxyde pouvant composer un empilement *high-κ*, peuvent influencer le transport dans le canal.
Plusieurs modèles analytiques permettent de calculer la mobilité limitée par la rugosité de surface μ_{SR}. Le modèle le plus simple consiste à relier de manière empirique la mobilité effective au champs électrique effectif E_{eff} par une courbe de la forme [Takagi 1994]

$$\mu_{SR}(E_{\text{eff}}) = A \times E_{\text{eff}}^{B} \tag{2.1}$$

où A et B sont deux paramètres d'ajustement. Ces deux paramètres sont néanmoins reliés aux grandeurs morphologiques L_c et Δ [Koga 1996]. En particulier, le paramètre B dépend uniquement de L_c, alors que A est déterminé par les valeurs combinées de L_c et Δ.
Une modélisation plus avancée requiert de passer par le calcul de la fréquence d'interaction liée à la rugosité. L'élément de la matrice d'interaction correspondant à la rugosité de surface peut s'écrire [Ando 1977, 1982]

$$|V_{SR}(q)|^2 = \frac{\tilde{S}(q)\Gamma^2(q)}{\varepsilon_r^2(q)} \tag{2.2}$$

où la fonction $\Gamma(q)$ décrit le confinement des porteurs à l'interface entre le silicium et l'oxyde, $\varepsilon(q)$ la fonction diélectrique incluant l'effet d'écrantage et $\tilde{S}(q)$ la densité spectrale de rugosité. Cette dernière est obtenue en effectuant la transformée de Fourier de la fonction d'autocorrélation liée à la rugosité $S(r)$, qui décrit la morphologie de l'interface à partir des paramètres L_c et Δ. Cette fonction peut prendre diverses formes, mais les deux plus communément admises sont la forme Gaussienne et la forme exponentielle [Pirovano 2000; Ishihara 2002] :

Gaussienne		*exponentielle*	
$S(r) = \Delta^2 e^{-(r/L_c)^2}$	(2.3a)	$S(r) = \Delta^2 e^{-(r/L_c)}$	(2.4a)
$\tilde{S}(q) = \pi(\Delta L_c)^2 e^{-(qL_c)^2/4}$	(2.3b)	$\tilde{S}(q) = \dfrac{\pi(\Delta L_c)^2}{[1+(qL_c)^2/2]^{3/2}}$	(2.4b)

La comparaison avec des images HRTEM tendrait à montrer que la forme de l'interface SiO_2/Si est plutôt représentée par la forme exponentielle [Goodnick 1985]. Pour des oxydes nitrurés la forme Gaussienne semble mieux représenter l'interface [Ishihara 2002]. D'autres expressions dérivées de celles-ci ont été proposées, en incluant une variable d'ajustement supplémentaire n dans l'équation de $S(r)$ ou $\tilde{S}(q)$. La comparaison avec les donnée expérimentales de mobilité a montré cependant que le choix de n n'influe pratiquement pas sur les valeurs des paramètres Δ et L_c qui peuvent être extraites par ajustement [Ishihara 2002]. Enfin, plus récemment, une méthode de calcul de $\tilde{S}(q)$ a été proposée directement à partir

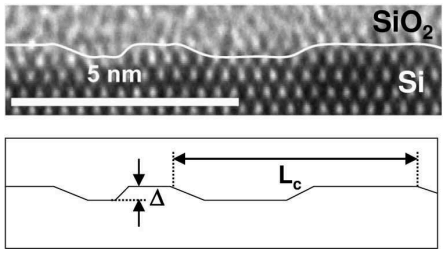


FIGURE 2.7: Illustration de la modélisation de la rugosité de l'interface SiO_2/Si par deux paramètres morphologiques : la longueur de corrélation L_c et la hauteur moyenne de rugosité Δ.

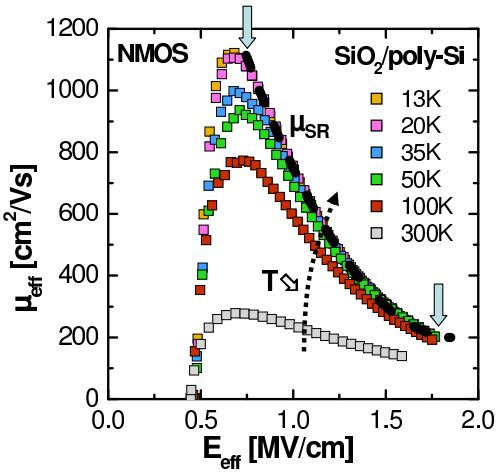


FIGURE 2.8: Mobilité effective en fonction du champ effectif mesurée sur un transistor de référence SiO_2/poly-Si, pour différentes températures. Pour des températures T<50 K, la mobilité à fort champ est indépendante de T, et permet d'extraire la contribution due à la rugosité de surface μ_{SR} (indiquée par la courbe en pointillés).

des profils de l'interface SiO_2/Si obtenus par AFM ou TEM [Zhao 2010].

Comme précisé plus haut, les mesures de mobilité à basse température permettent d'extraire la composante liée à la rugosité de surface (Fig. 2.8). Nous avons procédé à l'analyse de différents procédés de dépôt TiN [Thevenod 2005].

Analyse des résultats pour les grilles TiN.– La figure 2.9 résume les résultats obtenus en comparant des transistors NMOS et PMOS avec une grille TiN CVD, TiN MOCVD et une référence poly-Si.
Le modèle le plus simple, basé sur l'équation 2.1 montre qu'il existe bien des différences entres les paramètres d'ajustement A et B suivant les grilles. Ainsi, le paramètre B, qui ne dépend que de L_c, varie très peu entre les deux procédés de dépôt TiN : le procédé de dépôt n'a donc que peu d'influence sur L_c. En revanche, celui-ci change la hauteur de rugosité moyenne comme le montrent les différentes valeurs de A.
Une modélisation plus fine, utilisant la forme Gaussienne (Eq. (2.3)), nous a permis de quantifier ces résultats. Le modèle a été validé sur les transistors de référence SiO_2/poly-Si. Les paramètres obtenus, Δ =0.48 nm et L_c=1.01 nm, sont comparable à ceux publiés dans la littérature (Δ =0.55 nm et L_c=1.00 nm pour [Ishihara 2002]). Les valeurs extraites pour les deux variantes de TiN sont en accord avec les précédentes conclusions, à savoir :

- une grille TiN entraîne une augmentation de L_c ($\simeq$1.35 nm).
- La valeur de Δ dépend de la technique de dépôt, avec une plus faible rugosité moyenne pour le TiN CVD ($\simeq$0.4 nm)

Discussion.– Les résultats synthétisés sur la Fig. 2.3 sont très similaires à ceux publiés sur des oxydes nitrurés SiON au début des années 90 [Wu 1989; Hori 1990], et représentés sur la Fig. 2.10. Il avait alors été mis en évidence que la nitruration de l'oxyde de grille entraine une dégradation de la mobilité des électrons à faible champ, et une une mobilité plus élevée que la référence non nitrurée SiO_2 à plus forte densité de porteurs. Dans le cas PMOS, une dégradation est observée dans toute la gamme de champ effectif. L'origine de ces modifica-

	NMOS		PMOS	
Gate	A	B	A	B
Poly Si	824.7	2.47	84.2	1.83
MOCVD TiN	459	1.91	59.2	1.33
CVD TiN	791.7	1.87	69.7	1.45

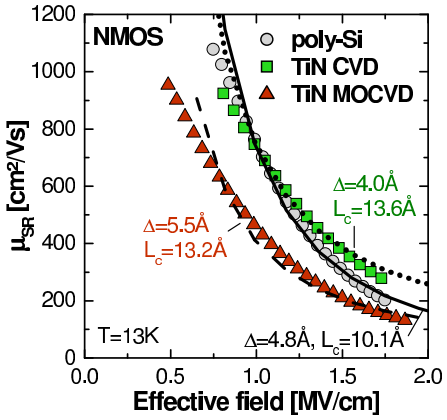


FIGURE 2.9: Mobilité limitée par la rugosité extraite à basse température (symboles, à T=13 K), et modélisation associée (lignes) pour différentes grilles métalliques TiN. Le tableau indique les valeurs des paramètres A et B correspondant à la modélisation plus simple donnée par l'Eq. (2.1).

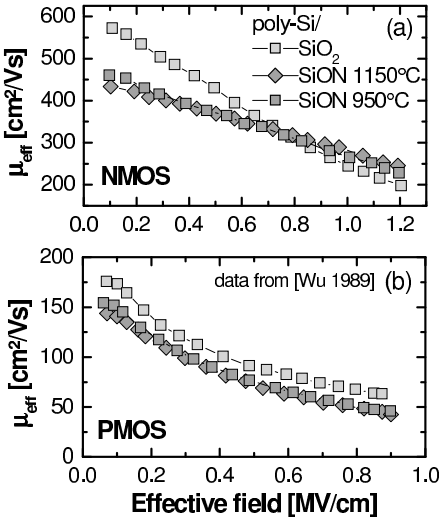


FIGURE 2.10: Influence de la niturationde l'oxyde de grille (d'épaisseur initiale t_{ox}=11.5 nm) sur la mobilité effective des (a) électrons, et (b) des trous (données expérimentales de [Wu 1989]). L'effet de la nitruration sur la mobilité à fort champ électrique est similaire à nos observations.

tions de mobilité est reliée à la présence d'azote à l'interface SiO(N)/Si et sur une certaine profondeur dans l'oxyde.

2.2.1.3 *Spectroscopie des états d'interface et défauts liés à l'azote*

Pour évaluer la densité d'états d'interface, nous avons utilisé une méthode expérimentale originale, dérivée du pompage de charge [Groeseneken 2008]. Cette méthode, proposée initialement par van den Bosch [1991], permet de mesurer la densité d'états d'interface D_{it} en fonction de l'énergie dans la bande interdite du silicium. Nous avons modifié la procédure expérimentale pour obtenir une meilleur précision de la distribution $D_{it}(E)$ [Cassé 2011].

Principe de la spectroscopie par pompage de charge.–

Dans la mesure par pompage de charge (CP) adaptée au cas SOI [4], un *pulse* de tension trapézoïdal est appliqué sur la grille d'une diode P-i-N à grille (Fig. 2.11a). Celui-ci remplit alternativement les pièges d'interface avec des électrons et des trous, conduisant à l'apparition d'un courant de recombinaison I_{CP} entre les contacts P+ et N+ de la diode à grille [Elewa 1988]. En faisant varier le niveau de base du signal de grille V_{base} de l'accumulation vers l'inversion, avec une amplitude constante ΔV_g supérieure à largeur de la bande interdite [5], on mesure un courant pompé I_{CP} avec une forme en cloche caractéristique (Fig. 2.12a). Le maximum de ce courant pompé peut s'écrire [Brugler 1969; Groeseneken 1984] :

$$I_{CP} = qfA \int_{E_{em,h}}^{E_{em,e}} D_{it}(E)dE \tag{2.5}$$

4 Contrairement au cas *bulk*, dans le cas SOI on ne peut pas avoir accès au substrat
5 on prend typiquement ΔV_g=1.3eV pour des transistors Si

où A est la surface de la grille, et q la charge de l'électron. L'intégration se fait entre le niveau d'émission des trous $E_{em,h}$ et celui des électrons $E_{em,e}$ (Fig. 2.11b). Ces niveaux d'énergie sont donnés par :

$$\begin{aligned} E_{em,h} &= E_i + k_B T \ln\left(v_{th} n_i \sigma_p \frac{|V_{fb} - V_t|}{\Delta V_g} t_r\right) \\ E_{em,e} &= E_i - k_B T \ln\left(v_{th} n_i \sigma_n \frac{|V_{fb} - V_t|}{\Delta V_g} t_f\right) \end{aligned} \tag{2.6}$$

avec E_i le niveau de Fermi intrinsèque, V_{fb} la tension de bandes plates, V_t la tension de seuil, k_B la constante de Boltzmann, v_{th} la vitesse thermique des porteurs, n_i la densité de porteurs intrinsèque, et $\sigma_{n,p}$ la section de capture des électrons (n) et des trous (p). L'Eq. (2.5) montre qu'il existe une relation linéaire entre I_{CP} et la fréquence f. Cette simple relation permet de mesurer la valeur moyenne de densité de pièges dans le gap $\overline{D_{it}}$, en faisant varier la fréquence du signal pulsé

$$\overline{D_{it}} = \frac{1}{qA\Delta E_{em}} \frac{dI_{CP}}{df} = \frac{1}{\Delta E_{em}} \int_{E_{em,h}}^{E_{em,e}} D_{it}(E) dE \tag{2.7}$$

Les équations Eqs. (2.6) montrent que l'on peut faire varier les niveaux d'émission en changeant les temps de montée ou de descente du signal trapézoïdal, ou en changeant la température. Ainsi, en faisant varier t_f tout en maintenant t_r constant (et inversement), on peut extraire la densité D_{it} à une énergie donnée $E_{em,e}$ ($E_{em,h}$) dans la bande interdite (Fig. 2.12b), en utilisant la relation

$$D_{it}(E_{em}) = \frac{1}{qAfk_BT} \frac{dI_{CP}}{d \ln t_{r,f}} \tag{2.8}$$

Finalement, en répétant les mesures à différentes températures, on peut sonder une grande partie de la bande interdite (Fig. 2.12c), et reconstruire ainsi la distribution en énergie de D_{it}. En particuliers les basses températures jusqu'à 25 K donnent accès à la distribution en énergie proche des bandes de conduction et de valence du Si, dans un intervalle $\pm(0.58; 0.3)$ eV. L'un des avantages de la méthode est que la connaissance de la section de capture $\sigma_{n,p}$ n'est pas requise pour extraire la valeur de D_{it}. Au final on arrive à une précision de l'ordre de quelques 10^{10} à 10^{11} $eV^{-1}cm^{-2}$ sur la mesure de D_{it}.

Application aux grilles nitrurées.–

Nous avons appliqué cette méthode pour identifier et mesurer la distribution en énergie des pièges d'interface liés à l'azote. A cette fin, les mesures ont été réalisées sur des dispositifs avec une épaisseur croissante de TiN de 5 nm à 15 nm (Fig. 2.13) [Cassé 2010, 2011]. La valeur moyenne de densité de piège d'interface $\overline{D_{it}}$, obtenue avec l'Eq. (2.6), augmente avec l'épaisseur de TiN déposée, jusqu'à $3.6\times10^{11}cm^2eV^{-1}$ pour la couche la plus épaisse. Le profil en énergie $D_{it}(E)$ nous donne une vue plus détaillée des pièges induit par la diffusion d'azote. Deux pics caractéristiques apparaissent pour des épaisseurs croissantes de TiN : l'un dans la partie supérieure du gap (atteignant $10^{12}cm^2eV^{-1}$ for 15 nm TiN), près de la bande de conduction, pour une énergie $E - E_i \simeq 0.45$ eV, et l'autre symétrique, de plus faible amplitude, dans la partie inférieure du gap, près de la bande de valence.

La forte différence entre l'amplitude des deux pics et la forme très prononcée de ceux-ci semblent indiquer que ces défauts ne sont pas de type centre-Pb [Gerardi 1986]. Des travaux précédents ont montré des résultats analogues avec les oxydes nitrurés SiON. Ainsi la nitruration des oxydes réduit la densité de centres Pb, mais change également la structure de l'interface [Stathis 2006]. Des mesures électriques ont montré que la distribution en énergie dans la bande interdite du Si des états d'interface liés au NBTI varie avec la nitruration. Comme dans notre cas, les oxydes nitrurés présentent une plus forte densité de défauts près

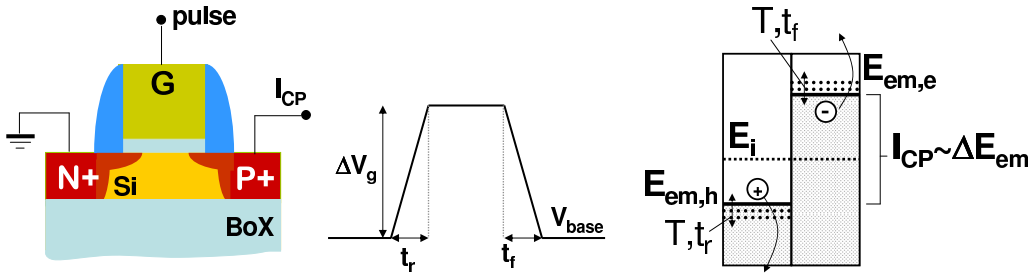


FIGURE 2.11: (a) Montage expérimental utilisé pour la spectroscopie par pompage de charge sur des dispositifs SOI. Un signal trapézoïdal (amplitude ΔV_g, temps de montée et descente t_r, t_f), avec une amplitude constante et un niveau de base variable V_{base}, est appliqué sur la grille, et le courant de pompage I_{CP} est mesuré sur le contact P+. (b) Représentation schématique des mécanismes physiques mis en jeu dans le pompage de charge. Le niveau d'émission des électrons et des trous E_{em} peut être sondé en faisant varier la température T et/ou le temps de montée/descente $t_{r/f}$.

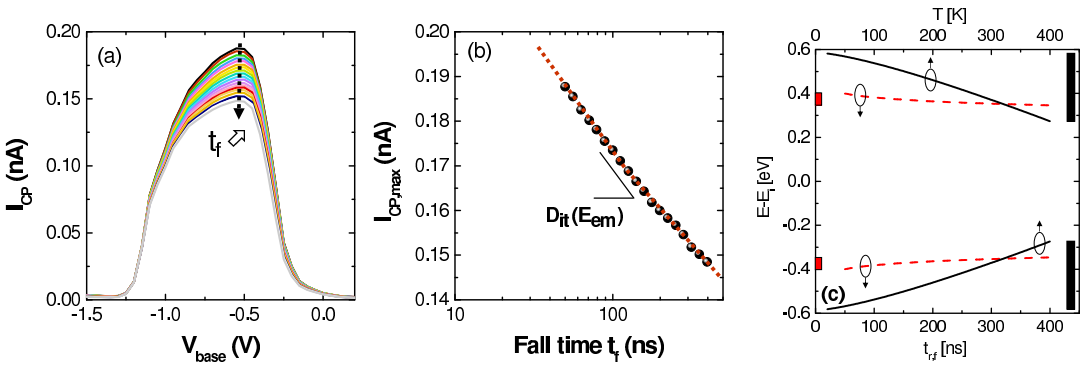
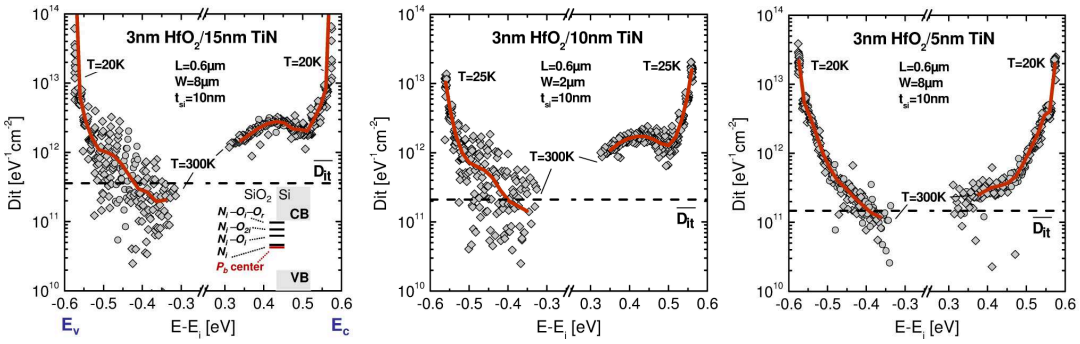


FIGURE 2.12: (a) Courant de pompage de charge I_{CP} mesuré en fonction du niveau de base V_{base}, pour différents temps de montée t_f de 50 ns à 400 ns. (b) Maximum du courant I_{CP} en fonction de t_f. La dérivée par rapport à $\ln(t_f)$ donne la densité de pièges d'interface D_{it} à l'énergie correspondante $E_{em}(t_f)$ (voir texte). (c) Intervalles d'énergie sondés en faisant varier la température de 20 K à 400 K (lignes continues) ou le temps de montée/descente (lignes en pointillés), calculés suivant les équations Eqs. (2.6) pour le Si.



(a) (b) (c)

FIGURE 2.13: Distribution en énergie dans la bande interdite du Si des pièges d'interface mesurée par spectroscopie par pompage de charge pour des dispositifs SOI intégrant une grille TiN PVD de : (a) 15 nm, (b) 10 nm, and (c) 5 nm. Les profils ont été obtenus par des mesures à basse température de 300 K à 20 K. La valeur moyennée sur l'ensemble du gap $\overline{D_{it}}$ est indiquée par la courbe en pointillés (voir Eq. (2.7)). Le niveau de Fermi intrinsèque E_i est utilisé comme référence pour les énergies. Deux pics caractéristiques apparaissent près des bords de bandes à mesure que l'épaisseur de TiN augmente. Celui près du bord la bande de conduction est en accord avec les calculs *ab-initio* de défauts induits par l'azote (insert Fig. 2.13a, d'après [Lee 2008b]).

de la bande de conduction [Schmidt 1988; Fujieda 2003; Stathis 2004], alors que pour le SiO_2 pur on a des états dans le milieu du gap et près de la bande de valence [Poindexter 1984; Gerardi 1986; Campbell 2002]. Enfin des calculs *ab-initio* ont démontré que les niveaux d'énergie associés aux défauts reliés à l'azote sont proches du bas de la bande de conduction, en accord avec nos observations expérimentales [Lee 2008a,b] (Fig. 2.13a).

2.2.1.4 *Interactions coulombiennes*

Modèle de calcul de charges distantes.– Si l'on considère que les défauts induits par l'azote sont amphotères, comme cela est généralement admis pour les pièges à l'interface Si/SiO_2, alors l'ensemble des états au-dessus de E_i sont de type accepteur, et donneur au-dessous de E_i (Fig. 2.14). L'occupation de ces états dépend du potentiel de surface. Pour un NMOS en inversion forte, le niveau de Fermi E_F se situe au-dessus de E_i. Par conséquent tous les pièges entre E_F et E_i sont chargés négativement (niveaux accepteurs occupés), alors que ceux en-dessous de E_i sont neutres (niveaux donneurs occupés). La charge piégée à l'interface peut s'écrire :

$$Q_{it} = \int_0^{E_c - E_i} D_{it}(E) dE \quad (2.9)$$

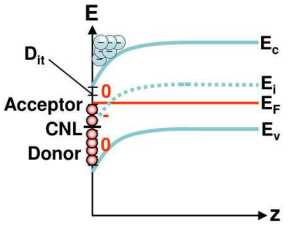


FIGURE 2.14: Diagramme de bandes du substrat Si d'un NMOS en inversion. Les D_{it} induits par l'azote sont supposés être amphotères (le niveau neutre CNL est situé au milieu du gap).

où E représente l'énergie dans la bande interdite du Si référencée par rapport au niveau de Fermi intrinsèque E_i. Le pic de densité d'états d'interface côté bande de conduction induit par la diffusion d'azote, conduit à une densité de charge négative quand le NMOS est en inversion. Ces charges situées à l'interface Si/SiO_2 vont donner lieu à une réduction de mobilité des porteurs dans le canal. Pour les PMOS, la plus faible densité de D_{it} mesurée côté bande de valence conduit théoriquement à une plus faible dégradation.
Le caractère coulombien de la dégradation induite par une grille nitrurée a été mis en évidence par des mesures de mobilité par magnétorésistance (Fig. 2.15). Cette méthode plus

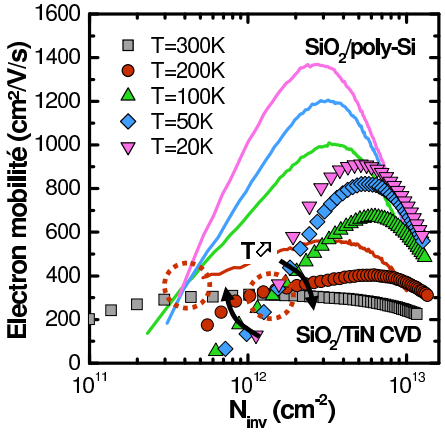


FIGURE 2.15: Mobilité MR mesurée en fonction de la densité de porteurs en inversion N_{inv}, de 300 K à 20 K, pour une grille poly-Si et une grille TiN CVD. Pour les deux dispositifs, un point de concours des courbes en fonction de la température délimite deux dépendances en température opposées.

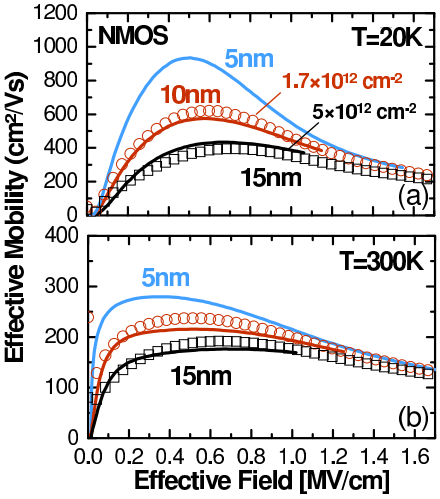


FIGURE 2.16: Mobilité des électrons calculée pour une densité de charges à l'interface SiO_2/Si N_{it}=1.7×10^{12}cm^2 et 5×10^{12}cm^2 (symboles) comparée avec les données expérimentales (lignes) (a) à 20 K, et (b) à 300 K, La mobilité totale a été reconstruite en utilisant la courbe TiN 5 nm comme référence.

sensible que la méthode *split-CV* [6] aux basses densités de porteurs, nous a permis d'identifier clairement la contribution coulombienne induite par une grille TiN. Aux faibles densités N_{inv}, les interactions coulombiennes présentent une dépendance en température caractéristique en T^{α} avec α>0 [Jeon 1989; Villa 1998]. Pour quantifier les choses, nous avons modélisé la dégradation induite par des charges positionnées à l'interface SiO_2/Si, en utilisant la quantité de charge comme variable d'ajustement avec nos courbes expérimentales correspondant à deux épaisseurs de TiN (Fig. 2.16). Un bon ajustement a été obtenu pour les valeurs N_{it} =1.7×10^{12}cm^2 et N_{it}=5×10^{12}cm^2 pour respectivement 10 nm de TiN et 15 nm de TiN. Ces valeurs donnent un très bon accord sur toute la gamme de température de 20 K à 300 K. Néanmoins, ces valeurs ne correspondent pas aux valeurs de charges extraites à partir des profils de D_{it} (via l'Eq. (2.9)), d'un facteur 10 environ. Cette divergence pourrait suggérer :

- une très forte densité de pièges dans la bande de conduction du Si, qui ne peut pas être évaluée par pompage de charge [Ji 2012].
- une distribution plus complexe de défauts à travers l'ensemble de l'empilement diélectrique, qui ne peut également pas être mesurée par pompage de charge.

2.2.2 *Additifs de grille : La, Al, MgO...*

L'analyse précédente a été menée également pour des additifs de grille. Ceux-ci ont été introduits pour accorder la tension de seuil des transistors en contrôlant le dipôle d'interface entre le SiO_2 interfacial et le diélectrique high-κ. En effet, pour expliquer les tensions de bandes plates mesurées sur des empilements high-κ/grille métal, il a été proposé un modèle de dipôles situés à l'interface entre l'oxyde SiO_2 et le diélectrique high-κ (Fig. 2.17) [Sivasubramani 2007; Kirsch 2008; Kita 2009]. Dans ce modèle, la tension de bandes plates et la tension de

6 voir plus loin dans le manuscrit 3.2.4

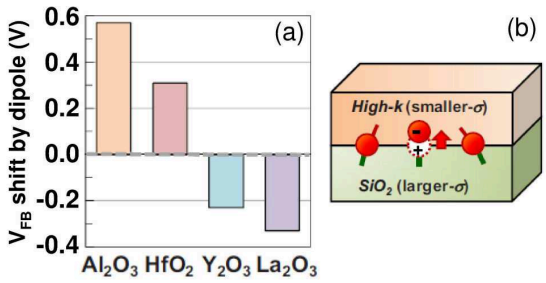


FIGURE 2.17: (a) Décalage de V_{FB} observé expérimentalement dû au dipôle formé à l'interface high-κ/SiO_2 pour divers diélectriques. (b) Schéma illustrant la fomation du dipôle d'interface basé sur la différence de densité surfacique d'atomes d'oxygène σ. D'après [Kita 2009]

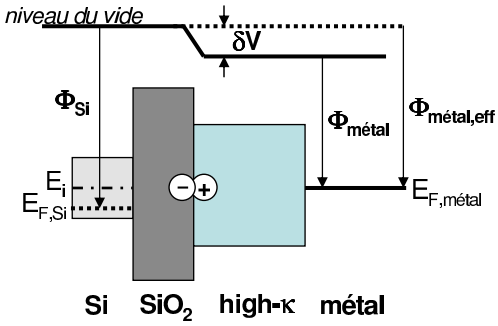


FIGURE 2.18: Schéma de bandes en condition de bandes plates illustrant le modèle de dipôles à l'interface SiO_2/high-κ. Les dipôles induisent un décalage de bande δV qui contribue à augmenter le travail de sortie effectif de la grille métallique $\Phi_{metal,eff}=\Phi_{metal}+\delta V$.

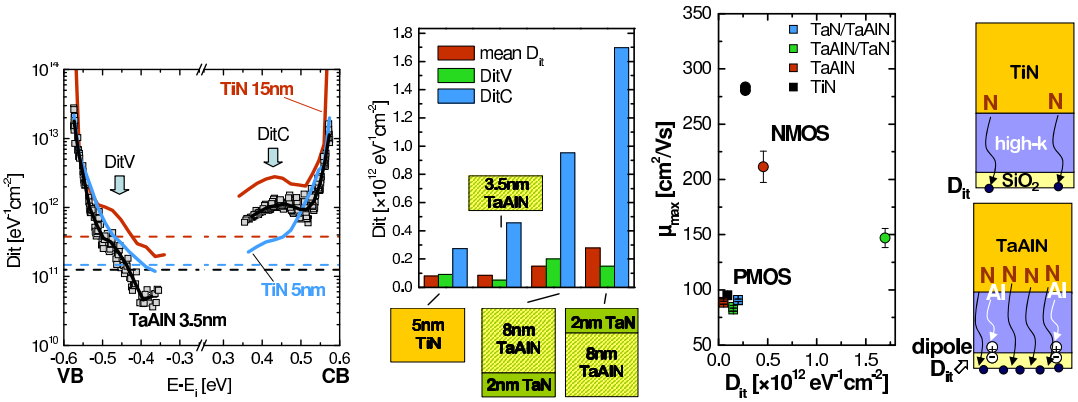
seuil des transistors s'expriment en fonction du travail de sortie du substrat de silicium Φ_{Si} (qui dépend du dopage), et du travail de sortie effectif du métal $\Phi_{métal,eff}$ selon :

$$V_{FB} = \Phi_{métal,eff} - \Phi_{Si} \ , \tag{2.10a}$$

$$\text{avec } \Phi_{métal,eff} = \Phi_{métal} + \delta V \tag{2.10b}$$

en utilisant les conventions définies sur la Fig. 2.18. Le décalage de tension induit à l'interface par le dipôle est noté δV.
La plupart des oxydes de terres rares (La_2O_3, Y_2O_3,...), l'oxyde de magnésium MgO conduisent à la formation d'un dipôle δV négatif, et donc plutôt propice à une grille N+ (Fig.2.17). Parmi les éléments induisant un dipôle positif nous avons l'oxyde d'hafnium HfO_2 et l'alumine Al_2O_3 (Fig.2.17). Ce dernier inséré directement à l'interface, ou formé par diffusion d'Al depuis la grille métallique, permet d'obtenir une grille P+ avec un décalage plus ou moins important.
Pour de *fines* épaisseurs d'oxyde interfacial SiO_2 (typiquement $\lesssim$ 3 nm), le travail de sortie effectif de la grille varie brusquement et chute : on parle alors de *roll-off* de la tension de bandes plates, dû à une variation du dipôle d'interface [O'Sullivan 2006; Charbonnier 2010]. il nous a semblé alors intéressant d'étudier l'influence potentielle de ces additifs, *via* les dipôles d'interface, sur la mobilité. Nous avons regardé plus particulièrement l'effet de l'aluminium et du lanthane, deux options technologiques très étudiées dans la littérature.

Le rôle de l'aluminium Al.– Nous avons étudié plusieurs schémas d'incorporation de l'aluminium dans l'empilement de grille (cf. Fig. 2.2a). La figure 2.19a représente le profil typique de défauts induits par l'aluminium, obtenu avec une grille TaAlN incorporant directement l'Al. Pour de très fines épaisseurs de TaAlN, on voit apparaître le même pic de D_{it} côté bande de conduction que pour les défauts induits par l'azote. Les résultats obtenus pour différents empilements de grille TaAlN/TaN (Fig. 2.19b) suggèrent que l'aluminium tend à favoriser le relâchement et la diffusion de l'azote (voir modèle Fig. 2.19c). La mobilité mesurée sur NMOS et PMOS est largement corrélée avec le pic de D_{it} côté bande de conduction pour les électrons, et côté bande de valence pour les trous. Par ailleurs l'influence électrostatique des dipôles est théoriquement identique pour les NMOS et les PMOS. Ces résultats confirment donc que la quantité de défauts créés à l'interface oxyde/canal est responsable au premier ordre de la dégradation de mobilité : ces défauts semblent bien avoir plus d'impact que les dipôles. En accord avec une augmentation des D_{it}, et une dégradation de la mobilité, le NBTI est également plus ou moins dégradé pour des grilles incorporant de l'Al [Fenouillet-Beranger 2011; Reimbold 2011]. Le meilleur compromis est obtenu finalement pour une fine couche



(a) (b) (c)

FIGURE 2.19: (a) Distribution en énergie dans la bande interdite du Si des pièges d'interface mesurée par spectroscopie par pompage de charge pour des dispositifs SOI intégrant une grille TiN PVD (5nm et 15 nm), et TaAlN (3.5nm). (b) Répartition des D_{it} dans le gap de Si pour différents empilements de grille TaAlN. (c) Variation du maximum de mobilité μ_{max} en fonction de la densité de pièges côté bande de valence D_{itV} pour les PMOS, et côté bande de conduction D_{itC} pour les NMOS, pour les divers empilements TiN et TaAlN. Modèle proposé pour l'effet d'une grille TaAlN : l'incorporation d'Al favorise la diffusion d'azote, conduisant à davantage de défauts à l'interface avec le canal que le TiN ou le TaN seul.

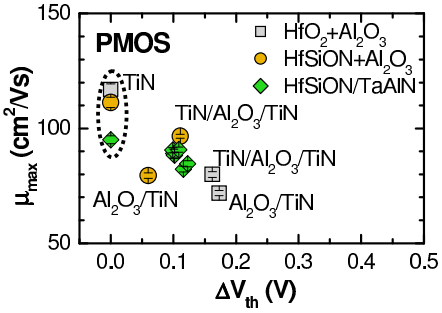


FIGURE 2.20: Mobilité maximum mesurée sur des PMOS en fonction du décalage de tension de seuil induit par l'incorporation d'aluminium suivant différents procédés (cf. 2.2a).

de Al_2O_3 (0.5 nm) insérée dans le TiN (Fig. 2.20). On peut raisonnablement penser que pour cette option, la diffusion d'espèces chimiques jusqu'à l'interface avec le canal est modérée.

Le lanthane et l'oxyde de magnésium.– [Alshareef 2006] Nous avons étudié également l'incorporation de lanthane et de magnésium directement à l'interface où les dipôles sont censés se former, en déposant une couche de La_2O_3 ou de MgO de différentes épaisseurs à cette interface. Comme attendu le décalage de tension de seuil peut être contrôlé par l'épaisseur de la couche déposée, correspondant à une variation du dipôle (Fig. 2.21). En revanche la densité de pièges d'interface et la mobilité se dégradent conjointement (Figs. 2.21 et 2.22). La forte corrélation μ_{eff}–D_{it} laisse penser que, comme pour l'aluminium, la qualité de l'interface oxyde/canal est prépondérante. Ceci a été confirmé en optimisant l'incorporation de La (LaO_x *cappé*, diffusion depuis l'interface supérieure avec la grille métallique, lots processés à Crolles [Baudot 2011]) : on peut alors obtenir une variation de la tension de seuil sans dégradation de l'interface avec le canal.

Discussion sur les dipôles.– Des travaux précédents ont proposé un modèle de dipôles dont l'étendue diffèrerait suivant le type de matériau high-κ, afin d'expliquer certains résultats expérimentaux [Tatsumura 2008; Ando 2009, 2010; Arimura 2010] : certains additifs comme le lanthane semblaient induire un décalage de tension de seuil ΔV_{th} sans dégradation de

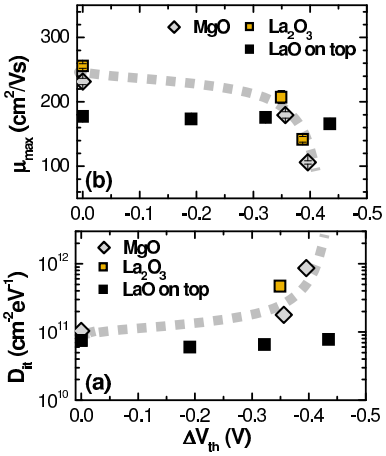


FIGURE 2.21: (a) Mobilité maximum et (b) D_{it} moyen en fonction du décalage de tension de seuil ΔV_{th} induit par les dopants MgO ou La_2O_3.

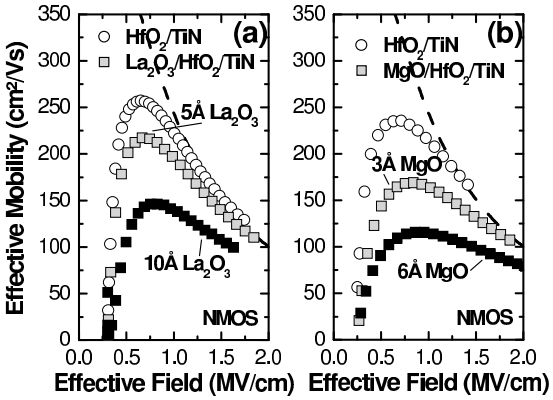


FIGURE 2.22: Mobilité effective mesurée dans des NMOS incorporant une couche de dopant MgO ou La_2O_3 d'épaisseur variable à l'interface entre SiO_2 et HfO_2.

mobilité, alors que pour l'aluminium on constatait toujours une dégradation de mobilité. Le décalage de la tension de bandes plates (et donc de tension de seuil) s'écrit dans le cas d'un dipôle

$$\Delta V_{\mathrm{FB}} = \frac{Q d_{\mathrm{dipole}} N_{\mathrm{dipole}}}{\varepsilon_{\mathrm{dipole}}} \tag{2.11}$$

où Q est la charge portée à chaque extrémité du dipôle unitaire, d_{dipole} la distance entre les deux charge $+Q$ et $-Q$ composant le dipôle, N_{dipole} la densité surfacique et $\varepsilon_{\mathrm{dipole}}$ la constante diélectrique de la couche composant le dipôle (Fig. 2.23). D'après ce modèle le décalage de tension de seuil peut s'obtenir avec un dipôle *longue portée* ou *courte portée* suivant la valeur de la distance d_{dipole}. Pour ce dernier une plus petite densité de dipôle est nécessaire pour avoir le même ΔV_{th}. C'est cette différence de densité qui expliquerait l'effet observé sur la mobilité. Notre interprétation diffère sur ce point. Nous avons vérifié théoriquement l'influence sur la mobilité de différents cas : dipôles longue portée, dipôles courte portée (N_{dipole} avec d_0 variable), charges fixes à l'interface oxyde/canal (N_{it}) et charges fixes à l'interface SiO_2/high-κ (N_{fix}). Nous avons calculé la dégradation induite par la présence de ces dipôles distants sur la mobilité des porteurs dans le canal, en utilisant le formalisme présenté par exemple pour les semiconducteurs III/V nitrurés [Jena 2000] qui repose sur le principe de superposition de l'effet d'une charge $+Q$ et $-Q$. Les résultats sont présentés sur la figure 2.24. Ceux-ci montrent clairement que, pour une même densité de charges/dipoles, l'effet des dipôles est bien plus faible que des charges fixes quelque soient leur position. De plus l'influence électrostatique des dipoles croît exponentiellement avec la distance d_{dipole} séparant les deux charges $\pm Q$. Cependant même avec un dipôle s'étendant sur 1 nm l'effet est encore négligeable devant des charges fixes. Pour l'ensemble des additifs mesurés au Leti, nous pouvons ajuster les courbes expérimentales en considérant une quantité équivalente de N_{it} de l'ordre de quelques 10^{12} à 2×10^{13} cm^{-2}, ce qui reste une quantité très élevées, supérieure à ce que l'on peut évaluer par pompage de charges. Encore une fois, les pièges d'interface semblent n'être que la face émergée de l'iceberg.

En conclusion, nous n'avons pas observé de lien évident entre décalage de tension de seuil ΔVth et dégradation de la mobilité que l'on pourrait imputer aux dipôles d'interface, mais plutôt un lien étroit avec les défauts à l'interface oxyde/canal.

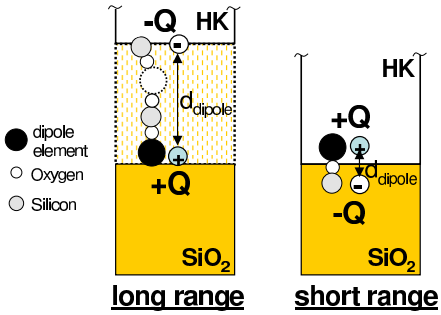


FIGURE 2.23: Représentation schématique des dipoles d'interface à longue portée (*long range*) et courte portée (*short range*), d'après [Ando 2010].

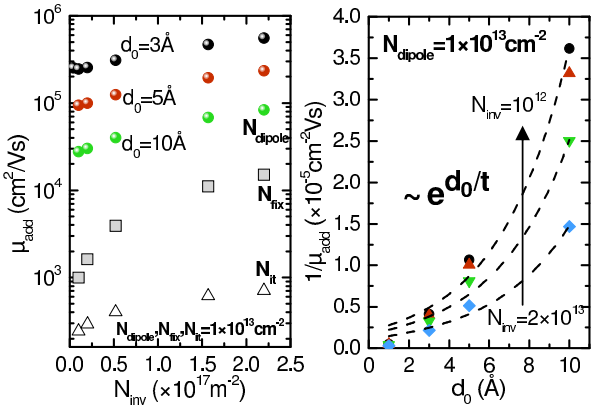


FIGURE 2.24: Calcul de l'effet d'une densité de dipôles N_{dipole} sur la mobilité des électrons dans le canal (μ_{add}), (a) en fonction de la densité de porteurs en inversion N_{inv}, et (b) en fonction de la distance d_0 entre les deux charges composant le dipôle. Dans (a), on a aussi comparé l'effet produit par la même densité de charge fixes à l'interface SiO_2/high-κ (N_{fix}), et SiO_2/Si (N_{it}).

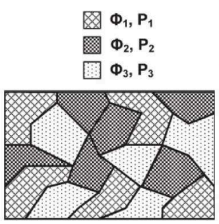
2.2.3 *Des voies inexplorées*

Une première approche de l'impact des nouveaux matériaux de grille sur la variabilité dans les transistors MOS a été engagée au cours du stage de Wenbin Ding. En effet la variabilité de la tension de seuil due aux grains composant la grille métallique a été mis en évidence récemment [Ohmori 2008; Dadgour 2008, 2010a]. Cette variabilité résulte de la dépendance du travail de sortie avec l'orientation cristallographique des grains (Fig. 2.25), et devient prépondérante pour des géométries de grille de plus en plus petites. Ce thème est très proche des préoccupations des industriels, notamment pour les applications de type cellules SRAM. La variabilité des paramètres électriques des transistors en général, et de la tension de seuil en particuliers, est ainsi un point critique pour les futures technologies CMOS [Asenov 2010; Dadgour 2010b].

Nos grilles TiN processées au Leti présentent également cet aspect multi-grains avec deux orientations préférentielles (Fig. 2.26). La méthodologie définie et utilisée au cours du stage a consisté à mesurer la variabilité des paramètres électriques importants (tension de seuil, mobilité des porteurs, facteur de courant, pente sous le seuil...), et à essayer de déterminer le lien avec la structure en grains en comparant des variantes technologiques de TiN PVD. Ce travail préliminaire, intégrant la simulation TCAD 2D d'une grille présentant de fortes variations de travail de sortie n'a pas été poursuivi au sein du laboratoire. Il est à noter que des résultats ont été publiés encore récemment en suivant une approche TCAD/Monte-Carlo comparable à ce qui avait été initié pendant le stage [Rasouli 2011; Li 2012].

2.3 DIÉLECTRIQUES HIGH-K

Les diélectriques à forte permittivité *high-*κ sont maintenant largement utilisés dans la production de masse de transistors. Ces matériaux, dont la permittivité est supérieure à celle du SiO_2, permettent d'obtenir de faibles épaisseurs équivalentes d'oxyde (EOT) tout en limitant



Material	Orientation	Probability	Work function(eV)
TiN	<200>	60 %	4.6
	<111>	40 %	4.4
TaN	<100>	50 %	4.0
	<200>	30 %	4.15
	<220>	20 %	4.8
WN	<111>	65 %	4.5
	<200>	15 %	4.6
	<220>	15 %	5.3
	<311>	5 %	4.2
MoN	<110>	60 %	5.0
	<112>	40 %	4.4

FIGURE 2.25: Quelques propriétés physiques de différents matériaux de grille nitrurés (d'après [Dadgour 2008, 2010a]) : plusieurs orientations de grains sont possibles, avec pour chacune un travail de sortie Φ_i et une probabilité d'apparition P_i différents.

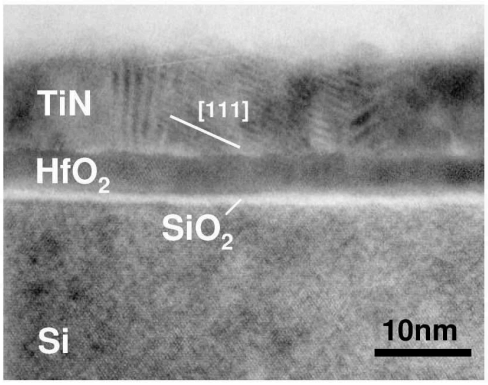


FIGURE 2.26: Coupe TEM de l'empilement de grille d'un transistor HfO_2/TiN. La couche métallique TiN (ici réalisée en CVD) présente nettement des grains de dimensions nanométriques de 5 nm à 10 nm, et d'orientation différentes (préférentiellement [111] et [200]).

le courant de fuite de grille. L'EOT et l'épaisseur équivalente en inversion (notée CET ou t_{inv}) sont définies comme suit

$$EOT = \sum_i t_i \frac{\varepsilon_{r,SiO_2}}{\varepsilon_{r,i}} \tag{2.12a}$$

$$t_{\text{inv}} = \frac{\varepsilon_{r,SiO_2}}{C_{\text{inv}}} \tag{2.12b}$$

où t_i et $\varepsilon_{r,i}$ représentent respectivement l'épaisseur physique et la permittivité relative de la couche i[7] composant l'empilement diélectrique. C_{inv} est la capacité à une tension en inversion donnée. Ces deux paramètres sont deux métriques rentrant dans les spécifications ITRS.

La permittivité ε d'un matériau diélectrique est reliée à la polarisation du matériau sous l'action d'un champ électrique, qui, dans le cas des high-κ, est principalement répartie en une contribution électronique et une contribution ionique [Bersuker 2004a]. La contribution électronique provient du déplacement des couches électroniques par rapport au noyau, alors que la contribution ionique provient du déplacement des ions les uns par rapport aux autres [Kittel 1998]. La permittivité est généralement une grandeur complexe qui dépend de la fréquence. La constante diélectrique κ est définie comme la permittivité relative statique (*i.e.* à fréquence nulle)

$$\kappa = \varepsilon_{\text{ox}}^0 = \varepsilon_{\text{ion.}} + \varepsilon_{\text{el.}} \tag{2.13}$$

Dans le domaine des fréquences optiques (hautes fréquences), la permittivité, ou constante diélectrique optique, provient presque uniquement de la polarisation électronique

$$\kappa_\infty = \varepsilon_{\text{ox}}^\infty = \varepsilon_{\text{el.}} \tag{2.14}$$

Le choix du matériau à forte permittivité doit répondre à un certain nombre de critères [Robertson 2006] :

- sa constante diélectrique doit être suffisamment élevée pour pouvoir être une solution technologique à long terme.
- il doit être thermodynamiquement stable avec le silicium.

7 définie comme le rapport de la permittivité du matériau par la permittivité du vide

(a)

	Gap (eV)	k_∞	Conduction band (eV)
Si	1.1	12	-
SiO_2	9	2.25	3.5
Si_3N_4	5.3	3.8	2.4
$SrTiO_3$	3.3	6.1	-
$PbTiO_3$	3.4	6.25	-
$BaZrO_3$	5.3	4	0.8
$PbZrO_3$	3.7	4.8	-
Ta_2O_5	4.4	4.84	0.3
$SrBi_2Ta_2O_9$	4.1	5.3	0
TiO_2	3.05	7.8	0.05
ZrO_2	5.8	4.8	1.4
HfO_2	6	4	1.5
Al_2O_3	8.8	3.4	2.8
Y_2O_3	6	4.4	2.3
La_2O_3	6	4	2.3
$ZrSiO_4$	6	3.8	1.5
$HfSiO_4$	6	3.8	-

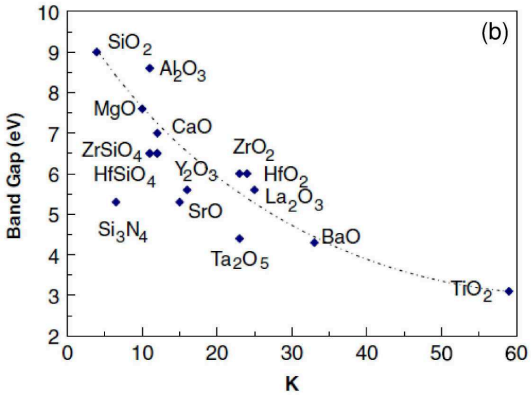


FIGURE 2.27: (a) Valeurs de la largeur de la bande interdite, de la constante diélectrique optique (κ_∞), et du décalage de la bande de conduction pour quelques oxydes. (b) Variation du gap en fonction de la constante diélectrique pour des oxydes binaires et quelques silicates (d'après[Robertson 2006]).

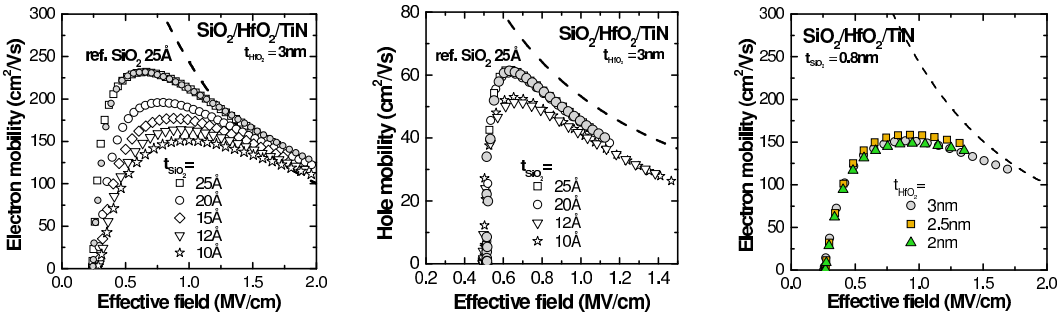
- il doit être stable cinétiquement, et résister aux températures de process (>1000°C pendant 5s).
- il doit avoir des décalages de bandes par rapport au Si d'au moins 1 eV pour minimiser l'injection de porteurs (et donc le courant de grille).
- il doit former une bonne interface électrique avec le silicium, et présenter un minimum de défauts.

Les oxydes amorphes seront préférés aux oxydes cristallins. Pour ces derniers les joints de grain favorisent le courant de fuite de grille.
L'une des conditions importantes que doit satisfaire le matériau high-κ est un offset de bandes assez grand pour éviter le courant tunnel à travers l'oxyde. Pour cela il faut que le gap du matériau soit suffisamment large (typiquement >5 eV). Or on observe généralement une relation entre la valeur du gap et la permittivité diélectrique des matériaux (Fig.2.27) : plus le gap est faible, plus la permittivité diélectrique est importante. Cette relation provient en partie de la contribution électronique de la constante diélectrique $\varepsilon_{\text{el.}} \propto E_{gap}^{-2}$.
Dans notre cas les oxydes d'intérêt seront donc des oxydes avec une constante κ ~20-25, imposée par une forte contribution ionique [Robertson 2002]. Parmi tous les candidats possibles, le choix de la communauté de l'industrie microélectronique s'est essentiellement porté sur les oxydes métalliques à base d'hafnium [Houssa 2006; He 2011]. Au Leti nous nous sommes également intéressés à ces oxydes, et plus particulièrement à HfO_2 et ses variantes nitrurées et/ou silicatées Hf(Si)O(N), ainsi qu'à HfZrO. Parmi les problèmes posés par l'intégration de ces nouveaux matériaux, l'effet sur les propriétés de transport, et la mobilité des porteurs en particulier, s'est dès le début révélé être un point critique. Les paragraphes suivant illustrent les études menées dans cette direction, avec en particulier les travaux de thèse de L. Thevenod [Thevenod 2009] sur HfO_2. L'impact de la nitruration et de la cristallinité de la couche diélectrique a également été abondamment étudié.

2.3.1 *Le cas HfO_2*

En accord avec de nombreux travaux publiés à l'époque[8], nous avons observé une dégradation de la mobilité des électrons et des trous pour nos premières générations d'empilements $SiO_2/HfO_2/TiN$, *(i)* d'autant plus important que l'oxyde interfacial est mince (Figs. 2.28a et 2.28b), et *(ii)* indépendante de l'épaisseur de HfO_2 déposée tant que celle-ci reste inférieure à 4 nm (Fig. 2.28c).

8 voir par exemple [Chau 2004; Reimbold 2005; Ieong 2006; Houssa 2006; Gusev 2006]



(a) (b) (c)

FIGURE 2.28: Mobilité effective mesurée en fonction du champ effectif pour des transistors à empilement $SiO_2/HfO_2/TiN$. Evolution pour différentes épaisseurs d'oxyde interfacial SiO_2 pour des (a) NMOS, et (b) des PMOS. (c) Mobilité des électrons pour différentes épaisseurs de diélectrique HfO_2.

Deux mécanismes sont souvent évoqués pour expliquer cette dégradation, très généralement observée pour les empilements *high-*κ/grille métal [Toniutti 2008, 2012] :

- les interactions coulombiennes dues à des charges distantes situées à l'interface *high-*κ/SiO_2 interfacial [Saito 2003; Lime 2003; Ota 2007; Thomas 2011]
- les interactions distantes avec les phonons optiques mous, intrinsèques au matériau *high-*κ [Fischetti 2001; Datta 2003; Zhu 2004a]

2.3.1.1 *Les interactions coulombiennes*

Mise en évidence expérimentale.– En se basant sur la règle de Mathiessen (cf. Eq. (1.4)), on peut extraire la mobilité additionnelle liée aux mécanismes spécifiques au HfO_2, et définie par

$$\frac{1}{\mu_{add}} = \frac{1}{\mu_{HfO_2}} - \frac{1}{\mu_{ref.}} \tag{2.15}$$

où $\mu_{ref.}$ correspond à un empilement de référence, ici sans la couche de HfO_2. Nous avons pu montrer ainsi que la mobilité additionnelle due au HfO_2 variait exponentiellement avec l'épaisseur d'oxyde interfacial (Fig. 2.30), en accord avec une interaction distante située au dessus de la couche de SiO_2 interfacial [Cassé 2006b]. Des mesures de mobilité magnétorésistance (MR) effectuées sur le même empilement de grille ont également permis d'extraire plus précisément cette contribution à faible charge d'inversion (Fig. 2.31) [Thevenod 2007]. La dépendance en température de la mobilité à faible N_{inv} est caractéristique des mécanismes coulombiens. De plus la contribution additionnelle extraite par rapport à une référence sans HfO_2 (Fig. 2.32) montre toujours cette même dépendance en température, en accord donc avec une origine coulombienne de la dégradation (prévue par la théorie comme illustrée sur la Fig. 2.32c). Pour aller plus loin, nous avons également évalué la densité de charges théoriquement nécessaire pour rendre compte de ces mesures.

Description du modèle RCS.– Le calcul se base sur la résolution de l'équation de Poisson pour le système illustré dans la Fig. 2.33, à savoir une charge ponctuelle $Q = Ze$ située à la distance z_0 dans un empilement quelconque d'oxydes. Le canal en inversion est modélisé par un gaz bidimensionnel d'électrons ou de trous, situé à une distance d de l'interface silicium/oxyde. Cette distance d peut être donnée par exemple par la position moyenne des porteurs en inversion $\overline{z}$. On considère un système infiniment grand avec un symétrie cylindrique par rapport à la position de la charge Q, dans le système de coordonnées (r, z). Nous avons utilisé le formalisme largement décrit dans les références [Ando 1982; Esseni 2003]. Nous

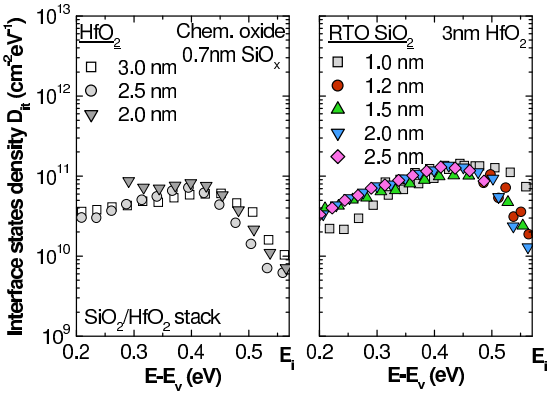


FIGURE 2.29: Densité d'états d'interface mesurée en fonction de l'énergie dans le gap de Si pour diverses épaisseurs de l'empilement de grille $SiO_2/HfO_2/TiN$.

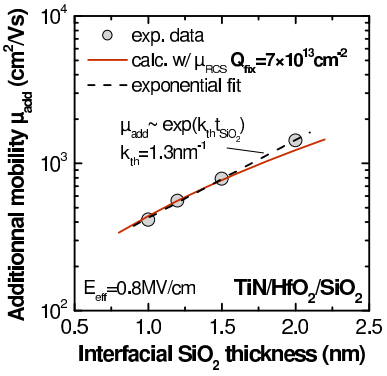


FIGURE 2.30: Mobilité additionnelle due à la couche de HfO_2 extraite en fonction de l'épaisseur d'oxyde interfacial SiO_2.

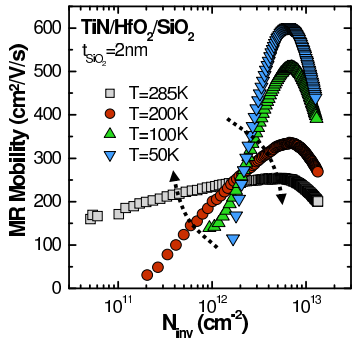


FIGURE 2.31: Mesures de la mobilité magnétorésistance pour un empilement $SiO_2/HfO_2/TiN$ pour différentes températures.

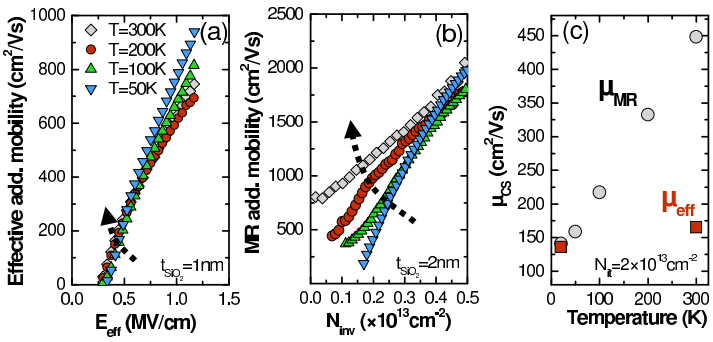


FIGURE 2.32: Mobilité additionnelle entre $SiO_2/HfO_2/TiN$ et SiO_2/TiN, (a) issue de mesures de mobilité effective, et (b) de mesures magnétorésistances, pour différentes températures de 300K à 50K. (c) Calcul de la dépendance en température de la mobilité MR et effective due aux interactions coulombiennes pour une même densité de charges d'interface N_{it}.

donnerons ci-dessous les principales étapes du calcul.
Pour le système considéré ici, l'équation de Poisson s'écrit

$$\nabla\left(\varepsilon(z)\nabla V(r,z)\right) = -(\rho_{ext}+\rho_{ind}) \tag{2.16}$$

où $\varepsilon(z)$ est la permittivité du milieu en z, $V(r,z)$ le potentiel électrostatique, ρ_{ext} la densité de charge ponctuelle et ρ_{ind} la densité de charge induite dans le canal (c'est l'effet d'écrantage). Ces densités s'expriment dans l'approximation de Thomas-Fermi 2D par

$$\rho_{ind} = -e^2\overline{V}(r)\delta(z)(dn_{2D}/dE_F) \tag{2.17}$$
$$\rho_{ext} = Ze\delta(z-z_0)\delta(r)/2\pi r \tag{2.18}$$

où $\overline{V}(r)$ est la valeur de $V(r,z)$ moyennée sur la couche d'inversion[9], n_{2D} la densité de porteurs en inversion et E_F l'énergie de Fermi. Si l'on introduit le paramètre d'écrantage $\overline{q_s}$

$$\overline{q_s} = \frac{e^2}{2\bar{\varepsilon}}\frac{dn_{2D}}{dE_F} \text{ avec } \bar{\varepsilon} = \frac{\varepsilon_{Si}+\varepsilon_2}{2}$$

l'équation de Poisson s'écrit finalement

$$\nabla\left(\varepsilon(z)\nabla V(r,z)\right) - 2\overline{\varepsilon q_s}\overline{V}(r)\delta(z) = -Ze\delta(z-z_0)\frac{\delta(r)}{2\pi r} \tag{2.19}$$

La symétrie cylindrique permet d'écrire cette équation plus simplement en utilisant la transformée de Fourier-Bessel (dans l'espace des $\mathbf{k}$) définie par

$$A_q(z) = \tilde{V}(q,z) = \int_0^{+\infty} V(r,z)J_0(qr)rdr$$

avec J_0 la fonction de Bessel d'ordre 0

$$J_0(qr) = \frac{1}{2\pi}\int_0^{2\pi} e^{i\mathbf{qr}}d\theta$$

Ce qui donne pour chaque couche i considérée, de 1 à n

$$\varepsilon_i\left(\frac{\partial^2}{\partial z^2} - q^2\right)A_q^{(i)}(z) - 2\overline{\varepsilon q_s}\overline{A_q}\delta(z) = -\frac{Ze}{2\pi}\delta(z-z_0) \tag{2.20}$$

avec les conditions de raccordement et aux limites suivantes :

$$A_q^{(i-1)}(z)\Big|_{z=t_{i-1}} = A_q^{(i)}(z)\Big|_{z=t_{i-1}} \qquad \text{continuité du potentiel}$$
$$\varepsilon_{i-1}\frac{\partial A_q^{(i-1)}(z)}{\partial z}\bigg|_{z=t_{i-1}} = \varepsilon_i\frac{\partial A_q^{(i)}(z)}{\partial z}\bigg|_{z=t_{i-1}} \qquad \text{continuité du déplacement}$$
$$\lim_{z\to-\infty} A_q^{(1)}(z) = 0$$
$$A_q^{(n)}(z)\Big|_{z=t_n} = 0 \qquad \text{grille métallique}$$

On peut montrer que l'élément de matrice décrivant la diffusion par la charge distante Q des porteurs de l'état $\mathbf{k}$ vers $\mathbf{k'}$ s'écrit alors

$$H_{k,k'} = 2\pi\overline{A_q} \tag{2.21}$$

qui permet de remonter à son tour au temps de relaxation des moments τ_{RCS} [Ando 1982; Lundstrom 2000]. La résolution du système d'équations (2.20) permet ainsi de modéliser de nombreux cas d'interactions coulombiennes en utilisant le principe de superposition :

9 qui s'écrit donc en toute rigueur $\int V(r,z)|\zeta(z)|^2 dz$

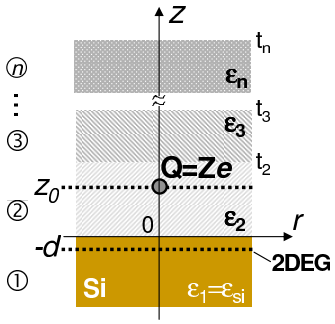


FIGURE 2.33: Schéma du calcul RCS induit par une charge Ze dans un empilement d'oxydes. Le canal en inversion est modélisé par un gaz bidimensionnel d'électrons (2DEG) ou de trous (2DHG), situé à une distance d de l'interface silicium/oxyde.

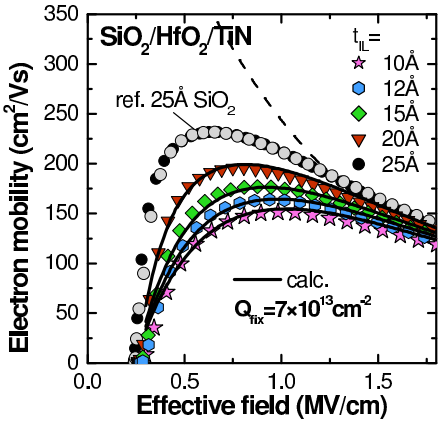


FIGURE 2.34: Comparaison entre la mobilité mesurée (cf. Fig. 2.28a) et la mobilité calculée selon le modèle RCS, en considérant des charges fixes Q_{fix}=7×10^{13}cm^{-2} à l'interface SiO_2/HfO_2.

- les états d'interface, avec $z_0=0^+$ (cf. § 2.2.1.4)
- des charges distantes dans le *high-κ*, avec $z_0=t_2^+$
- des dipôles, en prenant deux charges de signes opposés espacées de d_{dipole} (cf. § 2.2.2)

Nous avons pu modéliser la dégradation de mobilité observée pour les empilements SiO_2/HfO_2/TiN, en considérant une densité de charges fixes à l'interface SiO_2/HfO_2 égale à 7×10^{13}cm^{-2} [Cassé 2006b; Barraud 2007]. Le modèle rend aussi bien compte de la dépendance en épaisseur d'oxyde interfacial (Fig. 2.34), que de la dépendance en température [Cassé 2006b]. Cependant la densité de charges introduites reste très élevée, quelle que soit la complexité du modèle utilisé notamment pour l'écrantage [Barraud 2007; Toniutti 2008], et semble incompatible avec les charges estimées (Q_{fix} ≃8-9×10^{12}cm^{-2}) à partir des tensions de seuil mesurées sur ces empilements (Fig. 2.35) [Cassé 2006a].
Ce désaccord pourrait s'expliquer en partie par la présence de dipôles proches de l'interface SiO_2/high–κ (cf. § 2.2.2). Ceux-ci peuvent induire un décalage de la tension de seuil supplémentaire, qui peut dépendre dans une certaine mesure de l'épaisseur d'oxyde interfacial (V_t *roll-off*), et dégrader la mobilité par le même mécanisme coulombien. Néanmoins comme évoqué plus haut leur effet électrostatique est plus faible en comparaison avec des charges fixes. Une distribution des charges dans l'ensemble des couches de l'oxyde (SiO_2 et/ou HfO_2) pourrait également expliquer la dégradation de mobilité observée.

Enfin, un certain nombre de travaux ont évoqué la possibilité d'une autre interaction distante, non coulombienne, due aux phonons du matériau high-κ. Nous avons évalué et discuté la valeur de cette hypothèse dans le paragraphe suivant.

2.3.1.2 *Le rôle des phonons*

Les matériaux high-κ induisent une interaction supplémentaire, due à leur forte polarisabilité ionique, responsable de leur constante diélectrique élevée. Cette polarisabilité conduit à des phonons optiques de surface, appelés phonons *mous* [10], dont la fréquence ω_{SO} est plus faible que pour le SiO_2 (Fig. 2.36). L'énergie correspondante $\hbar\omega_{SO}$ est suffisamment faible dans les

10 ou *soft-optical (SO) phonons* en anglais

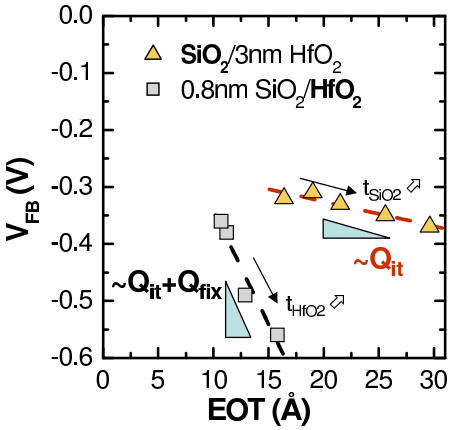


FIGURE 2.35: Variation de la tension de bandes plates mesurée en fonction de l'EOT d'un empilement $SiO_2/HfO_2/TiN$, dans le cas où l'épaisseur de SiO_2 (△) et l'épaisseur de HfO_2 (□) varient. Les pentes permettent de remonter aux valeurs de charges aux interfaces.

Parameter/ material	SiO_2	AlN	Lu_2O_3	Al_2O_3	HfO_2	$LaAlO_3$	La_2O_3
ε^0_{ox} (ε_0)	3.9	9.14	12	12.53	22	23.3	27
ε^∞_{ox} (ε_0)	2.5	4.8	4	3.2	5.03	4.77	5
E_g (eV)	9.0	6.2	5.5	8.8	6.0	6.0	5.5
$\hbar\omega_{SO1}$ (meV)	58.24	91.36	45.61	61.28	17.55	31.1	30.8
$\hbar\omega_{SO2}$ (meV)	144.66	99.39	59.34	90.83	71.88	73.82	63.57

FIGURE 2.36: Valeurs des constantes diélectriques statique (ε^0_{ox}) et optique (ε^∞_{ox}), et des énergies des deux premiers modes des phonons optiques, pour quelques oxydes (d'après [Watling 2008]).

matériaux high-κ pour permettre leur émission ou leur absorption à température ambiante ($\hbar\omega_{SO} \sim k_B T$). Ces énergies, associées à une forte différence entre la constante diélectrique statique ε^0_{ox} et la constante diélectrique à haute fréquence ε^∞_{ox}, entraîne un couplage important entre les porteurs en inversion et les phonons du matériau high-κ, *via* l'interaction de Fröhlich [Wang 1972; Fischetti 2001] :

$$\phi_{SO} \propto \left[\hbar\omega_{SO}\left(\frac{1}{\varepsilon^\infty_{Si}+\varepsilon^\infty_{ox}} - \frac{1}{\varepsilon^\infty_{Si}+\varepsilon^0_{ox}}\right)\right]^{\frac{1}{2}} \tag{2.22}$$

Plusieurs papiers théoriques prévoient ainsi une forte dégradation de la mobilité pour le HfO_2, due à cette interaction supplémentaire, notamment dans le cas où l'on a une grille en polysilicium [Fischetti 2001; Ren 2003; Watling 2005; O'Regan 2007]. Cependant avec une grille métallique cette même interaction est susceptible d'être réduite fortement (∼+20% sur μ_{SO}), à cause de l'effet d'écrantage par cette grille métallique [Bhatt 1993; Fischetti 2001; Kotlyar 2004].
Une amélioration de la mobilité entre une grille poly-Si et une grille métallique a bien été observé, confirmant *a priori* la théorie d'écrantage proposée [Datta 2003; Chau 2004; Shah 2007]. Plus récemment cette théorie a été contestée, en considérant l'argument suivant [Maitra 2007; Laikhtman 2008] : l'image d'un dipôle induit dans la grille métal dépend de l'orientation de celui-ci (Fig. 2.37). Le champ en résultant est soit annulé soit amplifié. Il en va de même pour les phonons optiques : certains modes sont atténués alors que d'autres sont au contraire amplifiés dans le cas d'une grille métallique. Les calculs théoriques les plus récents, comparés avec un grand nombre de mesures expérimentales, dont nos données, semblent néanmoins montrer que les phonons optiques n'ont que très peu d'influence sur la mobilité des électrons et des trous dans des transistors intégrant un empilement HfO_2 ou Hf-silicate/métal [Toniutti 2012].

Expérimentalement la mise en évidence des interactions avec les phonons mous était une gageure, dans la mesure où la dépendance en température est mal connue : $\sim T^{-0.9}$ pour un empilement HfO_2/poly-Si [Ren 2003], et peu ou pas de données théoriques pour les autres cas. Les premières mesures, basées sur la simple dépendance en température de la mobilité, sont peu concluantes et sujettes à discussion [Zhu 2004a; Mereu 2006; Maitra 2007]. En effet

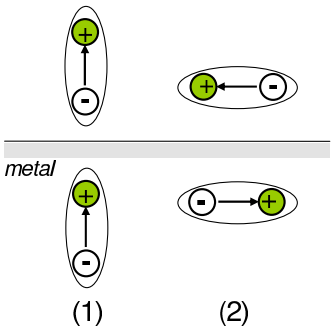


FIGURE 2.37: Représentation schématique de la charge image d'un dipôle induite dans un métal, suivant deux orientations par rapport à l'interface. Dans le cas (1) le dipôle image est parallèle à l'original, alors que dans le cas (2) l'image du dipôle est un dipôle anti-parallèle à l'original [Laikhtman 2008].

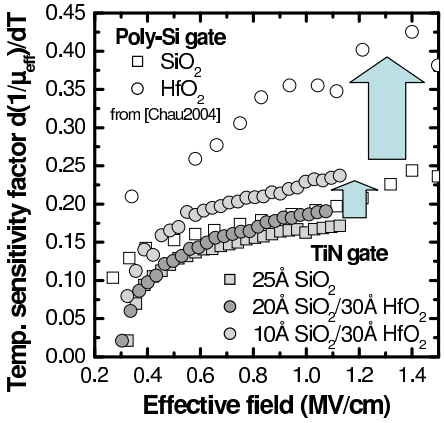


FIGURE 2.38: Facteur de sensibilité thermique, défini par l'Eq. (2.23), mesuré sur plusieurs empilements : SiO_2/TiN, SiO_2/HfO_2/TiN (data Leti), et SiO_2/poly-Si et SiO_2/HfO_2/poly-Si (extrait de [Chau 2004]).

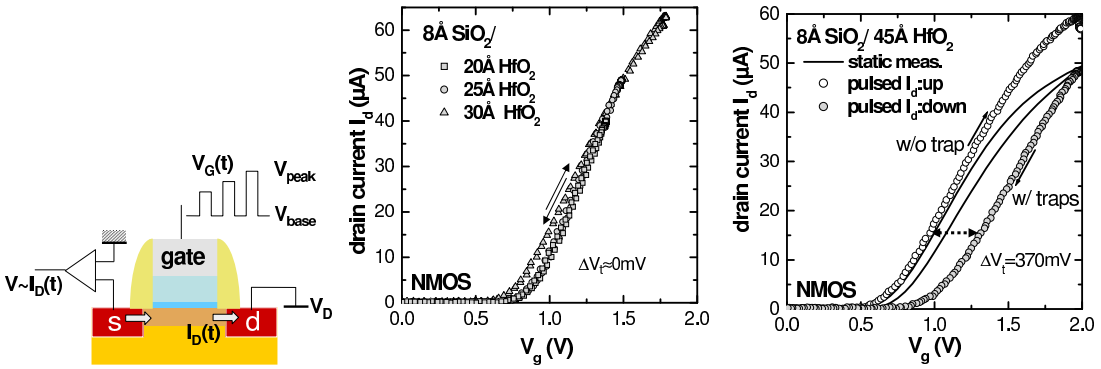
la forte contribution des interactions coulombiennes ($\mu_{CS} \propto T^{\beta}$, $\beta > 0$) et de la rugosité de surface ($\mu_{SR} \propto T^0$) a une influence non négligeable sur la dépendance en température totale de la mobilité [Cassé 2006b,a; Weber 2006]. On peut néanmoins définir le facteur de sensibilité thermique, initialement proposé par [Chau 2004] :

$$\frac{d(1/\mu_{\text{eff}})}{dT} = \underbrace{\frac{d(1/\mu_{CS})}{dT}}_{<0} + \underbrace{\frac{d(1/\mu_{ph})}{dT}}_{>0} + \underbrace{\frac{d(1/\mu_{SR})}{dT}}_{=0} \tag{2.23}$$

avec μ_{CS}, μ_{ph} et μ_{SR} les contributions respectives des interactions coulombiennes, des phonons (incluant les phonons mous), et de la rugosité des interfaces. Parmi toutes ces interactions, seuls les phonons ont une dépendance en température positive, ce qui rend leur identification expérimentale par ce biais plus simple et plus rigoureuse. Basé sur cette approche expérimentale, nos résultats n'ont pas réussi à démontrer une influence significative des phonons optiques (Fig. 2.38) dans nos empilements HfO_2/TiN, même pour les oxydes interfaciaux les plus fins (μ_{SO}<10%).
Nous avons également observé que la mobilité effective des électrons et des trous ne dépend ni de l'épaisseur de HfO_2 ou HfZrO, ni de la composition et température de dépôt, et donc de la structure cristalline des couches $Hf_xZr_{1-x}O$ ou HfO_2 (voir par exemple le travail publié dans [Lhostis 2008]). À ce titre, l'influence de l'interaction avec les phonons mous, qui dépend de la valeur de la constante diélectrique et de la phase cristalline, semble réellement négligeable. L'utilisation de silicate d'hafnium et la réduction de l'épaisseur de diélectrique (∼2nm) suggèrent de plus que pour les empilements optimisés actuels, cette contribution reste limitée. La qualité des interfaces et la maîtrise de la diffusion de l'azote dans les différentes couches est nettement plus critique.

2.3.2 *Diélectriques à base d'hafnium : hétérogénéités, process froid*

Dès les premiers développements des diélectriques à forte permittivité, une hystérésis du courant de drain a été observée, accompagnée d'un *strech-out* des courbes C-V, pour des couches épaisses de high-κ (>3 nm), caractéristiques d'un piègeage dans cette couche [Zafar 2002; Kerber 2003]. Outre les conséquences sur le fonctionnement dynamique des transistors



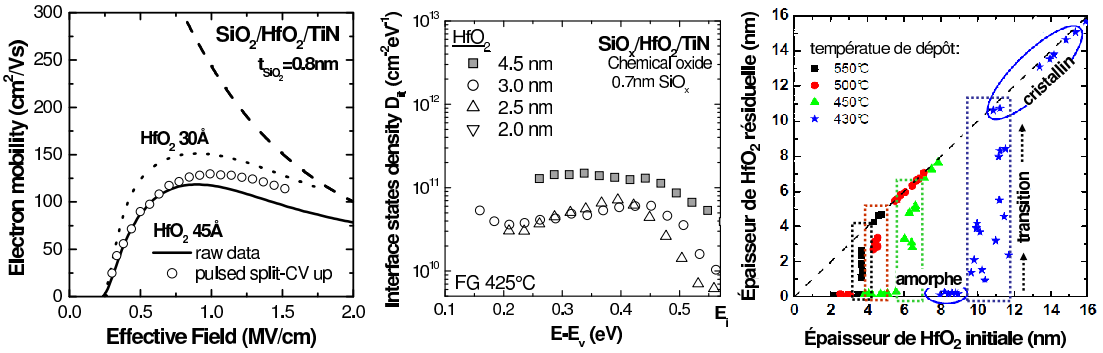
(a) (b) (c)

FIGURE 2.39: (a) Schéma du montage expérimental de la mesure I_d pulsé. Courant de drain mesuré par la technique pulsée pour différentes épaisseurs de diélectrique HfO_2 : (b) de 20Å à 30Å, et (c) 45Å. Pour ce dernier la mesure statique est également tracée (ligne continue). Une forte hystérésis (ΔV_t=470mV) est observée pour une épaisseur de 45Å.

(*via* l'apparition d'un décalage de la tension de seuil au cours du temps dû à ces pièges), l'évaluation de la mobilité avec ces empilements de grille s'en trouve affectée [Kerber 2003; Zhu 2004b; Bersuker 2004b; Young 2005]. Le problème résidait principalement à obtenir une mesure du courant de drain et de la charge d'inversion dans le canal (par le biais de la capacité grille-canal C_{gc}) sans chargement des pièges. En utilisant la méthode de courant pulsé proposée initialement par [Kerber 2003], puis améliorée au sein du laboratoire [Leroux 2004] (Fig. 2.39a), nous avons pu mesurer le courant de drain sans piège, et montrer que ce piégeage était critique pour des épaisseurs supérieures à 3 nm de HfO_2 (Fig. 2.39b et 2.39c). De plus, dans notre cas, le piégeage étant significatif en très forte inversion seulement (*i.e.* pour des tensions V_g>0.8V sur la Fig. 2.39c) la mesure de la capacité C_{gc}, et donc l'évaluation de la charge d'inversion en fonction de V_g n'est pas affectée par ce piégeage.
Les courbes de mobilité ainsi corrigées montrent encore une petite différence avec les mobilités mesurées sur les oxydes plus fins, essentiellement à faible densité de porteurs (Fig. 2.40a). Nous avons ainsi mis en évidence une dégradation supplémentaire au delà d'une épaisseur critique de high-κ. Cette épaisseur critique se traduit également par une densité de défauts d'interface supérieure (Fig. 2.40b) et un changement de structure cristalline (Fig. 2.40c)[Cosnier 2007; Besson 2007]. Au delà d'une épaisseur critique, qui dépend du diélectrique high-κ déposé, de la technique et température de dépôt, la couche diélectrique passe de l'état amorphe à une structure principalement cristalline dans une matrice amorphe (Fig. 2.41). Cette structure présentant différentes phases est relativement préjudiciable aux performances des transistors, en dégradant la mobilité et la fiabilité [Garros 2008a; Watling 2008]. Cependant contrairement à certains travaux publiés [Kirsch 2006a,b], nous avons observé que la phase cristalline en elle-même ne semble pas induire de dégradation de la mobilité, mais engendre en revanche une instabilité de la tension de seuil pour les petites géométries de transistor [Brunet 2010].
Sur les technologies actuelles (*gate first*, épaisseurs de diélectrique de ∼2.5 nm), ce phénomène d'hystérésis n'est plus pertinent à étudier. De plus pour les faibles épaisseurs de diélectriques (<2.5nm), un dépiègage vers la grille réduit d'autant plus le phénomène d'hystérésis.

2.3.3 *Diélectriques à base d'hafnium : effet de la nitruration*

Une solution technologique pour obtenir un meilleur compromis entre épaisseur de diélectrique et courant de fuite à travers la grille, consiste à nitrurer les couches diélectriques high-κ. La nituration permet en effet d'augmenter la constante diélectrique et de diminuer la densité



(a) (b) (c)

FIGURE 2.40: (a) Mobilité effective mesurée par la technique pulsée sur une couche épaisse (45Å) de HfO_2 présentant une forte hystérésis du courant. (b) Densité d'états d'interface pour cette même couche de HfO_2 comparée aux épaisseurs plus fines. (c) Etude du seuil d'épaisseur critique de transition amorphe/cristallin en fonction de la température de dépôt du HfO_2 MOCVD (d'après [Besson 2007])

high-κ	HfO_2 MOCVD			
	430°C	450°C	500°C	550°C
Threshold	100Å	60Å	45Å	38Å
high-κ	HfO_2 ALCVD 350°C			
	As Dep	600°C 15min N2 Atm		
Threshold	80Å	28Å		

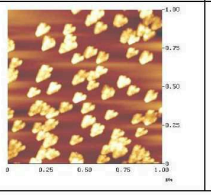
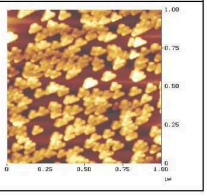
ALCVD "as dep"	
80Å	82Å
	

FIGURE 2.41: Tableau donnant les épaisseurs critiques de transition amorphe/cristallin pour différents procédés et températures de dépôt HfO_2. Images AFM de la surface de HfO_2 après gravure pour deux épaisseurs proches du seuil de cristallisation (ici $t_{HfO_2,c}$=80Å), laissant apercevoir les microcristaux résiduels.

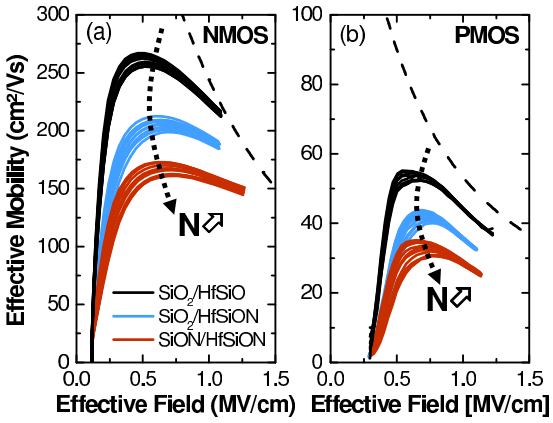


FIGURE 2.42: Mobilité effective des électrons (a) et des trous (b) pour différentes couches diélectriques nitrurées.

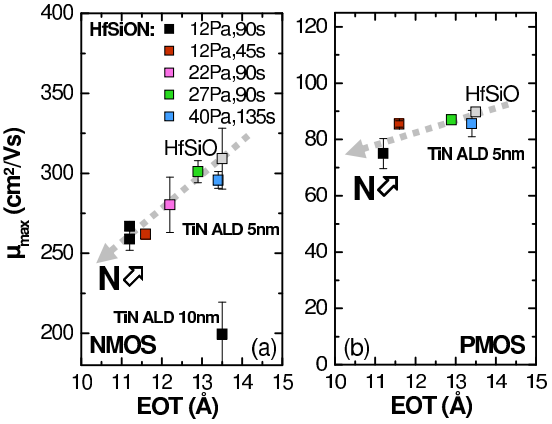


FIGURE 2.43: Mobilité effective maximum des électrons (a) et des trous (b) en fonction de l'EOT, pour différentes conditions de nitruration plasma de la couche HfSiO(N). La mobilité des électrons pour une grille TiN plus épaisse (10nm) est également tracée pour comparaison des effets.

de courant de conduction en densifiant l'oxyde [Kang 2002]. Cependant, comme pour le cas des grilles métalliques nitrurées, nous avons montré que l'incorporation d'azote conduit à une dégradation de la mobilité (Figs. 2.42 et 2.43), conjointement à un NBTI plus élevé et une densité de pièges d'interface également plus élevée (Fig. 2.5 et Ref. [Garros 2008b]). Enfin, les différentes sources d'azote ont un effet cumulatif, notamment sur la dégradation de la mobilité des électrons et des trous. L'optimisation de l'empilement diélectrique nécessite de trouver le meilleur compromis entre mobilité/fiabilité d'une part, et EOT/fuite de grille d'autre part. La maîtrise du profil d'azote, à travers notamment le process de nitruration, est l'une des clés pour obtenir les meilleures performances (Fig. 2.43).

2.4 CONCLUSION ET PERSPECTIVES

L'ensemble des études menées sur l'empilement de grille high-κ/métal à travers de multiples méthodes de caractérisation électrique nous a permis d'avoir une compréhension physique étendue de l'effet de ces nouveaux matériaux sur le transport dans le canal, mais aussi sur la fiabilité et les performances électriques en général. Les résultats obtenus sont autant d'arguments pour orienter les *technologues* dans le choix final pour un nœud technologique et/ou une application donnée.

Actuellement, le choix semble s'être stabilisé pour le nœud 28nm sur le HfSiON, avec un impact limité sur la mobilité des trous et des électrons et sur la variabilité du V_{th} avec les dimensions [Brunet 2010]. Pour la grille métallique, l'industrie micro-électronique s'est tournée plutôt vers le TiN ou des composés. La technologie SOI avec la possibilité de polariser le substrat sous le BOX offre une flexibilité supplémentaire pour ajuster le travail de sortie et relâche la contrainte sur le travail de sortie du matériau de grille [Fenouillet-Beranger 2011].

Pour la suite, il faudra étudier l'évolution de l'influence de ces diélectriques high-κ pour les procédés froids [Xu 2012] ou *gate last* [Morvan 2013], et dans le cas d'un budget thermique additionnel pour l'étage bas d'un empilement 3D de transistors [Batude 2009]. Dans tous ces cas, la température des différentes étapes technologiques est susceptible de changer les propriétés des diélectriques (EOT, défauts dans l'oxyde ou à l'interface, dipôles d'interface...), et par conséquent les propriétés de transport du canal.

Enfin, dans le cadre des recherches sur les générations de transistors pour les nœuds sub-

10nm, le même travail sera à accomplir avec des matériaux à plus forte mobilité que le Si dans le canal (III-V ou Ge) et des architectures vraisemblablement multi-grilles [Choi 2013]. Notamment ces nouveaux matériaux de substrat n'ayant pas la même largeur de bande interdite que le Si, le travail de sortie de la grille devra être ajustée en conséquence. Le choix du diélectrique se fera pour une grande part au regard de la densité d'états d'interface générés, en raison notamment de la faible qualité des oxydes natifs sur ces matériaux [He 2011]. Ainsi des densités de l'ordre de quelques $10^{11}cm^{-2}$ sont reportées à l'heure actuelle pour l'Al_2O_3, qui semble avoir la préférence pour les substrats III-V [Takagi 2012].

BIBLIOGRAPHIE

[Alshareef(2006)] H. N. Alshareef, M. Quevedo-Lopez, H. C. Wen, R. Harris, P. Kirsch, P. Majhi, B. H. Lee, R. Jammy, D. J. Lichtenwalner, J. S. Jur *et al. Work function engineering using lanthanum oxide interfacial layers*. Appl. Phys. Lett., **89**(23) :232103, 2006.

[Ando(1977)] T. Ando. *Screening Effect and Quantum Transport in a Silicon Inversion Layer in Strong Magnetic Fields*. Journal of the Physical Society of Japan, **43**(5) :1616–1626, 1977.

[Ando(1982)] T. Ando, A.B. Fowler, and F. Stern. *Electronic properties of two-dimensional systems*. Rev. Mod. Phys., **54** :437, 1982.

[Ando(2009)] T. Ando, M.M. Frank, K. Choi, C. Choi, J. Bruley, M. Hopstaken, M. Copel, E. Cartier, A. Kerber, A. Callegari *et al. Understanding mobility mechanisms in extremely scaled HfO2 (EOT 0.42 nm) using remote interfacial layer scavenging technique and Vt-tuning dipoles with gate-first process*. In IEDM Tech. Dig., pages 1 –4, 2009.

[Ando(2010)] T. Ando, M. Copel, J. Bruley, M. M. Frank, H. Watanabe, and V. Narayanan. *Physical origins of mobility degradation in extremely scaled SiO_2/HfO_2 gate stacks with La and Al induced dipoles*. Appl. Phys. Lett., **96**(13) :132904, 2010.

[Arimura(2010)] H. Arimura, R. Haight, S. L. Brown, A. Kellock, A. Callegari, M. Copel, H. Watanabe, V. Narayanan, and T. Ando. *Temperature-dependent La- and Al-induced dipole behavior monitored by femtosecond pump/probe photoelectron spectroscopy*. Appl. Phys. Lett., **96**(13) :132902, 2010.

[Asenov(2010)] A. Asenov, B. Cheng, D. Dideban, U. Kovac, N. Moezi, C. Millar, G. Roy, A.R. Brown, and S. Roy. *Modeling and simulation of transistor and circuit variability and reliability*. In IEEE Custom Integrated Circuits Conference (CICC), pages 1 –8, 2010.

[Barraud(2007)] S. Barraud, L. Thevenod, M. Cassé, O. Bonno, and M. Mouis. *Modeling of remote Coulomb scattering limited mobility in MOSFET with HfO2/SiO2 gate stacks*. Microelectr. Eng., **84**(9-10) :2404 – 2407, 2007. INFOS 2007.

[Batude(2009)] P. Batude, M. Vinet, A. Pouydebasque, C. Le Royer, B. Previtali, C. Tabone, L. Clavelier, S. Michaud, A. Valentian, O. Thomas *et al. GeOI and SOI 3D monolithic cell integrations for high density applications*. In VLSI Symp. Tech. Dig., pages 166–167, 2009.

[Baudot(2011)] S. Baudot, P. Caubet, M. Grégoire, R.A. Bianchi, R. Pantel, S. Zoll, M. Gros-Jean, R. Boujamaa, P. Normandon, C. Leroux *et al. Comparison of radio frequency physical vapor deposition target material used for LaOx cap layer deposition in 32nm NMOSFETs*. Microelectr. Eng., **88**(5) :569 – 572, 2011.

[Bersuker(2004a)] G Bersuker, P Zeitzoff, G Brown, and H.R Huff. *Dielectrics for future transistors*. Materials Today, **7**(1) :26 – 33, 2004a.

[Bersuker(2004b)] G. Bersuker, P. Zeitzoff, J.H. Sim, B.H. Lee, R. Choi, G. Brown, and C.D. Young. *Mobility evaluation in high-k devices MOSFETs*. In IEEE International Integrated Reliability Workshop, pages 141 – 144, 2004b.

[Besson(2007)] P. Besson, V. Loup, T. Salvetat, N. Rochat, S. Lhostis, S. Favier, K. Dabertrand, and V.. Cosnier. *Critical thickness threshold in HfO_2 layers*. In Solid State Phenomena, volume 134, pages 67–70, 2007.

[Bhatt(1993)] A. R. Bhatt, K. W. Kim, M. A. Stroscio, G. J. Iafrate, M. Dutta, H. L. Grubin, R. Haque, and X. T. Zhu. *Reduction of interface phonon modes using metal-semiconductor heterostructures*. J. Appl. Phys., **73** (5) :2338–2342, 1993.

[Bohr(2007)] M. Bohr, R. Chau, T. Ghani, and K. Mistry. *The high-k solution*. IEEE Spectrum., pages 29–35, 2007.

[Brugler(1969)] J.S. Brugler and P.G.A. Jespers. *Charge pumping in MOS devices*. IEEE Trans. Electron Dev., **16** : 297–302, 1969.

[Brunet(2010)] L. Brunet, X. Garros, M. Cassé and, O. Weber, F. Andrieu, C. Fenouillet-Béranger, P. Perreau, F. Martin, M. Charbonnier, D. Lafond *et al. New insight on VT stability of HK/MG stacks with scaling in 30nm FDSOI technology*. In Symp. VLSI Technol., pages 29 –30, 2010.

[Buchanan(2004)] D.A. Buchanan. *Beyond microelectronics : materials and technology for nano-scale CMOS devices*. Phys. Stat. Sol. (c), **1**(S2) :155–162, 2004.

[Campbell(2002)] J.P. Campbell and P.M. Lenahan. *Density of states of P_{b1} Si/SiO_2 interface trap centers.* Appl. Phys. Lett., **80** :1945–1947, 2002.

[Cassé(2006a)] M. Cassé, L. Thevenod, B. Guillaumot, L. Tosti, V. Cosnier, J. Mitard, G. Reimbold, T. Billon, M. Mouis, and F. Boulanger. *Impact of TiN/HfO_2 integration on carrier mobility*. In MRS Proceedings, volume 917, 2006a.

[Cassé(2006b)] M. Cassé, L. Thevenod, B. Guillaumot, L. Tosti, F. Martin, J. Mitard, O. Weber, F. Andrieu, T. Ernst, G. Reimbold *et al. Carrier transport in HfO_2 metal gate MOSFETs : physical insight into critical parameters*. IEEE Trans. Electron Dev., **53** :759, 2006b.

[Cassé(2010)] M. Cassé, X. Garros, L. Brunet, and G. Reimbold. *Impact of the Metal Gate on Carrier Transport in HK/MG Transistors*. ECS Transactions, **28**(1) :165–176, 2010.

[Cassé(2011)] M. Cassé, O. Weber, F. Andrieu, G. Reimbold, and F. Boulanger. *A study of N-induced traps due to a nitrided gate in high-κ/metal gate nMOSFETs and their impact on electron mobility*. Solid-State Electron., **65-66** :139–145, 2011.

[Charbonnier(2010)] M. Charbonnier, C. Leroux, V. Cosnier, P. Besson, E. Martinez, N. Benedetto, C. Licitra, N. Rochat, C. Gaumer, K. Kaja *et al. Measurement of dipoles/Roll-off/work functions by coupling CV and IPE and study of their dependence on fabrication process*. IEEE Trans. Electron Dev., **57** :1809–1819, 2010.

[Chau(2004)] R. Chau, S. Datta, M. Doczy, B. Doyle, J. Kavalieros, and M. Metz. *High-k/metal gate stack and its MOSFET characteristics*. IEEE Electron Dev. Lett., **25**(6) :408–410, 2004.

[Choi(2013)] K. Choi, T. Ando, E. Cartier, A. Kerber, V. Paruchuri, J. Iacoponi, and V. Narayanan. *The Past, Present and Future of High-k/Metal Gates*. ECS Transactions, **53**(3) :17–26, 2013.

[Colombo(2005)] L. Colombo, A.L.P. Rotorandaro, M.R. Visokay, and J.J. Chambers. *High Dielectric Constant Materials*, chapter 15. Springer, 2005.

[Cosnier(2007)] V. Cosnier, P. Besson, V. Loup, L. Vandroux, S. Minoret, M. Cassé, X. Garros, J-M. Pedini, S. Lhostis, K. Dabertrand *et al. Understanding of the thermal stability of the hafnium oxide/TiN stack via 2 "high k" and 2 metal deposition techniques.* Microelectr. Eng., **84**(9-10) :1886 – 1889, 2007. Proc. 15th biennial conference on Insulating Films On Semiconductors, INFOS.

[Dadgour(2008)] H. Dadgour, K. Endo, V.K. De, and K. Banerjee. *Modeling and analysis of grain-orientation effects in emerging metal-gate devices and implications for SRAM reliability*. In IEDM Tech. Dig., pages 705–708, 2008.

[Dadgour(2010a)] H. Dadgour, K. Endo, V.K. De, and K. Banerjee. *Grain-Orientation Induced Work Function Variation in Nanoscale Metal-Gate Transistors—Part I : Modeling, Analysis, and Experimental Validation*. IEEE Trans. Electron Dev., **57**(10) :2504 –2514, 2010a.

[Dadgour(2010b)] H. Dadgour, K. Endo, V.K. De, and K. Banerjee. *Grain-Orientation Induced Work Function Variation in Nanoscale Metal-Gate Transistors—Part II : Implications for Process, Device, and Circuit Design*. IEEE Trans. Electron Dev., **57**(10) :2515 –2525, 2010b.

[Datta(2003)] S. Datta, G. Dewey, M. Doczy, B.S. Doyle, B. Jin, J. Kavalieros, R. Kotlyar, M. Metz, N. Zelick, and R. Chau. *High mobility Si/SiGe strained channel MOS transistors with HfO_2/TiN gate stack*. In IEDM Tech. Dig., pages 28.1.1–4, 2003.

[Elewa(1988)] T. Elewa, H. Haddara, S. Cristoloveanu, and M. Bruel. *Charge pumping in silicon on insulator structures using gated P-i-N diodes*. J. de Physique : Colloque, **49** :137–140, 1988.

[Esseni(2003)] D. Esseni and A. Abramo. *Modeling of electron mobility degradation by remote Coulomb scattering in ultrathin oxide MOSFETs*. IEEE Trans. Electron Dev., **50** :1665–1674, 2003.

[Fenouillet-Beranger(2007)] C. Fenouillet-Beranger, S. Denorme, B. Icard, F. Boeuf, J. Coignus, O. Faynot, L. Brevard, C. Buj, C. Soonekindt, J. Todeschini *et al. Fully-depleted SOI technology using high-k and single-metal gate for 32 nm node LSTP applications featuring 0.179 μm^2 6T-SRAM bitcell*. In IEDM Tech. Dig., pages 267–270, 2007.

[Fenouillet-Beranger(2010)] C. Fenouillet-Beranger, O. Thomas, P. Perreau, J.-P. Noel, A. Bajolet, S. Haendler, L. Tosti, S. Barnola, R. Beneyton, C. Perrot *et al. Efficient multi-V_T FDSOI technology with UTBOX for low power circuit design*. In Symp. VLSI Technol., pages 65–66, 2010.

[Fenouillet-Beranger(2011)] C. Fenouillet-Beranger, P. Perreau, M. Cassé, X. Garros, C. Leroux, F. Martin, R. Gassilloud, A. Bajolet, L. Tosti, S. Barnola *et al. UTBOX and ground plane combined with Al_2O_3 inserted in TiN gate for VT modulation in fully-depleted SOI CMOS transistors*. In Proc. of International Symposium on VLSI Technology, Systems and Applications (VLSI-TSA), pages 1 –2, 2011.

[Fischetti(2001)] M. Fischetti, D. A. Neumayer, and E. A. Cartier. *Effective electron mobility in Si inversion layers in metal oxide semiconductor systems with a high-k insulator : The role of remote phonon scattering*. J. Appl. Phys., **90** :4587–4608, 2001.

[Frank(2011)] M.M. Frank. *High-k/metal gate innovations enabling continued CMOS scaling*. In Proceedings of European Solid-State Device Research Conference (ESSDERC), pages 50 –58, sept. 2011.

[Fujieda(2003)] S. Fujieda, Y. Miura, M. Saitoh, E. Hasegawa, S. Koyama, and K. Ando. *Interface defects responsible for negative-bias temperature instability in plasma-nitrided SiON/Si(100) systems*. Appl. Phys. Lett., **82** :3677, 2003.

[Garros(2004)] X. Garros, C. Leroux, G. Reinibold, J. Mitard, B. Guillaumot, F. Martin, and J.L. Autran. *Reliability assessment of ultra-thin HfO_2 oxides with TiN gate and polysilicon-n+ gate*. In International Reliability Physics Symposium Proceedings, pages 176 – 180, april 2004.

[Garros(2008a)] X. Garros, P. Besson, G. Reimbold, V. Loup, T. Salvetat, N. Rochat, S. Lhostis, and F. Boulanger. *Impact of crystallinity of High-k oxides on Vt instabilities of NMOS devices assessed by physical and electrical measurements*. In IEEE International Reliability Physics Symposium, pages 330 –334, 2008a.

[Garros(2008b)] X. Garros, M. Cassé, G. Reimbold, F. Martin, C. Leroux, A. Fanton, O. Renault, V. Cosnier, and F. Boulanger. *Guidelines to improve mobility performances and BTI reliability of advanced high-k/metal gate stacks*. In Symp. VLSI Technol., pages 68–69, 2008b.

[Garros(2009)] X. Garros, M. Cassé, M. Rafik, C. Fenouillet-Béranger, G. Reimbold, F. Martin, C. Wiemer, and F. Boulanger. *Process dependence of BTI reliability in advanced HK MG stacks*. Microelec. Reliab., **49** : 982–988, 2009.

[Gerardi(1986)] G.J. Gerardi, E.H. Poindexter, P.J. Caplan, and N.M. Johnson. *Interface traps and Pb centers in oxidized (100) silicon wafers*. Appl. Phys. Lett., **49** :348, 1986.

[Goodnick(1985)] S. M. Goodnick, D. K. Ferry, C. W. Wilmsen, Z. Liliental, D. Fathy, and O. L. Krivanek. *Surface roughness at the Si(100)-SiO_2 interface*. Phys. Rev. B, **32** :8171–8186, 1985.

[Groeseneken(2008)] G. Groeseneken. *Introduction to Charge Pumping and its applications*. 2008. SISC tutorials.

[Groeseneken(1984)] G. Groeseneken, H.E. Maes, N. Beltran, and R.F. de Keersmaecker. *A reliable approach to charge-pumping measurements in MOS transitors*. IEEE Trans. Electron Dev., **31** :42–53, 1984.

[Guillaume(2004)] T. Guillaume, M. Mouis, S. Maitrejean, A. Poncet, M. Vinet, and S. Deleonibus. *Evaluation of strain-induced mobility variation in TiN metal gate SOI n-MOSFETs*. In Proceedings of European Solid-State Device Research Conference (ESSDERC), pages 393 – 396, 2004.

[Gusev(2006)] E. P. Gusev, V. Narayanan, and M. M. Frank. *Advanced high- κ dielectric stacks with polySi and metal gates : Recent progress and current challenges*. IBM Journal of Research and Development, **50**(4.5) : 387 –410, july 2006.

[He(2011)] G. He, L. Zhu, Z. Sun, Q. Wan, and L. Zhang. *Integrations and challenges of novel high-k gate stacks in advanced CMOS technology*. Progress in Materials Science, **56**(5) :475 – 572, 2011.

[Hori(1990)] T. Hori. *Inversion layer mobility under high normal field in nitrided-oxide MOSFETs*. IEEE Trans. Electron Dev., **37**(9) :2058 –2069, 1990.

[Houssa(2006)] M. Houssa, L. Pantisano, L.-Å. Ragnarsson, R. Degraeve, T. Schram, G. Pourtois, S. De Gendt, G. Groeseneken, and M.M. Heyns. *Electrical properties of high-κ gate dielectrics : Challenges, current issues, and possible solutions*. Materials Science and Engineering : R : Reports, **51** :37 – 85, 2006.

[Ieong(2006)] M. Ieong, V. Narayanan, D. Singh, A. Topol, V. Chan, and Z. Ren. *Transistor scaling with novel materials*. Materials Today, **9**(6) :26 – 31, 2006.

[Ishihara(2002)] T. Ishihara, K. Matsuzawa, M. Takayanagi, and S. Takagi. *Comprehensive understanding of electron and hole mobility limited by surface roughness scattering in pure oxides and oxynitrides based on correlation function of surface roughness*. Jap. J. of Appl. Phys., **41**(Part 1, No. 4B) :2353–2358, 2002.

[Jena(2000)] D. Jena, A. C. Gossard, and U. K. Mishra. *Dipole scattering in polarization induced III-V nitride two-dimensional electron gases*. J. Appl. Phys., **88**(8) :4734 –4738, 2000.

[Jeon(1989)] D.S. Jeon and D.E. Burk. *MOSFET electron inversion layer mobilities – A physically-based semi-empirical model for a wide temperature range*. IEEE Trans. Electron Dev., **36** :1456, 1989.

[Ji(2012)] Z. Ji, J.F. Zhang., W. D. Zhang, B. Kaczer, S. De Gendt, and G. Groeseneken. *Interface States Beyond Band Gap and Their Impact on Charge Carrier Mobility in MOSFETs*. IEEE Trans. Electron Dev., **59**(3) : 783 –790, 2012.

[Kang(2002)] Chang Seok Kang, Hag-Ju Cho, Katsunori Onishi, Renee Nieh, Rino Choi, Sundar Gopalan, Sid Krishnan, Jeong H. Han, and Jack C. Lee. *Bonding states and electrical properties of ultrathin HfO_xN_y gate dielectrics*. Appl. Phys. Lett., **81**(14) :2593–2595, 2002.

[Kerber(2003)] A. Kerber, E. Cartier, L.A. Ragnarsson, M. Rosmeulen, L. Pantisano, R. Degraeve, Y. Kim, and G. Groeseneken. *Direct measurement of the inversion charge in MOSFETs : application to mobility extraction in alternative gate dielectrics*. In Symp. VLSI Technol., pages 159 – 160, 2003.

[Kirsch(2006a)] P. D. Kirsch, M. A. Quevedo-Lopez, S. A. Krishnan, C. Krug, H. AlShareef, C. S. Park, R. Harris, N. Moumen, A. Neugroschel, G. Bersuker *et al. Band edge n-MOSFETs with high-k/metal gate stacks scaled to EOT=0.9nm with excellent carrier mobility and high temperature stability*. In IEDM Tech. Dig., pages 1 –4, 2006a.

[Kirsch(2006b)] P. D. Kirsch, M. A. Quevedo-Lopez, S. A. Krishnan, B. H. Lee, G. Pant, M. J. Kim, R. M. Wallace, and B. E. Gnade. *Mobility and charge trapping comparison for crystalline and amorphous HfON and HfSiON gate dielectrics*. Appl. Phys. Lett., **89**(24) :242909, 2006b.

[Kirsch(2008)] P. D. Kirsch, P. Sivasubramani, J. Huang, C. D. Young, M. A. Quevedo-Lopez, H. C. Wen, H. Alshareef, K. Choi, C. S. Park, K. Freeman *et al. Dipole model explaining high-k/metal gate field effect transistor threshold voltage tuning*. Appl. Phys. Lett., **92**(9) :092901, 2008.

[Kita(2009)] K. Kita and A. Toriumi. *Origin of electric dipoles formed at high-k/SiO_2 interface*. Appl. Phys. Lett., **94**(13) :132902, 2009.

[Kittel(1998)] C. Kittel. *Physique de l'état solide*. Dunod, 7 edition, 1998.

[Koga(1996)] Junji Koga, Shin ichi Takagi, and Akira Toriumi. *Observation of oxide-thickness-dependent interface roughness in Si MOS structure*. Jap. J. of Appl. Phys., **35**(Part 1, No. 2B) :1440–1444, 1996.

[Kotlyar(2004)] R. Kotlyar, M.D. Giles, P. Matagne, B. Obradovic, L. Shifren, M. Stettler, and E. Wang. *Inversion mobility and gate leakage in high-k/metal gate MOSFETs*. In IEDM Tech. Dig., pages 391 – 394, 2004.

[Laikhtman(2008)] B. Laikhtman and P. M. Solomon. *Remote phonon scattering in field-effect transistors with a high κ insulating layer*. J. Appl. Phys., **103**(1) :014501, 2008.

[Lee(2006)] B. H. Lee, J. Oh, H. H. Tseng, R. Jammy, and H. Huff. *Gate stack technology for nanoscale devices*. Materials Today, **9**(6) :32–40, 2006.

[Lee(2008a)] E.-C. Lee. *Nitrogen-induced interface defects in si oxynitride*. Phys. Rev. B, **77**(10) :104108, 2008a.

[Lee(2008b)] E.-C. Lee and H. Ju. *Mechanism for Nitrogen-Originated Negative-Bias Temperature Instability in a MOSFET with Si-Oxynitride Gate Dielectric*. J. Korean Phys. Soc., **52**(2) :337–341, 2008b.

[Leroux(2004)] C. Leroux, J. Mitard, G. Ghibaudo, X. Garros, G. Reimbold, B. Guillaumor, and F. Martin. *Characterization and modeling of hysteresis phenomena in high k dielectrics*. In IEDM Tech. Dig., pages 737 – 740, 2004.

[Lhostis(2008)] S. Lhostis, C. Gaumer, C. Bonafos, S. Schamn, N. Cherkashin, F. Pierre, A. Fanton, C. Morin, F. Ferrieu, M. Cassé *et al. Crystalline Structure of HfZrO Thin Films and ZrO2 / HfO2 bi-Layers Grown by AVD for MOS Applications*. ECS Transactions, **13**(1) :101–109, 2008.

[Li(2012)] Y. Li and H.-W. Cheng. *Random work-function-induced threshold voltage fluctuation in metal-gate mos devices by monte carlo simulation*. IEEE Trans. on Semiconductor Manufacturing,, **25**(2) :266 –271, 2012.

[Lime(2003)] F. Lime, G. Ghibaudo, and B. Guillaumot. *Investigation of electron and hole mobilities in MOSFETs with TiN/HfO_2/SiO_2 gate stack*. In Proceedings of European Solid-State Device Research Conference (ESSDERC), pages 247 –250, 2003.

[Lundstrom(2000)] M. Lundstrom. *Fundamentals of carrier transport*. Cambridge University Press, second edition, 2000.

[Maitra(2007)] K. Maitra, M. M. Frank, V. Narayanan, V. Misra, and E. A. Cartier. *Impact of metal gates on remote phonon scattering in titanium nitride/hafnium dioxide n-channel metal–oxide–semiconductor field effect transistors–low temperature electron mobility study*. J. Appl. Phys., **102**(11) :114507, 2007.

[Mereu(2006)] B. Mereu, C. Rossel, E. P. Gusev, and M. Yang. *The role of Si orientation and temperature on the carrier mobility in metal oxide semiconductor field-effect transistors with ultrathin HfO_2 gate dielectrics*. J. Appl. Phys., **100**(1) :014504, 2006.

[Misra(2005)] V. Misra. *High Dielectric Constant Materials*, chapter 14. Springer, 2005.

[Morvan(2013)] S. Morvan, F. Andrieu, C. Leroux, X. Garros, M. Cassé, F. Martin, R. Gassilloud, Y. Morand, C. Le Royer, P. Besson *et al. Gate-last integration on planar FDSOI for low-VTp and low-EOT MOSFETs*. Microelectronic Engineering, **109** :306–309, 2013.

[Narayanan(2006)] V. Narayanan, V.K. Paruchuri, N.A. Bojarczuk, B.P. Linder, B. Doris, Y.H. Kim, S. Zafar, J. Stathis, S. Brown, J. Arnold *et al. Band-Edge High-Performance High-k/Metal Gate n-MOSFETs Using Cap Layers Containing Group IIA and IIIB Elements with Gate-First Processing for 45 nm and Beyond*. In Symp. VLSI Technol., pages 178 –179, 2006.

[Ohmori(2008)] K. Ohmori, T. Matsuki, D. Ishikawa, T. Morooka, T. Aminaka, Y. Sugita, T. Chikyow, K. Shiraishi, Y. Nara, and K. Yamada. *Impact of additional factors in threshold voltage variability of metal/high-k gate stacks and its reduction by controlling crystalline structure and grain size in the metal gates*. In IEDM Tech. Dig., pages 409–412, 2008.

[O'Regan(2007)] T. O'Regan and M. Fischetti. *Electron mobility in silicon and germanium inversion layers : The role of remote phonon scattering*. Journal of Computational Electronics, **6** :81–84, 2007.

[O'Sullivan(2006)] B.J. O'Sullivan, V.S. Kaushik, L.-A. Ragnarsson, B. Onsia, N. Van Hoornick, E. Rohr, S. DeGendt, and M. Heyns. *Device performance of transistors with high-κ ; dielectrics using cross-wafer-scaled interface-layer thickness*. IEEE Electron Dev. Lett., **27**(7) :546 – 548, 2006.

[Ota(2007)] H. Ota, A. Hirano, Y. Watanabe, N. Yasuda, K. Iwamoto, K. Akiyama, K. Okada, S. Migita, T. Nabatame, and A. Toriumi. *Intrinsic Origin of Electron Mobility Reduction in High-k MOSFETs - From Remote Phonon to Bottom Interface Dipole Scattering*. In IEDM Tech. Dig., pages 65 –68, 2007.

[Pirovano(2000)] A. Pirovano, A.L. Lacaita, G. Zandler, and R. Oberhuber. *Explaining the dependences of the hole and electron mobilities in Si inversion layers*. IEEE Trans. Electron Dev., **47**(4) :718 –724, 2000.

[Poindexter(1984)] E. H. Poindexter, G. J. Gerardi, M.-E. Rueckel, P. J. Caplan, N. M. Johnson, and D. K. Biegelsen. *Electronic traps and Pb centers at the Si/SiO_2 interface : Band-gap energy distribution*. J. Appl. Phys., **56**(10) :2844–2849, 1984.

[Rasouli(2011)] S.H. Rasouli, Chuan Xu, N. Singh, and K. Banerjee. *A Physical Model for Work-Function Variation in Ultra-Short Channel Metal-Gate MOSFETs*. IEEE Electron Dev. Lett., **32**(11) :1507 –1509, 2011.

[Reimbold(2005)] G. Reimbold, J. Mitard, M. Cassé, X. Garros, C. Leroux, L. Thevenod, and F. Martin. *Electrical characterization of high k devices : charges and traps effects on instability, reliability and mobility behaviour*. In Proc. of the int. ECS symp. : Silicon nitride, silicon dioxide thin insulating films, and other emerging dielectrics VIII, volume 2005-01, pages 437–455, 2005.

[Reimbold(2008)] G. Reimbold, X. Garros, M. Cassé, M. Rafik, C. Leroux, G. Ribes, and F. Martin. *Universal Correlation Between Mobility and NBTI on Advanced High-k/Metal Gate Stacks*. ECS Transactions, **16**(5) : 41–53, 2008.

[Reimbold(2011)] G. Reimbold, M. Cassé, X. Garros, C. Leroux, M. Charbonnier, L. Brunet, S. Baudot, P. Caubet, C. Fenouillet-Béranger, F. Andrieu *et al. In depth characterization of electrical effects of dopants (Al, La, Mg, N) in high-k/metal gate stacks*. In Int. Conf. on Solid-State Devices and Mat. (SSDM), 2011.

[Ren(2003)] Z. Ren, M. V. Fischetti, E. P. Gusev, E. A. Cartier, and M. Chudzik. *Inversion channel mobility in high-k high performance MOSFETs*. In IEDM Tech. Dig., pages 33.2.1–4, 2003.

[Robertson(2002)] J. Robertson. *Electronic structure and band offsets of high-dielectric-constant gate oxides*. MRS Bulletin, **69** :217–221, 2002.

[Robertson(2006)] J. Robertson. *High dielectric constant gate oxides for metal oxide Si transistors*. Rep. Prog. Phys., **69** :327–396, 2006.

[Saito(2003)] S. Saito, D. Hisamoto, S. Kimura, and M. Hiratani. *Unified mobility model for high- k gate stacks*. In IEDM Tech. Dig., pages 33.3.1–4, 2003.

[Schmidt(1988)] M.A. Schmidt, Jr. Terry, F.L., B.P. Mathur, and S.D. Senturia. *Inversion layer mobility of MOSFETs with nitrided oxide gate dielectrics*. IEEE Trans. Electron Dev., **35**(10) :1627 –1632, 1988.

[Shah(2007)] R. Shah and M.M. De Souza. *Impact of a Nonideal Metal Gate on Surface Optical Phonon-Limited Mobility in High-κ Gated MOSFETs*. IEEE Trans. Electron Dev., **54**(11) :2991 –2997, 2007.

[Sivasubramani(2007)] P. Sivasubramani, T.S. Boscke, J. Huang, C.D. Young, P.D. Kirsch, S.A. Krishnan, M.A. Quevedo-Lopez, S. Govindarajan, B.S. Ju, H.R. Harris *et al. Dipole moment model explaining nFET Vt tuning utilizing La, Sc, Er, and Sr doped HfSiON dielectrics*. In Symp. VLSI Technol., pages 68 –69, 2007.

[Stathis(2006)] J. Stathis and S. Zafar. *The negative bias temperature instability in MOS devices : a review*. Microelectr. Reliab., **46** :270–286, 2006.

[Stathis(2004)] J. Stathis, G. LaRosa, and A. Chou. *Broad energy distribution of NBTI-induced interface states in p-MOSFETs with ultra-thin nitrided oxide*. In International Reliability Physics Symposium Proceedings, pages 1–7, 2004.

[Takagi(1994)] S. Takagi, A. Toriumi, M. Iwase, and H. Tango. *On the universality of inversion layer mobility in Si MOSFET's : Part i – effects of substrate impurity concentration*. IEEE Trans. Electron Dev., **41** :2357, 1994.

[Takagi(2012)] S. Takagi, R. Zhang, S.-H Kim, N. Taoka, M. Yokoyama, J.-K. Suh, R. Suzuki, and M. Takenaka. *MOS interface and channel engineering for high-mobility Ge/III-V CMOS*. In IEDM, pages 505–508, 2012.

[Tatsumura(2008)] K. Tatsumura, T. Ishihara, S. Inumiya, K. Nakajima, A. Kaneko, M. Goto, S. Kawanaka, and A. Kinoshita. *Intrinsic correlation between mobility reduction and Vt shift due to interface dipole modulation in HfSiON/SiO2 stack by La or Al addition*. In IEDM Tech. Dig., pages 1 –4, 2008.

[Thevenod(2009)] L. Thevenod. *Etude de la mobilité dans les transistors intégrant un oxyde de grille de forte permittivité et une grille métallique*. PhD thesis, INPG, 2009.

[Thevenod(2005)] L. Thevenod, M. Cassé, M. Mouis, G. Reimbold, F. Fillot, B. Guillaumot, and F. Boulanger. *Influence of TiN metal gate on Si/SiO2 surface roughness in N and PMOSFETs*. Microelectr. Eng., **80** :11 – 14, 2005. Proc. 14th biennial conference on Insulating Films On Semiconductors, INFOS.

[Thevenod(2007)] L. Thevenod, M. Cassé, W. Desrat, M. Mouis, G. Reimbold, D. K. Maude, and F. Boulanger. *Magnetoresistance mobility extraction on TiN/HfO2/SiO2 metal-oxide-semiconductor field effect transistors*. Appl. Phys. Lett., **90** :152111 –152111–3, 2007.

[Thomas(2011)] S. M. Thomas, M. J. Prest, T. E. Whall, D. R. Leadley, P. Toniutti, F. Conzatti, D. Esseni, L. Donetti, F. Gámiz, R. J. P. Lander *et al. On the role of Coulomb scattering in hafnium-silicate gated silicon n and p-channel metal-oxide-semiconductor-field-effect-transistors*. J. Appl. Phys., **110**(12) :124503, 2011.

[Toniutti(2008)] P. Toniutti, P. Palestri, D. Esseni, and L. Selmi. *Revised analysis of the mobility and I_{ON} degradation in high-κ : gate stacks : Surface optical phonons vs. remote Coulomb scattering*. In Proceedings of European Solid-State Device Research Conference (ESSDERC), pages 246 –249, 2008.

[Toniutti(2012)] P. Toniutti, P. Palestri, D. Esseni, F. Driussi, M. De Michielis, and L. Selmi. *On the origin of the mobility reduction in n- and p-metal–oxide–semiconductor field effect transistors with hafnium-based/metal gate stacks*. J. Appl. Phys., **112**(3) :034502, 2012.

[van den Bosch(1991)] G. van den Bosch, G. Groeseneken, P. Heremans, and H.E. Maes. *Spectroscopic Charge Pumping : a new procedure for measuring interface trap distributions on MOS transistors*. IEEE Trans. Electron Dev., **38** :1820–1831, 1991.

[Villa(1998)] S. Villa, A.L. Lacaita, L.M. Perron, and R. Bez. *A physically-based model of the effective mobility in heavily-doped n-MOSFET's*. IEEE Trans. Electron Dev., **45** :110, 1998.

[Wallace(2005)] R.M. Wallace and G.D. Wilk. *High Dielectric Constant Materials*, chapter 9. Springer, 2005.

[Wang(1972)] S. Q. Wang and G. D. Mahan. *Electron scattering from surface excitations*. Phys. Rev. B, **6** :4517–4524, 1972.

[Watling(2005)] J.R. Watling, Lianfeng Yang, A. Asenov, J.R. Barker, and S. Roy. *Impact of high-κ dielectric HfO_2 on the mobility and device performance of sub-100-nm nMOSFETs*. IEEE Transactions on Device and Materials Reliability, **5**(1) :103 – 108, 2005.

[Watling(2008)] J.R. Watling, A.R. Brown, G. Ferrari, J.R. Barker, G. Bersuker, P. Zeitzoff, and A. Asenov. *Impact of High- Gate Stacks on Transport and Variability in Nano-CMOS Devices*. Journal of Computational and Theoretical Nanoscience, **5**(6) :1072–1088, 2008.

[Weber(2006)] O. Weber, M. Cassé, L. Thevenod, F. Ducroquet, T. Ernst, and S. Deleonibus. *On the mobility in high-κ/metal gate MOSFETs : Evaluation of the high-κ phonon scattering impact*. Solid-State Electron., **50** (4) :626 – 631, 2006.

[Weber(2010)] O. Weber, F. Andrieu, J. Mazurier, M. Cassé, X. Garros, C. Leroux, F. Martin, P. Perreau, C. Fenouillet-Béranger, S. Barnola *et al. Work-function engineering in gate first technology for multi-VT dual-gate FDSOI CMOS on UTBOX*. In IEDM Tech. Dig., pages 3.4.1 –3.4.4, 2010.

[Wu(1989)] A.T. Wu, T.Y. Chan, V. Murali, S.W. Lee, J. Nulman, and M. Garner. *Nitridation induced surface donor layer in silicon and its impact on the characteristics of n- and p-channel MOSFETs*. In IEDM Tech. Dig., pages 271 –274, 1989.

[Xu(2012)] C. Xu, P. Batude, M. Vinet, M. Mouis, M. Cassé, B. Sklenard, B. Colombeau, Q. Rafhay, C. Tabone, J. Berthoz *et al. Improvements in low temperature (<625°C) FDSOI devices down to 30nm gate length*. In International Symposium on VLSI Technology, Systems, and Applications (VLSI-TSA), pages 1 –2, 2012.

[Young(2005)] C.D. Young, P. Zeitzoff, G.A. Brown, G. Bersuker, Byoung Hun Lee, and J.R. Hauser. *Intrinsic mobility evaluation of high- kappa ; gate dielectric transistors using pulsed Id-Vg*. IEEE Electron Dev. Lett., (8) :586 – 589, aug. 2005.

[Zafar(2002)] S. Zafar, A. Callegari, E. Gusev, and M.V. Fischetti. *Charge trapping in high k gate dielectric stacks*. In IEDM Tech. Dig., pages 517 – 520, 2002.

[Zhao(2010)] Yi Zhao, H. Matsumoto, T. Sato, S. Koyama, M. Takenaka, and S. Takagi. *A novel characterization scheme of Si/SiO_2 interface roughness for surface roughness scattering-limited mobilities of electrons and holes in unstrained- and strained-Si MOSFETs*. IEEE Trans. Electron Dev., **57**(9) :2057 –2066, 2010.

[Zhu(2004a)] W. Zhu and T. P. Ma. *Temperature dependence of channel mobility in HfO_2-gated NMOSFETS*. IEEE Electron Dev. Lett., **25** :89–91, 2004a.

[Zhu(2004b)] W. Zhu, J.-P. Han, and T.P. Ma. *Mobility measurement and degradation mechanisms of MOSFETs made with ultrathin high-k dielectrics*. IEEE Trans. Electron Dev., **51**(1) :98 –105, 2004b.

3

OPTIMISATION DU TRANSPORT : NOUVEAUX MATÉRIAUX, SI CONTRAINT

3.1 INTRODUCTION

En plus de la réduction d'échelle, un accroissement constant des performances des transistors est requis par l'ITRS. L'amélioration du transport s'avère être un paramètre déterminant pour parvenir à cet objectif. En effet, l'augmentation de la mobilité des porteurs dans le canal permet d'augmenter le courant à l'état ON, au-delà des bénéfices de la réduction des dimensions [Ieong 2004; Liu 2005]. De gros efforts ont été consentis afin d'optimiser la mobilité des porteurs dans les transistors MOS, en travaillant sur les propriétés de transport du matériau composant le canal. La décennie 2000 a ainsi vu (re)surgir l'ingénierie des contraintes et l'intégration de matériaux à plus forte mobilité que le silicium historique, mais aussi des substrats avec des orientations cristallographiques différentes.

Les contraintes ne sont pas une nouveauté dans la physique des semi-conducteurs, mais leur utilisation dans la technologie CMOS est nettement plus récente. Les contraintes, tensiles ou compressives, [1] ont en effet un fort impact sur les propriétés de transport dans les semi-conducteurs, et le silicium en particulier [Smith 1954]. Intel fut le premier à initier le mouvement en introduisant des contraintes dans le canal induites par le process dans la fabrication de leurs MOSFETs en 2002 [Thompson 2002]. L'introduction des contraintes mécaniques a ainsi permis une avancée énorme dans la roadmap des transistors depuis le noeud 90nm [Kuhn 2011]. En réalité, les premières réalisations technologiques datent des années 80, avec la croissance de couches de Si sur une matrice de SiGe [Manasevit 1982; Lee 2005]. La théorie elle remonte aux travaux de Bardeen [Bardeen 1950] et Shockley [Shockley 1950] et aux premières mesures de piézorésistance sur Si et Ge de Smith [Smith 1954]. Aujourd'hui, de nombreux travaux ont permis de dresser une vue théorique relativement complète des contraintes dans les dispositifs MOSFETs [Sun 2007, 2010; Baykan 2010].
La thèse de F. Rochette [Rochette 2008], débutée en 2004, s'inscrivait dans ce contexte de l'intérêt renouvelé pour les contraintes [2]. L'idée directrice reposait sur la caractérisation de l'effet des contraintes dans les architectures innovantes (substrats SOI et sSOI), jusqu'à des longueurs de grille très faibles (L∼20nm), à partir de techniques de caractérisation avancées et originales (banc cryogénique, banc de flexion uniaxiale, magnétorésistance). Si les effets piézorésistifs étaient bien connus dans le matériau Si massif, peu ou pas de données étaient disponibles dans ces dispositifs CMOS avancés.

Dans cette recherche vers une amélioration de la mobilité, l'industrie micro-électronique s'est également tournée vers de nouveaux matériaux pour le canal, à plus forte mobilité que le silicium. Un regain d'intérêt pour le germanium, depuis l'avènement du silicium dans les années 60 [3], est logiquement apparu, dû à la meilleure mobilité intrinsèque des électrons (3900 *vs* 1400 cm^2/Vs) et des trous (1900 *vs* 500 cm^2/Vs) pour le Ge.
Les travaux menés au Leti sur les pMOSFETs fabriqués sur Ge et GeOI ont montré des fuites de jonctions bien plus élevées que dans le cas Si ou SOI (notamment en raison du faible *band gap* du Ge pur), rendant le compromis I_{ON}-I_{OFF} difficile à optimiser (voir par exemple la thèse de L. Hutin [Hutin 2010a]). Le cas du nMOSFET GeOI est encore plus problématique

1 Dans le canal d'un transistor celles-ci peuvent être uniaxiales ou biaxiales
2 Cette thèse faisait suite aux travaux préliminaires initiés au sein du labo par C. Gallon [Gallon 2003]
3 La raison principale de ce choix initial était l'instabilité chimique de l'oxyde natif GeO_2 et une plus forte densité de défauts que pour le SiO_2.

car les gains espérés en mobilité n'ont pas été obtenus sur dispositifs. En revanche les alliages $Si_{1-x}Ge_x$, plus faciles à intégrer, présentent également une meilleure mobilité pour les trous, ajustable en fonction de la composition en Ge et de la contrainte de la couche, et permettent d'ajuster la tension de seuil des PMOS [Jain 2003; Kuhn 2010]. Cet axe de recherche sur le matériau SiGe représente désormais une part importante, ce matériau étant largement utilisé pour les PMOS quelle que soit l'architecture [4], et a donné lieu à un travail approfondi depuis 2010.

Enfin le silicium ayant la peau dure, l'exploitation des propriétés de transport différentes suivant les orientations cristallographiques du silicium permet également d'obtenir un gain significatif de mobilité, tout en conservant les mêmes étapes de process [Ieong 2004]. Ainsi les trous ont une meilleure mobilité pour une surface d'inversion orientée (110)[5], par rapport à l'orientation standard (100). En revanche les électrons présentent la meilleure mobilité pour l'orientation standard [Takagi 1994]. La co-intégration des deux surfaces pour tirer partie au mieux du silicium représente donc également une solution pour améliorer significativement le courant I_{ON} des transistors [Chang 2004]. Cette approche consistant à optimiser les surfaces a été abordée au Leti, et dans ce cadre nous avons pu approfondir l'étude des propriétés de transport en fonction de l'orientation cristallographique [Signamarcheix 2011]. Ce travail, qui ne sera pas décrit ici, nous a servi de base pour la suite lors de nos études sur les transistors non planaires, comme les transistors à nanofils (*Cf.* Chap. 4).

3.2 SI CONTRAINT

La majeure partie des résultats présentés dans cette partie a été obtenue dans le cadre des travaux de thèse de F. Rochette [Rochette 2008]. L'originalité du travail réside essentiellement dans l'obtention de données expérimentales pour des dispositifs avancés fabriqués à partir d'une architecture SOI, et la comparaison avec les modèles théoriques du transport. En particulier la mesure des coefficients piézorésistifs à l'aide d'un banc de flexion a constitué la colonne vertébrale du travail. Ces études ont ensuite été reprises un peu plus tard, en 2012, sur des technologies plus matures (SOI mince, high-k/grille métal, architectures multi-grilles,...).

3.2.1 *Coefficients piézorésistifs et théorie*

En brisant la symétrie d'un cristal, les déformations induites par des contraintes mécaniques modifient ses propriétés électroniques (structure de bandes, masses effectives, interactions électron/phonon,...). Deux approches théoriques permettent de comprendre et d'étudier l'effet d'une contrainte sur le transport. La plus *simple* consiste à rester dans une vision macroscopique en passant par le tenseur de piézorésistivité qui relie la contrainte appliquée à la variation de résistivité du matériau. Ce tenseur décrit directement l'effet d'une contrainte mécanique sur les propriétés de transport électronique, et constitue un outil de description phénoménologique. La deuxième approche nécessite de (re)calculer la structure de bandes du silicium (ou de n'importe quel semi-conducteur) sous l'effet d'une contrainte ainsi que les différentes interactions que subissent les porteurs du canal (avec les phonons essentiellement), en utilisant des modèles quantiques plus ou moins complets (*e.g.* modèle **k.p**, *tight binding* [6], *density functional theory* [7],...).
Nous nous sommes concentrés sur la première approche, *i.e.* déterminer le tenseur de piézorésistivité dans le cas du canal d'un transistor, tout en essayant, lorsque cela était possible, de faire le lien avec des calculs plus avancés publiés dans la littérature.

4 Le SiGe a été introduit dans la route CMOS dès le noeud 90nm [Chau 2007].
5 la mobilité des porteurs dépend également de l'orientation du canal pour une surface donnée ; ⟨110⟩ donne les meilleures valeurs pour les trous dans le plan (110).
6 encore appelé modèle liaisons fortes
7 également appelée théorie de la fonctionnelle de la densité

$$\varepsilon = \begin{pmatrix} \varepsilon_{xx} & (\varepsilon_{xy}+\varepsilon_{yx})/2 & (\varepsilon_{xz}+\varepsilon_{zx})/2 \\ (\varepsilon_{xy}+\varepsilon_{yx})/2 & \varepsilon_{yy} & (\varepsilon_{yz}+\varepsilon_{zy})/2 \\ (\varepsilon_{xz}+\varepsilon_{zx})/2 & (\varepsilon_{yz}+\varepsilon_{zy})/2 & \varepsilon_{zz} \end{pmatrix}$$

$$\sigma = \begin{pmatrix} \sigma_{xx} & \sigma_{xy} & \sigma_{xz} \\ \sigma_{xy} & \sigma_{yy} & \sigma_{yz} \\ \sigma_{xz} & \sigma_{yz} & \sigma_{zz} \end{pmatrix} \qquad \sigma_i = \sum_j C_{ij}\varepsilon_j$$

(a)

$$\pi = \begin{pmatrix} \pi_{11} & \pi_{12} & \pi_{12} & 0 & 0 & 0 \\ \pi_{12} & \pi_{11} & \pi_{12} & 0 & 0 & 0 \\ \pi_{12} & \pi_{12} & \pi_{11} & 0 & 0 & 0 \\ 0 & 0 & 0 & \pi_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & \pi_{44} & 0 \\ 0 & 0 & 0 & 0 & 0 & \pi_{44} \end{pmatrix}$$

(b)

FIGURE 3.1: (a) Expression du tenseur des déformations ε, des contraintes σ, et (b) de piézorésistivité linaire, dans la base principale des axes cristallographiques ($\langle 001\rangle$,$\langle 010\rangle$,$\langle 100\rangle$).

Nous donnons ici quelques éléments de la théorie des tenseurs, largement décrite par ailleurs (voir par exemple [Smith 1954]). Les déformations représentent les variations de géométrie de la maille du silicium suivant toutes les directions. Elles s'expriment sans unité et sont représentées par un tenseur ε symétrique de rang 2 (et possèdent par conséquent six composantes indépendantes). Le tenseur des contraintes σ est un tenseur de rang 2 également, et représente une force par unité de surface [8]. Par convention une contrainte en tension est comptée positivement alors qu'une contrainte en compression est comptée négativement. Dans le cadre de la théorie de l'élasticité linéaire, la déformation dépend linéairement des contraintes mécaniques, et ces deux grandeurs sont reliées par le tenseur des coefficients d'élasticité C_{ij} (Fig. 3.1a). Dans le cas où les contraintes appliquées restent faibles, nous pouvons considérer que la résistivité (ou indifféremment la mobilité) varie linéairement avec la contrainte [9], suivant la relation

$$\Delta\mu/\mu = -\pi\sigma \tag{3.1}$$

D'après les symétries du réseau cristallin du silicium, on peut réduire le nombre de coefficients indépendants à seulement trois, comme pour les constantes élastiques : π_{11}, π_{12}, et π_{44} (Fig.3.1b). Ces trois composantes vont dépendre essentiellement de l'orientation de la surface, ainsi que des interactions limitant la mobilité. Enfin, il convient de noter que ces expressions ont été établies pour un matériau massif (et donc en volume). Elles peuvent toutefois être appliquées dans le cas bidimensionnel d'une couche d'inversion, jusqu'à certaines limites.
L'effet d'une contrainte sur le transport peut se comprendre en s'intéressant à la structure de bandes du Si contraint [Sun 2010]. L'application d'une contrainte, biaxiale ou uniaxiale, en tension ou en compression, en règle générale modifie la courbure des bandes et/ou la distribution des porteurs dans les sous-bandes. Il en résulte un changement de la masse effective de conduction. Cependant, l'effet principal sur la mobilité est souvent causé par la modification des interactions avec les phonons [Takagi 1996]. Ces interactions sont fonction des transitions possibles entre les sous-bandes (intra-vallées). Les contraintes en modifiant l'espacement entre les sous-bandes modifient de manière significative ces interactions, et par conséquent la mobilité des porteurs.

3.2.2 *Application aux MOSFETs : contraintes biaxiales, uniaxiales*

3.2.2.1 *Banc de flexion uniaxiale*

Ces coefficients ont été extraits en utilisant un banc de flexion 4 points réalisé au Leti [10]. Ce dernier permet d'appliquer une contrainte uniaxiale calibrée, en tension ou en compres-

8 Il s'exprime donc en Pa
9 Pour le Si cela reste vrai pour des contraintes très inférieures à 1GPa.
10 Pour plus de précisions sur le banc, se référer aux mémoires de thèse [Rochette 2007] et de DRT [Gallon 2003].

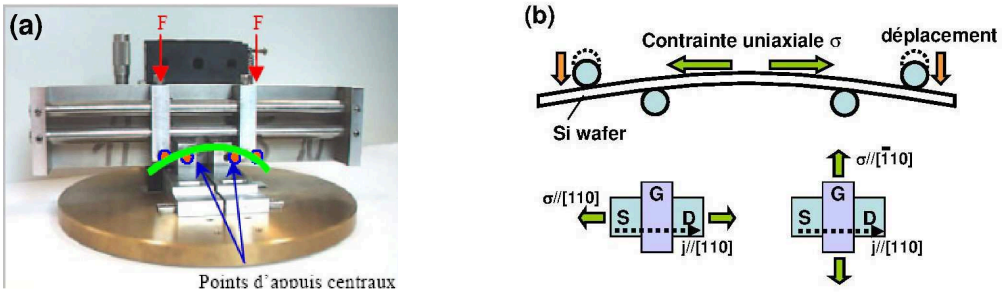


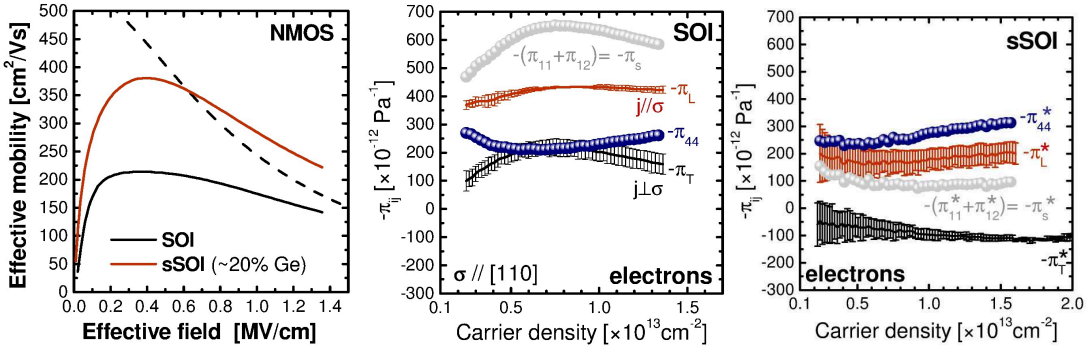
FIGURE 3.2: (a) Photo du banc de flexion 4 points utilisé pour la mesure des coefficients piézorésistifs. (b) Schéma de principe du banc de flexion. La contrainte appliquée dépend du déplacement des points d'appuis extérieurs, et est homogène entre les deux points d'appuis intérieurs. Deux configurations de mesure sont possibles, suivant la direction de la contrainte appliquée par rapport à celle du canal (configuration transverse ou longitudinale).

sion, tout en mesurant les caractéristiques électriques des dispositifs sous pointe (Fig. 3.2). Les coefficients piézorésistifs sont simplement donnés par la pente de la variation relative de la mobilité mesurée pour plusieurs valeurs de contraintes, conformément à la relation donnée par l'Eq. (3.1). Deux configurations de mesure sont possibles, suivant la direction de la contrainte appliquée par rapport à celle du canal, qui seront dénommées par a suite configuration transverse ou longitudinale. La combinaison de ces deux configurations de mesures et/ou de différentes directions de canal ($\langle 100 \rangle$ et $\langle 110 \rangle$ pour des surfaces (100) du Si) permet de remonter à un ou plusieurs des coefficients piézorésistifs indépendants.
En pratique, la contrainte maximale applicable avant rupture de la puce de silicium est de l'ordre de 200 à 250 MPa, bien qu'un groupe ait publié des données expérimentales jusqu'à 1GPa avec un principe similaire [Suthram 2007]. Pour des transistors longs, la simple mesure du courant de drain en fonction de la tension de grille V_G pour différentes valeurs de contraintes appliquées permet d'extraire la valeur des coefficients piézorésistifs en fonction de la charge d'inversion dans le canal. Pour les transistors courts l'effet des résistances d'accès n'est plus négligeable, et nécessite donc de corriger les données mesurées ou d'utiliser des structures de mesure spécifiques (pour des mesures quatre pointes).
Dans un premier temps nous nous sommes donc focalisés sur les transistors longs, dont les données expérimentales posent moins problème, et dont l'analyse permet une bonne compréhension de la physique. Plus récemment, avec le regain d'intérêt pour les contraintes, nous avons décidé de nous replonger dans le cas des transistors courts avec des technologies plus matures, sur des transistors nanofils [11].

3.2.2.2 *Résultats pour le FDSOI*

Une grande partie de nos études s'est concentrée sur les dispositifs fabriqués à base de substrat SOI, *i.e.* un film mince de Si [12] sur isolant. Les substrats contraints biaxialement (sSOI) présentent également un fort intérêt pour la fabrication des NMOS, dû au gain de mobilité mesuré pour une contrainte biaxiale en tension pour les électrons (Fig. 3.3a). Ces substrats sont réalisés par report d'une couche mince de Si (de l'ordre de ∼10nm) préalablement contrainte par croissance sur une couche de $Si_{1-x}Ge_x$ relaxé, sur un isolant (le BOX). Suivant la composition de Ge de la couche initiale de SiGe, on peut obtenir une forte contrainte biaxiale en tension de 1.4GPa (pour x=0.2) à 2.3GPa (pour x=0.4) [13].
Nous avons pu étudier l'évolution des coefficients piézorésistifs en fonction de la contrainte

11 Ce travail ne sera pas décrit dans ce manuscrit
12 L'épaisseur est en général inférieure ou égale à 10-15nm
13 On parle alors plutôt de substrat XsSOI



(a) (b) (c)

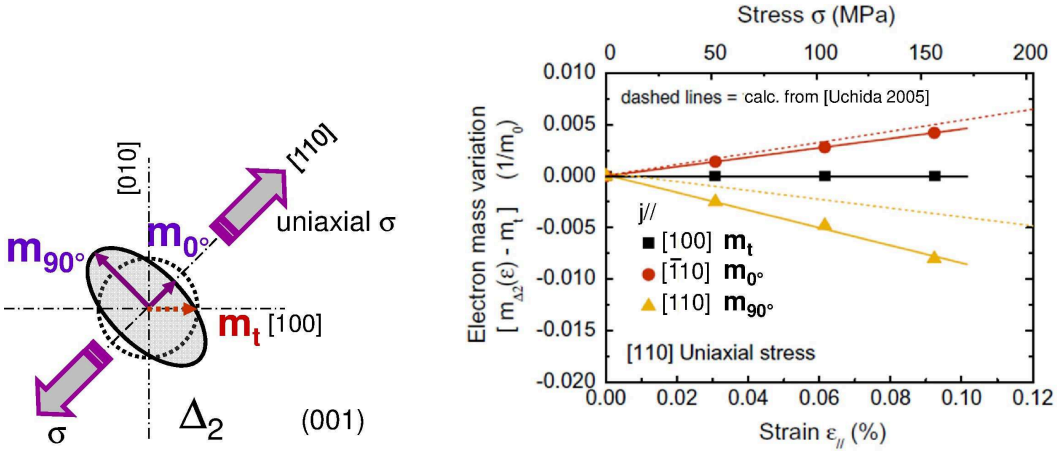
FIGURE 3.3: (a) Mobilité effective des électrons en fonction du champ électrique effectif pour des transistors SOI et sSOI. Pour ces derniers la contrainte biaxiale en tension est équivalente à celle obtenue pour une couche de Si sur un substrat $Si_{0.8}Ge_{0.2}$. Coefficients piézorésistifs longitudinaux (π_L) et transverses (π_T) mesurés en fonction de la densité de porteurs en inversion pour des électrons sur des dispositifs SOI (b) et sSOI (c).

initiale (SOI *vs.* sSOI) [Rochette 2009], l'influence de l'épaisseur du film de Si [Cassé 2012a], ainsi que l'effet d'une contrainte uniaxiale sur la structure de bande des électrons [Rochette 2006, 2007].
La figure 3.3 illustre les résultats des coefficients extraits sur SOI ($\pi_{L,T}$) et sSOI ($\pi^*_{L,T}$). Ceux-ci montrent l'évolution des coefficients piézorésistifs dans le régime des fortes déformations, comme c'est le cas pour le sSOI. Ainsi les coefficients pour le sSOI sont plus faibles que ceux du silicium non contraint SOI ($\pi^* < \pi$). Ce résultat important a permis de montrer que le fait de superposer une contrainte uniaxiale sur un dispositif déjà contraint biaxialement ne résulte pas de la simple addition de l'effet de cette contrainte uniaxiale mesuré sur un dispositif non contraint.

Pour comprendre ces résultats, il faut revenir aux coefficients piézorésistifs principaux donnés par

$$\pi = \begin{cases} \pi_L = (\pi_{11} + \pi_{12} + \pi_{44})/2 & \text{si } \boldsymbol{j} \parallel \boldsymbol{\sigma}_{[110]} \\ \pi_T = (\pi_{11} + \pi_{12} - \pi_{44})/2 & \text{si } \boldsymbol{j} \perp \boldsymbol{\sigma}_{[110]} \end{cases} \tag{3.2}$$

Dans cette expression, les coefficients π_{11} et π_{12} traduisent l'effet d'une contrainte uniaxiale selon une direction principale du silicium ($\langle 100 \rangle$), alors que le coefficient π_{44} traduit le cisaillement induit par une contrainte uniaxiale selon un axe non principal (par exemple selon [110]). La somme $\pi_s = \pi_{11} + \pi_{12}$ correspond à l'effet d'une contrainte biaxiale. Nous avons représenté ces deux grandeurs π_s et π_{44} sur la figure 3.3. En particulier, ces résultats montrent que la composante biaxiale π_s tend vers une valeur nulle pour les très fortes contraintes du sSOI, alors que la composante de cisaillement π_{44} reste inchangée [Weber 2007]. En d'autres termes, l'effet biaxial sature au-delà de 1.5GPa [Welser 1994], alors que l'effet du cisaillement sur le transport reste constant. D'un point de vue physique, une contrainte biaxiale ou uniaxiale selon une direction principale induit un décalage énergétique des vallées de la bande de conduction du silicium. Pour une contrainte en tension, le peuplement des vallées Δ_2 augmente au détriment de celui des vallées Δ_4. Ce repeuplement préférentiel des vallées Δ_2 entraîne une augmentation de la mobilité, due à la réduction des interactions avec les phonons inter-vallées d'une part [Takagi 1996], et à la diminution de la masse effective de conduction d'autre part. Pour les dispositifs fortement contraints en tension biaxiale, tous les électrons occupent déjà les vallées Δ_2. L'addition d'une composante biaxiale n'aura donc plus d'effet significatif sur le transport, ce qui se traduit par la valeur nulle de π_s.
La composante de cisaillement résulte principalement du changement de masse effective des



(a) (b)

FIGURE 3.4: (a) Représentation schématique de l'effet de cisaillemtent d'une contrainte uniaxiale appliquée selon l'axe [110]. (b) Variation de la masse effective des vallées Δ_2 en fonction de la contrainte uniaxiale appliquée selon [110], et pour différentes directions du transport. Les lignes en pointillés correspondent au calcul issu de la théorie du potentiel de déformation [Uchida 2005].

vallées transversales Δ_2 induit par une contrainte selon des axes non principaux [Kanda 1991] (voir Fig.3.4a). Sous l'effet d'une contrainte en cisaillement, l'isotropie de la masse effective des vallées Δ_2 est rompue [Uchida 2005]. Nous avons pu quantifier ce changement de masse effective grâce à des mesures originales effectuées selon plusieurs directions de transport (Fig.3.4b) [Rochette 2006, 2007]. Les valeurs obtenues vérifient la relation

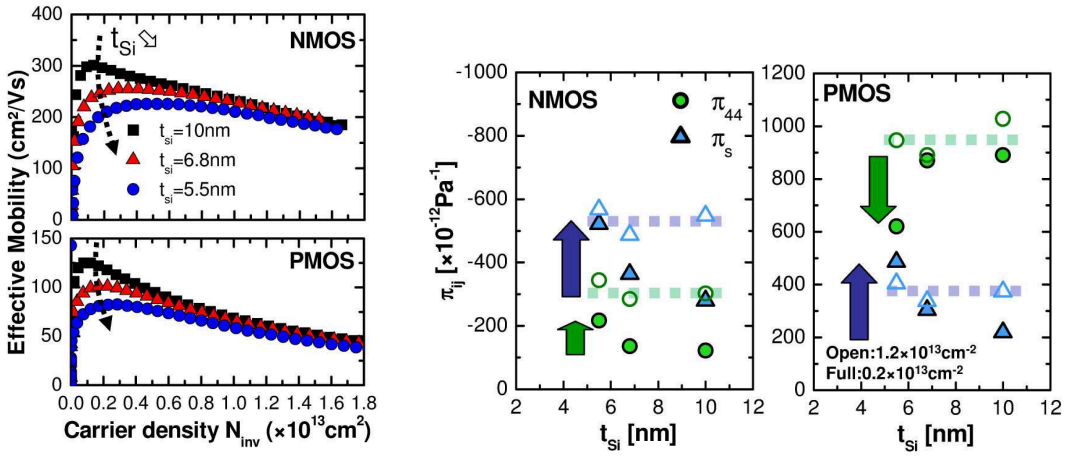
$$\left.\begin{aligned} m_0 &= m_t - \delta_1 \times \sigma \\ m_{90} &= m_t + \delta_2 \times \sigma \end{aligned}\right\} \text{avec } \delta_1 \approx \delta_2 \tag{3.3}$$

et sont en relativement bon accord avec les valeurs théoriques [Uchida 2005; Ungersboeck 2007] ou expérimentales [Hensel 1965].

L'évolution des transistors CMOS vers les faibles longueurs de grille requiert de fabriquer des dispositifs FDSOI avec des films de Si de plus en plus mince, afin notamment de limiter les effets de canaux courts. La figure 3.5a montre les mobilités effectives des électrons et des trous en fonction de la charge d'inversion, mesurées pour des épaisseurs de film t_{Si} différentes. On observe clairement une dégradation de la mobilité, pour les NMOS comme pour les PMOS, avec les épaisseurs décroissantes, particulièrement aux faibles valeurs de N_{inv}. Or les interactions avec les phonons dépendent de l'épaisseur de la couche d'inversion, et pour les couches de Si inférieure à 20nm, la mobilité limitée par les phonons peut ainsi décroitre avec t_{Si} [Takagi 1998]. La distance moyenne effective de la couche d'inversion avec l'interface oxyde/canal varie également avec t_{Si} et module les interactions avec les charges d'interface [Nì Chléirigh 2008]. Il nous a donc paru intéressant d'étudier l'influence de ce paramètre sur les effets piézorésistifs [Cassé 2012a]. Nos résultats ont ainsi montré une corrélation entre la chute de mobilité les coefficients fondamentaux π_s et π_{44} (Fig. 3.5b). Ils démontrent que l'effet d'une contrainte augmente avec des épaisseurs de film plus faibles.

3.2.3 *Dispositifs sSOI*

Une application directe des contraintes pour améliorer le transport est l'utilisation de substrats fortement contraints biaxialement (sSOI) [Andrieu 2006]. Dans le cadre de plusieurs projets et collaboration de thèses au sein du laboratoire Leti/LDI et SOITEC, nous nous



(a) (b)

FIGURE 3.5: (a) Mobilité effective mesurée en fonction de la charge d'inversion N_{inv} pour différentes valeurs d'épaisseur de film de Si de 10nm à 5.5nm. Une dégradation de la mobilité aux faibles valeurs de N_{inv} est observée.(b) Valeurs correspondantes des coefficients piézorésistifs π_{44} et π_s en fonction de t_{Si}. Une variation des coefficients π avec t_{Si} est mise en évidence en corrélation avec les valeurs de mobilité.

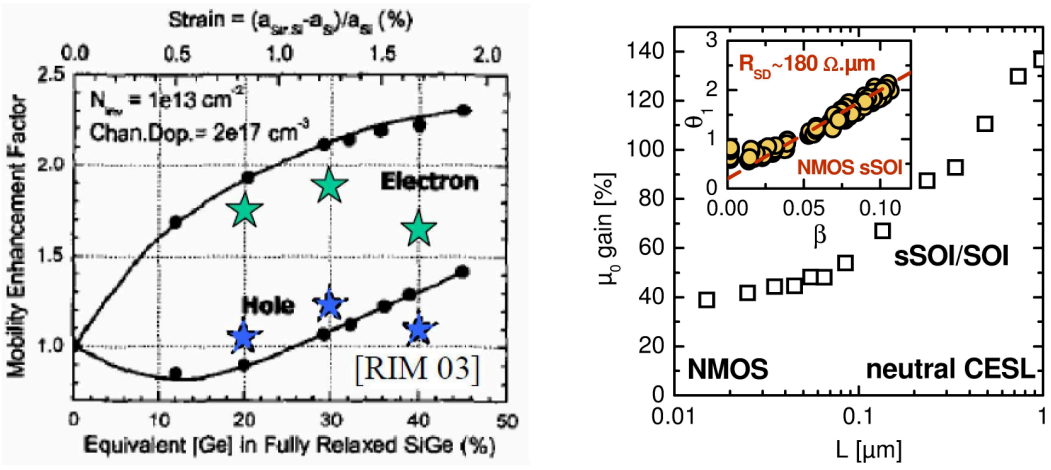
sommes attachés à étudier les propriétés de transport de ces dispositifs. Ainsi, parmi les divers aspects développés, et qui ne seront pas détaillés dans ce manuscrit, nous avons pu obtenir des résultats significatifs sur

- l'étude de la mobilité en fonction du niveau de contrainte biaxiale (exprimée sur la Fig. 3.6a en %Ge du substrat virtuel de départ), et l'origine physique de ce gain en mobilité [Cassé 2009].
- le comportement de la mobilité faible champ (μ_0) en fonction de la longueur de grille, en appliquant de manière statistique la *méthode de la fonction Y* d'ajustement aux mesures expérimentales [Morvan 2012]. On peut montrer ainsi que le gain en mobilité dû au sSOI est conservé jusqu'aux plus faibles longueurs $L \simeq 15nm$ (Fig.3.6b).

Ces derniers travaux ont permis de poser les bases pour démarrer une étude beaucoup plus approfondie de l'effet des contraintes dans les transistors ultra-courts et les architectures avancées (stage de J. Pelloux-Prayer d'avril à septembre 2013, puis thèse qui devrait débuter en octobre 2013).

3.2.4 *Magnétorésistance*

Nous avons développé en collaboration avec l'IMEP une manip de magnétorésistance. Ces travaux ont été menés, suite aux premières données expérimentales de [Chaisantikulwat 2006], dans le cadre de la thèse de L. Thevenod, F. Rochette, et au cours du stage de N. Bhouri. Les mesures ont été effectuées au Laboratoire des Champs Magnétiques Intenses de Grenoble (CNRS-LCMI), dans un cryostat et une bobine supraconductrice permettant d'appliquer des champs magnétiques jusqu'à 11T. Cette technique particulièrement originale utilise l'effet de magnétorésistance géométrique pour mesurer la mobilité des porteurs [Meziani 2004]. Le principe repose sur le fait que pour des géométries $W/L \gg 1$, le champ de Hall est court-circuité par la proximité des contacts source/drain [Beer 1963; Chang 1989]. Il en résulte que le courant de drain I_D est effectivement dévié par le champ magnétique perpendiculaire à la



(a) (b)

FIGURE 3.6: (a) Comparaison des gains en mobilité des électrons et des trous sur film mince SOI (pour N_{inv}=10^{13}cm^{-2}) avec les datas de la littérature [Rim 2003] pour une architecture sur silicium massif. Les étoiles correspondent aux dispositifs FDSOI du Leti (empilement de grille SiO_2/poly-Si). (b) Gain en mobilité des électrons $\Delta\mu_0/\mu_0$ du sSOI par rapport au SOI en fonction de la longueur de grille. Insert : Résistance d'accès R_{SD} extraite par des mesures statistiques de la fonction Y.

couche d'inversion (voir schéma en insert de la Fig. 3.7a). Ainsi, pour des résistances d'accès négligeables, on a la relation suivante

$$\frac{I_D(B=0)}{I_D(B)} = 1 + \mu_{MR}^2 B^2 \tag{3.4}$$

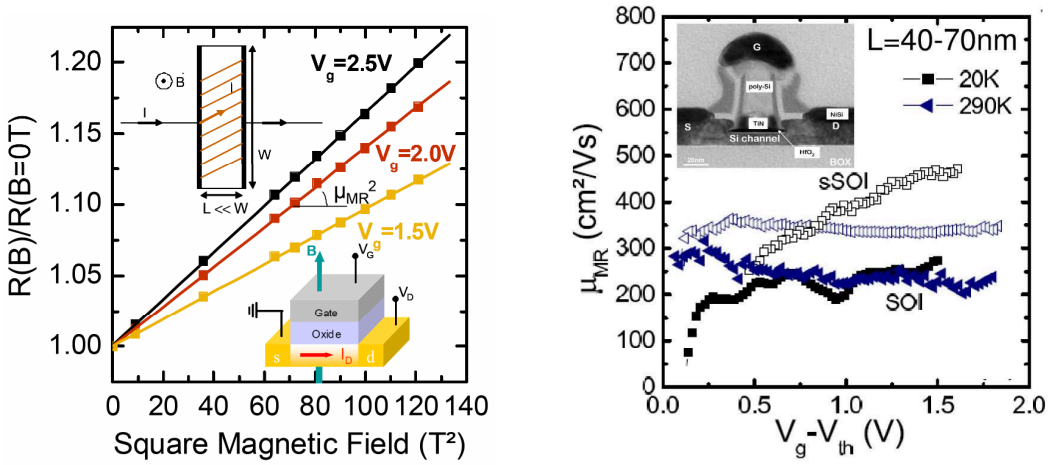
où $I_D(B)$ est le courant de drain mesuré sous champ B. La mesure du courant en fonction de B^2 permet alors de remonter à la mobilité dite de magnétorésistance μ_{MR}, comme illustré sur la Fig. 3.7a. On peut également tracer cette mobilité à différentes températures et tensions de grille.
D'un point de vue théorique, la mobilité μ_{MR} et la mobilité effective μ_{eff} diffèrent, comme l'indique leur expression

$$\mu_{eff} = \frac{e}{m^*}\langle\tau(E)\rangle \tag{3.5}$$

$$\mu_{MR} = \frac{e}{m^*}\sqrt{\frac{\langle\tau(E)^3\rangle}{\langle\tau(E)\rangle}} \tag{3.6}$$

où m^* est la masse effective de conductivité, E l'énergie, $\tau(E)$ le temps moyen entre deux collisions, et $\langle\rangle$ est la moyenne sur l'énergie. A température ambiante, les différences proviennent de $\tau(E)$, et donc des mécanismes de diffusion (interactions avec les phonons, les charges...). Nous avons pu vérifier expérimentalement, que la principale différence est due aux interactions coulombiennes avec des charges, et est donc visible dans le cas des transistors à faible charge d'inversion [Cassé 2009].
L'intérêt majeur de cette méthode réside dans la possibilité de mesurer directement la mobilité des porteurs dans des transistors à canal court, sans la détermination au préalable de la longueur électrique effective L_{eff} ou de l'épaisseur d'oxyde équivalente (EOT). Enfin, nous avons pu montrer que μ_{MR} est moins impactée par les résistances d'accès R_{SD} que ne peut l'être μ_{eff}. De plus on peut également corriger la mesure de ces résistance d'accès en utilisant une mesure différentielle [Chaisantikulwat 2006]

$$\frac{R_{L_2}(B) - R_{L_1}(B)}{R_{L_2}(0) - R_{L_1}(0)} = 1 + \mu_{MR,corr}^2 B^2 \tag{3.7}$$



(a) (b)

FIGURE 3.7: (a) Variation de la résistance mesurée en fonction du champ magnétique appliqué B^2, illustrant le principe de la magnétorésistance. La pente donne directement la mobilté μ_{MR} (Insert : représentation schématique de la magnétorésistance géométrique). (b) Mobilité magnétorésistance μ_{MR} mesurée en fonction de la tension de grille pour des transistors courts SOI et sSOI, à T=20K et T=290K (Insert : photo TEM d'un transistor FDSOI de longueur $L \simeq 30nm$).

où R_{L_1} et R_{L_2} sont les résistances mesurées sur des dispositifs de longueurs L_1 et L_2 suffisamment proches pour que l'on puisse faire l'hypothèse $\mu_{L_1} \equiv \mu_{L_2}$. Cette procédure de correction est similaire à la méthode $R_{tot}(L)$ [Niu 1999], et élimine les contributions qui ne dépendent pas de la longueur de grille, comme en particuliers R_{SD}, et les effets balistiques.

Nous avons appliqué cette méthodologie à l'étude du transport dans les transistors SOI et sSOI [Cassé 2008], avec des longueurs de grille descendant jusqu'à 40nm. Le transport dans les dispositifs ultra-court faisait alors largement débat [Lundstrom 2003]. Les résultats de la mobilité μ_{MR} en fonction de $V_G - V_{th}$ (Fig. 3.7b) nous ont permis d'aboutir aux conclusions suivantes :

- on observe bien une forte réduction de la mobilité pour les faibles longueurs de grille (typiquement $L \leqslant$100nm).
- cette dégradation présente les caractéristiques d'une interaction supplémentaire de type coulombien, qui pourrait être due à la proximité des source/drain (défauts induits par l'implantation, interaction à distance avec ces zones fortement dopées,...).
- cette dégradation est moins importante pour les dispositifs sSOI, qui pourrait indiquer une plus grande immunité de ces dispositifs aux interactions associées à la proximité des source/drain.
- un gain en mobilité (jusqu'à 50%) pour les dispositifs contraints est conservé même aux faibles longueurs de grille.

Ces résultats expérimentaux sont en accord avec des résultats publiés un peu plus tard sur des dispositifs similaires, en considérant le libre parcours moyen des électrons [Barral 2009].

3.3 CANAUX $SI_{1-x}GE_x$

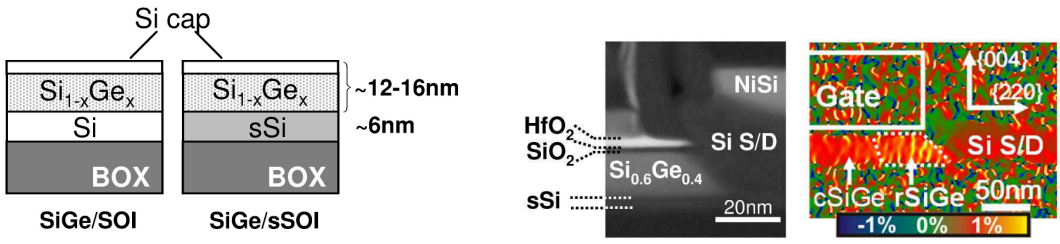
Pour les PMOS, l'intégration d'un canal en SiGe en compression biaxiale est particulièrement approprié, car ce matériau offre une meilleure mobilité pour les trous [Jain 2003; Adachi 2009] et permet d'adapter la tension de seuil. De plus il est *relativement* compatible avec les

procédés Si, que ce soit par épitaxie à partir d'une couche de Si, ou par enrichissement de Ge à partir d'une couche de SiGe epitaxiée sur un substrat SOI [14].
Plusieurs technologies de fabrication du canal SiGe ont été essayées et évaluées au Leti. De bons résultats ont été obtenus et publiés avec du SiGeOI obtenu par enrichissement de Ge [Hutin 2010b], ou bien encore avec l'épitaxie de SiGe sur un substrat de SOI ou sSOI. Cette dernière approche permet notamment de co-intégrer des PMOS avec un canal SiGe/sSOI et du NMOS avec un canal sSOI [Hutin 2010c; Le Royer 2010], et de tirer ainsi profit des contraintes pour les deux types de porteur. Nous décrirons ici les principaux résultats obtenus avec la deuxième approche, qui a fait l'objet d'une étude plus approfondie [Cassé 2012b,c]. Les conclusions obtenues restent néanmoins valables pour le cas général d'une couche mince de SiGe en compression biaxiale, quelle que soit la technologie de fabrication utilisée.
Dans ces études, nous avons couplé pour la première fois les mesures électriques de toute sorte (mesure de mobilité en fonction de la température, pompage de charge, ...) avec des mesures de la contraintes par des techniques avancées de la microscopie (HAADF STEM, holographie, diffraction électronique NBED) disponibles grâce à la plate-forme de nanocaractérisation de Minatec.
Notre but était d'identifier les différents mécanismes de diffusion limitant le transport dans le canal SiGe. En particuliers l'une des questions à laquelle on a cherché à répondre concernait le rôle de l'interaction dû à l'alliage SiGe [15], issue de la distribution aléatoire d'atomes de Si et de Ge dans le matériau. Un certain nombre de papiers théoriques prévoit un effet dominant de cette interaction pour les alliages SiGe (parmi lesquels un papier précurseur [Fischetti 1996]), mais très peu de papiers expérimentaux ont réussi à mettre en évidence le rôle de ce mécanisme [Leitz 2002], et son importance réelle dans des dispositifs modernes.
L'évolution du transport pour les transistors courts reste toujours une source de questionnement. Le paramètre pertinent caractérisant le transport est alors plutôt la vitesse des porteurs, qui en régime de saturation (*i.e.* à forte polarisation de drain V_{DS}) peut différer énormément de la mobilité [Lundstrom 2000].
Enfin, le dernier point abordé est l'étude des contraintes dans ces matériaux SiGe déjà fortement contraint en compression biaxiale. Des travaux précédents ont démontré l'influence de la concentration en Ge du canal sur les coefficients piézorésistifs des NMOS et PMOS SiGe [Pan 2006; Chiang 2007; Weber 2007]. Tout comme le Si (Cf. § 3.2.2.2), l'épaisseur de la couche de SiGe peut avoir une influence sur la mobilité des porteurs [Nì Chléirigh 2008], et donc sur les propriétés piézorésistives. Notre objectif était donc d'étudier en détail, l'influence de la composition en Ge et de l'épaisseur de film t_{SiGe} sur les coefficients de piézorésistance des NMOS et PMOS.

3.3.1 *Dispositifs à canal long : Étude des mécanismes de diffusion*

Dans un premier temps nous nous sommes focalisés sur le transport des trous dans les transistors longs, en nous intéressant à l'influence de la concentration de Ge et de la contrainte sur les paramètres du transport, en particulier la mobilité. L'approche expérimentale utilisée consistait à étudier différentes compositions de Ge dans la couche $Si_{1-x}Ge_x$ (avec x variant de 0 à 60%), ainsi que le substrat de départ, SOI ou sSOI, ce dernier correspondant à une concentration virtuelle de 20% de Ge (Fig. 3.6a). La comparaison SOI *vs.* sSOI permet de faire varier la contrainte de la couche de SiGe pour une même concentration de Ge, l'idée étant de décorréler l'effet de la contrainte en compression de l'effet du matériau SiGe lui-même.
Les mesures par holographie et diffraction électronique (NBED) ont confirmé la valeur de la contrainte dans le canal, correspondant bien à une couche de SiGe pseudomorphique du Si relaxé (Fig. 3.6b). La mesure des défauts d'interface D_{it}[16] montre en revanche une

14 On aura alors un substrat SiGe sur isolant (SGOI).
15 *Alloy scattering* en anglais.
16 Nous avons utilisé pour ce faire la méthode de la conductance [Nicollian 2003].



(a) (b)

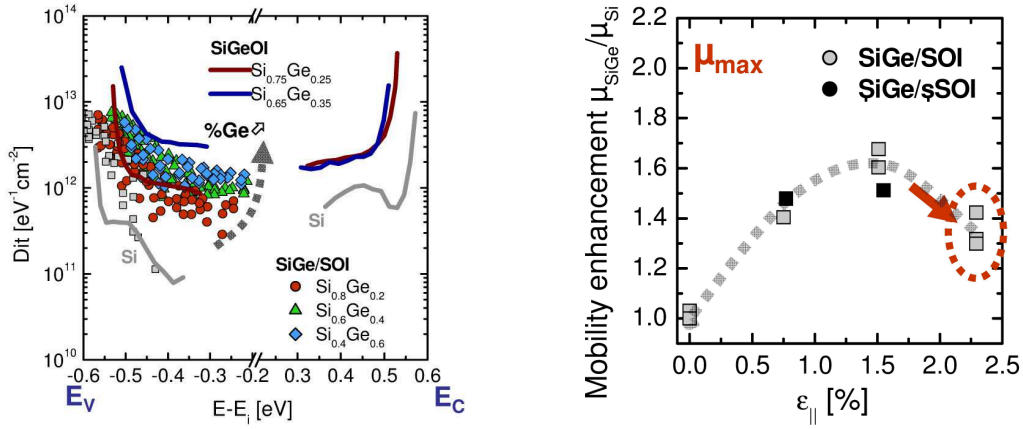
FIGURE 3.8: (a) Schéma descriptif des structures SiGe/(s)SOI (stack de grille : $SiO_2/HfO_2/TiN$). (b) gauche : Image HAADF STEM d'un dispositif pFET $Si_{0.6}Ge_{0.4}$/sSOI faisant ressortir en contraste les régions SiGe et Si ($t_{sSOI} \simeq 6$ nm ; $t_{SiGe} \simeq 14$ nm). droite : cartographie 2D des contraintes obtenue par la technique holographique (DFEH) d'un transistor PMOS $Si_{0.6}Ge_{0.4}$/sSOI de longueur $L = 500$nm, montrant la valeur de la deformation $\varepsilon_{\parallel}$ par rapport à la maille du Si dans la direction du canal [110]. L'image en échelle de couleurs montrent la contrainte en compression dans le canal, ainsi qu'une relaxation de cette contrainte dans la zone proche des source/drain.

augmentation de la densité de pièges avec la concentration de Ge, spécialement proche de la bande de valence (Fig. 3.9a), et ceux-ci sont susceptibles d'avoir un impact négatif sur la mobilité et/ou la fiabilité [Palmer 2001]. La mobilité effective a été mesurée par la méthode CV-split pour nos PMOS SiGe et Si (Fig. 3.9b), en fonction de la charge d'inversion et en fonction de la température de 300K à 20K. L'analyse des résultats a permis de conclure sur certains points :

- la mobilité des trous dépend au premier ordre de la déformation $\varepsilon_{\parallel}$ (*i.e.* de la contrainte), et non de la concentration de Ge.
- le gain maximum de mobilité par rapport au Si est obtenu pour une contrainte compressive correspondant à une déformation de 1.5% [17].
- Pour des contraintes supérieures à 1.5% la mobilité est réduite, très probablement à cause de défauts structuraux (dislocations) créés par ces forts niveaux de contraintes [Fitzgerald 2005], combinés avec les défauts induits par le Ge.
- à basse température (∼20K), le pic de mobilité μ_{max} est représentatif des interactions coulombiennes ; celui-ci diminue avec la concentration de Ge, en corrélation avec la densité de pièges D_{it}.
- les interactions liées à la rugosité de surface dégradent moins la mobilité pour le canal SiGe, traduisant un changement significatif des paramètres de rugosité (Δ et L_c) pour ce matériau.
- aucune évidence expérimentale de l'interaction due à l'alliage SiGe n'a pu être établie à partir des dépendance en température, de la concentration de Ge ou de la déformation $\varepsilon_{\parallel}$.

Ce dernier point est notamment important, car il modère l'importance donnée à ce mécanisme d'interaction par les considérations théoriques. Ce désaccord avec nos résultats expérimentaux provient notamment de la valeur du potentiel de diffusion utilisé dans les calculs qui n'est pas connu avec précision et peut varier fortement d'un papier à un autre [18].

17 C'est l'équivalent d'une couche pseudomorphe de $Si_{0.6}Ge_{0.4}$ sur SOI ou $Si_{0.4}Ge_{0.6}$ sur sSOI.
18 typiquement de 0.2 eV [Hinckley 1990] à 0.7 eV [Bufler 1998].



(a) (b)

FIGURE 3.9: (a) Densité d'états d'interface $D_{it}(E)$ mesurée par conductance en fonction de l'énergie dans le gap du Si(Ge), pour l'ensemble des dispositifs SiGe/SOI (symboles), et par pompage de charge spectroscopique pour du SiGeOI obtenu par enrichissement [Hutin 2010b] (lignes). Une augmentation de la densité de défauts est clairement visible pour des concentrations croissantes de Ge. E_C et E_V désignent respectivement le bas de la bande de conduction et le haut de la bande de valence. (b) Mobilité maximale des trous mesurée par la technique CV-split en fonction de la déformation $\varepsilon_{\parallel}$ pour les dispositfs SiGe/SOI et SiGe/sSOI (L =10μm).

3.3.2 *Dispositifs à canal court*

En régime linéaire (*i.e.* à faible V_{ds}), le transport dans les transistors longs est régi par le modèle de dérive-diffusion [Lundstrom 2000]. Le courant de drain I_D est bien décrit par la mobilité des porteurs dans le canal. Pour de longueurs de grille décroissantes, le nombre de collisions subies par ces porteurs diminue. En régime balistique, le nombre de porteurs rétrodiffusés vers la source est réduit à zéro. Le courant de drain est alors déterminé par la vitesse d'injection v_{inj} des porteurs au sommet de la barrière de potentiel côté source qui dépend principalement de la température et des paramètres de bandes suivant l'expression

$$I_D = Q_{inv} v_{inj} \tag{3.8}$$

où Q_{inv} est la charge d'inversion côté source. Entre ces deux cas limites (dérive-diffusion et balisticité totale), les transistors opèrent en général dans le régime quasi-balistique, pour lequel la mobilité des porteurs et la vitesse d'injection contribuent chacun à part variable au courant de drain.

Avec les technologies actuelles de transistors et les longueurs de grille considérées ($L \approx$20nm), on peut raisonnablement penser que le transport dans nos transistors est limité par des interactions élastiques, principalement des interactions coulombiennes [Barral 2009; Mouis 2010] (Cf. discussion plus haut § 3.2.4 sur les mesures magnétorésistance). Il est ainsi possible d'extraire la mobilité des porteurs en régime linéaire à partir de simples mesures $I_D(V_g)$, moyennant quelques précautions et approximations, à partir de la méthode de la *fonction Y* [Ghibaudo 1988], ou de méthodes dérivées [Fleury 2009; Cassé 2012c]. Ces méthodes sont basées sur l'ajustement des courbes expérimentales de courant avec une expression théorique de la mobilité, et permettent de s'affranchir des résistances d'accès R_{SD} :

$$\mu_{\text{eff}} = \frac{\mu_0}{1 + \Theta_1(V_g - V_{th}) + \Theta_2(V_g - V_{th})^2} \tag{3.9}$$

où μ_0, Θ_1 et Θ_2 sont des paramètres d'ajustement. Les courbes $\mu_{\text{eff}}(N_{inv})$ peuvent être ensuite reconstruites.

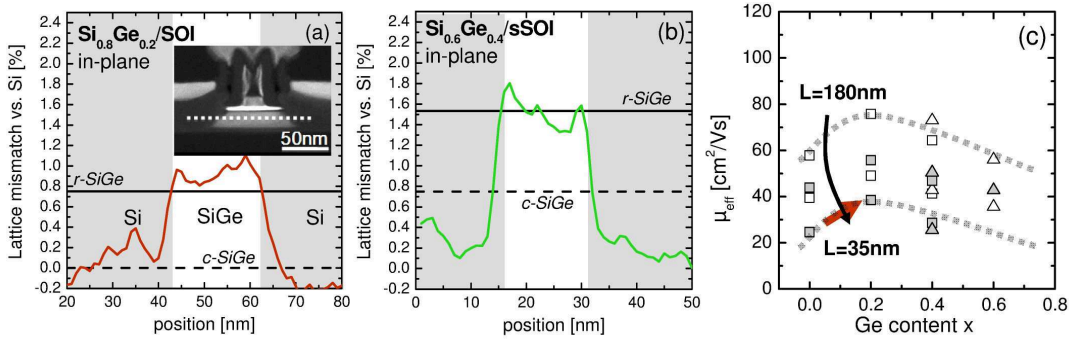


FIGURE 3.10: Profil de la déformation $\varepsilon_{\parallel}$ mesurée par NBED le long du canal d'un transistor court (L =20nm) dans la direction $\langle 110 \rangle$ pour (a) $Si_{0.8}Ge_{0.2}$/SOI, et (b) $Si_{0.6}Ge_{0.4}$/sSOI. Une relaxation totale de la contrainte initiale du SiGe est observée pour ces transistors sub-100nm (r-SiGe et c-SiGe indiquent le désaccord de maille théorique pour du SiGe totalement relaxé et pseudomorphe respectivement). (c) Mobilité effective extraite à E_{eff} =0.4MV/cm en fonction de la concentration de Ge dans le canal de transistors courts (L =180, 80, 60 and 35 nm). Alors que la mobilité des transistors longs est gouvernée par la contrainte dans le canal, la mobilité des transistors courts ne dépend que de la concentration de Ge, la contrainte étant totalement relaxée.

Nous avons appliqué cette méthode pour étudier le transport à faible V_{ds} dans les transistors SiGe (Fig. 3.10). L'analyse des résultats électriques, couplée avec les mesures de la contrainte par diffraction (NBED sur la Fig. 3.10a,b), montre que la mobilité des trous dans les transistors courts dépend principalement de la concentration de Ge, notamment car la contrainte s'est totalement relaxée dans le canal pour des longueurs $L \lesssim$100nm. La concentration de Ge optimale se déplace alors vers 20%. Ces résultats nous ont permis de démontrer l'importance de conserver la contrainte en compression dans le canal SiGe afin de maintenir le gain en performances jusqu'aux plus faibles longueurs.

A fort champ électrique latéral, la vitesse de saturation du matériau v_{sat} peut limiter la vitesse des porteurs à une valeur inférieure à la vitesse d'injection v_{inj}, et constituer la limite du transport. Bien que ces deux paramètres aient des valeurs proches à température ambiante, leur dépendance en température est théoriquement opposée [Quay 2000; Sun 2010]. Suivant l'approche proposée initialement par [Fleury 2009], nous avons utilisé des mesures en température (typiquement jusqu'à 20K) pour déterminer la vitesse limite dans les canaux SiGe. On peut ainsi introduire une vitesse limite v_{lim} définie comme la limite la plus forte entre la vitesse de saturation et d'injection (v_{lim}=min(v_{sat},v_{inj})). Cette vitesse limite peut être extraite en utilisant la définition ci-dessous

$$\frac{1}{2v_{lim}} = \frac{\partial}{\partial V_{gt}} \left(\frac{WQ_{inv}(V_{gt})}{2I_{D,sat}} - \frac{WQ_{inv}V_{ds}}{I_{D,lin}} \right) \tag{3.10}$$

où $V_{gt} = V_g - V_{th}$ est la tension d'*overdrive* (*i.e.* au dessus du seuil),$I_{D,lin}$ et $I_{D,sat}$ les courants de drain mesurés à faible et fort V_{ds} respectivement. Cette procédure permet notamment d'éliminer la partie liée à la mobilité qui peut subsister dans le régime à fort V_{ds}.

La figure 3.11 illustre les résultats expérimentaux obtenus pour nos transistors Si et SiGe, pour de faibles longueurs de grille. Nous avons également indiqué la dépendance en température théorique de la vitesse de saturation v_{sat} [19] – caractéristique du régime diffusif –, et de $v_{inj} \propto T^{0.2}$ – caractéristique du régime balistique–. Le résultat remarquable ici est la différence de dépendance en température observée pour Si et SiGe. Ainsi les dispositifs courts Si suivent une tendance caractéristique de $v_{inj}(T)$, indiquant que les transport est limité par la vitesse

19 celle-ci est une combinaison linéaire de la vitesse de saturation du Si et du Ge [Quay 2000].

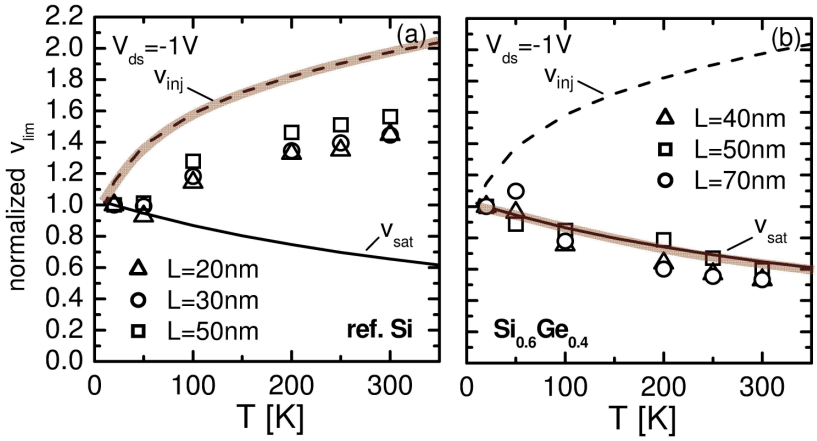


FIGURE 3.11: Vitesse limite (normalisée à sa valeur à T =20K) extraite pour des transistors courts en fonction de la tempéraure pour un canal (a) Si, et (b) SiGe. Les vitesses limites sont extraites à $V_g - V_{th} = V_{ds}$, avec V_{ds} =-1V. Les dépendances en température théoriques de la vitesse de saturation v_{sat} et de la vitesse d'injection v_{inj} sont tracées pour comparaison (voir texte).

d'injection et les effets balistiques pour les très faibles longueurs. Au contraire, les transistors SiGe suivent la dépendance attendue pour $v_{sat}(T)$. A fort champ latéral, le transport est donc encore largement dominé par les collisions inélastiques à mesure que L diminue.

Pour aller un peu plus loin d'analyse, il faut noter que ces résultats sont fortement dépendant de l'architecture source/drain et des procédés technologiques utilisés. Il serait intéressant de confirmer ces conclusions pour des canaux SiGe dont la contrainte est conservée aux faibles longueurs, et pour des architectures source/drain différentes, obtenues notamment avec des dopages *in-situ*, *i.e.* sans implantations.
Enfin, de manière plus générale, ces études soulignent la nécessité d'analyser en détail le transport pour parvenir à une compréhension *prédictive* des phénomènes mis en jeu, et à optimiser au mieux les performances des transistors.

3.3.3 *Coefficients piézorésitifs*

Enfin, pour compléter cette étude sur le transport dans le matériau SiGe, nous avons mesuré les coefficients piézorésistifs. Le but était de comparer les propriétés du SiGe par rapport au Si, en utilisant la même approche expérimentale basée sur l'extraction des coefficients piézorésistifs. Nous nous sommes attachés à étudier l'évolution de ces coefficients pour des canaux SiGe épitaxiés sur du SOI, en fonction de la concentration en Ge de 5% jusqu'à 30%, et donc de la contrainte compressive initiale du canal [Cassé 2012a].

L'analyse des coefficients π_L,π_T,π_{44} et π_s en fonction de x_{Ge} nous a permis de démontrer les résultats suivants (Fig. 3.12) :

- pour les trous, une augmentation de tous les coefficients π avec la concentration de Ge, avec des valeurs maximales pour x_{Ge} >20%. Les valeurs sont plus élevées (d'un facteur 2 environ) que celles publiées par [Weber 2007], et démontre notamment l'intérêt de superposer une contrainte uniaxiale en compression pour ces valeurs de Ge, afin augmenter de manière très significative la mobilité des trous (π_L >1000×10^{-12}Pa^{-1}) [20].
- pour les électrons, une diminution de tous les coefficients π avec la concentration de Ge, jusqu'à pratiquement s'annuler pour des compositions x_{Ge} >15%. Ces résultats

20 1000×10^{-12}Pa^{-1} correspond à une augmentation de 10% pour chaque 100MPa appliqué.

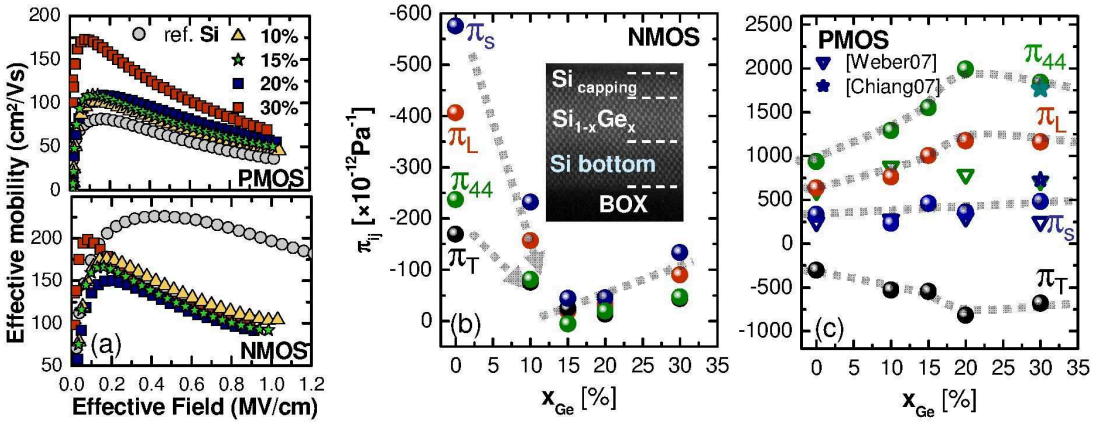


FIGURE 3.12: (a) Mobilité effective mesurée en fonction de la densité de porteurs en inversion pour des NMOS et PMOS SiGe avec des concentrations de Ge variables de 0% à 30%. Valeurs des différents coefficients piézorésisitifs extraits en fonction de la composition en Ge, x_{Ge} du canal pour des (b) NMOS, et (c) des PMOS. Les valeurs publiées pour les trous par [Weber 2007] et [Chiang 2007] sont aussi indiquées.

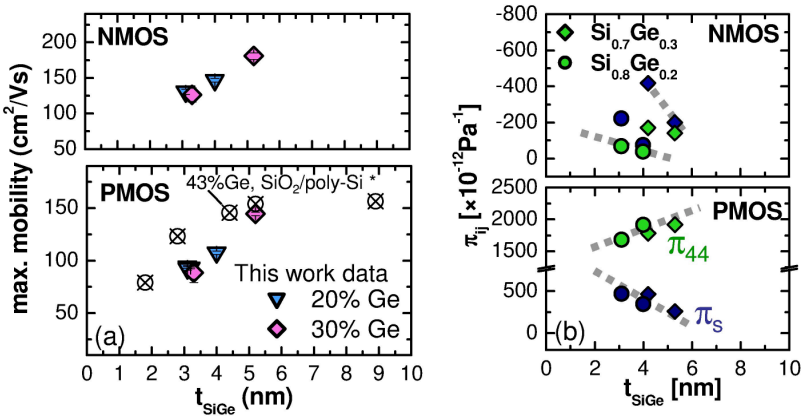


FIGURE 3.13: (a) Mobilité effective mesurée en fonction de l'épaisseur de la couche de SiGe, t_{SiGe}, pour les électrons et les trous. Les valeurs publiées par [Nì Chléirigh 2007] (symboles vides) sont données pour comparaison. (b) Valeurs correspondantes des coefficients piézorésistifs π_{44} et π_s en fonction de t_{SiGe}. Une variation similaire à celle observée pour les transistors Si est obtenue.

sont en accord avec les mobilités des NMOS qui évoluent très peu avec la concentration de Ge (Fig.3.12a). La composante de cisaillement π_{44} tend également à s'annuler pour des couches de SiGe fortement contraintes, contrairement au Si en contrainte biaxiale tensile.

Le comportement en fonction de l'épaisseur de SiGe est très similaire au Si. On observe la même dépendance de la mobilité pour des épaisseurs inférieures à 8nm, et les même variations des coefficients π_s et π_{44} (Fig. 3.13), suggérant la même origine physique, *i.e.* l'effet des phonons et/ou de l'interface avant. Une analyse plus avancée, avec notamment une comparaison avec des simulations Poisson-Schrödinger de films minces de Si et SiGe, et des mesures complémentaires en fonction de la température, devrait permettre d'expliquer mieux la dépendance observée des propriétés de transport avec l'épaisseur.

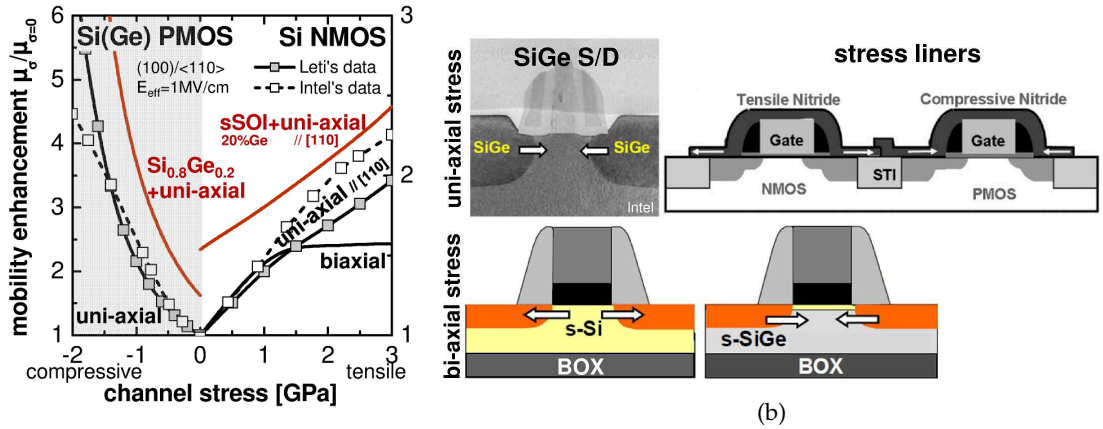
3.4 CONCLUSION ET PERSPECTIVES

L'exploitation des contraintes dans le Si et le SiGe offrent donc la possibilité d'intégrer à moindre frais des matériaux à plus haute mobilité que le silicium *standard*, à la fois pour les transistors NMOS et PMOS. L'étude des effets des contraintes sur le transport est indispensable, afin d'optimiser le gain en performances. Les valeurs des différents coefficients piézorésistifs obtenus dans nos travaux permettent de faire une projection sur le gain maximal en mobilité attendu grâce aux contraintes, biaxiales ou uniaxiales, et suivant le type de porteurs pour des transistors Si-$(100)/\langle 110\rangle$ (Fig. 3.14). Pour des valeurs raisonnables de contrainte dans le canal autour de 2-3 GPa, on peut ainsi espérer

- un gain en mobilité jusqu'à 2 pour les électrons avec une contrainte uniaxiale en tension selon $\langle 110\rangle$.
- ce gain peut même atteindre 2,5 si on combine les effets uniaxiaux avec un substrat sSOI.
- un gain en mobilité jusqu'à 4 voire 6 pour les trous, avec une contrainte uniaxiale en compression selon $\langle 110\rangle$, qui peut être supérieur si on arrive à le combiner avec un canal SiGe (en compression biaxiale).

La tendance qui se dessine alors est d'avoir des NMOS et des PMOS avec des valeurs de mobilité très proches, et donc des courants I_{ON} identiques. Ce dernier point permet de réduire encore la taille des circuits.
L'un des enjeux maintenant consiste à co-intégrer ces différentes solutions technologiques dans une même route CMOS. Dans le même esprit, de orientations de substrats Si autres que (100) permettent d'obtenir de meilleures mobilités des porteurs, en particulier pour les trous avec des surfaces (110) ou (111) [Yang 2003]. Une intégration hybride des deux orientations différentes sur le même substrat, permettrait alors de tirer le meilleur parti de chaque orientation [Ieong 2004; Signamarcheix 2011]. Le passage à des architectures de transistor tridimensionnelles, comme les FinFETs ou les transistors multi-grilles, permet également d'exploiter naturellement les différentes orientations du Si [Chang 2004]. Nous avons développé au Léti une activité autour de ces nouvelles structures 3D, pour lesquelles on peut avoir un confinement plus important des porteurs, et que l'on peut également combiner avec des contraintes. L'étude du transport associé sera développée dans le chapitre suivant.

L'introduction de matériaux III-V, qui font déjà l'objet de nombre de papiers, semble inévitable pour les nœuds à venir [Kuhn 2012]. Parmi ces matériaux, quelques uns comme les composés InGaAs, InSb et InAs présentent une excellente mobilité pour les électrons, qui peut atteindre 50 à 100 fois celle du silicium pour la même densité de porteurs [del Alamo 2011; Stevenson 2013]. Ces propriétés devraient permettre d'obtenir des transistors NMOS avec un fort courant I_{ON} pour une faible tension d'alimentation (V_{DD} ~0.5V), tout en maintenant un



(a) (b)

FIGURE 3.14: (a) Gain en mobilité calculé en fonction de la contrainte appliquée dans le canal (orienté selon ⟨110⟩) d'après les coefficients piézorésistifs mesurés pour des dispositifs Si et SiGe. Les courbes en pointillés correspondent aux données calculées par Intel pour du Si [Packan 2008]. Plusieurs configurations de contraintes sont présentées pour les NMOS et les PMOS. (b) Schéma représentant différentes options technologiques permettant d'obtenir une contrainte uni-axiale ou bi-axiale dans le canal.

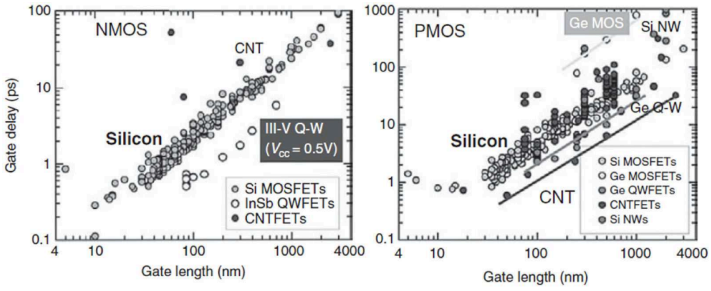


FIGURE 3.15: Benchmark de la figure de mérite vitesse intrinsèque CV/I *vs.* longueur de grille pour différents matériaux et architectures pour des NMOS et des PMOS illustrant un gain de performance pour les matériaux à haute mobilité (III-V ou Ge) par rapport au Si [Ferry 2009].

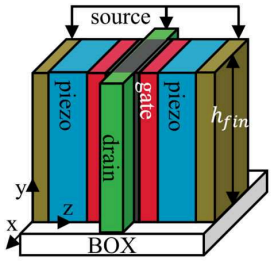


FIGURE 3.16: Schéma d'un FinFET intégrant une couche piézoélectrique afin de moduler la contrainte dans le canal [van Hemert 2013].

niveau acceptable de fuite I_{OFF} (typiquement 100nA/μm pour des applications hautes performances). Le transport dans ces matériaux est différent du transport dans le Si, et dépend de la composition et des procédés technologiques utilisés [Oktyabrsky 2009; Takagi 2013]. De plus, l'optimisation de ces transistors va nécessiter de comprendre également les effets du confinement et de la réduction de la longueur de grille en deçà de 10nm. Pour les PMOS, la difficulté provient des faibles valeurs de mobilité des trous par rapport aux électrons pour ces mêmes matériaux III-V. La stratégie à adopter sera soit d'intégrer des matériaux différents côté N et côté P (III-V et Ge par exemple [Yokoyama 2011], voir Fig. 3.15), soit d'utiliser les contraintes (compressive bi-axiale ou uni-axiale) pour augmenter la mobilité des trous dans les composés III-V [del Alamo 2011].

Enfin, de toutes nouvelles structures *plus exotiques* ont également été proposées récemment (Fig. 3.16), pour lesquelles la contrainte dans le canal est activée par une couche piézoélectrique [van Hemert 2013]. L'idée est de contraindre le transistor à l'état *ON* pour un maximum de courant, et de relâcher la contrainte à l'état *OFF* pour un minimum de courant de fuite (réduction du *gap*). Le succès de ce type d'approche repose sur le gain apporté en performances

par rapport à la complexité de la technologie (dépôt et gravure de nouveaux matériaux, compatibilité thermodynamique avec le Si, intégration dans des nanostructures, fiabilité dans le temps...).

BIBLIOGRAPHIE

[Adachi(2009)] S. Adachi. *Properties of Semiconductor Alloys : Group-IV, III-V and II-VI Semiconductors*. Wiley, 2009.

[Andrieu(2006)] F. Andrieu, C. Dupré, F. Rochette, O. Faynot, L. Tosti, C. Buj, E. Rouchouze, M. Cassé, B. Ghyselen, I. Cayrefourcq *et al. 25nm Short and Narrow Strained FDSOI with TiN/HfO2 Gate Stack*. In VLSI Symp. Tech. Dig., pages 221–224, 2006.

[Bardeen(1950)] J. Bardeen and W. Shockley. *Deformation Potentials and Mobilities in Non-Polar Crystals*. Phys. Rev., **80** :72–80, 1950.

[Barral(2009)] V. Barral, T. Poiroux, S. Barraud, F. Andrieu, O. Faynot, D. Munteanu, J.-L. Autran, and S. Deleonibus. *Evidences on the physical origin of the unexpected transport degradation in ultimate n-FDSOI devices*. IEEE Trans. Nanotechnol., **8** :167 –173, 2009.

[Baykan(2010)] M.O. Baykan, S.E. Thompson, and T. Nishida. *Strain effects on three-dimensional, two-dimensional, and one-dimensional silicon logic devices : Predicting the future of strained silicon*. J. Appl. Phys., **108**(9) :093716, 2010.

[Beer(1963)] A.C. Beer. *Galvanomagnetic effects in semiconductors*. Academic Press, New-York, 1963.

[Bufler(1998)] F. M. Bufler and B. Meinerzhagen. *Hole transport in strained $Si_{1-x}Ge_x$ alloys on $Si_{1-y}Ge_y$ substrates*. J. Appl. Phys., **84**(10) :5597–5602, 1998.

[Cassé(2008)] M. Cassé, F. Rochette, N. Bhouri, F. Andrieu, D.K. Maude, M. Mouis, G. Reimbold, and F. Boulanger. *Mobility of strained and unstrained short channel FD-SOI MOSFETs : New insight by magnetoresistance*. In VLSI Symp. Tech. Dig., pages 170 –171, 2008.

[Cassé(2009)] M. Cassé, F. Rochette, L. Thevenod, N. Bhouri, F. Andrieu, G. Reimbold, F. Boulanger, M. Mouis, G. Ghibaudo, and D. K. Maude. *A comprehensive study of magnetoresistance mobility in short channel transistors : Application to strained and unstrained silicon-on-insulator field-effect transistors*. J. Appl. Phys., **105**(8) :084503 –084503–9, 2009.

[Cassé(2012a)] M. Cassé, S. Barraud, C. Le Royer, M. Koyama, R. Coquand, D. Blachier, F. Andrieu, G. Ghibaudo, O. Faynot, T. Poiroux *et al. Study of piezoresistive properties of advanced CMOS transistors : thin film SOI, SiGe/SOI, unstrained and strained Tri-Gate Nanowires*. In IEDM Tech. Dig., 2012a.

[Cassé(2012b)] M. Cassé, L. Hutin, C. Le Royer, D. Cooper, F. Andrieu, O. Weber, J.-M. Hartmann, and G. Reimbold. *Experimental Investigation of Hole Transport in Strained $Si_{1-x}Ge_x$/SOI pMOSFETs : Part I – Scattering Mechanisms in Long Channel Devices.* IEEE Trans. Electron Dev., **59**(2) :316–325, 2012b.

[Cassé(2012c)] M. Cassé, L. Hutin, C. Le Royer, D. Cooper, F. Andrieu, O. Weber, J.-M. Hartmann, and G. Reimbold. *Experimental Investigation of Hole Transport in Strained $Si_{1-x}Ge_x$/SOI pMOSFETs : Part II – Mobility and High-Field Transport in Nanoscaled PMOS.* IEEE Trans. Electron Dev., **59**(3) :557–564, 2012c.

[Chaisantikulwat(2006)] W. Chaisantikulwat, M. Mouis, G. Ghibaudo, C. Gallon, C. Fenouillet-Beranger, D.K. Maude, T. Skotnicki, and S. Cristoloveanu. *Differential magnetoresistance technique for mobility extraction in ultra-short channel FDSOI transistors*. Solid-State Electron., **50** :636, 2006.

[Chang(1989)] C. Chang, H.R. Fetterman, and C.R. Viswanathan. *The characterization of high electron mobility transistors using Shubnikov-de Haas oscillations and geometrical magnetoresistance measurements*. J. Appl. Phys., **66** :928–936, 1989.

[Chang(2004)] L. Chang, M. Ieong, and M. Yang. *CMOS Circuit Performance Enhancement by Surface Orientation Optimization*. IEEE Trans. Electron Dev., **51** :1621, 2004.

[Chau(2007)] R. Chau, B. Doyle, S. Datta, J. Kavalieros, and K. Zhang. *Integrated nanoelectronics for the future*. Nature Materials, **6** :810 –812, September 2007.

[Chiang(2007)] W.T. Chiang, J.W. Pan, P.W. Liu, C.H. Tsai, C.T. Tsai, and G.H. Ma. *Strain Effects of Si and SiGe Channel on (100) and (110) Si Surfaces for Advanced CMOS Applications*. In VLSI-TSA, pages 1 –2, 2007.

[del Alamo(2011)] J.A. del Alamo. *Nanometre-scale electronics with III-V compound semiconductors*. Nature, **479** : 317–323, 2011.

[Ferry(2009)] D.K. Ferry, S.M. Goodnick, and J. Bird. *Transport in nanostructures*. Cambridge University Press, 2nd edition, 2009.

[Fischetti(1996)] M.V. Fischetti and S.E. Laux. *Band structure, deformation potentials, and carrier mobility in strained Si, Ge, and SiGe alloys*. J. Appl. Phys., **80** :2234–2252, 1996.

[Fitzgerald(2005)] E. A. Fitzgerald, M. L. Lee, B. Yu, K. E. Lee, C. L. Dohrman, D. Isaacson, T. A. Langdo, and D. A. Antoniadis. *Dislocation Engineering in Strained MOS Materials*. In IEDM Tech. Dig., 2005.

[Fleury(2009)] D. Fleury, G. Bidal, A. Cros, F. Boeuf, T. Skotnicki, and G. Ghibaudo. *New experimental insight into ballisticity of transport in strained bulk MOSFETs*. In VLSI Symp. Tech. Dig., pages 16 –17, 2009.

[Gallon(2003)] C. Gallon. *Impact des contraintes mécaniques dans les composants CMOS avancés*. Mémoire de DRT, INPG-Léti, 2003.

[Ghibaudo(1988)] G. Ghibaudo. *New method for the extraction of MOSFET parameters*. Electron. Lett., **24** :543, 1988.

[Hensel(1965)] J. C. Hensel, H. Hasegawa, and M. Nakayama. *Cyclotron resonance in uniaxially stressed silicon. ii. nature of the covalent bond*. Phys. Rev., **138** :A225–A238, 1965.

[Hinckley(1990)] J. M. Hinckley and J. Singh. *Influence of substrate composition and crystallographic orientation on the band structure of pseudomorphic Si-Ge alloy films*. Phys. Rev. B, **42**(6) :3546–3566, 1990.

[Hutin(2010a)] L. Hutin. *Etude des transistors MOSFET à barrière Schottky, à canal Silicium et Germanium sur couches minces*. PhD thesis, Université de Grenoble, 2010a.

[Hutin(2010b)] L. Hutin, M. Cassé and, C. Le Royer, J.-F. Damlencourt, A. Pouydebasque, C. Xu, C. Tabone, J.-M. Hartmann, V. Carron, H. Grampeix *et al. 20nm gate length trigate pFETs on strained SGOI for high performance CMOS*. In VLSI Symp. Tech. Dig., pages 37 –38, 2010b.

[Hutin(2010c)] L. Hutin, C. Le Royer, F. Andrieu, O. Weber, M. Cassé, J.-M. Hartmann, D. Cooper, A. Béché, L. Brevard, L. Brunet *et al. Dual Strained Channel co-integration into CMOS, RO and SRAM cells on FDSOI down to 17nm gate length*. In IEDM Tech. Dig., pages 11.1.1 –11.1.4, 2010c.

[Ieong(2004)] M. Ieong, B. Doris, J. Kedziersk, K. Rim, and M. Yang. *Silicon device scaling to the sub-10-nm regime*. Science, **306** :2057 – 2060, 2004.

[Jain(2003)] S. C. Jain and M. Willander. *Silicon-Germanium Strained Layers and Heterostructures*. Semiconductors and Semimetals. Academic Press, first edition, 2003.

[Kanda(1991)] Y. Kanda and K. Suzuki. *Origin of the shear piezoresistance coefficient π_{44} of n-type silicon*. Phys. Rev. B, **43**(8) :6754–6756, 1991.

[Kuhn(2011)] K. J. Kuhn. *Moore's crystal ball : Device physics and technology past the 15 nm generation*. Microelectr. Eng., **88** :1044 –1049, 2011.

[Kuhn(2010)] K. J. Kuhn, A. Murthy, R. Kotlyar, and M. Kuhn. *Past, present and future : SiGe and CMOS transistor scaling*. In Proc. of the int. ECS symp. : SiGe, Ge, and Related Compounds 4 : Materials, Processing, and Devices, volume 33, pages 3–17, 2010.

[Kuhn(2012)] K. J. Kuhn, U. Avci, A. Cappellani, M. D. Giles, M. Haverty, Seiyon Kim, R. Kotlyar, S. Manipatruni, D. Nikonov, Chytra Pawashe *et al. The Ultimate CMOS Device and Beyond*. In IEDM Tech. Dig., pages 171–174, 2012.

[Le Royer(2010)] C. Le Royer, M. Cassé, F. Andrieu, O. Weber, L. Brevard, P. Perreau, J.-F. Damlencourt, S. Baudot, C. Tabone, F. Allain *et al. Dual channel and strain for CMOS co-integration in FDSOI device architecture*. In Proceedings of European Solid-State Device Research Conference, pages 206 –209, 2010.

[Lee(2005)] M. L. Lee, E. A. Fitzgerald, M. T. Bulsara, M. T. Currie, and A. Lochtefeld. *Strained Si, SiGe, and Ge channels for high-mobility metal-oxide-semiconductor field-effect transistors*. J. Appl. Phys., **97**(1) :011101, 2005.

[Leitz(2002)] C. W. Leitz, M. T. Currie, M. L. Lee, Z.-Y. Cheng, D. A. Antoniadis, and E. A. Fitzgerald. *Hole mobility enhancements and alloy scattering-limited mobility in tensile strained Si/SiGe surface channel metal–oxide–semiconductor field-effect transistors*. J. Appl. Phys., **92**(7) :3745–3751, 2002.

[Liu(2005)] C. W. Liu, S. Maikap, and C.-Y. Yu. *Mobility enhancement technologies*. IEEE Circuits and Devices Magazine, ***21***(3) :21– 36, 2005.

[Lundstrom(2000)] M. Lundstrom. *Fundamentals of carrier transport*. Cambridge University Press, second edition, 2000.

[Lundstrom(2003)] M. Lundstrom. *Device physics at the scaling limit : what matters ?* In IEDM Tech. Dig., pages 789–792, 2003.

[Manasevit(1982)] H. M. Manasevit, I. S. Gergis, and A. B. Jones. *Electron mobility enhancement in epitaxial multilayer Si-Si[sub 1 - x]Ge[sub x] alloy films on (100) Si*. Appl. Phys. Lett., **41**(5) :464–466, 1982.

[Meziani(2004)] Y.M. Meziani, J. Lusakowski, W. Knap, N. Dyakonova, F. Teppe, K. Romanjek, M. Ferrier, R. Clerc, G. Ghibaudo, F. Boeuf *et al. Magnetoresistance characterization of nanometer Si Metal-Oxide-Semiconductor transistors*. J. Appl. Phys., **96**(10) :5761–5765, 2004.

[Morvan(2012)] S. Morvan, F. Andrieu, M. Cassé, O. Weber, N. Xu, P. Perreau, J. M Hartmann, J.-C. Barbe, J. Mazurier, P. Nguyen *et al. Efficiency of mechanical stressors in Planar FDSOI n and p MOSFETs down to 14nm gate length*. In VLSI Symp. Tech. Dig., pages 111–112, 2012.

[Mouis(2010)] M. Mouis and G. Ghibaudo. *Nanoscale CMOS*, chapter 14. J. Wiley & Sons, 2010.

[Nì Chléirigh(2007)] C. Nì Chléirigh. *Strained SiGe-channel p-MOSFETs : Impact of Heterostructure Design and Process Technology*. PhD thesis, MIT, 2007.

[Nì Chléirigh(2008)] C. Nì Chléirigh, N.D. Theodore, H. Fukuyama, S. Mure, H.-U. Ehrke, A. Domenicucci, and J.L. Hoyt. *Thickness dependence of hole mobility in ultrathin SiGe-channel p-MOSFETs*. IEEE Trans. Electron Dev., **55**(10) :2687 –2694, 2008.

[Nicollian(2003)] E. H. Nicollian and J. R. Brews. *MOS (Metal Oxide Semiconductor) Physics and Technology*. J. Wiley and Son, 2003.

[Niu(1999)] G. Niu, J.D. Cressler, S.J. Mathew, and S. Subbanna. *A total resistance slope-based effective channel mobility extraction method for deep submicrometer CMOS technology*. IEEE Trans. Electron Dev., **46**(9) : 1912 –1914, 1999.

[Oktyabrsky(2009)] S. Oktyabrsky and P.D. Ye, editors. *Fundamentals of III V Semiconductor MOSFETs*. Springer, 2009.

[Packan(2008)] P. Packan, S. Cea, H. Deshpande, T. Ghani, M. Giles, O. Golonzka, M. Hattendorf, R. Kotlyar, K. Kuhn, A. Murthy *et al. High Performance Hi-K + Metal Gate Strain Enhanced Transistors on (110) Silicon*. In IEDM Tech. Dig., 2008.

[Palmer(2001)] M. J. Palmer, G. Braithwaite, T. J. Grasby, P. J. Phillips, M. J. Prest, E. H. C. Parker, T. E. Whall, C. P. Parry, A. M. Waite, A. G. R. Evans *et al. Effective mobilities in pseudomorphic Si/SiGe/Si p-channel metal-oxide-semiconductor field-effect transistors with thin silicon capping layers*. Appl. Phys. Lett., **78**(10) : 1424–1426, 2001.

[Pan(2006)] J. W. Pan, P. W. Liu, T. Y. Chang, W. T. Chiang, C. H. Tsai, Y. H. Lin, C. T. Tsai, G. H. Ma, S. C. Chien, and S. W. Sun. *Mobility and Strain Effects on <110>/(110) SiGe channel pMOSFETs for High Current Enhancement*. 2006.

[Quay(2000)] R. Quay, C. Moglestue, V. Palankovski, and S. Selberherr. *A temperature dependent model for the saturation velocity in semiconductor materials*. Materials Science in Semiconductor Processing, **3**(1-2) : 149 – 155, 2000.

[Rim(2003)] K. Rim, K. Chan, L. Shi, D. Boyd, J. Ott, N. Klymko, F. Cardone, L. Tai, S. Koester, M. Cobb *et al. Fabrication and mobility characteristics of ultra-thin strained si directly on insulator (ssdoi) mosfets*. In IEDM Tech. Dig., pages 3.1.1–3.1.4, 2003.

[Rochette(2008)] F. Rochette. *Etude et caractérisation de l'influence des contraintes mécaniques sur les propriétés de transport électronique dans les architectures MOS avancées*. PhD thesis, INPG, 2008.

[Rochette(2006)] F. Rochette, M. Cassé, M. Mouis, D. Blachier, C. Leroux, B. Guillaumot, G. Reimbold, and F. Boulanger. *Electron mobility enhancement in uniaxially strained MOSFETs : Extraction of the effective mass variation*. In Proceedings of European Solid-State Device Research Conference, 2006.

[Rochette(2007)] F. Rochette, M. Cassé, M. Mouis, G. Reimbold, D. Blachier, C. Leroux, B. Guillaumot, and F. Boulanger. *Experimental evidence and extraction of the electron mass variation in [110] uniaxially strained MOSFETs*. Solid-State Electron., **51**(11-12) :1458 – 1465, 2007. Special Issue : Papers Selected from the 36th European Solid-State Device Research Conference.

[Rochette(2009)] F. Rochette, M. Cassé, M. Mouis, A. Haziot, T. Pioger, G. Ghibaudo, and F. Boulanger. *Piezoresistance effect of strained and unstrained fully-depleted silicon-on-insulator MOSFETs integrating a HfO_2/TiN gate stack*. Solid-State Electron., **53**(3) :392–396, 2009.

[Shockley(1950)] W. Shockley and J. Bardeen. *Energy Bands and Mobilities in Monatomic Semiconductors*. Phys. Rev., **77** :407–408, 1950.

[Signamarcheix(2011)] T. Signamarcheix, F. Andrieu, B. Biasse, M. Cassé, A.-M. Papon, E. Nolot, B. Ghyselen, O. Faynot, and L. Clavelier. *Fully depleted silicon on insulator MOSFETs on (110) surface for hybrid orientation technologies*. Solid-State Electron., **59**(1) :8 – 12, 2011. Papers selected from the EUROSOI 2010 conference.

[Smith(1954)] Charles S. Smith. *Piezoresistance Effect in Germanium and Silicon*. Phys. Rev., **94** :42–49, 1954.

[Stevenson(2013)] R. Stevenson. *Changing the channel*. IEEE Spectrum, **50**(7) :34–39, 2013.

[Sun(2007)] Y. Sun, S. E. Thompson, and T. Nishida. *Physics of strain effects in semiconductors and metal-oxide-semiconductor field-effect transistors*. J. Appl. Phys., **101**(10) :104503, 2007.

[Sun(2010)] Y. Sun, S. E. Thompson, and T. Nishida. *Strain Effect in Semiconductors*. Springer, 2010.

[Suthram(2007)] S. Suthram, J.C. Ziegert, T. Nishida, and S.E. Thompson. *Piezoresistance ocefficients of (100) silicon nMOSFETs measured at low and high ($\sim$1.5GPa)*. IEEE Electron Dev. Lett., **28** :58, 2007.

[Takagi(1994)] S. Takagi, A. Toriumi, M. Iwase, and H. Tango. *On the universality of inversion layer mobility in Si MOSFET's : Part II – Effect of surface orientation*. IEEE Trans. Electron Dev., **41**(12) :2363–2368, 1994.

[Takagi(1996)] S. Takagi, J.L. Hoyt, J.J. Welser, and J.F. Gibbons. *Comparative study of phonon-limited mobility of two-dimensional electrons in strained and unstrained Si metal-oxide-semiconductor field-effect transistors*. J. Appl. Phys., **80**(3) :1567–1577, 1996.

[Takagi(1998)] S. Takagi, J. Koga, and A. Toriumi. *Mobility Enhancement of SOI MOSFETs due to Subband Modulation in Ultrathin SOI Films*. Jpn. J. Appl. Phys., **37**(Part 1, No. 3B) :1289–1294, 1998.

[Takagi(2013)] S. Takagi, S.-H. Kim, R. Zhang, N. Taoka, M. Yokoyama, and M. Takenaka. *Limiting Factors of Channel Mobility in III-V/Ge MOSFETs*. ECS Transactions, **53**(3) :107–122, 2013.

[Thompson(2002)] S. Thompson, N. Anand, M. Armstrong, C. Auth, B. Arcot, M. Alavi, P. Bai, J. Bielefeld, R. Bigwood, J. Brandenburg *et al. A 90 nm logic technology featuring 50 nm strained silicon channel transistors, 7 layers of Cu interconnects, low k ILD, and 1 μm^2 SRAM cell*. In IEDM Tech. Dig., pages 61 – 64, 2002.

[Uchida(2005)] M. Uchida, Y. Kamakura, and K. Taniguchi. *Performance enhancement of pMOSFETs depending on strain, channel direction, and material*. In Proc. SISPAD, pages 315 – 318, 2005.

[Ungersboeck(2007)] E. Ungersboeck, S. Dhar, G. Karlowatz, H. Kosina, and S. Selberherr. *Cyclotron resonance in uniaxially stressed silicon. ii. nature of the covalent bond*. J. Comput. Electron., **6** :55–58, 2007.

[van Hemert(2013)] T. van Hemert and R.J.E. Hueting. *Piezoelectric Strain Modulation in FETs*. IEEE Trans. Electron Dev., **PP**(99) :1–1, 2013.

[Weber(2007)] O. Weber, T. Irisawa, T. Numata, M. Harada, N. Taoka, Y. Yamashita, T. Yamamoto, N. Sugiyama, M. Takenaka, and S. Takagi. *Examination of additive mobility enhancements for uniaxial stress combined with biaxially strained Si, biaxially strained SiGe and Ge channel MOSFETs*. In IEDM Tech. Dig., pages 719 –722, 2007.

[Welser(1994)] J. Welser, J.L. Hoyt, S. Takagi, and J.F. Gibbons. *Strain dependence of the performance enhancement in strained-si n-mosfets*. In IEDM Tech. Dig., pages 373–376, 1994.

[Yang(2003)] M. Yang, E.P. Gusev, O. Gluschenkov, D.C. Boyd, K.K. Chan, P.M. Kozlowski, C.P. D'Emic, R.M. Sicina, P.C. Jamison, and A.I. Chou. *Performance dependence of CMOS on silicon substrate orientation for ultrathin oxynitride and HfO2 gate dielectrics*. IEEE Electron Dev. Lett., **24**(5) :339–341, May 2003.

[Yokoyama(2011)] M. Yokoyama, S.-H. Kim, R. Zhang, N. Taoka, Y. Urabe, T. Maeda, H. Takagi, T. Yasuda, H. Yamada, O. Ichikawa *et al. CMOS integration of InGaAs nMOSFETs and Ge pMOSFETs with self-align Ni-based metal S/D using direct wafer bonding*. In VLSI Symp. Tech. Dig., pages 60–61, 2011.

4

ARCHITECTURES AVANCÉES : DU FDSOI AUX TRANSISTORS NANOFILS

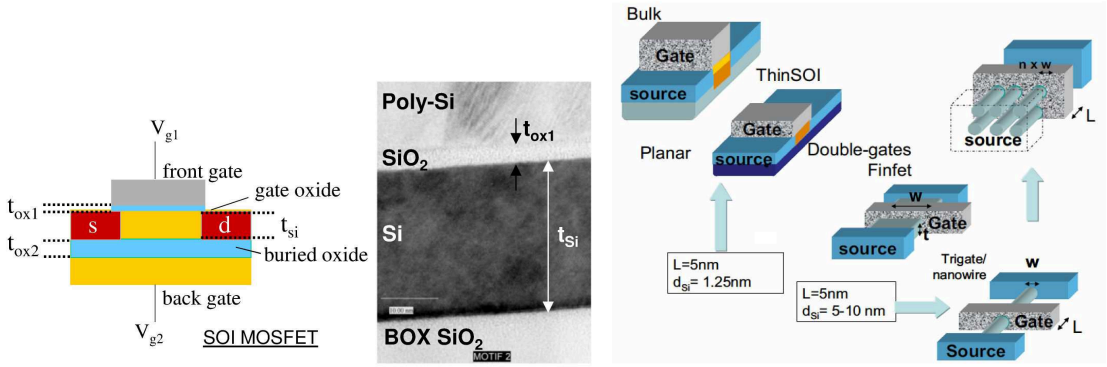
4.1 INTRODUCTION

Pour aller plus loin dans la recherche du gain en performance des transistors CMOS, il faut envisager une modification plus ou moins radicale de l'architecture des dispositifs. L'annonce de l'entrée en production de la technologie silicium sur isolant totalement déserté (FDSOI) pour le noeud 28nm par STMicroelectronics en est la plus récente illustration [1]. Auparavant, dès mai 2011 , Intel avait annoncé la production de micro-processeurs [2] utilisant des transistors tri-gate (ou 3D) [Ahmed 2011]. Ces deux exemples illustrent bien la tendance à court et moyen terme pour les futures générations de transistors, pour lesquelles on cherche à améliorer le contrôle électrostatique du canal plutôt que de réduire la taille de la grille.

Historiquement, le Léti a beaucoup travaillé sur la technologie SOI et FDSOI, depuis les années 80. L'avantage de ces substrats est d'offrir une parfaite isolation diélectrique entre la couche active des circuits et le substrat de silicium massif, grâce à un oxyde enterré (BOX). Les dispositifs réalisés sur ces substrats bénéficient notamment d'un excellent contrôle électrostatique du canal, qui limite les effets parasites sur les transistors à canaux courts, et présentent de plus faibles capacités parasites. La technologie SOI permet ainsi d'améliorer significativement la vitesse des circuits et la puissance consommée. De plus cette technologie représente un enjeu très important pour le tissu industriel français et grenoblois en particuliers avec SOITEC. Enfin ces nouveaux types de substrat ouvrent la voie à de nouvelles architectures, en évoluant vers les transistors multi-grilles.
À mon arrivée au Léti en 2001, j'étais en charge de la caractérisation électrique des dispositifs SOI partiellement désertés (PDSOI) et totalement désertés (FDSOI). Pour ces derniers, la couche de silicium active est inférieure à la profondeur de déplétion du silicium, qui s'étend donc sur toute l'épaisseur de film. Les propriétés électriques, et le transport en particuliers, vont être modifiées par l'épaisseur de ces couches minces (typiquement 30nm et en deçà), et le couplage entre la face avant, sous l'oxyde de grille, et la face arrière au-dessus du BOX (Fig. 4.1a). Mon activité de recherche s'est concentrée sur ces particularités du transport dans les transistors à couche mince, en collaboration avec l'IMEP (Sorin Cristoloveanu et Akiko Ohata). Certains travaux réalisés dans le cadre de la thèse de F. Rochette (Cf. Chap. 3), et en collaboration avec Claire Fenouillet-Béranger (accords Leti/STMicroelectronics) ont également nourri ce travail.

Un certain nombre d'architectures multi-grilles ont déjà été démontrées, que ce soient des transistors double grilles [Vinet 2005], à grille totalement enrobante [3] [Singh 2006], ou semi-enrobante, cette dernière catégorie incluant les finFETs [Hisamoto 1989, 2000], les nanofils Tri-Gate [Colinge 1996], Ω-Gate [Jahan 2005] ou encore Π-Gate suivant la forme de la grille [Colinge 2008]. Le caractère enrobant de la grille permet un meilleur contrôle électrostatique du canal, et permet de relâcher la contrainte sur l'épaisseur de film du canal pour les noeuds technologiques plus avancés [Skotnicki 2005; Ernst 2008] (Fig. 4.1b). De plus, ces dispositifs permettent d'augmenter encore la densité d'intégration en empilant les transistors verticalement. Ceci peut être réalisé en superposant directement des transistors de type na-

1 Voir par exemple l'article du 11 décembre 2012 sur EETimes (*http ://www.eetimes.com*) : "*28-nm FDSOI is production ready, says ST*".
2 Pour sa génération 22nm *Ivy Bridge*.
3 ou *Gate-All-Around* (GAA) en anglais.



(a) (b)

FIGURE 4.1: (a) Schéma d'un transistor SOI, et coupe TEM d'un film mince de ∼25nm de Si et d'un empilement de grille SiO_2/poly-Si [Cassé 2003]. (b) La technologie *nanofils* permet de relacher la contrainte sur l'épaisseur de film nécessaire pour conserver un bon contrôle électrostatique du canal, alors que l'empilement 3D permet d'augmenter la densité d'intégration [Ernst 2008].

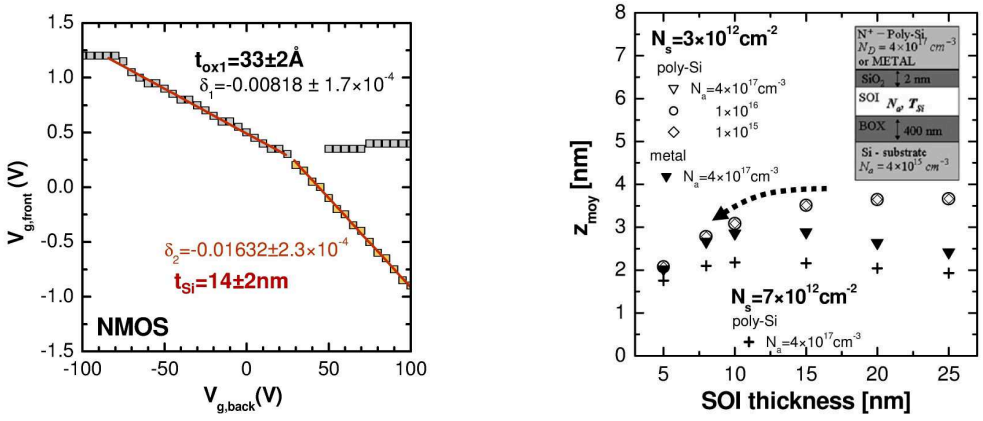
nofils à grille enrobante les uns sur les autres dans un même dispositif multi-grilles [Ernst 2008, 2011].
À partir de 2009, mon activité s'est élargie à l'étude des dispositifs à base de nanofils de silicium, réalisés dans un premier temps en technologie gate-all-around (GAA) et multi-fils empilés [Tachi 2009], puis par une technologie planaire à canal étroit utilisant la plateforme SOI (tri-gate, Ω-gate) [Coquand 2012b]. Dans ces dispositifs multi-grilles, la qualité de l'interface canal/oxyde de grille (rugosité, densité d'états d'interface) est déterminante pour les propriétés électriques de part le caractère enrobant de la grille. De plus les procédés utilisés pour former le canal (tels que le recuit H_2 utilisé pour arrondir la section des fils, ou les différentes gravures), l'orientation cristallographique différente des flancs, l'utilisation de nouveaux matériaux de grille (empilement de grille high-κ/ métal), sont autant de facteurs qui peuvent avoir une grande influence sur cette interface. Il nous a donc paru important de caractériser l'interface des nanofils et d'étudier les propriétés de transport en relation avec la qualité de l'interface. Ces travaux ont été réalisés dans le cadre du stage de S. Thiele, de l'encadrement des thèses de Pierre Leroux et Masahiro Koyama [4], et en collaboration avec le LDI, en particuliers, en appui de la thèse de K. Tachi [Tachi 2011].
La combinaison de ces architectures tridimensionnelles innovantes avec des contraintes permet d'améliorer encore les performances électriques, et le courant à l'état ON plus particulièrement. Cette dernière thématique constitue la partie la plus récente de mes activités de recherche. La compréhension et l'optimisation du rôle des contraintes dans ces dispositifs complexes constituent une voie d'exploration récente [Cassé 2012; Cassé 2013], que l'on poursuit activement (Stage de J. Pelloux-Prayer).

4.2 LA TECHNOLOGIE FILM MINCE SUR ISOLANT (SOI)

4.2.1 *L'effet de couplage*

Comme évoqué plus haut, la technologie SOI est actuellement une solution privilégiée pour les futurs nœuds technologiques. Le principe de cette technologie repose sur la fabrication d'un film mince de silicium ($\lesssim$30nm pour les films totalement désertés) au dessus d'un oxyde enterré (BOX) [5]. Cette couche mince de silicium actif permet notamment d'avoir un meilleur

4 Thèse réalisée, comme celle de K. Tachi, dans le cadre d'un échange avec l'institut technologique de Tokyo.
5 Aujourd'hui la majorité des plaques SOI est obtenue par collage moléculaire, ou *wafer bonding*, grâce à la technologie Smart Cut™de SOITEC, et développée en collaboration avec le CEA-Leti.



(a) (b)

FIGURE 4.2: (a) Tensions de seuil face avant $V_{g,front}$ (face arrière $V_{g,back}$) mesurées en fonction de la tension appliquée sur la face opposée ($L = 10\mu$m $\times W = 25\mu$m). Les pentes δ_1 et δ_2 des parties linéaires permettent d'extraire l'épaisseur de l'oxyde face avant t_{ox1} et du film de silicium t_{Si}, en raison du couplage entre les deux canaux de conduction (Eqs. (4.3), (4.4)). (b) Distance moyenne des électrons $\overline{z}$ par rapport à l'interface oxyde/silicium, calculée d'aprés l'Eq. (4.6), en fonction de l'épaisseur de film t_{Si}.

contrôle électrostatique, ainsi qu'une meilleure isolation des transistors. De plus l'intégrité électrostatique étant assurée par l'épaisseur de silicium, le canal de ces transistors peut rester non dopé, éliminant ainsi une source de variabilité de la tension de seuil due au dopage. La face arrière permet également de disposer d'une grille supplémentaire pour un encore meilleur contrôle électrostatique [Arnaud 2012].

La physique du transport dans ces dispositifs à film mince diffère des transistors conventionnels sur substrat massif [Cristoloveanu 1995]. En particuliers, la présence de deux interfaces, l'une en face avant (oxyde de grille/canal), et l'autre en face arrière (canal/BOX), permet d'activer deux canaux de conduction indépendamment en jouant sur la tension appliquée sous le BOX (Fig. 4.1a). Ces deux interfaces sont néanmoins couplées électrostatiquement, le potentiel de surface d'une interface dépendant du potentiel de surface de l'autre interface. En résolvant l'équation de Schrödinger dans le SOI, et en faisant quelques approximations simplificatrices [6], Lim et Fossum ont exprimé ce couplage entre la tension de seuil face avant en fonction de la tension face arrière, et vice versa [Lim 1983]. La figure 4.2a illustre ce couplage entre les deux interfaces, qui dépend essentiellement de trois paramètres : l'épaisseur de l'oxyde face avant t_{ox1}, l'épaisseur de l'oxyde enterré t_{ox2}, et l'épaisseur de silicium t_{Si}.

Ces caractéristiques de couplage font apparaitre deux régions linéaires, dont les pentes δ_1 et $1/\delta_2$ sont données par

$$\begin{aligned} \delta_1 &= -\frac{C_{si}C_{ox2}}{C_{ox1}(C_{ox2}+C_{si})} \\ &\approx -\frac{C_{ox2}}{C_{ox1}} \qquad \text{si } t_{ox2} \gg t_{si} \end{aligned} \tag{4.1}$$

et

$$\frac{1}{\delta_2} = -\frac{C_{si}C_{ox1}}{C_{ox2}(C_{ox1}+C_{si})} \tag{4.2}$$

6 La principale étant que la couche d'inversion est assimilée à une δ de Dirac à l'interface avant et arrière, et on ne tient pas compte du confinement quantique des porteurs.

Ces deux pentes permettent d'extraire les deux paramètres

$$t_{ox1} = -t_{ox2}\delta_1 \tag{4.3}$$

$$t_{si} = -\frac{\epsilon_{si}}{\epsilon_{ox}}(t_{ox1} + t_{ox2}\delta_2) \tag{4.4}$$

Nous avons pu valider cette méthode d'extraction de l'épaisseur de film t_{Si} pour des transistors avec des faibles épaisseurs d'oxyde (∼2nm) et pour des épaisseurs de film dans la gamme de 10nm à 30nm, en corrigeant des épaisseurs électriques effectives [7] [Cassé 2003]. Pour des films très minces (t_{Si} <5nm) cet effet de couplage est modifié ; les deux pentes tendent vers la même valeur ($C_{Si} \gg C_{ox1}$), le couplage ne dépend plus de t_{Si} et on tend vers une inversion dans tout le volume [Cristoloveanu 2007]. Pour des épaisseurs t_{Si} intermédiaires, et avec un oxyde face avant et un BOX ultrafins (t_{ox1} ∼1nm et t_{BOX} de l'ordre de 10nm à 25nm) les corrections à apporter au modèle des pentes de Lim et Fossum sont de l'ordre de grandeur des épaisseurs mises en jeu. De plus, pour les canaux non dopés, la transition entre la conduction face avant et face arrière n'est pas abrupte, et les valeurs extraites des pentes dépendent de la plage d'extraction en V_g. Il est alors préférable d'utiliser une simulation Poisson-Schrödinger 1D pour ajuster les courbes expérimentales [Poiroux 2004].

4.2.2 *Transport dans les dispositifs sur films minces*

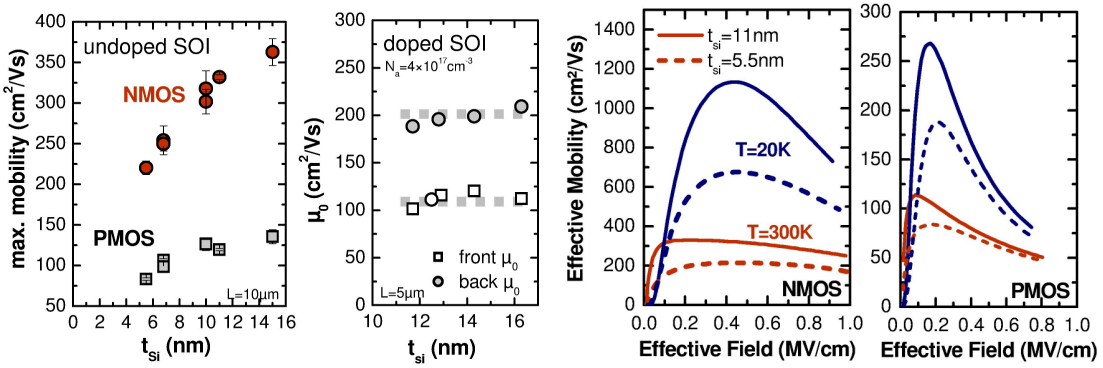
Les propriétés de transport de ces transistors SOI dépendent fortement de l'épaisseur du film. Pour des films plus épais que 20nm, la mobilité des porteurs suit la mobilité universelle, en définissant correctement le champ effectif dans les dispositifs SOI [Sherony 1994]. Pour des couches plus fines, une dépendance de la mobilité avec l'épaisseur a été mise en évidence expérimentalement par plusieurs groupes, jusqu'à des épaisseurs de ∼3nm, particulièrement à faible densité de porteurs N_{inv} [Toriumi 1995; Choi 1995; Esseni 2001; Uchida 2002].
Ces résultats peuvent s'expliquer théoriquement en analysant la répartition des porteurs dans les sous-bandes, et les niveaux d'énergie de ces sous-bandes [Takagi 1998]. Ainsi, pour des films avec 5nm< t_{si} <20nm, une première interprétation repose sur la dépendance des interactions avec les phonons du Si avec l'épaisseur de film t_{Si} [Takagi 1998; Uchida 2002; Esseni 2001]. Dans cette gamme d'épaisseur, on peut montrer que la mobilité limitée par les phonons acoustiques intra-vallées, μ_{ac}, décroit avec l'épaisseur de la couche d'inversion, celle-ci étant limitée par l'épaisseur t_{Si}.
Un autre mécanisme peut également dégrader la mobilité quand l'épaisseur diminue, dû à la position moyenne des porteurs $\overline{z}$ par rapport à l'interface oxyde/canal. Le calcul de $\overline{z}$ peut être réalisé à partir de la densité de porteur dans le film $n(z)$obtenu par une simulation Poisson-Schrödinger 1D, suivant

$$\overline{z} = \frac{\int_0^{t_{Si}} n(z) z \, \mathrm{d}z}{\int_0^{t_{Si}} n(z) \, \mathrm{d}z} \tag{4.5}$$

$$\text{avec} \quad n(z) = |\zeta(z)|^2 \tag{4.6}$$

où $\zeta(z)$ est la fonction d'onde (voir par exemple [Hamaguchi 2001]). Le résultat du calcul montre que les porteurs se rapprochent de l'interface quand l'épaisseur t_{Si} diminue (Fig. 4.2b), ce qui entraîne une dégradation de la mobilité des porteurs par les interactions coulombiennes avec les charges de l'oxyde de grille. De plus, nous avons pu montrer que cet effet dépend du dopage [Ohata 2008]. Ainsi, nous avons trouvé que pour les films dopés (typiquement $4\times10^{17}\mathrm{cm}^{-3}$), on observe peu de dépendance avec l'épaisseur t_{si}, en accord avec nos premiers résultats expérimentaux [Ohata 2004] (Fig. 4.3a). Pour nos films minces non dopés, ce mécanisme est conforté par les mesures de mobilité à basse température (Fig 4.3b). En effet à 20 K la dégradation de mobilité reste observable, contrairement à ce que l'hypothèse des phonons prévoit. De plus la comparaison des mobilités mesurées sur des plaques

7 On ajoute l'épaisseur du *dark space* et de la poly-déplétion de la grille suivant les tensions de polarisation envisagées.



(a) (b)

FIGURE 4.3: (a) Mobilité en fonction de l'épaisseur du film de silicium t_{Si} mesurée pour des transistors SOI longs dopés (N_a =4×10^{17}cm^{-3}) et non dopés. (b) Mobilité effective des électrons et des trous mesurée en fonction du champ effectif à température ambiante et à T =20K et pour deux épaisseurs de film différentes t_{Si} =11nm et t_{Si} =5.5nm.

hybrides, *i.e.* avec une technologie SOI/bulk co-intégrée, montre également une dégradation de la mobilité pour les transistors réalisés sur SOI (t_{Si}=7nm) par rapport à ceux réalisés sur *bulk*, l'ensemble du process de grille étant complètement identique entre les deux technologies [Nguyen 2013] (Fig. 4.4).

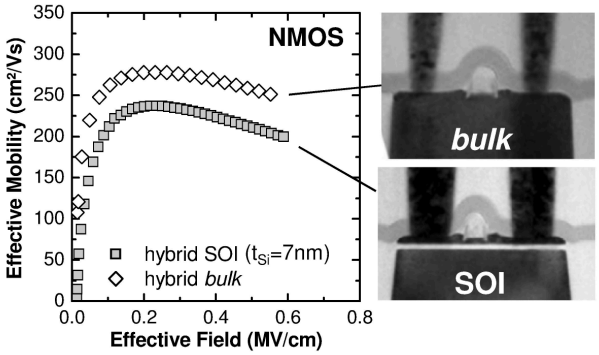


FIGURE 4.4: Mobilité effective en fonction du champ effectif mesurée sur des transistors SOI et *bulk* réalisés sur une plaque hybride, et images TEM des deux types de dispostifs [Nguyen 2013].

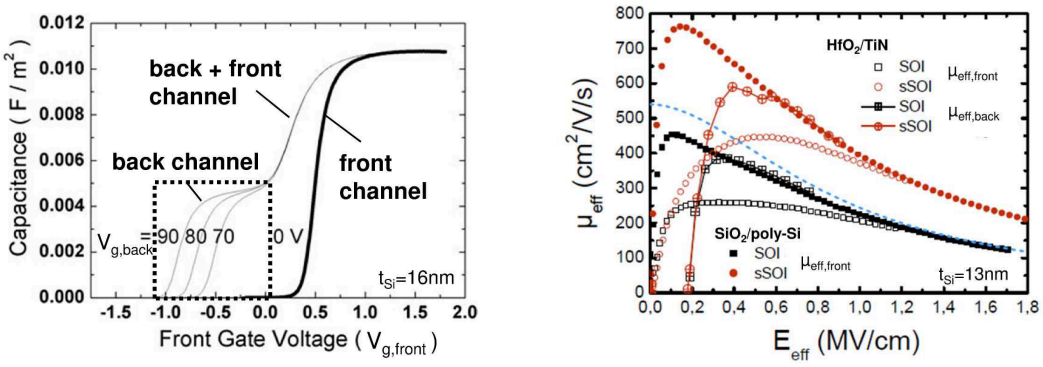
Enfin, l'originalité des dispositifs SOI est la possibilité d'activer un deuxième canal de conduction, à l'interface Si/BOX. Comme pour le canal face avant, la mobilité face arrière peut être extraite et analysée [Ohata 2006, 2007]. Pour cela nous avons étendu la méthode CV-split au canal face arrière. Dans cette approche, la charge d'inversion est extraite à partir de la capacité grille-canal C_{gc} mesurée en fonction de la tension face avant, pour plusieurs valeurs de la tension face arrière (Fig. 4.5a). Un plateau apparaît lorsque le canal face arrière est activé. Dans cette région, la charge d'inversion $N_{\text{inv,back}}$ peut-être calculée à partir de la relation suivante

$$qN_{\text{inv,back}}(V_{g,front}, V_{g,back}) = \int_{-\infty}^{V_{g,front}} C_{gc}(V)dV \tag{4.7}$$

La mobilité effective du canal avant et arrière, peut alors être reconstruite en utilisant la relation usuelle

$$\mu_{\text{front,back}} = \frac{L}{W}\frac{I_D}{V_D}\frac{1}{qN_{\text{front,back}}} \tag{4.8}$$

L'analyse de valeurs de mobilité extraite pour nos transistors SOI a permis de montrer que :



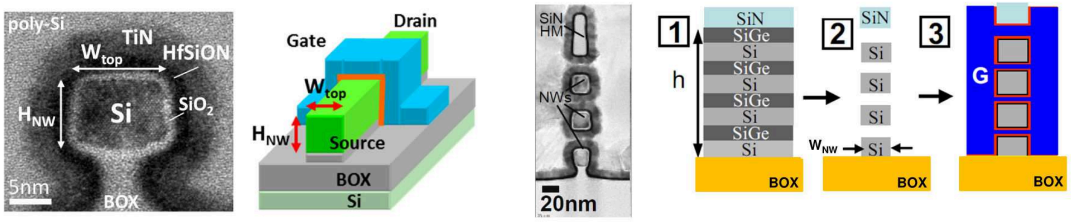
(a) (b)

FIGURE 4.5: (a) Capacité grille-canal C_{gc} mesurée pour un NMOS en fonction de la tension de grille avant $V_{g,front}$, et pour différentes valeurs de la tension appliquée sur la face arrière $V_{g,back}$ ($L = W = 100\mu$m). Un plateau apparaît lors de l'activation du canal de conduction face arrière. (b) Mobilité effective des électrons du canal avant ($\mu_{eff,front}$) et arrière ($\mu_{eff,back}$) mesurée en fonction du champ effectif (pour une polarisation de la grille opposée nulle), pour des transistors SOI et sSOI avec un empilement de grille HfO_2/TiN. La mobilité du canal avant pour un empilement de grille conventionnel 5nm SiO_2/poly-Si, ainsi que la courbe de mobilité universelle (ligne en pointillés) sont également représentées pour comparaison.

- la mobilité face arrière est égale à la mobilité universelle (Fig. 4.5b). L'interface arrière canal/BOX a donc la qualité idéale d'une interface Si/SiO_2.
- la mobilité face avant est inférieure à la mobilité face arrière. Cette dégradation de la mobilité a la signature d'une interaction coulombienne supplémentaire [Ohata 2006, 2007], dû aux charges de l'oxyde face avant, en accord avec ce qui a été établi précédemment.

4.2.3 *BOX minces, transistors hybrides, et autres considérations*

Les développements en cours sur la technologie SOI se focalisent sur les BOX minces qui permettent d'améliorer encore un peu plus les effets de canaux courts, en réduisant le couplage électrostatique latéral entre la source et le drain [Fenouillet-Beranger 2003; Fujiwara 2005]. Afin de limiter la désertion des porteurs sous le BOX, on est amené à intégrer également une électrode (*Ground Plane*) sous le BOX, par implantation à travers le BOX. De plus des BOX minces sont requis pour permettre d'utiliser la face arrière avec des tensions faibles, compatibles avec un domaine d'opération à basse tension d'alimentation (*low-voltage*). Cette polarisation permet de contrôler et d'ajuster la tension de seuil [Fenouillet-Beranger 2009]. Du point de vue du transport, nous avons pu démontrer que l'utilisation d'un BOX mince (20nm) n'a pas de conséquences sur la mobilité [Fenouillet-Beranger 2009].
Autre avantage de la technologie SOI, celle-ci permet également la co-intégration de dispositifs *bulk* et SOI sur un même substrat, par exemple après dissolution du BOX [Nguyen 2013]. En effet les composants de puissance, diodes, protections ESD, transistors bipolaires,... ne peuvent pas être réalisés sur film mince. La technologie hybride permet alors de combiner les avantages du SOI pour les circuits, et du *bulk* pour la protection de ces circuits. Les mesures de mobilité du canal face avant ont démontré une faible influence du procédé de dissolution du BOX (vus par l'ensemble des dispositifs de la plaque, SOI ou *bulk*) avec une faible dégradation essentiellement à faible charge d'inversion. Cette dégradation est probablement due à la couche nitrurée utilisée comme masque pour définir les zones à dissoudre [Nguyen 2013].
Dans ces deux exemples, la mobilité des porteurs du canal est un paramètre simplement utilisé pour détecter l'impact des procédés technologiques sur les performances des transistors.



(a) (b)

FIGURE 4.6: (a) Représentation schématique d'un transistor tri-gate à base de nanofil de hauteur H_{NW} et de largeur W_{top}, et coupe TEM correspondante [Coquand 2012b]. (b) Coupe TEM d'un empilement de nanofils à grille totalement enrobante, fabriqués par gravure sélective d'une couche sacrificielle de SiGe, dont les étapes sont représentées schématiquement [Dupré 2008].

Il ne s'agit pas dans ces deux approches d'améliorer le transport, mais de préserver ces propriétés de transport. En revanche, le passage à une architecture de type nanofils TriGate ou FinFET, qui exploite la dimension verticale du film mince, constitue une voie d'amélioration des performances et du transport en particulier.

4.3 NANOFILS SI : LE SILICIUM SOUS TOUTES SES FACETTES

Les transistors multi-grilles permettent d'exploiter la conduction sur plusieurs facettes ou orientations du silicium [Datta 2013; Ferain 2011], ce qui permet un gain de performances pour une même longueur de grille. Au Leti, les premiers transistors tri-gate ont été développés en 2005, à partir d'une architecture SOI [Jahan 2005] (Fig. 4.6a). Ces dispositifs constituent le prolongement naturel de transistors SOI dont la largeur est réduite jusqu'à quelques nanomètres. Cette voie s'appuie sur la même plateforme technologique que celle utilisée pour des transistors planaires, l'épaisseur du film de silicium définissant la hauteur du nanofil tri-gate ainsi obtenu (H_{NW} sur la Fig. 4.6a).
Une deuxième voie a été également explorée, à partir de 2004, dans l'équipe de T. Ernst en collaboration avec STMicroelectronics. Cette approche s'appuie sur la technologie SON, qui permet la fabrication de couches monocristallines suspendues après la gravure sélective d'une couche sacrificielle en SiO_2 ou SiGe [Jurczak 1999]. Celle-ci permet en outre la fabrication de nanofils à grille totalement enrobante, et la superposition de plusieurs nanofils (Fig. 4.6b).
Les études développées ci-dessous se sont concentrées sur

- la caractérisation de la qualité des interfaces multiples inhérentes à ce type de transistors *tridimensionnels*.
- l'étude du transport, et notamment l'influence du confinement induit par la grille semi ou totalement enrobante, ou encore l'effet d'une contrainte mécanique.

4.3.1 *Caractérisation des pièges d'interface*

Deux techniques ont été utilisées pour caractériser les défauts à l'interface canal/oxyde. La première reprend la technique de pompage de charge déjà appliquée pour les transistors planaires SOI, en utilisant des structures dédiées *i.e.* des diodes à grille (Cf. § 2.2.1.3) [Tachi 2009]. Cette action a été initiée lors du stage de S. Thiele, dont les résultats ont été exploités dans la réf. [Cassé 2010]. L'originalité des résultats repose sur la mesure du profil énergétique des défauts d'interface $D_{it}(E)$ pour des transistors à nanofils de silicium empilés. Nous avons ainsi pu comparer les profils de défauts pour des nanofils à section rectangulaire ($W \times H$=20×15

nm^2) et à section circulaire (d=25 nm) – ces derniers étant réalisés avec un recuit H_2 additionnel – avec une référence planaire intégrant le même empilement de grille HfO_2/TiN (Fig. 4.7). L'analyse des profils a permis de montrer

- une plus grande densité moyenne de défauts dans le cas des nanofils, particulièrement pour les nanofils à section circulaire, qui révèle la sensibilité de la qualité de l'interface silicium/oxyde au procédé de gravure sacrificielle.
- une asymétrie moins forte dans les profils de D_{it} dans le cas des nanofils, par rapport à la référence planaire, qui tendrait à montrer que les défauts créés sont des centres Pb plutôt que des défauts induits par la diffusion de l'azote.

De plus, la mobilité effective mesurée sur des transistors NMOS correspondant (voir plus loin) est en adéquation avec ces résultats. La mobilité des transistors nanofils est en effet dégradée par rapport à la référence planaire, en accord avec une plus forte interaction coulombienne induite par une plus grande densité de défauts.
Les mêmes mesures ont été reproduites sur des transistors tri-gate nanofils fabriqués sur la même base que des transistors SOI planaires, avec un *trimming* de la résine plus agressif permettant de réduire les dimensions de la zone active à quelques nm [Coquand 2012b]. L'empilement de grille (HfSiON/TiN) a également été optimisé pour réduire la diffusion d'azote vers l'interface. La même densité de défauts a été mesurée sur ces derniers que sur des transistors plus larges ($D_{it} \lesssim 10^{10} cm^{-2} eV^{-1}$), démontrant que dans cette approche de fabrication des transistors nanofils, les flancs verticaux orientés (110) présentent la même qualité d'interface que le plan horizontal (100).

La deuxième approche consiste à mesurer le bruit basse fréquence [8], appelé aussi bruit en $1/f$, dans les transistors nanofils. En effet, le bruit du courant de drain dans les transistors résulte des fluctuations du nombre de porteurs dans le canal et/ou de la mobilité de ceux-ci [Ghibaudo 1991]. Le bruit est par conséquent fortement lié aux pièges d'interfaces et au transport dans le canal, et constitue de fait un outil intéressant de caractérisation électrique, encore peu utilisé dans le cas des transistors nanofils [Zhuge 2009; Jang 2010; Feng 2011; Saitoh 2013] ou les finFETs [de Andrade 2011; Rajamohanan 2012]. Cette thématique fait l'objet, depuis janvier 2012, de la thèse de M. Koyama, en collaboration avec le laboratoire IMEP-LAHC, qui dispose de l'expérience et des systèmes de mesure de bruit.

Le mécanisme physique à l'origine de la fluctuation du nombre de porteurs est l'interaction entre les porteurs du canal et les pièges dans l'oxyde de grille. Il existe un échange dynamique (piégeage/dépiègage) entre les pièges et les porteurs en inversion, qui cause des fluctuations du potentiel de surface (δV_{fb}) et donc de la charge d'inversion. De même la mobilité des porteurs limitée par les interactions coulombiennes fluctue également en corrélation avec la charge piégée dans l'oxyde δQ_{ox}. On peut introduire un paramètre α, décrivant le couplage entre la mobilité et la charge piégée, et défini par

$$\alpha = \frac{\partial \frac{1}{\mu_{\text{eff}}}}{\partial Q_{ox}} = -\frac{1}{\mu_{\text{eff}}^2} \frac{\partial \mu_{\text{eff}}}{\partial Q_{ox}} \tag{4.9}$$

La densité spectrale de puissance du bruit s'exprime alors

$$\frac{S_{I_d}}{I_d^2} = \left(\frac{g_m}{I_d}\right)^2 \left(1 + \alpha \mu_{\text{eff}} C_{ox} \frac{I_D}{g_m}\right)^2 S_{V_{fb}} \tag{4.10}$$

Dans cette equation, le premier terme est dû aux fluctuations de la charge d'inversion, et le second terme aux fluctuations corrélées de la mobilité. La densité spectrale de bruit associé

8 Voir par exemple [von Haartman 2007].

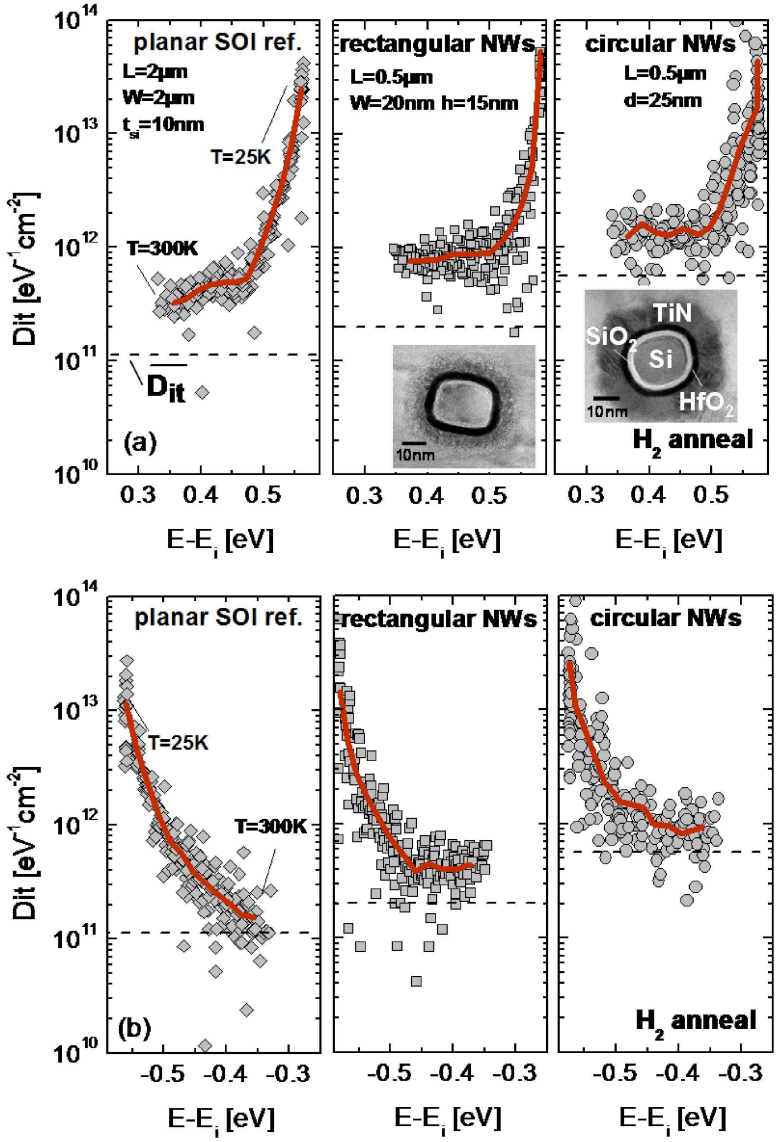
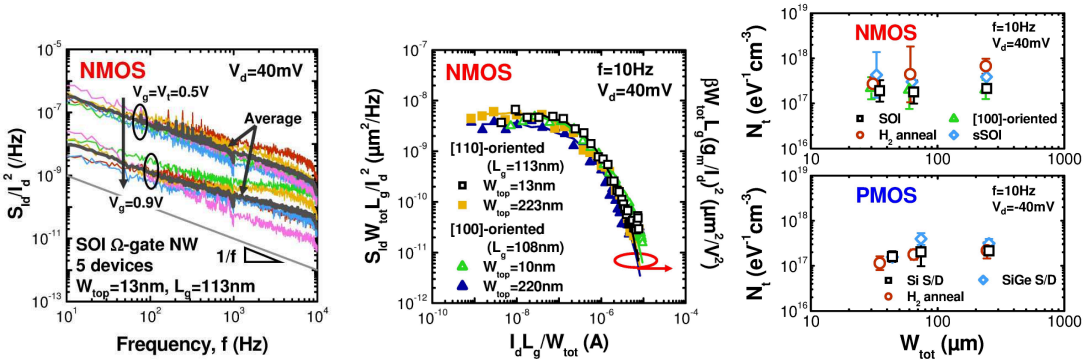


FIGURE 4.7: Densité d'états d'interface D_{it} en fonction de l'énergie dans la bande interdite du silicium mesurée pour un dispositif SOI planaire, nanofil à section rectangulaire, et nanofil à section circulaire (recuit H_2) : (a) partie supérieure du *gap*, proche de la bande de conduction, et (b) partie inférieure du *gap*, proche de la bande de valence. Le niveau de Fermi intrinsèque E_i est utilisé comme référence pour les énergies. La valeur moyenne sur l'ensemble du gap $\overline{D_{it}}$ est indiquée par la ligne pointillée. Les profils ont été obtenus en faisant varier la température de 300 K à 25 K.

aux fluctuations de la tension de seuil $S_{V_{fb}}$ est fonction de la densité de pièges dans l'oxyde N_t selon

$$S_{V_{fb}} = \frac{q^2 k_B T \lambda N_t}{f^\gamma W L C_{ox}^2} \tag{4.11}$$

avec λ la longueur caractéristique de l'effet tunnel ($\sim$1Å pour le Si/SiO_2). La mesure de la densité spectrale de bruit associé au courant de drain I_D, permet ainsi de remonter à la densité volumique de défauts dans l'oxyde N_t. Les premières mesures ont été réalisées sur des nanofils empilés à canal SiGe [Tachi 2010; Jang 2011], avant de réaliser une étude plus exhaustive sur des nanofils Tri-Gate/Ω-Gate [Koyama 2013a,b] (Fig. 4.8). Ces derniers présentent notamment moins de pièges que les nanofils à grille totalement enrobante, avec une densité volumique de 2-4$\times 10^{17} eV^{-1}cm^{-3}$, soit une à deux décades de moins. Ces valeurs, en bon accord avec des mesures de pompage de charge effectuées par ailleurs, sont également du même ordre de grandeur que les valeurs publiées pour des technologies récentes intégrant un empilement high-κ/grille métal (nœud 28nm et en deçà) [Ioannidis 2013].
Les mesures ont été réalisées pour des largeurs de fils jusqu'à 10 nm et des longueurs de grille jusqu'à 20 nm, et démontrent l'excellente qualité de l'interface canal/oxyde de grille même pour les flancs de ces architectures multi-grilles. De même, différentes variantes intégrant des contraintes ou une orientation différente du canal présentent la même densité de pièges N_t (Fig. 4.8c). Ces résultats sont encourageant pour l'introduction des cette technologie pour les nœuds avancés.



(a) (b) (c)

FIGURE 4.8: (a) Densité spectrale de bruit mesurée en fonction de la fréquence pour des nanofils Ω-gate. (b) Densité spectrale de bruit normalisée par la surface en fonction du courant de drain normalisé, montrant le bon accord avec le modèle de fluctations du nombre de porteurs et des fluctuations corrélées de la mobilité. (c) Densité volumique de pièges N_t extraite à partir des mesures de bruit en fonction de la largeur totale des nanofils $W_{tot} = W_{top} + 2H_{NW}$.

4.3.2 *Etude du transport*

Les transistors multi-grilles se distinguent par leurs propriétés électrostatiques tridimensionnelles et leurs différents plans de conduction avec des orientations cristallographiques qui peuvent différer du plan (100) [Cassé 2013]. Comme on l'a vu précédemment, la qualité des interfaces peut être très différente suivant leur orientation, les procédés technologiques utilisés,... Or ces interfaces influent sur le transport, *via* les interactions coulombiennes si l'on a des pièges d'interface en grande densité [9], ou *via* la rugosité canal/oxyde à fort champ électrique, cette dernière interaction dépendant en général de l'orientation cristallographique [Takagi

9 Cf. § 2.2.1.4.

1994]. De plus le confinement spatial ou électrostatique induit par la grille semi-enrobante peut changer significativement la structure de bandes du Si dans le canal (Fig. 4.9), et donc le transport.
Enfin, l'addition d'une contrainte mécanique dans des structures très étroites, et d'un point de vue mécanique donc quasi-unidimensionnelles, comme les transistors nanofils modifie également le transport. L'analyse est cependant plus complexe que dans le cas des transistors planaires [Baykan 2010].

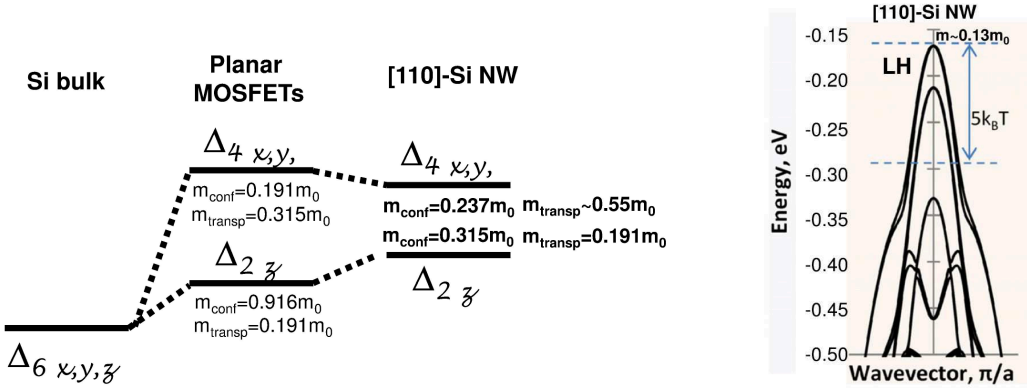


FIGURE 4.9: Représentation schématique de l'effet du confinement électrostatique sur les sous-bandes d'énergie pour des nanofils de Si orientés selon la direction [110] (20nm>W_{top}, d>4nm) : (a) bande de conduction, et (b) bande de valence (d'après [Baykan 2010]).

4.3.2.1 *Effet de l'architecture multi-grilles*

Nous avons étudié l'effet du passage d'une architecture planaire (W_{top} large) à une architecture de type nanofils étroits ($W_{top} \lesssim$50nm) sur le transport, en mesurant la mobilité effective en fonction de la charge d'inversion dans le canal (Fig. 4.10a,b). Cette mesure est applicable aux nanofils en utilisant des transistors suffisamment longs (L=10μm), avec plusieurs canaux en parallèle (typiquement 50 fils en parallèle) pour permettre la mesure de la capacité grille canal C_{gc} comme dans la méthode split-CV standard [Gunawan 2008]. Nous avons ainsi pu montrer l'évolution de la mobilité effective avec la largeur des fils W_{top}. En particuliers nous avons observé une diminution de la mobilité des électrons avec la largeur, alors que la mobilité des trous augmente quand cette largeur diminue [Coquand 2012a,b], en accord avec des résultats expérimentaux précédents sur des structures similaires [Chen 2008; Tachi 2009]. Les calculs électrostatiques montrent qu'en forte inversion, les porteurs sont localisés dans des plans parallèles aux interfaces du nanofil (Fig. 4.10c), jusqu'à des largeurs W_{top} ~10nm. On peut alors décomposer la mobilité totale μ_{tot} dans le transistor nanofil suivant les deux composantes μ_{top} et $\mu_{sidewall}$ correspondant respectivement à la surface supérieure et aux flancs verticaux suivant

$$\mu_{tot} = \mu_{top}\frac{W_{top}}{2H_{NW}+W_{top}} + \mu_{sidewall}\frac{2H_{NW}}{2H_{NW}+W_{top}} \tag{4.12}$$

Dans le cas pour lequel le canal est dirigé suivant la direction [110], la mobilité de la surface verticale est donnée par la mobilité des transistors larges ($L = 10\mu$m), et on peut alors extraire la mobilité des flancs verticaux $\mu_{sidewall}$. La comparaison de $\mu_{sidewall}$ avec la mobilité mesurée sur des transistors planaires de référence fabriqués à partir de plaques de Si-(110), montre une bonne adéquation des valeurs (Fig. 4.10d). Le transport dans les transistors tri-gate peut donc se comprendre au premier ordre en considérant chaque face indépendamment. On peut

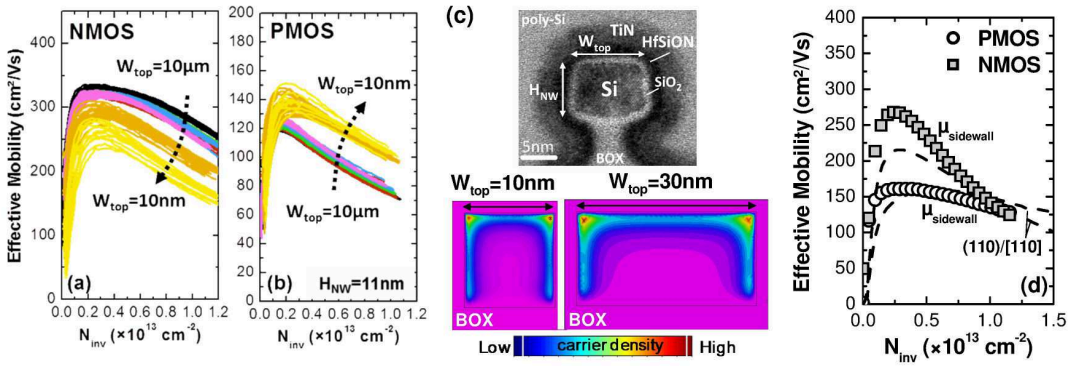
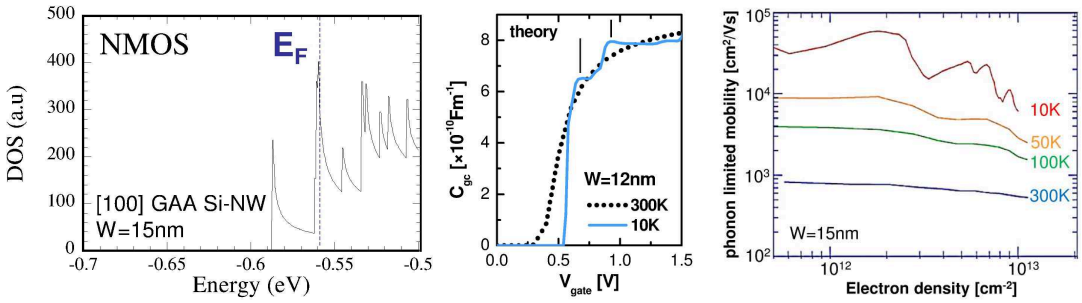


FIGURE 4.10: (a) Mobilité effective mesurée en fonction de la densité de porteurs en inversion dans le canal, pour différentes largeurs de nanofils W_{top}, pour des NMOS, et (b) pour des PMOS. (c) Densité de porteurs en forte inversion calculée par éléments finis pour deux valeurs de la largeur W_{top}, et photographie TEM d'une coupe transversale du canal d'un transistor tri-gate. (d) Mobilité effective des flancs verticaux $\mu_{sidewall}$ extraite à partir des données de la Fig. 4.10a et b (symboles), comparée à la mobilité effective mesurée sur des transistors de référence pour une orientation (110)/[110] (lignes en pointillés).

alors tirer profit de la meilleure mobilité des trous dans le plan (110)/[110], alors que la mobilité des électrons est dégradée dans ce plan. Ce dernier point montre également la nécessité d'ajouter des *boosters* de mobilité pour les transistors tri-gate NMOS, afin de compenser cette perte de transport inhérente à la structure.
Néanmoins, des mesures réalisées sur des fils orientés suivant la direction [100] montrent également une dégradation de la mobilité des électrons avec W_{top}, malgré des flancs verticaux dans le plan (100) [Chen 2008]. Ces derniers résultats pourraient indiquer un effet de la structure 3D sur le transport, intrinsèque (interaction avec les phonons modifiée [Kotlyar 2004], effet du confinement [Niquet 2012a]), ou non (rugosité des interfaces verticales, défauts...), en plus de l'effet de l'orientation des plans de conduction, dominant dans nos transistors.



(a) (b) (c)

FIGURE 4.11: (a) Densité d'états 1D des électrons calculée pour un nanofil de Si de section rectangulaire 15nm×15nm (d'après [Barraud 2011]). (b) Capacité grille-canal correspondante calculée à T=300K et T=10K. (c) Mobilité des électrons limitée par les phonons calculée en fonction de la charge d'inversion pour différentes températures de 300K à 10K. Des oscillations apparaissent à basse température pour la capacité et la mobilité, en lien avec la densité d'états 1D.

Phénomènes 1D à basse température.– Quelques papiers expérimentaux récents ont montré des oscillations du courant de drain en forte inversion à basse température dans des nanofils de silicium dont la section est étroite (typiquement de quelques nanomètres à $W \sim$50 nm) [Je 2000; Colinge 2006a,b; Yoshioka 2009; Yi 2011]. D'un point de vue théorique, ces oscillations

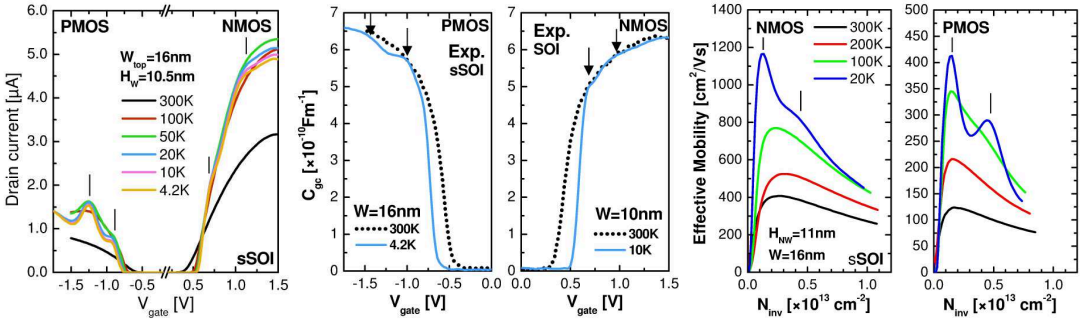
sont dues au caractère 1D du transport dans les nanofils [Ferry 2009].
Dans un système confiné suivant deux directions (x et y par exemple), comme dans le cas de nanofils étroits, les fonctions d'onde $\psi_{nm}(x,y)$ et les énergies propres E_{nm} du système sont données par l'équation de Schrödinger à deux dimensions

$$H^{2D}\psi_{nm}(x,y) = E_{nm}\psi_{nm}(x,y) \tag{4.13}$$

où H^{2D} est l'Hamiltonien du système à deux dimensions qui dépend du potentiel de confinement $V(x,y)$ dans les directions x et y. La résolution par méthode auto-consistante de cette équation couplée à l'équation de Poisson permet de calculer la densité de porteurs dans chaque sous-bande n,m de chaque vallées ainsi que la densité d'états. Pour un système quasi-1D cette dernière à la forme suivante

$$D^{1D}(E) \propto \sum_{n,m} (E - E_{nm})^{-\frac{1}{2}}\,\Theta(E - E_{nm}) \tag{4.14}$$

qui donne lieu à des pics de densité d'états [10] centrés sur chaque niveau d'énergie E_{nm} (Fig. 4.11). La distance entre chaque niveau dépend des dimensions du système, à comparer avec la longueur d'onde de *de Broglie* λ_F des porteurs. A basse température, l'énergie thermique k_BT est de l'ordre de grandeur ou inférieure à l'espacement entre deux niveaux d'énergie ΔE_{nm}. À mesure que la tension de grille fait passer le canal en forte inversion, l'énergie de Fermi E_F traverse le spectre discret de la densité d'états 1D. Cela se traduit par un changement brutal de la densité de porteurs, visible sur la capacité grille-canal [Chin 2009; Barraud 2011], mais aussi de la mobilité des porteurs [Yoshioka 2009; Barraud 2011] et du courant de drain.



(a) (b) (c)

FIGURE 4.12: (a) Courant de drain mesuré en fonction de V_{gate} pour des transistors nanofils NMOS et PMOS fabriqués à partir de substrat SOI et sSOI, et pour différentes températures de 300K à 4.2K (L =10μm). (b) Capacité grille-canal mesurée à température ambiante et à basse température pour des transistors tri-gate PMOS et NMOS. (c) Mobilité effective des électrons et des trous en fonction de la charge d'inversion pour différentes températures de 300K à 20K. Toutes ces caractéristiques montrent des oscillations à basse température pour T <100K (marquées par des flèches).

Nous avons mesuré les caractéristiques électriques de transistors nanofils en fonction de la température, jusqu'à 4.2K, pour différentes largeurs de fil (Fig. 4.12). Le courant de drain des NMOS et des PMOS longs (L =10μm), de même que la capacité grille-canal des nanofils présentent des oscillations en fonction de la tension de grille appliquée (Fig. 4.12a,b), pour des températures inférieures à 100K. Cela se traduit par des oscillations de la mobilité des électrons et des trous avec la charge d'inversion (Fig. 4.12c). Ce phénomène se produit pour des largeurs de nanofils $W_{top} \lesssim$40nm, en accord avec la théorie du confinement 1D exposée précédemment. Les oscillations visibles pour de faibles tension de drain V_{DS} disparaissent

10 appelés aussi singularités de Van Hove.

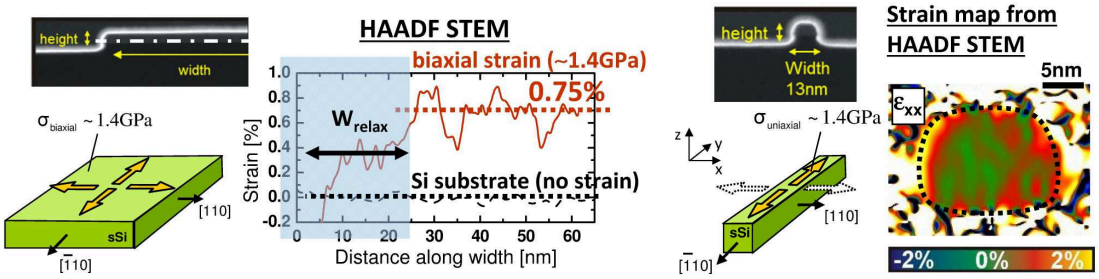
progressivement pour des tensions V_{DS} >100mV, pour lesquelles l'effet est moyenné sur plusieurs sous-bandes.
Ces effets 1D sont observés systématiquement pour des nanofils Tri-Gate ou Ω-Gate, uniaxialement contraint (sSOI) ou non, et de manière plus prononcée sur les PMOS. Ils soulignent l'importance que peut avoir le caractère unidimensionnel du transport à mesure que les dimensions du fil diminuent, et ce même pour de grandes longueurs de grille.

4.3.2.2 *Effet des contraintes*

Comme noté précédemment, l'introduction de contraintes est nécessaire afin d'améliorer la mobilité, et donc le courant à l'état ON des transistors nanofils, notamment pour les NMOS dont la mobilité est naturellement dégradée pour des canaux orientés selon [110]. L'option technologique adoptée consiste à utiliser un substrat de départ sSOI, contraint biaxialement en tension, typiquement 1.4GPa (qui correspond à une déformation dans le plan de $\varepsilon_{\parallel}$=0.75%) [Hoyt 2008; Feste 2009; Coquand 2012a]. Après gravure, la contrainte se relaxe sur les bords de la zone active de Si dans le sens de la largeur, et disparait quasiment totalement dans cette direction pour des largeurs de fils W_{top} ∼50nm (Fig. 4.13). Les transistors nanofils fabriqués ainsi intègrent alors une contrainte uniaxiale en tension dans la longueur du canal de l'ordre de 1.4GPa.
La mesure de la mobilité dans les dispositifs à nanofils contraints montre l'effet d'une forte contrainte uniaxiale sur le transport avec une augmentation de la mobilité des électrons et une dégradation de la mobilité des trous, comme attendu si l'on considère les contributions indépendantes des surfaces de conduction (100) et (110) (Fig. 4.14). Pour les NMOS le gain obtenu permet même d'obtenir une mobilité plus grande pour les nanofils contraints que pour les dispositifs planaires de référence, et par conséquent un gain en performance significatif [Coquand 2012b; Cassé 2013]. Pour avoir une compréhension plus grande de l'effet d'une contrainte sur le transport dans les transistors nanofils, et pour établir des modèles quantitatifs expliquant nos données expérimentales, il est nécessaire de considérer l'effet du confinement combiné au changement de la structure de bandes induit par la contrainte [Baykan 2010; Niquet 2012a; Kotlyar 2012]. Les propriétés de transport dans les nanofils de Si sont fortement anisotropes, et dépendent de l'orientation du canal.
Pour les nanofils NMOS, et pour une orientation du canal selon [110], le confinement lève la dégénérescence des vallées Δ [11] : le minimum de la bande de conduction est formé par les vallées Δ_z dégénérées 2 fois et de masse effective de conduction $m^* = m_t$ =0.19m_0, et des vallées $\Delta_{x,y}$ dégénérées 4 fois situées 15 meV au-dessus, et de masse effective m^* =0.55m_0. L'addition une tension uniaxiale favorise en proportion les électrons rapides [12], et supprime les transitions des phonons inter-vallées. La mobilité des électrons s'en trouve augmentée. La contrainte a également un effet sur la masse effective de conduction des électrons des vallées Δ_z pour des fils orientés selon [110] [Niquet 2012a]. Dans ce cas la composante de cisaillement, comme pour les dispositifs planaires, modifie la symétrie des vallées Δ_z, en réduisant la masse effective pour une contrainte en tension ($\varepsilon_{\parallel}$>0 dans la Fig. 4.15a).
Pour les PMOS, le confinement des nanofils orientés selon [110] tend à promouvoir la bande des trous légers (LH). Une contrainte en compression dans la direction du canal renforce cette bande des trous légers, en repoussant la bande des trous lourds (HH) vers les plus faibles énergies, et de fait améliore la mobilité des trous. Inversement, une contrainte en tension ramène la bande des trous lourds vers le sommet de la bande de valence, réduisant d'autant la mobilité (Fig. 4.15b).

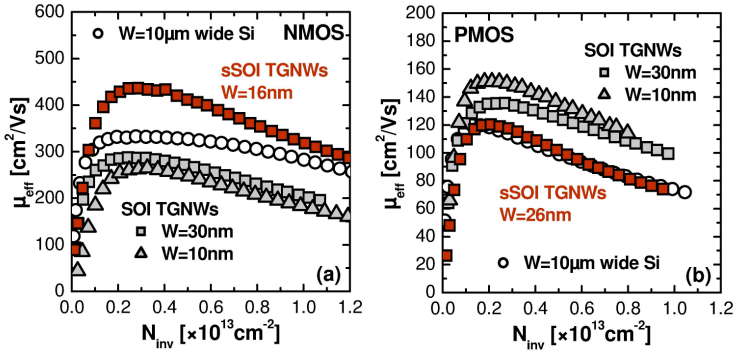
Coefficients piézorésistifs.– Pour compléter l'analyse sur l'effet des contraintes, nous avons également mesuré les coefficients piézorésistifs dans les transistors nanofils [Cassé 2012]. Très peu de résultats avaient été publiés jusqu'à ce travail sur les coefficients piézorésistifs dans des

11 *i.e.* le minimum de la bande de conduction du Si, situé au point Γ.
12 *i.e.* avec une masse de conduction plus faible.



(a) (b)

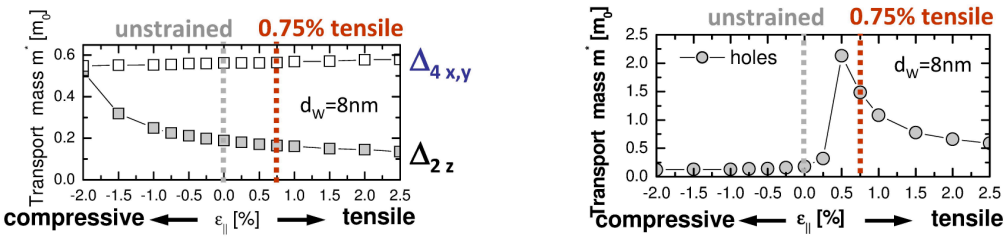
FIGURE 4.13: (a) Profil de la déformation dans la section d'un transistor large obtenue par la technique HAADF, montrant une contrainte biaxiale en tension de ~1.4GPa dans le canal et une relaxation de celle-ci en bord de zone active. (b) Image de la déformation dans la section d'un nanofil tri-gate en échelle de couleurs, obtenue à partir de la technique de microscopie HAADF, montrant une déformation ε_{xx} ~0% dans la direction de la largeur.



Strain	NMOS		PMOS	
	(100)	(110)	(100)	(110)
no strain	0	-	0	+
biaxial tensile	+		+/=	
uniaxial tensile // [110]	++	++	--	-

(c)

FIGURE 4.14: Mobilité effective des (a) electrons, et (b) des trous mesurée pour des nanofils tri-gate SOI et sSOI en fonction de la charge d'inversion dans le canal. (c) Tableau récapitulatif des effets d'une contrainte sur le transport dans des dispostifs planaires dont le canal est orienté selon la direction [110] (établi d'après les références [Sun 2010; Baykan 2010]).



(a) (b)

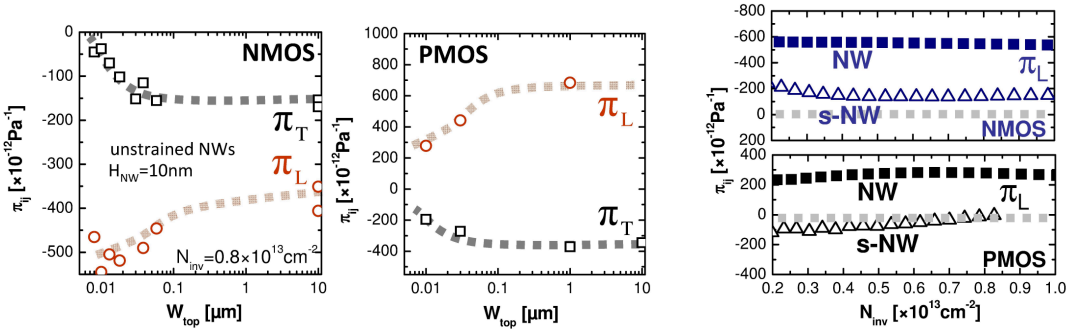
FIGURE 4.15: Masses effectives de conduction (a) des électrons, et (b) des trous, calculées pour un nanofil de section circulaire de diamètre 8 nm en fonction de la déformation $\varepsilon_{\parallel}$ induite par une contrainte uniaxiale en compression ou en tension dans la direction du canal (d'après [Niquet 2012a]).

transistors multi-grilles et/ou nanofil [Shin 2006; Jeong 2008; Raskin 2010]. Les précédentes publications se sont plutôt concentrées sur l'application de ces transistors comme capteur de déformation piézorésistif, et présentent les valeurs du facteur de jauge [13] [Bui 2009; Barwicz 2010; Singh 2012]. D'un autre côté les valeurs des différents coefficients sont utilisées dans les modèles TCAD afin de simuler les performances électriques des transistors. A l'heure actuelle les modèles publiés utilisent les coefficients du Si mesurés dans des structures planaires [Nainani 2012].
L'approche adoptée ici est similaire à celle utilisée pour les transistors SOI et sSOI planaires au § 3.2.1. Cependant l'architecture tridimensionnelle des transistors nanofils, avec des plans de conduction selon différentes orientations cristallographiques et un confinement des porteurs dans plusieurs directions, rend l'interprétation physique des coefficients mesurés π_L et π_T plus complexe que dans le cas planaire. De plus, le tenseur de piézorésistivité a été à l'origine défini pour décrire les matériaux massifs. Nous nous sommes donc contentés d'analyser les coefficients π_L et π_T qui décrivent de manière pragmatique le changement de la mobilité des porteurs à l'application d'une contrainte uniaxiale.
Les résultats expérimentaux obtenus nous ont permis de montrer (Fig. 4.16) :

- une évolution des coefficients piézorésisitfs avec la largeur des nanofils, en-dessous d'une largeur critique W_{crit} ∼60 nm.
- une diminution du coefficient transverse π_T pour les NMOS et les PMOS, jusqu'à s'annuler pour les largeurs les plus agressives ($W_{top} \lesssim$10 nm).
- une augmentation significative de π_L pour les NMOS, suggérant une plus grande sensibilité à la contrainte pour les nanofils que pour les transistors planaires.
- une forte diminution de π_L pour les PMOS, suggérant à l'inverse une moins grande sensibilité à la contrainte pour les nanofils.
- les mêmes valeurs de coefficients ont été mesurées pour des nanofils avec ou sans recuit H_2, *i.e.* quelle que soit la forme précise de la section des nanofils.
- une diminution importante de π_L à la fois pour les NMOS et les PMOS aux très fortes déformations, comme dans le cas des transistors contraints ($\varepsilon_{\parallel}$=0.75%).

He and Yang [2006] ont reporté une piézorésistivité géante pour des nanofils de Si suspendus de diamètre comparable ($\lesssim$100 nm) et sans grille, mais l'augmentation mesurée ici pour les NMOS est bien plus modeste (∼40-50% contre plusieurs ordres de grandeurs pour la piézorésistivité géante). Alors que l'origine de la piézorésistivité géante apparente est probablement un effet des charges à l'interface libre [Milne 2010; Kang 2012], dans notre cas il

13 défini par la relation $K = \pi_L E$, où E est le module d'Young (E =160 GPa pour le Si).



(a) (b)

FIGURE 4.16: (a) Coefficients piézorésistifs π_L et π_T mesurés en fonction de la largeur des transistors nanofils W_{top} pour des NMOS et des PMOS non contraints. Une évolution des propriétés de transport sous contrainte est clairement démontrée lorsque la largeur des transistors diminue en deçà d'une largeur critique W_{crit} ∼60 nm. (b) Evolution du coefficient piézorésistif π_L en fonction de la densité de porteurs en inversion, pour des transistors nanofils contraints (s-NW) et non contraints (NW).

s'agirait plutôt d'un effet de la structure de bandes, comme semblent l'indiquer les calculs reportés par [Niquet 2012a,b]. Ainsi, le coefficient longitudinal π_L calculé d'après ces données théoriques est en bon accord avec les résultats expérimentaux obtenus sur des transistors contraints et non contraints (Fig. 4.16b).
D'un point de vue plus pratique, Ces résultats expérimentaux démontrent également qu'il est possible d'obtenir un gain supplémentaire en mobilité, et donc en performance, au-delà du gain déjà obtenu pour les NMOS avec un substrat sSOI équivalent à une contrainte de 1.4 GPa. Pour les PMOS, l'exploitation d'une contrainte uniaxiale en compression, par le biais de source/drain en SiGe ou d'un canal en SiGe par exemple, devrait aboutir également à un gain significatif.

4.3.2.3 *Mécanismes de diffusion*

Un autre axe de recherche a consisté à étudier les différents mécanismes de diffusion qui limitent la mobilité dans les transistors nanofils [Tachi 2010; Ernst 2011; Koyama 2012, 2013c]. L'objectif était d'identifier ces mécanismes, et d'analyser l'évolution du transport dans les transistors nanofils avec la largeur (ou le diamètre) du canal.
Comme on l'a vu précédemment, la mobilité des porteurs dans les transistors nanofils évoluent avec la largeur du canal, en partie à cause des différentes orientations des surfaces d'inversion. De plus, le confinement électrostatique ou spatial associé à la réduction de la section du canal (Fig 4.9), modifie les sous-bandes d'énergie de la couche d'inversion, et peut avoir une influence sur les différents mécanismes de diffusion et donc la mobilité [Neophytou 2008a,b].
De nombreux travaux théoriques ont été publiés sur le transport dans les transistors nanofils. Bon nombre d'entre eux traitent en général de systèmes très confinés, avec des dimensions très agressives (typiquement $\lesssim$5nm) [Mehrotra 2009], et/ou considèrent le transport balistique, donc sans interactions [Kim 2011]. Néanmoins certains papiers ont effectivement abordé le transport diffusif dans les nanofils [Gámiz 2008].
En particulier les interactions avec les phonons dépendent de la structure de bandes *via* les transitions inter ou intra sous-bandes. Les calculs ont ainsi montré que la mobilité des électrons limitée par les interactions avec les phonons diminue pour des sections inférieures à 10nm [Kotlyar 2004; Godoy 2007]. Pour les trous, l'interaction avec les phonons va aussi dépendre de l'orientation du canal [Kotlyar 2012]. La question que l'on peut donc se poser est : est-ce encore pertinent dans nos dispositifs avec des dimensions autour de 10nm ? La rugosité de surface, dominant la mobilité à fort champ électrique effectif, a été également étudiée théo-

riquement. Les calculs montrent ainsi que cette interaction n'est pas spécialement limitante pour de faibles dimensions de nanofils (∼5nm), pour lesquelles le transport se fait plutôt en volume [Wang 2005]. Pour des dimensions intermédiaires (≳10nm) on peut s'attendre à retrouver le même type de composante à fort champ effectif que pour des transistors planaires [Tienda-Luna 2011]. D'un point de due technologique les différentes orientations de surface, ainsi que les procédés technologiques différents, peuvent néanmoins changer cette interaction due à la rugosité de surface.

Nous avons étudié le transport dans le canal des transistors, en analysant les mesures de mobilité effectives par *CV-split* en fonction de la température (jusqu'à 4.2 K), de la charge d'inversion dans le canal N_{inv} et pour différentes variantes technologiques. Les différents mécanismes de diffusion ont ensuite été discriminés selon leur dépendance en température et N_{inv}, et en utilisant la relation de Matthiessen (Cf. § 1.2.2)

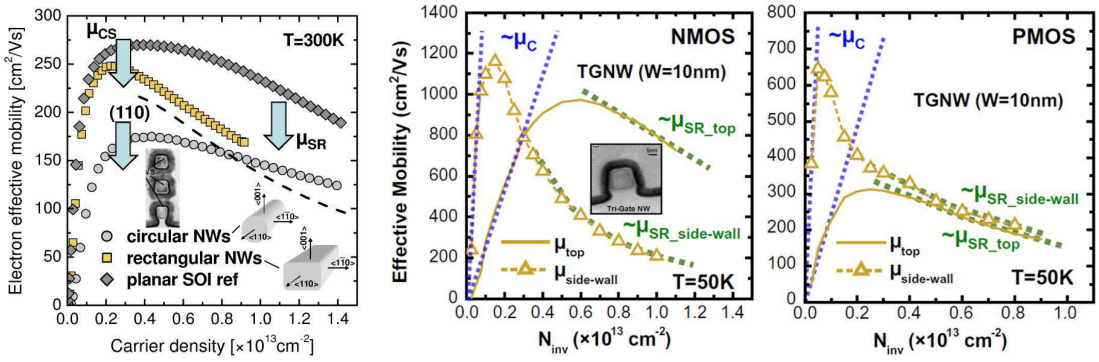
$$\frac{1}{\mu_{tot}} = \frac{1}{\mu_{CS}} + \frac{1}{\mu_{ph}} + \frac{1}{\mu_{SR}} \tag{4.15}$$

où μ_{CS}, μ_{ph} et μ_{SR} représentent les trois mécanismes principaux qui réduisent la mobilité dans le canal (interactions coulombiennes, avec les phonons du Si, et avec la rugosité des interfaces).
Effet des flancs : rugosité de surface et défauts d'interface.– La première étude a été menée sur des transistors nanofils à grille totalement enrobante, et empilés [Tachi 2009, 2010]. Pour cette technologie, l'effet dominant est dû aux interactions coulombiennes, en lien avec une plus forte densité de pièges d'interface D_{it}, ainsi qu'une plus faible composante μ_{SR} (Fig.4.17a). Cette dernière est modifiée pour des nanofils à section circulaire, avec des flancs dont l'orientation est multiple, et est très marquée pour les NMOS. Pour des transistors tri-gate ou Ω-gate, l'importance de la composante liée aux interactions coulombiennes est fortement réduite en raison d'une meilleure qualité des interfaces que dans le cas des fils empilés [Koyama 2013c] (Fig. 4.17b). Pour les transistors NMOS on retrouve une composante μ_{SR} dominante, qui s'explique par l'orientation des flancs selon (110) [Takagi 1994]. Pour cette même raison les nanofils tri-gate et Ω-gate PMOS ont une composante μ_{SR} proche de celle des transistors planaires (Fig. 4.17b).
L'effet du recuit H_2 (*i.e.* Ω-gate), bien qu'efficace pour améliorer le contrôle électrostatique de la grille [Barraud 2012], est négligeable sur le transport et ne modifie que très peu la mobilité à fort N_{inv}, même pour les NMOS [Koyama 2013c]. Ce dernier point peut se comprendre dans la mesure où la section reste globalement rectangulaire [Hashemi 2010].

Phonons.– Les interactions avec les phonons dépendent fortement de la température. Pour les électrons et les trous dans une couche d'inversion Si-(100) ou Si-(110), on mesure une dépendance de μ_{SR} en $T^{-1.75}$ [Takagi 1994]. L'analyse de la mobilité en fonction de T nous a permis d'identifier un possible changement dans cette interaction lié à la structure de bandes des nanofils. Les résultats expérimentaux pour des température de 100 K à 300 K ont clairement démontré [Tachi 2010; Koyama 2012] :

- la même dépendance en température de la contribution liée aux phonons pour les transistors nanofils NMOS et PMOS et les transistors planaires, jusqu'à des dimensions W_{top} ∼10nm.
- un changement de cette dépendance pour des canaux contraints, en accord avec la modification des sous-bandes avec une forte contrainte uniaxiale ou biaxiale.

Ces résultats confirment que le confinement n'a qu'une influence négligeable sur le transport pour ces dimensions, et dans cette gamme de température. Le comportement 1D ne s'exprime donc qu'à plus faible température ($T \lesssim 50$ K).



(a) **stacked GAA NWs** (b) **TG NW**

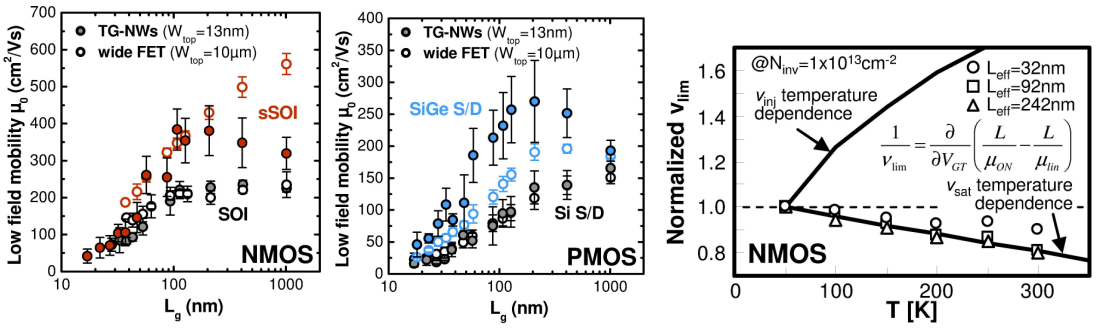
FIGURE 4.17: (a) Mobilité effective des électrons mesurée en fonction de N_{inv} pour des nanofils empilés [Tachi 2009], illustrant la diminution de la composante liée à la rugosité de surface μ_{SR} pour les nanofils, ainsi qu'une composante plus importante liée aux interactions coulombiennes μ_{CS}. (b) Mobilité effective mesurée en fonction de N_{inv} à basse température pour des nanofils TriGate [Koyama 2013c], après décomposition en une contribution liée aux flancs (*side-wall*) et une autre liée à la surface supérieure (*top*). À fort N_{inv} on peut identifier la mobilité limitée par la rugosité de surface ($\mu_{\mathrm{SR,sidewall}}$ et $\mu_{\mathrm{SR,top}}$).

Effet de la réduction des dimensions en L.– Quelques données expérimentales ont été publiées sur la mobilité en fonction de L dans les transistors nanofils, mais à partir d'extraction utilisant la méthode $R_{tot} - L$ [Saitoh 2010b,a]. Cette méthode expérimentale repose sur l'hypothèse que la mobilité est indépendante de la longueur du canal, au moins dans la zone d'extraction, ce qui est faux *a posteriori* [Niu 1999]. Nous avons choisi d'utiliser plutôt la méthode de la *fonction Y* [Ghibaudo 1988], déjà utilisée dans les études précédentes sur les canaux SiGe au § 3.3.2. Cette méthode permet notamment d'extraire de manière très fiable la résistance d'accès R_{SD}, et donne des valeurs de mobilité extrapolée à champs nul μ_0 très proches de celles obtenues par un modèle compact [14].
Les résultats obtenus (Fig. 4.18) montrent une dégradation de la mobilité pour des longueurs inférieures à 100nm, comme pour les transistors planaires. Les mesures de vitesse limite avec la température (Fig. 4.18c) indiquent également que le transport reste faiblement balistique pour les faibles longueurs jusqu'à L =32nm. L'effet d'une contrainte est néanmoins visible aux faibles L. Ainsi, le gain en mobilité des électrons observé aux grandes longueurs de grille grâce à la contrainte uniaxiale en tension est conservé aux faibles longueurs de canal. De même un gain en mobilité est effectivement mesuré pour les PMOS avec des S/D compressifs en SiGe à partir de L <100nm.

4.4 CONCLUSION ET PERSPECTIVES

Les architectures type Tri-Gate, Ω-Gate et grille enrobante apportent bel et bien un gain en performance significatif qui devrait permettre d'atteindre les spécifications ITRS pour les noeuds 10nm et en-deçà [Kuhn 2012]. De nombreux développements technologiques sont en cours, et offrent des perspectives de travail à court terme. Ainsi l'intégration du matériau SiGe dans le canal , qui offre une meilleure mobilité pour les trous, devrait permettre d'optimiser encore la contrainte afin d'améliorer les performances des PMOS, de même que l'intégration de CESL ou des accès Source/Drain en Si :C pour les NMOS. L'enjeu repose également sur la co-intégration de solutions technologiques différentes pour les NMOS et PMOS,

14 Qui par un jeu de paramètres complet permet d'ajuster l'ensemble des caractéristiques électriques d'une technologie donnée (voir par exemple le modèle *UTSOI* pour le FDSOI [Rozeau 2011]).



(a) (b) (c)

FIGURE 4.18: Mobilité faible champ μ_0 extraite par la méthode de la fonction Y en fonction de la longueur de grille de transistors planaires et nanofils (a) NMOS, et (b) PMOS. (c) Vitesse limite extraite en fonction de la température pour des transistors NMOS nanofils empilés, montrant que le transport reste faiblement balistique pour les faibles longueurs (jusqu'à L =32nm).

notamment à partir des contraintes. La réalisation de grilles totalement enrobantes devrait améliorer encore le contrôle électrostatique, en utilisant toute la dimension verticale. Des simulations *ab-initio* montrent que ces architectures multi-grilles devraient ainsi permettre de poursuivre la loi de Moore jusqu'au nœud 3nm [Ferain 2011].

En suivant cette même philosophie, à savoir utiliser la dimension verticale, une autre option technologique commence à voir le jour : l'intégration 3D qui vise à empiler deux étages de transistors interconnectés. Un schéma d'intégration possible, et développé au Léti [Batude 2009], consiste à venir coller une deuxième couche de silicium sur isolant par dessus un premier étage de transistors réalisés classiquement. Un deuxième étage de transistors est alors réalisé en utilisant des procédés technologiques à plus bas budget thermique (typiquement inférieur à 600°C) afin de ne pas endommager l'étage inférieur. Cette thématique constitue un nouvel axe de recherche, avec en particuliers l'impact du budget thermique sur les résistances d'accès et donc sur le transport canal court. A ce titre l'introduction de procédés de type dopage *in-situ* et la suppression des implantations S/D devraient permettre de comprendre un peu mieux la dégradation de mobilité observée avec la diminution de la longueur de grille, souvent attribuée aux défauts neutres induits par l'implantation.

À plus long terme, l'intégration des matériaux III-V pour les NMOS dans des structures nanofils semble la suite logique [Takagi 2012]. Des structures non planaires ont déjà ainsi été réalisées à partir de InGaAs, avec de bonnes performances électriques jusqu'à des longueurs de grille de 50nm et une largeur de nanofil de 30nm [Gu 2011; Radosavljevic 2011; Gu 2012]. Comme déjà mentionné dans le chapitre précédent, la co-intégration d'un matériau III-V pour les NMOS et d'un autre matériau pour les PMOS sera l'une des clés pour que cela soit effectivement une solution viable pour les prochains nœuds (10nm et en-deçà). Pour les nœuds technologiques suivants (7nm et 5nm), il faudra pouvoir atteindre des diamètres de fils de 5 à 10nm, qui n'ont pas encore été démontrés jusqu'à maintenant avec ces matériaux.

Enfin l'adoption de structures de transistors complètement nouvelles n'est pas à exclure, celles-ci exploitant d'autres stratégies que la réduction des dimensions. Les plus intégrables par rapport aux technologies actuelles sont les transistors nanofils sans jonction [Colinge 2010] ou les TFETs [15] [Ionescu 2011; Seabaugh 2013].
Le transistor sans jonction est un transistor dont le dopage canal est identique au dopage des source/drain, donc très fortement dopé ($\gtrsim 10^{19}\text{cm}^{-3}$). À l'état ON, en condition de bandes

15 pour tunnel FET.

plates [16], tout le canal participe au courant de drain, dont la valeur ne dépend que du dopage, de la géométrie du nanofil et de la mobilité des porteurs. La conduction est bloquée par la désertion totale du canal en appliquant une tension sur la grille. Ces dispositifs présentent l'avantage d'enlever une étape critique de fabrication, à savoir la création des jonctions. Ils sont donc naturellement *immunisés* contre les effets de canaux courts, et permettent de relâcher en théorie les efforts pour obtenir des oxydes ultra-fins [Ionescu 2010]. Si de tels dispositifs présentent un certain nombre de qualités, avec moins de sensibilité à la rugosité de surface par exemple, et une technologie de fabrication plus aisée, il reste néanmoins des inconvénients à remédier, parmi lesquels : la faible mobilité des porteurs liée au fort dopage, et la variabilité de la tension de seuil induite par ce même dopage.

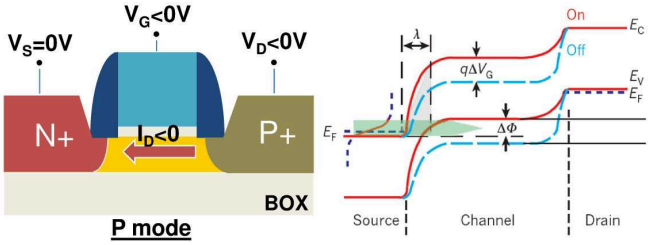


FIGURE 4.19: Schéma de principe d'un transistor TFET, et diagramme de bandes en fonctionnement *ON* (courbes bleues) et *OFF* (courbes rouges).

Le TFET est une structure P-i-N polarisée en inverse, et munie d'une grille de contrôle (Fig. 4.19). À l'état ON un courant circule par effet tunnel de la bande de conduction de la source vers la bande de valence du canal (effet tunnel bande à bande ou *BTBT*). Ce courant tunnel dépend de la probabilité de transmission à travers la barrière de potentiel côté source ainsi que du nombre d'états accessibles. Ces dispositifs permettent d'atteindre des valeurs de pente sous le seuil S inférieures à la limite théorique des MOS *classiques* $k_B T/q \times \ln 10 \approx$ 60mV/décade, et donc de réduire la tension d'alimentation V_{DD} tout en conservant un courant I_{OFF} très faible. De nombreux groupes, dont le Léti, explorent cette voie notamment pour des applications très faible consommation, avec typiquement V_{DD} <0.5V [Villalon 2012]. Le principal inconvénient provient du faible I_{ON} (<100μA/μm) qui ne permet pas à l'heure actuelle d'adresser des applications HP.

BIBLIOGRAPHIE

[Ahmed(2011)] K. Ahmed and K. Schuegraf. *Transistor wars*. IEEE Spectrum, **48**(11) :50–66, 2011.

[Arnaud(2012)] F. Arnaud, N. Planes, O. Weber, V. Barral, S. Haendler, P. Flatresse, and F. Nyer. *Switching energy efficiency optimization for advanced CPU thanks to UTBB technology*. In IEDM Tech. Dig., pages 48–51, 2012.

[Barraud(2011)] S. Barraud, E. Sarrazin, and A. Bournel. *Temperature and size dependences of electrostatics and mobility in gate-all-around MOSFET devices*. Semicond. Sci. and Technol., **26** :025001, 2011.

[Barraud(2012)] S. Barraud, R. Coquand, M. Cassé, M. Koyama, J.-M. Hartmann, C. Comboroure, C. Vizioz, F. Aussenac, O. Faynot, and T. Poiroux. *Performance of Omega-Shaped-Gate Silicon Nanowire MOSFET With Diameter Down to 8 nm*. IEEE Electron Dev. Lett., **33**(11) :1526–1528, 2012.

[Barwicz(2010)] T. Barwicz, L. Klein, S. J. Koester, and H. Hamann. *Silicon nanowire piezoresistance : Impact of surface crystallographic orientation*. Appl. Phys. Lett., **97** :023110, 2010.

[Batude(2009)] P. Batude, M. Vinet, A. Pouydebasque, C. Le Royer, B. Previtali, C. Tabone, L. Clavelier, S. Michaud, A. Valentian, O. Thomas *et al.* *GeOI and SOI 3D monolithic cell integrations for high density applications*. In VLSI Symp. Tech. Dig., pages 166–167, 2009.

[Baykan(2010)] M.O. Baykan, S.E. Thompson, and T. Nishida. *Strain effects on three-dimensional, two-dimensional, and one-dimensional silicon logic devices : Predicting the future of strained silicon*. J. Appl. Phys., **108**(9) :093716, 2010.

16 Les transistors sans jonction peuvent également fonctionner en accumulation.

[Bui(2009)] T. T. Bui, D. V. Dao, K. Nakamura, T. Toriyama, and S. Sugiyama. *Characterization of the piezoresistive effect and temperature coefficient of resistance in single crystalline silicon nanowires*. In International Symposium on Micro-NanoMechatronics and Human Science, pages 462–466, 2009.

[Cassé(2003)] M. Cassé, T. Poiroux, O. Faynot, C. Raynaud, C. Tabone, F. Allain, and G. Reimbold. *Interface coupling and film thickness measurement on thin oxide thin film fully depleted SOI MOSFETs*. In Proceedings of European Solid-State Device Research Conference, pages 87 – 90, 2003.

[Cassé(2010)] M. Cassé, S. Thiele, K. Tachi, and T. Ernst. *Spectroscopic charge pumping in Si nanowire transistors with a high-κ/metal gate*. Appl. Phys. Lett., **96** :123506, 2010.

[Cassé(2012)] M. Cassé, S. Barraud, C. Le Royer, M. Koyama, R. Coquand, D. Blachier, F. Andrieu, G. Ghibaudo, O. Faynot, T. Poiroux *et al. Study of piezoresistive properties of advanced CMOS transistors : thin film SOI, SiGe/SOI, unstrained and strained Tri-Gate Nanowires*. In IEDM Tech. Dig., 2012.

[Cassé(2013)] M. Cassé, S. Barraud, R. Coquand, M. Koyama, D. Cooper, C. Vizioz, C. Comboroure, P. Perreau, V. Maffini-Alvaro, C. Tabone *et al. Strain-Enhanced Performance of Si-Nanowire FETs*. ECS Transactions, **53**(3) :125–136, 2013.

[Chen(2008)] J. Chen, T. Saraya, K. Miyaji, K. Shimizu, and T. Hiramoto. *Experimental Study of Mobility in [110]- and [100]-Directed Multiple Silicon Nanowire GAA MOSFETs on (100) SOI*. In VLSI Symp. Tech. Dig., pages 32–33, 2008.

[Chin(2009)] S.K. Chin and V. Ligatchev. *Capacitance Oscillations in Cylindrical Nanowire Gate-All-Around MOS Devices at Low Temperatures*. IEEE Electron Dev. Lett., **30**(4) :395–397, 2009.

[Choi(1995)] Jin-Hyeok Choi, Chan Hyeong Park, and Hong-Shick Min. *Electron mobility behavior in extremely thin SOI MOSFET's*. IEEE Electron Dev. Lett., **16**(11) :527–529, 1995.

[Colinge(2008)] J.-P. Colinge. *FinFETs and Other Muli-Gate Transistors*, chapter 1. Springer, 2008.

[Colinge(1996)] J.-P. Colinge, X. Baie, V. Bayot, and E. Grivei. *A silicon-on-insulator quantum wire*. Solid-State Electronics, **39**(1) :49–51, 1996.

[Colinge(2006a)] J.-P. Colinge, A. J. Quinn, L. Floyd, G. Redmond, J. C. Alderman, W. Xiong, C. R. Cleavelin, T. Schulz, K. Schruefer, G. Knoblinger *et al. Low-Temperature Electron Mobility in Trigate SOI MOSFETs*. IEEE Electron Dev. Lett., **27**(2) :120–122, 2006a.

[Colinge(2006b)] J.-P. Colinge, W. Xiong, C. R. Cleavelin, T. Schulz, K. Schrüfer, K. Matthews, and P. Patruno. *Room-Temperature Low-Dimensional Effects in Pi-Gate SOI MOSFETs*. IEEE Electron Dev. Lett., **27**(9) : 775–777, 2006b.

[Colinge(2010)] J.-P. Colinge, C.-W. Lee, A. Afzalian, N. D. Akhavan, R. Yan, I. Ferain, P. Razavi, B. O'Neill, A. Blake, M. White *et al. Nanowire transistors without junctions.* Nature nanotechnology, **5**(3) :225–9, 2010.

[Coquand(2012a)] R. Coquand, S. Barraud, M. Cassé, P. Leroux, C. Vizioz, C. Comboroure, P. Perreau, T. Ernst, M. Samson, V. Maffini-Alvaro *et al. Scaling of high-k/metal-gate Trigate SOI nanowire transistors down to 10nm width*. In International Conference on Ultimate Integration on Silicon (ULIS), pages 37 –40, 2012a.

[Coquand(2012b)] R. Coquand, M. Cassé, S. Barraud, P. Leroux, D. Cooper, C. Vizioz, C. Comboroure, P. Perreau, V. Maffini-Alvaro, C. Tabone *et al. Strain-Induced Performance Enhancement of Tri-Gate and Omega-Gate Nanowire FETs Scaled Down to 10nm Width*. In VLSI Symp. Tech. Dig., 2012b.

[Cristoloveanu(2007)] S. Cristoloveanu. *Nanotechnology for Electronic Materials and Devices*, chapter 2. Springer, 2007.

[Cristoloveanu(1995)] S. Cristoloveanu and S. S. Li. *Electrical Characterization of Silicon-On-Insulator Materials and Devices*. Kluwer Academic, 1995.

[Datta(2013)] S. Datta. *Recent Advances in High Performance CMOS Transistors : From Planar to Non-Planar*. The Electrochemical Society - Interface, pages 41 – 46, Spring 2013. .

[de Andrade(2011)] M.G.C. de Andrade, J.A. Martino, E. Simoen, and C. Claeys. *Comparison of the Low-Frequency Noise of Bulk Triple-Gate FinFETs With and Without Dynamic Threshold Operation*. IEEE Electron Dev. Lett., **32**(11) :1597–1599, 2011.

[Dupré(2008)] C. Dupré, A. Hubert, M. Jublot, C. Vizioz, F. Aussenac, C. Arvet, S. Barnola, G. Garnier, F. Allain, M. Rivoire *et al. 15nm-diameter 3D stacked Nanowires with Independent Gates Operation : ΦFET*. In IEDM Tech. Dig., pages 749–752, 2008.

[Ernst(2008)] T. Ernst, L. Duraffourg, C. Dupré, E. Bernard, P. Andreucci, S. Becu, E. Ollier, A. Hubert, C. Halte, J. Buckley *et al. Novel Si-based nanowire devices : Will they serve ultimate MOSFETs scaling or ultimate hybrid integration ?* In IEDM Tech. Dig., pages 1–4, 2008.

[Ernst(2011)] T. Ernst, S. Barraud, K. Tachi, C. Vizioz, T. Magis, P. Brianceau, A. Hubert, N. Vulliet, J.-M. Hartmann, and M. Cassé. *Ultra-dense silicon nanowires : A technology, transport and interfaces challenges insight (invited)*. Microelectronic Engineering, **88**(7) :1198 – 1202, 2011. Proceedings of the 17th Biennial International Insulating Films on Semiconductor Conference.

[Esseni(2001)] D. Esseni, M. Mastrapasqua, G. K. Celler, C. Fiegna, L. Selmi, and E. Sangiorgi. *Low field electron and hole mobility of SOI transistors fabricated on ultrathin silicon films for deep submicrometer technology application*. IEEE Trans. Electron Dev., **48**(12) :2842–2850, 2001.

[Feng(2011)] W. Feng, R. Hettiarachchi, Y. Lee, S. Sato, K. Kakushima, M. Sato, K. Fukuda, M. Niwa, K. Yamabe, K. Shiraishi *et al. Fundamental origin of excellent low-noise property in 3D Si-MOSFETs ? Impact of charge-centroid in the channel due to quantum effect on 1/f noise ?* In IEDM Tech. Dig., pages 630–633, 2011.

[Fenouillet-Beranger(2003)] C. Fenouillet-Beranger, T. Skotnicki, S. Monfray, N. Carriere, and F. Boeuf. *Requirements for ultra-thin-film devices and new materials on CMOS roadmap*. In IEEE International SOI Conference, pages 145–146, 2003.

[Fenouillet-Beranger(2009)] C. Fenouillet-Beranger, S. Denorme, P. Perreau, C. Buj, O. Faynot, F. Andrieu, L. Tosti, S. Barnola, T. Salvetat, X. Garros *et al. FDSOI devices with thin BOX and ground plane integration for 32 nm node and below*. Solid-State Electronics, **53**(7) :730 – 734, 2009. Papers Selected from the 38th European Solid-State Device Research Conference - ESSDERC'08.

[Ferain(2011)] I. Ferain, C. Colinge, and J.-P. Colinge. *Multigate transistors as the future of classical metal-oxide-semiconductor field-effect transistors*. Nature, **479** :310–316, 2011.

[Ferry(2009)] D. K. Ferry, S. M. Goodnick, and J. Bird. *Transport in nanostructures*. Cambridge University Press, 2nd edition, 2009.

[Feste(2009)] S. F. Feste, J. Knoch, S. Habicht, D. Buca, Q.-T. Zhao, and S. Mantl. *Silicon nanowire FETs with uniaxial tensile strain*. Solid-State Electronics, **53**(12) :1257–1262, 2009.

[Fujiwara(2005)] M. Fujiwara, T. Morooka, N. Yasutake, K. Ohuchi, N. Aoki, H. Tanimoto, M. Kondo, K. Miyano, S. Inaba, K. Ishimaru *et al. Impact of BOX scaling on 30 nm gate length FD SOI MOSFET*. In IEEE International SOI Conference, pages 180–182, 2005.

[Gámiz(2008)] F. Gámiz and A. Godoy. *FinFETs and Other Muli-Gate Transistors*, chapter 5. Springer, 2008.

[Ghibaudo(1988)] G. Ghibaudo. *New method for the extraction of MOSFET parameters*. Electron. Lett., **24** :543, 1988.

[Ghibaudo(1991)] G. Ghibaudo, O. Roux, Ch. Nguyen-Duc, F. Balestra, and J. Brini. *"improved analysis of low frequency noise in field-effect mos transistors"*. physica status solidi (a), **124**(2) :571–581, 1991.

[Godoy(2007)] A. Godoy, F. Ruiz, C. Sampedro, F. Gámiz, and U. Ravaioli. *Calculation of the phonon-limited mobility in silicon gate all-around mosfets*. Solid-State Electronics, **51**(9) :1211 – 1215, 2007. Special Issue : Papers Selected from the EUROSOI 2007 Conference.

[Gu(2011)] J. J. Gu, Y. Q. Liu, Y. Q. Wu, R. Colby, R. G. Gordon, and P. D. Ye. *First Experimental Demonstration of Gate-all-around III-V MOSFETs by Top-down Approach*. In IEDM Tech. Dig., pages 769–772, 2011.

[Gu(2012)] J. J. Gu, H. Wu, Y. Liu, A. T. Neal, R. G. Gordon, and P. D. Ye. *Gate-All-Around Nanowire MOSFETs : Impact of Quantum Confinement and Volume Inversion*. IEEE Electron Dev. Lett., **33**(7) :967–969, 2012.

[Gunawan(2008)] O. Gunawan, L. Sekaric, A. Majumdar, M. Rooks, J. Appenzeller, J. W. Sleight, S. Guha, and W. Haensch. *Measurement of carrier mobility in silicon nanowires.* Nano letters, **8**(6) :1566–71, 2008.

[Hamaguchi(2001)] C. Hamaguchi. *Basic semiconductor physics*. Springer-Verlag, 2001.

[Hashemi(2010)] P. Hashemi, J. T. Teherani, and J. L. Hoyt. *Investigation of Hole Mobility in Gate-All-Around Si Nanowire p-MOSFETs with High- κ / Metal-Gate : Effects of Hydrogen Thermal Annealing and Nanowire Shape*. In IEDM Tech. Dig., pages 788–791, 2010.

[He(2006)] R. He and P. Yang. *Giant piezoresistance effect in silicon nanowires*. Nature nanotechnology, **1**(10) : 42–46, 2006.

[Hisamoto(1989)] D. Hisamoto, T. Kaga, Y. Kawamoto, and E. Takeda. *A fully depleted lean-channel transistor (DELTA)-a novel vertical ultra thin SOI MOSFET*. In IEDM Tech. Dig., pages 833–836, 1989.

[Hisamoto(2000)] D. Hisamoto, Wen-Chin Lee, J. Kedzierski, H. Takeuchi, K. Asano, C. Kuo, Erik Anderson, Tsu-Jae King, J. Bokor, and Chenming Hu. *FinFET-a self-aligned double-gate MOSFET scalable to 20 nm*. IEEE Trans. Electron Dev., **47**(12) :2320–2325, 2000.

[Hoyt(2008)] J. L. Hoyt, P. Hashemi, and L. Gomez. *Prospects for Top-Down Fabricated Uniaxial Strained Nanowire MOSFETs*. ECS Transactions, **16**(10) :731–734, 2008.

[Ioannidis(2013)] E. G. Ioannidis, S. Haendler, A. Bajolet, J. Rosa, J.-P. Manceau, C. A. Dimitriadis, and G. Ghibaudo. *Evolution of low frequency noise and noise variability through CMOS bulk technology nodes*. In International Conference on Noise and Fluctuations, 2013.

[Ionescu(2010)] A. Ionescu. *Nanowire transistors made easy.* Nature nanotechnology, **5**(3) :178–9, 2010.

[Ionescu(2011)] A. Ionescu and H. Riel. *Tunnel field-effect transistors as energy-efficient electronic switches*. Nature, **479** :329–337, 2011.

[Jahan(2005)] C. Jahan, O. Faynot, M. Cassé, R. Ritzenthaler, L. Brévard, L. Tosti, X. Garros, C. Vizioz, F. Allain, A.-M. Papon *et al. ΩFETs transistors with TiN metal gate and HfO_2 down to 10nm*. In VLSI Symp. Tech. Dig., pages 112–113, 2005.

[Jang(2011)] D. Y. Jang. *Propriétés de transport et de bruit à basse fréquence dans les structures à faible dimensionnalité*. PhD thesis, Université de Grenoble, 2011.

[Jang(2010)] D. Y. Jang, J. W. Lee, K. Tachi, L. Montes, T. Ernst, G.-T. Kim, and G. Ghibaudo. *Low-frequency noise in strained SiGe core-shell nanowire p-channel field effect transistors.* Appl. Phys. Lett., **97**(7) :073505–073505–3, 2010.

[Je(2000)] M. Je, S. Han, I. Kim, and H. Shin. *A silicon quantum wire transistor with one-dimensional subband effects*. Solid State Electron., **44** :2207–2212, 2000.

[Jeong(2008)] Y. J. Jeong, J. Chen, T. Saraya, and T. Hiramoto. *Uniaxial strain effects on silicon nanowire pMOSFET and single-hole transistor at room temperature*. In IEDM Tech. Dig., pages 761–764, 2008.

[Jurczak(1999)] M. Jurczak, T. Skotnicki, M. Paoli, B. Tormen, J. L. Regolini, C. Morin, A. Schiltz, J. Martins, R. Pantel, and J. Galvier. *SON (silicon on nothing)-a new device architecture for the ULSI era*. In VLSI Symp. Tech. Dig., volume 33, pages 29–30, 1999.

[Kang(2012)] T.-K. Kang. *Evidence for giant piezoresistance effect in n-type silicon nanowire field-effect transistors*. Appl. Phys. Lett., **100** :163501, 2012.

[Kim(2011)] J. Kim and M. V. Fischetti. *Empirical pseudopotential calculations of the band structure and ballistic conductance of strained [001], [110], and [111] silicon nanowires.* J. Appl. Phys., **110**(3) :033716, 2011.

[Kotlyar(2004)] R. Kotlyar, B. Obradovic, P. Matagne, M. Stettler, and M. D. Giles. *Assessment of room-temperature phonon-limited mobility in gated silicon nanowires*. Appl. Phys. Lett., **84**(25) :5270, 2004. doi : 10.1063/1.1762695.

[Kotlyar(2012)] R. Kotlyar, T. D. Linton, R. Rios, M. D. Giles, S. M. Cea, K. J. Kuhn, M. Povolotskyi, T. Kubis, and G. Klimeck. *Does the low hole transport mass in <110> and <111> Si nanowires lead to mobility enhancements at high field and stress : A self-consistent tight-binding study*. J. Appl. Phys., **111**(12) :123718, 2012.

[Koyama(2012)] M. Koyama, M. Cassé, R. Coquand, S. Barraud, H. Iwai, G. Ghibaudo, and G. Reimbold. *Study of Carrier Transport in Strained and Unstrained SOI Tri-gate and Omega-gate Si-Nanowire MOSFETs*. In Proceedings of European Solid-State Device Research Conference, 2012.

[Koyama(2013a)] M. Koyama, M. Cassé, R. Coquand, S. Barraud, G. Ghibaudo, H. Iwai, and G. Reimbold. *Study of Low-Frequency Noise in SOI Tri-gate Silicon Nanowire MOSFETs*. In Proceedings of the International Conference on Noise and Fluctuations, 2013a.

[Koyama(2013b)] M. Koyama, M. Cassé, R. Coquand, S. Barraud, G. Ghibaudo, H. Iwai, and G. Reimbold. *Influence of Device Scaling on Low-Frequency Noise in SOI Tri-gate N- and P-type Si Nanowire MOSFETs*. In Proceedings of European Solid-State Device Research Conference, 2013b.

[Koyama(2013c)] M. Koyama, M. Cassé, R. Coquand, S. Barraud, C. Vizioz, C. Comboroure, P. Perreau, V. Maffini-Alvaro, C. Tabone, L. Tosti *et al. Study of carrier transport in strained and unstrained SOI tri-gate and omega-gate silicon nanowire MOSFETs*. Solid-State Electronics, **84** :46–52, 2013c.

[Kuhn(2012)] K. J. Kuhn, U. Avci, A. Cappellani, M. D. Giles, M. Haverty, Seiyon Kim, R. Kotlyar, S. Manipatruni, D. Nikonov, Chytra Pawashe *et al. The Ultimate CMOS Device and Beyond*. In IEDM Tech. Dig., pages 171–174, 2012.

[Lim(1983)] H.K. Lim and J.G. Fossum. *Threshold voltage of thin-film silicon on insulator MOSFET's*. IEEE Trans. Electron Dev., **30** :1244, 1983.

[Mehrotra(2009)] S. Mehrotra, A. Paul, M. Luisier, and G. Klimeck. *Surface and Orientation Dependence on Performance of Trigated Silicon Nanowire pMOSFETs*. In IEEE Workshop on Microelectronics and Electron Devices, 2009.

[Milne(2010)] J. S. Milne, A. C. H. Rowe, S. Arscott, and Ch. Renner. *Giant Piezoresistance Effects in Silicon Nanowires and Microwires*. Phys. Rev. Lett., **105** :226802, 2010.

[Nainani(2012)] A. Nainani, S. Gupta, V. Moroz, M. Choi, Y. Kim, Y. Cho, J. Gelatos, T. Mandekar, A. Brand, E.-X. Ping *et al. Is strain engineering scalable in FinFET era ? : Teaching the old dog some new tricks*. In IEDM Tech. Dig., pages 427–430, 2012.

[Neophytou(2008a)] N. Neophytou, A. Paul, and G. Klimeck. *Bandstructure Effects in Silicon Nanowire Hole Transport*. IEEE Trans. Nanotechnol., **7**(6) :710–719, 2008a.

[Neophytou(2008b)] N. Neophytou, A. Paul, M. S. Lundstrom, and G. Klimeck. *Bandstructure Effects in Silicon Nanowire Electron Transport*. IEEE Trans. Electron Dev., **55**(6) :1286–1297, 2008b.

[Nguyen(2013)] P. Nguyen, F. Andrieu, M. Cassé, C. Tabone, P. Perreau, D. Lafond, H. Dansas, L. Tosti, C. Veytizou, D. Landru *et al. Transistors on hybrid UTBB/Bulk substrates fabricated by local internal BOX dissolution*. Solid-State Electronics, **33** :0–4, 2013.

[Niquet(2012a)] Y.-M. Niquet, C. Delerue, and C. Krzeminski. *Effects of Strain on the Carrier Mobility in Silicon Nanowires*. Nano letters, **12** :3545–3550, 2012a.

[Niquet(2012b)] Y.-M. Niquet, C. Delerue, V. H. Nguyen, C. Krzeminski, and F. Triozon. *Transport properties of strained silicon nanowires*. In Proceedings of the European Solid-State Device Research Conference, pages 290–293, 2012b.

[Niu(1999)] G. Niu, J. D. Cressler, S. J. Mathew, and S. Subbanna. *A total resistance slope-based effective channel mobility extraction method for deep submicrometer CMOS technology*. IEEE Trans. Electron Dev., **46**(9) : 1912–1914, 1999.

[Ohata(2004)] A. Ohata, M. Cassé, S. Cristoloveanu, and T. Poiroux. *Mobility issues in ultra-thin SOI MOSFETs : thickness variations, GIFBE and coupling effects*. In Proceedings of European Solid-State Device Research Conference, pages 109–112, 2004.

[Ohata(2006)] A. Ohata, S. Cristoloveanu, and M. Cassé. *Mobility comparison between front and back channels in ultrathin silicon-on-insulator metal-oxide-semiconductor field-effect transistors by the front-gate split capacitance-voltage method*. Appl. Phys. Lett., **89**(3) :032104–032104–3, 2006.

[Ohata(2007)] A. Ohata, M. Cassé, and S. Cristoloveanu. *Front- and back-channel mobility in ultrathin SOI-MOSFETs by front-gate split CV method*. Solid-State Electronics, **51**(2) :245 – 251, 2007. Special Issue : Papers Selected from the EUROSOI'06 Conference.

[Ohata(2008)] A. Ohata, M. Cassé, and O. Faynot. *Electrical characteristics related to silicon film thickness in advanced FD SOI-MOSFETs*. Solid-State Electronics, **52**(1) :126 – 133, 2008.

[Poiroux(2004)] T. Poiroux, J. Widiez, J. Lolivier, M. Vinet, M. Cassé, B. Previtali, and S. Deleonibus. *New and accurate method for electrical extraction of silicon film thickness on fully-depleted SOI and double gate transistors*. In IEEE International SOI Conference, pages 73–74, 2004.

[Radosavljevic(2011)] M. Radosavljevic, G. Dewey, D. Basu, J. Boardman, J. M. Fastenau, S. Kabehie, J. Kavalieros, V. Le, W. K. Liu, D. Lubyshev *et al. Electrostatics Improvement in 3-D Tri-gate Over Ultra-Thin Body Planar InGaAs Quantum Well Field Effect Transistors with High-K Gate Dielectric and Scaled Gate-to-Drain/Gate-to-Source Separation*. In IEDM Tech. Dig., pages 765–768, 2011.

[Rajamohanan(2012)] B. Rajamohanan, I. Ok, S. Mujumdar, C. Hobbs, P. Majhi, R. Jammy, and S. Datta. *Correlated Flicker Noise and Hole Mobility Strained SiGe FINFETs*. IEEE Electron Dev. Lett., **33**(9) :1237–1239, 2012.

[Raskin(2010)] J.-P. Raskin, J.-P. Colinge, I. Ferain, A. Kranti, C.-W. Lee, N. D. Akhavan, R. Yan, P. Razavi, and R. Yu. *Mobility improvement in nanowire junctionless transistors by uniaxial strain*. Appl. Phys. Lett., **97** (4) :042114, 2010.

[Rozeau(2011)] O. Rozeau, M. Jaud, T. Poiroux, and M. Benosman. *Surface potential based model of ultra-thin fully depleted SOI MOSFET for IC simulations*. In IEEE International SOI Conference, pages 1–22, 2011.

[Saitoh(2010a)] M. Saitoh, Y. Nakabayashi, H. Itokawa, M. Murano, I. Mizushima, K. Uchida, and T. Numata. *Short-Channel Performance and Mobility Analysis of <110>- and <100>-Oriented Tri-Gate Nanowire MOSFETs with Raised Source/Drain Extensions*. In VLSI Symp. Tech. Dig., pages 169–170, 2010a.

[Saitoh(2010b)] M. Saitoh, Y. Nakabayashi, K. Ota, K. Uchida, and T. Numata. *Understanding of Short-Channel Mobility in Tri-Gate Nanowire MOSFETs and Enhanced Stress Memorization Technique for Performance Improvement*. In IEDM Tech. Dig., pages 780–783, 2010b.

[Saitoh(2013)] M. Saitoh, K. Ota, C. Tanaka, and T. Numata. *Systematic Understanding of Channel-Size Dependence of Low-Frequency Noise in 10nm-Diameter Tri-Gate Nanowire MOSFETs*. In VLSI Symp. Tech. Dig., 2013.

[Seabaugh(2013)] A. Seabaugh. *The Tunneling Transistor*. IEEE Spectrum, **50**(10) :35–62, 2013.

[Sherony(1994)] M. J. Sherony, L. T. Su, J. E. Chung, and D. A. Antoniadis. *SOI MOSFET Effective Channel Mobility*. IEEE Trans. Electron Dev., **41**(2) :276–278, 1994.

[Shin(2006)] K. Shin, W. Xiong, C. Y. Cho, C. R. Cleavelin, T. Schulz, K. Schruefer, P. Patruno, L. Smith, and T.-J. K. Liu. *Study of Bending-Induced Strain Effects on MuGFET Performance*. IEEE Electron Dev. Lett., **27**(8) :671–673, 2006.

[Singh(2006)] N. Singh, F. Y. Lim, W. W. Fang, S. C. Rustagi, L. K. Bera, A. Agarwal, C. H. Tung, K. M. Hoe, S. R. Omampuliyur, D. Tripathi *et al. Ultra-Narrow Silicon Nanowire Gate-All-Around CMOS Devices : Impact of Diameter, Channel-Orientation and Low Temperature on Device Performance*. In IEDM Tech. Dig., 2006.

[Singh(2012)] P. Singh, W.-T. Park, J. Miao, L. Shao, R. K. Kotlanka, and D.-L. Kwong. *Tunable piezoresistance and noise in gate-all-around nanowire field-effect-transistor*. Appl. Phys. Lett., **100** :063106, 2012.

[Skotnicki(2005)] T. Skotnicki, J. A. Hutchby, Tsu-jae King, H. S. Wong, and F. Boeuf. *The End of CMOS scaling : Toward the Introduction of New Materials and Structural Changes to Improve MOSFET Performance*. IEEE Circuits and Devices Magazine, (January-February) :16–26, 2005.

[Sun(2010)] Y. Sun, S.E. Thompson, and T. Nishida. *Strain Effect in Semiconductors*. Springer, 2010.

[Tachi(2011)] K. Tachi. *Etude physique et technologique d'architectures de transistors MOS à nanofils*. PhD thesis, Université de Grenoble, 2011.

[Tachi(2009)] K. Tachi, M. Cassé, D. Jang, C. Dupré, A. Hubert, N. Vulliet, C. Vizioz, C. Carabasse, V. Delaye, J.-M. Hartmann *et al. Relationship between mobility and high- k interface properties in advanced Si and SiGe nanowires*. In IEDM Tech. Dig., pages 313–316, 2009.

[Tachi(2010)] K. Tachi, M. Cassé, S. Barraud, C. Dupré, A. Hubert, N. Vulliet, M.-E. Faivre, C. Vizioz, C. Carabasse, V. Delaye *et al. Experimental study on carrier transport limiting phenomena in 10 nm width nanowire CMOS transistors*. In IEDM Tech. Dig., number c, pages 784–787, 2010.

[Takagi(2012)] S. Takagi and M. Takenaka. *High mobility CMOS technologies using III-V/Ge channels on Si platform*. In Proc. of Int. Conf. on Ultimate Integration on Silicon (ULIS), 2012.

[Takagi(1994)] S. Takagi, A. Toriumi, M. Iwase, and H. Tango. *On the universality of inversion layer mobility in Si MOSFET's : Part II-effects of surface orientation*. IEEE Trans. Electron Dev., **41**(12) :2363 –2368, 1994.

[Takagi(1998)] S. Takagi, J. Koga, and A. Toriumi. *Mobility Enhancement of SOI MOSFETs due to Subband Modulation in Ultrathin SOI Films*. Jpn. J. Appl. Phys., **37** :1289–1294, 1998.

[Tienda-Luna(2011)] I. M. Tienda-Luna, F. G. Ruiz, A. Godoy, B. Biel, and F. Gámiz. *Surface roughness scattering model for arbitrarily oriented silicon nanowires*. J. Appl. Phys., **110**(8) :084514, 2011.

[Toriumi(1995)] Akira Toriumi, J. Koga, H. Satake, and A. Ohata. *Performance and reliability concerns of ultrathin SOI and ultra-thin gate oxide MOSFETs*. In IEDM Tech. Dig., pages 847–850, 1995.

[Uchida(2002)] K. Uchida, H. Watanabe, A. Kinoshita, J. Koga, T. Numata, and S. Takagi. *Experimental study on carrier transport mechanism in ultrathin-body SOI nand p-MOSFETs with SOI thickness less than 5 nm*. In IEDM Tech. Dig., pages 47–50, 2002.

[Villalon(2012)] A. Villalon, C. Le Royer, M. Cassé, D. Cooper, B. Prévitali, C. Tabone, J.-M. Hartmann, P. Perreau, P. Rivallin, J.-F. Damlencourt *et al. Strained Tunnel FETs with record I_{ON} : First demonstration of ETSOI TFETs with SiGe channel and R_{SD}*. In VLSI Symp. Tech. Dig., volume 044510, pages 2011–2012, 2012.

[Vinet(2005)] M. Vinet, T. Poiroux, J. Widiez, J. Lolivier, B. Previtali, C. Vizioz, B. Guillaumot, Y. Le Tiec, P. Besson, B. Biasse *et al. Bonded planar double-metal-gate nmos transistors down to 10 nm*. IEEE Electron Dev. Lett., **26**(5) :317–319, 2005.

[von Haartman(2007)] M. von Haartman and M. Östling. *Low-frequency noise in advanced MOS devices*. Springer, 2007.

[Wang(2005)] J. Wang, E. Polizzi, A. Ghosh, S. Datta, and M. Lundstrom. *Theoretical investigation of surface roughness scattering in silicon nanowire transistors*. Appl. Phys. Lett., **87**(4) :043101, 2005.

[Yi(2011)] K. S. Yi, K. Trivedi, H. C. Floresca, H. Yuk, W. Hu, and M. J. Kim. *Room-temperature quantum confinement effects in transport properties of ultrathin Si nanowire field-effect transistors*. Nano letters, **11** : 5465–70, 2011.

[Yoshioka(2009)] H. Yoshioka, N. Morioka, J. Suda, and T. Kimoto. *Mobility oscillation by one-dimensional quantum confinement in Si-nanowire metal-oxide-semiconductor field effect transistors*. J. Appl. Phys., **106** (3) :034312, 2009.

[Zhuge(2009)] J. Zhuge, R. Wang, R. Huang, Y. Tian, L. Zhang, D.-W Kim, D. Park, and Y. Wang. *Investigation of Low-Frequency Noise in Slicon Nanowire MOSFETs*. IEEE Electron Dev. Lett., **30**(1) :57–60, 2009.

5 CONCLUSION ET PERSPECTIVES

5.1 CONCLUSIONS

Dans ce document, j'ai présenté une synthèse de mes activités de recherche, menées en partie par l'encadrement de thèses et stages au Léti depuis 2001. Ces activités sont organisées autour de la thématique principale des technologies CMOS pour le développement des nœuds technologiques avancés.
Les résultats obtenus ont permis d'accompagner le développement des innovations majeures de la *roadmap* CMOS depuis 2001, que sont l'intégration des empilements de grille high-κ/métal, les architectures FDSOI et nanofils, et l'utilisation des contraintes dans le canal. L'accent a été mis essentiellement sur la compréhension des phénomènes physiques mis en jeu dans le canal en inversion. À mesure que les dimensions des transistors se réduisent – et pas seulement la longueur de la grille qui atteint désormais une limite –, et que de nouveaux matériaux sont introduit dans toute l'architecture du transistor (canal, oxyde de grille, source et drain,...), la modélisation du courant de drain nécessite des modèles et des outils de plus en plus complexes (calcul de la structure de bandes pour des systèmes confinés et/ou sous contraintes, nouveaux mécanismes d'interaction,...). La multiplication des résultats expérimentaux – mesures en température, sous contrainte uniaxiale – nous a ainsi permis de construire des modèles de transport de plus en plus complets. Ceux-ci à leur tour nous ont permis d'optimiser les options technologiques pour améliorer les performances des transistors, à travers le choix et la composition des matériaux à utiliser ou le dimensionnement des couches déposées. En plus de ce transfert vers les plateformes technologiques, les résultats obtenus permettent d'élaborer des modèles compacts plus complets, intégrant par exemple l'effet des charges distantes dues au diélectrique high-κ, ou encore la dépendance en longueur de la mobilité. Les prochains développement devront intégrer les effets inhérent à l'architecture nanofil et les effets des contraintes sur la mobilité.

5.2 PERSPECTIVES DE RECHERCHE

Mes perspectives de recherche dans le domaine doivent s'accommoder en grande partie des contraintes imposées par l'industrie de la micro-électronique. Un certain nombre de papiers font état du futur de la microélectronique, et des technologies CMOS en particuliers [Stormer 2005; Kuhn 2011; del Alamo 2011; Stevenson 2013], de même que les experts ITRS. Comme évoqué précédemment dans les différents chapitres, il est fortement probable que les matériaux III-V, ou à forte mobilité en général, seront introduit dans les tout prochain nœuds technologiques (dès le 10nm selon l'ITRS 2013). Cependant, en pratique, on voit que les avancées sont fortement influencées par les solutions technologiques adoptées par le géant Intel. La difficulté sera aussi de se détacher parfois du *mainstream*, comme cela a été le cas pour le FDSOI, avec succès jusqu'à présent.
Comme évoqué précédemment dans ce document, l'un premier défi avec les nouveaux matériaux de canal (III-V, Ge,...) sera d'intégrer un empilement de grille adapté, permettant d'avoir des tensions de seuil ajustées pour les diverses applications logiques, et une qualité d'interface qui préserve la mobilité dans le canal (Cf. §2.4). Ces matériaux inaugurent la fin de l'ère *tout silicium* dans les technologies CMOS. Pour tirer partie au mieux de leurs propriétés électriques, une bonne compréhension des mécanismes limitant le transport devra être obtenue, en incluant les effets des contraintes, qui donnent un levier supplémentaire pour optimiser la mobilité (Cf. §3.4). Enfin, même si l'architecture exacte fait encore débat et reste à s'imposer,

celle-ci sera de type multi-grilles, quel que soit le nom qu'on lui donnera (FinFET, Trigate, Gate-All-Around, Nanofils... cf § 4.4). Le challenge sera alors d'atteindre des dimensions de l'ordre de quelques nanomètres, tout en conservant de bonnes jonctions Source/Drain, l'effet des contraintes, de forts courants à l'état *ON*, et des très faibles valeurs de résistance d'accès. De plus les effets de confinement – et les effets quantiques de manière plus générale–, sur les propriétés de transport devront être étudiés plus en détails, car ceux-ci se manifestent à mesure que les dimensions se réduisent.
La technologie 3D [1], actuellement à l'étude au Léti, et qui requiert de maîtriser des budgets thermiques plus faibles (inférieurs à 600°C au moins) avec des conséquences sur le transport, les résistances d'accès..., devra démontrer sa viabilité économique. Néanmoins, les résultats obtenus sur ces procédés froids devraient permettre d'avoir une meilleure compréhension des mécanismes limitant la mobilité pour les faibles longueurs de grille (Cf § 4.4), ce qui reste à l'heure actuelle un vif sujet de discussion [Ghibaudo 2009].

À plus long terme, le futur est plus incertain, mais les transistors intégrant des monocouches (MoS_2, graphène, germanène, silicène,...) [Kim 2011; Vogt 2012; Courtland 2013; Kang 2013] ont clairement la côte à l'heure actuelle en raison de l'intérêt que ces *nouveaux matériaux 2D* suscitent auprès des chercheurs en physique fondamentale. Si on se réfère au nombre de publications dans ce domaine (Fig. 5.1), notamment à l'IEDM, l'exploration de ces nouveaux matériaux pour des technologies CMOS, avec des propriétés originales (flexible pour le MoS_2, gap direct, ...), va se révéler indispensable dans le futur. Cependant, le graphène, qui présente des mobilités record pour les porteurs, bien que l'un des plus mature sur le plan de la fabrication et le plus célèbre, ne semble pas être le plus évident à intégrer comme matériau de canal en raison de l'absence de bande interdite [2]. Il est très difficile de prédire l'avenir dans ce domaine. Même les nanotubes de carbone n'ont peut-être pas dit leur dernier mot, pour peu que l'on arrive à trouver une solution pour les contacter précisément sur une puce et en nombre suffisant [3].

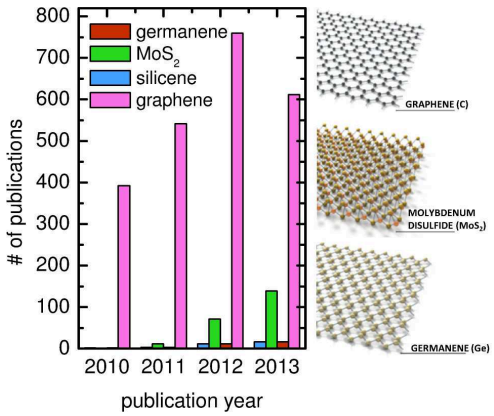


FIGURE 5.1: Nombre de publications sur les transistors à matériaux 2D depuis 2010 (d'après la base de données ISI Web of Science).

La richesse des études engagées dans le cadre de mes activités de recherche reposent en grande partie sur la variété des méthodes expérimentales, autour d'un même phénomène physique à analyser. Cette approche expérimentale *multi-spectrale* peut encore être complétée avec de nouvelles méthodes de caractérisation électrique, couplées avec des caractérisations physico-chimique autant que possible, comme par exemple la caractérisation de la contrainte *in-situ* (*i.e.* par imagerie TEM) par nano-diffraction ou holographie [Claverie 2013]. Ce dernier point ouvre des perspectives intéressantes, et devrait permettre d'éclairer les résultats électriques. Il reste néanmoins un challenge pour les nanostructures de type nanofils, qui

1 Par réalisation successive de deux étages de transistors MOS.
2 Il est alors impossible de bloquer le courant dans le canal du transistor à l'état *OFF*.
3 IBM annonce des avancées récentes sur cette technologie [Park 2012], ainsi qu'une équipe de l'université de Stanford [Shulaker 2013].

nécessitent des résolutions spatiales de quelques nanomètres seulement (pour la section) et en déformations (moins de 0.2% dans l'idéal pour atteindre une précision de ∼300MPa). Cet axe de recherche a été engagé avec l'INAC [4] et la plateforme nanocaractérisation de Minatec (avec D. Cooper et J.-L. Rouvière) autour de la thèse de Johan Pelloux-Prayer sur l'étude des contraintes mécaniques dans les transistors nanofils.
L'utilisation du champ magnétique, avec des mesures par effet Hall, semble aussi être de plus en plus indispensable, notamment pour l'étude de matériaux avant leur intégration complète dans un *flow* CMOS (mesures électriques pleine plaque). Pour les matériaux InGaAs on a une forte densité de pièges d'interface jusque dans la bande de conduction de l'InGaAs [Taoka 2013]. La mesure de Hall permet ainsi de déterminer la densité et la mobilité des porteurs libres, indépendamment du piégeage.
La modélisation physique des architectures confinées que sont les transistors multi-grilles demande de calculer la structure de bandes précise du silicium (ou du SiGe), en incluant l'effet d'une contrainte mécanique en tension ou en compression, jusqu'à des niveaux de déformation élevés [Esseni 2011]. Ces calculs numériques peuvent être effectués par des méthodes semi-empiriques comme l'approche liaison forte [Klimeck 2007; Niquet 2009]. Ensuite le transport des électrons et des trous peut également être calculé dans ces structures en utilisant des méthodes numériques plus ou moins complexes (dérive-diffusion, fonctions de Green, Monte-Carlo,...), et en incluant les divers mécanismes de diffusion (interaction avec les phonons, les charges distantes, la rugosité de surface,...). La résolution numérique des équations de Schrödinger et des équations de transport étant un domaine de recherche en lui-même, une collaboration étroite avec les laboratoires de simulation du Léti et de l'INAC constitue un axe naturel de développement pour le futur immédiat et à plus long terme. La confrontation des mesures expérimentales sur des dispositifs existant avec ces calculs théoriques devrait permettre de s'enrichir mutuellement.
Enfin les longueurs de grille des dispositifs atteignant 10nm et moins, une question se pose : quelle importance accorder au transport balistique, *i.e.* sans interaction ? A première vue le transport sans collision doit permettre d'atteindre les plus forts courant à l'état *ON*, celui-ci devenant indépendant de la longueur de la grille [Shur 1979; Natori 1994]. Dans le cas purement balistique on pourrait cependant avoir également un abaissement de la barrière de potentiel côté source induit par le drain [5], avec un courant de drain I_{ON} qui ne saturerait plus à fort V_{DS} [Akis 2009]. À l'heure actuelle les transistors à canal Si sont encore assez loin de cette limite balistique, et pourraient le rester y compris pour des nanofils de 2-3nm de longueur et 6nm de diamètre [Ferry 2009]. En revanche, les matériaux à plus forte mobilité, comme les III-V, pourraient ramener la frontière entre régime balistique et diffusif pour des longueurs autour de 100nm à température ambiante.

BIBLIOGRAPHIE

[Akis(2009)] R. Akis, N. Faralli, David K. Ferry, S.M. Goodnick, K.A. Phatak, and M. Saraniti. *Ballistic transport in inp-based hemts*. Electron Devices, IEEE Transactions on, **56**(12) :2935–2944, 2009.

[Claverie(2013)] A. Claverie, editor. *Transmission Electron Microscopy in Micro-nanoelectronics*. John Wiley & Sons and ISTE Ltd, 2013.

[Courtland(2013)] R. Courtland. *The flat menagerie*. IEEE Spectrum, **50** :14–15, 2013.

[del Alamo(2011)] J. A. del Alamo. *Nanometre-scale electronics with III-V compound semiconductors*. Nature, **479** : 317–323, 2011.

4 Institut Nanosciences et Cryogénie du CEA.
5 Dans le cas non balistique, cet abaissement n'existe pas à cause de l'écrantage des porteurs, plus nombreux dans le canal.

[Esseni(2011)] D. Esseni, P. Palestri, and L. Selmi. *Nanoscale MOS Transistors*. Cambridge University Press, 2011.

[Ferry(2009)] D. K. Ferry, S. M. Goodnick, and J. Bird. *Transport in nanostructures*. Cambridge University Press, 2nd edition, 2009.

[Ghibaudo(2009)] G. Ghibaudo, M. Mouis, L. Pham-Nguyen, K. Bennamane, I. Pappas, A. Cros, G. Bidal, D. Fleury, A. Claverie, G. Benassayag *et al. Electrical transport characterization of nano CMOS devices with ultra-thin silicon film*. In International Workshop on Junction Technology (IWJT), pages 58–63, 2009.

[Kang(2013)] J. Kang, D. Sarkar, Y. Khatami, and K. Banerjee. *Proposal for all-graphene monolithic logic circuits*. Appl. Phys. Lett., **103**(8) :083113, 2013.

[Kim(2011)] K. Kim, J.-Y. Choi, T. Kim, S.-H. Cho, and H.-J. Chung. *A role for graphene in silicon-based semiconductor devices*. Nature, **479** :338–344, 2011.

[Klimeck(2007)] G. Klimeck, S. S. Ahmed, H. Bae, N. Kharche, R. Rahman, S. Clark, B. Haley, S. Lee, M. Naumov, H. Ryu *et al. Atomistic Simulation of Realistically Sized Nanodevices Using NEMO 3-D ? Part I : Models and Benchmarks*. IEEE Trans. Electron Dev., **54**(9) :2079–2089, 2007.

[Kuhn(2011)] K. Kuhn. *Moore's crystal ball : Device physics and technology past the 15 nm generation*. Microelectr. Eng., **88** :1044 –1049, 2011.

[Natori(1994)] K. Natori. *Ballistic metal-oxide-semiconductor field effect transistor*. J. Appl. Phys., **76**(8) :4879–4890, 1994.

[Niquet(2009)] Y. M. Niquet, D. Rideau, C. Tavernier, H. Jaouen, and X. Blase. *Onsite matrix elements of the tight-binding hamiltonian of a strained crystal : Application to silicon, germanium, and their alloys*. Phys. Rev. B, **79** :245201, 2009.

[Park(2012)] H. Park, A. Afzali, S.-J. Han, G. S. Tulevski, A. D. Franklin, J. Tersoff, J. B. Hannon, and W. Haensch. *High-density integration of carbon nanotubes via chemical self-assembly*. Nature Nanotech., **7** (12) :787–791, 2012.

[Shulaker(2013)] M. M. Shulaker, G. Hills, N. Patil, H. Wei, H.-Y. Chen, H.-S. P. Wong, and S. Mitra. *Carbon nanotube computer.* Nature, **501**(7468) :526–30, 2013.

[Shur(1979)] M. Shur and L. F. Eastman. *Ballistic Transport in Semiconductor at Low Temperatures for Low-Power High-Speed Logic*. IEEE Trans. Electron Dev., **26**(11) :1677–1683, 1979.

[Stevenson(2013)] R. Stevenson. *Changing the channel*. IEEE Spectrum, **50**(7) :34–39, 2013.

[Stormer(2005)] H.L. Stormer. *"silicon forever ! really ?"*. In Proceedings of European Solid-State Device Research Conference (ESSDERC), pages 3–6, 2005.

[Taoka(2013)] N. Taoka, M. Yokoyama, S. Hyeon Kim, R. Suzuki, S. Lee, R. Iida, T. Hoshii, W. Jevasuwan, T. Maeda, T. Yasuda *et al. Impact of Fermi level pinning inside conduction band on electron mobility in InGaAs metal-oxide-semiconductor field-effect transistors*. Appl. Phys. Lett., **103**(14) :143509, 2013.

[Vogt(2012)] P. Vogt, P. De Padova, C. Quaresima, J. Avila, E. Frantzeskakis, M. C. Asensio, A. Resta, B. Ealet, and G. Le Lay. *Silicene : Compelling experimental evidence for graphenelike two-dimensional silicon*. Phys. Rev. Lett., **108** :155501, 2012.

Deuxième partie

CURRICULUM VITÆ

6 CV DÉTAILLÉ

COORDONNÉES PROFESSIONNELLES ACTUELLES

1. CEA Léti-MINATEC
   Département des Composants Silicium
   MINATEC Campus, 17 rue des martyrs
   38054 Grenoble cédex 9
   France
   téléphone : (+33) 4 38 78 44 91
   fax : (+33) 4 38 78 51 40
   email : mikael.casse@cea.fr

6.1 FORMATION

2001 Doctorat de physique - INSA Toulouse / spécialité « Matériaux Technologie et Composants de l'Électronique ».
▷*Thèse effectuée au laboratoire des champs magnétiques intenses de Grenoble (CNRS-LCMI). Dir. thèse : Prof. J.C. Portal.*
▷*Sujet : "Étude du transport électronique dans des systèmes mésoscopiques : interféromètre à anneau."*
▷*Physique fondamentale du transport dans les nanodispositifs à base de matériaux III-V (AlGaAs/GaAs).*

1997 Ingénieur INSA Toulouse / option Génie Physique et DEA « Matériaux pour l'électronique ».

6.2 SITUATION PROFESSIONNELLE DEPUIS MA THÈSE

2001- Ingénieur-Chercheur au CEA-Léti, Dpt. Nanotechnologies. Expertise en :
▷ *Caractérisation électrique des dispositifs avancés de la microélectronique (Mesures électriques IV,CV, sous champ magnétique (magnétorésistance), basses températures, contraintes mécaniques...).*
▷ *Modélisation physique du transport (mobilité...) dans les transistors MOS avancés.*

6.3 EXPÉRIENCE PÉDAGOGIQUE

2011-2012 cours-TD Licence Professionnelle "Métiers de la Microélectronique et des Microsystèmes" (8h) – IUT Grenoble, GEII (Électronique et Informatique Industrielle).
▷ *Caractérisation électrique.*

2009-2010 Encadrement de la formation expérimentale du MASTER 2R N^2 de l'UJF (∼72h), dispensé en anglais.

2008 Enseignement pour la formation SEMC de l'INSTN (8h), dispensé en anglais – *Gate stack characterization issues for R&D*.

2002-2008 Encadrement des TP labo dans le cadre de l'ESONN (European School on Nanosciences and Nanotechnologies) organisée par le CEA/CNRS/UJF/INPG (16h/an), dispensé en anglais.
▷ *Sujet du TP (séance de 8h) : Electrical characterization and transport properties of thin-film SOI devices.*

1997-2000 Moniteur de l'enseignement supérieur, Université Joseph Fourier (Grenoble) – TP de physique en DEUG Sciences 1ère année (288h).

6.4 ACTIVITÉS DE RECHERCHE

Introduction

Bien qu'ayant attrait à la physique *fondamentale* de la matière condensée – qui réunit l'étude de l'ensemble des propriétés physiques de la matière solide et des liquides –, ma première réelle expérience de recherche, la thèse, m'a permis de développer des compétences dans le domaine de la physique dans lequel j'évolue maintenant, à savoir le transport électronique dans des dispositifs semiconducteurs pour la micro-électronique. L'un des moteurs de la physique des semiconducteurs est justement cette forte interaction entre les avancées technologiques et les découvertes fondamentales. Ces dernières permettent la fabrication de nouveaux matériaux ou dispositifs (Cf. par exemple les nanotubes, le graphène...), qui ouvrent la voie à leur tour à de nouvelles recherches fondamentales (l'effet Hall quantique a été mis en évidence pour la première fois dans un MOSFET). C'est donc naturellement que j'ai poursuivi mes travaux dans le domaine plus applicatif de la micro-électronique au CEA-Léti. Au sein du laboratoire de caractérisation électrique, j'ai développé l'activité transport dans les dispositifs MOS avancés. Les paragraphes suivant résument mon travail dans ce domaine depuis 1997.

6.4.1 *Activités doctorales (1997-2001)*

Le travail résumé dans ce paragraphe a donné lieu aux publications [A.3] et [C.1-4], [C.6].

Les activités de recherche effectuées au cours de ma thèse portaient sur l'étude du transport électronique dans des systèmes mésoscopiques. La physique mésoscopique traite des phénomènes quantiques dans le transport électronique des petits systèmes. Elle inclut la description des effets d'interférences électroniques, de localisation, de quantification de conductance, de bruit de grenaille. La physique mésoscopique constituait alors un domaine de recherche très prisé et largement *en vogue* auprès de la communauté scientifique de la physique de la matière condensée.

Au cours de mon doctorat, j'ai étudié les propriétés de transport d'un système interférentiel fabriqué à l'interface d'une hétérostructure semiconductrice $AlGaAs/GaAs$ à modulation de dopage. Il s'agissait d'un interféromètre électronique en forme d'anneau, dont le principe de base repose sur le travail théorique de Y. Aharonov et D. Bohm en 1959, qui prédit l'influence d'un champ électromagnétique sur la phase de la fonction d'onde d'un électron, et transposé à la physique du solide. Les mesures ont été réalisées sur des dispositifs réalisés à partir de couches semiconductrices à forte mobilité, pour lesquelles le libre parcours moyen des électrons ainsi que la longueur de cohérence de phase l_φ sont grands devant les dimensions du système. Dans de telles structures apparaissent alors les effets dus à la discrétisation du

spectre d'énergie et à la conservation de la cohérence (oscillations de la résistance sous champ magnétique, dites oscillations Aharonov-Bohm), de même que des effets classiques liés à la balisticité. Nous avons montré que les propriétés de transport observées dans ces structures étaient étroitement liées à ce spectre.

D'un point de vue théorique, j'ai étudié le transport électronique dans des systèmes de basse dimensionnalité (2D, 1D, 0D), notamment le transport balistique, très à la mode dans les dispositifs modernes. Ceci constitue la base théorique de mon travail de recherche actuel. Enfin, mon travail de thèse, essentiellement expérimental, m'a permis de développer des compétences en mesures basse température et sous champ magnétique intense (jusqu'à 17T). Ces techniques expérimentales ont été utilisées par la suite dans le cadre des mes recherches en micro-électronique.

6.4.2 *Activités au Département des Nanotechnologies du CEA-Léti (depuis 2001)*

A la suite de ma thèse, j'ai intégré le Département des Nanotechnologies du CEA-Léti, au sein du pôle Minatec. Depuis cette date, mes activités de recherche se concentrent sur la caractérisation électrique et l'étude du transport dans les transistors MOS pour les futures générations technologiques. Ces activités s'inscrivent dans la large thématique *More Moore*, *i.e.* dans la poursuite de la continuité de la loi de Moore pour les circuits micro-électroniques. Le but est d'améliorer les performances des transistors CMOS pour les futurs nœuds technologiques (22nm et au-delà). Dans ce cadre, trois voies principales ont été explorées : *(i)* les nouvelles architectures de transistor, avec la réalisation de films minces et de transistors multi-grilles ou à grille enrobante, *(ii)* les nouveaux matériaux de grille, avec l'introduction des oxydes à forte permittivité (*high-κ*) et des grilles métalliques, et *(iii)* l'ingénierie de la mobilité, avec entre autre l'utilisation de matériaux à plus forte mobilité comme les alliages SiGe, ou encore l'exploitation des contraintes.
Dans ce qui suit je décris brièvement les principaux résultats et avancées obtenus dans ces trois domaines. Le regroupement est thématique plus que chronologique, les trois axes ayant été explorés plus ou moins simultanément, à travers l'encadrement de thèses, stages et/ou dans le cadre de contrats de recherche. La Recherche étant avant tout un travail d'équipe, la plupart de mes travaux ont été réalisées dans le cadre de collaborations avec d'autres laboratoires du Léti [1] et du CNRS, et dans le cadre d'accords avec des partenaires industriels, tels que STMicroelectronics pour le principal, à travers feue l'Alliance Crolles 2 jusqu'en 2007, IBM-Albany, ou SOITEC. En 10 ans, l'organisation de la recherche en micro-électronique s'est modifiée et restructurée, en regroupant notamment Recherche, R&D industrielle et enseignement supérieur. Mon arrivée à Minatec correspond à cet infléchissement apporté à Grenoble dès 2001.
Mon activité de recherche repose sur une approche essentiellement expérimentale, en vue d'élaborer ou de compléter des modèles théoriques *simples* basés sur la physique des semiconducteurs et des dispositifs. Dans cette optique, un soin particuliers a été apporté tout au long de mon travail de recherche à l'élaboration et au perfectionnement de nouvelles techniques expérimentales en lien avec la caractérisation du transport. En particuliers, l'acquisition par le Léti d'un cryostat permettant la mesure de dispositifs sous pointes jusqu'à de faibles températures (2.7 K sous hélium pompé), a permis de réaliser des caractérisations avancées, tout en bénéficiant d'un outil d'utilisation souple. Des méthodes comme la magnétorésistance ont été développées en collaboration avec le laboratoire des champs magnétiques intenses de Grenoble (CNRS-LCMI) et l'IMEP-LAHC. Ces techniques, en sus de la technologie de fabrication des transistors MOS, constituent une élément essentiel pour l'avancée de la

1 *i.e.* les laboratoires dédiés à la technologie et à l'intégration des composants CMOS, aux matériaux, à la caractérisation physico-chimique... qui ont maintes fois changé de nom au gré des restructurations internes.

recherche dans ce domaine de la micro-électronique, et pourraient faire l'objet d'une partie dédiée. Dans un soucis de cohérence et de clarté, elles seront plutôt évoquées en fonction de l'apport significatif qu'elles ont fourni à l'avancement des travaux de recherche.

6.4.2.1 *De nouveaux matériaux de grille*

Le travail résumé dans ce paragraphe a donné lieu aux publications [A.8], [A.9], [A.11], [A.15], [A.21] et [C.10],[C.17], [C.19], [C.20], [C.22], [C.26], [C.27], [C.31], [C.36], [C.42-44], [C.47], [C.49], [C.50]. La plupart des résultats ont été obtenus lors de la thèse de L. Thevenod [T.2] et des stages de N. Bhouri [S.3] et W. Ding [S.4].

L'introduction d'oxydes de grille à forte permittivité (dits *high-κ*), en remplacement de l'oxyde de silicium SiO_2, et de matériaux de grille métalliques pour remplacer les grilles en silicium polycristallin (ou *poly-silicium*), est rapidement apparue comme une solution industriellement viable pour repousser les limites du transistor classique et poursuivre la miniaturisation (approche *more Moore*).
La société Intel a ainsi intégré dès 2007 un oxyde high-κ associé à une grille métallique dans sa route pour le noeud technologique *45 nm*. Le Léti travaille depuis le début des années 2000 à l'intégration de ces nouveaux empilements de grille dans les transistors MOS, composés principalement d'un oxyde à base d'Hafnium pour les diélectriques avancés (HfO_2, HfSiON...), et d'une grille nitrurée (TiN, TaN, WN...).
Nous nous sommes ainsi intéressés aux effets de l'intégration de l'empilement de grille $SiO_2/HfO_2/TiN$ – ce sont les matériaux les plus couramment utilisés et étudiés – sur les performances électriques des MOSFETs, en se focalisant en particuliers sur la mobilité des porteurs du canal en inversion (thèse de L. Thevenod). Des techniques expérimentales innovantes d'extraction de la mobilité ont été développées (magnétorésistance, *split-CV* pulsé), et ont permis de déterminer les mécanismes de diffusion limitant la mobilité dans les transistors longs. Ainsi l'impact prépondérant des défauts chargés à l'interface SiO_2/HfO_2 a été démontré et modélisé (calcul utilisant les temps de relaxation des moments). L'influence de l'interaction à distance des phonons *mous* [2] liés aux diélectriques à forte permittivité, prévue théoriquement, n'a pas pu être démontrée dans nos dispositifs. Ce mécanisme de diffusion, qui fait débat dans la communauté de la micro-électronique, n'apparaît donc pas comme une interaction critique pour le transport.
Nous avons également pu mettre en évidence pour la première fois l'influence d'une grille nitrurée sur la mobilité, de faible champ à fort champ électrique effectif. La densité de pièges d'interface (D_{it}) est ainsi fortement corrélée avec l'épaisseur de TiN et la chute de mobilité dans le canal. Cette corrélation s'étend également à la fiabilité des dispositifs, et plus particulièrement au NBTI, également plus important dans les transistors ayant une grille plus épaisse. En collaboration avec X. Garros, nous avons ainsi pu montré que l'origine de ces dégradations de mobilité et NBTI sont liées à la diffusion de l'azote depuis la grille nitrurée et/ou l'oxyde de grille nitruré (dans le cas HfSiON par exemple) jusqu'à l'interface avec le canal en silicium. Ce travail s'est poursuivi avec le stage de N. Bhouri sur le transport dans les transistors courts par des mesures de magnétorésistance, qui permettent de s'affranchir de mesures de capacité, difficiles pour des longueurs sub-100nm.
Enfin nous avons mesuré la distribution énergétique des pièges d'interface liés à cette diffusion d'azote dans le gap du silicium, et montré l'apparition de deux pics caractéristiques : l'un, très important, proche de la bande de conduction, et l'autre, de moindre amplitude, proche de la bande de valence. Cette étude a été élargie à d'autres *additifs* de grille, utilisés pour faire varier le travail de sortie (La et MgO pour les grilles N+, Al pour les grilles P+). Pour chacun d'entre eux nous nous sommes efforcés d'identifier une éventuelle signature particulière des défauts.
Une première approche de l'impact des nouveaux matériaux de grille sur la variabilité dans les transistors MOS a été engagée au cours du stage de W. Ding. Ce thème est très proche

2 *soft-optical phonons* en anglais

des préoccupations des industriels, notamment pour les applications de type cellules SRAM. La variabilité de la tension de seuil est ainsi un point critique pour les futures technologies CMOS. La méthodologie utilisée a consisté à mesurer la variabilité des paramètres électriques importants (courant de drain, mobilité des porteurs, facteur de courant, pente sous le seuil...), et à déterminer les principales sources de variabilité, notamment celles liés à la grille métallique, celle-ci présentant de fortes hétérogénéités liés à sa structure en grains. Ce travail préliminaire, intégrant la simulation TCAD 2D d'une grille présentant de fortes variations de travail de sortie n'a pas été poursuivi au sein du laboratoire.

6.4.2.2 *Architectures avancées : des transistors FDSOI aux transistors nanofils*

Le travail résumé dans ce paragraphe a donné lieu aux publications [A.7] ,[A.10], [A.13], [A.16], [A.19], [A.21] et [C.12], [C.13], [C.16], [C.18], [C.21], [C.23], [C.45], [C.46]. La plupart des résultats ont été obtenus à l'occasion des stages de M. Ghani [S.1], S. Thiele [S.5] et des thèses de F. Rochette [T.1], P. Leroux.[T.3] et M. Koyama [T.4].

La technologie SOI est considérée actuellement comme une alternative sérieuse à la technologie silicium massif (*bulk*) conventionnellement utilisée jusqu'à présent. L'avantage de ces substrats est d'offrir une parfaite isolation diélectrique entre la couche active des circuits et le substrat de silicium massif, grâce à un oxyde enterré (BOX). Les dispositifs réalisés sur ces substrats bénéficient notamment d'un excellent contrôle électrostatique du canal, qui limite les effets parasites sur les transistors à canaux courts, et présentent de plus faibles capacités parasites. La technologie SOI permet ainsi d'améliorer significativement la vitesse des circuits et la puissance consommée. Un certain nombre d'acteurs de la micro-électronique mondiale (IBM, STMicroelectronics,...) ont adopté cette technologie, qui représente un enjeu très important pour le tissu industriel français avec SOITEC notamment. Enfin ces nouveaux type de substrat ouvrent la voie à de nouvelles architectures, en évoluant vers les transistors multi-grilles.
À mon arrivée en 2001, j'étais en charge de la caractérisation électrique des transistors SOI partiellement (PDSOI) ou totalement désertés (FDSOI). Je me suis d'abord intéressé à la caractérisation de l'auto-échauffement dans les transistors PDSOI (stage de M. Ghani), et à l'étude de l'effet de couplage dans les transistors FDSOI, ainsi qu'aux effets parasites liés aux films minces. Dans ce cadre nous avons pu mettre en évidence pour la première fois un effet de chargement du body flottant par le courant de grille (GIFBE). Ces études m'ont permis de me familiariser avec les dispositifs SOI et les différents aspects de la caractérisation électrique associés. Les dispositifs SOI présentent la particularité de pouvoir activer deux canaux de conduction, l'un en face avant contrôlé par la grille, et l'autre en face arrière contrôlé par le BOX et le substrat sous le BOX. En collaboration avec l'IMEP (S. Cristoloveanu et A. Ohata). nous avons travaillé sur l'extraction et l'étude de la mobilité face arrière, notamment en comparaison avec la mobilité face avant. Enfin, des mesures de magnétorésistance ont permis d'identifier le mécanisme limitant le transport pour les faibles longueurs de grille (jusqu'à 50 nm) comme étant des interactions coulombiennes. Bien que très étudié théoriquement, le transport balistique apparait en pratique encore négligeable, jusqu'à des longueurs de grille de 20-30 nm.
Depuis 2009, mon activité s'est élargie à l'étude des dispositifs à base de nanofils de silicium, réalisés dans un premier temps en technologie gate-all-around (GAA) et multi-fils empilés, puis par une technologie planaire à canal étroit utilisant la plateforme SOI (tri-gate, Ω-gate). Dans ces dispositifs multi-grilles, la qualité de l'interface canal/oxyde de grille (rugosité, densité d'états d'interface) est déterminante pour les propriétés électriques de part le caractère enrobant de la grille. De plus les procédés utilisés pour former le canal (tels que le recuit H_2 utilisé pour arrondir la section des fils, ou les différentes gravures), l'orientation cristallographique différente des flancs, l'utilisation de nouveaux matériaux de grille (empilement de grille high-κ/ métal), sont autant de facteurs qui peuvent avoir une grande influence sur cette interface. L'approche choisie a donc été de caractériser l'interface des nanofils et d'étudier les

propriétés de transport en relation avec la qualité de l'interface (Cf. stage S. Thiele, et collaborations avec le LDI [3] dans le cadre de la thèse de K. Tachi). En particuliers, nous avons utilisé une technique expérimentale originale de spectroscopie des états d'interface (D_{it}), basée sur des mesures de pompage de charges à basse température. L'application de cette technique à des structures nanofils a été réalisée pour la première fois, et nous a permis d'identifier une densité de pièges supérieure dans nos transistors nanofils, d'autant plus importante que la section est circulaire (obtenue par recuit H_2). Nous avons montré par ailleurs que les valeurs de mobilité mesurées sur les transistors longs (dégradation à faible champ électrique) sont en accord avec cette densité plus importante de D_{it}.
Enfin j'ai encadré divers travaux sur l'étude du transport dans les transistors nanofils (Cf. thèse en cours de P. Leroux en collaboration avec le CNRS-IM2NP de Marseille). L'objectif de ces travaux est d'identifier les différents mécanismes de diffusion limitant la mobilité dans les transistors nanofils, par des mesures à basse température notamment, et de déterminer la part de balisticité dans les transistors sub-100nm. Nous avons pu ainsi montré que jusqu'à des dimensions de l'ordre de 10 nm pour la section, le courant peut être décrit par la contribution indépendante des différents plans constituant le canal des nanofils rectangulaires (orientations (110) et (100)). Le rôle des contraintes sur les propriétés de transport de ces structures *pseudo planaires*, et leur utilisation pour améliorer les performances des dispositifs, a été également étudié.
L'étude des transistors nanofils se poursuit actuellement avec la thèse de M. Koyama sur la mesure de bruit basse fréquence dans ces nouvelles architectures, en lien avec le transport, et l'impact de ce bruit sur le fonctionnement des circuits, en collaboration avec l'IMEP.

6.4.2.3 *"Booster" la mobilité*

Le travail résumé dans ce paragraphe a donné lieu aux publications [A.12], [A.17], [A.18], [A.22], [A.23] et [C.24], [C.28], [C.37], [C.40], [C.48], [C.51], [C.52], [C.54],[C.56-58], [C.60-65].

Un facteur d'amélioration important des performances des transistors consiste à augmenter la mobilité des porteurs du canal. Pour y parvenir deux solutions font l'objet de recherche au Léti : l'utilisation de matériaux à plus forte mobilité que le silicium (Ge et alliages SiGe, essentiellement pour une meilleure compatibilité avec les process silicium), et/ou l'utilisation des contraintes, par des substrats contraints biaxialement (sSOI), ou par des procédés, comme les source/drain compressifs en SiGe ou des couches de nitrure (CESL), qui transfèrent une contrainte au canal.
L'effet de piezorésistivité est l'effet qui relie la contrainte appliquée au changement de résistivité du matériau, et donc à la mobilité des porteurs dans le canal dans le cas d'un transistor. La piezorésisitivité est représentée mathématiquement par un tenseur 6×6, dont les composantes (les coefficients de piezorésistance) permettent de décrire l'effet d'une contrainte quelconque sur les propriétés de transport (outil de description phénoménologique). Dans le cadre de la thèse de F. Rochette, nous avons mené une étude sur les contraintes dans les transistors MOS avancés par le biais de la mesure et de l'analyse de ces coefficients piezorésistifs. Les mesures ont été réalisées sur un banc de flexion quatre points fabriqué et développé au Léti, et qui permet la mesure sous pointe des dispositifs soumis à une contrainte uniaxiale calibrée. La combinaison de différentes orientations de la contrainte par rapport au canal permet de remonter aux différents éléments du tenseur de piezorésistivité. Ces mesures ont ainsi permis d'étudier et de comparer l'effet des contraintes sur les transistors *bulk*, SOI et sSOI, pour les électrons (NMOS) et les trous (PMOS). Pour aller au delà de la simple description phénoménologique, une étude poussée de l'influence des contraintes sur les différents mécanismes de diffusion (phonons, rugosité de surface, interactions coulombiennes) et sur la structure de bande, a été réalisée, afin d'obtenir une compréhension la plus physique possible des phénomènes mis en jeu.

3 Laboratoire des Dispositids Innovants, Département des Composants Silicium

Ce travail sur les coefficients piezorésistifs se poursuit naturellement avec l'application aux transistors à nanofils de silicium. Le but est de pouvoir tirer partie au mieux des contraintes dans ces structures essentiellement 1D. Les mesures nous ont ainsi permis de montrer pour la première fois l'évolution des coefficients piezorésistifs pour des transistors tri-gate, non-contraints ou fortement contraints unixialement (ces derniers sont réalisés à partir de substrats sSOI). Ces résultats démontrent notamment le potentiel des contraintes pour améliorer encore un peu plus les performances des transistors tri-gate. L'analyse physique du transport se poursuit, et doit prendre en compte notamment, les plans de conduction avec des orientations cristallographiques différentes, le (possible) caractère 1D du transport, la superposition avec une contrainte uniaxiale en tension.
Les transistors à canaux fortement contraints biaxialement (substrat sSOI) présentent un intérêt croissant pour l'industrie de la micro-électronique pour les bénéfices important de performance qu'ils apportent (augmentation du courant à l'état ON des NMOS). Il nous a semblé alors important de se focaliser sur l'étude du transport dans ces dispositifs. En particuliers, des mesures de mobilité à basse température (jusqu'à 4 K) et sous champs magnétique ont permis d'acquérir une meilleure compréhension de l'influence d'une contrainte biaxiale sur les mécanismes limitant la mobilité des porteurs, et pour des longueurs de grille jusqu'à 30 nm.
Le dernier axe de recherche abordé dans ce thème se concentre sur le matériau $Si_{1-x}Ge_x$ pour le canal des transistors PMOS. Cette activité est née de la collaboration avec le LDI dans le cadre de la thèse de L. Hutin (2010), et se poursuit actuellement. Deux types de technologie pour la réalisation du canal SiGe ont été utilisés : l'épitaxie sur substrat SOI ou sSOI, et la condensation. Nous avons étudié l'influence de la composition de Ge (de 0% à 60%) dans le canal SiGe sur les propriétés de transport des transistors longs et courts (jusqu'à L≈30 nm), en lien notamment avec la densité de pièges d'interface. Nous avons mis en évidence que le transport est dominé par la contrainte (compression biaxiale due au désaccord de maille entre SiGe et Si), et que les interactions liés à l'alliage, prévue par la théorie, n'ont pas de rôle significatif. Pour les transistors courts, l'aspect du transport à fort champ électrique latéral a été abordé, avec une réflexion sur le facteur limitant la vitesse des porteurs en régime de saturation. Nous avons ainsi pu montrer que pour nos transistors SiGe la vitesse limite est dominée par la vitesse de saturation du matériau (collisions inélastiques), plutôt que par les phénomènes balistiques.

6.4.3 *Conclusion et Perspectives de recherche*

Tout au long de mon parcours de recherche, que je viens de décrire brièvement, je me suis efforcé de rester au carrefour des disciplines que sont la technologie et la physique des semiconducteurs, l'expérimentation et la modélisation, la recherche académique et la R&D industrielle. La physique associée au transport électronique dans des systèmes de faibles dimensions est un domaine vaste, au sein de la nanoélectronique, et qui évolue avec la progression des technologies de la micro-électronique. En cela c'est un sujet de recherche que je souhaite poursuivre, d'autant plus que les *objets* étudiés sont de plus en plus variés et font appel à une plus grande pluridisciplinarité.
De nouveaux axes de recherche sont en cours d'exploration. Parmi les sujets les plus prometteurs, l'intégration 3D séquentielle représente une nouvelle voie dans le but d'augmenter encore la densité de transistors au-delà de la simple miniaturisation. Cette approche envisage la réalisation successive de transistors sur différents niveaux, fabriqués donc les uns après les autres, sur un même substrat. Dans ce schéma d'intégration des procédés froids sont utilisés pour réaliser l'étage supérieur, afin de ne pas dégrader les performances des dispositifs de l'étage inférieur. Les propriétés électriques de ces transistors *froids* s'en trouvent modifiées. On peut se poser notamment la question de la dégradation de la mobilité pour les faibles longueurs de grille, généralement associée à des interactions dans les zones proches des

source/drain, sensibles au budget thermique. L'intégrité de l'empilement de grille se trouve également modifié par le plus faible budget thermique, et peut avoir des conséquences sur les caractéristiques électriques des transistors. Toutes ces questions seront approfondies, avec le commencement d'une thèse CIFRE sur le sujet, en partenariat avec STMicroelectronics, en octobre 2012, en co-encadrement avec le LDI (P. Batude).
Certains axes de recherche ont démarré au Léti, avec une plus ou moins forte mobilisation humaine et matérielle, comme les transistors Ge, la technologie *gate last* pour l'intégration des grilles métalliques..., mais le contexte économique mondial et local, l'absence d'avancées significatives dans le domaine, ont imposé l'arrêt des développements pour se focaliser sur des thèmes plus porteurs. Nos programmes de recherche individuels doivent s'adapter en permanence à ces nouvelles priorités, ce qui exige également une certaine flexibilité.
En marge de ces axes à fort potentiel industriel, des voies plus *exotiques* sont également explorées, pour des applications essentiellement à plus long terme (>2018).
Les matériaux III-V en vue de remplacer le canal des transistors en Si ou SiGe, représentent une plus grande rupture avec la technologie silicium et font aujourd'hui l'objet de nombreuses recherches et publications (parmi lesquels InGaAs pour les NMOS). De nombreux progrès sont encore à réaliser, afin de contrôler la qualité des interfaces, obtenir des diélectriques de qualité suffisante, et comprendre le transport dans ces composés, l'effet des contraintes...Le Léti ne s'est pas encore engagée dans cette voie, tout du moins pour les applications CMOS.
Très en vogue depuis la mise en évidence d'un effet de champ dans le graphène en 2004, les travaux sur les transistors à base de graphène comme canal de conduction fleurissent aujourd'hui, tout comme ceux sur les transistors à nanotubes de carbone un peu avant. Constitué d'une monocouche de carbone, le graphène offre l'avantage d'avoir une très forte mobilité des porteurs (>10000 $cm^2V^{-1}s^{-1}$), bien supérieure à celle dans le silicium. Sa structuration en rubans permet en outre d'ouvrir un gap dans ce semi-métal, condition indispensable pour des applications logiques. Des travaux dans ce domaine ont été réalisés au Léti (thèse LDI de M. Clavel, 2011), mais ne sont pas poursuivi à l'heure actuelle. Beaucoup de travail reste à accomplir pour réaliser des transistors graphènes compatibles avec une industrialisation de masse, qui paraît plus qu'incertaine, surtout pour les applications CMOS. Le graphène fournit cependant un excellent exemple de la rapidité avec laquelle on passe des découvertes fondamentales aux (potentielles) applications de masse, et démontre la nécessité de maîtriser et d'actualiser en permanence sa connaissance de la physique des semi-conducteurs, et plus généralement de la physique du solide. La liste des nouveaux matériaux, des nouveaux concepts de transistor à effet de champ ou non, grossit et évolue chaque année, et élargit en permanence le champ des possibles.

6.5 RESPONSABILITÉS COLLECTIVES

2011- présent Membre du comité scientifique de WODIM (Workshop on Dielectrics in Microelectronics).

2012- présent Membre du comité local d'organisation de ICON 2013, Annecy (International conference on one-dimensional nanomaterials).

6.6 ENCADREMENTS ET RAYONNEMENT

6.6.1 *Encadrements*

6.6.1.1 *Thèses*

T.1 **Florent ROCHETTE**, "*Étude et caractérisation de l'influence des contraintes mécaniques sur les propriétés du transport électronique dans les architectures MOS avancées*", Thèse financée par une Bourse Région Rhône-Alpes.
Directeur de Thèse : Mireille MOUIS (CNRS-IMEP LAHC, Grenoble).
Co-encadrement : Mikaël CASSÉ (quotité d'encadrement : 70%).
Thèse de Doctorat de l'Institut National Polytechnique de Grenoble, spécialité Micro- Nanoélectronique.
Soutenue le 26 septembre 2008.
Situation actuelle : Ingénieur-Chercheur au CEA.

T.2 **Laurent THEVENOD**,"*Étude de la mobilité dans des transistors intégrant un oxyde de grille de forte permittivité et une grille métallique*", Thèse financée par une Bourse CFR (CEA-INSTN).
Directeur de Thèse : Mireille MOUIS (CNRS-IMEP LAHC, Grenoble).
Co-encadrement : Mikaël CASSÉ (quotité d'encadrement : 80%).
Thèse de Doctorat de l'Institut National Polytechnique de Grenoble, spécialité Micro- Nanoélectronique.
Soutenue le 9 juillet 2009.
Situation actuelle : Ingénieur chez Schneider Electric.

T.3 **Pierre LEROUX**,"*Étude du transport dans les dispositifs à nanofils de Silicium*", Thèse financée par une bourse ministérielle allouée aux normaliens.
Directeur de Thése : Daniela Munteanu (CNRS-IM2NP, Marseille).
Co-encadrement : Mikaël CASSÉ (quotité d'encadrement : 60%).
Thèse de Doctorat de l'Université de Provence (Aix-Marseille I), spécialité Micro- Nanoélectronique.
Thèse en cours (début : octobre 2010). Arrêtée depuis octobre 2011 pour raison médicale.

T.4 **Masahiro KOYAMA**,"*Electrical characterization of interface properties in nano-scaled MOSFET devices based on low frequency fluctuations.*", Thèse financée par une bourse CFR (CEA-INSTN).
Directeur de Thése : Gérard Ghibaudo (CNRS-IMEP LAHC, Grenoble).
Co-encadrement : Mikaël CASSÉ (quotité d'encadrement : 70%).
Thèse de Doctorat de l'Institut National Polytechnique de Grenoble, spécialité Micro- Nanoélectronique.
Thèse en cours (début : janvier 2012).

6.6.1.2 *Stages Master2R et fin d'études*

S.1 **Mathieu GHANI**, "*Étude de l'auto-échauffement dans les transistors SOI partiellement désertés*", stage fin d'études de l'Ecole Polytechnique Fédérale de Lausanne (EPFL, Suisse), Responsable : A. Ionescu, juillet 2003.

S.2 **Laurent THEVENOD**, "*Étude de la mobilité dans les transistors à oxyde de grille high-k*", stage fin d'études de l'ENSPG et MASTER 2R, Responsable : P. Gentil, septembre 2004.

S.3 **Nada BHOURI**, "*Impact of high-k dielectrics on the transport of ultra short transistors*", stage fin d'études de l'ENSERG et MASTER 2R Nanotech, Responsable : M. Bescond, septembre

2007.

S.4 **Wenbin DING**, "*Influence des hétérogénéités d'une grille métallique sur les propriétés électriques des MOSFETs*", stage fin d'études de l'ENSI Caen, Responsable : A.M. Doukkali, septembre 2009.

S.5 **Stefan THIELE**, "*Spectroscopic charge pumping of Si-nanowires*", stage d'études de l'Université Technique de Ilmenau (TU Ilmenau, Allemagne), octobre-novembre 2009.

S.6 **Johan PELLOUX-PRAYER**, "*Étude des contraintes mécaniques et des propriétés électriques dans les transistors à nanofils de silicium*", stage fin d'études de l'INSA Lyon et MASTER 2R Nanoscale Engineering, Responsable : Liviu Militaru, septembre 2013.

6.6.2 *Jury de thèse, hors thèses encadrées*

Gaëlle HAMAIDE, "*Caractérisation de la mobilité des porteurs et des défauts d'interface dans les substrats SOI avancés*", Thèse de Doctorat de l'Institut National Polytechnique de Grenoble, spécialité Micro- Nanoélectronique, soutenue le 12 janvier 2009

Dominique FLEURY, "*Contribution à l'étude expérimentale du transport dans les transistors de dimensions déca-nanométriques des technologies CMOS sub 45nm*", Thèse de Doctorat de l'Institut National Polytechnique de Grenoble, spécialité Micro- Nanoélectronique, soutenue le 2 décembre 2009

6.6.3 *Prix et Reconnaissances*

2011 Silver Award STMicroelectronics, décerné à O. Faynot, O. Rozeau, M.A. Jaud, M. Cassé, "Preparing future of CMOS - 20nm fully depleted SOI technology".

2006 L. Thevenod, Prix du meilleur papier étudiant SISC (L. Thevenod, M. Cassé *et al.*).

2005 L. Thevenod, Prix du meilleur papier étudiant INFOS (L. Thevenod, M. Cassé *et al.*).

6.6.4 *Activité de relecture d'articles et d'évaluation*

Referee (Comité de lecture) pour les publications : IEEE Transactions on Electron Devices, IEEE Electron Device Letters, Solid-State Electronics, Microelectronics Reliability, Sensors and Actuators :A

6.7 SOUTIENS FINANCIERS ET VALORISATION - PROJETS ET CONTRATS

6.7.1 *Projets Européens*

MEDEA T206 "CMOS SOI for Low Power Logic and RF Wireless" : 2002-2005.

MEDEA+ Decisif (ST/SOITEC/AMD/Léti) : 2008-2011.
Support caractérisation.

AII Nanosmart (SOITEC) : 2006-2011.
Support caractérisation.

PULLNANO "PULLing the limits of NANOcmos electronics", IST - 4 - 026828 : 2006-2009.
SP6 "Device Characterization and Simulation".

R3N MODERN "MOdélisation de Dispositifs Electronique en Régime Nanométrique : développement d'outils pour la simulation avancée du transport dans les nano-MOSFET" : 2005-2008.
Tâche 2.4 : Participation à l'étude du transport dans les dispositifs à base de High-K.

6.7.2 *Projets Industriels*

MAGE (ST Rousset/Léti) : 2013-.
Support caractérisation pour les transistors CMOS (technologie 90nm).

6.7.3 *Accords Léti, Alliances*

Alliance Léti/Crolles : 2005-.
Alliance IBM/ST/Léti : 2008-.
Expertise et caractérisation électrique pour les activités "CMOS technology sustaining - HK/MG" et "Advanced devices", comprenant notamment les tâches "Surrounding gate nanowire MOSFET", "Post Si Devices and Substrates", "Thin Film Devices For Low Power",...

6.8 PUBLICATIONS ET COMMUNICATIONS

Articles (28) dans des revues internationales
Conférences (73) publications dans des conférences internationales
h-index : 12

6.8.1 *Communications orales invitées*

M. Cassé
Scaling of MOS devices : carrier transport in advanced devices,
séminaire invité de l'ESONN (European School on Nanosciences and Nanotechnologies), Grenoble, (2009)

M. Cassé, X. Garros, L. Brunet, G. Reimbold.
Impact of the metal gate on carrier transport In HK/MG Transistors,
Présentation invitée de int. ECS symp. : Advanced Gate Stack, Source/Drain, and Channel Engineering for Si-based CMOS VI, Vancouver (2010)

M. Cassé, S. Barraud, R. Coquand, M. Koyama, D. Cooper, C. Vizioz, C. Comboroure, P. Perreau, V. Maffini-Alvaro, C. Tabone, L. Tosti, S. Barnola, V. Delaye, F. Aussenac, G. Ghibaudo, H. Iwai, G. Reimbold.
Strain-Enhanced Performance of Si-Nanowire FETs,
Présentation invitée de int. ECS symp. : Silicon Compatible Materials, Processes, and Technologies for Advanced Integrated Circuits and Emerging Applications III, Toronto (2013)

6.8.2 *Chapitres de livre*

Beyond CMOS nanodevices : Novel Functionalities, Logic and Memories, SiNano-Nanofunction Book, published by iSTE WILEY Edited by Francis Balestra.
Chap.22 : Nanowires
S. Barraud, **M. Cassé**, G. Ghibaudo, M. Pala

6.8.3 *Revues internationales avec comité de lecture*

[A.1] G.M. Gusev, J.R. Leite, E.B. Olshanetskii, D.K. Maude, **M. Cassé**, J.C. Portal, N.T. Moshegov, A.I. Toropov
Quantum Hall effect in a wide parabolic quantum well,
Brazilian Journal of Physics **29**, p.715 (1999).

[A.2] Z.D. Kvon, E.B. Olshanestkii, M.I. Katkov, A.E. Plotnikov, A.I. Toropov, N.T. Moshegov, **M. Cassé**, J.C. Portal
Quantum Hall effect in a single-mode wire,
Semiconductors **33**, p.1238 (1999).

[A.3] **M. Cassé**, Z.D.Kvon, G.M.Gusev, E.B.Olshanetskii, L.V. Litvin, A.V. Plotnikov, D.K.Maude, J.C. Portal
Temperature dependence of the Aharonov-Bohm oscillations and the energy spectrum in a single mode ballistic ring,
Physical Review B **62**, p.2624 (2000).

[A.4] A.A. Bykov, D.G. Baksheev, L.V. Litvin, V.P. Migal, E.B. Olshanetskii, **M. Cassé**, D.K. Maude, J.C. Portal
Transport properties of GaAs/AlGaAs ring interferometer in the tunneling regime,
JETP Letters **71**, p.434 (2000).

[A.5] A.A. Bykov, G.M. Gusev, J.R. Leite, A.K. Bakarov, N.T. Moshegov, **M. Cassé**, D.K. Maude, J.C. Portal
Hall effect in spatially fluctuating magnetic field with zero mean,
Physical Review B **61**, p.5505 (2000).

[A.6] F. Lime, K. Oshima, **M. Cassé**, G. Ghibaudo, S. Cristoloveanu, B. Guillaumot, H. Iwai
Carrier mobility in advanced CMOS devices with metal gate and HfO_2 gate dielectric,
Solid-State Electronics **47**, p.1617 (2003)

[A.7] **M. Cassé**, J. Prétet, S. Cristoloveanu, T. Poiroux, C. Fenouillet-Beranger, F. Fruleux, C. Raynaud, G. Reimbold
Gate-induced floating body effect in fully-depleted SOI MOSFETs with tunneling oxide and back-gate biasing,
Solid-State Electronics **48**, p.1243 (2004)

[A.8] **M. Cassé** , L. Thevenod, B. Guillaumot, L. Tosti, F. Martin, J. Mitard, O. Weber, F. Andrieu, T. Ernst, G. Reimbold, T. Billon, M. Mouis, F. Boulanger
Carrier transport in HfO_2/metal gate MOSFETs : a physical insight into critical parameters,
IEEE Trans. Electron Dev. **53**, pp.759-768 (2006)

[A.9] O. Weber, **M. Cassé** , L. Thevenod, F. Ducroquet, T. Ernst, S. Deleonibus
On the mobility in high-κ /metal gate MOSFETs : Evaluation of the high-κ phonon scattering impact,
Solid-State Electronics **50**(4), pp.626-631 (2006)

[A.10] A. Ohata, S. Cristoloveanu, **M. Cassé**
Mobility comparison between front and back channels in ultrathin silicon-on-insulator metal-oxide-semiconductor field-effect transistors by the front-gate split capacitance-voltage method,
Appl. Phys. Lett. **89**(3), 32104 (2006)

[A.11] L. Thevenod, **M. Cassé**,W. Desrat, M. Mouis, G. Reimbold, D.K. Maude, F. Boulanger
Magnetoresistance mobility extraction on $TiN/HfO_2/SiO_2$ metal-oxide-semiconductor field effect transistors,
Appl. Phys. Lett. **90**(15), p.152111 (2007)

[A.12] F. Rochette, **M. Cassé**, M. Mouis, G. Reimbold, D. Blachier, C. Leroux, B. Guillaumot, F. Boulanger
Experimental evidence and extraction of the electron mass variation in [110] uniaxially strained MOSFETs,
Solid-State Electronics **51**(11-12), pp.1458-65 (2007)

[A.13] A. Ohata, **M. Cassé**, S. Cristoloveanu
Front- and back-channel mobility in ultrathin SOI-MOSFETs by front-gate split CV method,

Solid-State Electronics **51**(2), pp.245-51 (2007)

[A.14] R. Tauk, J. Lusakowski, W. Knap, A. Tiberj, Z. Bougrioua, M. Azize, P. Lorenzini, M. Sakowicz, K. Karpierz, C. Fenouillet-Beranger, **M. Cassé**, C. Gallon, F. Boeuf, T. Skotnicki.
Low electron mobility of field-effect transistor determined by modulated magnetoresistance,
J. Appl. Phys. **102**(10), 103701 (2007)

[A.15] S. Barraud, O. Bonno, **M. Cassé**.
The influence of Coulomb centers located in HfO_2/SiO_2 gate stacks on the effective electron mobility,
J. Appl. Phys. **104**(7), 073725 (2008)

[A.16] A. Ohata, **M. Cassé**, O. Faynot
Electrical characteristics related to silicon film thickness in advanced FD SOI-MOSFETs,
Solid-State Electronics **52**(1), pp.126-33 (2008)

[A.17] **M. Cassé**, F. Rochette, L. Thevenod, N. Bhouri, F. Andrieu, G. Reimbold, F. Boulanger, M. Mouis, G. Ghibaudo, D.K. Maude.
A comprehensive study of magnetoresistance mobility in short channel transistors : Application to strained and unstrained silicon-on-insulator field-effect transistors,
J. Appl. Phys. **105**(7), 084503 (2009)

[A.18] F. Rochette, **M. Cassé**, M. Mouis, A. Haziot, T. Pioget, G. Ghibaudo, F. Boulanger
Piezoresistance effect of strained and unstrained fully-depleted silicon-on-insulator integrating a HfO_2/TiN gate stack,
Solid-State Electronics **53**(3), pp.392-396 (2009)

[A.19] **M. Cassé**, K. Tachi, S. Thiele, T. Ernst.
Spectroscopic Charge Pumping in Si Nanowire Transistors with a High-κ/Metal gate,
Appl. Phys. Lett. **93**, 123506 (2010)

[A.20] L. Pham-Nguyen, C. Fenouillet-Beranger, P. Perreau, S. Denorme, G. Ghibaudo, O. Faynot, T. Skonicki, A. Ohata, **M. Cassé**, I. Ionica, W. Van den Daele, K.-H Park, S.-J Chang, Y.-H Bae, M. Bawedin, S. Cristoloveanu
Advanced solutions for mobility enhancement in SOI MOSFETs,
Int. J. of High Speed Electron. **20**, pp.81-93 (2011)

[A.21] **M. Cassé**, X. Garros, O. Weber, F. Andrieu, G. Reimbold, F. Boulanger
A study of N-induced traps due to a nitrided gate in high-κ/metal gate nMOSFETs and their impact on electron mobility,
Solid-State Electronics **65-66**, pp.139-145 (2011)

[A.22] **M. Cassé**, L. Hutin, C. Le Royer, D. Cooper, J.-M. Hartmann, G. Reimbold
Experimental Investigation of Hole Transport in Strained $Si_{1-x}Ge_x$/SOI pMOSFETs – Part I : Scattering Mechanisms in Long-Channel Devices,
IEEE Trans. Electron Dev. **59**, pp.316-325 (2012)

[A.23] **M. Cassé**, L. Hutin, C. Le Royer, D. Cooper, J.-M. Hartmann, G. Reimbold
Experimental Investigation of Hole Transport in Strained $Si_{1-x}Ge_x$/SOI pMOSFETs – Part II : Mobility and High-Field Transport in Nanoscaled PMOS,
IEEE Trans. Electron Dev. **59**, pp.557-564 (2012)

[A.24] S. Barraud, M. Berthome, R. Coquand, **M. Cassé**, T. Ernst, M.-P. Samson, P. Perreau, K. Bourdelle, O. Faynot, T. Poiroux
Scaling of Trigate Junctionless Nanowire MOSFET With Gate Length Down to 13 nm.
IEEE Electron Dev. Lett. **33**, pp.1225-1227 (2012)

[A.25] S. Barraud, R. Coquand, **M. Cassé**, M. Koyama, J.-M. Hartmann, V. Maffini-Alvaro, C. Comboroure, C. Vizioz, F. Aussenac, O. Faynot, T. Poiroux
Performance of Omega-Shaped-Gate Silicon Nanowire MOSFET With Diameter Down to 8 nm.
IEEE Electron Dev. Lett. **33**, pp.1526-1528 (2012)

[A.26] R. Coquand, **M. Cassé**, S. Barraud, D. Cooper, V. Maffini-Alvaro, M.-P. Samson, S. Monfray, F. Boeuf, G. Ghibaudo, O. Faynot, T. Poiroux
Strain-Induced Performance Enhancement of Trigate and Omega-Gate Nanowire FETs Scaled Down to 10-nm Width.
IEEE Trans. Electron Dev. **60**, pp.727-732 (2013)

[A.27] M. Koyama, **M. Cassé**, R. Coquand, S. Barraud, C. Vizioz, C. Comboroure, P. Perreau, V. Maffini-Alvaro, C. Tabone, L. Tosti, S. Barnola, V. Delaye, F. Aussenac, G. Ghibaudo, H. Iwai, G. Reimbold
Study of carrier transport in strained and unstrained SOI tri-gate and Omega-gate silicon nanowire MOSFETs.

Solid-State Electron. **84**, pp.46-52 (2013)

[A.28] P. Nguyen, F. Andrieu, **M. Cassé**, C. Tabone, P. Perreau, D. Lafond, H. Dansas, L. Tosti, C. Veytizou, D. Landru, O. Kononchuk, E. Guiot, B.-Y. Nguyen, O. Faynot, T. Poiroux
Transistors on hybrid UTBB/Bulk substrates fabricated by local internal BOX dissolution.
Solid-State Electron. , pp. (2013)

6.8.4 *Conférences internationales avec comité de lecture*

[C.1] X. Kleber, G.M. Gusev, M.V. Budantsev, **M. Cassé**, U. Gennser, D.K. Maude , J.C. Portal, Z.D. Kvon, A.E. Plotnikov, A.I. Toropov, N.T. Moshegov
Magnetoconductance of two independently tunable parallel point contacts using an elliptical antidot,
Proceedings of the 10th International Conference on Superlattices, Microstructures and Microdevices (1997, Lincoln, Nebraska, USA),
Physics of low-dimensional structures **11/12**, p.75 (1997).

[C.2] Z.D. Kvon, E.B. Olshanetskii, **M. Cassé**, L.V. Litvin, D.K. Maude, J.C. Portal
The electron phase coherence length in a single mode ballistic ring interferometer,
Proceedings of the 24th International Conference on the Physics of Semiconductors (1998, Jérusalem, Israel), Word Scientific, Singapore.

[C.3] **M. Cassé**, E.B. Olshanetskii, Z.D. Kvon, D.K. Maude, J.C. Portal
The effect of DC bias in a ballistic single mode AlGaAs/GaAs ring interferometer,
Proceedings of the 9th International Conference on Modulated Semiconductor Structures (1999, Fukuoka, Japan),
Physica E **7**, p.781 (2000).

[C.4] E.B. Olshanetskii, **M. Cassé**, Z.D. Kvon, G.M. Gusev, L.V. Litvin, A.V. Plotnikov, D.K. Maude, J.C. Portal
Symmetric, gated, ballistic ring as tunable electron interferometers,
Proceedings of the 13th International Conference on the Electronic Properties of Two-dimensional Systems (1999, Ottawa, Canada),
Physica E **6**, p.322 (2000).

[C.5] G.M. Gusev, J.R. Leite, E.B. Olshanetskii, D.K. Maude, **M. Cassé**, J.C. Portal, N.T. Moshegov, A.I. Toropov
Magnetooscillations of electrons in nonparabolic confining potential,
Proceedings of the 13th International Conference on the Electronic Properties of Two-dimensional Systems (1999, Ottawa, Canada),
Physica E **6**, p.112 (2000).

[C.6] Z.D. Kvon, E.B. Olshanetskii, **M. Cassé**, D.K. Maude, J.C. Portal, J.L. Gauffier, A.Y. Plotnikov, A.I. Toropov
Small size gated ballistic interferometer on the basis of AlGaAs/GaAs heterostructure,
Proceedings of the 25th International Conference on the Physics of Semiconductors (2000, Osaka, Japan), Springer-Verlag.

[C.7] A.A. Bykov, G.M. Gusev, J.R. Leite, A.K. Bakarov, N.T. Moshegov, D.K. Maude, **M. Cassé**, J.C. Portal
Non zero Hall resistance in spatially fluctuating magnetic field with zero mean,
Proceedings of the 25th International Conference on the Physics of Semiconductors (2000, Osaka, Japan), Springer-Verlag.

[C.8] Z.D. Kvon, E.B. Olshanetsky, **M. Cassé**, A.Y. Plotnikov, D.K. Maude, J.C. Portal, A.I. Toropov
IQHE and FQHE in a wire with incompressible and compressible strips,
Proceedings of the 14th International Conference on High Magnetic Fields in Semiconductors Physics (2000, Matsue, Japan),
Physica B **298**, p.155 (2001).

[C.9] G.M. Gusev, J.R. Leite, E.B. Olshanetskii, N.T. Moshegov, A.I. Toropov, D.K. Maude, **M. Cassé**, J.C. Portal
Quantum Hall effect in a wide parabolic well,
Proceedings of the 14th International Conference on High Magnetic Fields in Semiconductors Physics (2000, Matsue, Japan),
Physica B **298**, p.306 (2001).

[C.10] F. Lime, K. Oshima, **M. Cassé**, G. Ghibaudo, S. Cristoloveanu, B. Guillaumot, H. Iwai
Electrical characterization of advanced CMOS devices with metal gate and HfO_2 gate dielectric,
Proceedings WoDIM (2002, Grenoble, France)

[C.11] C. Fenouillet-Beranger, F. Fruleux, A. Talbot,L. Tosti, R. Palla, **M. Cassé**, N. Carriere, A. Grouillet, C. raynaud, B. Giffard,T. Skotnicki
Fully-depleted SOI process optimization for 60nm CMOS transistor,
Proceedings IEEE Int. SOI Conference (2003, Newport Beach, CA, USA), p.31

[C.12] **M. Cassé**, T. Poiroux, C. Tabone, F. Allain, C. Raynaud, O. Faynot, G. Reimbold
Interface coupling and film thickness measurement on thin oxide thin film fully depleted SOI MOSFETs,
Proceedings ESSDERC (2003, Estoril, Portugal), pp.87-90

[C.13] **M. Cassé**, J. Prétet, S. Cristoloveanu, T. Poiroux, C. Raynaud, G. Reimbold
A specific floating body effect in fully-depleted SOI MOSFETs with ultra-thin gate oxide,
Proceedings 13th biennal INFOS (2003, Barcelona, Spain),
Microelectronics engineering **72**, p.352 (2004)

[C.14] V. Cosnier, K. Dabertrand, S. Blonkowski, S. Lhostis, S. Zoll, Y. Morand, S. Descombes, B. Guillaumot, C. Hobbs, N. Rochat, G. Rolland, O. Renault, X. Garros, **M. Cassé**, J. Mitard, P. Lehnen, S. Miedl, J. Lindner, and M. Schumacher
Atomic Vapor Deposition (AVDTM) Process for High Performance HfO2 Dielectric Layers,
2004 Spring Meeting "High-k Insulators and Ferroelectrics for Advanced Microelectronic Devices",
MRS Proceedings **811**, D9.8 (2004)

[C.15] M. Vinet, T. Poiroux, J. Widiez1, J. Lolivier, B. Previtali, C. Vizioz, B. Guillaumot, P. Besson, J. Simon, F. Martin, S. Maitrejean, P. Holliger, B. Biasse, **M. Cassé**, F. Allain, A. Toffoli, D. Lafond, J.M. Hartmann, R. Truche, V. Carron, F. Laugier, A. Roman,Y. Morand, D. Renaud, M. Mouis, S. Deleonibus
Planar Double Gate CMOS transistors with 40nm metal gate for multipurpose applications,
Proceedings International Conference on Solid-State Devices and Materials (SSDM 2004), p.768

[C.16] T. Poiroux, J. Widiez, J. Lolivier, M. Vinet, **M. Cassé**, B. Prévitali, S. Deleonibus
New and Accurate Method for Electrical Extraction of Silicon Film Thickness on Fully-Depleted SOI and Double Gate Transistors,
Proceedings IEEE Int. SOI Conference (2004, Charleston, South Carolina, USA), p.73

[C.17] O. Weber, F. Andrieu, **M. Cassé**, T. Ernst, J. Mitard, F. Ducroquet, J.-F. Damlencourt, J.-M. Hartmann, D. Lafond, A.-M. Papon, L. Militaru, L. Thevenod, K. Romanjek, C. Leroux, F. Martin, B. Guillaumot, G. Ghibaudo, S. Deleonibus
Experimental determination of mobility scattering mechanisms in Si/HfO_2/TiN and SiGe :C/HfO_2/TiN surface channel n- and p-MOSFETs,
IEDM Tech. Dig., p.867 (2004)

[C.18] A. Ohata, **M. Cassé**, S. Cristoloveanu, T. Poiroux
Mobility issues in ultra-thin SOI MOSFETs : thickness variations, GIFBE and coupling effects,
Proceedings ESSDERC (2004, Leuven, Belgium), p.109

[C.19] G. Reimbold, J. Mitard, **M. Cassé**, X. Garros, C. Leroux, L. Thèvenod, F. Martin
Electrical characterization of high k devices : charges and traps effects on instability, reliability and mobility behaviour,
Proceedings of the int. ECS symp. : Silicon nitride, silicon dioxide thin insulating films, and other emerging dielectrics VIII, vol. 2005-01, pp.437-455 (2005)

[C.20] L. Thevenod, **M. Cassé**, M. Mouis, G. Reimbold, F. Fillot, B. Guillaumot, F. Boulanger
Influence of TiN metal gate on Si/SiO_2 surface roughness in N and PMOSFETs,
Proceedings 14th biennal INFOS (2005, Leuven, Belgium),
Microelectronic Engineering **80**, pp.11-14 (2005)

[C.21] A. Ohata, S. Cristoloveanu, A. Vandooren, **M. Cassé** and F. Daugé
Coupling effect between the front and back interfaces in thin SOI MOSFETs,
Proceedings 14th biennal INFOS (2005, Leuven, Belgium),
Microelectronics engineering **80**, pp.245-248 (2005)

[C.22] O. Weber, **M. Cassé**, L. Thevenod, F. Ducroquet, T. Ernst, B. Guillaumot, S. Deleonibus
Accurate Investigation of the High-κ Soft Phonon Scattering Mechanism in Metal Gate MOSFETs,
Proceedings ESSDERC (2005, Grenoble, France), pp.379-382

[C.23] A. Ohata, S. Cristoloveanu, **M. Cassé**, A. Vandooren and F. Daugé
Characterization of ultra-thin SOI MOSFETs by coupling effect between front and back interfaces,
Proceedings IEEE Int. SOI Conference (2005, Honolulu, Hawaii, USA), p.63

[C.24] C. Jahan, O. Faynot, **M. Cassé**, R. Ritzenthaler, L. Brévard, L. Tosti, X. Garros, C. Vizioz, F. Allain, A.M. Papon, H. Dansas, F. Martin, M. Vinet, B. Guillaumot, A. Toffoli, B. Giffard, S. Deleonibus
ΩFETs transistors with TiN metal gate and HfO_2 down to 10nm,
Symposium on VLSI Technology Digest of Technical Papers, pp.112-113 (2005)

[C.25] F. Andrieu, T. Ernst, F. Lime, F. Rochette, K. Romanjek, S. Barraud, C. Ravit, F. Boeuf, M. Jurczak, **M. Cassé**, O. Weber, L. Brévard, G. Reimbold, G. Ghibaudo, S. Deleonibus
Experimental and comparative investigation of low and high field transport in substrate- and process-induced strained nanoscaled MOSFETs,
Symposium on VLSI Technology Digest of Technical Papers, pp.176-177 (2005)

[C.26] **M. Cassé** , L. Thevenod, B. Guillaumot, L. Tosti, V. Cosnier, J. Mitard, G. Reimbold, T. Billon, M. Mouis, F. Boulanger
Impact of TiN/HfO_2 integration on carrier mobility,
Proceedings MRS Spring Meeting, vol. **917**, E4.4 (2006)

[C.27] L. Thevenod, **M. Cassé**, W. Desrat, M. Mouis, G. Reimbold, F. Boulanger
Characterization of $TiN/HfO_2/SiO_2$ MOSFETs by extracting mobility from magnetoresistance measurements,
Proceedings SISC (2006), not edited.

[C.28] F. Rochette, **M. Cassé**, M. Mouis, D. Blachier, C. Leroux, B. Guillaumot, G. Reimbold, F. Boulanger
Electron mobility enhancement in uniaxially strained MOSFETs : Extraction of the effective mass variation,
Proceedings ESSDERC (2006, Montreux, Switzerland), pp.93-96

[C.29] F. Andrieu, C. Dupre, F. Rochette, O. Faynot, L. Tosti, C. Buj, E. Rouchouze, **M. Cassé**, B. Ghyselen, I. Cayrefourcq, L. Brevard, F. Allain, J.C. Barbe, J. Cluzel, A. Vandooren, S. Denorme, T. Ernst, C. Fenouillet-Beranger, C. Jahan, D. Lafond ; H. Dansas, B. Previtali, J.P. Colonna, H. Grampeix, P. Gaud, C. Mazure, S. Deleonibus
25nm short and narrow strained FDSOI with TiN/HfO_2 gate stack,
Symposium on VLSI Technology Digest of Technical Papers, p.134 (2006)

[C.30] F. Andrieu, O. Faynot, X. Garros, D. Lafond, C. Buj-Dufournet, L. Tosti, S. Minoret, V. Vidal, J.-C Barbe, F. Allain, E. Rouchouze, L. Vandroux, V. Cosnier, **M. Cassé**, V. Delaye, C. Carabasse, M. Burdin, G. Rolland, B. Guillaumot, J.-P Colonna, P. Besson, L. Brevard, D. Mariolle, P. Holliger, A. Vandooren, C. Fenouillet-Beranger, F. Martin, S. Deleonibus.
Comparative scalability of PVD and CVD TiN on HfO_2 as a metal gate stack for FDSOI cMOSFETs down to 25nm gate length and width,
IEDM Tech. Dig., 23.7 (2006)

[C.31] S. Barraud, L. Thevenod , **M. Cassé**, O. Bonno, M. Mouis
Modeling of remote Coulomb scattering limited mobility in MOSFET with HfO_2/SiO_2 gate stacks,
Proceedings 15th biennal INFOS (2007, Athens, Greece),
Microelectronics engineering **84**, pp.2404-2407 (2007)

[C.32] V. Cosnier, P. Besson, V. Loup, L. Vandroux, S. Minoret, **M. Cassé**, X. Garros, J.-M Pedini, S. Lhostis, K. Dabertrand, C. Morin, C. Wiemer, M. Perego, M. Fanciulli.
Understanding of the thermal stability of the hafnium oxide/TiN stack via 2 "high k" and 2 metal deposition techniques,
Proceedings 15th biennal INFOS (2007, Athens, Greece),
Microelectronics engineering **84**, pp.1886-1889 (2007)

[C.33] O. Bonno, S. Barraud, F. Andrieu, D. Mariolle, F. Rochette, **M. Cassé**, J.M. Hartmann, F. Bertin, O. Faynot
High-field electron mobility in biaxially-tensile strained SOI. low temperature measurement and correlation with the surface morphology,
Symposium on VLSI Technology Digest of Technical Papers, p.134 (2007)

[C.34] V. Barral, T. Poiroux, F. Rochette, M. Vinet, S. Barraud, O. Faynot, L. Tosti, F. Andrieu, **M. Cassé**, B. Previtali, R. Ritzenthaler, P. Grosgeorges, E. Bernard, G. LeCarval, D. Munteanu, J.-L Autran, S. Deleonibus.
Will strain be useful for 10 nm quasi-ballistic FDSOI devices ? An experimental study,
Symposium on VLSI Technology Digest of Technical Papers, p.198 (2007)

[C.35] F. Andrieu, O. Faynot, F. Rochette, J.-C Barbe, C. Buj, Y. Bogumilowicz, F. Allain, V. Delaye, D. Lafond, F. Aussenac, S. Feruglio, J. Eymery, T. Akatsu, P. Maury, L. Brevard, L. Tosti, H. Dansas, E. Rouchouze, J.-M Hartmann, L. Vandroux, **M. Cassé**, F. Boeuf, C. Fenouillet-Beranger, F. Brunier, I. Cayrefourcq, C. Mazure, G. Ghibaudo, S. Deleonibus.
Impact of mobility boosters (XsSOI, CESL, TiN gate) on the performance of $\langle 100 \rangle$ or $\langle 110 \rangle$ oriented FDSOI cMOSFETs for the 32 nm node,

Symposium on VLSI Technology Digest of Technical Papers, p.50 (2007)

[C.36] X. Garros, **M. Cassé**, G. Reimbold, F. Martin, A. Fanton, O. Renault, V. Cosnier, S. Lhostis and F. Boulanger
Guidelines to improve mobility performances and BTI reliability of advanced High-κ/Metal gate stacks,
Symposium on VLSI Technology Digest of Technical Papers, p.68 (2008)

[C.37] **M. Cassé**, F. Rochette, N. Bhouri, F. Andrieu, D.K. Maude, M. Mouis, G. Reimbold, F. Boulanger
Mobility of strained and unstrained short channel FD-SOI MOSFETs : New insight by magnetoresistance,
Symposium on VLSI Technology Digest of Technical Papers, p.170 (2008)

[C.38] C. Fenouillet-Beranger, S. Denorme, P. Perreau, C. Buj, O. Faynot, F. Andrieu, L. Tosti, S. Barnola, T. Salvetat, X. Garros, **M. Cassé**, F. Allain, N. Loubet, L. Pham-NGuyen, E. Deloffre, M. Gros-Jean, R. Beneyton, C. Laviron, M. Marin, C. Leyris, S. Haendler, F. Leverd, P. Gouraud, P. Scheiblin, L. Clement, R. Pantel, S. Deleonibus, T. Skotnicki.
FDSOI devices with thin BOX and ground plane integration for 32 nm node and below,
Proceedings ESSDERC (2008, Edinburgh, Scotland, UK), pp.206-209

[C.39] C. Fenouillet-Beranger, P. Perreau, L. Pham-NGuyen, S. Denorme, F. Andrieu, L. Tosti, L. Brevard, O. Weber, S. Barnola, T. Salvetat, X. Garros, **M. Cassé**, C. Leroux, J.P. Noel, O. Thomas, B. Le-Gratiet, F. Baron, M. Gatefait, Y. Campidelli, F. Abbate, C. Perrot, C. de-Buttet, R. Beneyton, L. Pinzelli, F. Leverd, P. Gouraud, M. Gros-Jean, A. Bajolet, C. Mezzomo, C. Leyris, S. Haendler, D. Noblet, R. Pantel, A. Margain, C. Borowiak, E. Josse, N. Plantes, D. Delprat, F. Boedt, K. Bourdelle, B.Y. Nguyen, F. Boeuf, O. Faynot, T. Skotnicki.
Hybrid FDSOI/Bulk high-k/Metal gate platform for Low Power (LP) multimedia technology,
IEDM Tech. Dig., pp.619-622 (2009)

[C.40] F. Rochette, X. Garros, G. Reimbold, F. Andrieu, **M. Cassé**, M. Mouis, G. Ghibaudo, F. Boulanger.
Strain sensitivity of gate leakage in strained-SOI nMOSFETs : A benefit for the performance trade-off and a novel way to extract the strain-induced band offset,
Proceedings of 16th biennial INFOS (2009, Cambridge, UK),
Microelectron. Eng. **86**, pp.1897-1900 (2009)

[C.41] R. Gassilloud, F. Martin, C. Leroux, M. Hoptstaken, X. Garros, **M. Cassé**, G. Reimbold, T. Billon, D. Bensahel.
MOCVD fluorine free WSix metal gate electrode on high-k dielectric for NMOS technology,
Proceedings of 4th IEEE International Symposium on Advanced Gate Stack Technology (ISAGST),
Microelectron. Eng. **86**, pp.263-267 (2009)

[C.42] X. Garros, **M. Cassé**, C. Fenouillet-Beranger, G. Reimbold, F. Martin, C. Gaumer, C. Wiemer, M. Perego, F. Boulanger.
Detrimental impact of technological processes on BTI reliability of advanced high-κ/metal gate stacks,
IEEE International Reliability Physics Symposium, pp.362-366 (2009)

[C.43] X. Garros, **M. Cassé**, M. Rafik, C. Fenouillet-Beranger, G. Reimbold, F. Martin, C. Wiemer, F. Boulanger.
Process dependence of BTI reliability in advanced HK/MG stacks,
Proceedings of 20th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (2009, Arcachon, France),
Microelectron. Reliability **49**, pp.982-988 (2009)

[C.44] X. Garros, **M. Cassé**, G. Reimbold, M. Rafik, F. Martin, F. Andrieu, V. Cosnier, F. Boulanger.
Performance and reliability of advanced High-K/Metal gate stacks,
Proceedings of 16th biennial INFOS (2009, Cambridge, UK),
Microelectron. Eng. **86**, pp.1609-1614 (2009)

[C.45] K. Tachi, **M. Cassé**, D. Jang, C. Dupre, A. Hubert, N. Vulliet, V. Maffini-Alvaro, C. Vizioz, C. Carabasse, V. Delaye, J.M. Hartmann,G. Ghibaudo, H. Iwai, S. Cristoloveanu, O. Faynot, O., T. Ernst.
Relationship between mobility and high-k interface properties in advanced Si and SiGe nanowires,
IEDM Tech. Dig., pp.288-291 (2009)

[C.46] M.-A. Jaud, P. Scheiblin, S. Martinie, **M. Cassé**, O. Rozeau, J. Dura, J. Mazurier, A. Toffoli, O. Thomas, F. Andrieu, and O. Weber .
TCAD simulation vs. experimental results in FDSOI technology : From advanced mobility modeling to 6T-SRAM cell characteristics prediction,
Proceedings International Conference on Simulation of Semiconductor Processes and Devices (SISPAD 2010, Bologna, Italy), pp.283-286

[C.47] L. Brunet, X. Garros, **M. Cassé**, O. Weber, F. Andrieu, C. Fenouillet-Béranger, P. Perreau, F. Martin, M. Charbonnier, D. Lafond, C. Gaumer, S. Lhostis, V. Vidal, L. Brévard, L. Tosti, S. Denorme, S. Barnola, J.F. Damelencourt, V. Loup, , G. Reimbold, F. Boulanger, O. Faynot, A. Bravaix.

New Insight on VT stability of HK/MG stacks with scaling in 30nm FDSOI technology,
Symposium on VLSI Technology Digest of Technical Papers, p.29 (2010)

[C.48] L. Hutin, **M. Cassé**, C. Le Royer, J.F. Damelencourt, A. Pouydebasque, C. Xu, C. Tabone ; J.-M. Hartmann, V. Carron, H. Grampeix, V. Mazzocchi, R. Truche, O. Weber, P. Batude, X. Garros, L. Clavelier, M. Vinet, O. Faynot.
20nm Gate Length Trigate pFETs on Strained SGOI for High Performance CMOS,
Symposium on VLSI Technology Digest of Technical Papers, p.37 (2010)

[C.49] **M. Cassé**, X. Garros, L. Brunet, G. Reimbold.
Impact of the metal gate on carrier transport In HK/MG Transistors,
Proceedings of the int. ECS symp. : Advanced gate stack, source/drain, and channel engineering for Si-based CMOS VI, vol. **28**, n^{o}1, pp.165-176 (2010)

[C.50] **M. Cassé**, X. Garros, O. Weber, F. Andrieu, G. Reimbold, F. Boulanger.
Study of N-induced traps due to nitrided metal gate in HK/MG nMOSFETs,
Proceedings ESSDERC (2010, Seville, Spain), p.325

[C.51] C. Le Royer, **M. Cassé**, F. Andrieu, O. Weber, L. Brevard, P. Perreau, J.-F. Damlencourt, S. Baudot, C. Tabone, F. Allain, P. Scheiblin, C. Rauer, L. Hutin, C. Figuet, C. Aulnette, N. Daval, B.-Y. Nguyen, K. Bourdelle.
Dual Channel and Strain for CMOS Co-Integration in FDSOI Device Architecture,
Proceedings ESSDERC (2010, Seville, Spain), p.206

[C.52] K. Tachi, **M. Cassé**, S. Barraud, C. Dupré, A. Hubert, N. Vulliet, M-E. Faivre, C. Vizioz, C. Carabasse, V. Delaye, J. M. Hartmann, H. Iwai, S. Cristoloveanu, O. Faynot, T. Ernst.
Experimental study on carrier transport limiting phenomena in 10 nm width nanowire CMOS transistors,
IEDM Tech. Dig., pp.784-787 (2010)

[C.53] O. Weber, F. Andrieu, J. Mazurier, **M. Cassé**, X. Garros, C. Leroux, F. Martin, P. Perreau, C. Fenouillet-Béranger, S. Barnola, R. Gassilloud, O. Thomas, J-P. Noel, O. Rozeau, M-A. Jaud, T. Poiroux, D. Lafond, A. Toffoli, F. Allain, C. Tabone, L. Tosti, L. Brévard, P. Lehnen, U. Weber, P.K. Baumann, O. Boissiere, W. Schwarzenbach, K. Bourdelle, B-Y Nguyen, F. Boeuf, T. Skotnicki, O. Faynot.
Work-function engineering in gate first technology for multi-VT dual-gate FDSOI CMOS on UTBOX,
IEDM Tech. Dig., pp.58-61 (2010)

[C.54] L. Hutin, C. Le Royer, F. Andrieu, O. Weber, **M. Cassé**, J.-M. Hartmann, D. Cooper, A. Béché, L. Brevard, L. Brunet, J. Cluzel, P. Batude, M. Vinet, O. Faynot.
Dual Strained Channel co-integration into CMOS, RO and SRAM cells on FDSOI down to 17nm gate length,
IEDM Tech. Dig., pp.253-256 (2010)

[C.55] C. Fenouillet-Beranger, P. Perreau, L. Tosti, O. Thomas, J-P. Noel, T. Benoist, O. Weber, F. Andrieu, A. Bajolet, S. Haendler, **M. Cassé**, X. Garros, K.K. Bourdelle, F. Boedt, O. Faynot, F. Boeuf
Low power UTBOX and Back Plane (BP) FDSOI technology for 32nm node and below,
IEEE International Conference on IC Design & Technology (ICICDT 2011, Kaohsiung, Taiwan)

[C.56] T. Ernst, S. Barraud, K. Tachi, C. Vizioz, T. Magis, P. Brianceau, A. Hubert, N. Vuillet, J.M. Hartmann, **M. Cassé**
Ultra-dense silicon nanowires : A technology, transport and interfaces challenges insight,
Proceedings 17th biennal INFOS (2011, Grenoble, France),
Microelectronic engineering **88**, pp.1198-1202 (2011)

[C.57] T. Signamarchaix, F. Andrieu, B. Biasse, **M. Cassé**, A.M. Papon, E. Nolot, B. Ghyselen, O. Faynot, L. Clavelier
Fully depleted silicon on insulator MOSFETs on (110) surface for hybrid orientation technologies,
Proceedings 6th Workshop of the Thematic Network on Silicon on Insulator Technology, Devices and Circuits,
Solid-State Electronics **59**. pp.8-12 (2011)

[C.58] C. Le Royer, A. Villalon, **M. Cassé**, D. Cooper, J. Mazurier, B. Prévitali, C. Tabone, P. Perreau, J.-M. Hartmann, P. Scheiblin, F. Allain, F. Andrieu, O. Weber, P. Batude, O. Faynot and T. Poiroux
First Demonstration of Ultrathin Body c-SiGe Channel FDSOI pMOSFETs combined with SiGe(:B) R_{SD} : Drastic Improvement of Electrostatics ($V_{th,p}$ tuning, DIBL) and Transport (μ_0, I_{sat}) Properties down to 23nm Gate Length,
IEDM Tech. Dig., 16.5.1 (2011)

[C.59] C.Fenouillet-Beranger, P. Perreau, **M. Cassé**, X. Garros, C. Leroux, F. Martin, R. Gassilloud, A. Bajolet, L. Tosti, S. Barnola, F. Andrieu, O. Weber, R. Beneyton, C. Perrot, C. de Buttet, F. Abbate, B. Pernet, Y. Campidelli, L. Pinzelli, P. Gouraud, J.L. Huguenin, C. Borowiak, S. Peru, L. Clement, R. Pantel, K.K. Bourdelle, B.Y. Nguyen, F. Boedt, S. Denorme, O. Faynot, T.Skotnicki, F. Boeuf
UTBOX and Ground Plane combined with Al_2O_3 inserted in TiN gate for V_T modulation in Fully-depleted SOI CMOS transistors,

International Symposium on VLSI Technology, Systems, and Applications (VLSI-TSA, 2011)

[C.60] G. Reimbold, **M. Cassé**, X. Garros, C. Leroux, M. Charbonnier, L. Brunet, S. Baudot, P. Caubet, C. Fenouillet-Béranger, F. Andrieu, O. Weber, P. Perreau, F. Martin
In depth characterization of electrical effects of dopants (Al, La, Mg, N) in high-k/metal gate stacks,
Proceedings International Conference on Solid-State Devices and Materials (SSDM, 2011)

[C.61] S. Morvan, F. Andrieu, **M. Cassé**, P. Nguyen, O. Weber, P. Perreau, C. Tabone, F. Allain, A. Toffoli, G. Ghibaudo, T. Poiroux
Comparison between <100> and <110> oriented channels in highly strained FDSOI nMOSFETs,
International Conference on Ultimate Integration on Silicon (ULIS 2012, Grenoble, France), pp.173-176

[C.62] R. Coquand, S. Barraud, **M. Cassé**, P. Leroux, C. Vizioz, C. Comboroure, P. Perreau, T. Ernst, M. Samson,V. Maffini-Alvaro, C. Tabone, S. Barnola, D. Munteanu, G. Ghibaudo, S. Monfray, F. Boeuf, T. Poiroux
Scaling of high-k/metal-gate trigate SOI nanowire transistors down to 10nm width,
International Conference on Ultimate Integration on Silicon (ULIS 2012, Grenoble, France), pp.37-40

[C.63] R. Coquand, **M. Cassé**, S. Barraud, P. Leroux, D. Cooper, C. Vizioz, C. Comboroure, P. Perreau, V. Maffini-Alvaro, C. Tabone, L. Tosti, F. Allain, S. Barnola, V. Delaye, F. Aussenac, G. Reimbold, G. Ghibaudo, D. Munteanu, S. Monfray, F. Boeuf, O. Faynot, T. Poiroux
Strain-Induced Performance Enhancement of Tri-Gate and Omega-Gate Nanowire FETs Scaled Down to 10nm Width,
Symposium on VLSI Technology Digest of Technical Papers, p.13 (2012)

[C.64] M. Koyama, **M. Cassé**, R. Coquand, S. Barraud, H. Iwai, G. Ghibaudo, G. Reimbold
Study of Carrier Transport in Strained and Unstrained SOI Tri-gate and Omega-gate Si Nanowire MOSFETs,
Proceedings ESSDERC (2012, Bordeaux, France), pp.

[C.65] C. Xu, P. Batude, M. Vinet, M. Mouis, **M. Cassé**, B. Sklénard, B. Colombeau, Q. Rafhay, C. Tabone, J. Berthoz, B. Previtali, J. Mazurier, L. Brunet, L. Brevard, F.A. Khaja, J.-M. Hartmann, F. Allain, A. Toffoli, R. Kies, C. Le Royer, S. Morvan, A. Pouydebasque, X. Garros, A. Pakfar, C. Tavernier, O. Faynot, T. Poiroux
Improvements in Low Temperature (<625°C) FDSOI Devices down to 30nm gate length,
International Symposium on VLSI Technology, Systems, and Applications (VLSI-TSA, 2012)

[C.66] S. Morvan, F. Andrieu, P. Nguyen, J.-M. Hartmann, **M. Cassé**, C. Tabone, A. Toffoli, W. Schwarzenbach, G. Ghibaudo, B.-Y. Nguyen, N. Daval, M. Haond, T. Poiroux, O. Faynot
Comparison between <100> and <110> oriented channels in highly strained FDSOI pMOSFETs,
Proceedings IEEE Int. SOI Conference (2012, Napa, CA, USA), pp.

[C.67] **M. Cassé**, S. Barraud, C. Le Royer, M. Koyama, R. Coquand, D. Blachier, F. Andrieu, G. Ghibaudo, O. Faynot, T. Poiroux, G. Reimbold
Study of piezoresistive properties of advanced CMOS transistors : thin film SOI, SiGe/SOI, unstrained and strained Tri-Gate Nanowires,
IEDM Tech. Dig., p.637 (2012)

[C.68] **M. Cassé**, S. Barraud, R. Coquand, M. Koyama, D. Cooper, C. Vizioz, C. Comboroure, P. Perreau, V. Maffini-Alvaro, C. Tabone, L. Tosti, S. Barnola, V. Delaye, F. Aussenac, G. Ghibaudo, H. Iwai, G. Reimbold
Strain-Enhanced Performance of Si-Nanowire FETs,
ECS Transactions **53** (3), pp.125-136 (2013)

[C.69] M. Koyama, **M. Cassé**, R. Coquand, S. Barraud, G. Ghibaudo, H. Iwai, G. Reimbold
Study of Low-Frequency Noise in SOI Tri-gate Silicon Nanowire MOSFETs,
Int. Conf. on Noise and Fluctuations (2013, Montpellier, France)

[C.70] A. Villalon, C. Le Royer, D. Cooper, S. Cristoloveanu, **M. Cassé**, J.-M. Hartmann, F. Allain, C. Tabone and T. Poiroux
Record ON Currents for FDSOI HK-MG n & p-type Tunnel FETs by Using Ultrathin Strained SiGe Body,
Euro SOI (2013, Paris, France)

[C.71] S. Morvan, F. Andrieu, C. Leroux, X. Garros, **M. Cassé**, F. Martin, R. Gassilloud, Y. Morand,C. Le Royer, P. Besson, C. Euvrard, M. Rivoire, A. Seignard, L. Desvoivres, S. Barnola, N. Allouti, P. Caubet, U. Weber, P.K. Baumann, O. Weber, L. Tosti, P. Perreau, F. Ponthenier, G. Ghibaudo, T. Poiroux
Gate-Last Integration on planar FDSOI for low-VTp and low-EOT MOSFETs,
Proceedings of 18th biennial INFOS (2013, Cracovie, Poland),
Microelectron. Eng. **109**, pp.306-309 (2013)

[C.72] S. Barraud, R. Coquand, V. Maffini-Alvaro, M.-P. Samson, J.-M. Hartmann, **M. Cassé**, F. Triozon, Y.-M. Niquet, C. Tabone, L. Tosti, F. Allain, C. Vizioz, C. Comboroure, F. Aussenac, S. Monfray, G. Ghibaudo, F. Boeuf, B. De Salvo, and O. Faynot
Scaling of Ω-Gate SOI Nanowire N- and P-FET down to 10nm Gate Length : Size- and Orientation-Dependent Strain Effects,
Symposium on VLSI Technology Digest of Technical Papers, p. (2013)

[C.73] R. Coquand, S. Monfray, S. Barraud, M.-P. Samson, J. Lacord, **M. Cassé**, C. Arvet, J. Pradelles, J. Bustos, L. Martin, J.-M. Hartamnn, L. Clement, A. Pofelski, K. Lepinay, F. Boeuf, M. Koyama, P. Perreau, L. Tosti, G. Ghibaudo, O. Faynot, T. Poiroux, T. Skotnicki
Innovative through-Si 3D lithography for ultimate Self-Aligned Planar Double-Gate and Gate-All-Around nanowire transistors,
Symposium on VLSI Technology Digest of Technical Papers, p. (2013)

Troisième partie

ANNEXES

A

SÉLECTION DE PUBLICATIONS SIGNIFICATIVES

Carrier Transport in HfO_2/Metal Gate MOSFETs: Physical Insight Into Critical Parameters

Mikaël Cassé, Laurent Thevenod, Bernard Guillaumot, Lucie Tosti, François Martin, Jérôme Mitard, Olivier Weber, François Andrieu, Thomas Ernst, *Member, IEEE*, Gilles Reimbold, *Member, IEEE*, Thierry Billon, Mireille Mouis, *Member, IEEE*, and Fabien Boulanger

***Abstract*—Electron and hole mobility in HfO_2/metal gate MOSFETs is deeply studied through low-temperature measurements down to 4.2 K. Original technological splits allow the decorrelation of the different scattering mechanisms. It is found that even when charge trapping is negligible, strong remote coulomb scattering (RCS) due to fixed charges or dipoles causes most of the mobility degradation. The effective charges are found to be located in the HfO_2 near the SiO_2 interface within 2 nm. Experimental results are well reproduced by RCS calculation using 7×10^{13} cm^{-2} fixed charges at the HfO_2/SiO_2 interface. We also discuss the role of remote phonon scattering in such gate stacks. Interactions with surface soft-optical phonon of HfO_2 are clearly evidenced for a metal gate but remain of second order. All these remote interactions are significant for an interfacial oxide thickness up to 2 nm, over which, these are negligible. Finally, the metal gate (TiN) itself induces a modified surface-roughness term that impacts the low to high effective field mobility even for the SiO_2 gate dielectric references.**

***Index Terms*—Dielectric materials, HfO_2, metal gate, MOSFETs.**

I. Introduction

HIGH-PERMITTIVITY dielectrics, as an alternative of conventional SiO_2 gate oxide, are widely investigated for their capability to reduce gate-leakage current for the same electrical capacitance [1]–[3]. The metal-gate electrode has also attracted attention to overcome the polydepletion effect that appears under gate inversion condition for poly-Si gates, and the incompatibility between some high-k materials and poly-Si [4]. Hafnium-based dielectrics are the most promising candidates, or at least the most studied. Among the issues raised by the integration of these new materials, the loss of carrier mobility systematically observed in devices, whatever the kind of high-k dielectric, remains of crucial importance [5]. It has been suggested that the mobility loss is a combination of several physical mechanisms [6], namely: remote coulomb scattering (RCS), remote soft-optical phonon scattering (RPS), material parameter variations, or inhomogeneity (thickness, roughness, and permittivity). However, the clear answer suffers from a lack of real concluding experimental evidences.

In particular, there is no consensus yet on the relative importance of soft-optical phonon scattering specific to high-k dielectrics and the impact of RCS due to charges away from the inversion layer. A complete theoretical description of soft-optical phonon scattering has been given together with experimental evidence in HfO_2- or Hf-based dielectric devices [7]–[10], and these claim a prominent role of this interaction in high-k devices. However, these measurements were dealing with a poly-Si gate. An experimental observation of the reduction of this scattering in the case of a metallic gate has been reported [11]–[13], and thus modulates the impact of this particular interaction for high-k/metal gate. Moreover, the experimental extraction procedure of the soft-optical phonon contribution suffers from a huge uncertainty due to multiple data manipulations [9].

On the other hand, various experimental studies [14]–[17] as well as numerical calculations [6], [18] showed that strong coulomb scattering could occur, as far as HfO_2 is concerned, due to fixed charges in the high-k layer.

Whatever remote scattering mechanism may be involved, it appears that the interfacial layer underneath the high-k layer plays an important role by varying the distance, and consequently the strength, of the remote interaction(s) [2], [6], [17], [19].

In this paper, we investigate the electron and hole mobility in devices integrating both a high-k dielectric (HfO_2) and a metal gate (TiN). We present new accurate characterizations of HfO_2/TiN transistors, thanks to a broad range of technological parameters (underlying SiO_2 and HfO_2 thicknesses) and wide measurement conditions (temperature, pulsed current), together with comparison with SiO_2/TiN reference devices. The aim is to give a physical insight into the critical parameters in such a gate stack.

We have addressed the impact of TiN itself on mobility as it participates in the overall degradation often fully attributed to the high-k dielectric. The specific role of interlayer thickness has been then carefully investigated. RCS and RPS have been decorrelated to determine the predominant mechanism. Finally, we have performed an RCS-limited mobility calculation for electrons in order to compare it with the wide

Manuscript received July 29, 2005; revised October 28, 2005. This work is partially funded by European Commission, MEDEA project, and Alliance program. The review of this paper was arranged by Editor C.-Y. Lu.

M. Cassé, L. Thevenod, L. Tosti, F. Martin, F. Andrieu, T. Ernst, G. Reimbold, T. Billon, and F. Boulanger are with the Commissariat à l'Energie Atomique-Direction de la Recherche Technologique/Laboratoire d'Electronique et des Technologies de l'Information (CEA-DRT/LETI), 38054 Grenoble Cedex 9, France (e-mail: mikael.casse@cea.fr).

B. Guillaumot and J. Mitard are with STMicroelectronics, Crolles, France.

O. Weber is with the Laboratoire de Physique de la Matière (LPM)-Institut National des Sciences Appliquées (INSA), Lyon, Villeurbanne Cedex 69621, France.

M. Mouis is with the Institute of Microelectronics, Electromagnetism and Photonics (Centre National de la Recherche Scientifique/Institut National Polytechnique de Grenoble/Université Joseph Fourier Joint Research Unit), 38016 Grenoble Cedex 1, France.

Digital Object Identifier 10.1109/TED.2006.870888

0018-9383/$20.00 © 2006 IEEE

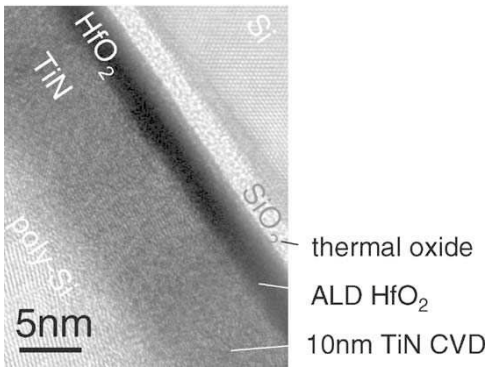


Fig. 1. TEM picture of the typical gate stack studied in this paper.

TABLE I
SUMMARY OF THE DIFFERENT $SiO_2/HfO_2/TiN$ GATE STACKS STUDIED IN THIS PAPER

Thickness (Å)		EOT (Å)
SiO_2	**HfO_2**	
15		17
20		20.8
25		24.7
10	30	16.4
12	30	19
15	30	21.5
20	30	25.6
25	30	29.6
8	45	15.8
8	30	12.9
8	25	11.2
8	20	10.7

range of experimental data and to give a more quantitative analysis.

II. Experimental Devices and Set-Up

A damascene replacement gate process was used to fabricate the transistors [20]. The gate stack includes 0.8–2.0-nm interfacial SiO_2 oxide, 2–4.5-nm HfO_2 deposited by atomic layer deposition (ALD) followed by a 600 °C anneal. The gate stack was finished with a 10-nm chemical vapor deposition (CVD) TiN capped with poly-Si [see the transmission electron microscopy (TEM) picture in Fig. 1]. SiO_2/TiN MOSFETs were also fabricated using the same technology (see details in Table I). Finally, ultrathin SiO_2/poly-Si devices [12–40 Å equivalent oxide thickness (EOT)] were used as reference. The doping concentration for all our devices is about $N_{\rm sub} = 2 \times 10^{17}$ cm^{-3}. We have carefully measured the electron mobility by split capacitance–voltage (*C–V*) [21] on long devices ($L = 10$ μm, $W = 10$ μm). We have used pulsed gate voltage to obtain the drain current (Fig. 2) [22]–[24] in order to avoid the effect of charge trapping, which could lead to an erroneous extracted mobility [5]. However, we do not notice any hysteresis of the drain current for HfO_2 thickness up to 3 nm. This demonstrates that charge trapping has little impact on these devices and ensures a correct trap-free mobility extraction even with a standard split-*CV* measurement. The effective electric field is determined as in the standard split-*CV* technique using $E_{\rm eff} = (Q_{\rm dep} + \eta Q_{\rm inv})/\epsilon_{si}$, with $\eta = 1/2$ for electrons and $\eta = 1/3$ for holes. The depletion charge $Q_{\rm dep}$ is calculated by the integral of the gate-to-body capacitance from the flat-band voltage $V_{\rm fb}$ to the inversion. A cryogenic prober has allowed us to measure the mobility in a large range of temperatures from 400 K down to 4.2 K.

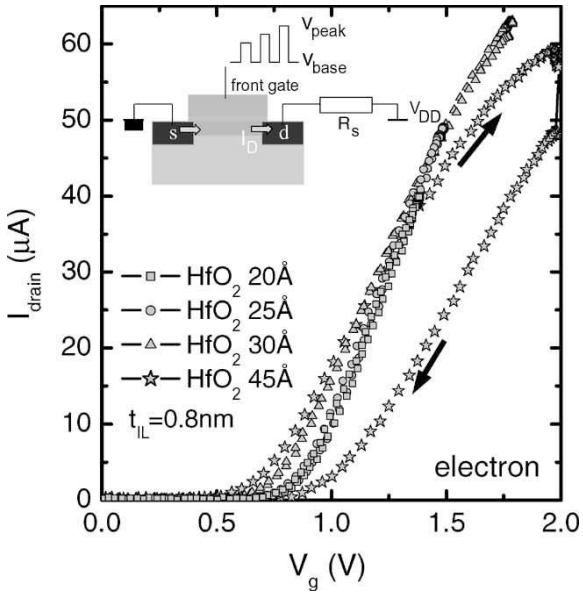


Fig. 2. Drain current measured by pulsed technique for different $t_{\rm HfO_2}$ in NMOS devices. No significant hysteresis is observed from 2 up to 3 nm, showing no significant trapping effect in this thickness range. Inset: schematic of the experimental set-up used to perform the pulsed measurement, as described in [23].

III. Experimental Results

First, we have investigated the effect of the metal gate alone on the mobility. Electron and hole mobility measured on SiO_2/TiN and SiO_2/poly-Si devices is shown on Figs. 3 and 4. A clear mobility reduction is observed at low electric field for both types of carriers for TiN devices with respect to poly-Si devices (which match the universal mobility). At a higher field, electron-mobility behavior is reversed and an enhancement is measured. On the other hand, hole mobility is degraded on the whole range of the electric field covered. These results point out that the TiN material itself strongly modifies the mobility as compared to the universal mobility. As a result, the mobility degradation reported in high-k/metal-gate devices, usually fully attributed to the high-k dielectric, is incorrect since the metal gate participates in a nonnegligible part. This also highlights the need of SiO_2/metal reference devices in order to perform a relevant analysis of high-k integration effect on mobility.

The mobility degradation for both electrons and holes at the low field suggests a coulombic origin for this degradation, and

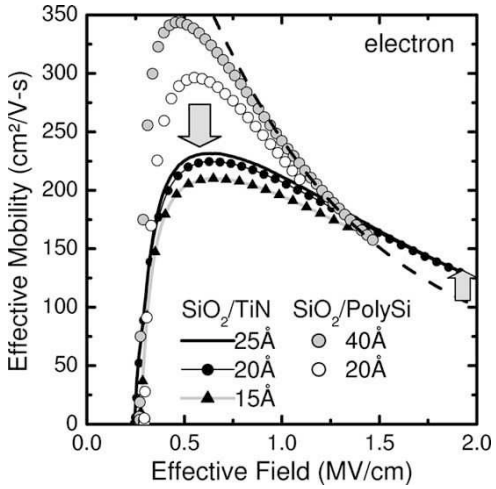


Fig. 3. Comparison of electron mobility measured in SiO_2 devices with a poly-Si gate (symbols) and with a TiN gate (line + symbols). A clear degradation is observed at the low field whereas this trend is reversed at the higher field with mobility enhancement in TiN samples with respect to poly-Si devices. The universal behavior (dashed line) is also given, showing no mobility degradation due to RCS induced by the poly-Si gate for the thickest SiO_2 (40 Å).

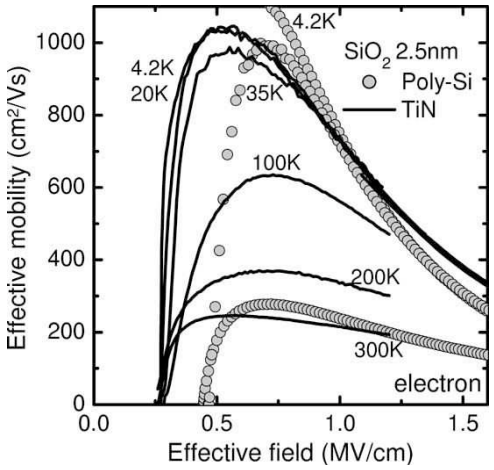


Fig. 5. Effective electron mobility as a function of electric field for SiO_2 2.5 nm/TiN device (bold lines) for different temperatures from 300 K (down curve) down to 4.2 K (up curve). The temperature-independent surface-roughness component μ_{SR} is extracted at 4.2 K. The corresponding SiO_2 2.5 nm/poly-Si devices (symbols) measured at 300, 35, and 4.2 K is shown for comparison.

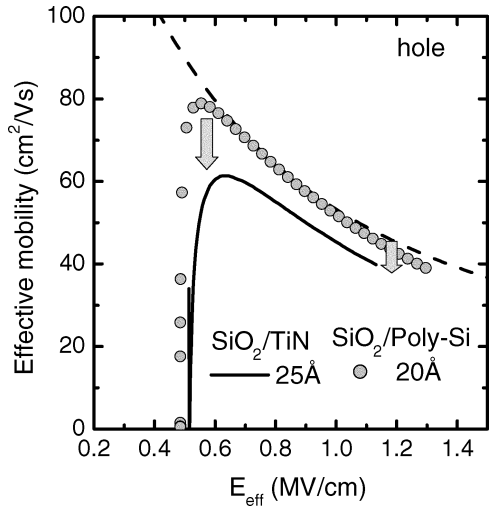


Fig. 4. Same as Fig. 3, but for holes. However, no enhancement is measured; mobility degradation is observed in the whole range of the electric field.

may result from chemical species introduced by the metal-gate process ($TiCl_4$ and NH_3 precursors for CVD TiN).

The high-field behavior is, however, more puzzling. It has already been reported that a TiN layer induces a compressive strain in the channel (typically 200 MPa in the middle of the channel) due to high residual biaxial tensile stress in 10-nm CVD TiN [25]. However, a deeper look at Figs. 3 and 4 shows that this strain cannot be responsible for the specific behavior in our devices. Indeed, at high field, the hole mobility is degraded, whereas electron mobility is enhanced. However, an enhancement of the hole mobility and a decreasing of the electron mobility is predicted theoretically for a compressive stress in the (100) plane [26]. As a consequence, the strain induced by TiN cannot explain our experimental observations. A very similar behavior has been observed in the past in oxinitride dielectrics, in the 10-nm thickness range, for both holes and electrons (see [27] and references therein). Various models have been proposed to describe this particular behavior. A surface roughness modified by the screening by charged (border) traps has especially been proposed to explain the high-field electron-mobility enhancement [28]. We have performed further measurements at low temperature down to 4.2 K (see Fig. 5 and [29]). The results show that the behavior observed at 300 K at medium and high field is still present at low temperature. Moreover, the high-field mobility (over 0.8 MV/cm) is temperature independent under 50 K once the phonon contribution is eliminated. This strongly suggests that the high-field behavior is due to a surface-roughness-like effect. Fig. 3 shows the low influence of the oxide thickness down to 2-nm SiO_2. Thus, a remote influence of the TiN material by its surface roughness seems unprobable [30], at least down to 2 nm of physical oxide thickness. Therefore, the roughness of the SiO_2/Si interface may be modified in the case of a TiN gate with respect to the poly-Si gate case. The origin of the roughness modulation modeled in [29] is not yet well understood. It may be due to a "coulombic shield" by a different high-energy interface trap density, as suggested for nitrided oxides. Some studies also show that the strain can change the Si/SiO_2 interface-roughness parameters (correlation length and rms roughness), leading to a smoother interface [31]. However, it deals with highly strained devices (typically 10 GPa), whereas TiN is estimated to induce roughly only 100 MPa. Thus, the question is still open.

The effect of the vicinity of HfO_2 on carrier mobility is clearly demonstrated in Figs. 6 and 7 for both electrons and holes. The high-k dielectric layer over the SiO_2 degrades the mobility, as compared to SiO_2 alone, as soon as this interface layer (IL) is thinner than 2 and 1.2 nm for electrons and holes, respectively. Moreover, the electron and hole mobility is further reduced by decreasing the IL thickness, which shows the effect of a remote scattering mechanism. This remote effect is effective for an IL thickness in the nanometer range for both types of carriers. The great impact of this parameter in this range is inconsistent with the requirement to achieve low EOT. Thus, a

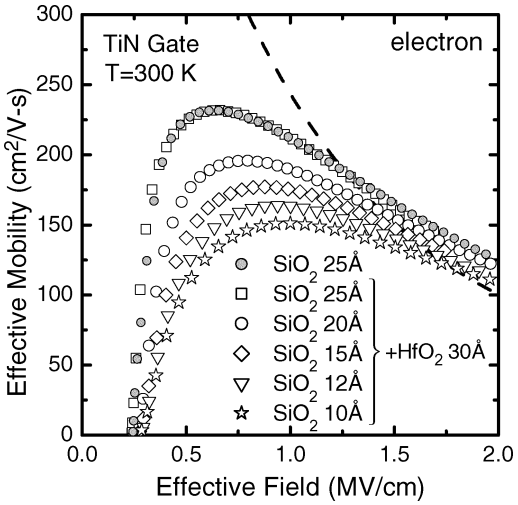


Fig. 6. Electron effective mobility measured as a function of $E_{\rm eff}$ for different ILs from 10 to 25 Å. The reference SiO_2/TiN is also given (filled symbols).

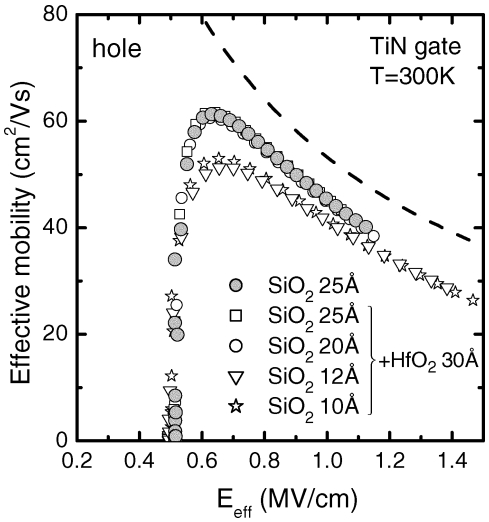


Fig. 7. Hole effective mobility measured as a function of $E_{\rm eff}$ for different ILs from 10 to 25 Å. The reference SiO_2/TiN is also given (filled symbols).

compromise has to be found between low EOT on one side and high mobility and low leakage current on the other side.

IV. Analysis and Discussion

These results are further supported by the extraction of the additional-mobility component between HfO_2/TiN and SiO_2/TiN devices (Fig. 8) defined as

$$\mu_{\rm add} = \left(\frac{1}{\mu_{\rm HfO_2}} - \frac{1}{\mu_{\rm ref}}\right)^{-1} \quad (1)$$

following Mathiessen's rule, where $\mu_{\rm ref}$ is the 25-Å thick SiO_2/TiN device mobility taken as the reference. The choice of the 25-Å thick oxide as the reference is justified by the following remarks. The mobility of the 25-Å SiO_2/TiN devices is the highest mobility that can be reached with TiN. In addition, no degradation of the mobility is observed between the 25-Å SiO_2/TiN and the 25-Å $SiO_2/HfO_2/TiN$ devices (Figs. 6 and 7). This suggests that the specific TiN influence remains unchanged by the introduction of the HfO_2 layer.

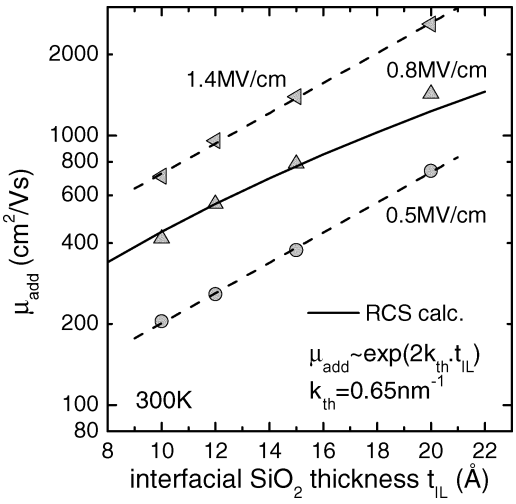


Fig. 8. Additional mobility $\mu_{\rm add}$ defined by (1) extracted at different $E_{\rm eff}$ as a function of $t_{\rm IL}$ showing exponential dependence of additional-mobility component with $t_{\rm IL}$ (dashed lines). The bold line shows the calculated RCS-limited mobility with $Q_{\rm fix} = 7 \times 10^{13}$ cm^2 (see text for details).

Fig. 8 shows that the additional mobility is an exponential function of the interfacial-layer thickness $t_{\rm IL}$ as $\mu_{\rm add} \propto \exp(2k_{\rm th}t_{\rm IL})$, whatever the effective field $E_{\rm eff}$ is, with $k_{\rm th} = 0.65$ nm^{-1}. This is in agreement with theoretical predictions for a remote scattering mechanism [6], [7]. As a consequence, this behavior is the clear signature of one or several remote scattering mechanisms that are thus responsible for the degradation in HfO_2 devices. Among others, two remote interactions have been evoked to explain the mobility degradation, as already stated in the Introduction: RCS due to charges located in the high-k dielectric layer, and RPS with soft-optical phonons specific to HfO_2. In the following section, we try to clarify this issue.

A. Role of Remote Charges: Experimental Evidence and Modeling

Fig. 9 shows the additional mobility extracted for different bottom-oxide thicknesses from experimental data of Fig. 6. We observe that the additional component increases linearly with the electric field, or more precisely with the inversion charge, in the low/medium-field regime. This behavior strongly suggests that the additional mechanism is due to coulomb scattering [32], [33]. Indeed, the soft-phonon-limited mobility is expected to decrease with increasing field, and may be effective at a higher field, as observed experimentally in [12] in devices with a similar gate stack. Some theoretical studies have rather shown that the soft-optical-phonon-limited mobility might increase with electric field [8]. However, they have also evidenced a strongly nonlinear dependence with the inversion-layer density, which is still inconsistent with our data. This shows then, without ambiguity, the coulombic origin of the added mobility at low/medium inversion density. Furthermore, the exponential dependence with the interfacial thickness (Fig. 8) shows that this coulomb scattering is induced by remote charges above the

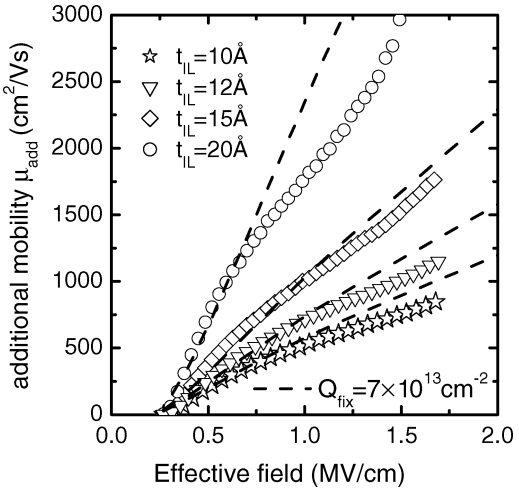


Fig. 9. Additional-mobility component $\mu_{\rm add}$ as a function of $E_{\rm eff}$ extracted from data of Fig. 6. Linear dependence with $E_{\rm eff}$ at low and medium fields is clearly evidenced. The dashed lines correspond to the RCS-limited mobility calculated with a fixed charge $Q_{\rm fix} = 7 \times 10^{13}$ cm^2 for the corresponding IL thicknesses (see text for details).

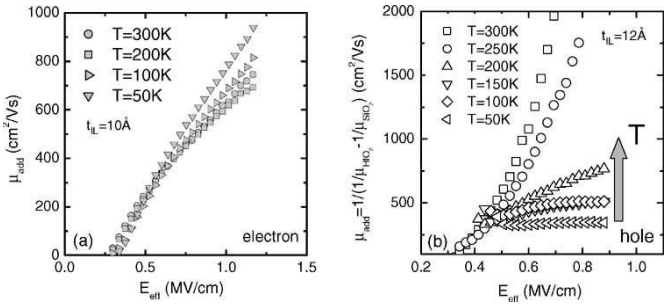


Fig. 10. $\mu_{\rm add}$ component of the $t_{\rm IL} = 1$ nm device as a function of $E_{\rm eff}$ for different temperatures from 300 K down to 50 K for (a) electrons and (b) holes. Increasing of $\mu_{\rm add}$ with temperature is observed for both types of carriers at low–medium field, but this dependence is slighter for electrons.

SiO_2 bottom oxide, most probably in the bulk HfO_2 layer or at the SiO_2/HfO_2 interface [18], [34]. We also observe a slight positive temperature dependence of $\mu_{\rm add}$ at low–medium field down to 50 K for both electrons and holes (Fig. 10), as predicted for CS [33], [35]—due to the screening effect of inversion carriers. This is a further evidence of the coulombic nature of this scattering.

The apparent difference in the degradation amplitude between electrons and holes (Figs. 6 and 7) is simply due to the fact that the hole mobility is intrinsically more limited by the interactions with phonons than the electron mobility. As a result of the combination of the different scattering terms through the Mathiessen's rule, at low $N_{\rm inv}$, the same RCS component for both types of carriers has a relatively lower impact on the total hole mobility.

To complete the study, we have made the calculation of the RCS-limited mobility $\mu_{\rm RCS,theo}$ for electrons using the momentum relaxation time approach [36]. We have calculated the first two energy levels, primed an unprimed, using a home made 1D-Poisson-Schrödinger solver [37]. The scattering potential induced by a point charge has been evaluated by solving the Poisson equation through the gate stack $(Si/SiO_2/HfO_2)$, as

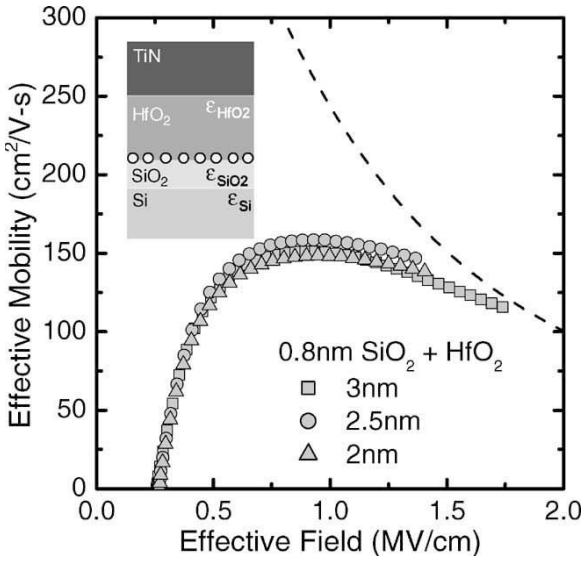


Fig. 11. Electron effective mobility as a function of $E_{\rm eff}$ for different HfO_2 thicknesses. No significant dependence with $t_{\rm HfO_2}$ is observed, supporting the assumption of surface charges at the SiO_2/HfO_2 interface (schematic in inset).

first calculated by Ando *et al.* [32] and in more recent works [18], [34], [38]–[40]. We have taken into account the screening by the inversion charges, and only intrasubband scattering has been considered. For this calculation, fixed charges are located at the HfO_2/SiO_2 interface with a uniform surface distribution (see inset of Fig. 11). This assumption is supported by the experimental data of Fig. 11, showing no significant dependence of $\mu_{\rm eff}$ with the HfO_2 thickness from 2 up to 3 nm and is supported by other published works [14], [41]. We discuss further in the text the relevance of the conclusions obtained from this assumption. The only fitting parameter is the amount of fixed charges $Q_{\rm fix}$. For $Q_{\rm fix} = 7 \times 10^{13}$ cm^{-2}, we have obtained a very good agreement between the experimental additional mobility and the calculation (Figs. 8 and 9) at low and medium electric field, and for all the interfacial-layer thicknesses. This additional theoretical component $\mu_{\rm RCS,theo}$ has then been added to the experimental SiO_2/TiN reference using Mathiessen's rule in order to rebuild the effective mobility in the HfO_2 samples. The comparison between the experimental data and the rebuilt curves are shown on Fig. 12. Excellent agreement is obtained on the whole range of electric field showing the predominant role of the RCS in the devices. Note also the rather good agreement even at low temperature down to 50 K (Fig. 13) with the same RCS contribution as the one calculated at 300 K.

This RCS model, with the assumption of interfacial fixed charges, can explain the main degradation reported in HfO_2/TiN devices. However, we have also performed the calculation with a volumic distribution within a 3-nm bulk HfO_2. Similar results can be obtained with a bulk density of 3×10^{20} cm^{-3} uniformly distributed because of the exponential dependence of the coulombic scattering potential with the distance from the inversion charges. We have demonstrated the coulombic nature of the additional-mobility term, at least at low/medium carrier density. The RCS model particularly shows the huge coulombic interaction needed to describe the degradation observed. A

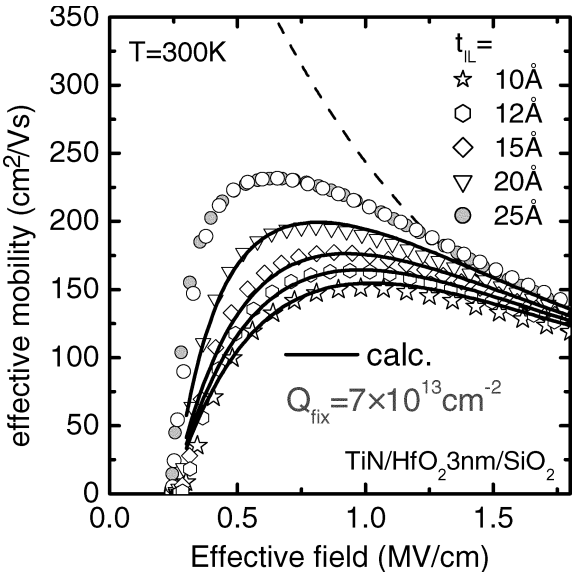


Fig. 12. Calculated electron mobility for $Q_{\rm fix} = 7 \times 10^{13}$ cm^2 at the SiO_2/HfO_2 interface for the different interfacial-layer thicknesses (bold lines) compared with experimental data of Fig. 6 (symbols).

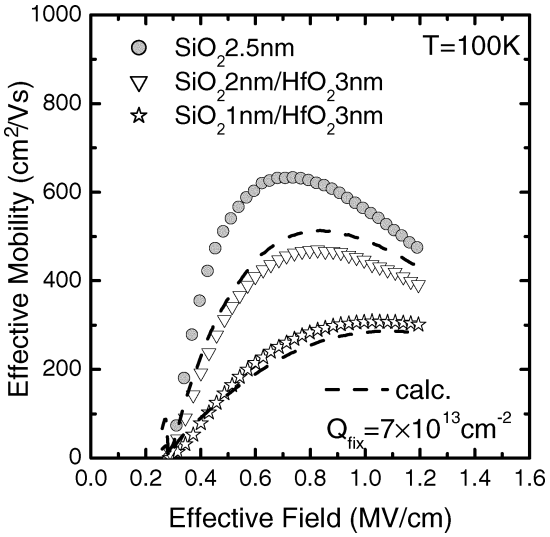


Fig. 13. Same as Fig. 12, but for $t_{\rm IL} = 2$ nm and $t_{\rm IL} = 1$ nm alone measured at $T = 100$ K. Good agreement between calculated curves and experimental data is still observed at this temperature.

large amount of charges may be involved in scattering. This is in agreement with estimations given in other studies for the same high-dielectric-constant material, in which they have also considered fixed charges [6], [42], [43].

The large density of charges does not seem consistent with the flat-band $V_{\rm FB}$ measurement (not shown) nor with the trapped-charge density (no hysteresis has been measured on these devices, as seen in Fig. 2). This inconsistency remains a question. As already suggested in the literature, this contradiction could be overcome if both negative and positive charges are present in similar densities. For instance, it could be the case with dipoles that are globally neutral but with distinct barycenters for the negative and the positive charges [6], [44], [45]. In that case, the large value found for $Q_{\rm fix}$,

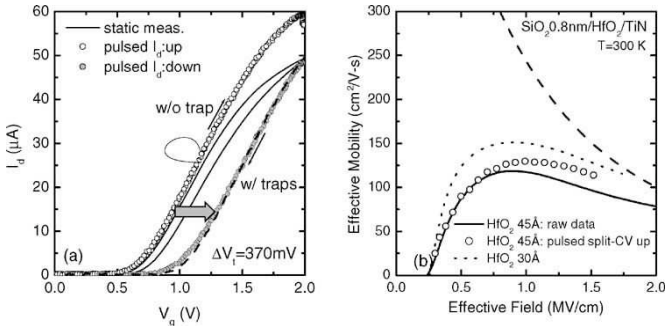


Fig. 14. (a) Pulsed drain current (symbols) measured for constant trapped (filled) and untrapped (open) state showing a V_t shift of 370 mV. The static measurement (bold line) shows the continuous filling of the traps when the electric field increases, and identically, the continuous unfilling of the traps for decreasing $E_{\rm eff}$. (b) Corresponding effective mobilities showing the error made at high electric field due to the trapping effect on static I_d measurement. The mobility for thinner HfO_2 devices is plotted for comparison.

around 10^{13}–10^{14} cm^{-2}, might be in agreement with a density of interface dipoles due to charge transfer upon interface bonds [46]. In that case, the polarization charge should also depend on the electric field across the dielectric. Another explanation for both positive and negative charges is the presence of different defects inherent to the process (oxygen vacancies VO^+, VO^0, VO^-, interstitials, etc.) and commonly reported in HfO_2 [47]. Moreover, a high density of charged defects can exist in such dielectrics as reported in [23]. It has been estimated that the density of traps responsible for the hysteresis in thicker HfO_2 layers—and due to some of these defects—is of the same order of magnitude.

All these results deal with thin HfO_2 layers (up to 3 nm) for which no hysteresis has been observed. On the other hand, the hysteresis measured on thicker samples (4.5 nm on Fig. 2) reveals a nonnegligible trapping effect in that case. The downward trace of the pulsed drain current plotted on Fig. 14(a) (without detrapping during this measurement, and so with a constant density of filled traps) exactly coincides with the upward trace (without filled traps) only shifted by $\Delta V_t = 370$ mV. This shift of the threshold voltage is due to the screening of the electric field by the filled traps. As the drain current is proportional to $\mu_{\rm eff}$

$$I_{\rm Drain} = \mu_{\rm eff} C_{\rm ox} (V_g - V_t) V_D \frac{W}{L} \tag{2}$$

this single V_t shift clearly shows that the traps do not degrade the channel mobility $\mu_{\rm eff}$ significantly.

Notice that another phenomenon is observed in this thicker layer. Indeed, even trap correction of the raw data by a pulsed *CV*-split method does not allow the complete recovery of the mobility of the thinner samples [Fig. 14(b)] at low and medium field. This suggests that the process of thicker HfO_2 layers (≥ 4.5 nm) induces either additional remote charges or a change in the morphologic structure of the high-k dielectric [17], [24], [48], [49].

B. Remote Phonon Scattering (RPS)

We have shown that RCS can explain most of the degradation in HfO_2-based transistors. It does not mean however

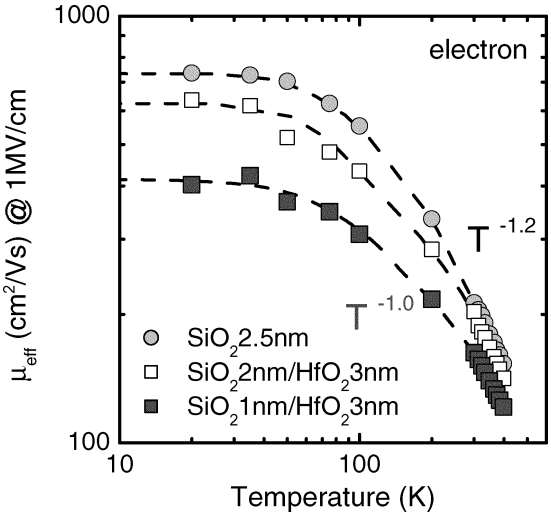


Fig. 15. Temperature dependence of $\mu_{\rm eff}$ measured at the high field for HfO_2 devices with a thin interface (1 nm) and a thicker interface (2 nm). SiO_2/TiN is also given for reference. Only a slight temperature-dependence difference is observed at high temperature.

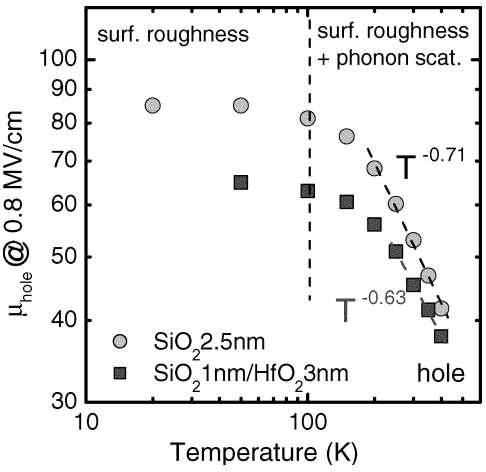


Fig. 16. Temperature dependence of $\mu_{\rm eff}$ measured at the high field for HfO_2 devices with a thin interface (1 nm) compared with the SiO_2/TiN reference. As for electron, only a slight temperature-dependence difference is observed at high temperature.

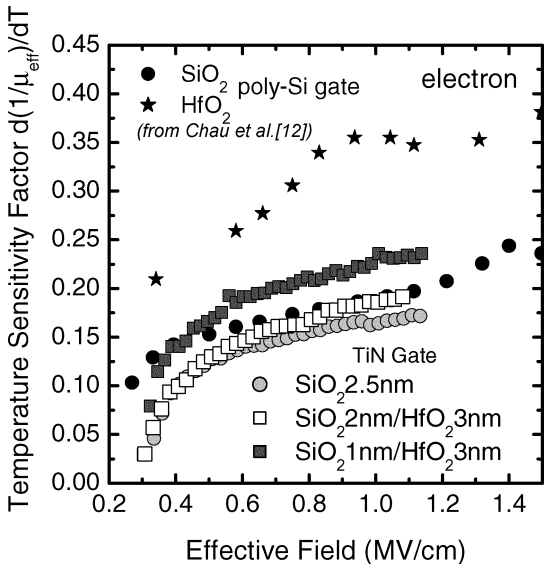


Fig. 17. Electron temperature sensitivity factor of the HfO_2 devices with a thin interface (1 nm) and a thicker interface (2 nm) and for the SiO_2/TiN reference. Data from [12] are also shown for the SiO_2/poly-Si gate reference.

that soft-optical phonons do not play a role at all. Thus, the temperature behavior observed at the high field for the electron additional mobility (Fig. 10), i.e., slight increase of $\mu_{\rm add}$ for decreasing temperature, could be due to an additional phonon scattering. It has been calculated that soft-optical phonons, when effective, should lead to a lower temperature dependence of the effective mobility than bulk acoustical Si phonons [8], [9], [13]. However, the slight temperature dependence of the surface-roughness term and of the coulomb-scattering term practically dissimulates this effect [33], [50]. Figs. 15 and 16 show the temperature dependence of $\mu_{\rm eff}$ measured at 1 MV/cm for electrons and holes, respectively. A small difference is observed between the SiO_2 reference and HfO_2 devices at high temperature (300–400 K) for both types of carriers, with a lower T-dependence for HfO_2 devices (see Figs. 15 and 16). However, these $T^{-1.0}$ and $T^{-0.63}$ dependences observed in HfO_2 devices at 1 MV/cm for electrons and holes, respectively, are mainly due to the T-independent surface-roughness scattering term in this high-field regime, rather than to an additional phonon scattering. At lower field coulomb scattering, T-dependence could also participate. Thus, the simple $\mu_{\rm eff}$ versus T curve is not sufficient to evidence soft-optical phonons.

A better tool is the use of the temperature sensitivity factor defined as follows [12], [51]

$$\frac{d\left(\frac{1}{\mu_{\rm eff}}\right)}{dT} = \underbrace{\frac{d\left(\frac{1}{\mu_{\rm CS}}\right)}{dT}}_{<0} + \underbrace{\frac{d\left(\frac{1}{\mu_{\rm ph}}\right)}{dT}}_{>0} + \underbrace{\frac{d\left(\frac{1}{\mu_{\rm SR}}\right)}{dT}}_{=0} \tag{3}$$

where $\mu_{\rm CS}$ is the coulomb-scattering-limited mobility, including remote charges; $\mu_{\rm ph}$ is the phonon-limited mobility, including soft-optical phonons specific to HfO_2 and acoustical phonons of Si, and $\mu_{\rm SR}$ is the surface-roughness-limited mobility. The phonon-scattering term is the only one that has a positive contribution. In Fig. 17 the sensitivity factor for SiO_2 devices and for HfO_2 devices with two IL thicknesses (1 and 2 nm) has been carefully evaluated owing to measurements from $T = 300$ K to 400 K by 10-K steps. The sensitivity factor is larger for SiO_2 1 nm/HfO_2/TiN than for SiO_2 2.5 nm/TiN or even for SiO_2 2 nm/HfO_2/TiN. This additional positive contribution with respect to the SiO_2 reference can then be attributed to an additional phonon contribution, namely the HfO_2 soft-optical phonon interaction. Data of poly-Si gate measured by the same technique and taken from [12] have been plotted for comparison. A lower contribution of soft-optical phonon has been observed in our case, as expected for a metal gate [7], [11], [52], and is almost negligible in the overall mobility degradation observed.

V. Conclusion

We have shown the specific impact of the metal-gate material (TiN) on effective mobility, i.e., degradation at low field accompanied with enhanced electron mobility and degraded hole

mobility at higher field. This latter behavior can be seen as a modulation of the Si/SiO_2 interface roughness by TiN, which must be taken into account for accurate mobility-degradation evaluation in high-k/metal-gate devices. For the HfO_2/TiN stack, we have shown the prominent effect of RCS due to a large amount of charges that might be located at the HfO_2/SiO_2 interface or within 2 nm of the bulk HfO_2, and fully modeled it for electrons. The physical origin and the nature of these charges (dipoles or similar densities of both negative and positive charges) are still not well understood. They are, however, distinct from trapped charges that do not induce a significant degradation. Interactions with soft-optical phonons appear to be only a second-order mechanism in our case due to the TiN metal gate, which may be effective at a rather high electric field. In all the cases, remote interactions are exponentially dependent of the bottom-oxide thickness and are still effective for interfacial oxide thickness up to 2 nm for electrons, and 1.2 nm for holes, which represents a serious limitation for low-EOT achievement.

REFERENCES

[1] M. Fischetti, "Scaling MOSFETs to the limit: A physicist's perspective," *J. Comput. Electron.*, vol. 2, no. 2–4, pp. 73–79, 2003.

[2] G. Bersuker, P. Zeitzoff, G. Brown, and H. Huff, "Dielectrics for future transistors," *Mater. Today*, vol. 7, no. 1, pp. 26–33, Jan. 2004.

[3] R. M. Wallace and G. D. Wilk, "Materials issues for high-k gate dielectric selection and integration," in *High Dielectric Constant Materials—VLSI MOSFET Applications*, H. R. Huff and D. C. Gilmer, Eds. Berlin, Germany: Springer-Verlag, 2005, ch. 9, pp. 253–286.

[4] V. Misra, "Issues in metal gate electrode selection for bulk CMOS devices," in *High Dielectric Constant Materials—VLSI MOSFET Applications*, H. R. Huff and D. C. Gilmer, Eds. Berlin, Germany: Springer-Verlag, 2005, ch. 14, pp. 415–434.

[5] G. Reimbold, J. Mitard, M. Cassé, X. Garros, C. Leroux, L. Thevenod, and F. Martin, "Electrical characterization of high k devices: Charges and traps effects on instability, reliability and mobility behaviour," in *Proc. Int. ECS Symp.: Silicon Nitride, Silicon Dioxide Thin Insulating Films, and Other Emerging Dielectrics VIII*, Quebec City, QC, Canada, 2005, vol. 2005-01, pp. 437–455.

[6] S. Saito, D. Hisamoto, S. Kimura, and M. Hiratani, "Unified mobility model for high-k gate stacks," in *IEDM Tech. Dig.*, 2003, pp. 33.3.1–33.3.4.

[7] M. Fischetti, D. A. Neumayer, and E. A. Cartier, "Effective electron mobility in Si inversion layers in metal oxide semiconductor systems with a high-k insulator: The role of remote phonon scattering," *J. Appl. Phys.*, vol. 90, no. 9, pp. 4587–4608, Nov. 2001.

[8] Z. Ren, M. V. Fischetti, E. P. Gusev, E. A. Cartier, and M. Chudzik, "Inversion channel mobility in high-k high performance MOSFETs," in *IEDM Tech. Dig.*, 2003, pp. 33.2.1–33.2.4.

[9] W. Zhu and T. P. Ma, "Temperature dependence of channel mobility in HfO_2-gated NMOSFETS," *IEEE Electron Device Lett.*, vol. 25, no. 2, pp. 89–91, Feb. 2004.

[10] N. Yasuda, H. Hisamatsu, H. Ota, and A. Toriumi, "Weak temperature dependence of non-coulomb scattering component of $HfAlO_x$-limited inversion layer mobility in n + poly-$Si/HfAlO_x/SiO_2$ n-MOSFETs," in *Proc. Extended Abstract SSDM*, Tokyo, Japan, 2004, pp. 20–21.

[11] S. Datta, G. Dewey, M. Doczy, B. Doyle, B. Jin, J. Kavalieros, R. Kotlyar, M. Metz, N. Zelick, and R. Chau, "High mobility Si/SiGe strained channel MOS transistors with HfO_2/TiN gate stack," in *IEDM Tech. Dig.*, 2003, pp. 28.1.1–28.1.4.

[12] R. Chau, S. Datta, M. Doczy, B. Doyle, J. Kavalieros, and M. Metz, "High-k/metal gate stack and its MOSFET characteristics," *IEEE Electron Device Lett.*, vol. 25, no. 6, pp. 408–410, Jun. 2004.

[13] R. Kotlyar, M. Giles, P. Matagne, B. Obradovic, L. Shifren, M. Stettler, and E. Wang, "Inversion mobility and gate leakage in high-k/metal gate MOSFETs," in *IEDM Tech. Dig.*, 2004, pp. 391–394.

[14] L. Ragnarsson, L. Pantisano, V. Kaushik, S. Saito, Y. Shimamoto, S. De-Gendt, and M. Heyns, "The impact of sub monolayers of HfO_2 on the device performance of high-k based transistors," in *IEDM Tech. Dig.*, 2003, pp. 4.2.1–4.2.4.

[15] L.-A. Ragnarsson, N. A. Bojarczuk, J. Karasinski, and S. Guha, "Hall mobility in hafnium oxide based MOSFETs: Charge effects," *IEEE Electron Device Lett.*, vol. 24, no. 11, pp. 689–691, Nov. 2003.

[16] O. Weber, F. Andrieu, M. Cassé, T. Ernst, J. Mitard, F. Ducroquet, J.-F. Damlencourt, J.-M. Hartmann, D. Lafond, A.-M. Papon, L. Militaru, L. Thevenod, K. Romanjek, C. Leroux, F. Martin, B. Guillaumot, G. Ghibaudo, and S. Deleonibus, "Experimental determination of mobility scattering mechanisms in $Si/HfO_2/TiN$ and $SiGe:C/HfO_2/TiN$ surface channel n- and p-MOSFETs," in *IEDM Tech. Dig.*, 2004, pp. 867–870.

[17] S. Rhee, "Effects of varying interfacial oxide and high-k layer thicknesses for HfO_2 metal oxide semiconductor field effect transistor," *Appl. Phys. Lett.*, vol. 85, no. 7, pp. 1286–1288, Aug. 2004.

[18] D. Esseni and A. Abramo, "Modeling of electron mobility degradation by remote coulomb scattering in ultrathin oxide MOSFETs," *IEEE Trans. Electron Devices*, vol. 50, no. 7, pp. 1665–1674, Jul. 2003.

[19] M. Muller, S. Duguay, B. Guillaumot, X. Garros, C. Leroux, B. Tavel, F. Martin, M. Rivoire, D. Delille, F. Boeuf, S. Deleonibus, and T. Skotnicki, "Towards a better EOT-mobility trade-off in high-k/metal gate CMOS devices," in *Proc. ESSDERC*, 2003, pp. 367–370.

[20] B. Guillaumot, X. Garros, F. Lime, K. Oshima, B. Tavel, J. Chroboczek, P. Masson, R. Truche, A. Papon, F. Martin, J. Damlencourt, S. Maitrejean, M. Rivoire, C. Leroux, S. Cristoloveanu, G. Ghibaudo, J. Autran, T. Skotnicki, and S. Deleonibus, "75 nm damascene metal gate and high-k integration for advanced CMOS devices," in *IEDM Tech. Dig.*, 2002, pp. 355–358.

[21] C. Sodini, T. Ekstedt, and J. Moll, "Charge accumulation and mobility in thin dielectric MOS transistors," *Solid State Electron.*, vol. 25, no. 9, pp. 833–841, 1982.

[22] A. Kerber, E. Cartier, L. Ragnarsson, M. Rosmeulen, L. Pantisano, R. Degraeve, Y. Kim, and G. Groeseneken, "Direct measurement of the inversion charge in MOSFETs: Application to mobility extraction in alternative gate dielectrics," in *Symp. VLSI Tech. Dig.*, Kyoto, Japan, 2003, pp. 159–160.

[23] C. Leroux, J. Mitard, G. Ghibaudo, X. Garros, G. Reimbold, B. Guillaumot, and F. Martin, "Characterization and modeling of hysteresis phenomena in high k dielectrics," in *IEDM Tech. Dig.*, 2004, pp. 737–740.

[24] D. Singh, P. Solomon, E. P. Gusev, G. Singco, and Z. Ren, "Ultra-fast measurements of the inversion charge in MOSFETs and impact on measured mobility in high-k MOSFETs," in *IEDM Tech. Dig.*, 2004, pp. 863–866.

[25] T. Guillaume, M. Mouis, S. Maitrejean, A. Poncet, M. Vinet, and S. Deleonibus, "Evaluation of strain-induced mobility variation in TiN metal gate SOI n-MOSFETs," in *Proc. ESSDERC*, 2004, pp. 393–396.

[26] Z. Krivokapic, V. Moroz, W. Maszara, and M. Lin, "Locally strained ultra-thin channel 25 nm narrow FD-SOI devices with metal gate and mesa isolation," in *IEDM Tech. Dig.*, 2003, pp. 18.5.1–18.5.4.

[27] Z. Ma, Z. Liu, Y. Cheng, P. Ko, and C. Hu, "New insight into high-field mobility enhancement of nitrided-oxide N-MOSFETs based on noise measurement," *IEEE Trans. Electron Devices*, vol. 41, no. 11, pp. 2205–2209, Nov. 1994.

[28] M. Khare, X. Wang, and T. Ma, "Transconductance in nitride-gate or oxynitride-gate transistors," *IEEE Electron Device Lett.*, vol. 20, no. 1, pp. 57–59, Jan. 1999.

[29] L. Thevenod, M. Cassé, M. Mouis, G. Reimbold, F. Fillot, B. Guillaumot, and F. Boulanger, "Influence of TiN metal gate on Si/SiO_2 surface roughness in n and pMOSFETs," Proc. INFOS 2005, *Microelectron. Eng.*, vol. 80, pp. 11–14, 2005.

[30] S. Saito, K. Torii, Y. Shimamoto, S. Tsujikawa, H. Hamamura, O. Tonomura, T. Mine, D. Hisamoto, T. Onai, J. Yugami, M. Hiratan, and S. Kimura, "Effects of remote-surface-roughness scattering on carrier mobility in field-effect-transistors with ultrathin gate dielectrics," *Appl. Phys. Lett.*, vol. 84, no. 8, pp. 1395–1397, Feb. 2004.

[31] J. Watling, L. Yang, M. Borici, R. Wilkins, A. Asenov, J. Narker, and S. Roy, "The impact of interface roughness scattering and degeneracy in relaxed and strained Si n-channel MOSFETs," *Solid State Electron.*, vol. 48, no. 8, pp. 1337–1346, 2004.

[32] T. Ando, A. B. Fowler, and F. Stern, "Electronic properties of two-dimensional systems," *Rev. Mod. Phys.*, vol. 54, no. 2, pp. 437–672, Apr. 1982.

[33] S. Villa, A. Lacaita, L. Perron, and R. Bez, "A physically-based model of the effective mobility in heavily-doped n-MOSFET's," *IEEE Trans. Electron Devices*, vol. 45, no. 1, pp. 110–115, Jan. 1998.

[34] M. S. Krishnan, Y. C. Yeo, Q. Lu, T. J. King, J. Bokor, and C. Hu, "Remote charge scattering in MOSFETs with ultra-thin gate dielectrics," in *IEDM Tech. Dig.*, 1998, pp. 571–574.

[35] D. Jeon and D. Burk, "MOSFET electron inversion layer mobilities—A physically based semi-empirical model for a wide temperature range," *IEEE Trans. Electron Devices*, vol. 36, no. 8, pp. 1456–1463, Aug. 1989.
[36] M. Lundstrom, *Fundamentals of Carrier Transport*, 2nd ed. Cambridge, U.K.: Cambridge Univ. Press, 2000.
[37] C. Leroux, P. Mur, N. Rochat, D. Rouchon, R. Truche, G. Reimbold, and G. Ghibaudo, "Characterization and modeling of nanometric SiO_2 dielectrics," *Microelectron. Eng.*, vol. 72, no. 1–4, pp. 121–124, Apr. 2004
[38] S. Saito, K. Hiratani, and T. Onai, "Improved theory for remote-charge-scattering-limited mobility in metal-oxide-semiconductor transistors," *Appl. Phys. Lett.*, vol. 81, no. 13, pp. 2391–2393, Sep. 2002.
[39] F. Gamiz and M. V. Fischetti, "Remote coulomb scattering in metal-oxide-semiconductor field effect transistors: screening by electrons in the gate," *Appl. Phys. Lett.*, vol. 83, no. 23, pp. 4848–4850, Dec. 2003.
[40] N. Yang, W. K. Henson, J. R. Hauser, and J. J. Wortman, "Estimation of the effects of remote charge scattering on electron mobility of n-MOSFETs with ultrathin gate oxides," *IEEE Trans. Electron Devices*, vol. 47, no. 2, pp. 440–447, Feb. 2000.
[41] C. Fulton, G. Lucovsky, and R. Nemanich, "Process dependent band structure changes of transition-metal (Ti, Zr, Hf) oxides on Si(100)," *Appl. Phys. Lett.*, vol. 84, no. 4, pp. 580–582, Jan. 2004.
[42] S. De Gendt, "Advanced gate stacks: High-k dielectrics and metal gates," in *Tutorials IEDM Tech. Dig.*, San Francisco, CA, 2004.
[43] J. Robertson, "Interfaces and defects of high-k oxides on silicon," *Solid State Electron.*, vol. 49, no. 3, pp. 283–293, Mar. 2005.
[44] D. Jena, A. C. Gossard, and U. K. Mishra, "Dipole scattering in polarization induced III-V nitride two-dimensional electron gases," *J. Appl. Phys.*, vol. 88, no. 8, pp. 4734–4738, Oct. 2000.
[45] L. Ragnarsson, S. Guha, M. Copel, E. Cartier, N. A. Bojarczuk, and J. Karasinski, "Molecular-beam-deposited yttrium-oxide dielectrics in aluminum-gated metal-oxide-semiconductor field-effect transistors: Effective electron mobility," *Appl. Phys. Lett.*, vol. 78, no. 26, pp. 4169–4171, Jun. 2001.
[46] H. Z. Massoud, "Charge transfer dipole moments at the Si-SiO_2 interface," *J. Appl. Phys.*, vol. 63, no. 6, pp. 2000–2005, Mar. 1988.
[47] K. Xiong, P. W. Peacock, and J. Robertson, "Fermi level pinning and HfSi bonds at HfO_2: Polycrystalline silicon gate electrode interfaces," *Appl. Phys. Lett.*, vol. 86, no. 1, pp. 012904-1–012904-3, Jan. 2005.
[48] A. Callegari and P. Jamison, "Interface engineering for enhanced electron mobilities in W/HfO_2 gate stacks," in *IEDM Tech. Dig.*, 2004, pp. 825–828.
[49] G. Bersuker, J. Barnett, N. Moumen, B. Foran, C. D. Young, P. Lysaght, J. Peterson, B. H. Lee, P. M. Zeitzoff, and H. R. Huff, "Interface layer-induced mobility degradation in high-k transistors," *Jpn. J. Appl. Phys.*, vol. 43, no. 11B, pp. 7899–7902, Nov. 2004.
[50] S. Takagi, A. Toriumi, M. Iwase, and H. Tango, "On the universality of inversion layer mobility in Si MOSFET's: Part I—Effects of substrate impurity concentration," *IEEE Trans. Electron Devices*, vol. 41, no. 12, pp. 2357–2362, Dec. 1994.
[51] O. Weber, M. Cassé, L. Thevenod, F. Ducroquet, T. Ernst, B. Guillaumot, and S. Deleonibus, "Accurate investigation of the high-k soft phonon scattering mechanism in metal gate MOSFETs," in *Proc. ESSDERC*, 2005, pp. 379–382.
[52] A. Bhatt, K. W. Kim, M. Stroscio, G. J. Iafrate, M. Dutta, H. L. Grubin, R. Haque, and X. T. Zhu, "Reduction of interface phonon modes using metal-semiconductor heterostructures," *J. Appl. Phys.*, vol. 73, no. 5, pp. 2338–2342, Mar. 1993.

Mikaël Cassé received the M.Sc. and Ph.D. degrees in physics from the Institut National des Sciences Appliquées (INSA), Toulouse, France, in 1997 and 2001, respectively. His Ph.D. research focused on magnetotransport in mesoscopic systems, and was conducted in the Grenoble High Magnetic Field Laboratory (CNRS), Grenoble, France.

Since 2001, he has worked as a Research Staff Member at CEA-LETI Grenoble, France, in the electrical characterization and modeling group. His present research interests concern carrier transport characterization in advanced devices, which include high-k dielectrics, metal gate, strained channels, etc.

Laurent Thevenod received the B.S. and M.S. degrees in physics engineering, with microelectronics specialization, from the National Polytechnics Institute of Grenoble, Grenoble, France, in 2004. He is currently working toward the Ph.D. degree at CEA-LETI, Grenoble, France, on the electrical characterization and modeling of high-k/metal-gate MOSFETs.

Bernard Guillaumot, photograph and biography not available at the time of publication.

Lucie Tosti has worked on the different processing steps for silicon device development, i.e., etching, litho, diffusion, etc., during her career. Her research interests include process integration for advanced SOI devices.

François Martin, photograph and biography not available at the time of publication.

Jérôme Mitard was born in La Rochelle, France, in 1979. He received the M.Sc. degree in microelectronic and communication engineering from the Polytechnic University School in Marseille, France, in 2003. He is currently working toward the Ph.D. degree in electrical engineering, and his work is focusing on the charge trapping of high-k/metal-gate dielectrics.

Currently, he is an STMicroelectronics Assignee at CEA-LETI in Grenoble, where he is involved in the electrical characterization of alternative gate dielectrics for sub-45-nm CMOS technologies.

Olivier Weber, photograph and biography not available at the time of publication.

François Andrieu was born in Arras, France, in 1979. He received the M.Sc. and Ph.D. degrees in physics and nanoelectronics from the Institut National Polytechnique de Grenoble (INPG), France, in 2002 and 2005, respectively. During his Ph.D. studies in the CEA-LETI, he worked on the fabrication and characterization of strained-channel CMOSFETs for the fully depleted silicon-on-insulator (FDSOI) 45-nm technology, in collaboration with the Institut de Micro-Electronique et de Photonique (IMEP), Grenoble, France.

In 2005, he joined the CEA-LETI as a Research Staff Member. His current research interest is on the FDSOI CMOS sub-45-nm technology.

Thomas Ernst (S'99–A'00–M'03) received the Ph.D. degree from the National Polytechnics Institute of Grenoble, France, in 2000.

He worked on advanced silicon-on-insulator (SOI) low-voltage and low-power CMOS electrical characterization, simulation, and modeling at Institute of Microelectronics, Electromagnetism and Photonics (IMEP), Grenoble, France, and STMicroelectronics. He then joined LETI as a Research Staff Member, where he focused on novel strained-channel CMOS-architecture integration in sub-45-nm CMOS and short-channel transport characterization. He is the author or coauthor of over 65 papers on CMOS-devices integration, modeling, and characterization.

Gilles Reimbold (M'01) received the Ph.D. degree from the National Polytechnics Institute of Grenoble, Grenoble, France, in 1983, where the topic of his Ph.D. study was on the noise in MOS transistors and charge-coupled device (CCD).

He joined the CEA-LETI to work on the CMOS very large scale integration (VLSI) technology development on the topic of transistor optimization. He was then in charge of an internal company project to develop all-reliability test and modeling activities for CMOS front end and back end. He then managed the electrical lab covering statistical test, electrical test, and CMOS reliability aspects. He is now the Head of the advanced electrical characterization and modeling group covering high-k materials, SOI devices, and nonvolatile memories. He is the coauthor of more than 100 papers in these fields and is or has been a member of scientific and organization committees of several international conferences such as the International Symposium on Plasma Process Induced Damage (P2ID), Insulating Films On Semiconductors (INFOS), and the International Reliability Physics Symposium (IRPS). He was also involved in reliability teaching.

Dr. Reimbold was a Summer School Scientific Chair (MIGAS 1999), and chairman of many conference sessions.

Thierry Billon, photograph and biography not available at the time of publication.

Mireille Mouis (M'94) received the French Doctorat d'Etat in 1988.

From 1982 to 1989, she worked at the Institut d'Electronique Fondamentale (IEF), Orsay, France, on the Monte Carlo simulation of submicrometer III-V heterostructure MOSFETs and transport in a quantum-confined electron gas. From 1989 to 1999, she has been involved in the development of CMOS compatible devices at CNET Meylan, where she participated in the research activities on Si/SiGe heterojunction BiCMOS technology and then she transferred to STMicroelectronics. Since 2000, she has been involved in the development of new MOS architectures such as thin-body, double-gate, and strained channel devices from the perspective of sub-45-nm technology nodes. She is currently a Senior Researcher at Grenoble High Magnetic Field Laboratory (CNRS) and the Deputy Director of the Institute of Microelectronics, Electromagnetism and Photonics (IMEP), Grenoble, France. Her research interests are on the physics of these devices, with special focus on transport issues. She has been coordinating several projects at the national and regional level and is presently coordinating the CNRS contribution to the NanoCMOS FP6 integrated project.

Fabien Boulanger, photograph and biography not available at the time of publication.

Mobility of strained and unstrained short channel FD-SOI MOSFETs: New insight by magnetoresistance

M. Cassé, F. Rochette, N. Bhouri, F. Andrieu, *D.K. Maude, †M. Mouis, G. Reimbold, F. Boulanger
CEA-Leti MINATEC, 17 rue des martyrs, 38054 Grenoble cedex 9, France (phone: (+33) 4 38 78 44 91, fax: (+33) 4 38 78 51 40, mikael.casse@cea.fr)
*CNRS-GHMFL, 25 rue des martyrs, BP 166 , 38042 Grenoble cedex 9, France
†IMEP CNRS/INPG/UJF, 3 parvis Louis Neel, BP 257, 38016 Grenoble cedex 1, France

Abstract

Electron mobility in short and long channel, strained or unstrained FD-SOI MOSFETs is deeply investigated in linear regime, by careful magnetoresistance measurements down to 40nm gate length, and down to 20K. This method differs from standard ones because i) it does not require any data on the short channel gate capacitance and gate length; ii) it is more accurate at low inversion charge; iii) the temperature dependence of the Coulomb Scattering limited mobility is higher. Additional mobility scattering has been thus confirmed for short channel undoped FDSOI, and unambiguously identified as Coulomb scattering (CS). A 50% mobility gain for strained Si MOSFETs is still observable even in this dominant CS regime.

Introduction

A strong reduction of the mobility in Si MOSFETs is almost universally observed as the gate length is scaled [1-3] (Fig.1). The reason of this degradation is not clearly understood although scattering by neutral defects is often advanced [1]. Standard methods like CV-split or Y-function [1,2,4] relies on the precise knowledge of the effective gate length L_{eff} or oxide capacitance C_{ox}. However the correct determination of these two crucial parameters is particularly difficult for short channel due to strong parasitic capacitances [4] (Fig.2) and possible non-scaling of oxide thickness for such short length. In contrast the extraction of mobility from magnetoresistance (MR) relies on the dependence of the channel resistance on a magnetic field B perpendicular to the channel plane and does not require any of these parameters (Tab.1) [6,7]. We used this method to bring new light on transport on short channel SOI transistors. Following the same way we have used MR to study the effect of strain on transport in short channel sSOI transistors.

Experimental devices and set-up

The channel mobility can be measured through the geometric MR effect in devices with an aspect ratio Width/Length>>5. μ_{MR} is simply extracted from the linear dependence of the drain current I_d on B^2 (Tab.1,Fig.3) at different temperatures and gate biases. The magnetic field produced by a superconducting magnet was swept from 0T up to 11T. We have used this method on strained and unstrained ultra short channel transistors made from thin film (10nm) Silicon On Insulator (SOI) substrate, and biaxially strained SOI (sSOI) substrate processed using a relaxed $Si_{0.8}Ge_{0.2}$ starting layer corresponding to roughly 1.4GPa. The gate stack was made of 3nm ALD HfO_2 on a thin SiO_x layer (~0.8nm), and covered by 10nm TiN metal gate (16Å EOT).

Experimental results and analysis

First we have compared the different mobility extraction procedures (Fig.4): μ_Y by Y-function method [9,2], μ_{eff} by split-CV [8], and μ_{MR} on long devices from 300K to 20K in linear regime (low V_D). MR mobility μ_{MR} and drift mobility μ_{eff} differ by the integration over energy of the scattering time [6]. At low temperature and/or high field μ_{MR} and μ_{eff} are identical as expected for T~0K and for a degenerate gas. Differences between μ_{MR} and μ_{eff} appear for energy dependent scattering mechanisms and T≠0K [6]. On Fig.4, we observed clear differences at low to medium field, *i.e.* for phonon scattering and Coulomb scattering (CS). To explain this, we have calculated μ_{MR} and μ_{eff} arising from Coulomb interactions due to remote charges [10,11] (Fig.5). The location or nature of charges is not important; the dependence with inversion carrier density N_{inv} and temperature results only from the coulombic nature of the interaction. We found that $\mu_{MR,CS}$ is higher than $\mu_{eff,CS,}$ and differs by less than 10% at 20K, and by 180% at 300K, which explains the difference observed at low field and 300K on Fig.4. Furthermore this high temperature dependence of $\mu_{MR,CS}$ provides a very interesting way to identify CS, especially considering that CS is effective at rather low field where CV-split fails. μ_Y, reconstructed through μ_0 extraction (Tab.1), and μ_{eff} are equivalent providing CS limited mobility μ_{CS} is evaluated elsewhere (at low temperature and low V_g-V_{th} for instance) and added by Mathiessen's rule to μ_Y (Fig.4).

Short channel SOI.– Figs.6,7 show raw μ_{MR} measured on nMOS for L down to 40nm, at 300K and 20K. A reduction of mobility was observed especially at low temperature for short nMOS. However, μ_{MR} was extracted through I_d measurement, which means that raw data included the effect of series resistance R_{SD}. Differential MR method [7] was used to correct R_{SD} influence by measuring two devices (labelled 1 and 2) with close gate lengths following

$$\left(R_2(B)-R_1(B)\right)/\left(R_2(0)-R_1(0)\right)=1+\mu_{MR,corr.}{}^2B^2$$

The procedure is similar to the $R_{tot}(L)$ method [1,12] and eliminates contributions which do not depend on gate length (SD and region near SD) leaving only channel length dependent contributions. In particular the effect of ballisticity sometimes introduced by a L-independent resistance R_{bal} is eliminated [3]. On Figs.6,7 the correction leads to R_{SD}~20Ω and μ_{RSD}~90cm^2/Vs similarly to [7], and increases μ_{MR} at high V_g as expected. The discrepancy between μ_Y and μ_{MR} increases as L decreases (Figs.1,8) with a smaller mobility reduction for μ_{MR}. This difference is mainly due to the lack of accuracy in L_{eff} and C_{ox} determination for μ_0, and to the effect of CS on μ_0 extraction procedure. The extraction has to be performed at high V_g to avoid the proximity effects of the g_m maximum region [9]; experimentally μ_0 reaches μ_{MR} at high field only at very low T (Fig.9).

A slight positive temperature dependence of μ_{MR} is observed for V_g-V_{th}>0.5V, which corresponds to a much lower power law dependence of phonon contribution μ_{ph} than traditionally measured on long transistors (Figs.8,9). For lower gate biases, when T decreases μ_{MR} decreases following the temperature dependence predicted for μ_{CS} (+180% from 300K to 20K on Fig.5). μ_{MR} corrected from R_{SD} for short devices at 20K presents strong degradation compared to long MOS, and increases with N_{inv} as predicted for CS (Fig.5). At low temperature phonon scattering is negligible and μ_{MR} gives directly μ_{CS}, as in that case surface roughness limited mobility is much higher. The mobility of short nMOS is thus almost purely due to μ_{CS}. The measurements on short devices at 20K can be very well reproduced including CS equivalent to N_{it}~2.10^{13}cm^{-2} (Fig.7). A possible explanation is the increase effect of long-range Coulomb interactions for very short channels (proximity of SD) [10].

sSOI vs. SOI.– Short channel sSOI nMOS behaved like SOI ones (Fig.10). A strong mobility reduction was observed at 20K (as on Fig.7) for L<100nm. The R_{SD} corrected mobility still presents the characteristics of a CS dominant mechanism. A gain for strained Si was observed from 300K to 20K, and on the whole range of N_{inv} (Figs.11,12). The origin of the enhancement was identified from its temperature dependence which differs along with N_{inv}. At high carrier density although most of carriers are in Δ_2 valleys a gain as high as 35% was observed at 20K due to surface roughness and carrier distribution [13,14]. Above 20K the effect of phonon scattering enhances this gain [14]. At lower carrier density, where CS dominates, the gain drops as N_{inv} decreases and T increases (Fig.11). For short channel MOSFETs, despite the predominance of CS, a mobility gain is still observable for sSOI at room temperature as high as 50% at high V_g (Figs.12,13). This shows that strain has an effect even on μ_{CS} [15], and/or that less defects are induced in sSOI.

Conclusion

We have confirmed by original MR data that mobility degradation actually occurs for short channel SOI and sSOI nMOS. We have demonstrated without ambiguity that this degradation is due to stronger CS in nanoscaled transistors, which explains also the lower temperature dependence generally observed. This CS extends along the whole channel length. Strain nevertheless still enhances the mobility in this CS dominant regime, even if reduced compared to long channel nMOS (80% reduced to 50% at room temperature).

Acknowledgements: This work has been partly supported by the NAM Rhônes-Alpes Project, Sinano, MEDEA and 2T101 SILONIS.

References

[1]K. Rim *et al.*, IEDM (2002)
[2]A.Cros et *al.*, IEDM (2006)
[3]M.Zilli *et al.*, EDL 28, 1036 (2007)
[4] Toriumi *et al.*, IEDM (2006)
[5]L.Thevenod *et al.*,APL 90, 152111 (2007)
[6]R.Meziani *et al.*, JAP 96, 5761 (2004)
[7]W.Chaisantikulwat *et al.*, SSE 50, 637 (2006)
[8]K. Romanjek *et al.*, EDL 25, 583 (2004)
[9]G.Ghibaudo *et al.*, Elec. Lett. 24, 543 (1988)
[10]M.Fischetti *et al.*,JAP 89, 1205 & 1232 (2001)
[11] M. Cassé *et al.*, TED 53, 759 (2006)
[12] G. Niu *et al.*, TED 46, 1912 (1999)
[13]O. Bonno *et al.*, VLSI (2007)
[14]S. Takagi *et al.*, JAP 80, 1567 (1999)
[15]O. Weber *et al.*, VLSI (2007)

CV-split: $\mu_{eff} = \frac{I_d \cdot L^2}{V_d \cdot Q_{inv}}$

MR: $\frac{I_d(0)}{I_d(B)} = 1 + \mu_{MR}{}^2 B^2$

Y-function ($Y=I_d/gm^{0.5}$) with R_{SD} correction [9]:

$$\mu_Y = \frac{\mu_0}{1 + \theta_{1,0}(V_g - V_t) + \theta_2 (V_g - V_t)^2}$$

with $\mu_0 = \beta L_{eff}/(WC_{ox})$

Inclusion of CS: $\mu_{tot}{}^{-1} = \mu_Y{}^{-1} + \mu_{CS}{}^{-1}$

Tab.1 Main equations of the *common* methods used to measure or extract the mobility. μ_{CS} can be numerically calculated and included in reconstructed μ_Y using Mathiessen's rule.

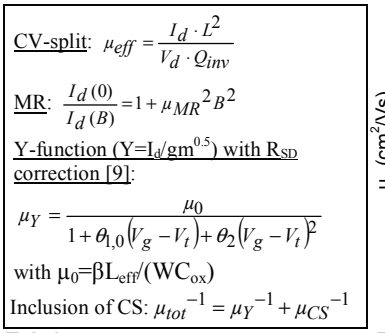


Fig.1 Evolution of μ_0 with L showing mobility reduction as L decreases for both SOI and sSOI. μ_{MR} at V_g-V_{th}=1V for SOI is also given for comparison.

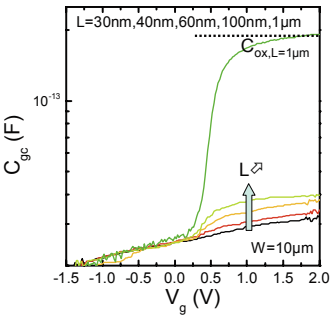


Fig.2 Gate to channel capacitance $C_{gc}(V_g)$ for L=1μm to L=30nm long nMOS showing the effect of parasitic capacitance on C_{ox} determination.

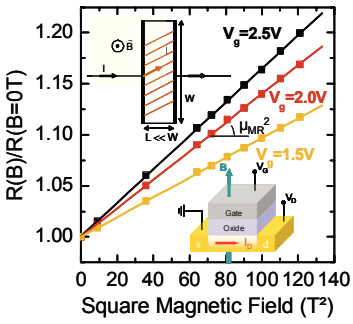


Fig.3 Change of resistance as a function of B^2. The slope gives directly μ_{MR}. The knowledge of L_{eff} or C_{ox} is not required.

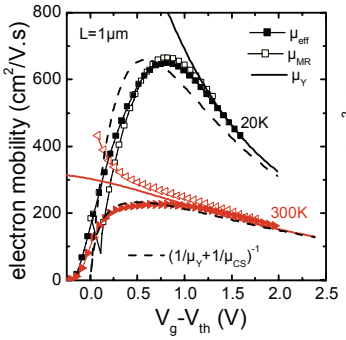


Fig.4 Comparison of μ_{MR}, μ_{eff} and μ_Y as a function of V_g-V_{th} at room and low temperature on long SOI nMOS (SiO_2/HfO_2/TiN).

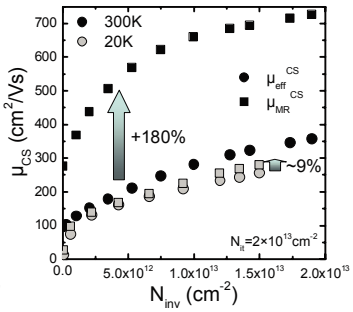


Fig.5 Contribution of CS due to remote charges calculated for μ_{eff} and μ_{MR}. 180% of mobility increase is observed at 300K for μ_{MR}, which reduces to less than 10% at 20K.

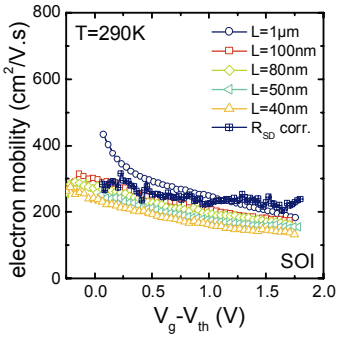


Fig.6 μ_{MR} measured on long and short nMOS at 290K. Raw data are presented for different L, as well as μ_{MR} corrected from series resistance (R_{SD} corr.) from L=40nm and L=50nm data.

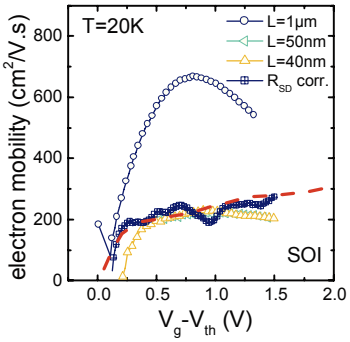


Fig.7 Same as Fig.5 but at T=20K. The dotted line is a fit with the CS model presented in Fig.5.

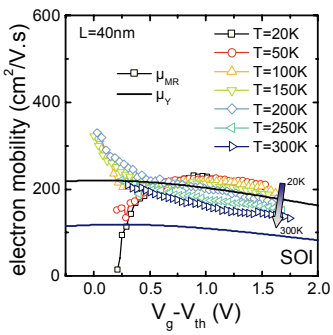


Fig.8 μ_{MR} for L=40nm for different temperatures from 20K up to 300K. The bold lines represent μ_Y calculated from μ_0, θ_1 and θ_2 at 20K and 300K (see Tab.1).

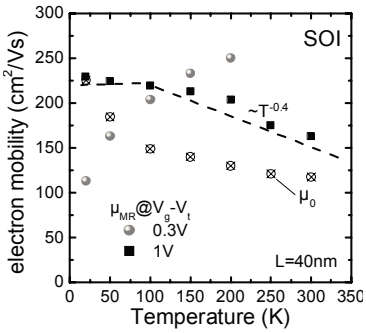


Fig.9 μ_{MR} and μ_0 measured as a function of temperature and at low and higher V_g-V_t for the 40nm long SOI nMOS.

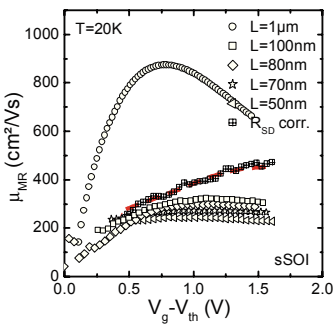


Fig.10 Raw data and R_{SD} corrected μ_{MR} at 20K for L=40nm up to 1μm long sSOI nMOS.

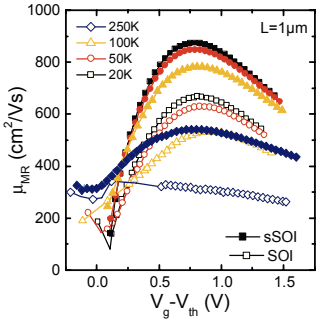


Fig.11 μ_{MR} measured on long SOI and sSOI nMOS for different temperatures showing the effect of strain on long transistors.

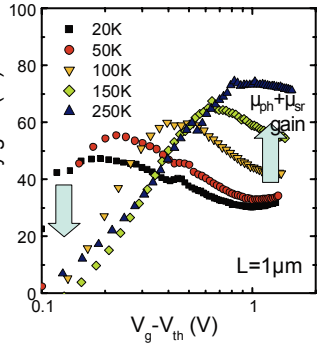


Fig.12 Temperature dependence of mobility enhancement $\Delta\mu_{MR}/\mu_{MR}$ between strained and unstrained long devices (from data of Fig.11).

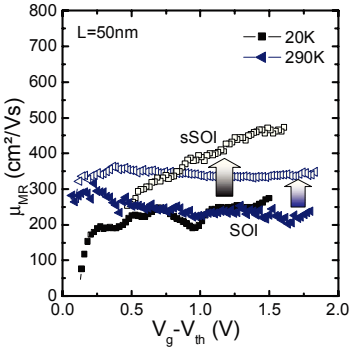


Fig.13 Comparison of μ_{MR} for SOI vs. sSOI on short nMOS corrected from R_{SD} from L=50nm and L=70nm measurements.

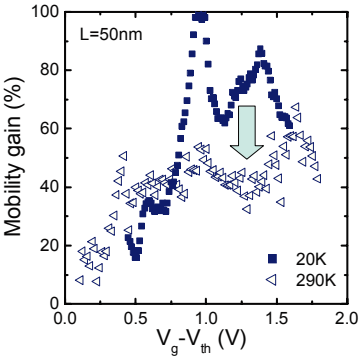


Fig.14 Temperature dependence of mobility enhancement $\Delta\mu_{MR}/\mu_{MR}$ for short devices (from data of Fig.13).

Spectroscopic charge pumping in Si nanowire transistors with a high-κ/metal gate

M. Cassé,[1,a] K. Tachi,[1,2,3] S. Thiele,[1,4] and T. Ernst[1]
[1]*CEA-Leti/MINATEC, 17 rue des martyrs, 38054 Grenoble Cedex 9, France*
[2]*IMEP-LAHC, INPG-MINATEC, 3 Parvis Louis Neel, 38016 Grenoble Cedex 1, France*
[3]*Frontier Research Center, Tokyo Institute of Technology, 4259, Nagatsuta, Midori-ku, Yokohama 226-8502, Japan*
[4]*Technische Universität Ilmenau, D-98693 Ilmenau, Germany*

(Received 22 December 2009; accepted 1 March 2010; published online 25 March 2010)

The density of interface states has been investigated experimentally on silicon nanowire transistors (SNWTs), with a high-*k*/metal gate stack. Low temperature measurements down to 25 K have been performed to determine the interface trap energy distribution throughout the Si band gap on nanowire devices. We have shown that SNWTs exhibit a higher trap density together with a modified energy profile as compared to conventional planar devices. Finally these spectroscopic measurements have been compared to electron mobility to complete the analysis and to further understand the impact of the interface on carrier transport. © *2010 American Institute of Physics*. [doi:10.1063/1.3368122]

Gate-all-around silicon nanowire transistors (SNWTs) are promising candidates for future complementary metal oxide semiconductor (CMOS) devices; very good electrical performance with high on-state current and high density of integration have already been demonstrated.[1,2] In these gate surrounded objects the interface between the oxide and the channel plays a determinant role on the electrical characteristics, through the surface roughness or the interface traps.[3] Whereas the quality of the thermal SiO_2 oxide in conventional SiO_2/poly-silicon metal oxide semiconductor field effect transistors (MOSFETs) was rather well controlled, the introduction of new materials in the gate stack (such as high-κ oxides, metallic gate, nitrided oxide…) has a strong impact on the quality and their electrical characteristics.[4] At this time, no study on interface distribution has yet been published on SNWTs, for which multiple orientation of the channel surface may introduce significant changes.

In this work we have investigated the combined effect of advanced structures such as SNWTs, with HfO_2/TiN gate stack, on the channel/oxide interface quality by using the charge pumping (CP) technique[5,6] in specific P-i-N NW structures. The interface trap density (D_{it}) and its energy profile within the band gap has been thus measured and studied.

Three-dimensional (3D)-stacked SNWTs matrices were fabricated by an epitaxial growth of a $Si/Si_{0.8}Ge_{0.2}$ superlattice on (001) oriented silicon-on-insulator (SOI) substrates and isotropic removal of SiGe layers.[2] Figure 1 shows a typical scanning electron microscopy (SEM) and some cross-sectional transmission electron microscopy (TEM) images of our SNWTs surrounded by a high-*k*/metal gate stack. The SNWTs have either a rectangular (W=20 nm×h=15 nm) or a circular cross-section (diameter d=25 nm), as shown in Fig. 1. Circular cross-sectional shape silicon nanowires (SNWs) are formed by an additional H_2 annealing at 750 °C for two minutes before the gate deposition. A 3 nm thick HfO_2 dielectric and a 10 nm TiN metal gate layer were deposited on the SNWs by, respectively, using an atomic layer deposition (ALD) and a chemical vapor deposition (CVD). Uniformly surrounding gate stacks are obtained with a SiO_2-like interfacial layer ($t_{IL} \simeq 1.5-2$ nm) attributed to a nonoptimized thermal process [see Figs. 1(b) and 1(c), and Ref. 7]. The resulting EOT is 2.6 nm. All measured NWs are [110]-oriented, three levels vertically stacked, and horizontally arrayed with a total of 150 parallel wires. For the purpose of our study we have measured long transistors (L=0.5–0.6 μm), which ensures a negligible effect of the access area on the measured signal. Wide planar (100) SOI MOSFETs, with 10 nm silicon thickness, and with the same high-*k*/metal gate stack were used as a reference. Low temperature measurements were performed in a cryostat from 300 K down to 25 K.

In the CP technique, a trapezoidal voltage pulse is applied to the transistor gate [Fig. 1(d)] which alternatively fills the interface traps with electrons and holes, thereby causing a recombination current, I_{CP}, to flow in the P+ and N+ regions of the gated diode.[8] By varying the base level V_{base} from accumulation to inversion, with a constant amplitude ΔV_g greater than the value of the band gap ($\Delta V_g = 1.3$ eV is used here), the measured I_{CP} has a typical "hat" shape. The maximum of the two-level CP current can be expressed as[5,6]

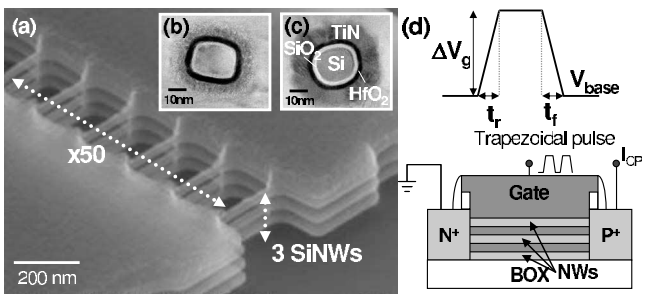


FIG. 1. SEM and cross-sectional TEM images of our 3D-stacked SNWTs. (a) 3D-stacked SNWs, (b) rectangular shape NW and (c) circular shape NW with uniformly surrounding HfO_2 and TiN layers. The thickness of HfO_2 and TiN layers are 3 and 10 nm, respectively. (d) Schematics of the experimental setup used for CP; a trapezoidal pulse is applied to the gate and CP current is measured on the P+ contact.

[a]Electronic mail: mikael.casse@cea.fr.

 © 2010 American Institute of Physics

Downloaded 26 Mar 2010 to 132.168.152.74. Redistribution subject to AIP license or copyright; see http://apl.aip.org/apl/copyright.jsp

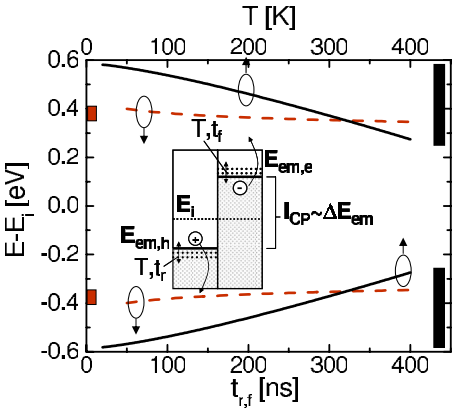


FIG. 2. (Color online) Energy range scanned by temperature modulation from 20 to 400 K (bold line) or by rise/fall time modulation (dashed line), as calculated from Eq. (2) for Si. Inset: Schematics of the physical mechanism involved during CP measurements. The electron and hole emission levels E_{em} can be scanned by changing temperature T and/or the rise or fall time $t_{r/f}$.

$$I_{CP} = qfA \int_{E_{em,h}}^{E_{em,e}} D_{it}(E)dE, \tag{1}$$

where A is the gate area, and q the electron charge. The integration is done between the hole and the electron emission levels $E_{em,h}$ and $E_{em,e}$. Those energy levels are given by

$$E_{em,h} = E_i + k_B T \ln\left(v_{th} n_i \sigma_p \frac{|V_{fb} - V_t|}{\Delta V_g} t_r\right),$$

$$E_{em,e} = E_i - k_B T \ln\left(v_{th} n_i \sigma_n \frac{|V_{fb} - V_t|}{\Delta V_g} t_f\right), \tag{2}$$

where E_i is the intrinsic Fermi level, V_{fb} the flat-band voltage, V_t the threshold voltage, k_B the Boltzmann constant, v_{th} the thermal velocity of carriers, n_i the intrinsic carrier density, and $\sigma_{n,p}$ the capture cross-section of electrons or holes. Equation (1) shows a linear relation between I_{CP} and frequency f. This simple relation allows to measure the mean value $\overline{D_{it}}$ integrated over the band gap by sweeping the frequency of the pulsed signal $\overline{D_{it}} = 1/qA\Delta E_{em} dI_{CP}/df$, According to Eqs. (2), the emission levels can be modulated by varying either the fall or rise time, or the temperature. In particular, varying t_r while keeping t_f constant, and reversely, allows to extract the D_{it} energy profile in the forbidden band gap[6,9] using

$$D_{it}(E_{em}) = \frac{1}{qAfk_B T} \frac{dI_{CP}}{d \ln t_{r,f}}, \tag{3}$$

where $t_{r,f}$ is the rise or fall time depending on the energy range scanned within the band gap. Finally, changing the temperature allows to scan a broader range of energy. Low temperatures down to 25 K give thus access to the energy distribution close to the conduction and the valence band of Si in a typical $\pm(0.58-0.3)$ eV energy range (Fig. 2). Notice that the energy band gap of the Si increases at low temperature, reaching 1.17 eV at 25 K. The value of the capture cross-section $\sigma_{n,p}$ is hard to determine experimentally. However, an error on this parameter only results in a shift in the energy axis (limited to 120 meV for $\sigma_{n,p} = 10^{-15} - 10^{-17}$ cm^2) and does not change our results in a significant way. In the following we have chosen a constant value equal to

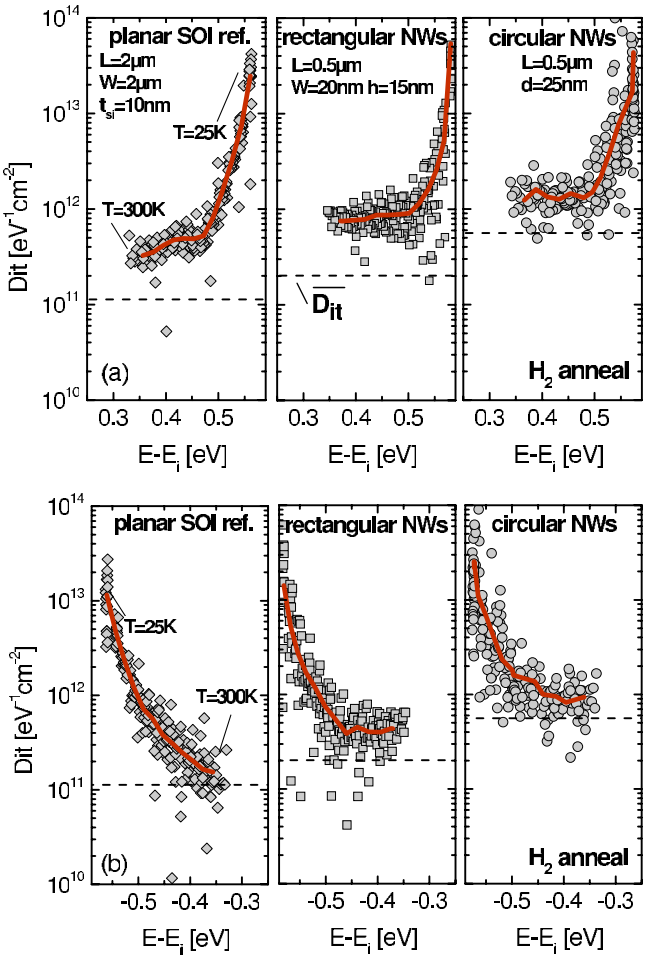


FIG. 3. (Color online) Energy distribution of interface traps (symbols) for circular, rectangular, and planar SOI devices with the same gate stack (3 nm HfO_2 ALD/10 nm TiN CVD): (a) upper half part of the band gap and, (b) lower half part of the Si band gap. The profile is obtained by scanning temperature from 300 K down to 25 K by 25 K steps. The bold line represents the mean value of $D_{it}(E)$. The dashed line is the directly measured mean value of interface trap density $\overline{D_{it}}$ over the full energy range at 300 K which evidence the lower density of interface traps in the middle of the gap.

10^{-16} cm^2, which is a physically acceptable value.[6,9] Finally, due to the derivative used in Eq. (3), and for the small geometries of the measured devices, the measurement sensitivity of this spectroscopic CP technique is around 10^{11} eV^{-1} cm^{-2}.

Reference devices were measured to clarify the effect of high-κ/metal gate stack on the interface traps density. Figure 3 shows the energy profile $D_{it}(E)$ for a wide and long planar SOI MOSFETs, together with the mean value $\overline{D_{it}}$ measured at 300K using frequency dependence. The mean value ($\sim 1.1 \times 10^{11}$ eV^{-1} cm^{-2}) is reasonably low for this thick nitrided metal layer, as the CVD process limits the nitrogen diffusion toward the SiO_2/Si interface.[4,7] Meanwhile the energy profile reveals an asymmetry between the upper half part [Fig. 3(a)] and the lower half part [Fig. 3(b)] of the band gap. In the upper part, the trap density is much higher than in the lower part of the band gap, with 5×10^{11} eV^{-1} cm^{-2} between 0.3 and 0.5 eV, due to dangling bonds (Pb centers),[10] combined with N-generated defects. The latter generally induce a peak density in the upper half part of the band gap.[4,11] Near the band edges—for both conduction band (CB) and valence band (VB)—the D_{it} increases and can reach more than 10^{13} eV^{-1} cm^{-2} at $E - E_i = \pm 0.58$ eV. The lower value

Downloaded 26 Mar 2010 to 132.168.152.74. Redistribution subject to AIP license or copyright; see http://apl.aip.org/apl/copyright.jsp

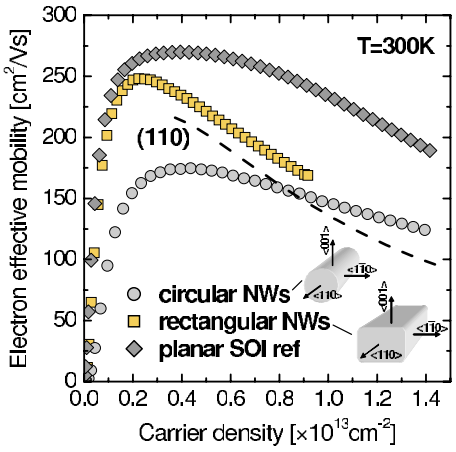


FIG. 4. (Color online) Comparison of electron effective mobility as a function of the channel carrier density between rectangular SNWTs, circular SNWTs, and reference planar SOI nMOSFETs with the same gate stack (3 nm HfO_2/10 nm TiN). The dashed line corresponds to the surface roughness limited mobility of a (110) Si MOSFET. The mobility peak values reveal the impact of charges (and among them, trapped charges) on carrier transport.

of $\overline{D_{it}}$, especially in the upper half part of the Si gap, evidences a lower density of interface traps in the middle of the gap. Figure 3 also shows the energy profile of D_{it} for SNWTs with a rectangular and a circular cross section. For both rectangular and circular NWs, the energy profile $D_{it}(E)$ is modified compared to references as follows: (i) less asymmetry is observed between the upper part and the lower part of the band gap, and (ii) a higher mean density $\overline{D_{it}}$ is measured (up to five times more for circular NWs). The lower asymmetry could result from the lower impact of N diffusion in NWs, due to a thicker interfacial oxide (~1.5–2 nm, see Fig. 1) compared to planar devices (~1 nm), and more Pb centers in SNWTs. The latter point could be explained, especially for the rectangular cross-section, since more dangling bonds are generally measured on (110) plane (i.e, the orientation of the sidewalls of the SNWs in our case, see Fig. 4) as reported by Refs. 10 and 12. Finally, the circular NWs exhibit the highest $\overline{D_{it}}$, roughly two times larger than rectangular NWs. This high value occurs despite the H_2 annealing, which is known to passivate some defects such as dangling bonds,[13] and evidences a natural lower quality of the channel interface for circular NWs.

The effective mobility measured at room temperature as a function of electric field on the corresponding n-type MOSFETs (undoped channel, n-doped source and drain) brings complementary elements for further interface analysis (Fig. 4). Earlier works have shown that interface traps at the Si/SiO_2 interface are acceptorlike in the upper half and donorlike in the lower half of the Si band gap.[10,14] For NMOS, in strong inversion the Fermi level E_F lies above E_i. All the traps below E_F are filled with electrons so that those between E_i and E_F are negatively charged (occupied acceptors) whereas those below E_i are neutral (occupied donors). These negative charges induce an additional Coulomb scattering with carriers flowing in the channel. The electron mobility measured at low carrier density (around 2×10^{12} cm^{-2} for instance) reflects the influence of this Coulomb scattering.[15] Circular NWs have the lowest mobility, up to high carrier density, due to stronger Coulombic interactions. This result is in very good agreement with $\overline{D_{it}}$ values and the D_{it} profile in the upper part of the gap. On the contrary rectangular NWs have only a 10% degradation as compared to the reference planar device due to these following: (i) lower mean $\overline{D_{it}}$ resulting in lower Coulombic charge density near the channel, and (ii) a mobility mainly limited by the (110) surface roughness as evidenced at high carrier density. The higher value of D_{it} in the upper half part of the Si gap and near the CB edge (up to 10^{13} eV^{-1} cm^{-2}) could also explain the strong mobility degradation observed on the NW devices,[16] higher than the one expected from the simpler value $\overline{D_{it}}$.

In conclusion, we have studied the interface trap density of SNWTs with a high-κ/metal gate and its energy profile through spectroscopic charge pumping at low temperature. We have found that SNWTs have a higher mean interface trap density than corresponding planar devices, with a less asymmetric energy profile throughout the Si band gap, and that the energy profile reveals defects like dangling bonds (Pb centers), rather than N-induced defects. Finally electron mobility measurements have shown the high influence of D_{it} on transport properties, especially for multioriented structures like circular NWs more robust to defects passivation. Particular attention on interface quality has to be done on these promising devices to optimize further their electrical performance.

This work was performed as part of the IBM-STMicroelectronics-CEA/LETI-MINATEC Development Alliance.

[1]D. Ferry, R. Akis, A. Cummings, M. Gilbert, and S. Ramey, in Proceedings of Sixth IEEE Conference on Nanotechnology, 2006, Vol. 2, pp. 415–418.
[2]C. Dupré, A. Hubert, S. Bécu, M. Jublot, V. Maffini-Alvaro, C. Vizioz, F. Aussenac, C. Arvet, S. Barnola, J.-M. Hartmann, G. Garnier, F. Allain, J.-P. Colonna, M. Rivoire, L. Baud, S. Pauliac, V. Loup, T. Chevolleau, P. Rivallin, B. Guillaumot, G. Ghibaudo, O. Faynot, T. Ernst, and S. Deleonibus, Tech. Dig. - Int. Electron Devices Meet. **2008**, 749.
[3]S. Jin, M. V. Fischetti, and T.-W. Tang, J. Appl. Phys. **102**, 083715 (2007).
[4]X. Garros, M. Cassé, G. Reimbold, F. Martin, C. Leroux, A. Fanton, O. Renault, V. Cosnier, and F. Boulanger, Dig. Tech. Pap. - Symp. VLSI Technol. **2008**, 68.
[5]J. Brugler and P. Jespers, IEEE Trans. Electron Devices **16**, 297 (1969).
[6]G. Groeseneken, H. Maes, N. Beltran, and R. de Keersmaecker, IEEE Trans. Electron Devices **31**, 42 (1984).
[7]F. Andrieu, O. Faynot, X. Garros, D. Lafond, C. Buj-Dufournet, L. Tosti, S. Minoret, V. Vidal, J. Barbé, F. Allain, E. Rouchouze, L. Vandroux, V. Cosnier, M. Cassé, V. Delaye, C. Carabasse, M. Burdin, G. Rolland, B. Guillaumot, J. Colonna, P. Besson, L. Brévard, D. Mariolle, P. Holliger, A. Vandooren, C. Fenouillet-Béranger, F. Martin, and S. Deleonibus, Tech. Dig. - Int. Electron Devices Meet. **2006**, 641.
[8]T. Elewa, H. Haddara, S. Cristoloveanu, M. Bruel, and J. Phys. Colloq. **49**, 137 (1988).
[9]G. Van den bosch, G. Groeseneken, P. Heremans, and H. E. Maes, IEEE Trans. Electron Devices **38**, 1820 (1991).
[10]D. K. Schroder, Microelectron. Reliab. **47**, 841 (2007).
[11]E.-C. Lee, Phys. Rev. B **77**, 104108 (2008).
[12]S. Maeda, J.-A. Choi, J.-H. Yang, Y.-S. Jin, S.-K. Bae, Y.-W. Kim, and K.-P. Suh, in International Reliability Physics Symposium Proceedings, 2004, pp. 8–12.
[13]M. L. Reed and J. D. Plummer, J. Appl. Phys. **63**, 5776 (1988).
[14]P. V. Gray and D. M. Brown, Appl. Phys. Lett. **8**, 31 (1966).
[15]S. Takagi, A. Toriumi, M. Iwase, and H. Tango, IEEE Trans. Electron Devices **41**, 2357 (1994).
[16]K. Tachi, M. Cassé, D. Jang, C. Dupré, A. Hubert, N. Vulliet, V. Maffini Alvaro, C. Vizioz, C. Carabasse, V. Delaye, J. Hartmann, G. Ghibaudo, H. Iwai, S. Cristoloveanu, O. Faynot, and T. Ernst, Tech. Dig. - Int. Electron Devices Meet. **2009**, 313.

Downloaded 26 Mar 2010 to 132.168.152.74. Redistribution subject to AIP license or copyright; see http://apl.aip.org/apl/copyright.jsp