



**HAL**  
open science

# CONTRIBUTION A LA CONCEPTION D'AMPLIFICATEURS DE PUISSANCE RADIO-FRÉQUENCES INTÉGRÉS ET DEVELOPPEMENT DES METHODES D'OPTIMISATION DE LEURS PERFORMANCES

Nathalie Deltimple

► **To cite this version:**

Nathalie Deltimple. CONTRIBUTION A LA CONCEPTION D'AMPLIFICATEURS DE PUISSANCE RADIO-FRÉQUENCES INTÉGRÉS ET DEVELOPPEMENT DES METHODES D'OPTIMISATION DE LEURS PERFORMANCES. Sciences de l'ingénieur [physics]. Université Bordeaux 1, 2013. tel-00980351

**HAL Id: tel-00980351**

**<https://theses.hal.science/tel-00980351v1>**

Submitted on 17 Apr 2014

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# MEMOIRE

PRÉSENTÉ A

**L'UNIVERSITÉ BORDEAUX 1**

ÉCOLE DOCTORALE DES SCIENCES PHYSIQUES

Par Nathalie DELTIMPLE

En vue de l'obtention du

## DIPLOME D'HABILITATION A DIRIGER DES RECHERCHES

SPÉCIALITÉ ELECTRONIQUE

**CONTRIBUTION A LA CONCEPTION D'AMPLIFICATEURS DE PUISSANCE RADIO-  
FRÉQUENCES INTÉGRÉS ET DEVELOPPEMENT DES METHODES D'OPTIMISATION  
DE LEURS PERFORMANCES**

Soutenue prévue le : 27 novembre 2013

Devant la commission d'examen formée de :

M. KAISER, Andreas  
M. PERSON, Christian  
M. QUERE, Raymond  
M. BADETS, Franck  
M. BELOT, Didier  
M. DEVAL, Yann  
M. KERHERVE, Eric  
M. PELLET, Claude

Professeur, ISEN  
Professeur, Telecom Bretagne  
Professeur, Université de Limoges  
Ingénieur HDR, CEA-Leti  
Ingénieur HDR, STMicroelectronics  
Professeur, IPB  
Professeur, IPB  
Professeur, IUT Bordeaux 1

Rapporteur  
Rapporteur  
Rapporteur  
Examineur  
Examineur  
Examineur  
Examineur  
Président du Jury







# SOMMAIRE

<b>Introduction .....</b>	<b>13</b>
<b>1 Conception et réalisation d'amplificateurs de puissance intégrés .....</b>	<b>15</b>
1.1 Conception d'amplificateurs de puissance en technologie BiCMOS pour des applications multi-standards .....	16
1.2 Conception d'amplificateurs de puissance en technologie CMOS .....	19
1.3 Amplificateur de puissance CMOS auto-testable .....	25
1.4 Conclusion .....	28
1.5 Références bibliographiques .....	29
<b>2 Contribution a l'Etude et a l'Intégration Des Techniques d'Augmentation des Performances des Amplificateurs de Puissance .....</b>	<b>35</b>
2.1 Architectures de PAs en parallèle (Power Cell Switching) .....	36
2.1.1 Définition de l'architecture PCS.....	36
2.1.2 Mesures du circuit réalisé.....	41
2.2 Mise en œuvre de la technique Doherty.....	44
2.2.1 Conception des blocs élémentaires.....	46
2.2.2 Optimisation des performances du PA Doherty.....	48
2.2.3 Mesures de l'APD.....	50
2.3 Linéarisation par boucle cartésienne mixte analogique numérique .....	52
2.3.1 Etude de l'architecture de l'émetteur linéarisé.....	52
2.3.2 Conception des fonctions électroniques de l'architecture.....	55
2.4 Conclusions.....	60
2.5 Références bibliographiques .....	61
<b>3 Développement d'Architectures d'Emission RF Innovantes .....</b>	<b>65</b>
3.1 Etude d'une architecture innovante nommée Power VCO .....	66
3.2 Développement du Power VCO pour des applications WHDMI.....	73
3.2.1 Conception d'un PA à haut rendement à 60 GHz.....	73
3.2.2 Conception de la boucle de retour .....	76
3.2.3 Fonctionnement du système bouclé .....	77
3.3 Conclusion .....	79
3.4 Références bibliographiques .....	80
<b>4 Projets de recherches .....</b>	<b>83</b>
4.1 Conception d'amplificateur de puissance : nouvelles classes de fonctionnement, nouvelles technologies	84
4.1.1 Etude de nouvelles classes de fonctionnement : ingénierie des formes d'ondes .....	84

4.1.2	Etude de la combinaison de puissance sur la technologie GaN.....	87
4.1.3	Conception de PA en technologie Graphene.....	90
<b>4.2</b>	<b>Pré- et post-compensation numérique des imperfections analogiques &amp; RF.....</b>	<b>92</b>
4.2.1	Etude de la technique du suivi d'enveloppe.....	92
4.2.2	Sobriété énergétique : augmentation du rendement moyen pour les systèmes de transmission radio-cognitif.....	95
4.2.3	Développement d'une boucle de linéarisation multi-standard.....	96
<b>4.3</b>	<b>Etude d'une nouvelle structure d'émetteur reconfigurable et multi-standard .....</b>	<b>97</b>
<b>4.4</b>	<b>Références bibliographiques .....</b>	<b>98</b>
<b>5</b>	<b>Activités professionnelles.....</b>	<b>101</b>
<b>5.1</b>	<b>Parcours de formation .....</b>	<b>102</b>
<b>5.2</b>	<b>Activités pédagogiques .....</b>	<b>102</b>
5.2.1	Monitorat du CIES à l'Université Bordeaux 1 .....	102
5.2.2	Poste de demi-ATER à l'ENSEIRB .....	103
5.2.3	Poste de maître de conférences à l'IPB/ENSEIRB-MATMECA – Responsabilités pédagogiques	104
<b>5.3</b>	<b>Encadrement de stagiaires M2 UB1, 2<sup>ème</sup> ou 3<sup>ème</sup> année ENSEIRB-MATMECA.....</b>	<b>105</b>
<b>5.4</b>	<b>Direction de thèmes dans l'équipe CSH .....</b>	<b>106</b>
<b>5.5</b>	<b>Activités d'intérêt général au niveau local.....</b>	<b>106</b>
5.5.1	Conseil du Laboratoire (2003-2011) .....	106
5.5.2	Comité Technique Paritaire (2008-2011).....	106
5.5.3	Activités administratives.....	106
5.5.4	Participation à des comités de sélection .....	107
5.5.5	Actions vers l'extérieur .....	107
<b>5.6</b>	<b>Rayonnement national et international .....</b>	<b>107</b>
5.6.1	Participation à des jurys de thèse.....	107
5.6.2	Participation à des comités de sélection .....	108
5.6.3	Comité de pilotage du GDR SoC-SiP.....	108
5.6.4	Montage et participation à des projets nationaux, européens et internationaux de recherche	108
5.6.5	Participation aux comités de lecture de revues internationales .....	110
5.6.6	Implication dans les conférences nationales .....	110
5.6.7	Implication dans les conférences internationales .....	111
5.6.8	Relations avec le monde industriel.....	112
5.6.9	Mobilité internationale.....	113
	<b>Conclusion .....</b>	<b>114</b>
	<b>ANNEXE : PRODUCTION SCIENTIFIQUE .....</b>	<b>115</b>





## REMERCIEMENTS

Le travail reporté dans ce document est le fruit de 11 ans de recherches, depuis mes travaux de thèse jusqu'aux travaux se déroulant à la date de la soutenance.

Beaucoup de monde a contribué directement ou indirectement à ce travail, la liste des remerciements sera assez longue.

En tout premier lieu, je remercie les rapporteurs de cette Habilitation à Diriger les Recherches, Andreas Kaiser, Raymond Quéré et Christian Person. Leur confiance accordée en s'associant à ce travail est pour beaucoup dans sa réussite. Les deux premiers étaient mes rapporteurs de thèse et il était important à mes yeux qu'ils soient de nouveau associés à mon HDR. J'ai choisi mes rapporteurs sur l'aspect scientifique autant sur l'aspect humain. Les travaux effectués sur le projet PANAMA et les liens tissés au cours des avancements de ce projet et autres conférences m'ont amené à demander à Christian Person d'être associé également à ce travail.

Je remercie l'ensemble des membres de mon jury d'avoir fait de ce jour de soutenance un jour riche en discussions et en bonne humeur. Je remercie le directeur du Laboratoire Claude Pellet, de s'être rendu disponible et Franck Badets également, sa présence était aussi importante pour moi. Il m'a accueilli pour mon tout premier stage au Laboratoire en 1999, je ne l'ai pas oublié !

On dit qu'une HdR est un travail personnel. Si cela est vrai, elle n'en est pas moins le résultat de travaux menés en commun. Aussi, mes remerciements s'adressent à mon collègue Eric Kerhervé avec qui j'ai démarré la recherche en 2002. Il m'a recruté en thèse avec Pierre Jarry, m'a soutenue pour une poste d'ATER puis pour mon recrutement au poste de Maître de Conférences en 2006 et n'a cessé depuis de m'accorder sa confiance.

Je remercie également les personnes avec qui j'ai travaillé : les Docteurs Yohann Luque sur les PA CMOS avec l'architecture SFDS originale et son enthousiasme, Nicolas Delaunay sur les aspects linéarisation CFB, Sophie Dréan sur l'architecture du Power VCO mmW, Adrien Tuffery sur les architectures PCS CMOS (merci aussi pour le mouton blanc dit « moutmout » que Chloé adore), Marcos Lajovic Carneiro sur les architectures Doherty qui a eu le bon goût de faire sa soutenance au Brésil au soleil en plein hiver bordelais, Nejdât Demirel pour son engagement sur PANAMA. Je remercie les personnes avec qui je travaille actuellement, les doctorants Victor Dupuy sur les PA GaN, toujours prêt à concevoir des circuits de  $25\text{mm}^2$ , Mouna Ben Mabrouk qui jongle entre le traitement du signal et la conception pour linéariser les PAs et Heider Marconi Guedes Madureira qui travaille sur les Power Amplifiers, les Power VCOs, les Power PLL, les Power-Modulator, jusqu'où s'arrêtera-t-il ? Je remercie les stagiaires qui ont travaillé sur mes thématiques de recherche, Nicolas Martin et Boris Moret sur le Power VCO, Raphael Guillaume sur les PAs Classe J, Alexis Aulery sur la boucle cartésienne. Je remercie également Yann Deval qui nous apporte son avis éclairé et pertinent sur de nombreux sujets, je suis

toujours autant bluffée par sa capacité de réflexion et d'analyse. Je remercie également Dominique Dallet et Bertrand Legal qui apporte beaucoup sur les travaux sur la linéarisation dans le domaine numérique ainsi que Eric Grivel et Guillaume Ferré sur le traitement numérique du signal pour la post-distorsion. Je remercie Sébastien Frégonèse de se lancer avec moi sur les technologies émergentes, nous avons de belles années de travaux de recherche ensemble qui se profilent. Je tiens également à remercier les partenaires extérieurs avec qui j'ai collaboré. Ces remerciements s'adressent à Didier Belot qui a œuvré pour que nos circuits voient le jour et qui était à nos côtés pour l'obtention et le suivi des thèses CIFRE, à Vincent Knopik, qui m'a été d'une aide précieuse pendant ma thèse puis n'a cessé d'être pertinent dans le suivi de la thèse de Nicolas Delaunay et d'Adrien Tuffery avec Philippe Cathelin, à Baudouin Martineau avec lequel j'ai travaillé sur la thèse de Sophie Dréan et les stages de Nicolas Martin et Boris Moret, mes collègues d'UPC José Luis Gonzales et Josep Altet sur le passionnant travail sur le capteur thermique. Un grand merci à Olivier Mazouffre et Magali De Matos qui nous aident pour la CAO, pour les mesures et qui ont souvent des remarques très pertinentes ! Je dois oublier du monde, je m'excuse d'avance....

Merci donc à vous tous.

Je remercie également toutes les personnes que je côtoie tous les jours dans la bonne humeur, les collègues, doctorants et stagiaires du groupe Conception que je n'aurai pas déjà cité (passés et/ou présents), Isa mon oxygène dans ce monde, Cédric mon ex-voisin de bureau parti dans un bâtiment si loin, L'équipe du Service Informatique (Régis, Patrick, Jean-Emmanuel), Simone à l'accueil, les personnels d'entretien qui nous permettent de travailler dans des locaux propres. L'environnement professionnel a une grande influence sur le travail, c'est pour cela que je remercie l'ensemble des collègues du Laboratoire pour participer à l'ambiance qui y règne.

Je ne peux déceimment pas continuer ces pages ô combien importantes sans remercier ma famille toujours à mes côtés. Sébastien, toujours présent pour me soutenir, qui m'a aidé du mieux possible durant ces quelques mois et qui était bien content que je soutienne enfin pour que j'arrête de passer tout mon temps sur le manuscrit ou sur les slides! Et puis, bien évidemment, mon bébé, Chloé, qui par sa présence, ses sourires et éclats de rires a donné un nouveau sens à ma vie et m'a aidé à passer des moments difficiles.

Nathalie

## AVANT PROPOS

*Ce mémoire présente mes activités de recherche au sein du Laboratoire IMS, Unité Mixte de Recherche du CNRS (UMR5218) dirigée par le professeur Claude Pellet.*

*Après l'obtention de mon doctorat en décembre 2005, je suis recrutée en qualité de Maître de Conférences en septembre 2006 au sein de l'équipe Circuits et Systèmes Hyperfréquences (CSH) dirigée par le professeur Eric Kerhervé, dans le groupe Conception dirigé par le professeur Jean-Baptiste Begueret, lui-même dans le pôle Hardware Integration dirigé par le professeur Yann Deval.*

*Les travaux présentés dans ce document sont effectués au sein de l'équipe CSH pour la plus grande part en collaboration avec Eric Kerhervé mais également avec des collègues d'équipe, de groupe ou de pôle différents sur des thématiques transversales (numérique, traitement du signal, modélisation).*



## INTRODUCTION

Les communications radio-fréquences se sont considérablement développées ces vingt dernières années avec l'émergence des standards 3G et 4G pour des applications toujours plus innovantes et touchant un large public. Cet essor a énormément influencé le développement de sujets de recherche en électronique analogique, radio-fréquence et millimétriques sur des filières technologiques elles-même en pleine évolution.

Dans ce vaste domaine de recherches, mes activités dans l'équipe *Circuits et Systèmes Hyperfréquences* dirigée par le professeur Eric Kerhervé se sont concentrées sur la partie émission des terminaux mobiles. Les défis que ces travaux adressent sont l'intégration de la partie émission sur des technologies CMOS et BiCMOS de la filière Silicium, la recherche d'architectures permettant la réduction de la consommation d'énergie pour tendre vers l'électronique verte ainsi que la reconfigurabilité des circuits et systèmes afin d'optimiser les ressources pour des applications multi-standards en réduisant le nombre de composants et la surface occupée.

Ce document propose de synthétiser mes activités de recherche selon l'organisation suivante. Le chapitre 1 est consacré à l'intégration d'amplificateurs de puissance silicium sur des technologies CMOS et BiCMOS en présentant les solutions « circuit » que nous avons développé. Cette activité a débuté lors de mes travaux de thèse en octobre 2002 [T-DEL05] à travers la conception d'amplificateurs de puissance en technologie BiCMOS SiGe reconfigurables multi-standard pour les applications mobiles. Puis, une structure d'amplificateurs de puissance innovante est proposée afin d'intégrer totalement les parties émission et réception sur une seule et même puce CMOS. La notion de signature thermique du PA est introduite.

Afin de surmonter le compromis linéarité/rendement inhérent aux amplificateurs de puissance traditionnels, nous retrouvons dans le chapitre 2 différentes architectures qui répondent

à l'augmentation du rendement des PAs linéaires et l'augmentation de la linéarité des PAs à haut rendement. L'option choisie est alors de travailler « autour » du PA sur des techniques prometteuses en termes de perspectives d'intégration et de performances. Ainsi, les études de la mise en parallèle de cellules amplificatrices et des amplificateurs Doherty sont décrites. De plus, la technique de linéarisation par boucle cartésienne est développée en y associant de l'intelligence numérique.

Le chapitre 3 se distingue des deux premiers dans le sens où il est consacré aux travaux effectués sur les architectures d'émetteur dans lequel nous avons développé un émetteur original aux fréquences RF et millimétriques. Cette architecture, innovante dans sa forme, permet d'émettre directement le signal modulé par un bloc que nous appelons Power VCO. Il s'agit d'un oscillateur contenant un amplificateur de puissance dans la chaîne directe et un filtre dans la chaîne de retour. Nous proposons pour la chaîne directe l'utilisation de PA à haut rendement et pour la chaîne de retour de réseaux LC, de résonateurs BAW, de filtres BAW, et de vecteur-modulateur.

Le chapitre 4 quant à lui expose mon projet de recherche. Il se nourrit des éléments présentés dans les trois premiers chapitres. Le travail au niveau « circuit » est toujours présent en proposant des études sur de nouvelles classes de fonctionnement, sur des technologies GaN, graphène et FinFET. Le travail « autour du PA » se poursuit avec de nouvelles applications pour la boucle cartésienne et la recherche de solution originale de réduction de la consommation en mêlant des méthodes de traitement du signal. Enfin, la réflexion au niveau système sur la façon de penser les émetteurs est également relancée.

En parallèle de ces activités, la dernière partie du document est consacrée aux activités d'enseignement et d'intérêt généraux au niveau de l'établissement d'enseignement (IPB), du laboratoire, des activités nationales et internationales.

CONCEPTION ET REALISATION D'AMPLIFICATEURS  
DE PUISSANCE INTEGRES

Dans ce premier chapitre, nous étudions la faisabilité d'intégrer des PAs en technologies CMOS et BiCMOS pour des applications mobiles en vue d'une intégration complète de l'émetteur.

Dans un premier temps, est présentée une toute première réalisation de PA en technologie BiCMOS 0,25 $\mu$ m de STMicroelectronics, fonctionnant en classe A-AB et AB-F pour une application multi-standard. Une architecture d'amplificateurs de puissance reconfigurable est alors proposée pour répondre à la problématique des terminaux mobiles multi-standards, problématique préalablement posée.

Ensuite, une structure d'amplificateurs de puissance CMOS originale est présentée permettant d'atteindre des puissances élevées (30-33dBm) ouvrant la voie vers l'intégration totale.

Un capteur de température est également proposé pour permettre de déterminer le comportement de l'amplificateur de puissance en fonctionnement et de détecter des défaillances.

## 1.1 Conception d'amplificateurs de puissance en technologie BiCMOS pour des applications multi-standards

Le succès des terminaux mobiles repose sur la convergence des systèmes afin que l'accès aux différents services et applications soit faite de façon transparente pour les utilisateurs. Ce sont les terminaux multi-modes et multi-standards. Par ailleurs, le défi est également de développer l'architecture la plus performante en termes de consommation, de linéarité et de surface pour chaque application, afin de proposer des terminaux mobiles peu gourmand en énergie, peu coûteux mais offrant de hauts débits selon l'application choisie. Pour répondre aux défis du multi-standard, une solution est la mise en parallèle de plusieurs chaînes d'émission-réception, autant que de standards/modes, sélectionnée en fonction de l'application choisie. C'est une solution sans risque pour le fabricant mais pas optimale au niveau coût et taille du terminal. Nous souhaitons privilégier une autre voie : utiliser une seule chaîne où les éléments RF sont capables d'adapter leur propriétés électriques (puissance de sortie, linéarité, sélectivité, etc.) en fonction standard sélectionné. Pour la démonstration de faisabilité de l'architecture, nous choisissons de travailler sur un amplificateur de puissance reconfigurable multi-standard avec une commande numérique pour les standards GSM et UMTS, qui ont des spécifications très différentes. Le standard GSM demandent de forte puissance (33dBm max) avec une contrainte relâchée sur la linéarité (modulation GMSK) tandis que le standard UMTS propose des débits importants donc une contrainte de linéarité très forte avec des puissances moins importantes (24dBm max). Cette étude débute en octobre 2002 sous l'impulsion d'Eric Kerhervé avec le début de mes travaux de thèse. Au cours de ces travaux, des amplificateurs de puissance en technologie BiCMOS 0.25 $\mu$ m de STMicroelectronics sont étudiés et réalisés. Ces travaux permettent de bien appréhender la spécificité de conception des amplificateurs de puissance sur silicium, les contraintes étant bien différentes des autres blocs du front-end RF avec les fortes densités de courant mises en jeu, mais également le compromis linéarité/rendement (ici *PAE-Power Added Efficiency*), illustré sur la Figure 4- 1. En effet, le rendement est généralement élevé à de forts niveaux de puissance (point A), et chute rapidement lorsque celle-ci diminue (point B).

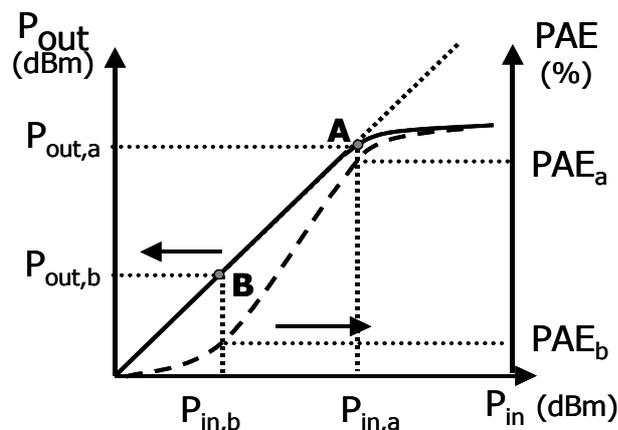


Figure 4- 1 : Puissance de sortie et PAE en fonction de la puissance d'entrée

Ces travaux conduisent à la conception de deux types d'amplificateurs de puissance dans différentes classes de fonctionnement : un amplificateur linéaire avec un rendement faible (Classes A et AB) et un amplificateur non-linéaire avec un fort rendement (Classe F). L'amplificateur de puissance réalisée est présenté à la Figure 4- 2. Il s'agit d'un amplificateur à deux étages dont le premier est polarisé en classe A ou AB grâce à une polarisation extérieure réglable, et le deuxième étage est polarisé en classe AB. Le réseau d'adaptation d'impédance de sortie est réalisé sur un PCB de sorte que nous avons deux amplificateurs différents sur deux PCB différents: un PCB avec l'amplificateur classe A-AB et un réseau d'adaptation 50 Ohms « classique » et un autre PCB avec l'amplificateur et un réseau de mise en forme du signal avec un traitement des harmoniques pour réaliser la classe F. La Figure 4- 3 illustre la différence de rendement (Power Added Efficiency - PAE) entre la classe AB et la classe F au niveau de l'étage de puissance.

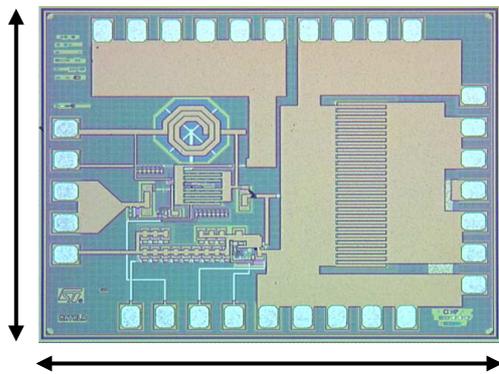


Figure 4- 2 : Photographie de la puce réalisée

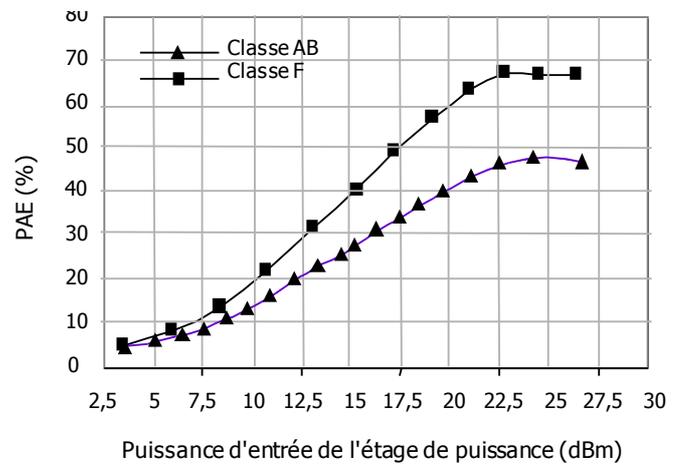


Figure 4- 3 : Evolution du rendement en fonction de la puissance d'entrée pour les classes AB et F

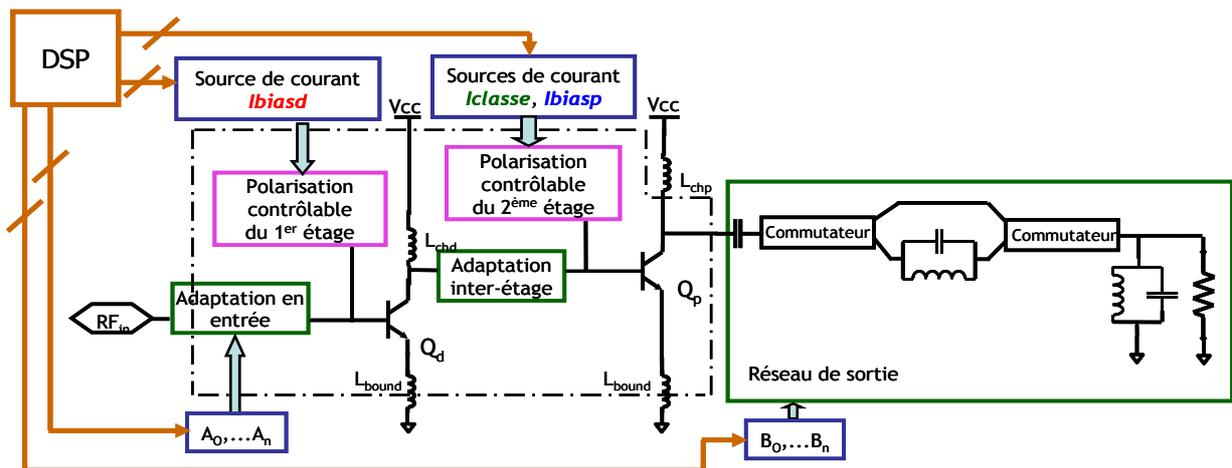


Figure 4- 4 : Topologie du PA reconfigurable multi-standard commandé par le bloc traitement numérique

Ces premières réalisations d'amplificateurs de puissance SiGe ont permis de mettre au point une méthodologie de conception d'amplificateurs multi-standard reconfigurables en fonction des spécifications du standard choisi à un moment donné.

Ainsi, pour répondre aux contraintes de linéarité et de rendement propres aux standards UMTS et GSM respectivement, nous proposons l'architecture d'amplificateur de puissance reconfigurable en puissance présentée à la Figure 4- 4. Le PA est constituée de deux étages avec un réseau d'adaptation d'entrée, un autre entre les deux étages et un réseau de sortie. Les deux étages ont leur propre circuit de polarisation afin de reporter les contraintes sur chaque étage et permettre la variation des paramètres dynamiques du PA. Les différents réseaux présents dans ce schéma vont nous permettre de contrôler la fréquence de fonctionnement de l'amplificateur en réalisant l'adaptation d'impédance. Le réseau de sortie a un rôle supplémentaire dans la mesure où il fixe les impédances en sortie de l'amplificateur à la fréquence fondamentale et aux fréquences harmoniques.

La puissance de sortie d'un amplificateur est déterminée par plusieurs paramètres. Le courant de collecteur de l'étage de puissance est un de ceux-ci. Pour augmenter la puissance de sortie de 24 dBm (UMTS) à 27 dBm (DCS) puis 30 dBm (GSM), le courant de collecteur va être multiplié au moins par quatre. Un contrôle dynamique de ce courant peut permettre cette augmentation, à travers les circuits de polarisation. Concernant la linéarité de la structure, elle est déterminée par la classe de fonctionnement utilisée. Si nous regardons uniquement les classes sinusoïdales, la classe de l'amplificateur est fixée par le courant traversant le transistor, pour un même réseau de sortie. Donc, nous pouvons contrôler la classe de fonctionnement en faisant varier le courant de repos des transistors de la structure. Ainsi, un contrôle dynamique du courant de polarisation du transistor de sortie nous permet de faire varier la puissance de sortie et la linéarité de l'amplificateur de puissance.

Le dernier critère est le rendement. Il est maximal lorsque le transistor travaille à son point de compression. Il s'agit d'un critère sensible pour le GSM, de par les puissances mises en jeu, mais également pour l'UMTS, qui utilise une modulation à enveloppe non-constante. Dans ce cas, le PA ne transmet pas en permanence le signal à son amplitude maximale, mais le plus souvent à des amplitudes moins importantes, où le rendement est faible. Le contrôle du point de compression à 1dB (*CP1*) de la structure en fonction du niveau du signal d'entrée peut nous permettre d'augmenter le rendement moyen. Il s'agit de déplacer le *CP1* vers les bas niveaux lorsque ceux-ci sont présents en entrée de l'amplificateur de puissance. La Figure 4- 5 représente la variation du *CP1* en fonction du paramètre de contrôle *Ibiasd*, nom de la source de courant du circuit de polarisation du premier étage, et la Figure 4- 6 représente l'effet de cette modification sur le rendement. Ainsi nous pouvons réduire la consommation d'énergie du PA dans le cas de modulation à enveloppe non-constante en introduisant la notion de reconfigurabilité en puissance. Cette architecture nous permet d'adresser des terminaux multi-standards GSM/UMTS. Pour la transmission de données à 1,95GHz avec le standard UMTS, l'architecture vise à privilégier la linéarité avec un PA à deux étages de Classe A et AB. Dans cette configuration, le point de compression à 26,1 dBm pour une puissance de sortie de 24 dBm linéaire avec un rendement de 27%. Puis lorsque le mode GSM est sélectionné pour de la

phonie, le débit étant moins important, la contrainte de linéarité est relâchée au profit du rendement qui est de 49% au point de compression (27,6 dBm).

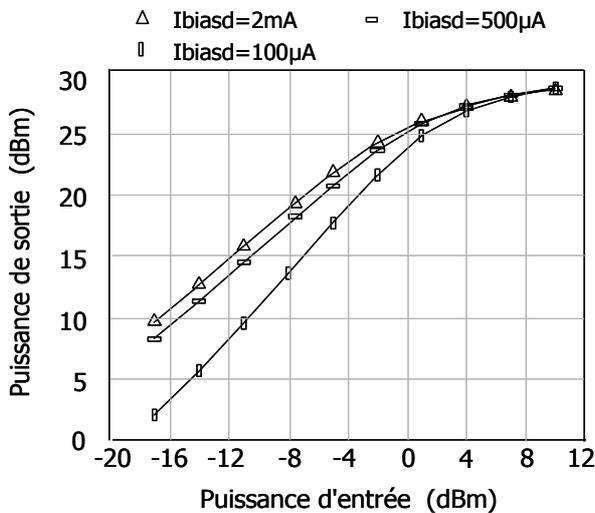


Figure 4- 5: Courbe AM/AM pour trois valeurs du courant  $I_{biasd}$

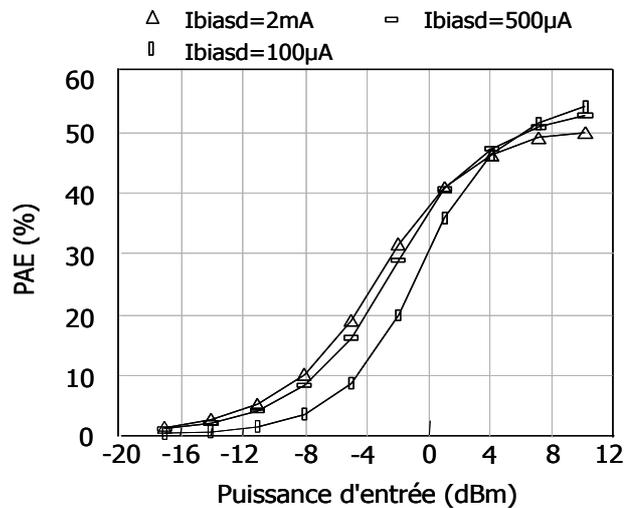


Figure 4- 6: PAE en fonction de  $P_{in}$  pour trois valeurs du courant  $I_{biasd}$

Sur ces travaux réalisés dans le cadre de ma thèse soutenue en décembre 2005, nous privilégions l'écriture de deux brevets sur la partie architecture reconfigurable que notre partenaire STMicroelectronics a déposés: un brevet français [B-DEL08] et un brevet international [B-DEL09-1]. Ces travaux ont donné lieu à la rédaction d'un chapitre dans un ouvrage [R-DEL05], deux papiers invités dans des conférences internationales avec comité de lecture [I-DEL10] [I-DEV10], cinq articles dans des conférences internationales avec comité de lecture [CI-DEL04-1], [CI-DEL04-2], [CI-DEL05], [CI-DEL06-1], [CI-DEL06-3], deux articles dans des conférences nationales avec comité de lecture [CF-DEL04], [CF-DEL05] ainsi qu'une présentation au GDR Ondes [G-DEL03].

Ces travaux nous permettent également de participer au projet européen MEDEA+ UPPERMOST (2005-2008) sur les amplificateurs de puissance BiCMOS reconfigurables [CI-LEY08] [CI-LEY09].

## 1.2 Conception d'amplificateurs de puissance en technologie CMOS

Fort de ces premières réalisations en technologie BiCMOS, nous poursuivons le travail sur l'intégration des amplificateurs de puissance en technologie CMOS. En effet, l'intégration totale du front-end radiofréquence et de la partie numérique sur une seule et même puce est un vrai défi à relever. De nombreuses problématiques sont inhérentes à cette intégration : dissipation thermique, couplages divers, faible rendement, etc. Ainsi cette question nous a animé en 2005 et anime encore de nombreuses discussions et tables-rondes dans les conférences internationales.

Pour apporter notre contribution à ce sujet, nous avons proposé l'étude de faisabilité de l'intégration d'un PA CMOS dans une technologie CMOS 130nm de STMicroelectronics pour les applications UMTS durant le stage de Master 2 de Yohann Luque. Ce travail s'est poursuivi dans le

cadre d'une thèse MENRT avec Yohann Luque débutée en octobre 2006 et soutenue le 4 décembre 2009 [T-LUQ09]. Le stage étant une étude préalable, nous avons proposé de développer une nouvelle architecture d'amplificateur de puissance en technologie CMOS 65nm de STMicroelectronics.

La principale difficulté de ce travail repose sur les conséquences des effets d'échelle dues à la miniaturisation. En effet, la diminution des largeurs de grille des transistors entraîne une diminution des tensions d'alimentation. D'un autre côté, pour une application donnée, la puissance spécifiée en fonction du standard et non de la technologie. Autrement dit, si la tension diminue et que la puissance reste identique alors la relation liant puissance, tension et courant indique que le courant doit augmenter... Néanmoins, l'augmentation du courant est à envisager avec précaution. En effet, l'épaisseur des oxydes et des métaux subit une forte réduction. La Figure 4- 7 présente une vue en coupe des différents niveaux de métallisation pour différentes technologies. Regardons la vue en coupe de la technologie BiCMOS 250nm que j'ai utilisé pendant ma thèse et comparons là aux vues en coupe des technologies CMOS 130nm et 65nm de STMicroelectronics : nous ne pouvons que constater les diminutions des épaisseurs d'oxyde et de métallisations.

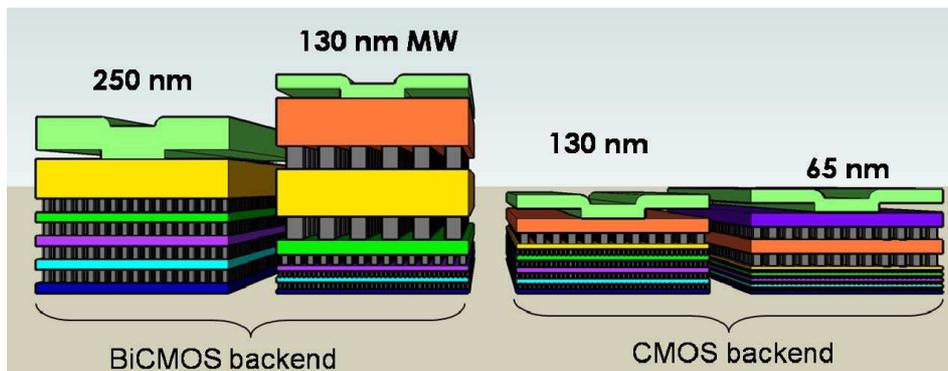


Figure 4- 7 : Vue en coupe des niveaux de métallisation en fonction de la technologie

Les conséquences sont nombreuses : réduction du facteur de qualité des passifs, augmentation des risques d'électro-migration, augmentation des parasites résistifs, inductifs et capacitifs, augmentation des pertes à travers le substrat. Nous en concluons que sur la technologie CMOS 65nm, une simple structure source commune ne nous permettra pas d'atteindre les puissances du PA développé en BiCMOS 0.25 $\mu$ m avec un rendement acceptable. Ce constat est par ailleurs corroboré par une étude bibliographique des PAs existants dans la littérature. Le Tableau 1 - 1 recense des PAs en technologie CMOS basés sur une architecture source commune. Sur ces cinq références, les niveaux de puissance de sortie sont comparables au regard de la tension d'alimentation, néanmoins nous pouvons constater une baisse du rendement en puissance ajoutée avec la diminution de la longueur de grille. Une exception est à faire pour la  $PAE_{max}$  de la référence [REY05], en effet, le standard visé étant du GSM, les auteurs ont mis en œuvre une classe E afin de maximiser le rendement (théoriquement de 100%).

Tableau 1 - 1 : Performances des PAs basés sur des architectures source commune

Références	Techno CMOS (nm)	Structure	Fréq. (GHz)	Alim. (V)	Pout (dBm)	Gain (dB)	PAE (%)	Application
[WAN04]	500	Source commune	1.75	3.3	Max : 25 OCP1 : 24	23.9	Max : 33 OCP1 : 29	3GPP WCDMA
[HEO01]	250	Source commune	2.4	2.5	Max : 23 OCP1 : 21	18.8	Max : 45 OCP1 : 26	ISM band
[ASB01]	250	Source commune	1.9	3	Max : 29.2 OCP1 : 26	20.7	Max : 27.4 OCP1 : 18	EDGE
[SRI05]	180	Source commune	1.9	2.4	OCP1 : 23	21	OCP1 : 25	IS-95
[REY05]	180	Source commune	1.75	3.3	Max : 27	NC	Max : 34	GSM

Le Tableau 1 - 2 quant à lui présente des PAs publiés récemment en technologie CMOS 65nm. Dans cette technologie et pour des applications de communications mobiles à moyenne ou forte puissance de sortie, la structure source commune classique n'est pas privilégiée, les auteurs préférant utiliser des architectures cascades et différentielles. Afin de maximiser la puissance de sortie, des travaux portent sur la conception de PAs en parallèle recombinaison par des transformateurs (DAT : Distributive Active Transformer) [AFS10][CHE11].

Tableau 1 - 2 : Performances des PAs réalisés en technologie CMOS 65nm

Réf	Techno CMOS (nm)	Structure	Fréq. (GHz)	Alim (V)	Pout (dBm)	Gain (dB)	PAE (%)	Appli.	BV <sub>ds</sub> (V)
[FRI08]	65	Cascade différentiel	2.4	3.3	Max : NC OCP1 : 19.6	18	Max : NC OCP1 : 5.8	802.11n	3.3
[WAN08]	65	Cascade différentiel	2.4	3.3	Max : 27 OCP1 : 25.3	35	Max : 14 OCP1 : 10	NC	6.2
[AFS10]	65	Cascade différentiel + DAT	2.45	3.3	Max : 31.5 OCP1 : 27.5	32	Max : 25 OCP1 : NC	WLAN	1.2
[CHE11]	65	différentiel + DAT	60	1	Max : 18.6 OCP1 : 15	20.3	Max : 15 OCP1 : 12.6	WLAN	1

Les avantages du cascode sur la structure source commune sont assez connus en termes de réponse en fréquence, d'isolation et de gain. Pour notre application, nous retiendrons surtout deux avantages importants : l'augmentation du gain nous permet d'améliorer le rendement et l'augmentation de l'impédance de sortie du montage nous permet de faciliter le matching en sortie du PA. La Figure 4- 8 illustre l'augmentation de l'impédance de sortie entre une structure source commune (SC) et une structure cascode. Le comportement de la structure cascode est plus proche d'une source de courant parfaite dans la zone saturée. De plus, une structure cascode permet également de présenter une impédance de charge optimale plus grande.

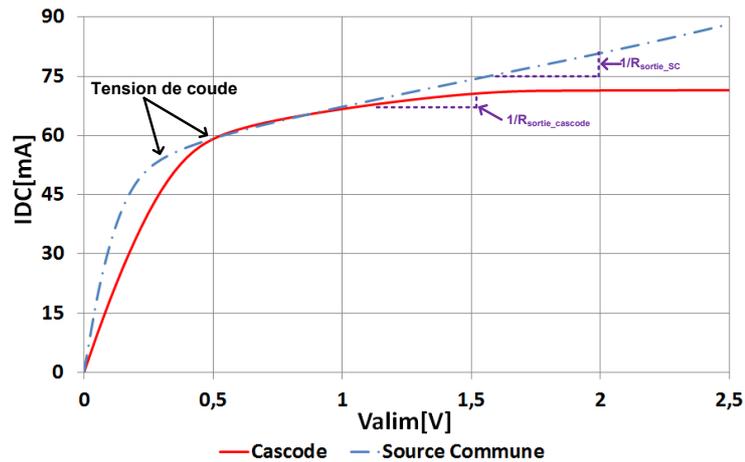


Figure 4- 8 : Caractéristique  $I_{DC}$  vs  $V_{alim}$  pour un montage source commune et un montage cascode

Or, avec une impédance de charge optimale à présenter plus grande, un rapport de transformation moins important est nécessaire pour convertir l'impédance de l'antenne ( $50\Omega$ ) vers l'impédance optimale de sortie. Plus le rapport de transformation est important, plus les valeurs des inductances nécessaires pour réaliser le réseau d'adaptation sont grandes. Or, pour un coefficient de qualité donné, les pertes résistives sont proportionnelles à la valeur de l'inductance, d'où résulte une augmentation des pertes dans le réseau d'adaptation lorsque le rapport de transformation augmente. Par conséquent le choix d'une structure cascode présente également un intérêt afin de réduire les pertes du réseau d'adaptation de sortie.

Toutefois, une structure cascode conduit à l'augmentation de la tension de coude (Figure 4-8) et présente un intérêt limité si des transistors capables de supporter des tensions plus importantes sont disponibles dans le Design Kit (DK). Toutefois les transistors supportant des tensions plus importantes présentent également des épaisseurs d'oxyde plus importantes et ont donc des fréquences de transition plus faibles. Par ailleurs, ces transistors nécessitent des masques supplémentaires et sont disponibles en option sur les technologies CMOS. Dans une démarche faible coût, nous privilégions l'utilisation des transistors MOS standards.

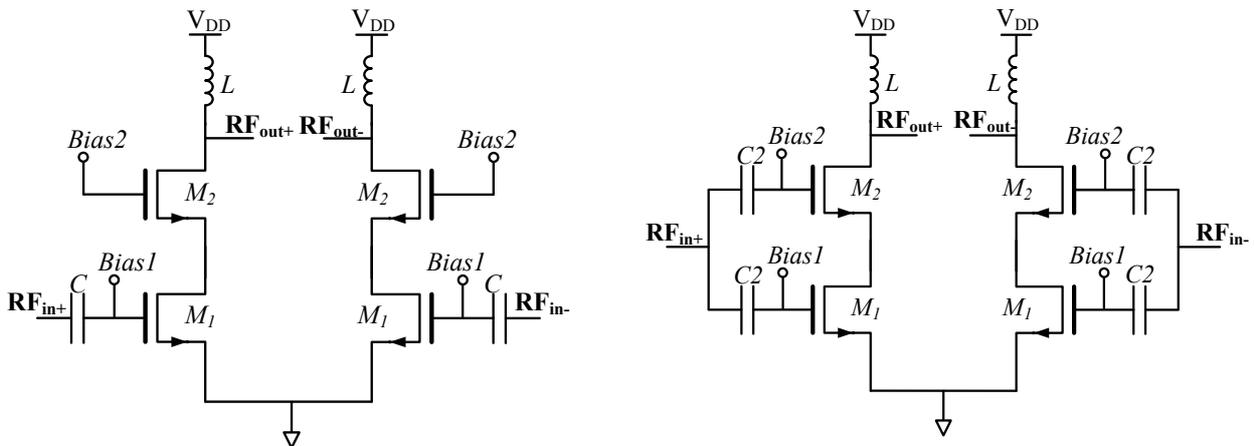


Figure 4- 9 : Schéma de principe du PA cascode (à gauche) et du PA SFDS (à droite)

Dans le cadre de la thèse de Yohann Luque, nous souhaitons conserver les avantages du cascode tout en développant une architecture alternative au cascode. Yohann Luque s'oriente vers une structure empilée différentielle que nous avons baptisée PA SFDS (Stacked Folded Differential Structure). Les deux structures sont présentées à la Figure 4- 9.

Considérons le signal d'entrée  $RF_{in+}$  dans la structure cascode présentée à la Figure 4- 9. Il est appliqué sur la grille du transistor  $M_1$ . L'originalité de la structure du PA SFDS consiste à appliquer ce signal sur les grilles des deux transistors  $M_1$  et  $M_2$ . Nous considérons alors l'association ( $M_1, M_2$ ) comme un ensemble indivisible avec une valeur plus importante de tension de claquage. Ainsi, nous pouvons augmenter la tension d'alimentation du montage et par conséquent, augmenter la puissance de sortie en comparaison avec la structure cascode classique. D'autre part, contrairement à l'utilisation de transistors MOS à double grille, les épaisseurs de grille des transistors  $M_1$  et  $M_2$  peuvent être différentes, il est alors possible d'utiliser deux transistors ayant des caractéristiques complètement différentes (tension de claquage, taille, tension de seuil, linéarité, etc...). Ceci permet une grande flexibilité de la structure pour une utilisation possible pour différentes applications.

L'étude théorique détaillée de la comparaison entre les topologies cascode et SFDS est disponible dans le manuscrit de thèse de Yohann Luque [T-LUQ09].

Afin de montrer le potentiel en puissance de la structure empilée, nous présentons une comparaison des performances entre un circuit cascodé et un circuit empilé. La charge de sortie et le courant de drain sont identiques pour toutes les simulations présentées. Les transistors  $M_1$  et  $M_2$  de la Figure 4- 9 ont les mêmes dimensions ( $W=2mm$  ;  $N_f=25$ ,  $N_c=20$ ). La comparaison entre les simulations de la structure cascodée et celles de la structure empilée (Tableau 1 - 3) met en évidence les améliorations apportées par la structure empilée sur la puissance de sortie, sur la linéarité et sur le rendement. Il est donc plus intéressant d'utiliser cette structure pour notre application. Pour réaliser cette comparaison nous avons utilisé la moitié de la structure SFDS (nommée HSFDS).

Tableau 1 - 3 : comparaison des performances large-signal

Largeur de grille (mm)	Structure	$P_{max}$ (dBm)	OCP1 (dBm)	$PAE_{max}$ (%)	$PAE_{OCP1}$ (%)	Gain (dB)
$M_2=9$	HSFDS	28.7	25.5	41.5	22.5	12.6
$M_1=9$	Cascode	26.7	21.5	40	10	15.8
$M_2=11$	HSFDS	30	26	42	27	12
$M_1=9$	Cascode	26.7	22.5	40	12	15
$M_2=4$	HSFDS	28.7	23.6	40	16.2	14.6
$M_1=9$	Cascode	24.5	18.5	34	5.5	17.5

Suite à cette étude, nous développons sur ce principe la structure empilée avec deux transistors afin de démontrer la pertinence de la solution. Le schéma électrique du PA SFDS à deux transistors empilés est présenté à la Figure 4- 10. La puce (Figure 4- 11) est fabriquée en technologie CMOS 65nm de STMicroelectronics. Les résultats des mesures effectuées à 1,8GHz sont présentés à la Figure 4- 12. En mesure sur la moitié de la puce (mesures single), la puissance maximum atteinte par la structure est égale à 27dBm et la puissance de sortie au point de compression est de 25.5 dBm. Les performances en puissance sont donc très bonnes, néanmoins la PAE reste peu élevée (maximum à 15%).

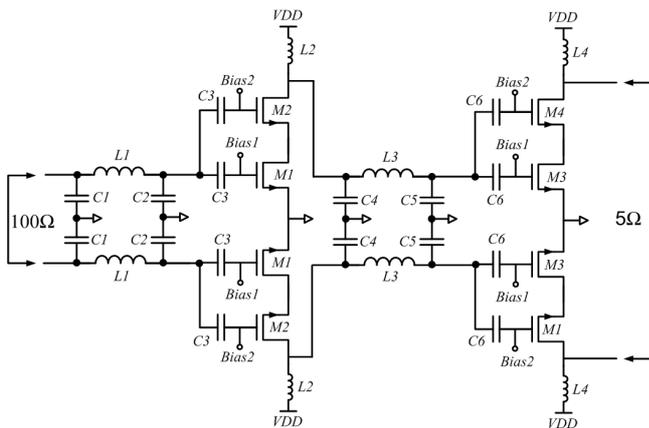


Figure 4- 10 : Schéma électrique du PA SFDS

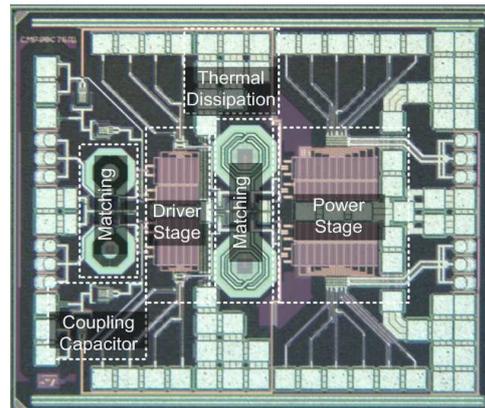


Figure 4- 11 : Photographie du circuit

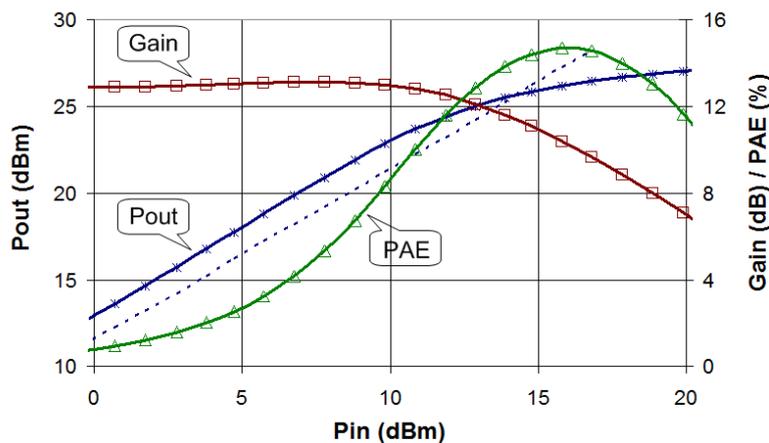


Figure 4- 12 : Résultats de mesures sur la moitié de la structure

Ensuite, nous décidons d'associer la structure HSFDS à la structure cascode pour former une structure à 3 transistors empilés dédiées aux applications WiFi à 2,45 GHz. Le schéma électrique est présenté à la Figure 4- 13 avec les performances associées à la Figure 4- 14. Le circuit est totalement intégré et adapté sur 50 Ω.

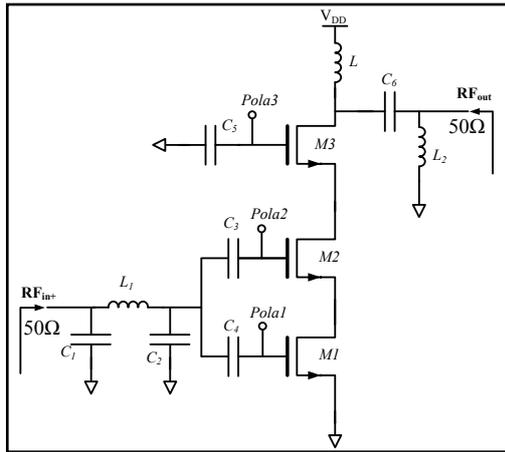


Figure 4- 13 : schéma électrique du HSFDS avec trois transistors empilés

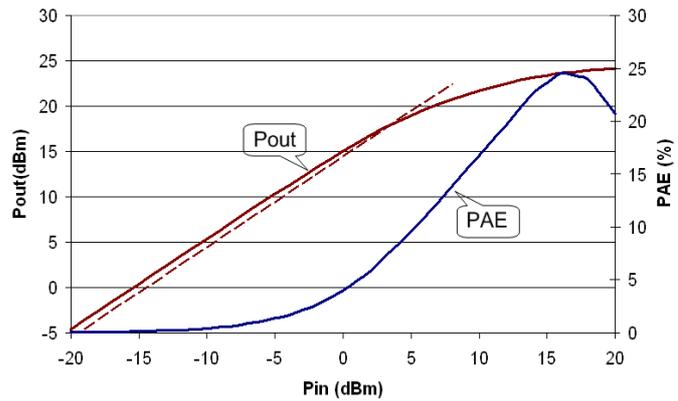


Figure 4- 14 : Performances obtenues avec le HSFDS avec trois transistors empilés

Sur la base de ces travaux, d'autres circuits ont été réalisés (structure différentielle, avec 2 ou 3 transistors, utilisation de DAT). Ainsi, nous avons pu constater que cette structure était particulièrement bien adaptée aux standards de communications exigeant des signaux linéaires avec des niveaux de puissance élevés (jusqu'à 30-33 dBm) avec toutefois des rendements conformes à l'état de l'art. En revanche, pour des applications nécessitant des puissances de sortie plus faibles, de l'ordre de 20-23dBm permettant l'intégration complète du PA, la structure devient intéressante pour la consommation.

La fabrication des circuits réalisés lors de la thèse de Y. Luque ont été financés dans le cadre du Laboratoire Commun STMicroelectronics- IMS. En effet ces travaux sont inscrits dans l'action « Cellular WLAN - Reconfigurable Radio / PA CMOS » (correspondants IMS : E. Kerhervé/ STM : D. Belot).

Ces travaux ont donné lieu à la rédaction de quatre revues internationales avec comité de lecture [R-LUQ10-1], [R-LUQ10-2], [R-LUQ11-1], [R-LUQ11-2], un papier invité dans une conférence internationale avec comité de lecture [I-KER09], six articles dans des conférences internationales avec comité de lecture [CI-LUQ07], [CI-LUQ08-1], [CI-LUQ08-2] (pour cette présentation, notre doctorant s'est vu remettre le prix « Best student paper award »), [CI-LUQ09], [CI-LUQ10-1], [CI-LUQ10-2], deux publications dans une conférence nationale avec comité de lecture [CF-LUQ07] [CF-LUQ08] et une présentation dans le cadre d'une journée thématique du GDR SoC-SiP [G-KER09].

### 1.3 Amplificateur de puissance CMOS auto-testable

Dans le cadre du projet européen PANAMA (que nous évoquons au chapitre 2), j'ai participé au workshop PANAMATharm organisé par J. L. Gonzalez et J. Altet de l'Université Polytechnique de Catalogne (UPC), partenaires de PANAMA. En marge de ce workshop, nous souhaitons débiter une collaboration autour de la conception d'un amplificateur de puissance intégrant un capteur

thermique. En effet, le PA reste le plus grand consommateur d'énergie dans la chaîne RF et la température autour du PA en fonctionnement est élevée. Partant du constat que la température autour du PA varie en fonction de son mode de fonctionnement (repos, faible puissance d'entrée, forte puissance d'entrée), nous souhaitons mettre à profit cette élévation de température. Le travail que nous avons entamé consiste alors à réaliser un dispositif (un moniteur) capable de reproduire le comportement du PA afin de déterminer s'il est ou non en bon état de fonctionnement.

Pour cela nous avons utilisé une structure de PA HSFDS basé sur le travail de thèse de Yohann Luque et les études préalables sur le couplage thermique entre le circuit et le capteur réalisées par UPC.

Dans des précédents travaux, nos collègues espagnols ont montré que l'effet Joule, produit de la tension et du courant, se comporte comme un mélangeur de fréquence : les composantes spectrales de la puissance dissipée sont transposées à  $f=0$  et à  $2f_0$  [ALT08]. L'information sur la température située à fréquence nulle est alors modélisée par un filtre passe-bas. Le principe est exposé à la Figure 4- 15.

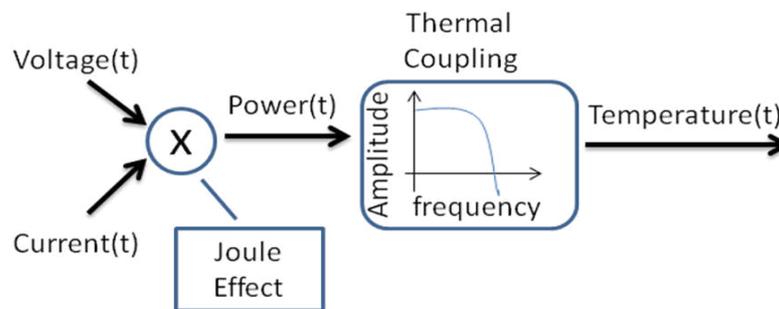


Figure 4- 15 : Transposition de fréquence : du signal RF vers l'augmentation de température BF

A partir de ce principe, nous avons intégré avec le PA HSFDS un capteur thermique basé sur une paire différentielle bipolaire, présentée à la Figure 4- 16. Un des deux transistors de cette paire différentielle est placé proche de la source de chaleur (en l'occurrence les transistors de puissance).

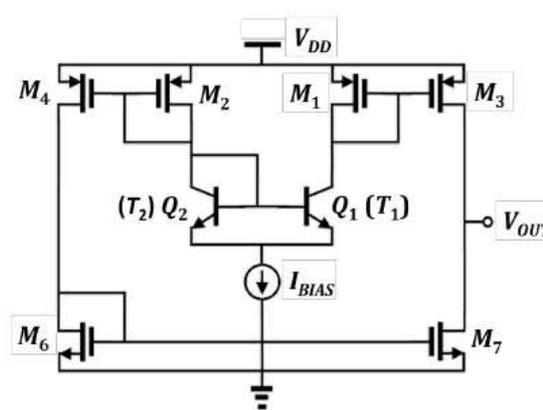


Figure 4- 16 : Schéma électrique du capteur thermique

Ainsi, après la phase de calibration nécessaire à température ambiante, la tension de sortie de la paire différentielle (en l'occurrence du capteur), nous donne une information sur l'élévation de température du PA. En effet, la tension de sortie du capteur thermique peut s'écrire :

$$\Delta V_{out} = S_{DT} \cdot (\Delta T_2 - \Delta T_1) \quad \text{Equation 1 - 1}$$

Avec  $S_{DT}$  est la sensibilité différentielle de la température,  $\Delta T_1$  et  $\Delta T_2$  représentent l'augmentation de température au delà de la température ambiante de chaque transducteur ( $Q_1$  et  $Q_2$ ). Le circuit ainsi réalisé en technologie CMOS65nm de STMicroelectronics est présenté à la Figure 4- 17. La taille du circuit est de 0,979mm<sup>2</sup>, le capteur thermique est placé dans les espaces laissés libres par le PA afin de pas augmenter la taille du PA.

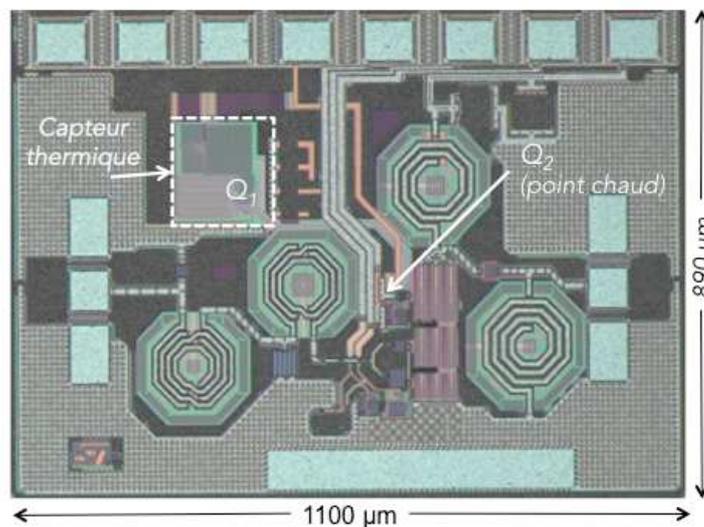


Figure 4- 17 : Photographie de la puce avec le PA et le capteur thermique

La Figure 4- 18 représente les caractéristiques en rendement du PA (rendement et PAE) mais également la tension de sortie du capteur thermique. Nous voyons que la tension de sortie du capteur suit très bien la courbe de rendement. Ainsi le capteur peut être utilisé comme source d'information sur le fonctionnement du PA. Nous avons ensuite fait une mesure en appliquant deux tons, espacés de 10 kHz. Lors de la phase du couplage thermique, le signal à 10 kHz n'est pas filtré et se retrouve donc comme signal « parasite » sur la tension du signal de sortie du capteur. Nous avons alors superposé à la Figure 4- 19 la puissance de sortie du PA en fonction de la fréquence et l'amplitude de ce signal à 10 kHz présent sur le spectre de la tension de sortie du PA. Nous voyons alors que la tension de sortie du capteur nous renseigne sur le comportement en fréquence du PA. Cette étude est très intéressante car elle nous permet d'envisager des tests sans contact de fonctionnalité des amplificateurs de puissance. Elle a donné lieu à une publication dans une conférence internationale [CI-DEL12].

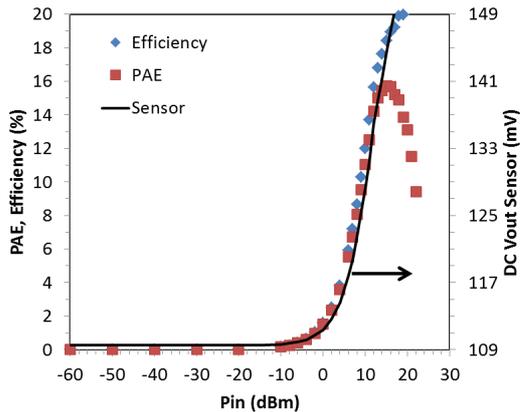


Figure 4- 18 : Caractéristiques du PA et tension de sortie du capteur

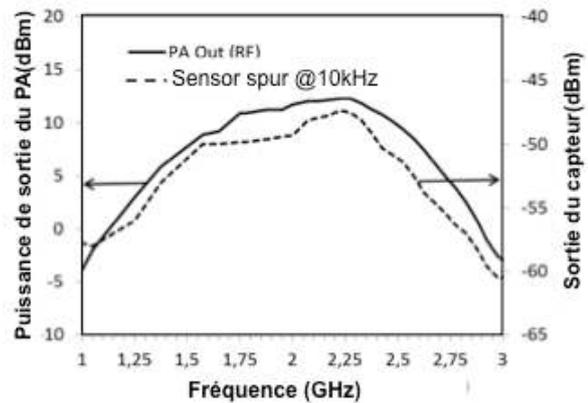


Figure 4- 19 : Application de deux signaux espacés de 10kHz.

## 1.4 Conclusion

Les premiers travaux effectués sur la conception d'amplificateurs de puissance en technologie CMOS et BiCMOS exposés dans le chapitre 1 sont fondamentaux pour appréhender les verrous technologiques inhérents à la conception d'amplificateurs de puissance pour les terminaux mobiles avec les contraintes de puissance, les problématiques liés aux forts courants et les fortes tensions sur les jonctions PN, la linéarité et la consommation. Ces travaux, débutés lors de ma thèse (2002-2005) se sont prolongés avec la thèse de Yohann Luque (2006-2009). Les travaux de Yohann Luque nous ont permis de développer des structures d'amplificateurs de puissance CMOS originales et valider l'utilisation des technologie CMOS avancées pour concevoir des amplificateurs de puissance capables d'atteindre 1 à 2W de puissance de sortie. En revanche, les performances attendues en terme de rendement restent modestes.

Nous avons cependant pu étudier l'intégration d'un capteur thermique avec un PA CMOS afin de concevoir un PA auto-testable. Par la suite, nous souhaitons, grâce à un capteur thermique, réaliser la signature thermique de l'enveloppe du signal d'entrée et la combiner à une technique d'augmentation du rendement afin de diminuer la consommation des PAs intégrés.

Par ailleurs, lors de mon travail de thèse, les notions de variation dynamique des paramètres du PA (point de compression, gain) en fonction de la modulation du signal et notamment en fonction des variations de l'enveloppe du signal sont soulignées. L'objectif est d'optimiser le rendement du PA quelque soit l'amplitude du signal à son entrée. Ces travaux contribuent à étudier les structures des amplificateurs de puissance, les blocs de polarisation, et assez rapidement, à travailler autour de l'amplificateur de puissance toujours dans l'objectif de dépasser le compromis linéarité/rendement. Ceci offre de nouvelles perspectives et permet d'envisager des travaux sur l'intégration de techniques d'augmentation du rendement d'une part et les techniques de linéarisation d'autre part. Ces travaux sont présentés dans le chapitre 2.

## 1.5 Références bibliographiques

- [AFS10] A. Afsahi, L.E. Larson, "An Integrated 33.5dBm Linear 2.4GHz Power Amplifier in 65nm CMOS for WLAN Applications", IEEE Custom Integrated Circuits Conference (CICC) 2010, pages 1-4, 19-22 septembre 2010.
- [ALT08] J. Altet, E. Aldrete-Vidrio, D. Mateo, X. Perpiñà, et al, "A heterodyne method for the thermal observation of the electrical behavior of high-frequency integrated circuits," Measurement Science and Technology, vol. 19, n. 11, 2008.
- [ASB01] P. Asbeck and C. Fallesen "An RF Power Amplifier in a Digital CMOS Process " JSSC, vol36, issue 2, February 2001, Page(s) 166-175
- [B-DEL09-1] Reconfigurable Power Amplifier and use of such amplifier for making a multistandard amplification stage for mobile phone communications, United States Patent Application: docket n°361170-1131, WO2008099113, 2009, Authors: Nathalie Deltimple, Didier BELOT, Eric Kerhervé, Yann Deval, Pierre Jarry
- [B-DEL08] Amplificateur de puissance reconfigurable et utilisation d'un tel amplificateur pour la réalisation d'un étage d'amplification multistandard pour la téléphonie mobile, N°FR2911447, date de publication: 18/07/2008, Inventeurs: Didier BELOT, Nathalie Deltimple, Eric Kerhervé, Yann Deval, Pierre Jarry.
- [CF-LUQ08] Y. Luque, N. Deltimple, E. Kerhervé, D. Belot, « Conception d'un amplificateur de puissance en technologie CMOS 65 nm pour des applications 3G/4G », Journées Nationales du Réseau Doctoral de Microélectronique, JNRDM08, Bordeaux, France.
- [CF-LUQ07] Y. Luque, N. Deltimple, E. Kerhervé, D. Belot, « Amplificateur de Puissance Push-Pull en Technologie CMOS 0,13µm, Application au Standard de Communication WLAN 802.11b », 15èmes Journées Nationales Microondes, JNM2007, 23-25 Mai 2007 Toulouse, France
- [CF-DEL05] N. Deltimple, E. Kerhervé, Y. Deval, D. Belot et P. Jarry, "Amplificateur de puissance multi-standard GSM/DCS/UMTS en technologie SiGe : étude de la reconfigurabilité en puissance", 14èmes Journées Nationales Microondes, JNM2005, n°5D5, Abstract p. 112, Paris, France.
- [CF-DEL04] N. Deltimple, E. Kerhervé et P. Jarry, "Les Amplificateurs de Puissance Reconfigurables : enjeux et perspectives", Proceedings des VIIèmes Journées Nationales du Réseau Doctoral de Microélectronique JNRDM2004, pp. 439-441, Marseille, France, 4-6 Mai 2004.
- [CHE11] J. Chen and A.M. Niknejad, "A Compact 1V 18.6dBm 60GHz Power Amplifier in 65nm CMOS" ISSCC 2011, Feb 2011, San Franscisco, CA, USA, Page(s): 432-434.
- [CI-CAR13-1] Marcos L. Carneiro, Nathalie Deltimple, D. Belot, Paulo H. P. de Carvalho, Eric Kerhervé, "A 2.535 GHz Fully Integrated Doherty Power Amplifier in CMOS 65nm

with Constant PAE in Backoff", 4th IEEE Circuits and Systems Society Latin American Symposium on Circuits and Systems (LASCAS2013), Cusco, Peru, February 27-March 1, 2013.

- [CI-DEL12] N. Deltimple, J. L. González, J. Altet, Y. Luque, E. Kerhervé, «Design of a Fully Integrated CMOS Self-Testable RF Power Amplifier using Thermal Sensor», IEEE 38th European Solid-State Circuits Conference (ESSCIRC 2012), pp. 398-401 in Proc. of ESSCIRC2012, Bordeaux, France, September 17-21, 2012.
- [CI-DEL06-3] N. Deltimple, E. Kerherve, Y. Deval, D. Belot and P. Jarry, "Design of a SiGe Reconfigurable Power Amplifier for RF Applications: Device and Multi-standard Considerations", 13th IEEE International Conference on Electronics, Circuits and Systems, ICECS2006, December 10-13, Nice, France.
- [CI-DEL06-1] N. Deltimple, E. Kerhervé, D. Belot, Y. Deval and P. Jarry, "PAE Enhancement Methodology for SiGe Power Amplifier in UMTS/W-CDMA Systems", 4th annual IEEE Northeast Workshop on Circuits and Systems (NEWCAS2006), pp. 169-172, Gatineau, Québec, Canada, June 18-21, 2006.
- [CI-DEL05] N. Deltimple, E. Kerhervé, D. Belot, Y. Deval and P. Jarry, "A SiGe Controlled-Class Power Amplifier Applied to Reconfigurable Mobile Systems", 35th European Microwave Conference, EuMC2005, pp.457-460, Paris, France, October 4-6 2005.
- [CI-DEL04-2] N. Deltimple, E. Kerhervé, D. Belot, Y. Deval and P. Jarry, "A SiGe Power Amplifier with Dynamic Bias for Efficient Power Control in UMTS/W-CDMA Applications", XIX Conference on Design of Circuits and Integrated Systems, DCIS2004, Bordeaux, France, November 24-26, ISBN 2-9522971-0-X, pp. 68-72.
- [CI-DEL04-1] N. Deltimple, E. Kerhervé, Y. Deval and P. Jarry, "A Reconfigurable RF Power Amplifier Biasing Scheme", Proceedings of the 2nd annual IEEE Northeast Workshop on Circuits and Systems (NEWCAS2004), pp. 365-368, Montréal, Canada, June 20-23, 2004.
- [CI-LEY09] L. Leyssenne, E. Kerherve, Y. Deval, N. Deltimple, D. Belot, "A Novel WLAN Power Amplifier Adaptive Loop Based on Delta-Sigma Non-Linearity Control", IEEE Radio Week Symposium (RWS2009), San Diego, CA, United States, Jan 16-23, 2009.
- [CI-LEY08] L. Leyssenne, E. Kerhervé, Y. Deval, N. Deltimple and Didier Belot, "A SiGe Power Amplifier Dedicated to Power Management for 802.11n / 802.16e Standards", technical Digest of IEEE Topical Symposium on Power Amplifiers for Wireless Communications, January 21 & 22, 2008, Orlando, FL.
- [CI-LUQ10-2] Y.Luque, N.Deltimple, E.Kerhervé, D.Belot, "A 65nm CMOS Fully Integrated 31.5 dBm Triple SFDS Power Amplifier dedicated to CDMA Application," IEEE International Conference on Electronics, Circuits, and Systems, (ICECS2010) Athens, Greece, December 12-15, 2010.

- [CI-LUQ10-1] Y. Luque, E. Kerherve, N. Deltimple, D. Belot, "A Fully Integrated 65 nm CMOS cascode HSFDS PA Dedicated to 802.11n Application", First IEEE Circuits and Systems Society Latin American Symposium on Circuits and Systems (LASCAS2010), February 24-26, 2010, Iguazu Falls, Brazil.
- [CI-LUQ09] Y. Luque, E. Kerherve, N. Deltimple, D. Belot, "CMOS SFFDS PA with Coupled Transformer for High Power RF Applications", IEEE International Symposium on Circuits and Systems, ISCAS2009, Taipei, Taiwan, may 24-29, 2009.
- [CI-LUQ08-2] Y. Luque, N. Deltimple, E. Kerhervé and D. Belot, "A 65 nm CMOS - Stacked Folded Fully Differential (SFFD) PA Structure for W CDMA Application", 15th IEEE International Conference on Electronics, Circuits, and Systems, Best student paper award, ICECS 2008, Malta, August 31- September 3.
- [CI-LUQ08-1] Y. Luque, E. Kerhervé, N. Deltimple and D. Belot, "CMOS PA design Dedicated to UMTS (3G) Application in 65nm technology", Fourth European Conference on Circuits and Systems for Communications ECCSC2008, pp. 19-22, Bucarest, Romania, July 10-11, 2008.
- [CI-LUQ07] Luque Y., Deltimple N., Kerherve E., Belot D, "A 0.13 $\mu$ m CMOS Stacked Folded Fully Differential PA Structure for W CDMA Application", Proceeding of the 2007 PH.D Research in Microelectronics and electronics Conference (PRIME 2007), Bordeaux, France, July 5-7 2007.
- [FRI08] J. Fritzin, T. Johansson, A. Alvandpour, "Impedance Matching Techniques in 65nm CMOS Power Amplifiers for 2.4GHz 802.11n WLAN", 38th European Microwave Conference (EuMC) 2008, pages 1207-1210, 27-31 octobre 2008.
- [G-KER09] E. Kerhervé et N. Deltimple, "Amplificateurs de puissance en technologie silicium pour les applications RF et mmW", Journées thématiques du GDR SoC-SiP, Bordeaux, 15 mai 2009.
- [G-DEL03] N. Deltimple, E. Kerhervé, Y. Deval et P. Jarry, "Circuits de polarisation contrôlables dédiés aux amplificateurs de puissance reconfigurables multi-standards", Journées thématiques « Interférences d'ondes », Journées thématiques du GDR Ondes, Marseille, 8-10 décembre 2003.
- [HEO01] D. Heo, A. Sutono, E. Chen "A High Efficiency 0.25 $\mu$ m CMOS PA with LTCC Multi-layer High-Q Integreted Passives for 2.4GHz ISM Band ", MTT-S 2001, pages 915-918
- [I-DEV10] Y. Deval, N. Deltimple, F. Rivet, T. Taris, J-B. Begueret and E. Kerhervé, "Low Cost Mobile RF Terminal Paradigms: from Multi-Radio to Software Radio", International Conference on Solid-State and Integrated Circuit Technology (ICSICT-2010), Nov. 1-4, 2010 in Shanghai, China.
- [I-DEL10] N. Deltimple, L. Leyssenne, E. Kerhervé, Y. Deval and D. Belot, "Dynamic Biasing Techniques for RF Power Amplifier Linearity and Efficiency Improvement",

International Conference on IC Design and Technology (ICICDT2010), June 2-4, 2010, Grenoble, France.

- [I-KER09] E. Kerherve, Y. Luque, S. Aloui, N. Deltimple, R. Plana, D. Belot, « RF and mmW Low-Voltage Power Amplifier », 8<sup>ème</sup> journées d'études Faible Tension Faible Consommation, FTFC2009, 3-5 juin 2009, CSEM, Neuchâtel, Suisse.
- [R-LUQ11-2] Y. Luque, E. Kerhervé, N. Deltimple, D. Belot, "Design Challenges of a Fully Integrated 65 nm CMOS Half Cascode SFDS PA", publiée dans la revue Analog Integrated Circuits and Signal Processing (AICSP), vol. 70, n°2, pp.181-187, Springer Science+Business Media, LLC 2011, DOI 10.1007/s10470-011-9735-1, Published online: 28 august 2011, <http://www.springerlink.com/content/j742776v28216471/fulltext.html>
- [R-LUQ11-1] Y. Luque, N. Deltimple, E. Kerhervé, D. Belot, 'Design Challenges of a 65 nm CMOS Stacked Folded Differential PA Structure (SFDS) for Mobile Communication', Analog Integrated Circuits and Signal Processing (AICSP), Volume 68, Number 2, pp.155-162, Springer, 2011. (lien web : <http://www.springerlink.com/content/4lp0036v68600100/>)
- [R-LUQ10-2] Y. Luque, E. Kerhervé, N. Deltimple, L. Leysenne and D. Belot 'CMOS Stacked Folded Differential Structure Power Amplifier for High Power RF Application High Power Application', RF and Microwave Computer-Aided Engineering (RFMiCAE), Volume 20, Issue 6, pp. 611-618, 2010.
- [R-LUQ10-1] Y. Luque, E. Kerhervé, N. Deltimple and D. Belot, "CMOS Power Amplifier design dedicated to UMTS (3G) applications in 65nm technology", Revue RST, Série Electrotechnique et Energétique, Issue 1, pp. 80-89, 2010.
- [R-DEL05] N. Deltimple, E. Kerhervé, Y. Deval, P. Jarry and D. Belot, "Multi-mode, Multi-standard RF Reconfigurable Power Amplifier", Microwave Filters and Amplifiers, Chapter 7, pp. 119-131, Research Signpost, 2005.
- [REY05] Reynaert, P.; Steyaert, M.S.J.; "A 1.75-GHz polar modulated CMOS RF power amplifier for GSM-EDGE, IEEE Journal of Solid-State Circuits, Volume: 40 , Issue: 12 , pp : 2598 – 2608, 2005.
- [REY07] P. Reynaert and M. S. J. Steyaert, "A 2.45-GHz 0.13 $\mu$ m CMOS PA With Parallel Amplification" IEEE journal of solid-state circuits, vol 42, No3, march 2007
- [SRI05] Srirattana, N.; Sen, P.; Park, H.M.; Lee, C.H.; Allen, P.E.; Laskar, J., "Linear RF CMOS power amplifier with improved efficiency and linearity in wide power levels », 2005 IEEE Radio Frequency integrated Circuits (RFIC) Symposium,. Digest of Papers pp. 251 – 254.
- [T-LUQ09] Y. Luque, "Conception d'amplificateurs RF de puissance en technologie CMOS, applications aux standard UMTS", octobre 2006 – décembre 2009, encadrement E. Kerhervé (directeur)/N. Deltimple (co-directrice), financement : thèse MENRT.

- [T-DEL05] N. Deltimple, « Etude et réalisation d'un amplificateur de puissance reconfigurable en technologie BiCMOS SiGe pour des applications multi-standards GSM/DCS/UMTS », thèse de l'Université Bordeaux 1, octobre 2002 - décembre 2005, encadrement E. Kerhervé (co-directeur)/P. Jarry (directeur), financement MENRT.
- [WAN04] W. Wang and Y.P Zhang, "0.18- $\mu\text{m}$  CMOS Push-Pull PA With Antenna in IC Package," IEEE Microwave and Wireless Components Letters, vol.14, no.1, January 2004, p1531.
- [WAN08] P. C. Wang, K. Y. Huang, Y. F. Kuo, M. C. Huang, C. H. Lu, T. M. Chen, C. J. Chuang, K. U Chan, T. H. Yeh, W. S Wang, Y. H. Lin and C. C. Lee, "A 2.4-GHz +25dBm P-1dB linear Power Amplifier with Dynamic Bias Control in a 65-nm CMOS Process", ESSCIRC08, Edinburgh, Septembre 2008, pp. 490 – 493.



CONTRIBUTION A L'ETUDE ET A L'INTEGRATION DES  
TECHNIQUES D'AUGMENTATION DES  
PERFORMANCES DES AMPLIFICATEURS DE  
PUISSANCE

La problématique abordée dans ce chapitre concerne l'augmentation du rendement moyen des amplificateurs de puissance ainsi que leur linéarisation.

Les amplificateurs de puissance sont souvent optimisés en rendement à la puissance maximum. Or avec les standards de communications les plus récents, les distributions de probabilités d'émission de puissance montrent bien que les amplificateurs de puissance fonctionnent la plupart du temps à des puissances faibles, là où le rendement est faible. La Figure 2 - 1 montre le changement de cette distribution en fonction de l'évolution des communications mobiles : la figure de gauche concerne la 3G, celle du milieu l'évolution de la 3G (HSPA) et celle de droite le cas des signaux OFDM. Ainsi, pour diminuer la consommation d'énergie, nous choisissons dans nos travaux d'agir sur l'amélioration du rendement moyen des amplificateurs de puissance.

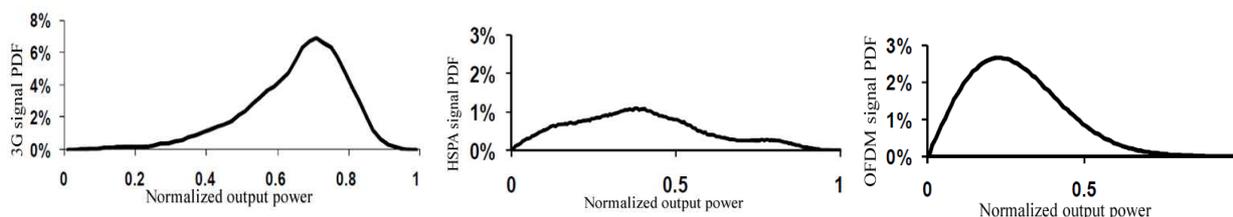


Figure 2 - 1 : Evolution de la distribution des probabilités d'émission (PDF)

Parmi les techniques d'augmentation du rendement existantes, nous étudions ici les plus prometteuses de notre point de vue pour une intégration totale sur silicium, à savoir : la technique de mise en parallèle de plusieurs amplificateurs de puissance ou cellules amplificatrices (Power Cell Switching) et la technique Doherty.

Parmi les techniques de linéarisation, nous optons pour celle qui offre le plus grand potentiel de reconfigurabilité dans un contexte multi-standards et d'intégration sur silicium, à savoir la linéarisation de type contre-réaction par boucle cartésienne.

## 2.1 Architectures de PAs en parallèle (Power Cell Switching)

### 2.1.1 Définition de l'architecture PCS

L'architecture de mise en parallèle d'amplificateurs de puissance, aussi appelée Power Cell Switching (PCS), consiste à activer ou désactiver des cellules amplificatrices mises en parallèle, en fonction de l'enveloppe du signal d'entrée, et donc en fonction de la puissance de sortie à fournir. Cette méthode permet ainsi d'obtenir un rendement optimal quelle que soit la puissance d'entrée, grâce à une commande d'activation numérique représentant l'enveloppe. L'objectif est alors d'évaluer les potentialités de cette technique sur la technologie CMOS 65nm.

Ce travail que nous proposons nous permet d'intégrer le projet européen CATRENE PANAMA (2009-2012) et de débiter les travaux de thèse d'Adrien Tuffery [T-TUF12]. L'objectif du projet PANAMA est de développer de nouvelles architectures d'émission et d'amplificateurs de puissance afin de réaliser des objets communicants à haut rendement énergétique ainsi que développer les outils de CAO et de test qui correspondent à ces nouveaux systèmes. Le laboratoire IMS est alors chargé de concevoir deux amplificateurs de puissance (RF et millimétrique) mettant en œuvre des techniques innovantes de réduction de la consommation. Le travail réalisé dans le cadre de la thèse d'Adrien Tuffery porte sur la partie RF pour le standard LTE. En effet, le standard LTE utilise des modulations d'ordre élevé (16-QAM et 64-QAM) afin d'atteindre des débits conséquents. Ces modulations induisent alors un *PAPR* (*Peak to Average Power Ratio*, cf équation 2-1) important sur le signal à transmettre pour l'amplificateur de puissance par rapport à une modulation plus classique comme la QPSK. Ainsi, en visant ce type de signal à fort *PAPR* (égal à 7dB pour le LTE), notre étude sera pertinente sachant que notre objectif est d'augmenter le rendement moyen des PAs intégrés.

Nous nous attachons donc à concevoir un amplificateur de puissance capable de délivrer la puissance maximum spécifiée par le standard (puissance de sortie maximum de 26dBm) avec un bon rendement tout en nous concentrant sur l'augmentation du rendement à plus faible puissance afin d'augmenter le rendement moyen de l'amplificateur de puissance.

$$PAPR = \frac{P_{max}}{P_{med}} = \frac{\max_{[0,T]} |s(t)|^2}{\frac{1}{T} \int_0^T |s(t)|^2 dt} \quad \text{Equation 2 - 1}$$

L'architecture sur laquelle nous débutons l'étude est présentée à la Figure 2 - 2. L'amplificateur de puissance est constitué de deux étages, le premier est un PA Driver (ou pilote) fonctionnant en classe AB, et le deuxième est un étage de puissance, classe AB également, composé de 4 cellules amplificatrices. Entre la sortie du premier étage et l'entrée des 4 cellules amplificatrices, le réseau d'adaptation d'impédance est réalisé par un transformateur intégré. Celui-ci a un deuxième rôle : répartir le signal sur les entrées des 4 cellules du deuxième étage.

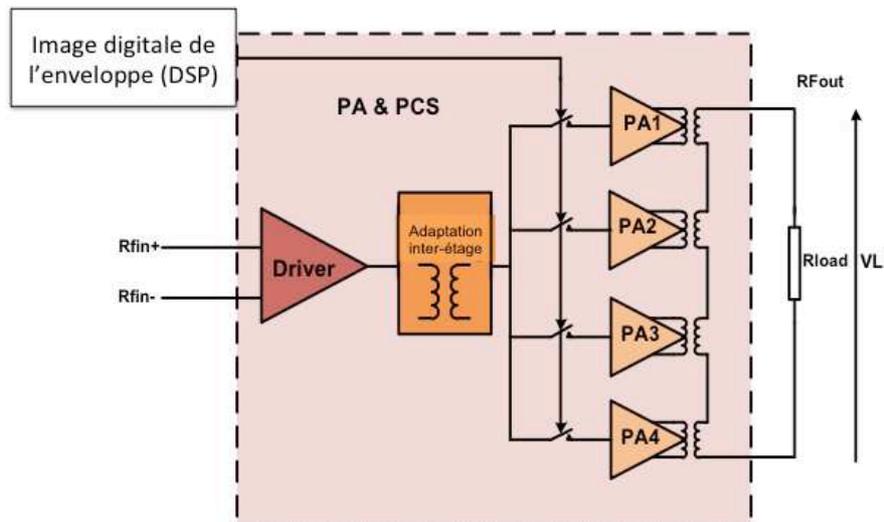


Figure 2 - 2: Architecture du PA avec la technique PCS

De même, un transformateur intégré permet la recombinaison des sorties des 4 cellules sur la charge. Le système opère simplement : les cellules amplificatrices de l'étage de puissance (PA1 à PA4) sont allumées ou éteintes en fonction de la puissance de sortie désirée.

Notre objectif étant de répondre aux spécifications du standard LTE, nous devons garantir une amplification linéaire jusqu'à 26dBm. En prenant en compte le nombre de cellules amplificatrices en parallèle et les pertes dans le combineur de puissance, la puissance maximale pour chaque cellule est fixée à 23 dBm. La structure cascode différentielle implémentée, parfaitement symétrique, est présentée à la Figure 2 - 3.

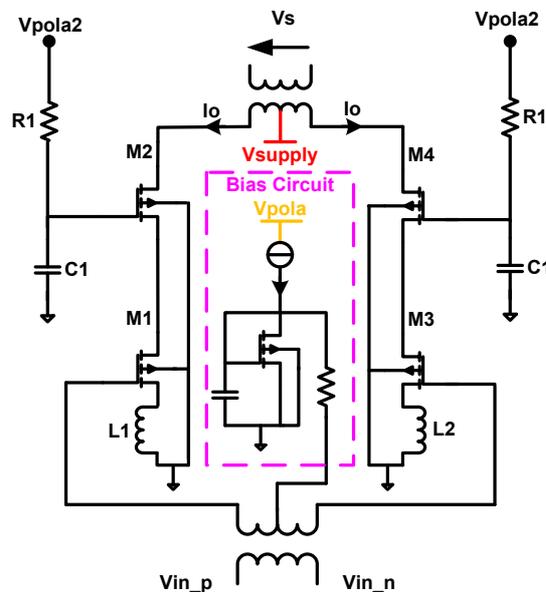


Figure 2 - 3 : Topologie d'une cellule de puissance

La configuration cascode est composée par les transistors ( $M_1/M_3$ ) en source commune et par les transistors ( $M_2/M_4$ ) en grille commune. Les inductances  $L_1$  et  $L_2$  sont utilisées pour assurer la stabilité et augmenter la puissance de sortie. Une étude pour la valeur des inductances est réalisée pour déterminer le meilleur compromis entre la stabilité et le gain. Pour désactiver les cellules, la polarisation de ( $M_2/M_4$ ) est mise à 0V. Ainsi, il n'y a pas de courant DC dans les branches.

La Figure 2 - 4 illustre la simulation en puissance de chaque cellule single-ended avec un simple ton à 2,5GHz. La puissance maximale  $P_{sat}$  que peut fournir chaque cellule est de 23dBm et la  $P_{-1dB}$  est obtenue à 19,6dBm.

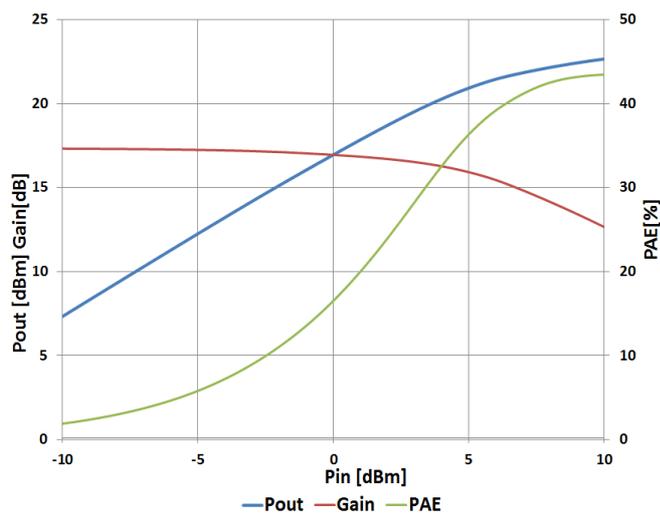


Figure 2 - 4: Caractéristiques grands signaux de la cellule single-ended

Chaque amplificateur délivrant une puissance maximum de 23 dBm, il s'agit désormais de sommer ces puissances pour atteindre les spécifications fixées. De plus, il est également nécessaire d'effectuer l'adaptation d'impédance placée entre la sortie du PA et la charge. Pour réaliser simultanément ces deux opérations, nous nous sommes orientés vers l'utilisation de transformateurs intégrés. En effet, nous avons dans l'équipe *Circuits et Systèmes en Hyperfréquence* (CSH) une expertise sur ce domaine par les travaux de thèse de O. El Garnithi [T-OEG07] et B. Leite [T-LEI11]. Ces thèses ont été encadrées par le professeur E. Kerhervé et le professeur J.-B. Begueret de l'équipe *Conception de Circuits (EC2)* également dans le Groupe *Conception* dirigée par le professeur J.-B. Begueret. Nous avons vu également, dans l'état de l'art des amplificateurs de puissance CMOS au chapitre 1, que des résultats intéressants en terme de puissance de sortie et de rendement étaient obtenus avec les DATs [AFS10][CHE11]. Ainsi, fort de ces travaux et des discussions avec nos partenaires de STEricsson, nous nous orientons vers l'utilisation d'une structure DAT (Distributive Active Transformer).

Deux topologies peuvent être envisagées pour réaliser le DAT comme combineur de puissance. Elles sont illustrées à la Figure 2 - 5, avec  $N_1$  et  $N_2$  resp. le nombre de tours au primaire et au secondaire.

- La topologie SCT (Series power-Combining Transformer), où les secondaires des transformateurs sont connectés en série et les tensions générées au secondaire sont sommées,
- La topologie PCT (Parallel power-Combining Transformer), où les courants des primaires sont réfléchis au secondaire et y sont sommés.

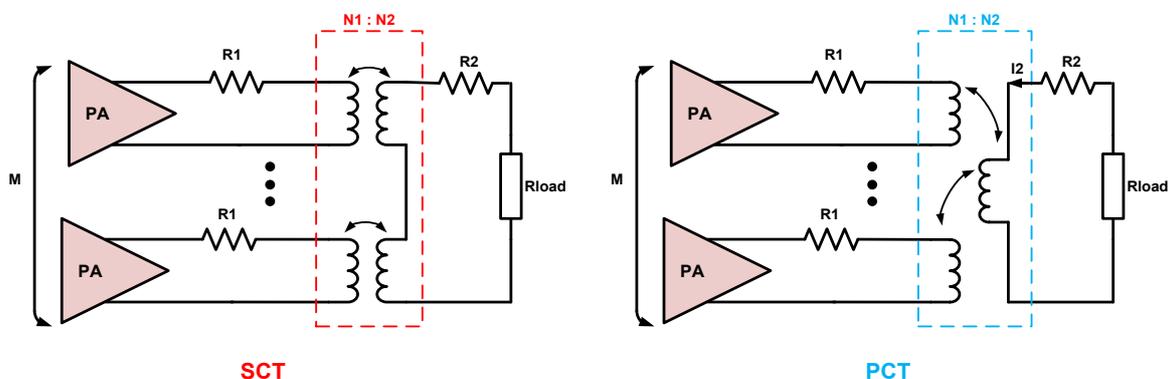


Figure 2 - 5 : Structure SCT et PCT

Le choix entre ces deux topologies s'est fait par une contrainte que nous nous sommes fixée, à savoir conserver un gain constant quelque soit le nombre de cellules activées, pour éviter de modifier la forme de l'enveloppe à transmettre. La variation du gain ne doit en effet pas être trop importante. Pour cela, il est nécessaire de pouvoir moduler la charge présentée aux cellules élémentaires. Ainsi, le doctorant Adrien Tuffery a explicité dans son manuscrit de thèse le gain global des topologies PCT et SCT en fonction du nombre de cellules amplificatrices  $M$  dont  $N$  sont éteintes, de la transconductance des transistors  $g_{mj}$ , du nombre de tours au primaire et au secondaire  $N_1$  et  $N_2$ ,  $R_L$  étant la résistance de charge.

- Pour la structure SCT, le gain global s'écrit :

$$A_{v\_glob} = \frac{N_1}{N_2} \cdot g_{mj} \cdot R_L \quad \text{Equation 2 - 2}$$

- Pour la structure PCT, le gain global s'écrit :

$$A_{v\_glob} = g_{mj} \cdot (M - N) \cdot \frac{N_1}{N_2} \cdot R_L \quad \text{Equation 2 - 3}$$

Nous voyons alors que le gain reste constant quelque soit le nombre de cellules activées uniquement dans le cas de la structure SCT. Nous avons donc privilégié cette implémentation pour les deux transformateurs. Pour les dimensionner, nous mettons en œuvre la méthodologie suivante : d'abord, nous voyons le DAT comme étant composé de 4 transformateurs élémentaires identiques, ainsi l'impédance de charge différentielle ( $100\Omega$ ) se répartit équitablement sur chacun de leurs secondaires ( $100\Omega/N$ ),  $25\Omega$  dans notre cas. Chacun de ces transformateurs doit réaliser l'adaptation d'impédance soit avec l'entrée d'une cellule amplificatrice, soit avec sa sortie. Ensuite, nous procédons à des analyses load-pull et nous pouvons alors déterminer les impédances d'entrée (resp.

de sortie) optimales à présenter à chaque cellule élémentaire. Les schémas de principe pour les deux DAT sont représentés à la Figure 2 - 6 et à la Figure 2 - 7. Les deux DATs sont dessinés sur les quatre couches de métal supérieures de la technologie et une attention particulière est portée pour assurer un bon appariement entre les voies. Par ailleurs, les DATs sont optimisés pour avoir le moins de pertes à puissance maximum, lorsque les quatre cellules sont actives. Les pertes d'insertion sont représentées à la Figure 2 - 8 en fonction du nombre de cellules activées. Dans le mode forte puissance, les pertes d'insertion sont de 1,5dB à 2,5GHz. Ensuite, les pertes d'insertion passent de 1,5dB à 1,7dB quand il n'y a plus que 3 voies actives, puis à 2,3dB avec deux voies actives, et chutent à 4dB lorsqu'une seule voie est activée.

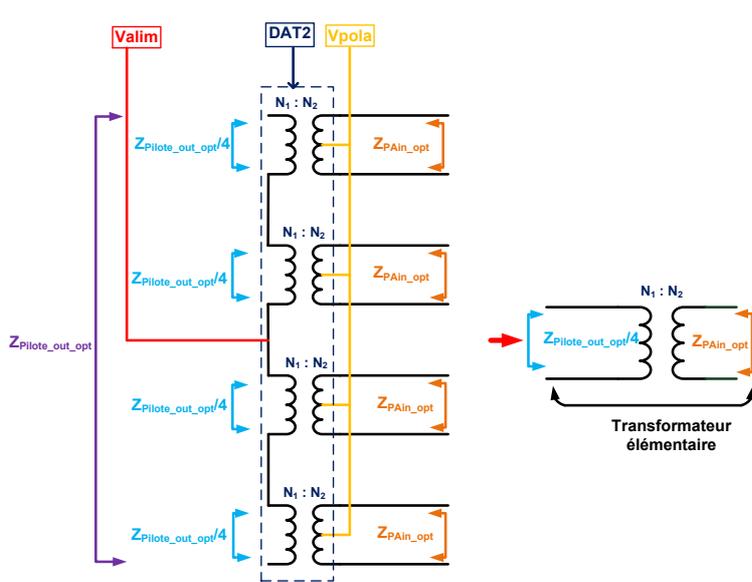


Figure 2 - 6 : Transformation d'impédance dans le DAT entre les deux étages

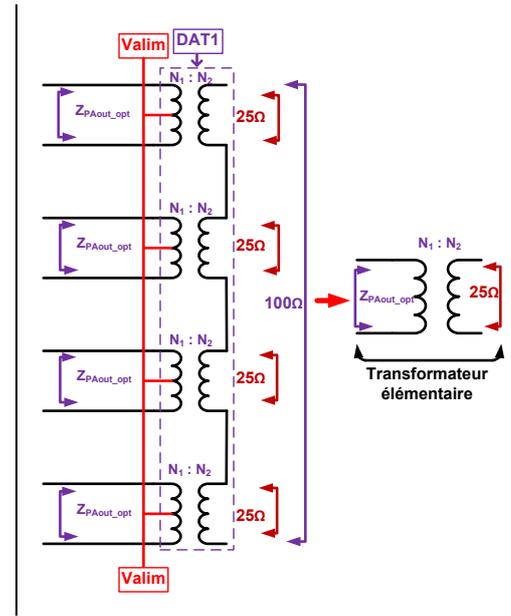


Figure 2 - 7 : Transformation d'impédance dans le DAT en sortie du PA

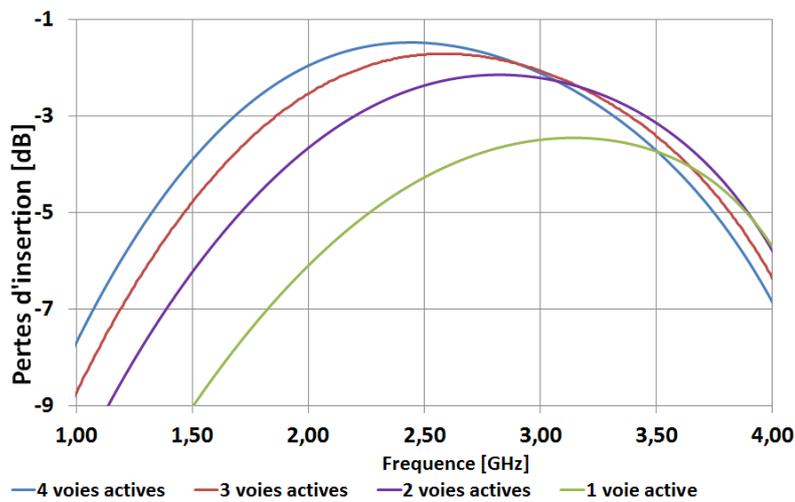


Figure 2 - 8 : Pertes d'insertion en fonction du nombre de cellules actives

L'architecture globale du PA est ainsi présentée à la Figure 2 - 9. Nous y retrouvons le premier étage d'amplification (l'étage pilote), le premier DAT, l'étage de puissance avec les quatre cellules en parallèle (nommé PA 1, 2, 3 et 4) et le deuxième DAT qui permet d'obtenir la sommation des tensions et une sortie différentielle.

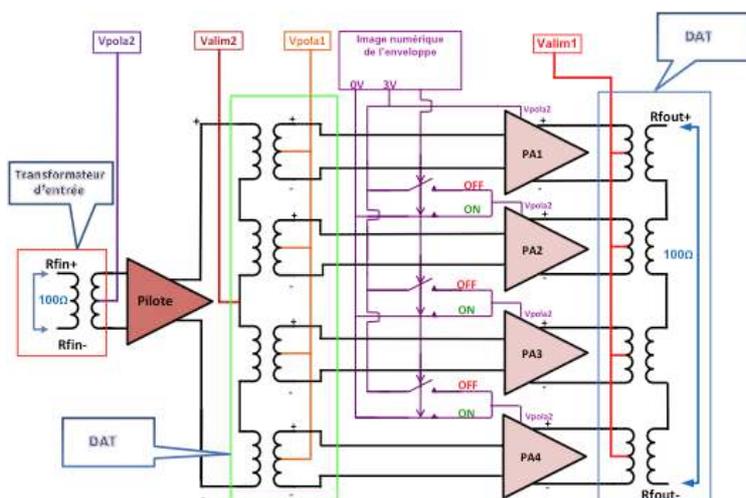


Figure 2 - 9 : Architecture du PA associé à la technique PCS

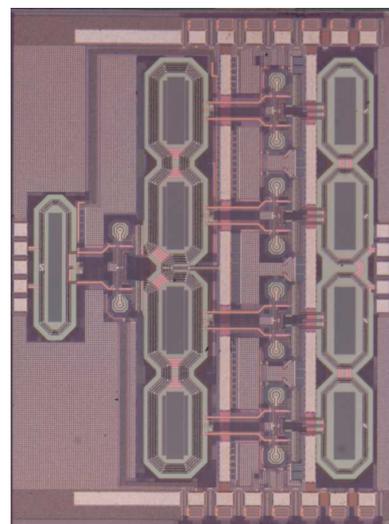


Figure 2 - 10 : Photographie du PA

Le fonctionnement est le suivant : PA1 est toujours actif, ce mode est appelé mode basse puissance ou LPM (Low Power Mode). A faible niveau du signal d'entrée, les autres cellules amplificatrices reçoivent la tension 0V sur la grille des deux transistors grille commune. Lorsque le niveau du signal d'entrée augmente, cette tension passe à 3V pour PA2 (MPM1), puis PA3 (MPM2) et enfin PA4 (HPM).

### 2.1.2 Mesures du circuit réalisé

La photographie du PA totalement intégré en technologie CMOS 65nm de STMicroelectronics est présentée à la Figure 2 - 10. Nous y distinguons clairement les transformateurs, le premier étage d'amplification et les quatre cellules de puissance du deuxième étage.

Pour la consommation, la tension d'alimentation  $V_{supply}$  est égale à 4V et le courant de chaque cellule active est de 140mA. Ainsi, la consommation varie de 140mA dans le mode basse puissance (PA1 ON) à  $4 \times 140$ mA dans le mode forte puissance (PA1 à PA4 ON).

Les mesures des paramètres S, présentés à la Figure 2 - 11, sont réalisées avec l'analyseur de réseau 4 ports E8361A d'Agilent. Le gain du circuit ( $S_{21}$ ) mesuré est de 25,6dB contre 28dB en simulation. Cette différence dans le gain peut être causée par des pertes supplémentaires introduites par les transformateurs intégrés. La bande passante mesurée à -3dB du gain est égale à 1,6GHz, de 1,1GHz à 2,7GHz. Les paramètres  $S_{11}$  et  $S_{22}$  mesurés sont respectivement de -16dB et -10dB. Nous observons un léger décalage en fréquence pour l'adaptation d'entrée qui est centrée

à 2,25GHz. Néanmoins nous obtenons des allures similaires entre simulations et mesures pour l'ensemble des paramètres.

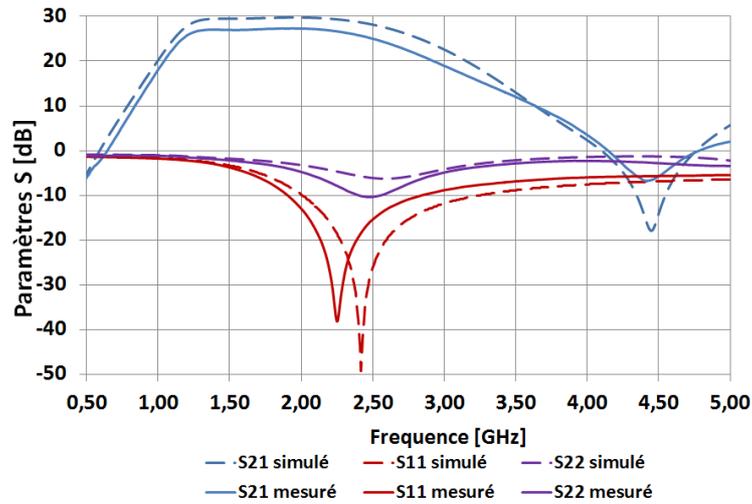


Figure 2 - 11 : Paramètres S du PA dans le mode forte puissance

La Figure 2 - 12 montre la puissance de sortie tracée en fonction de la puissance d'entrée pour les quatre modes de fonctionnement.

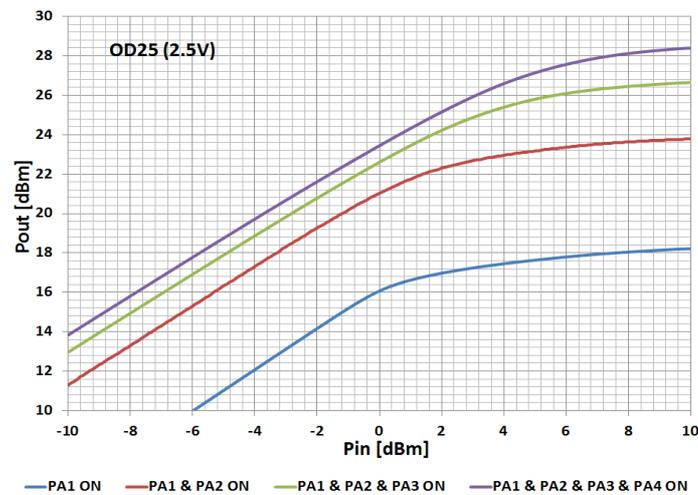


Figure 2 - 12 :  $P_{out}$  en fonction de  $P_{in}$  pour chaque mode

Nous voyons que la puissance de sortie à 1dB de compression est égale à:

- 17,3 dBm pour le mode basse puissance (LPM)
- 22,3 dBm pour le mode moyenne puissance 1 (MPM1)
- 24,7 dBm pour le mode moyenne puissance 2 (MPM2)
- 26 dBm pour le mode forte puissance (HPM).

Nous constatons bien que la valeur de l'OCP1 augmente en fonction du nombre de cellules amplificatrices activées. Ainsi, en fonction du niveau de puissance du signal à amplifier, le module PA+PCS est capable d'adapter son point de compression et sa puissance de sortie en fonction du mode choisi.

Par ailleurs, en modifiant la valeur du point de compression, nous décalons directement la courbe de rendement en puissance ajoutée. Nous voyons l'impact à la Figure 2 - 13 avec la comparaison PA seul et PA+PCS. La PAE maximum du PA est de 21,2%. La puissance délivrée correspondante est de 28,2dBm dans le mode forte puissance. A 6 dB de recul par rapport à la puissance maximum, soit pour une puissance de sortie égale à 22,2dBm, la PAE est égale à 5,9% dans le mode forte puissance mais est augmentée à 8% dans le mode MPM2, quand PA4 est désactivée. A 12 dB de recul par rapport à la puissance maximum, soit pour une puissance de sortie égale à 16,2dBm, la PAE augmente de 1,5% à 2,5% dans le mode MPM1.

Rappelons que les performances ont été optimisées dans la configuration où les quatre cellules sont actives. En effet, les DAT ont le minimum de pertes dans le mode forte puissance, lorsque les cellules sont désactivées en revanche, des pertes supplémentaires sont engendrées dans les transformateurs qui sont optimisés pour adapter les impédances lorsque toutes les cellules sont actives dans le mode forte puissance. Malgré cela, les performances en termes de rendement sont visibles dans les modes à plus faibles puissances.

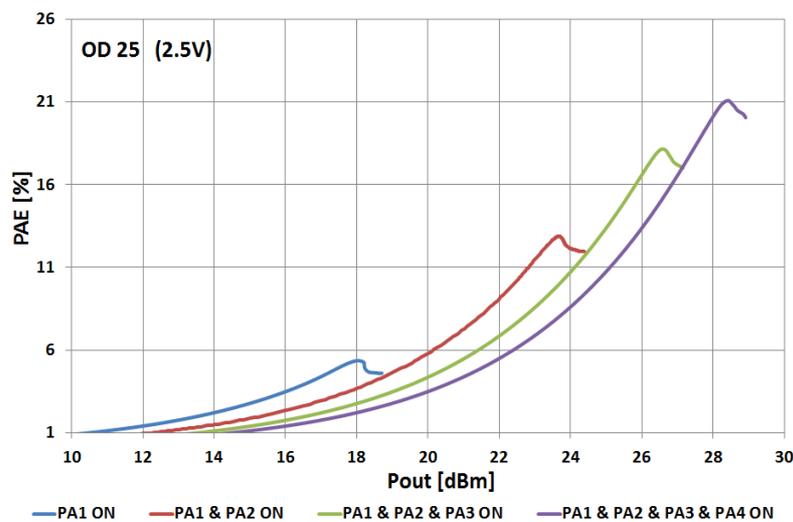


Figure 2 - 13 : PAE vs  $P_{out}$  pour chaque mode

A travers ces travaux, nous voyons que l'implémentation de la technique du PCS permet d'augmenter le rendement du PA à faible et moyenne puissance, ce qui est particulièrement intéressant pour les signaux à enveloppe non-constante qui possèdent un fort PAPR. Ces travaux ont donné lieu à deux conférences internationales [CI-TUF11][CI-TUF12], une présentation au colloque national du GDR SoC-SiP [G-TUF11] ainsi que des présentations et rapport dans le cadre des réunions d'avancement du projet européen CATRENE PANAMA [P-PAN09] [P-PAN010] [P-PAN011] [P-PAN012].

Ce travail est également inscrit dans le laboratoire commun STM/IMS dans l'action « Cellular WLAN - Reconfigurable Radio / Reconfigurable TX » (correspondants IMS : N. Deltimple/ STM : D. Belot, P. Cathelin).

## 2.2 Mise en œuvre de la technique Doherty

Parmi les techniques d'augmentation du rendement, la technique Doherty est très atypique. Alors que dans les travaux précédents, nous travaillons à augmenter le rendement à basse puissance en jonglant sur les courbes de PAE des différentes configurations, cette technique promet, dans son étude théorique, d'obtenir une PAE constante sur une large plage de puissance de sortie, répondant ainsi parfaitement à la problématique de forts *PAPR* des signaux utilisés dans les standards hauts débits les plus récents. Afin d'investiguer cette technique, nous avons déposé en 2009 un projet avec une équipe de chercheur brésilien animée par le Pr. Paulo Portela de l'université de Brasilia (UnB)/ laboratoire LEMOM dans le cadre d'un appel à projet de coopération internationale France-Brésil (CAPES-COFECUB). Le projet CAPES COFECUB accepté, nous avons débuté en octobre 2010 la thèse de Marcos Carneiro [T-CAR13], doctorant Brésilien, en co-tutelle avec l'UnB.

Le schéma de principe de l'amplificateur de puissance Doherty est présenté à la Figure 2 - 14, Le fonctionnement permet de modifier l'impédance de charge en sortie du PA en fonction du niveau de puissance d'entrée, grâce à la combinaison de deux amplificateurs, un principal et un auxiliaire, ainsi que de deux lignes quart d'ondes d'impédances caractéristiques  $Z_C$  et  $Z_{CIN}$ .

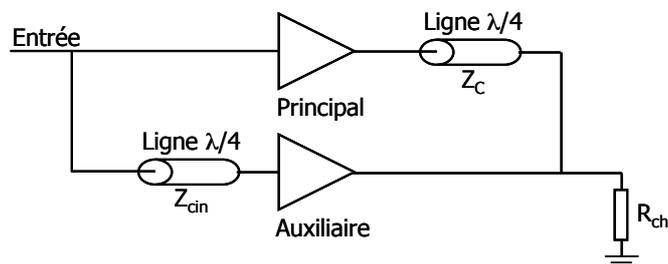


Figure 2 - 14 : Circuit d'analyse de la technique Doherty

La première ligne quart d'onde placée en sortie de l'amplificateur principal est indispensable pour réaliser la transformation d'impédance nécessaire au maintien du rendement sur une plage de variation importante de la puissance de sortie. Par contre, elle introduit un déphasage de  $90^\circ$  qu'il est nécessaire de compenser. A cette fin, une seconde ligne quart d'onde placée en entrée de l'amplificateur auxiliaire permet de compenser le déphasage entre les signaux des deux amplificateurs. Ainsi la recombinaison en phase des signaux de sortie des deux amplificateurs est possible.

Les PAs Doherty reposent sur le principe de fonctionnement suivant :

- à faible niveau de puissance d'entrée, seul l'amplificateur principal fournit de la puissance, l'amplificateur auxiliaire est éteint,

- à niveau de puissance moyen, l'amplificateur auxiliaire commence à conduire et fournit de la puissance, alors que l'amplificateur principal devient de plus en plus saturé. La mise en conduction de l'amplificateur auxiliaire permet une modification de l'impédance de charge présentée à l'amplificateur principal,
- à fort niveau les deux amplificateurs sont saturés.

En appelant  $P_\alpha$  la puissance pour laquelle l'amplificateur auxiliaire commence à conduire, nous pouvons résumer ce mode de fonctionnement dans le Tableau 2 - 1.

Tableau 2 - 1 : Mode de fonctionnement des amplificateurs de la structure

Niveau de puissance	Mode de fonctionnement du PA principal	Mode de fonctionnement du PA auxiliaire
$P_{in} < P_\alpha$	Source de courant	Eteint
$P_\alpha < P_{in} < P_{max}$	Saturé	Source de courant
$P_{in} = P_{max}$	Saturé	Saturé

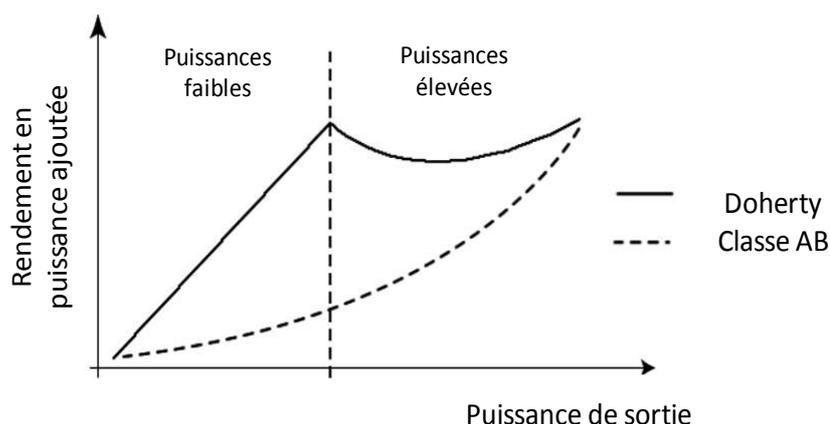


Figure 2 - 15 : Evolution du rendement des PAs Doherty/comparaison avec la classe AB

Cette technique permet ainsi d'augmenter le rendement sur une plage de variation importante de la puissance de sortie, comme nous le voyons à la Figure 2 - 15.

Lors de la phase de bibliographie, nous avons constaté que les amplificateurs de puissance Doherty étaient utilisés avec succès pour augmenter le rendement des stations de base, et que quelques exemples sur les PA Doherty étaient intégrés sur des technologies CMOS [ELM06][KAY11][KAY12][ONI12]. Par ailleurs, ces derniers ne parvenaient pas à obtenir les résultats de PAE constante sur une large plage de puissance. En effet, pour les références citées précédemment, la PAE maximum se situe entre 33 et 35%. En regardant à 8dB de moins par rapport à la puissance de sortie correspondante à la PAE maximum, la PAE est alors entre 10 et 21%, soit bien loin de l'objectif de PAE constante sur une large plage de puissance. Dès lors, nous souhaitons

d'une part travailler sur la compréhension de l'architecture mais également de la mise en œuvre de cette architecture en développant une méthodologie de conception et d'optimisation en termes d'augmentation du rendement sur une grande plage de puissance. Pour cela, nous sommes partis de l'architecture classique de l'Amplificateur de Puissance Doherty (APD) intégré décrite à la Figure 2 - 16. Par rapport à la Figure 2 - 15 qui montrait le schéma de principe, nous avons fait apparaître les réseaux d'entrée et de sortie qui contiennent la ligne quart d'onde, le réseau d'adaptation d'impédance ainsi que la division/recombinaison de puissance. Nous détaillons un peu plus la méthodologie de conception et l'optimisation de chaque élément de la structure.

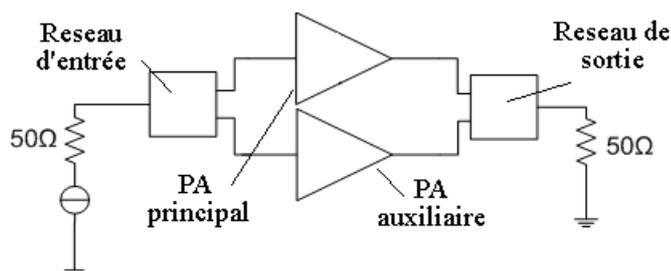


Figure 2 - 16 : Topologie de l'Amplificateur de Puissance Doherty

### 2.2.1 Conception des blocs élémentaires

La méthodologie de conception utilisée pour réaliser le PA Doherty est la suivante : nous dimensionnons tout d'abord le PA principal et le PA auxiliaire avec la contrainte suivante : le point de compression en sortie du PA auxiliaire doit être supérieur de 7dB (valeur du PAPR du LTE) à celui du PA principal afin de respecter la théorie du Doherty. Ensuite est réalisée la ligne d'onde en sortie du PA principal pour réaliser la modulation d'impédance, la ligne en entrée du PA auxiliaire pour la compensation de phase apportée par la ligne précédente et enfin le splitter d'entrée et le combineur en sortie.

La structure adoptée pour les deux amplificateurs de puissance (principal et auxiliaire) est la structure cascode, présentée à la Figure 2 - 17. La fréquence de fonctionnement choisie est de 2,535 GHz, correspondant au standard LTE.

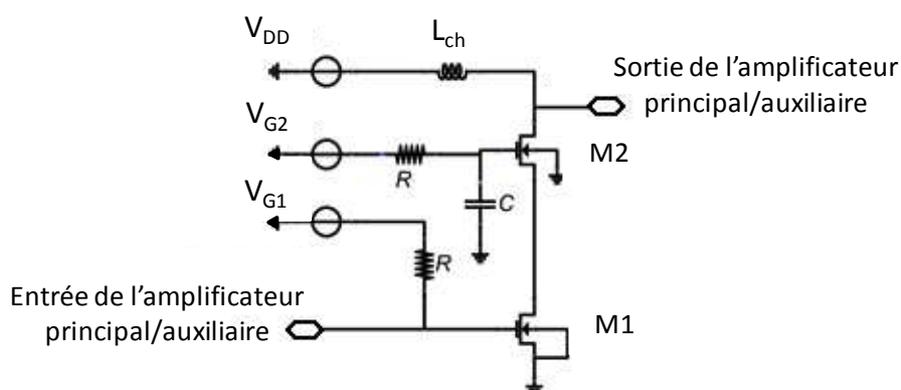


Figure 2 - 17 : Structure cascode pour les deux amplificateurs principal et auxiliaire

Dans le fonctionnement de l'APD, les deux amplificateurs de puissance n'ont pas le même rôle, en effet, le PA principal est tout le temps actif et sature pour les puissances moyennes tandis que le PA auxiliaire conduit pour des puissances moyennes à fortes. Nous avons choisi de polariser le PA principal en classe AB et le PA auxiliaire en classe C. Ce choix est dicté par le respect du fonctionnement de la structure Doherty: en prenant un point de fonctionnement proche de 0V, nous nous assurons qu'à faible puissance d'entrée, le PA ne conduit pas. Ainsi, le courant traversant chaque amplificateur n'est pas identique, il en sera donc de même pour les tailles des transistors constituant le PA principal et l'auxiliaire. Le dimensionnement et l'optimisation de chaque sous-amplificateur est fait séparément, l'objectif étant que l'écart de puissance en dB entre les points de compression de l'amplificateur principal et secondaire soit égal au back-off que nous souhaitons obtenir sur la courbe de PAE du PA Doherty.

Les réseaux d'entrée et de sortie sont quant à eux constitués d'éléments passifs. Les réseaux intègrent plusieurs fonctions dans le but de diminuer le nombre de passifs, notamment d'inductances, nécessaires. Ainsi, le réseau d'entrée, présenté à la Figure 2 - 18, intègre le diviseur de Wilkinson ( $L_1$ ,  $L_5$  et  $C_5$ ), l'adaptation d'impédance des entrées des deux amplificateurs (le principal par  $C_1$ ,  $L_1$  et  $L_2$ ; l'auxiliaire par  $C_5$ ,  $L_5$ ,  $C_6$ ,  $L_6$  et  $C_7$ ) et la ligne quart d'onde ( $C_5$ ,  $L_5$  et  $C_6$ ). De même, le réseau de sortie, présenté à la Figure 2 - 19, comprend la recombinaison des sorties des deux amplificateurs, l'adaptation d'impédance de sortie des deux amplificateurs (le principal par  $C_3$ ,  $C_4$  et  $L_4$ ; l'auxiliaire par  $C_9$  et  $L_8$ ) et la ligne quart d'onde ( $L_4$ ).

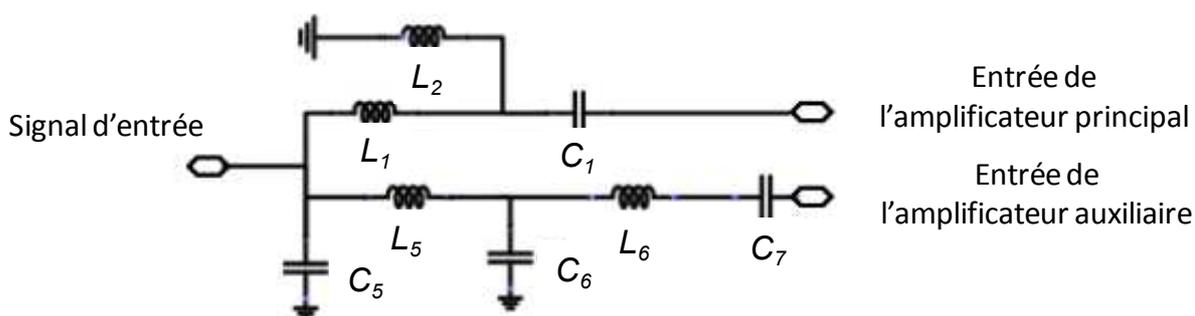


Figure 2 - 18 : Réseau d'entrée du DPA

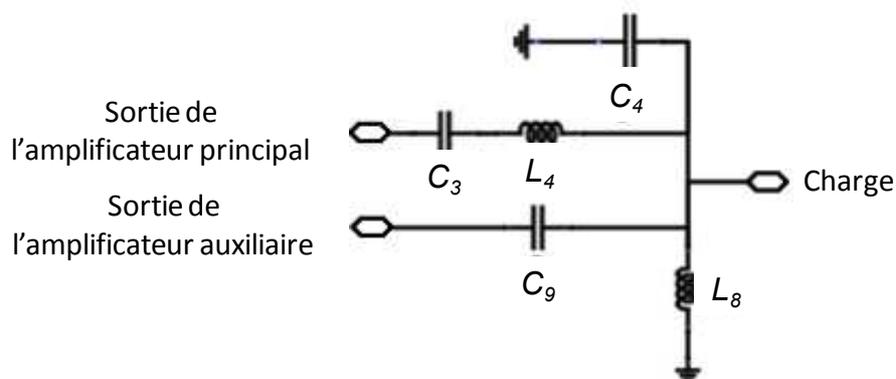


Figure 2 - 19 : réseau de sortie du DPA

## 2.2.2 Optimisation des performances du PA Doherty

Le schéma complet du PA Doherty, présenté à la Figure 2 - 20 est composé de nombreux éléments, notamment passifs, dont l'implémentation est susceptible de modifier les performances du circuit. Ainsi, dès la conception de l'architecture complète, un processus itératif d'optimisation du rendement a été mis en place. Devant le nombre d'éléments du schéma électrique, nous procédons par étape. Tous les éléments de l'architecture ont été optimisés séparément, puis les éléments ont été assemblés et ré-optimisés en prenant en compte les interconnexions.

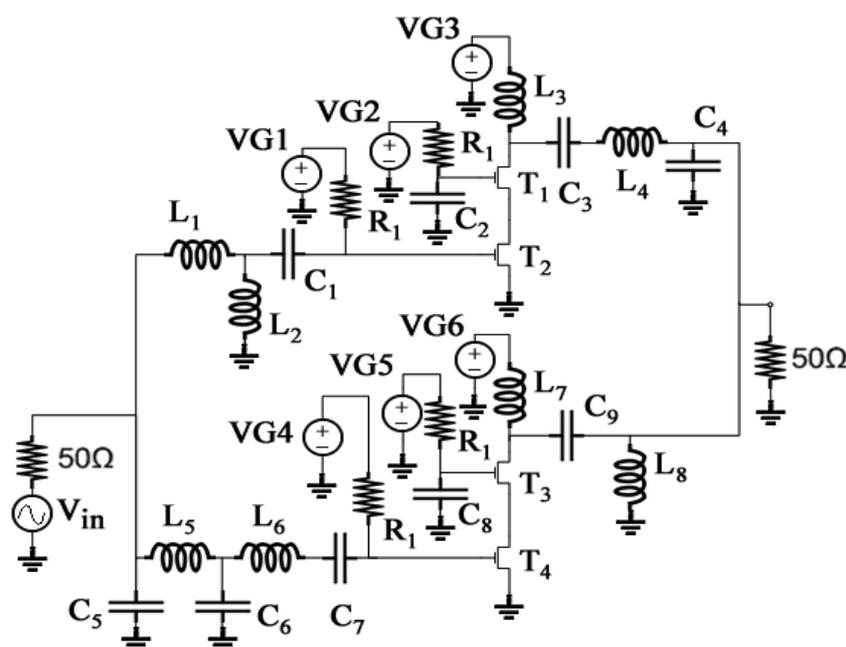


Figure 2 - 20 : Schéma complet du PA Doherty

Le layout de l'architecture complète est réalisé sur la technologie CMOS 65nm de STMicroelectronics. Le nombre d'inductances étant assez élevé, les simulations électro-magnétiques sont réalisées. De même, chaque interconnexion ainsi que les plots sont exportés de Cadence vers ADS/Momentum afin de réaliser des simulations électro-magnétiques en prenant en compte les niveaux de métaux et les paramètres de la technologie. Les paramètres-S résultants sont alors utilisés pour la ré-optimisation du schéma électrique afin de modifier le layout. Pour donner un ordre de grandeur, durant le processus, le doctorant a optimisé 35 variables au total (les largeurs, les nombres de doigts et les nombres de transistors en parallèle, soit 3 variables pour 4 ensembles de transistors, les 6 tensions DC d'alimentation et de polarisation, les diamètres des 8 inductances, les nombres de doigts des 9 capacités). Le layout final est présenté à la Figure 2 - 21.

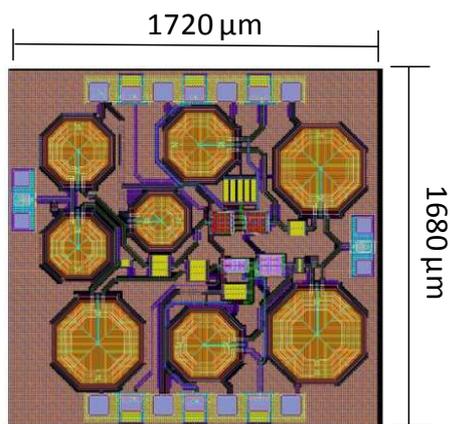


Figure 2 - 21 : Layout de l'APD ( $2.9\text{mm}^2$ )

Sur la Figure 2 - 22, sont superposées la courbe de simulation électrique du PA classe AB, la courbe de simulation électrique du DPA sans optimisation, la courbe de simulation post layout de l'APD et la courbe de simulation électrique incluant les blocs EM de l'APD optimisé.

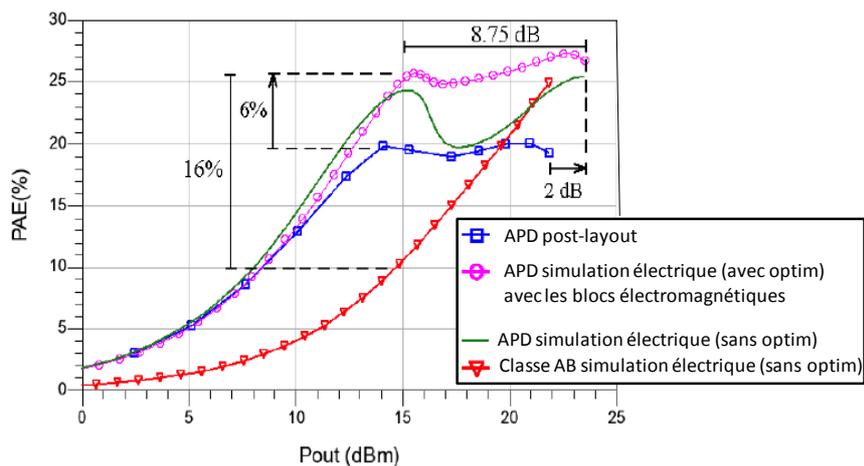


Figure 2 - 22 : Comparaison des courbes de PAE pour les 4 versions du PA

Cette figure est très riche d'enseignement. Tout d'abord, nous voyons l'effet Doherty en comparant les courbes de simulation du PA Classe AB et celles du PA Doherty (optimisé ou non). La forme de la courbe du rendement du PA Doherty, prédit par la théorie est respectée. De plus, si nous nous plaçons à un back-off de 8,75dB, la PAE augmente de 10% à 24% entre le PA classe AB schéma électrique et l'APD schéma électrique avant optimisation. Le rendement est ainsi nettement amélioré aux puissances plus faibles que la puissance maximum, ce qui augmente le rendement moyen du DPA. Comme nous nous y attendons, le résultat de la simulation post-layout montre une dégradation de la PAE (environ 5%). Enfin, l'application du processus d'optimisation montre tout son intérêt, puisque la courbe de PAE est améliorée et les valeurs sont comprises entre 25% et 27% sur la plage des 8,75dB. Dans le layout final, les pertes dans le réseau d'entrée et de sortie sont de 3,7dB et 1,1dB respectivement.

### 2.2.3 Mesures de l'APD

La photographie de l'APD mesuré est présentée à la *Figure 2 - 23*. Les courbes mesurées des paramètres large-signal sont montrées à la *Figure 2 - 24*. Nous retrouvons bien la forme désirée de PAE, avec une légère diminution de la valeur maximum de PAE à 22%. Le gain petit signal est de 15 dB et la puissance de saturation  $P_{sat}$  est de 24 dBm.

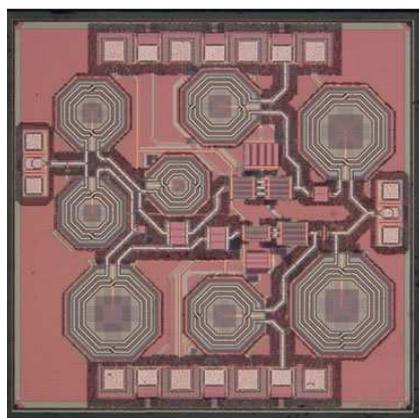


Figure 2 - 23 : Photo de l'APD

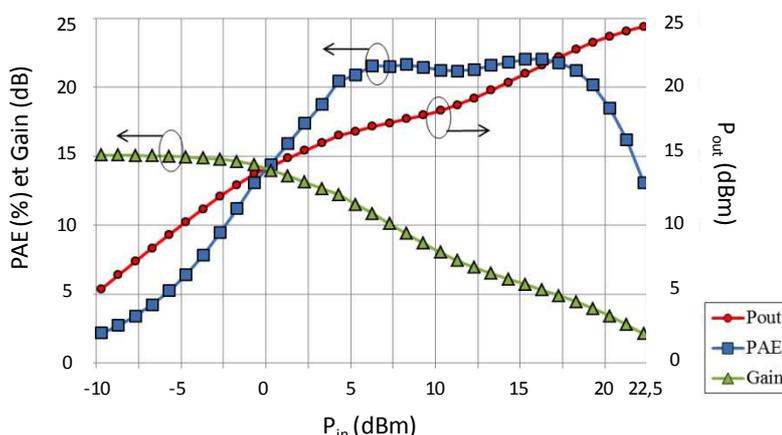


Figure 2 - 24 : Courbes de PAE, gain et  $P_{out}$  en fonction de  $P_{in}$

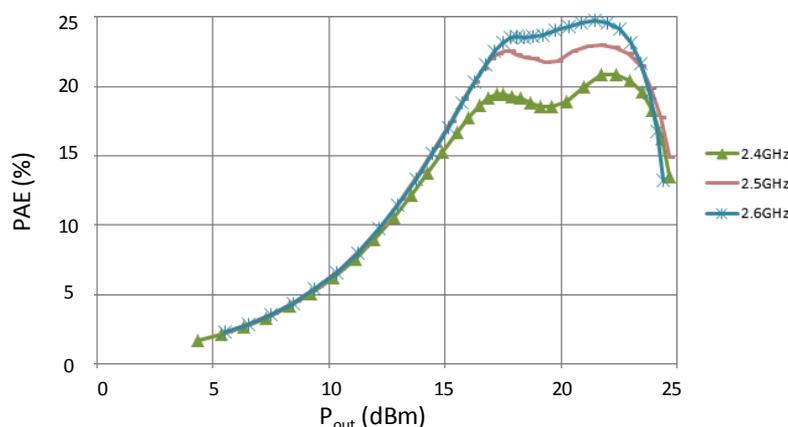


Figure 2 - 25 : Evolution de la PAE pour plusieurs fréquences

L'APD est ensuite mesuré à 2,4GHz, 2,5GHz et 2,6GHz. Nous voyons alors à la *Figure 2 - 25* que la PAE augmente mais en revanche la plage sur laquelle la PAE est constante diminue. Néanmoins, à 2,6GHz, où la PAE atteint 25%, la plage est de 7dB, ce qui nous permet tout de même de répondre aux spécifications du standard LTE voie montante, qui possède un  $PAPR_{max}$  de 7,03dB en utilisant la technique d'accès SC-FDMA avec une modulation 16-QAM [KAW06]. Cette figure permet aussi de mettre en évidence le compromis entre la recherche de maximum de performances sur la valeur du rendement et la plage de puissance où ce rendement est maintenu.

Les résultats des précédents travaux sur les amplificateurs de puissance Doherty intégrés sur des technologies CMOS [ONI12][KAY10][KAY11] sont présentés dans le Tableau 2 - 2 à titre de

comparaison avec les résultats de notre APD à 2,5 et à 2,6 GHz. Les APDs de [ELM06][ONI12] offrent des gains en puissance supérieurs qui s'explique par l'utilisation de la structure différentielle et par la présence d'un étage driver devant l'APD. Les références citées dans le Tableau 2 - 2, ont un rendement en puissance ajoutée maximum élevé (supérieur à notre réalisation), néanmoins, lorsque nous regardons à la PAE à un recul de 7 dB par rapport à la puissance de sortie correspondante à la  $PAE_{max}$ , nous constatons que la valeur de la PAE chute, se rapprochant de l'allure des PAs conventionnels polarisés en classe AB. Ainsi nos travaux ne sont pas les meilleurs en terme de  $PAE_{max}$  mais se singularisent par le fait d'offrir une PAE constante sur une grande plage de puissance de sortie.

Tableau 2 - 2 : Comparaison avec l'état de l'art

Référence	Fréq. [GHz]	Gain [dB]	PAE max [%]	PAE @7dB-PBO[%]	Différence entre $PAE_{max}$ and $PAE@-7dB$	Psat [dBm]	Technologie CMOS [nm]	Topologie utilisée
[ELM06]	3,65	26	35	10	-25	26,5	90	Single ended, cascode
[KAY06]	2,4	17	27	15	-12	20,5	90	Différentielle, cascode, baluns
[KAY11]	2,4	17	33	22	-11	26,3	90	Différentielle, cascode, baluns
[ONI12]	2,4	27	34	21	-13	30,5	65	Différentielle, cascode, baluns
Ce travail 2,5GHz	2,5	15,2	22	20	-2	23,3	65	Single ended, cascode
Ce travail 2,6GHz	2,6	15,2	24,7	22	-2,7	23,4	65	Single ended, cascode

Les résultats de cette étude démontrent la pertinence de l'intégration des amplificateurs de puissance Doherty sur des technologies CMOS en maintenant le rendement maximum sur une grande plage de puissance de sortie, ce qui augmente considérablement le rendement moyen des signaux à fort *PAPR*. Les circuits de cette étude ont été financés par le laboratoire commun ST/IMS. Ces travaux ont fait l'objet de 3 présentations dans des conférences internationales [CI-CAR11] [CI-CAR13-1] (sélectionné pour un numéro spécial dans le Journal AICSP) [CI-CAR13-2], une conférence nationale française [CF-CAR13] et une conférence nationale brésilienne [CB-CAR11], les résultats de mesures récemment obtenus font l'objet actuellement de l'écriture d'un article pour une revue.

## 2.3 Linéarisation par boucle cartésienne mixte analogique numérique

Après avoir développé des architectures d'augmentation du rendement moyen, il est également intéressant d'étudier le développement de techniques de linéarisation en technologie CMOS, en vue d'une intégration totale de l'émetteur. En effet, pour les communications mobiles à hauts débits, la recherche de linéarité est une préoccupation majeure. Or le comportement non-linéaire des amplificateurs de puissance génère des distorsions de phase et d'amplitude sur les signaux émis. Ces distorsions engendrent des remontées spectrales en dehors du canal du signal utile et déforment les constellations des signaux modulés. De nombreuses et différentes techniques de linéarisation d'amplificateurs de puissance existent dans la littérature. Nous pouvons citer la technique de contre-réaction (feedback), la technique feedforward ou la prédistorsion qui sont utilisées pour corriger les distorsions engendrées par les éléments non-linéaires. D'autres méthodes cherchent à éviter ces distorsions par la conception d'architectures où les amplificateurs sont attaqués par des signaux à enveloppe constante. On peut citer dans cette catégorie les architectures EER (Envelope Elimination and Restoration), LINC (Linear amplification with Non linear Components) et CALLUM (Constant Amplitude Locked Loop Universal Modulator). Ces techniques sont généralement difficiles à intégrer sur des technologies faible coût telles que les technologies CMOS. Le travail engagé dans le cadre de la thèse de Nicolas Delaunay [T-DEL12] avec un financement CIFRE STMicroelectronics, apporte une contribution aux techniques de linéarisation de contre-réaction par boucle cartésienne (en anglais CFB – Cartesian Feed-Back), en technologie CMOS 65nm, pour des applications 4G.

### 2.3.1 Etude de l'architecture de l'émetteur linéarisé

Dans le cadre des travaux de thèse N. Delaunay, nous avons choisi de travailler sur le développement d'une technique de linéarisation par boucle cartésienne d'une architecture d'émetteur Zéro-IF. Le principe de fonctionnement est décrit à la Figure 2 - 26.

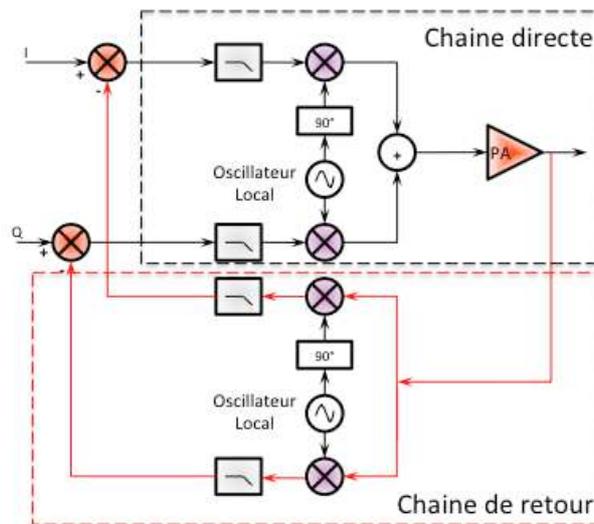


Figure 2 - 26 : Principe de linéarisation par boucle cartésienne

La partie chaîne directe correspond à un émetteur Zéro-IF. En sortie de l'amplificateur de puissance, une fraction du signal RF est prélevée, transposé en bande de base par un démodulateur IQ. Les produits d'intermodulations, liées à la démodulation des signaux, sont ensuite supprimés par des filtres passe-bas. Les signaux I et Q sont ensuite réinjectés dans la voie directe par le biais d'un soustracteur. Cette architecture est assez simple à mettre en œuvre. Néanmoins, J. Dawson a montré que l'ajout d'un correcteur de phase est nécessaire dans la boucle de retour afin de compenser les erreurs et rotation de constellation dues au désappariement des oscillateurs locaux [DAW00]. Ce déphaseur est placé entre le démodulateur et l'opération de soustraction. Lorsque nous débutons la thèse, nous souhaitons pouvoir contrôler la valeur de ce déphasage sur une large plage afin de répondre aux spécifications de plusieurs standards de communication. Pour ces raisons, la réalisation de cette correction de phase s'effectue dans le domaine numérique. Ces réflexions induisent alors l'architecture de la boucle cartésienne présentée à la Figure 2 - 27.

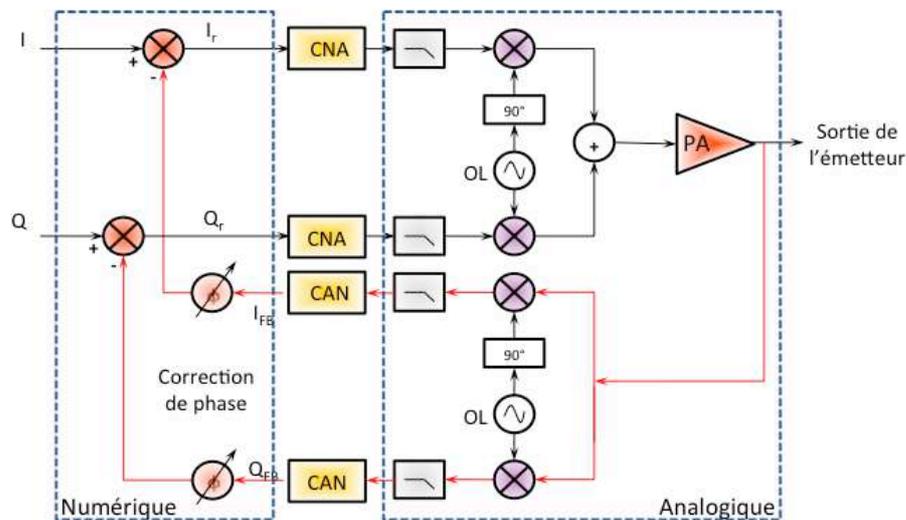


Figure 2 - 27 : Architecture de la boucle cartésienne mixte

Sur la Figure 2 - 27, apparaissent :

- la partie numérique contenant les opérations de déphasage et de soustraction,
- la partie analogique contenant la modulation, l'amplification de puissance et la démodulation
- la partie conversion avec un convertisseur numérique/analogique et analogique/numérique resp. dans la chaîne directe et dans la chaîne de retour.

L'étude de la partie numérique du système pour la réalisation de la correction et la soustraction de phase a été menée en collaboration avec l'équipe *Circuits et Systèmes Numériques* (CSN) du Laboratoire IMS, dirigée par le professeur D. Dallet.

La méthodologie suivie dans cette thèse à la fois circuit et système est alors, à partir de l'architecture présentée à la Figure 2 - 27, de déterminer la faisabilité de l'intégration de l'architecture en technologie CMOS 65nm de STMicroelectronics. Pour cela, des premières études nous permettent de déterminer les spécifications de chaque bloc composant la chaîne avant de les concevoir. Le standard visé au début du travail est l'UMTS/WCDMA. La bande passante des signaux est au maximum de 5MHz, ainsi, se basant sur les travaux de la référence [KAT01], la latence maximum de la boucle est de 50ns en utilisant l'équation 2-3.

$$\Delta t = \frac{1}{4 * BW} \quad \text{Equation 2 - 3}$$

Les premières simulations de l'architecture de la Figure 2 - 27, réalisées sous MATLAB avec des éléments idéaux, nous ont permis de valider l'architecture en observant les constellations d'origine, la constellation distordue après le PA puis la compensation réalisée par la boucle. Ces résultats sont visibles à la Figure 2 - 28.

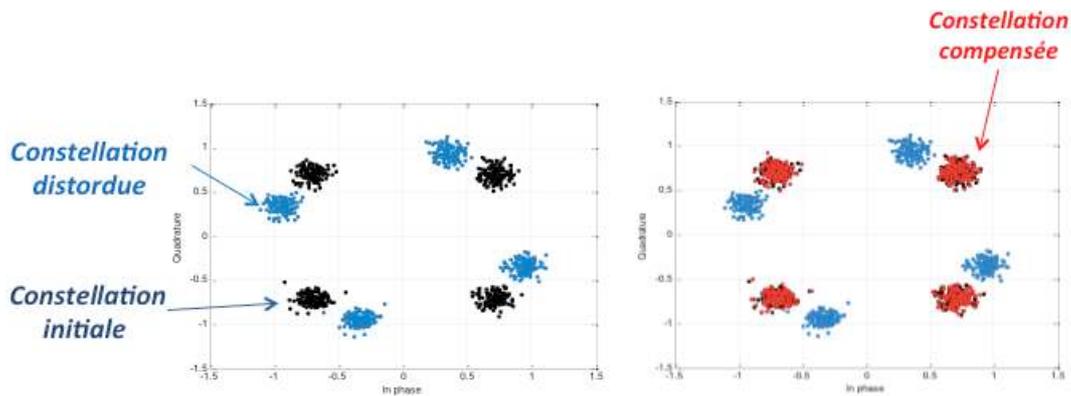


Figure 2 - 28 : Impact de l'application de la boucle cartésienne sur les constellations

Ensuite, nous sommes descendus plus proche du circuit en utilisant le logiciel ADS et en déterminant pour chaque bloc les performances nous permettant de respecter les spécifications de linéarité. Notre référence est une étude bibliographique faisant état des spécifications des blocs constituant l'architecture sur la même technologie, à savoir :

- Mélangeur de la chaîne directe : Gain: 14dB, NF: 6,4dB
- Filtre de la chaîne directe: filtre Butterworth d'ordre 2, fréquence de coupure 7MHz
- Amplificateur de puissance : Gain: 15dB,  $P_{\text{sat}} = 32\text{dBm}$  et  $\text{OCP1}=27\text{dBm}$
- Mélangeur de la chaîne de retour : Gain: -8dB, NF:4 dB
- Filtre de la chaîne de retour: filtre Butterworth d'ordre 3, fréquence de coupure 7MHz
- Atténuateur : 6 dB

Nous traçons ainsi à la Figure 2 - 29 l'évolution de l'ACLR en fonction de la puissance de sortie avec et sans application de la boucle cartésienne. Pour l'ACLR1, à 5MHz de la porteuse, la

spécification de l'UMTS est de ne pas dépasser -33dBc. Sans boucle cartésienne, cette valeur est atteinte pour une puissance de sortie de 28dBm. Au-delà, nous ne respectons plus la spécification. Lorsque la boucle cartésienne est appliquée à l'émetteur en revanche, à la puissance de sortie de 28 dBm, la valeur de l'ACLR est de -51 dBm soit une amélioration de 18 dB. Par ailleurs, lorsque la boucle est appliquée, la valeur limite de -33 dBc est atteinte pour une puissance de sortie de 31,5dBm soit une augmentation de puissance de 3,5dB pour respecter cette limite.

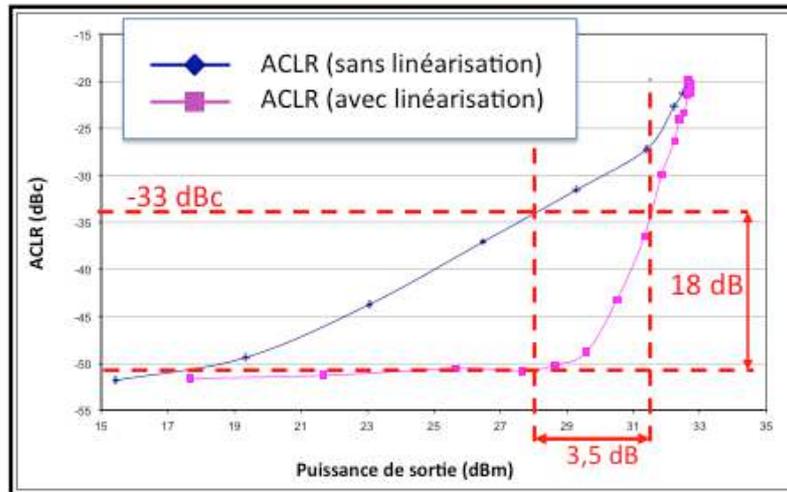


Figure 2 - 29 : Evolution de l'ACLR en fonction de la puissance de sortie avec et sans linéarisation

Ces simulations systèmes réalisées avec MATLAB et ADS nous ont permis de valider l'architecture complète. Ainsi, l'étape suivante a consisté à réaliser, sur la technologie CMOS 65nm de STMicroelectronics les fonctions des parties numériques, analogiques et mixte.

## 2.3.2 Conception des fonctions électroniques de l'architecture

### 2.3.2.1 Partie numérique

La partie numérique contient deux opérations : la première est le déphasage des signaux I et Q de la boucle de retour et la deuxième est la soustraction des signaux déphasés avec les signaux I et Q initiaux. Cette partie a été réalisée par deux stagiaires de 3<sup>ème</sup> année de Sup'Com Tunis, avec un encadrement conjoint entre notre équipe de recherche, celle du professeur D. Dallet, de l'équipe *Circuits et Systèmes Numériques (CSN)* du Groupe *Conception* et C. Rebai, Maître de Conférences à l'Université de Sfax en Tunisie.

L'opération de déphasage est due au désappariement des oscillateurs locaux de la chaîne directe et de la chaîne de retour. Cette opération se fait par une rotation vectorielle. Néanmoins, il est au préalable nécessaire d'évaluer ce déphasage. Pour cela, nous pouvons utiliser la fonction *arctan*. Pour implémenter les fonctions *arctan* et rotation vectorielle, nous avons alors envisager deux solutions : utiliser une mémoire RAM (Look Up Table - LUT) ou l'algorithme CORDIC

(COordinate Rotation Digital Computer). Afin de dimensionner le système, nous nous sommes fixés une précision de  $1^\circ$  et une fréquence de fonctionnement égale à 240MHz, ce qui représente le meilleur compromis entre la fréquence et la résolution. Après étude des deux solutions, nous avons poursuivi l'implémentation du CORDIC avec une architecture pipe-line (une pour chaque voie) présentée à la Figure 2 - 30, nous permettant d'obtenir une surface moins importante tout en consommant moins de puissance. La solution originale présentée à la dans le cadre du stage PFE d'Alexis Aulery est de rassembler les deux pipe-line afin de diminuer le nombre d'opérateurs.

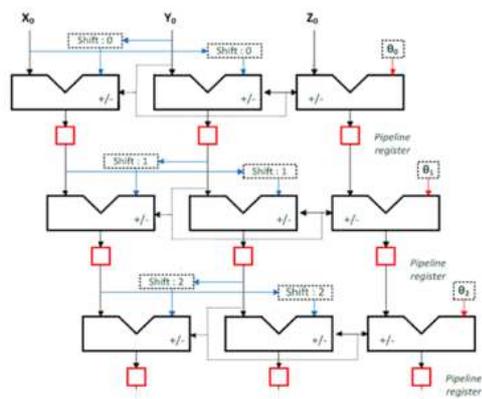


Figure 2 - 30 : Architecture CORDIC pour la fonction atan

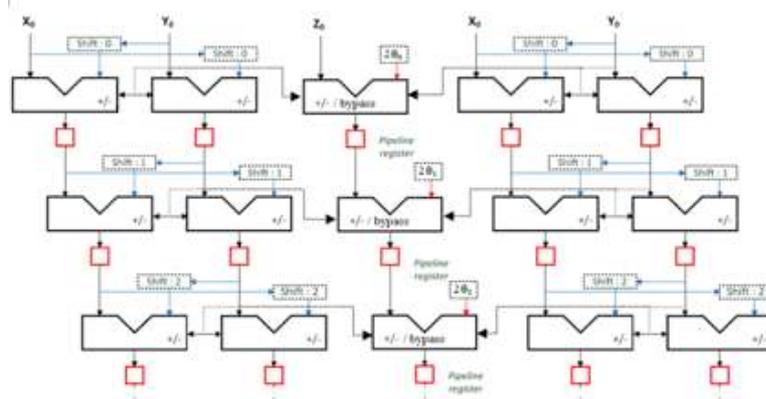


Figure 2 - 31 : Architecture CORDIC mélangée pour la fonction atan

Les simulations sous ModelSim confortent la fonctionnalité de cette architecture. En effet, la Figure 2 - 32 montre que la précision que nous nous sommes fixés de  $1^\circ$  est atteinte en moyenne. La conception des fonctions *arctan* et rotation vectorielle est alors réalisée avec Design Compiler de Synopsys et les bibliothèques de la technologie CMOS 65nm de STMicroelectronics.

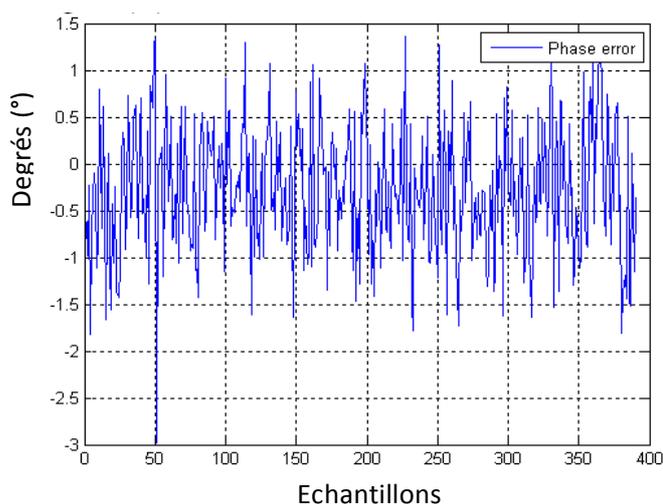


Figure 2 - 32 : Erreur de phase de l'architecture proposée

### 2.3.2.2 Partie conversion analogique-numérique et numérique-analogique

Les étapes de conversion sont nécessaires dans la chaîne directe pour transformer les signaux I et Q numériques en signal analogique prêt à être amplifié par le PA puis dans la chaîne de retour pour convertir le signal analogique transposé à basse fréquence en signaux I et Q qui pourront être déphasés et soustraits aux signaux I et Q initiaux. Le convertisseur numérique-analogique de la chaîne directe adopte une structure en échelle à commutation de courant, largement répandue pour les applications à haut débit, pour sa simplicité de mise en œuvre et sa rapidité [BAY95][ZH005]. Le convertisseur est composé par plusieurs branches contenant des sources de courant identiques, activées ou non, selon un code. Le principal inconvénient de cette architecture est la surface de silicium utilisée. L'opération inverse, à savoir la conversion analogique-numérique, est réalisée par une architecture pipe-line. A chaque coup d'horloge, on fait effectuer n conversions en parallèle. Chaque conversion étant dédié à une partie du code. En traversant le convertisseur (en n horloges), la tension d'entrée est convertie en commençant par les bits de poids forts et finissant par les bits de poids faibles. A chaque période d'horloge, un nouveau code numérique est converti. Les circuits ont été fabriqués et mesurés, les résultats de mesure sont rassemblés dans le Tableau 2 - 3.

Tableau 2 - 3 : Performances mesurées des convertisseurs utilisés

Convertisseur numérique analogique						
Résolution	NLI	NLD	Bande passante (sortie)	Fréquence d'échantillonnage	Taille	Consommation
12 bits	+/- 2,5 LSB	+/- 1,8 LSB	80 MHz	242 MHz	0,476mm <sup>2</sup>	Analog.: 26mW/Num. :2,5mW
Convertisseur analogique numérique						
Résolution	NLI	NLD	Bande passante (entrée)	Fréquence d'échantillonnage	Taille	Consommation
12 bits	+/- 2 LSB	+/- 1 LSB	130 MHz	324 MHz	0,3mm <sup>2</sup>	Analog.: 90mW/Num. :1mW

### 2.3.2.3 Partie analogique

Nous retrouvons ici les fonctions analogiques présentes dans la chaîne directe et la chaîne de retour, à savoir les fonctions mélange, filtrage, atténuation et amplification de puissance. Comme nous le voyons à la Figure 2 - 33 (et sur la photographie de la puce Figure 2 - 34) la chaîne directe est composée sur chaque voie I et Q :

- d'un filtre Gm-C, composée de trois étages, basés sur un filtre précédemment développés par les équipes de STEricsson. Le premier étage correspond à un filtre du premier ordre qui possède une fréquence de coupure à 3dB de 10 MHz. Il sert à adapter la sortie du convertisseur sur le deuxième étage, le PMA (Pulse with Modulation Amplifier), basé sur un

amplificateur à transconductance linéaire qui amène un gain variable selon le standard visé (8, 18 ou 28 dB mesurés). Le troisième étage est un filtre actif du premier ordre de fréquence de coupure à 3dB égale à 8MHz avec une plage de variation de 10% en modifiant les valeurs des résistances. L'objectif de ce filtre Gm-C est alors de sélectionner le canal utile tout en filtrant les canaux indésirables issus de la conversion numérique-analogique. La linéarité est améliorée par le gain amené par le PMA.

- d'un mélangeur actif basé sur une cellule de Gilbert, la fréquence d'entrée est à 2MHz, le gain de conversion est égal à 16dB à 0 dBm, 20dB de maximum.
- d'un amplificateur de puissance classe AB, basé sur une architecture à deux étages avec des structures cascades différentielles. Cet amplificateur est fourni par les équipes de STEricsson, très intéressées par le résultat de la boucle cartésienne sur leur PA. Les mesures sur le PA montrent que le gain est de 24 dB, la puissance de sortie au point de compression est de 22,8 dBm et la puissance de saturation est de 26 dBm. Le PA est l'élément de la puce qui occupe le plus de surface (1,3mm<sup>2</sup>) et qui consomme le plus : 658,4mW. Un point sur la consommation est fait dans le tableau 2-4.

tandis que la chaîne de retour est composée sur chaque voie I et Q :

- d'un atténuateur variable qui permet d'obtenir entre 2 et 16 dB d'atténuation
- d'un mélangeur passif basé sur une architecture double équilibrée en anneau qui amène 3 dB d'atténuation
- d'un filtre Gm-C : la même architecture est utilisée que pour les filtres

Les oscillateurs locaux ne sont pas intégrés sur la puce.

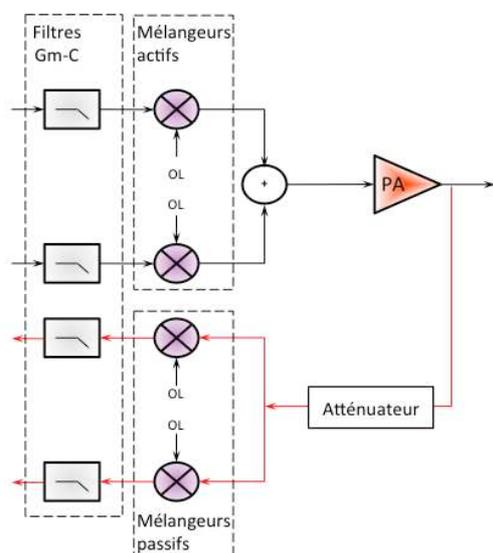


Figure 2 - 33 : Partie analogique de la boucle

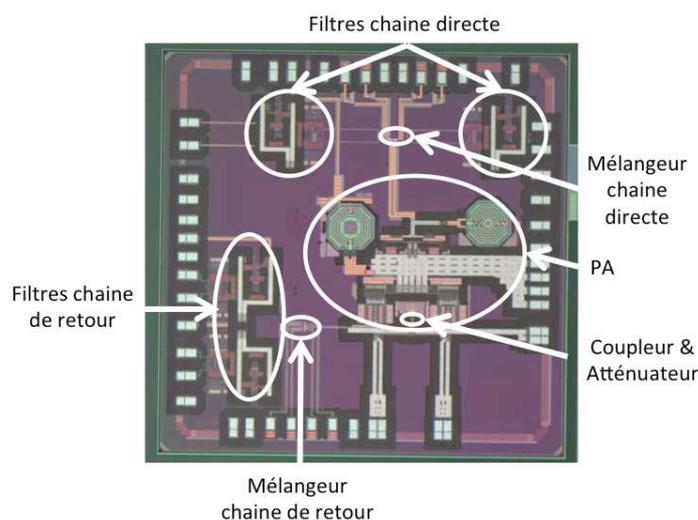


Figure 2 - 34 : Photographie de la puce réalisée (taille 2\*2mm<sup>2</sup> avec les pads)

### 2.3.2.4 Résultats de l'émetteur linéarisé

La partie numérique n'ayant pas été fabriquée, nous procédons à une co-simulation entre les parties analogique, mixte et numérique où nous pouvons mélanger les résultats de mesure et des simulations. Le logiciel utilisé est System-View, il permet le dialogue entre le code VHDL, ADS Ptolémy et ADS Analog RF dans lequel nous faisons référence aux circuits intégrés sur la technologie CMOS 65 nm. Ainsi, nous pouvons apprécier la linéarisation de l'émetteur à travers la Figure 2 - 35. Nous voyons la valeur de l'ACLR en boucle ouverte, la limite de -33dBc à 5 MHz de la porteuse est dépassée pour une puissance de sortie de 13 dBm, en revanche lorsque la boucle est appliquée, cette valeur limite est atteinte pour 24 dBm, ce qui représente une amélioration en puissance de 11 dB et surtout nous permet de respecter la spécification à l'OCP1 du PA. Pour cette puissance de sortie de 22,8 dBm, l'ACPR est améliorée de 31,5 dB (-41 dBc en boucle ouverte et -9,5 en boucle fermée).

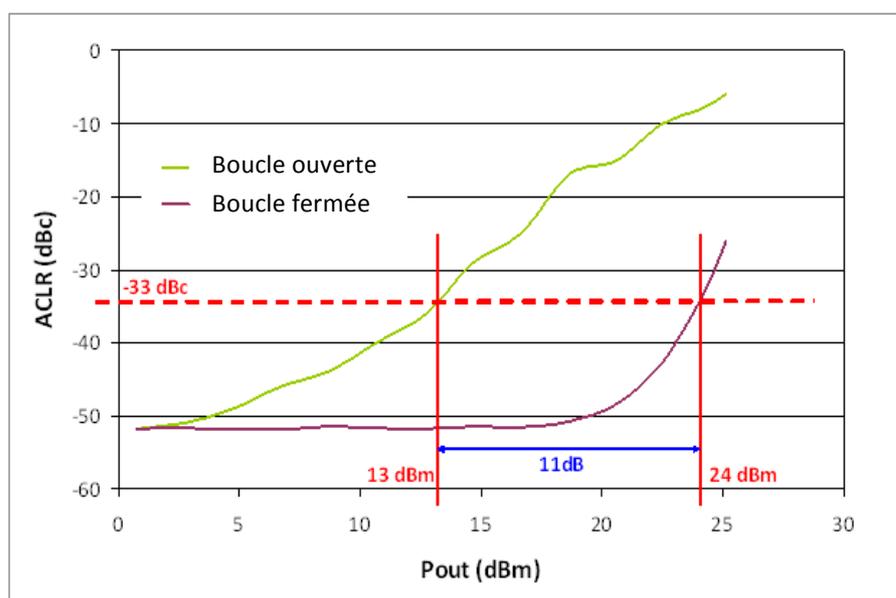


Figure 2 - 35 : Courbes d'ACLR en boucle ouverte et en boucle fermée

### 2.3.2.5 Bilan de la consommation et des surfaces

Les bilans de la consommation et des surfaces sont importants pour juger de la pertinence de la solution. Pour cela, les consommations des blocs utilisés pour la mise en œuvre de la boucle cartésienne sont rassemblées dans le Tableau 2 - 4 et mis en regard de la consommation de l'architecture d'émission de la chaîne directe.

Tableau 2 - 4 : bilan de la consommation de la chaîne directe et de la chaîne de retour

Consommation dans la chaîne directe (mW)				
Filtres Gm-C	Mélangeurs actifs	Amplificateur de puissance	CNA	Total
20,5	67,75	@P <sub>out</sub> =22,8dBm : 658,4	A : 26 ; D : 2,5	891,9

Consommation dans la chaîne de retour (mW)					
Atténuateur	Mélangeurs passifs	Filtres Gm-C	CAN	Opérations numériques	Total
1,25	0	24,9	A : 90 ; D : 1	4,7	237,8

Grace à ce tableau nous pouvons calculer la consommation des éléments rajoutés pour effectuer la linéarisation. La consommation de la chaîne directe est de 891,9mW, celle de la chaîne de retour de 237,9 mW. La consommation de l'émetteur linéarisé est alors de 1130mW. Les éléments de la linéarisation représentent 21% de la consommation totale. Notons tout de même que pour réaliser une comparaison pertinente, il est nécessaire de comparer la même puissance de sortie de l'émetteur avec les mêmes performances de linéarité et les mêmes valeurs d'ACLR. Cette étude n'est pas réalisée à ce jour.

Par ailleurs, la partie analogique réalisée représente une surface de 2,3mm<sup>2</sup> (sans les pads). Les deux convertisseurs occupent 0,476mm<sup>2</sup> pour le CNA et 0,3mm<sup>2</sup> pour le CAN. La partie numérique réalise quant à elle représente 0,03 mm<sup>2</sup>, il s'agit là d'une estimation à partir des simulations ModelSim. Ainsi la partie numérique représente 1% de la surface totale.

Les résultats de cette étude ont démontré la pertinence de la solution de linéarisation par boucle cartésienne mixte analogique numérique. Les circuits réalisés dans le cadre de la thèse de Nicolas Delaunay ont été financés dans le cadre du Laboratoire commun ST-IMS dans l'action « Cellular WLAN - Linéarisation TX » (correspondants : IMS : N. Deltimple/ STM : D. Belot). Ces travaux ont donné lieu à la rédaction d'un brevet [B-DEL10], deux publications dans des revues internationales avec comité de lecture [R-DEL11] [R-ALO11], sept présentations dans des conférences internationales [CI-DEL09] [CI-ALO10] [CI-DEL11] [CI-ABI11] [CI-SAN12] [CI-AUL13] dont une dans le cadre d'un workshop [WS-DEL12], une conférence nationale [CF-DEL09] et une présentation au GDR SoC-SiP [G-AUL12].

## 2.4 Conclusions

Au cours de ce chapitre les études réalisées portent sur le développement d'architecture « autour du PA » permettant de dépasser le compromis linéarité/rendement inhérent aux amplificateurs de puissance. Nous avons souhaité particulièrement adresser les signaux à fort PAPR qui fonctionnent la plupart du temps à des puissances bien inférieures à la puissance maximum, là où le rendement est très faible. Ainsi notre objectif visait à travailler sur l'amélioration du rendement moyen des PAs.

La première technique étudiée est la mise en parallèle de cellules amplificatrices éteintes ou actives selon l'amplitude du signal à l'entrée. Ce travail était inscrit dans le projet européen CATRENE PANAMA et a nous a permis de montrer l'intérêt de la structure sur des signaux LTE avec le principe de la variation dynamique du point de compression et donc du rendement en puissance

ajoutée en fonction du nombre de cellules activées qui suit le niveau de l'enveloppe du signal d'entrée.

Nous avons ensuite souhaité développer un amplificateur de puissance dont le rendement était important sur une large plage de fréquence. L'étude de la technique Doherty nous a permis de réaliser un amplificateur de puissance totalement intégré pour des applications LTE. Ce travail était inscrit dans le projet de coopération France-Brésil CAPES-COFECUB. Nous avons pu valider la structure de l'APD conçu en obtenant une courbe de PAE constante autour de 24% sur une large plage de recul.

Enfin, nous avons étudié une technique de linéarisation, la contre-réaction par boucle cartésienne, dans laquelle nous avons proposé de réaliser la partie correction de phase et soustraction des signaux dans le domaine numérique permettant ainsi une plus grande souplesse pour l'appliquer sur un amplificateur de puissance dont les caractéristiques peuvent varier au cours du temps et en faire une boucle de linéarisation universelle. Les résultats de co-simulations-mesures entre les parties analogiques/RF et numériques ont permis de valider la pertinence de l'architecture proposée en respectant les contraintes de linéarisation du standard UMTS jusqu'à une puissance de sortie de 24 dBm.

## 2.5 Références bibliographiques

- [BAY95] R. Bayruns, K. Li, D. Osika, D. Stofman, M. Shokrani, P. Fowler, E. Ham, and J. Brand, "The bootstrapped gate FET (BGFET) - a new control transistor," pp. 136–139, 1995.
- [B-DEL10] "IC Transmitter Linearized for Multi-Standards Applications", 2010, Inventeurs : Didier BELOT, Nicolas Delaunay, Eric Kerhervé, Nathalie Deltimple.
- [CB-CAR11] Marcos L. Carneiro, Paulo H. P. de Carvalho, Nathalie Deltimple, Eric Kerherve Leonardo da C. Brito, Sergio G. de Araujo, « Otimização de amplificador de potencia Doherty atraves de computação evolucionaria e transformada unscented », X Congresso Brasileiro de Inteligencia Computacional (CBIC'2011), 8 a 11 de Novembro de 2011, Fortaleza, Ceara, Brazil.
- [CF-CAR13] Marcos L. Carneiro, Nathalie Deltimple, Didier Belot, Paulo H. P. de Carvalho, Eric Kerherve, « Amplificateur de puissance Doherty totalement intégré en CMOS 65nm avec une PAE constante sur une large plage de puissance », 18èmes Journées Nationales Microondes, JNM2013, 15-17 Mai 2013, Paris, France.
- [CF-DEL09] N. Delaunay, N. Deltimple, L. Leyssenne, E. Kerhervé, D. Belot, « Linéarisation d'un Amplificateur de Puissance BiCMOS7RF par Boucle Cartésienne pour le Standard W-CDMA », Journées Nationales du Réseau Doctoral de Microélectronique, JNRDM09, Lyon, France.
- [CI-ABI11] M. Abid, N. Delaunay, B. Legal, D. Dallet, C. Rebai, N. Deltimple, E. Kerherve, D. Belot, "Mixed Cartesian Feedback for Zero-IF WCDMA Transmitter", 2nd IEEE Circuits and

Systems Society Latin American Symposium on Circuits and Systems (LASCAS2011), Bogota, Colombia, February 23-25, 2011.

- [CI-ALO10] S. Aloui, N. Delaunay, E. Kerherve, N. Deltimple, R. Plana and D. Belot "Characterization Methodology of a Millimeter-Wave 65nm CMOS PA Dedicated to 60GHz WPAN Standard", First IEEE Circuits and Systems Society Latin American Symposium on Circuits and Systems (LASCAS2010), February 24-26, 2010, Iguacu Falls, Brazil, Best paper award.
- [CI-AUL13] A. Aulery, D. Dallet, B. Le Gal, N. Deltimple, D. Belot, E. Kerherve, "Study and Analysis of a New Implementation of a Mixed-Signal Cartesian Feedback for a Low Power Zero-IF WCDMA Transmitter ",IEEE International NEWCAS'2013, pp.1-4, Paris, France, June 16-19, 2013.
- [CI-CAR11] Marcos L. Carneiro, Paulo H. P. de Carvalho, Nathalie Deltimple, Leonardo da C. Brito, Leonardo R.A.X. de Menezes, Eric Kerherve, Sergio G. de Araujo and Adson S. Rocha. "Doherty Amplifier Optimization Using Robust Genetic Algorithm and Unscented Transform", IEEE International NEWCAS'2011, pp.1-4, Bordeaux, France, June 26-29, 2011.
- [CI-CAR13-1] Marcos L. Carneiro, Nathalie Deltimple, D. Belot, Paulo H. P. de Carvalho, Eric Kerhervé, "A 2.535 GHz Fully Integrated Doherty Power Amplifier in CMOS 65nm with Constant PAE in Backoff", 4th IEEE Circuits and Systems Society Latin American Symposium on Circuits and Systems (LASCAS2013), Peru, February 27-March 1st, 2013
- [CI-CAR13-2] Marcos L. Carneiro, Nathalie Deltimple, D. Belot, Paulo H. P. de Carvalho, Eric Kerhervé, "Fully Integrated Doherty Power Amplifier Electromagnetically Optimized in CMOS 65nm with Constant PAE in Backoff", IEEE International NEWCAS'2013, pp.1-4, Paris, France, June 16-19, 2013.
- [CI-DEL09] N. Delaunay, N. Deltimple, E. Kerhervé and D. Belot, "Linearization of a 65nm CMOS power amplifier with a Cartesian Feedback for W-CDMA standard", Joint IEEE North-East Workshop on Circuits and Systems and TAISA Conference, 2009, (NEWCAS-TAISA '09), Toulouse, France, 2009.
- [CI-DEL11] N. Delaunay, N. Deltimple, E. Kerhervé and D. Belot, "A RF Transmitter Linearized Using Cartesian Feedback in CMOS 65nm for UMTS Standard", IEEE 2011 Topical Conference on Power Amplifier for Wireless and Radio Applications, (PAWR-RWS2011), Phoenix, AZ, United States, Jan 16-20, 2011.
- [CI-SAN12] W. Sanaa, N. Delaunay, B. Le Gal, D. Dallet, C. Rebai, N. Deltimple, E. Kerherve, D. Belot, "Design of a Mixed-Signal Cartesian Feedback Loop for a Low Power Zero-IF WCDMA Transmitter", 3rd IEEE Circuits and Systems Society Latin American Symposium on Circuits and Systems (LASCAS2012), Mexico, February 29-March 3, 2012.

- [CI-TUF11] Adrien Tuffery, Nathalie Deltimple, Bernardo Leite, Philippe Cathelin, Vincent Knopik, Eric Kerhervé, "A 27.5-dBm Linear Reconfigurable CMOS Power Amplifier for 3GPP LTE Applications", IEEE International NEWCAS'2011, pp.1-4, Bordeaux, France, June 26-29, 2011.
- [CI-TUF12] Adrien Tuffery, Nathalie Deltimple, Philippe Cathelin, Vincent Knopik, Eric Kerhervé, "A Reconfigurable CMOS Power Amplifier based on Switched Power Cells for 3GPP LTE Applications", DCIS2012, Avignon, France, November, 28-30th.
- [DAW00] JL Dawson and TH Lee, «Automatic phase alignment for high bandwidth Cartesian feedback power amplifiers », IEEE Radio and Wireless Conference (RAWCON), pp. 71-74, Denver, Colorado, 10-13 Septembre, 2000.
- [ELM06] M. Elmala, J. Paramesh and K. Soumyanath, « A 90-nm CMOS Doherty Power Amplifier With Minimum AM-PM Distortion », IEEE Journal of Solid-State Circuits, Vol. 41, no. 6, Juin, 2006.
- [G-AUL12] A. Aulery, W. Sanaa, D. Dallet, B. Le Gal, N. Deltimple, D. Belot, E. Kerherve, "Design of a Mixed-Signal Cartesian Feedback Loop for a low power Zero-IF WCDMA Transmitter", Journée thématique AMS&RF "Correction numérique des imperfections de l'analogique », Paris, 24 mai 2012.
- [G-TUF11] A. Tuffery, N. Deltimple, B. Leite, P. Cathelin, V. Knopik, E. Kerhervé, « Amplificateur de Puissance Reconfigurable en Technologie CMOS pour Application Cellulaire 3GPP LTE", Colloque du GDR SoC-SiP, Lyon, 15-17 juin 2011.
- [KAY10] E. Kaymaksut, B. François and P. Reynaert, "Analysis and Design of Series Combining Transformers for integrated Doherty Power Amplifiers", Proceedings of Asia-Pacific Microwave Conference, 2010.
- [KAY11] E. Kaymaksut and P. Reynaert, « CMOS Transformer-Based Uneven Doherty Power Amplifier for WLAN Applications », Proceedings of the ESSCIRC, Septembre, 2011.
- [KAT01] A. Katz, "Linearization: reducing distortion in power amplifiers," IEEE Microwave Magazine, vol.2, no.4, pp.37-49, Dec 2001
- [KAW06] T. Kawamura, Y. Kishiyama, K. Higuchi, M. Sawahashi, "Comparisons of 16QAM Modulation Schemes Considering PAPR for Single-Carrier FDMA RadioAccess in Evolved UTRA Uplink", IEEE 9<sup>th</sup> ISSSTA, Manaus, Brazil, 2006.
- [ONI12] K. Onizuka, S. Saigusa and S. Otaka, « A +30.5 dBm CMOS Doherty Power Amplifier with Reliability Enhancement Technique », Symposium on VLSI Circuits Digest of Technical Papers, Honolulu, Hawaii, Juillet, 2012.
- [P-PAN09] CA101 PANAMA Project Technical Report, A. Tuffery, N. Deltimple, E. Kerhervé, « Integrated PA systems», June 2009.
- [P-PAN10] CA101 PANAMA Project Technical Report, A. Tuffery, N. Deltimple, E. Kerhervé, « 3G/4G PA Design », June 2010.
- [P-PAN11] CA101 PANAMA Project Technical Report, A. Tuffery, N. Deltimple, E. Kerhervé, « 3G/4G PA Design », July 2011.
- [P-PAN12] CA101 PANAMA Project Technical Report, A. Tuffery, N. Deltimple, E. Kerhervé, « 3G/4G PA Design », June 2012.

- [R-DEL11] N. Delaunay, M. Abid, B. Le Gal, D. Dallet, C. Rebai, N. Deltimple, E. Kerhervé, D. Belot, "Mixed Cartesian Feedback for Zero-IF WCDMA Transmitter", revue Analog Integrated Circuits and Signal Processing (AICSP), Volume 73, Number 3, DOI 10.1007/s10470-012-9937-1, Springer. Lien pour le pdf: [http://download.springer.com/static/pdf/342/art%253A10.1007%252Fs10470-012-9937-1.pdf?auth66=1353502666\\_e2da21605c50bb887ebc60c5965a1943&ext=.pdf](http://download.springer.com/static/pdf/342/art%253A10.1007%252Fs10470-012-9937-1.pdf?auth66=1353502666_e2da21605c50bb887ebc60c5965a1943&ext=.pdf)
- [R-ALO11] S. Aloui, N. Delaunay, E. Kerherve, N. Deltimple, R. Plana and D. Belot, "A 60GHz 65nm-CMOS Power Amplifier Realization and a Linearity Characterization With a Sine-Wave and an OFDM Signal", publiée dans la revue Analog Integrated Circuits and Signal Processing (AICSP), vol. 70, n°2, pp.203-211, Springer Science+Business Media, LLC 2011, DOI 10.1007/s10470-011-9735-1, Published online: 14 September 2011
- [T-CAR13] M. Carneiro, «Contribution à l'augmentation du rendement des Amplificateurs de Puissance (PAs) par l'étude et le développement d'un PA Doherty», débutée en octobre 2010, co-tutelle avec l'Université de Brasilia (UnB). Financement : programme CAPES-COFECUB, soutenance prévue en décembre 2013 à l'Université de Brasilia.
- [T-DEL12] N. Delaunay, « Linéarisation d'un émetteur utilisant une boucle cartésienne mixte (analogique/numérique) en technologie CMOS 65nm destiné aux communications numériques avancées», Université Sciences et Technologies - Bordeaux I (20/12/2012)
- [T-OEG06] O. El Gharniti, "Amplificateurs à transistors MOS complémentaires Silicium Transformateurs électriques", Université Sciences et Technologies - Bordeaux I (11/2006)
- [T-LEI11] B. Leite, « Design and modeling of mm-wave integrated transformers in CMOS and BiCMOS technologies », Université Sciences et Technologies - Bordeaux I (2011).
- [T-TUF12] A. Tuffery, « Conception d'amplificateurs de puissance reconfigurables en technologie CMOS avancée pour les applications WLAN », octobre 2009 - décembre 2012, encadrement E. Kerhervé (directeur)/N. Deltimple (co-directrice), financement : projet européen CA101 CATRENE PANAMA.
- [WS-DEL12] N. Deltimple, N. Delaunay, W. Sanaa, B. Le Gal, C. Rebai, D. Dallet, D. Belot, E. Kerhervé, "Cartesian Feedback with digital enhancement applied to fully integrated CMOS RF transmitter", WSD: RF & mmW PAs: Linearization and Power Challenges, IEEE MTT-S International Microwave Symposium and IEEE Radio Frequency Integrated Circuit Conference, 17-22 June 2012, Montréal, Canada.
- [ZHO05] S. Zhou and M. Chang, "A CMOS passive mixer with low flicker noise for low-power directconversion receiver," Solid-State Circuits, IEEE Journal of, vol. 40, no. 5, pp. 1084-1093, 2005.

DEVELOPPEMENT D'ARCHITECTURES D'EMISSION RF  
INNOVANTES

L'enjeu de ce chapitre est de développer des architectures d'émetteurs intégrés dans une technologie CMOS faible coût pour les communications mobiles, pertinentes en termes de réduction de la consommation d'énergie et de reconfigurabilité.

Afin de répondre à ces exigences, nous pouvons agir sur les architectures d'émission et sur la conception des blocs qui composent ces architectures afin de proposer des architectures alternatives aux émetteurs super-hétérodynes et zéro-IF les plus classiquement implantés.

Les études de ce chapitre porte sur une architecture originale appelée oscillateur de puissance, développée pour les applications mobiles RF et les applications WPAN à 60GHz. Dans ces travaux, des solutions originales sont proposées pour réaliser cet oscillateur, sur la chaîne directe utilisant des amplificateurs de puissance à haut rendement et la chaîne de retour en utilisant des filtres LC, des résonateurs BAW et filtres BAW ainsi qu'un vecteur-modulateur.

### 3.1 Etude d'une architecture innovante nommée Power VCO

Il existe de nombreuses architectures d'émetteur, chacun ayant ses avantages et ses inconvénients. La plus utilisée, par conséquent la mieux maîtrisée est l'architecture hétérodyne présentée à la Figure 3 - 1. Celle-ci repose sur l'utilisation de filtres, d'un modulateur IQ, d'oscillateurs locaux, d'un amplificateur de puissance et d'une antenne. De très nombreux émetteurs présents sur le marché ou dans la littérature sont basés sur cette architecture. Pourtant, elle souffre de plusieurs écueils de part le grand nombre de composants nécessaires. En effet, cela implique une consommation élevée (diminution de la durée de vie des batteries du terminal mobile) et une grande surface occupée (donc un coût élevé). En rassemblant les fonctions du modulateur IQ et de l'oscillateur local, l'architecture homodyne (Figure 3 - 2), également connue sous les noms de Zero-IF ou conversion directe permet de réduire la consommation et la surface de silicium occupée. En contrepartie, le phénomène de «pulling» entre l'oscillateur et l'amplificateur de puissance devient prépondérant et dommageable pour la fonctionnalité de la structure.

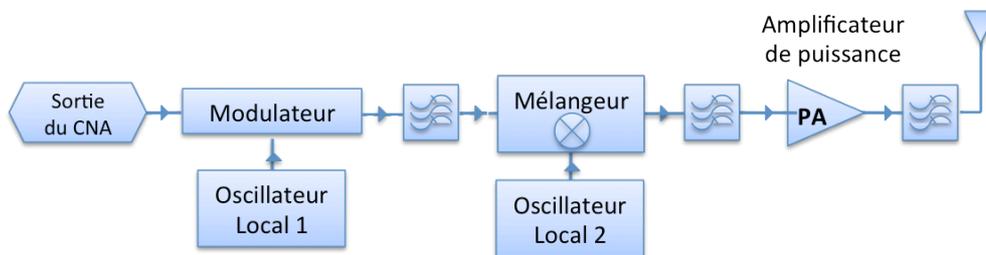


Figure 3 - 1: Architecture super-hétérodyne

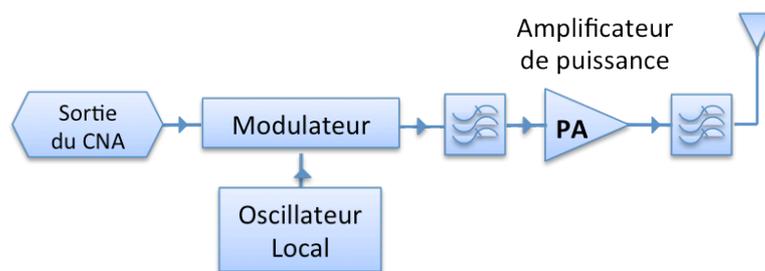


Figure 3 - 2 : Architecture homodyne

Afin de pallier à ces problèmes, nous proposons de travailler sur une architecture originale présentée à la Figure 3 - 3, qui est une extension du principe de la conversion directe en rassemblant les fonctions modulateur et oscillateur local (principe de la conversion directe) et en y rajoutant la fonction amplificateur de puissance. Cette structure est baptisée Power VCO. Le signal modulé est généré directement dans le Power VCO et le signal de sortie du CNA est un signal de commande d'amplitude et de phase appliqué sur les éléments constitutifs du Power VCO. Celui-ci devient l'élément clef de l'architecture.

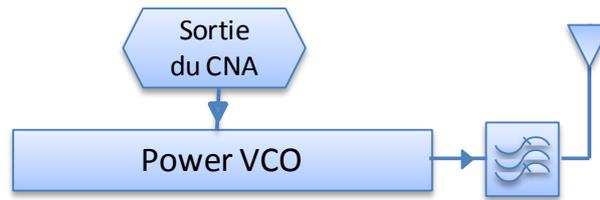


Figure 3 - 3 : Schéma de principe de l'émetteur basé sur un Power VCO

En réalisant une étude bibliographique, deux voies se dégagent pour réaliser la structure. La première solution consiste à réaliser un oscillateur contrôlé (de type VCO) suivi par un amplificateur de puissance, le PA ne servant qu'à augmenter le niveau du signal pour le transmettre via l'antenne. La deuxième solution vise à réaliser un oscillateur autour d'un amplificateur de puissance. Le Tableau 3 - 1 récapitule les différentes solutions trouvées dans la littérature. Les références [LI04][LIE01][WEL06] sont basées sur un VCO suivi d'un PA. La référence [XIO05] est intéressante dans le sens où la structure est basée sur un PA et un transformateur intégré. Le transformateur est utilisé pour réaliser une réaction entre la sortie et l'entrée du PA. Le PA est constitué d'un seul étage source commune. La comparaison des performances reste délicate puisque les circuits ont été développés sur des technologies différentes, à des fréquences différentes et donc pour des applications différentes. Néanmoins il apparaît que la solution permettant d'atteindre des rendements élevés est la solution du « PA oscillant ».

Tableau 3 - 1 : Etat de l'art des circuits pouvant être intégrés dans l'architecture de la Figure 3 - 3

	[LI04]	[LIE01]	[WEL06]	[XIO05]
Fréquence	77 GHz	1,8 GHz	64 GHz	2,45 GHz
$P_{out}$ (dBm)	18,5 (max)	14 (max)	17 (max)	15,3 (max)
PAE (%)	5,8 (max)	1 @ $P_{out}=0$ dBm	8 (max)	66 (max)
Bruit de phase (dBc/Hz)	-97 @1MHz (VCO)	-119 @600kHz (VCO)	-100 @600kHz (VCO)	-113 @100kHz
Alim (V)	3	2.5	4	1.8
Technologie	0.35 $\mu$ m CMOS	0.25 $\mu$ m BiCMOS	0.13 $\mu$ m BiCMOS	0.18 $\mu$ m CMOS
Application	Automotive Radar Systems	DCS	NC	NC

Nous décidons alors de partir sur cette approche en proposant l'étude d'une architecture basée sur un « PA oscillant » (cf Figure 3 - 4) lors de mon post-doc à l'université de Pavia en Italie, dans le laboratoire de microélectronique du professeur F. Svelto. L'oscillateur est constitué d'une chaîne directe contenant un amplificateur et d'une chaîne de retour constituée d'un filtre (éléments L, C) et d'un atténuateur. La structure s'approche de l'oscillateur à déphasage. La tension de sortie du PA se retrouve aux bornes du réseau à déphasage, l'objectif étant que le courant soit le plus faible

possible afin de privilégier une transmission la plus importante possible à la charge du « PA oscillant » et que la structure soit pertinente d'un point de vue rendement. Cela passe par une impédance d'entrée de la boucle de retour élevée. La principale différence avec un oscillateur classique repose sur l'utilisation d'un PA dans la chaîne directe.

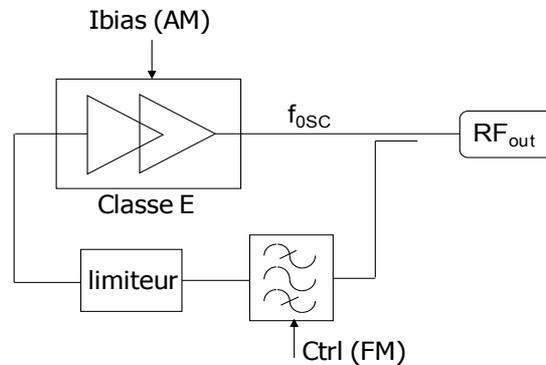


Figure 3 - 4 : Architecture de l'oscillateur de puissance (Power VCO)

L'élément de base de la structure étant le PA celui-ci bénéficie d'une étude particulière. Le PA est composé de deux étages. Le premier étage est une architecture source commune basée sur le transistor  $M_1$  et le deuxième étage est une structure cascode basée sur les transistors  $M_2$  et  $M_3$ . Afin de diminuer la consommation d'énergie, le PA possède un étage de puissance fonctionnant en classe de commutation (classe E). Le schéma de principe de la classe E et les formes d'ondes associés sont présentés à la Figure 3 - 5 et à la Figure 3 - 6. Quand le transistor est passant, la tension entre le drain et la source est égale à 0V et lorsque le transistor est bloqué, le courant traverse la capacité  $C_{shunt}$  qui ainsi se charge et se décharge, générant la forme d'onde carrée. L'association  $(C_s, L_s)$  résonne à la fréquence fondamentale tandis que l'association  $(L_m, C_m)$  sert à l'adaptation sur la charge  $50\Omega$ .

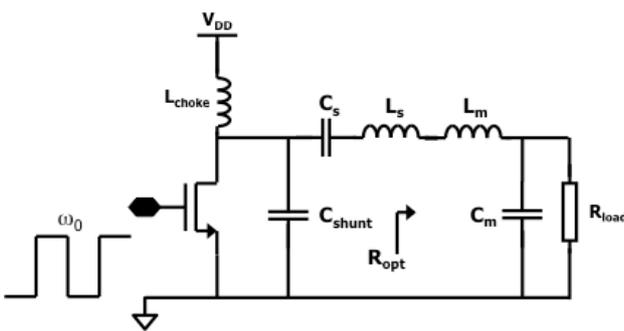


Figure 3 - 5 : schéma de principe d'un étage Classe E

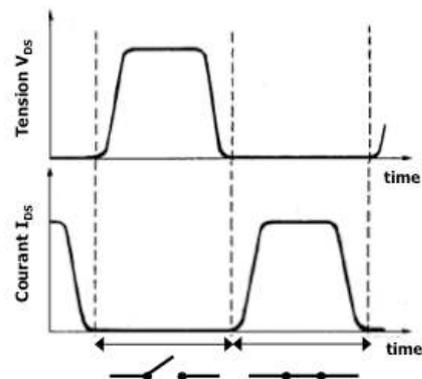


Figure 3 - 6 : formes d'ondes associées

Les études théoriques menées sur les PAs classe E démontrent que la tension sur le drain du transistor de l'étage de sortie est égale à  $3,56.V_{DD}$  [MAZ06]. L'architecture cascode nous permet ainsi de répartir cette tension élevée sur deux transistors afin d'éviter le claquage des jonctions. Par ailleurs, le transistor M2 doit fonctionner comme un interrupteur pour garantir le fonctionnement en classe E et assurer un rendement théoriquement de 100%. Il est donc nécessaire de fournir à ce transistor un signal de commande carré. Pour cela, le premier étage est polarisé en classe C. A partir du PA, la boucle de retour est ensuite réalisée. La topologie du Power VCO est présentée à la Figure 3 - 7. Le prélèvement du signal en sortie du PA est effectué grâce à un coupleur capacitif. Le filtre est conçu grâce à des éléments localisés de type inductance et capacité. Son rôle est de sélectionner la fréquence d'oscillation. Après rebouclage, le système se met à osciller avec les caractéristiques présentées au Tableau 3 - 2 où nous résumons les performances du PA seul et du PA rebouclé, formant le Power VCO.

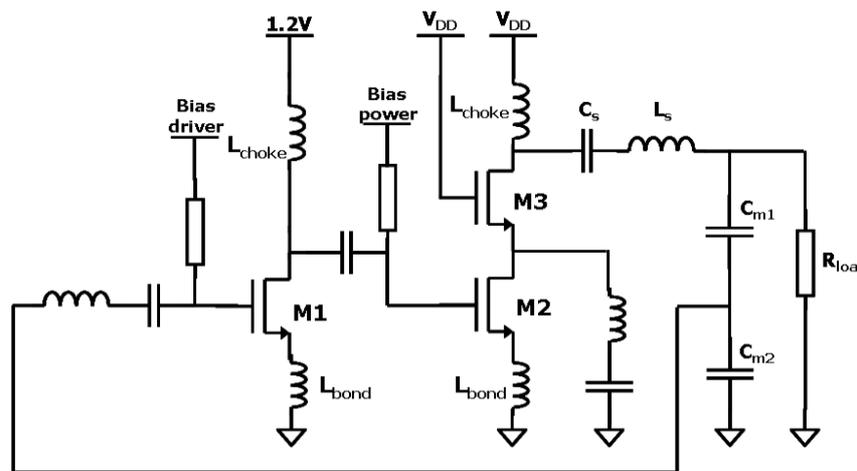


Figure 3 - 7 : Schéma du Power VCO

Tableau 3 - 2 : Caractéristiques du PA et du Power VCO

Caractéristiques du PA Classe E					
Fréq.	$P_{out}$	CP1	PAE	$P_{dc}$	Load
1.96 GHz	23.1 dBm @ $P_{in}=0dBm$ Max: 23.4 dBm	(-3.1; 22) dBm	63.3% @ 0 dBm 55.1% @ CP1 Max= 70%	337 mW @ $P_{in}=0$ dBm	50Ω
Caractéristiques du Power VCO					
$F_{osc}$	$P_{out}$	PAE	Load		
1.952 GHz	23.3 dBm	60.3%	50Ω		

Cette architecture nous a permis d'atteindre des rendements de 60,3% à 1,95GHz. L'objectif de cette étude de montrer la faisabilité du Power VCO à partir d'un amplificateur de puissance à haut rendement est atteint.

Nous décidons alors de poursuivre cette étude d'une part en travaillant sur le PA afin d'améliorer les performances en termes de rendement et d'autre part d'étudier spécifiquement sur le bruit de phase de l'oscillateur. Ces travaux sont confiés à N. Lavocat que nous recrutons comme ingénieur contractuel à l'IPB.

Par rapport à l'architecture d'origine, des optimisations sont faites sur le PA à travers ses dimensions et ses polarisations. Un effort est fait pour maintenir la stabilité du PA, ainsi, le premier étage classe C adopte désormais une architecture cascode. Les changements majeurs proviennent de la boucle de retour. En effet, nous remplaçons le filtre de la boucle de retour, basé sur des éléments localisés de type LC par un résonateur BAW (Bulk Acoustic Wave). Cet élément possède une propriété très intéressante pour notre application, à savoir un excellent facteur de qualité, paramètre clé dans le calcul du bruit de phase dont l'expression est donnée à l'Equation 3 - 1 où F est le facteur de bruit, K la constante de Boltzmann, T la température, P<sub>S</sub> la puissance moyenne dissipée dans le résonateur, Q est le coefficient de qualité, ω<sub>0</sub> la pulsation de résonance et ω<sub>1/f<sup>3</sup></sub> la pulsation de transition entre la zone 1/f<sup>3</sup> et la zone 1/f<sup>2</sup>. Le facteur de qualité des résonateurs BAW peut atteindre 4000 à 2GHz ce qui, étant donné que le facteur de qualité se retrouve au dénominateur, est un atout considérable pour obtenir un excellent bruit de phase.

$$L(\Delta\omega) = 10 \cdot \log \left\{ \frac{2FkT}{P_S} \cdot \left[ 1 + \left( \frac{\omega_0}{2Q_L\Delta\omega} \right)^2 \right] \cdot \left( 1 + \frac{\omega_{1/f^3}}{\Delta\omega} \right) \right\} \quad \text{Equation 3 - 1}$$

Le résonateur BAW, représenté à la Figure 3 - 8 est composé essentiellement d'une couche piézoélectrique prise en « sandwich » par les électrodes. Son principe d'opération est le suivant : un champ électrique est appliqué par ses électrodes, il s'en suit une perturbation mécanique sous la forme d'une onde acoustique. Celle-ci se propage dans l'épaisseur du résonateur. La résonance fondamentale s'établit quand la longueur de propagation correspond approximativement à une demi-longueur d'onde acoustique. L'expertise sur les BAW est un des atouts de l'équipe CSH avec une thèse soutenue en 2010 par A. Shirakawa [T-SHI10], désormais manager produit dans le groupe FBAR d'Avago Technologies, CA, USA.

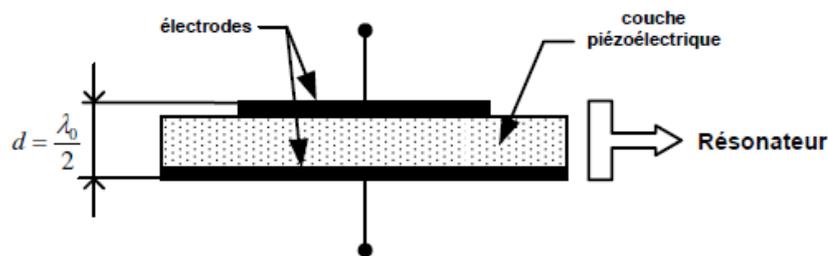


Figure 3 - 8 : structure de base d'un résonateur BAW

Les courbes de la Figure 3 - 9 représentent la réponse fréquentielle d'un résonateur BAW. Contrairement à un résonateur classique (distribué, diélectrique, etc.), la réponse en fréquence se caractérise par la présence de résonances (résonances séries) ainsi que d'antirésonances

(résonances parallèles). En dehors des ces plages de résonances, le résonateur se comporte comme un condensateur défini par la capacité entre ses électrodes.

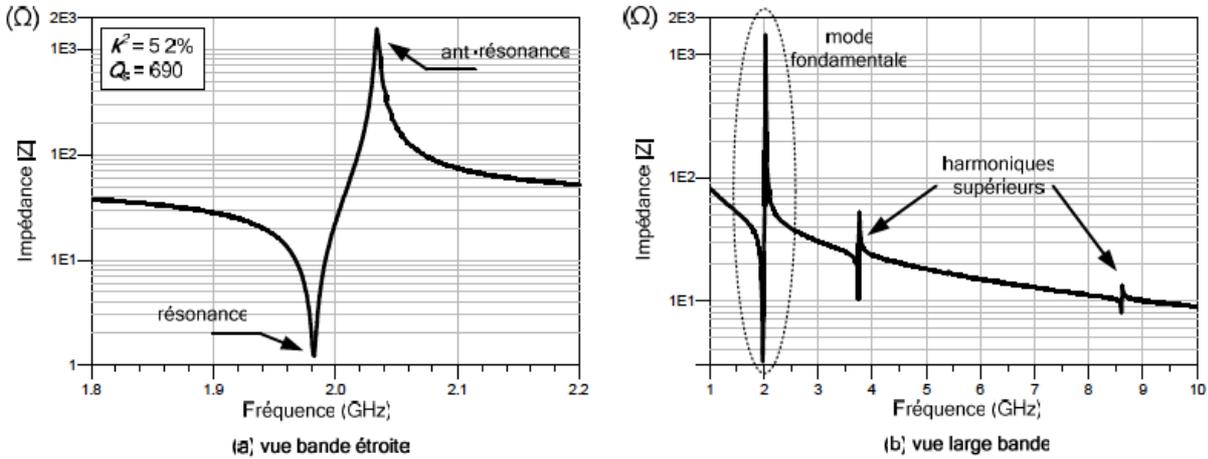


Figure 3 - 9 : Réponse fréquentielle en impédance d'un résonateur BAW

Il existe différents types de résonateurs, ceux à membrane (FBAR) et ceux montés sur le substrat (SMR). La société Avago Technologies (CA, USA) se montrant intéressée par notre étude, les modèles M-BVD de leurs résonateurs FBAR sont mis à notre disposition. Le modèle M-BVD est un modèle bande étroite basé sur la structure de la Figure 3 - 10. Très simple d'utilisation, il se réalise avec des composants idéaux, offre une très bonne précision autour des fréquences de résonance, et est très léger pour les simulateurs, ce qui assure des simulations rapides et une grande compatibilité avec tous les simulateurs. Le principal inconvénient de ce modèle est qu'il n'est pas large bande. Nous disposons également des fichiers de paramètres S issus directement de mesures faites à Avago sur des résonateurs BAW.

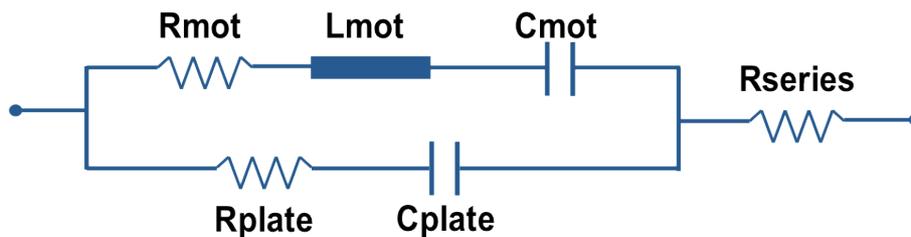


Figure 3 - 10 : Structure du modèle M-BVD

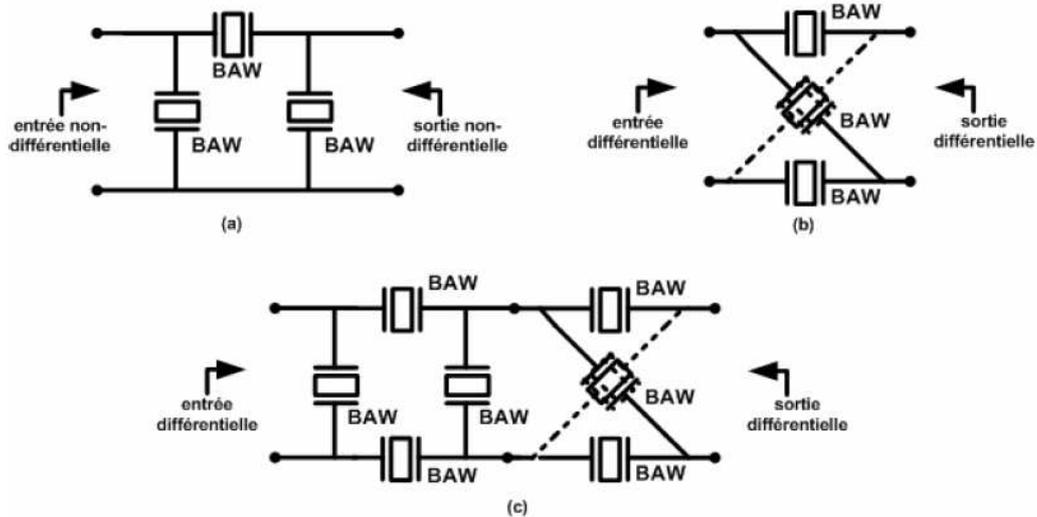


Figure 3 - 11 : architectures de filtres à résonateurs BAW  
(a) en échelle, (b) en treillis, (c) en échelle-treillis

Pour la boucle de retour, nous envisageons plusieurs topologies : soit utiliser un résonateur BAW, soit utiliser un filtre BAW. Un filtre BAW est obtenu en associant les résonateurs BAW par un couplage entre ces résonateurs. Ce couplage peut être électrique ou mécanique et avoir une topologie en échelle, en treillis ou une combinaison des deux, comme représenté sur la Figure 3 - 11.

Le PA classe E est réalisé avec une architecture single, nous optons donc pour une topologie non-différentielle, donc en échelle pour le filtre BAW. Nous réalisons alors plusieurs tests en fonction de la topologie de la boucle de retour. La topologie de référence est celle basée sur les éléments localisés L et C. Nous avons ensuite utilisé un résonateur BAW, puis augmenté la complexité avec l'association de résonateurs BAW pour créer deux puis trois étages en échelle. Nous voyons dans le tableau comparatif (Tableau 3 - 3), l'amélioration des performances en fonction de la topologie de la boucle de retour.

Tableau 3 - 3: Comparaison des performances en fonction de la topologie de la boucle de retour à 1,93GHz

topologie	Pout (dBm)	Rendement de drain (%)	Bruit de phase @ 1MHz (dBc/Hz)
Éléments (L, C)	24.3	62	-116.5
1 résonateur BAW	25.25	67	-123.2
Filtre BAW (2 étages) en échelle	24.61	65.57	-155.3
Filtre BAW (3 étages) en échelle	24.91	64.01	-160

Nous pouvons en tirer plusieurs enseignements. La première comparaison entre la topologie à éléments localisés et les topologies mettant en œuvre des résonateurs BAW donnent à ces dernières un avantage très net sur nos trois paramètres de référence : puissance de sortie, rendement de drain, bruit de phase. La deuxième comparaison se situe sur les 3 topologies BAW. Nous constatons une amélioration du bruit de phase entre une structure à 1 et 3 résonateurs. Toutefois, ceci se produit au détriment du rendement et du coût.

Les travaux réalisés sont inscrits dans le laboratoire commun STM-IMS dans l'action « Cellular WLAN Power VCO » (correspondants : IMS : N. Deltimple / STM : D. Belot)

Ces résultats ont fait l'objet d'un brevet national [B-DEL09-2], d'un keynote dans une conférence internationale [K-KER11] et d'un article dans une conférence internationale avec comité de lecture [CI-DEL08].

## **3.2 Développement du Power VCO pour des applications WHDMI**

En accord avec nos partenaires de STMicroelectronics, intéressés par les résultats précédents, nous étendons cette action à 60 GHz pour des applications WHDMI. Nous débutons alors la thèse CIFRE avec STMicroelectronics de Sophie Dréan [T-DRE12], débutée en octobre 2009 et soutenue en décembre 2012. B. Martineau et D. Belot de STM contribuent à l'encadrement. Deux stagiaires PFE contribue également à ce travail : J. Strauss-Kahn développe une méthodologie afin de déterminer la géométrie du coupleur capacitif nous servant à prélever une partie du signal à réinjecter sur l'entrée, et N. Martin travaille sur le développement de la structure de la boucle de retour.

### **3.2.1 Conception d'un PA à haut rendement à 60 GHz**

Pour la conception du PA, nous optons pour une structure à deux étages avec des réseaux d'adaptation en entrée, en sortie et entre les étages. Afin d'optimiser le rendement, l'étage de puissance fonctionne en classe E, comme dans le cas du Power VCO RF. Le Tableau 3 - 4 montre l'état de l'art des PAs linéaires sur la technologie CMOS 65nm et commutés sur les technologies CMOS SOI 45nm et SiGe 130nm. En effet, il n'existe pas de PA Classe E sur la technologie CMOS 65 nm. En revanche, deux réalisations sont identifiées en CMOS 45nm SOI et SiGe 130nm [JUN11] [VAL06]. Notre objectif est alors d'atteindre des rendements supérieurs à ceux des classes linéaires, qui varient entre 3,6 et 15 % (valeur de la PAE) sur cette technologie et de se rapprocher de la valeur de rendement observée sur le PA SiGe, qui est de 20,9%.

Tableau 3 - 4 : état de l'art des PAs linéaires et commutés à 60GHz

Structure	Référence	Etages	Alimentation (V)	Gain (dB)	Psat (dBm)	Rendement de drain (%)	PAE (%)
Amplificateurs de puissance CMOS 65nm 60 GHz linéaires	[ALO11]	2	1,2	14	12	NC	15
	[CHA09]	3	1	15,4	11,5	NC	11
	[QUE10]	4	1,2	13,7	14,2	NC	8,4
	[VAL08]	1	1,2	4,5	9	NC	8,5
	[MAR10]	8 PAs parallèles	1,2	14,3	16,6	NC	3,6
	[MAR10]	8 PAs parallèles	1,8	15,5	18,1	NC	4,9
PA 45nm SOI CMOS Class E 41 GHz	[JUN11]	1	1	-	4,6	17,1	11,54
PA SiGe 130 nm Class E 60 GHz PA	[VAL06]	1	1,2	4,2	11,5	29,7	20,9

La structure de l'étage Classe E est basée sur une architecture cascode identique à celle du Classe E RF. Les transistors dimensionnés, nous déterminons les valeurs des éléments localisés constituant le réseau de sortie. Or l'inductance  $L_s$  vaut 1nH (celle de la Figure 3 - 5), cette valeur étant très élevée, nous décidons de réaliser les passifs sont en éléments distribués avec des lignes microstrip. La topologie retenue est présentée à la Figure 3 - 12.

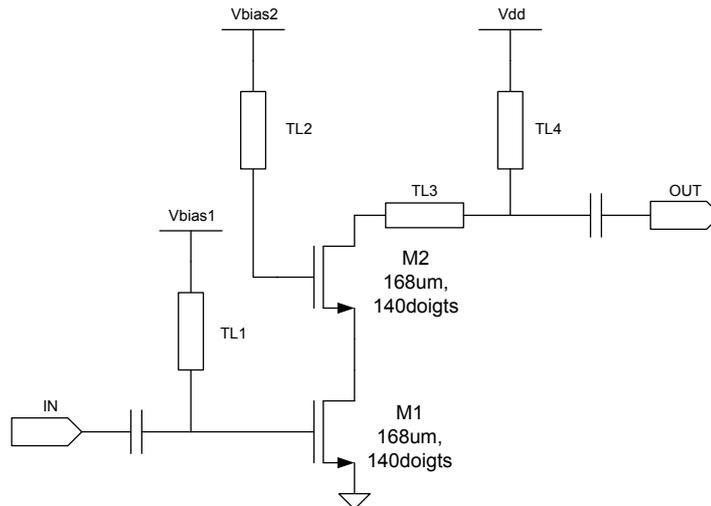


Figure 3 - 12 : Topologie du Classe E avec des éléments distribués

Les simulations post-layout indiquent alors pour l'étage de puissance Classe E une puissance de sortie maximum de 15 dBm, un rendement en puissance ajoutée de 31% et un rendement de drain à 39,8%.

Comme pour le PA Classe E RF, le signal de commande doit se rapprocher le plus possible d'un signal carré. Or à 60GHz, le premier étage Classe C ayant un gain égal à -1dB pour une polarisation de 0,2V et 2dB pour une polarisation de 0,3V, nous décidons d'utiliser la classe F. En effet, la polarisation des amplificateurs classe F est proche de celle de la classe AB profonde ou B. Le gain de ce premier étage est ainsi de 8dB. Le traitement des harmoniques impairs dans le réseau de sortie assure une forme d'onde carrée. Pour réaliser le réseau de sortie en éléments distribués, nous nous basons alors sur le travail réalisé à la référence [NEG07] indiquant la faible influence des harmoniques supérieures à 3 sur les performances en rendement.

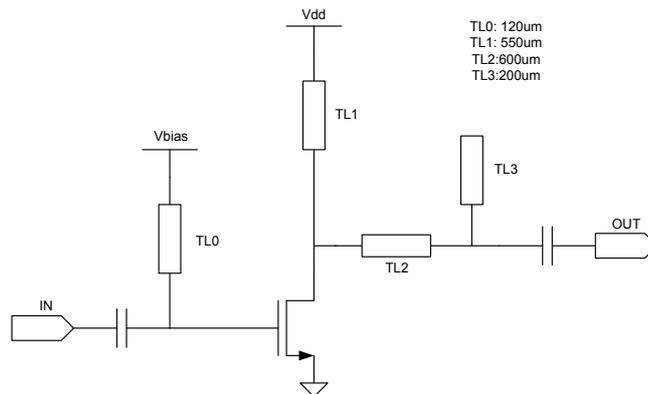


Figure 3 - 13 : Topologie du Classe F avec traitement des harmoniques jusqu'à l'ordre 3

Le layout du circuit est présenté à la Figure 3 - 14. Les résultats de simulation post-layout sont présentés à la Figure 3 - 15 pour la puissance de sortie et le gain et à la Figure 3 - 16 pour le rendement de drain et le rendement en puissance ajoutée. La puissance maximum obtenue pour le PA Classe FE est de 15 dBm pour une PAE maximum de 25% et un rendement de drain maximum égal à 34%. Ces résultats sont très prometteurs pour un PA CMOS à 60 GHz pour une surface de 1,19mm<sup>2</sup>. Si on se réfère au Tableau 3 - 4, ce PA est capable de délivrer des puissances comparables aux structures mises en parallèle avec un rendement bien plus important.

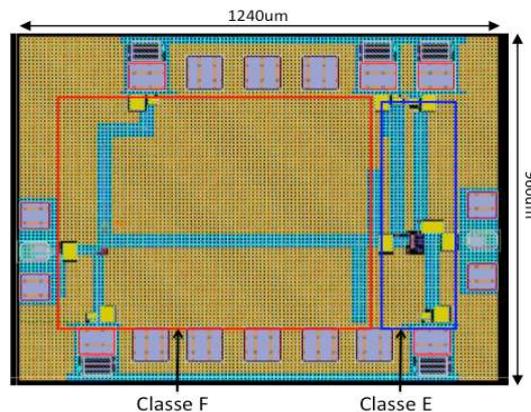


Figure 3 - 14 : Layout du PA classe FE à 60 GHz

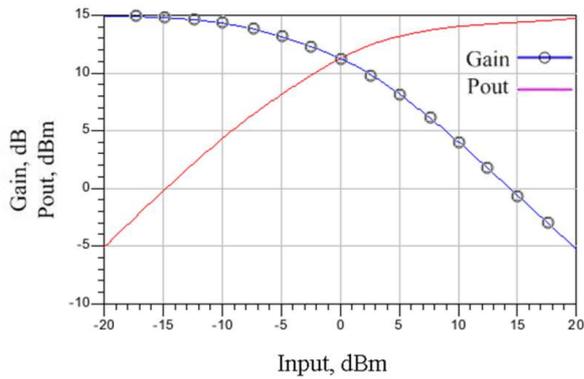


Figure 3 - 15 : Gain et puissance de sortie du PA

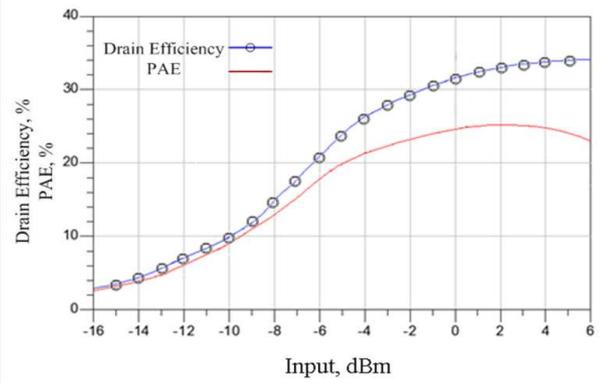


Figure 3 - 16 : Rendements (DE et PAE) du PA

### 3.2.2 Conception de la boucle de retour

Notre objectif étant d'obtenir une oscillation de la structure PA+boucle de retour, nous devons travailler sur une structure nous permettant de couvrir toutes les phases entre  $0^\circ$  et  $360^\circ$ . La conception de la boucle de retour repose sur le vecteur modulateur présenté à la Figure 3 - 17. Le principe du vecteur-modulateur est basé sur une différence de niveau de puissance de deux voies déphasées de  $90^\circ$  afin de couvrir la totalité des quadrants de phase. Ce travail est effectué dans le cadre du stage PFE de N. Martin et inspiré des travaux de la référence [YU09].

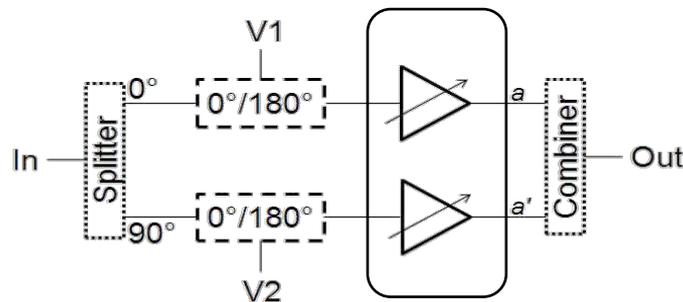


Figure 3 - 17 : schéma du vecteur-modulateur

Le vecteur-modulateur est détaillé à la Figure 3 - 18. Il est composé d'un splitter de type Wilkinson dont une des voies comporte une ligne quart d'onde. Nous obtenons ainsi deux voies déphasées de  $90^\circ$ . Chacune des voies comporte un déphaseur  $0^\circ/180^\circ$  et des amplificateurs variables. Chaque déphaseur  $0^\circ/180^\circ$  permet d'atteindre un quadrant différent, et les amplificateurs variables permettent de sélectionner un vecteur pour un quadrant donné. Un combiner de type Wilkinson est alors utilisé pour réaliser la sommation vectorielle des signaux en sortie des VGA. Le splitter et le combiner sont réalisés à base de lignes microstrip ainsi que la ligne quart d'onde accompagnant le splitter d'entrée. Les amplificateurs variables sont des amplificateurs cascade où une tension variable est appliquée sur la grille du transistor grille commune. Les déphaseurs  $0^\circ/180^\circ$  comportent deux transformateurs de type balun afin de passer du mode single au mode

différentiel et inversement. Le layout du vecteur-modulateur est présenté à la Figure 3 - 19. La surface totale de ce circuit est de 0,9mm<sup>2</sup>.

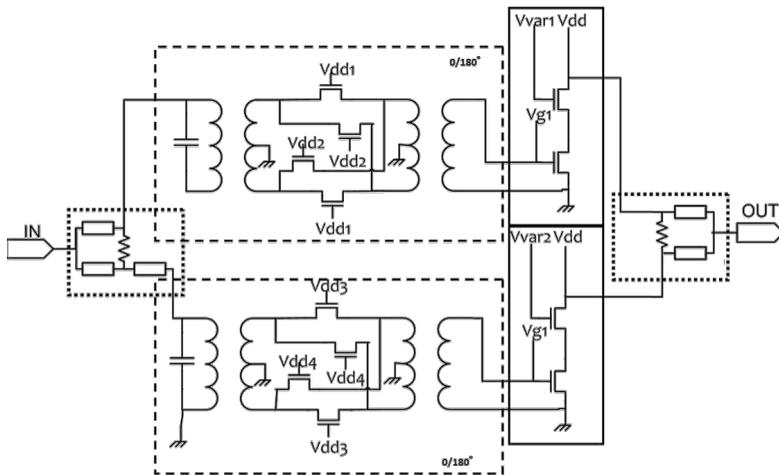


Figure 3 - 18 : Détail des éléments du vecteur-modulateur

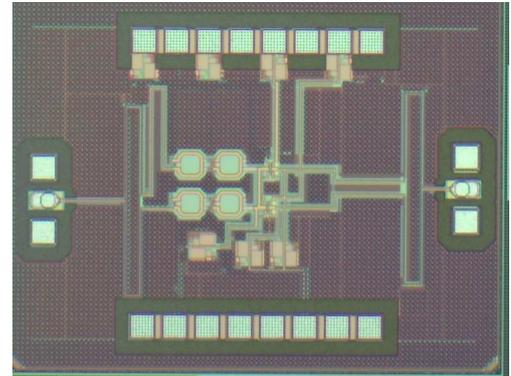


Figure 3 - 19 : Layout associé

Nous observons aussi les différentes phases que peut atteindre le vecteur modulateur à la Figure 3 - 20 en ajustant les différentes tensions de contrôle du système que sont les tensions d'alimentation des déphaseurs 0°/180° sur chaque voie et les tensions de grilles des transistors en grille commune des amplificateurs à gain variable de chaque voie. Nous voyons que nous pouvons atteindre les valeurs de phase entre -180° et +180° sur la plage de fréquence visée, ainsi les conditions d'oscillations en phase sont respectées.

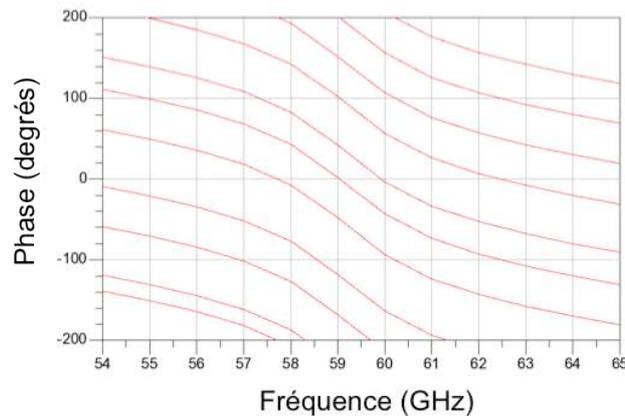


Figure 3 - 20 : Phases atteintes par le vecteur-modulateur

### 3.2.3 Fonctionnement du système bouclé

Afin de vérifier la fonctionnalité du système complet, nous effectuons un test sur le Power VCO en configurant un jeu de tensions de contrôles. En traçant le spectre du signal de sortie, représenté à la Figure 3 - 21 nous vérifions bien que l'oscillation a lieu, dans ce cas à une fréquence

de 61,1 GHz pour une puissance de sortie égale à 9,5 dBm, pour une configuration donnée ( $V_{dd1}=V_{dd3}=0V$  et les tensions de grille des grilles communes des VGA sont à  $V_{dd}$ , cf Figure 3 - 18).

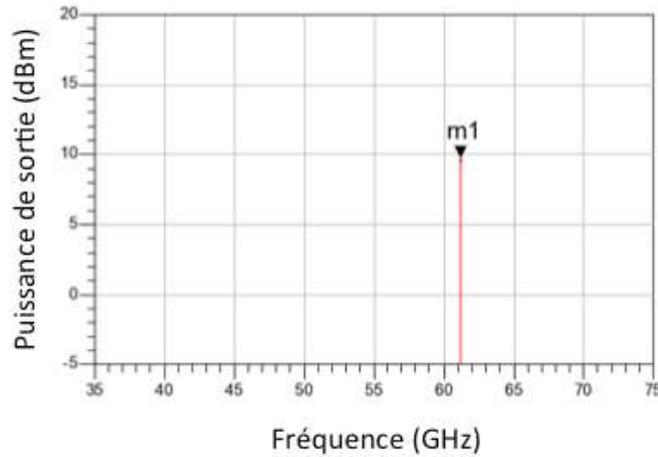


Figure 3 - 21 : Spectre du signal de sortie du Power VCO

Nous balayons ensuite toutes les combinaisons possibles des tensions de contrôles afin de vérifier la fonctionnalité sur l'ensemble de la bande. Ainsi nous obtenons le graphe de la Figure 3 - 22 où la puissance minimum est égale à 8,6 dBm à 64,6 GHz et la puissance maximale est égale à 9,7 dBm à 57 GHz. La boucle fonctionne correctement sur l'ensemble de la bande de fréquence. Nous n'atteignons pas les 10 dBm fixés au début de l'étude, mais nous ne sommes pas loin. Le bilan des consommations fait plus bas nous donne d'ailleurs une explication et une piste pour augmenter la puissance de sortie.

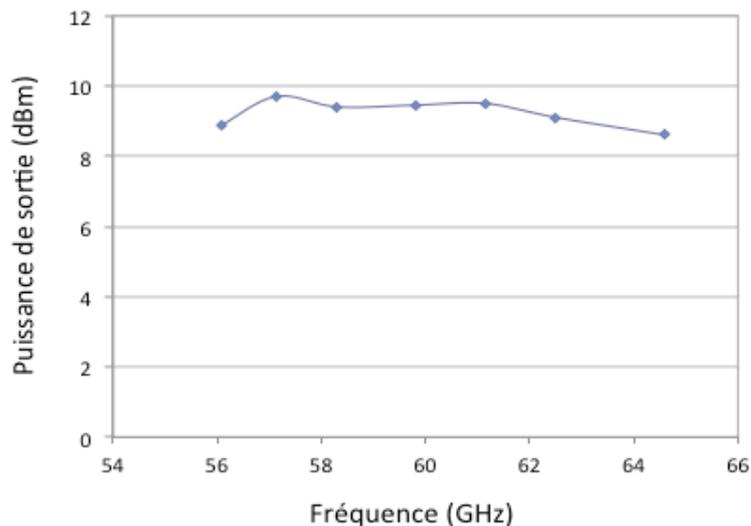


Figure 3 - 22 : Puissance de sortie des signaux sur la bande de fréquence

L'étude du bruit de phase est présentée à la Figure 3 - 23. A un offset de 1 MHz par rapport à la porteuse, nous trouvons un bruit de phase de  $-91,586\text{dBc/Hz}$ , avec un offset de 10 MHz, le bruit de phase est de  $-111\text{ dBc/Hz}$ . Par rapport à l'état de l'art, ces résultats sont comparables à ceux donnés dans les références [DEP08] [LIA09] et meilleurs que dans les références [COP10] [FE112].

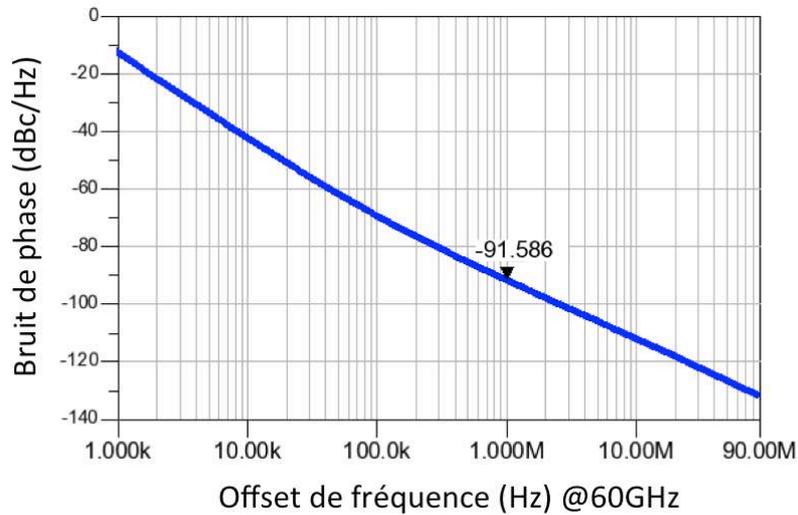


Figure 3 - 23 : Bruit de phase avec une fréquence porteuse de 60 GHz

Du point de vue de la consommation, 157 mW sont nécessaires pour le fonctionnement de l'oscillateur. Ceci est une moyenne car cela dépend des configurations des tensions de contrôle de la boucle de retour, à savoir si les cascades sont activés ou non. Cependant, nous avons différencié la consommation des différents éléments de la boucle. Sur les 157mW, le PA consomme 75mW et la boucle de retour 82mW. Ainsi nous voyons très clairement une piste d'amélioration possible en repensant la boucle de retour afin de diminuer la consommation de celle-ci. Néanmoins, cela correspond à un rendement moyen de 6,4%, ce qui est très faible en comparaison avec le rendement du PA mais qui devient tout à fait regardable lorsque nous reprenons les valeurs données dans le Tableau 3 - 1 avec les références [LI04] et [WEL06].

Ces résultats ont fait l'objet d'un article dans un journal avec comité de lecture [R-DEL13] et de deux publications dans des conférences internationales avec comité de lecture [CI-DRE12-1] [CI-DRE12-2]. Les circuits ont été réalisés dans le cadre du Laboratoire commun ST-IMS sur l'action « Power-VCO » du thème « 60 GHz WLAN – Wireless HDMI » (correspondants de l'action : IMS : N. Deltimple / STM : D. Belot, B. Martineau).

### 3.3 Conclusion

Dans ce chapitre, nous avons évoqué le développement d'une architecture d'oscillateur de puissance basée sur un amplificateur de puissance rebouclé sur lui-même à travers un réseau de retour.

A partir d'un travail initial sur une structure de PA oscillant RF, nous avons initié plusieurs travaux de thèse et de stage pour développer l'oscillateur de puissance RF à résonateurs BAW et un oscillateur de puissance mmW.

Sur l'oscillateur RF, nous avons développé dans la chaîne directe un amplificateur de puissance classe C-E qui présente un fort rendement. Dans la chaîne de retour, nous avons étudié l'impact de la présence de résonateur BAW sur le bruit de phase en comparant un filtrage classique LC à un résonateur puis des filtres BAW.

Sur la partie mmW, nous avons construit le BAW également autour d'un amplificateur de puissance F-E pour privilégier également le rendement et réduire la consommation. La chaîne de retour est composée d'un vecteur-modulateur nous permettant d'atteindre toutes les phases de la bande de fréquence souhaitée.

Ces travaux, en RF aussi bien qu'en mmW visent à proposer des solutions en rupture afin de réduire la consommation énergétique des émetteurs.

Du point de vue de la reconfigurabilité, que nous avons entamé sur la partie RF en jouant sur la boucle de retour pour faire varier la fréquence et sur la polarisation du PA de la chaîne directe pour la variation d'amplitude. Un gros travail reste à mener sur ce sujet.

### **3.4 Références bibliographiques**

- [ALO11] S. Aloui, E. Kerherve, R. Plana, D. Belot, "A 59GHz-to-67GHz 65nm-CMOS high efficiency Power Amplifier", Proceedings of IEEE 9th NEWCAS, pp.225-228, 26-29 June 2011.
- [CHA09] W.L. Chan, J.R. Long, M. Spirito, J.J. Pekarik, "A 60GHz-band 1V 11.5dBm power amplifier with 11% PAE in 65nm CMOS", Proceedings of IEEE International Solid-State Circuits Conference - Digest of Technical Papers ISSCC, pp.380-381, 8-12 February 2009.
- [CI-DEL08] N. Deltimple, Y. Deval, E. Kerhervé and D. Belot, "Design of Class-E Power VCO in 65nm CMOS Technology: Application to RF Transmitter Architecture", Proceedings of the 2008 IEEE International Symposium on Circuits and Systems ISCAS2008, 18-21 May 2008, Seattle, Washington, USA.
- [CI-DRE12-2] S. Dréan, N. Martin, N. Deltimple, E. Kerhervé, B. Martineau, D. Belot, « A 60GHz Class F-E Power VCO with Vector-Modulator Feedback in 65nm CMOS Technology », ICECS2012, Sevilla, Spain, Dec. 10-12th.
- [CI-DRE12-1] S. Dréan, N. Deltimple, E. Kerhervé, B. Martineau, D. Belot, « A 65nm CMOS 60 GHz Class F-E Power Amplifier for WPAN applications », IEEE Symposium on Integrated

Circuits and Systems Design (SBCCI) 2012, Brasilia, Brésil, August 31- September 2, 2012.

- [COP10] T. Copani, K. Hyungseok, B. Bakkaloglu, and S. Kiaei, "A 0.13-um CMOS local oscillator for 60-GHz applications based on push-push characteristic of capacitive degeneration," IEEE RFIC Symposium, pp. 153-156, 2010.
- [DEP08] F. M. De Paola, R. Genesi, and D. Manstretta, "A 71-73 GHz voltage-controlled standing-wave oscillator in 90 nm CMOS technology," ESSCIRC, pp. 254-257, 2008.
- [FEI12] W. Fei, H. Yu, K. Seng Yeo, and W. M. Lim, « A 60GHz VCO with 25.8% Tuning Range by Switching Return-Path in 65nm CMOS », IEEE Asian Solid-State Circuits Conference November 12-14, 2012, Kobe, Japan.
- [JUN11] E. Juntunen, D. Dawn, S. Pinel, J.Laskar, "A High-Efficiency, High-Power Millimeter-Wave Oscillator Using a Feedback Class-E Power Amplifier in 45 nm CMOS," IEEE Microwave and Wireless Components Letters, vol.21, no.8, pp.430-432, August 2011.
- [K-KER11] E. Kerhervé and N. Deltimple, "Power VCO", FETCH2011, Québec.
- [LI04] H. Li, H.-M. Rein, T. Suttorp and J. Böck, "Fully Integrated SiGe VCOs with Powerful Output Buffer for 77-GHz Automotive Radar Systems and Applications Around 100 GHz", IEEE JSSC, vol. 39, n°10, October 2004.
- [LIA09] L. Lianming, P. Reynaert, and M. Steyaert, "Design and Analysis of a 90 nm mm-Wave Oscillator Using Inductive-Division LC Tank," IEEE J. Solid-State Circuits, vol. 44, pp. 1950-1958, 2009.
- [MAR10] B.Martineau, V. Knopik, A. Siligaris, F. Giancesello, D. Belot, "A 53-to-68GHz 18dBm power amplifier with an 8-way combiner in standard 65nm CMOS", Proceedings of IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC), pp.428-429, 7-11 February 2010.
- [MAZ06] A. Mazzanti, L. Larcher, R. Brama, and F. Svelto, "Analysis of Reliability and Power Efficiency in Cascode Class-E PAs," IEEE J. Solid-State Circuits, vol. 41, no. 2, pp. 1222-1229, May 2006.
- [NEG07] R. Negra, F.M. Ghannouchi, W. Bachtold, "Study and Design Optimization of Multiharmonic Transmission-Line Load Networks for Class-E and Class-F K-Band MMIC Power Amplifiers", IEEE Transactions on Microwave Theory and Techniques, vol.55, n°6, pp.1390-1397, June 2007.
- [R-DEL13] N. Deltimple, S. Dréan, E. Kerhervé, B. Martineau, D. Belot, « A 65nm CMOS 60 GHz Class F-E Power Amplifier for WPAN applications », accepté dans Journal of Integrated Circuit and Systems (JICS).

- [QUE10] T. Quémerais, L. Moquillon, V. Huard, J.-M. Fournier, P. Benech, N. Corrao, "DC hot carrier stress effect on CMOS 65nm 60 GHz power amplifiers", Proceedings of IEEE Radio Frequency Integrated Circuits Symposium (RFIC), pp.351-354, 23-25 May 2010.
- [T-DRE12] S. Dréan, « Etude et réalisation d'un oscillateur de puissance en ondes millimétriques », Université Sciences et Technologies - Bordeaux 1 (12/2012).
- [T-SHI10] A. Shirakawa, « Etude, synthèse et réalisations de filtres BAW pour applications mobiles », Université Sciences et Technologies - Bordeaux I (11/2006).
- [VAL06] A.Valdes-Garcia, S. Reynolds, U.R. Pfeiffer, "A 60GHz Class-E Power Amplifier in SiGe", Proceedings of IEEE Asian Solid-State Circuits Conference ASSCC, pp.199-202, 13-15 November 2006.
- [VAL08] A. Valdes-Garcia, S. Reynolds, J.-O. Plouchart, "60 GHz transmitter circuits in 65nm CMOS", Proceedings of IEEE Radio Frequency Integrated Circuits Symposium (RFIC), pp.641-644, June 2008.
- [WEL06] B. Welch and U. Pfeiffer, "A 17 dBm 64 GHz voltage Controlled Oscillator with Power Amplifier in a 0.13  $\mu\text{m}$  SiGe BiCMOS Technology", Proceedings of the Radio Frequency Integrated Circuits Symposium, RFIC2006, June 11-13, San Francisco, CA, pp. 41-44.
- [XIO05] Y.Z. Xiong, "On-chip transformer-based feedback CMOS power oscillator", Electronics letters, 3rd February 2005, Vol. 41, No. 3.
- [YU09] Yikun Yu; Baltus, P.; van Roermund, A.; de Graauw, A.; van der Heijden, E.; Collados, M.; Vaucher, C.; , "A 60GHz digitally controlled RF-beamforming receiver front-end in 65nm CMOS," *Radio Frequency Integrated Circuits Symposium, 2009. RFIC 2009. IEEE*, vol., no., pp.211-214, 7-9 June 2009.

Les projets de recherche décrits dans ce chapitre se veulent d'une part dans la continuité des actions engagées présentées dans les chapitres précédents, ainsi que de nouvelles thématiques.

Dans un premier temps, je souhaite continuer à travailler au plus près du transistor en développant des PAs originaux utilisant des classes de fonctionnement peu employées. L'évolution des technologies ouvre également de nouvelles perspectives avec les technologies GaN, graphène, FDSOI et FinFET. J'indique dans ce document des travaux que nous avons engagé sur des circuits GaN et à base de GFET.

L'augmentation des débits et la mise en œuvre de signaux à fort *PAPR* nous incitent à poursuivre la réflexion sur l'augmentation du rendement moyen et la linéarisation des PAs. Pour cela, nous avons plusieurs leviers. La technique PCS étudiée dans le chapitre 2 est très intéressante, néanmoins il paraît opportun de combiner cette technique à celle du suivi d'enveloppe. Par ailleurs, une piste envisagée est d'associer des techniques de traitement du signal pour effectuer une post-compensation des non-linéarités. La boucle cartésienne est quant à elle envisagée pour des applications bande étroite.

Enfin, la voie engagée par la mise au point de l'architecture d'oscillateur de puissance est poursuivie en revisitant cette architecture.

## 4.1 Conception d'amplificateur de puissance : nouvelles classes de fonctionnement, nouvelles technologies

### 4.1.1 Etude de nouvelles classes de fonctionnement : ingénierie des formes d'ondes

Dans l'étude des amplificateurs de puissance, les classes de fonctionnement les plus utilisées sont souvent les classes de type A, AB et B. La recherche de diminution sur la consommation a poussé les études vers les amplificateurs de classes F et E dits « à haut rendement ». Nous avons étudié ces deux classes : la classe F lors de mes travaux de thèse, la classe E dans le développement du Power VCO aussi bien pour les applications RF que milli-métriques. Il s'agit dans ces classes de fonctionnement, de travailler sur le réseau de sortie en faisant du « wave-shaping », en travaillant sur la forme d'onde du signal de sortie. Les classes E et F ont ce point commun de tendre vers un signal carré, mais de la même façon : la classe E repose sur la charge et décharge du condensateur shunt en sortie du transistor de puissance tandis que la classe F présente des impédances spécifiques aux harmoniques pairs et impairs. Or dans le traitement de ces harmoniques, d'autres classes de fonctionnement, telle que la classe J, qui commence à se développer, semblent intéressantes. Cette classe repose sur la présentation d'impédances spécifiques au fondamental et à l'harmonique 2 dans le but d'augmenter la puissance de sortie de l'amplificateur et par conséquent le rendement. Steve Cripps a défini un mode où la tension tend vers une demi-sinusoïde [CRI09]. Les travaux menés sur cette classe de fonctionnement font état de rendement de drain de 83% (max) à 2GHz sur une technologie GaN [WRI09], de rendement de collecteur de 68,9% (max) à 650 MHz sur une technologie BiCMOS 0,35µm [RUI12] et de PAE à 76% à 230 MHz sur une technologie Si-LDMOS [DRI10].

L'étude de cette classe permet de revenir aux équations fondamentales et de travailler le réseau de sortie du PA. Le principe est le suivant : tous les harmoniques de rang supérieurs à 2 ne sont pas sélectionnés. En revanche, nous prenons en compte dans les équations le fondamental et l'harmonique 2. Le point de départ de cette méthodologie de conception d'un amplificateur classe J est un amplificateur de classe B (ou classe AB profonde) ainsi la forme d'onde du courant de sortie peut être approximée par une demi-sinusoïde classique. Ainsi, nous pouvons écrire l'équation du courant de drain approximé par une demi-sinusoïde (Equation 4 - 1) et de la tension de drain (Equation 4 - 2).

$$i_d(\theta) = \frac{I_{max}}{\pi} + \frac{I_{max}}{2} \cos(\theta) + \frac{2I_{max}}{3\pi} \cos(2\theta) \quad \text{Equation 4 - 1}$$

$$v_d(\theta) = (V_{DC} - V_K) \left( 1 - \cos(\theta) - j \cos(\theta) + j \frac{1}{2} \cos(2\theta) \right)$$

$$v_d(\theta) = (V_{DC} - V_K) \left( 1 - \cos(\theta) + \sin(\theta) - \frac{1}{2} \sin(2\theta) \right) \quad \text{Equation 4 - 2}$$

Maintenant, nous écrivons la tension de drain faisons intervenir l'Equation 4 - 1 dans l'Equation 4 - 2, et faisant apparaître l'impédance optimale  $Z_{opt}$ .

$$v_d(\theta) = (V_{DC} - V_K) - i_d(\theta)Z_{opt} \quad \text{Equation 4 - 3}$$

Ainsi nous pouvons développer l'expression de la tension de drain pour déterminer son expression au fondamental (Equation 4 - 4) et à l'harmonique 2 (Equation 4 - 5).

$$v_{d,fo} = -i_d(\theta)Z_{opt,fo} = -\frac{I_{max}}{2} \cos(\theta)R_{opt}(1 + j) \quad \text{Equation 4 - 4}$$

$$v_{d,2fo} = -i_d(\theta)Z_{opt,2fo} = -\frac{2I_{max}}{3\pi} \cos(2\theta)R_{opt}\left(-j\frac{3\pi}{8}\right) \quad \text{Equation 4 - 5}$$

En utilisant la résistance optimale  $R_{opt}$  qui s'écrit selon l'Equation 4 - 6 :

$$R_{opt} = \frac{2(V_{DC} - V_K)}{I_{max}} \quad \text{Equation 4 - 6}$$

Les expressions des impédances optimales  $Z_{opt}$  au fondamental et à l'harmonique 2 sont alors déduites :

$$Z_{opt,fo} = R_{opt}(1 + j) \quad \text{Equation 4 - 7}$$

$$Z_{opt,2fo} = R_{opt}\left(0 - j\frac{3\pi}{8}\right) \quad \text{Equation 4 - 8}$$

Tout le travail consiste donc à présenter les impédances décrites à l'Equation 4 - 7 et à l'Equation 4 - 8, à la sortie du transistor de puissance. Les impédances pour les harmoniques de rang supérieur à 2 doivent quant à elles être nulles.

Afin de regarder les potentialités d'un amplificateur classe J, nous réalisons un circuit avec un transistor GaN HEMT de Cree lors du stage de 2<sup>ème</sup> année de Raphael Guillaume, élève-ingénieur de l'IPB/ENSEIRB-MATMECA. Un réseau d'adaptation  $50\Omega$  est réalisé en entrée du transistor avec un circuit de stabilisation, le transistor est polarisé en classe AB profonde et un circuit multi-résonant est implanté en sortie pour présenter les impédances spécifiques.

Le PCB réalisé pour effectuer les mesures est présenté à la Figure 4 - 1 et les résultats de mesures petits et grands signaux sont montrés aux Figure 4 - 2, Figure 4 - 3 et Figure 4 - 4. Un gain maximum de 12dB est constaté à 2,1 GHz. Alors que la Figure 4 - 3 nous montre que l'adaptation en entrée est correctement réalisée, l'adaptation en sortie est quant à elle décalée de 400MHz. Globalement les résultats petits signaux restent proches des simulations sous ADS. Pour réaliser les mesures grand signaux, nous souhaitons présenter en entrée une gamme de puissance de 10dBm à 30dBm. Cependant nous sommes actuellement limités à des puissances d'entrées inférieures à 26dBm. Nous réalisons donc les mesures jusqu'à ce maximum.

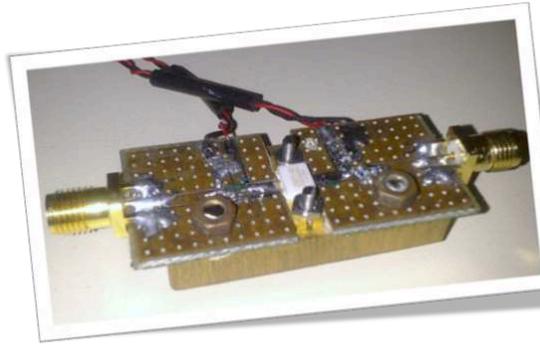


Figure 4 - 1 : Photos du circuit et du PCB

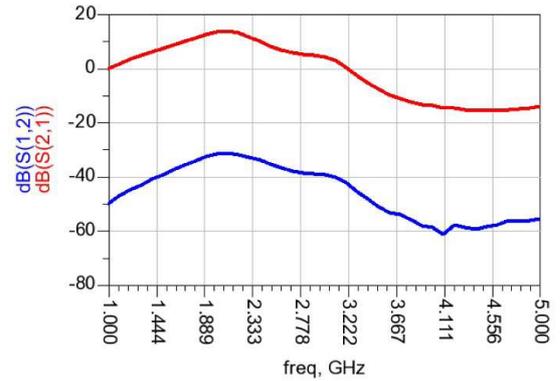


Figure 4 - 2 : Paramètres  $S_{21}$  et  $S_{12}$  mesurés

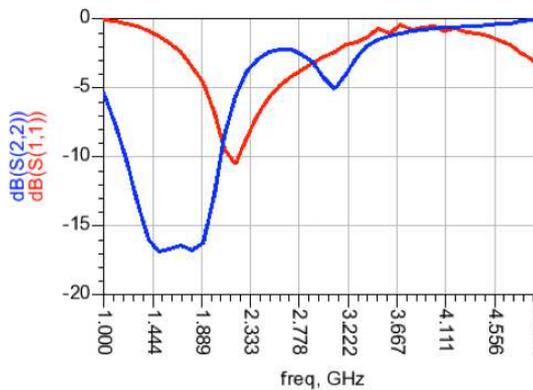


Figure 4 - 3 : Paramètres  $S_{11}$  et  $S_{22}$  mesurés

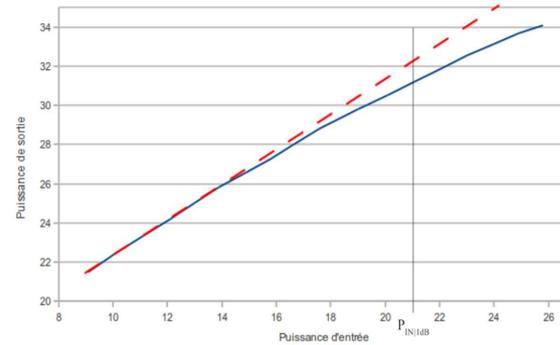


Figure 4 - 4 : Puissance de sortie en fonction de la puissance d'entrée

Nous pouvons voir sur la Figure 4 - 4 que notre PA a un fonctionnement quasi-linéaire jusqu'à une puissance d'entrée d'environ 21dBm qui représente son point de compression à 1dB. A 26dBm le rendement de drain est égal à 56%. Même si les résultats grands signaux sont incomplets, le démonstrateur du PA classe J fonctionne correctement et les résultats obtenus sont très encourageants. Pour la suite de ces travaux, il paraît opportun de mener deux études :

- la réalisation d'un PA classe J sur une technologie GaN intégrée
- la réalisation d'un PA classe J sur une technologie silicium CMOS de préférence SOI pour intégrer les passifs du réseau de sortie sur la puce, en profitant également des bénéfices amenés par la FDSOI.

L'objectif du projet de recherche est de se projeter dans l'avenir et d'envisager des solutions pour faire face aux limitations de l'intégration des circuits et systèmes. Ainsi, il paraît opportun de s'intéresser aux technologies plus confidentielles pour développer les fonctionnalités électroniques intégrées, en particulier l'amplification de puissance. Je pense notamment au graphène, au FDSOI, au FinFET et à la technologie GaN. La technologie GaN offre des avantages intéressants au niveau des tensions de claquage des jonctions et des densités de charge élevées. De plus, les transistors à base de GaN présentent des impédances d'entrée et de sortie élevées ce qui les rendent intéressants pour

réaliser des applications large bande. Par ailleurs, les études sur le graphène et les applications au niveau circuit sont quant à elles, beaucoup moins nombreuses que sur la technologie GaN, néanmoins, les propriétés du graphène sont très prometteuses (à long terme) pour réaliser des amplificateurs.

#### 4.1.2 Etude de la combinaison de puissance sur la technologie GaN

Les technologies GaN sont connues pour permettre d'atteindre des performances largement supérieures au Silicium et à l'AsGa en termes de puissance et de rendement. Par ailleurs, une des méthodes utilisées pour permettre d'obtenir de meilleures performances est, comme nous l'avons vu dans les chapitres 1 et 2, d'utiliser une combinaison en puissance de deux ou plus amplificateurs de puissance. Aussi, de nombreux travaux de l'équipe ont utilisé avec succès cette méthode à base de transformateurs empilés. Un des objectifs est alors de porter la méthode de combinaison de puissances à base de transformateurs empilés sur la technologie intégrée GaN. Les objectifs sont alors ambitieux : obtenir de fortes puissances de sortie (autour de 5W) sur une large gamme de fréquences (ce que nous permettent d'envisager les transformateurs) avec un rendement le plus élevé possible sur cette bande. L'élément clé de ce dispositif est le transformateur empilé. Les technologies GaN ne possèdent qu'une seule couche de métal disponible pour le routage contrairement aux technologies Silicium. Ainsi, nous proposons dans le cadre de la thèse de Victor Dupuy [T-DUP14], l'étude d'une architecture innovante sur la technologie GH25 GaN d'UMS dans le cadre du consortium SIMCLAIRS. Nous menons cette activité en collaboration avec les équipes de Thales SA (Pessac et Elancourt). Nous réalisons dans un premier temps un balun (Figure 4 - 5) dont les mesures sont présentées à la Figure 4 - 7 pour la transmission et à la Figure 4 - 8 pour le déphasage. Au préalable la Figure 4 - 6 sert à identifier les ports utilisés pour les comparaisons simulations électro-magnétique (EM) et mesures. Nous constatons tout d'abord que ces résultats sont en bon accord sur une large gamme de fréquences, entre 3 et 10,5 GHz. De plus, le minimum de pertes est de -0,5 dB à 6 GHz, ce qui est remarquable. En observant la Figure 4 - 8, nous constatons bien un déphasage de 180° entre les deux voies sur la plage 3 - 10 GHz.

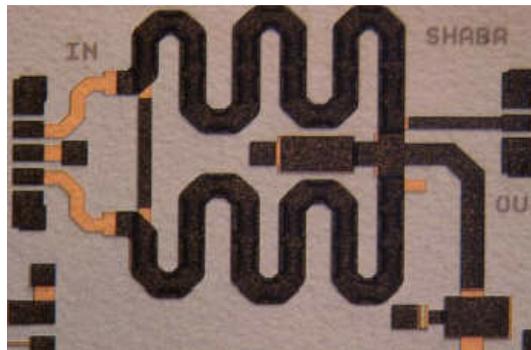


Figure 4 - 5: Photographie du transformateur

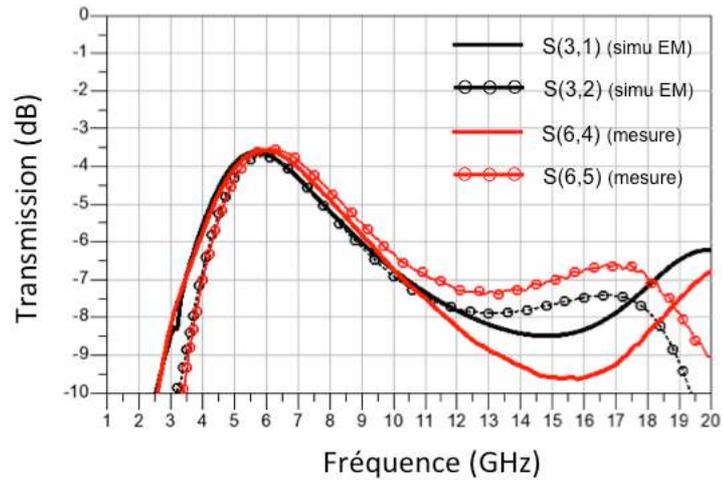
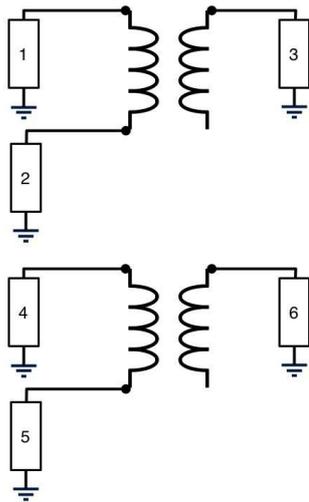


Figure 4 - 6 : Configuration des ports pour les simulations EM (en haut) et mesures (en bas)

Figure 4 - 7 : Comparaison simulation/mesures de la transmission entre les ports du balun

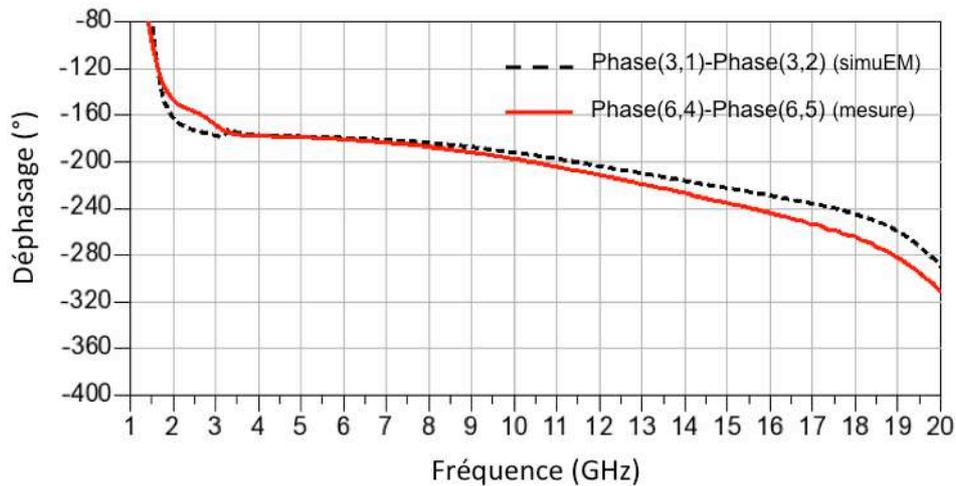


Figure 4 - 8: Comparaison simulation/mesures du déphasage entre les ports du balun

Le transformateur étant validé, nous proposons alors une structure de PA à forte puissance de sortie (HPA) présentée à la Figure 4 - 9. Le HPA est composé de deux étages. Le premier étage est un balun actif nous permettant de passer du mode single au mode différentiel. Le gain sur chaque entrée/sortie est de 5dB. Le deuxième étage est composé de deux branches, se trouve sur chaque branche un étage d'amplification en source commune. Le transformateur précédent est utilisé pour réaliser la combinaison de puissance et revenir à la tension de sortie  $V_{out}$ .

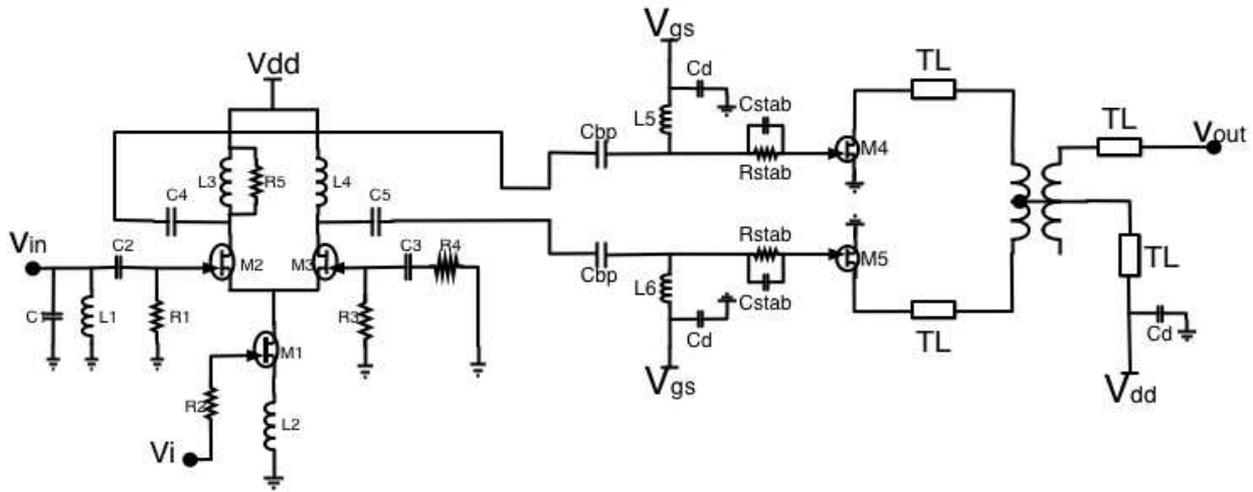


Figure 4 - 9 : Architecture du PA large bande en technologie GaN

Les premières simulations effectuées montrent sur la Figure 4 - 10 un gain petit signal supérieur à 22,5dB sur la bande (3,5-10,5) GHz et un gain maximum égal à 28dB. Nous constatons également sur la Figure 4 - 11 et la Figure 4 - 12 que l'adaptation d'entrée peut être améliorée alors que l'adaptation en sortie est correcte.

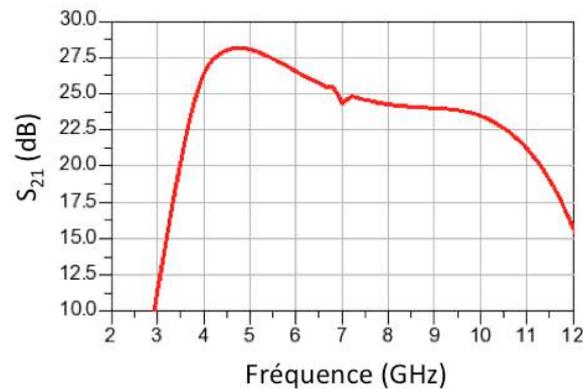


Figure 4 - 10: Paramètres  $S_{21}$  du PA large bande

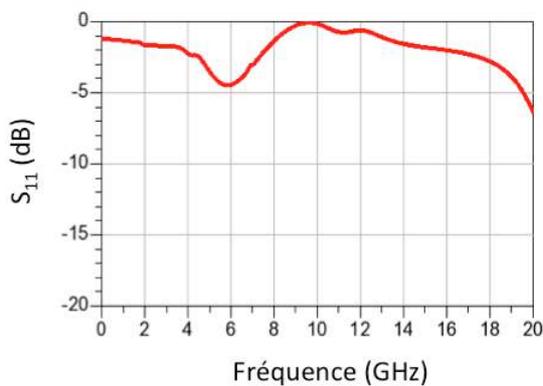


Figure 4 - 11: Paramètres  $S_{11}$  du PA large bande

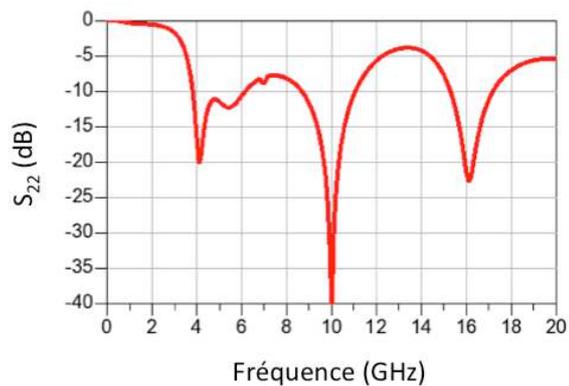


Figure 4 - 12 : Paramètres  $S_{22}$  du PA large bande

Les paramètres larges signaux sont présentés à la Figure 4 - 13. Le PA présente des performances encourageantes sur la bande (4-10,8) GHz avec une puissance de sortie supérieure à 35dBm et une PAE maximum égale à 30% et un minimum à 17%.

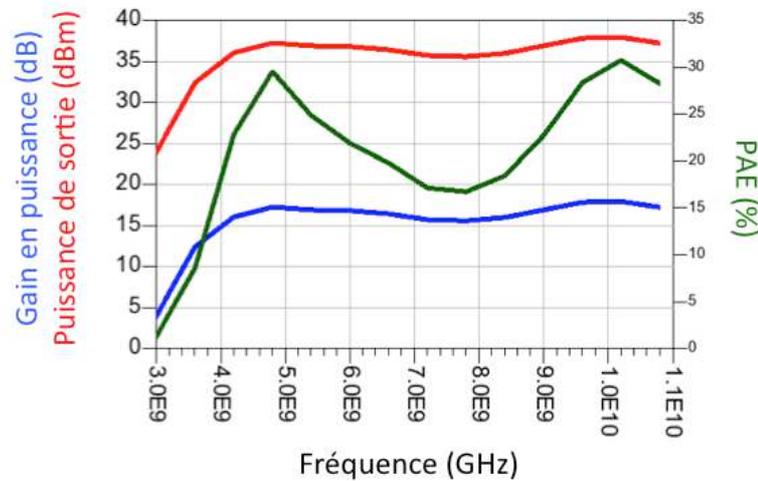


Figure 4 - 13: Paramètres larges signaux

Ces résultats démontrent la pertinence de la solution proposée et ouvre la voie à des recombinaisons de PA avec un nombre plus important de branches pour augmenter la puissance de sortie. Cette étude a fait l'objet d'un article dans une conférence nationale avec comité de lecture [CF-DUP13] [CI-DUP13].

#### 4.1.3 Conception de PA en technologie Graphene

La technologie Graphene nous offre de nombreuses opportunités avec des transistors à très hautes fréquences de transition autour de 500 GHz [LIN11][LIA10][WU11]. Depuis le début des études du graphene pour l'électronique, quelques réalisations de transistors ont été publiés pour des applications de circuits analogiques et RF [YAN12][WAN10-1][WAN10-2][HAN11][MOO13][LIN11]. Très récemment, un mélangeur à 30GHz a été publié avec des résultats très prometteurs [HAB13]. Des travaux récents sur les mélangeurs ont néanmoins mis en évidence la difficulté de réalisation des réseaux d'adaptation d'impédance [FRE12]. En effet, l'impédance d'entrée est particulièrement faible ce qui impose des inductances de fortes valeurs pour l'adaptation en entrée aux radio-fréquences. Cela est dû à la fois à la présence d'une très faible capacité d'entrée et à la fréquence de travail considérée. En revanche, pour des applications milli-métriques, cette contrainte est relâchée et nous pouvons envisager réaliser un démonstrateur de la fonction amplification avec un transistor GFET. Pour cela, nous travaillons en collaboration avec l'équipe *MODEL* dirigée par la professeure C. Maneux du groupe *Nanoelectronique* dirigé par le professeur T. Zimmer du Laboratoire IMS. L'équipe *MODEL* travaille sur les modèles compacts des transistors, ici donc le GFET (Graphene Field Effect Transistor). Sébastien Fregonèse, Chargé de Recherche au CNRS, travaille sur le modèle utilisé et le valide par des mesures effectuées sur des transistors seuls. Ce modèle est décrit dans la référence [FRE13] et nous réalisons alors les éléments autour du transistor pour en faire un amplificateur dans un premier temps.

Pour les premiers essais, nous nous basons sur un transistor de taille  $100\text{nm} \times 8\mu\text{m}$ . La fréquence de transition du transistor est égale à 470 GHz. La fréquence de travail est choisie à 140 GHz afin de pouvoir comparer les résultats obtenus à ceux d’amplificateurs existants dans la littérature en technologie InP.

Le schéma électrique sur lequel nous travaillons est présenté à la Figure 4 - 14. Nous y voyons le réseau d’adaptation en entrée, le transistor GFET et sa polarisation, l’inductance dans le drain du GFET et le réseau d’adaptation en sortie. Des lignes coplanaires (CPW) sont utilisées pour modéliser toutes les interconnexions, les accès au transistor, stabiliser le transistor et réaliser les adaptations d’impédances avec les lignes et les stubs.

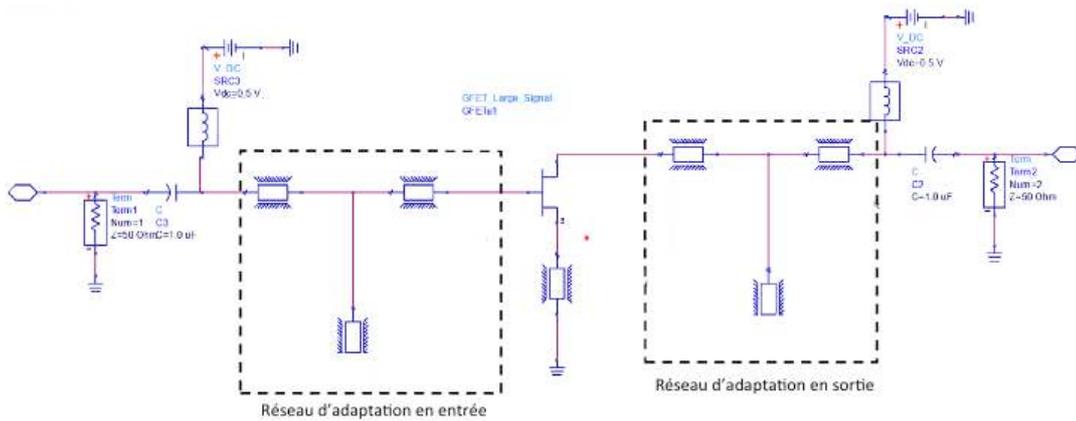


Figure 4 - 14: Schéma électrique de l’amplificateur basé sur un GFET

Le transistor est polarisé avec une tension  $V_{DS}$  égale à 0.5V. Pour cette tension et ces dimensions, le modèle compact est confirmé par des mesures effectuées préalablement sur le transistor seul. La tension  $V_{GS}$  est choisie égale à 0.5V car le transistor présente alors un optimum de transconductance égal à 5 S/mm pour un courant de drain  $I_{DS}$  égal à 3,7 A/mm. Des simulations électro-magnétiques permettent de prendre en compte l’impact de toutes les lignes CPW. Les paramètres petits signaux sont alors présentés à la Figure 4 - 15.

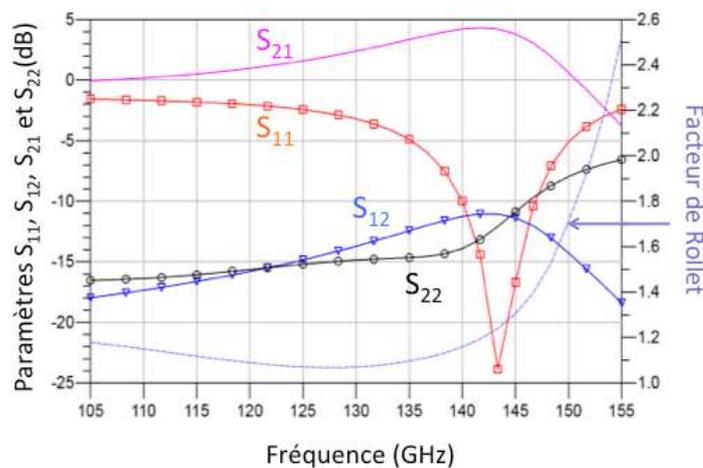


Figure 4 - 15 : Paramètres petits signaux du circuit

Dans ces conditions de polarisation, le gain maximum du circuit est de 4,5dB à 143 GHz. Pour cette fréquence, les paramètres  $S_{11}$  et  $S_{22}$  sont respectivement égaux à -24 dB et -13 dB. Les réseaux d'adaptation sont donc correctement réalisés. Nous regardons ensuite les paramètres grands signaux à la Figure 4 - 16 où sont présentés la puissance de sortie et le gain en fonction de la puissance d'entrée. Le point de compression est égal à -11,5 dBm en entrée et à -8 dBm en sortie. L'allure de ces courbes suit parfaitement celles d'un PA conçus sur une autre technologie, la différence étant sur les niveaux faibles de puissance atteintes, liés aux dimensions du transistor et à la polarisation.

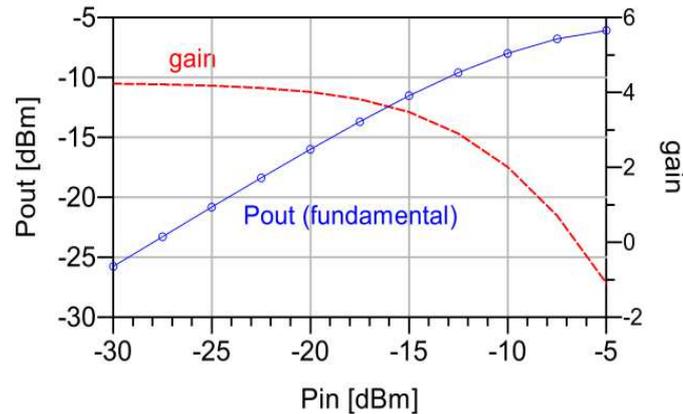


Figure 4 - 16 : Paramètres grands signaux du circuit

Cette étude donne lieu à la rédaction d'un article accepté dans le journal JECL (Journal of Computational Electronics) [FRE13]. Les résultats sont très encourageants pour l'avenir, nous souhaitons ainsi poursuivre ce travail sur des transistors de tailles plus importantes et des architectures plus complexes afin de tester le potentiel du GFET pour en faire un amplificateur de puissance aux fréquences milli-métriques.

## 4.2 Pré- et post-compensation numérique des imperfections analogiques & RF

Pour pallier à la dégradation de la précision des circuits analogiques/mixtes et RF, un défi majeur est de développer la mise en œuvre de méthodes de calibration et de pré- et post-compensation numériques. Ces techniques montrent déjà des résultats intéressants et elles bénéficient et bénéficieront des technologies numériques sub-microniques avec une implémentation peu coûteuse en surface et en consommation. Les objectifs scientifiques reposent sur le développement d'une approche système pour continuer à innover dans la conception et la co-conception optimisée du circuit analogique et de sa compensation numérique.

### 4.2.1 Etude de la technique du suivi d'enveloppe

En complément de la technique du PCS, nous souhaitons poursuivre le travail sur le suivi d'enveloppe (Envelop Tracking - ET) afin de reconfigurer le PA en tension. De plus, avec

l'implémentation de l'ET, nous traitons une autre problématique : les variations de la tension d'alimentation, critère très important pour les applications cellulaires [CHOI10]. Cette étude conséquente est entamée sur la fin de thèse d'Adrien Tuffery.

A partir de notre expérience sur l'architecture PCS, nous déterminons ainsi une architecture plus complexe du PA intégrant les deux techniques d'augmentation du rendement, qui intègre désormais un amplificateur d'enveloppe directement relié à la tension d'alimentation de l'étage de puissance. Cette nouvelle architecture est présentée à la Figure 4 - 17. Nous comptons désormais trois modes de fonctionnement : le mode forte puissance lorsque les 4 cellules sont activées, le mode intermédiaire (PA1, PA2 et PA3 sont activées) et le mode faible puissance (PA1 et PA2 sont activées). En effet, nous avons vu précédemment que les pertes des transformateurs sont très importantes lorsque seul PA1 est activé, dégradant fortement les performances.

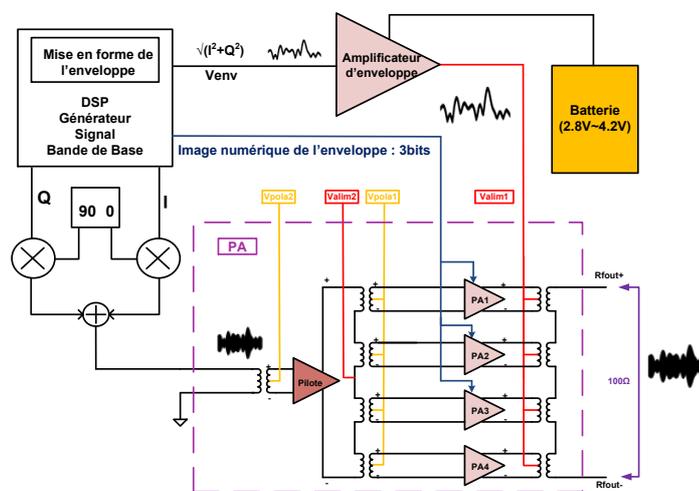


Figure 4 - 17: Architecture globale du système combinant les techniques du PCS et de l'ET

L'amplificateur d'enveloppe doit avoir un rendement énergétique qui ne dégrade pas les performances de l'architecture globale et être également capable de supporter une bande passante de 20 MHz requise par le standard LTE pour pouvoir obtenir une bonne fidélité du signal d'enveloppe fournie à l'amplificateur de puissance ; il doit aussi être capable de piloter des charges variables. En effet, l'un des paramètres importants dans la conception de l'amplificateur d'enveloppe est l'impédance vue par l'amplificateur d'enveloppe. L'architecture de l'amplificateur d'enveloppe retenue est représentée à la Figure 4 - 18. Elle est composée d'un amplificateur linéaire et d'une alimentation à découpage composée d'un système de commande et d'un convertisseur Buck.

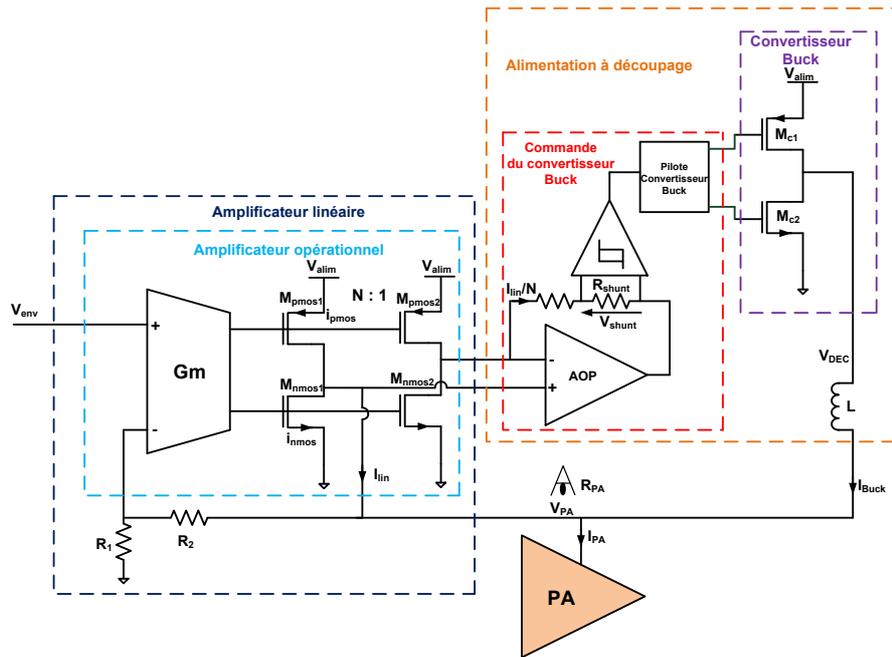


Figure 4 - 18: Architecture de l'amplificateur d'enveloppe retenue

Le rendement de l'amplificateur d'enveloppe est un élément primordial. Il est décrit à l'Equation 4 - 9 en fonction du rendement de l'alimentation à découpage et de l'amplificateur linéaire avec  $\alpha$  le ratio de la puissance fournie par l'alimentation à découpage sur la puissance totale fournie par l'amplificateur d'enveloppe [KWA12] :

$$\frac{1}{\eta_{ampli\_env}} = \frac{\alpha}{\eta_{dec}} + \frac{1 - \alpha}{\eta_{lin}} \quad \text{Equation 4 - 9}$$

Ainsi, un travail d'optimisation important est réalisé pour obtenir un bon rendement sur ces deux blocs. L'étude des principaux contributeurs est menée et détermine le courant traversant le convertisseur buck comme contributeur majeur. Ainsi, un optimum est trouvé pour  $I_{buck}(t)=500\text{mA}$ , le rendement maximal de l'amplificateur d'enveloppe est égal à 67% pour un signal LTE à 20MHz de bande passante. Pour un signal LTE à 10 MHz de bande passante, cet optimum est égal à 72% pour un courant  $I_{buck}(t)$  de 440mA.

Les caractéristiques de PAE pour le PA non reconfiguré, pour le PA utilisant la technique du PCS, et pour le PA employant la combinaison des techniques du PCS et de l'ET sont présentés à la Figure 4 - 19. Le signal d'entrée est un signal LTE à 2,5GHz et à 20MHz de bande. Nous observons alors les améliorations du rendement. Par exemple, à  $P_{out\_moyen}$  égal à 25dBm, la PAE vaut 11,9% pour le PA seul, augmente à 14,4% en utilisant la technique du PCS pour atteindre 16,6% en combinant les techniques de l'ET et du PCS. Avec une puissance de sortie plus faible, à  $P_{out\_moyen}$  égal à 21dBm, la PAE du PA seul est de 4,7%, augmente à 7,6% avec la technique du PCS, pour atteindre 10% avec la combinaison des techniques de l'ET et du PCS.

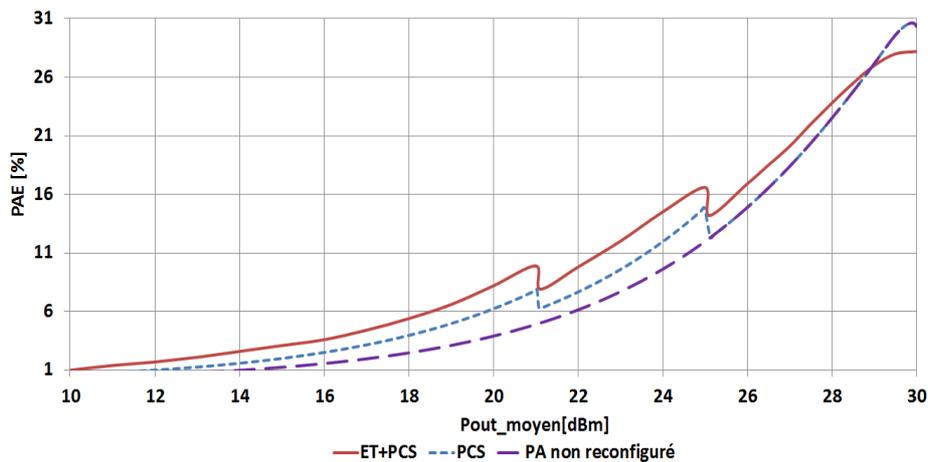


Figure 4 - 19: Caractéristique PAE vs Pout avec et sans techniques d'amélioration du rendement, avec un signal LTE de 20MHz de bande passante à 2,5GHz

Les résultats ci-dessus réalisés avec un signal LTE attestent de la pertinence de notre architecture utilisant à la fois la technique PCS et la technique ET. Cependant, alors que les performances sont à pleine puissance sont optimisées en utilisant la technique PCS, elles sont dégradées en rajoutant la technique de l'ET, à cause des pertes engendrées par l'amplificateur d'enveloppe. Aussi pour les fortes puissances, il devient intéressant de connecter directement le PA à la batterie, et de désactiver l'amplificateur d'enveloppe afin de ne pas dégrader les performances du système global. Ces résultats méritent d'être approfondis et de réaliser le circuit. Cette étude n'a pas de financements pour le moment.

#### 4.2.2 Sobriété énergétique : augmentation du rendement moyen pour les systèmes de transmission radio-cognitif

Partant du constat que les ressources spectrales sont rares, le déploiement de nouveaux services est très contraint. Par ailleurs, les bandes de fréquence allouées restent souvent sous exploitées. Ainsi, le concept de la radio cognitive propose de s'orienter vers une allocation dynamique du spectre. Afin de rendre effective cette gestion dynamique du spectre, les composants de l'étage radio fréquence, notamment le PA mais aussi les traitements effectués sur la couche physique doivent être en rupture avec ce qui est proposé actuellement. Par le biais d'une collaboration avec l'équipe *DESTIN* dirigée par le professeur E. Grivel du groupe *SIGNAL* dirigé par le professeur Y. Berthoumieu du Laboratoire IMS, plus particulièrement le maître de conférences Guillaume Ferré et le professeur Eric Grivel, nous travaillons au niveau architectural, tant sur l'étage RF que sur le traitement du signal en bande de base pour développer une radio éco-intelligente dans la mesure où cette radio utilise le principe de la radio-cognitive et où nous nous préoccupons de la consommation de l'émetteur. Pour cela, nous avons déposé un projet au Conseil Régional Aquitaine et obtenu le financement de thèse de Mouna Ben Mabrouk débuté en octobre 2012 [T-BEN15]. Sur ce projet, l'expertise complémentaire des deux équipes de recherche permet le développement de méthodologies de conception originales.

Dès le début de la thèse de Mouna Ben Mabrouk, nous ne visons pas un standard particulier, mais toute une gamme de fréquence entre 0,6 et 6 GHz, là où le potentiel de ré-utilisation des fréquences libres est important. En revanche, nous choisissons de travailler sur des systèmes de transmissions multi-porteuses, qui possèdent un inconvénient majeur pour les PAs : un *PAPR* élevé. Ce *PAPR* élevé implique que le PA fonctionne le plus souvent à une puissance très inférieure à la puissance maximum, ce qui fait chuter le rendement moyen du PA et entraîne une surconsommation de l'émetteur. L'architecture proposée consiste à développer un PA large bande capable de couvrir la bande de fréquence entre 0,6 et 6 GHz, à établir des modèles de PA afin de pouvoir développer à la réception de la station de base un algorithme permettant de compenser les non-linéarités du PA. Ainsi, un gros travail de modélisation du PA est effectué. Le PA ne pouvant pas avoir le même comportement sur toute la bande, nous faisons alors le choix de la diviser en sous-bande et de définir des modèles comportementaux pour chaque sous-bande. Aussi, il est nécessaire de développer à la réception un algorithme qui n'est pas contraint à un choix de modélisation *a priori*. Pour ce faire, nous envisageons l'usage d'IMM (Interacting Multiple Model).

#### 4.2.3 Développement d'une boucle de linéarisation multi-standard

Dans cette perspective, le travail collaboratif initié avec l'équipe CSN à travers la thèse de N. Delaunay sur la linéarisation par boucle cartésienne mixte analogique/numérique trouve une continuité. Dans cette thèse nous avons testé la boucle cartésienne sur des signaux de type WCDMA à 1.95GHz. Nous avons au cours de l'étude de cette boucle mis en évidence ses avantages, notamment le fait qu'elle est évolutive et peut être appliquée à n'importe quel PA, ce qui est très intéressant pour créer une boucle de linéarisation universelle multi-standard décrite à la Figure 4 - 20. Cette architecture, en adressant les principaux standards de communication permettrait de réduire considérablement la surface des puces radio dans les terminaux mobiles.

En revanche, nous avons également constaté ses inconvénients, liés essentiellement à la bande passante du signal. Ainsi, nous pouvons envisager d'appliquer cette boucle aux communications bande étroite, pour les communications PMR (Private Mobile Radiocommunications), en particulier pour le déploiement du réseau TETRA (Terrestrial Trunked Radio).

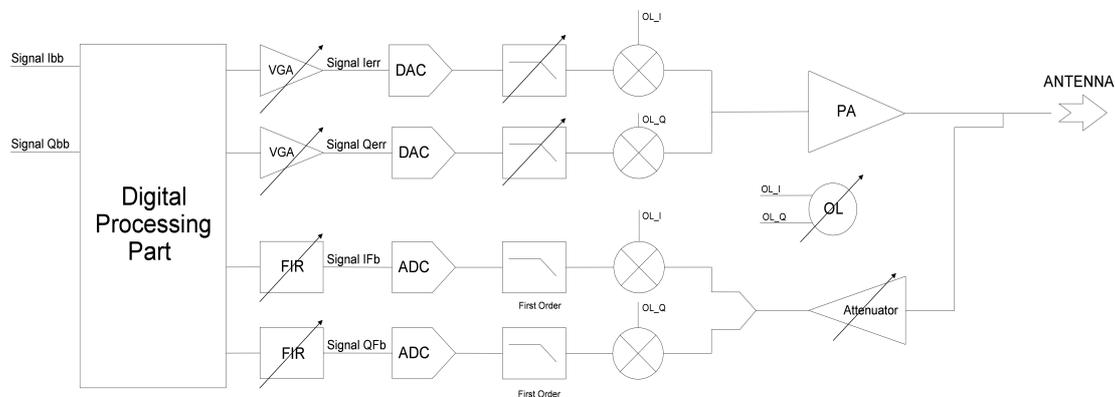


Figure 4 - 20: Boucle de linéarisation universelle

### 4.3 Etude d'une nouvelle structure d'émetteur reconfigurable et multi-standard

En complément des activités sur l'architecture de l'oscillateur de puissance RF développée dans le chapitre 3, nous souhaitons travailler sur le côté multi-standard. Pour cela, nous nous intéressons à la capacité de reconfigurabilité de l'architecture et notamment à l'introduction de variation de ses caractéristiques afin de satisfaire les exigences du standard utilisé.

La thèse en co-tutelle de Marcos Carneiro sur l'amplificateur de puissance Doherty s'étant très bien déroulée, nous avons souhaité poursuivre notre collaboration par le biais d'une nouvelle thèse en co-tutelle avec l'Université de Brasilia (UnB), celle d'Heider Guedes Madureira [T-GUE15].

Pour ce nouveau travail, nous avons repris l'architecture initiale, en technologie 0,13um CMOS de STMicroelectronics. A l'issue de l'étude bibliographique sur l'implémentation des modulations, les architectures de boucle polaire ont retenu notre attention. Ces architectures utilisent une PLL (Phase Locked Loop) pour moduler la phase de l'oscillateur tandis que la modulation d'amplitude est appliquée au niveau circuit en changeant la tension d'alimentation.

Le principal écueil mis en évidence avec le PA classe E de l'oscillateur de puissance précédemment fait était la forte tension sur le drain du transistor de sortie. Aussi, nous souhaitons travaillé sur une autre classe de fonctionnement haut rendement. Heider Marconi remplace le PA classe E par un PA basé sur la classe EF2, présenté à la Figure 4 - 21.

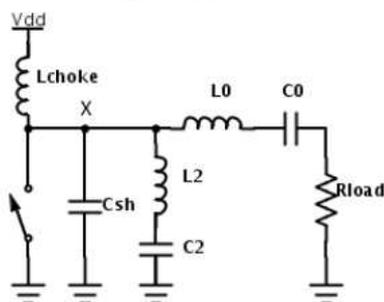


Figure 4 - 21: Schéma électrique du PA classe EF2

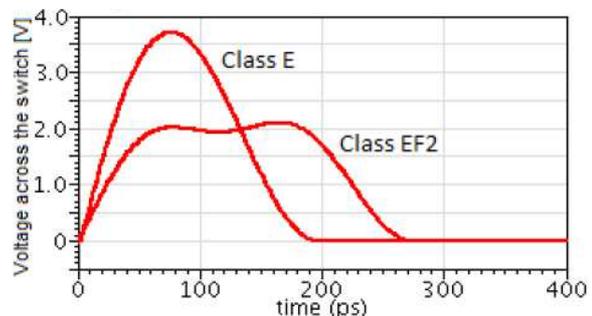


Figure 4 - 22 : Tensions aux bornes du transistor

La différence avec la classe E est la présence de l'association (L2, C2) qui réalise un court-circuit au 2eme harmonique de la tension au nœud X, ce qui a pour effet de modifier la forme d'onde et de diminuer la tension maximum atteinte par la tension, comme le montrent les simulations présentées à la Figure 4 - 22 dans le cas de la classe E et EF2.

La suite de ces travaux consistent à réaliser une modulation d'amplitude avec le PA classe EF2 et la modulation de phase via la boucle de retour.

Ces premiers travaux font l'objet d'un article dans une conférence internationale [CI-MAD13].

#### 4.4 Références bibliographiques

- [CF-DUP13] Victor Dupuy, Nathalie Deltimple, Yves Mancuso, Claude Auric, Eric Kerhervé, « Balun actif bande S/C en technologie GaN », 18èmes Journées Nationales Microondes, JNM2013, 15-17 Mai 2013, Paris, France.
- [CI-DUP13] Victor Dupuy, Eric Kerhervé, Nathalie Deltimple, Benoit Mallet-Guy, Yves Mancuso and Patrick Garrec, « A 2.4GHz to 6GHz Active Balun in GaN Technology », IEEE International Conference on Electronics, Circuits, and Systems (ICECS2013), Abu Dhabi, UAE, Dec. 8-11th.
- [CI-MAD13] Heider Madureira, Eric Kerhervé, Nathalie Deltimple and Sandro Haddad, « Design of a Class EF2 Power Oscillator for RF Communication Applications », IEEE International Conference on Electronics, Circuits, and Systems (ICECS2013), Abu Dhabi, UAE, Dec. 8-11th.
- [CRI09] S.C. Cripps, P.J. Tasker, A.L. Clarke, J. Lees, J. Benedikt, "On the continuity of high efficiency modes in linear RF power amplifiers", IEEE Microwave and Wireless Components Letters, Vol. 19, Issue 10, 2009.
- [DRI10] D.R. Parveg, P. Singerl, A. Wiesbauer, H. M. Nemati, C. Fager "A Broadband, Efficient, Overdriven Class-J RF Power Amplifier for Burst Mode Operation", Proceedings of the 40th European Microwave Conference, 2010, Paris, France
- [FRE12] S. Frégonèse, N. Meng, H.-N. Nguyen, C. Majek, C. Maneux, H. Happy and T. Zimmer, « Electrical compact modelling of graphene transistors », Solid-State Electronics, vol. 73, p. 27-31, juill. 2012.
- [FRE13] S. Fregonese, M. Potereau, N. Deltimple, C. Maneux and T. Zimmer, "Benchmarking of GFET devices for amplifier application using multiscale simulation approach", acceptée dans le Journal of Computational Electronics (JECL).
- [HAB13] O. Habibpour, J. Vukusic and J. Stake, « A 30-GHz Integrated Subharmonic Mixer Based on a Multichannel Graphene FET », *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, n° 2, p. 841-847, 2013.
- [HAN11] S.-J. Han, K. A. Jenkins, A. Valdes Garcia, A. D. Franklin, A. A. Bol, et W. Haensch, « High-Frequency Graphene Voltage Amplifier », *Nano Lett.*, vol. 11, n° 9, p. 3690-3693, oct. 2011.
- [LIA10] L. Liao, Y.-C. Lin, M. Bao, R. Cheng, J. Bai, Y. Liu, Y. Qu, K. L. Wang, Y. Huang, et X. Duan, « High-speed graphene transistors with a self-aligned nanowire gate », *Nature*, vol. 467, n° 7313, p. 305-308, 2010.

- [LIN11] Y.-M. Lin, D. B. Farmer, K. A. Jenkins, Yanqing Wu, J. L. Tedesco, R. L. Myers-Ward, C. R. Eddy, D. K. Gaskill, C. Dimitrakopoulos, et P. Avouris, « Enhanced Performance in Epitaxial Graphene FETs With Optimized Channel Morphology », *Electron Device Letters, IEEE*, vol. 32, n° 10, p. 1343-1345, 2011.
- [MOO11] J. S. Moon, D. Curtis, D. Zehnder, S. Kim, D. K. Gaskill, G. G. Jernigan, R. L. Myers-Ward, C. R. Eddy, P. M. Campbell, K.-M. Lee, et P. Asbeck, « Low-Phase-Noise Graphene FETs in Ambipolar RF Applications », *Electron Device Letters, IEEE*, vol. PP, n° 99, p. 1-3, 2011.
- [RUI12] Ruili Wu ; Lopez, J. ; Yan Li ; Lie, D.Y.C., « A highly efficient 1-Watt broadband class-J SiGe power amplifier at 700MHz », 2012 IEEE 12th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF), pp.: 69- 72, January 19-22, Santa Clara, CA
- [T-BEN15] M. Ben Mabrouk, «Réduction de la Consommation d’Energie des Systèmes de communications multi-porteuses à travers l’Amélioration du Rendement des amplificateurs de puissance», débutée en octobre 2012, encadrement E. Grivel (directeur)/ N. Deltimple (co-directrice)/ G. Ferré (co-directeur). Financement : allocation Conseil Régional Aquitaine.
- [T-DUP14] V. Dupuy, «Contribution à la conception d’amplificateurs de puissance large-bande à haut rendement en technologie GaN», débutée en octobre 2011, encadrement E. Kerhervé (directeur)/N. Deltimple (co-directrice). Financement : thèse MENRT
- [T-GUE15] H.M. Guedes Madureira, «Etude et développement d’une nouvelle architecture d’émetteur large bande pour les applications mobiles 4G», thèse en co-tutelle avec l’université de Brasilia (UnB), débutée en septembre 2012, financement : programme CAPES-COFECUB.
- [WU11] Y. Q. Wu et al., « Record High RF Performance for Epitaxial Graphene Transistors », *IEDM 2011, Washington*.
- [YAN12] X. Yang, G. Liu, A. A. Balandin, et K. Mohanram, « Triple-Mode Single-Transistor Graphene Amplifier and Its Applications », *ACS Nano*, vol. 4, no 10, p. 5532-5538, mars 2012.
- [WAN10-1] Z. Wang, Z. Zhang, H. Xu, L. Ding, S. Wang, et L.-M. Peng, « A high-performance top-gate graphene field-effect transistor based frequency doubler », *Appl. Phys. Lett.*, vol. 96, no 17, p. 173104, 2010.
- [WAN10-2] H. Wang, A. Hsu, J. Wu, Jing Kong, et T. Palacios, « Graphene-Based Ambipolar RF Mixers », *Electron Device Letters, IEEE*, vol. 31, no 9, p. 906-908, 2010.
- [WRI09] P. Wright, J. Lees, J. Benedikt, P. J. Tasker and S. C. Cripps, A Methodology for Realizing High Efficiency Class-J in a Linear and Broadband PA, *IEEE Transactions on microwave theory and techniques*, vol. 57, N° 12, Dec 2009



Chapitre 5

ACTIVITES PROFESSIONNELLES

Cette partie du document retrace les différentes activités que j’ai poursuivies en parallèle de mes activités de recherche.

Le début est consacré à mon parcours de formation puis je détaillerai mes activités d’enseignement à l’Université Bordeaux 1 puis à l’IPB ainsi que les responsabilités que j’ai mené au titre de l’enseignement.

Ensuite, je reviendrai sur les implications en termes de recherche au niveau national et international afin de favoriser le rayonnement de mon équipe de recherche et du Laboratoire IMS.

## 5.1 Parcours de formation

Après un Bac Scientifique S au lycée Stendhal à Aiguillon (47), j'ai intégré l'université Bordeaux 3 en septembre 1996 pour un parcours en Histoire. Après quelques mois forts instructifs sur l'histoire moderne et contemporaine, j'ai intégré en février 1997 le **DEUG Sciences de la Matière**. Le fait de commencer l'année sur le second semestre m'a donné l'opportunité d'obtenir deux mentions différentes (seul le 4<sup>ème</sup> semestre différait), à savoir **spécialité Chimie et spécialité Physique**, en janvier et juin 1999 respectivement. De février à juin 1999, je profitais également de mon temps libre pour effectuer un stage au Laboratoire IMS, sur les aspects assemblages avec l'étude de la fiabilité de différentes colles avec le professeur Yves Danto et l'étude d'une liaison RF avec le Dr Yann Deval.

Ce stage a orienté ma poursuite d'étude vers l'électronique en suivant la **Licence EEA** (Major, Mention Très Bien, 2000) puis la **Maîtrise EEA** (Mention Bien, 2001).

J'ai souhaité ensuite intégrer le **DEA d'Electronique** à l'Université Bordeaux 1 obtenu en 2002 avec mention Très Bien. J'ai effectué le stage de DEA sur *l'Etude d'un synthétiseur de fréquence multi-boucle de type DOD pour les objets communicants des réseaux HiperLAN*. Mon encadrant était alors le professeur Yann Deval. Ce travail donne lieu à 4 articles acceptés dans des conférences internationales [CI-DEL03-1] [CI-DEL03-2] [CI-MAJ04-1] [CI-MAJ04-2].

A l'issue du DEA, le choix était fait de poursuivre en thèse. J'ai alors eu l'opportunité d'intégrer l'équipe CSH (Circuits et Systèmes Hyperfréquence) dirigée par le Dr Eric Kerhervé. L'intitulé de ma thèse est « Etude et réalisation d'un amplificateur de puissance reconfigurable en technologie BiCMOS SiGe pour des applications multi-standard GSM/DCS/UMTS ». Mes directeurs et co-directeurs de thèse sont Eric Kerhervé et Pierre Jarry. Le financement de la thèse est de type MENRT. La soutenance a eu lieu le 09 décembre 2005 et a conduit à l'obtention du Doctorat spécialité Electronique de l'Université Bordeaux 1, avec la mention très honorable.

J'ai ensuite obtenu la qualification aux fonctions de Maître de Conférences 63<sup>ème</sup> section pour un recrutement en septembre 2006 au département Electronique de l'ENSEIRB.

## 5.2 Activités pédagogiques

### 5.2.1 **Monitorat du CIES à l'Université Bordeaux 1**

Durant les années de doctorat (2002-2005), j'ai effectué un monitorat au CIES (Centre d'Initiation à l'Enseignement et à la Recherche) Aquitaine Outremer.

A ce titre là j'ai pu bénéficier des stages de communication et de pratiques pédagogiques. J'ai ainsi pu enseigner à l'Université Bordeaux 1 à hauteur de 64h éq. TD/an pendant 3 ans.

J'interviens alors sur des TP, TD et cours avec la responsabilité du cours SM411 (interventions en amphi, rédaction du sujet et correction des copies).

#### Interventions en Licence

- DEUG TCA103PSI : TD d'Electronique Numérique – 28 h
- DEUG SM411 : TD d'Electronique Numérique – 6 h
- DEUG SM411 : cours d'Electronique Analogique – 7h
- DEUG SM411 : TD d'Electronique Analogique – 8h
- LST MISMI 103 : TP d'Electronique – 6h
- LST2 PEA403 : TD d'Electronique Analogique – 9h20

#### Interventions en Master

- Master EEA1 : TP d'Electronique - Télécommunications- 15h
- Master EEA1 : TD d'Electronique Analogique – 9h
- Master Pro Microélectronique : Stage CAO – 54h
- Master Pro Microélectronique : cours Synthèse de fréquence – 7h30
- Master Pro Qualité Fiabilité des Composants et Systèmes Electroniques: cours Synthèse de fréquence – 4h30
- Master Pro Microélectronique : Conférence ICBM : 6h

#### Interventions en IUP

- IUP GEII 3ème année option radiocommunication : cours-TD Circuits et systèmes pour les radio-communications – 20h.

#### Interventions à l'ENSEIRB

- 3ème année option CSI : cours Amplificateurs de Puissance RF – 6h
- 3ème année option CSR : cours Amplificateurs de Puissance RF – 6h

### 5.2.2 Poste de demi-ATER à l'ENSEIRB

En septembre 2005, j'intègre la fonction de demi-ATER à l'ENSEIRB, au département Electronique. J'interviens en projet, en TP, en TD et je suis également responsable de cours en 3<sup>ème</sup> année.

#### Interventions en première année

- Projet électronique analogique – 36h
- Projet Conception Analogique/Numérique – 4h
- TD Electronique Analogique (cours de Pascal Fouillat) – 4h

#### Interventions en deuxième année

- TD Circuits HF et oscillateurs (cours de Yann Deval) – 16h
- TD Technologie des Circuits Intégrés Numériques (cours de Sylvie Renaud) – 6h
- Projet Tests et mesures d'un système radiocom – 4h

Interventions en troisième année

- Option CSI : Cours Amplificateurs de Puissance RF – 4h30
- Option CSI : Cours VCO et Synthèse de fréquence – 4h30

Interventions en Master Pro (Université Bordeaux1 - UFR de Physique)

- Master Pro Microélectronique : Cours VCO et Synthèse de fréquence – 5h
- Master Pro Microélectronique : Conférence ICBM : 6h.

### 5.2.3 Poste de maitre de conférences à l'IPB/ENSEIRB-MATMECA – Responsabilités pédagogiques

En septembre 2006, je suis recrutée maitre de conférences à l'ENSEIRB, qui deviendra ENSEIRB-MATMECA et affectée à l'IPB en 2009.

Je prends la responsabilité de modules et de groupement de modules dans les départements Electronique et Télécom :

- 1<sup>ère</sup> année EA108 « TP/Projets d'Electronique Analogique » (depuis septembre 2006) : gestion du poly de TP (modifications chaque année pour améliorations, calendrier des séances en vue d'une bonne préparation du matériel nécessaire aux TPs, travail sur l'adéquation TD/TP)(37heqTD)
- 1<sup>ère</sup> année EA116 « Electronique Intégrée » (depuis septembre 2012) : modification du format de cet enseignement et réécriture du projet de CAO « conception d'un CAN Flash 4 bits » (52heqTD)
- 1<sup>ère</sup> année EA106 « Electronique de communication » (depuis septembre 2010) : réécriture du cours, séance en EI (enseignement intégré : cours + exercices)(47heqTD)
- 2<sup>ème</sup> année EA210 « Circuits HF et Oscillateurs » (depuis septembre 2010) : cours + TD (36heqTD)
- 2<sup>ème</sup> année EA218 « Electronique des Transmission » (depuis septembre 2011) : cours + TD (39heqTD)
- 2<sup>ème</sup> année : Responsabilité de l'unité d'enseignement au semestre 6 UE-B « Electronique 2 » (depuis septembre 2010)
- 3<sup>ème</sup> année ME351 : Elaboration d'un projet en option: conception d'un PA RF : de la CAO à la mesure. (16h éqTD).

**Responsable de l'option SRT** - Systèmes de Radio et Télécommunications – option de 3<sup>e</sup> année ouverte aux élèves des départements Electronique et Télécom (septembre 2008- septembre 2013) (autour de 15 élèves/an) : gestion du contenu pédagogique de l'option, travail sur les heures présence élève / coût total de l'option.

**Tuteur-enseignant** pour les élèves en stages de 2<sup>ème</sup> année et 3<sup>ème</sup> année (concerne resp. 3 et 4 élèves par an en moyenne).

En outre je participe à toutes les réunions pédagogiques pour la thématique de l'électronique analogique et lorsque nous travaillons les options de 3<sup>ème</sup> année (maquettes, contenus et volumes horaires) ainsi qu'à tous les jurys d'année et de rattrapages.

### **5.3 Encadrement de stagiaires M2 UB1, 2<sup>ème</sup> ou 3<sup>ème</sup> année ENSEIRB-MATMECA**

- Etienne LEHEURTEUX, "Techniques de Linéarisation des Amplificateurs de Puissance", PFE ENSEIRB, mars-juillet 2003, encadrement 50%.
- Ouail EL GHARNITI, "Modélisation de Transformateurs Intégrés Monolithique pour des circuits intégrés silicium RF", PFE ENSEIRB, mars-juillet 2003, encadrement 50%. A l'issue de ce stage, Ouail a poursuivi en thèse.
- Yohann LUQUE, "Conception d'amplificateurs RF de puissance en technologie CMOS", Master Recherche Microélectronique, mars-juillet 2006, encadrement 50%. A l'issue de ce stage, Yohann a poursuivi en thèse (voir chapitre 1).
- Aziz SAMMOUD, "Etude d'un amplificateur de puissance Doherty et caractérisation Load-Pull", Master Pro Microélectronique, mars-juillet 2006, encadrement 50%.
- Bruno OGAWA, « Linéarisation d'un amplificateur de puissance par boucle cartésienne », Master Pro Microélectronique, mars-septembre 2007, encadrement 50%.
- Olivier Daurian, « Conception d'amplificateurs RF de puissance 3G/4G en technologie BiCMOS », PFE ENSEIRB, février-septembre 2009, encadrement 100%.
- Cleverson Chavès, « Conception d'un Power-VCO classe E en technologie CMOS65nm », Université Fédérale Républicaine du Parana, Master 2, avril-octobre 2009, encadrement 100%.

Dans le cadre de la thèse de Sophie Dréan sur l'oscillateur de puissance mmW (voir chapitre 3), nous avons proposé deux stages dédiés à la réalisation de la boucle de retour.

- J. Strauss-Kahn, « Simulations Système d'un Power VCO et conception d'un coupleur pour des applications millimétriques », PFE ENSEIRB-MATMECA, mars-septembre 2010, encadrement 100%.
- N. Martin, « Etude et réalisation de la boucle de retour d'une architecture de power VCO pour des applications WHDMI », PFE ENSEIRB-MATMECA, mars-septembre 2011, encadrement 50%. Ce travail a abouti sur une publication commune à la conférence ICECS [DRE12-2].

Dans le chapitre 4 des projets, je décris le travail effectué par R. Guillaume qui nous a amené à comprendre le fonctionnement du classe J, à voir son potentiel large bande et à souhaiter continuer à travailler sur l'intégration du PA en technologie CMOS.

- R. Guillaume, « Etude et réalisation d'un amplificateur de puissance classe J », stage 2<sup>ème</sup> année, ENSEIRB-MATMECA, juin-septembre 2012.

- B. Moret « Etude d'une architecture d'oscillateur de puissance dédiée aux applications WHDMI », PFE ENSEIRB-MATMECA, mars-septembre 2013, encadrement 50%. A l'issue de ce stage, Boris entame une thèse au Laboratoire IMS, dans l'équipe CSH.

## 5.4 Direction de thèmes dans l'équipe CSH

Mes activités de recherche au sein de l'équipe CSH dirigée par le professeur Eric Kerhervé m'ont conduit, en accord avec Eric, à être responsable de plusieurs thématiques dans l'équipe :

- Amplificateurs de puissance RF (thèses PA CMOS, PA reconfigurables, PCS, PA Doherty, projets MOBILIS, UPPERMOST, PANAMA)
- Power VCO (un ingénieur et une thèse Power VCO mmW)

## 5.5 Activités d'intérêt général au niveau local

### 5.5.1 **Conseil du Laboratoire (2003-2011)**

Durant le doctorat, je suis élue **représentante des doctorants** en 2003 au **conseil du laboratoire, membre du bureau du Conseil** et responsable de la gestion et de l'attribution des « bureaux doctorants ». Suite à mon recrutement en 2006, je quitte le conseil du laboratoire et serai ensuite ré-élue **représentante collègue B** (2007-2011).

### 5.5.2 **Comité Technique Paritaire (2008-2011)**

Dès la mise en place des Comité Technique Paritaire (CTP) dans les établissements en 2008, je constitue une liste UNSA -Sup'Recherche à l'ENSEIRB et je deviens **membre élue du CTP** de l'ENSEIRB en juin 2008. En mai 2009, suite à la création de l'IPB, le CTP de l'ENSEIRB est remplacé par celui de l'IPB, je suis ré-élue au CTP de l'IPB (2009-2011).

### 5.5.3 **Activités administratives**

**Responsable des stages PFE** (projet à finalité entreprise) en 3<sup>ème</sup> du **département Electronique** (depuis septembre 2012)

**Responsable de l'option SRT** - Systèmes de Radio et Télécommunications – option de 3<sup>ème</sup> année ouverte aux élèves des départements Electronique et Télécom (septembre 2008 - septembre 2013) : gestion de l'emploi du temps, des intervenants extérieurs.

### 5.5.4 Participation à des comités de sélection

Poste MCF0126 « Electronique analogique radiofréquence » ouvert à l'IPB en mai 2012

Poste MCF0189 « Fiabilité - CEM » ouvert à l'Université Bordeaux 1 en mai 2011

Poste MCF217 ouvert à l'IUT de Bordeaux dpt Gell en mai 2009

### 5.5.5 Actions vers l'extérieur

Participation à la remise des **Prix de la vocation scientifique et technique des filles** en 2009: ce prix récompense des jeunes filles particulièrement motivées qui débutent des études supérieures et qui ont un projet professionnel dans un domaine où les filles sont peu nombreuses.

Marraine de M.C Labeyrie, élève de l'ESTIA, Bidart (64), lauréate du Prix de la vocation scientifique et technique des filles en 2009.

Sélection comme **Visage de la science** en 2007: action de vulgarisation de notre thématique de recherche auprès du public de Cap Sciences.

Participation aux journées d'information et d'orientation du lycée Stendhal, Aiguillon, 47 (2007-2010).

## 5.6 Rayonnement national et international

### 5.6.1 Participation à des jurys de thèse

Nom	Intitulé de la thèse	Lieu	Date
A. Tuffery	Conception d'amplificateurs de puissance reconfigurables en technologie CMOS avancée pour les applications WLAN	Université de Bordeaux	20/12/2012
N. Delaunay	Linéarisation d'un émetteur utilisant une boucle cartésienne mixte (analogique/numérique) en technologie CMOS 65nm destiné aux communications numériques avancées	Université de Bordeaux	20/12/2012
S. Dréan	Etude et réalisation d'un oscillateur de puissance en ondes millimétriques	Université de Bordeaux	19/12/2012
S. Aloui	Design des Amplificateurs de puissance en CMOS à 60GHz	Université de Bordeaux	06/12/2010
L. Andès	Amplificateur de puissance en classe commutée pour application dans un émetteur multiradio à haut rendement	Université de Marne-La-Vallée	05/10/2010

Y. Luque	Conception d'amplificateurs RF de puissance en technologie CMOS, applications au standard UMTS	Université de Bordeaux	30/11/2009
L. Leyssenne	Conception d'amplificateurs de puissance reconfigurables pour applications sans fil	Université de Bordeaux	27/11/2009

### 5.6.2 Participation à des comités de sélection

Poste MCF237 ouvert à l'IUT du Limousin dpt Mesures Physiques en mai 2009

### 5.6.3 Comité de pilotage du GDR SoC-SiP

Membre du comité de pilotage du GDR SoC-SiP (depuis mai 2011)

- Co-responsable de la thématique Méthodes et outil AMS-RF
- Organisation de 4 journées thématiques :
  - ❖ Circuits millimétriques le 30 septembre 2011 au Laboratoire IMS à Bordeaux – 33 personnes.
  - ❖ Correction numérique des imperfections de l'analogique le 24 mai 2012 à Telecom Paris Tech – 25 personnes.
  - ❖ FINFET-like: Devices and Circuits le 25 janvier 2012 (journée commune avec la thématique « Technologies émergentes ») au Laboratoire IMS à Bordeaux – 29 personnes.
  - ❖ Eco-radio intelligente le 04 octobre 2013 au Laboratoire IMS à Bordeaux – 30 personnes.

### 5.6.4 Montage et participation à des projets nationaux, européens et internationaux de recherche

Dans le cadre de mes activités de recherche, je suis régulièrement amenée à intervenir à différents niveaux sur des projets nationaux, européens et internationaux listés ci-dessous.

Type de projet	Nom du projet	Descriptif
<b>Projet Région Aquitaine</b> (2012-2015)	<b>Projet CESAR</b> Réduction de la Consommation d'Énergie des Systèmes de communications multi-porteuses à travers l'Amélioration	En 2011, nous avons souhaité avec deux collègues du Groupe Signal collaborer sur un sujet interdisciplinaire avec une interaction entre la conception de PA à haut rendement et des algorithmes de traitement du signal afin de compenser les non-linéarités des PAs. Pour cela j'ai répondu à un appel à projet de la Région Aquitaine et obtenu le financement d'une thèse et l'accompagnement en investissement.

	du Rendement des amplificateurs de puissance	<b>Rôle : co-porteur de projet et co-directrice de thèse</b>
<b>Projet CAPES COFECUB</b> (2010-2014)	Conception et optimisation d'une architecture innovante d'émetteur pour les communications mobiles	Il s'agit d'un projet de coopération avec une université brésilienne, déposé en partenariat avec l'Université de Brasilia (UnB). Je réponds à cet appel à projet en février 2009 qui est accepté et nous permet de financer les thèses en co-tutelle de M. Carneiro (cf APD au chapitre 2) et H. Guedes (architecture d'émetteur au chapitre 4) ainsi que leurs séjours en France. Nos séjours d'étude sur le projet avec Eric Kerhervé sont également pris en charge (mai 2011 et décembre 2013).  <b>Rôle : co-porteur de projet et co-directrice de deux thèses</b>
CATRENE (2009-2012)	PANAMA – Power amplifiers and antennas for mobile applications	Ce projet concerne exclusivement la conception d'amplificateur de puissance pour les terminaux mobiles et les stations de base. En effet, la consommation et la taille des éléments qui rentrent en jeu dans les architectures d'émission-réception sont deux éléments particulièrement critiques. Or l'amplificateur de puissance (PA) apparaît comme l'élément principal de la chaîne de communication requérant de l'innovation. Le laboratoire IMS est chargé de concevoir deux amplificateurs de puissance (RF et mmwave) mettant en œuvre des techniques innovantes de réduction de la consommation et débouche sur la thèse d'Adrien Tuffery sur l'architecture PCS (cf chapitre 2).  <b>Rôle : participation à la détermination des verrous scientifiques, aux réunions d'avancement, aux rédactions des rapports d'année, la rédaction de la version finale du projet et co-directrice de la thèse d'A. Tuffery</b>
ANR JCJC (2008)	MOPITI	Je dépose ce projet ANR JCJC dans lequel je souhaite développer une architecture d'émetteur multi-standard 4G dans la continuité des travaux que j'ai initié en 2007 à Pavia sur l'oscillateur de puissance.  Ce projet n'a pas été retenu.  <b>Rôle : porteur de projet</b>
MEDEA+ (2005-2008)	UPPERMOST	Ce projet concerne la conception de circuits RF et d'un échantillonneur pour les émetteurs-récepteurs multi-standards en collaboration avec STMicroelectronics. Dans ce projet, le laboratoire IMS est en charge de la conception d'un sampled-analog receiver RF Front-End (RFFE) pour le Software-Defined Radio (SDR), et d'un amplificateur de puissance reconfigurable multi-standard, capable d'adapter sa linéarité, sa fréquence de

		<p>fonctionnement et sa puissance de sortie en fonction du standard choisi. En cas de valeur de PAR (Peak-to-Average Ratio) élevé, le comportement de l'amplificateur doit également être modifié afin de réduire la consommation.</p> <p><b>Rôle : mes travaux de thèse permettent d'amorcer le travail de ce projet, participation aux réunions d'avancement, aux rédactions des rapports d'année.</b></p>
STREP IST (2005-2008)	<p>MOBILIS</p> <p>Mixed SiP and SoC Integration of Power BAW Filters for Digital Wireless Transmissions</p>	<p>MOBILIS concerne l'intégration des filtres BAW dans les émetteurs RF pour les standards DCS et UMTS. Dans ce projet, le Laboratoire IMS s'est vu confier la réalisation des duplexers BAW et de l'amplificateur de puissance reconfigurable multi-standard DCS/UMTS. A l'occasion de ce projet, une nouvelle thèse a débuté en janvier 2006, en collaboration avec ST sur la partie passive.</p> <p><b>Rôle : mes travaux de thèse permettent d'amorcer le travail de ce projet, participation à deux réunions d'avancement.</b></p>

### 5.6.5 Participation aux comités de lecture de revues internationales

Nom du journal	h5-index/IF	Editions
IEEE Journal of Solid State Circuit (JSSC)	62/3.446	depuis 2012
IEEE Transactions on Circuit and Systems (TCAS-II)	30/1.436	depuis 2010
IEEE Microwave and Wireless Components Letters	-/-	depuis 2010
IET Microwaves, Antennas and Propagation	-/-	depuis 2009
IEEE Microwave Theory and Techniques (MTT)	41/2.015	depuis 2008

### 5.6.6 Implication dans les conférences nationales

Nom de la conférence	h5-index	Membre du TPC ou steering committee	Editions	Rôle
Journées nationales Micro-ondes (JNM)		-	JNM2015, Bordeaux	Responsable de l'organisation locale
Colloque GDR SoC-SiP		Comité de pilotage	Paris, 2012 Lyon, 2013	Organisation des sessions AMS&RF, review

### 5.6.7 Implication dans les conférences internationales

Nom de la conférence	h5-index	Membre du TPC ou steering committee	Editions	Rôle
IEEE International Wireless Symposium (IWS)		TPC depuis juillet 2012, sous-comité Signal Generation and Power Amplifiers	1ère édition du 14 au 18 avril 2013 à Pékin, Chine	review
IEEE Radio and Wireless Symposium (RWS)	16	TPC depuis juillet 2008, sous-comité Transceivers and Front-end Technologies, SOC and SiP	2014, Newport Beach, CA, USA	Review
			2013, Austin, Texas, USA	Review
			2012, Santa Clara, CA, USA	Review, animation de session
			2011, Phoenix, AZ, USA	Review, animation de session « Advance in Signal Generation”
			2010, New Orleans, USA	Review, animation de la session « Advances in RF Passive Components “
			2009, San Diego, CA, USA	Review, animation de la session « Embedded Filters”
IEEE Topical Conference on Power Amplifiers for Wireless and radio applications (PAWR)	NC	TPC depuis janvier 2010, comité RF Power Amplifier Technology	2014, Newport Beach, CA, USA	Review, animation de session « power amplifier technologies »
			2013, Austin, Texas, USA	Review
			2012, Santa Clara, CA, USA	Review, animation de session, sélection des best student paper
			2011, Phoenix, AZ, USA	Review, animation de session, sélection des best student paper
IEEE NEWCAS Conference		Steering Committee depuis juin 2011	2012, Montréal, Québec, CA	Review, animation de session
			2011, Bordeaux, France	Responsable de l’organisation locale

				« Local Arrangement Chair »
IEEE International Conference on Electronics, Circuits, and Systems (ICECS)	10		2013, Abu Dhabi, UAE	review
			2012, Seville, Espagne	review
			2011, Beirut, Lebanon	review
			2006, Nice, France	animation des sessions « High Speed Circuits” et “Memory”, participation à l’organisation locale
IEEE International Symposium on Industrial Electronics (ISIE)	NC		2004, Ajaccio, France	
International Conference on Design of Circuits and Integrated Systems (DCIS)	8		2005, Lisbonne, Portugal	
			2004, Bordeaux, France	
European Microwave Conference (EUMC)	15		2006, Manchester, UK	review
			2005, Paris, France	Membre du Comité Local d’organisation
IEEE CAS Latin American Symposium on Circuits and Systems (LASCAS)	NC	Program Committee depuis février 2010	2010, Iguazu Falls, Brazil	review
PRIME’07		-	2007, Bordeaux, France	Membre du Comité Local d’organisation
International Analog VLSI Workshop (AVLSI2005)		-	2005, Bordeaux, France	Membre du Comité Local d’organisation

### 5.6.8 Relations avec le monde industriel

Le **Laboratoire Commun ST-IMS**, initié en 2002 et inauguré officiellement en 2004, a pour vocation de travailler autour de thématiques de recherche à moyen et long termes dans les domaines de la conception de circuit et de la modélisation avec la société ST Microelectronics. Je suis actuellement **membre du comité de pilotage** et la **responsable de 4 actions de conception** :

- la reconfigurabilité des amplificateurs de puissance,
- la linéarisation des chaînes d'émission pour systèmes 4G,
- les architectures d'émission innovantes (Power VCO) pour applications cellulaires.
- les architectures d'émission innovantes (Power VCO) pour applications mmW.

En juin 2009, nous avons présenté nos activités à la société **AVAGO Technologies** et cela a donné lieu à une collaboration sur la partie Power VCO RF. Sur cette action, AVAGO Technologies nous fournit les résonateurs BAW.

### 5.6.9 Mobilité internationale

Période : juin – septembre 2006

Lieu : Pavia, Italie

Laboratoire d'accueil : Studio di Microelettronica, Università degli studi di Pavia, dirigé par le Professeur Francesco Svelto.

Après mon année d'ATER, j'ai intégré pendant 4 mois le laboratoire de microélectronique dirigé par le Professeur Francesco Svelto.

J'avais entamé une réflexion au laboratoire IMS sur un sujet innovant d'architecture d'émetteur à base d'amplificateurs de puissance non-linéaires avec les Professeurs E. Kerhervé et Y. Deval. Les chercheurs de Pavia possèdent une expertise sur la conception de PAs non-linéaires. Je me suis alors rendue dans ce laboratoire afin d'y développer notre projet, qui a donné lieu à un brevet (premier nom), une communication dans la conférence IEEE ISCAS en 2008 (premier nom) et deux thèses (dont une thèse CIFRE avec la société STMicroelectronics) qui a débuté en septembre 2009 et octobre 2010.

Période : mai 2011

Lieu : Brasilia, Brésil

Laboratoire d'accueil : LEMOM, Université de Brasilia (UnB)

Dans le cadre du projet CAPES-COFECUB, j'ai eu la possibilité de voir financer un déplacement à Brasilia pour donner des conférences, suivre les doctorants et travailler avec l'équipe brésilienne du projet sur l'activité Amplificateur de Puissance de type Doherty.

Un nouveau déplacement est programmé en décembre 2013, un autre aura lieu en 2014 dans le cadre de la thèse en co-tutelle d'Heider Guedes Madureira.

## CONCLUSION

Ce document retrace mes travaux de recherche ces huit dernières années, depuis mes travaux de thèse, encadrés par le professeur Eric Kerhervé et le professeur Pierre Jarry, conclus par l'obtention du doctorat en décembre 2005 jusqu'à aujourd'hui.

Les premiers travaux portaient sur la conception d'amplificateurs de puissance intégrés sur silicium en technologie BiCMOS et CMOS. A partir de ces travaux, les sujets de recherche se sont concentrés autour du PA afin de surmonter le compromis linéarité rendement en travaillant conjointement sur l'augmentation du rendement moyen et sur la linéarisation des amplificateurs de puissance.

Le travail est engagé également sur une revisite des architectures d'émission avec le développement d'un oscillateur de puissance.

Ces travaux m'ont permis d'envisager mes projets et perspectives pour les prochaines années à venir organisés autour de travaux sur :

- le développement de PAs basés sur des classes de fonctionnement incluant de l'ingénierie de forme d'ondes, moins classiques que les classes dites *linéaires*,
- l'intégration sur de nouvelles technologies (GaN, Graphene),
- la mise en œuvre de techniques d'augmentation du rendement (suivi d'enveloppe et PCS),
- l'utilisation de la boucle cartésienne pour des applications PMR,
- un travail conjoint entre des techniques de traitement du signal associées à la conception RF pour des applications radio-cognitives,
- la revisite de l'architecture de l'oscillateur de puissance.

Certains de ces projets ont déjà débuté par le biais de thèse et de sujets de stage. Ainsi certains financements de projets sont acquis pour mener à bien ces thématiques et d'autres sont en cours de demande.

Ces perspectives au sein de l'équipe Circuits et Systèmes Hyperfréquence sont nombreuses et variées avec de nombreux partenaires académiques et industriels. Les soutiens de nos collaborateurs industriels et de la Région Aquitaine, notre implication dans les projets européens nous permettent de maintenir ces activités à un très haut niveau.

Gageons que cette activité sera d'aussi bon niveau sinon plus pour les années à venir.

## ANNEXE : PRODUCTION SCIENTIFIQUE

- [T-DEL05] N. Deltimple, « Etude et réalisation d'un amplificateur de puissance reconfigurable en technologie BiCMOS SiGe pour des applications multi-standards GSM/DCS/UMTS », thèse de l'Université Bordeaux 1, débutée en octobre 2002, soutenue en décembre 2005, encadrement E. Kerhervé (co-directeur)/P. Jarry (directeur), financement MENRT.

### Encadrement de thèses :

#### Thèses soutenues (4):

- [T-LUQ09] Y. Luque, "Conception d'amplificateurs RF de puissance en technologie CMOS, applications aux standard UMTS", octobre 2006 – décembre 2009, encadrement E. Kerhervé (directeur)/N. Deltimple (co-directrice), financement : thèse MENRT.
- [T-DRE12] S. Dréan, « Etude et réalisation d'un oscillateur de puissance en ondes millimétriques », novembre 2009 - décembre 2012, encadrement E. Kerhervé (directeur)/N. Deltimple (co-directrice), financement : CIFRE (STMicronics).
- [T-DEL12] N. Delaunay, « Linéarisation d'un émetteur utilisant une boucle cartésienne mixte (analogique/numérique) en technologie CMOS 65nm destiné aux communications numériques avancées », novembre 2007 - décembre 2012, encadrement E. Kerhervé (directeur)/N. Deltimple (co-directrice), financement : CIFRE (STMicronics).
- [T-TUF12] A. Tuffery, « Conception d'amplificateurs de puissance reconfigurables en technologie CMOS avancée pour les applications WLAN », octobre 2009 - décembre 2012, encadrement E. Kerhervé (directeur)/N. Deltimple (co-directrice), financement : projet européen CA101 CATRENE PANAMA.

#### Thèses en cours (4):

- [T-CAR13] M. Carneiro, « Contribution à l'augmentation du rendement des Amplificateurs de Puissance (PAs) par l'étude et le développement d'un PA Doherty », octobre 2010 – décembre 2013 (soutenance prévue le 16 décembre 2013), co-tutelle avec l'Université de Brasilia encadrement E. Kerhervé (directeur UB1)/N. Deltimple (co-directrice UB1)/ P. Portela (directeur UnB). Financement : programme CAPES-COFECUB.
- [T-DUP14] V. Dupuy, « Contribution à la conception d'amplificateurs de puissance large-bande à haut rendement en technologie GaN », débutée en octobre 2011, encadrement E. Kerhervé (directeur)/N. Deltimple (co-directrice). Financement : thèse MENRT

- [T-MAD15] H.M. Guedes Madureira, «Etude et développement d'une nouvelle architecture d'émetteur large bande pour les applications mobiles 4G», débutée en septembre 2012, co-tutelle avec l'Université de Brasilia encadrement E. Kerhervé (directeur UB1)/N. Deltimple (co-directrice UB1)/S. Haddad (directeur UnB). Financement : programme CAPES-COFECUB.
- [T-BEN15] M. Ben Mabrouk, «Réduction de la Consommation d'Energie des Systèmes de communications multi-porteuses à travers l'Amélioration du Rendement des amplificateurs de puissance», débutée en octobre 2012, encadrement E. Grivel (directeur)/ N. Deltimple (co-directrice)/ G. Ferré (co-directeur). Financement : allocation Conseil Régional Aquitaine.

### **Brevets**

- [B-DEL10] "IC Transmitter Linearized for Multi-Standards Applications", 2010  
Inventeurs : Didier BELOT, Nicolas Delaunay, Eric Kerhervé, Nathalie Deltimple.
- [B-DEL09-1] Reconfigurable Power Amplifier and use of such amplifier for making a multistandard amplification stage for mobile phone communications, United States Patent Application: docket n°361170-1131, WO2008099113, 2009  
Authors: Nathalie Deltimple, Didier BELOT, Eric Kerhervé, Yann Deval, Pierre Jarry
- [B-DEL09-2] Circuit électronique de fourniture d'un signal oscillant, N° FR2926936, date de publication : 31/07/2009.  
Inventeurs : Didier BELOT, Nathalie Deltimple, Eric Kerhervé, Yann Deval.
- [B-DEL08] Amplificateur de puissance reconfigurable et utilisation d'un tel amplificateur pour la réalisation d'un étage d'amplification multistandard pour la téléphonie mobile, N°FR2911447, date de publication : 18/07/2008.  
Inventeurs : Didier BELOT, Nathalie Deltimple, Eric Kerhervé, Yann Deval, Pierre Jarry.

### **Revues Internationales Avec Comité de Lecture**

- [R-FRE13] S. Fregonese, M. Potereau, N. Deltimple, C. Maneux and T. Zimmer, "Benchmarking of GFET devices for amplifier application using multiscale simulation approach", accepté dans le Journal of Computational Electronics (JECL).
- [R-DEL13] N. Deltimple, S. Dréan, E. Kerhervé, B. Martineau, D. Belot, « A 65nm CMOS 60 GHz Class F-E Power Amplifier for WPAN applications », accepté dans Journal of Integrated Circuit and Systems (JICS)
- [R-DEL11] N. Delaunay, M. Abid, B. Le Gal, D. Dallet, C. Rebai, N. Deltimple, E. Kerhervé, D. Belot, "Mixed Cartesian Feedback for Zero-IF WCDMA Transmitter", revue Analog Integrated

Circuits and Signal Processing (AICSP), Volume 73, Number 3, DOI 10.1007/s10470-012-9937-1, Springer.

Lien pour le pdf:

[http://download.springer.com/static/pdf/342/art%253A10.1007%252Fs10470-012-9937-1.pdf?auth66=1353502666\\_e2da21605c50bb887ebc60c5965a1943&ext=.pdf](http://download.springer.com/static/pdf/342/art%253A10.1007%252Fs10470-012-9937-1.pdf?auth66=1353502666_e2da21605c50bb887ebc60c5965a1943&ext=.pdf)

- [R-ALO11] S. Aloui, N. Delaunay, E. Kerherve, N. Deltimple, R. Plana and D. Belot, "A 60GHz 65nm-CMOS Power Amplifier Realization and a Linearity Characterization With a Sine-Wave and an OFDM Signal", publiée dans la revue Analog Integrated Circuits and Signal Processing (AICSP), vol. 70, n°2, pp.203-211, Springer Science+Business Media, LLC 2011, DOI 10.1007/s10470-011-9735-1, Published online: 14 September 2011
- [R-LUQ11-2] Y. Luque, E. Kerhervé, N. Deltimple, D. Belot, "Design Challenges of a Fully Integrated 65 nm CMOS Half Cascode SFDS PA", publiée dans la revue Analog Integrated Circuits and Signal Processing (AICSP), vol. 70, n°2, pp.181-187, Springer Science+Business Media, LLC 2011, DOI 10.1007/s10470-011-9735-1, Published online: 28 august 2011
- <http://www.springerlink.com/content/j742776v28216471/fulltext.html>
- [R-LUQ11-1] Y. Luque, N. Deltimple, E. Kerhervé, D. Belot, 'Design Challenges of a 65 nm CMOS Stacked Folded Differential PA Structure (SFDS) for Mobile Communication', Analog Integrated Circuits and Signal Processing (AICSP), Volume 68, Number 2, pp.155-162, Springer, 2011.
- (lien web : <http://www.springerlink.com/content/4lp0036v68600100/>)
- [R-LUQ10-2] Y. Luque, E. Kerhervé, N. Deltimple, L. Leyssenne and D. Belot 'CMOS Stacked Folded Differential Structure Power Amplifier for High Power RF Application High Power Application', RF and Microwave Computer-Aided Engineering (RFMiCAE), Volume 20, Issue 6, pp. 611-618, 2010.
- [R-LUQ10-1] Y. Luque, E. Kerhervé, N. Deltimple and D. Belot, "CMOS Power Amplifier design dedicated to UMTS (3G) applications in 65nm technology", Revue RST, Série Electrotechnique et Energétique, Issue 1, pp. 80-89, 2010.

### **Participation à la rédaction d'ouvrage**

- [R-DEL05] N. Deltimple, E. Kerhervé, Y. Deval, P. Jarry and D. Belot, "Multi-mode, Multi-standard RF Reconfigurable Power Amplifier", Microwave Filters and Amplifiers, Chapter 7, pp. 119-131, Research Signpost, 2005.

### **Workshop dans des conférences internationales**

- [WS-DEL12] N. Deltimple, N. Delaunay, W. Sanaa, B. Le Gal, C. Rebai, D. Dallet, D. Belot, E. Kerhervé, “Cartesian Feedback with digital enhancement applied to fully integrated CMOS RF transmitter”, WSD: RF & mmW PAs: Linearization and Power Challenges, IEEE MTT-S International Microwave Symposium and IEEE Radio Frequency Integrated Circuit Conference, 17-22 June 2012, Montréal, Canada.

### **Papiers invités dans des Conférences Internationales**

- [I-DEV10] Y. Deval, N. Deltimple, F. Rivet, T. Taris, J-B. Begueret and E. Kerhervé, “Low Cost Mobile RF Terminal Paradigms: from Multi-Radio to Software Radio”, International Conference on Solid-State and Integrated Circuit Technology (ICSICT-2010), Nov. 1-4, 2010 in Shanghai, China.
- [I-DEL10] N. Deltimple, L. Leysenne, E. Kerhervé, Y. Deval and D. Belot, “Dynamic Biasing Techniques for RF Power Amplifier Linearity and Efficiency Improvement”, International Conference on IC Design and Technology (ICICDT2010), June 2-4, 2010, Grenoble, France.
- [I-KER09] E. Kerherve, Y. Luque, S. Aloui, N. Deltimple, R. Plana, D. Belot, « RF and mmW Low-Voltage Power Amplifier », 8ème journées d'études Faible Tension Faible Consommation, FTFC2009, 3-5 juin 2009, CSEM, Neuchâtel, Suisse.

### **Keynote dans des conférences internationales**

- [K-KER11] E. Kerhervé and N. Deltimple, “Power VCO”, FETCH2011, Québec.

### **Conférences Internationales Avec Comité de Lecture et Actes**

- [CI-DUP13] Victor Dupuy, Eric Kerhervé, Nathalie Deltimple, Benoit Mallet-Guy, Yves Mancuso and Patrick Garrec, « A 2.4GHz to 6GHz Active Balun in GaN Technology », IEEE International Conference on Electronics, Circuits, and Systems (ICECS2013), Abu Dhabi, UAE, Dec. 8-11<sup>th</sup>.
- [CI-MAD13] Heider Madureira, Eric Kerhervé, Nathalie Deltimple and Sandro Haddad, « Design of a Class EF2 Power Oscillator for RF Communication Applications », IEEE International Conference on Electronics, Circuits, and Systems (ICECS2013), Abu Dhabi, UAE, Dec. 8-11<sup>th</sup>.
- [CI-AUL13] A. Aulery, D. Dallet, B. Le Gal, N. Deltimple, D. Belot, E. Kerherve, “Study and Analysis of a New Implementation of a Mixed-Signal Cartesian Feedback for a Low Power Zero-IF WCDMA Transmitter “, IEEE International NEWCAS'2013, pp.1-4, Paris, France, June 16-19, 2013

- [CI-CAR13-2] Marcos L. Carneiro, Nathalie Deltimple, D. Belot, Paulo H. P. de Carvalho, Eric Kerhervé, "Fully Integrated Doherty Power Amplifier Electromagnetically Optimized in CMOS 65nm with Constant PAE in Backoff", IEEE International NEWCAS'2013, pp.1-4, Paris, France, June 16-19, 2013
- [CI-CAR13-1] Marcos L. Carneiro, Nathalie Deltimple, D. Belot, Paulo H. P. de Carvalho, Eric Kerhervé, "A 2.535 GHz Fully Integrated Doherty Power Amplifier in CMOS 65nm with Constant PAE in Backoff", 4th IEEE Circuits and Systems Society Latin American Symposium on Circuits and Systems (LASCAS2013), Cusco, Peru, February 27-March 1, 2013.
- [CI-DRE12-2] S. Dréan, N. Martin, N. Deltimple, E. Kerhervé, B. Martineau, D. Belot, « A 60GHz Class F-E Power VCO with Vector-Modulator Feedback in 65nm CMOS Technology", IEEE International Conference on Electronics, Circuits, and Systems ICECS2012, Sevilla, Spain, Dec. 10-12<sup>th</sup>.
- [CI-TUF12] Adrien Tuffery, Nathalie Deltimple, Philippe Cathelin, Vincent Knopik, Eric Kerhervé, "A Reconfigurable CMOS Power Amplifier based on Switched Power Cells for 3GPP LTE Applications", DCIS2012, Avignon, France, November, 28-30<sup>th</sup>.
- [CI-DEL12] N. Deltimple, J. L. González, J. Altet, Y. Luque, E. Kerhervé, «Design of a Fully Integrated CMOS Self-Testable RF Power Amplifier using Thermal Sensor", IEEE 38th European Solid-State Circuits Conference (ESSCIRC 2012), pp. 398-401 in Proc. of ESSCIRC2012, Bordeaux, France, September 17-21, 2012.
- [CI-DRE12-1] S. Dréan, N. Deltimple, E. Kerhervé, B. Martineau, D. Belot, « A 65nm CMOS 60 GHz Class F-E Power Amplifier for WPAN applications", IEEE Symposium on Integrated Circuits and Systems Design (SBCCI) 2012, Brasilia, Brésil, August 31- September 2, 2012.
- [CI-SAN12] W. Sanaa, N. Delaunay, B. Le Gal, D. Dallet, C. Rebai, N. Deltimple, E. Kerherve, D. Belot, "Design of a Mixed-Signal Cartesian Feedback Loop for a Low Power Zero-IF WCDMA Transmitter", 3rd IEEE Circuits and Systems Society Latin American Symposium on Circuits and Systems (LASCAS2012), Mexico, February 29-March 3, 2012.
- [CI-CAR11] Marcos L. Carneiro, Paulo H. P. de Carvalho, Nathalie Deltimple, Leonardo da C. Brito, Leonardo R.A.X. de Menezes, Eric Kerherve, Sergio G. de Araujo and Adson S. Rocha. "Doherty Amplifier Optimization Using Robust Genetic Algorithm and Unscented Transform", IEEE International NEWCAS'2011, pp.1-4, Bordeaux, France, June 26-29, 2011.
- [CI-TUF11] Adrien Tuffery, Nathalie Deltimple, Bernardo Leite, Philippe Cathelin, Vincent Knopik, Eric Kerhervé, "A 27.5-dBm Linear Reconfigurable CMOS Power Amplifier for 3GPP LTE Applications", IEEE International NEWCAS'2011, pp.1-4, Bordeaux, France, June 26-29, 2011.
- [CI-ABI11] M. Abid, N. Delaunay, B. Legal, D. Dallet, C. Rebai, N. Deltimple, E. Kerherve, D. Belot, "Mixed Cartesian Feedback for Zero-IF WCDMA Transmitter", 2nd IEEE Circuits and

Systems Society Latin American Symposium on Circuits and Systems (LASCAS2011), Bogota, Colombia, February 23-25, 2011.

- [CI-LUQ10-2] Y.Luque, N.Deltimple, E.Kerhervé, D.Belot, "A 65nm CMOS Fully Integrated 31.5 dBm Triple SFDS Power Amplifier dedicated to CDMA Application," IEEE International Conference on Electronics, Circuits, and Systems, (ICECS2010) Athens, Greece, December 12-15, 2010.
- [CI-DEL11] N. Delaunay, N. Deltimple, E. Kerhervé and D. Belot, "A RF Transmitter Linearized Using Cartesian Feedback in CMOS 65nm for UMTS Standard", IEEE 2011 Topical Conference on Power Amplifier for Wireless and Radio Applications, (PAWR-RWS2011), Phoenix, AZ, United States, Jan 16-20, 2011.
- [CI-LUQ10-1] Y. Luque, E. Kerherve, N. Deltimple, D. Belot, "A Fully Integrated 65 nm CMOS cascode HSFDS PA Dedicated to 802.11n Application", First IEEE Circuits and Systems Society Latin American Symposium on Circuits and Systems (LASCAS2010), February 24-26, 2010, Iguazu Falls, Brazil.
- [CI-ALO10] S. Aloui, N. Delaunay, E. Kerherve, N. Deltimple, R. Plana and D. Belot "Characterization Methodology of a Millimeter-Wave 65nm CMOS PA Dedicated to 60GHz WPAN Standard", First IEEE Circuits and Systems Society Latin American Symposium on Circuits and Systems (LASCAS2010), February 24-26, 2010, Iguazu Falls, Brazil, Best paper award.
- [CI-DEL09] N. Delaunay, N. Deltimple, E. Kerhervé and D. Belot, "Linearization of a 65nm CMOS power amplifier with a Cartesian Feedback for W-CDMA standard", Joint IEEE North-East Workshop on Circuits and Systems and TAISA Conference, 2009, (NEWCAS-TAISA '09), Toulouse, France, 2009.
- [CI-LUQ09] Y. Luque, E. Kerherve, N. Deltimple, D. Belot, "CMOS SFFDS PA with Coupled Transformer for High Power RF Applications", IEEE International Symposium on Circuits and Systems, ISCAS2009, Taipei, Taiwan, may 24-29, 2009.
- [CI-LEY09] L. Leyssenne, E. Kerherve, Y. Deval, N. Deltimple, D. Belot, "A Novel WLAN Power Amplifier Adaptive Loop Based on Delta-Sigma Non-Linearity Control", IEEE Radio Week Symposium (RWS2009), San Diego, CA, United States, Jan 16-23, 2009.
- [CI-LUQ08-2] Y. Luque, N. Deltimple, E. Kerhervé and D. Belot, "A 65 nm CMOS - Stacked Folded Fully Differential (SFFD) PA Structure for W CDMA Application", 15th IEEE International Conference on Electronics, Circuits, and Systems, Best student paper award, ICECS 2008, Malta, August 31- September 3.
- [CI-LUQ08-1] Y. Luque, E. Kerhervé, N. Deltimple and D. Belot, "CMOS PA design Dedicated to UMTS (3G) Application in 65nm technology", Fourth European Conference on Circuits and Systems for Communications ECCSC2008, pp. 19-22, Bucarest, Romania, July 10-11, 2008.

- [CI-DEL08] N. Deltimple, Y. Deval, E. Kerhervé and D. Belot, "Design of Class-E Power VCO in 65nm CMOS Technology: Application to RF Transmitter Architecture", Proceedings of the 2008 IEEE International Symposium on Circuits and Systems ISCAS2008, 18-21 May 2008, Seattle, Washington, USA.
- [CI-LEY08] L. Leyssenne, E. Kerhervé, Y. Deval, N. Deltimple and Didier Belot, "A SiGe Power Amplifier Dedicated to Power Management for 802.11n / 802.16e Standards", technical Digest of IEEE Topical Symposium on Power Amplifiers for Wireless Communications, January 21 & 22, 2008, Orlando, FL.
- [CI-LUQ07] Luque Y., Deltimple N., Kerherve E., Belot D, "A 0.13 $\mu$ m CMOS Stacked Folded Fully Differential PA Structure for W CDMA Application", Proceeding of the 2007 PH.D Research in Microelectronics and electronics Conference (PRIME 2007), Bordeaux, France, July 5-7 2007.
- [CI-DEL06-3] N. Deltimple, E. Kerherve, Y. Deval, D. Belot and P. Jarry, "Design of a SiGe Reconfigurable Power Amplifier for RF Applications: Device and Multi-standard Considerations", 13th IEEE International Conference on Electronics, Circuits and Systems, ICECS2006, December 10-13, Nice, France.
- [CI-DEL06-2] N. Deltimple, "Building blocks beyond 20 GHz: BAW Filters Using Higher Harmonics and Millimeter Wave Power Amplifier", mmW Workshop , Pavia, 20-21 November, 2006.
- [CI-DEL06-1] N. Deltimple, E. Kerhervé, D. Belot, Y. Deval and P. Jarry, "PAE Enhancement Methodology for SiGe Power Amplifier in UMTS/W-CDMA Systems", 4th annual IEEE Northeast Workshop on Circuits and Systems (NEWCAS2006), pp. 169-172, Gatineau, Québec, Canada, June 18-21 2006.
- [CI-DEL05] N. Deltimple, E. Kerhervé, D. Belot, Y. Deval and P. Jarry, "A SiGe Controlled-Class Power Amplifier Applied to Reconfigurable Mobile Systems", 35th European Microwave Conference, EuMC2005, pp.457-460, Paris, France, October 4-6 2005.
- [CI-DEL04-2] N. Deltimple, E. Kerhervé, D. Belot, Y. Deval and P. Jarry, "A SiGe Power Amplifier with Dynamic Bias for Efficient Power Control in UMTS/W-CDMA Applications", XIX Conference on Design of Circuits and Integrated Systems, DCIS2004, Bordeaux, France, November 24-26, ISBN 2-9522971-0-X, pp. 68-72.
- [CI-DEL04-1] N. Deltimple, E. Kerhervé, Y. Deval and P. Jarry, "A Reconfigurable RF Power Amplifier Biasing Scheme", Proceedings of the 2nd annual IEEE Northeast Workshop on Circuits and Systems (NEWCAS2004), pp. 365-368, Montréal, Canada, June 20-23, 2004.
- [CI-MAJ04-2] C. Majek, N. Deltimple, H. Lapuyade, J.-B. Bégueret, E. Kerhervé and Y. Deval, "A Programmable CMOS RF Frequency Synthesizer for Multi-standard Wireless Applications", Proceedings of the 2nd annual IEEE Northeast Workshop on Circuits and Systems (NEWCAS2004), pp. 289-292, Montreal, Canada, June 20-23, 2004.

- [CI-MA]04-1] C. Majek, N. Deltimple, H. Lapuyade, J.-B. Bégueret, E. Kerhervé and Y. Deval, "A 2-6 GHz CMOS Factorial Delay Locked Loop Dedicated to Multi-Standard Frequency Synthesis", Proceedings of the IEEE International Symposium on Industrial Electronics ISIE2004, pp. 157-161, Ajaccio, Corse, May 5-7 2004.
- [CI-DEL03-2] N. Deltimple, C. Majek, H. Lapuyade, J.-B. Bégueret, E. Kerhervé and Y. Deval, "The Factorial DLL : Application to a 5 GHz Frequency Synthesizer", IEEE Proceedings of Design of Circuits and Integrated Systems (DCIS2003), pp. 192-196, Ciudad Real, Spain, November 19-21, 2003.
- [CI-DEL03-1] N. Deltimple, C. Majek, H. Lapuyade, J.-B. Bégueret, E. Kerhervé et Y. Deval, "Synthétiseur de Fréquence à base de DLL Factorisée pour application HiperLAN", Actes du colloque TELECOM'2003 & 3èmes JFMMA, pp. 330-333, Marrakech, Morocco, October 15-17 2003.

**Conférences Nationales Françaises Avec Comité de Lecture et Actes**

- [CF-CAR13] Marcos L. Carneiro, Nathalie Deltimple, Didier Belot, Paulo H. P. de Carvalho, Eric Kerherve, « Amplificateur de puissance Doherty totalement intégré en CMOS 65nm avec une PAE constante sur une large plage de puissance », 18èmes Journées Nationales Microondes, JNM2013, 15-17 Mai 2013, Paris, France.
- [CF-DUP13] Victor Dupuy, Nathalie Deltimple, Yves Mancuso, Claude Auric, Eric Kerhervé, « Balun actif bande S/C en technologie GaN », 18èmes Journées Nationales Microondes, JNM2013, 15-17 Mai 2013, Paris, France.
- [CF-DEL09] N. Delaunay, N. Deltimple, L. Leyssenne, E. Kerhervé, D. Belot, « Linéarisation d'un Amplificateur de Puissance BiCMOS7RF par Boucle Cartésienne pour le Standard W-CDMA », Journées Nationales du Réseau Doctoral de Microélectronique, JNRDM09, Lyon, France.
- [CF-LUQ08] Y. Luque, N. Deltimple, E. Kerhervé, D. Belot, « Conception d'un amplificateur de puissance en technologie CMOS 65 nm pour des applications 3G/4G », Journées Nationales du Réseau Doctoral de Microélectronique, JNRDM08, Bordeaux, France.
- [CF-LUQ07] Y. Luque, N. Deltimple, E. Kerhervé, D. Belot, « Amplificateur de Puissance Push-Pull en Technologie CMOS 0,13 $\mu$ m, Application au Standard de Communication WLAN 802.11b », 15èmes Journées Nationales Microondes, JNM2007, 23-25 Mai 2007 Toulouse, France
- [CF-DEL05] N. Deltimple, E. Kerhervé, Y. Deval, D. Belot et P. Jarry, "Amplificateur de puissance multi-standard GSM/DCS/UMTS en technologie SiGe : étude de la reconfigurabilité en puissance", 14èmes Journées Nationales Microondes, JNM2005, n°5D5, Abstract p. 112, Paris, France.

- [CF-DEL04] N. Deltimple, E. Kerhervé et P. Jarry, "Les Amplificateurs de Puissance Reconfigurables : enjeux et perspectives", Proceedings des VIIèmes Journées Nationales du Réseau Doctoral de Microélectronique JNRDM2004, pp. 439-441, Marseille, France, 4-6 Mai 2004.

### **Conférences Nationales Brésiliennes Avec Comité de Lecture et Actes**

- [CB-CAR11] Marcos L. Carneiro, Paulo H. P. de Carvalho, Nathalie Deltimple, Eric Kerherve Leonardo da C. Brito, Sergio G. de Araujo, « Otimização de amplificador de potencia Doherty atraves de computação evolucionaria e transformada unscented », X Congresso Brasileiro de Inteligencia Computacional (CBIC'2011), 8 a 11 de Novembro de 2011, Fortaleza, Ceara, Brazil.

### **Présentations aux GDR SoC-SiP et Ondes**

- [G-BOU12] Y. Boutaib, N. Deltimple, E. Kerhervé, «A 1.95GHz, 23dBm Cascode Class-E Power Amplifier in 130nm CMOS Technology», Colloque du GDR SoC-SiP, Paris, 13-15 juin 2012.
- [G-AUL12] A. Aulery, W. Sanaa, D. Dallet, B. Le Gal, N. Deltimple, D. Belot, E. Kerherve, "Design of a Mixed-Signal Cartesian Feedback Loop for a low power Zero-IF WCDMA Transmitter", Journée thématique AMS&RF "Correction numérique des imperfections de l'analogique », Paris, 24 mai 2012.
- [G-TUF11] A. Tuffery, N. Deltimple, B. Leite, P. Cathelin, V. Knopik, E. Kerhervé, « Amplificateur de Puissance Reconfigurable en Technologie CMOS pour Application Cellulaire 3GPP LTE", Colloque du GDR SoC-SiP, Lyon, 15-17 juin 2011.
- [G-KER09] E. Kerhervé et N. Deltimple, "Amplificateurs de puissance en technologie silicium pour les applications RF et mmW", Journées thématiques du GDR SoC-SiP, Bordeaux, 15 mai 2009.
- [G-DEL03] N. Deltimple, E. Kerhervé, Y. Deval et P. Jarry, "Circuits de polarisation contrôlables dédiés aux amplificateurs de puissance reconfigurables multi-standards", Journées thématiques « Interférences d'ondes », Journées thématiques du GDR Ondes, Marseille, 8-10 décembre 2003.

### **Rédaction de rapports pour le projet PANAMA**

- [P-PAN09] CA101 PANAMA Project Technical Report, A. Tuffery, N. Deltimple, E. Kerhervé, « Integrated PA systems», June 2009.
- [P-PAN10] CA101 PANAMA Project Technical Report, A. Tuffery, N. Deltimple, E. Kerhervé, « 3G/4G PA Design », June 2010.

- [P-PAN11] CA101 PANAMA Project Technical Report, A. Tuffery, N. Deltimple, E. Kerhervé, « 3G/4G PA Design », July 2011.
- [P-PAN12] CA101 PANAMA Project Technical Report, A. Tuffery, N. Deltimple, E. Kerhervé, « 3G/4G PA Design », June 2012.