



**HAL**  
open science

# Technologies de mise en oeuvre et stratégies de configuration de réseaux de micro-convertisseurs - Application au photovoltaïque

Lyubomir Kerachev

► **To cite this version:**

Lyubomir Kerachev. Technologies de mise en oeuvre et stratégies de configuration de réseaux de micro-convertisseurs - Application au photovoltaïque. Autre. Université de Grenoble, 2013. Français. NNT : 2013GRENT087 . tel-00990636v2

**HAL Id: tel-00990636**

**<https://theses.hal.science/tel-00990636v2>**

Submitted on 8 Sep 2014

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

## THÈSE

Pour obtenir le grade de

## DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **Génie Electrique**

Arrêté ministériel : 7 août 2006

Présentée par

**Lyubomir Kerachev**

Thèse dirigée par **Yves Lembeye** et  
codirigée par **Jean-Christophe Crébier**

préparée au sein du **Laboratoire de Génie Electrique de Grenoble**  
dans l'**École Doctorale Electronique, Electrotechnique, Automatique et Traitement du signal**

## Technologies de mise en œuvre et stratégies de configuration de réseaux de micro-convertisseurs – Application au photovoltaïque

Thèse soutenue publiquement le **19 Décembre 2013**  
devant le jury composé de :

**M. Eric LABOURÉ**

Professeur des Universités Paris Sud – IUT de Cachan, Rapporteur

**Mme Corinne ALONSO**

Professeur des Universités LAAS – CNRS, Rapporteur

**M. Laurent FESQUET**

Maître de conférence à l'INP Grenoble, Examineur

**M. Guy BARET**

Ingénieur Luxol Photovoltaics, Examineur

**M. Yves LEMBEYE**

Professeur des Universités UJF Grenoble, Directeur de thèse

**M. Jean-Christophe CRÉBIER**

Directeur de recherche CNRS au G2ELab, Co-directeur de thèse









## REMERCIEMENTS

Enfin je suis à la page de remerciements qu'on laisse tout à la fin en pensant que c'est la partie la plus facile à écrire. Hélas, cela n'est pas si évident quand je m'y mets. Maintenant je me retrouve devant la page blanche et je me demande comment trouver des mots pour remercier tous les gens qui m'ont guidé, aidé et soutenu pendant ces trois ans de thèse. Trois ans qui étaient très riches tant en aspect scientifique qu'en aspect humain puisqu'une thèse de doctorat n'est pas que le travail que nous avons réalisé mais c'est aussi un ensemble d'émotions que nous avons éprouvées lors de notre travail et lors de nos échanges scientifiques et humaines avec les personnes autour de nous. C'est notamment le mélange de ces éléments qui donne la satisfaction complète d'une thèse et, je crois l'avoir eu au G2Elab.

Je voudrais tout d'abord adresser mes remerciements aux deux personnes qui m'ont appris à rêver et à vivre le travail de recherche. Yves Lembeye et Jean-Christophe Crébier, mes deux encadrants avec qui j'ai eu la chance et la possibilité de travailler. Je leur suis reconnaissant encore pour m'avoir donné le crédit de confiance pour mener ces travaux de thèse au cours desquels j'ai été inspiré non seulement par leurs partages scientifiques mais aussi par leurs partages humains.

Je réalise avec une nostalgie que les trois ans de travail dans le cadre du projet Miconet 2 en coopération avec les laboratoires LGEP de Paris, LAPLCACE de Toulouse et Ampère de Lyon se sont écoulés très vite. Je remercie Eric Labouré, Zijian Xiao, Emmanuel Saurrate, Marc Cousinau, Bruno Allard, Christian Martin et Elias Haddad pour le partage de leurs avancements technologiques. Dans ce contexte je remercie l'ANR Emergence ProCD ANR-12-EMMA-0029-01 pour le soutien au niveau du prototypage en fin de la thèse.

Une mini équipe a été formée autour de la thématique « Réseau de micro-convertisseurs ». Je remercie Phung Thanh Hai pour l'échange scientifique et pour m'avoir fait découvrir une partie de la culture et des traditions vietnamiennes. Je remercie également Trung Hieu Trinh et Sang Van Nguyen pour les discussions scientifiques sur le sujet et pour leurs efforts pour faire fonctionner mes prototypes.

Pendant ma période de travail à MINATEC, la bonne humeur d'Alejandro Chagoya était le seul rayon de lumière naturelle dans la salle de conception de circuits intégrés. Je le remercie pour sa gentillesse et pour son support permanent.

Un grand merci aux techniciens du laboratoire grâce auxquels on arrive à monter nos manip. Je remercie Roland pour son support technique. Ce fut un honneur pour moi d'être la dernière personne à laquelle Djidji a monté la manip avant qu'il parte en retraite. Je remercie également Antoine Labonne pour m'avoir donné les fils pour les panneaux solaires juste quelques minutes avant que je fasse la démonstration de ma manip.

Je tiens à remercier tous mes amis de ma promotion de M2R et du laboratoire auxquels je suis émotionnellement attaché. Nous avons eu de moments de difficultés, de chute du moral, de fête, de discussions scientifiques et philosophiques. Le partage d'état d'esprit et l'échange interculturel font parti des trésors que j'ai trouvés pendant ma thèse. J'adresse mes sincères remerciements à Luiz, Ando, Julian, Mariam, Raha, Minh, Farshid, Xavier, Sarra, Sellé. Je remercie aussi Nadia que j'avais le plaisir d'encadrer pendant son stage. Je remercie Fabien Mestrallet pour le partage scientifique, pour les discussions sur divers sujets et pour ne pas avoir perdu de contrôle quand je l'embêtais. Merci également à Alexandre Collet, Boris Franitch, Joan Karpinski, Thierry Creuzet de la société Freemens SAS pour leur gentillesse et pour leur aide dans ma lutte contre la programmation des microcontrôleurs.

Ces travaux de thèse m'ont aussi offert la possibilité de coopérer avec des industriels. Dans ce contexte je tiens à remercier Gunter Kürbis, directeur de la société allemande Finetech pour le travail très coopératif sur l'aspect flip-chip et à Christoph Daedlow, ingénieur dans la même société pour le temps qu'il m'a consacré à Berlin. Vielen Dank ! Je remercie également Guy Baret, le président et, Jean-Baptiste Chevrier, le directeur général de la société Luxol pour leur intérêt à mes travaux. Le projet que nous avons mené ensemble m'a fait croire encore plus dans la démarche originale et innovante de mon travail.

Et à la fin quelques mots pour mes plus chers au monde. Merci à mes parents qui ont cru en moi et surtout un grand merci à ma sœur Elena et à ma copine Ulrike pour leur support et soutien dans mes moments difficiles. Enfin, je dédie mon travail à баба Нела et à дядо Любчо qui auraient été fiers de moi.







# TABLE DES MATIERES

INTRODUCTION GENERALE.....	13
I. ETAT DE L'ART DES CONVERTISSEURS CONFIGURABLES.....	17
I.1. INTRODUCTION.....	18
I.2. ENJEUX ET DEFIS DU R <sub>μ</sub> C.....	22
I.2.1 LE R <sub>μ</sub> C DANS DES APPLICATIONS VRM.....	22
I.2.2 LE R <sub>μ</sub> C DANS LES SYSTEMES DE GESTION DES BATTERIES.....	27
I.2.3 LE R <sub>μ</sub> C DANS LES INSTALLATIONS PHOTOVOLTAÏQUES.....	29
I.3. EVOLUTION TECHNOLOGIQUE ET PERSPECTIVES.....	35
I.4. LA CELLULE ELEMENTAIRE.....	39
I.4.1 STRUCTURE EN DOUBLE PONT COMPLET.....	40
I.4.2 STRUCTURE ENTRELACEE AVEC COUPLEUR MAGNETIQUE.....	47
I.5. FAMILLES DE RESEAUX DE MICRO-CONVERTISSEURS.....	53
I.5.1 CIRCUIT PROGRAMMABLE DE PUISSANCE.....	54
I.5.2 LE CIRCUIT PERSONNALISE DE PUISSANCE (POWER ASIC).....	63
I.6. CONCLUSION.....	67
II. OPTIMISATION ET REALISATION DU MODULE ACTIF DE LA CELLULE ELEMENTAIRE... 69	
II.1. INTRODUCTION.....	70
II.2. CONCEPTION DES COMPOSANTS ACTIFS.....	70
II.2.1 STRUCTURE DE LA PUCE DE PUISSANCE.....	71
II.2.2 CONFIGURATIONS DE LA PUCE DE PUISSANCE.....	80
II.2.3 GESTION DES INTERCONNEXIONS.....	81
II.3. COUPLAGE COMPOSANTS – PUCE – SYSTEME.....	90
II.3.1 REALISATION DE LA PARTIE ACTIVE DE PUISSANCE.....	92
II.3.2 GESTION THERMIQUE DE LA PUCE.....	96
II.4. TECHNOLOGIES DE PACKAGING 3D.....	112
II.4.1 MISE EN SITUATION ET PROBLEMATIQUES.....	112
II.4.2 DEPOSE DE STUD BUMPS.....	119
II.4.3 COLLAGE PAR ADHESIF.....	120
II.4.4 LA THERMO COMPRESSION.....	123
II.4.5 LE ULTRASON/THERMOSON.....	125
II.4.6 BRASURE DE BILLES.....	128
II.4.7 BILAN SUR LES TECHNIQUES DE REPORT FLIP-CHIP.....	137
II.5. CONCLUSION.....	138
III. MISE EN ŒUVRE DU R <sub>μ</sub> C DANS UN SYSTEME PV DISTRIBUE.....	139
III.1. INTRODUCTION.....	140
III.2. ETUDE DE LA COMPATIBILITE TUILE-CIRCUIT INTEGRE.....	142
III.3. MISE EN SITUATION DU SYSTEME PV DISTRIBUE.....	145
III.3.1 RACCORDEMENT DU SYSTEME PV DISTRIBUE A UNE CHARGE RESISTIVE.....	145
III.3.2 RACCORDEMENT DU SYSTEME PV DISTRIBUE AU RESEAU.....	149
III.3.3 ENTRELACEMENT DES MICRO-ONDULEURS.....	153
III.3.4 INCONVENIENTS DU SYSTEME PV DISTRIBUE.....	158

III.4. DEVELOPPEMENT DU DEMONSTRATEUR.....	163
III.4.1 GESTION DU DEPHASAGE DES MICRO-ONDULEURS .....	163
III.4.2 REALISATION DES MICRO-ONDULEURS .....	165
III.4.3 RESULTATS .....	167
III.5. PERSPECTIVES .....	171
III.5.1 REDUCTION DE LA TAILLE DU CONDENSATEUR .....	171
III.5.2 AMELIORATION DU PRODUCTIBLE AU CAS D'OMBRAGES.....	174
III.5.3 DEVELOPPEMENT D'UNE INSTALLATION RACCORDEE AU RESEAU .....	175
III.6. CONCLUSION .....	176
IV. PERSPECTIVES POUR LA MISE EN ŒUVRE DU R <sub>μ</sub> C.....	179
IV.1. INTRODUCTION .....	180
IV.2. REALISATION DE LA CELLULE ELEMENTAIRE .....	180
IV.2.1 REALISATION DU CONVERTISSEUR DAB .....	180
IV.2.2 REALISATION DU CONVERTISSEUR ENTRELACE .....	183
IV.3. MISE EN ŒUVRE D'UN CONVERTISSEUR DE 3 CE .....	186
IV.4. MISE EN ŒUVRE D'UN RESEAU DE 5 CE .....	187
IV.4.1 STRATEGIES DE COMMANDE ET CONFIGURATION .....	188
IV.5. CONCLUSION .....	194
CONCLUSION GENERALE ET PERSPECTIVES .....	197
BIBLIOGRAPHIE.....	203





### INTRODUCTION GENERALE

De nos jours, l'électronique de puissance est omniprésente dans notre quotidien et souvent à notre insu. Elle est présente dans n'importe quelle application, à n'importe quel moment et à n'importe quelle échelle de puissance : du milliwatt jusqu'au-delà du mégawatt. Si à l'époque les grands écrivains de science-fiction décrivaient notre ère par des voyages à travers les galaxies à l'aide de vaisseaux spatiaux ou avec des bâtiments qui parcourent l'univers au-delà de la vitesse de la lumière, aujourd'hui ce n'est pas tout à fait le cas. Le transport civil, par exemple, est encore limité au niveau de la Terre et le plus souvent à des vitesses inférieures même à celle du son. En revanche, la technologie s'est développée dans une autre voie. Tous les dispositifs électroniques que nous avons dans les poches et qui nous entourent nous permettent de construire une autre dimension de la réalité. Toutefois, il est à noter que les moyens de communication, de transport, de travail, de production d'énergie ou notre mode de vie actuel en général sont impensables sans l'électronique de puissance. Nous la retrouvons aujourd'hui dans les diverses applications portables (téléphones, lecteurs, tablettes, ordinateurs), dans les dispositifs caractérisant nos besoins élémentaires (électroménager, médecine), dans les satellites, les avions, les véhicules, etc.

La fonction principale de l'électronique de puissance est la conversion d'énergie au cœur de laquelle demeurent les convertisseurs. Un convertisseur électrique représente un ensemble d'éléments qui sont montés de façon particulière afin de conditionner l'énergie électrique de sorte à obtenir la fonction recherchée. Il s'avère alors que pour chaque application et pour chaque fonction, nous avons besoin d'un nouvel ensemble de composants assemblés à chaque fois de façon différente pour former la structure du convertisseur qui sera capable de répondre à presque chaque besoin. De plus, en sachant que les besoins sont quasiment illimités en termes d'échelle de puissance et de diversité d'applications, nous pouvons nous rendre compte de la gamme et du nombre de convertisseurs que cela représente déjà et que cela continuera d'évoluer. Et si ces derniers sont si nombreux, qu'en est-il des composants qui constituent les convertisseurs ? Il existe tant de fabricants de composants électriques, tant de gammes, de fonctions et de paramètres qu'il est difficile d'imaginer la quantité et la diversité des composants au niveau mondial. L'électronique de puissance est alors un élément majeur pas seulement dans notre quotidien en tant qu'utilisateurs mais aussi dans l'industrie au niveau de ses dimensionnements, conceptions, designs, prototypages, fabrications etc.

## **Introduction générale**

---

Regardons maintenant le cycle de conception d'un convertisseur. Un cahier des charges donné nécessite d'abord une expertise au niveau de la structure du convertisseur. Ensuite vient la phase de simulation du fonctionnement et du choix des composants. Ce travail est largement pluridisciplinaire et fait aujourd'hui intervenir à la fois des compétences techniques et en physiques mais également technologiques. Enfin, la phase d'assemblage physique et de tests de validation permet de démontrer la fonctionnalité du prototype et sa conformité aux standards et aux normes. Plusieurs cycles de prototypage sont en général nécessaires pour aboutir à un produit industriel. Aussi, la phase de conception repose sur un effort humain, un coût et une durée importants. D'un côté, il est nécessaire d'avoir un personnel qualifié capable de trouver des solutions techniques et technologiques de développement et de prendre en main tous les types de logiciels de conception et de design. D'un autre côté le prototypage, les tests et les vérifications du fonctionnement et enfin les phases de qualification du produit peuvent également retarder considérablement l'arrivée du produit sur le marché.

Ces facteurs sont un obstacle qui limite la généralisation d'une électronique de puissance à haut rendement de conversion. Pour de nombreuses applications en évolution, on préférera ne pas retravailler le convertisseur statique pour limiter les coûts de développement. Il est alors nécessaire de trouver une solution pour remédier à ce problème ; une rupture technologique. Le développement des convertisseurs serait moins contraignant s'il existait une solution générique. Un seul convertisseur universel ou un seul composant que le concepteur ou l'utilisateur pourrait facilement prendre en main pour construire la fonction de conversion définie dans le cahier de charges. Cela pourrait éliminer une partie des phases de prototypage théorique comme le dimensionnement et le choix des composants tout en rendant plus accessible une discipline qui tend à continuellement se complexifier. Ceci réduirait considérablement les durées et les coûts de fabrication. C'est notamment dans cette direction que les fabricants ont récemment focalisé leur recherche. Des composants de plus en plus compacts et performants avec des caractéristiques adaptables à des applications différentes deviennent de plus en plus attractifs et recherchés.

C'est dans ce contexte que l'approche « Réseau de micro-convertisseurs » (R $\mu$ C) a vu le jour. Un réseau de micro convertisseurs est composé d'un seul type de composant universel appelé aussi « cellule élémentaire » à partir duquel il est possible de répondre à n'importe quel cahier de charges par diverses associations. Les premiers travaux de thèse menés sur ce sujet avaient pour objectif d'étudier la discrétisation de la fonction de conversion et la

problématique de l'association de plusieurs convertisseurs. L'optimisation de leur volume n'étant pas le but de ces premières études ont suivi ensuite des travaux sur la réalisation d'une cellule élémentaire dont la taille devait être la plus réduite possible. Dans ce contexte, des travaux d'intégration et d'hybridation de ses composants actifs et passifs ont été menés. Le réseau de micro-convertisseurs étant une matrice de cellules élémentaires, fait que la commande nécessaire pour piloter l'ensemble dans des différentes configurations est devenue plus complexe. Par conséquent, une approche basée sur l'entrelacement des cellules élémentaires de façon aléatoire a été mise en œuvre afin de simplifier la commande en activant et désactivant des cellules élémentaires par un signal central. Les derniers travaux sur ce sujet ont porté sur le choix d'une structure optimale de la cellule élémentaire selon des critères comme le volume et le nombre de ses composants, le facteur de dimensionnement, la facilité pour la commande et la compatibilité technologique. Par conséquent, un micro-convertisseur d'une puissance de 6W a été réalisé et testé. Toutefois, un travail important sur l'optimisation de ses performances et de ses dimensions doit être fait surtout en regard de sa mise en réseau, ce dernier aspect étant abordé mais pas mis en œuvre.

Les travaux de cette thèse portent sur le principe et les moyens de réalisation du réseau de micro-convertisseurs qui pourrait aboutir à une rupture technologique. L'état de l'art et les défis de cette approche sont relevés par sa mise en situation dans des applications courantes comme les régulateurs de tension type VRM, les systèmes de gestion des batteries et les systèmes d'électronique de puissance dans les applications photovoltaïques.

Une partie importante de cette thèse est consacrée à l'optimisation de la cellule élémentaire des points de vue fonctionnels mais aussi et surtout assemblage et mise en œuvre. Cette dernière étant au cœur de l'approche «réseau de micro-convertisseurs», ses caractéristiques vont conditionner celles du R $\mu$ C. Pour cette raison, un effort important est consacré notamment à l'amélioration du rendement et la réduction du volume par le biais des technologies d'intégration et d'hybridation. Ces aspects sont également liés à l'optimisation du design et des composants de la cellule élémentaire afin de pouvoir remédier aux contraintes électriques et thermiques et rendre viable sa réalisation avec les technologies et procédés de fabrication déjà existants. Il s'agit notamment de la conception et du design des composants actifs de puissance de façon à uniformément partager les pertes dans la puce et réduire toute résistance de contact et d'amenée de courant. Le design de la puce sera également orienté vers l'optimisation de sa gestion thermique. Son empreinte sera faite de



## **Introduction générale**

---

façon à ce qu'elle puisse être reportée sur un circuit imprimé standard par flip-chip. L'intérêt de cette approche consiste en la réduction de la surface occupée par les composants actifs, en la réduction des phénomènes parasites (résistances et inductances de contact) et en l'amélioration du drainage de la chaleur via les plots de contacts et son évacuation par les pistes de cuivre au niveau du circuit imprimé. Pour cela, une étude des contraintes thermiques et d'optimisation de la surface nécessaire des pistes de cuivre sera faite. Des technologies de report flip-chip maîtrisées au niveau des industriels seront aussi proposées, étudiées et validées toujours dans le but de trouver les plus appropriées pour notre besoin et pouvoir réaliser la cellule élémentaire avec les technologies existants. Leur caractérisation sera basée sur des critères comme la résistance de contact, la faisabilité et la fiabilité.

Cette thèse ne se limite pas à la réalisation d'une cellule élémentaire. La réalisation d'un réseau de micro-convertisseurs reste l'objectif principal à développer pour démontrer le potentiel de cette approche. Dans ce contexte, quelques prototypes seront réalisés pour valider l'association de plusieurs cellules élémentaires. C'est notamment cette partie pratique qui va mettre en évidence les enjeux du R $\mu$ C. Des stratégies de commande des cellules élémentaires au sein du réseau seront proposées pour explorer au maximum les avantages que cette approche peut offrir. Sa mise en place dans un système photovoltaïque distribué sera développée plus en détails dans la dernière partie de ces travaux. L'étude menée sur la réalisation d'un démonstrateur va nous montrer que cette nouvelle approche peut être compétitive par rapport aux structures existantes d'électronique de puissance pour les applications solaires et surtout que son industrialisation est possible.

# CHAPITRE I : ETAT DE L'ART DES CONVERTISSEURS CONFIGURABLES

## Table des matières

---

I.1.	INTRODUCTION.....	18
I.2.	ENJEUX ET DEFIS DU R <sub>μ</sub> C .....	22
I.2.1	LE R <sub>μ</sub> C DANS DES APPLICATIONS VRM .....	22
I.2.2	LE R <sub>μ</sub> C DANS LES SYSTEMES DE GESTION DES BATTERIES .....	27
I.2.3	LE R <sub>μ</sub> C DANS LES INSTALLATIONS PHOTOVOLTAÏQUES.....	29
I.3.	EVOLUTION TECHNOLOGIQUE ET PERSPECTIVES .....	35
I.4.	LA CELLULE ELEMENTAIRE.....	39
I.4.1	STRUCTURE EN DOUBLE PONT COMPLET .....	40
I.4.2	STRUCTURE ENTRELACEE AVEC COUPLEUR MAGNETIQUE.....	47
I.5.	FAMILLES DE RESEAUX DE MICRO-CONVERTISSEURS .....	53
I.5.1	CIRCUIT PROGRAMMABLE DE PUISSANCE .....	54
I.5.2	LE CIRCUIT PERSONNALISE DE PUISSANCE (POWER ASIC).....	63
I.6.	CONCLUSION .....	67

---

### **I.1. INTRODUCTION**

Aujourd'hui beaucoup de fabricants sont tous engagés dans le développement de composants et de structures de conversion d'énergie plus performants et plus fiables, plus compacts et plus versatiles. Dans cette course, l'amélioration des caractéristiques et de la fiabilité tout comme la miniaturisation des convertisseurs sont les objectifs principaux des constructeurs. En effet, une taille fortement réduite et la possibilité d'utiliser le même composant dans plusieurs applications sont des critères de plus en plus attractifs sur le marché. En parallèle, l'intérêt pour les solutions génériques est induit par la réduction des durées de conception et de prototypage et par l'aspect de coût. Beaucoup de travaux sont engagés afin de développer des solutions génériques [Del11], [Van11], [Yin11], [Hiu12], [Pal12] et, dans ce contexte, l'approche « réseau de micro-convertisseurs » (R $\mu$ C) a été proposée [Hdo09], [Hdt09], [Del09], [Hiu13]. Son objectif principal est de répondre de manière flexible à n'importe quel cahier de charges sur la base d'une architecture élémentaire et d'une technologie de mise en œuvre unique et générique. Cette approche est inspirée par les circuits logiques programmables (CPLD). Ce sont des circuits composés de plusieurs cellules logiques qui peuvent être associées de manières différentes par programmation pour obtenir diverses fonctions numériques. Dans le cas d'un réseau de micro-convertisseurs, il s'agit bien d'un circuit programmable de puissance. Sa structure est basée sur un composant générique, appelé « cellule élémentaire » (CE), celle-ci représente, ici un micro-convertisseur de basse puissance. Le R $\mu$ C est donc une matrice formée par plusieurs cellules élémentaires (voir Figure I.1) dont la structure répond à un paramétrage donnée qui est également configurable ou reconfigurable à la mise en œuvre ou en cours d'utilisation de façon à répondre à différents cahiers de charges. Dans un premier temps cette approche est limitée à la conversion d'énergie DC/DC qui est bien adaptée à un grand nombre d'applications telles que les régulateurs de tension, les systèmes de gestion des batteries, les piles à combustible, les installations photovoltaïques, les réseaux de télécommunication etc.

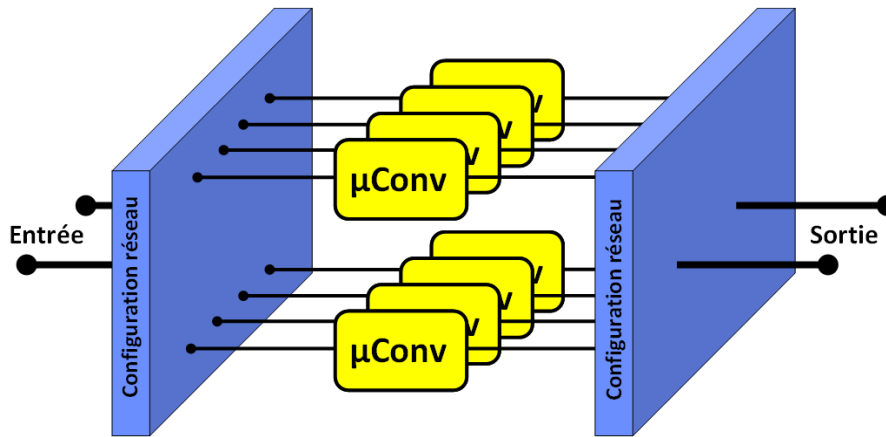


Figure I.1 – Réseau de micro-convertisseurs

Le réseau de micro-convertisseurs peut être adapté à des cahiers de charges différents par l'association de ses cellules élémentaires en différentes configurations. Les calibres en courant et en tension du R $\mu$ C peuvent être réglés par l'association en série et/ou en parallèle de ses cellules élémentaires. La mise en série des entrées des cellules élémentaires et la mise en parallèle de leurs sorties fait que le R $\mu$ C devient abaisseur en tension et élévateur en courant (voir Figure I.2a). Cette configuration est appelée SIPO (Serial Input/Parallel Output). Le calibre en tension en entrée du R $\mu$ C est égal à la somme des tensions d'entrée de toutes les cellules élémentaires tandis que la tension de sortie du R $\mu$ C est égale à la tension de sortie d'une cellule élémentaire. D'un autre côté, le courant de sortie est égal à la somme des courants de toutes les cellules élémentaires connectées en parallèle. Les expressions (I.1) et (I.2) montrent la relation entre les tensions d'entrée et de sortie et les courants d'entrée et de sortie dans une association SIPO en fonction du nombre des cellules élémentaires dans le réseau :

$$V_E = N.V_{CEE}, I_E = I_{CEE} \quad (I.1)$$

$$V_S = V_{CES}, I_S = N.I_{CES} \quad (I.2)$$

$V_E, V_S$  – tensions d'entrée et de sortie du R $\mu$ C ;

$I_E, I_S$  – courants d'entrée et de sortie du R $\mu$ C ;

$V_{CEE}, V_{CES}$  – tensions d'entrée et de sortie d'une cellule élémentaire ;

$I_{CEE}, I_{CES}$  – courants d'entrée et de sortie d'une cellule élémentaire ;

$N$  – nombre des cellules élémentaires.

La mise en parallèle des entrées des cellules élémentaires et la mise en série de leurs sorties rendent le R $\mu$ C élévateur en tension et abaisseur en courant (voir Figure I.2b). Cette association est appelée PISO (Parallel Input/Serial Output). Dans ce cas, le calibre en courant d'entrée du R $\mu$ C est égal à la somme de tous les courants d'entrée des cellules élémentaires. La tension d'entrée du R $\mu$ C est égale à la tension d'entrée d'une cellule élémentaire tandis que la tension de sortie est égale à la somme de toutes les tensions de sortie des cellules élémentaires comme cela est décrit dans les expressions (I.3) et (I.4) :

$$V_E = V_{CEE}, I_E = N \cdot I_{CEE} \quad (I.3)$$

$$V_S = N \cdot V_{CES}, I_S = I_{CE} \quad (I.4)$$

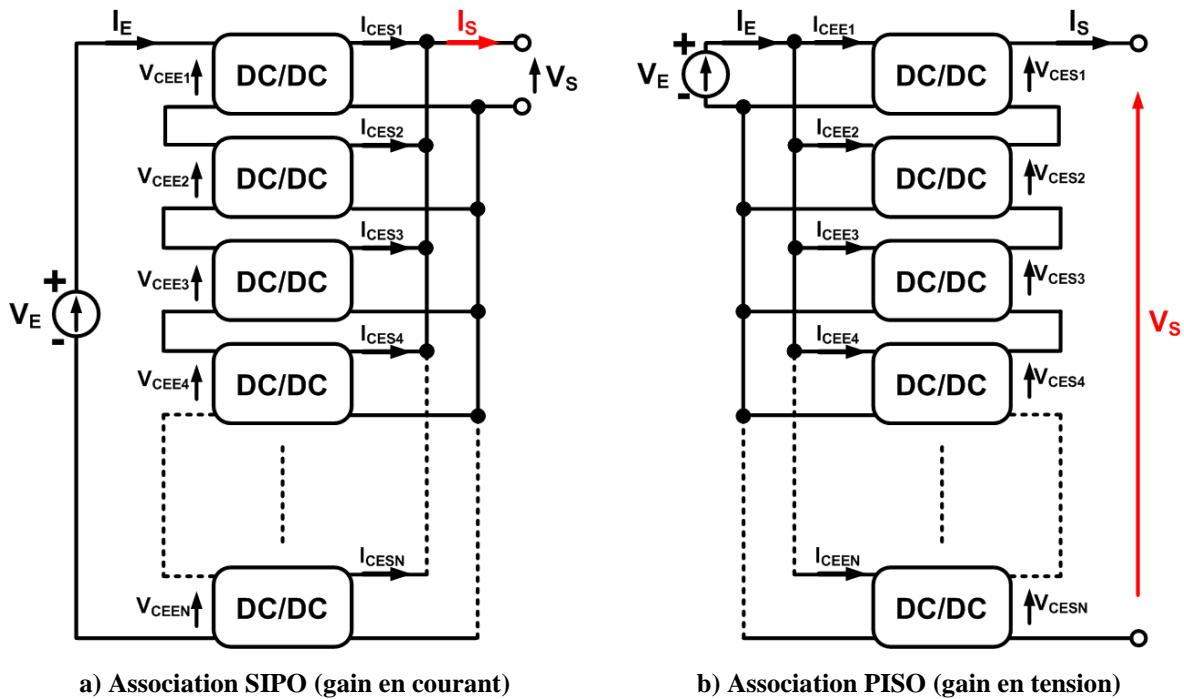


Figure I.2 - Association des micro-convertisseurs

En observant la Figure I.2a et la Figure I.2b, il est à conclure qu'il suffit de connecter la source à la sortie du réseau pour passer d'une association SIPO à une association PISO. Cela est possible si la cellule élémentaire est bidirectionnelle en transfert de puissance. Dans ce cas, les interconnexions dans le système seront simplifiées et il sera possible de mettre en place un système de gestion de l'association des cellules élémentaires plus compact et moins complexe.

Plusieurs CE et groupes de CE peuvent être associés en série et/ou en parallèle. Par conséquent le niveau de la puissance transférée par le R $\mu$ C varie en fonction du nombre de CE. La Figure I.3 illustre de façon qualitative la variation de la puissance du réseau en fonction de la configuration de ses cellules élémentaires.

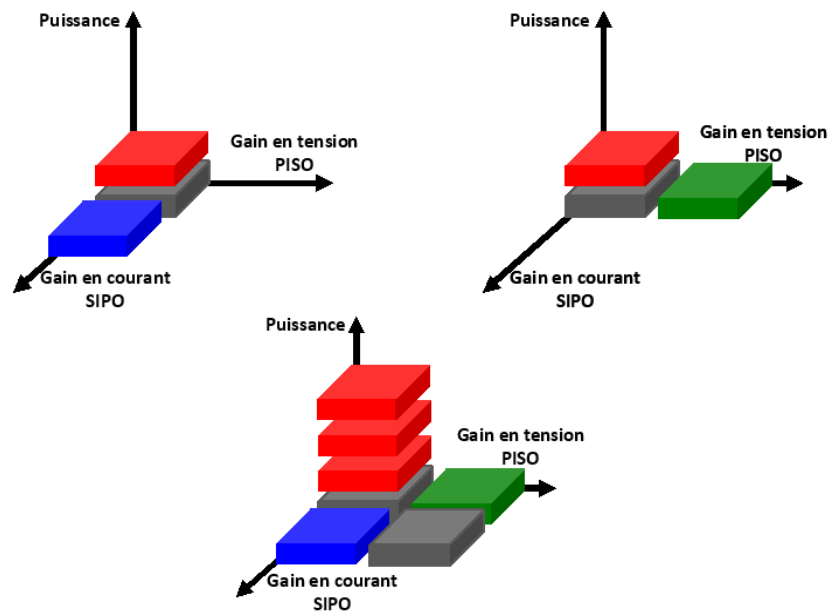


Figure I.3 - Variation de la puissance d'un réseau de micro-convertisseurs

Pour rendre viable l'approche réseau de micro-convertisseurs il est inévitable de faire face à quelques aspects critiques. L'intégration monolithique ou hybride est indispensable pour la miniaturisation, la fiabilisation et la production collective des cellules élémentaires tout en prenant en compte les contraintes électriques et thermiques tout en sachant que l'efficacité énergétique de la cellule élémentaire doit être la plus élevée possible car toute baisse au niveau de son rendement est pénalisante pour tout le réseau de micro-convertisseurs. Les techniques d'intégration et d'hybridation sont notamment les outils qui permettent de maîtriser et d'optimiser les pertes non seulement au niveau des composants actifs de commutation et de commande mais aussi au niveau des composants passifs. La conception de composants actifs de puissance à la base des technologies d'intégration des circuits CMOS est une approche largement utilisée pour la miniaturisation des convertisseurs [Che04], [Kat04], [Dea09], [Pal12]. Le potentiel d'intégration très fort des technologies CMOS permet d'envisager la synthèse de fonction de conversion complexe et totalement autonome. De plus, la production collective donne la possibilité d'atteindre un grand taux de *fiabilité et de reproductibilité* du système. La maîtrise des technologies d'intégration et d'hybridation a

aussi un impact important sur le facteur de dimensionnement [Lud03], [Wib08]. Un mauvais facteur de dimensionnement de la cellule élémentaire aurait des conséquences importantes sur le volume du réseau de micro-convertisseurs.

Un autre aspect de base est la commande. Elle est importante tant au niveau de la cellule élémentaire qu'au niveau du réseau. Le contrôle, l'asservissement et la communication des cellules élémentaires conditionnent, d'une part l'aptitude de reconfiguration du réseau de micro-convertisseurs et son adaptation à des cahiers de charges différents à un rendement optimal et d'autre part, le partage uniforme des courants et des tensions entre toutes les cellules élémentaires de façon à ce que leurs contraintes électriques et thermiques soient équilibrées.

### **I.2. ENJEUX ET DEFIS DU R $\mu$ C**

Les enjeux et les défis de l'approche réseau de micro-convertisseurs peuvent être mieux appréciés suite à la mise en situation des problèmes et des challenges de conception des structures de conversion d'énergie. Dans ce contexte des exemples de comparaison de quelques applications courantes sont donnés pour mettre en évidence l'apport de la mise en œuvre du R $\mu$ C.

#### **I.2.1 LE R $\mu$ C DANS DES APPLICATIONS VRM**

Les convertisseurs multi-phases ou entrelacés représentent des convertisseurs qui ont plusieurs phases en parallèle (voir Figure I.4). Ils deviennent de plus en plus attractifs pour des applications VRM grâce à leur fréquence de découpage apparente élevée, les ondulations réduites de courant de sortie, la réduction de la taille des composants passifs et la répartition des pertes entre tous les composants mais également compte tenu des dynamiques de réponse qu'ils offrent via une réduction significative des moyens de stockage [Bou09], [Mey10]. Ils sont généralement utilisés dans des applications basses tensions, forts courants nécessitant des dynamiques de réponse importantes comme, par exemple, les alimentations des microprocesseurs [Zha96], [Pan02], [Int09], [Yin11]. Ces spécifications induisent des défis conceptuels en termes de performances et volume. Le fort calibre en courant sous faible tension et le besoin de miniaturisation et d'intégration des VRM nécessitent une optimisation

de ces structures au niveau de la répartition des contraintes électriques et thermiques et au niveau de la réduction de la taille de leurs filtres [Bou09], [Yin11].

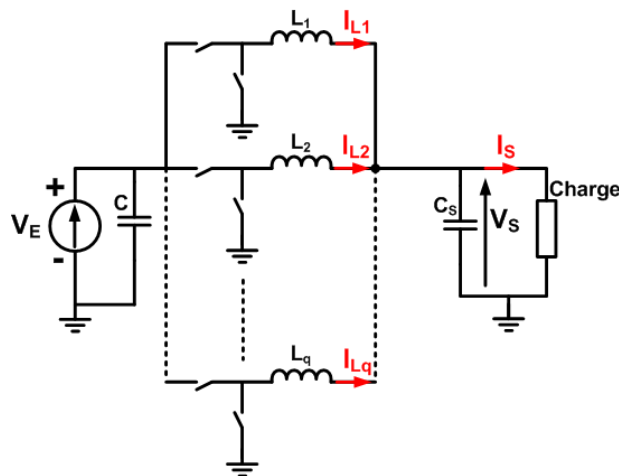


Figure I.4 – Structure d'un hacheur série entrelacé

Les signaux de commande de chaque phase des convertisseurs entrelacés ont le même rapport cyclique  $\alpha$  mais ils sont déphasés à  $2\pi/q$ ,  $q$  étant le nombre de phases. Si  $f$  est la fréquence de découpage dans chaque phase, la fréquence apparente  $f_s$  à la sortie du convertisseur est  $q$  fois plus élevée (voir Figure I.5). Par conséquent, la fréquence apparente des convertisseurs entrelacés augmente en fonction du nombre de ses phases en parallèle. Plus le nombre des bras est élevé, plus la fréquence apparente est grande et plus le volume des filtres de sortie est réduit.

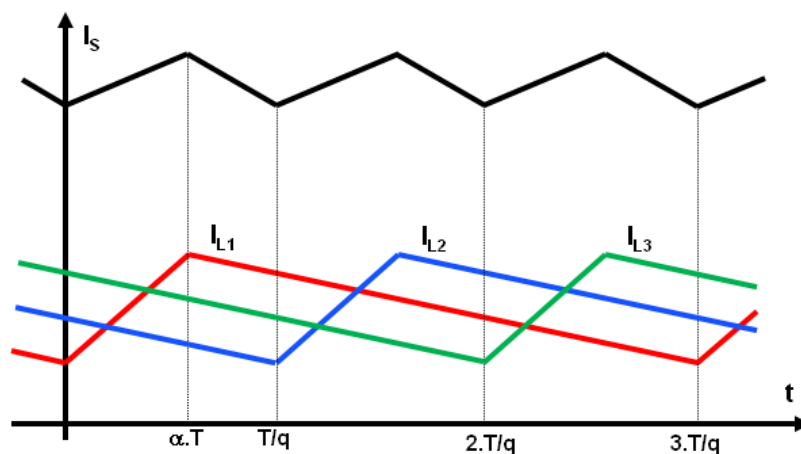


Figure I.5 – Courants de phase et de sortie d'un hacheur série entrelacé

Idéalement, l'entrelacement permet également de répartir la densité des pertes entre tous les composants. De cette façon les contraintes électriques et thermiques sur les composants



sont distribuées, ce qui peut en faciliter la gestion. D'une part, cela mène à la réduction de leur taille, ce qui offre aussi une réduction significative du stockage d'énergie au niveau des filtres et une meilleure dynamique de réponse par rapport aux convertisseurs monophasés. D'autre part la mise en place d'un refroidisseur peut ne plus être nécessaire en utilisant de techniques de report des composants de façon à drainer la chaleur via le routage du circuit imprimé [Bou09].

L'ondulation du courant de sortie  $\Delta I_S$  d'une structure entrelacée avec inductances indépendantes peut être nulle pour un rapport cyclique  $\alpha$  égal à  $1/q$ , et maximale pour  $\alpha$  égal à  $1/2q$  (voir Figure I.6). Cela permet de réduire encore plus la valeur des inductances et d'optimiser leur dimensionnement pour des cas particuliers.

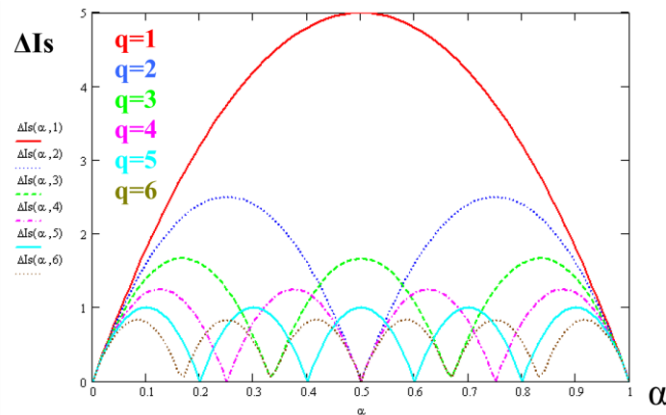
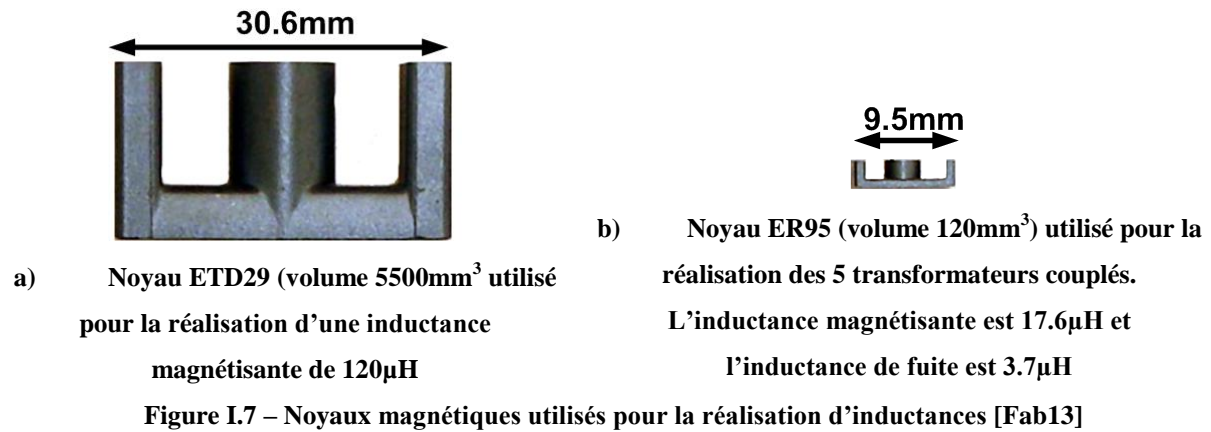


Figure I.6 – Amplitude de l'ondulation du courant de sortie en fonction du nombre des bras et du rapport cyclique [Kev11]

En complément, l'utilisation de transformateurs intercellulaires ou de coupleurs est un concept très prometteur en termes d'intégration et trouve de plus en plus d'applications dans les convertisseurs entrelacés [Cos07], [Bou08], [Dju12]. Cette technique de couplage des inductances permet de réduire encore plus le volume des composants magnétiques et par conséquent celui du convertisseur. La Figure I.7a montre le noyau magnétique utilisé pour la réalisation d'une inductance pour une ondulation du courant de 0.5A dans un convertisseur monophasé à accumulation inductive pour une puissance de 60W (12V/5A/100kHz). Pour la version entrelacée de 5 bras du même convertisseur, le volume total des noyaux magnétiques utilisés pour la réalisation de transformateurs couplés en cascade cyclique [Par97], [Bou08] a été réduit de presque 10 fois (voir Figure I.7b).



Il s'avère alors que les convertisseurs entrelacés à couplage magnétique offrent la possibilité d'atteindre des densités de puissance très importantes. En revanche, ils sont pénalisés en termes de complexité. Plus le nombre de phases augmente pour arriver à des densités de puissance importantes, plus le nombre des composants augmente et par conséquent, le nombre d'interconnexions augmente aussi. De plus, pour certaines applications il est nécessaire de mettre en œuvre de modules d'instrumentation au niveau chaque phase [Mlb09] afin d'équilibrer les contraintes électriques et thermiques dans chaque bras. Le grand nombre de composants et d'interconnexions rend les structures entrelacées plus complexes, ce qui diminue leur fiabilité et induit des efforts et des durées de conception importants à chaque nouveau cahier des charges, le résultat théorique étant souvent au rendez-vous mais la mise en œuvre industrielle et la fiabilisation étant plus difficile à atteindre.

Le réseau de micro-convertisseurs peut être tout autant un simple convertisseur buck qu'un VRM. Le nombre des cellules élémentaires actives dans une association SIPO lui permet de baisser la tension de sa sortie et de gérer la valeur du courant fourni. A l'instar des convertisseurs entrelacés, les contraintes électriques et thermiques sont réparties entre ses cellules élémentaires mais bien qu'elles soient physiquement identiques grâce à leur fabrication collective, un déséquilibre peut être produit par des disparités et des imperfections dans l'assemblage de chacune. Si les interconnexions au sein du R<sub>µ</sub>C n'ont pas les mêmes paramètres géométriques (longueur, largeur etc.), elles pourraient aussi déséquilibrer les impédances des cellules élémentaires. Par conséquent, il sera aussi nécessaire d'instrumenter chaque cellule élémentaire pour que leurs pertes soient uniformément partagées.

La mise en place d'un R<sub>µ</sub>C offre un avantage par rapport aux filtres de sortie. D'une part, les composants de filtrage dans chaque cellule élémentaire sont dimensionnés en fonction de

ses calibres en tension et en courant, ce qui réduit le stockage d'énergie au sein de la CE. Ceci va conditionner une réponse dynamique rapide de tout le système à chaque variation de la charge. D'autre part, un entrelacement des cellules élémentaires réduit significativement avec le nombre de cellules mises en œuvre toutes ondulations de tension et/ou de courant. A la différence des structures parallèles classiques, il s'agit ici d'un entrelacement en série. Néanmoins, les ordres de commande de chaque cellule élémentaire doivent être déphasés de  $\varphi=2\pi/N$ ,  $N$  étant le nombre des cellules élémentaires (voir Figure I.8). Par exemple, dans un cas de mise en série, compte tenu du fait que chaque cellule élémentaire fonctionne à une fréquence élevée ( $f_{CE}=1\text{MHz}$ ) et sous faible tension, suite à l'entrelacement, la fréquence apparente de l'ondulation de tension sera égale à  $N.f_{CE}$ , pour une ondulation de tension égale à la tension d'une cellule élémentaire, réduisant considérablement les besoins de filtrage nécessaires.

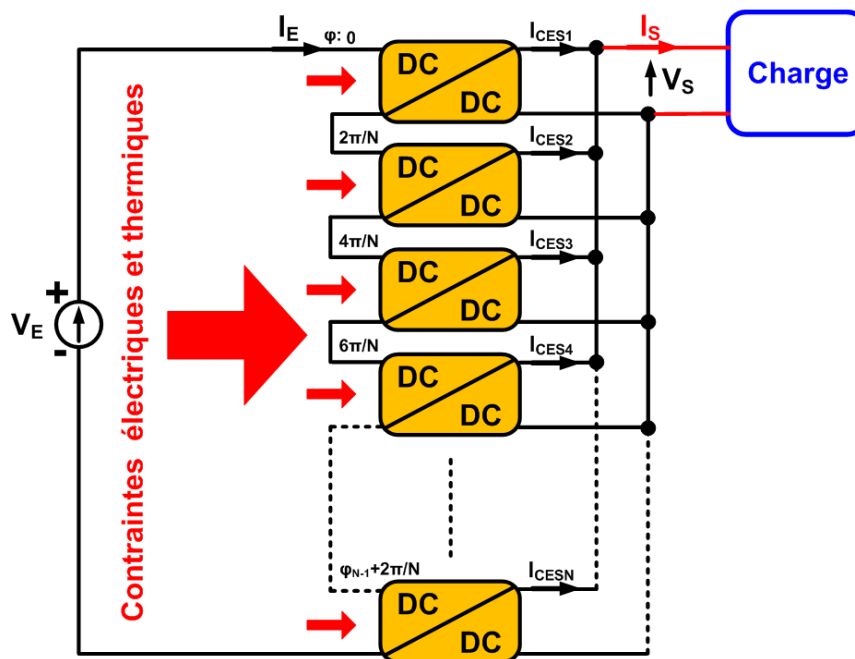


Figure I.8 – RμC en association SIPO pour une application VRM

En termes de fiabilité, le RμC ne se différencie pas des structures entrelacées surtout à cause du fait que la technologie de sa mise en œuvre n'est pas encore maîtrisée. Le risque d'avoir des disparités entre les cellules élémentaires nécessite la mise en place de modules d'instrumentation, de monitoring et d'une commande plus complexe. Pour augmenter la fiabilité du RμC, il est nécessaire de développer sa technologie de mise en œuvre à l'échelle des technologies d'intégration des circuits intégrés.

Quelques applications potentielles des architectures de conversion à base de réseau de micro-convertisseurs seront illustrées dans la suite.

### **I.2.2 LE R $\mu$ C DANS LES SYSTÈMES DE GESTION DES BATTERIES**

Les systèmes de gestion des batteries (BMS) sont largement utilisés dans les véhicules électriques et dans des applications alimentées par des batteries contenant un certain nombre de cellules connectées en série afin d'obtenir les niveaux de tension souhaités. Bien que évidente dans ces conditions, la mise en série de cellules n'en demeure pas moins complexe car elle doit faire face aux problèmes liés aux disparités entre les cellules. En effet, la quantité d'énergie qu'une batterie dont toutes les cellules sont connectées en série peut fournir, dépend de la cellule la plus faible, autrement dit de celle présentant la plus faible capacité. Aller au-delà induirait une décharge profonde de cette cellule ce qui conduirait à en dégrader encore davantage ses caractéristiques. Le rôle du BMS est d'encadrer la bonne utilisation des cellules constituant la batterie et de prolonger leur durée de vie, en s'assurant de leur bon état de charge et de santé, et en contenant leur exposition aux contraintes électriques et thermiques. Les fonctions principales d'un BMS sont alors la protection, le monitoring de l'état de charge et de santé des cellules dans le pack ainsi que l'équilibrage du niveau de tension ou de charge des cellules le constituant. C'est notamment la dernière fonction qui est assurée par la mise en place de dispositifs appelés équilibrateurs. Il existe deux grandes familles d'équilibrateurs : les équilibrateurs passifs ou dissipatifs et les équilibrateurs actifs [Kut96], [Fab13].

La technologie d'équilibrage passif consiste à retirer l'énergie de la cellule la plus chargée de la batterie en la dissipant dans une résistance branchée en parallèle afin de permettre à la charge de continuer dans les autres cellules et assurer le même niveau de tension sur toutes les cellules en fin de charge. Cette technique d'équilibrage est simple, ce qui la rend peu coûteuse. En revanche, la transformation de l'énergie en chaleur n'apporte aucun gain énergétique et ne maximise pas la capacité d'utilisation des batteries tout en générant de la chaleur qu'il faut évacuer. En effet, dans le cas des systèmes de puissances plus élevées, la chaleur générée dans l'enceinte du pack peut affecter les cellules lors d'un équilibrage avec des courants élevés. De plus, l'équilibrage passif n'est opérationnel que pendant la phase de charge de la batterie. En ce sens, lors des phases de décharge, il ne peut contribuer à étendre

les caractéristiques du pack, celui-ci restant limité par celles du plus faible élément le constituant.

Contrairement aux équilibreur passifs, les équilibreurs actifs sont des convertisseurs DC/DC qui autorisent le transfert d'énergie entre les cellules de la batterie et par conséquent évitent qu'elle ne soit perdue. Ils égalisent les écarts de tensions et/ou de charges en récupérant l'énergie des cellules dont le niveau de tension est le plus élevé (cellules plus chargées disposant de plus d'énergie) pour la transférer vers celles dont le niveau de tension est le moins élevé, représentatif d'un niveau de charges plus faible. De cette façon, toute la batterie se charge et se décharge uniformément vis-à-vis d'un taux de charge relatif au potentiel de chaque cellule. Ceci mène à la maximisation de la quantité d'énergie que la batterie peut stocker puis fournir. Les structures de base des équilibreurs actifs sont présentées dans la Figure I.9. Le fonctionnement détaillé de chacune d'elles est présenté dans les références suivantes [Kut96], [Fab13].

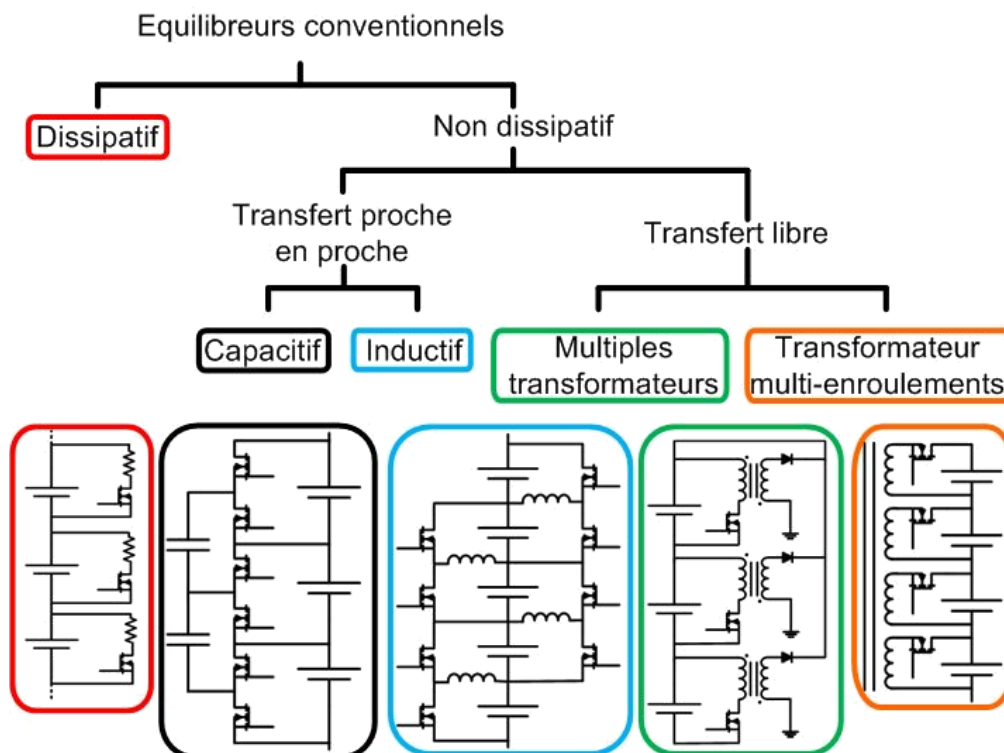


Figure I.9 – Schéma d'équilibreurs actifs [Fab13]

L'équilibrage actif des cellules ou des groupes de cellules est aussi possible avec un réseau de micro-convertisseurs. La réversibilité de ses cellules élémentaires permet de récupérer l'énergie des cellules des batteries les plus chargées et l'envoyer à celles qui sont

moins chargées. Son avantage par rapport aux autres structures est d'une part sa capacité d'intégration et la réalisation d'une structure active de courant élevé. D'autre part, sa modularité nous aide à facilement l'intégrer dans des batteries de n'importe quel nombre de cellules ou groupes de cellules sans qu'il soit nécessaire de changer ou d'adapter sa structure. Ainsi, sur la base d'une structure de conversion unique associée en série et en parallèle sans contrainte, la structure d'équilibrage actif pourra être adaptée à n'importe quel cahier des charges en courant d'équilibrage (mise en parallèle), en nombre de cellules à équilibrer (mise en série) sans avoir à revoir la conception du système ni le dimensionnement des composants (voir Figure I.10). La mise en œuvre systématique des cellules garantira un accès rapide aux plus hauts niveaux de fiabilité.

Grâce à sa structure générique basée sur l'intégration, il répond bien à la tendance actuelle de miniaturisation des équilibreurs [Mkc12]. La mise en place du R $\mu$ C pour une application d'équilibrage est développée en détails dans les travaux de thèse de [Hai13].

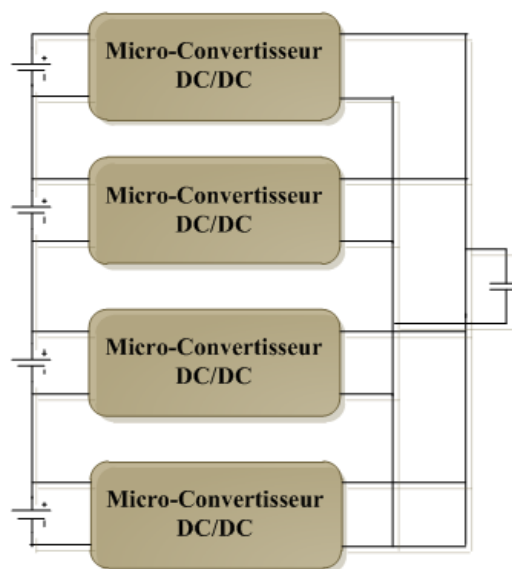


Figure I.10 – Exemple d'un R $\mu$ C pour une application d'équilibrage de batteries [Hai13]

### I.2.3 LE R $\mu$ C DANS LES INSTALLATIONS PHOTOVOLTAÏQUES

Les installations photovoltaïques sont composées de deux étages principaux de conversion d'énergie : les panneaux solaires et les convertisseurs. Les panneaux solaires ou les modules photovoltaïques sont composés de plusieurs cellules photovoltaïques qui transforment l'énergie solaire en électricité. Elles peuvent être connectées en série et/ou en parallèle afin

d'obtenir la tension et le courant souhaités. Leur groupement en série fait en sorte que la tension à la sortie du module PV est égale à la somme des tensions des cellules le constituant et un groupement des cellules PV en parallèle additionne leurs courants.

Les caractéristiques d'un module PV peuvent varier en fonction de la température, de l'éclairement, du vieillissement des cellules le constituant et de l'effet d'ombrage. Si une cellule PV est dégradée ou ombrée dans une série (string) de cellules PV, elle va produire moins de courant, ce qui limitera le courant des cellules non-ombrées. D'autre part, ces derniers imposeront leur courant sur la cellule ombrée la forçant à fonctionner en polarisation inverse. Ceci mène à une dissipation de chaleur au niveau de celle-ci et de pertes de l'énergie produite. Pour pallier ce problème, des diodes de bypass sont mises en antiparallèle des groupes de cellules PV. Dans ce cas, si une cellule PV est ombrée, en devenant passante la diode la court-circuite et elle ne dissipe pas d'énergie mais, en revanche, toute sa puissance est perdue et par conséquent, la puissance de tout le module diminue. La Figure I.11 illustre les caractéristiques d'un module PV composé de quatre groupes de cellules PV connectés en série avec diodes de by-pass.

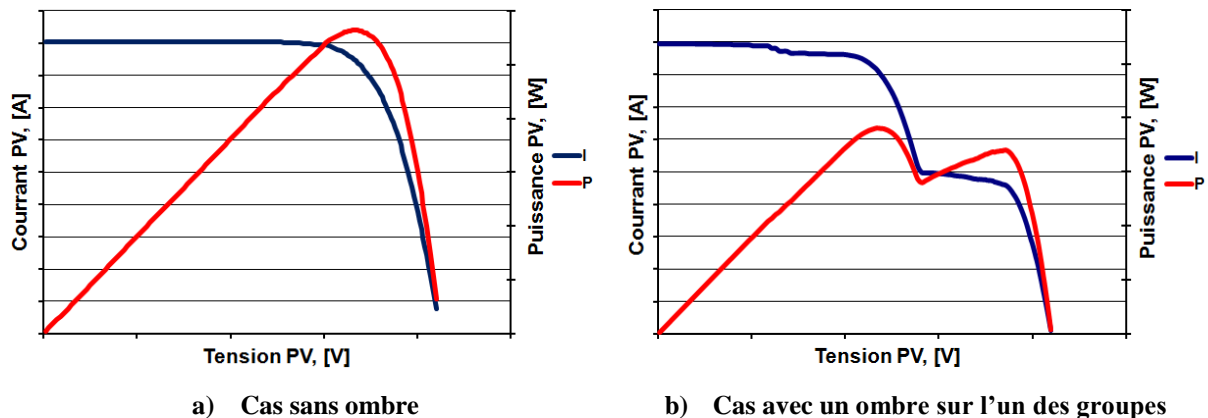
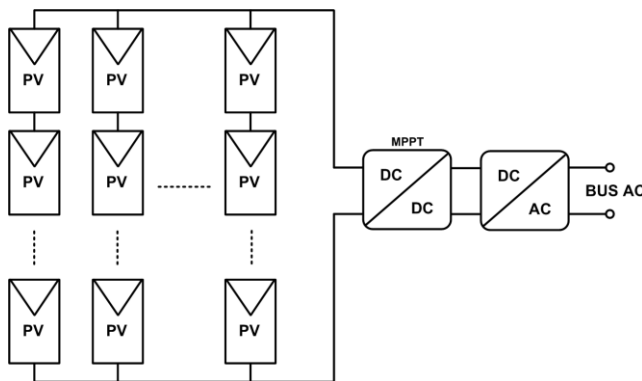


Figure I.11 – Caractéristique I-V et P-V d'un module photovoltaïque

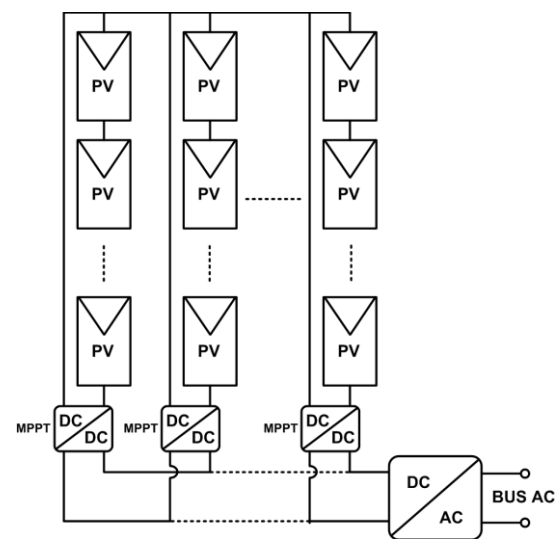
Dans les systèmes PV conventionnels, les structures d'électronique de puissance ont pour objectif d'une part d'adapter l'énergie produite par les panneaux solaires à une charge ou au réseau électrique et, d'autre part d'optimiser leur production d'énergie. Tenant compte de la caractéristique non linéaire des cellules PV, les convertisseurs sont chargés de trouver le point de fonctionnement à puissance maximale (MPP) du système grâce à la mise en place d'algorithmes de recherche et de détection du MPP. Des travaux de thèse ont déjà porté sur l'étude et la caractérisation des architectures de conversion d'énergie pour les applications

solaires et les impacts d'ombrage [Pet09], [Pic10], [Vig10], [Lui13]. Les topologies des onduleurs centraux sont les plus simples, les plus fiables, les moins coûteuses et de plus grand rendement pour la production d'énergie par un champ de modules photovoltaïques (voir Figure I.12a) [Teo10]. En revanche, chaque module peut avoir un MPP différent à cause d'intermittence due aux disparités dans leurs caractéristiques pendant la fabrication, aux ombrages partiels, aux variations de la température etc. Dans ce cas les onduleurs centraux sont pénalisés en terme de productible puisque le contrôle du MPP est aussi centralisé et fixe au même point pour tous les modules PV.

Dans ce contexte, les topologies décentralisées ou distribuées deviennent de plus en plus attractives [Ped05], [Wal06]. Chaque module ou série de modules du champ photovoltaïque est indépendant et il fonctionne à son propre MPP, ce qui maximise le productible du système en cas d'intermittence. Les topologies distribuées les plus courantes sont munies d'un étage DC/DC qui fixe le MPP au niveau d'une série de modules (voir Figure I.12a) ou au niveau de chaque module (voir Figure I.12b et Figure I.12c). Leurs sorties peuvent être connectées en parallèle ou en série en fonction du courant et de la tension désirée et ensuite un onduleur est utilisé pour raccorder le système au réseau (voir Figure I.12c et Figure I.12d). Le nombre de modules PV auxquels l'entrée d'un convertisseur peut avoir accès s'appelle *granularité*. Plus la granularité est grande, plus le productible augmente grâce aux bénéfices qu'apporte la mise en place d'une commande MPPT décentralisée [Wal06], [Hen09], [Trs12]. Plusieurs solutions technologiques liées à la mise en œuvre de convertisseurs dans des installations PV ont été proposées [Wal06], [Teo07], [Nim10], [Har12]. Ce type de convertisseurs sont appelés « systèmes séries ».



a) Onduleur central



b) Hacheur rangé



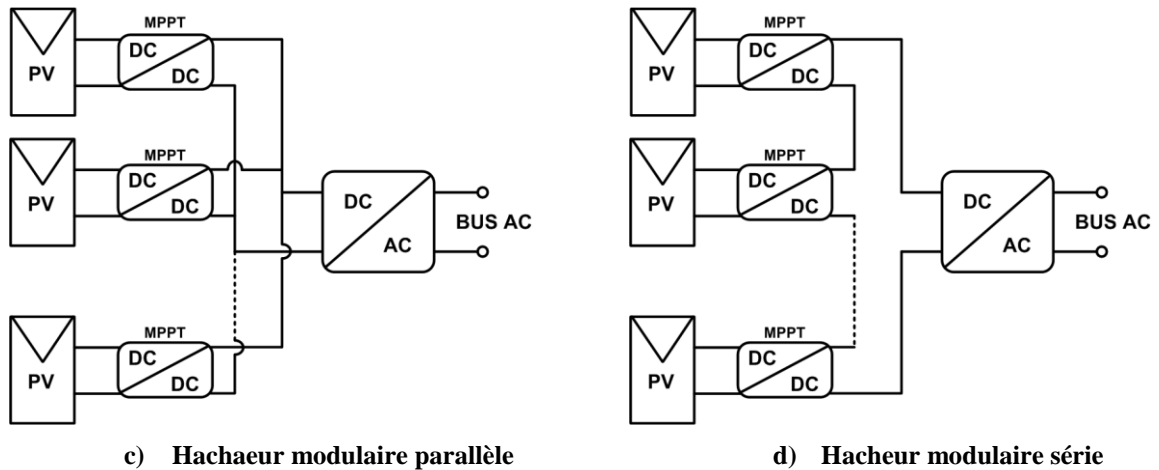


Figure I.12 – Topologies de base des convertisseurs PV

Il existe aussi d'autres approches et d'autres structures d'électronique de puissance permettant l'amélioration des performances des systèmes solaires comme les équilibreurs photovoltaïques. Des travaux de thèse sur ce sujet ont été menés par [Vig09] et [Lui13]. Ce type de convertisseurs sont appelés « systèmes parallèles » car un échange d'énergie se fait des cellules PV ou des groupes de cellules PV qui produisent plus d'énergie vers les cellules PV ou les groupes de cellules PV qui en produisent moins dans le but d'équilibrer l'énergie produite par chaque cellule ou groupe de cellules au niveau d'un ou plusieurs modules PV et de faciliter la recherche du point de puissance maximale.

L'amélioration de l'efficacité et de la fiabilité, l'augmentation de la quantité et de la qualité de l'énergie, la réduction de l'encombrement et la simplification de la commande sont les critères principaux des systèmes d'électronique de puissance pour rendre performante une installation photovoltaïque. Le réseau de micro-convertisseurs peut être utilisé dans une application photovoltaïque comme un système série en tant qu'un hacheur modulaire (voir Figure I.13). Il est à noter que le R $\mu$ C peut aussi être utilisé comme un système parallèle en tant qu'un équilibreur photovoltaïque. Cette approche ne fera pas l'objet de cette thèse mais son fonctionnement sera analogue de celui d'un équilibreur de batteries [Hai13].

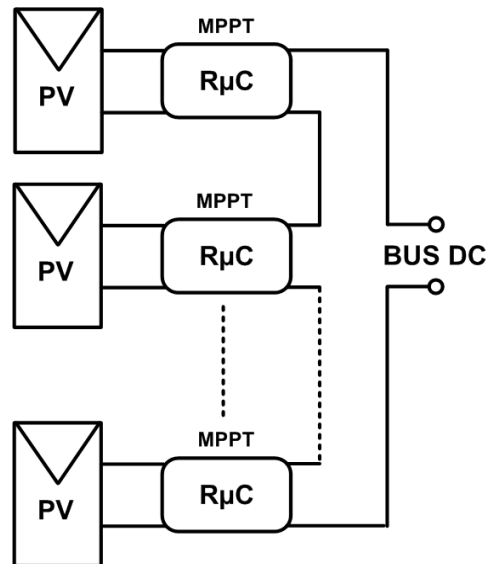


Figure I.13 – Schéma de RμC pour une application PV

Etant une structure reconfigurable, le RμC peut être adapté et raccordé au niveau d'une série de modules PV, au niveau d'un seul module PV et voir au niveau des cellules PV. La seule contrainte sera la tension d'alimentation d'une cellule élémentaire du RμC qui requiert un nombre minimal de cellules PV. En effet, il est possible de mettre en place une commande MPPT au niveau de chaque cellule du RμC. Ceci permet de bénéficier des avantages d'un MPPT décentralisé afin de maximiser le productible d'un système solaire en cas d'intermittence. Offrant un fort potentiel d'intégration et une très bonne granularité, le RμC offre une finesse importante dans la gestion de l'énergie disponible et permet, par conséquent, d'obtenir un productible plus élevé par rapport à celui des convertisseurs modulaires actuels. Un point faible est le rendement du RμC qui est plus faible que celui des autres convertisseurs puisqu'il est en fonction du rendement de chaque cellule élémentaire qui est dimensionnée pour un calibre de puissance faible. Si des pertes liées à l'ombrage sont davantage tolérées, la granularité sera diminuée et cela va se traduire par la mise en place de convertisseurs de plus forte tension avec un meilleur rendement.

Quelques critères peuvent être définis afin d'évaluer et de comparer les performances des systèmes séries d'électronique de puissance dans les installations photovoltaïques de façon qualitative et de relever les défis de la mise en place du RμC dans une installation photovoltaïque. La Figure I.14 montre une comparaison entre le RμC et les systèmes d'électronique de puissance classiques. Les performances sont évaluées par rapport à une grille d'évaluation (voir Tableau I.1).

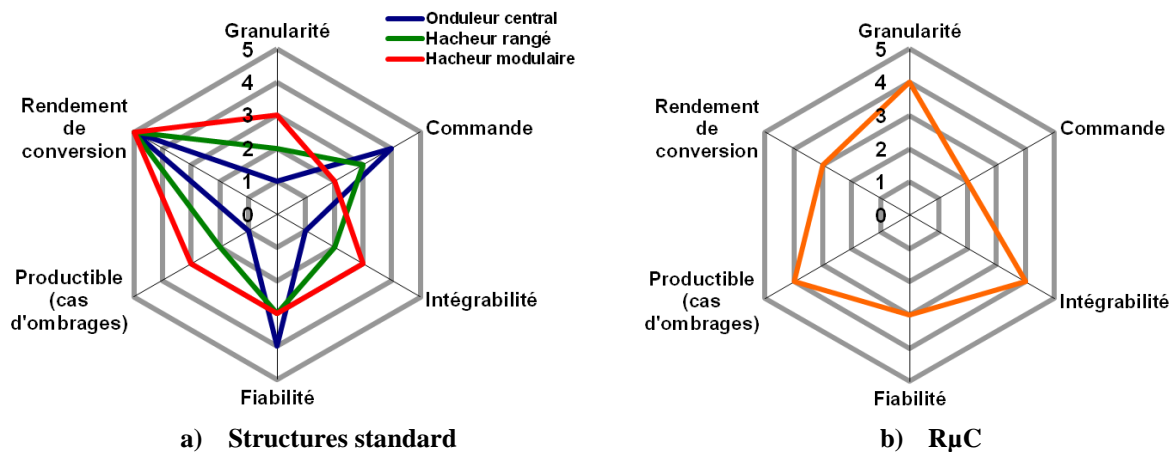


Figure I.14 – Performances des convertisseurs PV

Tableau I.1 – Grille d'évaluation des convertisseurs pour applications PV

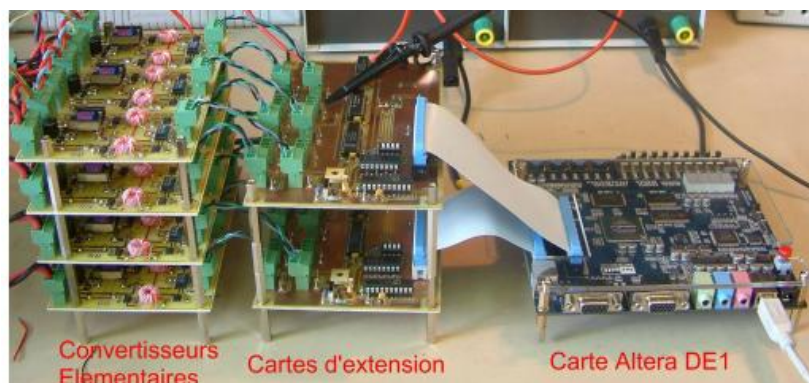
Critère	Note 1	Note 5
<i>Granularité</i>	Plusieurs modules	Une cellule
<i>Rendement de conversion</i>	Rendement < 80%	Rendement > 95%
<i>Productible au cas d'ombrages (par rapport à un système avec diode de bypass)</i>	0%	>90%
<i>Fiabilité</i>	Forte possibilité que le système tombe en défaut	Faible possibilité que le système tombe en défaut
<i>Intégrabilité des composants actifs et passifs</i>	Aucun composant ne peut être intégré	Tous les composants peuvent être intégrés
<i>Commande</i>	Complexe et sensible	Simple et robuste

Le rendement du R $\mu$ C étant plus faible rend cette approche moins adaptée aux grandes séries (strings) de modules PV qui nécessitent la mise en place de convertisseurs à plus forte tension dont le rendement peut atteindre 98%. A basses tensions, basé sur les technologies d'intégration, le R $\mu$ C est plus compétitif en termes de rendement par rapport aux autres structures de la même gamme de puissance [Pet09]. En augmentant la granularité, la mise en place du R $\mu$ C devient intéressante grâce à la possibilité d'améliorer le productible du système. Le MPPT décentralisé du R $\mu$ C offre des bénéfices en productible plus importants à la différence des autres architectures, ce qui fait que cette approche peut être plus attractive pour les installations dans les bâtiments où les ombrages sont un phénomène souvent rencontré. Les bénéfices qu'apporte la mise en place d'un MPPT décentralisé sont contrebalancés par une commande plus complexe. Sa complexité est due au contrôle du MPP qui peut être extrêmement décentralisé. Le besoin d'une telle commande au niveau de chaque groupe de cellules PV a également un impact sur la fiabilité du système entier.

Cette partie a présenté les défis de la mise en place du réseau de micro-convertisseurs dans des différentes applications. Grâce à la possibilité d'associer ses cellules de façon flexible et de les piloter indépendamment, le R $\mu$ C offre des avantages en termes d'optimisation des composants de filtrage et de la gestion d'énergie au sein d'un système d'électronique de puissance. Cette approche n'étant pas encore mûre, fait que ses performances en terme de rendement à forte tension et de fiabilité ne sont pas encore optimales. Dans la suite nous allons étudier les contraintes technologiques rencontrées au cours des travaux précédents sur ce sujet et définir les pistes pour l'amélioration des performances de la cellule élémentaire et par conséquent celles du R $\mu$ C.

### **I.3. EVOLUTION TECHNOLOGIQUE ET PERSPECTIVES**

La discrétisation de la fonction de conversion et l'effort de conception qui justifie l'approche réseau de micro-convertisseurs ont été mis en évidence par [Hdt09]. Dans un premier temps l'optimisation de la cellule élémentaire ne fut pas l'objectif principal d'étude. La recherche était focalisée sur la problématique de la mise en réseau d'un très grand nombre de micro-convertisseurs. Une étude a été menée par rapport au stockage d'énergie au sein du réseau pour compenser le nombre d'éléments de filtrage qui augmente en fonction du nombre de cellules élémentaires. Dans ce contexte une solution, basée sur le couplage magnétique entre toutes ou des groupes de cellules élémentaires, a été proposée. Elle était caractérisée par l'introduction et la conception d'un transformateur intercellulaire, qui s'est avéré être une approche très lourde de manière conceptuelle (voir Figure I.15).



**Figure I.15 – Mise en œuvre d'un R $\mu$ C [Hdt09]**

[Del09] représente la base de tous les travaux suivants sur le sujet réseau de micro-convertisseurs. La conception et la réalisation d'une cellule élémentaire de taille extrêmement

réduite ont fait l'objet de cette thèse. La structure du micro-convertisseur a été basée sur l'intégration et l'hybridation des composants actifs et passifs (voir Figure I.16). L'intégration des parties primaire et secondaire de puissance (l'onduleur et le redresseur) a été faite sur la base de technologies CMOS déjà existantes afin de réduire la taille et le volume de la cellule élémentaire. La filière du fondeur AustriaMicrosystems AMSC35 s'avère un outil bien adapté au contexte de la conversion d'énergie et accessible via le service CMP [AMS], [CMP]. Toute une méthode de dimensionnement et de conception d'un bras d'onduleur intégré dans une puce avec sa commande rapprochée et semi-éloignée a été développée et mise en œuvre. La commande semi-éloignée avait pour objectif de simplifier la commande du R $\mu$ C en entretenant toutes les cellules élémentaires activées par un seul signal central de façon aléatoire pour ne pas changer le déphasage entre elles à chaque reconfiguration du R $\mu$ C. Un autre axe de recherche dans cette thèse a été la conception d'un micro-transformateur et d'une micro-inductance. D'un côté grâce aux faibles calibres en courant et en tension du micro-convertisseur (3.3V/0.3A) et d'un autre côté grâce à la fréquence de découpage élevée (1MHz), il était possible de concevoir des composants passifs de tailles très réduites mais en revanche la réalisation technologique est restée un point bloquant. C'est notamment la raison pour laquelle la conception et la réalisation de micro-transformateur et micro-inductances ont été abordées au cours de ce travail de thèse.

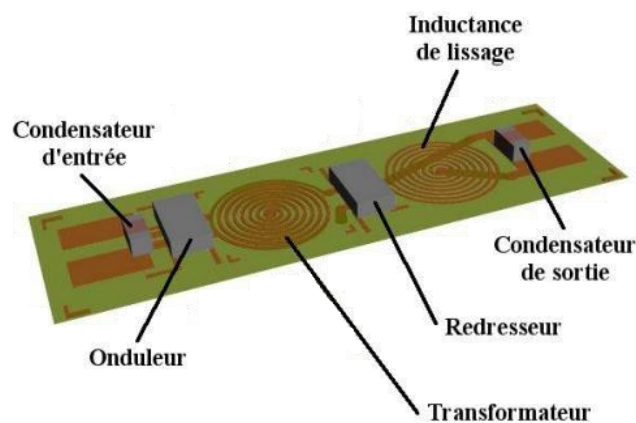


Figure I.16 – Vue en 3D du micro-convertisseur [Del09]

Un autre point bloquant qui a eu lieu pendant ces travaux est la réalisation globale du micro-convertisseur. A cause d'un potentiel flottant au niveau de l'inductance du filtre de sortie, le redresseur n'était pas opérationnel puisque son alimentation n'était pas stable. Malgré tout, ces travaux représentent le guide de conception en ce qui concerne la partie active de puissance et les commandes rapprochées et semi-éloignées.

L'intégration et l'hybridation étaient les piliers des travaux suivants qui ont eu pour objectif l'augmentation de la densité de puissance de la cellule élémentaire et la création d'un réseau [Hiu13]. Dans ce contexte, le calibre en courant a été augmenté à 2A pour la même technologie d'intégration des composants actifs utilisée par [Del09], ce qui donne une puissance plus que six fois plus élevée. La structure de la cellule élémentaire a été choisie à la base d'un compromis par rapport à des critères conceptuels comme le volume et le nombre des composants passifs et actifs, le facteur de dimensionnement, la facilité pour la commande et la compatibilité technologique. Le convertisseur standard en double pont complet a été remplacé par un convertisseur DAB qui n'a pas d'inductance de filtrage à sa sortie [Kdd91]. En ce qui concerne les composants passifs, un effort a été fait pour le dimensionnement d'un transformateur planar. Pourtant, sa taille reste importante comparée à la partie active de puissance (voir Figure I.17). De plus, il s'est avéré que la conception de la cellule élémentaire reste un point contraignant en termes de rendement. Les résultats pratiques ont montré un rendement maximal non satisfaisant de 87% pour 2W de puissance transférée. Par conséquent, bien qu'une technologie de configuration du réseau de micro-convertisseurs ait été développée, la réalisation d'un réseau est restée en arrière plan.

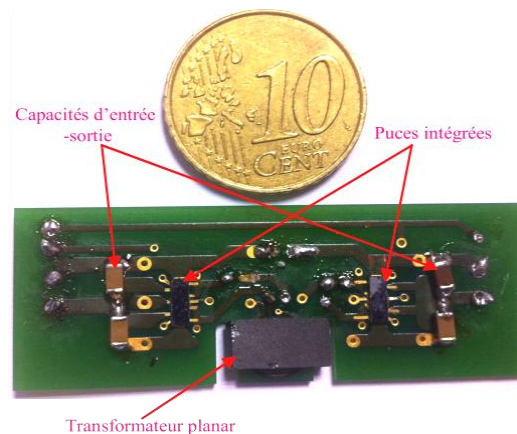


Figure I.17 – Réalisation de la cellule élémentaire [Hiu13]

A l'issue des travaux précédents, les défis technologiques et conceptuels pour la réalisation et la mise en œuvre d'un réseau de micro-convertisseurs sont mis en évidence. Il s'agit notamment de la réalisation d'une cellule élémentaire compacte et fiable dont les performances sont optimisées et d'une stratégie de configuration du R $\mu$ C simplifiant la commande et les interconnexions de celui-ci. Pour rendre viable la réalisation de cette approche, les travaux dans cette thèse seront focalisés sur les aspects suivants :

- ◆ Optimisation du volume et augmentation de la densité de puissance de la cellule élémentaire. Ceci sera possible grâce aux technologies d'intégration et de report des composants actifs disponibles. Jusqu'à maintenant la cellule élémentaire a été dimensionnée pour 3.3V [Del09], [Hiu13] mais la technologie d'AMS C35b4 permet de concevoir des circuits intégrés jusqu'à 5V [AMS], [CMP]. L'augmentation de la puissance de la cellule élémentaire permettra d'optimiser d'une part son rendement et d'autre part d'augmenter sa densité de puissance. Des solutions pour l'évacuation de la chaleur par le substrat de la CE seront étudiées et mises en œuvre afin de réduire au maximum les dimensions de la cellule élémentaire.
  
- ◆ Optimisation des phénomènes parasites au niveau de la cellule élémentaire. Même si les rendements des cellules élémentaires dans les travaux précédents n'étaient pas bons, les résultats étaient encourageants. Les technologies d'assemblage de la cellule élémentaire ont une importance majeure pour l'amélioration de ses performances. Ce sont notamment les procédés de report des composants actifs sur le circuit imprimé qui rajoutent des résistances de contact et inductances parasites dans les circuits. Le report flip-chip est une solution pour assurer un bon contact électrique et mécanique entre les circuits intégrés et le circuit imprimé par la brasure directe des plots des puces sur les zones de contact au niveau du substrat. Ceci permet ainsi d'étudier et développer des solutions pour la gestion thermique de la CE. Dans ce contexte, des techniques de report seront étudiées, caractérisées et mises en œuvre.
  
- ◆ Solution pour l'intégration d'une matrice de connexions qui permettra de reconfigurer les cellules élémentaires en fonction du cahier de charges souhaité. Cette matrice est composée de plusieurs interrupteurs [Hiu13] qui peuvent être configurés en fonction de l'association désirée des cellules élémentaires. Ce point est important compte tenu du fait que le nombre des interrupteurs et des connexions dans la matrice augmente en fonction du nombre des CE au sein du réseau. Plus le réseau est flexible au niveau des cahiers de charges, plus la matrice de reconfiguration est complexe. Par conséquent, une solution pour l'intégration des interrupteurs de la matrice de reconfiguration sera développée.

- ◆ Mise en réseau et validation expérimentale de l'approche. C'est l'objectif final de la thèse, mettre en application concrète l'approche R $\mu$ C sur un ou deux cas concrets. La réalisation d'un démonstrateur et la validation de son fonctionnement pour une ou plusieurs applications vont justifier l'effort engagé pour la conception de la cellule élémentaire et montrer l'originalité de cette approche.

Les objectifs listés ci-dessus sont tout à fait atteignables compte tenu du fait que nous partons d'une base déjà développée. Il faudra s'appropriier les technologies et les méthodes de conception et de réalisation pour développer et améliorer, autant que les technologies d'aujourd'hui le permettent, une cellule élémentaire performante et compacte. Dans ce contexte, la section suivante porte sur les besoins de dimensionnement optimal de la cellule élémentaire.

### I.4. LA CELLULE ELEMENTAIRE

La cellule élémentaire, étant le composant de base de l'approche réseau de micro-convertisseurs, a une importance majeure. Compte tenu du fait que ses caractéristiques conditionnent celles du R $\mu$ C, elle doit forcément répondre à certains critères au niveau des performances et du dimensionnement. Une cellule élémentaire pour un réseau de micro-convertisseurs d'aujourd'hui doit avoir un bon rendement, une haute densité d'énergie, offrir une isolation primaire secondaire, être fiable et la plus simple possible. Son facteur de dimensionnement est important par rapport aux dimensions du R $\mu$ C entier. La structure en schéma bloc de la cellule élémentaire est présentée à la Figure I.18.

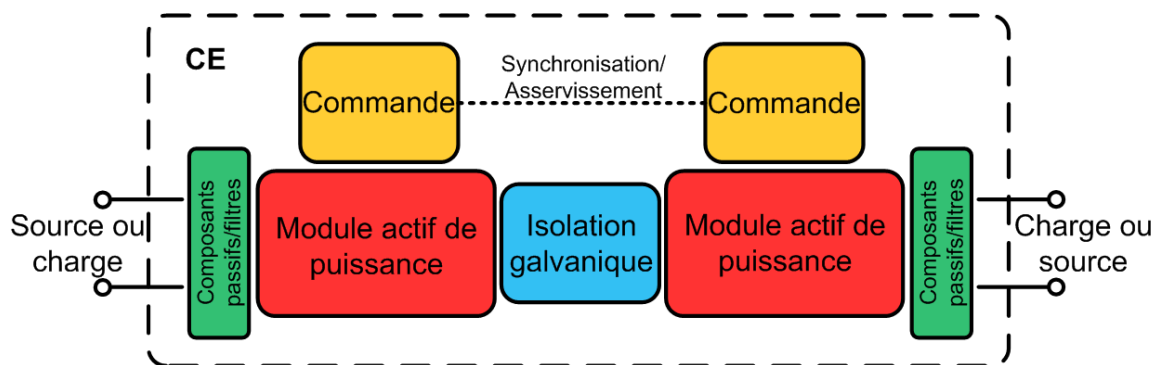


Figure I.18 – Schéma bloc fonctionnel d'une cellule élémentaire DC/DC



Une isolation galvanique est indispensable pour le couplage et l'isolation non seulement des parties primaire et secondaire de puissance de la CE mais aussi pour assurer l'isolation entre l'entrée et la sortie du R $\mu$ C entier. La mise en place d'un transformateur dans un convertisseur DC/DC fait que la mise en place d'un module onduleur et d'un module redresseur est nécessaire. L'onduleur et le redresseur représentent des modules de composants actifs qui doivent également être aptes à assurer un transfert d'énergie dans les deux sens afin de rendre le R $\mu$ C encore plus flexible au niveau des cahiers de charge. De plus, il est obligatoire que la conversion AC/DC s'effectue par un redressement synchrone afin de réduire les pertes dans les diodes. Par conséquent, le module de commande a pour but la génération des signaux afin de piloter les parties primaire et secondaire de puissance et de les synchroniser. Il est également possible d'asservir la cellule élémentaire afin de contrôler l'énergie transférée par cette dernière.

Au cours de ce travail de thèse, deux structures pour la cellule élémentaire ont été étudiées et développées, chacune ayant des performances intéressantes. Vu que leur fonctionnement a été détaillé dans [Kdd91], [Hiu13], [For13], elles seront présentées ici dans le contexte d'une mise en œuvre dans un réseau de micro-convertisseurs.

### **I.4.1 STRUCTURE EN DOUBLE PONT COMPLET**

Le choix du convertisseur en double pont complet, appelé aussi convertisseur DAB (voir Figure I.19), a été basé sur des critères comme la réversibilité, la facilité d'intégration des actifs et d'hybridation de l'ensemble des éléments ainsi que la réduction du nombre et du volume des composants passifs présenté dans [Hiu13]. La structure de base est un convertisseur à pont complet. La technique de redressement synchrone a été choisie, d'une part, pour réduire les pertes par conduction des diodes et, d'autre part, pour faciliter l'intégration. Les deux parties actives de puissance étant identiques au niveau structure, font que la même puce peut être utilisée dans les deux modules actifs de puissance. Ces derniers sont couplés par un transformateur ce qui fait que ce convertisseur présente une isolation galvanique.

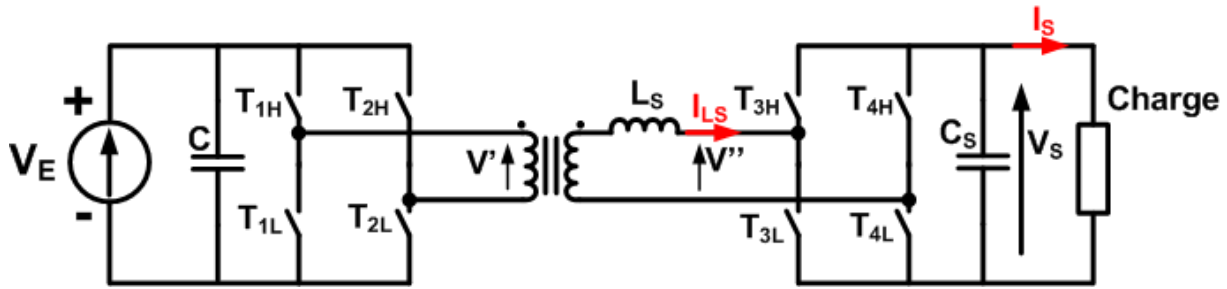


Figure I.19 – Structure du convertisseur DAB

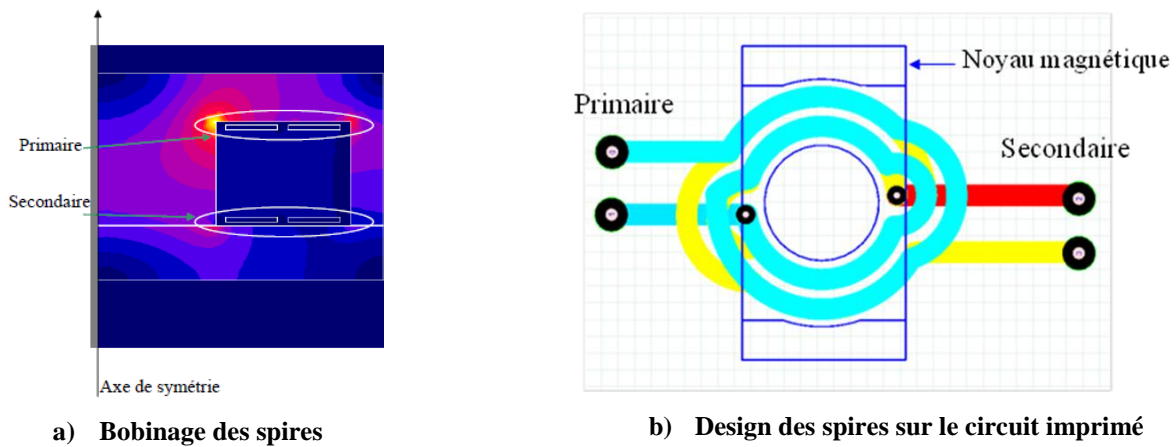
Dans les sections suivantes, les caractéristiques de la structure du convertisseur DAB vis-à-vis le R $\mu$ C seront présentées.

#### I.4.1.1 ISOLATION GALVANIQUE

Dans la structure DAB, l'inductance de fuite du transformateur permet de contrôler le transfert de puissance et par conséquent la mise en place d'une inductance supplémentaire n'est plus nécessaire. Ceci évite d'un côté le stockage d'énergie au sein de la structure et d'un autre côté économise de la surface et du volume. De plus, l'absence de cette inductance supprime automatiquement tous les problèmes liés à la stabilisation de l'alimentation du circuit de la commande rapprochée au niveau de l'étage de redresseur, en particulier pour ce qui concerne la polarisation de grille des transistors P, "high side" [Del09].

Un transformateur planar composé de noyaux standard de type ER95 qui sont les plus petits (120mm<sup>3</sup> de volume total) dans le commerce [Ferroxcube] peut être mis en place [Hiu13]. Les spires du primaire et du secondaire peuvent être directement créées au niveau du circuit imprimé lors de son tirage, ce qui est une technique fiable qui rend uniformes les caractéristiques des transformateurs de toutes les cellules élémentaires grâce à la maîtrise des procédés industriels pour la réalisation des circuits imprimés. Le noyau utilisé pour la réalisation du transformateur pour un cahier de charge pour 6 W de puissance ( $V_E=V_S=3V$ ,  $I_S=2A$ ,  $f_{déc}=500kHz$ ,  $\Delta I=0.8A$ , rapport cyclique  $\alpha=0.5$ ) [Hiu13] peut être aussi utilisé dans une structure de 10W de puissance ( $V_E=V_S=5 V$ ,  $I_S=2A$ ,  $f_{déc}=1 MHz$ ,  $\alpha=0.5$ ) pour la même valeur d'ondulation du courant dans l'inductance magnétisante mais à une fréquence de découpage  $f_{déc}=1 MHz$ . L'amélioration de son design a fait que les spires de chaque enroulement sont logées sur la même couche du circuit imprimé pour que les lignes du flux magnétique suivent l'épaisseur des conducteurs qui est très petite (épaisseur de peau à 1MHz=60 $\mu$ m, épaisseur du

conducteur=70μm), ce qui réduit l'effet de peau et la résistance  $R_{AC}$  des spires (voir Figure I.20) et ses paramètres sont donnés dans le Tableau I.2 :



**Figure I.20 – Structure modifiée du transformateur planar [Hiu13]**

**Tableau I.2 – Caractéristiques du transformateur planar**

Inductance magnétisante ( $L_m$ )	3.7μH
Inductance de fuites ( $L_f$ )	54nH
Nombre de spires au primaire et au secondaire	2
Rapport de transformation ( $m$ )	1
Résistance DC des spires ( $R_{DC}$ )	15mΩ
Résistance AC des spires à 1 MHz ( $R_{AC}$ )	38mΩ

Les pertes cuivre du transformateur peuvent être calculées avec l'expression (I.5) :

$$P_{CUIVRE} = I_{EFF}^2 \cdot R_{DC} + \Delta I^2 \cdot R_{AC(1MHz)} \quad (I.5)$$

Ceci donne autour de 97mW pertes cuivre pour une valeur efficace du courant dans l'inductance  $I_{EFF}=2.2A$  et pour une ondulation du courant  $\Delta I=0.8A$  dans l'inductance magnétisante à  $f_{déc}=1$  MHz. Les pertes fer sont autour de 30mW pour une induction de 46mT et un matériau 3F4. Les pertes totales dans le transformateur sont autour de 127mW, ce qui est autour de 1.5% du rendement de la structure DAB à 10W de puissance.

Même si nous utilisons le même transformateur que [Hiu13] la puissance va accroître de 40% pour le même volume du composant passif et avec des pertes totales de celui-ci comparables à celles de son homologue à 6W. En revanche, les composants actifs doivent être dimensionnés pour un fonctionnement optimal à une fréquence de découpage à 1MHz. Dans la suite, le mode de commande de la structure sera présenté.

**I.4.1.2 COMMANDE ET TRANSFERT D'ENERGIE**

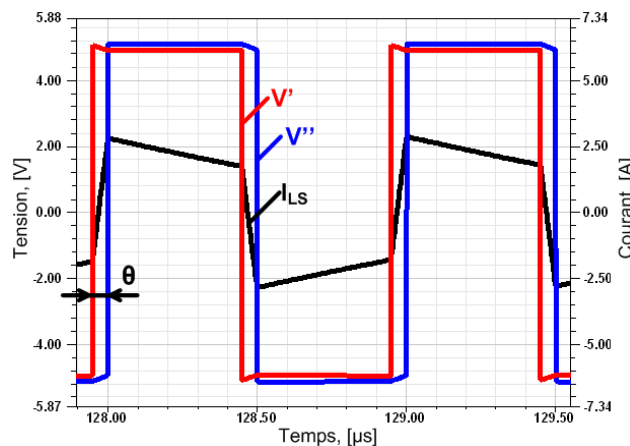
La structure est bidirectionnelle en transfert d'énergie et ceci est adéquat avec les objectifs et le cahier de charges du RμC. De plus, elle peut fonctionner en mode d'abaisseur ou d'élevateur de tension comme  $d=V_S/(m \cdot V_E)$  est le rapport entre la tension d'entrée  $V_E$  et la tension de sortie  $V_S$ , et  $m$  est le facteur de transformation du transformateur. Cette fonctionnalité offre aussi une flexibilité complémentaire du réseau au niveau de son excursion de sa tension d'entrée et de sortie. Par conséquent, la puissance transférée par le convertisseur DAB est exprimée par l'équation (I.6) :

$$P = \frac{m^2 \cdot V_E^2 \cdot d \cdot \theta \cdot (1 - 2\theta)}{f_{d\acute{e}c} \cdot L_f} \quad (I.6)$$

$\theta$  – angle de déphasage entre les parties primaire et secondaire de puissance ;

$f_{d\acute{e}c}$  – fréquence de découpage ;

A l'issu de l'équation (I.6), nous pouvons constater que le sens de transfert de la puissance dépend de l'angle de déphasage  $\theta$  entre les ordres de commande des bras d'onduleur des parties primaire et secondaire du convertisseur. La Figure I.21 illustre les formes d'onde des tensions au primaire et au secondaire du transformateur ainsi que celle du courant dans l'inductance obtenues pour une simulation avec les paramètres suivant :  $V_E=V_S=5$  V,  $I_S=2$ A,  $f_{d\acute{e}c}=1$  MHz,  $\theta=9^\circ$ , rapport cyclique  $\alpha=0.5$  et une charge résistive  $R=2,5\Omega$ . Les paramètres du transformateur sont les mêmes que ceux présentés dans le Tableau I.2 .



**Figure I.21 – Formes d'onde de base du convertisseur DAB**

(simulation :  $V_E=V_S=5$  V,  $I_S=2$ A,  $R=2,5\Omega$ ,  $f_{d\acute{e}c}=1$  MHz,  $\theta=9^\circ$ , rapport cyclique  $\alpha=0.5$ )

Par ailleurs, la quantité de la puissance transférée est aussi particulière pour différentes valeurs d'inductance de fuite ( $L_f$ ) mais elle reste fixe une fois que le transformateur est réalisé. Dans ce cas la puissance transférée va dépendre du rapport  $d$  entre sa tension d'entrée et sa tension de sortie. En effet, le rendement du convertisseur DAB est maximal si  $d$  est égal à 1 et il s'avère alors que dans le contexte de la cellule élémentaire et du réseau de micro-convertisseurs, nous avons l'intérêt de faire fonctionner cette structure avec  $d=1$ . C'est notamment l'angle de déphasage  $\theta$  qui intervient pour faire fonctionner le convertisseur au niveau de la puissance maximale transférée et par conséquent à son rendement optimal. En faisant varier  $\theta$  nous pouvons également changer le fonctionnement du DAB en mode buck ou boost mais dans ce cas le rendement ne sera plus optimal. La Figure I.22a illustre la relation entre le rendement, l'angle de déphasage et la valeur de l'inductance de fuite pour les paramètres utilisés lors de la simulation présentée ci-dessus et Figure I.22b illustre la variation du rendement en fonction du rapport  $d$ .

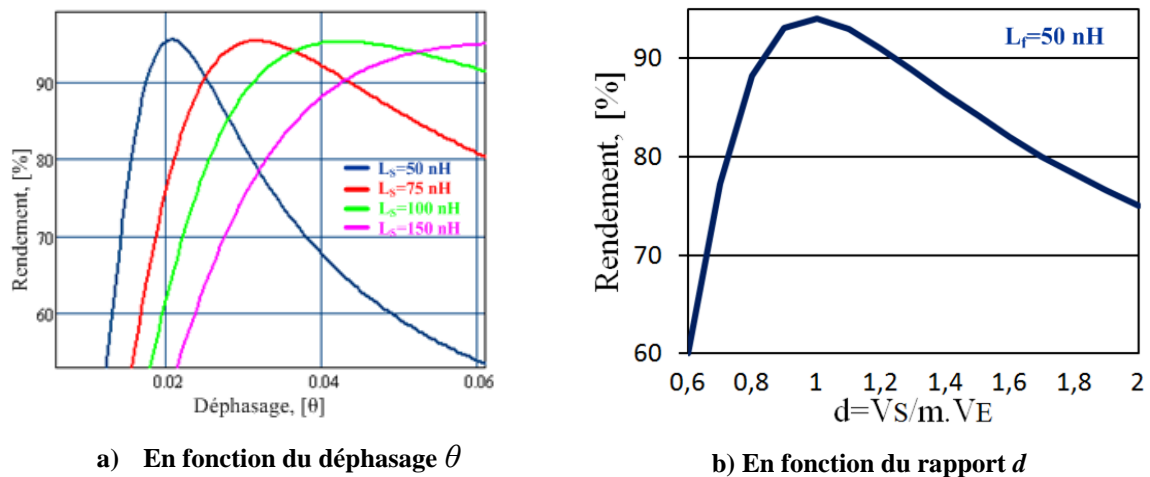


Figure I.22 – Rendement du DAB

La gestion de l'angle de déphasage est essentielle pour le fonctionnement optimal de la structure. Il effectue le contrôle du sens de transfert d'énergie et le fonctionnement au rendement maximal. Une attention particulière doit être portée à la fréquence de découpage. Plus elle est élevée, plus l'angle de déphasage doit être réglé de façon précise. Par exemple, le déphasage optimal est  $9^\circ$  ou 25 ns pour une fréquence de découpage  $f_{dec}=1$  MHz et pour une valeur de l'inductance de fuite  $L_f=54$  nH du transformateur planar. Il s'avère alors qu'il est nécessaire d'avoir un déphasage et une synchronisation des commandes des parties primaire et secondaire de puissance de l'ordre de la nanoseconde pour pouvoir fixer le fonctionnement du DAB à son rendement maximal. Cet aspect peut être contraignant puisqu'une commande

de bonne résolution exige un module de contrôle plus performant et plus consommateur. La précision du déphasage peut aussi diminuer avec la fréquence. Dans ce cas, il sera nécessaire de mettre en place un transformateur plus grand avec une inductance magnétisante et inductance de fuite plus importantes afin de limiter les ondulations respectivement dans son noyau (pour réduire les pertes cuivre en AC) et à la sortie du convertisseur pour réduire la capacité et le volume du condensateur de sortie.

### I.4.1.3 MODULE ACTIF DE PUISSANCE

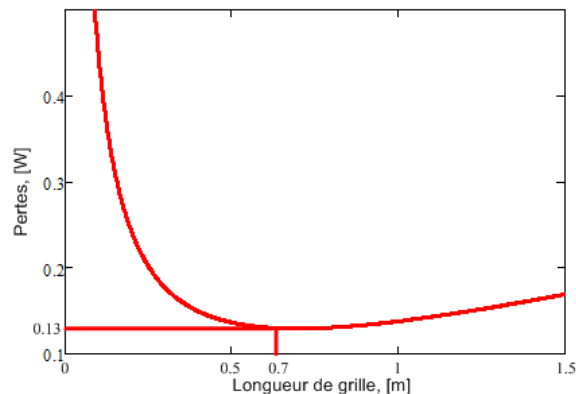
Les côtés primaire et secondaire de puissance du convertisseur DAB représentent deux ponts complets. Leur structure étant la même et le rapport  $d$  étant fixé à 1 font que les deux modules actifs de puissance ont les mêmes contraintes en tension et en courant. Par conséquent, le même composant intégré (la puce) conçu avec la technologie CMOS peut être utilisé comme un onduleur et comme un redresseur. Le dimensionnement des bras d'onduleur intégrés dans une puce avec le module de 3.3 V de la filière d'AMS C35B4 est présenté en détails dans [Del09]. Les équations (I.7) et (I.8) expriment les pertes par conduction et par commutation :

$$P_{COND} = \frac{1}{2} \cdot (R_{DSN} + R_{DSP}) \cdot I^2 \quad (I.7)$$

$$P_{COM} = \frac{1}{2} \cdot (C_{ISSN} + C_{ISSP} + C_{DSN} + C_{DSP}) \cdot V^2 \cdot f_{dec} \quad (I.8)$$

$R_{DSN}$  et  $R_{DSP}$  sont respectivement les résistances à l'état passant des transistors NMOS et PMOS et  $C_{ISSN}$ ,  $C_{ISSP}$ ,  $C_{DSN}$  et  $C_{DSP}$  sont respectivement leurs capacités d'entrée (grille-source et grille-drain) et leurs capacités drain-source. Les équations des résistances à l'état passant des transistors sont les suivantes :  $R_{DSN}=K_{RN}/W_N$ ,  $R_{DSP}=K_{RP}/W_P$ ,  $W_N$  et  $W_P$  étant les largeurs de grille des transistors NMOS et PMOS. Les capacités sont données par :  $C_{ISSN}=K_{ISS} \cdot W_N$ ,  $C_{ISSP}=K_{ISS} \cdot W_P$ ,  $C_{DSN}=K_{DS} \cdot W_N$  et  $C_{DSP}=K_{DS} \cdot W_P$ . Les coefficients de dimensionnement pour le module d'AMS C35B4 à 5V sont :  $K_{RN}=2.5 \times 10^{-3} \Omega m$ ,  $K_{RP}=9.4 \times 10^{-3} \Omega m$ ,  $K_{ISSN}=1.24 \times 10^{-9} F/m$ ,  $K_{DS}=6.18 \times 10^{-10} F/m$ . Ils peuvent être calculés ou trouvés en simulation. Il s'avère alors que dans le design kit les longueurs de grilles des transistors NMOS et PMOS sont les caractéristiques de dimensionnement de la puce. En sachant que la longueur de grille du transistor PMOS doit être 3 fois plus grande que celle du NMOS pour que les résistances  $R_{DSN}$  et  $R_{DSP}$  soient identiques afin de répartir les pertes par conduction [Del09], nous pouvons

calculer les pertes par conduction et par commutation dans la puce seulement en fonction de la largeur de grille totale des transistors NMOS (voir Figure I.23).



**Figure I.23 – Calcul analytique des pertes du module actif de puissance en fonction de la largeur de grille totale des transistors NMOS des bras d’onduleur  $V=5$  V,  $I=2$  A,  $f_{dec}=1$  MHz**

Les pertes totales optimales dans le module actif de puissance sont 130mW pour une puissance de 10W (5V/2A/1MHz) et une longueur de grille totale des transistors NMOS de 700mm. Par conséquent, la longueur de grille totale des bras d’onduleur dans ce module est 2800mm.

La topologie de la structure en double pont complet s’avère un bon candidat pour l’approche réseau de micro-convertisseurs. La possibilité d’utiliser l’inductance de fuite du transformateur planar pour contrôler la puissance transférée fait que la mise en place d’une inductance de sortie n’est plus nécessaire, ce qui réduit le nombre de composants passifs du convertisseur. De plus, la possibilité d’utiliser le transformateur planar déjà réalisé [Hiu13] avec des noyaux standards du commerce simplifie la mise en place de l’isolation galvanique. Le rendement du DAB étant maximal quand le rapport  $d$  entre sa tension de sortie et sa tension d’entrée est égal à 1 va faire en sorte que ni la tension d’entrée ni la tension de sortie n’évoluent dans des proportions importantes. Ceci impose les mêmes contraintes électriques au niveau des parties primaire et secondaire de puissance et il sera possible d’utiliser le même composant intégré pour les deux parties de puissance. En revanche, il faudra être précis au niveau de la commande de l’onduleur et du redresseur. A une fréquence de l’ordre du mégahertz le déphasage doit être de l’ordre de quelques nanosecondes, ce qui nécessite de mettre en place une commande dont la résolution est plus petite afin de pouvoir contrôler finement la puissance transférée et par conséquent faire fonctionner le convertisseur à son rendement optimal.

### I.4.2 STRUCTURE ENTRELACÉE AVEC COUPLEUR MAGNÉTIQUE

Le problème lié au nombre des composants et des interconnexions dans une structure polyphasée peut être résolu grâce aux possibilités technologiques offertes par l'intégration. C'est la raison pour laquelle un convertisseur entrelacé peut être envisagé comme structure pour la cellule élémentaire. Dans ce contexte, la structure d'un convertisseur entrelacé avec un coupleur magnétique a été considérée. Vu que son fonctionnement est décrit en détails dans [For13], cette section va aborder son principe de base, et ses caractéristiques vis-à-vis le R $\mu$ C. Sa topologie de base est une structure DC-DC avec isolation galvanique réalisée par l'association d'un pont complet effectuant une conversion continu-alternatif et d'un redresseur ayant une structure de doubleur de courant (voir Figure I.24). Cette structure peut être entrelacée par la duplication de sa version de base. La Figure I.25 montre le schéma du convertisseur avec 10 bras entrelacés :

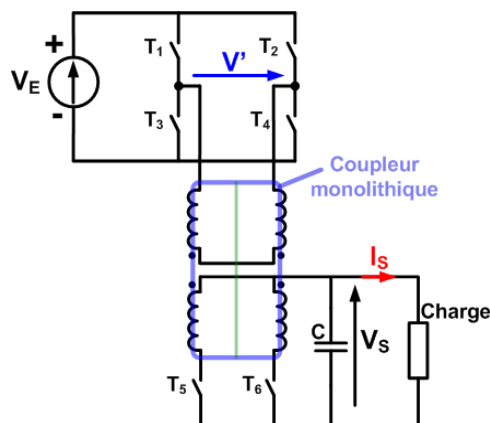


Figure I.24 – Structure de base du convertisseur entrelacé avec inductances couplées

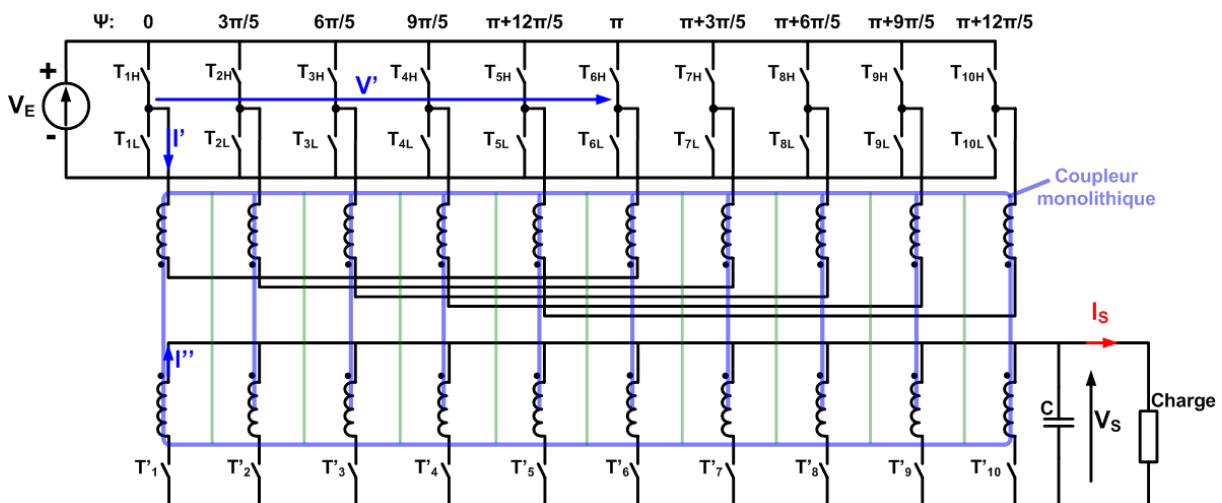


Figure I.25 – Structure d'un convertisseur avec 10 bras entrelacés et coupleur magnétique



Le nombre de phases a été choisi suite à un compromis entre l'augmentation de la fréquence apparente et la surface du module actif de puissance. Le coût de 890€ pour 1mm<sup>2</sup> de silicium pour la technologie AMSC35B4 pose de limites au niveau du nombre maximal de bras qui peuvent être intégrés. Cette approche permet de fortement réduire les ondulations de courant et de tension sur sa sortie et les contraintes de dimensionnement et de stockage d'énergie par les filtres de sortie grâce à la fréquence apparente qui peut s'élever jusqu'à 10MHz si la fréquence de découpage du convertisseur est  $f_{déc}=1\text{MHz}$ .

### I.4.2.1 ISOLATION GALVANIQUE

L'intérêt majeur de cette structure réside dans l'obtention d'un composant magnétique unique propice à l'intégration et à l'accroissement de la compacité du convertisseur [Mey06]. La conception et la réalisation d'un coupleur monolithique a été l'objet de travail du laboratoire Ampère à Lyon. La technologie planaire a été utilisée pour la réalisation du coupleur magnétique en tenant compte des contraintes volumiques importantes afin de ne pas pénaliser les dimensions de la cellule élémentaire. Le procédé de fabrication est basé sur le dépôt de conducteurs sur une ferrite plane de façon à créer une série de transformateurs dont les bobinages sont coplanaires. Cette structure est ensuite assemblée avec une autre ferrite usinée de façon à ce qu'elle soit complémentaire avec celle sur laquelle les bobinages sont logés (voir Figure I.26).

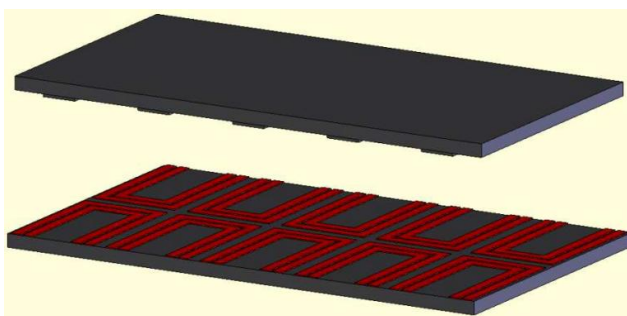


Figure I.26 – Réalisation du coupleur magnétique

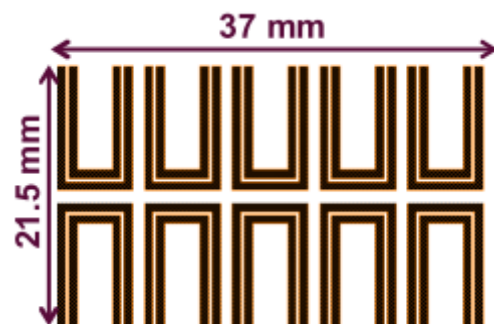


Figure I.27 – Dimensions de l'espace occupé par les conducteurs dans le coupleur

La ferrite 3F4 utilisée pour l'usinage du circuit magnétique a une surface rugueuse, ce qui rend difficile l'accroche des conducteurs sur le circuit magnétique. Ceci mène à la mise en place d'un procédé technologique pour la dépose des conducteurs de cuivre au niveau de la

ferrite présenté en détails dans [Ampère]. Toute de même, les dimensions du composant magnétique sur lequel les conducteurs seront déposés sont 21.5mm de largeur et 37mm de longueur. Ces dimensions sont très grandes et elles vont définir la taille de la cellule élémentaire. Pour une hauteur totale du coupleur autour de 2mm, son volume devient  $1600\text{mm}^3$ . Il s'avère alors que le volume du composant magnétique de cette structure est plus que 10 fois moins optimal que celui du transformateur planar de la structure du convertisseur DAB ( $120\text{mm}^3$ ).

### I.4.2.2 COMMANDE ET TRANSFERT D'ENERGIE

Pour assurer un fonctionnement correct, les déphasages entre ses bras successifs doivent être égaux. De plus, ce déphasage doit être le plus proche possible de  $\pi$  afin de réduire les flux dans certaines parties du composant magnétique [Mey06]. Un nombre pair de bras déphasés les uns par rapport aux autres est nécessaire. L'angle de déphasage peut être calculé en utilisant les expressions (I.9) et (I.10) définies pour un nombre  $q$  de bras. Ainsi, pour une structure entrelacée comportant 10 bras, le déphasage entre deux bras successifs doit être égal à  $3\pi/5$ .

$$q=4k : \quad \psi = \left(\frac{q}{2} - 1\right) \cdot \frac{2\pi}{q} \quad (\text{I.9})$$

$$q=4k+2 : \quad \psi = \left(\frac{q}{2} - 2\right) \cdot \frac{2\pi}{q} \quad (\text{I.10})$$

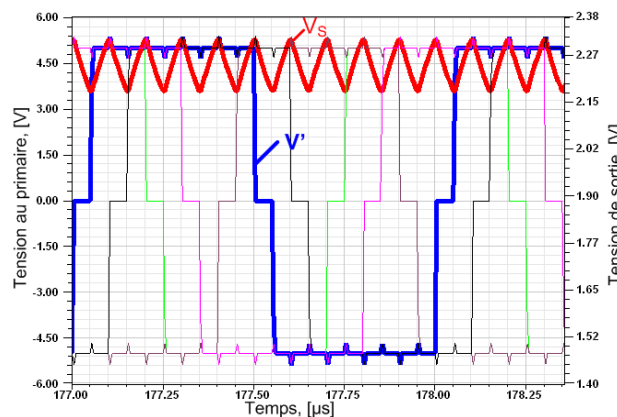
Cette structure est aussi bidirectionnelle en transfert d'énergie, ce qui répond au besoin de la cellule élémentaire dans le contexte du R $\mu$ C. La réversibilité est assurée en plaçant des interrupteurs commandés au lieu de diodes dans la partie redresseur. Dans tous les cas, cela est obligatoire pour les applications basses tension pour lesquelles des MOSFET sont utilisés en lieu et place des diodes de redressement pour limiter les pertes. La tension de sortie est donc donnée par l'équation (I.11) :

$$V_s = m \cdot V_p \cdot \alpha \quad (\text{I.11}) \quad \text{pour } 0 < \alpha < 0,5$$

La tension de sortie croît linéairement pour un rapport cyclique compris entre 0 et 0,5 puis cette tension décroît linéairement au-delà de 0,5. Du fait de ce comportement intrinsèque, le convertisseur est à la fois abaisseur et élévateur de courant en fonction du rapport cyclique, ce qui offre aussi une flexibilité du réseau au niveau d'excursion de sa tension d'entrée et de sortie. Cette structure étant réversible, ce convertisseur peut également fonctionner comme élévateur de tension et abaisseur de courant si la source est connectée à sa sortie.

En revanche, la génération de plusieurs signaux de commande, déphasés d'un angle précis exige la mise en place d'une commande plus complexe que celle du convertisseur en double pont complet. De plus, un jeu de commandes synchronisées doit être transféré et appliqué à la partie secondaire de puissance afin d'assurer le redressement synchrone et la réversibilité de la structure.

Une simulation du fonctionnement de cette structure avec une charge résistive  $R=0,5\Omega$  a été faite avec les paramètres suivants :  $V_E=5V$ ,  $V_S=2,25V$  ( $m=1$ ,  $\alpha=0,55$ ),  $I_S=4,4A$ ,  $f_{dec}=1MHz$ , une inductance magnétisante de  $20\mu H$  et un fort couplage de 0.99 ( $L_F=200nH$ ). Sachant que les ondulations du courant de sortie s'annulent pour les rapports cycliques égaux à  $1/q$  et sont maximales pour les rapports cycliques égaux à  $2/q$  [Bou09], [Kev11], le rapport cyclique  $\alpha=0,55$  a été choisi pour illustrer les ondulations maximales pour le pire cas de fonctionnement cette structure. En observant les formes d'ondes des tensions  $V'$  aux primaires entre les points milieux de deux bras d'onduleur déphasés à  $180^\circ$  et la tension  $V_S$  et le courant de sortie  $I_S$ , il est à remarquer que la fréquence apparente à la sortie est 10 fois plus grande que la fréquence de découpage du convertisseur (voir Figure I.28a et Figure I.28c).



a) Tension au primaire  $V'$  et à la sortie  $V_S$

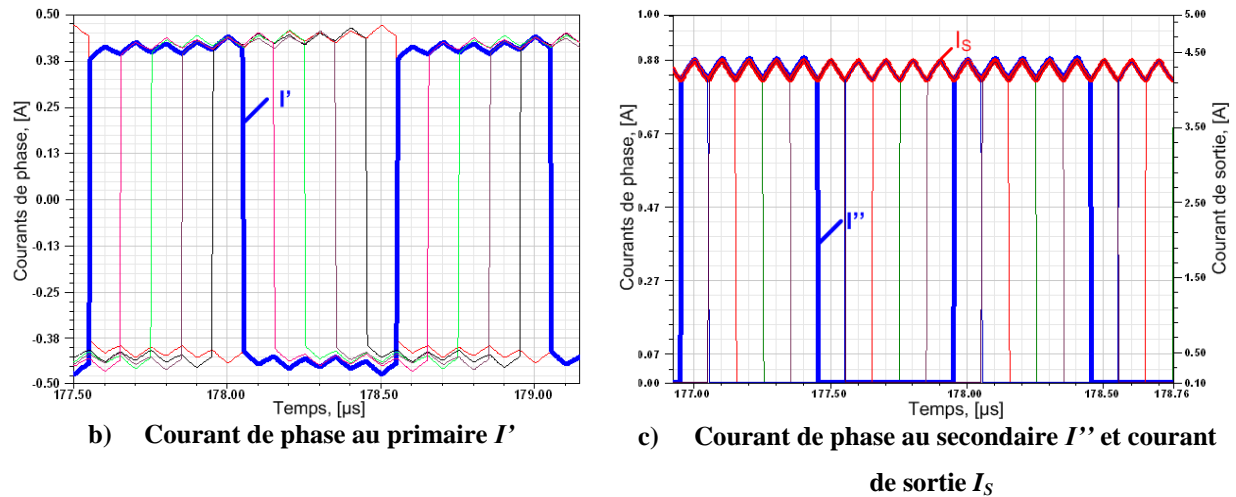


Figure I.28 – Formes d’ondes du convertisseur avec 10 bras entrelacés ( $\alpha=0.55$ )

Néanmoins, dans le pire cas de fonctionnement ( $\alpha=0.55$ ), la fréquence apparente s’élève à 10MHz et l’ondulation de la tension est considérablement réduite ( $\Delta V_S=5\%$  ou 100mV) sans qu’un condensateur de filtrage ne soit mis en œuvre. L’ondulation du courant est aussi considérablement réduite ( $\Delta I_S=4\%$  ou 170mA).

Pour un fonctionnement à 1MHz, il est aussi nécessaire que la commande soit précise pour gérer le rapport cyclique. Les ondulations du courant de sortie étant maximales pour tous les rapports cycliques égaux à  $2/q$  fait que nous avons besoin d’une résolution du rapport cyclique de quelques pourcents, ce qui équivaut quelques nanosecondes. Cela peut être compensé en dimensionnant le coupleur magnétique pour le pire cas d’ondulations et dans ce cas, une commande de résolution moins précise peut être mise en place. Celle-ci doit, au moins, être capable d’assurer le déphasage correct entre chaque bras qui est de  $36^\circ$  ou 100ns.

#### I.4.2.3 MODULE ACTIF DE PUISSANCE

A la différence du convertisseur DAB, les côtés primaire et secondaire de puissance de la structure entrelacée ne sont pas identiques. D’une part, le côté primaire est composé de bras d’onduleur et le côté secondaire n’est composé que de transistors de redressement synchrone. D’autre part, le rapport cyclique fait qu’en mode buck la tension de sortie est toujours  $\alpha$  fois plus faible que celle d’entrée et que le courant est  $\alpha$  fois plus grand que celui d’entrée, et l’inverse en mode boost (voir Figure I.28). Dans ce cas, les deux modules actifs de puissance n’auront pas les mêmes contraintes en tension et en courant. Par conséquent, deux puces doivent être conçues avec des structures et des paramètres différents afin que la partie

onduleur et la partie redresseur fonctionnent avec moins de pertes. Par exemple, pour un cahier de charges 5V/2A/1MHz, le dimensionnement de la puce au primaire est analogue que celui pour le convertisseur DAB. En ce qui concerne la partie active de puissance au secondaire, nous avons dix bras pour le redressement synchrone et leur dimensionnement sera plus optimal si nous utilisons des transistors NMOS puisque pour la même longueur de grille les pertes dans le transistor NMOS sont autour de 3 fois plus faibles par rapport à celles d'un transistor PMOS [Del09]. La Figure I.29 illustre un calcul analytique des pertes en fonction de la largeur de grille d'un transistor NMOS conçu avec le module 3.3V et 5V.

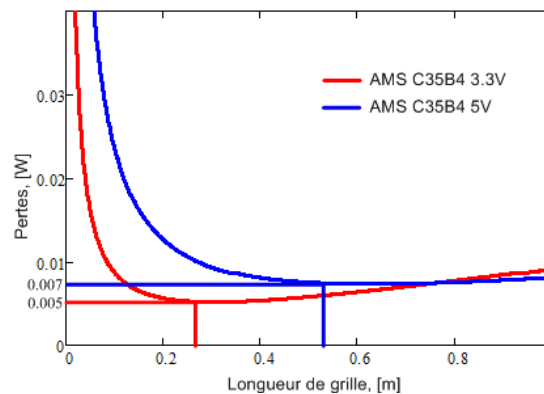


Figure I.29 – Pertes dans un transistor NMOS ( $V=2.5V$ ,  $I=400mA$  et  $f_{dec}=1MHz$ )

Il s'avère que pour une tension de 2.5V, le module à 3.3V est plus approprié que le module à 5V. Dans ce cas, nous obtenons 50mW de pertes par conduction et par commutation pour les dix transistors NMOS avec une largeur de grille totale de 2600 mm, contre 70mW de pertes pour 5300mm de largeur de grille des dix transistors pour le module à 5 V. Le volume de la puce active de puissance au secondaire avec le module d'AMS à 3.3V est comparable à celui du convertisseur DAB. En revanche le coût total des deux puces de puissance sera plus élevé dans la phase de prototypage car deux designs de puces doivent être faits. Le Tableau I.3 fait une comparaison des caractéristiques des deux convertisseurs vis-à-vis leur mise en œuvre dans le réseau de micro-convertisseurs.

Tableau I.3 – Caractéristiques des convertisseurs

Paramètres	Structure DAB	Structure Entrelacée
Signaux PWM complémentaires	2	5+5
Gestion de déphasage	1 angle	10 angles
Synchronisation entre le primaire et le secondaire	Oui	Oui
Mode élévateur et abaisseur	Oui	Oui
Contrôle du rapport de transformation ( $m=1$ )	$\theta$	$\alpha$
Impact de la résolution de la commande sur :	le rendement	les ondulations du courant de sortie
Largeur optimale de grille du module actif de puissance au primaire ( $L_{prim}$ )	2800mm	10x280 mm
Largeur optimale de grille du module actif de puissance au secondaire ( $L_{second}$ )	2800mm	10x260mm (techno 3.3V)
Volume du composant magnétique	120mm <sup>3</sup>	1600mm <sup>3</sup>

Les deux convertisseurs ont des avantages et des inconvénients au niveau de la commande et le contrôle. La structure du DAB nécessite moins de signaux PWM puisqu'elle a moins de bras à piloter à la différence de la structure entrelacée. En revanche, la résolution de sa commande est très importante pour que l'angle de déphasage entre les modules primaire et secondaire de puissance soit précis et capable de fixer le DAB au point où son rendement est optimal. En terme de volume, le convertisseur DAB s'avère plus avantageux que la structure entrelacée bien que la surface totale de ses modules actifs de puissance soit plus grande (5600mm contre 4700mm). La réalisation et les dimensions du coupleur magnétique s'avèrent un point négatif pour la structure entrelacée puisque son volume est plus que 10 fois plus grand que celui du transformateur planar du DAB. Néanmoins, les deux structures ont caractéristiques répondant aux besoins d'un R $\mu$ C. De plus, elles proposent de défis de conception, design et contrôle, ce qui justifie l'effort pour leur réalisation. Le bilan sur la cellule élémentaire étant fait, dans la suite nous allons présenter deux familles de réseau de micro-convertisseurs.

### I.5. FAMILLES DE RESEAUX DE MICRO-CONVERTISSEURS

Dans cette étude, deux types de réseaux de micro-convertisseurs sont abordés. Le premier est appelé « Circuit Programmable de Puissance ». Il s'appuie sur une approche de mise en œuvre générique de cellules dont la configuration reste à faire selon le cahier des charges de l'utilisateur. Un nombre plus ou moins limité de solutions existe dans ce cas mais la réponse au besoin est rapidement obtenue à l'image des FPGA et autres CPLD pour la logique

combinatoire. Il est à destination des utilisateurs d'alimentations à découpage. Le deuxième est appelé « Power ASIC » et il est plutôt destiné aux concepteurs et intégrateurs de systèmes d'alimentation à découpage en vue d'une production en série. Dans ce cas, le concepteur dispose des éléments de base et conçoit la structure répondant à son cahier de charges de manière spécifique mais toujours sur la base d'une architecture et d'une technologie générique. Dans les deux cas la cellule élémentaire est l'élément de base à partir duquel il faut adapter la structure du réseau de convertisseurs pour répondre au cahier de charges.

### I.5.1 CIRCUIT PROGRAMMABLE DE PUISSANCE

Le circuit programmable de puissance (CPP) intègre un nombre défini et fini de cellules élémentaires. Ceci signifie qu'il est conçu pour des plages maximales de tensions et de courants, de quelques watts à quelques centaines de watts. Son facteur de dimensionnement n'est pas optimal et il se peut qu'en fin de configuration des cellules élémentaires ne soient pas utilisées. En effet, l'idée du réseau programmable est de concevoir un CPP universel qui peut être programmé et paramétré en fonction des besoins des utilisateurs par l'intermédiaire d'une interface de programmation tout comme les nouvelles générations de circuits logiques programmables. Le CPP est un composant de puissance avec un nombre réduit d'entrées et de sorties pour être simple en termes de mise en œuvre et d'utilisation (voir Figure I.30).

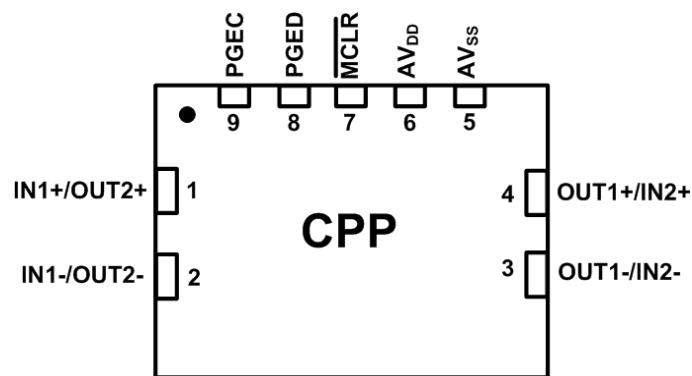


Figure I.30 – Module CPP

**Pattes de 1 à 4 – entrées et sorties de puissance ; pattes de 5 à 9 – module de programmation**

Comme montré à la Figure I.31, les associations en série et en parallèle des différentes cellules s'effectuent par une matrice d'interconnexions choisie. Elle est composée d'un ensemble d'interrupteurs qui permet de reconfigurer certaines connexions en entrée et en sortie des cellules élémentaires pour répondre au cahier de charges. Des transistors à effet de

champ (MOSFET) sont les composants les plus adaptés pour jouer le rôle d'aiguilleur au niveau de la matrice de connexions en terme de volume et de pilotage mais surtout d'intégration [Hiu13]. En revanche, pour certaines configurations les interrupteurs d'aiguillage peuvent être soumis à des tensions pouvant être la somme des tensions ou à des courants pouvant être la somme des courants de toutes les cellules élémentaires du CPP [Hiu13]. Les calibres en tension et en courant de ces interrupteurs doivent donc être choisis en fonction de cela ce qui est lourd de conséquences.

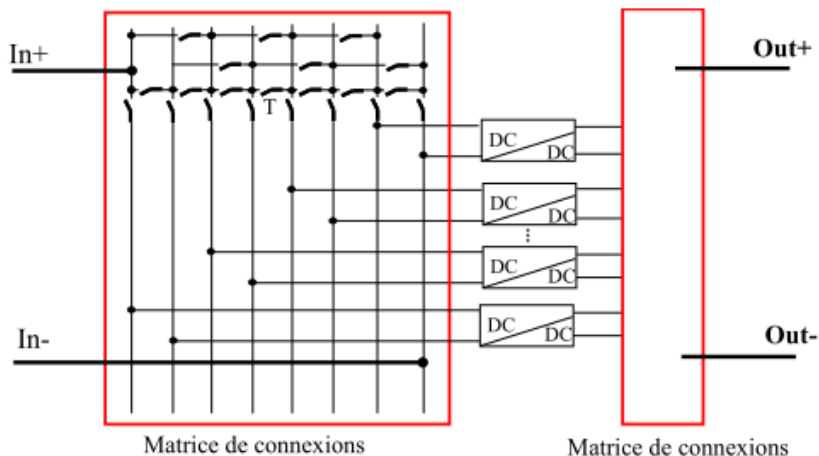


Figure I.31 – Mise en matrice de CE dans un R $\mu$ C [Hiu13]

L'augmentation du calibre en tension et en courant d'un composant mène également à l'augmentation de son volume. Ceci est pénalisant dans le cadre du CPP compte tenu du fait qu'il est nécessaire d'assurer un grand nombre d'interrupteurs et d'interconnexions. Par conséquent, l'intégration est plus difficile et met en question la compacité du CPP. La compatibilité technologique est un autre point bloquant. Ceci s'exprime par le fait qu'il faut travailler avec deux technologies différentes en même temps. Une technologie d'intégration basse tension pour les composants actifs des cellules élémentaires et une technologie d'intégration haute tension pour les composants dans la matrice de connexion. En outre, pour l'instant, la tenue en tension des filières technologiques pour l'intégration de composants est limitée jusqu'à 50V [CMP].

Toutefois, il est inadmissible, d'une part, de limiter le CPP à une tension de 50V si nous voulons rendre cette approche générique et d'autre part, de concevoir des transistors de 50V pour la puissance. La technologie étant latérale, elle n'est pas optimale pour des valeurs importantes de courant. La hiérarchisation de sa structure est une solution proposée dans la



thèse de [Hiu13] qui permettra d'éviter dans un premier temps le problème lié à la tenue en tension et en courant des interrupteurs au niveau des interconnexions. Le CPP sera alors subdivisé en deux niveaux. Le niveau de base sera appelé *niveau 1*. Le deuxième niveau sera appelé *niveau 2* et va regrouper plusieurs niveaux 1.

### I.5.1.1 CPP DE NIVEAU 1

Celui-ci sera configuré en association SIPO/PISO (en exploitant le plus possible la réversibilité de ses CE). De cette façon, toute contrainte en tension et/ou en courant seront uniformément réparties entre les interrupteurs dans le circuit d'aiguillage. Le fonctionnement du CPP de niveau 1 dépend de la configuration de son circuit d'aiguillage (voir Figure I.32a). Deux cas généraux d'opération sont valables pour ce niveau :

1)  $V_E = (N-k) \cdot V_{CEE}$ ,  $k=0$ ,  $k$  étant le nombre de cellules élémentaires non utilisées.

Si la tension d'entrée du CPP de niveau 1 nécessite l'activation de toutes les cellules élémentaires, les interrupteurs  $T_1, T_3, T_5, \dots, T_{2N-1}$ , sont fermés tandis que les interrupteurs  $T_2, T_4, T_6, \dots, T_{2N}$  sont ouverts (voir Figure I.32a). Dans ce mode d'opération, la tension aux bornes de chacune des cellules élémentaires sera égale à la tension d'entrée du CPP divisée par le nombre de cellules  $N$ . Le rapport de transformation sera alors  $N \cdot V_{CEE}/V_{CES}$  en tension et  $I_{CEE}/N \cdot I_{CES}$  en courant pour le fonctionnement en buck et inversement en mode boost.

2)  $V_E = (N-k) \cdot V_{CEE}$ ,  $k \in [1, N-1]$

Si nous voulons adapter l'entrée du CPP de niveau 1 à une tension plus faible, il faudra changer son rapport de transformation. Dans ce cas, il sera nécessaire de diminuer le nombre des cellules connectées en série. En déconnectant par exemple une des cellules le calibre en tension à l'entrée du CPP de niveau 1 sera égal à  $V_E = (N-1) \cdot V_{CEE}$ . Pour déconnecter par exemple celle en haut de la série, l'interrupteur  $T_1$  sera ouvert tandis que l'interrupteur  $T_2$  sera fermé. Ceci va iloter la cellule élémentaire et par conséquent, son potentiel d'alimentation sera ramené à celui de sa voisine dans la série (voir Figure I.32b). Il est également possible d'iloter plusieurs cellules élémentaires à n'importe quelle position dans la série. Ainsi le rapport de transformation sera  $(N-k) \cdot V_{CEE}/V_{CES}$  en tension et  $I_{CEE}/(N-k) \cdot I_{CES}$  en courant pour le

fonctionnement en buck et l'inversement en mode boost. La cellule ilotée peut changer au fil du temps pour répartir la contrainte ou ici le soulagement sur l'ensemble des cellules du circuit.

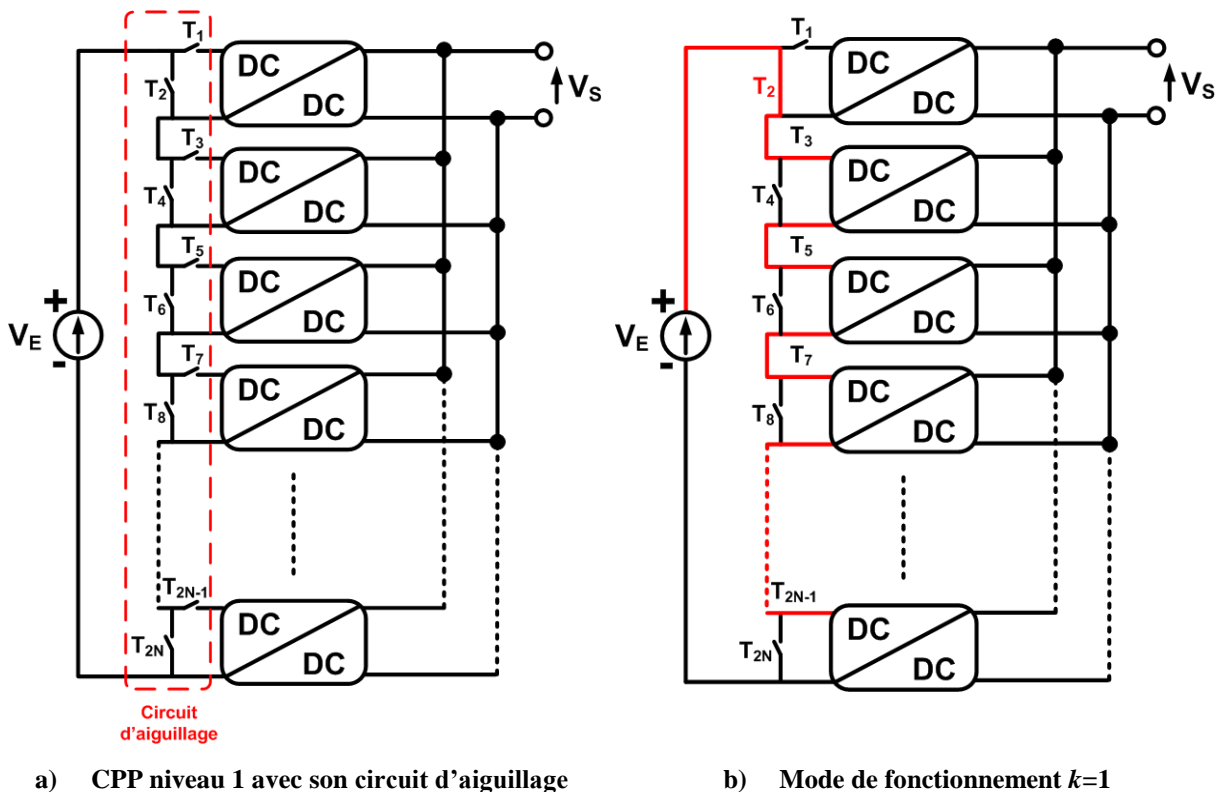


Figure I.32 – Schéma du CPP de niveau 1

Quel que soit le mode de fonctionnement, les interrupteurs impairs sont toujours ouverts quand les interrupteurs pairs sont fermés et vice versa. Cette complémentarité est analogue à celle des circuits CMOS. Chaque paire d'interrupteurs d'aiguillage  $T_{2i-1}/T_{2i}$  ( $i \in [1, N]$ ) peut alors représenter un bras CMOS. En tenant compte de ce comportement et en sachant que les contraintes en tension sur les paires d'interrupteurs dans le circuit d'aiguillage sont identiques à celles d'une cellule élémentaire, l'intégration des interrupteurs d'aiguillage dans la même puce devient tout à fait possible (voir Figure I.33). La cellule élémentaire étant définie bidirectionnelle en transfert d'énergie fait qu'il suffit d'intégrer une paire d'interrupteurs d'aiguillage au niveau de la partie primaire de puissance. Dans ce cas, le changement entre mode buck et mode boost se fera par le raccordement de la charge respectivement à la sortie et à l'entrée du CPP de niveau 1 et le rapport de transformation sera géré de la même façon. Cette solution nous permet de simplifier les interconnexions du CPP de niveau 1.

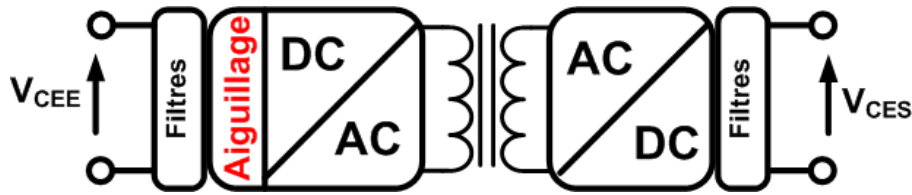


Figure I.33 – Schéma bloc de la cellule élémentaire avec circuit d'aiguillage intégré

Par ailleurs, les contraintes en courant et en pertes totales au niveau des bras d'aiguillage sont différentes comparées à celles dans la cellule élémentaire. Etant un circuit CMOS, le bras d'aiguillage a une résistance interne égale à celle d'un transistor NMOS ou PMOS respectivement si la cellule élémentaire est ilotée ou pas. Par conséquent, l'implémentation de la matrice d'interconnexions rajoute des pertes par conduction supplémentaires compte tenu du fait que le courant d'entrée du système  $I_E$  passe par tous les interrupteurs d'aiguillage. Plus le nombre de CE est grand, plus le nombre d'interrupteurs d'aiguillage est important et plus la résistance des connexions à l'entrée du CPP de niveau 1 devient importante puisqu'elle sera égale à la somme des résistances internes ( $R_{DSON}$ ) des transistors PMOS et/ou NMOS des bras d'aiguillage au niveau de chaque cellule élémentaire. Les pertes par commutation et de commande, ne sont pas considérées car les interrupteurs d'aiguillage ne commutent plus une fois que la configuration désirée du CPP de niveau 1 est établie. Les pertes dans les bras d'aiguillage ont un impact sur le rendement global du CPP de niveau 1 mais elles sont à comparer à la puissance de la cellule élémentaire. Si le nombre maximal de cellules est utilisé ( $k=0$ ), le rendement du CPP de niveau 1 sera conditionné par le rendement d'une CE vu que la puissance totale du CPP augmente aussi proportionnellement au nombre de cellules mises en œuvre.

Il est possible que pour certains cahiers des charges, toute la matrice de cellules élémentaires ne soit pas utilisée si le R $\mu$ C a été pré dimensionné pour une plage de puissance plus élevée. L'ilotage d'une ou de plusieurs CE diminue la puissance du CPP tandis que la résistance du circuit d'aiguillage reste toujours la même. Si les résistances internes des transistors PMOS et NMOS d'un circuit CMOS dédié à l'aiguillage sont considérées les mêmes ( $W_p=3.W_n$ ) et si les CE ilotées ne commutent pas, l'expression suivante donne la puissance totale transférée par le CPP niveau 1  $P_{CPP}$  :

$$P_{CPP} = (N - k) \cdot V_{CEE} \cdot I_{CEE} - (N - k) \cdot P_{CE} - N \cdot P_{aiguillageCE} \quad (I.12)$$

$P_{CE}$  – pertes totales de la CE. Ce sont les pertes par conduction et par commutation des composants actifs ainsi que les pertes de leur commande, et les pertes dans les composants passifs.

$P_{aiguillageCE}$  – pertes au niveau des interrupteurs d'aiguillage à l'entrée d'une CE. Ce sont généralement les pertes par conduction vu que les interrupteurs restent en état fixe après la configuration. Il existe également des pertes de commande du circuit d'aiguillage mais elles peuvent être faibles en comparaison de celles de conduction vu que le rôle de la commande dans ce cas est de maintenir les interrupteurs dans un seul état pendant le fonctionnement du CPP.

Par la suite, le rendement du CPP de niveau 1 est donné par :

$$\eta = \frac{(N-k).V_{CEE}.I_{CEE} - (N-k).P_{CE} - N.P_{aiguillageCE}}{(N-k).V_{CEE}.I_{CEE}} \quad (I.13)$$

Nous pouvons conclure que les pertes par conduction dans le circuit d'aiguillage dépendent du nombre de cellules élémentaires et restent constantes quelque soit le rapport de transformation. Par conséquent, plus le nombre de cellules ilotées est faible, plus le rendement du CPP de niveau 1 est élevé. Afin de réduire les pertes dans le circuit d'aiguillage il sera indispensable de dimensionner des transistors avec une résistance interne ( $R_{DS}$ ) la plus faible possible. Cela se fera par le biais d'un compromis entre la taille des interrupteurs et leurs pertes par conduction.

### **I.5.1.2 CPP DE NIVEAU 2**

Le CPP de niveau 2 représente une association de plusieurs blocs de CPP de niveau 1. Dans ce cas, afin de simplifier sa commande et de réduire son volume, les interconnexions des blocs de CPP de niveau 1 se feront à l'extérieur lors du routage du circuit imprimé (voir Figure I.34). Par conséquent, tous les types d'association des blocs de CPP de niveau 1 à l'entrée et à la sortie sont possibles.

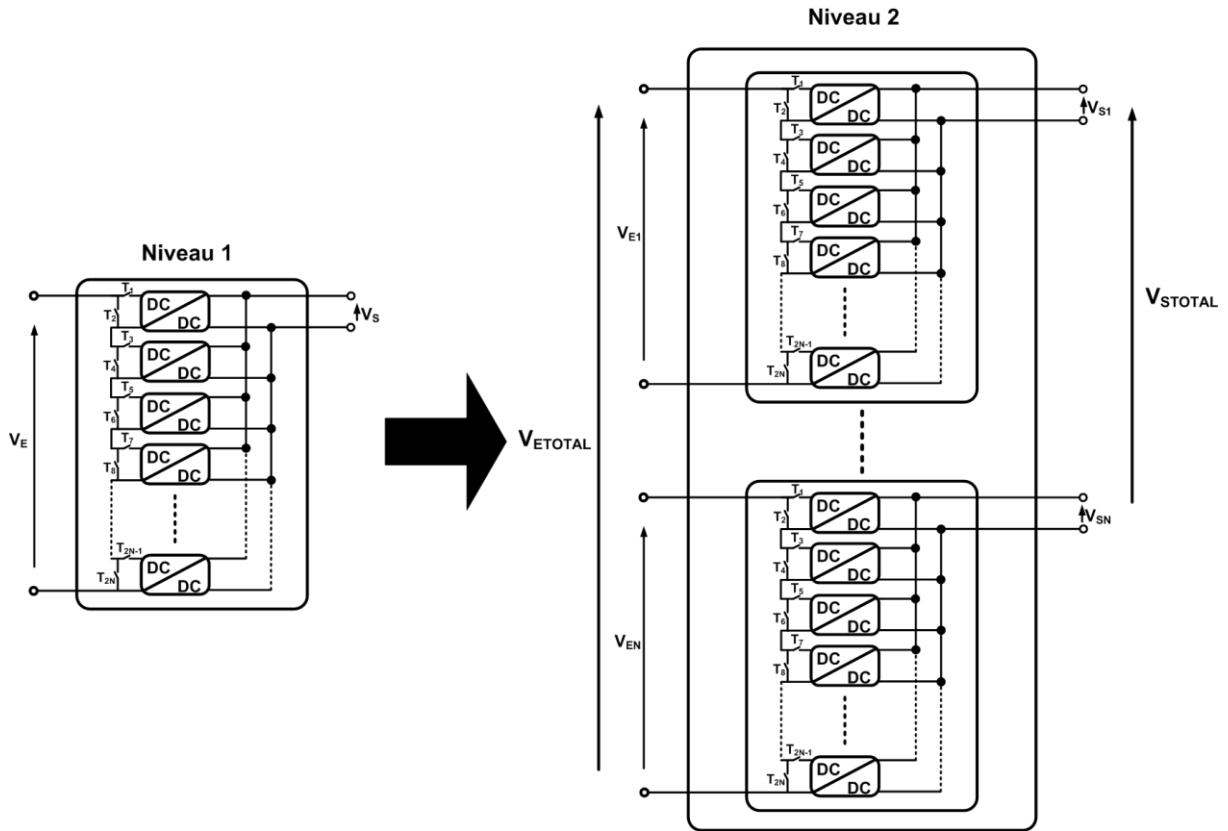


Figure I.34 – Schéma du CPP de niveau 2

Les calibres en tension et en courant à l'entrée  $V_E$ ,  $I_E$  et à la sortie  $V_S$ ,  $I_S$  du CPP de niveau 2 peuvent être déterminés par les équations suivantes :

$$V_E = \sum_{i=1}^{E_S} (N - k)_i \cdot V_{CEE} , I_E = \sum_{i=1}^{E_P} (N - k)_i \cdot I_{CEE} \quad (I.14)$$

$$V_S = S_S \cdot V_{CES} , I_S = S_P \cdot I_{CES} \quad (I.15)$$

$E_S$  – nombre de CPP de niveau 1 connectés en série à l'entrée du CPP ;

$E_P$  – nombre de CPP de niveau 1 connectés en parallèle à l'entrée du CPP ;

$S_S$  – nombre de CPP de niveau 1 connectés en série à la sortie du CPP ;

$S_P$  – nombre de CPP de niveau 1 connectés en parallèle à la sortie du CPP ;

$i$  – nombre des blocs CPP de niveau 1 utilisés.

Enfin, le rendement global du CPP de niveau 2 est exprimé par :

$$\eta = \frac{V_E \cdot I_E - \sum_{i=1}^{E_s+E_p} ((N-k)_i \cdot P_{CE} - N_i \cdot P_{aiguillage})}{V_E \cdot I_E} \quad (I.16)$$

Admettons qu'une cellule élémentaire soit dimensionnée pour une puissance de 10W (5V/2A). Pour concevoir un CPP de 1kW de puissance, il sera nécessaire d'associer 10 blocs de CPP de niveau 1, chacun contenant 10 CE en SIPO/PISO. En pilotant l'aiguillage dans les blocs des CPP de niveau 1, il est possible d'assurer une discrétisation de la puissance à l'échelle de 10W max avec pour contraintes maximales 5V en tension et de 2A en courant. Ensuite, en fonction du routage du circuit imprimé il y a un deuxième niveau de discrétisation à l'échelle de 100W ou à l'échelle de 50 V en tension et de 2A en courant.

### I.5.1.3 NIVEAUX DE COMMANDE DU CPP

Pour cette approche, trois niveaux de commande sont à définir. Le premier niveau est lié à la commande de la cellule élémentaire. Il gère ses paramètres comme la fréquence de fonctionnement, le rapport cyclique des signaux PWM, le déphasage et la synchronisation des ordres de commande des parties primaires et secondaires de puissance. C'est le niveau de commande de base dont le but est d'assurer le fonctionnement correct de la cellule élémentaire et de contrôler le niveau de la conversion d'énergie. Cette commande est intégrée et automatique, et l'utilisateur n'a pas d'accès à la modification de ses paramètres.

Le deuxième niveau de commande concerne la gestion de l'ensemble des cellules élémentaires au sein d'un bloc CPP de niveau 1. Son but est la gestion du rapport de transformation de la configuration SIPO/PISO. Elle ouvre et ferme un ou plusieurs interrupteurs d'aiguillage et elle est indépendante pour chaque bloc CPP de niveau 1. Cela signifie que le rapport de transformation de chaque CPP de niveau 1 peut être différent. Cette commande est semi manuelle compte tenu du fait que c'est à l'utilisateur de décider quel est le rapport de transformation optimal de chaque CPP de niveau 1 pour un cahier de charges donné. Ce niveau de commande permet également de gérer le déphasage entre les cellules élémentaires afin d'optimiser le filtrage de l'ensemble via l'entrelacement série. La gestion du circuit d'aiguillage se fait via une interface de programmation couplée avec un ordinateur.

Le troisième niveau de commande est lié à l'association des différents blocs CPP de niveau 1 et il représente en effet un niveau de configuration matérielle. Elle est manuelle, ce qui signifie que c'est à l'utilisateur d'effectuer la configuration désirée de manière physique. Ceci est possible par un routage particulier au niveau du circuit imprimé pour chaque cahier des charges. De cette façon, les entrées et les sorties de tous les blocs CPP de niveau 1 peuvent être associés librement en série et en parallèle (voir Figure I.35).

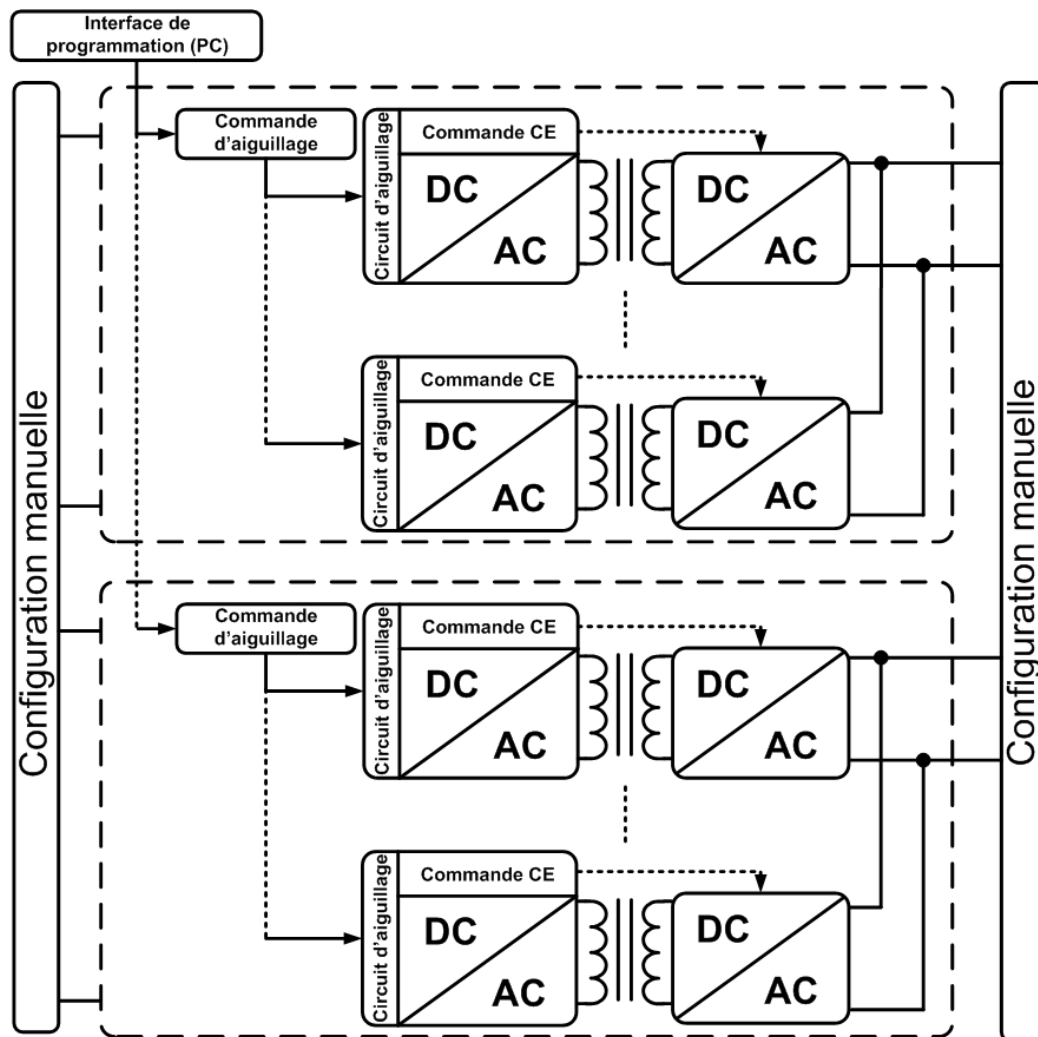


Figure I.35 – Schéma bloc de la commande du CPP

De plus, grâce à la possibilité d'effectuer un routage manuel, plusieurs sources peuvent être connectées à l'entrée ou à la sortie du CPP comme chacune peut être connectée au niveau d'un ou de plusieurs blocs CPP de niveau 1. Dans ce cas nous obtenons un convertisseur configurable multi sources capable de gérer la conversion d'énergie à plusieurs niveaux. Les sorties peuvent rester indépendantes ou connectés en série et/ou en parallèle (voir Figure I.36).

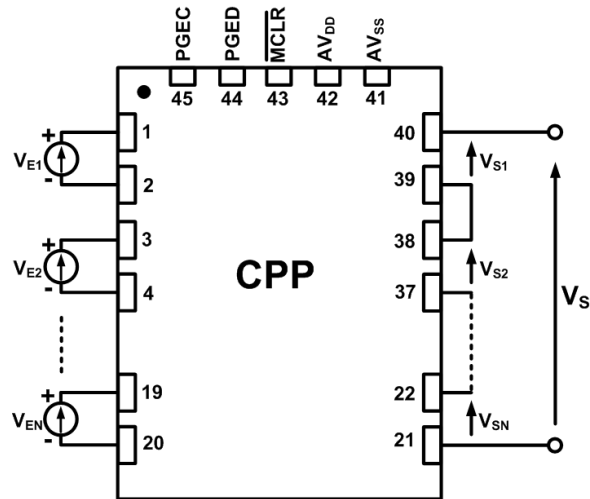


Figure I.36 – CPP multi sources avec des sorties en série

### I.5.2 LE CIRCUIT PERSONNALISÉ DE PUISSANCE (POWER ASIC)

Le circuit personnalisé de puissance est une nouvelle voie de développement de l'approche réseau de micro-convertisseurs. L'objectif majeur est le Power ASIC ou la réalisation d'un circuit de puissance pour une application particulière au sens où nous le concevons et produisons sur la base d'une filière technologique figée, fiable et reproductible. Dans ce contexte nous allons nous inspirer des filières technologiques et méthodes de conception et de fabrication des circuits intégrés dans le but d'élaborer une nouvelle manière de penser la conception, la réalisation et la mise en œuvre de l'électronique de puissance. Dans le cadre de cette approche nous allons nous référencer par rapport à ce qui a déjà été fait au niveau de l'intégration en microélectronique. L'environnement de conception de circuits intégrés Cadence [CAD] d'AustriaMicroSystems par exemple est une bonne référence pour le développement d'une toute nouvelle filière technologique pour des circuits de puissance. AMS a développé ses propres outils technologiques et de conception à partir desquels les utilisateurs peuvent concevoir puis faire réaliser leurs circuits intégrés. Les outils de conception sont alimentés par des design kits qui décrivent les composants de base qui peuvent être paramétrables et dont les caractéristiques sont déjà connues. Par exemple, la longueur  $L$  et la largeur  $W$  des grilles des transistors MOSFET sont les seuls paramètres que nous pouvons faire varier. Il est possible de calculer leurs résistances internes  $R_{DS}$  ainsi que toutes les capacités parasites en fonction de ces deux paramètres. Cela facilite la conception analytique du circuit intégré et rend possible la maîtrise de tous les phénomènes parasites. Les composants sont définis dans une bibliothèque à partir de laquelle nous pouvons concevoir un



circuit intégré. L'étape de conception et de design du circuit intégré est rendue possible grâce à l'outil de conception. Des environnements de création et de simulation du schéma ainsi que de conception et de design du layout du circuit sont disponibles pour l'utilisateur. Cette suite logicielle dispose des caractéristiques technologiques du procédé de fabrication, incluant les règles de vérification de fonctionnement et de design. Elles sont configurées non seulement en fonction de contraintes électriques et thermiques mais aussi en fonction des contraintes technologiques des outils pour la fabrication des circuits intégrés. Afin de réaliser le circuit personnalisé de puissance, il est alors nécessaire de mettre au point et de décrire la filière technologique et compléter les bibliothèques de design kit pour alimenter l'outil de conception.

### I.5.2.1 L'OUTIL TECHNOLOGIQUE

Dans notre cas, l'outil technologique représente la cellule élémentaire conçue et réalisée à la base des procédés de conception et de production déjà existants, le substrat sur lequel elle sera reportée et le procédé de son report sur le substrat. La CE aura ses propres paramètres en fonction desquels nous allons concevoir notre propre circuit de conversion d'énergie. Le R $\mu$ C sera réalisé par l'association des CE via un routage des pistes au niveau du substrat. De cette façon, il sera possible de réaliser tous les types de configurations des cellules élémentaires. Le substrat doit être de type multicouche à l'instar des filières CMOS [AMS] pour faciliter et optimiser les interconnexions des CE. Dans un premier temps le PCB standard rigide de matériau FR4 peut être utilisé mais la recherche d'un meilleur substrat pour le R $\mu$ C peut être l'objectif de travaux ultérieurs. Un substrat PCB FR4 de 4 couches est suffisant pour valider l'approche. Comme nous allons le voir dans le deuxième chapitre de cette thèse, les technologies report ont un rôle très important pour la réalisation de la cellule élémentaire et du R $\mu$ C entier. La Figure I.37 illustre une vue d'artiste pour l'association en parallèle des entrées de 3 cellules élémentaires.

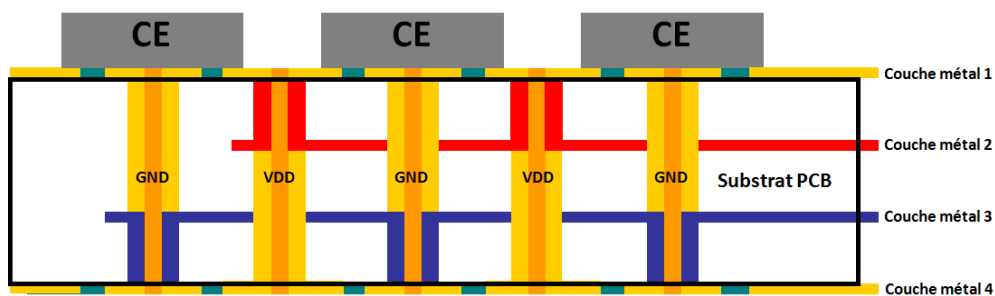


Figure I.37 – Section du substrat pour le Power ASIC

### **I.5.2.2 L'OUTIL DE CONCEPTION**

L'outil de conception peut être un logiciel ou une toolbox couplée et intégrée dans une plateforme déjà existante. Compte tenu du fait qu'il existe déjà des logiciels qui permettent de créer, simuler, concevoir et vérifier le design des circuits électriques et électroniques, dans un premier temps il sera suffisant de focaliser l'effort sur les points les plus importants, à savoir :

- ◆ Créer une librairie qui contient l'ensemble des composants réalisés et caractérisés pour l'approche Power ASIC avec tous les paramètres et empreintes. Cette librairie peut être intégrée dans un fichier qui sera installé comme une nouvelle librairie de composants d'un logiciel de conception et de design de circuits imprimés déjà existant comme Altium [ALT], ou bien d'un logiciel de conception de microélectronique comme Cadence [CAD].
  
- ◆ Définir des règles de design pour la conception du layout du circuit. Pour faire cela il est nécessaire d'étudier les contraintes électriques, thermiques et mécaniques de la cellule élémentaire et de tous les composants qui la composent. De plus, les règles de design doivent être conformes aux normes des technologies de fabrication et d'assemblage des composants et de substrat (dans notre cas, ce sont les normes de fabrication des circuits imprimés). Ceci facilitera la standardisation de l'approche et évitera l'augmentation du coût suite à la conception d'outils spéciaux pour la fabrication du circuit. Une fois que les règles de design sont développées, elles peuvent être installées dans un logiciel déjà existant et couplées avec son outil de vérification de design.

La Figure I.38 représente une synthèse des étapes de la conception et de la réalisation d'un circuit avec l'outil de conception de Power ASIC.

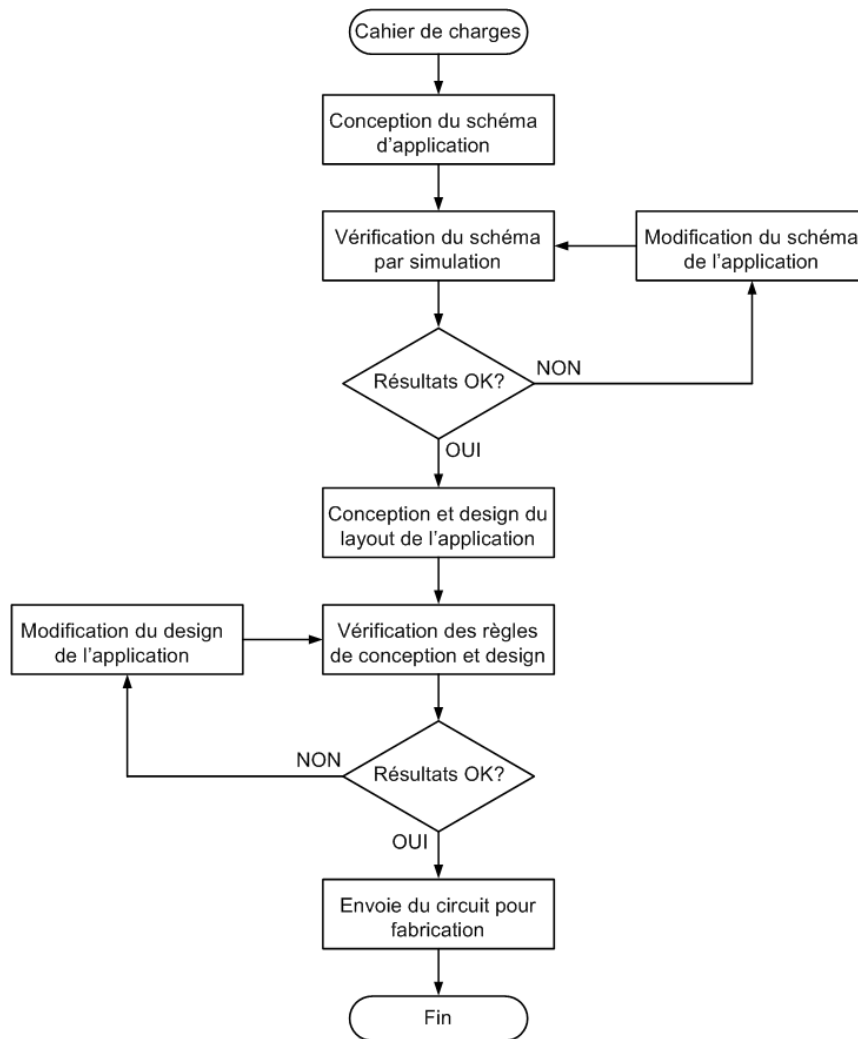


Figure I.38 – Flowchart de la conception Power ASIC

### I.5.2.3 EVOLUTION DU POWER ASIC

Dans la librairie de composants quelques autres éléments pourront être définis afin de donner un degré de flexibilité encore plus élevé à cette approche. Ce peuvent être les composants qui constituent une cellule élémentaire comme ses modules actifs de conversion DC/AC et AC/DC, les composants passifs (résistances, capacités et transformateurs). Par conséquent, il sera aussi possible de réaliser un montage à la base d'un module de la cellule élémentaire.

L'approche Power ASIC permettra de concevoir aisément des réseaux de micro-convertisseurs particulièrement adaptés à un cahier de charges donné. En connaissant les spécifications de son composant de base, à savoir la cellule élémentaire, son outil de

conception donne la possibilité de maîtriser tous les phénomènes parasites dans le circuit et, par conséquent, d'optimiser ses contraintes électriques et thermiques. Comme nous allons le voir plus loin, l'utilisation des composants constituant la cellule élémentaire comme son module DC/AC augmente encore plus les degrés de liberté de la mise en œuvre des réseaux de micro-convertisseurs.

### **I.6. CONCLUSION**

Le développement d'un réseau de micro-convertisseurs à partir d'un composant générique tel que la cellule élémentaire est le premier pas vers la généralisation de l'électronique de puissance. Ceci permettra d'un côté de maîtriser tous les phénomènes électriques, magnétiques, thermiques et mécaniques comme en microélectronique. D'un autre côté, avec différentes configurations des cellules élémentaires il est possible de le mettre en œuvre dans plusieurs applications. Les exemples donnés ont relevé des défis technologiques et conceptuels de la mise en œuvre du R $\mu$ C. Dans le cas idéal, l'association de plusieurs cellules élémentaires fait que les pertes sont uniformément distribuées entre elles, ce qui permet de répartir toutes les contraintes électriques et thermiques au sein du réseau. En réalité, la technologie de réalisation des cellules élémentaires n'est pas mûre, ce qui pourra produire des disparités dans leurs caractéristiques et par conséquent un déséquilibre au niveau des pertes d'où le besoin d'un système de contrôle et asservissement plus complexe. Pour avoir caractéristiques parfaitement cohérentes de toutes les cellules élémentaires au sein du réseau et une fiabilité élevée, il est nécessaire que le développement de cette approche arrive au même niveau technologique que celui des circuits intégrés. Deux "familles" de réseau de micro-convertisseurs ont été définies. La première repose sur l'approche d'un convertisseur configurable qui peut être adapté à une large gamme de cahiers des charges par le biais d'une interface de programmation. La deuxième représente un design kit qui permet de réaliser plusieurs applications à partir de la cellule élémentaire et des composants qui la constituent. L'enjeu majeur de ces deux approches s'exprime par la réduction du coût et des durées de conception et de prototypage des applications. Ainsi, c'est une nouvelle façon de réfléchir en conception et développement des circuits de puissance. Elle peut s'avérer une rupture technologique qui fera une révolution en électronique de puissance à l'instar du développement et de la mise en œuvre des microcontrôleurs et des circuits FPGA.



# **CHAPITRE II : OPTIMISATION ET REALISATION DU MODULE ACTIF DE LA CELLULE ELEMENTAIRE**

## **Table des matières**

---

II.1.	INTRODUCTION.....	70
II.2.	CONCEPTION DES COMPOSANTS ACTIFS .....	70
II.2.1	STRUCTURE DE LA PUCE DE PUISSANCE .....	71
II.2.2	CONFIGURATIONS DE LA PUCE DE PUISSANCE .....	80
II.2.3	GESTION DES INTERCONNEXIONS .....	81
II.3.	COUPLAGE COMPOSANTS – PUCE – SYSTEME.....	90
II.3.1	REALISATION DE LA PARTIE ACTIVE DE PUISSANCE .....	92
II.3.2	GESTION THERMIQUE DE LA PUCE .....	96
II.4.	TECHNOLOGIES DE PACKAGING 3D .....	112
II.4.1	MISE EN SITUATION ET PROBLEMATIQUES .....	112
II.4.2	DEPOSE DE STUD BUMPS .....	119
II.4.3	COLLAGE PAR ADHESIF.....	120
II.4.4	LA THERMO COMPRESSION .....	123
II.4.5	LE ULTRASON/THERMOSON .....	125
II.4.6	BRASURE DE BILLES .....	128
II.4.7	BILAN SUR LES TECHNIQUES DE REPORT FLIP-CHIP .....	137
II.5.	CONCLUSION .....	138

---

### **II.1. INTRODUCTION**

La conception et la réalisation du module actif de puissance sont les premiers objectifs de cette thèse. L'amélioration des performances de la cellule élémentaire et l'optimisation de sa taille ont pour but d'atteindre des densités de puissance plus importantes ainsi que d'assurer une compacité maximale en lien avec une mise en œuvre au sein d'une architecture R $\mu$ C. La réduction des pertes dans la cellule élémentaire ne se limite seulement pas au bon dimensionnement de ses composants actifs. Leur assemblage avec le circuit imprimé (PCB) est aussi important en termes d'efficacité et de fiabilité des interconnexions électriques mais aussi thermique et mécaniques. Les contraintes thermiques peuvent s'avérer un facteur limitant le fonctionnement de la cellule élémentaire. Ce sont notamment les techniques d'assemblage par report en flip-chip qui permettront d'optimiser la gestion thermique du module actif de puissance et de la cellule élémentaire. Ce chapitre est dédié à la conception de puces onduleurs tenant compte des contraintes de mises en œuvre.

### **II.2. CONCEPTION DES COMPOSANTS ACTIFS**

La technologie CMOS d'Austria Microsystems avec une finesse de la gravure de 350 nm a été choisie pour la conception de la puce. Ce choix a été fait sur la base des critères définis suite aux expériences précédentes [Del09], [Hiu13] :

- ◆ Possibilité d'augmenter la puissance transférée de 6W à 10W grâce au module de 5V ;
- ◆ Bon rendement à une fréquence assez élevée (1MHz) ;
- ◆ Access et maîtrise de la technologie au sein du laboratoire.

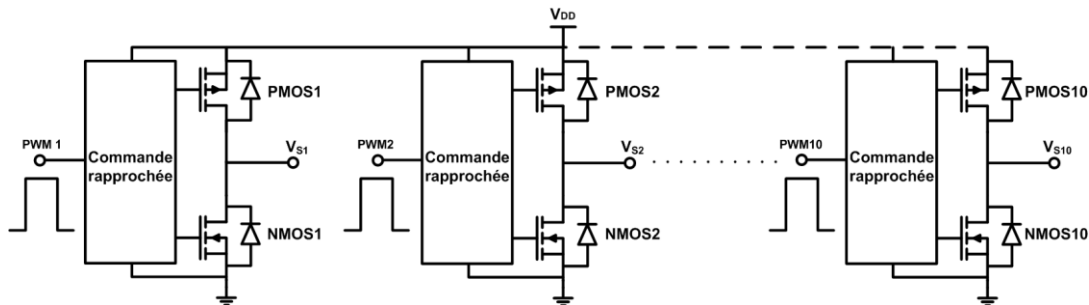
Par conséquent la tension d'alimentation de la puce a été définie en fonction des limites de la technologie utilisée pour l'intégration. La fréquence a été choisie par un compromis entre les pertes par commutation et la réduction de la taille du composant magnétique. La valeur du courant de chaque bras a été définie en fonction d'un encombrement optimal des plots et des liaisons électriques à ceux-ci sur la puce. Ainsi, ces paramètres nous permettront de concevoir une cellule élémentaire de 10W de puissance (voir Tableau II.1).

**Tableau II.1 – Cahier de charges de la puce**

<b>Technologie</b>	<b>Tension maximale</b>	<b>Courant</b>	<b>Fréquence</b>
AMSC35B4	5V	10x200mA	1MHz

**II.2.1 STRUCTURE DE LA PUCE DE PUISSANCE**

L'architecture de la puce a été créée de façon à ce qu'elle soit compatible avec la structure du convertisseur entrelacé. Elle est composée de 10 bras d'onduleur intégrant chacun leur propre commande rapprochée indépendante. Dans un premier temps, les signaux de commande seront générés par des sources externes comme, par exemple, un microcontrôleur, un FPGA ou tout autre circuit de commande (voir Figure II.1). Le condensateur de découplage ne sera pas intégré non plus dans la puce puisque la filière technologique nous permet de dimensionner de capacités de valeurs très faibles ( $1\text{fF}/\mu\text{m}^2$ ) [AMS], ce qui sera pénalisant en terme de surface occupée, de résistance des amenées de courant et de prix.



**Figure II.1 – Structure de la puce**

Le dimensionnement du bras d'onduleur est comparable à celui fait dans la thèse d'Olivier Deleage [Del09]. Pourtant, pour que le circuit intégré puisse fonctionner sous 5V comme le nécessite notre application, il doit être entièrement revu car cela requiert l'utilisation d'autres composants disponibles dans la technologie présentant des caractéristiques différentes de celles du module de 3,3V. Les paramètres qui ont une influence directe sur le dimensionnement [Del09] sont présentés dans le Tableau II.2.

**Tableau II.2 – Paramètres des modules 3,3V et 5V de la technologie AMSC35B4**

Paramètre	Module 3,3V	Module 5V
Tension de seuil NMOS $V_{THN}$	0,56V	0.7V
Tension de seuil PMOS $V_{THP}$	-0,78V	-1V
Longueur de grille $L$	350nm	500nm
Epaisseur d'oxyde $T_{OX}$	7,1nm	14nm
Capacité d'oxyde $C_{OX}$	4,86fF/ $\mu\text{m}^2$	2,465fF/ $\mu\text{m}^2$
Mobilité des porteurs N $\mu_N$	370 $\text{cm}^2/\text{Vs}$	435 $\text{cm}^2/\text{Vs}$
Mobilité des porteurs P $\mu_P$	126 $\text{cm}^2/\text{Vs}$	135 $\text{cm}^2/\text{Vs}$



Un pré-dimensionnement a été réalisé dans le but de déterminer le rendement maximal d'un bras d'onduleur. A technologie donnée, il n'est possible de faire varier que les valeurs des résistances à l'état passant elles-mêmes liées aux capacités de grille ainsi que aux capacités drain-source en fonction de la largeur de grille d'un MOSFET. La largeur de grille reste donc le seul paramètre à optimiser dans le dimensionnement et la conception du bras d'onduleur. Vient ensuite l'optimisation du circuit de commande rapprochée afin de minimiser les pertes durant les commutations MOS-MOS de chaque bras d'onduleur. Plus la largeur de grille est importante, plus sa capacité et, par conséquent, plus les pertes par commutation augmentent lors des fonctionnements en commutation dure. En revanche, plus la résistance à l'état passant diminue, plus les pertes par conduction diminuent. Il existe donc un optimum qu'il va falloir déterminer. La Figure II.2 montre l'estimation analytique de la variation des pertes par commutation dure et par conduction ainsi que l'évolution du rendement en fonction de la largeur de grille pour un bras d'onduleur avec son circuit de commande rapprochée. Les pertes de la commande rapprochée ont été calculées de la même façon que celles des MOSFET de puissance et leurs tailles ont été fixées en utilisant la méthode de dimensionnement de la commande rapprochée décrite dans [Del09]. Dans cas, nous obtenons un rendement maximal d'un bras d'onduleur pour une largeur de grille  $W_N=63000 \mu\text{m}$  pour le NMOS de puissance et  $W_P=189000 \mu\text{m}$  pour le PMOS de puissance pour un fonctionnement à  $V_{DD}=5 \text{ V}$ ,  $I_{moyen}=200 \text{ mA}$  et  $f=1 \text{ MHz}$ . Cette estimation ne tient pas compte des phénomènes parasites tels que les résistances de contact, les résistances et les capacités des amenés de courant, les inductances des connexions et la température de fonctionnement.

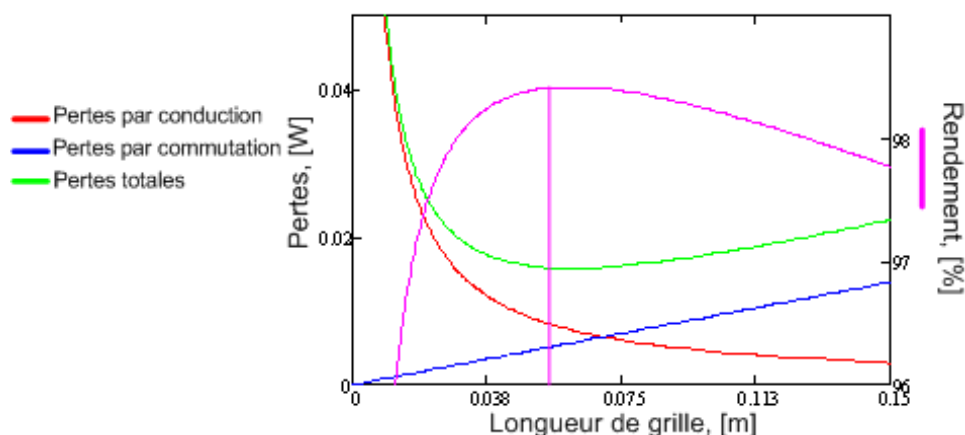


Figure II.2 – Rendement et pertes d'un bras CMOS en fonction de la largeur de grille du NMOS

Suite à ce pré-dimensionnement analytique et pour des raisons d'optimisation du design et de la surface de la puce, les paramètres d'un bras d'onduleur, présentés dans le Tableau II.2,

## Chapitre II : Optimisation et réalisation du module actif de la cellule élémentaire

ont été définis pour une largeur de grille de  $W_N=56000\mu\text{m}$  pour le NMOS de puissance et  $W_P=168000\mu\text{m}$  pour le PMOS de puissance.

Tableau II.3 – Paramètres d'un bras CMOS de puissance  $T=25^\circ\text{C}$

Paramètre	MOSFET canal N	MOSFET canal P
Largeur de grille, $W$	56000 $\mu\text{m}$	168000 $\mu\text{m}$
Résistance interne, $R_{DS}$	45m $\Omega$	56m $\Omega$
Coefficient de la température de la $R_{DS}$ , $\Theta_{RDS}$	$2,5 \cdot 10^{-6}\text{K}^{-1}$	$2,5 \cdot 10^{-6}\text{K}^{-1}$
Capacité d'entrée, $C_{ISS}$	69pF	206pF
Capacité drain-source, $C_{DS}$	34pF	103pF
Temps de montée, $t_m$	1,4ns	1,4ns
Temps de descente, $t_d$	0,4ns	0,4ns

L'évolution de la résistance interne est linéaire en fonction de la température de  $25^\circ\text{C}$  à  $125^\circ\text{C}$ . Cette approximation est définie par la documentation technique d'AMS. Par conséquent, il est possible de trouver  $\Theta_{RDS}$  analytiquement ou en simulation et de calculer la résistance interne des MOSFET pour différentes températures grâce à l'équation (II.1) :

$$R(T) = R(T_{amb}) \cdot [1 + \Theta_{RDS} \cdot (T - T_{amb})] \quad (\text{II.1})$$

La Figure II.3 présente le schéma complet d'un bras d'onduleur. En plus de sa commande rapprochée, il est également composé d'un circuit level shifter suivi par deux modules intermédiaires d'amplification. Le dimensionnement et la conception des circuits constituant le bras d'onduleur seront présentés par la suite.

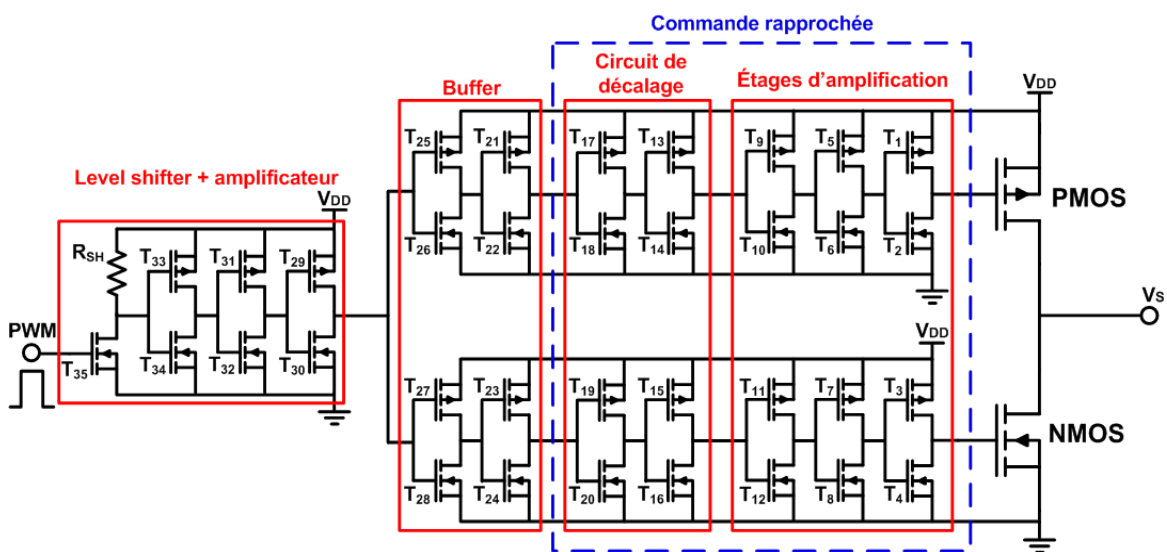


Figure II.3 – Schéma complet d'un bras d'onduleur et de sa commande rapprochée

## Chapitre II : Optimisation et réalisation du module actif de la cellule élémentaire

La conception de *la commande rapprochée* a été conçue par la méthode de dimensionnement développée dans la thèse d'Olivier Deleage [Del09]. Elle présente 3 étages d'amplification et un circuit de décalage des commandes. Le premier étage (sur la droite) est un étage d'amplification à fort courant de grille. Il sert à piloter et à assurer la rapidité des charges et décharges des capacités de grille des MOSFET de puissance. Vu que la taille des MOSFET du premier étage est importante (ie. largeur de grille importante) ils peuvent être le siège de courants de court-circuit assez forts lors de leur propre commutation. Afin de réduire ces courants de court-circuit, il est nécessaire de mettre en place un étage de pré amplification spécifique pour lequel les transistors sont de taille plus faible mais conçus pour minimiser le courant de court-circuit de l'étage de sortie des drivers. Un troisième étage est encore nécessaire pour adapter l'impédance d'entrée de la commande rapprochée aux circuits logiques commandant l'ensemble. Compte tenu du fait que la technologie utilisée est la même que celle dans [Del09], le rapport entre les largeurs de grille de chaque étage de la commande rapprochée reste le même pour optimiser les pertes dans le bras d'onduleur. La synthèse du dimensionnement est présentée à la Figure II.4. Sachant la valeur de la largeur de grille du NMOS de puissance, il est possible de déterminer les largeurs de grille des transistors constituant les étages de la commande rapprochée.

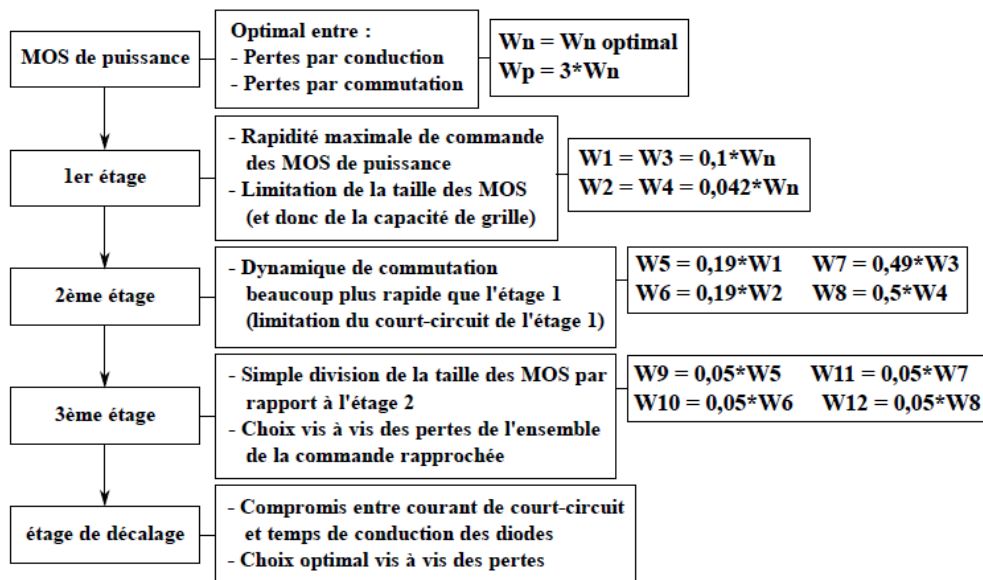


Figure II.4 – Synthèse de dimensionnement de la commande rapprochée [Del09]

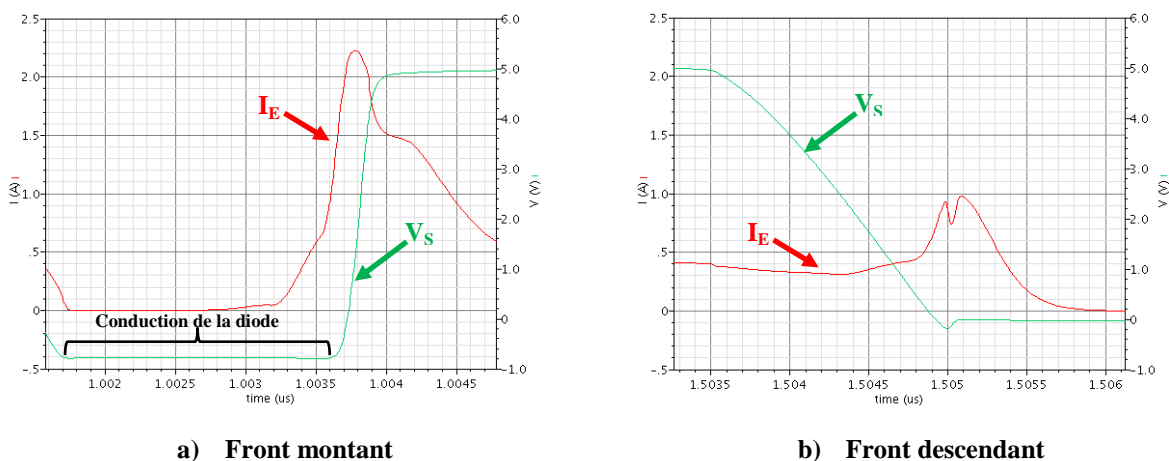
Le circuit de décalage est ensuite nécessaire pour décaler les commandes des MOSFET de puissance N et P constituant chaque bras d'onduleur de façon à créer un temps mort lors de la commutation. Ici il est nécessaire de trouver le temps mort optimal car, s'il est trop important,

il y aura mise en conduction des diodes intrinsèques des MOSFET engendrant des pertes supplémentaires et, s'il est trop court, un court-circuit de bras pourra avoir lieu pouvant causer la destruction de la puce. Les largeurs de grille des MOSFET dans le circuit de décalage sont données dans le Tableau II.4 :

**Tableau II.4 – Largeurs de grille des MOSFETS dans le circuit de décalage**

Etages du circuit de décalage	Largeur de grille $W$			
	PMOS de puissance		NMOS de puissance	
Etage 1	$W_{T13}=55\mu\text{m}$	$W_{T14}=23,6\mu\text{m}$	$W_{T15}=55\mu\text{m}$	$W_{T16}=23,6\mu\text{m}$
Etage 2	$W_{T17}=55\mu\text{m}$	$W_{T18}=0,55\mu\text{m}$	$W_{T19}=0,9\mu\text{m}$	$W_{T20}=23,6\mu\text{m}$

La Figure II.5 montre un résultat de simulation pour le courant d'entrée  $I_E$  (en rouge) et la tension à la sortie  $V_S$  (en vert) d'un bras d'onduleur en commutation après la mise en place du circuit de décalage pour un fonctionnement à  $V_{DD}=5V$ ,  $I_{moyen}=200mA$  et  $f=1MHz$ .

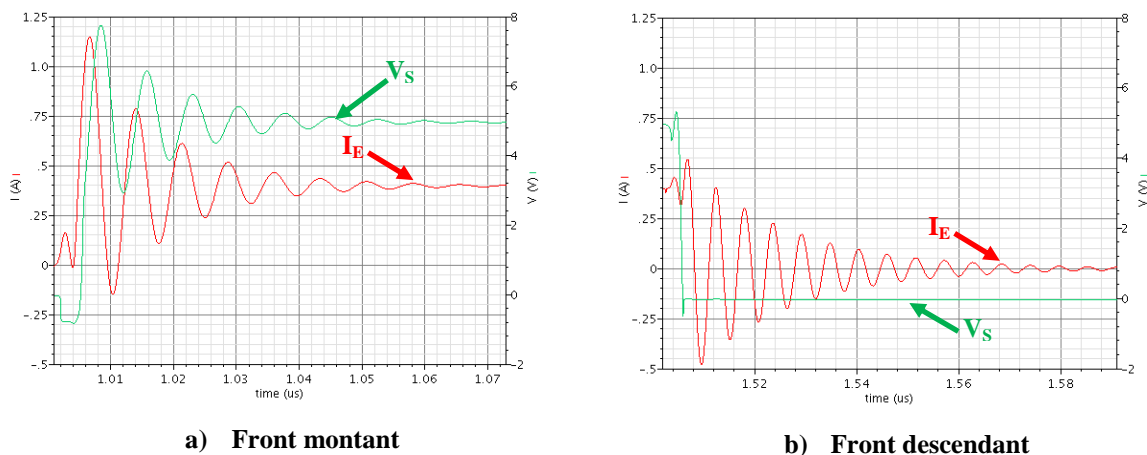


**Figure II.5 – Courant d'entrée et tension de sortie d'un bras d'onduleur (simulation Cadence :  $V_{DD}=5V$ ,  $I_{moyen}=200mA$  et  $f=1MHz$ )**

Figure II.5a, la chute de la tension durant 2ns correspond au temps de conduction de la diode intrinsèque (aussi appelée diode « body ») du transistor NMOS, ce qui correspond à la durée du temps mort ou de la roue libre de la diode avant la fermeture du transistor PMOS. Le pic de 2,2A du courant est dû au courant de recouvrement de cette diode qui s'avère important au moment de la fermeture du transistor PMOS. Sur la Figure II.5b, le pic de courant est à nouveau dû au courant de recouvrement de la diode intrinsèque du transistor NMOS mais cette fois après sa fermeture. Le temps mort pendant cette phase étant plus faible fait que sa diode se charge très peu et par conséquent que le courant de recouvrement est aussi plus faible (1A). Il s'avère alors que la diode body génère un courant de recouvrement important mais

cela donne moins de pertes par rapport à un circuit sans temps mort pour lequel le courant de court-circuit peut s'élever au-delà de 10A.

La même simulation a été réalisée mais cette fois prenant en compte des phénomènes parasites tels que les inductances parasites et les résistances des connexions (voir Figure II.6). Une inductance de maille de 10nH et une résistance de 100mΩ ont été rajoutées afin de simuler un fonctionnement d'un bras d'onduleur dont la puce est connectée par des fils de bonding par exemple.

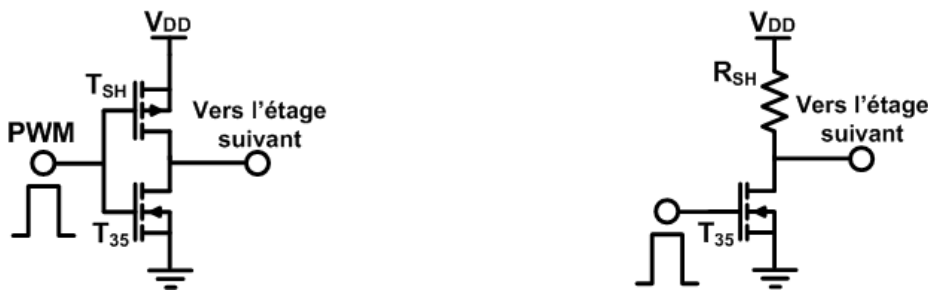


**Figure II.6 – Courant d'entrée et tension de sortie d'un bras d'onduleur avec  $L_{par}=10\text{nH}$  et  $R_{par}=0,1\Omega$  (simulation Cadence :  $V_{DD}=5\text{V}$ ,  $I_{moyen}=200\text{mA}$  et  $f=1\text{MHz}$ )**

Dans ce cas, des oscillations du courant et de la tension sont observées au niveau des fronts montant et descendant du bras d'onduleur. La présence de l'inductance parasite atténue le pic de courant de recouvrement et sa valeur est autour de 1A sur le front montant et de 0,5A sur le front descendant. En revanche, les oscillations de la tension sur le front montant sont de l'ordre de 7,5V, ce qui pourrait causer la destruction de la puce. Il est alors à conclure que l'optimisation de la maille de commutation et de la connectique de la puce a aussi un rôle important vis-à-vis de ses performances. Cette problématique sera abordée plus en détail dans la quatrième partie de ce chapitre.

Etant donné que la première version de la puce ne contient pas d'oscillateur intégré, la génération des signaux de commande se fera à l'extérieur de la puce par un microcontrôleur ou par un circuit FPGA. Dans ce cas, le circuit de *level shifter* a été mis en place afin d'adapter les niveaux de tension des signaux des sources externes à l'entrée de la commande rapprochée de chaque bras.

Dans un level shifter composé d'un étage CMOS (voir Figure II.7a), un signal logique de 3,3V à l'état haut fourni par un microcontrôleur engendrerait un court-circuit pour une tension d'alimentation  $V_{DD}=5V$ . Dans ce cas, le NMOS serait fermé car la tension au niveau de sa grille serait 3.3V mais le PMOS serait toujours maintenu fermé car la tension au niveau de sa grille serait  $V_{GS} = -1,7V$  ( $V_{THP}=-1V$ ). C'est la raison pour laquelle un schéma du level shifter composé d'une résistance connectée en série avec un transistor NMOS a été retenu (voir Figure II.7b). Cette structure permet de piloter la commande rapprochée avec une commande dont l'état haut de la logique est inférieur à 5V. Elle est bien adaptée pour recevoir des signaux de 3,3V fournis par un microcontrôleur.



a) Level shifter composé d'un étage CMOS    b) Level shifter composé d'une résistance et NMOS

Figure II.7 – Circuits de level shifter

La valeur de la résistance a été choisie suite à un compromis entre le rendement d'un bras d'onduleur et la taille qu'elle occupe dans le layout. Les pertes dans le premier étage du level shifter sont calculées par l'expression (2) :

$$P_{level\_shifter} = \frac{V_{DD}^2}{R_{SH} + R_{DS_{ON\_T35}}} \quad (2)$$

Pour  $R_{SH}=12,6k\Omega$  et  $R_{DS_{ON\_T35}}=233\Omega$ , ces pertes sont de 2mW, ou de 0,2% de la puissance commutée, correspondant à un courant de consommation  $I_{CONSO} \approx 400 \mu A$  pour une tension  $V_{DD}=5V$ . La largeur de grille du transistor NMOS T35 ( $W_{T35}=10,8\mu m$ ) a été choisie par un compromis entre la chute de tension au niveau de celui-ci à cause de sa résistance interne (90mV à 25°C) pour éviter que le circuit devienne un diviseur de tension et sa capacité d'entrée  $C_{ISS}$  qui doit rester faible (14fF) pour réduire sa constante de temps.

L'optimisation du layout des signaux de commande coté PCB impose que les 10 entrées des commandes soient localisées dans la même zone de la puce. En conséquence, certaines commandes seront plus éloignées de leurs bras d'onduleur. Cela pourrait engendrer un retard du transfert des ordres de commandes à cause des résistances et des capacités parasites des

pistes dues à leurs longueurs. Pour éviter ce phénomène, le level shifter est suivi par un circuit d'amplification de 3 étages dont le but est d'amplifier le signal de la commande avant qu'elle arrive au niveau d'un deuxième circuit d'amplification. Le deuxième circuit tampon, qui est un circuit suiveur composé de deux étages, a été mis en place pour amplifier de nouveau le signal de la commande arrivant au niveau du circuit de décalage de la commande rapprochée. Les largeurs de grilles des transistors des deux circuits d'amplification ont été dimensionnées, d'une part, de façon à ce qu'ils soient moins consommateurs et, d'autre part, de façon à réduire le retard de la commande, à rendre symétriques les fronts montant et descendant de la commande et à équilibrer le délai de la commande  $t_{ON}$  et  $t_{OFF}$  à l'entrée du circuit de la commande rapprochée. Le Tableau II.5 récapitule les largeurs de grille des transistors des étages "buffer" de la commande.

Tableau II.5 – Largeurs des grilles des MOSFETS des circuits "buffer"

		Largeur de grille $W$	
<b>Premier circuit buffer</b>	Etage 1	$W_{T29}=100\mu\text{m}$	$W_{T30}=33\mu\text{m}$
	Etage 2	$W_{T31}=50\mu\text{m}$	$W_{T32}=20\mu\text{m}$
	Etage 3	$W_{T33}=20\mu\text{m}$	$W_{T34}=15\mu\text{m}$
<b>Deuxième circuit buffer</b>	Etage 1	$W_{T21}=W_{T23}=125\mu\text{m}$	$W_{T22}=W_{T24}=41,5\mu\text{m}$
	Etage 2	$W_{T25}=W_{T27}=50,1\mu\text{m}$	$W_{T26}=W_{T28}=16,75\mu\text{m}$

Ce dimensionnement donne en simulation (voir Figure II.8) un retard du signal au niveau du circuit de décalage  $t_{ON} = t_{OFF} = 620\text{ps}$  par rapport au signal de la source et un temps de montée égal au temps de descente  $t_m = t_d = 150\text{ps}$ . Le retard des MOSFET de puissance par rapport au signal de la source est  $t_{ON} = 4,2\text{ns}$  et  $t_{OFF} = 4\text{ns}$ . Ce retard est logiquement plus grand mais mieux équilibré par rapport au cas sans les buffers ( $t_{ON} = 3,6\text{ns}$  ton et  $t_{OFF} = 2,9\text{ns}$ ).

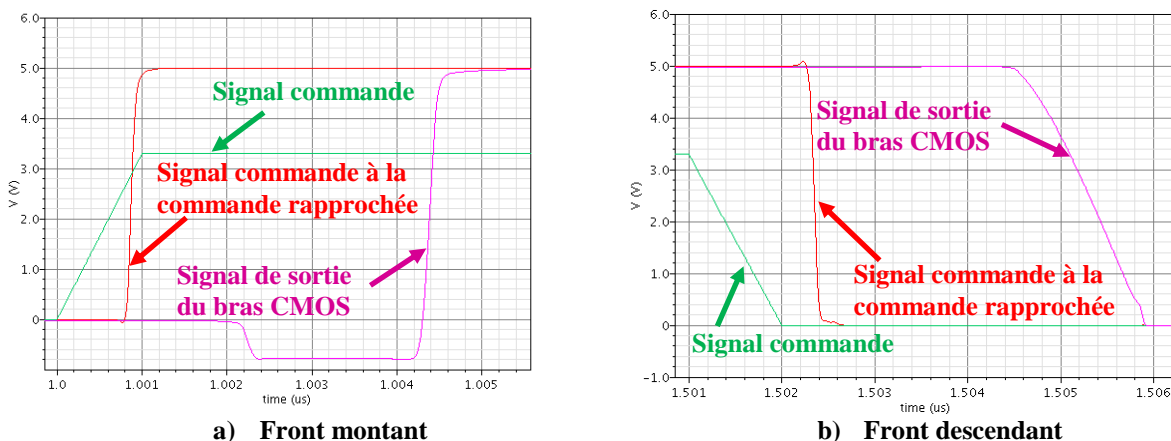
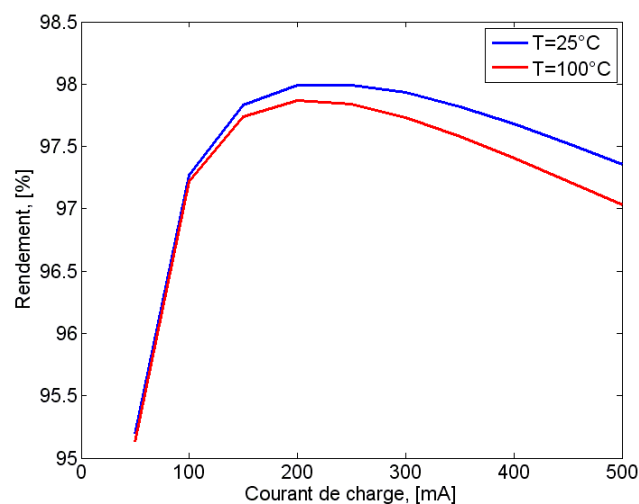


Figure II.8 – Temps de propagation d'un bras d'onduleur

(simulation Cadence :  $V_{DD}=5\text{V}$ ,  $I_{moyen}=200\text{mA}$  et  $f=1\text{MHz}$ )

La Figure II.9 présente une simulation du rendement d'un bras d'onduleur complet en fonction du courant moyen de la charge réalisée avec le logiciel Cadence. Des phénomènes parasites comme les résistances des contacts et des inductances des connexions ont été prises en compte ( $R_{PAR}=10m\Omega$  et  $L_{PAR}=2nH$ ). La simulation a été réalisée pour deux cas de fonctionnement : à température ambiante de  $25^{\circ}C$  et à température élevée de  $100^{\circ}C$  qui est, à priori, plus proche de la température réelle de fonctionnement. L'écart entre les rendements des deux cas augmente en fonction du courant moyen de la charge car à température plus élevée, les pertes par conduction deviennent plus importantes en raison de l'augmentation de la résistance interne  $R_{DS(ON)}$  des transistors. Le bras d'onduleur pourrait aussi fonctionner à des rendements supérieurs à 97% avec des courants de charge plus élevés que le courant de charge nominal mais dans ce cas la dissipation de chaleur à cause des pertes devient plus importante. Du point de vue théorique mais aussi en simulation cela est possible, en pratique il sera nécessaire d'assurer un refroidissement forcé par un ventilateur par exemple afin d'éviter la destruction de la puce.



**Figure II.9 – Rendement d'un bras complet d'onduleur en fonction du courant moyen de la charge pour deux températures de la puce et en tenant compte d'interconnexions imparfaites (simulation Cadence :  $V_{DD}=5V$  et  $f=1MHz$ )**

Le bilan des pertes dans le bras CMOS est présenté dans le Tableau II.6 :

**Tableau II.6 – Bilan analytique des pertes dans un bras CMOS de puissance ( $V_{DD}=5V$ ,  $I_{CHARGE}=200mA$ ,  $f=1MHz$  et  $T=25^{\circ}C$ )**

$P_{conduction}$	$P_{commutation}$	$P_{commande\ rapprochée}$	$P_{tampon}$	$P_{level\ shifter}$	$P_{contacts}$
8,1mW	5,2mW	2,6mW	0,5mW	2mW	4mW



Il est important de constater que les pertes de commande et les pertes dans les contacts sont importantes et du même ordre de grandeur que les pertes par conduction ou par commutation. Cela souligne combien la mise en forme d'un signal et le contact entre la puce et les pistes du circuit imprimé sont critiques dans la création des pertes dans le système.

Dans la section suivante les avantages qu'apporte la structure de la puce en termes de versatilité et de mise en place dans des différentes topologies de convertisseurs seront présentés.

### II.2.2 CONFIGURATIONS DE LA PUCE DE PUISSANCE

L'intégration de plusieurs bras d'onduleur dans une même puce la rend générique et permet sa mise en œuvre dans plusieurs topologies de convertisseurs. Etant donné que la commande de chaque bras d'onduleur est indépendante, la puce peut être adaptée à diverses structures de convertisseurs en changeant le routage au niveau du circuit imprimé et en mettant en place la commande appropriée. Ainsi, elle peut être mise en place dans des structures entrelacées en pilotant séparément chaque bras d'onduleur (voir Figure II.10) ou, par la mise en parallèle de tous les bras d'onduleur et en les pilotant avec le même signal, elle peut être utilisée comme cellule de commutation dans la structure d'un convertisseur buck, boost ou buck-boost (voir Figure II.11).

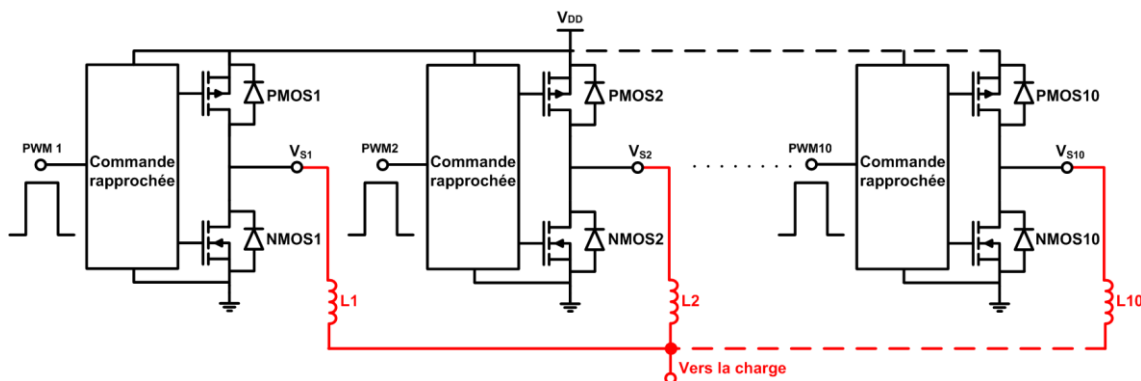


Figure II.10 – Configuration de la puce pour une structure entrelacée

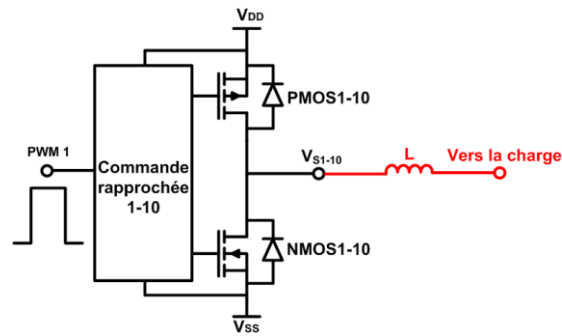


Figure II.11 – Configuration de la puce pour un convertisseur buck, boost et buck-boost

La mise en parallèle de 5 bras d'onduleur en deux groupes forme la structure d'un pont complet (voir Figure II.12). Dans ce cas, la puce peut fonctionner comme un onduleur et/ou comme un redresseur synchrone. C'est notamment cette configuration qui sera utilisée pour la réalisation de la cellule élémentaire utilisant la structure du convertisseur en double pont complet.

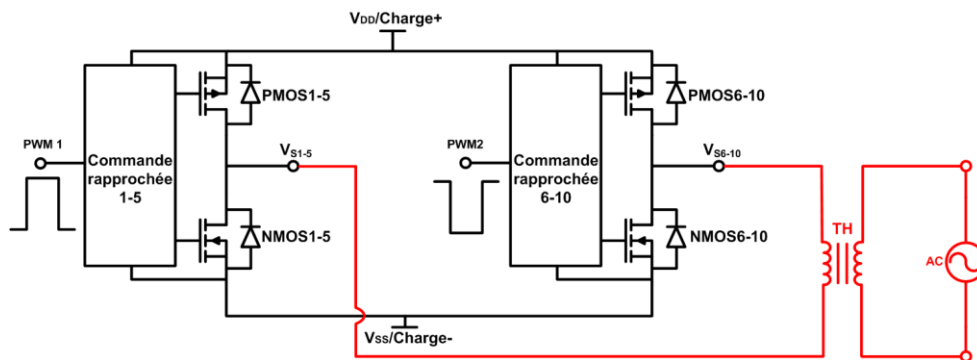


Figure II.12 – Configuration de la puce en onduleur et redresseur

Grâce à la possibilité de reconfigurer les bras d'onduleur de la puce via les ordres de commande et via le type d'interconnexion qui sera mise en œuvre coté PCB, une solution pour mettre en œuvre un circuit d'aiguillage dans un réseau de micro-convertisseurs en association SIPO sera présentée dans la section suivante.

### II.2.3 GESTION DES INTERCONNEXIONS

Un ou plusieurs bras d'onduleur de la puce mis en parallèle peuvent être dédiés au circuit d'aiguillage (voir Figure II.13). La cellule élémentaire est alors alimentée par les points milieux des bras du circuit d'aiguillage et ces bras doivent être pilotés par une commande logique indépendante des commandes des autres bras de puissance. Cette perspective a été

introduite dans le premier chapitre comme offrant un degré de liberté supplémentaire dont les bénéfices restaient à quantifier.

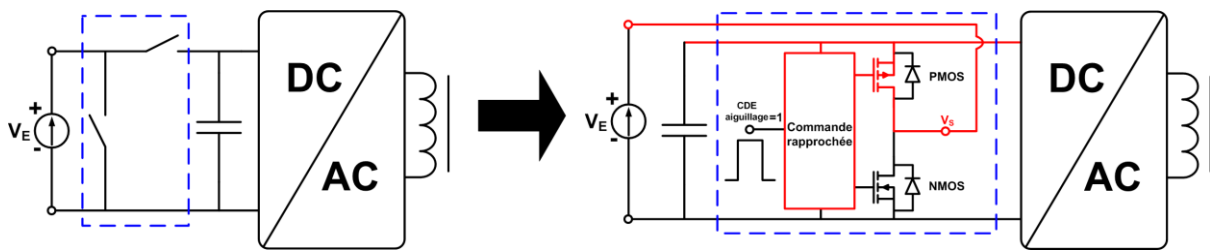


Figure II.13 – Configuration d'un circuit d'aiguillage (alimentation par le transistor PMOS)

Le circuit d'aiguillage peut aussi être réalisé de sorte à ce que des transistors NMOS soient fermés pour alimenter la cellule élémentaire afin de profiter de leur plus faible résistance à l'état passant. Dans ce cas, il sera nécessaire de connecter la masse de la source aux points milieux des bras d'aiguillage (voir Figure II.14). Dans le cas général nous pouvons faire le choix du NMOS.

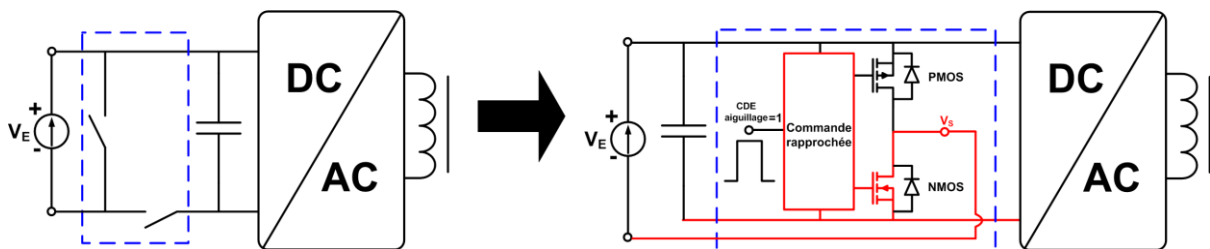


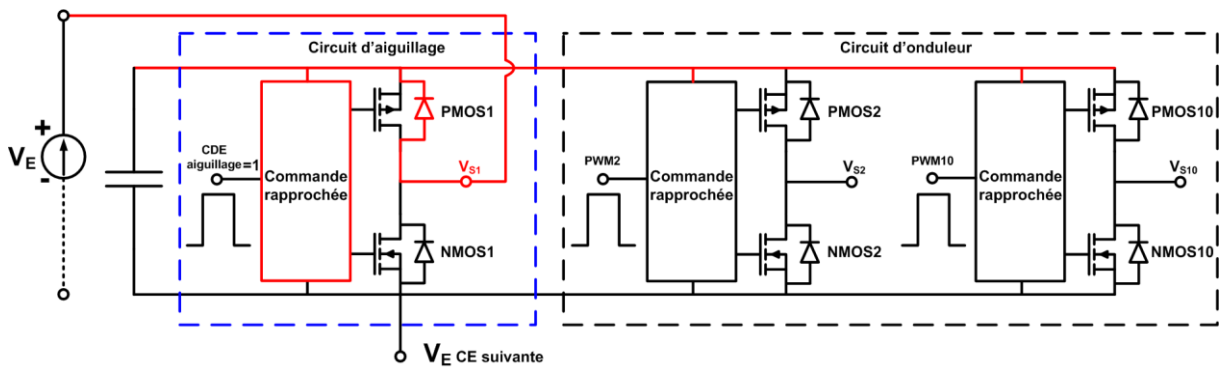
Figure II.14 – Configuration d'un circuit d'aiguillage (alimentation par le transistor NMOS)

Dans la suite, tout d'abord l'état de l'art de l'aiguillage intégré sera présenté et ensuite un bilan des pertes de différentes configurations de la puce avec un circuit d'aiguillage sera réalisé.

### II.2.3.1 DEMARRAGE DU CIRCUIT D'AIGUILLAGE

Pour pouvoir connecter la cellule de conversion élémentaire au réseau de convertisseurs, il est nécessaire d'alimenter le circuit d'aiguillage. A l'instant initial, aucune tension n'est disponible sur le bus DC de la puce onduleur de chacune des cellules élémentaires du réseau. En conséquence, le circuit de la commande rapprochée qui prend son alimentation sur le bus DC n'est pas alimenté, ce qui ne permet pas la fermeture du transistor PMOS. En revanche, quand la tension d'alimentation  $V_E$  est appliquée au circuit et apparaît au point milieu de chaque bras d'onduleur de chaque circuit d'aiguillage, l'une des diodes intrinsèques des

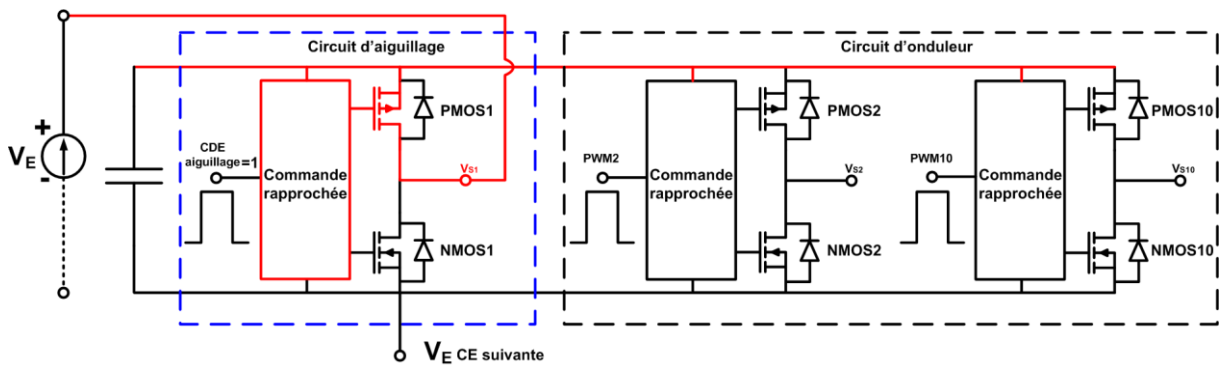
transistors du bras d'aiguillage devient passante et permet une charge initiale des capacités des bus DC de chaque cellule. Dans ce cas, la commande rapprochée est alimentée même si le transistor PMOS du circuit d'aiguillage est en état ouvert (voir Figure II.15). La tension d'alimentation au niveau de la commande rapprochée du circuit d'aiguillage est alors  $V_E - V_F$ ,  $V_F$  étant la chute de tension au niveau de la diode body. Par conséquent, la commande rapprochée va pouvoir fermer le transistor PMOS et maintenir à l'état ouvert le transistor NMOS du circuit d'aiguillage.



**Figure II.15 – Démarrage de la commande rapprochée du circuit d'aiguillage**

**II.2.3.2 REGIME PERMANENT DU CIRCUIT D'AIGUILLAGE**

Le signal de la commande est toujours maintenu de façon à ce que le transistor PMOS soit fermé mais cette fois le circuit de la commande rapprochée du circuit d'aiguillage est alimenté. Par conséquent, le transistor PMOS du circuit d'aiguillage est fermé et tout le courant d'alimentation passe à travers lui (voir Figure II.16).



**Figure II.16 – Alimentation de la commande rapprochée du circuit d'aiguillage**

### II.2.3.2 PHASE D'ILOTAGE D'UNE CELLULE ELEMENTAIRE

Pour iloter une cellule, il est nécessaire de changer la commande du circuit d'aiguillage de façon à ce que le transistor PMOS soit ouvert et le transistor NMOS soit fermé. Par conséquent, la cellule de conversion est ilotée au primaire et son potentiel d'alimentation est ramené à la cellule suivante (voir Figure II.17). Or il est essentiel de maintenir alimentée la commande rapprochée du bras d'aiguillage via la présence d'un potentiel suffisant sur le bus DC au primaire de la cellule de conversion.

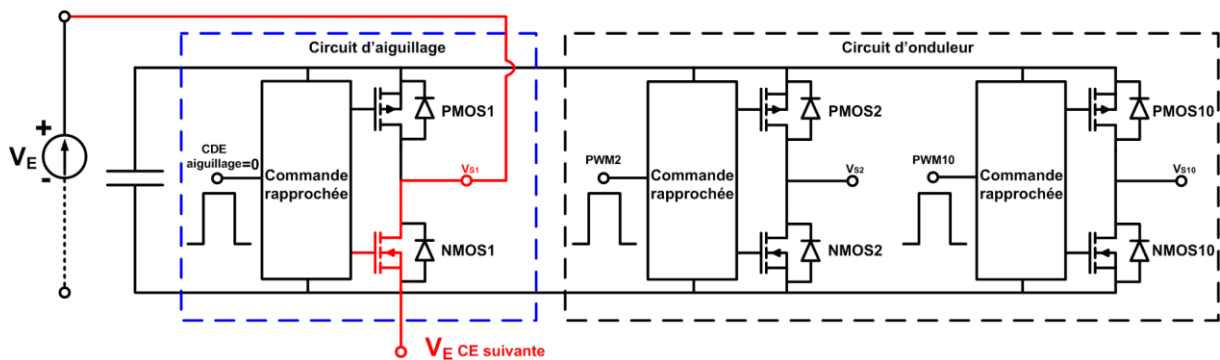


Figure II.17 – Coupure de l'alimentation de la commande rapprochée du circuit d'aiguillage

L'association SIPO permet d'assurer l'alimentation de la commande rapprochée du circuit d'aiguillage même quand la cellule élémentaire est ilotée au primaire. Etant donné que tous les secondaires de puissance des cellules élémentaires sont connectés en parallèle, leurs sorties auront le même potentiel comme montré à la Figure II.18. Ce potentiel sera maintenu grâce aux cellules qui ne sont pas ilotées et qui continuent à transférer de l'énergie de la partie primaire vers la partie secondaire. Il est alors tout à fait possible de faire travailler la cellule ilotée en "sens" inverse pour alimenter le bus DC au primaire via l'énergie dont la cellule dispose au secondaire.

L'association PISO permet aussi d'assurer l'alimentation de la commande rapprochée d'une ou plusieurs cellules élémentaires ilotées. Dans ce cas, l'ilotage se fait au niveau du secondaire et il ne sera pas nécessaire de faire travailler la cellule désactivée en sens inverse puisque son potentiel au secondaire est directement maintenu par le bus DC au primaire qui est commun pour toutes les cellules élémentaires (voir Figure II.19).

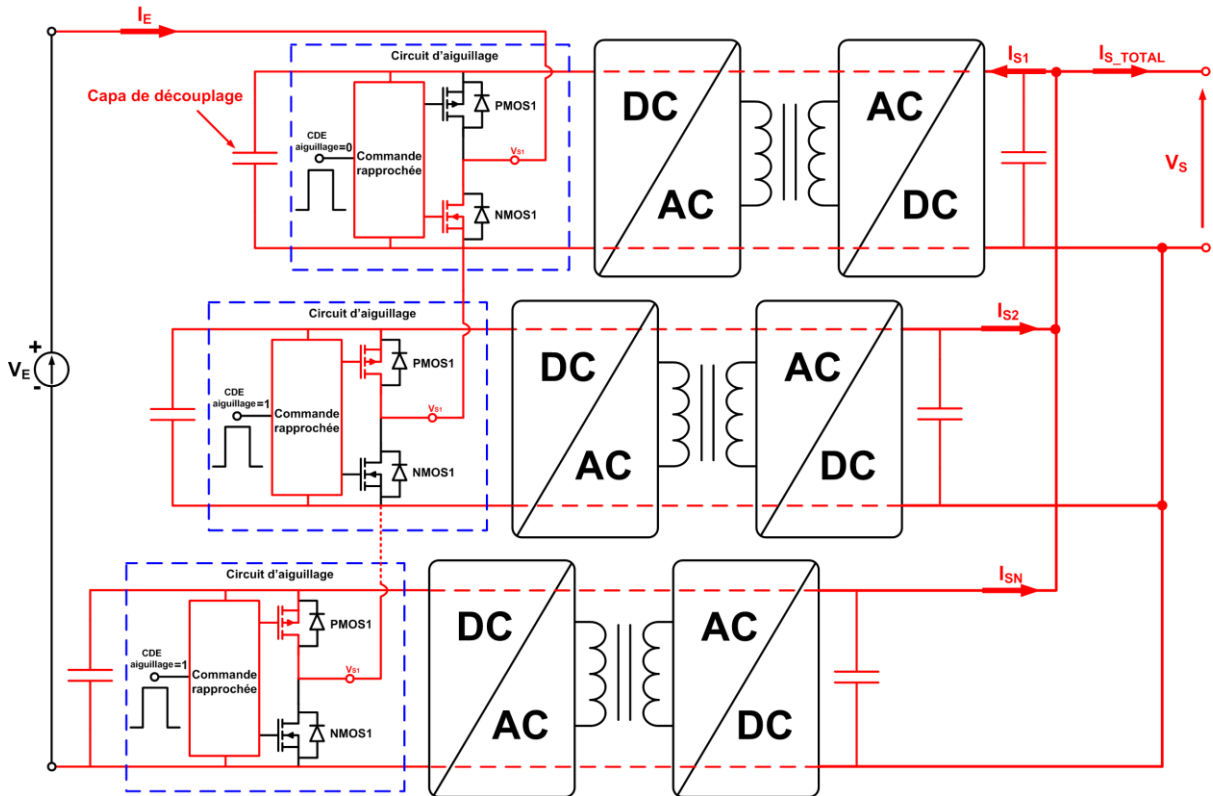


Figure II.18 – Ilotage d’une cellule élémentaire dans une configuration SIPO

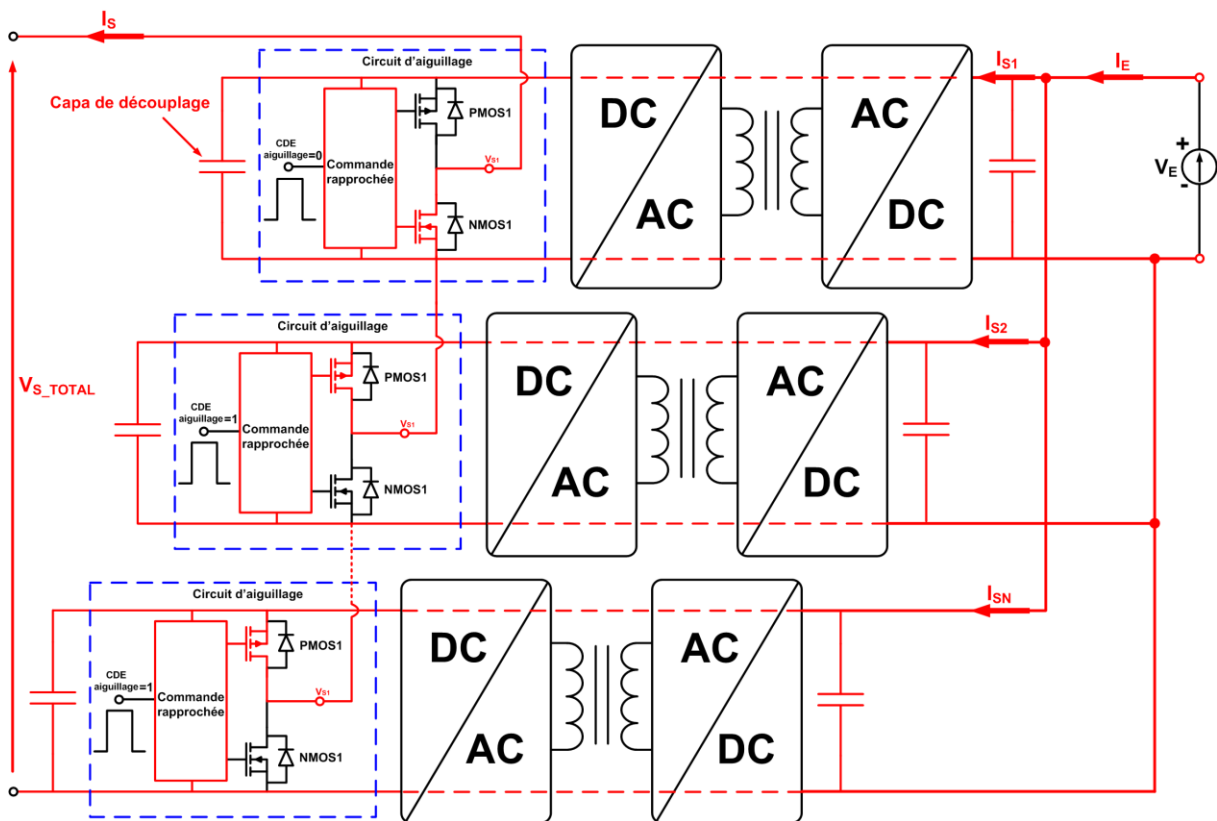


Figure II.19 – Ilotage d’une cellule élémentaire dans une configuration PISO

Bien entendu, la mise en place du circuit d'aiguillage va avoir un impact sur les pertes au niveau de la cellule de conversion lorsque celle-ci est active mais également au niveau du réseau lorsque la cellule est ilotée. Il est alors nécessaire de vérifier quel sera le prix à payer en termes de rendement, et est-ce que la mise en place d'un tel aiguillage est justifiée et dans quels cas ? Pour cette raison, la section suivante est focalisée sur le bilan des pertes dans le système.

### **II.2.3.3 BILAN DES PERTES DANS UNE PUCE AVEC UN CIRCUIT D'AIGUILLAGE**

La mise en place d'un circuit d'aiguillage nécessite que tout le courant passe en permanence à travers un transistor PMOS quand la cellule élémentaire est active (c'est-à-dire qu'elle transfère de l'énergie dans un sens ou dans l'autre) ou par un transistor NMOS quand la cellule élémentaire est ilotée. Cela crée des pertes par conduction supplémentaires non négligeables étant donné les valeurs des résistances à l'état passant des transistors (45mΩ pour le transistor NMOS et 56mΩ pour le transistor PMOS). Dans ce cas, pour réaliser la fonction d'aiguillage, il sera nécessaire de mettre en parallèle plusieurs bras CMOS en fonction du calibre en courant nominal de la cellule. On pourra soit utiliser quelques bras de la puce multibras et les affecter à la fonction aiguillage soit utiliser une puce supplémentaire pour réaliser cette fonction. L'utilisation de bras au niveau de la puce onduleur va diminuer le nombre de bras disponibles pour réaliser la partie onduleur, ce qui amènera à la diminution de la puissance transférée au rendement maximal. Dans ce cas, pour avoir un rendement optimal, le choix du nombre de bras d'aiguillage à mettre en parallèle doit être fait par un compromis entre les pertes dans le circuit d'aiguillage et celles dans la cellule de commutation le tout en recherchant pour chaque configuration quel est le niveau de courant de puissance optimal.

Les pertes totales dans un bras d'onduleur de la puce sans circuit d'aiguillage sont présentées dans l'équation (II.3) :

$$P_{BRAS} = P_{level\_shifter} + P_{BUFFER} + P_{commande\_rapprochée} + P_{CONDUCTION} + P_{COMMUTATION} \quad (II.3)$$

$P_{level\_shifter}$  – pertes dans le level shifter

$P_{commande\_rapprochée}$  – pertes dans la commande rapprochée

## Chapitre II : Optimisation et réalisation du module actif de la cellule élémentaire

Les pertes par commutation en général n'existent pas dans les bras d'aiguillage s'ils ne commutent plus une fois que la configuration est établie. En revanche, les pertes par conduction dans le bras d'aiguillage sont à considérer et leur valeur dépend du nombre de bras CMOS associés en parallèle et du courant nominal que nous faisons transiter via le circuit d'aiguillage.

Les pertes par commutation et les pertes par conduction dans la commande rapprochée et les circuits tampons du circuit d'aiguillage sont négligeables quand le circuit d'aiguillage est dans un état stable. Les seules pertes, dans ce cas, seront dues aux courants de fuites des capacités de grilles et des jonctions PN polarisées en inverse des transistors NMOS et/ou PMOS dont les valeurs sont très faibles (de l'ordre de dizaine pF max pour les étages de la commande rapprochée et de l'ordre de centaine pF pour les NMOS et PMOS de puissance) et ne seront pas considérées.

Les pertes dans les level shifters du circuit d'aiguillage ont lieu quand il est commandé par un signal de 1 logique pour alimenter le circuit dans le cas d'un état stable. Dans ce cas, le transistor NMOS T35 est fermé et avec (II.1) nous obtenons des pertes  $P_{level\_shifter}=2mW$ . Quand le signal de la commande est un 0 logique afin d'iloter la cellule élémentaire, les pertes dans le circuit level shifter sont considérées négligeables car elles ne seront créées que par les courants de fuite des capacités de grille des transistors NMOS T34 et T30 des étages suivants.

Par conséquent, si  $q$  est le nombre des bras d'onduleur dans la puce dédiés au circuit d'aiguillage, les pertes dans un module contenant un circuit d'aiguillage en état stable d'alimentation seront présentées par l'équation (II.4) :

$$P_{PUCE} = q \cdot P_{level\_shifter} + \frac{R_{PMOS}}{q} \cdot I_{NOMINAL}^2 + (10 - q) \cdot P_{BRAS} \quad (II.4)$$

Par analogie, pour un état stable iloté de la cellule élémentaire, les pertes dans le module de puissance seront régies par celles dans le circuit d'aiguillage, exprimées par l'équation (II.4) :

$$P_{PUCE} = \frac{R_{NMOS}}{q} \cdot I_{NOMINAL}^2 \quad (II.5)$$



## **Chapitre II : Optimisation et réalisation du module actif de la cellule élémentaire**

Le Tableau II.7, fait une comparaison des pertes et des rendements des différentes configurations du circuit d'aiguillage afin de trouver celle qui est la plus optimale pour le module actif de puissance en régime de fonctionnement nominal de chaque bras d'onduleur. Les calculs analytiques sont basés sur les résultats obtenus en simulation du Tableau II.5.

**Tableau II.7 – Paramètres du module de puissance en configuration sans et avec circuit d'aiguillage**

$(V_{DD}=5V, I_{BRAS}=200mA, f=1MHz, T=25^{\circ}C)$

<b>Paramètre</b>	<b>Sans circuit d'aiguillage</b>	<b>2 bras en parallèle pour aiguillage</b>	<b>4 bras en parallèle pour aiguillage</b>	<b>6 bras en parallèle pour aiguillage</b>
Courant nominal	2A	1,6A	1,2A	0,8A
Puissance	10W	8W	6W	4W
Pertes des bras d'onduleur(s)	200mW	160mW	120mW	80mW
Pertes du circuit d'aiguillage	-	71,76mW	21,76mW	8,37mW
Pertes totales	200mW	231,76mW	141,76mW	88,37mW
Rendement	98%	97,1%	97,6%	97,8%

La mise en parallèle de 2 bras d'onduleur dans le circuit d'aiguillage fait diminuer le rendement de presque 1%. Les deux bras d'aiguillage seront soumis à des contraintes en courant plus importantes mais qui seront compensées au niveau thermique par l'absence de pertes en commutation. L'augmentation principale des pertes est liée au fait que, in fine, deux structures de conversion sont cascadées ce qui pénalise bien évidemment le rendement global de la structure. En augmentant le nombre des bras d'onduleur mis en parallèle dans le circuit d'aiguillage et en diminuant la puissance, le rendement du module de puissance peut être amélioré significativement. Néanmoins, l'amélioration n'est plus que de 0,2% pour les cas avec 4 et 6 bras en parallèle dans le circuit d'aiguillage. En revanche, cette amélioration est pénalisée par la diminution de la puissance transférable en régime nominal. Par conséquent, il s'avère que la configuration de la puce avec 4 bras dédiés au circuit d'aiguillage est le choix optimal entre les pertes dans le circuit d'aiguillage et la puissance transférée par la puce. Il est également possible d'ajouter une autre puce dont le rôle ne sera que l'aiguillage. Dans ce cas, la puissance transférée ne diminuera pas et les pertes dans la puce d'aiguillage seront de 40mW, ce qui donnera un rendement de 97,6% pour une puissance de 10W. En revanche, la cellule élémentaire aura encore un module de plus.

La technique d'aiguillage donne la possibilité de faire un réglage grossier du rapport de transformation. Pour avoir un réglage fin nous pouvons utiliser la plage de variation de la tension d'alimentation acceptable en termes de rendement de la puce. La Figure II.20 illustre une simulation sous le logiciel Cadence de la variation du rendement d'un bras d'onduleur en fonction de la tension d'alimentation  $V_{DD}$  pour différents courants moyens de charge. La diminution de la tension d'alimentation mène à l'augmentation de la résistance à l'état passant des bras d'onduleur. Ceci augmente les pertes par conduction et, par conséquent, fait baisser son rendement. Toutefois, dans le cas d'un fonctionnement au courant nominal de 200mA, pour une diminution de la tension de 1V ou de 20%, le rendement chute que de 0,2% ou autrement dit, à tension d'alimentation  $V_{DD}=4V$ , le rendement d'un bras d'onduleur est 97,8%. Comme montré sur la Figure II.20, pour des tensions inférieures à 4V le rendement diminue drastiquement puisque le level shifter dans la commande rapprochée fait en sorte que la tension maximale  $V_{GS}$  appliquée au niveau des grilles des MOSFET de puissance soit toujours égale à la tension d'alimentation du bus DC. Dans ce cas, en diminuant la tension d'alimentation  $V_{DD}$ , la tension  $V_{GS}$  diminue aussi et par conséquent, la résistance interne à l'état passant des MOSFET de puissance augmente. Nous pouvons alors définir une plage de tension d'alimentation, de 4 à 5V, dans laquelle le rendement des bras d'onduleur est maximal. Cette plage sera appelée marge de fonctionnement à rendement optimal (MFRO).

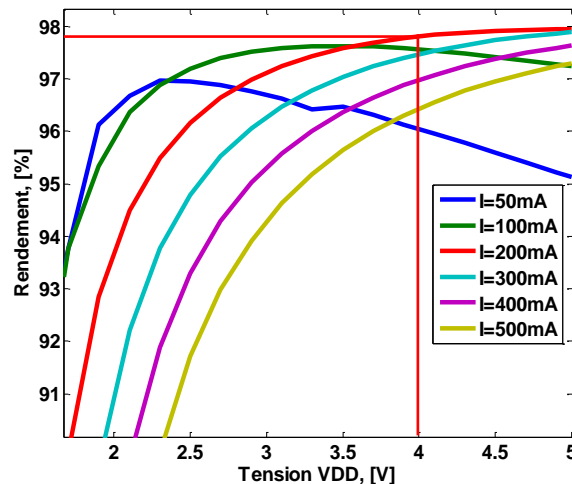


Figure II.20 – Rendement d'un bras d'onduleur en fonction de la tension d'alimentation pour différents courants de charge (simulation Cadence :  $f=1MHz$ ,  $T=25^{\circ}C$ )

Il s'avère alors que la technologie de la puce offre une MFRO de 20% de la tension nominale d'alimentation (5V). Dans une configuration SIPO ou PISO, cette flexibilité en

tension ferait en sorte que la discrétisation de la puissance soit aussi plus flexible, étant multiple des tensions de 4 à 5V.

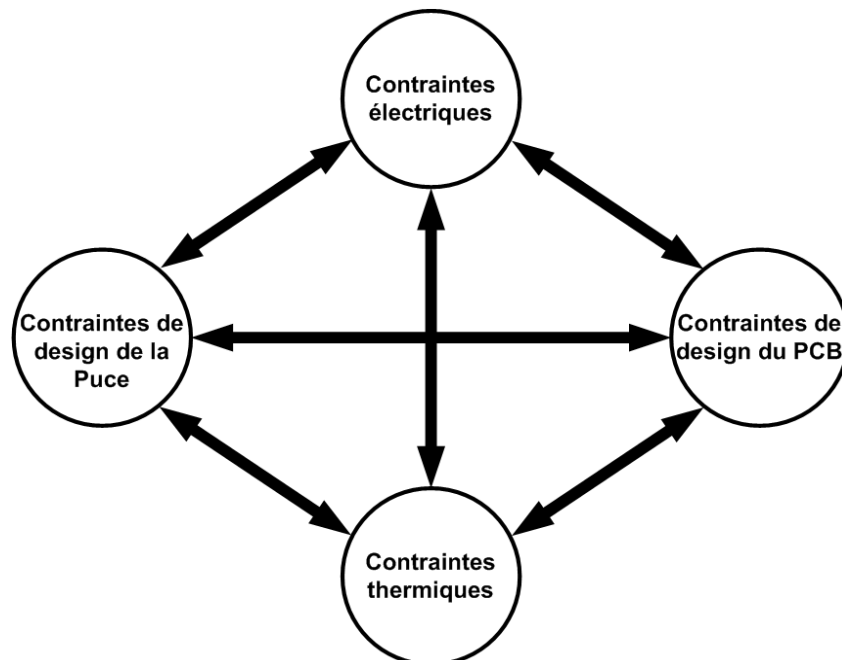
Dans cette partie nous avons abordé le problème des contraintes électriques et du rendement de la puce. Dans la suite, nous allons nous concentrer sur les autres facteurs limitant le rendement et les performances de la partie active de puissance tels que les contraintes thermiques et le report de la puce sur le circuit imprimé.

### **II.3. COUPLAGE COMPOSANTS – PUCE – SYSTEME**

La conception et le design de la puce ne doivent pas se faire seulement en fonction des spécifications électriques imposées par le cahier de charges et les caractéristiques intrinsèques du circuit intégré. Il est également nécessaire de tenir compte de toutes les contraintes qui peuvent avoir lieu au sein de la cellule élémentaire incluant la mise en œuvre des composants. Il ne suffit pas d'intégrer les 10 bras d'onduleur dans la puce mais il faut aussi réfléchir sur le design du convertisseur, sur la manière dont vont être assemblés puis interagir les différents éléments. C'est notamment la notion couplage des composants qui induit la compatibilité et l'interaction entre les composants et entre les composants et le système.

Au niveau électrique il faut que le design du layout de la puce soit optimisé pour maximiser les performances des fonctions de découpage tout en facilitant l'interconnexion avec l'environnement (voir Figure II.21). Le placement des bras CMOS, le routage des pistes, leurs forme et largeur doivent être optimisés afin de réduire toute résistance et maille parasite des amènes de courant. Par ailleurs, un design optimal est toujours associé à un point de fonctionnement. Cela ne veut forcément pas dire que le dimensionnement des bras d'onduleur n'est pas correct pour les autres points de fonctionnement ou modes opératoires et pose des limites du fonctionnement au rendement maximal. Il est également possible que le fonctionnement de la puce soit limité à cause des contraintes thermiques. Une mauvaise gestion thermique peut significativement limiter les calibres d'utilisation de la puce et ne pas permettre à celle-ci de fonctionner au niveau de la puissance nominale pour laquelle elle a été dimensionnée. Par conséquent, le design doit être fait de façon à assurer également la bonne dissipation de la chaleur. C'est notamment le packaging et l'assemblage de la puce avec le circuit imprimé qui interviennent dans cet aspect. Il est alors nécessaire de designer la puce et

de concevoir le PCB de façon à assurer un échange thermique avec l'ambiant suffisant pour maintenir le circuit intégré dans sa plage de bon de fonctionnement en température. L'assemblage flip-chip est une solution permettant de limiter les éléments parasites d'interconnexion électrique et peut participer à l'évacuation de la chaleur de manières plus ou moins efficaces [Men09]. Mais pour qu'une puce soit flip-chipée, il est nécessaire que la géométrie de son empreinte soit conforme et compatible avec les contraintes de précision mais surtout de réalisation des substrats qui peuvent être par exemple des céramiques ou des circuits imprimés. Pour cela, il faut, pendant la phase de design du circuit, tenir compte de la façon dont elle sera reportée sur le substrat et donc des distances minimales entre les plots, des tailles des plots et du nombre de plots par unité de courant de puissance.



**Figure II.21 – Relations à respecter pendant la conception et le design de la puce**

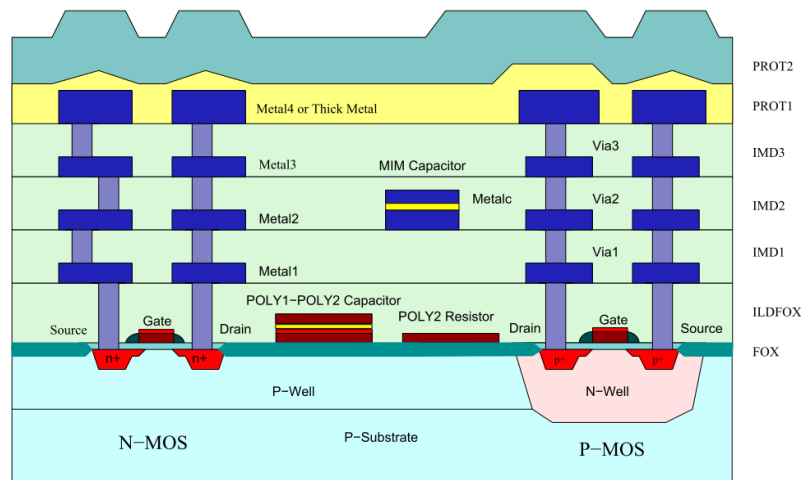
Par opposition, côté circuit intégré, les plots d'interconnexion tout comme les pistes de puissance et l'emplacement des transistors de puissance doivent être judicieusement définis en fonction de critères tels que les pertes dans les pistes, la surface totale de la puce qui est, in fine, liée au coût de celle-ci, les couplages parasites indésirables au niveau du circuit intégré, la tenue mécanique de l'ensemble, la disposition des plots, des principaux chemins permettant l'évacuation des pertes vis-à-vis des zones ou régions dissipatrices de chaleur.

### II.3.1 REALISATION DE LA PARTIE ACTIVE DE PUISSANCE

Après avoir défini les paramètres des bras d'onduleur il nous faut maintenant procéder au design du layout de la puce. Dans le processus de design il est nécessaire de tenir compte de contraintes de natures différentes :

- ◆ Le design de la puce doit être conforme aux règles de dessin du fondeur (design kit) qui conditionnent les relations géométriques telles que les largeurs des pistes, les longueurs des pistes, les distances entre les pistes, les extensions des différentes couches, le contour des couches et des vias, les surfaces maximales occupées par une couche de métallisation, les ratios entre les surfaces, etc. ;
- ◆ Les densités de courant étant définies pour chaque couche de métal, pour chaque via et pour chaque plot, cela impose, d'une part, que les pistes doivent être les moins longues et les plus larges possibles afin de réduire la résistivité des amenés de courant et, d'autre part, que le nombre de plots par potentiel doit être suffisant pour que leur impédance soit limitée ;
- ◆ Au fil du processus de design il est nécessaire d'optimiser l'emprise de la puce afin de ne pas être pénalisé en terme de prix en raison de la surface de silicium nécessaire ;
- ◆ Afin de faire le report flip-chip, il est nécessaire de tenir compte des contraintes et des normes de conception des circuits imprimés telles que les distances d'isolement, les largeurs des pistes, les diamètres internes et externes des vias, etc., pour le nombre et le positionnement des plots de contact de puissance mais aussi de commande. Par ailleurs, le nombre de plots est aussi déterminant pour la faisabilité et la qualité d'un montage flip-chip. Comme nous allons le voir plus loin, plus le nombre des plots est grand, plus il est difficile de reporter la puce et d'avoir un montage stable et fiable.

La technologie d'AMS C35B4M3 utilisée pour la conception de la puce fait partie de la famille C35B4. Elle dispose de quatre couches de métallisation, les interconnexions entre elles se faisant par l'intermédiaire de vias. A la différence des autres technologies de  $0,35\mu\text{m}$  proposées par AMS, sa quatrième couche de métal est plus épaisse, ce qui la rend bien adaptée aux circuits faisant transiter des courants importants. La Figure II.22 illustre la vue en coupe de la technologie d'AMS C35B4M3.



**Figure II.22 – Vue en coupe de la technologie AMSC35B4M3**

Le tableau suivant montre que la densité de courant de la couche du métal épais est 5 fois plus grande par rapport à celle des autres couches. Ces valeurs ont été tirées de la documentation technique de cette technologie [AMS].

**Tableau II.8 – Densités de courant des couches de métallisation en fonction de la largeur**

Couches	Densité de courant
Métal 1	1mA/μm
Métal 2	1mA/μm
Métal 3	1mA/μm
Métal 4 (épais)	5mA/μm

Autant que faire se peut, les pistes de puissance ont été réalisées sur cette dernière couche de métallisation afin de réduire la résistivité et l'emprise des connexions. Cette approche a été appliquée par [Del09]. Dans notre cas, le design est optimisé tout d'abord au niveau de la commande rapprochée. Elle est directement implémentée sur toute la longueur de la grille des transistors NMOS et PMOS de puissance. Ceci permet de réduire la longueur des pistes entre les points milieux du premier étage d'amplification et de distribuer le courant au niveau des grilles de façon uniforme. Les plots de contact du point milieu sont directement intégrés au niveau du drain commun entre le NMOS et le PMOS de puissance (voir Figure II.23). Cette méthode de design permet de réduire au maximum la longueur des amenés du courant et, par conséquent, de réduire leur résistance.

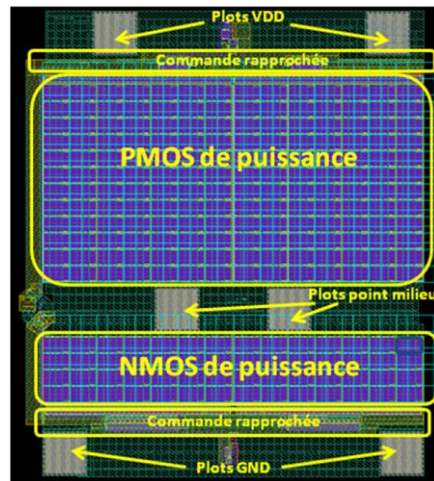


Figure II.23 – Layout d'un bras CMOS

Comme la Figure II.24 le montre, ce design permet d'avoir une distribution homogène du courant au niveau de tous les bras grâce aux deux équipotentielles  $V_{DD}$  sur les parties haute et basse de la puce et le  $GND$  au milieu de celle-ci. De plus, le courant attaque directement la couche de métal épais et ceci perpendiculairement et dans la largeur et non dans la longueur de la puce, ce qui réduit la résistance des amenés de courant. La structure de la puce a été faite de façon à ce que les distances entre ses plots respectent les normes de design d'un PCB afin de pouvoir déposer par flip-chip la puce directement sur celui-ci. L'architecture de la puce permet de compacter au maximum sa taille et d'utiliser la technologie standard pour la conception du PCB (largeur minimale des pistes et distance d'isolation  $125\mu\text{m}$ , épaisseur des pistes  $35\mu\text{m}$ ). Au final, la puce fait  $4,5\text{mm}$  de long sur  $2,2\text{mm}$  de large, ce qui donne une surface totale de  $9,9\text{mm}^2$ .

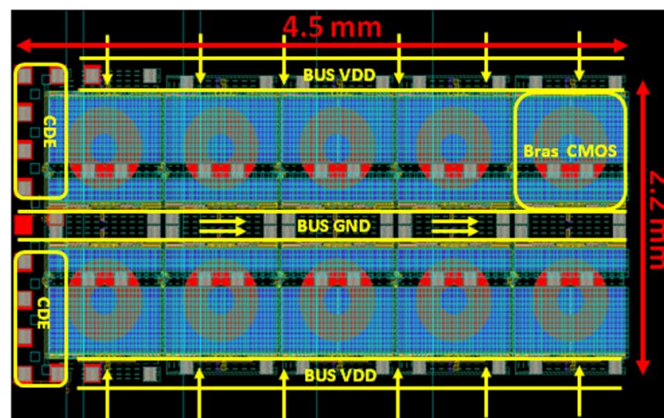


Figure II.24 – Layout complet de la puce (les anneaux rouges sont les trous métallisés du PCB)

Le design du circuit imprimé a été conçu conjointement avec le design du layout de la puce pour que son empreinte soit optimisée vis-à-vis des contraintes de chaque technologie, l'une

étant à l'échelle du micron et l'autre étant plutôt à l'échelle de la centaine de microns. La Figure II.25 illustre l'empreinte de la puce sur un PCB standard de deux couches avec 2 commandes externes et indépendantes.

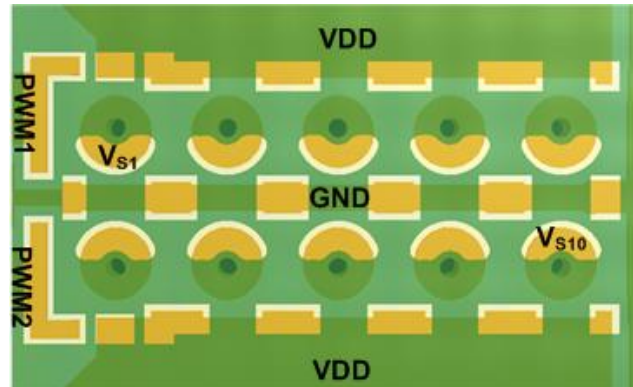


Figure II.25 – Layout de l'empreinte de la puce sur le PCB

Coupler le design du layout de la puce avec celui du PCB présente plusieurs intérêts pour des aspects électriques et thermiques. D'abord l'approche flip-chip fait en sorte que les fils de bonding ne soient plus nécessaires. Ceci va réduire la résistivité des connexions et les perturbations dues aux inductances parasites, ce qui, par conséquent, permettra d'utiliser la puce dans les meilleures conditions. Ensuite, l'architecture de la puce a été conçue de façon à ce que les plots de tous les points milieu des bras de puissance soient vis-à-vis de via (voir Figure II.26). Ces dernières vont, d'une part, relier les plots des points milieu avec les pistes de puissance situées sur la face inférieure du PCB et, d'autre part, évacuer la chaleur générée lors du fonctionnement de la puce. Les pistes de  $V_{DD}$ , de  $GND$  et de commande auront le même rôle de refroidissement. La section suivante est consacrée notamment aux caractéristiques que le circuit imprimé, faisant office de substrat de report, peut donner en terme de la gestion thermique du système.

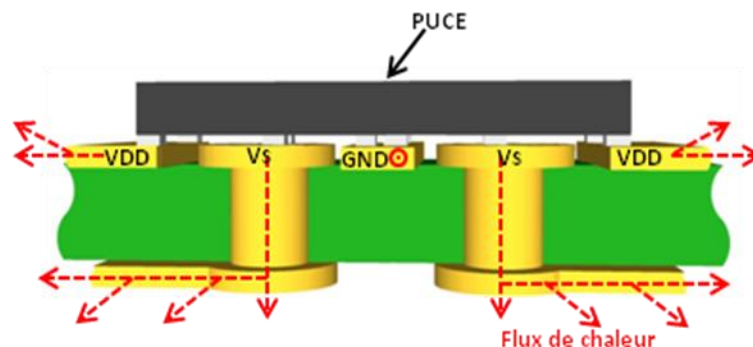


Figure II.26 – Vue en coupe de la puce reportée sur un PCB de deux couches



Toute l'approche considérée ici part du principe que la puce est utilisée après un flip-chip afin de ne considérer que des mises en œuvre optimisant les connectiques électriques. Cela ne signifie pas pour autant que d'un point de vue thermique cette approche sera optimale car une large surface d'échange en face arrière serait disponible pour évacuer la chaleur produite dans la puce si nous procédions à des interconnexions par fils de bonding par exemple.

### **II.3.2 GESTION THERMIQUE DE LA PUCE**

Une bonne gestion thermique permet d'augmenter les performances qui peuvent varier en fonction de la température et la fiabilité de la puce et, par conséquent de la cellule élémentaire. Dans ce contexte, une analyse thermique doit être faite dans le but d'optimiser les contraintes thermiques qui limiteront le fonctionnement de la puce. Cette étude permettra également d'étudier les capacités des pistes de cuivre et du PCB à évacuer la chaleur de la puce en fonction de leurs géométries.

D'abord, un simple modèle semi-analytique basé sur l'analogie thermoélectrique [Bib10] sera développé afin d'illustrer le transfert de chaleur par conduction et par convection naturelle ou forcée. La mise en place de ce modèle consiste en la modélisation au premier ordre des pertes dans la puce via un modèle électrothermique simple et des différents chemins thermiques offerts par les différentes géométries du circuit imprimé et de ses pistes reliant la puce au PCB. Ceci permettra, d'une part, d'analyser la gestion thermique du système puce-PCB sous des différents régimes de fonctionnement de façon simple et rapide, et d'autre part, de vérifier que le design du layout du PCB couplé au circuit intégré permet d'assurer une évacuation suffisante de la chaleur pour que la puce puisse fonctionner à une température au-dessous de la température maximale évoquée dans la documentation technique d'AMS (125°C).

Dans un premier temps, l'objectif sera de déterminer la température de la puce  $T_{PUCE}$  en régime permanent de fonctionnement en calculant la résistance thermique équivalente de tout le système couplé puce-PCB. Dans ce cas, le modèle thermique ne sera composé que de résistances thermiques. Dans l'analogie thermoélectrique, le flux de conduction thermique est exprimé en watts. Compte tenu du fait que les pertes dans les bras d'onduleur sont connues, la température de la puce peut être déduite en fonction des pertes par l'équation (II.5) :

$$T_{PUCE} = R_{\theta EQ} \cdot \Psi + T_{AMB} \quad (II.5)$$

$\Psi$  – flux de conduction thermique (pertes dans la puce) ;

$R_{\theta EQ}$  – résistance thermique équivalente du système ;

$T_{AMB}$  – température ambiante (air)

Pour déterminer la résistance thermique équivalente du système, il est d'abord nécessaire de trouver les résistances thermiques de la puce, des via, des pistes de cuivre et du circuit imprimé. Dans l'analogie thermoélectrique, il existe deux types de résistances thermiques : résistance thermique de conduction et résistance thermique de convection. La résistance thermique de conduction  $R_{COND}$  exprime la résistance au passage du flux de conduction thermique. Compte tenu du fait que les éléments composant le système puce-PCB seront considérés comme des surfaces planes, sa valeur peut être déterminée par l'équation (II.6) :

$$R_{COND} = \frac{l}{\lambda \cdot S}, \text{ [K/W]} \quad (II.6)$$

$l$  – la longueur de la piste ;

$\lambda$  – la conductivité thermique du matériau ;

$S$  – la surface de la section traversée par  $\Psi$ .

La résistance thermique de convection exprime l'échange thermique par le contact entre un liquide ou l'air et la surface d'un corps solide. Sa valeur peut être déterminée par l'équation (II.7) :

$$R_{CONV} = \frac{1}{h \cdot S}, \text{ [K/W]} \quad (II.7)$$

$h$  – le coefficient de convection thermique ;

$S$  – la surface d'échange entre le solide et le liquide ou l'air.

### II.3.2.1 MODELISATION DE LA PUCE ET DES INTERCONNEXIONS

Quand la puce est retournée vers le circuit imprimé, la résistance  $R_{COND\_PUCE\_TOP}$  modélise la conduction thermique quand le flux de chaleur part vers sa face arrière (voir Figure II.27a). Pour le calcul de sa valeur, la conductivité thermique du silicium a été prise en compte ( $\lambda_{Si}=150W/m.K$ ). Etant donné les dimensions de la puce (longueur 4,5mm, largeur 2,2mm et hauteur de 0,5mm), sa valeur est 0,3K/W. La résistance thermique de convection  $R_{CONV\_PUCE\_TOP}$  ne dépend pas seulement de la surface de la face arrière ( $10mm^2$ ) mais aussi de celle de ses faces latérales  $R_{CONV\_PUCE\_LAT}$  puisque leur surface totale est du même ordre de grandeur ( $7mm^2$ ). Néanmoins, sa valeur est de l'ordre de quelques kK/W, ce qui fait que la résistance par conduction  $R_{COND\_PUCE\_TOP}$  peut être négligée. La résistance  $R_{PUCE\_PLOT}$  représente un réseau de résistances qui modélise la conduction thermique quand le flux de chaleur passe de la puce vers ses plots. Etant donné le grand nombre de plots (70), cette résistance a une faible valeur comparée à celle du PCB ( $R_{COND\_PCB}$ ) et elle peut aussi être négligée (voir Figure II.27b). Le contact entre la puce et les pistes du PCB se faisant à l'aide de billes d'un matériau conducteur (Au, Cu et Al), [Neh11], [Guo12], le flux de chaleur orienté vers le circuit imprimé va d'abord traverser les plots de contact. Dans ce cas, il est également nécessaire de modéliser les résistances thermiques de ces contacts  $R_{CONTACT}$ . Pour le calcul de la résistance thermique de conduction des contacts, la conductivité thermique de l'or a été prise en compte ( $\lambda_{Au}=317W/m.K$ ). Les résistances thermiques aux interfaces entre les plots de la puce, les billes et les pistes du PCB peuvent ne pas être considérées, compte tenu du matériau des billes qui a une bonne conductivité thermique. De plus le diamètre des billes d'or est de l'ordre de quelques dizaines de  $\mu m$ , ce qui fait qu'elles se déforment facilement et par conséquent un bon contact existe au niveau de leurs surfaces. Par ailleurs, d'un côté, le design de la puce doit être fait de façon à ce que les pertes soient uniformément distribuées et, d'un autre côté, les plots doivent être distribués le plus uniformément possible au niveau de la puce. Cela est nécessaire pour éviter un phénomène appelé « hot spot » qui représente un épanouissement du flux thermique non régulier et une concentration de température sur certaines zone de la puce (des points chauds) [Ete08], [Che12], [Chi12]. Ceci peut être investigué à l'aide d'outils de simulation 3D.

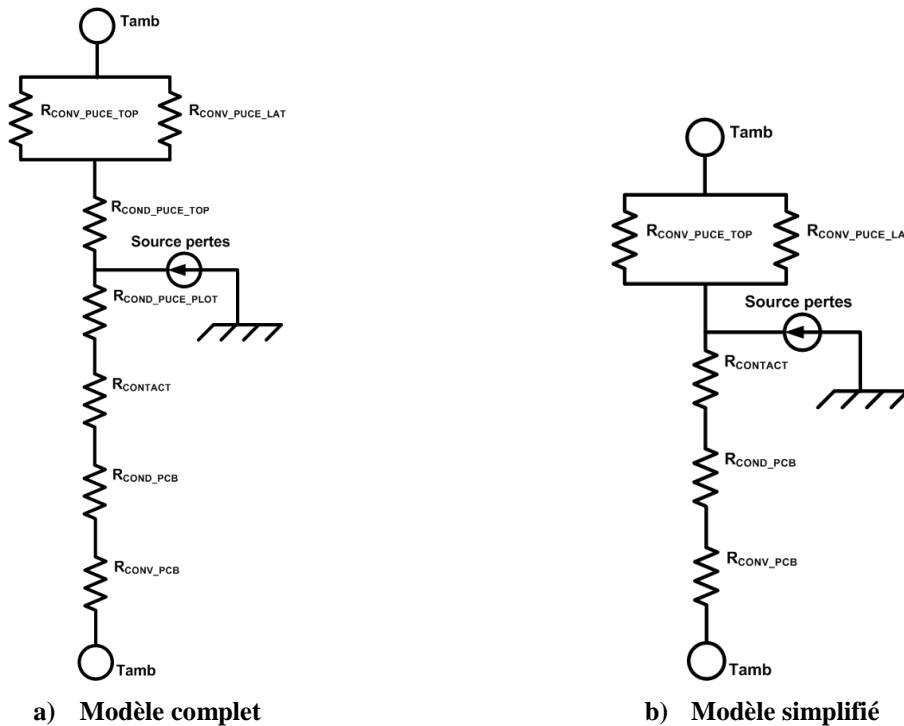


Figure II.27 – Résistances thermiques de la puce

### II.3.2.2 MODELISATION DU CIRCUIT IMPRIME

La conductivité thermique du matériau FR4 utilisé pour la fabrication des circuits imprimés standard étant très faible ( $\lambda_{FR4}=0,25\text{W/m.K}$ ) [TI06] fait que la résistance thermique de conduction du PCB a une valeur non négligeable. Un schéma équivalent du circuit imprimé deux couches peut être mis en place, contenant deux types de résistances thermiques de conduction et de convection. La résistance  $R_{PCB_V}$  modélise la conduction thermique quand le flux de chaleur traverse verticalement le circuit imprimé. Les résistances,  $R_{COND\_PCB\_L}$  et  $R_{COND\_PCB\_W}$  modélisent la conduction thermique du circuit imprimé quand le flux de chaleur s'épanouit sur les axes horizontaux des faces supérieure et inférieure (voir Figure II.28). Les surfaces d'échange thermique des résistances de convection  $R_{CONV\_PCB\_L}$  et  $R_{CONV\_PCB\_W}$  sur les deux faces du circuit imprimé sont définies par les surfaces qui ne sont pas couvertes par des plans ou des pistes de cuivre car la plupart du flux de chaleur provenant de la puce va naturellement passer par les pistes de cuivre dont la conductivité thermique est plus élevée ( $\lambda_{Cu}=390\text{W/m.K}$ ) par rapport à celle du matériau FR4. Par conséquent, les pistes auront une température plus élevée et elles vont empêcher la convection entre l'ambient et la partie du circuit imprimé qui est au-dessous, au contraire, elles vont la réchauffer. D'un autre côté, les résistances thermiques de conduction des trous métallisés (via) utilisés pour effectuer la

connexion avec les sorties de chaque bras d'onduleur ont un rôle de drain thermique en améliorant l'évacuation de la chaleur par la face arrière du circuit imprimé. Pour cette raison elles seront aussi incluses dans le modèle thermique du circuit imprimé.

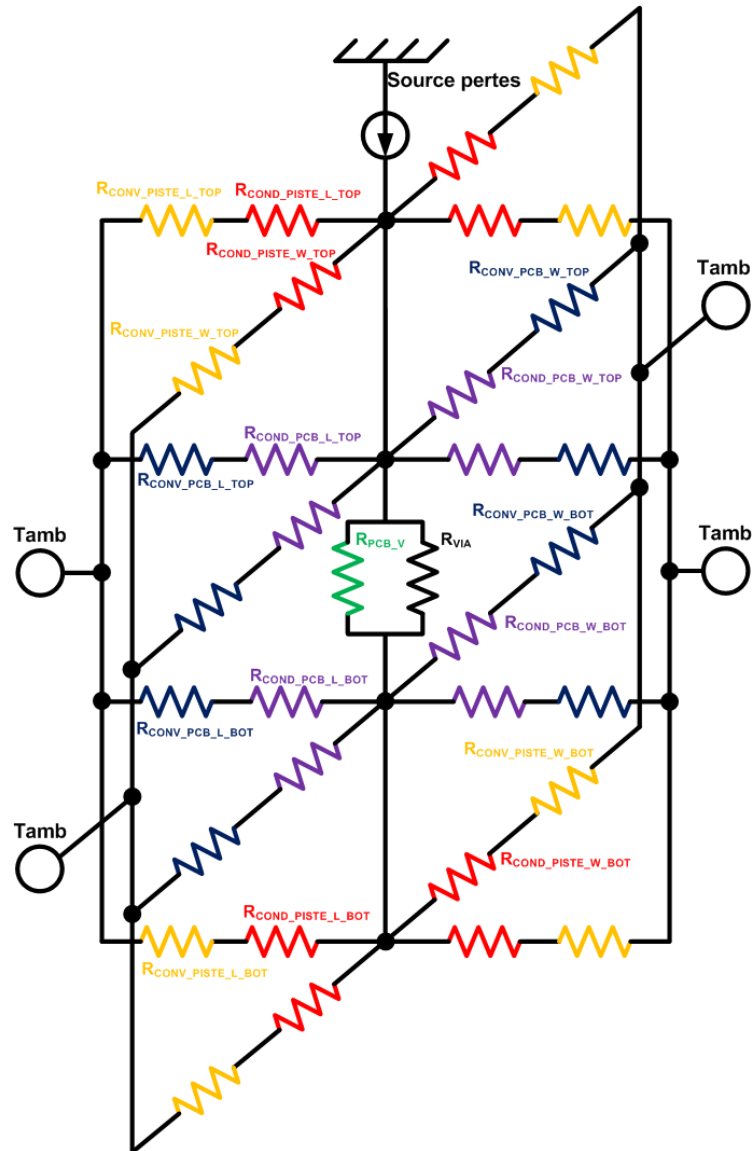


Figure II.28 – Schéma équivalent du modèle thermique du circuit imprimé

### II.3.2.3 MODELISATION DES PISTES DE CUIVRE

Les pistes de cuivre en contact avec la puce font qu'elles évacuent plus facilement la chaleur vers l'ambient grâce à la bonne conductivité thermique de cuivre ( $\lambda_{Cu}=390\text{W/m.K}$ ). Pour avoir un meilleur échange thermique avec l'ambient, il est nécessaire de maximiser leur surface surtout à proximité de la puce. En effet, il n'est pas possible d'avoir une évacuation parfaite de la chaleur en augmentant la surface du cuivre jusqu'à l'infini. Tout comme les

ailettes des radiateurs pour lesquelles il existe une longueur d'ailette maximale au-delà de laquelle la chaleur ne sera pas évacuée de manière efficace, il existe une limite à la taille des pistes au-delà de laquelle la surface consommée par les pistes en cuivre n'est plus rentable [YJ12]. Dans ce cas, l'augmentation des dimensions de pistes conduirait seulement à une augmentation inutile de la surface du circuit imprimé et des capacités parasites des pistes et par conséquent de la cellule élémentaire. Il est alors important de trouver la surface optimale pour évacuer suffisamment de chaleur sans augmenter la surface du circuit imprimé ni créer des pistes pouvant servir de support au rayonnement électromagnétique ou électrostatique. Pour cela, il est nécessaire d'avoir une précision plus importante au niveau de la modélisation des pistes. Comme le montre la Figure II.29, la longueur ou la largeur des pistes sera discrétisée de façon à obtenir des mailles. Chaque maille sera caractérisée par une résistance de conduction et une résistance en convection (voir Figure II.30). Le modèle des pistes obtenu est représenté par un réseau de résistances.



Figure II.29 – Discretisation de la longueur d'une piste de cuivre

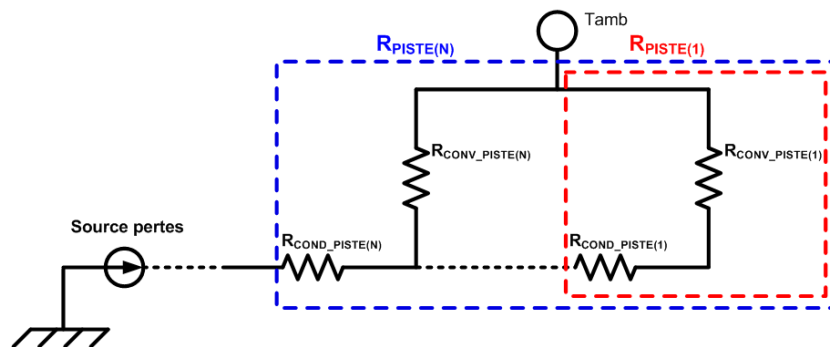


Figure II.30 – Schéma équivalent du modèle thermique d'une piste de cuivre

La résistance thermique équivalente de la première maille est donnée par l'équation (II.8) :

$$R_{PISTE(1)} = R_{COND\_PISTE} + R_{CONV\_PISTE} \quad (II.8)$$

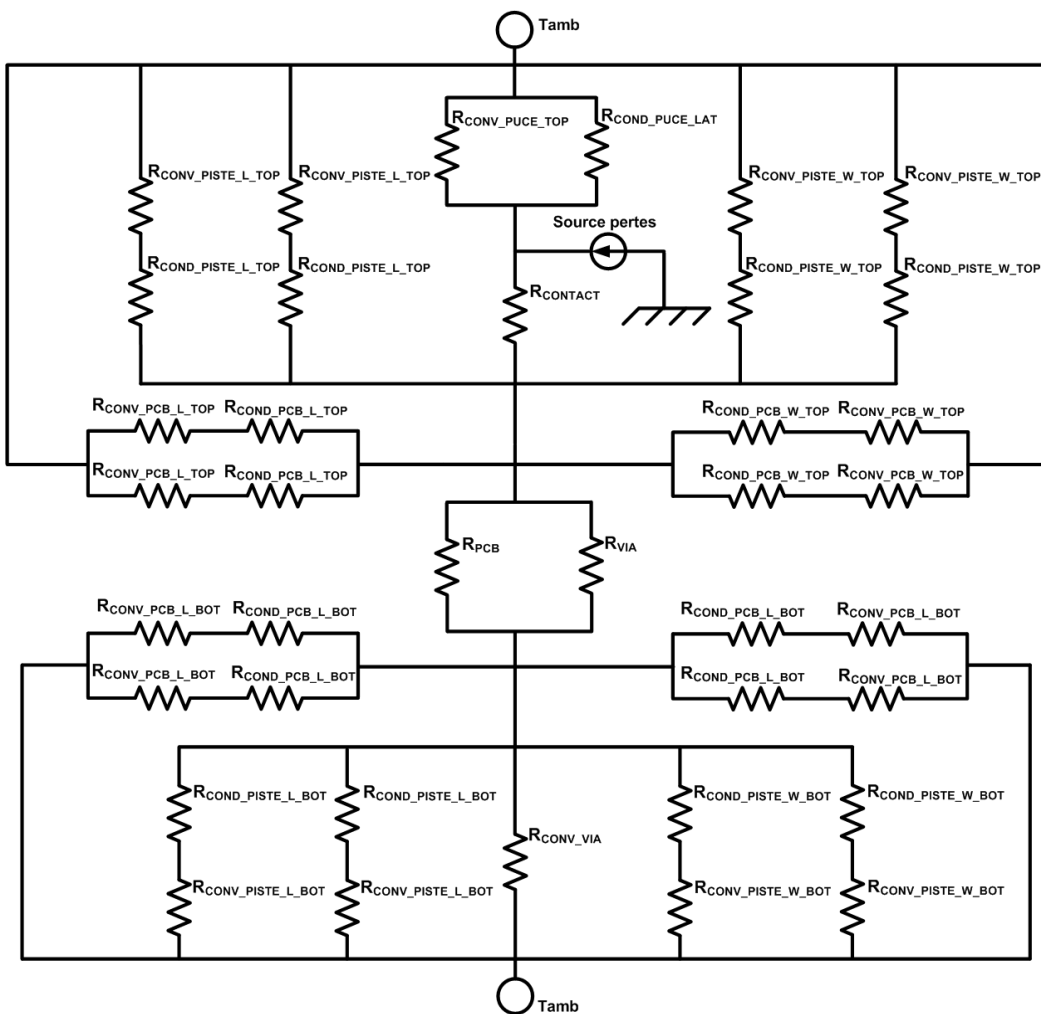
D'après la Figure II.30, la résistance équivalente de la première maille  $R_{PISTE(1)}$  est en parallèle avec la résistance de convection de la maille suivante  $R_{CONV\_PISTE(N)}$  et ces deux résistances sont en série avec la résistance de conduction de la maille suivante  $R_{COND\_PISTE(N)}$ . En

discrétisant les pistes de façon à ce que toutes les mailles aient la même surface, les résistances thermiques de conduction et de convection de chaque maille auront les mêmes valeurs. Par conséquent, la résistance thermique équivalente d'une piste de cuivre avec  $N$  mailles peut être trouvée avec l'expression (II.9) :

$$R_{PISTE(N)} = (R_{PISTE(N-1)} IIR_{CONV\_PISTE}) + R_{COND\_PISTE} \quad (II.9)$$

**II.3.2.4 MODELISATION DU SYSTEME COUPLE PUCE – PCB**

La convection naturelle dans le modèle thermique du système couplé puce-PCB a été considérée sur ses faces supérieure et inférieure ainsi que sur ses faces latérales. La Figure II.31 montre le schéma équivalent du système complet du montage flip-chip à partir duquel la résistance thermique équivalente du système est calculée.



**Figure II.31 – Schéma équivalent du modèle thermique du système couplé puce-PCB**

## Chapitre II : Optimisation et réalisation du module actif de la cellule élémentaire

Les dimensions caractéristiques du système sont introduites dans les corrélations classiques pour le calcul des nombres adimensionnels de Grashof ( $Gr$ ), de Prandtl ( $Pr$ ) et de Nusselt ( $Nu$ ) qui caractérisent respectivement la force de viscosité, les propriétés thermiques du fluide (de l'air) et l'échange thermique entre le liquide (l'air) et la paroi en convection naturelle en régime laminaire [Ber97], [Bra06], [YJ12]. Ceci nous permet d'introduire les équations simplifiées (II.10), (II.11) et (II.12) pour le calcul des coefficients d'échange pour de l'air à pression atmosphérique en convection naturelle et en régime laminaire [Ber97], [Ba06], [YJ12] :

Face supérieure d'une plaque horizontale chaude : 
$$h = 1.32 \left( \frac{\Delta T}{L} \right)^{1/4} \quad (\text{II.10})$$

Face inférieure d'une plaque horizontale chaude : 
$$h = 0.59 \left( \frac{\Delta T}{L} \right)^{1/4} \quad (\text{II.11})$$

Plaque verticale : 
$$h = 1.42 \left( \frac{\Delta T}{L} \right)^{1/4} \quad (\text{II.12})$$

$\Delta T$  – différence des températures aux extrémités de la plaque ( $T_{PUCE} - T_{amb}$ ) ;

$L$  – dimension caractéristique de la plaque [m]. Pour une plaque horizontale il s'agit de sa largeur et pour une plaque verticale de sa hauteur.

Les coefficients d'échange en convection naturelle  $h$ , sont calculés pour chaque élément du système (puce, pistes, PCB). Ils sont estimés par un algorithme récursif qui fait en sorte que la température de la puce converge en changeant  $h$  (voir Figure II.32). Pour cela, une température a été définie comme condition initiale pour commencer les itérations et trouver les coefficients d'échange thermique. Par conséquent, la valeur de la résistance thermique équivalente du système est déterminée et par conséquent la température de la puce aussi. Cette dernière est comparée à la température initiale  $T_{init}$  et si leur différence est plus grande que  $1^\circ\text{C}$  par exemple,  $T_{init}$  prend la valeur de  $T_{PUCE}$  et les coefficients  $h$  sont recalculés jusqu'à ce que  $T_{PUCE}$  et  $T_{init}$  convergent.

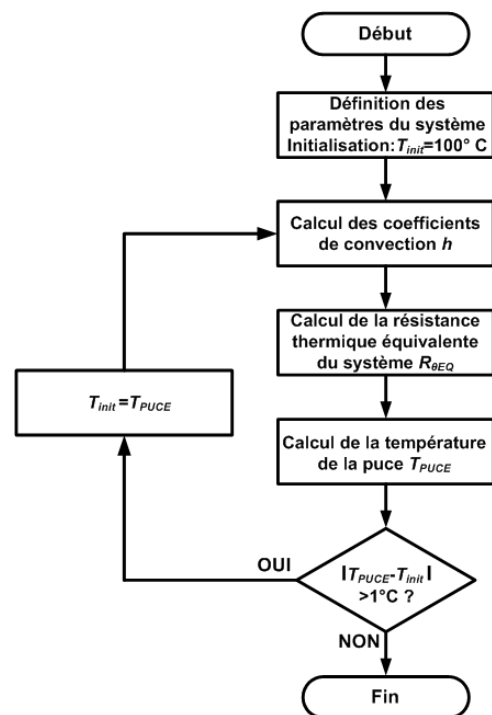


Figure II.32 – Algorithme de calcul des coefficients d'échange thermique  $h$



Cette approche n'est pas optimale mais donne une résolution suffisante pour pouvoir analyser le comportement thermique du système couplé puce-PCB.

Le modèle thermique permet encore de calculer des bilans thermiques dans le cas d'une convection forcée. L'intérêt d'étudier le comportement thermique du système puce-PCB en régime de convection forcée consiste en la possibilité de voir si dans le cas d'une matrice avec forte densité de cellules élémentaires, nous pouvons réduire la surface nécessaire pour le refroidissement de sorte que la mise en place d'un ventilateur amènerait à un système plus compact. Un tel système est illustré à la Figure II.33 :

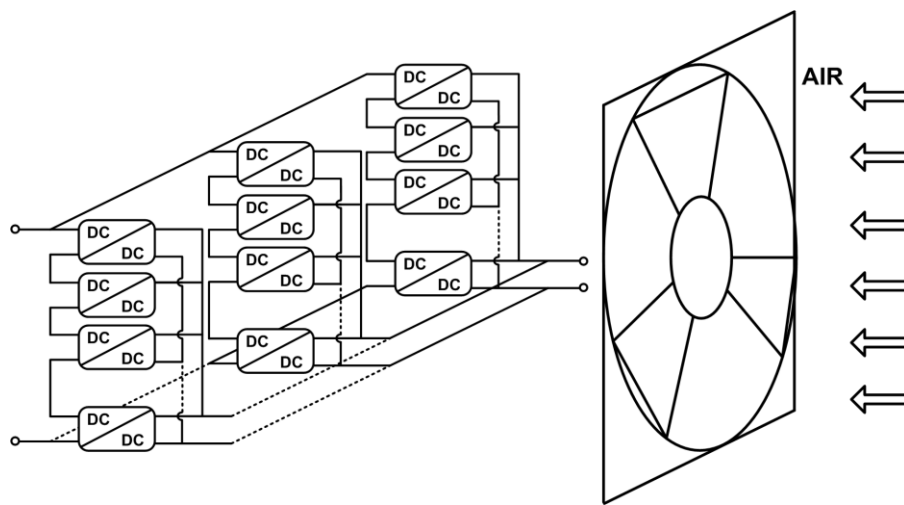


Figure II.33 – Réseau de micro-convertisseurs avec refroidissement par convection forcée

Les coefficients d'échange thermique  $h$  ont été déterminés par les corrélations classiques mais cette fois pour le mode en convection forcée. Dans ce cas, le nombre adimensionnel de Reynolds a été introduit afin de caractériser le régime d'écoulement du liquide (de l'air). Dans notre cas, celui-ci fait la relation entre la vitesse de l'air  $V_{air}$  débité par un ventilateur et le passage d'un régime laminaire à un régime turbulent qui est donnée par l'expression (II.10).

$$Re = \frac{\rho \cdot V_{air} \cdot D}{\mu} \quad (\text{II.10})$$

$\rho$  – masse volumique du liquide (de l'air) [ $\text{kg}/\text{m}^3$ ] ;

$D$  – dimension caractéristique d'une plaque ou le diamètre intérieur d'un tube [m] ;

$\mu$  – viscosité dynamique du liquide (de l'air) [ $\text{kg}/\text{m}\cdot\text{s}$ ].

## Chapitre II : Optimisation et réalisation du module actif de la cellule élémentaire

La limite entre ces deux régimes est définie par le nombre adimensionnel de Reynolds qui est  $Re_{c}=3.10^5$ . Ensuite, les coefficients d'échange thermique sont exprimés par le nombre de Nusselt  $Nu$  :  $h=\lambda.Nu/D$ , qui selon les corrélations [Ber97], [Bra06], [YJ12] est :

$$Nu=0.66 \cdot Pr^{1/3} \cdot Re^{1/2} \text{ si } Re < Re_c \text{ (II.11) et } Nu=0.036 \cdot Pr^{1/3} \cdot Re^{4/5} \text{ si } Re > Re_c \text{ (II.12)}$$

$Pr$  – nombre adimensionnel de Prandtl.  $Pr=\mu.c_p/\lambda$ , où  $c_p$  est la chaleur spécifique du liquide (de l'air), [J/g.K] et  $\lambda$  est la conductivité du liquide (de l'air), [W/m.K].

Les propriétés physiques de l'air étant connues, le coefficient d'échange thermique en convection forcée  $h$  ne peut alors être calculé qu'en fonction de la vitesse de l'air  $V_{air}$ . Afin de faciliter le paramétrage des pistes et du circuit imprimé, une interface graphique a été créée basée sur l'outil GUI du logiciel Matlab (voir Figure II.34). Cette interface donne la variation de la température de la puce en fonction de la surface totale de cuivre en définissant les paramètres géométriques (largeur, longueur et épaisseur) de plusieurs types de pistes en contact avec la puce sur les deux faces du circuit imprimé. Il est également possible de gérer les conditions de fonctionnement telles que la température ambiante, les pertes dans la puce, l'orientation du système, le type de convection et la vitesse de l'air.

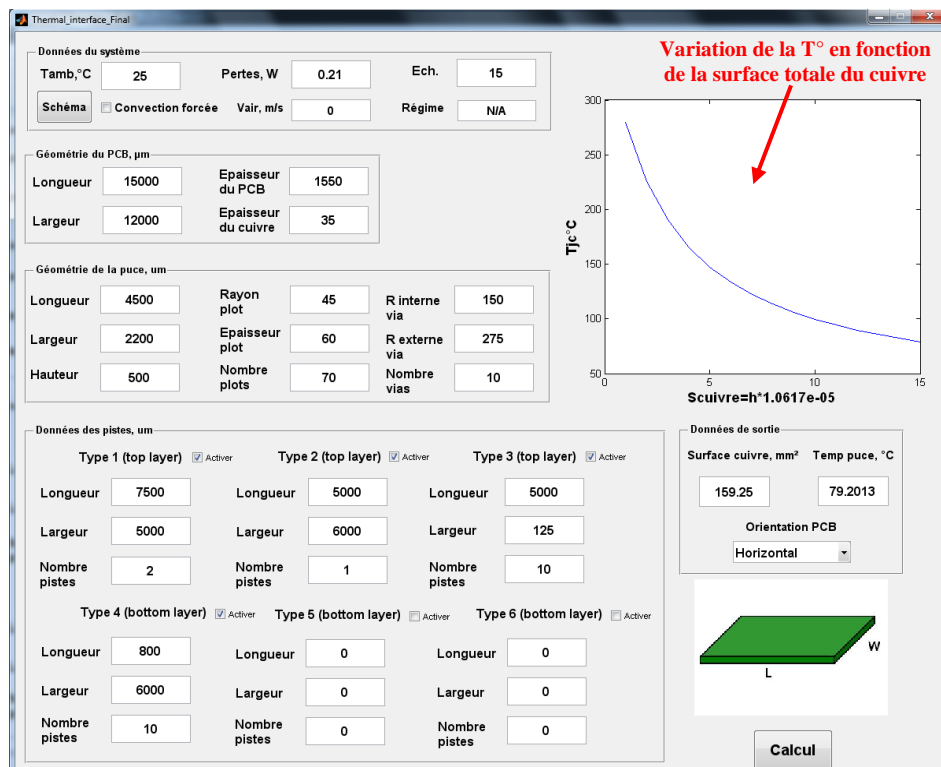


Figure II.34 – Interface GUI pour calcul thermique

## Chapitre II : Optimisation et réalisation du module actif de la cellule élémentaire

La Figure II.35 et la Figure II.36 illustrent le layout qui a été pris en compte pour le paramétrage des pistes. Les 2 plaques de cuivre sur la face supérieure sont les pistes  $V_{DD}$ , les 10 pistes sur le côté gauche du circuit imprimé sont les commandes des bras d'onduleur et le carré sur le côté droit est le  $GND$ . Les 10 pistes sur la face inférieure sont les sorties de chaque bras d'onduleur.

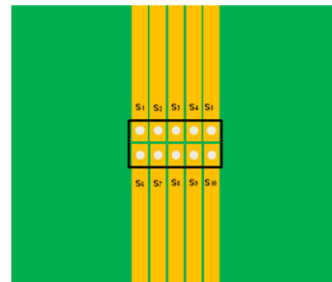
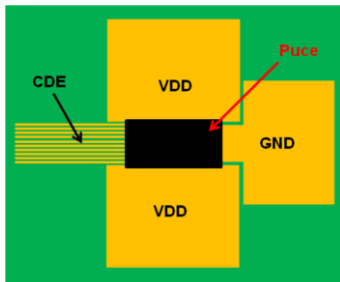


Figure II.35 – Face supérieure du circuit imprimé

Figure II.36 – Face inférieure du circuit imprimé

La Figure II.37 illustre la variation de la température en fonction de la surface du cuivre sur les deux faces d'un PCB de dimensions 15mm de longueur et 12mm de largeur en régime de convection naturelle et forcée. Les conditions sous lesquelles ce calcul a été fait sont présentées dans le Tableau II.9.

Tableau II.9 – Conditions de calcul de la température de la puce

Pertes dans la puce	210mW
Dimensions du PCB (longueur x largeur)	15mm x 12mm
Convection naturelle	$T_{amb}=25^{\circ}\text{C}$
Convection forcée	$T_{air}=25^{\circ}\text{C}, V_{air}=0,1 \text{ m/s}$
Orientation du système	Horizontale

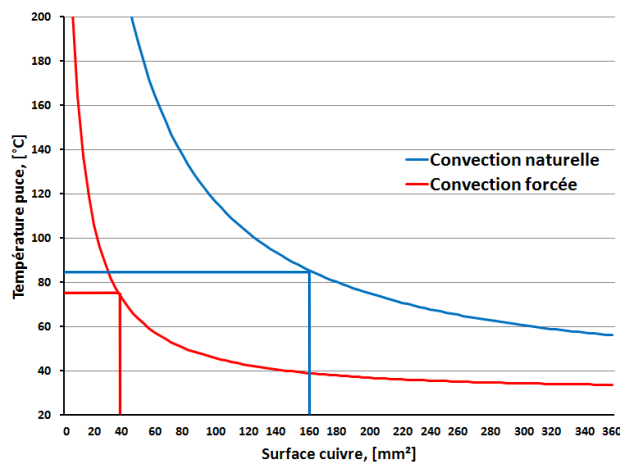


Figure II.37 – Variation de la température de la puce en fonction de la surface des pistes

## Chapitre II : Optimisation et réalisation du module actif de la cellule élémentaire

La température de la puce diminue en augmentant proportionnellement la surface des pistes de cuivre jusqu'à ce qu'elle occupe toute la surface disponible du PCB. Pour une surface de 160mm<sup>2</sup>, la température de la puce est estimée autour de 80°C en convection naturelle, ce qui est une température normale pour le fonctionnement des circuits intégrés et ensuite elle commence à diminuer plus lentement. Cela signifie que la résistance thermique équivalente du système puce-PCB commence à converger vers une valeur à partir de laquelle la température de la puce ne pourra plus diminuer en proportions importantes. Par conséquent, l'augmentation de la surface de cuivre ne mène pas systématiquement à la diminution de la température de la puce. En régime de convection forcée, la température de la puce est 2 fois plus basse pour la même surface de cuivre. Il s'avère que cette surface peut être réduite d'un facteur 4 pour avoir la même température de fonctionnement de la puce autour de 80 °C et ce avec une vitesse d'air très légère (0,1m/s). Ceci est intéressant surtout dans le cas où nous voulons mettre en place une matrice dense de cellules élémentaires. Dans ce cas, la taille du réseau de micro-convertisseurs sera compactée en réduisant la surface de cuivre nécessaire pour le refroidissement en convection naturelle. La diminution de la surface des pistes mène également à la réduction des couplages capacitifs entre les pistes au niveau du circuit imprimé. En effet, compte tenu du fait que le matériau du PCB est isolant, les pistes qui se trouvent en vis-à-vis sur les deux faces créent des couplages capacitifs. Ce phénomène s'appelle diaphonie capacitive [Rob07] et peut être réduit en réduisant les surfaces des pistes et en augmentant leur espacement. Une autre technique permettant d'éviter la diaphonie capacitive est d'utiliser des écrans réalisés par des couches de cuivre qui ne sont pas connectées électriquement. Par ailleurs, le volume du ventilateur sera compensé par la densité de puissance. La Figure II.38 illustre la variation de la température de la puce en fonction de la surface de cuivre pour de différentes valeurs de vitesse et de température de l'air :

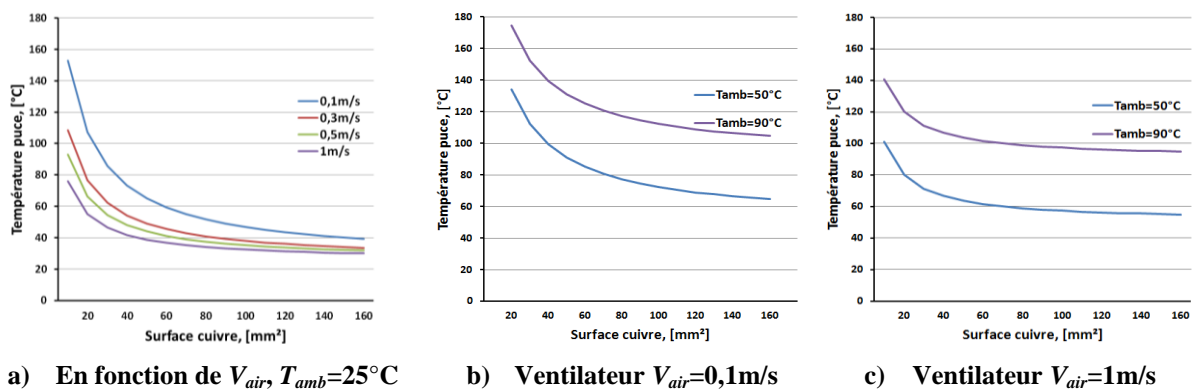


Figure II.38 – Variation de la température de la puce en convection forcée

## Chapitre II : Optimisation et réalisation du module actif de la cellule élémentaire

A partir de ces courbes, nous pouvons constater qu'en convection forcée la température de la puce peut être maintenue dans une plage de température de fonctionnement satisfaisant même dans de conditions contraignantes pour lesquelles la température ambiante est de plus de 50°C. Les vitesses d'air de 0,1m/s et de 0,3m/s sont très faibles et peuvent être produites par de petits ventilateurs. Pour un réseau de micro-convertisseurs conçu pour une puissance supérieure à 100W par exemple, il sera nécessaire d'utiliser un ventilateur plus grand pour que le flux d'air soit uniformément distribué au niveau de toutes les cellules élémentaires. Dans ce cas, son débit sera aussi plus important, ce qui permettrait de mettre en place le R $\mu$ C dans des applications où la température ambiante est de l'ordre de 100°C (véhicules électriques, avions, etc.).

Toutefois, il est important de voir quel est le prix à payer en termes de volume pour rajouter un ventilateur. La Figure II.39 illustre la variation du volume du R $\mu$ C en fonction de sa puissance pour les régimes en convection naturelle et forcée. Le Tableau II.10 donne les paramètres pris en compte pour cette estimation :

Tableau II.10 – Conditions de calcul de la température de la puce

Paramètre	Convection naturelle	Convection forcée
Type de CE	Convertisseur DAB	
Surface du module actif de puissance (face supérieure : puce + pistes cuivre)	160mm <sup>2</sup> (12mm x 12mm)	40mm <sup>2</sup> (6mm x 6mm)
Volume du noyau du transformateur planar ER95 [Ferroxcube]	120mm <sup>3</sup> (9,5mm x 5mm x 3,5mm)	
Volume total des parties actives de puissance	320mm <sup>3</sup>	80mm <sup>3</sup>
Volume total de la CE (hors commande)	440mm <sup>3</sup>	200mm <sup>3</sup>
Température ambiante $T_{amb}$	25°C	

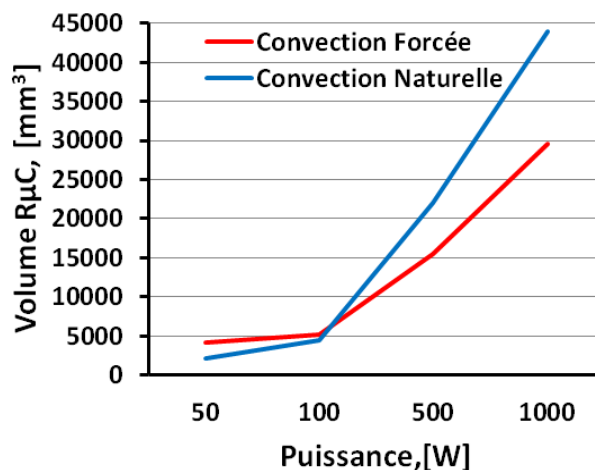


Figure II.39 – Densité de puissance du R $\mu$ C en convection naturelle et forcée

## Chapitre II : Optimisation et réalisation du module actif de la cellule élémentaire

Le volume de la cellule élémentaire est égal à la somme des volumes des modules actifs de puissance et du transformateur planar. En réalité, le volume réel occupé par le R $\mu$ C sera plus grand puisque la hauteur des cellules élémentaires est conditionnée par celle du transformateur planar. Dans tous les cas, le rapport entre les volumes d'un R $\mu$ C en convection naturelle et en convection forcée reste le même. Le volume d'un ventilateur a été additionné au volume du R $\mu$ C pour chaque cas en convection forcée. Ses dimensions ont été choisis selon le catalogue de [Farnell] en fonction du nombre des cellules élémentaires comme suit :

- ◆ Ventilateur 3200mm<sup>3</sup> (20mm x 20mm x 8mm),  $Q_{air}=36l/min$ ,  $P=0,45W$  pour jusqu'à 12 CE, 2 blocs de 2 CE en vertical et 3 CE en horizontal ;
- ◆ Ventilateur 5400mm<sup>3</sup> (30mm x 30mm x 6mm),  $Q_{air}=100l/min$ ,  $P=0.36W$  pour 50CE, 4 blocs de 4 CE en vertical et 3 en horizontal ;
- ◆ Ventilateur 9600mm<sup>3</sup> (40mm x 40mm x 6mm),  $Q_{air}=150l/min$ ,  $P=0,4W$  pour 100 CE, 5 blocs de 5 CE en vertical et 4 CE en horizontal

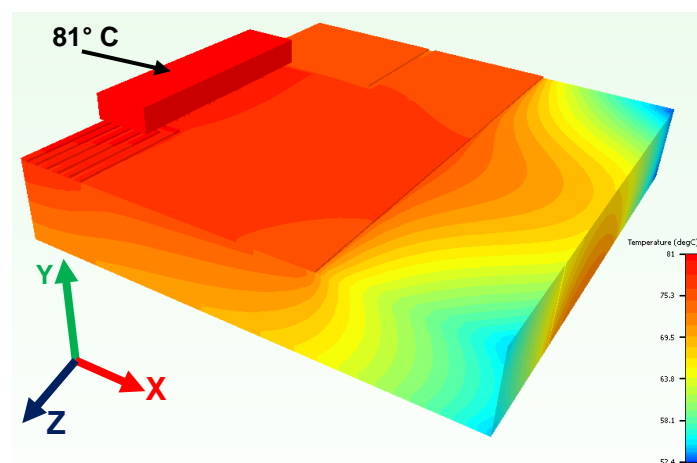
Il s'avère alors que pour de puissances plus élevées que 100W, en termes de volume il est intéressant de mettre en place un ventilateur. De plus, le gain entre les deux méthodes de refroidissement continuera à s'amplifier avec l'augmentation de la puissance. Ceci ne permet pas seulement de diminuer le volume du R $\mu$ C mais aussi d'augmenter la puissance transférée en gardant le même volume et en augmentant le courant dans les cellules élémentaires sans engendrer leur destruction puisque le débit des ventilateurs augmente aussi avec leurs dimensions ( $Q_{air}=100l/min$  pour 500W et  $Q_{air}=150l/min$  pour 1kW). En revanche, pour de faibles puissances, le volume du ventilateur ne pourra pas être compensé par la puissance du R $\mu$ C.

Pour le fonctionnement nominal (210mW de pertes dans la puce,  $T_{amb}=25^{\circ}C$ ), l'orientation du système PCB selon un axe vertical en régime de convection naturelle fait diminuer la température de la puce à environ 70°C. Les coefficients de convection thermique en convection naturelle calculés pour de l'air à pression atmosphérique par les équations (II.10), (II.11) et (II.12) font que dans le cas de l'orientation horizontale du système, le coefficient d'échange thermique est plus grand sur la face supérieure du circuit imprimé que sur sa face inférieure. Par conséquent, la surface des pistes de cuivre sur la face supérieure est prépondérante pour l'évacuation de la chaleur. Dans le cas où le système se trouve sur l'un de ses axes verticaux, le coefficient de convection thermique est plus grand (II.12) et il est le

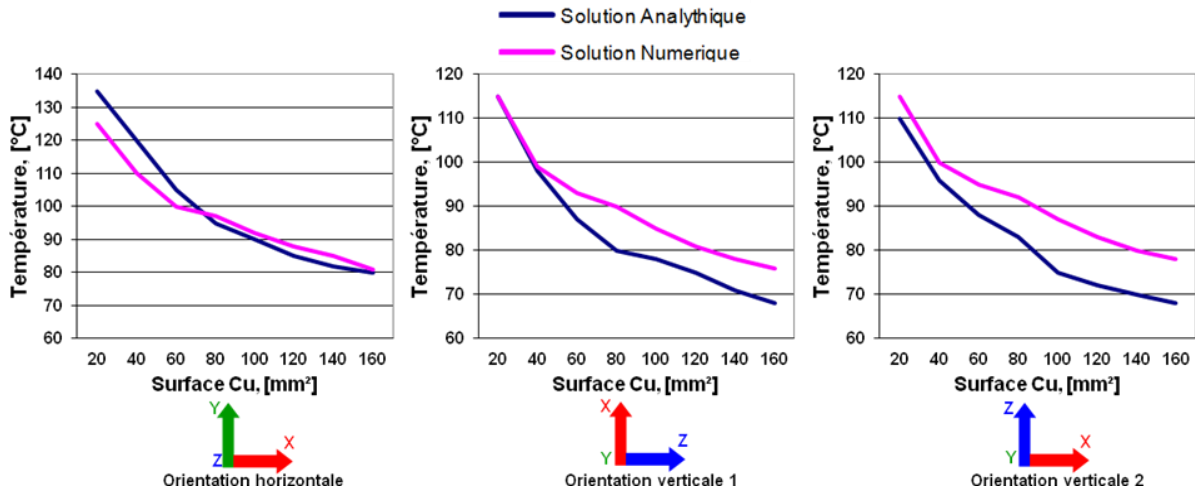
même sur les deux faces du circuit imprimé, ce qui améliore l'échange thermique avec l'ambient. Ceci permet de soulager les contraintes thermiques en convection naturelle.

Les résultats obtenus avec le modèle semi-analytique montrent qu'il est possible de gérer la température de la puce dans ses limites de fonctionnement en optimisant le design du circuit imprimé. Néanmoins, un modèle numérique basé sur la méthode des volumes finis a été mis en œuvre à l'aide du logiciel Flotherm afin de valider les résultats obtenus via le modèle analytique. Une simulation du système en convection naturelle à température ambiante 25°C a été réalisée pour la même géométrie du système couplé puce-PCB présentée dans le Tableau II.9. Afin de réduire le nombre de mailles dans le modèle et diminuer le temps de calcul, seul la moitié du système a été construit en utilisant la symétrie sur l'axe horizontale X. La puce a été modélisée comme un parallélépipède de silicium. Etant donnée la faible épaisseur de la jonction (5µm) par rapport aux autres éléments du système, sa face inférieure orientée vers le circuit imprimé est définie comme une source de pertes surfaciques. Le cuivre et le FR4 sont naturellement choisis comme matériaux pour, respectivement, le modèle des pistes et du circuit imprimé. Un domaine d'air à pression atmosphérique et à une température de 25 °C a été créé pour définir les limites du système.

La Figure II.40 montre la distribution de la température dans le système couplé puce-PCB suite à la simulation numérique. Le point le plus chaud est 81°C et il se trouve logiquement au niveau de la surface de la puce, ce qui est un résultat cohérent avec celui obtenu avec le modèle semi-analytique.



La température de la puce a été également calculée avec les deux modèles en fonction de différents paramètres géométriques des pistes de cuivre et pour les mêmes dimensions du circuit imprimé (15x12mm). La Figure II.41 montre une comparaison des résultats en régime permanent et en convection naturelle pour les trois axes d'orientation du système :



**Figure II.41 – Comparaison des résultats thermiques en convection naturelle entre le modèle semi-analytique et numérique**

En partant de l'hypothèse que la simulation numérique donne de résultats exacts, cette comparaison montre que l'erreur relative moyenne du calcul entre les deux méthodes est de moins de 10%, ce qui signifie que le modèle semi-analytique donne une bonne estimation des contraintes thermiques. Ce modèle nous permet alors d'avoir directement une première idée sur la géométrie des pistes de cuivre pour pouvoir assurer une bonne gestion thermique de la puce et du réseau de micro-convertisseurs complet en régimes de convection naturelle et forcée et de définir la géométrie d'une cellule élémentaire ainsi que l'architecture du réseau complet. Nous pouvons conclure que pour de faibles puissances (jusqu'à 100W environ) la méthode de refroidissement par convection naturelle peut être envisagée et l'orientation verticale des cellules élémentaires est préférable afin de soulager les contraintes thermiques. En revanche, pour un R $\mu$ C d'une puissance au-delà de 100W, il est plus approprié d'utiliser la convection forcée. Dans ce cas, le volume et la consommation d'un ventilateur seront compensés par l'augmentation de la puissance et la diminution du volume du R $\mu$ C. A partir de ce modèle, il est possible de développer rapidement un modèle numérique si nous voulons être plus précis dans le calcul des contraintes thermiques. Dans ce cas, il sera aussi possible d'observer l'épanouissement du flux de chaleur au niveau des plots de la puce.



Pour rendre viable cette approche thermique, il est nécessaire de trouver une solution technologique fiable pour réaliser le report de la puce sur le circuit imprimé afin d'assurer les meilleures performances électriques et la bonne gestion thermique du montage en pratique. La section suivante met l'accent notamment sur les technologies de packaging 3D.

### **II.4. TECHNOLOGIES DE PACKAGING 3D**

Cette section se focalise sur les technologies de report avec lesquelles nous avons eu la possibilité de travailler. Ce sont des technologies maîtrisées et proposées par les industriels ainsi que des solutions que nous avons proposées nous-mêmes.

#### **II.4.1 MISE EN SITUATION ET PROBLEMATIQUES**

##### **II.4.4.1. METHODE POUR LA CARACTERISATION DES PERFORMANCES D'UN MONTAGE**

Afin de caractériser les différents montages flip-chip et choisir la technologie la plus appropriée pour notre application en terme de performances électrique thermique et mécanique, une série de mises en œuvre, de caractérisations et de mesures doit être réalisée. Les étapes qui permettent dans un premier temps de vérifier l'existence des contacts électriques et thermique des assemblages sont les suivantes :

##### **Contrôle des contacts au niveau des bras d'onduleur hors tension**

Cette première étape permet de savoir si les contacts électriques sont réalisés et si cela vaut la peine de pousser plus loin les tests. Elle consiste en la mesure de la chute de tension des diodes intrinsèques des transistors PMOS et NMOS de puissance à l'aide d'un multimètre alors que le montage est hors tension (voir Figure II.42). De cette façon, il est possible de vérifier si les contacts au niveau du  $V_{DD}$ , le  $GND$  et des points milieux des bras d'onduleur ont été effectués.

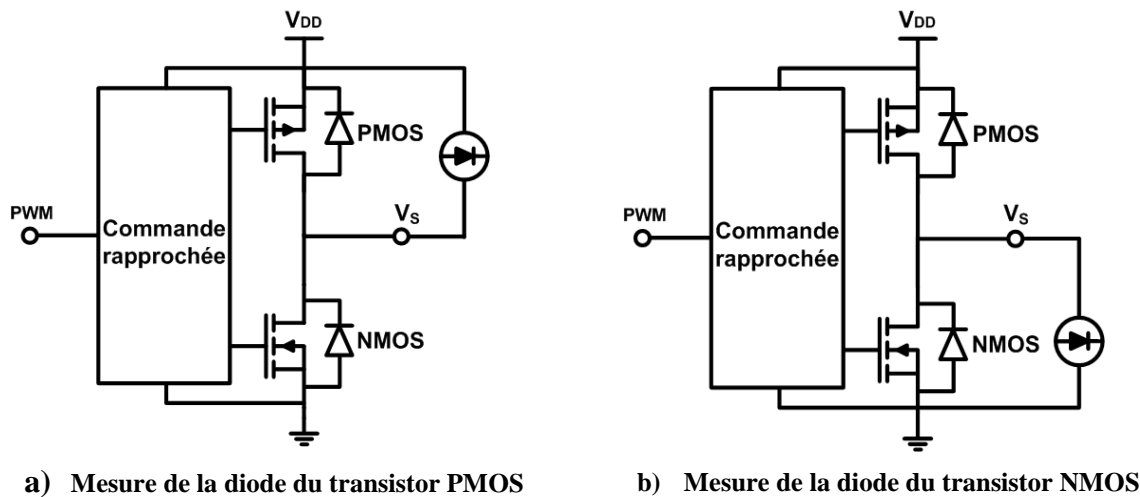


Figure II.42 – Mesure des tensions des diodes intrinsèques d'un bras d'onduleur

### Mise du montage sous tension avec des bras d'onduleur pilotés et sans charge

D'une part, cette étape permet de vérifier si les contacts au niveau des commandes de chaque bras d'onduleur ont été effectués et d'autre part, ce test permet de déterminer les pertes de la commande rapprochée pour différentes fréquences. Les bras d'onduleur peuvent être pilotés avec des signaux générés par un GBF ou par un microcontrôleur. La détection des signaux à la sortie des bras d'onduleur signifie que tous les contacts sont faits mais cela ne donne pas d'informations sur la qualité de l'assemblage.

### Mesure de la résistance interne $R_{DS(ON)}$ des transistors MOSFET de puissance

La différence entre les valeurs des résistances internes mesurées et celles obtenues en simulation avec Cadence permettra d'estimer la valeur de la résistance des contacts. En faisant la mesure pour chaque bras d'onduleur et sur plusieurs puces, cela nous donnera un échantillon représentatif des caractéristiques électriques du contact et nous pourrons conclure quant à la qualité des contacts. S'il y a des endroits où les contacts ne sont pas bien établis nous devons avoir une résistance mesurée plus élevée. Pour mesurer la résistance  $R_{DS(ON)}$  du PMOS, la commande doit être à l'état état de 1 logique (commande rapprochée inverseuse). Dans ce cas, le transistor PMOS sera fermé et le transistor NMOS sera ouvert. Une charge sera connectée entre le point milieu d'un bras d'onduleur et la masse pour qu'un courant passe par le transistor PMOS (voir Figure II.43a). En observant la valeur du courant et la chute de tension mesurée aux bornes du transistor PMOS, il sera possible de trouver la valeur du  $R_{DS(ON)}$  avec l'équation (II.12).

$$R_{DS(ON)} = \frac{\Delta V_V}{I_A} \quad (\text{II.12})$$

Ce test est à réaliser pour différentes valeurs de la charge afin d'observer la variation de la résistance interne en fonction du courant. Pour la mesure du  $R_{DS(ON)}$  du NMOS, il sera nécessaire de fixer la commande à l'état de zéro logique. Dans ce cas, le transistor NMOS sera fermé et le transistor PMOS sera ouvert. La charge sera cette fois connectée entre le point milieu du bras d'onduleur et la source d'alimentation  $V_{DD}$  et le courant passera alors par le transistor NMOS (voir Figure II.43b).

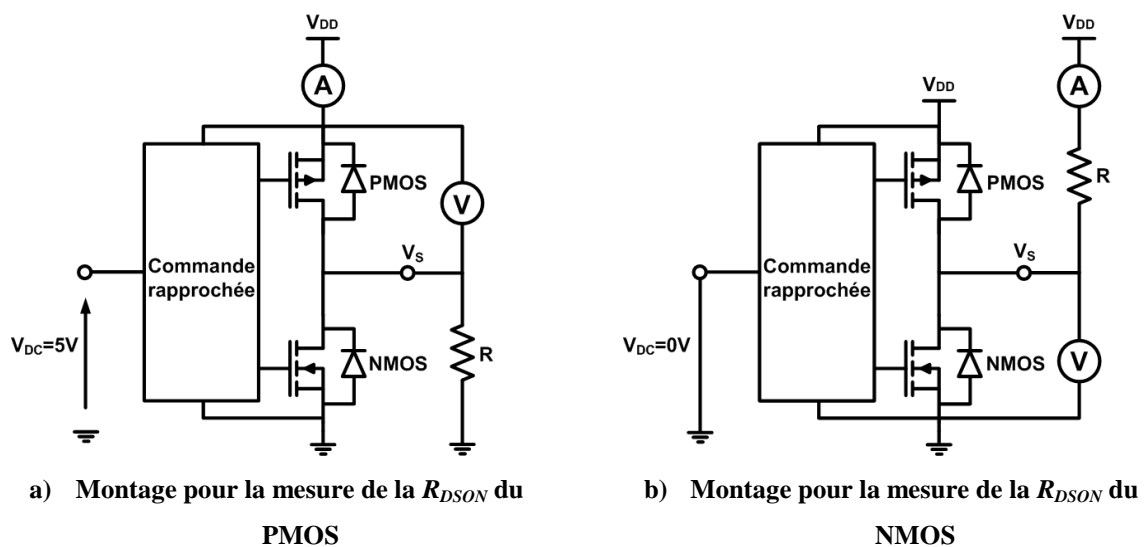


Figure II.43 – Mesure de la résistance  $R_{DS(ON)}$

### Mise du montage sous tension avec charge résistive

Cette étape consiste en l'observation des ondes de tension et de courant au niveau des points milieux des bras d'onduleur et au niveau de la charge. Le fonctionnement de la puce pour des bras entrelacés et en mode onduleur doit être testé afin d'observer les éventuelles surtensions et perturbations pour différentes fréquences. Enfin, la mesure de la température du montage sous des charges différentes permettra de vérifier son comportement thermique.

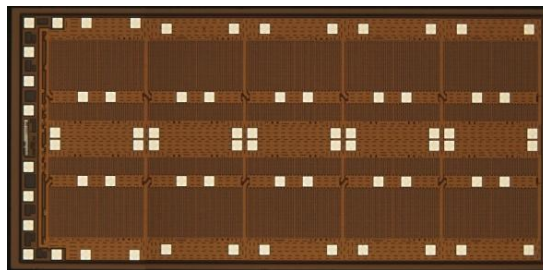
### Tests de la tenue mécanique du montage

C'est un test destructif qui consiste en l'arrachement de la puce du montage par une force extérieure. L'arrachement peut être fait selon l'axe vertical et selon l'axe horizontal. Cela permet de déterminer à quel point le montage est fragile en termes de vibrations et chocs mécaniques et d'évaluer la qualité des contacts [Jon05], [Jon06]. Ce test peut être mené avec

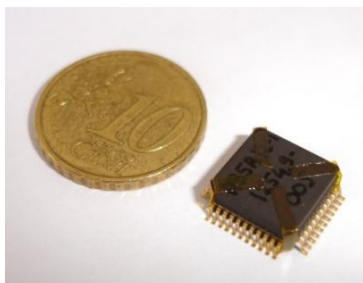
des machines spécialement dédiées à la caractérisation mécanique des assemblages flip-chip [Interconnect], [Micropacks]. Il peut aussi être réalisé manuellement avec de pinces mais dans ce cas il s'agit plutôt d'un contrôle permettant de savoir si les billes se sont accrochées sur les pistes du PCB. Les pistes du circuit imprimé sur lesquelles les contacts ont eu lieu ainsi que les plots de la puce doivent ensuite être observés afin de voir quel contact est le plus fort : celui entre la bille et le plot ou celui entre la bille et la piste. Cela nous permettra d'optimiser les paramètres de calibrage de la machine de report et de conclure sur la qualité des billes et du report.

### **II.4.4.2. REALISATION D'UN MONTAGE AVEC DES FILS DE BONDING**

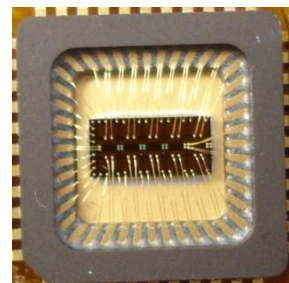
Tout d'abord, la puce fabriquée (voir Figure II.44) a été emballée dans un boîtier de type CQFP-44 (voir Figure II.45a). Les connexions entre les plots de la puce et les contacts du boîtier sont alors réalisées par des fils de bonding (voir Figure II.45b). Cette première version de réalisation permet de tester et valider le fonctionnement de la puce, ainsi que de caractériser le montage avec des fils de bonding pour le comparer avec les montages en flip-chip.



**Figure II.44 – Image microscopique de la puce**



**a) Photo du package CQFP-44**



**b) Zoom sur la puce dans le package**

**Figure II.45– Images du boîtier de la puce**

## Chapitre II : Optimisation et réalisation du module actif de la cellule élémentaire

Le premier circuit imprimé de test a été réalisé au G2Elab (voir Figure II.46). Les commandes PWM sont générées par un microcontrôleur externe.

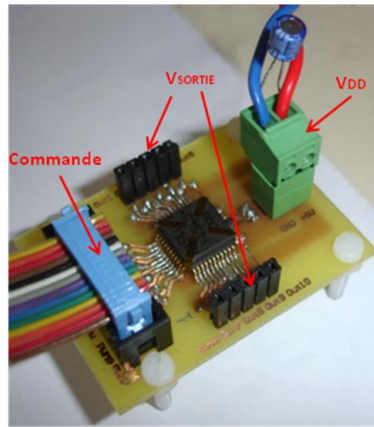


Figure II.46– Images du premier montage de test

Une fois que tous les contacts ont été vérifiés avec le multimètre, le fonctionnement des bras a été testé. D’abord, les résistances internes  $R_{DSON}$  des transistors PMOS et NMOS d’un bras d’onduleur ont été mesurées pour des valeurs différentes du courant moyen de la charge (voir Figure II.47).

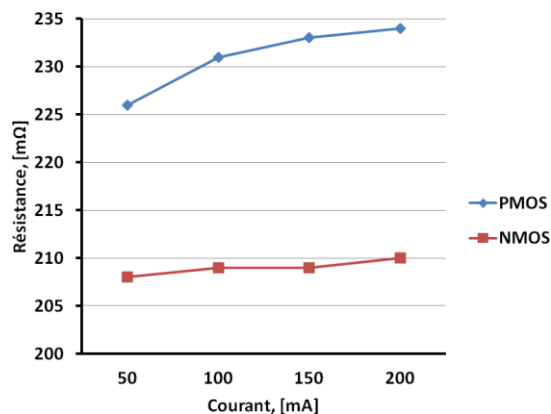


Figure II.47 –  $R_{DSON}$  des transistors PMOS et du NMOS ( $V_{DD}=5V$ )

La précision de la mesure du courant est de  $\pm 10\mu A$  et celle de la mesure de la tension est de  $\pm 100\mu V$ . Les valeurs mesurées correspondent à ce que nous pouvons attendre. Si nous reprenons le dimensionnement initial des résistances internes des transistors ( $R_{DSONN}=45m\Omega$  et  $R_{DSONP}=56m\Omega$ ), nous observons un offset sur les résistances d’environ  $160m\Omega$ . La présence des fils de bonding au niveau de chaque potentiel des bras CMOS : deux au niveau du  $V_{DD}$  (2 plots de contact), deux au niveau du point milieu (2 plots de contact), deux au niveau du  $GND$

(2 plots de contact) et un par plot de commande (voir Figure II.48), explique cet offset. La différence entre les  $R_{DS(ON)}$  mesurées du transistor PMOS et du transistor NMOS est due d'une part à leur dimensionnement initial et d'autre part au fait que les fils de bonding reliant la source du transistor NMOS au  $GND$  sont plus courts, 2mm de longueur, que ceux reliant la source du transistor PMOS au  $V_{DD}$ , 3mm de longueur (voir Figure II.45b). L'évolution des résistances mesurées ( $3m\Omega$  pour le NMOS et  $8m\Omega$  pour le PMOS) peut être attribuée à une évolution de la température au niveau des canaux des transistors et au niveau des fils de bonding que nous ne pouvons pas observer puisque la puce est emballée dans le boîtier.

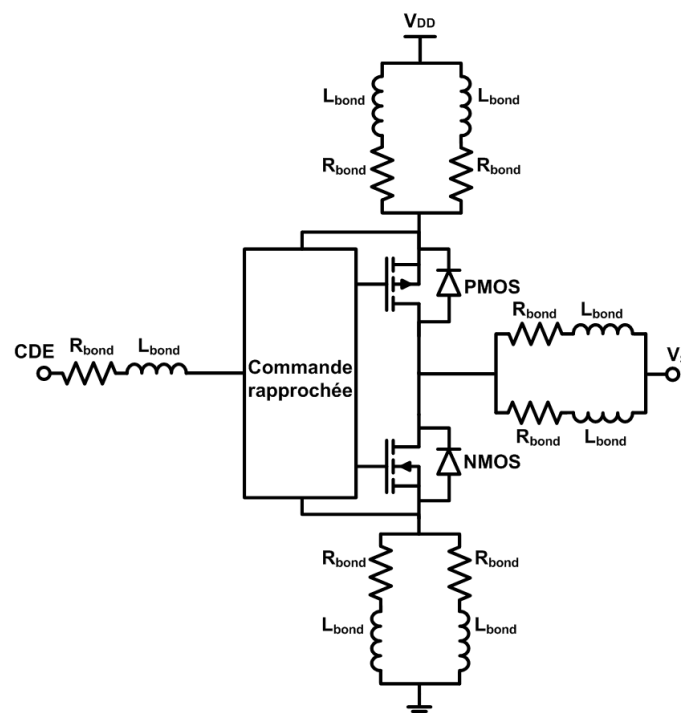


Figure II.48 – Résistances et inductances parasites des fils de bonding au niveau d'un bras d'onduleur

La puce a aussi été testée en régime dynamique à vide à  $V_{DD}=5V$ ,  $f=1MHz$  et un rapport cyclique  $\alpha=0,5$ . Un courant de consommation de 30mA correspondant à la consommation des commandes rapprochées de tous les bras d'onduleur a été mesuré à l'aide de la source d'alimentation Keithley 2420. Elle permet d'effectuer également de mesures du courant et de la tension avec une précision de l'ordre de cent pA et d'un  $\mu V$ .

Le montage a aussi été testé avec une charge résistive de  $25\Omega$  et une tension d'alimentation  $V_{DD}$  de 5V, une fréquence de fonctionnement de 1MHz et un rapport cyclique de 50%. Tout d'abord, deux bras d'onduleur ont été déphasés de 100ns, ce qui correspond au déphasage de chaque bras du convertisseur entrelacé et ensuite deux groupes de 5 bras en parallèle ont été

déphasés à  $180^\circ$  pour tester la puce en mode d'onduleur. Compte tenu du fait qu'elle est enfermée dans un boîtier qui limite la conduction thermique et la convection naturelle, par mesures de précaution afin d'éviter un réchauffement trop important, le fonctionnement de chaque bras d'onduleur a été testé à la moitié de sa puissance nominale ( $I_{CHARGE}=100\text{mA}$ ). La Figure II.49 montre le résultat expérimental pour les tensions aux points milieu de deux bras d'onduleur déphasés de  $100\text{ns}$  ainsi que le courant dans un bras. La Figure II.50 montre le résultat expérimental pour le courant et la tension au niveau de la charge dans une configuration d'onduleur.

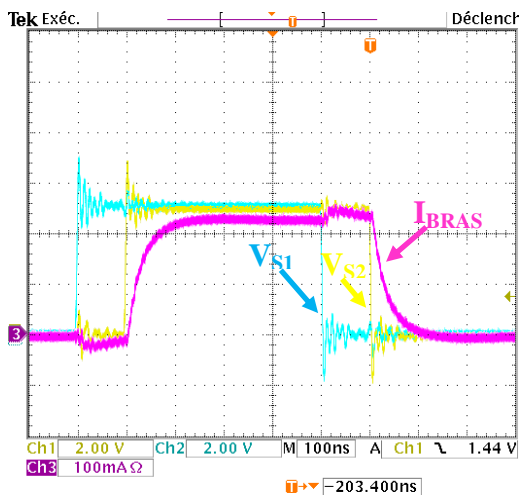


Figure II.49 –  $V_{DS}$  et courant dans deux bras déphasés de  $100\text{ns}$

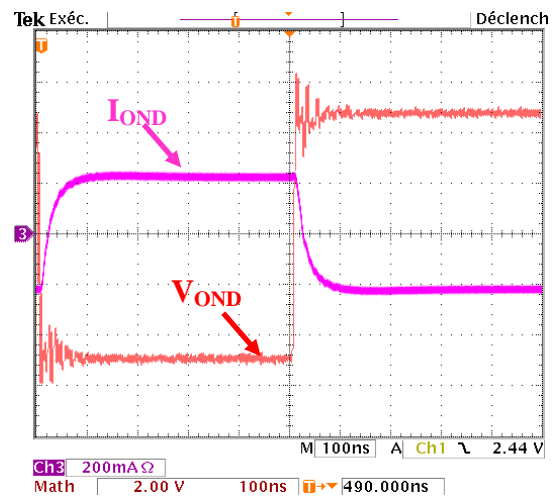


Figure II.50 – Courant et tension de la charge entre deux bras d'onduleur

Les résultats expérimentaux valident le fonctionnement de la puce, toutefois, des surtensions dont l'amplitude monte jusqu'à  $7.2\text{V}$  sur les courbes des tensions sont observées ainsi qu'une constante de temps  $\tau \approx 16\text{ns}$  ( $3\tau \approx 50\text{ns}$ ) sur les fronts montant et descendant de la courbe du courant. Ces phénomènes sont dus d'une part à l'inductance parasite de la charge qui est autour de  $330\text{nH}$  à  $1\text{MHz}$  et d'autre part à l'inductance parasite des fils de bonding qui est autour de  $10\text{nH}$  au niveau de chaque plot. Même si la puce est fonctionnelle dans ce boîtier, l'intérêt de s'orienter vers la solution de report flip-chip est évident pour les avantages suivants :

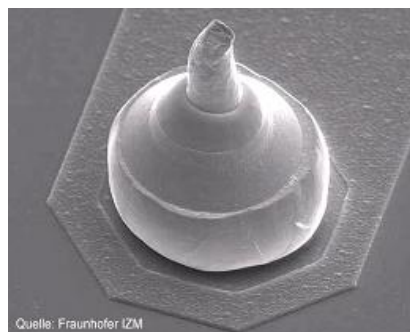
- ◆ réduction des résistances de contact impliquant une diminution des pertes par conduction dans le circuit ;

- ◆ réduction des inductances parasites de contact conduisant à une réduction des surtensions pendant la commutation et par conséquent une réduction du risque d'altérer le fonctionnement de la puce ;
- ◆ amélioration de la gestion thermique par le design des pistes de cuivre et du circuit imprimé ;
- ◆ réduction de l'espace occupée par l'empreinte de la puce ;
- ◆ amélioration de la tenue mécanique du montage augmentant sa fiabilité.

En revanche, l'assemblage flip-chip est plus complexe à mettre en œuvre. Pour réaliser le report, il est nécessaire de passer par plusieurs étapes technologiques et de concevoir un substrat spécifique. Pour la plupart des technologies de report flip-chip, la dépose de stud bumps sur les plots de la puce est tout d'abord indispensable pour que le contact avec les pistes du circuit imprimé soit établi. Ensuite, la phase d'alignement et de report doit être mise en œuvre. Ces points seront présentés dans la suite.

### **II.4.2 DEPOSE DE STUD BUMPS**

Les stud bumps représentent des billes, dans notre cas en or, de 70 $\mu$ m de diamètre. Pour leur dépose, une machine de wire bonding Unitemp WB-100 a été utilisée. Pour qu'elle crée des stud bumps, le fil d'or de 20 $\mu$ m de diamètre qui passe dans un capillaire est brutalement porté à sa température de fusion par un arc électrique. Il fond et forme une boule qui est pressée sur le plot de la puce afin qu'elle s'écrase occupant un maximum de surface. Ensuite le fil est coupé en retirant le capillaire et en donnant un coup de chalumeau. Après cette découpe il existe un reste de fil qui forme une petite queue (voir Figure II.51).



**Figure II.51 – Photo d'un stud bump en or [Finetech]**



Afin d'assurer à tous les stud bumps une hauteur identique un processus appelé « coining » est mis en œuvre. Il consiste en l'égalisation des hauteurs des stud bumps en les pressant avec une pièce plate (voir Figure II.52). Le résultat est des stud bumps aplatis à la même hauteur.

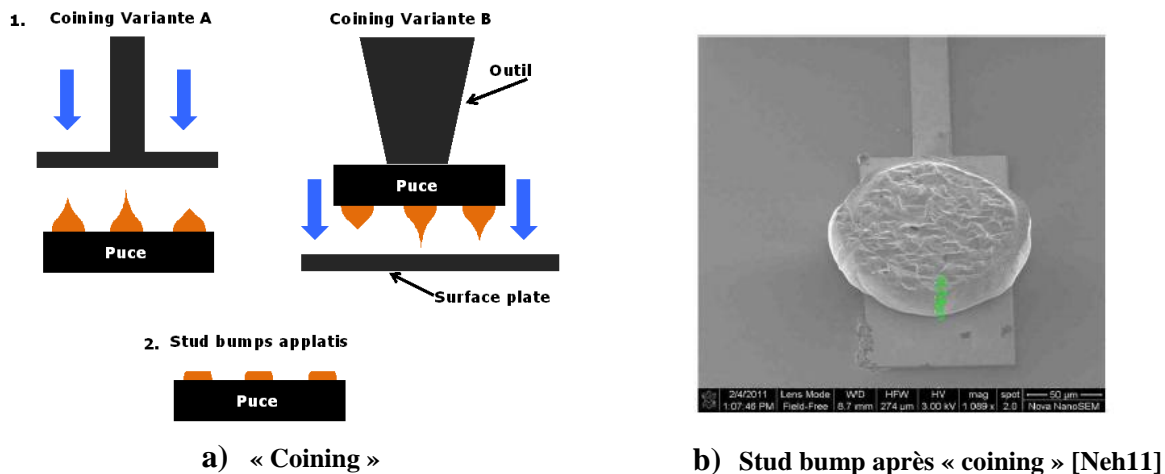


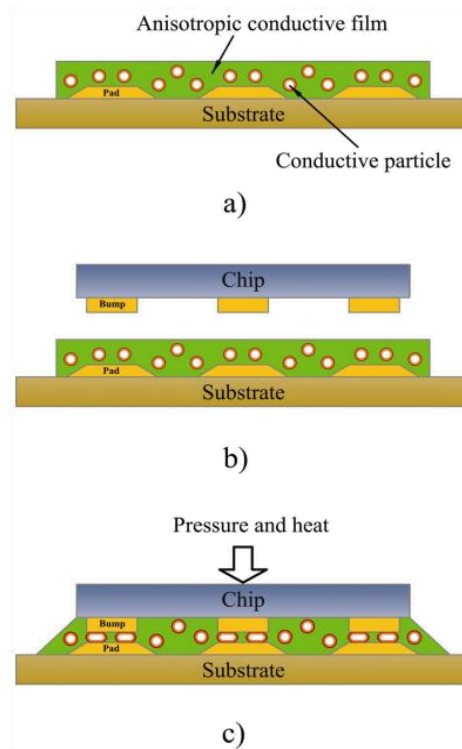
Figure II.52 – Egalisation des hauteurs des stud bumps

### II.4.3 COLLAGE PAR ADHESIF

L'assemblage par collage est la première technologie que nous avons utilisée. Nous avons essayé de réaliser le report flip-chip avec deux méthodes : collage par adhésif conducteur et par adhésif non conducteur (ou contact sec).

#### II.4.3.1. PRESENTATION DE LA METHODE PAR FILM ADHESIF

L'adhésif anisotrope conducteur représente une colle électriquement isolée dans laquelle sont présentes de petites particules conductrices. La colle peut être sous la forme d'un film (ACF) ou d'une pâte (ACP). Le matériau est déposé sur la plage d'accueil du circuit imprimé. Ensuite la puce est alignée et posée dessus et le contact est effectué à l'aide d'une force d'appui à une température de 80°C environ. Au moment où la puce est pressée, la température monte jusqu'à 180° C, l'adhésif s'écrase et les particules font le contact entre les stud bumps de la puce et les pistes du circuit imprimé. La chaleur et la force d'appui sont appliquées par-dessus du montage. La Figure II.53 illustre les étapes du report flip-chip par collage avec film adhésif.



Un inconvénient de cette technologie est la valeur de la résistance de contact qui selon plusieurs études est autour de 50 à 120mΩ [Cae03], [Chi04], [Dou06], [Gou06], [Chi08]. Ceci peut s'avérer pénalisant pour le rendement de la cellule élémentaire en augmentant les pertes par conduction. Il est dommage de faire des efforts pour l'optimisation de la résistance à l'état passant des bras d'onduleur et en même temps d'avoir une résistance de contact très importante.

### II.4.3.2. PRESENTATION DE LA METHODE PAR CONTACT SEC

L'assemblage par contact sec est une autre technique de report flip-chip sans brasure qui a été étudiée et ensuite mise en place. Une colle non conductrice est déposée entre les plots de la puce. Au moment où la puce est alignée au niveau du circuit imprimé, la face inférieure du circuit imprimé et la puce sont soumises à une température de 120°-160° C dépendant des propriétés de la colle pour cuire cette dernière. En se durcissant, la colle serre le montage et ainsi le contact entre les plots et les pistes du circuit imprimé est effectué (voir Figure II.54).

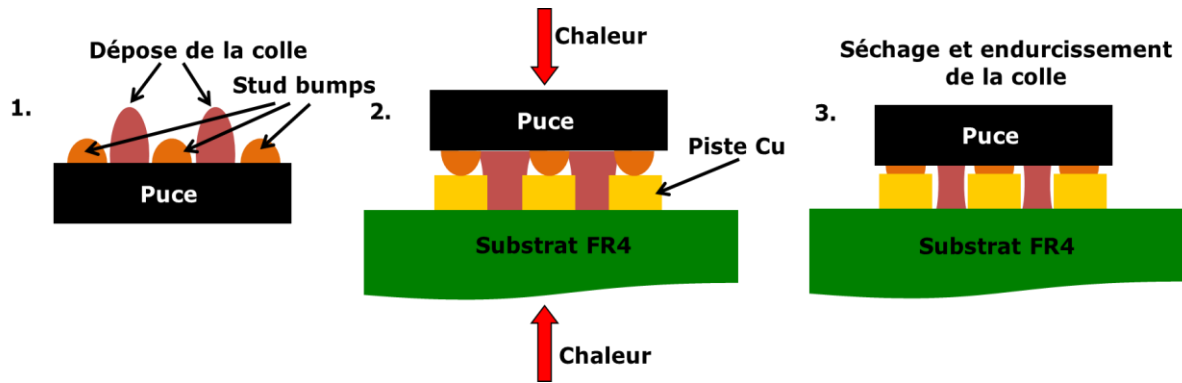


Figure II.54 – Principe d'assemblage flip-chip par contact sec

### II.4.3.3. ETUDES EXPERIMENTALES

Un premier prototype en flip-chip de la partie primaire de la cellule élémentaire a été conçu pour tester et caractériser le report. Un microcontrôleur dans un boîtier QFN28 a aussi été mis en place sur la carte pour éviter toute perturbation de la commande. Une version avec des bras indépendants et une autre avec deux groupes de 5 bras en parallèle ont été réalisées afin de comparer si les résistances de contact sont les mêmes au niveau de chaque bras d'onduleur et si les montages ont les mêmes caractéristiques avec des empreintes différentes (voir Figure II.55a et Figure II.55b).



a) Version bras indépendants

b) Version bras en parallèle

Figure II.55 – Vue de dessus du premier prototype de la partie primaire de la cellule élémentaire

L'assemblage par film adhésif a été réalisé par la société HCM [HCM] et un montage par contact sec a été effectué par une société basée à Crolles (38) [Gamb] spécialisée dans l'assemblage et le packaging de composants de microélectronique.

Malheureusement, aucune tension des diodes n'a été détectée lors des mesures. Ce problème peut être expliqué par un mauvais contact au niveau des points milieux des bras d'onduleur. Compte tenu du fait qu'il existe 20 plots de contact au niveau du  $V_{DD}$ , 20 plots de contact au niveau du  $GND$  et que les plots des mêmes potentiels ont aussi une connexion dans la puce, la probabilité que les points milieux aient un mauvais contact avec les pistes du circuit imprimé est la plus grande. Toutefois, le microcontrôleur a été programmé de façon à générer des signaux PWM et le montage a été mis sous tension. Aucun signal de sortie n'a été observé et seule la consommation du microcontrôleur a été mesurée. Cela signifie que même les contacts de commande n'ont pas été effectués. Si au moins les plots de la commande avaient été établis, la consommation de la puce aurait été observée. Il s'avère alors que le report par collage n'est pas une solution fiable dans le cas de cette puce pour avoir un montage flip-chip. Pour cette raison la recherche d'autres technologies de report est indispensable.

### **II.4.4 LA THERMO COMPRESSION**

#### **II.4.4.1. PRESENTATION DE LA TECHNOLOGIE**

La thermocompression est une technique standard qui consiste en le report de la puce sur le substrat par une force d'appui extérieure à une température élevée (voir Figure II.56 et Figure II.57). Pour réaliser le montage flip-chip il est alors nécessaire de configurer la force d'appui de la puce (entre 0,1N/bump et 0,7N/bump) sur le substrat et le profil thermique. Ces deux derniers sont particuliers pour chaque type de puce et ils dépendent généralement de la taille de la puce, du nombre des plots et du matériau et du diamètre des stud bumps. Cette technique est plus intéressante comme solution de report flip-chip pour les puces de puissance car la résistance de contact est alors autour de  $5m\Omega$  [Hiu13], [Flipchip]. Les étapes pour réaliser le report flip-chip par thermocompression sont les suivantes :

- ◆ Dépose de stud bumps en or ;
- ◆ Le substrat (le circuit imprimé) est déposé sur une plaque chauffante ;
- ◆ La puce est alignée au niveau des zones de contact du circuit imprimé ;
- ◆ Le montage est exposé à une température ambiante de l'ordre de  $200^{\circ}\text{C}$  ;

- ◆ Un cycle thermique est fait de façon à ce que la température augmente jusqu'à 350°C ;
- ◆ Une force d'appui est exercée sur la puce dans le but de créer une jonction entre ses stud bumps et les zones de contact sur le circuit imprimé.

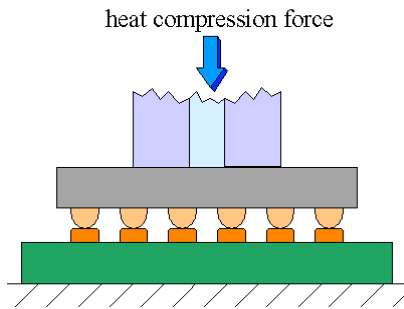


Figure II.56 – Report par thermocompression [Flipchip]

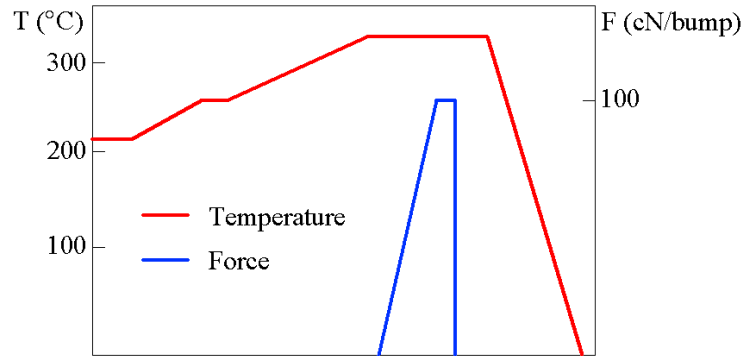


Figure II.57 – Profil thermique pour la thermocompression [Flipchip]

L'inconvénient de cette technique de report est la température élevée à laquelle le montage est soumis. Cela a des conséquences sur le substrat vu que le matériau du circuit imprimé est le FR4 qui commence à se dégrader à partir de températures au-delà de 200°C. Dans ce cas, la mise d'un adhésif non-conducteur (underfill) dans l'espace entre la puce et le substrat est nécessaire pour renforcer la tenue mécanique du montage et le protéger contre l'humidité. Il assure encore le bon contact électrique en compensant la déformation des contacts à cause des coefficients de dilatation thermique différents de la puce et du substrat [Pat02].

### II.4.4.2. ETUDES EXPERIMENTALES

Les deux versions flip-chip du premier prototype ont été réalisées par thermocompression et underfill par la société Micro Packs [Micropacks]. Les chutes de tension des diodes intrinsèques des bras d'onduleur ont été détectées au niveau de 8 bras sur 10 de la carte avec bras indépendants. Elle a également été détectée aux sorties de la version avec les deux groupes de 5 bras en parallèle mais dans ce cas il n'a pas pu être vérifié que tous les contacts sont bien effectués. Quand les montages ont été testés sous tension, aucun signal de sortie n'a été détecté. De plus, aucune autre consommation n'a été détectée mise à part celle du microcontrôleur. Ceci signifie que les contacts de la commande n'ont pas été réalisés à l'instar

des montages flip-chip par collage. La puce étant grande et ayant un nombre de plots élevé fait qu'il est nécessaire d'avoir plus d'énergie pendant la phase de report pour faire fondre correctement tous les stud bumps afin de réaliser des contacts corrects avec les pistes du substrat. Pour cette raison la technologie de report par ultrason a ensuite été étudiée.

### **II.4.5 LE ULTRASON/THERMOSON**

#### **II.4.5.1. PRESENTATION DE LA TECHNOLOGIE**

L'Ultrason est une technique de report analogue à la thermocompression sauf que dans ce cas la température à laquelle le montage est soumis est moins élevée. Au moment où la force d'appui a atteint un certain niveau, une vibration ultrasonique est envoyée à travers l'outil ultrasonique pendant une durée de quelques millisecondes à quelques centaines de millisecondes afin de terminer le processus (voir Figure II.58). Les paramètres à régler dans ce cas sont alors la force d'appui (entre 0,03N/bump et 0,7N/bump), la température du substrat (autour de 100-150°C) et l'énergie de la vibration ultrasonique. Il est nécessaire de trouver la bonne configuration de ces trois paramètres afin de ne pas détruire les stud bumps d'un côté et d'effectuer un bon contact d'un autre côté. Si par exemple, l'énergie de la vibration ultrasonique est très élevée et la force d'appui est très grande, il y a un risque d'arracher les stud bumps des plots de contact de la puce au moment où la vibration ultrasonique est envoyée. Au contraire, si la force d'appui et l'énergie sont faibles, il est bien possible que le contact ne soit pas fait. Dans ce cas, il est nécessaire de trouver la bonne configuration des paramètres de la machine à ultrason. A l'instar de la thermocompression, le paramétrage est particulier pour chaque type de puce et pour chaque type de stud bumps. Il se fait malheureusement suite à plusieurs essais, ce qui rend cette tâche difficile compte tenu du fait que nous sommes limités en nombre de puces disponibles. Les étapes pour effectuer le report flip-chip par ultrason sont les suivantes :

- ◆ Dépose des stud bumps en or ;
- ◆ Le substrat (le circuit imprimé) est déposé sur une plaque chauffante ;
- ◆ La puce est alignée au niveau des zones de contact du circuit imprimé ;
- ◆ Le substrat est réchauffé à une température entre 100 - 150°C ;
- ◆ Une force d'appui est exercée sur la puce ;

- ◆ Une vibration ultrasonique est envoyée pour créer une friction ;
- ◆ La jonction est faite suite à la soudure par friction.

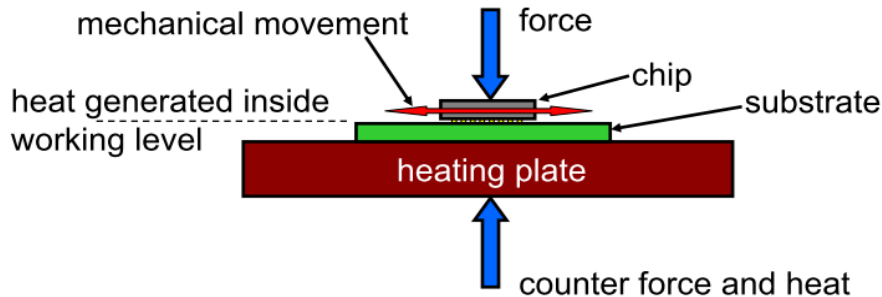


Figure II.58 – Report par ultrason [Finetech]

Cette méthode est bien adaptée pour le report flip-chip sur un substrat PCB. Son avantage consiste en la réduction de la contrainte thermique pendant la phase de report. La température maximale du cycle thermique est de l'ordre de 150°C. Dans ce cas, il n'y a pas de risque de dégrader le matériau du PCB. En revanche, elle est plus difficile à mettre au point car il est nécessaire d'avoir plusieurs échantillons pour calibrer la machine dans le but d'atteindre des résultats de report stables.

### II.4.5.2. ETUDES EXPERIMENTALES

Quelques puces ont été envoyées à la société Finetech en Allemagne. Après quelques essais de report, les paramètres optimaux du processus pour la réalisation d'un montage stable ont été déterminés. L'énergie de l'impulsion ultrasonique a été fixée à 1400mW, la force de pression a été ajustée à 0,06N/bump et la température du circuit imprimé a été à 120°C. Les montages ont été réalisés sans underfill.

Les chutes de tension des diodes intrinsèques des bras d'onduleur sur toutes les sorties des deux versions du premier prototype flip-chip ont été détectées avec le multimètre, nous pouvons donc considérer que les contacts au niveau du  $V_{DD}$ , du  $GND$  et des points milieux ont été réalisés.

Les deux montages ont été mis sous tension sans charge afin de vérifier si les contacts des commandes sont aussi réalisés. Aucun signal de sortie n'a été détecté pour le prototype dont

les bras sont en parallèle dans deux groupes. Une force extérieure d'appui a été exercée sur la zone de la puce où se trouvent les plots de la commande et les signaux de sortie sont apparus, ce qui montre clairement que le report n'a pas réussi dans cette zone. Par conséquent, le montage n'a pas été caractérisé puisque les résultats ne peuvent pas être représentatifs dans ce cas. Le montage avec des bras indépendants a aussi été mis sous tension sans charge. Les sorties de 2 bras d'onduleur sur 10 ont été détectées, ce qui nous a permis au moins de mesurer les résistances internes des transistors PMOS et NMOS de puissance pour des valeurs différentes du courant (voir Figure II.59).

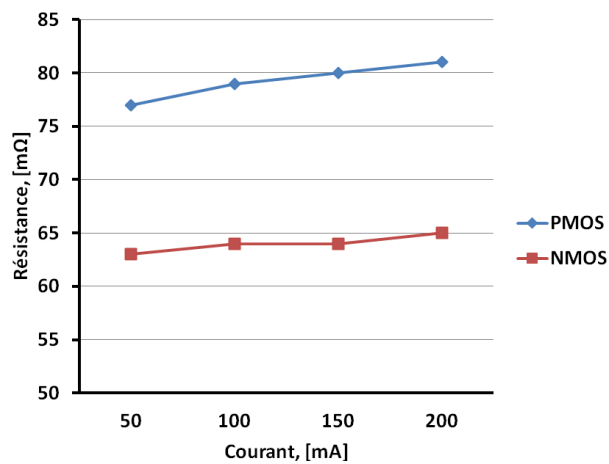


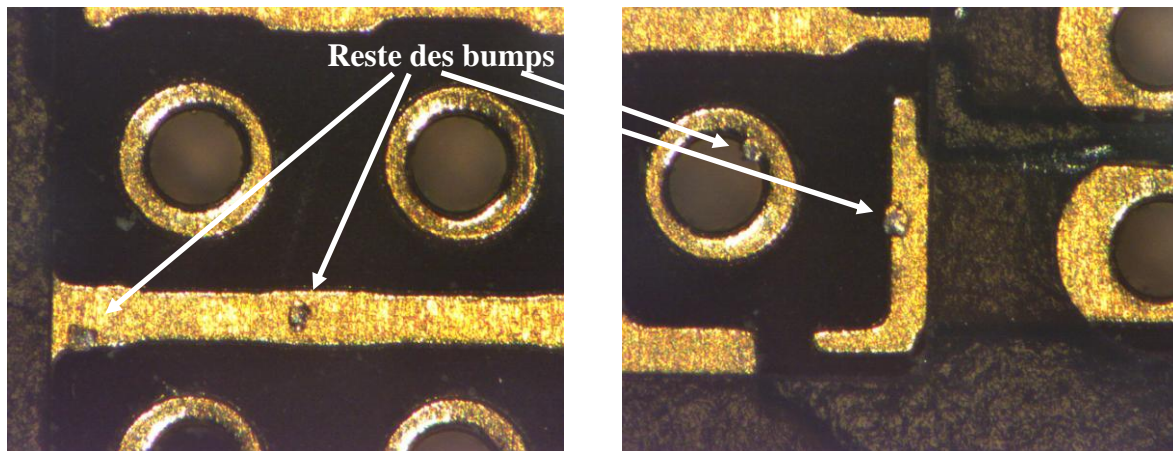
Figure II.59 –  $R_{DS(on)}$  des transistors PMOS et du NMOS ( $V_{DD}=5V$ )

Ici de nouveau nous observons une évolution des résistances en fonction du courant mais cette fois de  $2m\Omega$  pour le transistor NMOS et de  $4m\Omega$  pour le transistor PMOS et un offset résistif qui est plus faible comparé à celui dans le cas avec fils de bonding. De plus, l'écart entre les valeurs des résistances mesurées pour un courant de  $200mA$  est de  $16m\Omega$  contre  $24m\Omega$  pour le montage avec fils de bonding. Ce résultat est illustratif de l'amélioration de la résistance de contact avec un montage flip-chip. L'offset résistif a été réduit d'environ 3 fois, ce qui donne une résistance de plot autour de  $20m\Omega$ . L'évolution des résistances en fonction du courant a aussi été réduite de 30% pour le transistor NMOS et 50% pour le transistor PMOS ce qui a également réduit leur écart.

Un test d'arrachement de la puce a été effectué à la main avec des pinces afin de déterminer la tenue mécanique du montage et la qualité du contact. La puce a été facilement retirée du circuit imprimé. Il est à remarquer sur la Figure II.60 que, au niveau de plusieurs zones de contacts, il n'y pas de traces des stud bumps. Ils se sont complètement arrachés, ce



qui signifie qu'au niveau de plusieurs plots y compris ceux de la commande, le contact n'a pas été effectué.



**Figure II.60 – Images du PCB après l'arrachement de la puce**

Ces résultats, pas satisfaisants, nécessitent de trouver une autre solution pour le report flip-chip. Dans ce contexte, nous nous sommes orientés vers la dernière solution d'assemblage, à savoir le report par brasure de billes qui est présenté dans la suite.

### **II.4.6 BRASURE DE BILLES**

Il existe plusieurs moyens pour réaliser le report flip-chip en utilisant des billes d'alliage de brasure. Dans la suite la méthode classique par refusion, maîtrisée par une société spécialisée dans les technologies de packaging et assemblage flip-chip, et deux autres méthodes imaginées par nous-mêmes sont présentées. Dans tous les cas, pour avoir la meilleure brasure, il est nécessaire que la finition des pistes du circuit imprimé soit ENIG (nickel or chimique).

#### **II.4.6.1. PRESENTATION DE LA TECHNOLOGIE PAR REFUSION**

Le report flip-chip par refusion ne nécessite pas la dépose de stud bumps au niveau des plots de contact de la puce mais il consiste en la dépose de billes d'alliage de brasure comme le SnPb63/37, SnAgCu, AuSn etc. La puce est ensuite reportée sur le circuit imprimé lors d'un cycle de refusion. Comme la Figure II.61 le montre, les alliages sans plomb sont plus appropriés pour cette application parce qu'ils ont un coefficient de dilatation thermique plus

faible [Mul00] et ils fondent à une température plus basse, ce qui limite les contraintes sur le substrat.

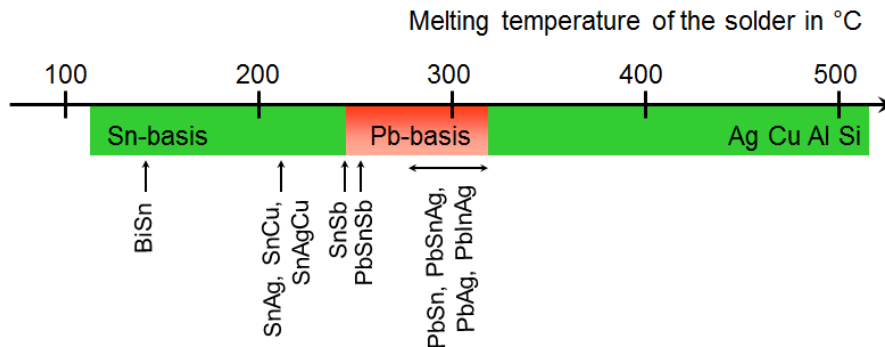


Figure II.61 – Températures de fusion des alliages de soudure

Pour que les billes soient déposées sur les plots de la puce, un outil s'aligne au niveau de chaque plot et une bille de brasure est insérée dans un capillaire (voir Figure II.62). Ensuite, un rayon laser passe à travers le capillaire et fait braser la bille sur le plot. Pour que les billes se soudent sur les plots, il faut régler la puissance du laser et le temps pendant lequel il est appliqué. Ces paramètres dépendent du type d'alliage de brasure et de son diamètre. La Figure II.63 montre la force d'arrachement de billes de PbSn63/37 de 127 $\mu$ m de diamètre en fonction de la puissance du laser. La puce est ensuite retournée et alignée au niveau du circuit imprimé et le report se fait par une refusion durant laquelle les billes fondent et effectuent le contact avec le circuit imprimé.

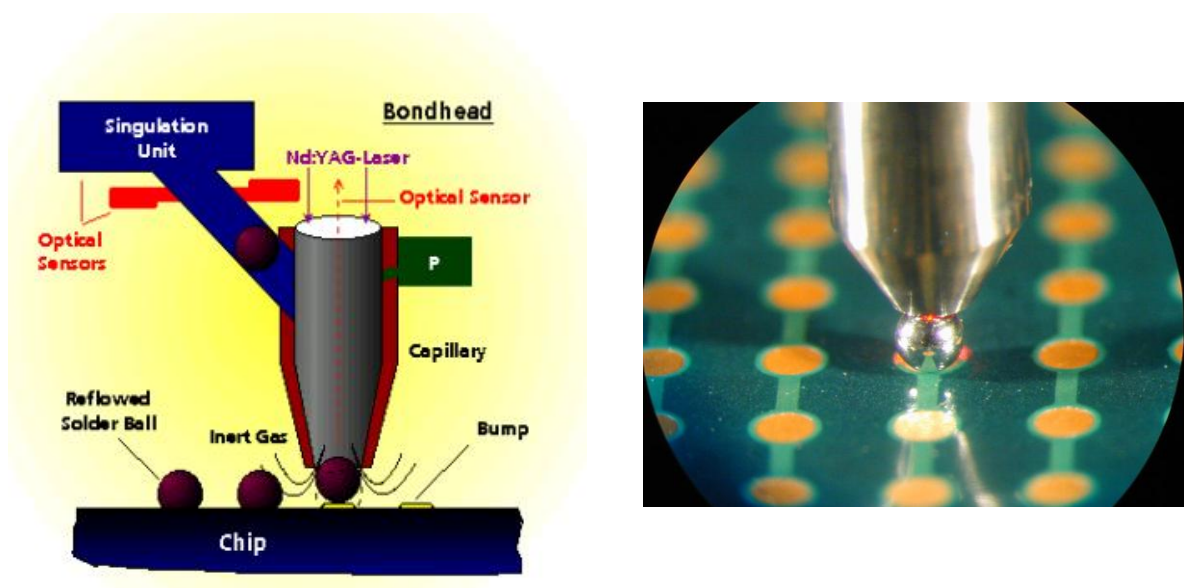


Figure II.62 – Placement et refusion des billes de brasure [Pactech]

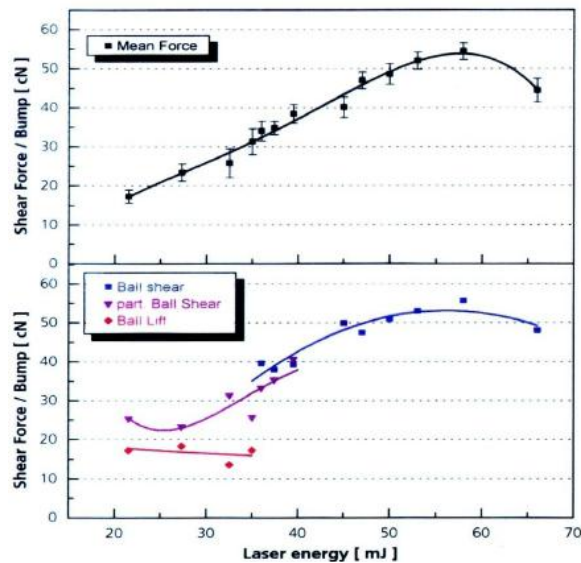


Figure II.63 – Force d'arrachement d'une bille SnPb63/37 de 127 $\mu$ m de diamètre en fonction de la puissance du laser [Pactech]

Cette technique de report paraît prometteuse pour le report flip-chip de la puce de puissance car le contact se fait sans aucune force d'appui. De plus, sa résistance de contact est considérablement plus faible par rapport aux autres technologies de report (autour de 0,15m $\Omega$ ) [Men09]. En revanche, ce processus est généralement maîtrisé à l'échelle du wafer, ce qui le rend extrêmement difficile à appliquer à l'échelle des puces unitaires, ce qui est le cas ici. Toutefois, la société Pac Tech en Allemagne offre ce processus pour l'assemblage flip-chip à l'échelle du wafer et à l'échelle des puces unitaires mais pour un coût important.

### II.4.6.2. ETUDES EXPERIMENTALES DU REPORT PAR REFUSION

Vu la largeur et la longueur des plots qui sont de 85 $\mu$ m, des billes de matériau sans plomb SnAgCu d'un diamètre de 90 $\mu$ m ont été choisies pour le report. Un premier problème a été constaté lors de leur brasure sur les plots de la puce à cause de la finition des plots. La couche TiN (nitrure de titane) qui est la dernière couche de métallisation des plots de la puce n'est pas brasable et les billes n'accrochaient pas sur les plots. Pour remédier à ce problème il a été nécessaire de re-métalliser les plots de la puce avec un nickel or chimique (ENIG). Pour ce faire il a fallu mettre en place un traitement chimique qui consistait en la gravure de la couche TiN afin de déposer la finition ENIG sur la couche AlCu des plots. La Figure II.64 montre les couches de métallisation des plots de contact de la puce. Le processus de métallisation des plots est expliqué en détails dans [Pactech].

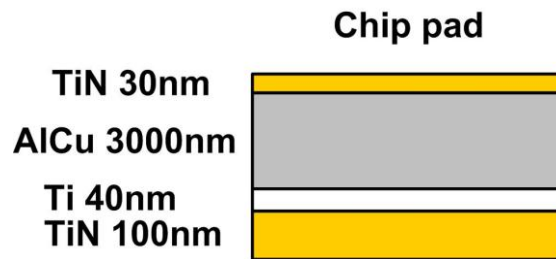


Figure II.64 – Vue en coupe d'un plot de la puce (technologie AMSC35B4M3)

Les puces n'étant pas à l'échelle du wafer font que la mise au point du setup pour la remétallisation de leurs plots, leur billage et le report demande un effort important. Par conséquent la durée pour la réalisation des montages flip-chip avec cette technique de report est aussi très importante. Ceci ne nous a pas empêché d'effectuer des tests de caractérisation du dernier moment et de présenter quelques résultats. Nous avons d'abord testé la version du prototype avec des bras indépendants. Les chutes de tension des diodes de tous les bras d'onduleur ont été détectées. Le montage a été mis sous tension sans charge et tous les signaux de sortie ont été observés. Ce deuxième test montre que les plots de commande de tous les bras ont été brasés avec succès. Nous avons ensuite mesuré les résistances des plots des dix bras d'onduleur (voir Figure II.65).

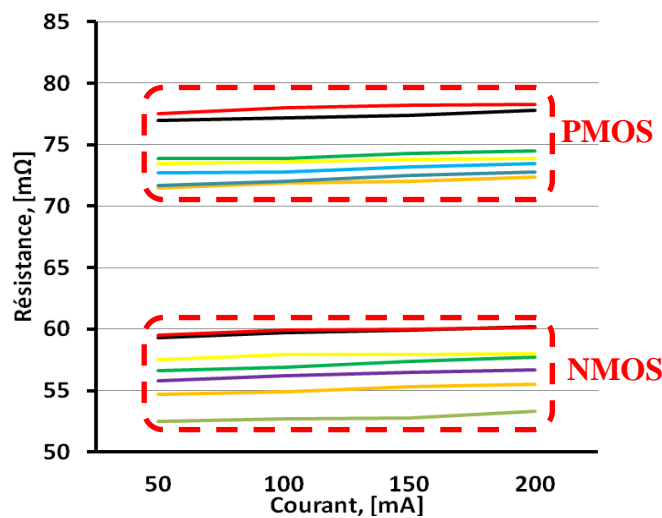


Figure II.65 –  $R_{DS(on)}$  des transistors PMOS et du NMOS ( $V_{DD}=5V$ )

L'offset résistif que nous observons ici donne une valeur de la résistance d'un plot autour de 20mΩ qui est presque identique au niveau des plots des dix bras d'onduleur. Par conséquent, nous pouvons conclure que cette technique de report nous permet braser tous les

70 plots de la puce de façon uniforme et avec une résistance de contact 8 fois plus faible par rapport à celle des fils de bonding.

L'étape suivante de la caractérisation de ce montage consiste en sa mise en route sous tension avec une charge résistive afin de tester ses performances électriques et thermiques. Tous les bras de la puce ont été mis en parallèle et le prototype a été mis en place dans un hacheur série réalisé avec composants discrets. La Figure II.66 montre les courbes du courant dans l'inductance et de la tension au point milieu pour 10W de puissance transférée ( $V_{DD}=5V$ ,  $f_{déc}=500kHz$ ,  $\alpha=0,5$ ,  $R=0,625\Omega$  et  $I_{CHARGE}=4A$ ) et Figure II.67 montre une image thermique du circuit imprimé avec la puce.

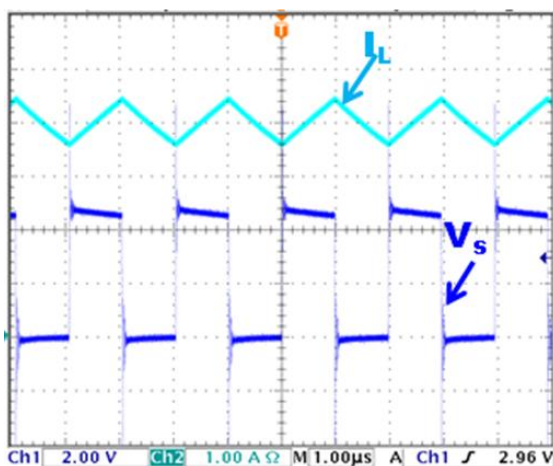


Figure II.66 – Courant dans l'inductance  $I_L$  et tension  $V_S$  à la sortie de la puce

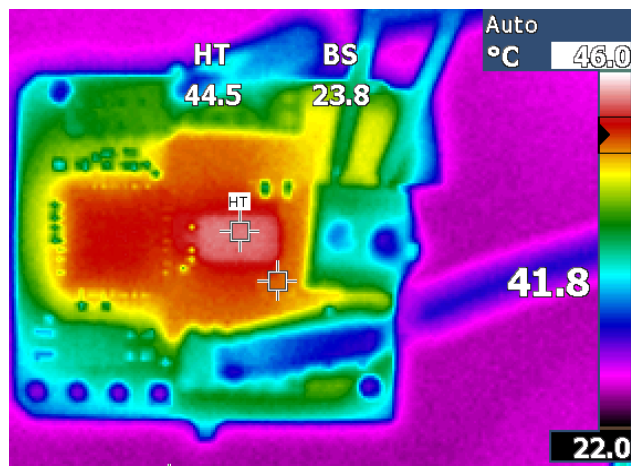


Figure II.67 – Image thermique de la puce

L'image thermique montre la température de fonctionnement de la puce qui est autour de 45°C. Comme nous pouvons le voir sur la Figure II.67, les surfaces de cuivre évacuent bien la chaleur grâce au bon report de la puce qui assure un bon contact entre ses plots et les pistes du circuit imprimé. L'élévation de la température de 25°C indique que nous pouvons doubler les pertes par commutation en faisant fonctionner le montage à 1MHz sans avoir un risque de dépasser la limite thermique de fonctionnement de la puce (125°C) [AMS]. Pour pouvoir mesurer le rendement de la puce de façon correcte et précise, il sera nécessaire de réaliser la cellule élémentaire dans laquelle toute connectique sera optimisée et tous les parasites du montage seront réduits au maximum.

Un test de la tenue mécanique a aussi été réalisé. Nous avons essayé d'arracher la puce à la main avec des pinces de façon brutale dans toutes les directions mais la puce ne s'est pas enlevée grâce à l'underfill qui a été rajouté pour renforcer le report.

Les résultats expérimentaux obtenus lors des tests du montage flip-chip réalisé avec la technique de report par refusion sont très encourageants et ils se rapprochent le plus de ce que nous attendons. Cette technique de report par flip-chip de la puce a été validée selon tous les critères que nous avons définis dans la méthode pour la caractérisation des performances du montage. Dans la suite, nous allons présenter quelques résultats obtenus avec des techniques de report par brasure que nous avons essayées de réaliser.

### II.4.6.3. PRESENTATION DE LA METHODE PAR BRASURE DES STUD BUMPS

La combinaison des stud bumps et de la pâte à braser peut être considérée comme une dérivée de la technologie de report flip-chip par refusion. Dans ce cas, des stud bumps doivent être déposés sur les plots de la puce qui est ensuite placée dans un bain de pâte à braser de façon à ne tremper que les stud bumps. Par conséquent, la pâte à braser s'accroche sur les stud bumps. La puce est ensuite reportée sur le substrat et est maintenue fixe grâce une force de pression appliquée par le dessus. Un cycle thermique va ensuite faire fondre la pâte à braser et établir le contact électrique (voir Figure II.68).

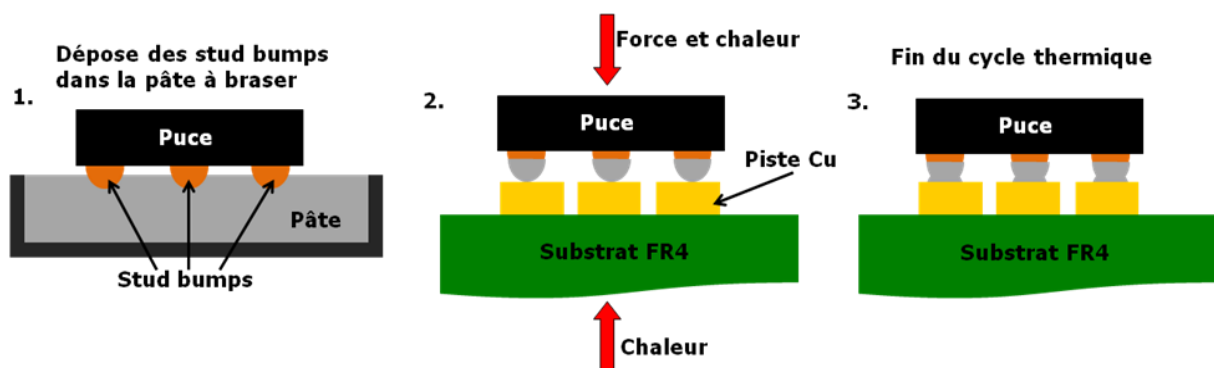
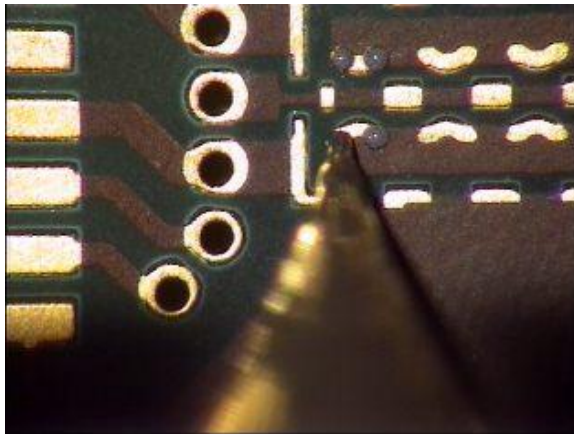


Figure II.68 – Etapes du report flip-chip par brasure des stud bumps

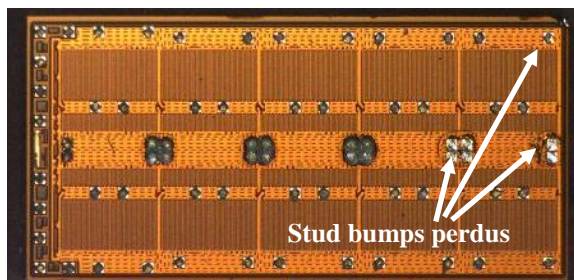
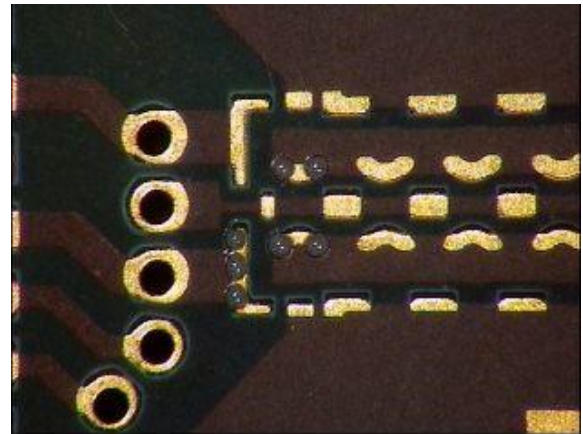
A l'instar du report par refusion, cette méthode paraît prometteuse en termes de résistance de contact compte tenu du fait que le contact est toujours effectué par un alliage à braser. La caractérisation des montages réalisés avec cette méthode est présentée dans la partie expérimentale.

### II.4.6.4. ETUDES EXPERIMENTALES DU REPORT PAR BRASURE DES STUD BUMPS

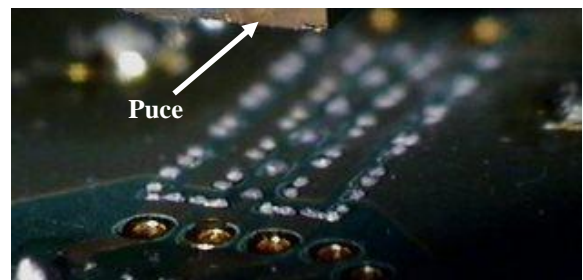
Les études expérimentales du report flip-chip par brasure des stud bumps ont été à nouveau effectuées en collaboration avec la société Finetech en Allemagne [Finetech]. Nous avons utilisé la même machine que pour l'ultrason sauf que l'outil a été changé. Les stud bumps ont été trempés dans une pâte à braser de matériau SnPb63/37 que nous avons à disposition. Un point critique pour cette méthode est l'alignement de la puce au niveau du bain de pâte à braser. Il est impératif que les deux soient parfaitement parallèles sinon la moindre inclinaison de la puce pourrait faire qu'une partie de sa surface soit contaminée avec de la pâte à braser ce qui pourrait ensuite créer des court-circuits. Pour renforcer les contacts, de la pâte à braser a aussi été rajoutée avec une seringue au niveau des zones de contact sur le circuit imprimé (voir Figure II.69a). Ceci permet d'augmenter la quantité de la pâte à braser au niveau des stud bumps et renforce les contacts. Vu que le nombre de puces dont nous disposons était limité, ces expériences ont été d'abord réalisées avec des puces que nous avons déjà arrachées lors de la caractérisation du report par ultrason (voir Figure II.69b). Lors de l'arrachement quelques stud bumps ont été perdus.



a) Dépose de la pâte à braser au niveau du PCB



b) Stud bumps trempés dans la pâte à braser



c) Alignement de la puce au niveau du PCB

Figure II.69 –Réalisation d'un report flip-chip par brasure des stud bumps [Finetech]

Le fait que nous avons perdus quelques stud bumps ne nous a pas empêché de vérifier la faisabilité de cette technique d'assemblage flip-chip. Au moment du report de la puce sur le circuit imprimé, un profil thermique a été défini pour la face supérieure de la puce ( $T_{max}=250^{\circ}\text{C}$ ) et un autre pour la face inférieure du substrat ( $T_{max}=120^{\circ}\text{C}$ ) et une force de 0,14N/bump a été appliquée.

La version du premier prototype avec des bras indépendants a été testée. A l'instar de la technologie par ultrason, les chutes de tension des diodes intrinsèques des bras d'onduleur sur toutes les sorties ont été détectées. Ensuite, le montage a aussi été mis sous tension sans charge. Les signaux de sortie de tous les bras d'onduleur ont été détectés, ce qui signifie que cette fois la brasure des plots de la commande de tous les bras a été réalisée avec succès. Ceci nous a permis de mesurer les résistances internes des transistors PMOS et NMOS pour des valeurs différentes du courant de six bras d'onduleur dont aucun stud bump n'était perdu lors de l'arrachement de la puce. La Figure II.70 montre les résultats obtenus pour un bras d'onduleur.

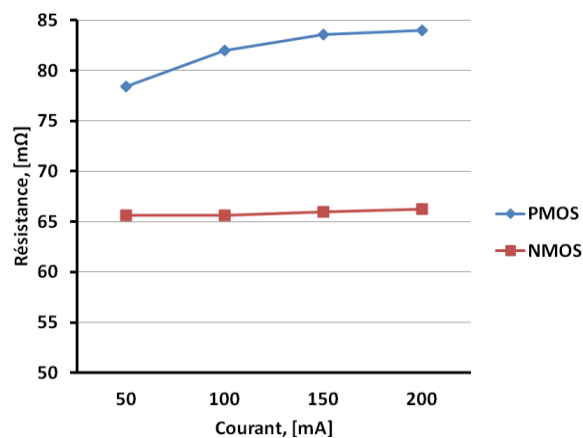


Figure II.70 –  $R_{DS(on)}$  des transistors PMOS et du NMOS ( $V_{DD}=5\text{V}$ )

Les résultats obtenus lors des mesures des résistances de contact des six bras d'onduleur sont quasiment identiques ( $\pm 3\text{m}\Omega$ ) et ils sont comparables à ceux obtenus avec le report par ultrason. Le manque d'une partie des stud bumps au niveau des autres bras d'onduleur ne nous a pas permis de pousser la caractérisation de cette technique de report. Nous avons effectué un test par arrachement à la main avec des pinces mais cette fois la puce ne s'est pas enlevée même après un effort très important, presque maximal. Cela signifie que cette technique d'assemblage peut être aussi fiable et bien adaptée pour le report de cette puce de



puissance. Pour le moment, nous n'avons pas pu faire la caractérisation complète de ce montage avec des puces « propres » à cause des durées nécessaires pour la dépose des stud bumps sur les dernières puces qui restent et à cause de la disponibilité de la machine de report flip-chip située en Allemagne. Néanmoins, les tests effectués avec cette technique d'assemblage par flip-chip donnent des résultats encourageants et démontrent sa faisabilité.

### II.4.6.5. PRESENTATION DE LA METHODE PAR ETAMAGE DES PISTES DU SUBSTRAT

La méthode de report par étamage des pistes du circuit imprimé est basée sur la technique de brasure des circuits BGA. Elle consiste en l'étamage des zones de contact du substrat afin de braser les stud bumps de la puce. Pour réaliser le report, il est alors nécessaire que des stud bumps soient déposés sur les plots de la puce l'idée étant de faire le contact entre la brasure et les stud bumps. Un cycle thermique est ensuite appliqué lorsque la puce est alignée et reportée sur le circuit imprimé (voir Figure II.71). Dans ce cas lorsque la brasure fond, elle va naturellement s'étaler sur les stud bumps. De plus, la couche de brasure qui est au niveau des pistes du circuit imprimé permettra de compenser toute différence de hauteur des stud bumps (si elle existe).

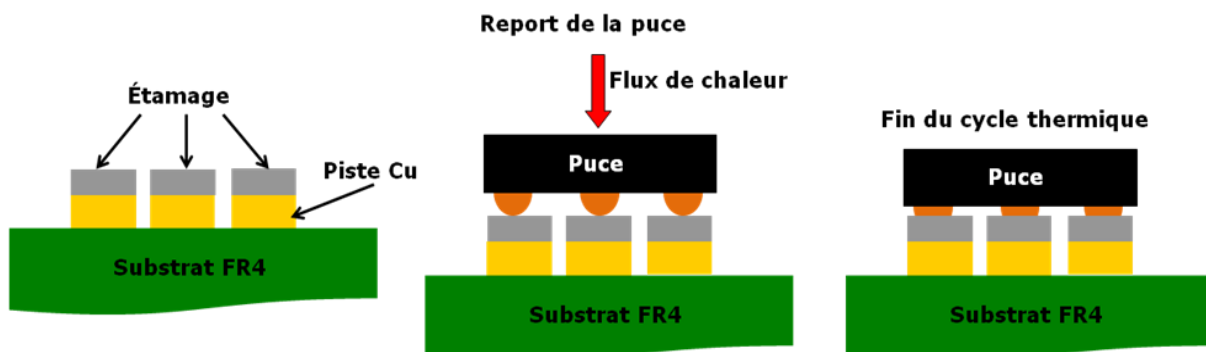


Figure II.71 – Etapes pour la réalisation d'un report flip-chip par étamage des pistes du substrat

### II.4.6.6. ETUDES EXPERIMENTALES DU REPORT PAR ETAMAGE DES PISTES

Deux montages ont été réalisés avec cette technique en utilisant une machine pour le montage de circuits BGA au sein du G2Elab. Bien que le test mécanique par arrachement ait été effectué et la puce soit restée accrochée au circuit imprimé, la précision d'alignement de la machine pour les circuits BGA n'a pas permis d'aligner correctement les plots de la puce avec les zones de contact. Ceci faisait un écart statique de l'ordre de 150µm et par conséquent, les

plots étaient toujours décalés par rapport aux zones de contact ce qui créait des court-circuits à certains endroits et aucun contact à d'autres.

### **II.4.7 BILAN SUR LES TECHNIQUES DE REPORT FLIP-CHIP**

Les solutions envisagées pour le report flip-chip sont maîtrisées par les industriels mais l'empreinte spécifique de la puce s'avère être très contraignante. Bien que la puce ait été conçue en respectant les normes de design des circuits imprimés standards, la densité de ses nombreux plots exige une énergie plus importante pour effectuer le report. Par conséquent, les technologies d'assemblage par collage et par thermocompression ne sont pas adaptées aux besoins de cette puce et aucun test de report n'a eu de succès.

Le report par ultrason a eu plus de succès mais cet assemblage ne nous a pas non plus permis d'effectuer la caractérisation complète des montages. Toutefois, il était possible de faire une mesure de la résistance de contact d'un bras d'onduleur. Les valeurs mesurées autour de 20mΩ montrent qu'une réduction importante des phénomènes parasites comme la résistance de contact est possible. En revanche, ceci n'est pas un résultat représentant la qualité du montage complet car nous n'avons pas pu caractériser tous les contacts. Pour que l'assemblage soit complètement réussi, il est nécessaire de faire les tests de caractérisation après le report de chaque prototype. Dans ce cas, nous saurons quel paramètre il faudra changer dans la configuration du processus de report.

Le report par brasure s'avère être la technique la plus appropriée de report flip-chip dans le cas d'une puce avec plusieurs plots comme la notre. Les résistances de contact de tous les dix bras d'onduleur sont presque identiques (20mΩ). De plus, la faible élévation de la température de la puce à 10W de puissance transférée et le fait qu'elle ne s'est pas enlevée après l'essai d'arrachement signifie que le report est stable et que le contact entre les plots de la puce et les pistes du circuit imprimé est fiable. Ces résultats sont très encourageants et ils nous ont permis de déterminer le procédé technologique pour réaliser l'assemblage du module actif de puissance au sein de la cellule élémentaire.

Par ailleurs, la mise en contact avec les chefs de production des différentes sociétés, la correspondance et les tests de prototypage augmente la durée de réalisation et de caractérisation des montages. Des délais au minimum entre 4 et 6 semaines sont annoncés par

les sous-traitants même pour la dépose de stud bumps. Pour cette raison, il s'avère indispensable de faire le billage avec alliage AuSn à l'échelle du wafer directement chez le fabricant pour les prochaines fabrications des puces. En revanche, il sera nécessaire d'acheter le wafer complet mais cela économiserait plus de temps et donnerait de résultats plus satisfaisants.

### **II.5. CONCLUSION**

Dans ce chapitre les étapes de base pour l'optimisation du module actif de puissance ont été étudiées et présentées. La première étape consiste en le dimensionnement analytique et ensuite en la simulation des paramètres des bras d'onduleur. Le design de la puce permet aussi de concevoir un composant qui peut être implémenté dans plusieurs topologies de convertisseurs. De plus, son architecture rend possible la réalisation de fonctions complémentaires comme la mise en place d'un circuit d'aiguillage intégré. Pour que les résultats de rendement de la puce soient les plus proches possible de ceux obtenus en simulation il est nécessaire de réduire au maximum tous les phénomènes parasites qui peuvent avoir lieu pendant la conception et l'assemblage de la cellule élémentaire. Les études thermiques du module actif de puissance montrent qu'il est possible de gérer sa température grâce à l'optimisation du design du circuit imprimé. La procédure de conception incluant la gestion thermique d'un système couplé puce-PCB a été analytiquement développée et justifiée avec un outil de simulation numérique. Pour rendre cette approche viable, il est nécessaire de faire le design du layout de la puce et le design du layout du circuit imprimé en parallèle. L'assemblage flip-chip s'avère être indispensable afin d'améliorer les performances électriques, réduire les contraintes thermiques et renforcer la tenue mécanique de la puce de puissance. Une étude des technologies de report disponibles auprès des industriels a été menée. Ceci s'avère malheureusement un travail très complexe pour des puces unitaires. Pourtant, quelques montages en flip-chip ont été caractérisés et les résultats ont montré que la technique de report flip-chip la plus adaptée est celle de report par brasure. Cette approche a donné de résultats très encourageants et proches de ce que nous attendons. Pour avoir des résultats stables de report et pour réduire la durée d'assemblage, il est nécessaire de travailler sur l'échelle du wafer. Cela, permettrait de faire plusieurs prototypes en flip-chip dans des délais plus courts et converger vers un setup optimal de report.

# CHAPITRE III : MISE EN ŒUVRE DU R<sub>μ</sub>C DANS UN SYSTEME PV DISTRIBUE

## Table des matières

---

III.1.	INTRODUCTION .....	140
III.2.	ETUDE DE LA COMPATIBILITE TUILE-CIRCUIT INTEGRE .....	142
III.3.	MISE EN SITUATION DU SYSTEME PV DISTRIBUE .....	145
III.3.1	RACCORDEMENT DU SYSTEME PV DISTRIBUE A UNE CHARGE RESISTIVE .....	145
III.3.2	RACCORDEMENT DU SYSTEME PV DISTRIBUE AU RESEAU .....	149
III.3.3	ENTRELACEMENT DES MICRO-ONDULEURS .....	153
III.3.4	INCONVENIENTS DU SYSTEME PV DISTRIBUE .....	158
III.4.	DEVELOPPEMENT DU DEMONSTRATEUR .....	163
III.4.1	GESTION DU DEPHASAGE DES MICRO-ONDULEURS .....	163
III.4.2	REALISATION DES MICRO-ONDULEURS .....	165
III.4.3	RESULTATS .....	167
III.5.	PERSPECTIVES .....	171
III.5.1	REDUCTION DE LA TAILLE DU CONDENSATEUR .....	171
III.5.2	AMELIORATION DU PRODUCTIBLE AU CAS D'OMBRAGES .....	174
III.5.3	DEVELOPPEMENT D'UNE INSTALLATION RACCORDEE AU RESEAU .....	175
III.6.	CONCLUSION .....	176

---

### III.1. INTRODUCTION

Comme nous allons le voir dans la suite, la conversion DC/AC est aussi possible en utilisant les réseaux de micro-convertisseurs dans certains cas particuliers. En effet, il est possible d'utiliser l'onduleur de la partie primaire de puissance de la cellule élémentaire pour réaliser une conversion DC/AC à partir d'une pluralité de sources d'énergie indépendantes comme des batteries, des cellules photovoltaïques ou autres. Pour cela il est nécessaire de router les pistes au niveau du circuit imprimé de façon à mettre en parallèle 5 bras d'onduleur en deux groupes pour obtenir un onduleur monophasé en pont complet. Ainsi, nous obtenons la structure d'un micro-onduleur qui peut onduler une tension de 5V avec des résistances internes des bras  $R_{DSON}=9\text{m}\Omega$  pour le transistor NMOS et  $R_{DSON}=11\text{m}\Omega$  pour le transistor PMOS. En s'inspirant des convertisseurs multi-niveaux [Pan08], l'association de plusieurs micro-onduleurs en série permet d'atteindre les caractéristiques d'un onduleur standard pour une installation de tension alternative de 230-240V. Pour cela, chaque puce est pilotée par un microcontrôleur de façon à obtenir un signal sinusoïdal de 50Hz.

Dans ce chapitre, un système photovoltaïque composé de cellules distinctes, sous forme de tuiles solaires [Luxol], associées chacune à un micro-onduleur sera développé afin de remplacer un système PV classique à onduleur central. A la différence d'un système PV à onduleur central (voir Figure III.1), dans le système PV distribué, le point de fonctionnement de chaque tuile est indépendant du point de fonctionnement global car un micro-onduleur est inséré au niveau de chacune d'elles (voir Figure III.2). Les sorties des micro-onduleurs sont ensuite connectées en série afin d'atteindre la tension de réseau  $V_{AC\_TOTAL}$  celle-ci étant égale à la somme des tensions ondulées de toutes les tuiles. A la différence d'autres topologies [Ped05], [Wal06], [Har12], [Had12], cette approche permet de mettre en place une commande de MPPT décentralisée, directement au niveau de chaque micro-onduleur. Le fait que les entrées des micro-onduleurs sont indépendantes permet de gérer les dispersions de point de fonctionnement de chacune des tuiles, ce qui optimise la production globale de l'installation vis-à-vis des ombrages par exemple. Cela permet aussi, le cas échéant, de by-passer par les micro-onduleurs une ou plusieurs tuiles lorsqu'elles sont fortement ombrées ou non fonctionnelles sans que le système global s'arrête de fonctionner. Dans ce cas, l'amplitude du signal de sortie sera égale à la somme des tensions ondulées des tuiles qui ne sont pas by-passées.

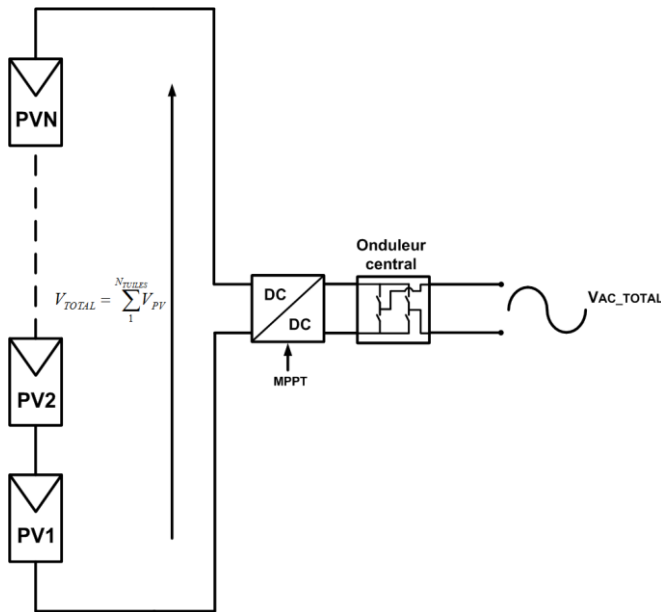


Figure III.1 – Système PV avec onduleur central

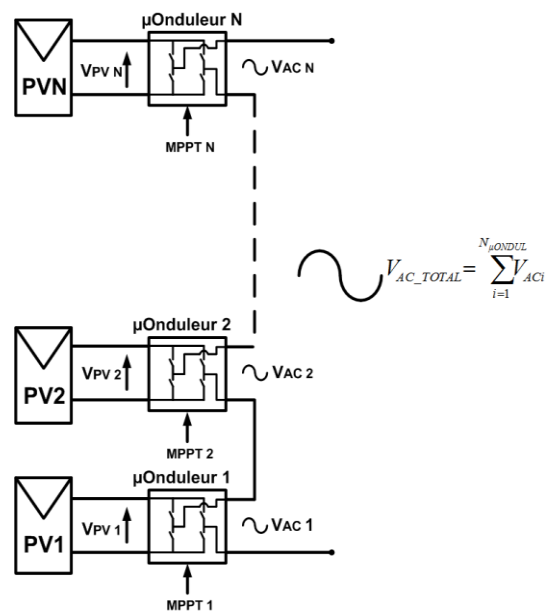


Figure III.2– Système PV distribué avec micro-onduleurs

Pour la réalisation de cette étude, des tuiles photovoltaïques ont été fournies par la société Luxol [Lux]. Elles sont constituées de verre transparent dans lequel des cellules solaires sont intégrées (voir **Erreur ! Source du renvoi introuvable.**). Une diode de by-pass est intégrée dans le boîtier de connexion sur la face arrière de chaque tuile. Leurs caractéristiques sont illustrées à la **Erreur ! Source du renvoi introuvable.** et détaillées dans le Tableau III.1.



Figure III.3 – Photo d’une tuile photovoltaïque Luxol

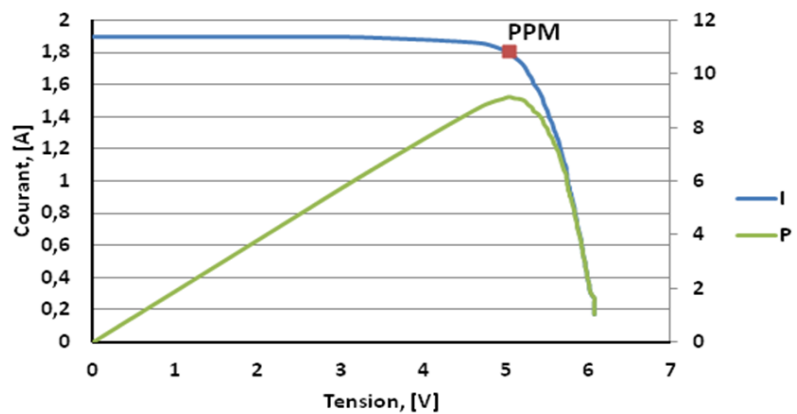


Figure III.4 – Caractéristique I-V d’une tuile photovoltaïque (flash test,  $T_{amb}=25^{\circ}\text{C}$ )

Tableau III.1 – Paramètres d’une tuile solaire Luxol (Irradiance=1000W/m<sup>2</sup>,  $T_{amb}=25^{\circ}$  C)

Puissance maximale ( $P_{MAX}$ )	9,2Wc
Tension en circuit ouvert ( $V_{CO}$ )	6,26V
Courant de court-circuit ( $I_{CC}$ )	1,97A
Tension au PPM ( $V_{PPM}$ )	4,98V
Courant au PPM ( $I_{PPM}$ )	1,85A
Coefficient de température – puissance	-0,43%/°C
Coefficient de température – intensité	+0,04%/°C

Les caractéristiques des tuiles semblent cohérentes au niveau du courant et de la tension à leur point de puissance maximale avec celles des puces que nous avons conçues. Ceci nous donne la possibilité d’étudier et éventuellement de réaliser une nouvelle topologie de système photovoltaïque offrant une autre solution pour faire face aux phénomènes d’ombrage grâce à la grande granularité que nous pouvons atteindre. Toutefois, il y certains paramètres comme la tension en circuit ouvert des tuiles  $V_{CO}$  et les coefficients de température – puissance et température – intensité qui peuvent s’avérer être contraignants au niveau de la tenue électrique des puces. Par conséquent, dans ce chapitre d’abord une étude sur la compatibilité complète entre les caractéristiques de la puce et des tuiles sera faite afin de vérifier si les puces peuvent vraiment être intégrées au sein de chaque tuile. Ensuite, cette approche sera mise en situation dans le cas de raccordement à une charge et dans le cas de raccordement au réseau électrique afin de relever l’apport du système PV distribué avec des micro-onduleurs et aussi les contraintes inhérentes qui lui sont associées. A la fin un démonstrateur sera réalisé pour quatre tuiles afin de valider le fonctionnement de cette approche qui peut s’avérer être réalisable aussi au niveau industriel.

### III.2. ETUDE DE LA COMPATIBILITE TUILE-CIRCUIT INTEGRE

Le coefficient de température – puissance est tel qu’à une température de  $-20^{\circ}$ C, les tensions  $V_{CO}$  et  $V_{PPM}$  vont augmenter de 8% par rapport à la tension à  $25^{\circ}$ C soit à 7,5V et à 5,9V. Le coefficient de température – intensité est tel que le courant généré par les tuiles ne variera qu’autour de 2% pour une température de  $-20^{\circ}$ C à  $+75^{\circ}$ C. Dans ce cas, bien que la tension de fonctionnement des tuiles au point de puissance maximale  $V_{PPM}$  soit compatible avec la tension de fonctionnement de la puce à température de  $25^{\circ}$ C, la tension en circuit

ouvert de la tuile  $V_{CO}$  est plus élevée et elle pourrait engendrer sa destruction par claquage quand il n'y a pas de charge raccordée à l'installation. D'un autre côté, il est possible qu'en hiver la température chute à  $-20^{\circ}\text{C}$  et comme nous l'avons estimé, les tensions  $V_{CO}$  et  $V_{PPM}$  vont augmenter. Pour cette raison, il est d'abord nécessaire d'effectuer de tests de caractérisation de la tenue en tension de la puce afin de vérifier si elle est compatible avec les caractéristiques en tension des tuiles photovoltaïques et s'il y aurait besoin de la mise en place d'une protection complémentaire pour éviter le dysfonctionnement de la puce.

Dans ce contexte, deux tests ont été effectués. Le premier, en statique consiste en la vérification de la tenue en tension de la puce sans charge et sans découpage quand la tuile présente une tension à ses bornes comparable à son fonctionnement en circuit ouvert. Le deuxième test, consiste en la vérification du fonctionnement de la puce avec découpage et sans charge à la tension  $V_{CO}$  de la tuile.

D'abord, la puce a été branchée à une source de tension pour faire varier sa tension d'alimentation jusqu'à  $6,5\text{V}$  et toutes ses commandes ont été mises à zéro. De cette façon il est possible d'observer le courant de fuite au niveau de la puce, ce qui permet d'observer son coude à l'avalanche et de déterminer sa tenue en tension maximale. La Figure III.1 montre l'augmentation du courant de fuite qui commence à avoir un caractère exponentiel à partir de  $4,5\text{V}$  comme au régime de fonctionnement nominal ( $V_{PPM}=5\text{V}$ ) nous sommes déjà dans le coude de la caractéristique.

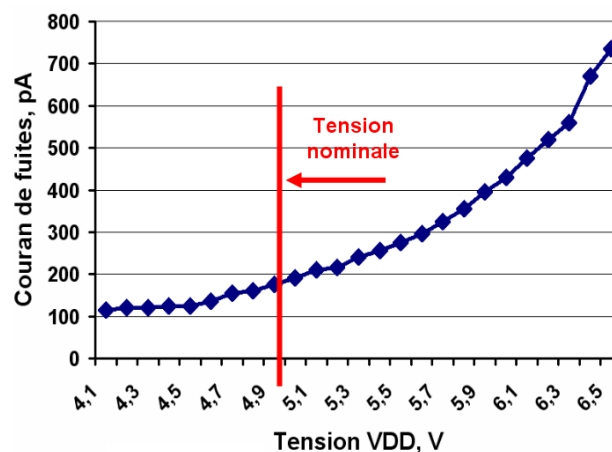


Figure III.1 – Test statique de tenue en tension de la puce (sans charge et sans découpage,  $T_{amb}=25^{\circ}\text{C}$ )



Lorsque la tension  $V_{CO}$  à 25°C de la tuile est appliquée et que la puce ne découpe pas, c'est-à-dire lorsqu'il n'y a pas de charge, le courant de fuites est très petit, de l'ordre de centaines de pico ampères (560pA). En augmentant la température la valeur du courant de fuite va aussi augmenter mais le coude à l'avalanche va se déplacer à droite, ce qui signifie que la tenue en tension du circuit va également augmenter. L'inverse est valable pour des températures plus basses.

En mode de découpage sans charge, le courant consommé représente la consommation de la commande de chaque bras. Les résultats de cette expérience montrent une augmentation linéaire du courant de consommation en fonction de la tension d'entrée pour des différentes fréquences (voir Figure III.2) ce qui est tout à fait conforme aux attentes.

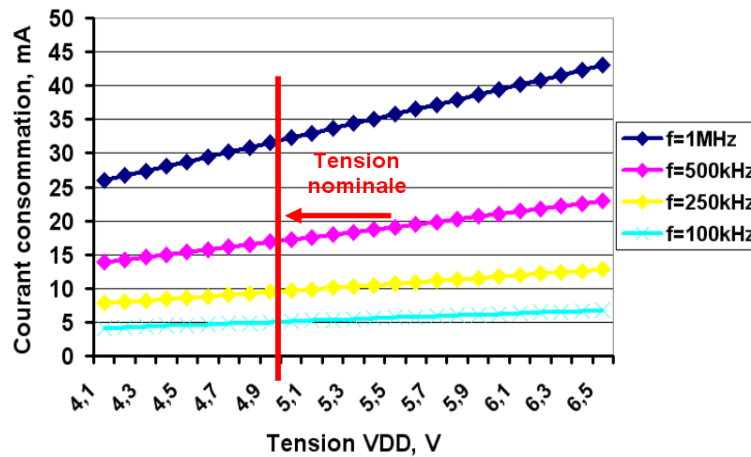


Figure III.2 – Test dynamique en tenue en tension de la puce à  $T_{amb}=25^{\circ}\text{C}$

La valeur du courant de fuites étant de l'ordre de quelques centaines de pA n'a donc pas d'impact sur le caractère linéaire du courant consommé (de l'ordre de dizaines mA) par la puce aux tensions auxquelles l'onduleur sera amené à fonctionner à des différentes températures. Il s'avère que la puce arrive à supporter les contraintes électriques des tuiles photovoltaïques en circuit ouvert sans problème à vide et comme lorsque la charge augmente, la tension aux bornes de la tuile rentre dans le gabarie de fonctionnement de l'onduleur, cela ne devrait pas poser de problème particulier tout en offrant la possibilité de travailler avec les puces existantes. Par conséquent, la mise en place d'un circuit complémentaire de protection de la puce n'est pas nécessaire et il est possible de réaliser le système PV distribué avec les puces que nous avons en disposition.

### III.3. MISE EN SITUATION DU SYSTEME PV DISTRIBUE

Dans la suite nous allons étudier le cas de raccordement du système PV distribué à une charge et le cas de raccordement au réseau afin de relever les défis conceptuels et de mise en œuvre de ce système.

#### III.3.1 RACCORDEMENT DU SYSTEME PV DISTRIBUE À UNE CHARGE RÉSISTIVE

La Figure III.3 présente le schéma d'un système de  $N$  tuiles avec micro-onduleurs raccordés à une charge résistive. L'inductance  $L$  à la sortie du système sert à filtrer les ondulations du courant liées au découpage dans les onduleurs.

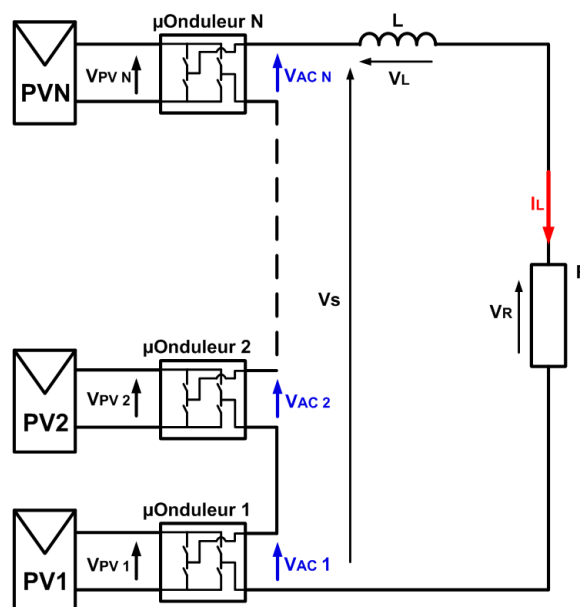
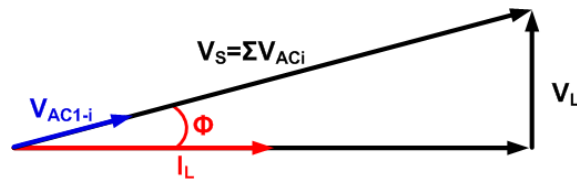


Figure III.3 – Schéma d'un système de  $N$  tuiles PV avec des micro-onduleurs en série, connectés à une charge résistive

##### III.3.1.1 CAS DE MICRO-ONDULEURS SYNCHRONISES EN PHASE

Dans le cas idéal, tous les micro-onduleurs sont parfaitement en phase. Le déphasage  $\phi_i$  ( $i$  étant le numéro de chaque micro-onduleur dans la série) entre la tension de sortie  $V_{ACi}$  de chacun des micro-onduleurs et la tension totale de sortie du système  $V_S$  est nul car toutes les tensions de sortie  $V_{ACi}$  sont en phase. De son côté, la tension de la charge  $V_R$  est en phase avec

le courant  $I_L$  qui est contrôlé pour optimiser le point de fonctionnement des tuiles. En revanche, la composante  $V_L$  aux bornes de l'inductance de filtrage du courant à la sortie du système introduit un déphasage global  $\Phi$  entre le vecteur du courant injecté dans la charge et la somme des vecteurs des tensions de sortie de chaque micro-onduleur  $V_S$  (voir Figure III.4).



**Figure III.4 – Diagramme vectoriel des tensions d'un système de N tuiles PV avec micro-onduleurs ( $\phi_i=0$ )**

Les caractéristiques des tuiles ont été modélisées avec un logiciel dédié aux simulations des circuits électriques et la Figure III.5 montre les résultats de la simulation d'un système PV distribué composé de 4 tuiles indépendantes connectées à des micro-onduleurs reliés en série et fonctionnant en phase. Les paramètres de la simulation sont présentés dans le Tableau III.2 :

**Tableau III.2 – Paramètres de simulation**

Irradiance	1000W/m <sup>2</sup>
Température ambiante ( $T_{amb}$ )	25°C
Puissance maximale ( $P_{MAX}$ )	9Wc
Tension en circuit ouvert ( $V_{CO}$ )	6,26V
Courant de court-circuit ( $I_{CC}$ )	1,97A
Tension au PPM ( $V_{PPM}$ )	5 V
Courant au PPM ( $I_{PPM}$ )	1,8A
Fréquence de découpage des onduleurs ( $f_{déc}$ )	50kHz
Ondulation du courant ( $\Delta I$ )	0,5A
Valeur de l'inductance de filtrage ( $L$ )	200μH
Facteur de puissance global ( $\cos\Phi$ )	1
Valeur de la charge résistive, ( $R$ )	5Ω

Les valeurs de la tension et du courant de chaque tuile ont été fixées au point de puissance maximal en raccordant une charge résistive à la sortie du système. Cette simulation permet de visualiser graphiquement en mode temporel les courbes du courant  $I_L$  injecté dans la charge et les tensions à la sortie de chaque micro-onduleur  $V_{ACi}$ . La valeur de l'inductance dans le système étant faible, la composante  $V_L$  est très petite et le déphasage global  $\Phi$  ( $\cos\Phi=1$ ) est négligeable. Par conséquent nous pouvons assurer que la tension de sortie du système  $V_S$  est la même que la tension  $V_R$  au niveau de la charge.

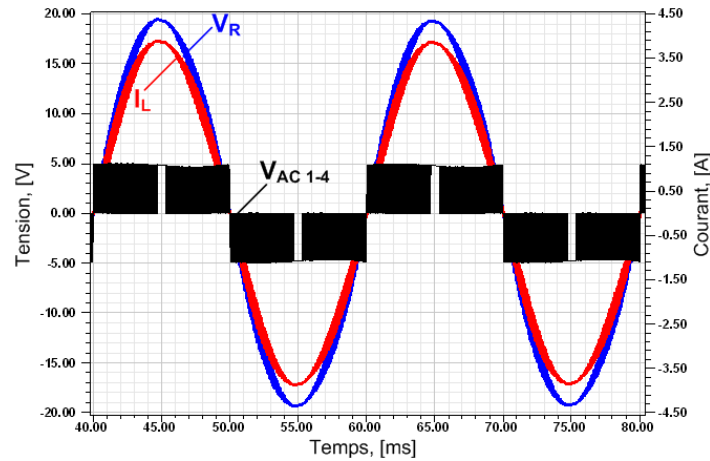


Figure III.5 – Formes d’ondes d’un système de 4 tuiles indépendantes avec des micro-onduleurs raccordés à une charge résistive ( $V_{PPM}=5\text{ V}$ ,  $I_{PPM}=1.8\text{ A}$ ,  $\cos\Phi=1$ ,  $\varphi_i=0$ ,  $L=200\text{ }\mu\text{H}$ ,  $R=5\text{ }\Omega$ )

Ainsi, comme exprimé par l’équation (III.1) nous obtenons une tension  $V_R$  au niveau de la charge qui est égale à la somme des tensions ondulées  $V_{ACi}$  au niveau de chaque micro-onduleur. Elle est en phase avec le courant injecté dans la charge et les tensions  $V_{ACi}$  au niveau de chaque micro-onduleur. La puissance fournie à la charge équivaut le maximum qui peut être extrait par les tuiles (36W) en négligeant les pertes au niveau des micro-onduleurs.

$$V_R(t) = V_{AC1MAX} \cdot \sin(\omega t) + V_{AC2MAX} \cdot \sin(\omega t) + \dots + V_{ACiMAX} \cdot \sin(\omega t) \quad (\text{III.1})$$

Comme nous l’avons vu, pour une charge résistive, à une fréquence de 50Hz, la composante  $V_L$  est négligeable puisque la valeur de l’inductance de filtrage est très faible. Dans ce cas, les tensions de sortie de chaque micro-onduleur seront en phase avec le courant  $I_L$  injecté dans la charge et la tension sur la charge  $V_R$  (voir Figure III.6)

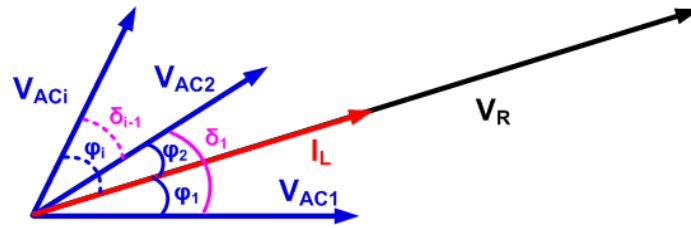


Figure III.6 – Diagramme vectoriel des tensions d’un système de N tuiles PV avec micro-onduleurs avec composante  $V_L$  négligée ( $\varphi_i=0$ )

### III.3.1.2 CAS DE MICRO-ONDULEURS NON-SYNCHRONISES

Si les micro-onduleurs ne fonctionnent pas en phase, d’un côté, des angles de déphasage  $\delta_i$  apparaissent entre les tensions de sortie  $V_{ACi}$  de chacun et d’autre côté des angles de

déphasages locaux  $\varphi_i$  apparaissent entre les tensions de sortie  $V_{ACi}$  de chacun et le courant  $I_L$  et la tension  $V_R$  de la charge (voir Figure III.7).



**Figure III.7 – Diagramme vectoriel des tensions d'un système de N tuiles PV avec micro-onduleurs ( $\delta_i \neq 0$ ,  $\varphi_i \neq 0$ )**

Il suffit qu'un seul micro-onduleur soit déphasé pour que les tensions de sortie de tous les autres micro-onduleurs soient légèrement déphasées par rapport au courant  $I_L$  et la tension  $V_R$  de la charge. La tension  $V_R$  étant égale à la somme des tensions  $V_{ACi}$  qui sont sinusoïdales, fait qu'elle n'est plus en phase avec les tensions  $V_{ACi}$  s'il y a un déphasage. Dans ce cas, nous avons l'expression (III.2) pour la tension  $V_R$  de sortie du système avec une charge :

$$V_R(t) = V_{AC1MAX} \cdot \sin(\omega t + \varphi_1) + V_{AC2MAX} \cdot \sin(\omega t + \varphi_2) + \dots + V_{ACiMAX} \cdot \sin(\omega t + \varphi_i) \quad (\text{III.2})$$

Les angles de déphasages locaux  $\varphi_i$  créent des facteurs de puissance locaux entre les tensions de sortie de chacun des micro-onduleurs et le courant injecté dans la charge. Par conséquent, des échanges de puissance réactive seront créés au niveau de chaque micro-onduleur. Si les déphasages sont importants, ceci va sensiblement réduire le facteur de puissance et conduire à une augmentation des pertes par circulation d'énergie réactive entre les micro-onduleurs du système.

La Figure III.8 représente les résultats d'une simulation du même système de 4 tuiles utilisant des micro-onduleurs connectés en série réalisée avec les mêmes paramètres que ceux présentés à la Figure III.5 mais pour laquelle la tension de sortie de l'un des micro-onduleurs est fortement déphasée d'un angle fixe  $\delta_l = 90^\circ$  par rapport aux tensions des autres micro-onduleurs. Cette simulation est réalisée avec un rapport cyclique et charge fixes afin de mieux illustrer les conséquences d'un système non synchronisé.

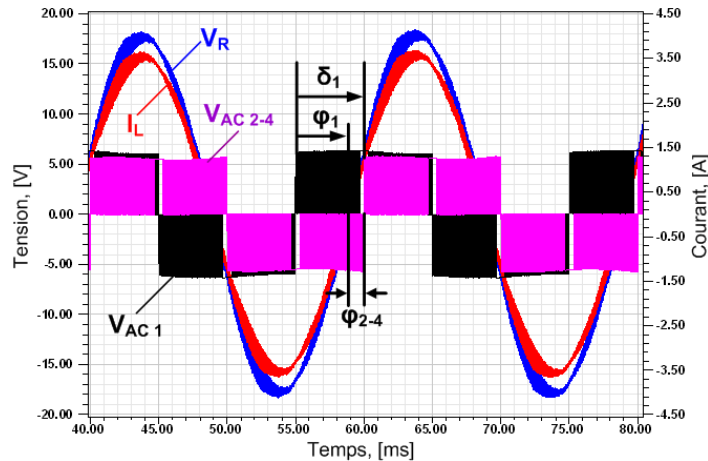


Figure III.8 – Formes d’ondes d’un système de 4 tuiles indépendantes avec des micro-onduleurs raccordés à une charge résistive ( $V_{PPM}=5V$ ,  $I_{PPM}=1.8A$ ,  $\cos\Phi=1$ ,  $\delta_1=90^\circ$ ,  $\varphi_i \neq 0$ ,  $L=200\mu H$ ,  $R=5\Omega$ )

Le fonctionnement hors synchronisation des micro-onduleurs peut avoir des conséquences très importantes sur le productible du système PV distribué. Comme la Figure III.8 le montre, le déphasage fait diminuer l’amplitude de la tension de sortie du système et, dans ce cas, la puissance fournie à la charge résistive diminue à 28W car le système ne fonctionne plus au PPM. A l’issue de l’expression (III.2), elle peut devenir complètement nulle si tous les micro-onduleurs se retrouvent déphasés de  $180^\circ$ . Par conséquent, quand les micro-onduleurs fonctionnent de façon aléatoire, sans qu’ils soient synchronisés, les phases entre leurs tensions de sortie ondulées vont varier, ce qui fera aussi varier l’amplitude de la tension sur la charge  $V_R$  de zéro jusqu’à sa valeur maximale qui est égale à la somme toutes ces tensions ondulées. Par conséquent la puissance active fournie à la charge va aussi varier de zéro à sa valeur maximale. Il s’avère alors que la mise en place d’un organe de synchronisation des micro-onduleurs est indispensable.

### III.3.2 RACCORDEMENT DU SYSTÈME PV DISTRIBUÉ AU RÉSEAU

Quand le système PV distribué est raccordé au réseau, sa tension de sortie est fixée par celle du réseau  $V_R$ . Dans ce cas, le mode de commande du système régule le courant  $I_L$  injecté dans le réseau de façon à ce qu’il soit en phase avec  $V_R$  pour s’assurer que le déphasage global  $\Phi$  entre le courant  $I_L$  injecté dans le réseau et la tension du réseau soit nul. De nombreuses méthodes ont été inventées et sont aussi en cours de développement pour synchroniser les systèmes PV avec le réseau. Cet aspect ne fait pas partie de cette thèse mais pour en avoir des informations détaillées, [Zho12] fait une analyse sur les méthodes conventionnelles de

synchronisation. Selon les normes récentes, les onduleurs doivent aussi être aptes à fournir de la puissance réactive au réseau afin de l'équilibrer si nécessaire [Bai12].

Dans le système PV utilisant les micro-onduleurs, la tension du réseau  $V_R$  est la référence de toutes les tensions à leurs sorties  $V_{ACi}$  et du courant  $I_L$  injecté dans le réseau. Par conséquent, nous pouvons agir sur le niveau de puissance fournie au réseau par trois méthodes: méthode par MLI locales, méthode par déphasage global et méthode par déphasages locaux.

### III.3.2.1 METHODE PAR MLI LOCALES

Cette méthode consiste en le réglage indépendant du rapport cyclique des MLI des micro-onduleurs de façon à assurer le point de puissance maximale PPM de chaque tuile en jouant sur l'amplitude de la tension ondulée. Dans ce cas, il est également nécessaire de s'assurer que le courant  $I_L$  injecté au réseau est en phase au niveau des tensions de sortie  $V_{ACi}$  de chaque micro-onduleur. En sachant que la tension maximale des tuiles en circuit ouvert est  $V_{CO}=6,3V$ , pour avoir une tension ondulée au PPM  $V_{PPM}=5V$  à une irradiance de  $1000W/m^2$  par exemple, la valeur maximale du rapport cyclique  $\alpha$  doit être égale à 0,8. C'est notamment la valeur de ce dernier qui nous permettra de balayer la caractéristique de la tuile afin de détecter son point de puissance maximale (voir Figure III.9 et Figure III.10).

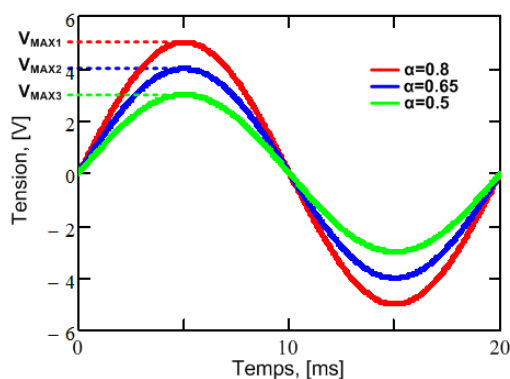


Figure III.9 – Variation de la tension ondulée en fonction du rapport cyclique

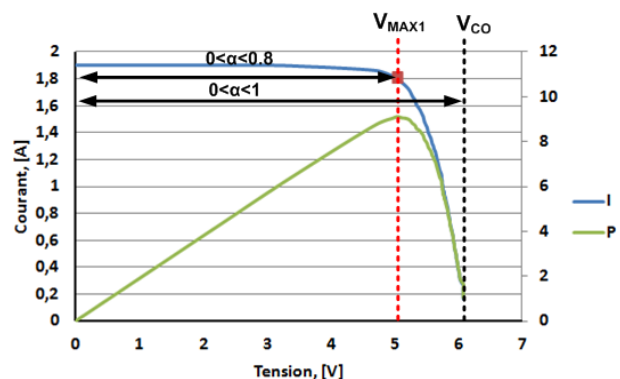


Figure III.10 – Variation du PPM d'une tuile en fonction du rapport cyclique

Si la valeur du rapport cyclique de la MLI varie entre 0 et  $\alpha$ ,  $[0 < \alpha < 1]$ , l'amplitude de la tension ondulée sera égale à  $\alpha \cdot V_{PV}$ , où  $V_{PV}$  est la tension de la tuile. De cette façon il sera

possible de se placer indépendamment sur les différents points de fonctionnement sur les caractéristiques de toutes les tuiles.

### III.3.2.2 METHODE PAR DEPHASAGE GLOBAL

Cette méthode consiste en le réglage de l'échange de puissance réactive avec le réseau en jouant sur le déphasage  $\Phi$  entre le courant  $I_L$  injecté dans le réseau et la tension de référence  $V_R$  (voir Figure III.11). Dans ce cas, les tensions aux sorties des micro-onduleurs sont toutes en phase avec la tension  $V_R$  du réseau.



Figure III.11 – Diagramme vectoriel du déphasage du courant  $I_L$  et la tension  $V_R$  du réseau

Si le  $\cos\Phi$  global augmente, chaque micro-onduleur va commencer à générer la même quantité de réactif puisqu'ils sont tous en phase les uns par rapport aux autres. Dans ce cas, selon le théorème de Boucherot, la puissance réactive  $Q_{AC}$  fournie au réseau sera égale à la somme des puissances réactives fournies par tous les micro-onduleurs et la puissance active  $P_{AC}$  sera égale à la somme des puissances actives :

$$P_{AC} = \sum_{i=1}^N P_{ACi} \quad (\text{III.3})$$

$$Q_{AC} = \sum_{i=1}^N Q_{ACi} \quad (\text{III.4})$$

$$S_{AC} = \sum_{i=1}^N S_{ACi} \quad (\text{III.5})$$

Compte tenu du fait que tous les micro-onduleurs sont en phase nous pouvons également dire que leurs puissances apparentes  $S_{ACi}$  sont égales. En fixant le point de puissance maximale des tuiles à l'aide du réglage du rapport cyclique de la MLI, le système PV sera en mesure de générer du réactif si nécessaire et d'extraire la puissance active maximale des tuiles (voir Figure III.12).



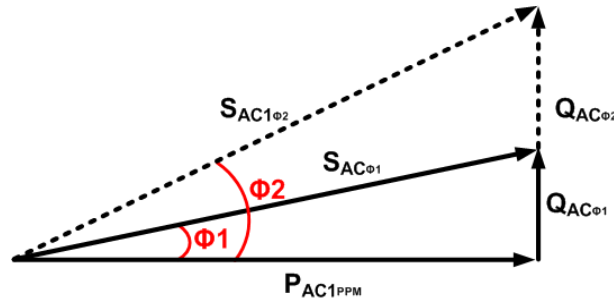


Figure III.12 – Puissances apparente et réactive en fonction du déphasage au PPM d'une tuile

La génération de puissance réactive au PPM de la tuile va augmenter la puissance apparente produite par les micro-onduleurs, cette dernière étant égale à  $S_{ACi} = \sqrt{P_{aci}^2 + Q_{aci}^2}$ . Dans ce cas, les pertes au niveau des micro-onduleurs peuvent devenir importantes, ce qui diminuera leur rendement. Il est alors nécessaire soit de dimensionner les micro-onduleurs en fonction d'une puissance apparente donnée, soit de contrôler le déphasage de façon à ne pas augmenter leurs pertes.

### III.3.2.3 METHODE PAR DEPHASAGES LOCAUX

Cette méthode consiste en le réglage du déphasage local  $\varphi_i$  au niveau de chaque micro-onduleur par rapport au courant  $I_L$  injecté dans le réseau (voir Figure III.13). Le résonnement en termes de production de puissance réactive est le même que dans le cas du réglage par le déphasage global  $\Phi$ , sauf que dans ce cas, le déphasage de chaque micro-onduleur est contrôlé localement. Ceci crée des facteurs de puissance locaux qui sont différents les uns par rapport aux autres et par conséquent il est possible que certains micro-onduleurs génèrent et échangent de puissance réactive en fonction de leur déphasage local  $\varphi_i$ . Ceci peut être utilisé par exemple dans le cas d'ombrages partiels où les points de fonctionnement à puissance maximale des tuiles seront différents et s'il est nécessaire de fournir de réactif au réseau, en déphasant les micro-onduleurs au niveau des tuiles ombrées, la quantité de puissance réactive va augmenter sans que la puissance apparente des micro-onduleurs en question dépasse leurs limites de pertes.

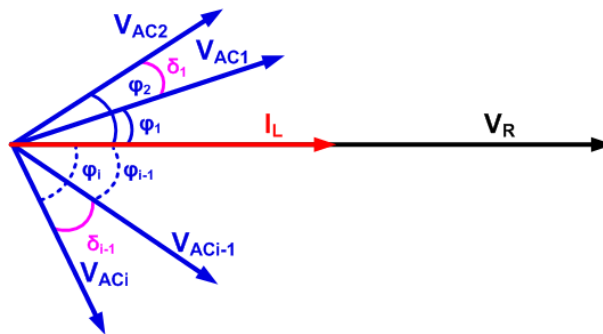


Figure III.13 – Diagramme vectoriel du déphasage des micro-onduleurs par rapport au courant  $I_L$  et la tension  $V_R$  du réseau

Pour rendre viable cette méthode, il est donc nécessaire d'avoir un contrôle sur les angles de déphasages locaux et plus en particulier sur la synchronisation des micro-onduleurs. La création de déphasages locaux crée aussi des déphasages  $\delta_i$  entre les tensions de sortie des micro-onduleurs. Ces déphasages peuvent être utilisés, comme nous allons le voir dans la suite, dans différentes stratégies de commande pour tout le système PV distribué.

Cet état des lieux donne des pistes pour des futures recherches sur la stratégie et la commande du système PV distribué avec des micro-onduleurs afin de maximiser le productible de l'installation. Dans la suite, le premier pas d'optimisation du système grâce à la stratégie de la commande sera présenté.

### III.3.3 ENTRELACEMENT DES MICRO-ONDULEURS

Dans le cas où plusieurs onduleurs sont mis en série pour générer la tension de sortie, il est possible d'augmenter la fréquence apparente de découpage du système grâce à un entrelacement des instants de commutation des micro-onduleurs. Un déphasage égal à  $T_{dec}/N$  ( $T_{dec}$  étant la période de découpage des micro-onduleurs,  $N$  étant le nombre des tuiles ou des micro-onduleurs placés en série), augmentera  $N$  fois la fréquence de découpage apparente vue au niveau de l'inductance de filtrage, ce qui peut permettre de réduire sa valeur et donc sa taille pour une même ondulation de courant. A la différence de l'entrelacement parallèle (voir Figure III.14a), pour le cas d'entrelacement série, le courant est le même dans chaque micro-onduleur et dans l'inductance de filtrage (voir Figure III.14b). De plus, chaque commutation d'un micro onduleur n'engage qu'une variation faible de tension aux bornes de l'inductance de filtrage ce qui est un atout supplémentaire vis-à-vis du filtrage.

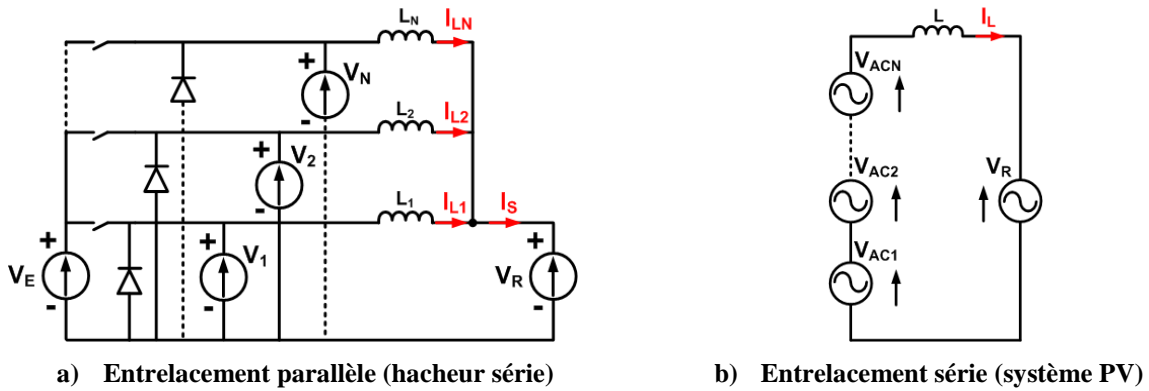


Figure III.14 – Entrelacement des convertisseurs

Par conséquent, comme illustré à la Figure III.15a, la tension du système PV va varier graduellement en fonction du rapport cyclique. Dans ce cas, la variation de la tension  $V_L$  au niveau de l'inductance de sortie dépendra aussi de la tension au niveau d'un micro-onduleur et elle aura une valeur encore  $N$  fois réduite alors que sans entrelacement nous avons directement la somme des tensions de sortie de tous les micro-onduleurs quel que soit le rapport cyclique (voir Figure III.15b).

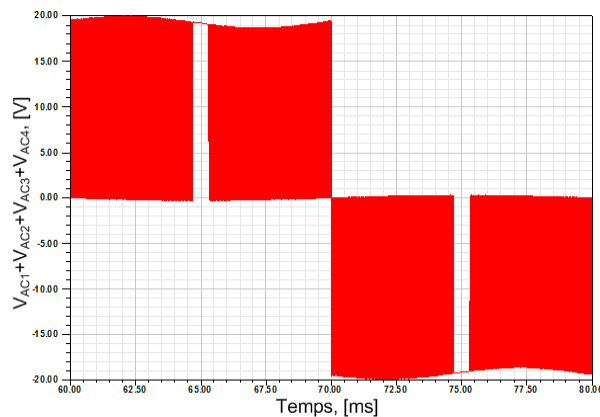
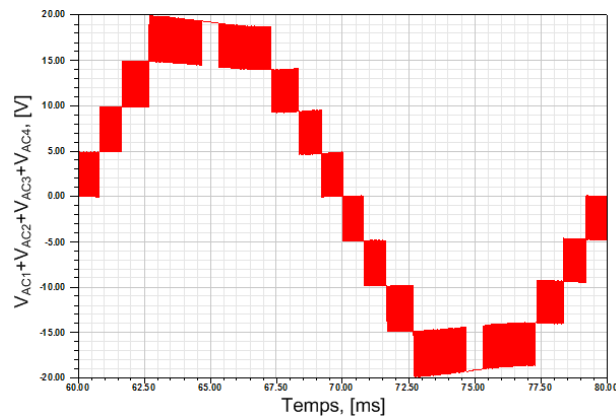


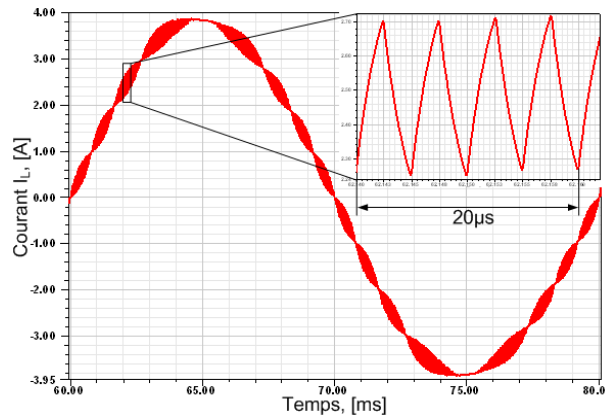
Figure III.15 – Tensions des sorties des micro-onduleurs

Dans ce cas, la relation de base (III.6) pour la valeur de l'inductance de filtrage sans entrelacement sera développée en l'expression (III.7) :

$$L = \frac{(N \cdot V_{PVi} - V_R) \cdot \alpha \cdot T_{dec}}{\Delta I_L} \quad (III.6)$$

$$\frac{L}{N^2} = \frac{V_{PV} \cdot \alpha \cdot (1 - \alpha) \cdot T_{dec}}{N \cdot \Delta I_L} \quad (III.7)$$

Par ailleurs, une variation de l'ondulation du courant aura lieu au niveau de l'inductance filtrage comme illustré à la Figure III.16. Cela correspond au nombre de micro-onduleurs entrelacés, et en se référant sur la Figure III.15a cette variation dépend du rapport cyclique de la MLI. Comme nous pouvons le voir sur la Figure III.16, pour une valeur de l'inductance de filtrage fixe et dimensionnée pour l'ondulation maximale du courant, nous aurons des maximums et des minimums sur toute l'onde de courant dans l'inductance.



**Figure III.16 – Variation de l'ondulation du courant dans l'inductance de filtrage**  
 ( $N=4$ ,  $V_{PPM}=5$  V,  $I_{PPM}=1.8$ A,  $\cos\Phi=1$ ,  $\delta_i=45^\circ$ ,  $T_{dec}=20\mu s$ ,  $L=12.5\mu H$ ,  $\Delta I=0.5$ A charge résistive)

Les résultats de la simulation présentés sur la Figure III.16 montrent cette variation de l'ondulation du courant pour un système PV avec quatre micro-onduleurs déphasés à  $\delta_i=45^\circ$  les uns par rapport aux autres. Pour une valeur de l'inductance de filtrage  $L=12,5\mu H$  (à la différence de  $200\mu H$  pour un système non entrelacé), nous observons 4 maximums d'ondulation de courant toujours de  $\Delta I=0,5$ A sur le front montant du sinus ( $0 < \alpha < 0,8$ ) et quatre maximums sur le front descendant. Il est également possible d'observer que la fréquence de découpage a été augmentée de 4 fois.

Pour un système PV composé d'un long string de tuiles, l'inductance de sortie du système peut être tellement réduite que le fil de raccordement serait suffisant pour filtrer les

ondulations du courant de sortie. Par exemple, pour un système composé de 100 tuiles permettant de réaliser une installation d'autour de 1kW, la valeur de l'inductance de sortie nécessaire pour avoir une ondulation du courant  $\Delta I=0,5A$  à une fréquence de découpage  $f_{dec}=50kHz$ , serait de l'ordre de 20nH. Bien entendu, cette valeur n'est pas réaliste même si nous prenons toutes les précautions de câblage puisque cette installation fera plus que 10 m<sup>2</sup> [Lux] et dans ce cas la longueur du fil qui interconnecte les micro-onduleurs sera de quelques dizaines de mètres, ce qui va créer une inductance de l'ordre de quelques dizaines de  $\mu H$ . Toutefois, pour pouvoir déphaser correctement les micro-onduleurs intégrés dans les 100 tuiles et fonctionnant à 50kHz, il sera nécessaire d'assurer un déphasage de 200ns entre les instants de commutation de chacun.

La valeur de l'inductance étant faible, permet de fortement réduire la fréquence de découpage pour ne pas avoir besoin d'un organe puissant de contrôle. Par ailleurs, l'entrelacement des ordres de commutation crée un déphasage naturel entre les micro-onduleurs égal à  $\delta_i=T_{dec}/N$  dont il faut tenir compte. Ceci crée aussi un déphasage par rapport au signal fondamental à 50Hz. Plus la fréquence de découpage est faible plus ce déphasage naturel est important et par conséquent les facteurs de puissance locaux vont diminuer avec le nombre de micro-onduleurs déphasés en série comme celui du dernier micro-onduleur dans la série sera le plus grand (voir Figure III.17).

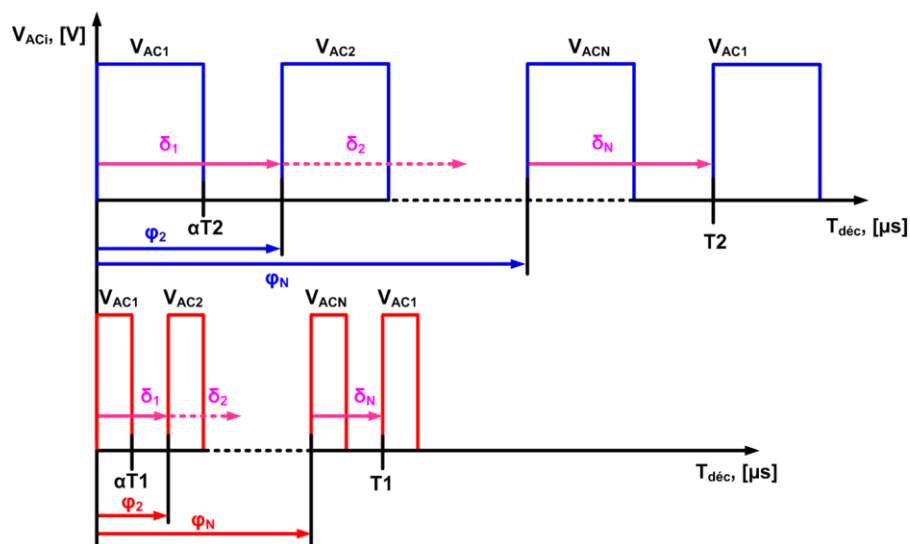
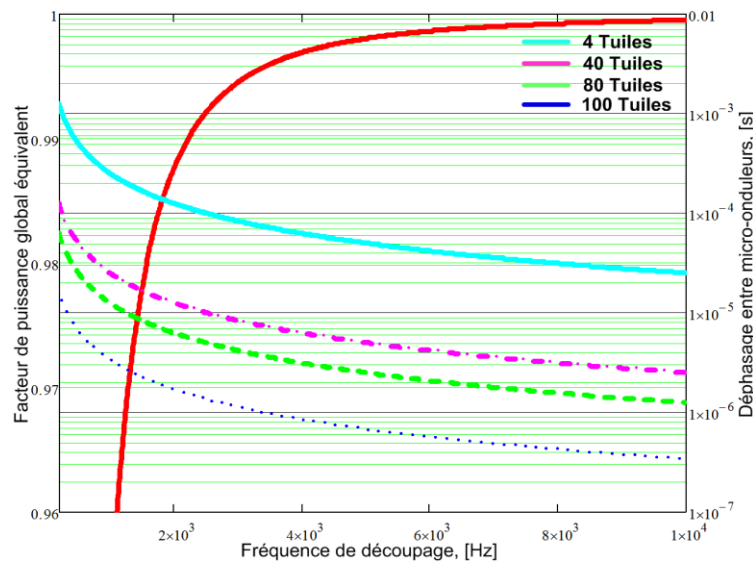


Figure III.17 – Déphasage des instants de commutation en fonction de la période de découpage (zoom sur le début d'une période du signal à 50Hz)

Dans ce cas, le productible du système va diminuer si nous gardons la puissance apparente constante. Cela peut être corrigé par les MLI locales qui peuvent ramener la puissance produite telle que chaque tuile soit à son PPM mais dans ce cas, nous aurons de problèmes de rendement au niveau des micro-onduleurs car ils vont produire plus de puissance apparente.

La Figure III.18 montre la variation du facteur de puissance local du dernier micro-onduleur  $\cos\varphi_N$  créé par l'entrelacement série dans un système PV distribué et le déphasage  $\delta_i$  entre les micro-onduleurs.



**Figure III.18 – Variation du facteur de puissance et détermination du déphasage entre les micro-onduleurs en fonction de la fréquence de découpage dans une série de micro-onduleurs entrelacés**

Plus la fréquence de découpage augmente, plus le facteur de puissance du dernier micro-onduleur se rapproche à 1 mais aussi le déphasage  $\delta_i$  entre les micro-onduleurs devient plus petit. Par ailleurs, il reste supérieur à 0,99 même pour une fréquence de découpage de 1kHz et par conséquent, les facteurs de puissance locaux  $\cos\varphi_i$  au niveau de chaque micro-onduleur seront supérieurs à 0,99. Ceci fait rend possible la mise en place, par exemple d'un microcontrôleur d'entrée de gamme dont le temps d'exécution d'une instruction est de l'ordre de 900ns [Microchip].

Il s'avère alors que l'entrelacement des micro-onduleurs dans un système PV distribué réduit considérablement le volume de l'inductance de filtrage sans créer de pertes de productible à cause du déphasage entre les micro-onduleurs.

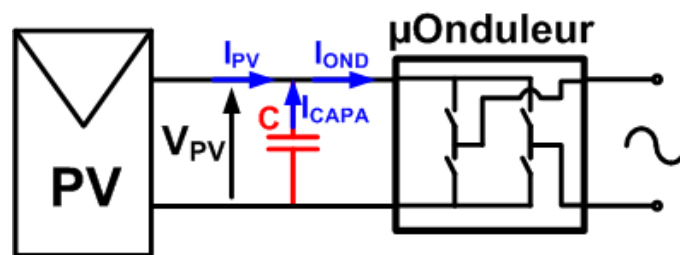
**III.3.4 INCONVÉNIENTS DU SYSTÈME PV DISTRIBUÉ**

Les panneaux solaires étant des sources de puissance continue (DC), le(s) onduleur(s) dans une installation photovoltaïque doivent transformer cette puissance DC en puissance alternative (AC). Dans ce cas, les puissances moyennes d'entrée  $P_{PV}$  et de sortie  $P_{AC}$  doivent être identiques en régime permanent. L'équation (III.9) exprime ce bilan de puissance :

$$P_{PV} = I_{PV} \cdot V_{PV} = P_{AC} = \frac{1}{T} \int_0^{T_{sys}} I_{MAX} \sin(\omega t) \cdot V_{MAX} \sin(\omega t) dt \quad (III.9)$$

$I_{MAX}$  et  $V_{MAX}$  sont les amplitudes du courant et la tension de sortie de l'onduleur.

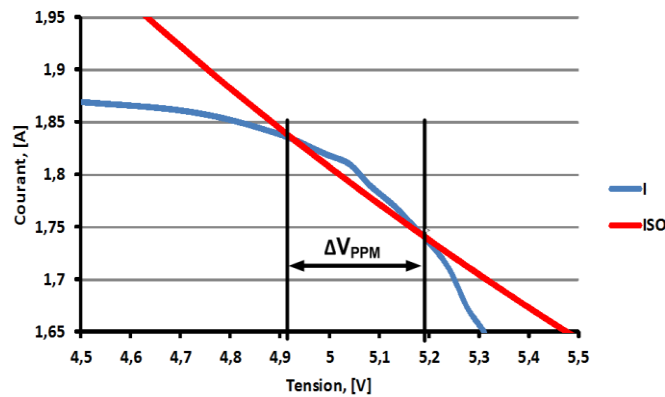
En revanche il n'en est pas de même pour la puissance instantanée puisque celle-ci va être constante côté continu et fluctuante côté alternatif. Un moyen de stockage, plus particulièrement une capacité  $C$  (voir Figure III.19) sera donc nécessaire dans l'onduleur pour réaliser l'adaptation de la puissance instantanée. Sans ce composant, la fluctuation de la puissance de sortie serait répercutée sur la puissance fournie par la tuile et entraînerait des fluctuations de tension et de courant aux bornes de celle-ci. En connectant directement l'onduleur sur la tension de sortie de la tuile, nous contraignons énormément l'ondulation de tension tolérée aux bornes du bus DC de l'onduleur.



**Figure III.19 – Un micro-onduleur raccordé à une tuile photovoltaïque**

La valeur de cette capacité de stockage va être déterminée par, d'une part l'énergie à stocker et d'autre part l'ondulation résiduelle de la tension aux bornes de celle-ci. Afin de déterminer quelle ondulation est acceptable il est important de constater que ces ondulations de tension ont un impact direct sur le maintien stable du point de puissance maximal (MPP). La Figure III.20 illustre le coude de la caractéristique I-V d'une tuile extraite d'un flash test. La courbe d'iso-puissance a été tracée arbitrairement à 99% de la puissance maximale

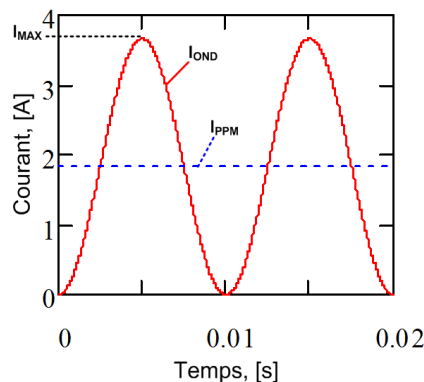
accessible au MPP. L'intervalle de la tension  $\Delta V_{PPM}$ , ici de 300mV sur la caractéristique I-V de la tuile, définit la plage de tension dans laquelle la puissance fournie par a tuile reste supérieure ou égale à 99% de la puissance maximale. Si une ondulation de la tension plus importante est tolérée alors la perte de puissance produite sera plus importante.



**Figure III.20 – Zoom sur le coude de la caractéristique I-Vet Iso-puissance pour une tuile (Irradiance=1000W/m<sup>2</sup>,  $T_{tuile}=25^{\circ}\text{C}$ ,  $T_{amb}=25^{\circ}\text{C}$ )**

Pour avoir un point de fonctionnement stable et le plus proche du MPPT nécessaire pour maximiser le productible, il est nécessaire de mettre en place un condensateur de forte valeur en entrée de chaque micro-onduleur. Le fait qu’il faille filtrer les ondulations de la tension au double de la fréquence de la tension de sortie ( $f_{sys}=2 \times 50\text{Hz}$ ) est à l’origine de cette valeur importante.

Conformément aux caractéristiques des tuiles, pour un courant fourni par la tuile  $I_{PPM}=1,85\text{A}$  et une valeur de la tension ondulée au point de puissance maximal  $V_{PPM}=V_{MAX}=5\text{V}$ , nous obtenons la forme du courant absorbé par l’onduleur  $I_{OND}$  dont l’amplitude est  $I_{MAX}=3,7\text{A}$  (voir Figure III.21).



**Figure III.21 – Forme du courant absorbé par l’onduleur**



Par conséquent, l'expression du courant dans le condensateur peut être déduite avec l'équation (III.10) :

$$I_{CAPA} = 2 \cdot I_{MPP} \sin(\omega t)^2 - I_{MPP} \quad (\text{III.10})$$

Pour calculer la valeur du condensateur, il est nécessaire de calculer la charge  $Q_{CAPA}$  que le condensateur doit être capable de fournir par l'équation (III.11) :

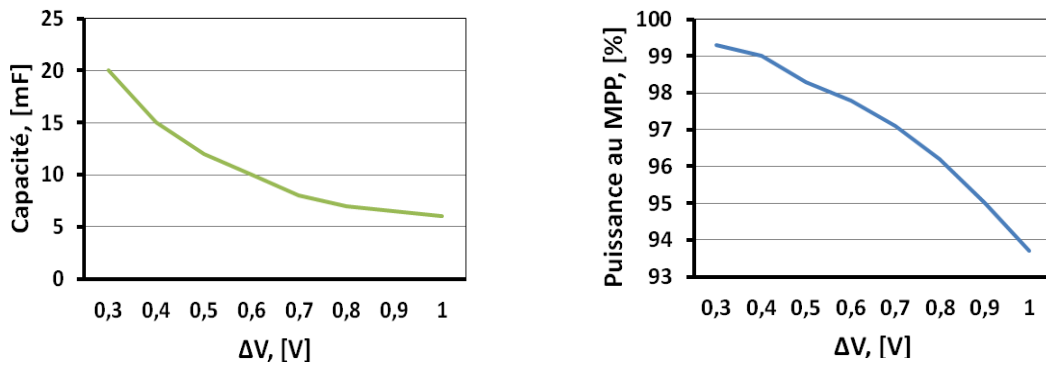
$$Q_{CAPA} = 2 \cdot \int_0^{\frac{T}{8}} I_{CAPA} dt = 5.8mC \quad (\text{III.11})$$

Au final, la valeur du condensateur est calculée par l'équation (III.12) :

$$C = \frac{Q_{CAPA}}{\Delta V_{PPM}} \quad (\text{III.12})$$

Si nous souhaitons rester à 99% de la puissance MPP alors  $\Delta V_{PPM}$  doit être limité à 0,3V. Dans ce cas, la valeur du condensateur nécessaire est 19mF. Cette valeur de capacité, pose les problèmes suivants même pour un faible calibre en tension 5V (tension  $V_{PPM}$  d'une tuile) :

*Le volume* de ce composant est important comparativement au reste du circuit et n'est pas intégrable. Toutefois, cette valeur peut être réduite si nous tolérons plus de pertes de productible. Figure III.22a et Figure III.22b illustrent la variation de la capacité du condensateur en fonction de l'ondulation de tension et en fonction du productible. Les courbes sont tracées à la base des caractéristiques des tuiles. Le choix du condensateur dépend alors aussi des pertes de productible que l'utilisateur est prêt à accepter. Toute de même, pour avoir un système plus efficace, il est préférable d'éviter des ondulations de la tension de plus que 0,4V afin de rester au plus proche possible du productible au point de puissance maximal.



a) Variation de la capacité du condensateur      b) Variation du productible

Figure III.22 – Valeurs du condensateur et du productible du micro-onduleur

Les pertes dans le condensateur peuvent atteindre des valeurs importantes si sa résistance interne n'est pas très faible compte tenu du fait que le courant efficace qui va le traverser est important :  $I_{EFFcapa}=1,3A$ . Les condensateurs répondant à ces exigences ont un volume et un prix très importants. Pour cette application, plusieurs technologies pouvant être utilisées existent. Toutefois elles ne présentent pas toutes des performances compatibles avec ce qui est attendu ici. Ainsi, les condensateurs doubles couches, même s'ils permettent des valeurs de capacité importantes pour des tensions compatibles avec cette application ne sont pas intéressants, d'une part, à cause de leur coût trop élevé et, d'autre part, à cause de leur résistance interne qui est très importante, de l'ordre de quelques dizaines d'ohms (voir Tableau III.3). Il existe aussi des condensateurs type ultracap dans des boîtiers CMS [Supercap]. Leurs capacités peuvent atteindre des valeurs de l'ordre de quelques centaines de mF. De plus, comme la Figure III.23 l'illustre, leur volume est fortement réduit et même si leur largeur et longueur sont de l'ordre d'une douzaine de millimètres, ils peuvent être utilisés comme support du circuit imprimé ou directement implanté derrière les cellules photovoltaïques.

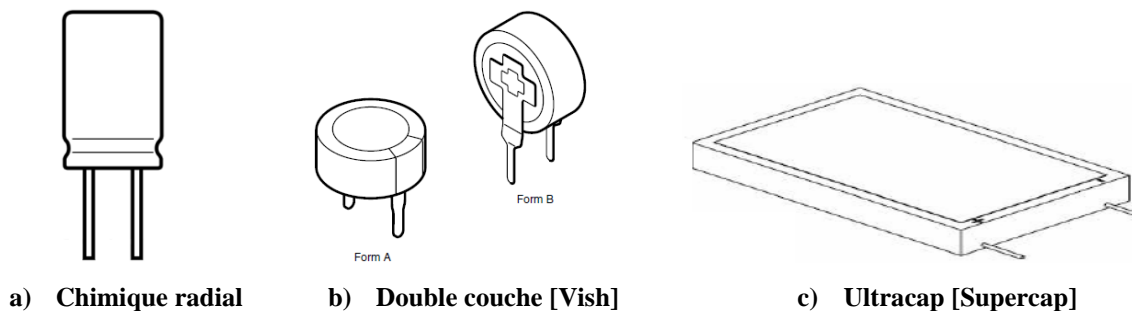


Figure III.23 – Types de condensateurs

En revanche, leurs résistances internes restent de l'ordre de quelques centaines de milli ohms, ce qui est toujours pénalisant pour le rendement. La mise en parallèle de quelques condensateurs de ce type sera indispensable mais dans ce cas, le coût de montage deviendra trop élevé, ce qui diminuera l'intérêt pour son industrialisation. De plus, leur prix reste élevé. Le Tableau III.3 donne les ordres de grandeur des caractéristiques de condensateurs que nous pouvons trouver dans le commerce [Farnell].

**Tableau III.3 – Caractéristiques des condensateurs**

Type	Capacité [mF]	Tension [V]	ESR [ $\Omega$ ]	Dimensions [mm]	Volume [mm <sup>3</sup> ]	Prix HT [€]	Quantité
Chimique	10	6.3	0.06	D=16, L=25	5024	≈0.6-1.5	+1500
Chimique	15	6.3	0.03	D=18, L=36	9156	≈1-1.5	+1000
Chimique	22	6.3	0.05	D=18, L=40	10173	≈1-1.5	+1000
Double couches	47	5.5	120	D=13, L=9	1212	≈3	+1000
Double couches	100	5.5	75	D=13.5, L=9.5	1410	≈1.8	+250
Super capacitor	22	5.5	150	D=10.5, L=5	430	≈1	+250
Ultracap	22	12	0.35	L=28, W=17, H=2.1	1000	≈13	+250
Ultracap	70	6.3	0.12	L=28, W=17, H=5.4	2600	≈10	+100

*La durée de vie* des condensateurs de cette gamme est faible, de 2000 heures à une température de 85°C comparativement à la durée de vie souhaitée pour une installation photovoltaïque (15 à 20 ans). 2000h n'équivalent qu'à quelques années d'utilisation pendant lesquelles le système va fonctionner au maximum de ses performances. Au moment où le condensateur commence à perdre sa capacité, la précision du MPPT va aussi commencer à diminuer et par conséquent le productible aussi. A plus long terme, dans une installation de quelques centaines de tuiles, il n'est pas pratique de changer les condensateurs au niveau de chaque tuile. Pour remédier à cela, il est possible de mettre en place un ou quelques condensateurs en parallèle de plus grande capacité. De cette façon la diminution de la capacité impactera le productible après une période plus longue. Néanmoins, il sera toujours question du coût et du volume de ce type de montage.

La mise en place d'un condensateur de forte valeur à l'entrée de chaque micro-onduleur s'avère un facteur limitant l'effort consenti dans la miniaturisation des onduleurs et leur intégration au niveau de chaque tuile. Le calcul présenté ci-dessus a été fait pour les périodes relativement rares avec une irradiance de  $1000\text{W/m}^2$ . En fait la question est d'optimiser le fonctionnement pour toute l'année quand il y a souvent un niveau d'irradiance entre  $100$  et  $500\text{W/m}^2$  (matin et soir, hiver, temps partiellement couvert, etc.). Optimiser le système pour ces conditions et accepter une perte de 2-3% à  $1000\text{W/m}^2$  peut être un bon compromis pour relâcher les contraintes sur le condensateur. Dans ce cas nous pouvons réduire 2 fois sa capacité ( $10\text{mF}$ ), ce qui par conséquent, réduit son volume. De plus, pour les irradiances plus faibles nous serons encore plus proches de la puissance au MPP (voir les équations III.9, III.10, III.11 et III.12). Il existe aussi d'autres solutions qui peuvent remédier à cette problématique. Elles sont présentées dans la partie III.5 Perspectives. Dans un premier temps, pour le développement du premier démonstrateur un compromis au niveau de la taille des composants a été fait et des condensateurs chimiques ont été mis en place.

### **III.4. DEVELOPPEMENT DU DEMONSTRATEUR**

Le démonstrateur mis en place est constitué d'un système de 4 tuiles photovoltaïques intégrant chacune un micro-onduleur dont les sorties sont connectées en série et raccordées à une charge. La validation du fonctionnement de cette approche étant l'objectif principal de cette première réalisation, les micro-onduleurs ont été réduits à leur plus simple expression et n'intègrent pas de commande MPPT. En revanche, la synchronisation des micro-onduleurs étant indispensable afin de contrôler leur déphasage et assurer une tension et un courant stables au niveau de la charge, un microcontrôleur (PIC) a été implanté dans chaque micro-onduleur pour, d'une part, générer les signaux PWM et, d'autre part, pouvoir synchroniser tous les micro-onduleurs.

#### **III.4.1 GESTION DU DÉPHASAGE DES MICRO-ONDULEURS**

La Figure III.25 représente le schéma d'une synchronisation en cascade également connue sous le nom de « daisy chain ». Le principe est la transmission de l'ordre de synchronisation de proche en proche. Un premier PIC d'un des micro-onduleurs est défini comme étant le maître et génère un signal de synchronisation. Ce signal est ensuite détecté par

le PIC suivant de la série qui est un esclave, il est copié et transmis au suivant et ainsi de suite. Le signal de synchronisation est une impulsion à la réception de laquelle les PICs esclaves réinitialisent leurs oscillateurs internes (voir Figure III.24). Cette impulsion est générée à la fin de chaque période du réseau 50Hz afin d'éviter une désynchronisation éventuelle à cause des imprécisions des fréquences des oscillateurs qui permettent de créer les signaux de commande (PWM). De cette façon les signaux PWM de tous les microcontrôleurs seront assurés d'être en phase et par conséquent les micro-onduleurs aussi. Les avantages principaux de cette technique sont :

- ◆ La possibilité d'entrelacer la commande des micro-onduleurs et de contrôler les déphasages  $\delta_i$  entre les PICs sans avoir besoin d'un bus de communication ;
- ◆ La programmation relativement simple de l'interface de synchronisation. Il suffit de programmer une entrée du microcontrôleur qui détecte le changement d'état du signal de synchronisation pour exécuter une instruction de réinitialisation de l'horloge interne et pour le copier sur l'une de ses sorties afin de le transmettre au PIC suivant ;
- ◆ Le transfert du signal de synchronisation peut être effectué par un simple fil de commande.

En revanche, tous les micro-onduleurs sont à des niveaux de potentiel différents puisque leurs sorties sont toutes connectées en série. Pour cela, il est indispensable de mettre en place une transmission isolée du signal de synchronisation. De plus, cette transmission doit être la plus rapide possible afin de ne pas ajouter un temps de propagation du signal de synchronisation car ceci créerait un angle de déphasage de plus en plus important lorsque l'on s'éloigne du premier micro-onduleur. Le temps minimal d'exécution d'une instruction dans un microcontrôleur de la série dsPIC33/PIC24EPxxxMC202 est 900 ns. Si l'isolation rajoute un retard plus important, comme nous l'avons vu, cela peut être pénalisant en termes de facteurs de puissance locaux pour un plus long string de micro-onduleurs associés en série. Toutefois, l'isolation à tenir est basse (5V) aussi il est possible de mettre en œuvre des dispositifs de transmission rapides comme un level shifter ou autre. Pour le premier prototype; une isolation optique a été mise en œuvre car elle est simple à implanter (voir Figure III.25). Bien que les optocoupleurs aient un temps de propagation de l'ordre de quelques  $\mu$ s, cette technique s'avère bien adaptée car seulement 4 tuiles sont mises en œuvre.

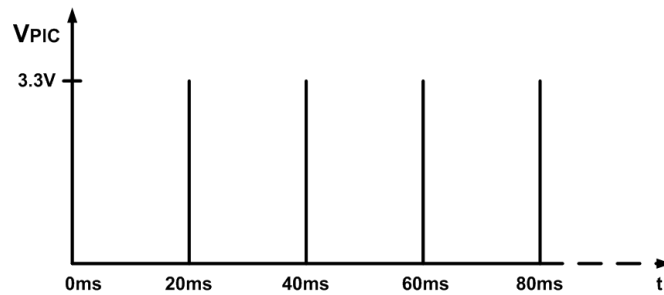


Figure III.24 – Impulsions de synchronisation des micro-onduleurs

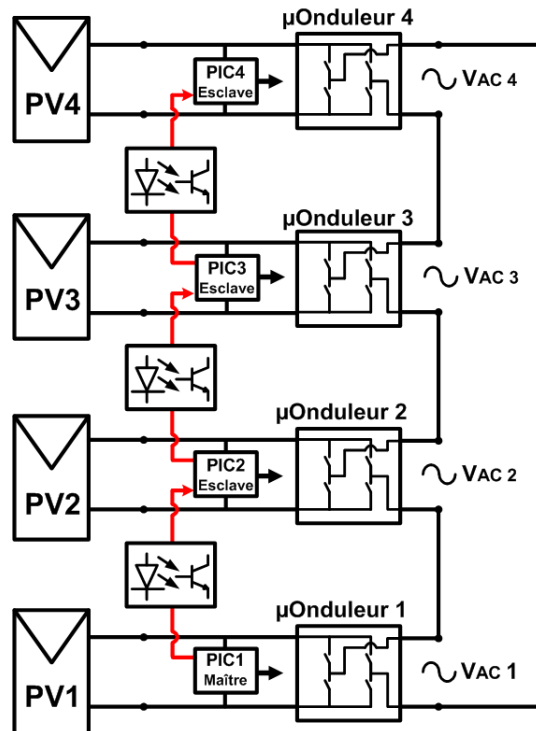


Figure III.25 – Isolation optique du signal de synchronisation des micro-onduleurs

### III.4.2 RÉALISATION DES MICRO-ONDULEURS

Le premier prototype des micro-onduleurs dispose d'un microcontrôleur PIC24EP64MC202 réalisant la commande et la synchronisation des puces, d'un régulateur linéaire de tension MCP1802T pour stabiliser la tension d'alimentation du PIC et le protéger contre des tensions supérieures à sa tension d'alimentation (3,3V), et d'un optocoupleur ACPL-217 pour l'isolation de l'interface de synchronisation (voir Figure III.26). Dans cette réalisation, des capteurs de courant et de tension ne sont pas prévus afin de simplifier sa mise en œuvre. Pour cette raison le fonctionnement au point de puissance maximale sera géré manuellement en faisant varier la charge raccordée à la sortie du système ou en jouant

manuellement sur le rapport cyclique au niveau de chaque micro-onduleur (pour le cas d'une gestion d'ombrage par exemple).

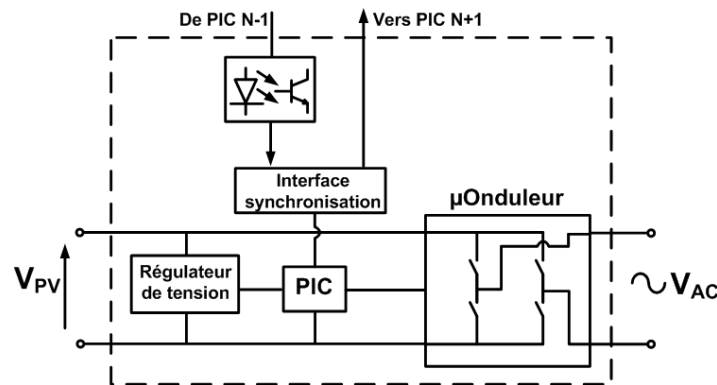


Figure III.26 – Schéma de la première réalisation du circuit imprimé

Figure III.27 montre une photo de la réalisation du premier prototype d'un micro-onduleur avec des composants discrets compte tenu des difficultés rencontrées pour le report flip-chip de la puce. Afin d'avoir une ondulation de tension de 300mV à l'entrée des micro-onduleurs et par conséquent au niveau du point de fonctionnement des tuiles, deux condensateurs chimiques 6,3V/10mF ont été mis en place en parallèle. Le choix de mettre deux condensateurs de 10mF en parallèle au lieu d'un seul de 20mF a été guidé par la réduction de la résistance interne équivalente. A la différence de 50mΩ pour un seul condensateur de 20mF, cette dernière est égale à 30mΩ, ce qui donne autour de 50mW de pertes dans les condensateurs au point de puissance maximale des tuiles.

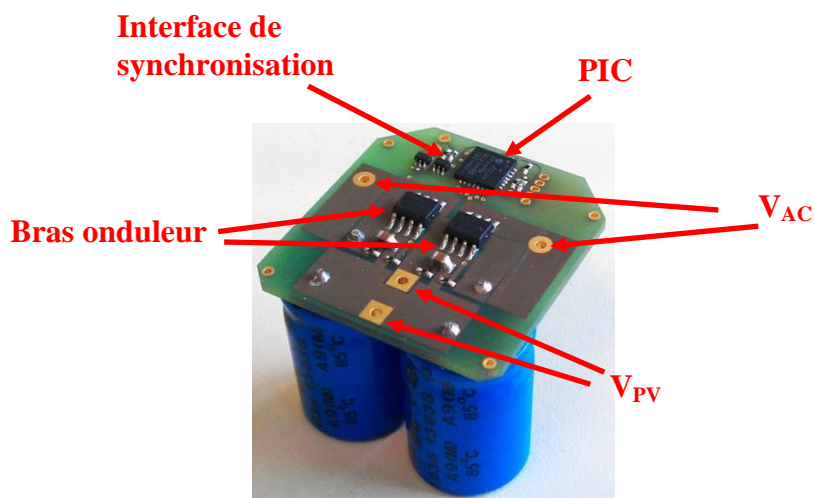


Figure III.27 – Réalisation du micro-onduleur avec des composants discrets

Un support pour les quatre tuiles a aussi été réalisé de façon à ce qu'il puisse changer son angle d'inclinaison afin de pouvoir modifier la puissance reçue (voir Figure III.28). La Figure III.29 montre une photo des quatre micro-onduleurs installés au niveau d'une plaque pour faciliter la manipulation.



Figure III.28 – Photo des quatre tuiles PV

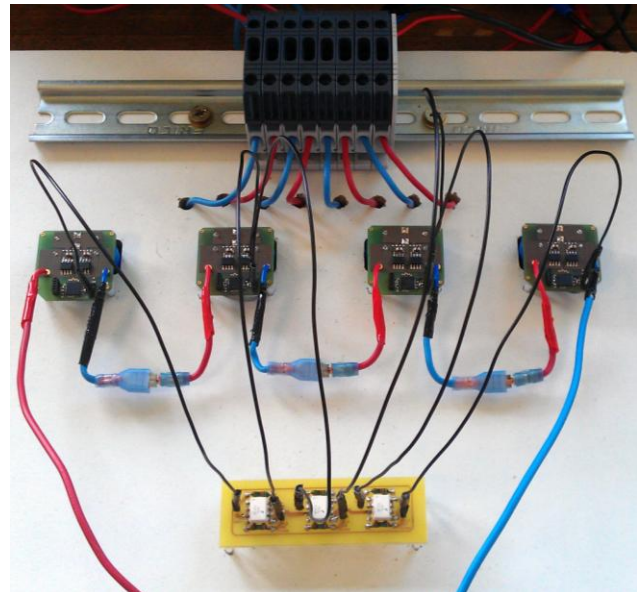
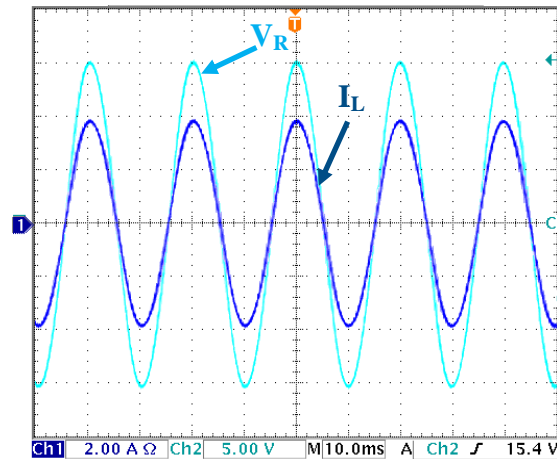


Figure III.29 – Photo des micro-onduleurs connectés en série

### III.4.3 RÉSULTATS

Le système complet a été mis en route et des mesures ont été réalisées pour une irradiance de  $950\text{W/m}^2$ , une température ambiante de  $42^\circ\text{C}$  et température sur les tuiles de  $62^\circ\text{C}$ . Pour créer une tension sinusoïdale de  $50\text{Hz}$  au niveau de la charge, la fréquence de découpage de la commande PWM des micro-onduleurs a été fixée à  $50\text{kHz}$ . La Figure III.30 montre un relevé d'oscilloscope de la tension  $V_R$  et du courant  $I_L$  au niveau de la charge. Au point de puissance maximale, la tension crête-à-crête est égale à  $31\text{V}$  et le courant efficace injecté dans la charge est  $2,8\text{A}$ , ce qui donne une puissance active sur la charge de  $31\text{W}$ .





**Figure III.30 – Tension et courant sur la charge du système PV avec 4 tuiles et micro-onduleurs  
(Irradiance=950 W/m<sup>2</sup>, T<sub>tuiles</sub>=62°C, T<sub>amb</sub>=42°C)**

La haute température des tuiles a aussi un impact négatif sur leurs caractéristiques. A 62°C et un coefficient de température-puissance égal à 0,43°C, leur puissance maximale sera réduite de 11%, ce qui fait qu'elles ne peuvent pas fournir plus que 33W de puissance au point de puissance maximale. Dans ce cas, le rendement de tout le système est autour de 93%. Le Tableau III.4 donne le bilan des pertes dans le système :

**Tableau III.4 – Bilan des pertes du premier prototype réalisé avec des composants discrets**

Onduleur	Driver	PIC	LDO	Optocoupleur	Condensateur	Inductance
4x 290mW	4x 21mW	4x 70mW	4x 20mW	4x 30mW	4x 50mW	280mW

Les pertes par conduction, par commutation et dans la commande rapprochée de la version intégrée de l'onduleur seront réduites puisque, d'une part, la résistance à l'état passant des bras d'onduleur sera plus faible par rapport à celle du composant que nous avons utilisé pour le circuit discret (40mΩ pour le PMOS et le NMOS) et, d'autre part les pertes par commutation et les pertes de la commande rapprochée sont aussi optimisées. Néanmoins, pour la future version du micro-onduleur il sera aussi nécessaire d'intégrer le microcontrôleur dans la puce afin de réduire encore plus la consommation et le coût du système.

La Figure III.31 montre une photo de la version intégrée du micro-onduleur avec la puce reportée par brasure sur le circuit imprimé. La carte fait 20mm de largeur et 22mm de longueur et elle peut rentrer sans aucune contrainte dans le boîtier sur la face arrière des tuiles.

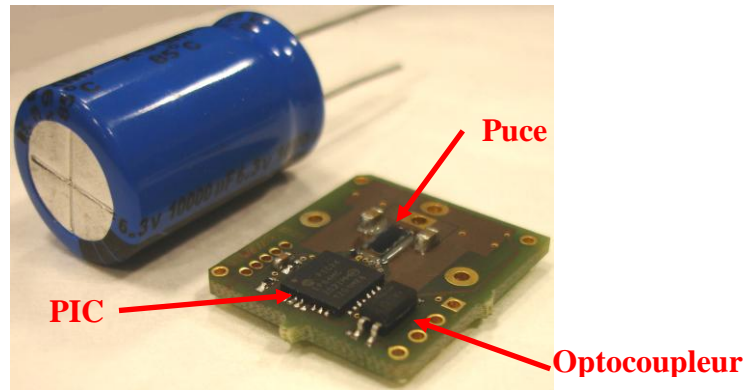


Figure III.31 – Photo de la version intégrée du micro-onduleur

Le micro-onduleur a été testé avec une source d'alimentation DC et une charge résistive au point de fonctionnement correspondant à celui de l'expérience précédente (autour de 4,3V/1,8A) mais à une température ambiante autour de 20°C. La Figure III.32 montre les courbes de la tension  $V_R$  et du courant  $I_L$  au niveau de la charge branchée à la sortie du micro-onduleur. Les ondes obtenues à une fréquence de 50Hz valident le fonctionnement du prototype. Pour pouvoir comparer les performances de la version intégrée du micro-onduleur avec celles de sa version réalisée avec les composants discrets, il sera nécessaire de refaire les tests dans les mêmes conditions d'irradiance et de température ambiante.

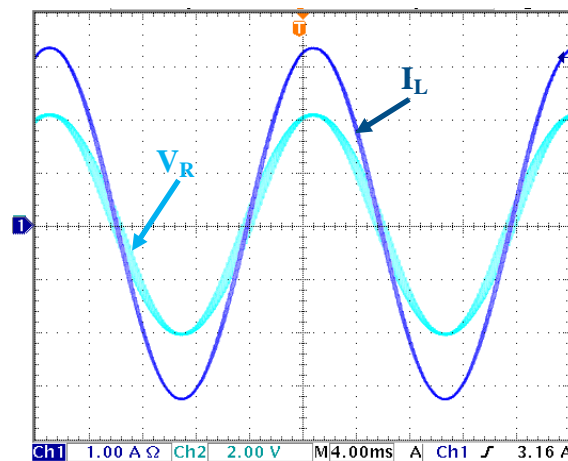


Figure III.32 – Tension et courant sur la charge d'un micro-onduleur intégré alimenté par une source DC ( $T_{amb}=22^{\circ}\text{C}$ )

La Figure III.33 montre une image infrarouge de la version intégrée du micro-onduleur qui a été faite dans le but d'observer la dissipation thermique au niveau de la puce et au niveau des surfaces de cuivre de la carte.

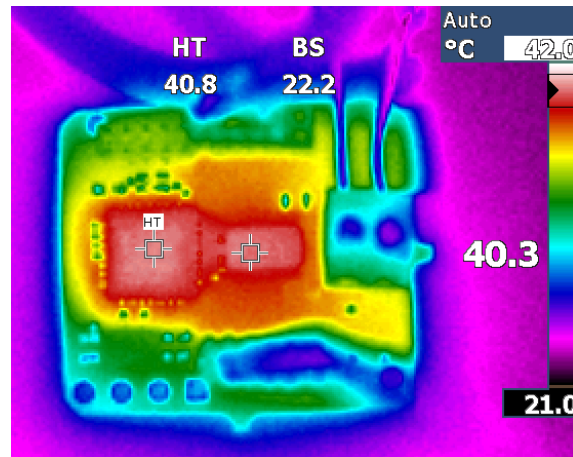


Figure III.33 – Image infrarouge du micro-onduleur intégré

Nous pouvons constater que la puce et le microcontrôleur fonctionnent à la même température qui est autour de 40°C. La faible élévation de la température de 20°C indique que les pertes dans la puce ne sont pas importantes et que les surfaces de cuivre évacuent bien la chaleur. Dans ce cas, il est tout à fait possible de la mettre en place au niveau de la face arrière des tuiles où la température peut parfois atteindre plus de 70°C sans dépasser sa limite thermique de fonctionnement de 125°C [AMS].

La réalisation de ces prototypes valide le fonctionnement de cette approche. Les résultats étant encourageants, cela nous permet de réfléchir sur les perspectives en terme de mise en œuvre du système PV distribué utilisant des micro-onduleurs à une échelle industrielle.

### III.5. PERSPECTIVES

Le système PV distribué avec des micro-onduleurs est un champ d'études important tant au niveau de la recherche qu'au niveau de l'industrie. Dans la suite, des moyens pour l'amélioration de ce système et sa mise en œuvre seront présentés. Les défis sont liés à l'amélioration du productible, la réduction du coût et du volume, la mise en place de stratégies intelligentes de contrôle et de commande des micro-onduleurs.

#### III.5.1 RÉDUCTION DE LA TAILLE DU CONDENSATEUR

La taille et la valeur du condensateur à l'entrée de chaque micro-onduleur sont une problématique d'importance majeure. Son volume important rend difficile son intégration au niveau de chaque tuile et met en question les efforts consentis dans l'intégration des composants actifs. La valeur de sa résistance interne est à l'origine de pertes qui pénalisent fortement le rendement des micro-onduleurs. Un autre point critique est le coût du système et plus en particulier le coût d'un micro-onduleur. Afin de rendre cette approche rentable et attractive sur le marché, il est nécessaire que son prix et son efficacité soient comparables à ceux d'un système avec un onduleur central. Nous faisons alors face à des contraintes de volume, de performances et de coût pour pouvoir industrialiser cette topologie qui offre de plus une gestion distribuée d'ombrage.

Comme nous l'avons déjà dit dans la section III.4, nous pouvons faire un compromis en acceptant une perte de 2-3% à 1000W/m<sup>2</sup> pour relâcher les contraintes de dimensionnement et de coût du condensateur. La mise en place d'un étage de conversion DC/DC élévateur de tension entre la tuile et l'onduleur est une solution classique. L'intérêt de cet étage est de diminuer la contrainte sur l'ondulation de la tension aux bornes du condensateur de stockage et donc de permettre de choisir un condensateur moins volumineux. Le principe est ici de permettre une augmentation de l'ondulation de la tension aux bornes du condensateur du bus DC de l'onduleur sans que cela perturbe le point de fonctionnement de la tuile solaire car l'étage boost est là pour amortir cette ondulation (voir Figure III.34) via un effet de découplage des tensions. En effet l'intervalle  $\Delta V_{PPM}$  dans laquelle le système va fonctionner à 99% du MPP augmente proportionnellement en fonction de la tension de sortie de l'étage boost alors que la valeur du courant à la sortie du boost diminue proportionnellement de cette

dernière, ce qui réduit la charge que le condensateur doit fournir à l'onduleur. Par exemple, pour un rapport de transformation du convertisseur boost égal à 4, le condensateur à sa sortie doit tenir quatre fois plus de tension (20V) mais la seule contrainte ici est que la tension de sortie de l'étage boost ne doit pas être inférieure à celle d'entrée. Par conséquent, nous pouvons accepter une ondulation plus importante autour de 3V par exemple et la valeur du condensateur à la sortie de l'étage boost  $C_S$  sera réduite 40 fois et elle sera égale à 470 $\mu$ F. L'inconvénient ici est la mise de deux étages de conversion d'énergie, ce qui va naturellement pénaliser le rendement du système.

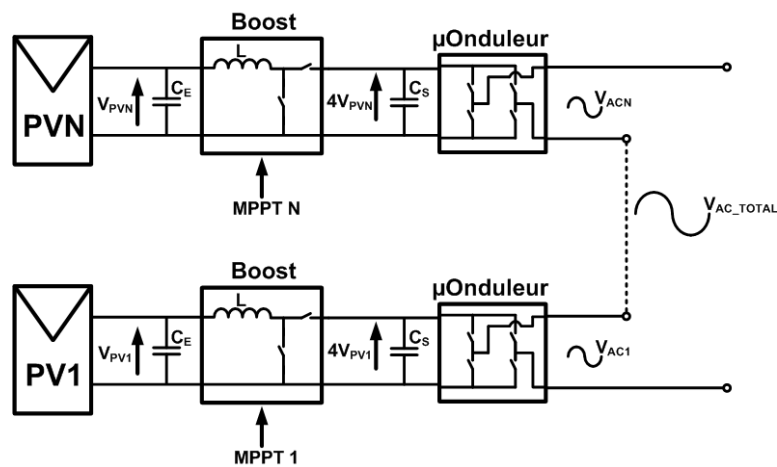


Figure III.34 – Système PV distribué avec un étage boost et micro-onduleurs

Afin de rendre cette approche viable et plus attractive en termes de volume et de coût, il sera nécessaire de concevoir une nouvelle puce multi bras qui pourra être configurée de façon à réaliser un étage boost et un onduleur en utilisant la technologie à 20V d'AMS. Etant donné que la tension au point de puissance maximale d'une tuile  $V_{PPM}$  est autour de 5V, le rapport de transformation du convertisseur boost peut être fixé de façon à élever 4 fois la tension. Dans ce cas, la partie onduleur fonctionnerait à une tension proche de 20V au régime de MPP. Dans ce contexte, la commande de MPP sera appliquée au niveau du convertisseur boost. La conception d'une nouvelle puce permettrait aussi d'intégrer des capteurs de courant et de tension au niveau des bras d'onduleur afin de ne pas avoir besoin de rajouter de composants discrets d'instrumentation au niveau du circuit imprimé pour réaliser le MPPT. Les éléments qu'il faudra rajouter à l'extérieur du circuit intégré sont l'inductance au niveau de l'étage boost et les condensateurs à l'entrée  $C_E$  et à la sortie  $C_S$  de l'étage boost (voir Figure III.35).

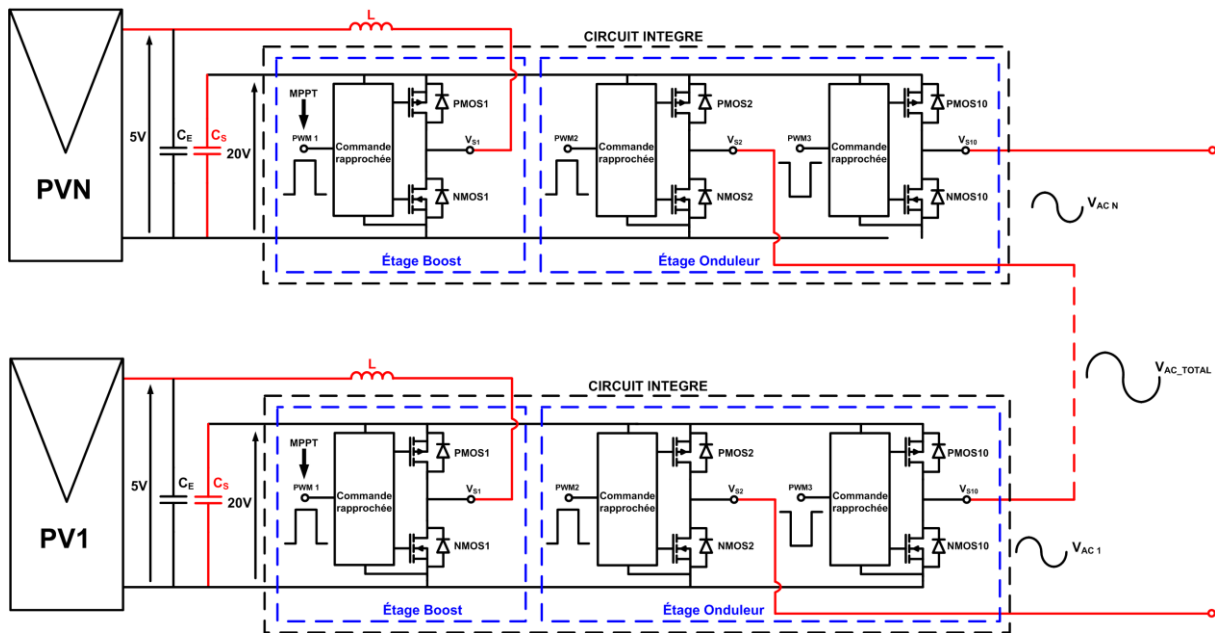


Figure III.35 – Système PV distribué avec un étage boost et micro-onduleurs intégrés

Pour une fréquence de découpage du convertisseur boost de 500kHz et pour un rapport de transformation 4 au point de puissance maximale  $V_{PPM}=5V$ , la valeur de l'inductance sera égale à  $15\mu H$  pour une ondulation du courant de 0,5A et  $30\mu H$  si l'ondulation du courant est 0,25A (50% de la valeur du courant continu). Bien que la fréquence de découpage soit élevée, cette valeur d'inductance est logique compte tenu la tension de sortie du convertisseur. La valeur du condensateur à son entrée  $C_E$  nécessaire pour assurer un fonctionnement à 99% du MPP sera égale à  $5\mu F$ .

Il est aussi possible de réduire la taille de l'inductance en entreplaçant le convertisseur boost (voir Figure III.36). Le rajout par exemple d'encore  $q$  bras déphasés à  $T_{déd}/q$  augmenterait  $q$  fois la fréquence apparente dans les inductances de chaque bras. Le nombre des phases de l'étage boost dépendra du nombre de bras d'onduleur intégrés dans la puce, de leur calibre en courant et du nombre de bras dédiés à l'étage d'onduleur. Afin de n'utiliser qu'un seul composant magnétique, un transformateur ou un coupleur peut être utilisé pour coupler les inductances de tous les bras. Dans ce cas, le volume du composant magnétique sera aussi réduit.

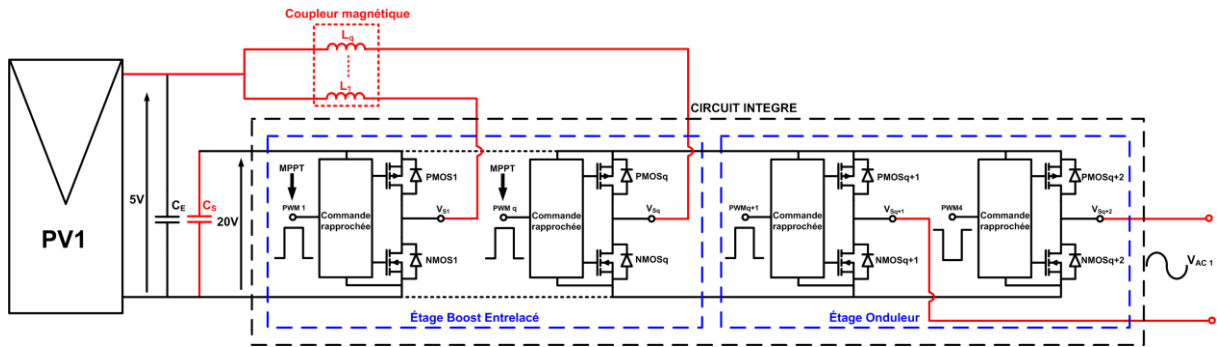


Figure III.36 – Schéma d'une puce avec un étage boost entrelacé et un étage onduleur

### III.5.2 AMÉLIORATION DU PRODUCTIBLE AU CAS D'OMBRAGES

Pour qu'un MPPT décentralisé soit implémenté au niveau de chaque micro-onduleur, il est nécessaire de mettre en place des capteurs de tension et de courant au niveau de chaque tuile. A court terme, en utilisant les puces actuelles, ces capteurs peuvent être reportés sur le circuit imprimé. Une nouvelle version de la puce (5V d'AMS) est aussi en cours de réalisation [Hai13]. Elle contient des capteurs de courant et de tension intégrés avec les bras d'onduleur. Pour réaliser la fonction MPPT, il sera nécessaire d'implémenter un algorithme dans un organe de contrôle et de commande (un microcontrôleur par exemple). La stratégie du MPPT peut être basée sur la variation de l'amplitude de la commande MLI ou sur le contrôle du déphasage de façon à gérer les facteurs de puissance locaux et le transfert d'énergie réactive entre les micro-onduleurs.

Il est également possible de développer une stratégie pour le by-pass actif des tuiles qui sont fortement ombrées. Cette technique consiste en le court-circuit de la sortie d'une ou plusieurs tuiles ombrées par l'intermédiaire des bras d'onduleur de la puce. Le by-pass actif se faisant par le blocage au même moment de tous les transistors PMOS ou NMOS du micro-onduleur (voir Figure III.37). En tenant compte des valeurs des résistances internes des bras d'onduleur dans la configuration de micro-onduleur ( $11\text{m}\Omega$  pour le transistor PMOS et  $9\text{m}\Omega$  pour le transistor NMOS), les pertes par conduction pour un courant  $I_{PPM}=1,83\text{A}$  au moment du by-pass actif seront 4.5 fois plus faibles ( $120\text{mW}$ ) que les pertes dans les diodes de by-pass ordinaires ( $550\text{mW}$ ) dont la chute de tension est autour de  $300\text{mV}$  dans une série de tuiles. Pour tenir les pertes de conduction minimales pendant la phase de by-pass actif, il est préférable de fermer les transistors NMOS. Cette solution est possible car, dans ce cas la tuile n'est pas court-circuitée et le peu de puissance qu'elle fournit peut être utilisée pour maintenir

les grilles des transistors court-circuitant la sortie de l'onduleur. Le cas échéant, l'énergie peut même être fournie par les autres tuiles en maintenant la tension du bus suffisamment sous la somme des tensions de conduction directe des photodiodes.

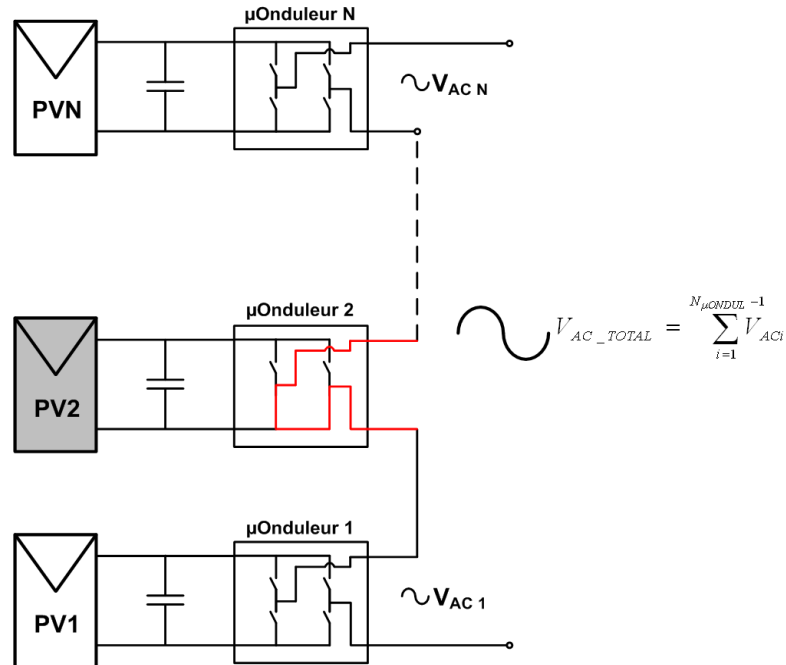


Figure III.37 – Schéma de by-pass actif d'une tuile fortement ombrée

Pour la réalisation des stratégies d'optimisation du productible du système PV, une source externe de contrôle et commande doit être mise en place au niveau de chaque puce. Désormais, il est aussi possible de l'intégrer grâce aux nouvelles filières d'AMS C18 et H18 qui permettent l'intégration de cœurs ARM [AMS]. De plus, H18 est une technologie qui permet l'intégration de modules de 20V, ce qui rendrait aussi intéressant la conception d'une puce intégrant un étage élévateur. La découverte et le design des puces avec cette nouvelle filière peuvent avoir lieu dans des futurs travaux sur l'intégration des modules de puissance et leur mise en œuvre à l'échelle industrielle.

### III.5.3 DÉVELOPPEMENT D'UNE INSTALLATION RACCORDÉE AU RÉSEAU

Le raccordement au réseau d'un système PV distribué intégrant des micro-onduleurs est la phase finale de la mise en œuvre de ce système. Le développement d'un premier prototype avec une centaine de tuiles sera nécessaire pour faire les premiers tests de raccordement au réseau.



Pour la mise en place de ce système, il sera nécessaire de développer une méthode de synchronisation des micro-onduleurs rapide, moins consommatrice et plus fiable. Au niveau de l'optimisation de la connectique de l'installation et de la simplification de la mise en œuvre, il est important de trouver des solutions pour réduire le nombre des connexions nécessaires à la synchronisation et à la commande des micro-onduleurs. Ceci peut se faire en transmettant les signaux de commande et de synchronisation via, par exemple un courant porteur en ligne (CPL). Toutefois, il sera nécessaire de faire une étude sur la mise en œuvre de cette technique dans le système PV distribué car les bruits générés par le découpage des micro-onduleurs dans la ligne de puissance peut perturber ce type de procédé.

Il est aussi indispensable de mettre en place une technique permettant de synchroniser le système PV avec le réseau. Il existe déjà plusieurs méthodes de synchronisation qu'il faudra évaluer pour choisir la méthode appropriée à ce type de système [Zho12].

### **III.6. CONCLUSION**

Dans ce chapitre un nouveau type de système PV distribué avec micro-onduleurs connectés en série a été présenté. En associant en série la partie active de puissance de la cellule élémentaire, il est possible de réaliser un réseau de micro-convertisseurs assurant la conversion DC/AC (réseau de micro-onduleurs). Cette étude a été inspirée par la compatibilité des caractéristiques des tuiles photovoltaïques fournies par la société Luxol et les caractéristiques de la puce que nous avons conçue. Son intégration au niveau de chaque tuile a pour but de remplacer l'installation standard avec onduleur central par la mise en série des sorties de tous les micro-onduleurs. Ceci permet également de mettre en place un MPPT extrêmement décentralisé et de développer différentes techniques de contrôle et de commande des micro-onduleurs pour réduire la taille de l'inductance de filtrage de sortie du système et optimiser le productible de l'installation. Un point limitant de ce système s'avère être le volume et les caractéristiques du condensateur d'entrée de chaque micro-onduleur. Un premier démonstrateur composé de quatre tuiles incluant des micro-onduleurs raccordés à une charge a été réalisé pour valider cette approche. Les résultats obtenus valident le fonctionnement du système et ils sont encourageants pour le développement d'une installation complète. Dans ce contexte, il existe plusieurs perspectives au niveau de la mise en œuvre d'une commande MPPT et de la synchronisation des micro-onduleurs dans une installation

PV de quelques kW composée de plus d'une centaine de tuiles. Le raccordement de ce système au réseau est encore un champ d'études. D'une part il doit être synchronisé avec le réseau. Pour cela il est nécessaire d'étudier et choisir la technique de synchronisation la plus appropriée pour le système PV distribué. D'autre part il est aussi nécessaire de pouvoir assurer sa sécurisation. Il ne faut pas que la tension totale du système PV distribué devienne plus faible que celle du réseau sinon ce dernier va commencer à transférer d'énergie vers le système PV et engendrer sa destruction. Tous ces aspects seront un objet d'études dans des futurs travaux de recherche....



# CHAPITRE IV : PERSPECTIVES POUR LA MISE EN ŒUVRE DU R $\mu$ C

## Table des matières

---

IV.1.	INTRODUCTION .....	180
IV.2.	REALISATION DE LA CELLULE ELEMENTAIRE .....	180
IV.2.1	REALISATION DU CONVERTISSEUR DAB .....	180
IV.2.2	REALISATION DU CONVERTISSEUR ENTRELACE .....	183
IV.3.	MISE EN ŒUVRE D'UN CONVERTISSEUR DE 3 CE .....	186
IV.4.	MISE EN ŒUVRE D'UN RESEAU DE 5 CE .....	187
IV.4.1	STRATEGIES DE COMMANDE ET CONFIGURATION .....	188
IV.5.	CONCLUSION .....	194

---

### **IV.1. INTRODUCTION**

Ce chapitre présente les perspectives à court terme pour la réalisation de la cellule élémentaire ainsi que pour la mise en œuvre des stratégies de commande et de configuration d'un premier prototype de réseau de micro-convertisseurs DC/DC. Pour faire cela, il est dans un premier temps nécessaire de concevoir deux versions de cellules élémentaires, à savoir la CE à la base de la structure du convertisseur DAB et la CE à la base du convertisseur entrelacé. Ceci nous permettra de faire une comparaison de leurs caractéristiques suite aux expérimentations au niveau de l'efficacité, de la simplicité et du volume en regard de leur mise en réseau. Une fois la cellule élémentaire réalisée, nous pourrions étudier et analyser son fonctionnement dans différentes associations. Pour cela plusieurs pistes de plus en plus complexes sont proposées. Certaines ont déjà été abordées mais pas achevées d'autres ne sont que des idées, certes bien étudiées, qui pourraient être mise en œuvre. Cette partie aurait du contenir les résultats de ce travail si les développements technologiques que nous avons conduits n'avaient pas eu de délais très importantes ...

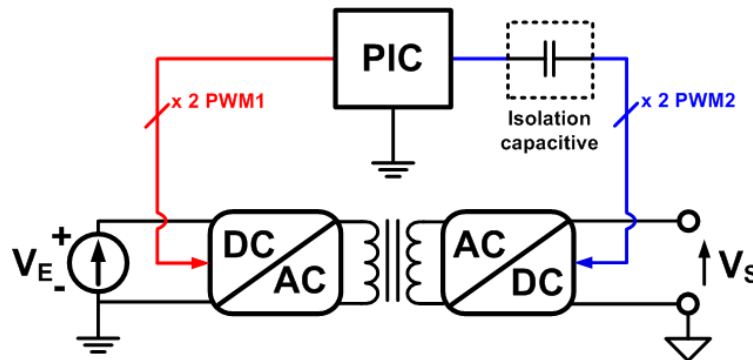
### **IV.2. REALISATION DE LA CELLULE ELEMENTAIRE**

Les délais pour la réalisation des montages en flip-chip étant très importants, un compromis a été fait pour les premiers prototypes de la cellule élémentaire en intégrant la puce dans un boîtier de type QFN-44. Cela va certainement baisser les performances de la partie active de puissance à cause des fils de bonding et augmenter l'espace occupé et les dimensions du circuit imprimé mais, cette solution permettra de tester et de valider l'approche dans sa globalité. L'amélioration des performances de la cellule élémentaire par le report flip-chip de la puce pourra être envisagée ultérieurement.

#### **IV.2.1 REALISATION DU CONVERTISSEUR DAB**

La structure DAB étant symétrique au niveau de ses primaire et secondaire de puissance, elle permet d'utiliser la même puce pour réaliser le circuit d'onduleur et de redresseur. Au niveau de la commande, 2 signaux PWM complémentaires sont nécessaires pour piloter chacun de ces circuits. Dans un premier temps, un microcontrôleur de la gamme PIC24 peut

être mis en place à l'extérieur du circuit imprimé. La Figure IV.1 montre le schéma de la commande du convertisseur.



**Figure IV.1 –Schéma de commande du DAB**

Une isolation capacitive est nécessaire afin de transmettre des ordres isolés de commande à la puce située au niveau du secondaire de la structure. Ce choix a été fait en raison de sa simplicité de mise en œuvre.

Le transformateur planar a été réalisé par [Hiu13] pour un cahier de charges 3,3V/2A/1MHz a été mis en place. Les spires du primaire et du secondaire ont été directement créées au niveau du circuit imprimé lors de son tirage et la ferrite utilisée pour le circuit magnétique est de type 3F4. Celui-ci est composé de deux pièces standard, une de type E (ER95) et une de type I (pièce complémentaire pour le même type de noyau). Pour la réalisation des deux spires au primaire et au secondaire, un circuit imprimé de 4 couches est nécessaire.

**Tableau IV.1 – Caractéristiques du transformateur planar**

Nombre des spires au primaire et au secondaire	2
Largeur des spires	720 $\mu$ m
Epaisseur des spires	35 $\mu$ m
Inductance magnétisante ( $L_m$ )	3,7 $\mu$ H
Inductance de fuites ( $L_f$ )	54nH
Résistance DC des spires ( $R_{DC}$ )	15m $\Omega$
Résistance AC des spires à 1MHz ( $R_{AC}$ )	38m $\Omega$

Ceci donne 0,8A d'ondulation pour un courant nominal de 2A, un rapport cyclique  $\alpha=0,5$ , une fréquence de 1MHz et une tension  $V_E=V_S=5V$ . La Figure IV.5 montre une photo du premier prototype du convertisseur DAB. Ses dimensions sont 29mm de longueur, 11mm de

largeur et 3,5mm de hauteur. Le volume total est donc 1120mm<sup>3</sup>, ce qui correspond à une densité de puissance de 8,9kW/l.

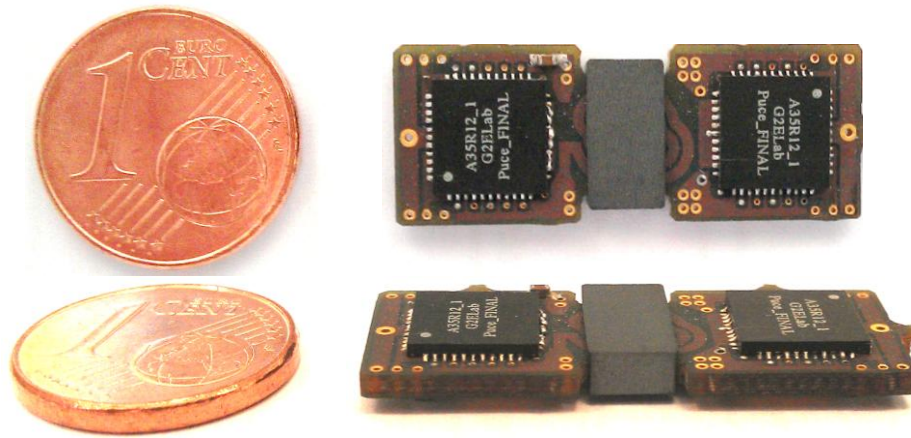


Figure IV.2 – Photo du convertisseur DAB

Malheureusement, lors du packaging des puces dans les boîtiers QFN-44, une erreur a été faite par la société sous-traitante et des contacts entre les fils de bonding reliant les points milieux et le  $V_{DD}$  de certains bras d'onduleur ont été constatés (voir Figure IV.3). Ceci a rendu la structure inutilisable puisque pour la structure DAB nous avons deux groupes de 5 bras en parallèle.

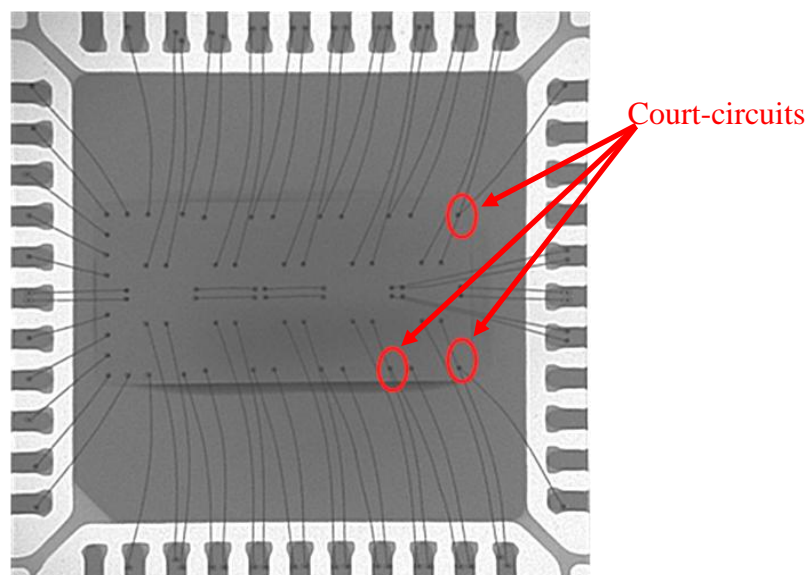
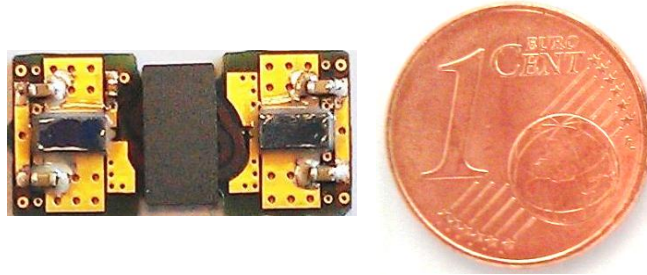


Figure IV.3 – Image aux rayons X des court-circuits des fils de bonding dans le boîtier QFN-44

Pour le moment, ceci nous a malheureusement empêché de continuer avec la mise en œuvre et la caractérisation de la structure. Un recours est en cours auprès de cette société mais n'a pas permis d'obtenir des circuits fonctionnels durant cette thèse. Pour la suite, il est

nécessaire d'attendre la réalisation de convertisseurs dont les puces sont directement reportées sur le circuit imprimé par la technologie par brasure maîtrisée par la société Pac Tech. Ceci va réduire encore plus les dimensions de la cellule élémentaire, sa longueur sera de 23mm (voir Figure IV.4). Dans ce cas, le volume total de la cellule élémentaire sera réduit à 890mm<sup>3</sup>, ce qui correspond à une densité de puissance de 11kW/l. Cette valeur est en cohérence complète avec les tendances d'augmentation de la densité de puissance en convection naturelle [Kol07].



**Figure IV.4 – Photo du convertisseur DAB version flip-chip**

Les tests et la caractérisation du convertisseur DAB en version flip-chip feront objet des travaux à la suite de cette thèse.

### **IV.2.2 REALISATION DU CONVERTISSEUR ENTRELACE**

La réalisation des différents modules de la structure du convertisseur entrelacé a été faite en collaboration avec les laboratoires participant au projet Miconet 2. La partie passive, en ce qui concerne notamment le dimensionnement, la conception et la réalisation du coupleur magnétique a été l'objet d'un travail du laboratoire Ampère à Lyon en collaboration avec le LGEP de Paris. Le module de la commande a été réalisé par le laboratoire LAPLACE à Toulouse. Le G2ELab étant chargé de la réalisation de la partie active de puissance.

#### **IV.2.2.1 REALISATION DE LA COMMANDE**

Le module de la commande et la partie active de puissance ont été intégrés dans deux puces différentes. L'intérêt de cette démarche consistait en la vérification séparée des deux circuits avant de les intégrer ensemble. De plus, si l'un des deux modules n'a pas de fonctionnement correct en raison d'un problème de design éventuel, il serait plus facile de trouver l'erreur et il serait possible de pouvoir tester et caractériser l'autre module.



Le fonctionnement de la puce de la commande est basé sur la stratégie de commande modulaire de chaque bras du convertisseur entrelacé (voir Figure IV.5). Chaque module a trois fonctions : génération de sa propre porteuse, mesure et régulation du courant. Chaque module régule sa porteuse en fonction des porteuses des modules adjacents. De cette façon un déphasage toujours égal à  $T_{dec}/N$  est assuré. Cette approche est détaillée dans [Cos11]. La régulation du courant au niveau de chaque bras est faite par la mesure du courant à l'aide d'une résistance shunt et la comparaison de sa valeur moyenne avec celle des bras adjacents [Mlb09], [Bol10]. Par conséquent, le rapport cyclique de chaque bras est corrigé de façon à ce que la valeur moyenne du courant soit égale à celle des courants dans les bras adjacents. La mesure du courant avec résistances shunt est une technique très simple mais en revanche sa mise en place occuperait encore plus d'espace sur le circuit imprimé. Pourtant, la régulation de courant dans chaque bras est nécessaire au cas où il y a des imperfections au niveau des résistances des conducteurs dans le coupleur magnétique et les pistes de chaque phase à cause des différences dans leurs géométries.

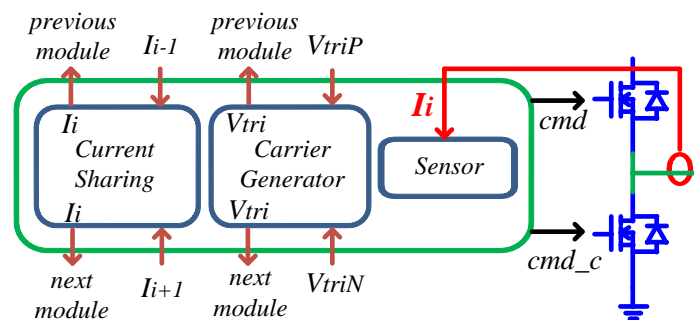


Figure IV.5 – Structure d'un module de la partie de commande [Zil13]

Ce module a été réalisé avec des circuits analogiques dont la structure est présentée et expliquée en détails dans la thèse de [Xio13]. La puce de la commande contient 6 modules de commande de signaux PWM complémentaires dont l'un était prévu pour des tests. La puce a été réalisée en utilisant la même technologie AMS A35B4 pour qu'elle soit compatible avec la puce de la partie primaire de puissance. La Figure IV.6 illustre le layout de la commande.

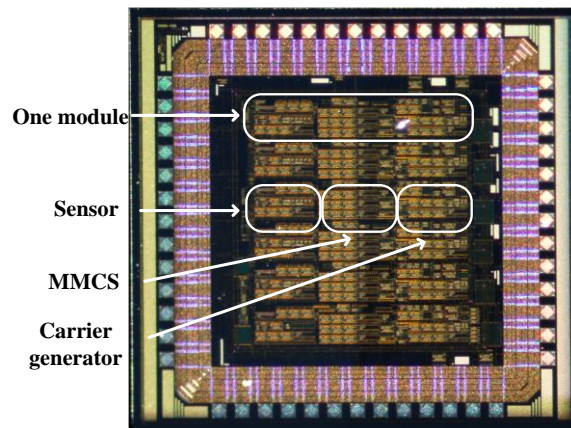


Figure IV.6 – Layout de la puce de commande [Zil13]

Ainsi, la surface de la puce de la commande est  $6,7\text{mm}^2$  (2,6mm de largeur et 2,6mm de longueur), ce qui fait approximativement  $2/3$  de la surface de la puce de puissance. Il existe également un risque d'augmentation de la surface occupée par les interconnexions à cause des 52 plots dont la puce de la commande dispose. Pour créer alors une cellule élémentaire plus compacte, il sera indispensable d'intégrer le module de la commande et le module de la puissance dans la même puce.

### IV.2.2.2 REALISATION DU COUPLEUR MAGNETIQUE

La réalisation du coupleur magnétique a été faite au laboratoire Ampère à Lyon. Pour le premier prototype du transformateur, les deux pièces complémentaires de matériau 3F4 (de bobinage et de capot) réalisées par usinage pour ce qui est l'ouverture des fenêtres de bobinage et dépôt électrochimique de cuivre pour la réalisation des bobinages ont été fixées par de points de colle retirable. La Figure IV.7 montre une photo du capot du coupleur et la Figure IV.8 montre une photo de son assemblage.

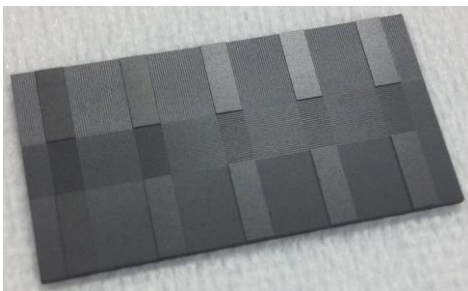


Figure IV.7 – Pièce supérieure du coupleur (le capot)

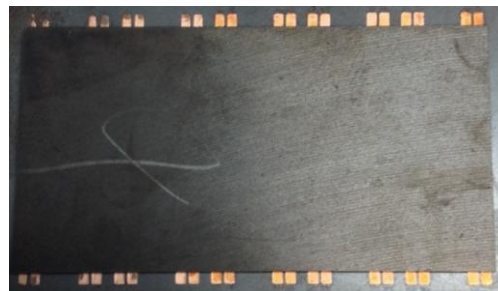


Figure IV.8 – Assemblage du coupleur

Les dimensions du composant magnétique réalisé sont 21,5mm de largeur et 37mm de longueur. Ces dimensions sont très grandes et elles vont définir la taille de la cellule élémentaire. Il s'avère alors que les dimensions du premier prototype ne seront pas optimisées. Les paramètres du coupleur sont à caractériser avec la mise en œuvre du convertisseur entrelacé.

### IV.2.2.3 ASSEMBLAGE ET CARACTERISATION

La première réalisation de la cellule élémentaire doit être focalisée sur la validation et la caractérisation du module de la commande, de la partie active de puissance et du coupleur. Pour cette raison les travaux sur l'intégration de la partie secondaire de puissance seront menés ultérieurement. Un compromis au niveau du rendement de la structure peut être fait en mettant en place des diodes au lieu des transistors pour simplifier le montage et ne pas mettre en place une commande pour le module secondaire de puissance qui doit aussi être synchronisé avec la commande de la partie primaire. En revanche, la structure sera pénalisée au niveau de sa réversibilité et elle ne pourra fonctionner que comme abaisseuse de tension. Aujourd'hui toutes les briques sont prêtes mais n'ont pas pu être associées dans le cadre de cette thèse faute de temps. Cela constituera une des premières perspectives de ce travail.

## IV.3. MISE EN ŒUVRE D'UN CONVERTISSEUR DE 3 CE

Un premier prototype d'un réseau de micro-convertisseurs permettant de réaliser un circuit de déverminage a été envisagé. Il est composé de 3 cellules élémentaires DAB. L'objectif étant d'analyser le comportement des trois convertisseurs fonctionnant ensemble, le circuit d'aiguillage n'a pas été mis en place mais la reconfiguration des convertisseurs est possible de façon manuelle en soudant leurs pistes d'entrée et de sortie. Par conséquent, tous les types de configurations sont faisables SISO (série input/serial output), SIPO et PISO pour une puissance maximale de 30W. Le cahier de charges de ce prototype est donné dans le Tableau IV.2:

Tableau IV.2 – Caractéristiques du RuC de 3 CE

Tension d'entrée/sortie minimale, $V_E/V_S$	4V
Tension d'entrée/sortie maximale, $V_E/V_S$	15V
Courant maximal, $I$	2A
Fréquence maximale, $f$	1MHz

La commande de ce convertisseur peut aussi être faite avec un microcontrôleur de la série PIC24 [Micro] mais cette fois mis en place au niveau du circuit imprimé afin de réduire au maximum toute perturbation au niveau de la commande. Les parties primaire et secondaire des trois cellules élémentaires sont pilotées avec les mêmes signaux PWM complémentaires, le déphasage pouvant être ajusté à l'aide d'un bouton poussoir qui incrémente celui-ci à chaque impulsion. Compte tenu du fait que les cellules élémentaires à l'entrée du réseau sont référencées à des potentiels différents puisqu'elles peuvent être connectées en série, leurs signaux de commande doivent être isolés. Dans ce cas, l'isolation capacitive a été choisie (voir Figure IV.9). Les signaux au secondaire sont aussi isolés par un couplage capacitif.

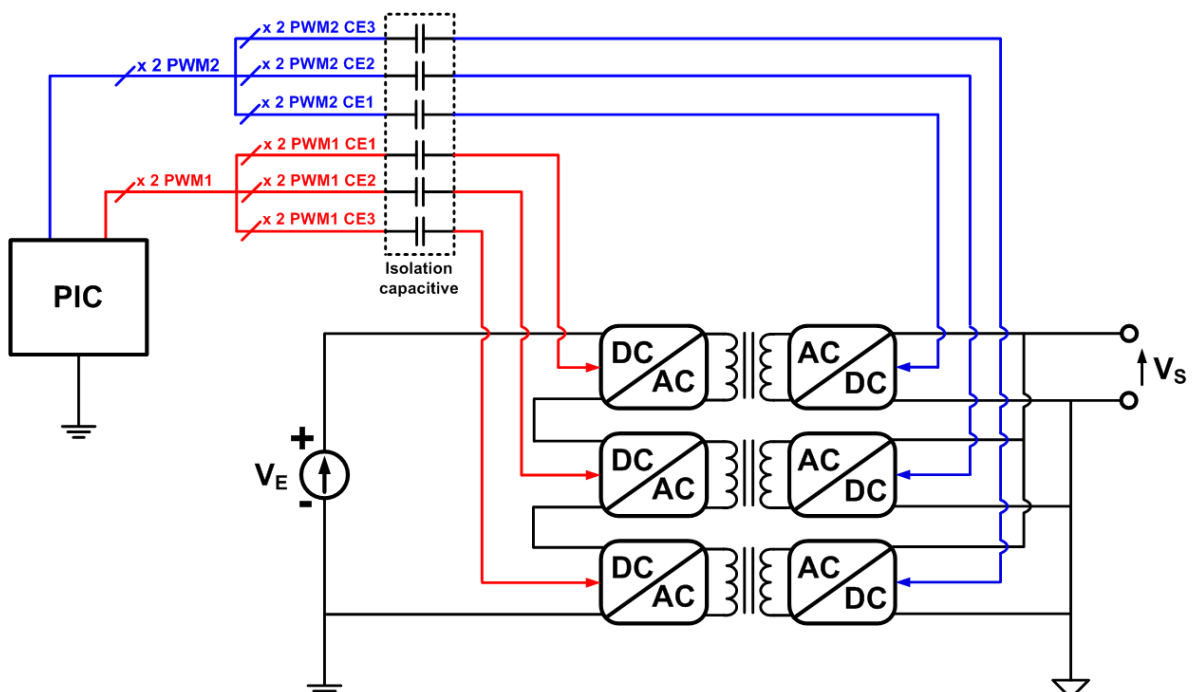


Figure IV.9 – Schéma de la distribution des commandes dans le convertisseur SIPO 3CE

### IV.4. MISE EN ŒUVRE D'UN RESEAU DE 5 CE

Compte tenu du nombre limité de puces dont nous disposons, un réseau de micro-convertisseurs avec 5 cellules élémentaires type DAB pour une puissance de 50W peut être réalisé afin de tester le fonctionnement du circuit d'aiguillage. Les 5 cellules seront associées en SIPO et un circuit d'aiguillage réalisé par une puce dont tous les bras sont connectés en parallèle sera mis en place pour chaque CE. Le fait de ne pas utiliser les bras d'onduleur intégrés dans les puces permettra de pouvoir bien observer et analyser plusieurs points

critiques au niveau du montage. Les caractéristiques de ce RuC sont présentées dans le Tableau IV.3

Tableau IV.3 – Caractéristiques du RuC de 5 CE

Tension d'entrée/sortie minimale, $V_E/V_S$	4V
Tension d'entrée/sortie maximale, $V_E/V_S$	25V
Courant maximal, $I$	2A
Fréquence maximale, $f$	1MHz

### IV.4.1 STRATEGIES DE COMMANDE ET CONFIGURATION

La commande de ce prototype est plus complexe à mettre en œuvre puisqu'il est nécessaire d'assurer 5 signaux PWM complémentaires pour piloter les parties primaires de puissance, 5 signaux PWM complémentaires pour piloter les parties secondaires de puissance ainsi que 5 signaux pour les 5 ordres de commande des circuits d'aiguillage. Cela rend le routage du circuit imprimé plus dense et plus complexe, ce qui nous amenera à avoir des pistes de commande et de puissance ayant des géométries différentes et, par conséquent, conduit à augmenter leurs résistances et à déséquilibrer les cellules élémentaires. Dans ce cas, un contrôle du déphasage de chacune des cellules élémentaires sera nécessaire afin de pouvoir gérer indépendamment leur point optimal de fonctionnement et équilibrer les pertes. Par conséquent, le système complet aura besoin de 25 signaux en total pour qu'il soit correctement piloté (voir Figure IV.10).

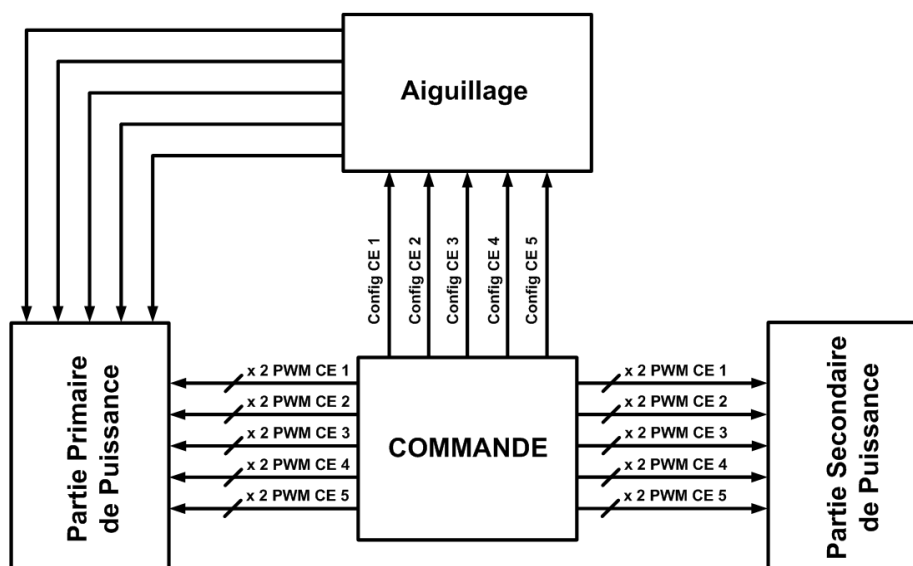


Figure IV.10 – Signaux de la commande pour le système complet

Pour simplifier et optimiser les interconnexions et la commande l'organe de commande sera référencé au potentiel de la partie secondaire de puissance. Dans ce cas, le même signal PWM complémentaire sera utilisé pour la partie secondaire de puissance de toutes les cellules élémentaires (voir Figure IV.11). Ceci supprime automatiquement 8 signaux de commande et de plus, il ne sera pas nécessaire d'assurer une isolation pour la commande des parties secondaires, ce qui va aussi diminuer le nombre de composants sur le circuit imprimé.

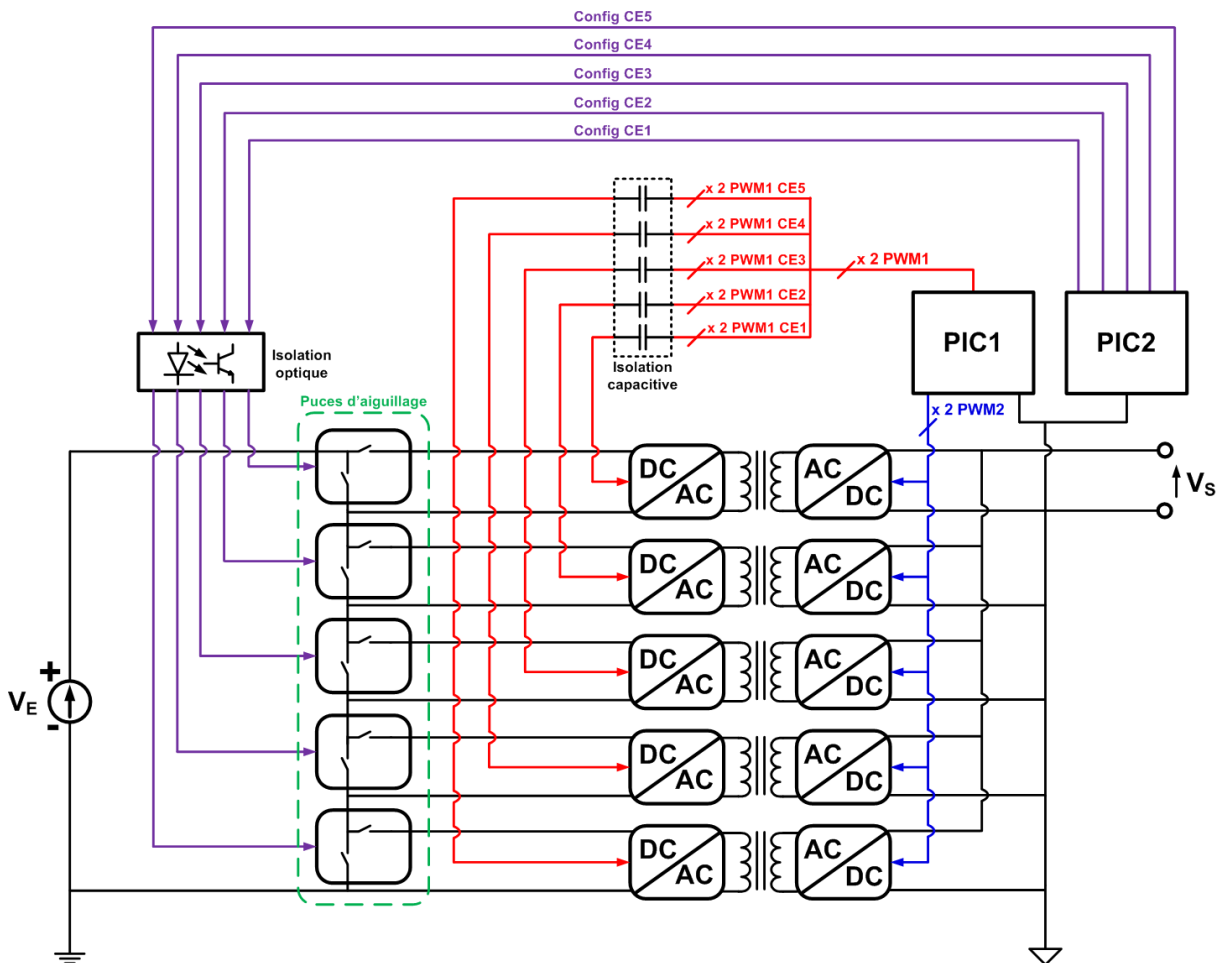


Figure IV.11 – Schéma de la commande du système complet

Pour gérer le déphasage au niveau de chaque cellule élémentaire il sera nécessaire de déphaser les signaux PWM envoyés aux parties primaires de puissance. Un microcontrôleur de la gamme dsPIC33 pouvant générer jusqu'à 7 paires de PWM pourra être mis en place afin de générer toutes les paires de PWM. 5 paires de PWM dont le déphasage peut être programmé par le microcontrôleur seront dédiées à la génération de la commande de la partie primaire de toutes les cellules élémentaires et une paire sera dédiée à leurs parties secondaires. De cette façon, toutes les parties secondaires de puissance fonctionneront en phase tandis que

le déphase sera réglé indépendamment au niveau des parties primaires de puissance. En ce qui concerne la commande des circuits d'aiguillage, un deuxième microcontrôleur de la même famille sera mis en place afin de pouvoir générer les signaux d'aiguillage. La mise en place de deux microcontrôleurs est une solution simple surtout en termes de programmation et de gestion des déphasages et de la fréquence des signaux PWM.

L'isolation des signaux PWM peut être faite avec un couplage capacitif, ce qui est la solution la plus simple pour cette application. Compte tenu du fait que la commande du circuit d'aiguillage est soit 1 logique soit 0 logique, nous ne pouvons plus utiliser l'isolation capacitive puisque les condensateurs filtrent la composante continue des signaux et ne laissent passer que la composante alternative. Dans ce cas, il sera nécessaire de mettre en place une isolation optique. Les optocoupleurs sont bien appropriés pour cette application puisqu'ils peuvent transmettre n'importe quelle forme du signal. Bien que leur fréquence de fonctionnement et leur temps de propagation ne soient pas élevés, nous pouvons les utiliser pour les commandes des circuits d'aiguillage.

### **IV.4.1.1 ROTATION DES CELLULES ELEMENTAIRES**

Le signal logique dédié aux circuits d'aiguillage peut être utilisé pour les faire commuter. De cette façon, il est possible de forcer les cellules élémentaires à fonctionner à des puissances plus élevées (en régime de sur-courant) quand toutes les cellules élémentaires ne sont pas utilisées. Si elles sont entrelacées de façon à toujours avoir un instant où chacune se retrouve ilotée ou en état de repos leur température va diminuer grâce à la convection naturelle pendant cette phase. Ce mode d'entrelacement s'appelle rotation des cellules élémentaires et la Figure IV.12 illustre son principe pour une cellule élémentaire « overloaded ».

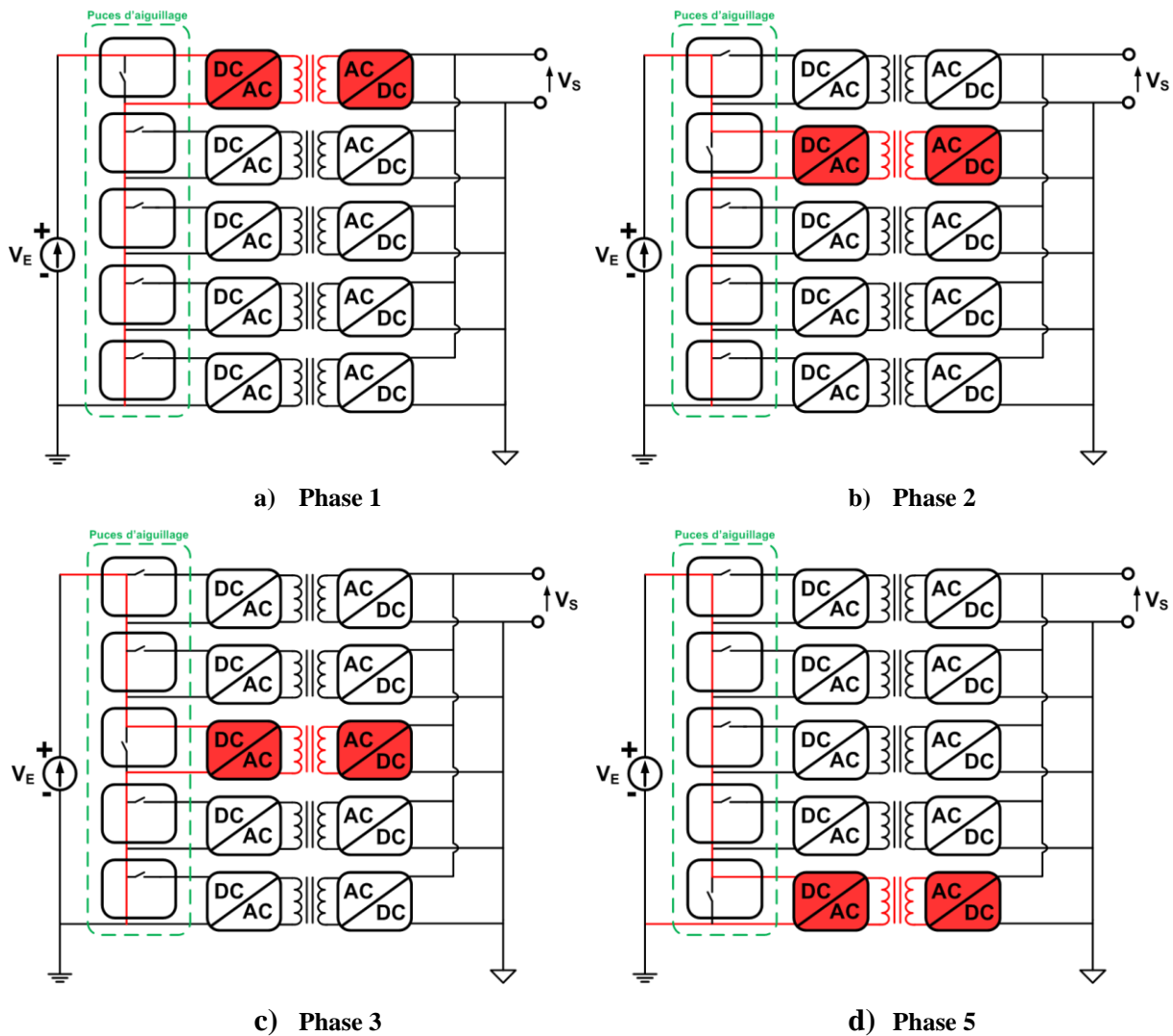


Figure IV.12 – Rotation d'une cellule élémentaire « overloaded »

La Figure IV.13 illustre une image qualitative du cycle thermique en mode temporel des puces dans la cellule élémentaire pendant la rotation en régime permanent et en convection naturelle.  $T_{NOMi}$  est la température la plus basse que les puces peuvent atteindre pendant leur régime de repos, c'est-à-dire quand elles sont ilotées. La capacité et la résistance thermique des cellules élémentaires étant fixes, la température des cellules élémentaires dépend de la puissance moyenne et donc de la puissance maximale qu'elles doivent transférer et du rapport cyclique  $\delta$  de leur utilisation. Par exemple, pour une valeur fixe de sur-courant, plus le rapport cyclique d'utilisation des cellules élémentaires augmente, plus la température  $T_{NOM}$  est élevée.



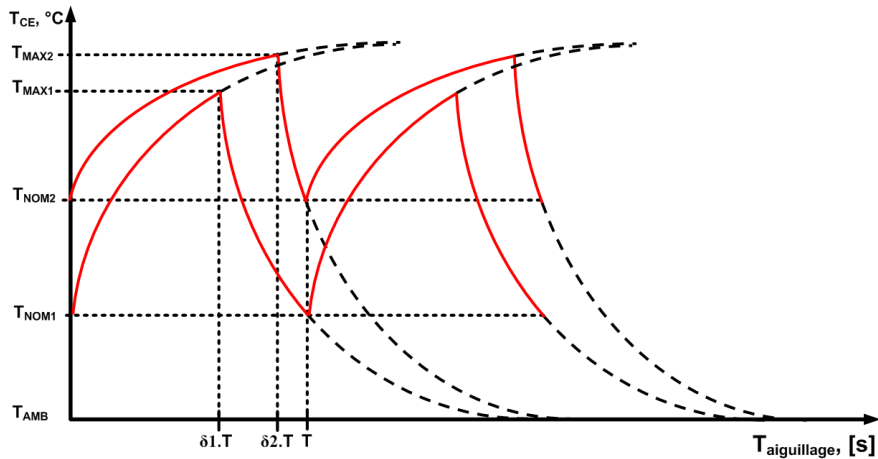


Figure IV.13 – Cycle thermique des puces dans une cellule élémentaire « overloaded »

Cette stratégie de commande permet de gérer la température des cellules élémentaires en convection naturelle au cas où une ou plusieurs d'entre elles ne sont pas utilisées. La fréquence optimale de rotation peut être déterminée par des mesures de la température pour différentes valeurs du courant et pour différent nombre de cellules élémentaires qui fonctionnent dans le régime de sur-courant. Néanmoins, bien que la température puisse être contrôlée pour des plus fortes valeurs du courant, les pertes cuivre dans le transformateur augmentent aussi. Les pertes fer restent les même puisqu'elles dépendent de l'ondulation du courant magnétisant qui est fixe.

### IV.4.1.2 ENTRELACEMENT DES CELLULES ELEMENTAIRES

En s'inspirant du principe de rotation des cellules élémentaires, le design du réseau de micro-convertisseurs peut aussi être fait de façon à pouvoir rajouter une inductance en amont du circuit d'aiguillage (voir Figure IV.14). Si nous faisons commuter les interrupteurs dans les circuits d'aiguillage, nous obtenons un montage boost à l'entrée du réseau de micro-convertisseurs.

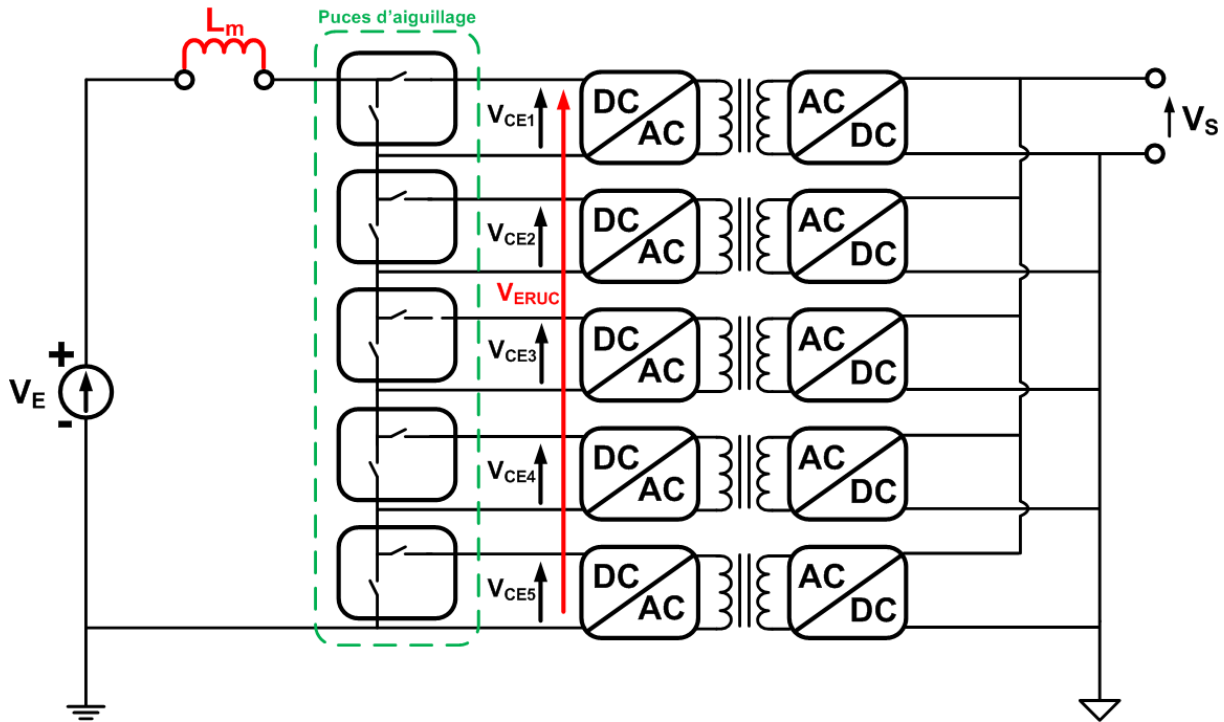


Figure IV.14 – Schéma du réseau de micro-convertisseurs

Dans ce cas, si  $\delta$  est le rapport cyclique du circuit d'aiguillage, la tension à l'entrée du RuC en mode de conduction continue sera donnée par l'expression (IV.1) :

$$V_{ERUC} = \frac{V_E}{(1-\delta)} \quad (IV.1)$$

La tension à l'entrée de chaque cellule élémentaire  $V_{CEi}$  sera donc donnée par l'équation (IV.2) :

$$V_{CEi} = \frac{V_E}{(1-\delta) \cdot N} \quad (IV.2)$$

$N$  – nombre des cellules élémentaires associées en série à l'entrée du RuC.

Par conséquent, la plage de tension à l'entrée du réseau de micro-convertisseurs peut être étendue en fonction du  $\delta$  variant de 0 à 1 à une échelle dont la précision dépend de la commande. Il faut quand même éviter que la tension au niveau de chaque cellule élémentaire soit plus élevée de 5V, ce qui produirait la destruction des puces. Ce montage offre un

avantage par rapport à la taille et le volume de l'inductance. L'équation de base pour le dimensionnement de l'inductance, est donnée par la formule (IV.3) :

$$L_m = \frac{(V_E - N \cdot V_{CEi}) dt}{di_L} = \frac{(V_E - N \cdot V_{CEi}) \cdot \delta \cdot T_{aiguillage}}{\Delta I_L} \quad (IV.3)$$

$T_{aiguillage}$  – période de découpage des interrupteurs dans le circuit d'aiguillage ;

$\Delta I_L$  – ondulation de courant dans l'inductance.

En entrelaçant les commandes des circuits d'aiguillage avec un angle de déphasage égal à  $\varphi=2\pi/N$ , la fréquence apparente dans l'inductance va augmenter de  $N$  fois, ce qui va réduire sa valeur et sa taille. De plus, la tension au niveau de l'inductance sera égale à la tension d'entrée divisée par le nombre de cellules élémentaires entrelacées à la sortie de l'étage boost. Par conséquent, sa valeur sera réduite d'encore  $N$  fois comme le montre l'équation (IV.4) :

$$\frac{L_m}{N^2} = \frac{V_{CEi} \cdot \delta \cdot (1-\delta) \cdot T_{aiguillage}}{N \cdot \Delta I_L} \quad (IV.4)$$

Les optocoupleurs traditionnels peuvent fonctionner à une fréquence allant jusqu'à 80kHz selon leur documentation technique. En faisant commuter les circuits d'aiguillage à cette fréquence, la fréquence apparente au niveau de l'inductance sera de 400kHz et par conséquent une valeur de  $L_m=25\mu\text{H}$  pour un rapport cyclique de  $\delta=0,5$  et une ondulation de courant de  $\Delta I_L=0,5\text{A}$ . En variant le rapport cyclique de la commande d'aiguillage, nous pouvons avoir une plus grande flexibilité au niveau de la tension d'entrée et une résolution plus fine (pas multiple de 4 ou 5 V).

### IV.5. CONCLUSION

Dans ce chapitre nous avons abordé les perspectives à court terme concernant la réalisation et la mise en œuvre d'un réseau de micro-convertisseurs. Les modules de commande et les composants passifs étant réalisés, il ne reste qu'à reporter les puces sur le circuit imprimé pour assembler et caractériser les convertisseurs et concevoir les premiers prototypes du RuC. La structure entrelacée offre un bon champ d'études et de développement

de différentes stratégies de commande et de régulation mais en revanche, elle est pénalisée par sa complexité et son volume. Le coupleur magnétique étant difficile à réaliser, fait que ses dimensions sont importantes et ceci ne correspond pas aux besoins de taille de la cellule élémentaire bien que la commande et la partie active de puissance puissent être intégrées dans la même puce. De plus, la réalisation de la partie secondaire de puissance et sa synchronisation avec la partie primaire de puissance s'avère une tâche difficile à réaliser dans un premier temps. Il est aussi nécessaire de trouver une solution compacte et isolée pour synchroniser les deux parties de puissance de façon à ce que le convertisseur soit aussi réversible en transfert d'énergie. Toutefois la réalisation d'un redresseur autonome intégré est possible [Rai06]. Par conséquent, la cellule élémentaire basée sur la structure du convertisseur DAB a été retenue pour la réalisation des premiers prototypes du réseau de micro-convertisseurs. Son faible volume correspond bien aux attentes en termes de densité de puissance (11kW/l).

Un premier réseau de micro-convertisseurs de déverminage composé de trois cellules élémentaires dont les connexions peuvent être faites manuellement par soudure des pistes a été d'abord proposé. Cela nous permettra d'étudier et d'analyser le fonctionnement des cellules élémentaires dans les associations SIPO et PISO.

Un deuxième réseau de micro-convertisseurs composé de 5 cellules élémentaires a aussi été proposé. Sa structure plus complexe permet d'exploiter le circuit d'aiguillage en mettant en place de stratégies de commande et de configuration qui rendent le R $\mu$ C encore plus flexible en termes d'utilisation. Ceci consiste en l'augmentation du calibre en courant des cellules élémentaires et leur gestion thermique par un principe de commande rotationnelle au cas où toutes les cellules élémentaires dans le R $\mu$ C ne sont pas utilisées.

L'entrelacement du circuit d'aiguillage permet d'augmenter l'excursion de la tension d'entrée dans un circuit SIPO et de la tension de sortie d'un circuit PISO. La mise en place d'une simple inductance en amont du circuit d'aiguillage, crée un étage de convertisseur boost. Toutefois, la valeur de cette inductance reste réduite, puisque, d'une part, l'entrelacement augmente la fréquence apparente vue au niveau de celle-ci et, d'autre part, la variation de la tension au niveau de celle-ci sera égale à la tension aux bornes d'une cellule élémentaire.

Toutes ces perspectives sont réalisables dans des délais courts une fois que la puce sera reportée sur le circuit imprimé. Cela nous permettra de faire des tests du R $\mu$ C avec des dimensionnements concurrents et de quantifier l'intérêt de sa mise en œuvre. Elles n'ont malheureusement pas été conduites durant cette thèse en raison de multiples difficultés rencontrées lors de la mise en œuvre de ces puces. La dernière année de thèse a été consacrée presque exclusivement au report par flip-chip de cette puce sur PCB et finalement nous avons pu aboutir à une réalisation qui, à grande échelle, permettrait une réalisation fiable d'un R $\mu$ C mais avant tout, il sera nécessaire de caractériser le convertisseur DAB en version flip-chip que nous avons reçu tout à la fin de ces travaux. Enfin, les solutions de repli que nous avons imaginées, basées sur l'utilisation de nos puces encapsulées dans des boîtiers QFN n'ont pas plus été un succès puisque sur la centaine réalisées toutes sont défailtantes et ne permettent pas une quelconque validation. Cette phase aura été une réelle difficulté dans ce travail mais heureusement, nous voyons maintenant poindre des solutions qui permettront cette réalisation.

### CONCLUSION GENERALE ET PERSPECTIVES

Ces travaux de thèse ont porté sur la conception et la réalisation d'un réseau de micro-convertisseurs conçu à partir d'un composant générique appelé « cellule élémentaire ». Nous avons présenté cette approche dans le contexte de sa mise en place dans quelques applications courantes telles que les convertisseurs d'alimentation de type VRM, les systèmes de gestion des batteries et les structures d'électronique de puissance pour les systèmes photovoltaïques afin de démontrer l'apport de cette approche mais aussi les contraintes inhérentes qui lui sont associés. Pour rendre viable le R $\mu$ C, il était d'abord nécessaire d'optimiser la cellule élémentaire puisque ses caractéristiques conditionnent les performances du réseau entier, à savoir l'amélioration de son rendement et la réduction de son volume. La réalisation des composants passifs étant déjà faite dans des travaux précédents, une part importante des travaux de cette thèse a consisté en la conception et le design du module actif de puissance en vue de son report, "puce nue", sur un substrat type circuit imprimé tout en prenant en compte les contraintes électriques et thermiques.

La conception d'une puce de puissance a été faite pour répondre à un cahier des charges 5V/2A/1MHz. Etant composée de 10 bras d'onduleur configurables par un routage des pistes au niveau du circuit imprimé. La puce peut être mise en œuvre dans les différentes structures de conversion à savoir l'onduleur en pont complet, le hacheur et les convertisseurs entrelacés. Son layout a été fait de façon à réduire toute résistance d'amenée du courant et de répartir uniformément les contraintes électriques et thermiques au niveau de chaque bras d'onduleur.

Le fait que tous les bras d'onduleur puissent être pilotés indépendamment, donne la possibilité de réaliser de multiples configurations de conversion, incluant par exemple, un circuit d'aiguillage en amont de chaque cellule. Cette approche, liée à une mise en œuvre de la cellule élémentaire dans un réseau de micro-convertisseurs, donne des degrés de liberté supplémentaires dans la configuration de celui-ci. Le circuit d'aiguillage offre des fonctionnalités originales comme la variation du rapport de transformation, la rotation et l'entrelacement des cellules élémentaires et peut être une piste pour améliorer la fiabilité du réseau.

## **Conclusion générale et perspectives**

Le design de la puce a été également pensé de façon à gérer et optimiser les contraintes thermiques. Le layout a été dessiné en prenant en compte les normes de réalisation des circuits imprimés de type FR4 afin que la puce puisse être reportée par flip-chip. Ce type d'assemblage présente quelques avantages en regard de l'optimisation des performances du module actif de puissance de la cellule élémentaire. Il s'agit notamment de la réduction des résistances de contact et des inductances parasites qui existent dans les montages avec des fils de bonding. De plus, le contact avec le PCB se fait via les plots de la puce qui peuvent alors être utilisés pour drainer la chaleur qui sera ensuite évacuée par les pistes du circuit imprimé. Pour optimiser la surface des pistes du circuit imprimé nécessaire pour évacuer la chaleur par convection naturelle, un modèle thermoélectrique a été développé. Celui-ci permet de faire un calcul au premier ordre de la température de la puce en fonction des pertes, des dimensions du circuit imprimé et des pistes de cuivre en régime de convection naturelle comme en régime de convection forcée.

Pour rendre viable cette approche, il est nécessaire trouver la technologie la plus appropriée pour l'assemblage par flip-chip. Des nombreux procédés sont proposés par les industriels comme l'assemblage par collage, la thermocompression, l'ultrason, la brasure etc. La puce ayant 70 plots, cela rend son report délicat. Dans ce cas, plus d'énergie est nécessaire pendant la phase de report pour faire fondre correctement tous les stud bumps afin de réaliser un montage de bonne qualité en termes de résistances de contact et de fiabilité. Les tests réalisés pour les différentes technologies montrent clairement cette difficulté, ce qui nous a permis de définir les points critiques pour l'assemblage par flip-chip. Néanmoins, malgré les durées importantes pour la réalisation, à la fin de ces travaux nous avons abouti à des résultats stables de report avec la technique par brasure. Cette dernière s'avère être pour l'instant la seule solution technologique pour la réalisation des prototypes de la cellule élémentaire et par conséquent du réseau de micro-convertisseurs.

Deux structures de la cellule élémentaire ont été proposées. La comparaison de leurs caractéristiques montre que le convertisseur DAB est plus optimal en termes de volume vis-à-vis des besoins du R $\mu$ C. Cette différence vient de la taille du coupleur magnétique qui est significative à cause du nombre de phases. De plus, même si un microcontrôleur est utilisé pour la commande du DAB qui a approximativement le même volume que la puce utilisée pour la commande du convertisseur entrelacé, le besoin de mettre en place des résistances

## **Conclusion générale et perspectives**

---

shunt pour asservir le courant de chaque phase augmente encore plus la complexité du routage au niveau du circuit imprimé et par conséquent sa surface.

Comme nous l'avons vu dans le troisième chapitre de cette thèse, un système PV distribué à base de micro-onduleurs, a été proposé pour distribuer les étages de conversion MPPT et DC/AC conventionnels au niveau de chaque élément de production PV. Cela revient à construire une architecture de mise en réseau par association série de convertisseurs élémentaires DC/AC revenant à mettre en série les éléments de production PV. Cette étude a permis de valider le fonctionnement et de démontrer les intérêts d'un réseau de micro-convertisseurs. De plus, des stratégies de contrôle et de commande de chaque micro-onduleur intégré au niveau de la face arrière des tuiles ont été proposées ce qui donne des pistes pour l'optimisation de la production d'énergie et le développement futur de ce type de système. Ce système PV distribué pourrait être compétitif sur le marché et pourrait remplacer les installations actuelles avec un onduleur central.

Cette thèse riche en thématique ouvre un champ de recherche pluridisciplinaire très important. Au niveau du report flip-chip de la puce nous savons déjà que le nombre de plots, les distances entre les plots et la température à laquelle un montage est soumis lors de l'assemblage par flip-chip sont déterminants en terme de résistance de contact et de fiabilité. Le report par brasure réalisé avec succès à la fin de ces travaux a donné les résultats les plus proches de ce que nous cherchons. Ceci déblocuera la réalisation des prototypes de la cellule élémentaire et du réseau entier. Cette technique de report peut aussi être testée avec différents alliages comme l'indium (In) par exemple qui a de propriétés physiques intéressantes comme sa basse température de fusion ( $120^{\circ}\text{C}$ ), un bon coefficient de dilatation thermique ( $30\mu\text{m}/\text{m.K}$ ) et une bonne conductivité thermique ( $80\text{W}/\text{m.K}$ ). Une autre voie peut être l'étude des types de substrat (céramique ou autre) pour faciliter le report.

En ce qui concerne la réalisation de la cellule élémentaire, il serait intéressant de pousser la réalisation du prototype complet basé sur la structure entrelacée pour pouvoir analyser son rendement et sa mise en réseau. Dans ce cas, il faudrait faire une étude sur la répartition des pertes dans chaque phase pour voir si la mise en place d'une instrumentation pour équilibrer les phases est vraiment indispensable et vérifier quelle serait l'origine d'un déséquilibre éventuel (disparités des pistes, des jambes du coupleur etc.). Il faudrait également proposer



## **Conclusion générale et perspectives**

---

une technique de commande et de synchronisation de ses parties primaire et secondaire de puissance pour pouvoir remplacer les diodes du côté secondaire et réduire encore les pertes.

Au niveau de la stratégie de configuration d'un réseau de micro-convertisseurs de type SIPO, il serait important de réaliser des prototypes intégrant le circuit d'aiguillage afin de quantifier son intérêt. Pour cela, il serait nécessaire de faire des tests avec des dimensionnements concurrents et voir s'il vaut mieux introduire un étage de conversion de plus comme le rajout d'un étage boost en amont de son entrée ou bien si il est plus rentable, en terme de rendement, de faire travailler le convertisseur DAB plus loin de son point de fonctionnement optimal. Une stratégie de commandes isolées moins consommatrice serait une autre voie à explorer.

Au niveau du système photovoltaïque distribué utilisant des micro-onduleurs en série, il y a un champ d'études en électronique de puissance, en raccordement du système au réseau et en stratégies de commande. En premier lieu, la réalisation d'un prototype avec un étage boost permettrait de comparer les deux structures en terme de volume, d'efficacité et de coût. Cette étude est aussi indispensable pour l'industrialisation de l'approche afin d'avoir une idée du prix d'un micro-onduleur dans le cas d'une fabrication en série de plus d'un million d'unités. Une chose est certaine, il sera indispensable d'intégrer la commande dans la puce pour éliminer le besoin de la mise en place d'un composant cher comme le microcontrôleur. Ensuite, il serait intéressant de développer de stratégies de commande des micro-onduleurs afin de contrôler la production et les échanges de puissance réactive entre les micro-onduleurs et entre les micro-onduleurs et le réseau en se basant sur les modes de réglage présentés dans le dernier chapitre de cette thèse. Il sera également nécessaire de développer une interface de synchronisation et contrôle des micro-onduleurs simple et peu coûteuse. Au final, il faudrait réaliser un prototype à l'échelle d'une installation résidentielle afin d'étudier, tester, valider et comparer son fonctionnement avec celui d'une installation classique

Tous ces travaux s'inscrivent dans une démarche de conception systématique visant à simplifier et généraliser l'emploi des structures génériques. Pour cela il faudra associer aux développements technologiques des outils logiciels, ce qui fait que le gros du travail est encore devant nous.





## BIBLIOGRAPHIE

[Ampère] Elias Haddad, "Technologie de mise en oeuvre d'un coupleur magnétique," *Post doc au Laboratoire Ampère de Lyon*

[ALT] <http://www.altium.com>

[AMS] <http://www.ams.com>

[Bai12] Baifeng Chen; Pengwei Sun; Chuang Liu; Chen, Chien-Liang; Jih-Sheng Lai; Wensong Yu, "High efficiency transformerless photovoltaic inverter with wide-range power factor capability," *Applied Power Electronics Conference and Exposition (APEC), 2012 Twenty-Seventh Annual IEEE*, vol., no., pp.575,582, 5-9 Feb. 2012

[Ber97] Bernard Eyglunet, "Manuel de thermique théorie et pratique", Hermès

[Bib10] Martins, O., "Méthodologie d'analyse thermique multi niveaux de systèmes électroniques par des modèles compacts", *Thèse de doctorat de l'Université de Grenoble*, Décembre 2010

[Bra06] Brau. J, INSA de Lyon, "Transferts de chaleur par convection", 2006

[Bou08] Bouhalli, N.; Sarraute, E.; Meynard, T.; Cousineau, M.; Laboure, E., "Optimal multi-phase coupled buck converter architecture dedicated to strong power system integration," *Power Electronics, Machines and Drives, 2008. PEMD 2008. 4th IET Conference on*, vol., no., pp.352,356, 2-4 April 2008

[Bou09] Bouhalli, N., "Etude et intégration de convertisseurs multicellulaires parallèles entrelacés et magnétiquement couplés," *Thèse de doctorat de l'Université de Toulouse*, Décembre 2009

[CAD] <http://www.cadence.com>

[Cae03] J. F.J.M.Caers, J.W.C. de Vries, X.J.Zhao, and E.H.Wong, "Some Characteristics of Anisotropic Conductive and Non-conductive Adhesive Flip Chip on Flex Interconnections", *Journal of semiconductor technology and science*, vol.3, no. 3, September, 2003

[Che12] Chen, K.; Hsu, I.; Chungfa Lee, "Chip-package-PCB thermal co-design for hot spot analysis in SoC," *Electrical Design of Advanced Packaging and Systems Symposium (EDAPS), 2012 IEEE*, vol., no., pp.215,218, 9-11 Dec. 2012

[Chi04] Chin, M.; Iyer, K.A.; Hu, S.J., "Prediction of electrical contact resistance for anisotropic conductive adhesive assemblies," *Components and Packaging Technologies, IEEE Transactions on*, vol.27, no.2, pp.317,326, June 2004

[Chi08] Melida Chin, S; Jack Su and James R. Barber, "Design Guidelines for Anisotropic Conductive Adhesive Assemblies in Microelectronics Packaging", *Journal of Electronic Packaging, Transactions of the ASME*, vol. 130, June, 2008

[Chi12] Chia-Pin Chiu; Je-Young Chang; Saha, S., "Thermal management of packages with 3D die stacking," *Microsystems, Packaging, Assembly and Circuits Technology Conference (IMPACT), 2012 7th International* , vol., no., pp.201,204, 24-26 Oct. 2012

[CMP] <http://www.cmp.imag.fr>

[Che04] Cheung Fai Lee; Mok, P.K.T., "A monolithic current-mode CMOS DC-DC converter with on-chip current-sensing technique," *Solid-State Circuits, IEEE Journal of* , vol.39, no.1, pp.3,14, Jan. 2004

[Cos07] Costan, V. "Convertisseurs parallèles entrelacés : Etude des pertes fer dans les transformateurs inter-cellules," *Thèse de doctorat de l'Université de Toulouse*, Octobre 2007

[Dea09] Deleage, O.; Crebier, J-C; Lembeye, Y., "Design and realization of autonomous power CMOS single phase inverter and rectifier for low power conditioning applications," *Power Electronics and Applications, 2009. EPE '09. 13th European Conference on* , vol., no., pp.1,10, 8-10 Sept. 2009

[Del09] Deleage, O., "Conception, réalisation et mise en œuvre d'un micro-convertisseur intégré pour la conversion DC/DC," *Thèse de doctorat de l'Université Joseph Fourier*, Novembre 2009

[Del11] Deleage, O.; Crebier, J.-C.; Brunet, M.; Lembeye, Y.; Hung Tran Manh, "Design and Realization of Highly Integrated Isolated DC/DC Microconverter," *Industry Applications, IEEE Transactions on* , vol.47, no.2, pp.930,938, March-April 2011

[Dju12] Djuric, S.; Stojanovic, G.; Damjanovic, M.; Radovanovic, M.; Laboure, E., "Design, Modeling, and Analysis of a Compact Planar Transformer," *Magnetics, IEEE Transactions on*, vol.48, no.11, pp.4135,4138, Nov. 2012

[Dou06] Dou, Guangbin; Whalley, D.C.; Changqing Liu, "The effect of co-planarity variation on anisotropic conductive adhesive assemblies," *Electronic Components and Technology Conference, 2006. Proceedings. 56th* , vol., no., pp.7 pp., 0-0 0

[Ete08] Etesam-Yazdani, K.; Asheghi, Mehdi; Hamann, H.F., "Investigation of the Impact of Power Granularity on Chip Thermal Modeling Using White Noise Analysis," *Components and Packaging Technologies, IEEE Transactions on* , vol.31, no.1, pp.211,215, March 2008

[Fab13] Mestrallet, F., "Architectures intégrées pour la gestion et la fiabilisation du stockage électrochimique à grande échelle," *Thèse de doctorat de l'Université de Grenoble*, Septembre 2013

[Farnell] <http://www.fr.farnell.com>

[Finetech] <http://www.finetech.de>

[Flipchip] <http://www.flipchips.com>

[Ferroxcube] <http://www.ferroxcube.com>

[For13] Forest, F.; Meynard, T.A.; Labouré, E.; Gelis, B.; Huselstein, J. -J; Brandelero, J.C., "An Isolated Multicell Intercell Transformer Converter for Applications With a High Step-Up Ratio," *Power Electronics, IEEE Transactions on* , vol.28, no.3, pp.1107,1119, March 2013

[Gamb] <http://gamberini.pagesperso-orange.fr/accueil.htm>

[Gou06] Gou-Jen Wang, Yi-Chin Lin and Gwo-Sen Lin, "A Novel Contact Resistance Model Of Anisotropic Conductive Film For FPD Packaging", TIMA Editions/DTIP of MEMS and MOEMS, Stresa, Italy, 26-28 April, 2006

[Guo12] Hu Guojun, "Comparison of copper, silver and gold wire bonding on interconnect metallization," *Electronic Packaging Technology and High Density Packaging (ICEPT-HDP), 2012 13th International Conference on* , vol., no., pp.529,533, 13-16 Aug. 2012

[Had12] Hadeed Ahmed Sher, Khaled E. Addoweesh, "Micro-inverters — Promising solutions in solar photovoltaics," *Energy for Sustainable Development*, Volume 16, Issue 4, December 2012, Pages 389-400

[Har12] Harb, S.; Balog, R.S., "Reliability of candidate photovoltaic module-integrated-inverter topologies," *Applied Power Electronics Conference and Exposition (APEC), 2012 Twenty-Seventh Annual IEEE* , vol., no., pp.898,903, 5-9 Feb. 2012

[HCM] <http://www.hcm-france.com>

[Hai13] Hai Thanh Phung, "Conception d'un équilibre de charge pour les batteries à base de réseau de micro-convertisseurs," *Thèse de doctorat de l'Université de Grenoble*, Décembre 2013

[Hdo09] Thai, H.D.; Deleage, O.; Chazal, H.; Lembeye, Y.; Rolland, R.; Crebier, J-C, "Design of Modular Converters; Survey and Introduction to Generic Approaches," *Applied Power Electronics Conference and Exposition, 2009. APEC 2009. Twenty-Fourth Annual IEEE* , vol., no., pp.1427,1433, 15-19 Feb. 2009

[Hdt09] Ha Dang Thai, "Réseaux de micro-convertisseurs," *Thèse de doctorat de l'Institut Polytechnique de Grenoble*, Décembre 2009

[Hen09] Henze, N. ; Koirala, B. P.; Sahan, B., "Study on mpp mismatch losses in photovoltaic applications", *24th European Photovoltaic Solar Energy Conference and Exhibition*, 2009

[Hiu12] Trinh, T.H. ; Rouger, N. ; Lembeye, Y., Crébier, J-C., "Convertisseur intégré pour les applications réseaux de micro convertisseurs," EPF 2012

[Hiu13] Trinh, T.H. "Réseaux de micro-convertisseurs, les premiers pas vers le circuit de puissance programmable," *Thèse de doctorat de l'Université de Grenoble*, Janvier 2013

[Int09] Voltage Regulator Module (VRM) and Enterprise Voltage Regulator-Down (EVRD) 11.1, *Intel Design Guidelines*, September 2009

[Interconnect] <http://www.icinterconnect.com>

[Jon05] Jong-Woong Kim, Seung-Boo Jung, "Optimization of shear test for flip chip solder bump using 3-dimensional computer simulation," *Microelectronic Engineering*, Volume 82, Issues 3–4, December 2005, Pages 554-560, ISSN 0167-9317

[Jon06] Jong-Woong Kim, Dae-Gon Kim, Seung-Boo Jung, "Evaluation of displacement rate effect in shear test of Sn–3Ag–0.5Cu solder bump for flip chip application," *Microelectronics Reliability*, Volume 46, Issues 2–4, February–April 2006, Pages 535-542, ISSN 0026-2714

[Kat04] Katayama, Y.; Edo, M.; Denta, T.; Kawashima, T.; Ninomiya, T., "Optimum design method of CMOS IC for DC-DC converter that integrates power stage MOSFETs," *Power Electronics Specialists Conference, 2004. PESC 04. 2004 IEEE 35th Annual*, vol.6, no., pp.4486,4491 Vol.6, 20-25 June 2004

[Kdd91] Kheraluwala, M.H.; DeDoncker, R. W.; Divan, D. M., "Power conversion apparatus for dc-dc conversion using dual active bridges", U.S patent, patent number 5,027,264, June 1991

[Kev11] Guepratte, K., "Onduleur triphasé à structure innovante pour application aéronautique," *Thèse de doctorat de l'Université de Grenoble*, Mars 2011

[Kol07] Kolar, J.W.; Drofenik, U.; Biela, J.; Heldwein, M.L.; Ertl, H.; Friedli, T.; Round, S.D., "PWM Converter Power Density Barriers," *Power Conversion Conference - Nagoya, 2007. PCC '07*, vol., no., pp.P-9,P-29, 2-5 April 2007

[Kut96] Kutkut, N.H.; Divan, D.M., "Dynamic equalization techniques for series battery stacks," *Telecommunications Energy Conference, 1996. INTELEC '96., 18th International*, vol., no., pp.514,521, 6-10 Oct 1996

[Lud03] Ludwig, M.; Duffy, M.; O'Donnell, T.; McCloskey, P.; Mathuna, S.C.O., "PCB integrated inductors for low power DC/DC converter," *Power Electronics, IEEE Transactions on*, vol.18, no.4, pp.937,945, July 2003

[Lui13] Lavado Villa, L. F., "Power Architectures and Control Systems Associated for the Management of Shadows in Photovoltaic Plants," *Thèse de doctorat de l'Université de Grenoble*, Octobre 2013

[Lux] <http://www.luxol.fr>

[Men09] Menager, L., "Contribution à l'intégration des convertisseurs de puissance en 3D", *Thèse de doctorat de l'Institut National des Sciences Appliquées de Lyon*, 2009

[Mey06] Meynard, T.; Forest, F.; Laboure, E.; Costan, V.; Cuniere, A.; Sarraute, E., "Monolithic Magnetic Couplers for Interleaved Converters with a High Number of Cells," *Integrated Power Systems (CIPS), 2006 4th International Conference on*, vol., no., pp.1,6, 7-9 June 2006

[Mey10] Meynard, T.; Cougo, B.; Forest, F.; Labouré, E., "Parallel multicell converters for high current: Design of intercell transformers," *Industrial Technology (ICIT), 2010 IEEE International Conference on*, vol., no., pp.1359,1364, 14-17 March 2010

[Microchip] <http://www.microchip.com>

[Micropacks] <http://www.pf-micropacks.org>

[Mkc12] Mestrallet, F.; Kerachev, L.; Crebier, J-C; Collet, A., "Multiphase interleaved converter for lithium battery active balancing," *Applied Power Electronics Conference and Exposition (APEC), 2012 Twenty-Seventh Annual IEEE* , vol., no., pp.369,376, 5-9 Feb. 2012

[Mlb09] Le Bolloch, M.; Cousineau, M.; Meynard, T., "Current-sharing control technique for interleaving VRMs using intercell transformers," *Power Electronics and Applications, 2009. EPE '09. 13th European Conference on* , vol., no., pp.1,10, 8-10 Sept. 2009

[Mul00] Mulugeta Abteu, Guna Selvaduray, "Lead-free Solders in Microelectronics," *Materials Science and Engineering: R: Reports*, Volume 27, Issues 5–6, 1 June 2000, Pages 95-141

[Neh11] C Neher, R L Lander, A Moskaleva, J Pasner, M Tripathi and M Woods, "Further developments in gold-stud bump bonding", *Topical Workshop on Electronics for Particle Physics*, 2011

[Nim10] Nimni, Y.; Shmilovitz, D., "A returned energy architecture for improved photovoltaic systems efficiency," *Circuits and Systems (ISCAS), Proceedings of 2010 IEEE International Symposium on* , vol., no., pp.2191,2194, May 30 2010-June 2 2010

[Pactech] <http://www.pactech.de>

[Pal12] Pala, V.; Han Peng; Wright, P.; Hella, M.M.; Chow, T. Paul, "Integrated High-Frequency Power Converters Based on GaAs pHEMT: Technology Characterization and Design Examples," *Power Electronics, IEEE Transactions on* , vol.27, no.5, pp.2644,2656, May 2012

[Pan02] Panov, Y.; Jovanovic, M.M., "Stability and dynamic performance of current-sharing control for paralleled voltage regulator modules," *Power Electronics, IEEE Transactions on* , vol.17, no.2, pp.172,179, Mar 2002

[Pan08] Panagis, P.; Stergiopoulos, F.; Marabeas, P.; Manias, S., "Comparison of state of the art multilevel inverters," *Power Electronics Specialists Conference, 2008. PESC 2008. IEEE* , vol., no., pp.4296,4301, 15-19 June 2008

[Par97] In Gyu Park; Seon Ik Kim; , "Modeling and analysis of multi-interphase transformers for connecting power converters in parallel," *Power Electronics Specialists Conference, 1997. PESC '97 Record., 28th Annual IEEE* , vol.2, no., pp.1164-1170 vol.2, 22-27 Jun 1997

[Pat02] Patwardhan, V.; Blass, D.; Borgesen, P.; Srihari, K., "Reliability issues in direct chip attach assemblies using reflow or no-flow underfill," *Electronics Manufacturing Technology Symposium, 2002. IEMT 2002. 27th Annual IEEE/SEMI International* , vol., no., pp.73,77, 2002



- [Ped05] Kjaer, S.B.; Pedersen, J.K.; Blaabjerg, F., "A review of single-phase grid-connected inverters for photovoltaic modules," *Industry Applications, IEEE Transactions on* , vol.41, no.5, pp.1292,1306, Sept.-Oct. 2005
- [Pet09] Petibon, S., "Nouvelles architectures distribuées de gestion et de conversion de l'énergie pour les applications photovoltaïques," *Thèse de doctorat de l'Université de Toulouse*, Janvier 2009
- [Rob07] Sandrine Roblot, "Caractérisation des couplages électromagnétiques dans les réseaux filaires cuivre en vue d'optimiser les transmissions à haut débit," *Thèse de doctorat de l'Université de Limoges*, 2007
- [Teo07] Kerekes, T.; Teodorescu, R.; Borup, U., "Transformerless Photovoltaic Inverters Connected to the Grid," *Applied Power Electronics Conference, APEC 2007 - Twenty Second Annual IEEE* , vol., no., pp.1733,1737, Feb. 25 2007-March 1 2007
- [Teo10] Teodorescu, R.; Rodriguez, P.; Liserre, M., "Power electronics for PV power systems integration," *Industrial Electronics (ISIE), 2010 IEEE International Symposium on* , vol., no., pp.4532,4614, 4-7 July 2010
- [Teo11] Kerekes, T.; Teodorescu, R.; Rodriguez, P.; Vazquez, G.; Aldabas, E., "A New High-Efficiency Single-Phase Transformerless PV Inverter Topology," *Industrial Electronics, IEEE Transactions on* , vol.58, no.1, pp.184,191, Jan. 2011
- [TI06] Charles Mauney, "Thermal Considerations for Surface Mount Layouts ", Texas Instruments Portable Power Supply Design, Seminar 2006
- [Trs12] Poshtkouhi, S.; Palaniappan, V.; Fard, M.; Trescases, O., "A General Approach for Quantifying the Benefit of Distributed Power Electronics for Fine Grained MPPT in Photovoltaic Applications Using 3-D Modeling," *Power Electronics, IEEE Transactions on* , vol.27, no.11, pp.4656,4666, Nov. 2012
- [Van11] The Van Nguyen; Jeannin, P.; Crebier, J-C; Schanen, J. -L, "A new compact, isolated and integrated gate driver using high frequency transformer for interleaved Boost converter," *Energy Conversion Congress and Exposition (ECCE), 2011 IEEE* , vol., no., pp.1889,1896, 17-22 Sept. 2011
- [Vig10] Vighetti, S., "Systèmes photovoltaïques raccordés au réseau : Choix et dimensionnement des étages de conversion," *Thèse de doctorat de l'Université de Grenoble*, Septembre 2010
- [Wal06] Walker, G.R.; Pierce, J.C., "PhotoVoltaic DC-DC Module Integrated Converter for Novel Cascaded and Bypass Grid Connection Topologies — Design and Optimisation," *Power Electronics Specialists Conference, 2006. PESC '06. 37th IEEE* , vol., no., pp.1,7, 18-22 June 2006

- [Wen10] Wensong Yu; Jih-Sheng Lai; Hao Qian; Hutchens, C.; Jianhui Zhang; Lisi, G.; Djabbari, A.; Smith, G.; Hegarty, T., "High-efficiency inverter with H6-type configuration for photovoltaic non-isolated ac module applications," *Applied Power Electronics Conference and Exposition (APEC), 2010 Twenty-Fifth Annual IEEE* , vol., no., pp.1056,1061, 21-25 Feb. 2010
- [Wib08] Wibben, J.; Harjani, R., "A High-Efficiency DC–DC Converter Using 2 nH Integrated Inductors," *Solid-State Circuits, IEEE Journal of* , vol.43, no.4, pp.844,854, April 2008
- [Xio13] Xiao Z., "Contrôle modulaire décentralisé – Application aux convertisseurs multi-phasés isolés entrelacés et magnétiquement couplés," *Thèse de doctorat de l'Université de Toulouse*, Novembre 2013
- [Yin11] Yingying Kuai; Chapman, P.L., "Comprehensive and practical optimization of voltage regulator modules," *Power and Energy Conference at Illinois (PECI), 2011 IEEE* , vol., no., pp.1,6, 25-26 Feb. 2011
- [YJ12] Yves Janot, "Transferts Thermiques", Cours transferts thermiques 2<sup>ème</sup> année, Ecole des Mines Nancy, 2012
- [Zha96] Zhang, M.T.; Jovanovic, M.M.; Lee, F.C., "Design considerations for low-voltage on-board DC/DC modules for next generations of data processing circuits," *Power Electronics, IEEE Transactions on* , vol.11, no.2, pp.328,337, Mar 1996
- [Zho12] Zhong, Q.; Hornik, T., "Conventional Synchronisation Techniques," Wiley-IEEE Pres, Edition 1, pp. 360 – 378, 2012