



**HAL**  
open science

## Qualification accélérée des composants SiP

C. Regard

► **To cite this version:**

C. Regard. Qualification accélérée des composants SiP. Electronique. Université Sciences et Technologies - Bordeaux I, 2010. Français. NNT: . tel-00990883

**HAL Id: tel-00990883**

**<https://theses.hal.science/tel-00990883>**

Submitted on 14 May 2014

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



# Thèse

PRÉSENTÉE À

## L'université de Bordeaux I

ÉCOLE DOCTORALE DES SCIENCES PHYSIQUES ET DE L'INGÉNIEUR

Par **Charles Regard**

Pour obtenir le grade de

**Docteur**

Spécialité : Électronique

## Qualification accélérée des composants SiP

Thèse dirigée par Hélène FRÉMONT

Soutenue le : 4 novembre 2010

### Devant la commission d'examen composée de :

Hélène FRÉMONT	Maître de Conférences HDR	Université de Bordeaux 1	Directrice de thèse
Christian GAUTIER	Ingénieur	Presto Engineering	Examineur
Jean-Pierre LANDESMAN	Professeur	Université de Nantes	Rapporteur
Mauro CIAPPA	Chercheur	Université de Zurich	Rapporteur
Geneviève DUCHAMP	Professeur	Université de Bordeaux 1	Examineur
Éric WOIRGARD	Professeur	Université de Bordeaux 1	Président du jury
Kaspar M.B. JANSEN	Professeur associé	Université de TU Delft	Examineur



# Résumé

NXP Semiconductor à Caen ayant des compétences dans le développement des technologies System in Package (SiP) et NXP Semiconductor à Eindhoven ayant une spécialité en qualification virtuelle, deux partenariats ont été mis en place pour réaliser une étude sur la qualification accélérée des composants SiP. Une thèse orientée simulations a été réalisée à l'université de Delft (Pays-Bas) par Xiaosong Ma et dirigée par Kaspar Jansen, en parallèle une thèse plus expérimentale a été réalisée avec l'université de Bordeaux 1 par Charles Regard, à Caen, et dirigée par Hélène Frémont. Ces deux thèses ont été effectuées en proche collaboration. Dans un premier temps, des véhicules de test ont été définis conjointement. Puis un ensemble de caractérisations des matériaux et de simulations a été mené à Delft, alors que des essais expérimentaux de qualification et des analyses de défaillance étaient menés à Caen. Tout au long de ces deux thèses, des échanges constants ont été entretenus afin de corréliser les simulations par les expérimentations. Ce besoin industriel d'étude sur la qualification des composants SiP vient de la très forte augmentation de l'intégration des fonctions au sein des équipements mobiles. En effet la technologie SiP permet de répondre dans des délais intéressants aux nécessités de miniaturisation imposées par ces nouveaux développements.

L'objectif de ce travail de thèse est donc **de mettre en place des méthodes et des techniques pour optimiser la qualification des composants System in Package (SiP).**

Une étude générale des essais accélérés, des techniques d'analyse de défaillance, des définitions de base de la fiabilité et des principaux mécanismes de défaillance des assemblages a été réalisée. Les différentes technologies SiP et une description des véhicules de test ont ensuite été présentées. Une étude bibliographique sur la classification des principaux mécanismes de défaillance et sur les méthodes d'analyse pour la localisation et l'observation des défauts a été détaillée. Le composant WLSiP de test dédié à l'étude de la fatigue des joints brasés est utilisé en vue de la définition de l'ensemble des paramètres idéaux autant en termes de matériaux que de schéma. Une recherche bibliographique ayant pour objectif l'identification de la matrice d'expérimentation et du plan d'expérience a été décrite.

---

Puis, le véhicule de test a été soumis à un ensemble d'essais virtuels par simulation numérique. Enfin un plan d'expérimentation basé sur des normes internationales suivi d'analyses de défaillance a permis de vérifier qu'une telle procédure de qualification permet de réduire fortement le temps nécessaire à la qualification d'une nouvelle technologie. Un outil de simulation permettant de prévoir la localisation de l'apparition de la délamination pour l'ensemble des technologies SiP a été proposé et validé par des études expérimentales sur la reprise de poids globale des composants en stockage humide et en cours de cycles thermiques. Après avoir introduit, pour les principaux polymères d'enrobage, les mécanismes de l'absorption, de la diffusion de l'humidité et l'impact de l'humidité sur leurs propriétés intrinsèques, une méthode a été identifiée pour prédire les zones critiques dans un SiP. À la suite des résultats expérimentaux, il a été confirmé que si les matériaux époxydes sont exposés à des températures qui excèdent la température de transition vitreuse, des modifications de la structure interne peuvent être engendrées agissant sur les mécanismes d'absorption. La comparaison de différentes conditions d'exposition a permis de montrer que la condition 85°C/85%RH est la plus efficace en ce qui concerne l'absorption d'humidité au niveau de la zone de délamination critique. Finalement des techniques de suivi in situ de l'intégrité des interfaces ont été proposées. Pour ce qui concerne le suivi de la fatigue des joints brasés, une méthode a été proposée pour mesurer in situ l'augmentation de la résistance série des diodes de protection ESD à la suite de la dégradation des billes. Il a, cependant, été montré, par simulation numérique, que la technique proposée n'est pas en mesure de détecter des fissurations partielles dans les billes. En ce qui concerne la délamination aux interfaces non conductrices, une technique basée sur l'analyse de la réponse thermique transitoire des diodes de protection ESD est proposée et appuyée par simulation numérique. Cependant, aucune corrélation évidente avec les données expérimentales n'a pu être montrée.





# **Thesis**

PRESENTED AT

## **University of Bordeaux I**

ÉCOLE DOCTORALE DES SCIENCES PHYSIQUES ET DE L'INGÉNIEUR

By **Charles Regard**

To get the grade of

**Doctor**

Spéciality : Electronics

## **Fast Reliability Qualification of SiP products**

Thesis directed by Hélène FRÉMONT

Defended the : 4<sup>th</sup> of november 2010



# Abstract

NXP Semiconductor at Caen, which has System in Package (SiP) technologies development competences and NXP Semiconductor at Eindhoven, which has virtual qualification specialization jointed to study fast reliability qualification of SiP products. A thesis focused on simulations started at TU Delft University (Netherlands) with Xiaosong Ma directed by Kaspar Jansen and another thesis focused on experimentation started at Bordeaux 1 University with Charles Regard directed by H el ene Fr emont. These thesis were lead on close collaboration. In a first time, the tests vehicles were defined by both the PhD students. Then materials characterizations and simulations were performed at TU Delft, and experimental qualification tests and physical analyses were performed in Caen. A long of these thesis, constant exchanges allowed to correlate simulations by experimentation. This industrial need of SiP product qualification study is due to the strong increase of functions integration into mobile equipments. Thus the SiP technology allows to provide in relative short time miniaturized products imposed by the new developments.

This thesis work's goal is **to get methods and techniques to optimize System in Package (SiP) reliability qualification.**

A general study of accelerated tests, failure analyses techniques, basic reliability definitions and major package failure mechanisms is presented. SiP technologies and test vehicles are described. A bibliographical study on classification of major failure mechanisms and analyses methods of failure localization and observation are also detailed. WLSiP component, dedicated to solder fatigue study, is used to define optimized material and design parameters. A bibliographical search to identify the experimental matrix and the design of experiment is described. Then a combination of virtual tests by numerical simulations is performed on the test vehicle. Finally a design of experiments based of international norms followed of failure analyses allowed to verify that such a qualification procedure leads to strongly reduce the time to qualify a new technology. A simulation tool to anticipate the localization of the delamination for the whole combination of SiP is proposed and validated by experimental studies on the global weight change during moisture and thermal cycling.

---

After introducing the absorption and diffusion mechanisms of major packaging resins and the impact of moisture on intrinsic properties, a predictive method is identified to localize critical zone in a SiP. After experimental results, it is confirmed that epoxy materials exposed to high temperature, above the glass temperature, can experiment some internal structure modifications modifying absorption mechanisms. Comparison between different exposition conditions allowed to demonstrate that the 85°C/85%RH condition is the most efficient about moisture absorption amount at the critical delamination location. Finally techniques for in situ control of surface integrity are proposed. About the control of the solder joints fatigue a method is proposed to measure the serial ESD diode resistance increase during solder degradation. By numerical simulation, is established that the technique proposed can not detect partial cracks into the joints. About the interfacial delaminations, a technique based on the transient thermal response of ESD diodes is proposed and reinforced by numerical simulations. Nevertheless, no obvious correlations with experimental data can be established.





# Remerciements

En premier lieu je tiens à remercier Monsieur Christian Gautier pour m'avoir accueilli au sein du laboratoire Quality and Analytical Services de NXP Semiconductors à Caen. Je le remercie de sa patience, de son calme, de sa persévérance, de son aide, de son soutien, qui au jour le jour m'ont permis de mener à terme ces travaux.

Je voudrais remercier, de la même façon, Madame Hélène Frémont, qui a dirigé cette thèse. Sa volonté, sa réactivité, ses connaissances toujours à propos et son suivi constant ont été décisifs tout au long de ce travail de recherche.

Je remercie Monsieur Jean-Pierre Landesman pour avoir rapporté sur ce travail de thèse et pour les précieux commentaires qui m'ont permis de finaliser ce document et Monsieur Mauro Ciappa pour avoir rapporté sur ce travail de thèse et d'avoir fait le déplacement jusqu'à Bordeaux depuis Zurich (Suisse) pour participer au jury de thèse.

Je remercie Monsieur Éric Woïrgard d'avoir assuré la présidence du jury de thèse et pour ses remarques concernant ce rapport, Madame Geneviève Duchamps d'avoir participé au jury de thèse et Monsieur Kaspar Jansen de s'être déplacé depuis Delft (Pays-Bas) pour participer au jury de thèse.

Je remercie aussi tous mes collègues et amis de NXP, pour les échanges, les conversations, qui ont rendu ces années très agréables.

Je remercie mes frères et sœurs en Christ, qui ont toujours prié pour moi. En particulier Pierre-Matthieu pour ses conseils

Je remercie toute ma famille pour sa présence et ses prières. En particulier ma maman pour son aide.

Je remercie Mônica, ma femme, qui a vécu la difficile charge de m'avoir à ses côtés dans les dépresses hebdomadaires de la thèse. Elle qui m'a encouragé et soutenu. Elle qui a toujours porté ma peine au trône de la grâce. Merci.

Enfin je remercie mon Seigneur, sans qui, rien n'aurait été possible.



# Table des matières

<b>Introduction générale.....</b>	<b>1</b>
<b>Chapitre I : Méthode de qualification.....</b>	<b>5</b>
<b>1 Introduction.....</b>	<b>5</b>
<b>2 Vie réelle et accélérée du composant et statistique associée.....</b>	<b>7</b>
2.1 Fonctions statistiques en fiabilité.....	8
2.2 Distributions de durée de vie.....	9
2.3 Énergie d'activation.....	13
2.4 Facteur d'accélération.....	14
2.5 Autres modèles.....	18
<b>3 Essais de qualification normatifs.....</b>	<b>18</b>
3.1 Détermination du niveau de sensibilité à l'humidité (MSLA).....	20
3.2 Cycles et chocs thermiques.....	21
3.3 Essais en humidité.....	22
3.4 Récapitulatif des essais de fiabilité.....	23
<b>4 Méthodes de qualification spécifique.....</b>	<b>23</b>
4.1 Qualification accélérée sur circuits de test.....	25
4.2 Qualification accélérée sur prototypes fonctionnels.....	27
4.3 Conclusion de la qualification accélérée.....	28
<b>5 Conclusion.....</b>	<b>28</b>
<b>Chapitre II : Technologies SiP.....</b>	<b>31</b>
<b>1 Introduction.....</b>	<b>31</b>
<b>2 Description des différentes technologies SiP.....</b>	<b>31</b>
2.1 Les modules en placement côte à côte.....	32
2.2 Les puces empilées avec des connexions filaires.....	33
2.3 Les assemblages en flip-chip.....	34
2.4 Les puces sans boîtier (WLP).....	34
<b>3 Description des mécanismes et de leurs modes de défaillance associés.....</b>	<b>35</b>
3.1 La corrosion.....	35
3.2 La fatigue thermomécanique.....	38
3.3 Délamination.....	40
<b>4 Description des véhicules de test.....</b>	<b>43</b>
4.1 Le WLSiP.....	44
4.2 Le SiP.....	44
<b>5 Outils d'analyses de défaillance utilisés dans cette thèse.....</b>	<b>45</b>
5.1 Le déroulement d'une analyse de défaillance.....	46
5.2 Les outils de localisation et d'observation des défaillances.....	48
<b>6 Conclusion.....</b>	<b>53</b>
<b>Chapitre III : Qualification accélérée sur circuit de test.....</b>	<b>55</b>
<b>1 Introduction.....</b>	<b>55</b>
<b>2 Facteurs influents de la fatigue des joints brasés.....</b>	<b>56</b>
2.1 Géométrie de la puce.....	57
2.2 Technologie d'underfill.....	59
2.3 Paramètres des cycles thermiques.....	61
2.4 Conclusion de l'étude bibliographique.....	64
<b>3 Qualification accélérée des joints brasés d'un WLSiP de test.....</b>	<b>65</b>
3.1 Objectif.....	65
3.2 Méthode de suivi dite « Daisy chain ».....	65
3.3 Banc et méthode de test.....	65
3.4 Qualification virtuelle.....	67

3.5 Plans d'expériences.....	69
3.6 Résultats expérimentaux.....	71
<b>4 Conclusion.....</b>	<b>81</b>

## **Chapitre IV : Qualification accélérée sur prototypes fonctionnels.....83**

<b>1 Introduction.....</b>	<b>83</b>
<b>2 Mécanismes et conséquences de l'absorption d'humidité.....</b>	<b>84</b>
2.1 Description des mécanismes d'absorption d'humidité.....	86
2.2 Impact de l'humidité sur les paramètres physiques des matériaux.....	90
2.3 Impact de l'humidité sur les forces d'adhésion.....	92
2.4 Contraintes hygromécaniques.....	93
2.5 Conclusion.....	95
<b>3 Caractérisation des matériaux élémentaires.....</b>	<b>95</b>
3.1 Méthodes de mesure du poids.....	96
3.2 Étuves d'exposition à des conditions précises.....	98
3.3 Reprise d'humidité en stockage humide.....	99
3.4 Risques liés au dépassement de la température de transition vitreuse.....	108
<b>4 Modélisation et simulation de l'absorption de l'humidité.....</b>	<b>116</b>
4.1 Simulation de la diffusion d'humidité.....	117
4.2 Calcul de la reprise de poids.....	119
4.3 Calcul de la concentration locale de l'humidité.....	121
4.4 Conclusion de la modélisation de l'absorption d'humidité locale.....	124
<b>5 Corrélation entre simulation et expérimentation.....</b>	<b>125</b>
<b>6 Conclusion.....</b>	<b>125</b>

## **Chapitre V : Proposition de méthodes de suivi électrique de la fatigue des joints brasés et de la délamination sur prototype fonctionnel.....129**

<b>1 Introduction.....</b>	<b>129</b>
<b>2 Méthodes existantes.....</b>	<b>130</b>
2.1 Suivi des joints brasés par la méthode JTAG.....	130
2.2 Caractérisation thermo-électrique.....	131
2.3 Conclusion des méthodes de suivi existantes.....	135
<b>3 Méthode de contrôle électrique via les diodes de protection ESD.....</b>	<b>136</b>
3.1 Les diodes ESD.....	136
3.2 Banc de caractérisation.....	138
3.3 Bilan.....	142
<b>4 Mise en œuvre pour le suivi de la fatigue des joints brasés.....</b>	<b>143</b>
4.1 Introduction.....	143
4.2 Mesures de répétabilité.....	144
4.3 Suivi des joints brasés.....	144
4.4 Conclusion et perspectives.....	151
<b>5 Mise en œuvre pour la détection de délaminations.....</b>	<b>152</b>
5.1 Introduction.....	152
5.2 Présentation de la méthode.....	153
5.3 Mesures de répétabilité.....	158
5.4 Exemple d'application.....	159
5.5 Simulations.....	163
5.6 Conclusion et perspectives.....	165
<b>6 Conclusion.....</b>	<b>166</b>

## **Conclusion générale.....167**

### **Références**

# Introduction générale

L'explosion de l'utilisation des technologies sans-fils (Bluetooth, WLAN, téléphone mobile) a contribué à une utilisation toujours plus importante de la technologie dite du système dans un boîtier (SiP). En 2000 les SiP étaient à peine mentionnés dans le National Electronics Manufacturing Initiative's (NEMI's), en 2002 le SiP était considéré comme une des plus fortes croissances dans les boîtiers électroniques. En 2002, la feuille de route de NEMI notait que le SiP était en train de devenir une technologie commune dans le domaine de la communication sans fil. Courant 2004, la technologie SiP s'est tellement développée qu'elle a été ajoutée à la feuille de route comme un nouveau groupe moteur de produits (un des sept), ces derniers sont utilisés pour définir les futurs besoins en production à travers toute la chaîne logistique de l'électronique [1].

Ceci témoigne que le SiP est une évolution technologique majeure dans le monde du semiconducteur, cependant il convient de définir ce qu'est un SiP. SiP est un acronyme de « System in Package », qui peut être traduit par « système dans un boîtier », nous pouvons aussi rencontrer les dénominations suivantes : « System-in-a-Package » ou « Multi-Chip Module » (MCM). Ces différentes dénominations font référence à un ensemble de circuits intégrés réunis dans un seul boîtier. En effet un SiP est caractérisé, selon l'ITRS (International Technology Roadmap for Semiconductors), par n'importe quelle combinaison de plus d'un composant actif au sein d'un boîtier [2]. Le SiP peut éventuellement réunir au sein du boîtier des technologies aussi diverses que des circuits actifs (CMOS, ...), des circuits passifs (Résistances, condensateurs, ...), des MEMS (MicroElectroMechanical Systems) et des composants optiques. L'objectif des SiP est de proposer un boîtier permettant d'assurer une ou plusieurs fonctions complexes en limitant la quantité de composants extérieurs supplémentaires. Cette optimisation est rendue possible par la combinaison de différentes technologies entre elles. De ce fait le SiP permet de réduire fortement la complexité des circuits imprimés, de simplifier leurs conceptions et de réduire leurs tailles. Cependant l'utilisation d'une telle technologie rend l'obtention de haut rendement plus difficile, en effet il suffit qu'un seul des circuits intégrés soit défectueux pour que l'ensemble soit défectueux [3].

## Introduction générale

---

La principale concurrente de la technologie SiP est la technologie SoC (System on Chip) et il y a beaucoup de discussions, voire même de confusions, pour savoir quelle technologie est la meilleure approche pour la conception de systèmes. Elles sont cependant très complémentaires. Le développement de nouveaux SoC nécessite un plus grand investissement que le développement des SiP. La réalisation d'un SiP se fait par association de plusieurs technologies déjà éprouvées dans un même système alors que le SoC est le développement d'un système à partir d'une seule technologie. De ce fait le SiP est souvent utilisé comme produit intermédiaire pendant que le SoC est en développement. Cela permet de produire rapidement et à moindre coût une ou deux versions d'un produit sous forme de SiP avant de réaliser une version finale en technologie SoC. Car avant de lancer la réalisation d'un SoC, il convient de s'assurer de la rentabilité de l'opération en volume de vente et en durée de vie du produit [1].

Hormis le rendement moins élevé lors de la fabrication, ces composants très complexes sont sujets de façon plus prononcée aux différents mécanismes de défaillance dont sont victimes les composants électroniques simples. Il y a en particulier deux causes principales de défaillance. Premièrement les différences de coefficient d'expansion thermique (CTE) au sein de l'assemblage. Ces différences de CTE conduisent, lors de contraintes thermiques à du gauchissement et de la délamination. Ce qui peut amener des mécanismes de défaillances tels que des puces cassées ou des joints de brasures fissurés [4]. En deuxième lieu vient l'absorption d'humidité par le boîtier. En effet depuis l'adoption massive du boîtier plastique, dans le monde du semiconducteur, les boîtiers ne sont plus hermétiques. En réalité les résines, à base d'époxyde, utilisées sont intrinsèquement hydrophiles et ont tendance à voir leurs propriétés se modifier alors qu'elles absorbent de l'humidité [5, 6]. Ces deux phénomènes ne sont pas apparus avec la technologie SiP, cependant cette technologie est d'autant plus sensible à ces déformations qu'elle rassemble, dans les boîtiers, des assemblages plus complexes. Les interactions au sein de l'assemblage sont nombreuses amenant des modes de défaillance nouveaux.

L'objectif proposé pour ce travail est de

<p><b>mettre en place des méthodes et des techniques pour diminuer le temps de qualification des composants SiP,</b></p>
--

ceci à l'aide d'essais optimisés par des simulations. Pour cela une équipe de travail a été constituée, composée d'une part d'un partenariat entre NXP et l'université de Bordeaux 1 pour effectuer des essais et des mesures de fiabilité d'un composant SiP et d'autre part d'un

partenariat entre NXP et l'université de Delft, aux Pays-Bas pour caractériser, modéliser et simuler tout ce qui se rapporte aux contraintes thermomécaniques et hygromécaniques sur le même composant. L'ensemble vise la mise en place de méthodes et de moyens pour une qualification accélérée des composants SiP, à la fois par des essais réels spécifiques et par des simulations corrélées.

Notre travail a pour objectif de mettre en place une méthode de qualification accélérée sur circuit de test dédié à l'étude de la criticité d'une technologie lors de la conception d'une nouvelle famille de composants WLSiP (Wafer Level SiP), au travers d'une étude de la fissuration des joints brasés. Cette méthode de qualification accélérée permet de limiter le nombre de variables dans le plan d'expérience de pré-qualification et ainsi de diminuer le temps de pré-qualification.

Le second aspect de notre étude est focalisé sur les délaminations et la simulation de l'apparition d'une délamination. Nous avons pour objectif la modélisation de l'absorption de l'humidité au sein du véhicule de test, de façon à pouvoir calculer les quantités d'humidité aux interfaces dans le boîtier. Une fois l'absorption d'humidité modélisée, les simulations doivent porter sur la détermination des conditions nécessaires à la création d'une délamination. L'objectif final est de mettre en place une méthode de qualification accélérée en aval de la réalisation d'un composant pour déterminer les conditions idéales à l'apparition d'un critère précoce de défaillance : la délamination. Le temps de qualification sera ainsi réduit par un choix judicieux des conditions de contraintes accélérées et par la détection de l'apparition d'indicateurs précoces de défaillance.

Enfin, dans une troisième partie, nous avons exploré deux méthodes de détection électrique de la fissuration des joints brasés d'une part et de la délamination d'autre part. L'objectif est de déterminer la faisabilité de la détection de ces deux catégories de défaillance. Ces méthodes, si elles se révèlent efficaces, permettront de détecter au plus tôt des circuits ouverts sur des prototypes fonctionnels et de mesurer électriquement l'apparition de la délamination en cours d'essais de qualification.

Le programme de cette thèse est ambitieux, mais important dans le développement des nouvelles technologies SiP. Il permet de réaliser des composants mieux adaptés, plus rapidement et à moindre coût. Le travail étant basé autant sur de l'expérimentation que sur de la simulation, plusieurs équipes ont travaillé sur les simulations, pendant que nous réalisons les essais expérimentaux et la mise en place des méthodes de mesure :

## Introduction générale

---

- L'université de Greenwich (Grande-Bretagne) a réalisé la simulation sur la fatigue des joints brasés du composant WLSiP en amont des expérimentations que nous avons menées dans ce travail.
- L'université de Delft (Pays-Bas) a réalisé toutes les simulations sur les contraintes thermomécaniques, sur l'absorption d'humidité et la création et la propagation de la délamination en parallèle de nos mesures d'absorption d'humidité.
- Le laboratoire IMS (Université de Bordeaux 1, France) a effectué des simulations complémentaires sur la validation des mesures de test électrique.

Nous donnerons premièrement une vue d'ensemble de la qualification de fiabilité. Puis, après avoir justifié et décrit les véhicules de tests utilisés dans ce travail, nous proposerons, à travers une étude du comportement des joints brasés, lors de contraintes thermomécaniques, d'un assemblage WLSiP (Wafer Level SiP) de test, une méthode de qualification accélérée en amont de la conception. Nous continuerons par la description de la caractérisation, la modélisation et le suivi de la pénétration de l'humidité au sein de la résine du boîtier de notre SiP de test. Nous présenterons des nouvelles techniques de détection électrique de la fissuration des joints brasés et de la délamination via les diodes de protection ESD et nous en décrirons la mise en œuvre, la répétabilité et les résultats expérimentaux obtenus. Finalement nous conclurons cette étude et donnerons quelques perspectives à ce travail.

# Chapitre I : Méthode de qualification

## *1 Introduction*

Qualifier, c'est faire la démonstration de la capacité à satisfaire les besoins spécifiés, par une série d'essais permettant de valider la fiabilité de l'ensemble [7]. Chaque défaillance, apparaissant avant le terme des essais de qualification, est appelée un défaut.

Une défaillance est tout incident amenant une détérioration du fonctionnement d'un composant. La cause peut être interne ou externe, liée au procédé de fabrication ou complètement indépendante de ce dernier. La défaillance se détecte par son **mode de défaillance**, qui est l'altération de la fonction du composant par la défaillance. Ainsi la perte de contact électrique, le court-circuit, une modification du fonctionnement du produit sont des modes de défaillance. Le mode de défaillance est l'indicateur extérieur d'une défaillance. La défaillance est due à un **mécanisme de défaillance**, qui est le processus physique aboutissant à la défaillance. Une rupture de joint brasé, une délamination, la casse d'un fil de câblage sont autant de mécanismes de défaillance. Des mécanismes de défaillance très différents peuvent produire un même mode de défaillance. Par exemple un circuit ouvert peut être aussi bien lié à la casse du fil de câblage qu'à une fissure de joint brasé. De même un mécanisme de défaillance peut ne pas avoir de mode de défaillance électrique associé. C'est le cas, en particulier, de la délamination. Enfin la **localisation de la défaillance** est la zone où se produit la défaillance. Par exemple la fissure dans un joint de brasure peut être localisée en haut du joint ou en bas du joint, révélant des faiblesses différentes.

Chaque défaut est représentatif d'une faiblesse du système éprouvé. Le système est alors considéré comme ne satisfaisant pas les spécifications initiales de fiabilité [8]. Ce qui signifie que lors de la qualification, toutes les fonctionnalités du composant devraient être passées en revue afin de déterminer la fiabilité globale du système. La qualification, normative ou spécifique, doit se faire en différentes étapes de la fabrication d'un produit :

- La qualification d'un procédé de fabrication inclut un ensemble de procédures pour déterminer si le procédé à qualifier satisfait bien les spécifications requises [9]. Il sert à

s'assurer qu'un procédé particulier est bien sous contrôle et prêt à produire des produits conformes [10].

- La qualification après la mise en boîtier a pour objectif de déterminer les points faibles du nouveau boîtier. De plus elle permet d'évaluer les risques liés à l'interaction entre le composant et le boîtier. Le choix du boîtier orientera également la façon dont la qualification du produit devra être menée.
- La qualification d'un produit a pour objectif de démontrer les capacités d'un produit à fonctionner, sous des conditions spécifiques de fonctionnement et d'environnement, durant un laps de temps déterminé [11].

La qualification normative industrielle n'est pas basée sur les connaissances des mécanismes de défaillance mais sur des hypothèses statistiques. Les essais expérimentaux réalisés au cours du développement des technologies ont amené les industriels à mettre en place des normes de qualification. Ces normes, concernant les conditions d'essais durant la phase de qualification, mises en place sur des technologies matures, permettent de réaliser la qualification de chaque nouveau composant selon un procédé précis. De ce fait les différents composants et les différentes technologies, peuvent être comparés les uns aux autres. Cependant les essais n'étant pas spécifiques à un produit, ils sont, non seulement, souvent peu adaptés, mais aussi, coûteux en terme de temps et de risque de sous-qualification ou de sur-qualification.

Aujourd'hui, les technologies ayant fortement évolué vers des assemblages complexes de plusieurs puces dans un même boîtier, ces normes de qualification se révèlent particulièrement inadaptées. La très grande diversité des assemblages et les spécificités de chaque famille de composant rendent le procédé de qualification normative peu efficace. C'est pourquoi depuis une dizaine d'années, les industriels se tournent vers de nouvelles méthodes de qualification spécifiques à chaque produit. Ces qualifications sur mesure sont basées sur la physique des défaillances et nécessitent, donc, des études approfondies sur les mécanismes de défaillance éventuels liés à la fois au procédé d'assemblage, au boîtier et au composant lui-même. Cela suppose, en même temps, des études de fiabilité permettant de connaître les facteurs d'accélération associés à chaque couple essai/mécanisme de défaillance. Les différentes études de fiabilité réalisées permettent la réalisation de base de données contenant une partie des informations nécessaires à la qualification.

Dans ce chapitre nous définirons la vie, réelle et accélérée, d'un composant et les relations statistiques liées aux différents stades de sa vie, puis nous décrirons les essais de qualification normatifs traditionnels. Nous mettrons, alors, en évidence le besoin de nouvelles méthodes de qualification basées sur la physique des défaillances et sur les spécifications d'utilisation du produit.

### 2 Vie réelle et accélérée du composant et statistique associée

La fiabilité est l'aptitude d'un dispositif à accomplir une fonction requise dans des conditions données pour une période de temps donnée [11]. L'aptitude n'étant pas une grandeur quantifiable, il sera alors question de probabilité. Ainsi, à chaque instant, la vie d'un composant est décrite par la probabilité qu'elle a de ne pas s'arrêter. Cette probabilité d'une défaillance, durant la période de vie garantie d'un composant, s'exprime en FPM ou PPM (Défaillance par Million ou Partie Par Million) et pour un élément unitaire en PPB (Partie Par Milliard) [12].

Cependant la probabilité d'une défaillance n'est pas constante au cours de la vie d'un composant. Le tracé de la variation de cette probabilité au cours de la vie d'un composant est en forme de baignoire, c'est pourquoi cette courbe est appelée la *courbe en baignoire* (Figure 1).

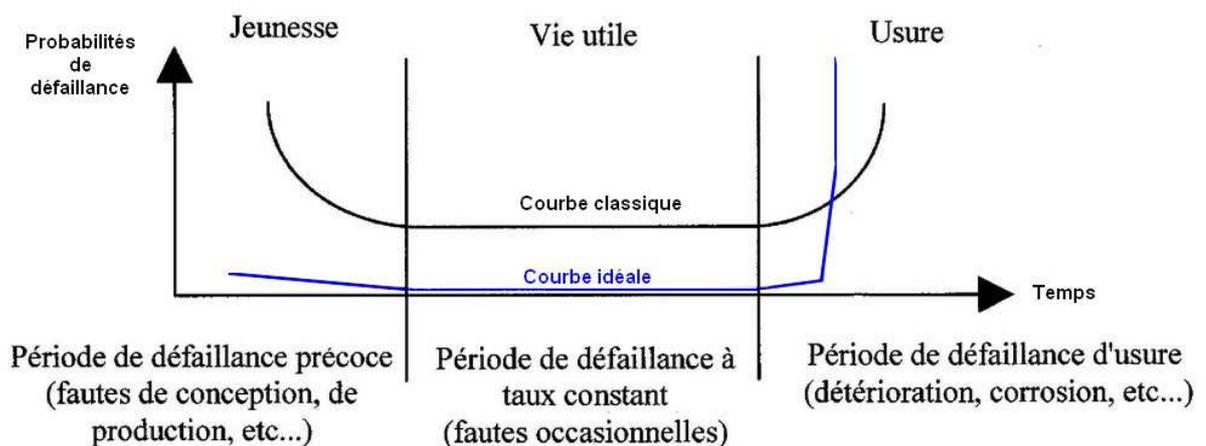


Figure 1 : Courbe en baignoire [13]

Trois périodes distinctes sont mises en évidence sur cette courbe :

- La première période est le début de vie, qui voit survenir des pannes précoces liées à un défaut intrinsèque du composant lié à sa conception ou à sa fabrication. Cette phase se

caractérise par un taux de défaillance  $\lambda$  décroissant. Pour éliminer ces défauts de jeunesse, un déverminage (burn-in) est possible.

- La deuxième période est le milieu de vie, ou vie utile, qui comporte peu de pannes. Ces pannes sont liées à des causes extérieures au composant (ESD, OVS, rayon gamma, ...). Les derniers défauts de jeunesse et les premiers défauts de fin de vie peuvent être rencontrés durant cette phase. Le taux de défaillance est sensiblement constant. Toutes les mesures sont prises durant la conception du produit pour rendre le composant le plus robuste possible au regard de ces causes extérieures afin d'approcher d'un taux de défaillance nul.
- Enfin la troisième période est la fin de vie, qui voit une recrudescence du nombre de pannes dues à l'usure (wear-out). Le taux de défaillance croît très rapidement. Dans l'idéal tous les composants sont défaillants en même temps après une durée de fonctionnement connue.

La caractérisation de la vie d'un composant, ne peut être faite dans des conditions d'utilisation normale. En effet un minimum de X années serait alors nécessaire pour garantir une durée de vie de X années. De la même façon, les études de fiabilité ne peuvent être réalisées sur l'ensemble de la production, car alors aucun composant ne pourrait être livré.

Il est donc nécessaire de définir la vie du composant avec des outils statistiques, qui nous permettront, non seulement, de situer le composant dans une phase de sa vie, mais aussi, d'étendre une étude réalisée sur quelques composants à l'ensemble de la production.

Il est aussi nécessaire d'avoir recourt à des essais accélérés. L'accélération des essais est réalisée par des conditions d'essais plus sévères que celles prévues par le constructeur pour le composant en application. Ces tests accélérés s'appuient sur des facteurs d'accélération déterminés, le plus souvent, empiriquement. L'utilisation des fonctions statistiques dédiées à la fiabilité et des distributions de durée de vie aidera à confirmer les facteurs d'accélération, tout en traquant l'apparition de défauts anormaux liés à des conditions d'essais trop sévères.

### 2.1 Fonctions statistiques en fiabilité

Pour commencer il est nécessaire de définir quatre termes capitaux :

- La fonction de fiabilité,  $R(t)$ , est la probabilité que le système n'ait pas de défaillance avant l'instant  $t$ .

- La fonction de distribution cumulée,  $F(t) = 1 - R(t)$ , est la probabilité que le système ait une défaillance avant l'instant  $t$ .
- La fonction de densité de probabilité,  $f(t)$ , est la probabilité que le système ait une défaillance à l'instant  $t$ .

$$f(t) = \frac{dF(t)}{dt} = -\frac{dR(t)}{dt} \quad (1)$$

- Le taux de défaillance,  $\lambda(t)$ , est la probabilité que le système ait une défaillance entre  $t$  et  $t+\Delta t$ .

$$\lambda(t) = \frac{\frac{dF(t)}{dt}}{R(t)} = \frac{f(t)}{R(t)} = -\frac{d \ln R(t)}{dt} \quad (2)$$

Le taux de défaillance se mesure généralement en FIT (Fails In Time), ce qui est le nombre de défaillances par milliard de composants-heure.

Il y a, basées sur ces fonctions, deux méthodes principales pour mesurer la fiabilité d'une population :

- Le temps moyen avant la défaillance (Mean Time To Failure, MTTF). Il se calcule en faisant la somme de tous les instants de défaillance divisée par le nombre d'échantillons défaillants.

$$MTTF = \frac{\sum t_i}{N}, \text{ avec } t_i \text{ l'instant de défaillance de l'échantillon } i \text{ et } N \text{ le nombre d'échantillons défaillants} \quad (3)$$

- Le temps médian des défaillances (Median Time To Failure, N50%). C'est le temps pour lequel la moitié des échantillons sont défectueux.

Pour pouvoir étudier les résultats des instants de défaillance du système, il est nécessaire d'exprimer la fonction de fiabilité,  $R(t)$ , par une expression mathématique. Cette expression, déterminée par le tracé des instants de défaillance, permettra de déterminer la fiabilité du composant. Pour ce faire, plusieurs modèles empiriques, appelés distributions de durée de vie, ont été développés.

## 2.2 Distributions de durée de vie

En statistique la distribution centrée la plus utilisée est la distribution « Gaussienne » ou « Normale ». Cependant en fiabilité nous utilisons plus généralement les distributions « Exponentielle », « Weibull » et « Lognormale ». Alors que la distribution Exponentielle ne

permet de décrire que la partie constante de la courbe en baignoire, les distributions de Weibull et Lognormale sont capables de décrire la totalité de la courbe. De plus, il est à noter que la distribution de Weibull et la distribution Lognormale sont toutes les deux très utilisées pour l'étude de la fiabilité et qu'il est souvent très difficile de choisir entre ces deux modèles comme en témoignent un certain nombre d'études les comparant [14, 15, 16].

### 2.2.1 Distribution Exponentielle

Cette distribution (Figure 2) est la plus simple de toutes les distributions de durée de vie, en effet elle est définie par un paramètre unique  $\lambda$ . Sa particularité est de très bien décrire un taux de défaillance constant dans le temps, c'est ce qui la destine particulièrement à la modélisation de défaillance extrinsèque se produisant dans la phase de vie utile. L'utilisation de cette distribution est typiquement associée aux défaillances extrinsèques aléatoires. Cette distribution est dite « sans mémoire » ce qui signifie qu'elle ne prend pas en compte la fatigue des matériaux. Dans le cadre de cette thèse elle ne sera pas utilisée car, en ce qui concerne la délamination et l'usure des joints brasés, la fatigue des matériaux est primordiale.

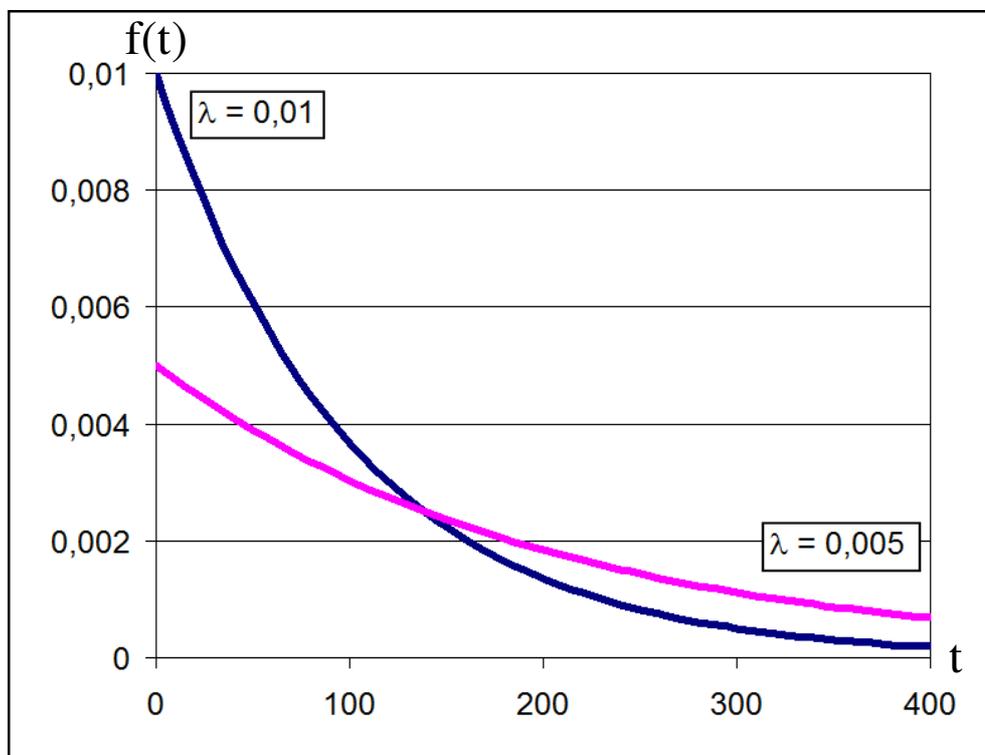


Figure 2 : Distribution Exponentielle

Les fonctions de probabilités associées à cette fonction sont les suivantes :

$$f(t) = \lambda \cdot \exp(-\lambda t) \quad (4)$$

$$F(t) = 1 - \exp(-\lambda t) \quad (5)$$

$$R(t) = \exp(-\lambda t) \quad (6)$$

$$\lambda(t) = \lambda \quad (7)$$

$$MTTF = \frac{1}{\lambda} \quad (8)$$

### 2.2.2 Distribution de Weibull

Cette distribution (Figure 3), qui est une généralisation de la loi Exponentielle pour un taux de défaillance non constant, développée par E.H. Waloddi Weibull est rapidement devenue très intéressante dans l'étude de la fiabilité car elle est capable de décrire un grand nombre de courbes de taux de défaillance. Elle est décrite par deux paramètres,  $\alpha$  et  $\beta$ . Le paramètre  $\alpha$  est un paramètre d'échelle et le paramètre  $\beta$  est un paramètre de forme. Alpha est la durée de vie caractéristique du produit, c'est-à-dire le temps où 63,21% de la population est défaillant.

Si le taux de défaillance diminue au cours du temps alors,  $\beta$  est inférieur à 1 ( $\beta < 1$ ). Un taux de défaillance décroissant relève d'une "mortalité infantile" (cf figure 1). En effet, les éléments présentant des défauts de fabrication tombent en panne rapidement, et le taux de défaillance diminue au fur et à mesure de la disparition des éléments fragiles.

Si le taux de défaillance est constant dans le temps alors,  $\beta$  est égal à 1 ( $\beta = 1$ ). Un taux de défaillance constant suggère que les pannes sont liées à une cause extrinsèque. Dans ce cas la distribution de Weibull est identique à la distribution Exponentielle.

Si le taux de défaillance augmente avec le temps alors,  $\beta$  est supérieur à 1 ( $\beta > 1$ ). Un taux de défaillance croissant suggère une usure ou une fatigue des matériaux, la probabilité qu'un élément se trouve défaillant augmente avec le temps. Il est possible de distinguer les cas d'usure des cas de fatigue :

- Dans le cas où  $\beta = 2$ , il s'agit de défaillances liées à la fatigue.
- Dans le cas où  $\beta > 2$ , il s'agit de défaillances d'usure.

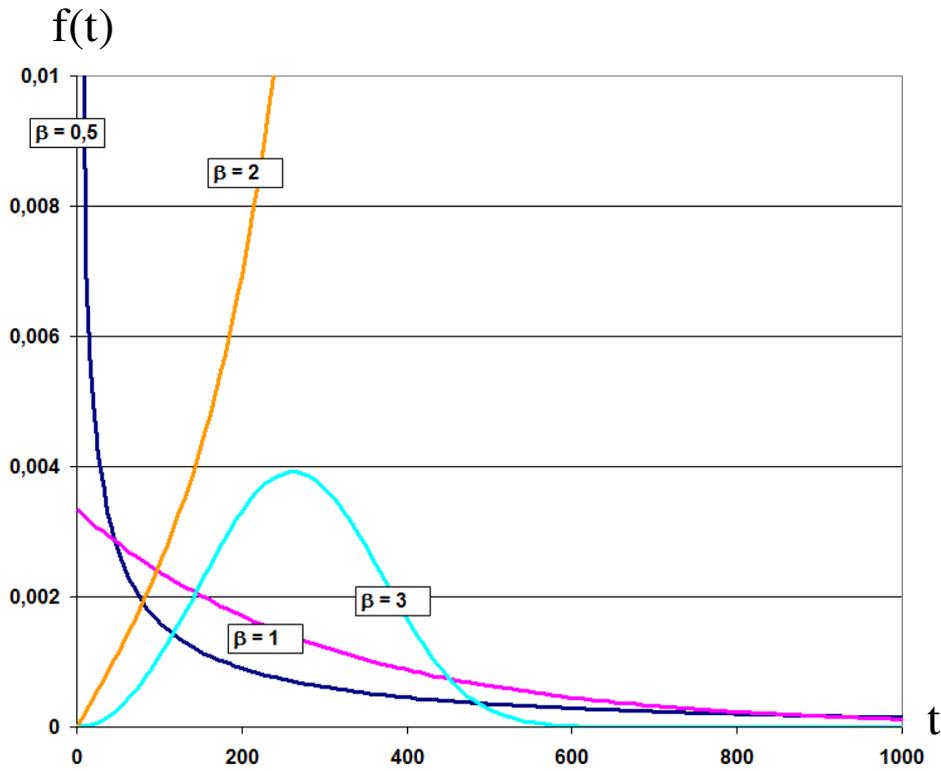


Figure 3 : Distribution de Weibull

La distribution de Weibull a pour équations :

$$f(t) = \frac{\beta}{t} \left(\frac{t}{\alpha}\right)^{\beta} \cdot \exp\left[-\left(\frac{t}{\alpha}\right)^{\beta}\right] \quad (9)$$

$$F(t) = 1 - \exp\left[-\left(\frac{t}{\alpha}\right)^{\beta}\right] \quad (10)$$

$$R(t) = \exp\left[-\left(\frac{t}{\alpha}\right)^{\beta}\right] \quad (11)$$

$$\lambda(t) = \frac{\beta}{\alpha} \left(\frac{t}{\alpha}\right)^{\beta-1} \quad (12)$$

$$MTTF = \alpha \cdot \Gamma\left(\frac{1}{\beta} + 1\right) \quad (13)$$

$$\Gamma(n) = \int_0^{\infty} e^{-x} x^{n-1} dx \quad (14)$$

### 2.2.3 Distribution Lognormale

Cette dernière distribution est très utilisée en fiabilité et peut, à l'instar de la distribution de Weibull, décrire un grand nombre de variétés de taux de défaillance. Elle est plus généralement utilisée dans les cas de réactions chimiques dans lesquelles se produisent de

l'oxydation ou de la corrosion, en effet elle décrit un mécanisme de dégradation où la fonction réalisée par le dispositif est progressivement diminuée jusqu'à la défaillance. Elle est toutefois aussi utilisée pour l'étude de la fatigue des joints brasés. Elle est définie par deux paramètres  $\mu$  (moyenne) et  $\sigma$  (écart-type).

La distribution Lognormale a pour équations :

$$f(t) = \frac{1}{\sqrt{2\pi} \cdot \sigma^2 t} \cdot \exp \left[ - \left( \frac{1}{2\sigma^2} \right) \cdot (\ln(t) - \mu)^2 \right] \quad (15)$$

$$F(t) = \Phi \left[ \left( \frac{\ln(t) - \mu}{\sigma} \right) \right] \quad (16)$$

$$R(t) = 1 - \Phi \left[ \left( \frac{\ln(t) - \mu}{\sigma} \right) \right] \quad (17)$$

Où  $\Phi$  est une distribution Normale centrée en zéro et de déviation standard égale à 1.

$$\lambda(t) = \frac{f(t)}{R(t)} \quad (18)$$

$$MTTF = \exp \left( \mu + \frac{\sigma^2}{2} \right) \quad (19)$$

### 2.3 Énergie d'activation

Les distributions de durée de vie permettent de prévoir la probabilité de défaillance d'un composant dans des conditions données. Intéressons-nous maintenant aux causes de défaillance.

Les réactions chimiques résultent de collisions entre les molécules en présence. Cependant toutes les collisions ne participent pas à la réaction, la collision doit avoir une force suffisante pour affaiblir les liaisons dans les molécules des réactifs. Cette énergie cinétique minimale requise pour activer la réaction est appelée l'énergie d'activation. Cette énergie dépend uniquement des espèces en présence, elle ne dépend ni de la température ni des concentrations des réactifs. Cependant l'augmentation de la température, revient à augmenter l'agitation moléculaire c'est-à-dire que le nombre de molécules dont l'énergie cinétique atteint l'énergie d'activation est accru. Ainsi la quantité de collisions efficaces est augmentée et la réaction est accélérée. Arrhenius a exprimé la relation liant le taux de réaction à la température et à l'énergie d'activation [17].

## Chapitre I : Méthode de qualification

$$\frac{d \ln k}{dT} = \frac{E_a}{R \cdot T^2}, \text{ où}$$

**k** est le coefficient de vitesse

**T** est la température en Kelvin

**R** est la constante des gaz parfaits

**E<sub>a</sub>** est l'énergie d'activation

(20)

Cette définition de l'énergie d'activation a été généralisée à tous les procédés activés thermiquement, ainsi l'énergie d'activation est la quantité minimale d'énergie nécessaire à l'activation d'un procédé. Dans le tableau 1, sont répertoriés quelques exemples de mécanismes de défaillances avec leurs énergies d'activation généralement admises.

**Tableau 1 : Quelques mécanismes de défaillances et leurs énergies d'activation associées [18]**

Mécanisme de défaillance		Énergie d'activation	Facteur d'accélération
Défaut d'oxyde		0,3-0,5 eV	Champs électriques, température
Défaut du silicium		0,3-0,5 eV	Champs électriques, température
Corrosion		0,45 eV	Humidité, température
Défaut d'assemblage		0,5-0,7 eV	Cycles thermiques, chocs thermiques et mécaniques, tests environnementaux
Électromigration	Piste Al	0,6 eV	Température, champs électriques
	Contact/Via	0,9 eV	
Contamination		1,0 eV	Température, champs électriques
Injection de charges		1,3 eV	Température, champs électriques

### 2.4 Facteur d'accélération

Il n'est pas possible d'amener un composant jusqu'à la défaillance dans des conditions d'utilisation normales car cela impliquerait des essais de fiabilité de plusieurs années. Il est donc nécessaire de réaliser des essais accélérés. Un essai accéléré consiste en l'exposition d'un dispositif à des contraintes thermiques et/ou mécaniques supérieures à celles rencontrées dans la vie réelle du système ou encore à une augmentation de la fréquence des cycles que verra le composant dans sa vie de fonctionnement normale (cycles on/off, cycles thermiques).

Le fait d'augmenter les contraintes ou les cycles amène le composant à la défaillance dans un délai plus faible que lors de son utilisation en vie normale.

Les essais de durée de vie accélérés sont donc réalisés dans l'objectif d'observer des mécanismes de dégradation, risquant de se produire dans des conditions normales d'utilisation, dans un temps réduit. Cependant le fait d'augmenter les contraintes de manière excessive peut produire la destruction du système sans mettre en lumière les mécanismes de défaillance que le dispositif rencontrera dans sa vie opérationnelle. Il est donc nécessaire lors d'établissement d'essais accélérés de vérifier que les défaillances produites sont bien des défaillances existantes dans les conditions d'utilisation du produit.

Si un mécanisme de défaillance est accéléré, cela sous-entend qu'il y a un rapport d'échelle entre la durée de vie en essai et la durée de vie réelle. Ce rapport est appelé : **Facteur d'accélération**. Le facteur d'accélération permet, pour un mécanisme de défaillance donné et à un niveau de contrainte défini, de prédire la durée de vie réelle d'un composant à partir de sa durée de vie sous contrainte. Pour une accélération linéaire, le facteur d'accélération (AF) se définit selon l'équation suivante :

$$AF = \frac{\text{Temps avant défaillance (contraintes1)}}{\text{Temps avant défaillance (contraintes2)}} \quad (21)$$

où contraintes2 > contraintes1

Différents modèles d'accélération empiriques ont été mis en place pour décrire l'accélération des mécanismes de défaillance suivant qu'ils soient accélérés par la température, par l'humidité ou par les cycles de température. Nous citons ici les plus communs car un grand nombre de modèles, originaux ou dérivés de ceux présentés ici, existent.

### 2.4.1 Relation d'Arrhenius

Le modèle d'Arrhenius est très utilisé dans le cas de mécanismes de défaillance chimiques et physiques (réactions chimiques, procédés de diffusion, procédés de migration) accélérés par des contraintes thermiques. Ce modèle empirique décrit l'accélération produite par la température d'un mécanisme particulier. Cette loi provient de l'étude des réactions chimiques par Svante August Arrhenius en 1889 et fut conforté par les études d'Eyring et de Polanyi dans les années 1930 concernant la théorie des collisions et la théorie des états de transition [19].

$$AF = \exp \left[ \frac{E_a}{k} \left( \frac{1}{T_{\text{utilisation}}} - \frac{1}{T_{\text{contrainte}}} \right) \right], \text{ où} \quad (22)$$

A est une constante

$E_a$  est l'énergie d'activation (en eV)

k est la constante de Boltzmann ( $8.617 \times 10^{-5}$  eV/K)

T est la température (en K)

Nous notons que le seul paramètre inconnu de l'équation est l'énergie d'activation. En réalisant plusieurs essais sous différentes conditions de tests, l'énergie d'activation d'un mécanisme particulier peut être déterminée.

### 2.4.2 Modèle de Peck

La corrosion induite par l'humidité ambiante est un des mécanismes de dégradation les plus rencontrés en électronique. De plus l'humidité engendre aussi des délaminations aux interfaces dues aux contraintes hygrothermiques. Pour calculer le facteur d'accélération des effets de l'humidité sur les défaillances, le modèle de Peck est utilisé. Ce modèle empirique est basé sur le modèle d'Arrhenius, auquel a été ajouté un facteur tenant compte de l'humidité. Les essais en humidité étant toujours effectués à des températures élevées, la température doit être prise en compte en tant que facteur d'accélération.

$$AF = \left( \frac{RH_{\text{Utilisation}}}{RH_{\text{contrainte}}} \right)^c \exp \left[ \frac{E_a}{k} \left( \frac{1}{T_{\text{utilisation}}} - \frac{1}{T_{\text{contrainte}}} \right) \right], \text{ où} \quad (23)$$

RH est l'humidité relative (%)

c est le coefficient de la loi de la puissance inverse (Inverse Power Law) de RH

### 2.4.3 Modèle de Coffin-Manson

Pour ce qui est de la fatigue thermomécanique, il est courant d'utiliser le modèle de Coffin-Manson. Ce modèle vient de l'étude de la fatigue des métaux lors de cycles thermiques. Cependant ce modèle a été établi dans le cadre de l'étude d'un barreau de métal pur. Il en résulte une précision et une confiance faible dans ce modèle appliqué aux alliages et aux formes complexes rencontrés dans le domaine de la micro-électronique. Bien qu'il soit très utilisé, ce modèle ne peut donner qu'une vague idée du facteur d'accélération réel d'un essai thermomécanique.

La déformation plastique est induite par les discordances de coefficients de dilatation thermique entre les différents matériaux ( $\Delta\alpha.T$ ). Pour la plupart des dispositifs électroniques

en utilisation normale, les coefficients de dilatation thermique ne varient quasiment pas sur la plage de température rencontrée. De ce fait le modèle de Coffin-Masson dans sa forme simplifiée ne prend en compte que les différences de températures.

$$\frac{\Delta \varepsilon_p}{2} = \varepsilon_f' (2N_f)^c, \text{ où} \quad (24)$$

$\Delta \varepsilon_p$  est la déformation plastique  
 $\varepsilon_f'$  est le coefficient de fatigue ductile  
 $N_f$  est le nombre de cycles à la défaillance  
 $c$  est une constante dépendante du matériau

$$AF = \left( \frac{\Delta T_{Utilisation}}{\Delta T_{Contrainte}} \right)^n, \text{ où} \quad (25)$$

$\Delta T$  est la plage de température d'un cycle complet  
 $n$  est le coefficient de la loi de la puissance inverse (Inverse Power Law) dépendant du matériau

#### 2.4.4 Modèle de Norris-Landzberg

Dans sa forme simplifiée, le modèle de Coffin-Manson ne prend pas en compte le changement de comportement des matériaux au cours du temps (les effets du taux de déformation, la relaxation des contraintes, ...). C'est pour cela que Norris et Landzberg (IBM, 1969) ont introduit un facteur de fréquence empirique dans l'équation de Coffin-Manson. De plus ils ont observé que, dans le cas spécifique des brasures eutectiques, si une déformation est appliquée alors que la température varie, les phénomènes liés à la température se produisent aux températures les plus hautes, accélérant ainsi la fatigue. Un paramètre empirique a alors été ajouté pour prendre en considération les températures maximales. Ainsi le modèle de Norris-Landzberg est donné par :

$$AF = \left( \frac{\Delta T_{Utilisation}}{\Delta T_{Contrainte}} \right)^n \left( \frac{f_{Utilisation}}{f_{Contrainte}} \right)^m \exp \left[ \frac{E_a}{k} \left( \frac{1}{T_{utilisation}} - \frac{1}{T_{Contrainte}} \right) \right], \text{ où} \quad (26)$$

$f$  est la fréquence des cycles  
 $m$  est le coefficient de la loi de la puissance inverse (Inverse Power Law) de  $f$

### 2.5 Autres modèles

D'autres modèles pourraient être cités dans ce travail. Ils sont basés sur les modèles de Coffin-Manson et de Norris-Landzberg, sur des résultats expérimentaux, et sur des études de la physique des défaillances. Par exemple le modèle empirique développé par Jean-Yves Delétage [20], concernant la fatigue des joints brasés étain-plomb est basé sur un travail expérimental. Il conduit à la modélisation de l'évolution des surfaces riches en plomb dans les joints brasés. Le facteur d'accélération est donné par :

$$AF = \left( \frac{\Delta\gamma_{contrainte}}{\Delta\gamma_{utilisation}} \right)^{2b} \left( \frac{tp_{contrainte}}{tp_{utilisation}} \right) \exp \left[ \frac{2 E_a}{k} \left( \frac{1}{T_{utilisation}} - \frac{1}{T_{contrainte}} \right) \right], \text{ où} \quad (27)$$

$\Delta\gamma$  est la déformation plastique maximale  
 $tp$  est le temps de maintien à la température haute  
 $T$  est la température du palier haut  
 $b$  est une constante liée à la technologie

### 3 Essais de qualification normatifs

La qualification normative est un ensemble de conditions précises, auxquelles est soumis le composant à qualifier. Elle a pour objectif de mettre en évidence les défaillances qui peuvent être rencontrées durant la vie opérationnelle du composant. À chaque condition correspond un essai particulier visant à révéler des faiblesses liées à l'humidité, à la température, à la tension électrique, à des contraintes mécaniques, ou à des combinaisons de contraintes. Deux consortiums majeurs ont travaillé pour normaliser ces essais : Joint Electronic Device Engineering Council (JEDEC) et Institute for Printed Circuits (IPC).

Ce type de qualification n'est donc pas basé sur les connaissances des mécanismes de défaillance mais plutôt sur la résistance du composant à des facteurs de contraintes. Ces essais ne permettent pas de garantir une durée de vie minimale mais seulement de déterminer un taux de défaillance maximum garanti. Cette philosophie de test en tout ou rien, basée sur des calculs statistiques ne donne, ni d'indications sur la durée de vie des composants, ni d'informations sur les facteurs d'accélération des défaillances mises en évidence. Ainsi un défaut révélé par ces essais, peut avoir, aux conditions du test, un facteur d'accélération tel que la durée de vie en condition réelle soit supérieure à la durée de vie garantie du produit. Il résulte de ceci une sur-qualification, potentiellement, coûteuse. En effet la recherche du défaut, sa compréhension, demande de fortes ressources humaines, matérielles et temporelles,

et l'ensemble des modifications mises en place peut affecter toute une technologie alors que la durée de vie, liée au défaut, ne le justifiait pas.

Toutefois, ces normes, bien que mises en place sur des technologies relativement simples, permettent de réaliser la qualification de chaque nouvelle technologie, de chaque nouveau boîtier, de chaque nouveau composant, selon un procédé précis. De ce fait les différentes technologies, les différents boîtiers, les différents composants, peuvent être comparés les uns aux autres. Ceci au sein d'une même entreprise, ce qui permet de vite détecter des risques liés à un nouveau schéma, un nouvel empilement, un nouveau matériau d'encapsulation, etc... Mais aussi entre des entreprises différentes pour avoir une idée de la qualité, de la fiabilité, de la production d'un fournisseur par rapport à la concurrence.

Le principe des essais de qualification est, donc, d'accentuer une contrainte choisie afin d'induire des défaillances de façon accélérée au sein du composant électronique. Ce paragraphe liste une partie de ces essais environnementaux destinés à tester les assemblages et les mises en boîtier (Tableau 2), en fait une brève description et montre quelques problèmes de fiabilité pouvant être révélés par ces essais.

**Tableau 2 : Récapitulatif des essais de qualification**

Description	Essais	Conditions	Objectifs	Normes
<b>Préconditionnement</b>	MSLA : Moisture Sensitivity Level Assesment	125°C/24h Stockage humide 3 passages en refusion	Détermination du niveau de sensibilité à l'humidité	IPC/JEDEC-J-STD-020A
<b>Essais humides</b>	THNB : Temperature Humidity No Bias	≤ 85°C, ≤ 85%RH, ≤1000h	Évaluation de la résistance du boîtier à l'humidité	JESD22-A112-A
<b>Essais thermomécaniques</b>	TMCL : TeMperature CycLing	De -65°C à +150°C jusqu'à 500 cycles	Évaluation de l'intégrité mécanique du produit et de la sensibilité du montage en boîtier	JESD22-A104-C JESD22-A105-C

Cette étude étant focalisée sur trois mécanismes de défaillance : La corrosion, la fatigue thermomécanique et la délamination, tous les essais de fiabilité ne sont pas passés en revue. Les essais présentés ici sont donc : Les essais en humidité sans pression et non polarisés, ainsi que les essais de cycles/chocs thermiques. Cependant il est nécessaire de commencer par présenter la méthode de détermination du niveau de sensibilité à l'humidité d'un boîtier en plastique.

### 3.1 Détermination du niveau de sensibilité à l'humidité (MSLA)

Les composants destinés à être montés à la surface d'une carte d'application sont susceptibles d'absorber de l'humidité dans l'espace de temps entre la fabrication et l'assemblage. Cette humidité, lors de l'assemblage à très haute température de refusion (260°C) des joints brasés, est vaporisée. La pression de vapeur ainsi produite au sein du boîtier peut engendrer un effet d'éclatement du boîtier (popcorning).

Tous les boîtiers n'ayant pas le même comportement face à l'absorption de l'humidité ambiante ni les mêmes fragilités internes, il est nécessaire de déterminer le niveau de sensibilité à l'humidité de chaque produit. La détermination du niveau de sensibilité à l'humidité (Moisture Sensitivity Level Assesment) permet de classer les boîtiers en six catégories (Tableau 3), le niveau 1 étant donné à un boîtier insensible à l'humidité.

Il y a trois étapes dans le procédé de détermination de la sensibilité à l'humidité :

- Exposition à l'humidité : Les composants sont placés dans une étuve contrôlée en température et en humidité. La température varie de 30°C à 85°C et le taux d'humidité relatif varie de 30% à 85% suivant le niveau de sensibilité mesuré.
- Passage en refusion : Après que le composant a absorbé de l'humidité, il effectue trois passages dans un four à refusion.
- Analyse de la délamination : Enfin le composant est analysé en microscopie acoustique et par une coupe transversale de confirmation afin de déterminer le taux de délamination induit par l'essai.

L'attestation du niveau de sensibilité à l'humidité est réalisée en démarrant l'essai au niveau 1, le plus sévère, puis en diminuant les niveaux progressivement jusqu'à ne plus observer de délamination aux interfaces du composant. Le composant est alors classé dans un niveau de sensibilité à l'humidité. Cet essai détermine le niveau de l'étape de préconditionnement (Precon), réalisé avant les essais de cycles thermiques, simulant les étapes d'assemblage sur la carte d'application des composants.

Tableau 3 : Les différents niveaux de sensibilité à l'humidité [21]

LEVEL	FLOOR LIFE		SOAK REQUIREMENTS				
			STANDARD		ACCELERATED EQUIVALENT <sup>1</sup>		
					eV 0.40-0.48	eV 0.30-0.39	CONDITION
TIME	CONDITION	TIME (hours)	CONDITION	TIME (hours)	TIME (hours)	CONDITION	
1	Unlimited	≤30 °C/85% RH	168 +5/-0	85 °C/85% RH	NA	NA	NA
2	1 year	≤30 °C/60% RH	168 +5/-0	85 °C/60% RH	NA	NA	NA
2a	4 weeks	≤30 °C/60% RH	696 <sup>2</sup> +5/-0	30 °C/60% RH	120 +1/-0	168 +1/-0	60 °C/60% RH
3	168 hours	≤30 °C/60% RH	192 <sup>2</sup> +5/-0	30 °C/60% RH	40 +1/-0	52 +1/-0	60 °C/60% RH
4	72 hours	≤30 °C/60% RH	96 <sup>2</sup> +2/-0	30 °C/60% RH	20 +0.5/-0	24 +0.5/-0	60 °C/60% RH
5	48 hours	≤30 °C/60% RH	72 <sup>2</sup> +2/-0	30 °C/60% RH	15 +0.5/-0	20 +0.5/-0	60 °C/60% RH
5a	24 hours	≤30 °C/60% RH	48 <sup>2</sup> +2/-0	30 °C/60% RH	10 +0.5/-0	13 +0.5/-0	60 °C/60% RH
6	Time on Label (TOL)	≤30 °C/60% RH	TOL	30 °C/60% RH	NA	NA	NA

### 3.2 Cycles et chocs thermiques

Les essais de cycles en température sont utilisés afin de simuler les changements de températures à la fois ambiants et internes des composants. Ces variations de température proviennent des mises sous alimentations, des changements de puissance électrique au cours de l'utilisation mais aussi des changements de température ambiante dans des environnements contrôlés ou non. Les cycles thermiques permettent de mettre en évidence les interactions thermomécaniques au sein du produit sous test qui produisent des fissures dans les diélectriques et les conducteurs, des défauts liés à la fatigue des matériaux et à des pertes d'adhésion.

Les cycles en température interne sont réalisés par une succession de mises sous et hors tension du produit et sont appelés : cycles de puissance (power cycling). Les cycles en température ambiante sont réalisés dans une étuve permettant de faire varier la température ambiante de façon contrôlée en température et en vitesse de changement de température. Dans le cadre de cette thèse, seuls des cycles de température ambiante ont été effectués.

En ce qui concerne les cycles de température ambiante, il faut distinguer entre :

- Les cycles thermiques
- Les chocs thermiques

## Chapitre I : Méthode de qualification

---

Les variations de température, dites isothermes, c'est-à-dire, dont la vitesse des rampes de température assure l'homogénéité constante de la température au sein du composant, sont appelées : cycles thermiques. Les cycles thermiques produisent des contraintes thermomécaniques liées aux différences de CTE (Coefficient of Thermal Expansion, Coefficient de Dilatation Thermique) globales entre les matériaux en regard. En revanche les chocs thermiques, c'est-à-dire, dont la vitesse des rampes de température sont telles qu'un gradient thermique s'installe au sein des matériaux du boîtier, produisent des contraintes thermomécaniques par les différences de CTE locales dans les matériaux.

Les chocs thermiques sont réalisés soit en environnement « air-air » soit en environnement « liquide-liquide », alors que les cycles thermiques ne se font qu'en environnement « air-air ». Les spécifications de ces essais sont données par la norme JESD-22-A104D. Les cycles et les chocs sont à même de révéler des fissures provenant des différences de dilatation au sein du composant. Cependant les cycles thermiques sont plus appropriés pour mettre en évidence les dégradations mécaniques comme la fatigue et le fluage.

### 3.3 Essais en humidité

Que ce soit avant l'assemblage sur la carte de l'utilisateur final ou lors du fonctionnement normal d'un dispositif, le boîtier est placé dans une atmosphère contenant un certain pourcentage d'humidité. Typiquement, en France, le taux d'humidité au sein d'une habitation est de 60%RH. Les boîtiers plastiques de la grande majorité des composants électroniques d'aujourd'hui sont hydrophiles. Il en résulte une absorption d'humidité permanente, quoique très faible, des composants électroniques.

Les essais en humidité permettent d'évaluer le comportement des boîtiers non-hermétiques dans un tel environnement humide. L'essai utilise la température et l'humidité pour accélérer la pénétration de l'eau dans le composant à travers le matériau externe de protection vers les matériaux actifs internes et les interfaces. L'humidité ainsi absorbée se propage aux interfaces du composant, amenant la fragilisation des interfaces. Lors de l'application de variations de température, les contraintes générées à l'interface vont alors être supérieures à la résistance de cette interface et provoquer une délamination. Ainsi ce type d'essai met en évidence des défaillances internes du boîtier et est destructif. Ces essais sont spécifiés par la norme JESD22-A102-C.

### 3.4 Récapitulatif des essais de fiabilité

Chaque essai peut mettre en évidence un certain nombre de mécanismes de défaillance (Tableau 4) dont les modes sont parfois identiques. Chaque mécanisme de défaillance est révélateur d'une faiblesse particulière. Une investigation poussée de la défaillance sera réalisée par une analyse de défaillance en vue de proposer un ensemble d'actions correctives.

Tableau 4 : Récapitulatif des mécanismes de défaillances

	Essais humides	Essais thermomécaniques
Mécanismes de défaillance	Pop corning	Fissures dans les diélectriques
	Corrosion humide	Fissures dans les puces
	Défauts d'adhésion	Fissure dans les interconnexions
	Délaminations	Délaminations

## 4 Méthodes de qualification spécifique

Ayant exposé les différents essais de qualification normative et ayant montré l'intérêt et les limites d'une telle démarche pour les technologies actuelles, nous allons nous intéresser aux méthodes de qualification spécifiques.

La très grande diversité des assemblages et les spécificités de chaque famille de composant rendent le procédé de qualification normative peu efficace. En effet les interactions au sein d'un même boîtier deviennent tellement nombreuses et complexes, qu'il est indispensable d'étudier en profondeur les causes, les conséquences et les impacts de chaque défaut sur la durée de vie de l'ensemble. C'est pourquoi les industriels se tournent vers des méthodes de qualification spécifique à chaque produit. Ces méthodes visent la réalisation de composants qualifiés dès le premier lot grâce à la conception orientée fiabilité. La conception du composant suit alors le circuit suivant :

- Analyse de risque (FMEA : Failure Mode and Effect Analysis) : Cette phase permet, à l'aide d'une description du composant à réaliser, d'évaluer les risques concernant les modes et les mécanismes de défaillance liés tant aux matériaux qu'aux structures du composant.
- Liste des mécanismes de défaillance et de leurs modes associés classée par criticité : Cette liste est issue de l'analyse de risque. Le classement par criticité permet d'orienter les choix de matériaux et de structures conduisant à la meilleure fiabilité.

## Chapitre I : Méthode de qualification

---

- Essais sur véhicule de test dédié et modélisation : Certaines structures ou certains matériaux peuvent nécessiter des essais réels afin d'affiner les simulations réalisées sur un modèle du composant à produire.
- Paramètres matériaux et schémas des premiers prototypes : Les simulations permettent d'orienter le choix des matériaux et des structures pour la réalisation de prototypes fonctionnels.
- Qualification accélérée sur prototype fonctionnel : Finalement un ensemble d'essais de qualification basée sur la physique des défaillances permettra de valider les schémas du composant.

Ces qualifications sur mesure sont basées sur la physique des défaillances. C'est-à-dire, que chaque défaut est caractérisé et catalogué en fonction des causes physiques de son apparition. L'étude des réactions physiques se produisant au sein du composant permet de déterminer les conditions nécessaires à l'apparition de tel ou tel défaut, mais aussi de calculer les facteurs d'accélération de tel ou tel essai sur le défaut considéré. De la connaissance acquise sur le mécanisme de défaillance, un ensemble d'essais sera défini pour mettre en évidence le défaut recherché et connaître avec précision sa criticité, c'est-à-dire son impact sur la durée de vie du composant.

Cette approche demande, donc, des études approfondies sur les mécanismes de défaillance éventuels liés à la fois au procédé d'assemblage, au boîtier et au composant lui-même. Cela suppose, en même temps, des études de fiabilité permettant de connaître les facteurs d'accélération associés à chaque couple essai/mécanisme de défaillance. Pour cela des travaux de caractérisation et de modélisation sont nécessaires pour chaque mécanisme de défaillance. L'étude des interactions entre les différents mécanismes est aussi cruciale. Les bases de données mises en place depuis le début des études de fiabilité permettent de comparer, corréler et confronter les modèles établis pour les besoins d'aujourd'hui. Pour cela l'utilisation de règles de similitudes rend possible l'utilisation de résultats obtenus sur des technologies très différentes pour des simulations précises en amont de la réalisation du produit.

En effet, en dehors des essais expérimentaux, les simulations par éléments finis apportent beaucoup sur les prévisions de durée de vie. Par les simulations il est possible de se faire une idée du comportement d'un composant avant de le produire et ainsi de limiter le nombre de paramètres d'un plan d'expérience aux paramètres les plus critiques. Aujourd'hui

les simulations par éléments finis permettent de connaître avec une bonne précision les contraintes locales et globales appliquées au système. Tout ceci dans des temps réduits et avec une utilisation des ressources humaines et matérielles allégée.

En vue de limiter les risques d'échec lors de procédés de qualification, il devient donc de plus en plus courant de proposer une qualification dite accélérée. Que ce soit lors de la conception du produit ou pour limiter les paramètres d'un plan d'expérience d'étude de la fiabilité, la qualification accélérée permet de sélectionner les schémas et les matériaux les mieux adaptés pour atteindre les performances fonctionnelles et de fiabilité recherchées. Ceci à l'aide de simulations par ordinateurs basées sur des modèles de la physique des défaillances [22]. La fabrication d'un prototype permet de confirmer et affiner les résultats obtenus par simulation.

La qualification accélérée, que ce soit sur circuits de test, c'est-à-dire avant la conception du composant, ou sur prototypes fonctionnels, c'est-à-dire après la réalisation du composant, comporte trois étapes : un travail bibliographique, un ensemble d'essais en simulation et des expérimentations.

### **4.1 Qualification accélérée sur circuits de test**

Le développement d'une nouvelle technologie, ou même d'un nouveau composant, comprend un certain degré d'incertitude, en fonction du degré de différenciation par rapport aux technologies précédentes. Cette incertitude concerne, tout particulièrement, les nouveaux risques de défaillance. Il sera, donc, nécessaire d'effectuer une recherche des risques de défaillance afin de définir le nouveau plan de qualification. Un plan de qualification normatif nécessiterait la réalisation d'une grande quantité de prototypes avec, pour chaque nouveau défaut rencontré, la nécessité de comprendre le défaut et de modifier le schéma du composant. Cette démarche est coûteuse mais, par dessus tout, longue. Or aujourd'hui, il n'est plus possible face à une concurrence extrêmement rude, de prendre un quelconque retard dans la mise sur le marché des nouveaux produits.

Pour limiter les incertitudes et réaliser le nouveau produit en un minimum d'essais, donc de temps, des méthodes de qualification accélérée sur circuits de test sont mises en œuvre.

La qualification accélérée sur circuit de test, consiste en la réalisation d'un circuit dédié à expérimenter les changements amenés par le nouveau produit. Le circuit ainsi réalisé utilise

## Chapitre I : Méthode de qualification

---

les procédés, les équipements et les techniques déjà en place sur la chaîne de production afin de limiter son coût de développement et de réalisation. Ce circuit est, donc, basé sur un composant bien caractérisé du point de vue de la fiabilité mais reprend les points critiques, préalablement déterminés, de la technologie à développer. Le composant de test consiste en des structures permettant un suivi simplifié des mécanismes de défaillance attendus.

Pour connaître les points critiques de la nouvelle technologie, une étude bibliographique est réalisée. Cette étude permet, par similarité, de sélectionner les risques les plus importants amenés par le changement de schéma. De plus, en se basant sur les travaux précédents, il est possible de déterminer les paramètres géométriques et les matériaux ayant le plus grand impact sur la fiabilité du composant à concevoir. De ces connaissances, naît un premier composant de test avec la matrice d'essais la plus complète possible.

Ayant donc défini la structure, le schéma et les matériaux du composant de test, il est possible de modéliser le composant. Pour réaliser un modèle précis du composant, il est nécessaire de connaître les propriétés physiques de chaque matériau utilisé. Pour cela des travaux de caractérisation peuvent être entrepris pour la réalisation de bases de données. Une fois les propriétés des matériaux connues, et la structure du composant modélisée, la simulation par éléments finis permet d'évaluer de façon très rapide en comparaison avec les essais réels un très grand nombre de schémas et de matériaux. L'ensemble de la matrice d'essais défini précédemment peut être simulée et, le schéma et les matériaux idéaux sont alors définis.

Les matériaux avec les propriétés idéales ne sont pas toujours disponibles dans le commerce. Les durées de vie simulées comportent un degré d'erreur, pas toujours chiffrable précisément. Il est donc nécessaire de définir une matrice d'essais réduite sur quelques paramètres géométriques et, éventuellement, sur quelques matériaux afin valider l'ensemble des simulations.

À l'issue de l'expérimentation de la matrice réduite, la nouvelle technologie sera connue en grande partie du point de vue de la fiabilité. Le nouveau produit pourra alors être réalisé et qualifié avec un risque d'erreur fortement réduit.

### 4.2 Qualification accélérée sur prototypes fonctionnels

La première phase de conception, réalisée à l'aide de composants de test dédiés, étant passée, un lot de prototypes est réalisé. Commence alors la qualification du prototype, lequel sera le produit final si aucune défaillance majeure n'est mise en évidence.

À ce niveau l'ensemble des paramètres géométriques et matériaux sont définis, le schéma de la puce est terminé. L'objectif de la qualification accélérée est de mettre en évidence que les défauts potentiels ne se produiront pas dans l'intervalle de temps correspondant à la garantie du produit. Pour cela l'ensemble des défauts potentiels doit être listé et organisé selon leurs criticités, ce qui se fera par une étude bibliographique. Puis un ensemble de simulation permettra de définir avec précision les zones critiques dans le composant et les conditions d'essais pour mettre en évidence les défaillances principales. Enfin un ensemble d'essais de fiabilité sera effectué sur les produits pour corroborer les simulations et confirmer la qualification du produit.

Il est important d'évaluer quels sont les mécanismes de défaillance à attendre en relation avec la technologie utilisée pour effectuer des simulations cohérentes, en effet il n'est pas possible de simuler l'ensemble des mécanismes de défaillance en une seule opération. La recherche bibliographique, déjà en partie réalisée dans l'étude précédente sur le composant de test, permettra de fixer des degrés de criticité de chaque défaut en fonction de sa probabilité d'apparition et de son impact sur le fonctionnement du composant. Ces données sont obtenues par recherche de similitudes avec des composants précédemment étudiés.

Les modèles utilisés dans le cadre des simulations par éléments finis nécessitent des données précises sur les propriétés physiques des matériaux utilisés. Un certain nombre de paramètres peuvent être obtenus à l'issue du travail bibliographique. Cependant un travail de caractérisation est souvent nécessaire pour obtenir les données manquantes. Une fois toutes les données nécessaires rassemblées, il est possible de rechercher par simulation les zones critiques dans le composant et les conditions d'essais correspondant à un seul mécanisme de défaillance à la fois. Les durées de vie obtenues par simulation sont le plus souvent uniquement indicatives. C'est pourquoi il sera toujours nécessaire de réaliser un plan de qualification réel. Cependant les simulations permettent d'obtenir des durées de vie relatives les unes aux autres, ce qui permet de limiter les essais réels aux conditions et aux mécanismes les plus critiques. Les simulations permettent d'évaluer l'impact des changements de conditions d'essais sur l'apparition des défaillances, en balayant un grand nombre de

conditions différentes dans un laps de temps réduit. Il est ainsi possible de déterminer les conditions d'essais les plus efficaces pour révéler les mécanismes de défaillances les plus critiques.

Le plan de qualification basée sur les résultats de la simulation sera alors défini et réalisé. Ce plan de qualification peut être très différent d'une technologie à une autre mais les résultats obtenus donnent une idée précise de la durée de vie du produit. La qualification est ainsi focalisée sur les défauts potentiels critiques, dont les facteurs d'accélération ont été définis. Cependant le risque existe de ne pas mettre en évidence un défaut non encore connu lié à l'utilisation de nouveaux motifs.

### **4.3 Conclusion de la qualification accélérée**

Cette méthode de qualification accélérée permet donc de réduire considérablement les coûts et temps de réalisation d'un nouveau produit, à condition que les propriétés des matériaux soient connues. Dans le cas contraire, il sera nécessaire de procéder à des caractérisations de chaque matériau non connu, ce qui peut être relativement long et coûteux. Il n'est pas toujours possible, au regard des moyens nécessaires et du temps disponible, de caractériser tous les matériaux. De plus il est difficile, voire presque impossible, de caractériser le comportement d'un matériau dans les conditions de dimension et d'interaction d'un boîtier de composant électronique, ce qui engendre des marges d'erreur difficilement chiffrables. Enfin, les puissances de calcul disponibles, ne sont pas suffisantes pour simuler tous les niveaux de détails en même temps. Il est donc toujours nécessaire de réaliser des prototypes pour valider les simulations.

## **5 Conclusion**

Nous avons fait, dans ce chapitre, une revue des différentes étapes de la vie d'un composant électronique, de la statistique associée et de différents modèles permettant à l'aide d'essais accélérés de déterminer sa durée de vie. Nous avons ensuite vu les différents essais accélérés définissant un plan de qualification normatif. Nous nous sommes attachés à décrire les différents mécanismes de défaillance recherchés dans ce travail de thèse, leurs modes associées et les essais utilisés pour les mettre en évidence. La qualification normative étant mieux adaptée à la qualification de technologie mature, nous avons montré comment nous envisageons d'utiliser les outils de simulation par éléments finis pour mettre en place de

nouvelles méthodes de qualification plus rapides et plus précises. La qualification accélérée, sur composants de test dédiés et sur prototypes fonctionnels, va être explorée à l'aide de deux véhicules tests différents, que nous allons décrire, et situer au sein des différentes familles de composant SiP, dans le chapitre suivant.



# Chapitre II : Technologies SiP

## *1 Introduction*

Dans le chapitre précédent nous avons présenté les limites de la qualification normative pour qualifier les nouvelles technologies. Dans ce chapitre nous définirons les SiP et passerons en revue les SiP actuels ainsi que les mécanismes des défauts potentiels majeurs. Une étude bibliographique, réalisée sur l'ensemble des technologies SiP, sera présentée. Les mécanismes de défaillance associés sont classés en trois groupes : la corrosion, la fatigue thermomécanique et la délamination.

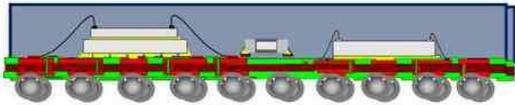
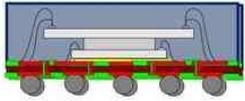
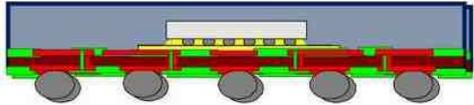
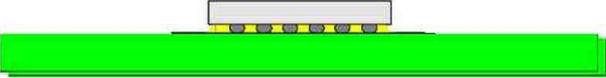
À l'issue de cette recherche nous avons décidé de nous focaliser sur la fatigue des joints brasés et sur la délamination. Ceci nous amènera à définir deux véhicules de test (VT). Un WLSiP en pré-étude permettra la mise en place de la qualification accélérée sur composant de test et un composant SiP « double flip-chip » déjà éprouvé permettra la mise en place de la qualification accélérée sur prototypes fonctionnels. Le choix des véhicules a été conduit à la fois par les impératifs industriels et par une recherche de composants représentatifs des SiP.

Les principales méthodes d'analyses de défaillances utilisées dans ce travail seront brièvement décrites à la fin de ce chapitre.

## *2 Description des différentes technologies SiP*

Un SiP est un assemblage, au sein d'un même boîtier, de différents composants pouvant être de technologies différentes. Il en résulte une très grande diversité des composants SiP. Chaque composant sera réalisé en fonction des besoins et des contraintes du moment, des technologies disponibles pour chaque fonction du SiP, des techniques d'assemblage en place et utilisables dans la réalisation du SiP, des besoins du client en terme de facteur de forme du boîtier final. Il est alors nécessaire de classer les technologies SiP en famille. Robert C. Pfahl (de l'iNEMI) et Joe Adam (de Skyworks) les ont classées en trois familles, dans un rapport intitulé « System in Package Technology » [3] : le placement côte à côte des puces, les structures empilées et les structures incorporées (Figure 4). Dans le cadre de ce travail, la

troisième famille (les structures incorporées) n'est pas abordée et la deuxième famille est décomposée en trois groupes : les connexions filaires, les connexions de type « flip-chip » et les Wafer Level Package (WLP).

Technologies		illustrations
Placement côte à côte		
Structures empilées	Connexions filaires	
	Flip-chip	
	WLP	
Structures incorporées		

**Figure 4 : Les familles de SiP [3]**

**2.1 Les modules en placement côte à côte**

Les MCM (Multi Chip Module) [23] existent depuis de nombreuses années dans le domaine des ordinateurs et des télécommunications, bien qu'ils aient initialement été limités à des applications finales à très fort coût [24]. Aujourd'hui cette technologie reste intéressante dans les applications à fort dégagement de chaleur [25]. Cette technologie est donc historiquement la première utilisée pour augmenter le nombre de composants présents dans un boîtier. Les différents composants sont placés côte à côte au sein d'un même boîtier. Ils sont reliés entre eux via le substrat commun, et ils sont connectés au substrat par du câblage filaire

ou par des joints de brasure (flip-chip). Il est possible d'intégrer un grand nombre de technologies différentes mais le fait de placer les composants côte à côte limite la miniaturisation des boîtiers. Un exemple de boîtier intégrant cette technologie est montré en Figure 5. Il intègre 20 circuits intégrés numériques et 600 fils de câblage dans un boîtier de type LQFP (Lead Quad Flat Pack).

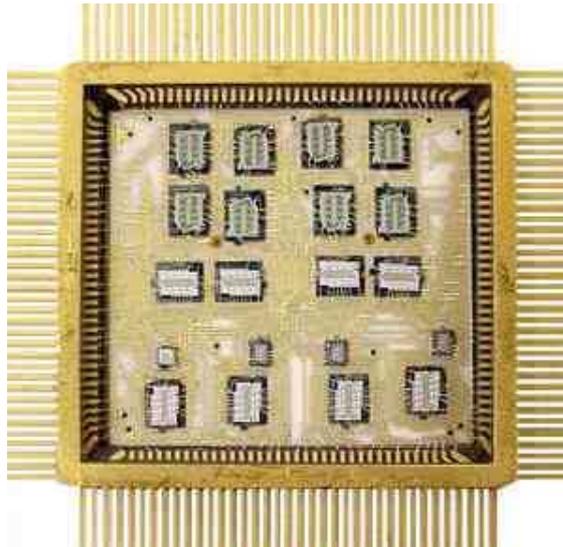


Figure 5 : Module multi-puce (2.53 X 2.53 cm) [26]

### 2.2 Les puces empilées avec des connexions filaires

Cette technologie de câblage par fils (Figure 6) est très répandue car elle est robuste et simple à mettre en œuvre [24, 27]. De plus elle permet de réaliser des empilements de puces ou même de boîtiers de façon très économique. Cependant les fils de câblage engendrent des inductances parasites et donc de moins bonnes performances en fréquence que les joints brasés [28].

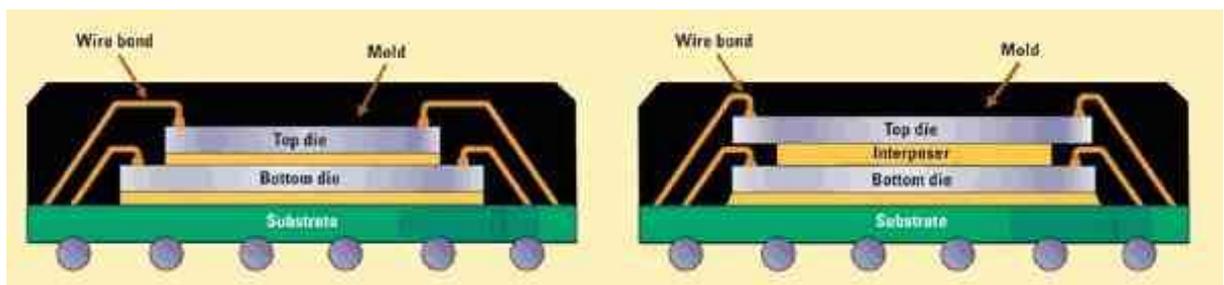


Figure 6 : Exemples de puces empilées [29]

### 2.3 Les assemblages en flip-chip

Le flip-chip (FC) est une méthode de connexion électrique de la puce sur le support du boîtier. Pour réaliser ce type de connexion, des billes de brasure sont déposées sur la puce, puis la puce est retournée et déposée sur le support du boîtier (lead-frame, substrat ou autre). Généralement l'ensemble est renforcé par l'application, par capillarité, de résine époxyde chargée de silice. Cette résine permet d'absorber les différences de coefficients de dilatation thermique (Coefficient of Thermal Expansion, CTE) entre la puce (le silicium, 3ppm) et le support (souvent du cuivre, 18ppm).

Cette technologie d'assemblage est plus onéreuse et difficile à réaliser que le câblage filaire, cependant pour des raisons techniques (grand nombre d'entrées/sorties ou très haute fréquence) il est parfois avantageux d'utiliser la technologie FC [24]. La compacité de ce type d'assemblage peut être vue dans le cas d'un boîtier HVQFN (Heatsink Very-thin Quad Flat-pack No-leads) sur la Figure 7. Les billes de brasure évitent de déporter les entrées/sorties comme dans le cas des fils de câblage. Le point faible de cette technologie est la difficulté à empiler plus de trois niveaux de puce. En effet pour empiler plusieurs étages de puces, l'utilisation de vias traversant la puce de part en part (TSV, Through Silicon Via) est nécessaire. Ces vias, techniquement difficiles à réaliser et à fiabiliser, sont en cours de développement [30, 31, 32].

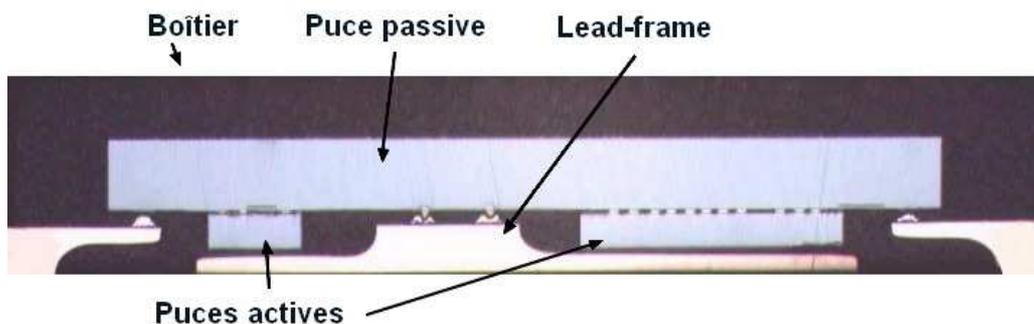


Figure 7 : Un double flip-chip en coupe (6mm) [33]

### 2.4 Les puces sans boîtier (WLP)

La technologie SiP offre beaucoup d'avantages allant de la réduction de la complexité et de la taille jusqu'à la réduction des coûts et du temps de conception du système final [34]. Si le SiP est réalisé sur la base d'un WLP les atouts de la technologie sont encore plus mis en

valeur. Il y a cependant des défis technologiques à relever [35] pour assurer une bonne fiabilité au niveau de la carte. De plus une sévère sélection des matériaux est indispensable pour limiter les délaminations au niveau des structures de renforcement des joints brasés.

En effet le WLP est constitué d'une ou plusieurs puces en silicium reportées directement sur la carte d'application. Ainsi le WLP est sujet à de très fortes contraintes thermomécaniques qui sont encore aggravées par l'augmentation de la rigidité d'un assemblage multipuce. De ce fait, si l'absence de boîtier permet d'améliorer le facteur de forme de l'assemblage, cette version du double flip-chip (Figure 8) représente un réel défi du point de vue de la fiabilité des joints brasés.

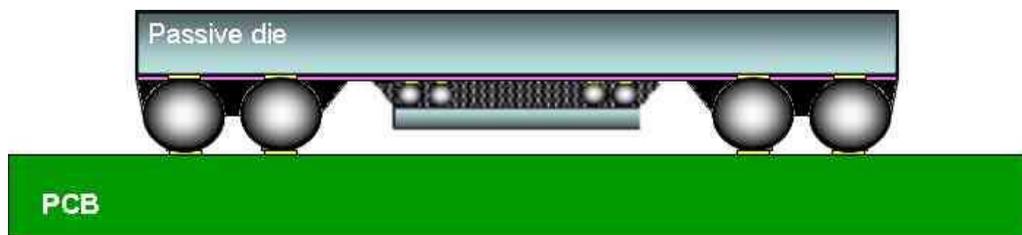


Figure 8 : Un double flip-chip monté sans boîtier (5,1mm) [36]

### 3 Description des mécanismes et de leurs modes de défaillance associés

Il existe un grand nombre de mécanismes de défaillance, aussi cette description ne sera pas exhaustive. Les principaux mécanismes de défaillances révélés lors d'essais en ambiances humides ou thermomécaniques peuvent être classés en trois familles :

- La corrosion
- La fatigue thermomécanique
- Les délaminations

Ce classement est cependant arbitraire, en effet les différents mécanismes ne sont pas indépendants entre eux.

#### 3.1 La corrosion

La corrosion est une attaque destructive d'un métal par une réaction, chimique ou électrochimique, avec son environnement. Les matériaux non-métalliques ne sont pas sujets à la corrosion. Les plastiques et les résines peuvent gonfler ou se fissurer mais ils ne se

corrodent pas [37], ces mécanismes font l'objet du chapitre 4. La corrosion a pour effet de modifier la microstructure des matériaux, modifiant par là-même les propriétés mécaniques et électriques des matériaux [38, 39]. La modification des propriétés mécaniques engendre des fissurations et des délaminations pouvant mener à des modifications du signal électrique voire même à une perte totale de signal. Le changement des propriétés électriques des matériaux va ajouter des résistances, des capacités et des inductances parasites amenant à des pertes de fonctionnalités du composant. Il existe deux types de corrosions appelées : corrosion humide et corrosion sèche. Les causes sont différentes.

### 3.1.1 Corrosion humide

La corrosion humide se produit lors d'une exposition à une atmosphère chargée d'humidité. L'humidité est le plus abondant des corrosifs, pour un composant électronique, même lors d'exposition à un faible taux d'humidité relative (RH, Relative Humidity). La présence d'humidité et d'un potentiel électrique est suffisante pour corroder les conducteurs positifs (anodes) des circuits intégrés.

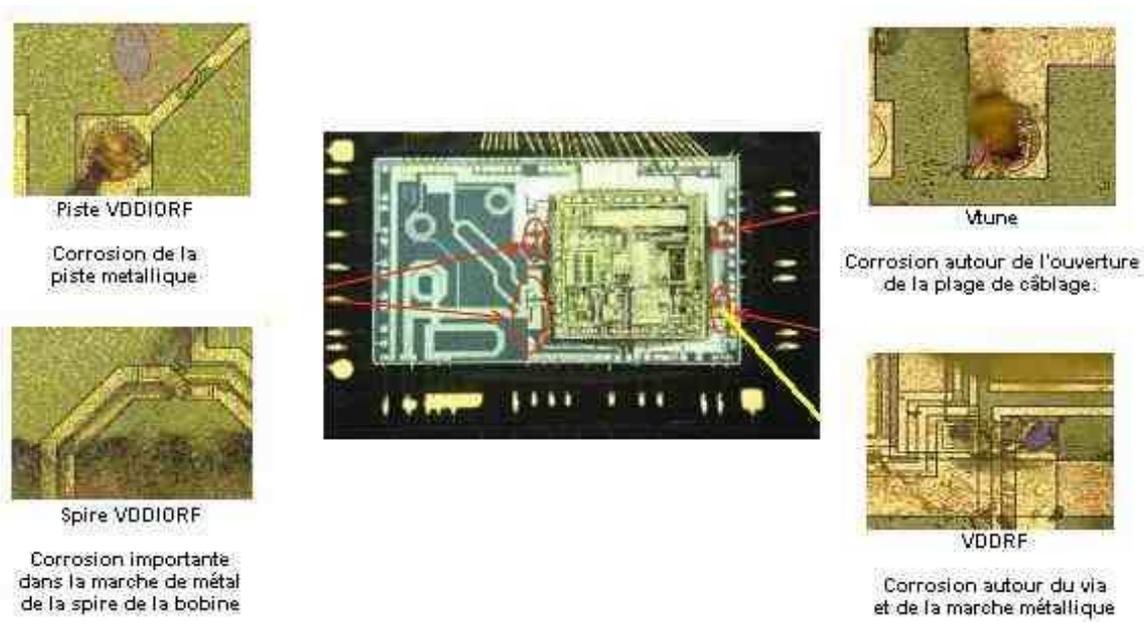


Figure 9 : Corrosion humide [40]

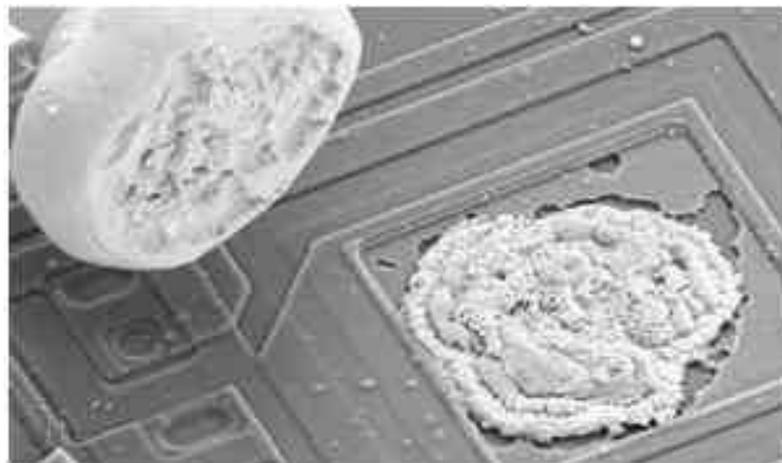
Les surfaces des composants absorbent aussi des gaz de l'atmosphère (tels que  $\text{SO}_2$ ,  $\text{HCl}$ ). Ces gaz se combinent avec l'humidité pour former des solutions électrolytiques. Les sels ioniques, qui peuvent venir des procédés de fabrication, de procédés mécaniques ou de l'atmosphère, absorberont de l'humidité pour former des solutions électrolytiques. La plupart

des composés ioniques absorbent de l'humidité au-dessus d'un seuil critique d'humidité relative, qui dépend du matériau [41]. De plus l'humidité absorbée plastifie les résines époxydes ce qui produit un gonflement et diminue la valeur de la température de transition vitreuse. De ce fait le transport de molécules corrosives est facilité au sein du composant [42].

L'exemple donné de corrosion humide (Figure 9) a été observé lors d'un essai de qualification HAST. Ce phénomène s'est produit aussi bien à 110°C qu'à 130°C et sous conditions polarisées ou non. Il est lié à une saturation en eau du boîtier lors d'une longue exposition à des conditions de température et d'humidité relative importantes. La corrosion se produit dans des zones critiques entraînant généralement une perte de fonctionnalité du composant.

### 3.1.2 Corrosion sèche

La corrosion sèche se produit lors d'exposition du composant à des hautes températures et provient de la décomposition thermique des différents matériaux qui rejettent des substances corrosives [43, 44, 45, 46]. Les produits de la décomposition thermique les plus agressifs sont les halogènes et les molécules contenant des halogènes relâchés par les résines époxydes et par les retardateurs de flamme. Ce sont typiquement des époxydes bromés et des oxydes antimoniques [41, 47]. Dans le cas, par exemple, des fils de câblage les réactions corrosives des molécules d'halogènes (tels que HBr, CH<sub>3</sub>Br) avec les intermétalliques vont diminuer la tenue mécanique des liaisons et augmentent leur résistance électrique engendrant leur destruction [48].



**Figure 10 : Corrosion sèche : Fil de câblage cassé le long d'une couche d'intermétallique Au/Al après 807 heures de test à 210°C dans l'air [50].**

L'atmosphère de l'étuve durant le stockage à haute température a aussi une forte influence sur cette corrosion sèche en agissant sur le taux de dégradation des résines. Par exemple, la présence d'oxygène produit une décomposition thermo-oxydative qui accélère significativement la dégradation et les défaillances d'un matériau composite époxyde [49].

Dans l'image présentée (Figure 10), le fil de câblage se décolle facilement de la plage montrant l'effet de la corrosion sèche. L'apparence des vides montre une attaque corrosive [50].

### 3.2 La fatigue thermomécanique

Un composant électronique est composé de différents matériaux avec des propriétés thermomécaniques très différentes. En particulier le coefficient de dilatation thermique diffère beaucoup, variant de 3ppm (pour le silicium) à 60ppm ou plus (pour les résines époxydes). Cette disparité de CTE produit, lors de variation de température, des contraintes et des déformations mécaniques au sein du boîtier. La contrainte, définie comme étant une force par unité de surface est une fonction continuellement variante au travers du matériau. Chaque élément infinitésimal peut expérimenter une force distincte. Chaque élément infinitésimal étant considéré comme un cube, alors il faut distinguer entre deux types de contraintes (Figure 11) : la contrainte normale (normal stress), perpendiculaire à la face du cube, ayant tendance à étirer le cube (tensile normal stress) ou à le comprimer (compressive normal stress) et la contrainte de cisaillement (shear stress), parallèle à la face du cube et en paire sur les faces opposées, ayant tendance à déformer le cube. La déformation est un résultat des contraintes normales et de cisaillement [51].



Figure 11 : Les contraintes normales (à gauche) et de cisaillement (à droite) [52]

Les déformations peuvent être élastiques ou plastiques. Le plus souvent une plage de déformations peut-être définie, dans laquelle le matériau a un comportement élastique et en dehors de laquelle il se comporte de façon plastique [53].

- Une déformation élastique se définit par une déformation proportionnelle à la force qui génère la déformation, selon la loi de Hooke et dont le quotient est appelé le module d'Young. Cette déformation est totalement réversible.
- Une déformation plastique est une déformation irréversible d'un matériau ductile, un matériau fragile casse en dehors de sa plage d'élasticité.
- Un matériau a un comportement élastoplastique quand il comporte une zone de déformation élastique et une zone de déformation plastique.

Le comportement des matériaux est généralement un peu plus complexe, car il faut tenir compte du comportement élastoviscoplastique. Sous une contrainte constante dans le temps, un matériau viscoélastique va avoir un comportement élastique suivi d'un fluage, durant lequel le matériau continue à se déformer à une vitesse dépendante de l'amplitude de la charge appliquée. Quand on supprime la contrainte, il peut y avoir un retour élastique partiel et instantané (comportement élastique) suivi par un retour à la forme initiale plus lent (comportement élastique retardé). D'un autre côté si la contrainte est maintenue le matériau va se relaxer, la contrainte va diminuer dans le temps par rapport à la contrainte initiale. Ceci signifie que la contrainte appliquée à un matériau viscoélastique dépend de l'histoire de la déformation du matériau et réciproquement la déformation du matériau dépend de l'historique des charges appliquées [51].

Aujourd'hui les contraintes thermomécaniques sont une des principales sources de défaillances dans l'industrie de la microélectronique. Elles se produisent tout au long de la fabrication et de l'utilisation du composant, peuvent être critiques lors de l'assemblage du composant et peuvent éventuellement mettre en danger la durée de vie projetée. Il a été montré qu'environ 65% des défaillances sont liées à des effets thermomécaniques [54]. Les contraintes thermomécaniques provoquent souvent des fissures dans différentes parties du composant. Il y a des fissures sans conséquences électriques, telle que les fissures dans la passivation (Figure 12) qui sont des fissures superficielles ne résultant en aucune perte de fonctionnalité. Cependant ces fissures laissent présager de futurs inconvénients de corrosion du fait de la diminution de l'étanchéité de la couche d'oxyde.

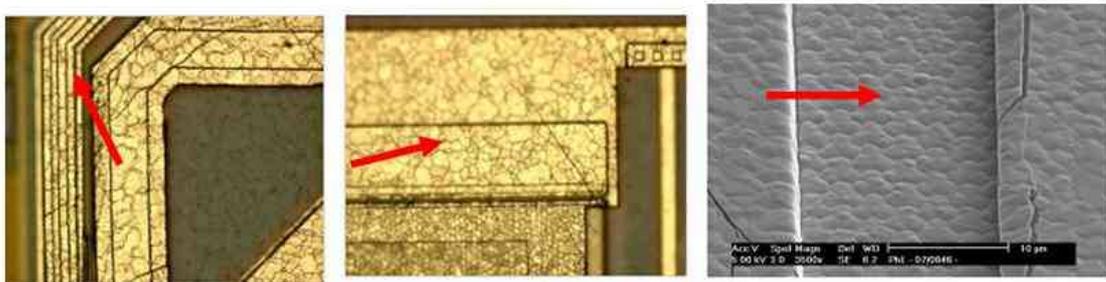


Figure 12 : Fissures dans la passivation [55]

Il y a aussi des fissures dramatiques du point de vue du fonctionnement, telles que les fissures dans les interconnexions (Figure 13). Sous l'effet des contraintes thermomécaniques répétées (jusqu'à 200 cycles thermiques) nous voyons que le joint brasé finit par se fissurer de part en part, n'assurant plus sa fonction conductrice.

---

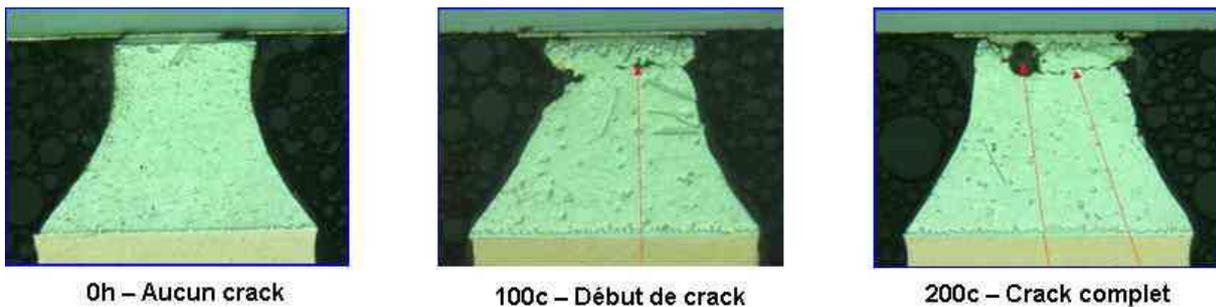


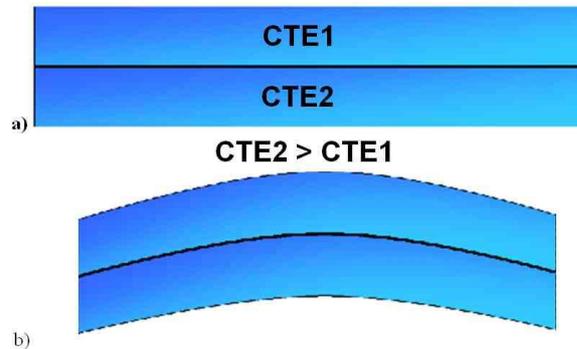
Figure 13 : Fissure dans un joint brasé [56]

### 3.3 Délamination

Un produit SiP est composé d'un grand nombre de matériaux différents. Ces matériaux bien ajustés les uns aux autres se comportent comme un tout. Cependant les coefficients de Poisson et les coefficients de dilatation thermique diffèrent entre chaque matériau. Lors de changements de température au sein de l'assemblage (même en considérant une température uniforme dans l'ensemble du composant) les matériaux se dilatent ou se rétractent de façon multiforme. Il en résulte des déformations de la structure (Figure 14) engendrant des contraintes mécaniques sur les matériaux.

Les interfaces étant les points faibles de la structure, les différentes couches constituant le composant ont tendance à se dissocier les unes des autres modifiant ainsi la structure de

l'ensemble et la répartition des contraintes. C'est un mécanisme de défaillance, répertorié, des composants électroniques multicouches appelé la délamination aux interfaces [57].



**Figure 14 : Effet des différences de coefficients de dilatation thermique**  
a) Température d'équilibre, b) Température froide

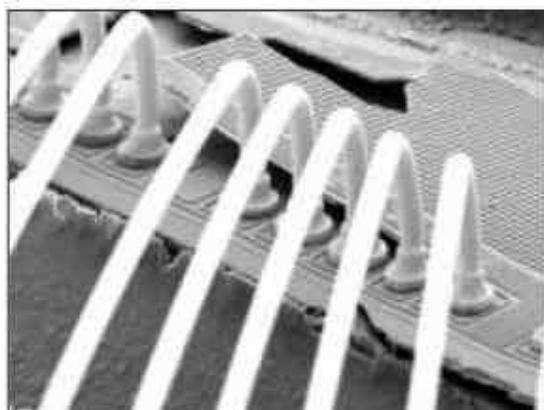
Lorsqu'un boîtier électronique en plastique est exposé à une atmosphère normale (température et humidité relative), il absorbe une certaine quantité d'humidité. La présence d'humidité dans le boîtier, et particulièrement aux interfaces, diminue les forces d'adhésion des matériaux entre eux [58]. De plus l'humidité absorbée va entraîner le gonflement des résines, générant par là des contraintes mécaniques sur la structure. En effet, alors que les matériaux organiques absorbent de l'humidité et gonflent, les matériaux métalliques se corrodent et perdent de leur adhérence mais ne se dilatent pas. Cette différence de comportement va créer une contrainte mécanique le long des interfaces. Cette contrainte peut être comparée à celle générée par les différences de CTE lors de cycles thermiques [59]. Enfin l'humidité absorbée va générer des modifications dans les propriétés viscoélastiques des matériaux, ce qui a pour résultat de modifier les valeurs des contraintes lors de changements de température [60]. Ces contraintes et ces détériorations des interfaces vont résulter en une dissociation des interfaces entre elles. C'est ce qui définit la délamination.

Ainsi la délamination, qui est le défaut le plus fréquent des composants électroniques [61], n'est pas toujours une défaillance, en soi, du système mais elle engendre une perte d'intégrité de l'ensemble. Cette perte d'intégrité va résulter en une modification de la répartition des contraintes au sein de l'assemblage. Finalement il pourra en résulter une défaillance due à un excès de contraintes dans une zone critique de l'assemblage. C'est pourquoi la fiabilité d'un composant électronique dépend en grande partie de l'intégrité des interfaces [62]. En effet les déplacements locaux ont une grande importance sur la durée de vie de l'ensemble [63]. En particulier, l'interface entre la colle conductrice (die attach) et la

structure métallique (lead-frame) est très sensible aux délaminations entraînant avec elle des détériorations conduisant à la défaillance de l'ensemble [64].

Les principaux défauts liés à la délamination sont des défauts provoqués par des contraintes thermomécaniques. La délamination, en détruisant l'intégrité de l'assemblage, va provoquer une concentration des contraintes sur une (ou plusieurs) zones précises. La contrainte étant localement supérieure à la résistance de l'assemblage, il en résulte l'apparition de fissures [65]. De ce fait il y a trois principaux mécanismes de défaillances pouvant avoir un lien avec la délamination :

- Différentes études ont montré que la délamination pourrait avoir une influence importante sur la fatigue des joints brasés [66, 67, 68, 69, 70]. Les joints brasés encaissent une grande partie des déformations liées aux inadaptations de coefficients de dilatation thermique. Après un certain nombre de cycles, ils fatiguent et se fissurent provoquant la défaillance du système.
- Le deuxième point sensible est l'apparition de fissures dans les puces en silicium, dans les boîtiers, dans la passivation et des déplacements métalliques [71]. Ces fissures peuvent faciliter le transport de l'humidité et ainsi accélérer les dégradations liées à la corrosion au sein du composant [72].
- Enfin la délamination est aussi susceptible d'entraîner la destruction des fils de câblage, soit par propagation d'une fissure au travers du câblage, soit par des contraintes thermomécaniques sur le câblage [65, 72].



**Figure 15 : Délamination entre des pistes métalliques [73]**

De plus la délamination aura aussi un impact sur le comportement thermique du boîtier, du fait de la non-intégrité, de la non-continuité des interfaces. Car le bon ajustement des

différents matériaux est essentiel à une bonne dissipation de la chaleur. Toute délamination aura donc pour effet de dégrader les performances thermiques de l'ensemble. Or la température est un des premiers facteurs d'accélération des mécanismes de défaillance.

Dans l'exemple de la figure 15, nous voyons le cas d'une délamination critique au niveau des pistes métalliques, amenant à une destruction rapide de la fonctionnalité du composant.

Dans le second exemple (Figure 16), la délamination au niveau de la colle n'est pas liée à un défaut de composant, cependant les propriétés thermiques du boîtier vont être modifiées par cette délamination [74].

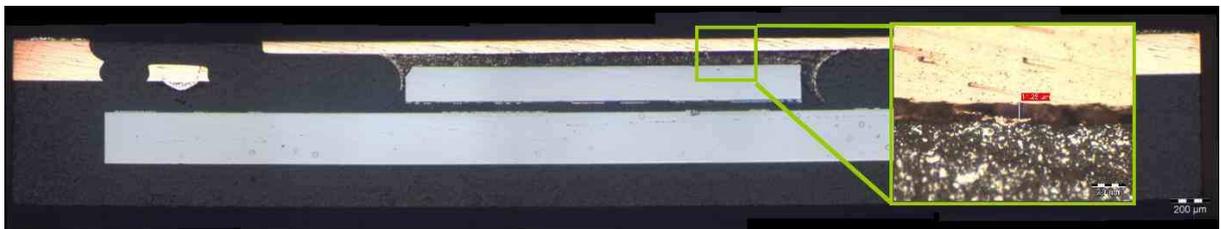


Figure 16 : Délamination au niveau de la colle

Nous avons donc décrit les principaux mécanismes de défaillance, liés à l'humidité et aux contraintes thermomécaniques, rencontrés sur les composants SiP. L'humidité et les contraintes thermomécaniques sont les deux principales causes de défaillances liées aux conditions environnementales. Pour mettre en place une étude sur la fatigue des joints brasés lié aux contraintes thermomécaniques et une étude sur la délamination liée à la fois aux contraintes thermomécaniques et à l'absorption d'humidité, nous avons défini deux véhicules de test.

#### 4 Description des véhicules de test

Les deux véhicules de test, utilisés dans ce travail, sont sujets à la fois à la corrosion, à la fatigue thermomécanique et à la délamination. Un composant de type WLSiP a été utilisé pour une étude de qualification accélérée sur composant de test dédié, au travers d'une étude thermomécanique sur les joints brasés. Un composant, de type SiP, a été utilisé pour l'étude de qualification accélérée sur prototype fonctionnel, au travers d'une étude de l'absorption d'humidité et de la délamination.

### 4.1 Le WLSiP

Le véhicule de test de type WLSiP est un composant SiP auquel l'encapsulant en plastique n'a pas été appliqué. C'est un composant fabriqué pour une expérimentation sur les joints brasés en vue d'un développement d'une nouvelle famille de composants. La figure 17 montre, en coupe transversale schématique, les trois variantes du WLSiP.



Figure 17 : Vue schématique en coupe d'un WLSiP

Le PCB utilisé est de type FR4, de 8 couches et de 1,6mm d'épaisseur. Les composants comportent chacun deux rangées de billes de 300 $\mu$ m, suivant un pas de 500 $\mu$ m.

### 4.2 Le SiP

Le véhicule de test SiP choisi est un composant déjà en production par NXP Semiconductors. Il s'agit d'un boîtier HVQFN40, dans lequel sont reportés en double flip-chip (Figure 18) une puce active (Qubic4) sur une puce passive (PICS) [75]. Ce composant a été choisi à cause de sa structure complexe permettant de mettre en évidence une grande variété de mécanismes de défaillance. Les expériences passées et les retours des plans de qualification antérieurs nous permettent de bien connaître ce composant.

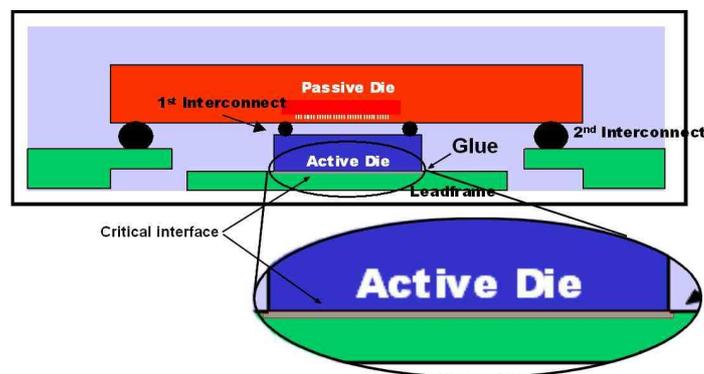


Figure 18 : Vue schématique en coupe d'un SiP

Ce composant possède un boîtier de type HVQFN40 de quarante Entrées/Sorties. Il est employé dans le domaine de la téléphonie mobile. Ses deux grandes caractéristiques sont sa

technologie PICS et sa construction en double Flip-Chip. La technologie PICS permet de regrouper tous les composants passifs du circuit sur une même puce. La technologie double flip-chip permet de limiter les inductances parasites entre la puce active (RFCmos) et la puce passive (PICS). La puce active est reportée en flip-chip sur la puce passive, elle-même est reportée en flip-chip sur le lead-frame du composant (figure 19).

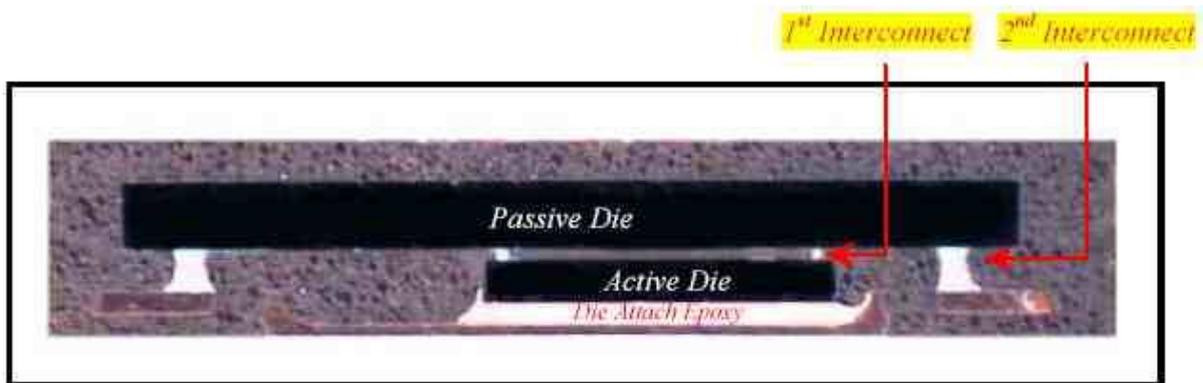


Figure 19 : Le SiP en double flip chip

### 5 Outils d'analyses de défaillance utilisés dans cette thèse

Ayant passé en revue les différentes familles de SiP et leurs mécanismes de défaillance, nous allons nous intéresser à l'analyse de défaillance.

L'analyse de défaillance est le procédé d'identification et de classification des causes de défaillance avec une précision suffisante pour amener des actions correctives efficaces. De ce fait l'analyse de défaillance est le passage obligatoire vers l'amélioration des procédés de fabrication des composants électroniques.

L'analyse de défaillance peut être utilisée lors d'un retour client, afin d'identifier les causes d'un défaut apparu avant la fin de période de garantie d'un produit. Il s'agit de déterminer si le défaut provient d'une faiblesse du produit ou si c'est un défaut lié à une cause extérieure non prévisible et pour laquelle il n'existe pas de protection efficace, telle qu'une décharge électrostatique liée à une manipulation sans protection d'un composant.

D'autre part, l'analyse de défaillance est utilisée pour la qualification et le contrôle des produits et des procédés. En effet tout au long d'une production et lors des phases d'expérimentation de nouveaux plans de conception, il est indispensable de suivre les évolutions, d'améliorer, de comparer les procédés de fabrication d'une façon précise et directe

par l'analyse des composants produits. Elle permet de comprendre les défaillances d'un point de vue fondamental.

Enfin l'analyse de défaillance permet d'essayer de comprendre toutes difficultés se présentant lors de la fabrication de produit, de l'étude du rendement de chaîne de production à la conception de nouveaux produits par les ingénieurs.

Ce paragraphe ne donne pas une liste exhaustive de l'ensemble des méthodes existantes mais seulement les méthodes utilisées durant ce travail de thèse. Après une rapide description de l'analyse de défaillance, le déroulement d'une analyse de défaillance est présenté et enfin quelques méthodes de confirmation et d'observation de défaut sont énoncées.

### 5.1 Le déroulement d'une analyse de défaillance

L'analyse de défaillance (FA, Failure Analysis) est un procédé qui nécessite des méthodes et des techniques variées pour résoudre les problèmes de fiabilité et de qualité rencontrés lors de la fabrication ou de l'utilisation des composants électroniques. Ce procédé peut être relativement compliqué du fait des avancées technologiques des semi-conducteurs et des boîtiers, ainsi que de la grande quantité de disciplines d'ingénierie impliquées dans la réalisation des composants électroniques. L'ingénieur ou l'analyste en analyse de défaillance doit être compétent en conception, en procédé de fabrication, en assemblage, en test et en applications, ce qui requiert des connaissances en physique, en électricité, en chimie et en mécanique.

Les mêmes outils d'analyses sont utilisés que ce soit pour l'analyse des composants fonctionnels, pour la caractérisation des procédés, pour l'analyse physique destructive et pour l'analyse de construction. Le développement des outils de l'analyse de défaillance doit être identique à celui de la production. Ainsi les analystes doivent constamment développer des outils et des techniques adaptés aux nouveaux procédés de fabrication. Alors que la surface de la puce diminue et se retrouve couverte par de multiples niveaux d'interconnexions, les besoins pour l'analyse de défaillances doivent être anticipés lors du cycle de conception. Ainsi l'incorporation de structures de test spécialisées et de possibilités de tests fonctionnels rend les problèmes plus faciles à diagnostiquer.

La réussite de l'analyse de défaillance ne réside pas uniquement dans un lot d'instruments de qualité, mais aussi dans les personnes et dans leurs approches de la résolution des problèmes. Bien que le laboratoire d'analyse soit capable d'identifier le

mécanisme de défaillance, cela n'est que le début du chemin vers la compréhension de la défaillance. Suivant le composant et la complexité du procédé de fabrication, l'analyse de la cause primaire peut demander des plans d'expérience étendus pour, non seulement, identifier la cause de la défaillance mais aussi vérifier l'efficacité des actions correctives potentielles.

### 5.1.1 Vue d'ensemble des procédés d'analyse de défaillance

Les étapes suivantes décrivent les procédures de base auxquelles un composant peut être soumis au sein d'un laboratoire d'analyse de défaillance.

- Les informations nécessaires

Il est nécessaire, pour orienter l'analyse, de connaître, autant que possible l'historique des défaillances du produit, sa durée d'exposition et les conditions sous lesquelles la défaillance s'est produite. Connaître le mode de défaillance de l'application permet d'observer le composant dans sa configuration défaillante. Enfin, de savoir comment le composant a été manipulé avant sa réception au laboratoire, orientera sur d'éventuels artefacts.

- Test de diagnostique

Le composant est premièrement soumis à simple test "pin à pin" qui permet une rapide identification des anomalies de paramètres électriques en comparaison avec un composant non-défaillant. Suivant le mode de défaillance, le composant peut être soumis à des mesures plus poussées avec des conditions de contraintes correspondant à l'application du client ou pour stimuler le mécanisme de défaillance.

- Tests non-destructifs

L'analyse de défaillance est en soi de la rétro-ingénierie et est donc destructive par nature pour le produit à analyser. Puisque le boîtier sera, au moins partiellement, détruit afin d'accéder à la puce, les techniques non-destructives sont mises en œuvre, autant que possible, pour observer le boîtier ou les mécanismes liés à l'assemblage. Les techniques les plus utilisées sont la microscopie acoustique et la radiographie X pour inspecter les assemblages internes ou les anomalies du moulage.

- Inspections internes

Une inspection optique interne est réalisée afin de détecter toute anomalie évidente dans l'assemblage ou un défaut sur la fabrication du wafer. Un nouveau test électrique est recommandé afin de déterminer si le mode de défaillance a changé.

- Les tests de diagnostics internes

Dans beaucoup de cas, l'inspection interne ne montre pas de mécanismes de défaillance évidents. Selon la technologie et le niveau de testabilité, le laboratoire utilise une ou plusieurs des techniques disponibles afin d'isoler la zone de défaillance. Ceci peut nécessiter un grand nombre de mesures électriques sous pointes ou de techniques spécifiques pour mettre en évidence les anomalies potentielles. La majorité de ces techniques tente d'utiliser les propriétés de la zone de défaillance, comme la dissipation thermique ou l'émission de photons. En partant d'un sondage sur un point fixe, des outils de navigation, de coupes laser ou de faisceaux d'ions localisés, sont utilisés pour aider à isoler un circuit ou un composant.

- Deprocessing

Le deprocessing est un procédé itératif d'enlèvement une à une des couches métalliques de la puce. Ce procédé recourt à l'utilisation de la chimie humide et de la gravure plasma pour révéler les structures enterrées. Appliquer les techniques appropriées est critique du fait de la nature destructive du procédé et des pertes potentielles d'informations capitales.

- Analyse de la zone de défaillance

Une fois la zone de défaillance mise en évidence l'analyse physico-chimique est démarrée. Les techniques d'analyses employées dépendent à la fois de la morphologie et de la composition des matériaux.

- Rapport de conclusion

Pour terminer l'analyse, un rapport est généré. Le rapport doit établir une relation entre l'anomalie physique et le mode de défaillance. Il doit être suffisamment documenté pour pouvoir établir de façon certaine la cause première de la défaillance.

### **5.2 Les outils de localisation et d'observation des défaillances**

La localisation d'un défaut dans un composant électronique peut s'avérer extrêmement difficile, en effet la taille du défaut peut être nettement submicronique. Les outils de l'analyse

de défaillance sont donc en constante évolution afin de toujours assurer la localisation et l'observation d'un défaut dans une microélectronique en constante miniaturisation. Chaque étape de l'analyse de défaillance fait appel à des techniques particulières présentées succinctement dans ce paragraphe.

### 5.2.1 La localisation du défaut par des méthodes non-destructives

Les méthodes d'analyses non-destructives permettent une observation plus ou moins directe du composant sans aucune modification de ce dernier. Ces méthodes sont utilisées avant toutes autres car elles ne modifient en rien le fonctionnement et la structure du composant. Cependant les observations réalisées par ces méthodes sont limitées et donc les différentes méthodes non-destructives sont complémentaires.

Une observation à l'œil nu du composant, plus détaillée à la loupe binoculaire et/ou au microscope optique permet de repérer d'éventuelles fissures dans le boîtier, d'éventuelles traces de mauvaises manipulations. Une loupe binoculaire fournit un grossissement allant jusqu'à 6 fois et le microscope optique permet un grossissement de 1000 fois. Cette première observation permet de repérer des défauts extérieurs jusqu'à l'échelle du micron.

La microscopie acoustique (SAM, Scanning Acoustic Microscopy) est une technique de contrôle, non-destructive, qui utilise les ultrasons. Cette technique est complémentaire de la technique d'analyse aux rayons X. Elle permet de visualiser la structure d'un composant électronique et observer des défauts enterrés. L'équipement utilisé est constitué de deux parties (Figure 20): la microscopie acoustique, qui regroupe tout ce qui permet l'acquisition des ondes acoustiques et l'ordinateur qui permet le traitement et le stockage de ces informations.



Figure 20: Scanning Acoustic Tomography (SCAT)

## Chapitre II : Technologies SiP

Le microscope acoustique utilise un générateur d'ondes et des transducteurs haute fréquence ultrasonique de 10 à 200Mhz pour transmettre les ondes acoustiques dans l'échantillon à observer. Plus la fréquence est élevée, plus la précision d'observation est grande mais moins l'onde pénètre dans l'échantillon. Cela signifie que nous devons chercher un compromis entre la résolution de l'image et la profondeur de champ de l'observation. De plus certains matériaux sont plus perméables aux ondes acoustiques. Ainsi l'observation d'un composant en silicium sans boîtier plastique pourra être aisément effectuée à l'aide d'une sonde à 200Mhz, offrant une résolution de 20 $\mu$ m. En revanche un composant encapsulé dans un boîtier plastique de 850 $\mu$ m, devra être analysé à l'aide d'une sonde de plus faible fréquence. La fréquence la plus utilisée, dans ce cas de figure, est la sonde de 50Mhz offrant une résolution de 100 $\mu$ m.

Ce type d'analyse est adapté à l'observation des structures non visibles avec le microscope à rayons X, ainsi que pour la recherche de discontinuité dans des éléments tels que le plastique du boîtier, les colles, les puces ou encore les pistes en aluminium (Figure 21).

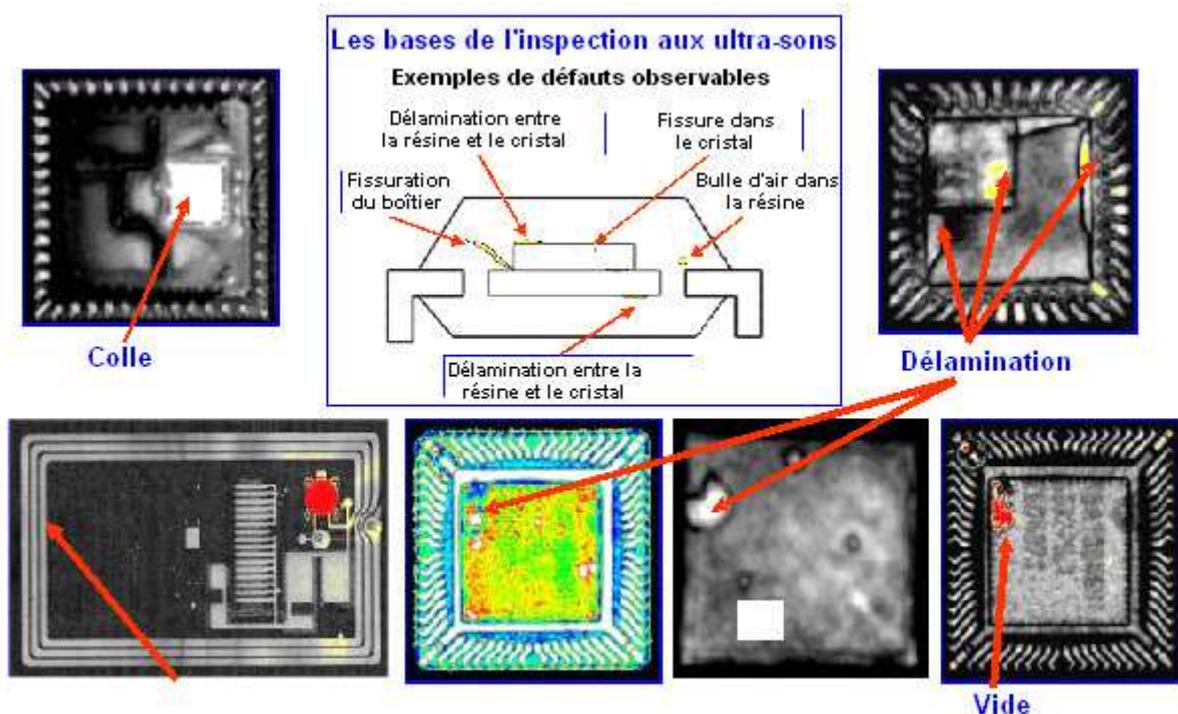
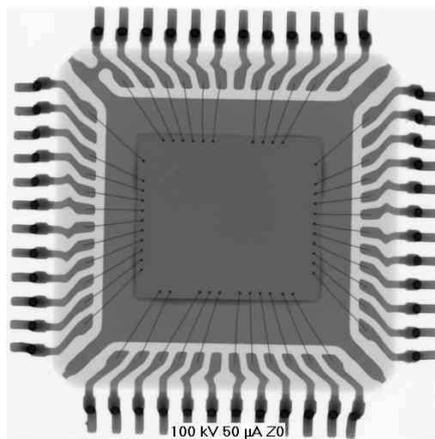


Figure 21 : Exemple d'images SAM

Cependant l'observation à l'aide du microscope acoustique rencontre certaines limitations. En effet chaque aspérité, chaque impureté peut générer une réflexion du faisceau

acoustique rendant les interfaces inférieures non observables. Ainsi, pour le composant SiP utilisé dans le cadre de ce travail de thèse, l'observation de délamination aux interfaces n'a pas été réalisable avec l'équipement acoustique dont nous disposons.

Très utilisées pour la recherche de défauts dans les matériaux de plus forte densité atomique, les analyses par radiographie X (X-Ray) permettent de détecter des défauts dans les joints brasés, des défauts dans les fils de câblage ou encore parfois des fissures dans la colle. Le principe consiste à envoyer un faisceau de rayons X sur le composant et d'observer ce faisceau sur une cible placée après le composant, en associant un niveau de gris à chaque point de la cible en fonction de la quantité de rayons X reçue, nous reconstituons une image du composant (Figure 22)



**Figure 22 : Exemple d'image Rx**

La résolution offerte par le microscope à rayons X à nano-foyer de FineFocus est de l'ordre de  $10\mu\text{m}$ . Ceci permet l'observation de bulles dans les joints brasés du second niveau ( $100\mu\text{m}$ ) mais pas dans ceux du premier niveau ( $30\mu\text{m}$ ).

### **5.2.2 Observation du défaut par des méthodes partiellement destructrices**

Les méthodes d'analyse non-destructives ne sont pas toujours capables de révéler l'emplacement de défaut. Le recours à des techniques partiellement destructrices peut alors être indispensable. Ces techniques n'altèrent pas le fonctionnement du composant mais détruisent plus ou moins totalement le boîtier. De ce fait elles ne doivent être utilisées qu'après une analyse non-destructive complète, car tous les défauts éventuellement présents au niveau du boîtier ne seront plus observables.

La mesure ohmique ou le tracé d'une caractéristique  $I(V)$  à l'aide d'une mesure sous pointes (probing) pour la confirmation et la pré-localisation du défaut nécessite généralement le retrait du boîtier pour avoir accès à la surface active de la puce. L'équipement (Figure 23) permet d'effectuer des mesures électriques DC et/ou RF sur des wafers ou des cristaux montés à l'intérieur de boîtiers ouverts. La technique « micro-probing » permet de prendre des contacts électriques pour effectuer des mesures ou pour injecter des signaux par l'intermédiaire de pointes adaptées sur des pistes ou des plots dont les dimensions sont de l'ordre de quelques dizaines de micromètres.

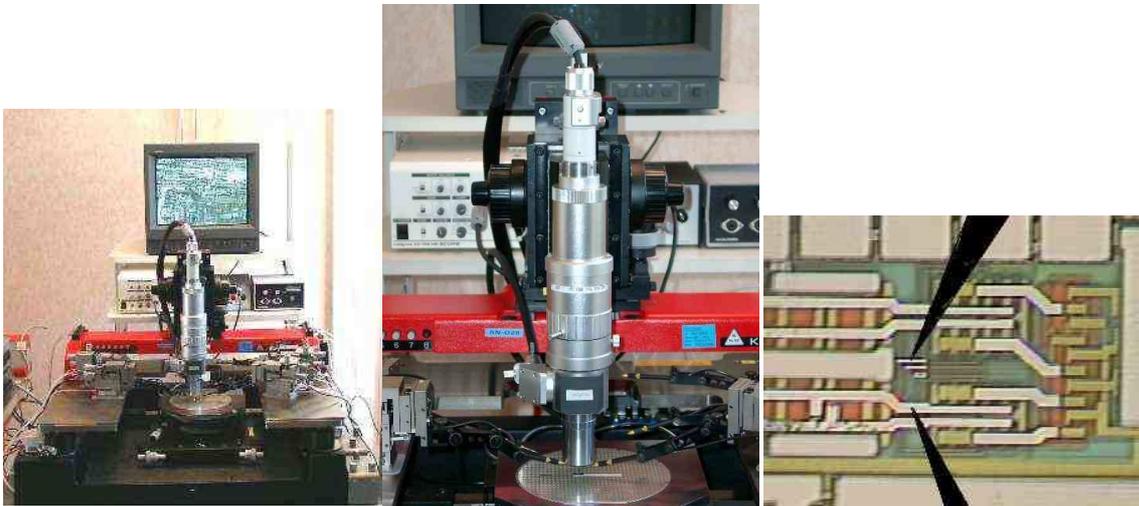


Figure 23 : Équipement de mesure sous pointe

### 5.2.3 Observation du défaut par des méthodes destructrices

Pour observer le défaut et le caractériser il est nécessaire de procéder à une coupe transversale du composant dans la zone définie par les analyses précédentes. Cette coupe est généralement réalisée de façon mécanique par rodage et par polissage. Cette technique permet d'observer une zone précise du composant en coupe transversale. La préparation de l'échantillon terminée, nous pouvons alors photographier, dimensionner, analyser, observer de près le défaut à l'aide des diverses techniques de microscopie disponibles.

L'observation au microscope optique est la première ressource pour la recherche d'un défaut. Avec un grossissement allant jusqu'à 1000 fois, il est possible d'observer les défauts de l'ordre du micron. Il est aussi particulièrement utilisé en cours de coupe par rodage/polissage d'un échantillon.

Un Microscope Électronique à Balayage (MEB) permet d'agrandir les objets jusqu'à 400 000 fois. La précision de l'observation, tout en dépendant fortement de la qualité de la préparation de l'échantillon, peut être de quelques nanomètres.

### **6 Conclusion**

Dans ce chapitre différentes familles de composants SiP ont été définies montrant ainsi la diversité de ces composants et la difficulté qu'il y a de parler de SiP. Puis différents mécanismes de défaillances ont été mis en avant. Ces mécanismes de défaillances sont communs à la plupart des composants SiP et ont conduit au choix des deux véhicules de test ainsi que les méthodes et outils de l'analyse de défaillances utilisés durant ce travail de thèse.

La technologie SiP est vraiment intéressante car elle utilise des méthodes et des techniques déjà maîtrisées pour aller plus loin dans la miniaturisation des composants. De ce fait le classement choisi dans ce chapitre est arbitraire, en effet les différentes familles évoquées sont souvent regroupées dans un seul ensemble. Un WLP peut contenir plusieurs puces côte à côte placées en flip chip sur une puce connectée par des fils de câblage et ainsi regrouper à lui seul toutes les familles de SiP.

De la même façon les mécanismes de défaillances ne sont pas indépendants les uns des autres. Il semble que la délamination puisse avoir un impact sur l'apparition d'une fissure ou d'une fatigue thermomécanique [65, 62]. Ces mécanismes ne sont pas non plus spécifiques à une famille de WLP, mais ils sont critiques quelle que soit la technologie d'assemblage choisie.

Deux véhicules de test ont donc été définis afin de développer les méthodes de qualification accélérée décrites précédemment. Dans le chapitre 3, le véhicule de test WLSiP servira à l'étude des joints brasés. Cette étude montre l'utilisation de la qualification accélérée sur un composant de test lors du développement d'une nouvelle technologie. Le chapitre 4 sera focalisé sur les problèmes liés à la délamination. Le véhicule de test SiP « double flip-chip » permettra de mettre en évidence l'intérêt de l'utilisation de la qualification accélérée sur un prototype fonctionnel.

Toutes les analyses de défaillance seront conduites comme décrit dans ce chapitre.



# Chapitre III : Qualification accélérée sur circuit de test

## *1 Introduction*

Un circuit de test dédié est un composant dont le schéma est réalisé en vue de suivre l'évolution d'un mécanisme de défaillance particulier. Le composant WLSiP, utilisé dans cette étude, a été réalisé pour l'étude de la fatigue des joints brasés du premier et du second niveau. L'objectif de ce chapitre est donc de qualifier cette nouvelle famille de composant, relativement à la fatigue des joints brasés. Cette qualification a pour objectif de définir les paramètres idéaux du composant autant en terme de matériaux qu'en terme de schéma. Pour cela l'ensemble des paramètres du composant doit être étudié.

Pour déterminer quels sont les paramètres ayant un impact sur la durée de vie des joints brasés, une étude bibliographique détaillée a été menée et les résultats sont exposés dans ce chapitre. L'ensemble des paramètres influents a ainsi pu être déterminé et organisé par niveau de criticité. Les paramètres les plus critiques ont été retenus. Cependant à ce niveau la matrice d'expérimentation comporte encore 48 paramètres : surface et épaisseur de la puce active, surface et épaisseur de la puce passive et technologie d'underfill (3 paramètres : avec ou sans et re-renforcement). De plus les paramètres des cycles thermiques doivent aussi être étudiés pour définir le cycle thermique permettant la qualification la plus rapide. Enfin même en réalisant ce plan d'expérience complet, il ne serait pas possible de déterminer les limites de chaque paramètre. C'est-à-dire, par exemple, quelle est la surface maximale de la puce passive permettant de réaliser un composant d'une fiabilité satisfaisante.

Ainsi le plan d'expérience déduit de l'étude bibliographique doit être premièrement réalisé par simulation. En effet, si les matériaux sont correctement caractérisés, la simulation permet de comparer les différents assemblages autant en ce qui concerne les matériaux que les schémas. La simulation permet d'évaluer des matrices d'expérimentation de très grandes tailles, pour des coûts relativement bas et des délais relativement courts. En effet la simulation permet de faire varier les conditions d'essais, pour en évaluer l'impact sur les défaillances.

Ainsi la simulation permet de réduire la taille de la matrice d'essai et de la rendre plus pertinente. La mise en œuvre et les résultats des simulations sont détaillés dans un troisième paragraphe.

Enfin, suite aux simulations, il est nécessaire de réaliser un plan d'expérience réel afin d'une part de confirmer la pertinence des simulations et d'autre part d'obtenir des valeurs de durée de vie. Dans le quatrième paragraphe, nous exposerons deux plans d'expériences ainsi que les résultats obtenus. Le cahier des charges de l'expérience impose que ce composant soit réalisé sur des équipements et des procédés déjà qualifiés.

Finalement, nous concluons sur des paramètres et un schéma permettant la réalisation d'un WLSiP fiable.

### 2 Facteurs influents de la fatigue des joints brasés

Tous les assemblages mettant en œuvre des joints de brasure, tels que les BGA, flip-chip, WLP, etc., portent la même problématique. En effet les joints de brasure, en plus d'assurer les liaisons électriques au sein de la puce, réalisent une fonction mécanique. Les changements de température, internes ou externes, provoquent des déformations mécaniques du boîtier (Figure 24), liées aux différences de CTE entre les différents matériaux constituant le composant ou entre le composant et le circuit imprimé (PCB). Les joints de brasure ont la faculté d'amortir ces déformations cycliques, qui, finalement, provoquent la rupture par fatigue des joints brasés.

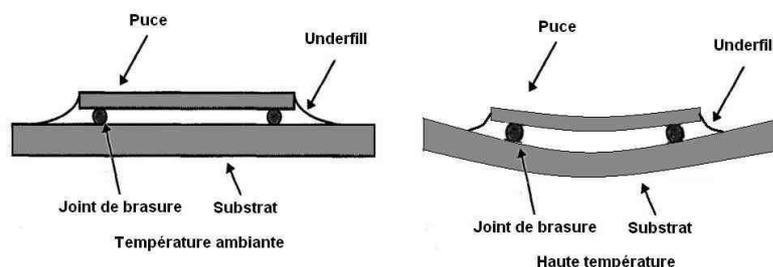


Figure 24 : Effet des différences de coefficient de dilatation thermique dans un WLP

Tous les différents paramètres géométriques du boîtier ont une influence sur l'amplitude des déformations, cependant seuls les paramètres géométriques des puces en silicium ont été étudiés dans ce travail.

Les paramètres technologiques doivent aussi être pris en compte, en particulier en ce qui concerne l'underfill. Ce matériau en résine époxyde chargée de silice permet un renforcement de la structure pour protéger les joints brasés lors des déformations mécaniques de la structure. Un seul type d'underfill sera expérimenté, mais plusieurs paramètres physiques d'underfill ont pu être simulés de façon à connaître les paramètres idéaux de l'underfill le mieux approprié à la structure étudiée.

Pour l'étude de la fatigue des joints brasés, deux types de contraintes peuvent être mises en œuvre : les contraintes thermomécaniques (cycles thermiques) ou les contraintes purement mécaniques (vibrations, torsions). Cependant ces deux types de contraintes ne produisent pas des mécanismes de défaillance parfaitement identiques [53]. Cette étude est donc focalisée sur les contraintes thermomécaniques. Un cycle thermique est défini par l'amplitude thermique, la durée de palier aux températures extrêmes et la vitesse des rampes de température. Chaque paramètre des cycles thermiques a un impact sur le nombre de cycles avant la défaillance du composant testé. C'est pourquoi dans une recherche de qualification rapide, il est intéressant d'analyser l'impact de chacun des paramètres de ce type d'essai. En effet la modification du cycle peut permettre l'augmentation de la fréquence, ce qui permet, si le degré de contrainte est conservé, d'accélérer la défaillance. Cependant il est nécessaire de s'assurer de l'identité des défaillances créées pour s'assurer que les contraintes d'essais accélèrent des défaillances qui se produiraient dans des conditions de vie réelle.

### 2.1 Géométrie de la puce

#### 2.1.1 Surface de la puce

Le silicium, d'un CTE très faible (de l'ordre de 3ppm/°C), étant reporté sur un PCB d'un CTE beaucoup plus important (environ 20ppm/°C), il en résulte une déformation du PCB très importante comparée à celle de la puce. En effet le silicium étant d'une grande rigidité ( $E_{Si} \approx 160\text{GPa}$ ), la puce ne se déforme pas. Il résulte de ces différences de déformations, un ensemble de contraintes sur les joints brasés. Les joints brasés, étant moins rigides ( $E_{SnAgCu} \approx 50\text{GPa}$ ), se déforment avec le PCB ( $E_{Cu} \approx 124\text{GPa}$ ) ramenant les contraintes à leur interface avec la puce en silicium. Ainsi la zone critique des joints brasés se situe au niveau de la puce. De plus les contraintes exercées sur les joints brasés sont liées à la déformation du PCB par rapport à la puce. Au centre de la puce la différence de dilatation relative entre la puce et le PCB est faible, alors que dans les angles les différences sont plus

importantes (Figure 25). Si la surface de la puce est grande alors les contraintes exercées sur les billes situées aux extrémités seront plus importantes. La première cause de fatigue des joints de brasure étant la disparité de CTE entre la puce et le PCB, plus la puce sera grande plus le taux de défaillance sera élevé. Ainsi plus la surface de la puce est réduite moins les contraintes exercées sont importantes (Figure 26).



Figure 25 : Différence de dilatation réelle au centre et sur les angles  
Zones de contraintes en rouge

Une étude paramétrique conduite par S.F. Popelar [76] montre l'influence de la surface de la puce sur la durée de vie. La fatigue des joints de brasure, due à l'accumulation de contraintes, augmente très rapidement quand la surface de la puce augmente. Mais il semble que l'utilisation de l'underfill permette de palier cette difficulté de façon à obtenir une durée de vie à peu près constante quelle que soit la surface de la puce. SC Chaparala et al. sont arrivés à la même conclusion [77].

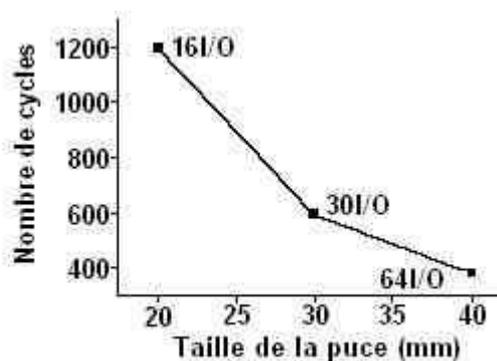


Figure 26 : Effet de la surface de la puce sur la fiabilité des joints de brasure [76]

### 2.1.2 Épaisseur de la puce

Du paragraphe précédent, il ressort que la surface de la puce est un des facteurs les plus influents sur la durée de vie des joints brasés. Le second paramètre à prendre en compte est la raideur de la puce. Il ne faut pas confondre rigidité et raideur. La rigidité caractérise les matériaux, la raideur concerne les produits et les constructions. Une puce en silicium a une

rigidité, mesurée par le module d'Young, de 160GPa. La raideur, quant à elle, est dépendante de la géométrie de la puce. Ainsi l'amincissement de la puce est une technique résultant en une puce moins raide. La puce se déformant plus facilement, les contraintes exercées sur les joints de brasure sont diminuées.

Dans la littérature nous trouvons qu'effectivement l'amincissement de la puce conduit à un allongement de la durée de vie des joints lors d'essais en cycles thermiques. Une étude paramétrique sur la fiabilité des assemblages flip-chip [76] a montré que l'épaisseur de la puce a une influence directe sur la durée de vie des joints de brasure sans modification du mécanisme de défaillance, qui est une fissure du joint de brasure. L. Wetz, J. White et B. Keser ont travaillé sur l'amélioration de la fiabilité des WLP par l'amincissement de la puce [78] et ont prouvé qu'amincir la puce augmente la fiabilité (Figure 27) mais qu'en même temps l'amincissement de la puce change la localisation de la défaillance de la brasure. La zone d'apparition de la fissure dans la brasure est déplacée de la puce vers le PCB.

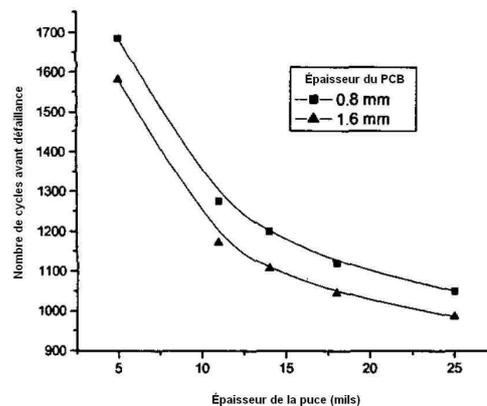


Figure 27 : Effet de l'épaisseur de la puce sur la fiabilité [78]

### 2.2 Technologie d'underfill

L'underfill est un polymère placé entre la puce et le PCB. Il constitue un joint entre la puce et le PCB permettant de répartir les contraintes exercées sur les billes. L'underfill agit comme une colle améliorant la tenue mécanique (résistance aux chocs, aux vibrations, ...) de l'ensemble puce/PCB. L'utilisation de l'underfill permet de diminuer les problèmes de disparité entre CTE et permet d'augmenter considérablement la durée de vie des joints de brasure. De plus l'underfill, en assurant la tenue mécanique et en répartissant les contraintes

### Chapitre III : Qualification accélérée sur circuit de test

---

thermomécaniques, permet de réduire, voire d'éliminer, l'influence de la surface de la puce sur la fiabilité.

Mais l'underfill peut également être une source de défauts. Q Tan et al. [79] ont identifié plusieurs mécanismes de défaillance, direct ou indirect, dus à l'underfill :

- Fissures produites par des bulles dans l'underfill
- Délamination entre l'underfill et le substrat ou le PCB
- Délamination entre l'underfill et la passivation
- Délamination entre l'underfill et le joint brasé
- Fissures dans le silicium
- Fissures dans la passivation
- Fissures dans le substrat
- Fatigue des joints brasés

Quand une bulle dans l'underfill se trouve près d'une bille, elle peut être une cause de déclenchement de fissures au niveau de la bille. On peut observer des délaminations entre l'underfill et le substrat, la passivation de la puce ou le joint de brasure. La délamination peut être le point de départ d'une fissure dans la bille ou dans le substrat mais peut également fournir un point de passage à des produits chimiques attaquant la métallisation et provoquant des défaillances dues à la corrosion. Une fissure dans l'underfill près de la puce peut entraîner une fissure dans la puce, dans la passivation, dans le substrat ou bien la fatigue de la brasure. Une fissure dans la puce est une conséquence de la contrainte induite par l'underfill sur une puce amincie. Les fissures et les délaminations dans la passivation sont très difficiles à identifier, principalement en raison des techniques de micro-section. Cependant les fissures de passivation sont provoquées par la disparité de CTE entre l'underfill et la passivation. L'apparition de fissures et de délamination est liée à l'adhérence entre l'underfill et la passivation, au module d'Young de l'underfill, à la fragilité de l'underfill ou de la passivation.

Bien que la délamination entre l'underfill et la puce de silicium soit couramment observée durant le cycle thermique des boîtiers montés en flip chip, il semble que la force d'adhésion ne diminue pas au cours des cycles thermiques [80]. Cela signifie que la délamination se produit de façon soudaine lorsque la contrainte cumulée dépasse la force

d'adhérence de l'underfill ou que la délamination se produit au niveau d'une imperfection de l'interface.

Ainsi l'utilisation d'underfill permet généralement d'augmenter la fiabilité des WLP à condition que les caractéristiques de l'underfill soient adaptées aux matériaux du composant. Différentes expériences réalisées montrent qu'en employant de l'underfill, la durée de vie des joints brasés est généralement sensiblement augmentée. Par exemple, la durée de vie des joints de brasure a été augmentée de 37 cycles à 1040 cycles dans le cas de FLOB (Flip Chip On Board) de 40mm<sup>2</sup> [81] ou encore de 324 cycles à 1141 cycles dans les cas d'un BGA de 50mm<sup>2</sup> [82]. Zhang et al. [83] ont montré, par des simulations, que la disparité des CTE n'est pas la seule cause de délamination mais que les disparités de rigidité aussi jouent un rôle important dans la déformation de la structure et donc dans le comportement des fractures. De plus la force de cisaillement de la puce étant directement liée au module d'Young de l'underfill, les paramètres d'underfill les plus importants sont le module d'Young et le CTE [84].

Une des difficultés liées à l'utilisation de l'underfill est la très grande disparité de CTE entre le silicium de la puce et le cuivre des pistes du PCB. Il est en effet difficile d'adapter le CTE de l'underfill à la fois au silicium et au cuivre. Les simulations permettent alors de rechercher les paramètres idéaux de l'underfill afin d'assurer la meilleure longévité au composant. Une fois les paramètres définis, il est nécessaire de rechercher l'underfill commercial se rapprochant le plus de cet idéal. Une autre technique a été développée afin de pallier cette difficulté. Cette technique consiste en une application unilatérale de l'underfill. Cette technique, appelée re-inforcement (Figure 45), a des points communs avec la technique du brevet du 22 septembre 2000, par Flip Chip Technologies, L. L. C. [85] mais diffère fondamentalement par les matériaux utilisés et les techniques mises en œuvre. En effet le re-inforcement utilise un matériau d'underfill classique et des équipements de dépôt par seringue (jetting) utilisés pour l'application de l'underfill. Cette technique permet de livrer des composants WLSiP prêts à assembler sur la carte d'application. De ce fait nous avons étudié son intérêt en ce qui concerne la fiabilité.

### 2.3 Paramètres des cycles thermiques

La mise en évidence de la faiblesse des joints brasés peut être effectuée par chocs mécaniques, par vibrations mécaniques, par essais en torsion ou par des variations de

température. Dans ce travail, seules les variations de température (cycles thermiques) ont été utilisées. Le cycle thermique est défini par l'amplitude du cycle, la durée des paliers de température et la vitesse des rampes (Figure 28).

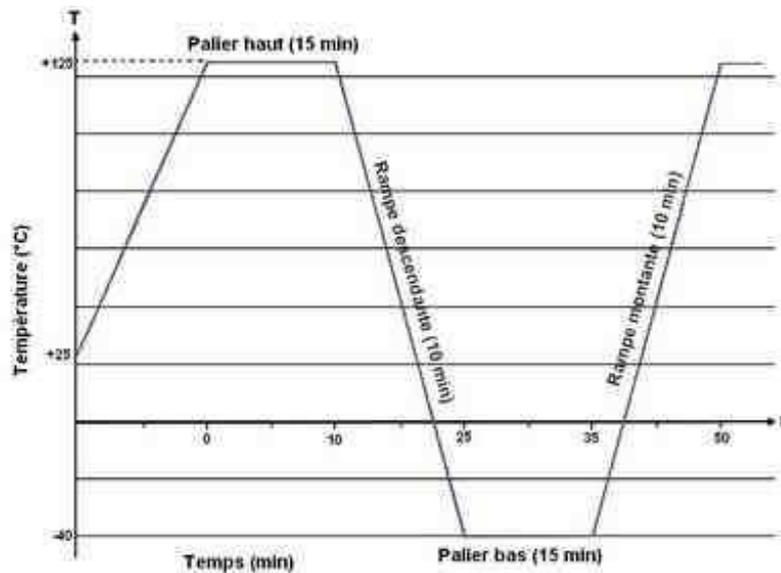


Figure 28 : Cycle thermique de 50 minutes, 10 minutes de rampe et 15 minutes de palier

### 2.3.1 Amplitude du cycle en température

L'augmentation de la température diminue la tenue en cisaillement des joints. Ainsi la variation cyclique de température est la principale cause de défaillance des joints brasés [86]. De plus l'écart entre les températures extrêmes agit sur la déformation totale du composant en cours de cycle. La plage de température et, par conséquent, l'amplitude des contraintes appliquées au joint, a donc un effet très important sur le joint [87].

Il est intéressant de noter que la déformation induite dans la rampe montante n'est pas égale à celle induite dans la rampe descendante. Ceci vient du fait que le joint de brasure est plastiquement déformé à haute température, aussi quand il est refroidi en dessous de 25°C la déformation n'est pas réversible et il reste un résidu de déformation plastique. Les contraintes instantanées induites par les cycles thermiques se stabilisent après 3 cycles [88],

### 2.3.2 Effet de la vitesse de la rampe

La vitesse de la rampe agit sur les déformations plastiques mais peu sur la contrainte effective dans les joints brasés [89]. Cette déformation plastique, du joint de brasure, croît

avec la vitesse de la rampe. En conséquence la durée de vie du joint de brasure prédite par les équations de Coffin-Manson décroîtra avec l'augmentation de la vitesse de la rampe. Cependant le taux d'accélération calculé, dans l'étude de Zhai et al. concernant la fiabilité au niveau du PCB de boîtiers de type BGA, augmente d'un facteur de seulement 1,1 si le temps de rampe passe de 20 minutes à 3 minutes. L'effet de la vitesse de rampe sur la fatigue du joint de brasure est donc faible (figure 29). Ceci est vrai tant que le système peut être considéré comme isotherme. Quand la vitesse de la rampe est telle que des gradients de température internes apparaissent, on ne parle plus de cycles thermiques mais de chocs thermiques, alors les effets sur le vieillissement ne peuvent plus être considérés comme étant les mêmes.

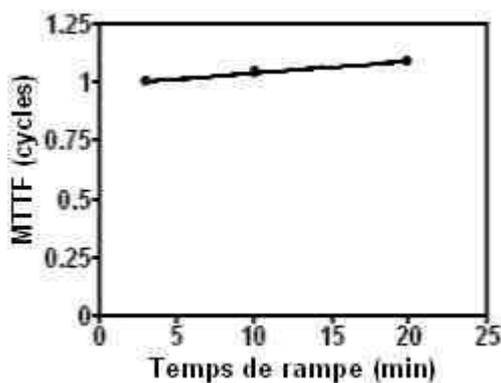


Figure 29 : Effet du temps de rampe sur la durée de vie [89]

### 2.3.3 Effet de la durée des paliers

Zhai et al. ont modifié la durée des paliers de 0 à 7 minutes et ont obtenu une multiplication de la durée de vie par 1.36. Pour des paliers de 7 à 15 minutes la différence de facteurs d'accélération obtenue est très faible. Le palier doit être suffisamment long pour que l'ensemble des contraintes soit relaxé (figure 30), au-delà de cette durée le palier n'a que peu d'effet.

Ces informations sont corroborées par une étude menée en 2005 par Jean-Paul Clech [90] qui arrive à la conclusion qu'il y a une valeur optimale pour les paliers qui est de 10 minutes. Cette valeur est aujourd'hui celle retenue par la norme JEDEC JESD-22-A104D de chocs thermiques.

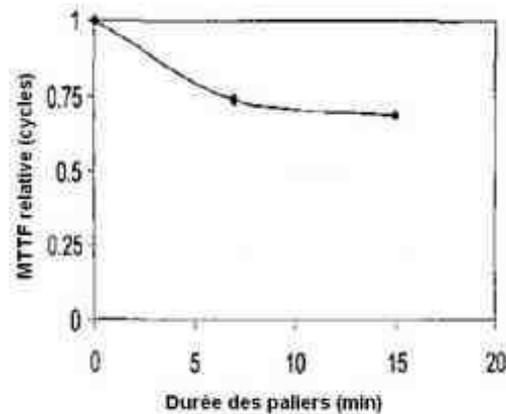


Figure 30 : Effet de la durée des paliers sur la fiabilité [89]

### 2.4 Conclusion de l'étude bibliographique

Cette étude menée sur plusieurs technologies utilisant les joints brasés et s'étendant sur quelques années, permet d'appréhender les paramètres à prendre en compte pour la fiabilité d'un composant WLSiP à venir.

La criticité de la surface d'un composant WLSiP est clairement mise en évidence et le moyen pour allonger la durée de vie sera l'utilisation d'un underfill. Cependant l'impact réel de la surface du composant sur sa fiabilité, la nécessité d'appliquer de l'underfill pour des composants de petites tailles et la technologie d'underfill restent à déterminer.

De plus il apparaît que les conditions de qualification définies par la norme JEDEC JESD-22-A104D, concernant les cycles thermiques, ont été basées sur des expériences réalisées avec des composants plastiques de taille importante. Des composants de tailles inférieures pourraient probablement être testés plus rapidement en augmentant les rampes tout en respectant les conditions d'isothermie.

Ainsi, de cette étude, découlent deux plans d'expériences de suivi des joints brasés d'un WLSiP. Les facteurs géométriques de la puce principale et les conditions de cycles thermiques sont les variables étudiées.

### 3 Qualification accélérée des joints brasés d'un WLSiP de test

#### 3.1 Objectif

L'objectif de ce travail est de déterminer quels sont les matériaux les mieux adaptés à la réalisation d'un WLSiP. Les paramètres d'un plan d'expériences ont été définis en se basant sur l'étude bibliographique résumée ci-dessus puis des simulations ont été effectuées pour déterminer les paramètres idéaux du matériau d'underfill à utiliser et l'impact d'un underfill partiel sur la fiabilité des joints brasés. Les résultats de la simulation ont alors été confrontés aux résultats expérimentaux afin de conclure sur les possibilités de réalisation du WLSiP.

#### 3.2 Méthode de suivi dite « Daisy chain »

Le composant de test dédié est un WLSiP dont le circuit est une simple « daisy chain ». Une « daisy chain » consiste en un assemblage d'éléments en série (Figure 31). Dans le cas du suivi des joints brasés, ce sont ces derniers qui sont liés les uns aux autres par de simples pistes métalliques. De cette façon, toute fissure présente dans un joint brasé, sera visible au moyen d'une mesure de la résistance de l'ensemble, puisque ce joint est monté en série.

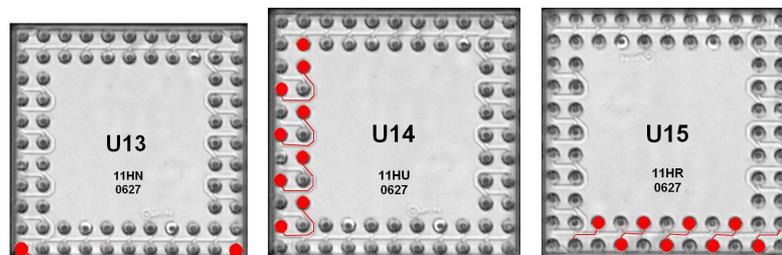


Figure 31 : Trois parties de la « daisy chains », en rouge, sur le WLSiP

Cette méthode est très utilisée pour le suivi des joints brasés en cours d'essais de fiabilité. Elle a cependant l'inconvénient de nécessiter la conception et la réalisation de composants de test dédiés à cet essai. Cette méthode ne peut donc pas être incluse dans un procédé de qualification d'un composant fonctionnel.

#### 3.3 Banc et méthode de test

La carte est un PCB de 8 couches en FR4, de 1,6mm d'épaisseur et les composants sont répartis de façon symétrique sur la carte (Figure 32). Tous les composants sont reliés par des

### Chapitre III : Qualification accélérée sur circuit de test

« daisy chains ». Un connecteur permet de brancher la centrale d'acquisition pour le suivi de la continuité électrique des « daisy chains ». Chaque lot de composants d'une même taille est relié par une même « daisy chain ». Les différents véhicules de test sont présents sur la carte. Les véhicules de test sont reliés à la carte par deux rangées de billes de 300 $\mu$ m espacées de 500 $\mu$ m entre elles.

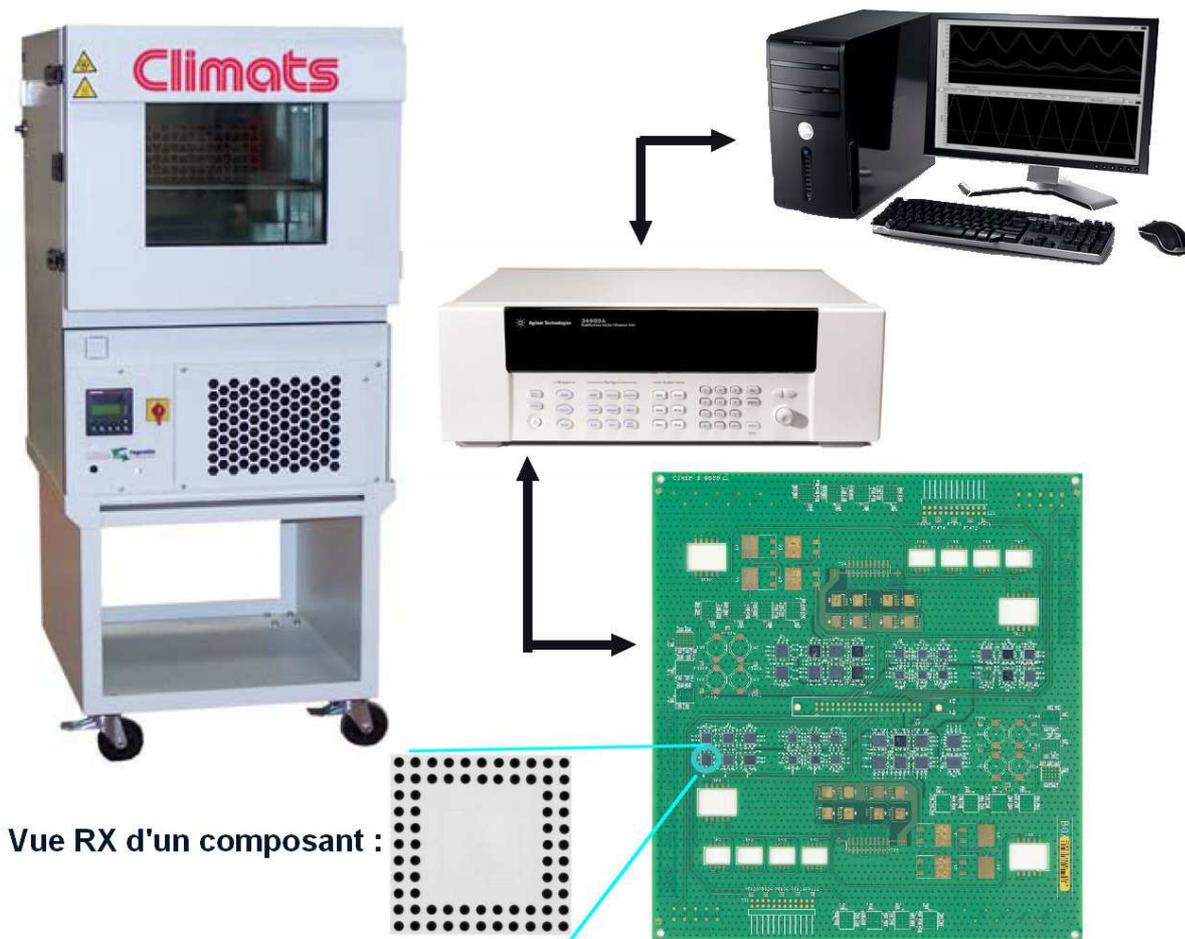


Figure 32 : Vue d'ensemble du banc de test

L'affinement par rodage d'un wafer crée des microfissures sur la surface du silicium. Ces dernières peuvent devenir critiques lors de contraintes thermomécaniques répétées (par exemple lors de cycles thermiques) et amener un nouveau mécanisme de défaillance : Des fissures dans le silicium au lieu de fissures dans les joints brasés [78]. D'autre part le fait de diminuer l'épaisseur de la puce va diminuer la raideur de la puce et permettre son

gauchissement. Ainsi les contraintes sur les billes vont être amoindries. Le risque est qu'en améliorant la tenue des joints brasés, la résistance de la puce en silicium soit diminuée.

L'underfill a clairement démontré son efficacité dans l'amélioration de la durée de vie des joints brasés lors de cycles thermiques, cependant les différences de CTE dans les assemblages WLSiP (Wafer Level System in Package) sont bien plus marquée que dans les assemblages BGA. Ainsi l'underfill risque d'être plus difficile à bien adapter dans le cas d'un WLSiP. De plus la réalisation d'un underfill sur un WLSiP ne peut être réalisée que chez le client, échappant ainsi au contrôle de la qualité. C'est pourquoi nous avons aussi expérimenté le re-inforcement (Figure 33), qui est un underfill appliqué uniquement jusqu'à mi-hauteur des billes du côté de la puce avant assemblage sur le PCB.

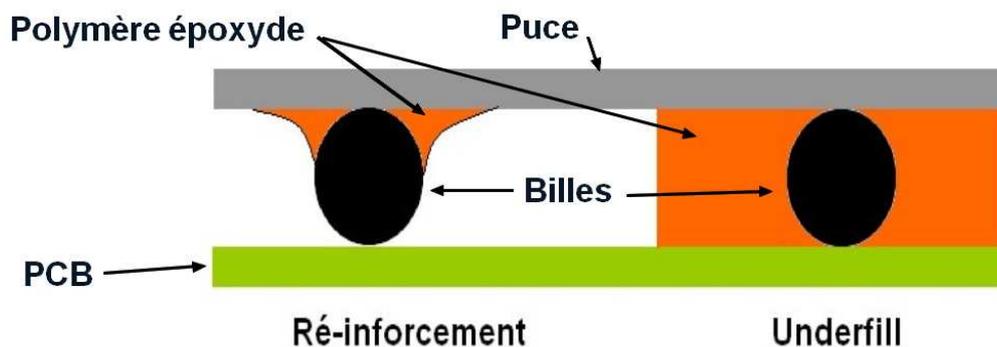


Figure 33 : Re-inforcement et Underfill

Les plans d'expériences (Design Of Experiment, DOE), sont basés sur des normes internationales IPC-9701 et JEDEC JESD-22-A104D. Un contrôle est effectué soit de façon continu à l'aide d'une centrale d'acquisition pilotée par un programme que nous avons développé sous LabVIEW® (Figure 32) soit par mesure tous les 100 cycles. Le critère de défaillance retenu est une augmentation de la valeur de la résistance de la « daisy chain » à environ 300 ohms suivant la norme IPC-9701 qui établit les conditions de contraintes et les critères de défaillance dans le cas de suivi de joints brasés par « daisy chains ».

### 3.4 Qualification virtuelle

Le modèle transitoire par éléments finis (FE) a été défini par l'université de Greenwich pour réaliser des simulations thermomécaniques (Logiciel Physica) sur le WLSiP servant de véhicule test. L'influence des paramètres critiques et de leurs combinaisons a été étudiée et les paramètres les plus influents ont été identifiés. Les résultats ont été publiés avant le démarrage

### Chapitre III : Qualification accélérée sur circuit de test

---

de notre expérience [91, 92, 93]. Les résultats obtenus montrent que la bille la plus exposée aux contraintes est celle située dans l'angle (Figure 34), en accord avec les recherches bibliographiques.

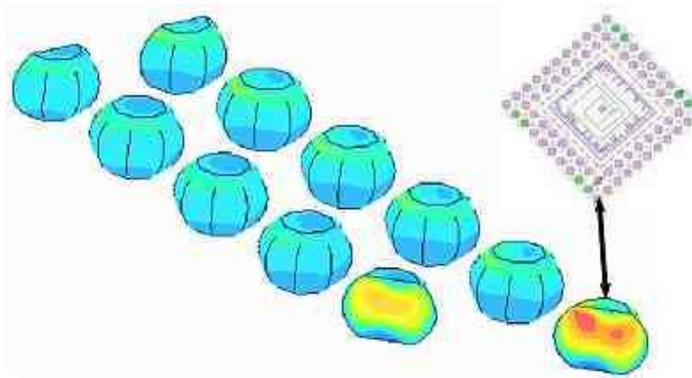


Figure 34 : La bille la plus exposée déterminée par simulation

De plus le paramètre géométrique le plus critique au regard de la fiabilité des joints brasés est la surface de la puce. Plus la puce est petite, moins les contraintes sont importantes sur les billes. La présence d'underfill permet de sensiblement diminuer les contraintes au niveau des joints brasés, c'est le second facteur le plus important. Enfin entre 200 $\mu$ m et 400 $\mu$ m, l'épaisseur de la puce passive ne semble pas avoir un grand impact sur les contraintes subies par les joints brasés.

Il n'a pas été possible de déterminer si le re-inforcement a un effet positif ou négatif car la valeur maximale de la contrainte reste inchangée. Cependant les simulations ont montré que le fait d'appliquer le re-inforcement déplace les contraintes de l'interface bille/puce vers l'interface Bille/PCB (Figure 35).

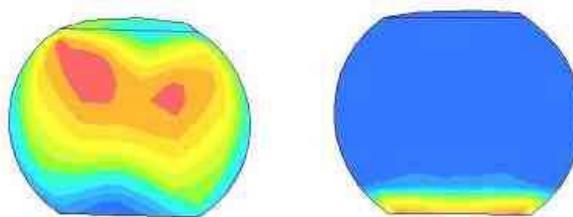


Figure 35 : A gauche : Répartition des contraintes sans re-inforcement, à droite : avec re-inforcement (échelle de couleur identique à la figure 34)

### 3.5 Plans d'expériences

Le premier plan d'expériences DOE1, basé sur la norme IPC-9701, consiste en des cycles de température appliqués sur les cartes de tests, d'une amplitude de  $-40^{\circ}\text{C}/+125^{\circ}\text{C}$ , avec des rampes de  $3^{\circ}\text{C}/\text{min}$  et des paliers de 10 minutes. Une centrale d'acquisition mesure et enregistre la valeur des résistances de chaque « daisy chain » en continu (1 mesure par seconde) avec pour critère de défaillance la première rapide augmentation de résistance à environ 300 ohms.

Ce DOE1 a été conçu autour de cinq paramètres pour mettre en évidence les défis à relever dans le passage d'une configuration SiP en une configuration WLSiP :

- Surface de la puce
- Épaisseur de la puce
- Underfill
- Re-inforcement
- Présence d'une puce active

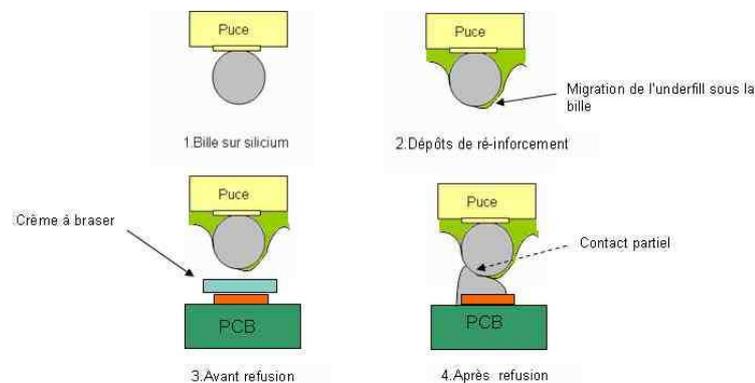


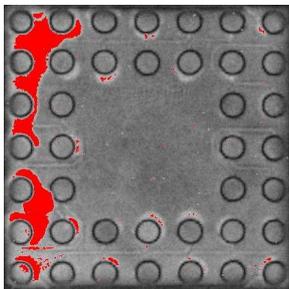
Figure 36 : Défaut lors du dépôt de re-inforcement

Les cartes de test ont été réalisées au sein de l'entreprise SOLECTRON sur des lignes de production industrielles utilisées pour l'assemblage de boîtiers de type BGA. Un flux auto-nettoyant a été utilisé pour la brasure des billes. La réalisation des cartes de test a représenté le premier défi de ce plan d'expériences car les machines de « pick and place » parfaitement adaptées pour les boîtiers plastiques ne le sont pas pour les puces en silicium. Ainsi ce premier DOE a servi de déverminage d'un certain nombre d'étapes de la réalisation des composants et des cartes de test.

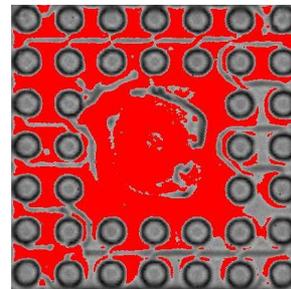
### Chapitre III : Qualification accélérée sur circuit de test

La première difficulté d'assemblage rencontrée est liée à l'application du polymère époxyde du re-inforcement. En effet il est difficile d'estimer la hauteur de polymère injecté entre les billes de brasure. De plus le polymère a tendance à migrer par capillarité le long de la bille de brasure. L'objectif étant d'avoir un underfill jusqu'au milieu des billes, le polymère a parfois migré sous la bille empêchant le brasage correct de la bille sur le PCB (Figure 36).

De plus l'utilisation du flux auto-nettoyant, pour l'assemblage des composants sur la carte de test, a produit une contamination de la surface des puces empêchant ainsi la bonne adhésion de l'underfill. Ainsi tous les composants avec underfill ont rapidement délaminé lors des essais de cycles thermiques (Figure 37).



Après 400 cycles (5% de surface délaminée)



Après 1400 cycles (60% de surface délaminée)

Figure 37 : Délamination due à la contamination de la surface de la puce (Analyse SAM)

Tableau 5: Récapitulatif des paramètres des plans d'expérience

		Code	Valeur
Géométrie de la puce	Surface	7	13 mm <sup>2</sup>
		9	21 mm <sup>2</sup>
		11	31 mm <sup>2</sup>
	Épaisseur	H	400 μm
		L	200 μm
Technologie d'underfill	Sans underfill	N	
	Underfill complet	U	
	Re-inforcement	R	
Paramètres des cycles thermiques	Amplitude		
	Vitesse de la rampe		
	Durée des paliers		

Ainsi durant le DOE1 seules la surface et l'épaisseur des puces ont pu être évaluées. Ni les composants avec underfill, ni les composants avec re-inforcement n'ont donné de résultats exploitables. De plus, du fait des difficultés de placement automatique des composants sur la

carte, peu de cartes ont été exploitables. Ainsi aucune conclusion n'a pu être obtenue sur les écarts de fiabilité entre les composants avec ou sans puce active.

C'est pourquoi un second plan d'expériences, DOE2, a été mis en place incluant un nettoyage des composants avant application de l'underfill et un procédé d'application du re-inforcement plus mature. Ce DOE2, a été réalisé avec des cartes de 1mm d'épaisseur et des cycles thermiques de plus grande amplitude,  $-65^{\circ}\text{C}/+150^{\circ}\text{C}$ , des rampes de  $40^{\circ}\text{C}/\text{min}$  et des paliers de 10 minutes (JEDEC JESD-22-A104D). Le suivi des joints brasés a été réalisé par des contrôles de continuité tous les 100 cycles. Ce second plan d'expériences prend en compte l'influence de trois paramètres :

- La surface de la puce
- L'underfill
- Le re-inforcement

### 3.6 Résultats expérimentaux

Les deux plans d'expériences (DOE1 et DOE2) effectués sur ces composants ont amené des conclusions sur la fiabilité des joints brasés en accord avec les simulations effectuées préalablement.

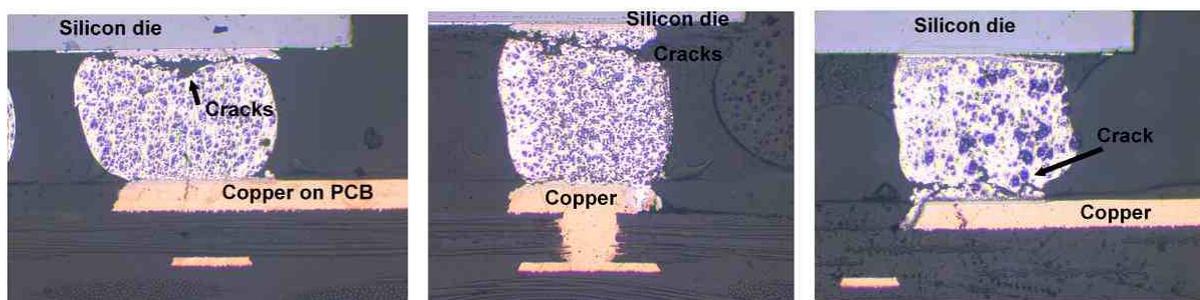


Figure 38 : à gauche : Une bille de composant nu  
au milieu : Une bille de composant avec underfill  
à droite : Une bille de composant avec re-inforcement

Les zones de défaillance sont l'interface bille/puce pour les composants nus et avec underfill, et l'interface bille/PCB pour les composants avec du re-inforcement (Figure 38), les

composants de surfaces importantes sont plus fragiles et l'underfill permet de supprimer l'impact de la surface sur la fiabilité des joints brasés.

Les paramètres étudiés sont des paramètres géométriques de la puce, l'impact de l'underfill, l'action du re-inforcement et l'accélération des défaillances par des cycles thermiques plus sévères.

### 3.6.1 Géométrie de la puce

Trois paramètres géométriques ont été évalués en relation avec leurs influences sur la fatigue des joints brasés.

Premièrement la surface de la puce passive, qui définit la surface du module ; en effet la puce active montée en flip chip sera plus petite que la puce passive. Le passage du SiP au WLSiP est une étape importante pour réduire encore le facteur de forme des composants. De plus le nombre de fonctions par composant augmentant continuellement, les futurs WLSiP devront être de surface importante. Aujourd'hui les WLSiP produits sont de très petite dimension, typiquement de l'ordre de 10mm<sup>2</sup>. C'est pourquoi dans ces plans d'expériences, les surfaces testées sont de 13mm<sup>2</sup>, 21mm<sup>2</sup> et 31mm<sup>2</sup>, ce qui permettra d'appréhender les actions à mener pour atteindre, voire dépasser, les 100mm<sup>2</sup>.

Le deuxième paramètre et le troisième sont de même nature, en effet l'impact de l'épaisseur de la puce passive et l'impact de l'addition de la puce active ont été évalués. La présence d'une puce active sous la puce passive a un effet physiquement comparable à l'augmentation de l'épaisseur de la puce passive. L'impact de l'épaisseur est primordial car le travail nécessaire pour amincir la puce n'est ni négligeable, ni sans risque pour la fiabilité. Cependant il pourrait être nécessaire d'amincir la puce pour compenser l'augmentation de la surface et/ou l'adjonction d'une puce active.

⇒ *Impact de la surface de la puce passive*

Les résultats du suivi électrique du DOE2, montrent clairement (Figure 39) que la surface de la puce passive est critique au regard de la fiabilité. En effet 63% des composants de 31mm<sup>2</sup> sont défaillants avant 400 cycles alors que seulement 3% des composants de 13mm<sup>2</sup> défont entre 300 et 400 cycles.

Le calcul du MTTF montre que les composants de 13mm<sup>2</sup> atteignent une durée de vie de 969 cycles sans nécessité d'ajout d'underfill, alors que les composants de 31mm<sup>2</sup> en restent

à 506 cycles. Ceci donne à penser que la surface du composant est réellement une limite dans le développement des WLSiP sans underfill. En effet le rapport des temps médians de défaillance entre les modules de 31mm<sup>2</sup> (11N) et ceux de 13mm<sup>2</sup> (7N) est d'environ 2,5 (Tableau 6).

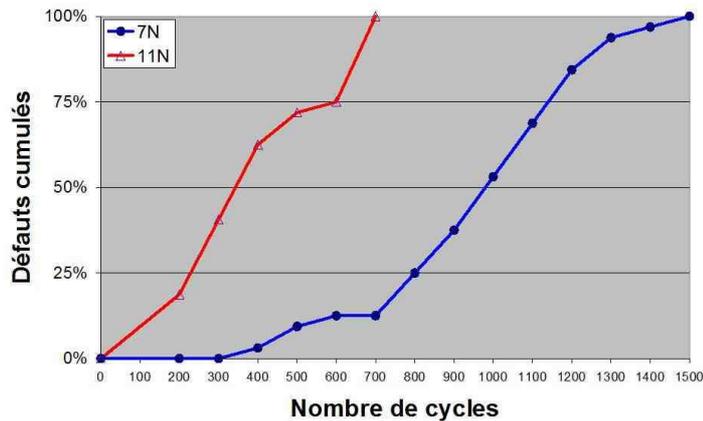


Figure 39 : Effet de la surface sur les WLCSP sans underfill

En utilisant les distributions Lognormales, il est possible de comparer entre eux à la fois les mécanismes de défaillance, par le paramètre  $\sigma$ , et les durées de vie, via le calcul du temps médian des défaillances.

Tableau 6 : Comparaison des paramètres des distributions des composants 11x11 et 7x7 sans underfill

	N50% (cycles)	N50% Inf @ 90% CL	N50% Sup @ 90% CL	$\sigma$
7N	839	721	936	0,34
11N	333	290	374	0,38

Les distributions Lognormales étant parallèles (figure 40) il peut être déduit, de ces distributions, que les mécanismes de défaillances des grands et des petits modules sans underfill sont similaires. Ainsi le calcul du paramètre de forme  $\sigma$  (Tableau 6) donne des valeurs très voisines quelle que soit la surface de l'élément :

- $\sigma=0,34$  pour les modules 7\*7
- $\sigma=0,38$  pour les modules 11\*11

Le fait que les contraintes soient principalement localisées à l'interface bille/puce induit systématiquement la défaillance dans cette interface. La figure 41 montre des exemples de

fissures observées sur des composants de petites (7x7) et de grandes dimensions (11x11) où il peut être observé que la localisation et la forme des fissures sont identiques.

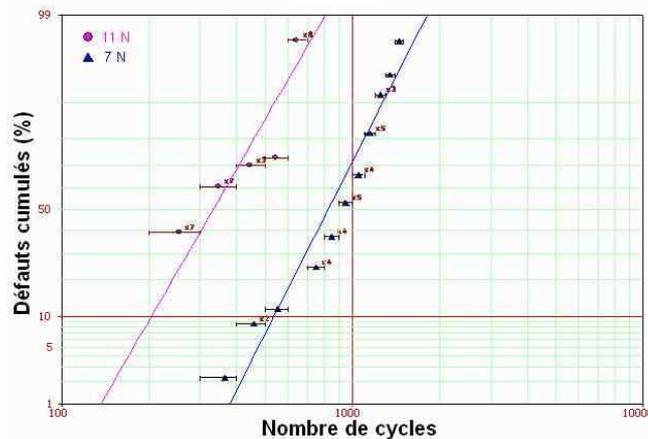


Figure 40 : Distribution Lognormale des composants 11x11 et 7x7 sans underfill

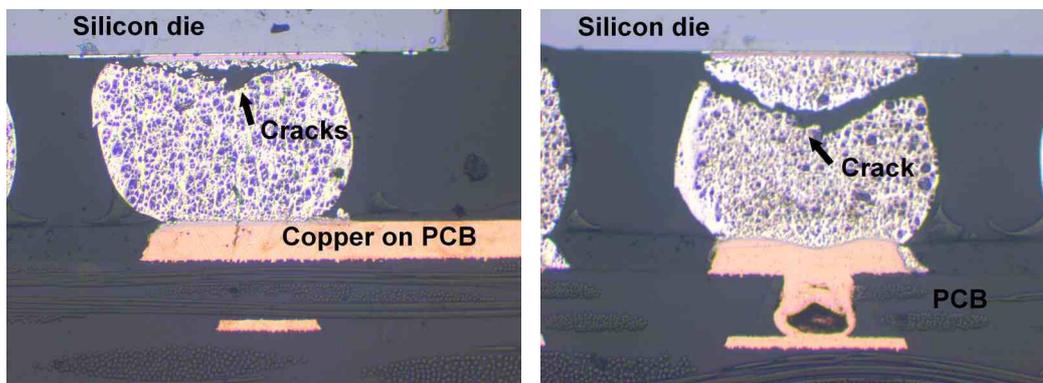


Figure 41 : A droite : Composant 7x7 à 1300 cycles  
A gauche : Composant 11x11 à 300 cycles

⇒ *Impact de l'épaisseur*

Après avoir effectué 1500 cycles thermiques, aucun défaut n'a été observé sur les composants les plus fins (13mm<sup>2</sup>, 200µm d'épaisseur, sans underfill) alors que 2 défauts sont apparus sur les composants plus épais (13mm<sup>2</sup>, 400µm d'épaisseur, sans underfill).

Le calcul du MTTF sur ces deux types de composants (7LN et 7HN) montre des valeurs comparables à celles du DOE2 (pour le véhicule 7HN). Le véhicule épais, montre un MTTF de 1028 cycles, le véhicule fin ne montrant aucun défaut. Il est donc possible de conclure que l'épaisseur a bien un impact sur la fiabilité des joints brasés et que la réalisation d'un WLSiP

avec une puce passive de  $200\mu\text{m}$  d'épaisseur de  $13\text{mm}^2$  permet d'obtenir un composant fiable.

⇒ *Impact de la puce active*

Ce paramètre n'a pas été testé expérimentalement, cependant les conclusions expérimentales et simulées étant concordantes il est possible de se baser sur les résultats de simulation pour conclure à une diminution de la durée de vie lors d'une configuration multi-puce. En effet le fait d'avoir plusieurs puces augmente la rigidité du système augmentant ainsi les contraintes au niveau des joints brasés.

### 3.6.2 Underfill

L'application d'un underfill entre le PCB est le WLSiP, amène une forte diminution de l'impact de la surface des modules sur le taux de défaillances (Figure 42). Les courbes de défaillance sont beaucoup plus rapprochées que dans le cas précédent (Figure 39). Après 1000 cycles environ 55% des composants de petite dimension sont défectueux contre environ 60% des grands.

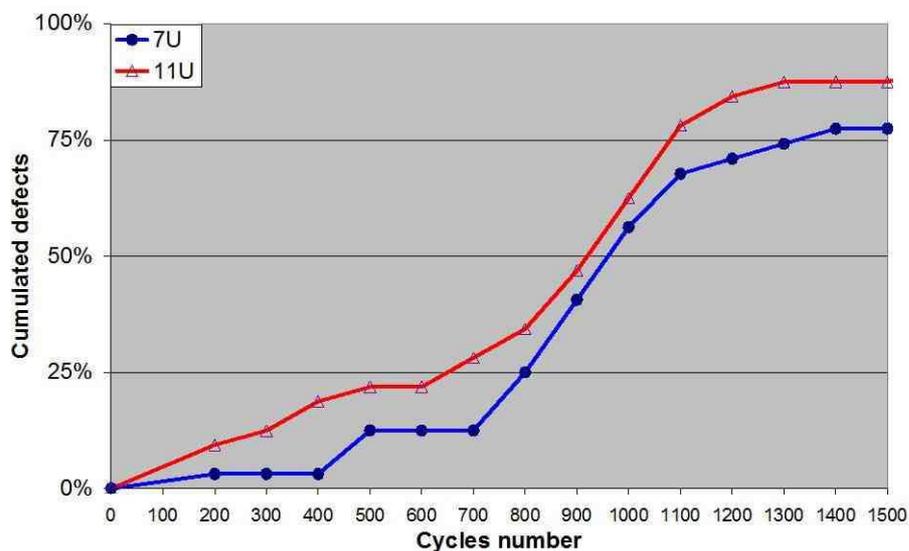


Figure 42 : Effet de l'underfill sur les défaillances

La distribution Lognormale de la figure 42 et la table 7 montrent que le rapport de durée de vie entre un composant  $7\times 7$  et un composant  $11\times 11$  avec underfill n'est que de 1,3.

L'underfill agit comme une couche intermédiaire entre le PCB et la puce. Cette couche accroît la rigidité de l'ensemble du système puce/PCB. Le gauchissement étant ainsi limité

### Chapitre III : Qualification accélérée sur circuit de test

l'effet de la surface du composant est amoindri. Les contraintes étant alors réparties dans le volume de la bille et non plus à l'interface, la durée de vie sera allongée. Cependant si l'underfill n'est pas adapté aux matériaux, les contraintes seront augmentées au lieu d'être diminuées et la durée de vie sera diminuée. La localisation de la défaillance reste à l'interface bille/puce comme le montrent les coupes transversales réalisées dans les composants défectueux (Figure 43).

Tableau 7 : Comparaison des paramètres des distributions des composants 11x11 et 7x7 avec underfill

	N50% (cycles)	N50% Inf @ 90% CL	N50% Sup @ 90% CL	$\sigma$
7U	946	789	1113	0,55
11U	736	612	871	0,58

Les simulations ont montré l'influence du matériau utilisé pour l'underfill. Selon le CTE et le module d'Young, les contraintes dans le joint brasé vont varier [93]. Strusevitch et al. ont clairement démontré qu'un bon choix d'underfill peut réduire considérablement l'impact de la surface et de l'épaisseur de la puce sur la durée de vie du composant et qu'un mauvais choix peut, au contraire, en réduire la durée de vie.

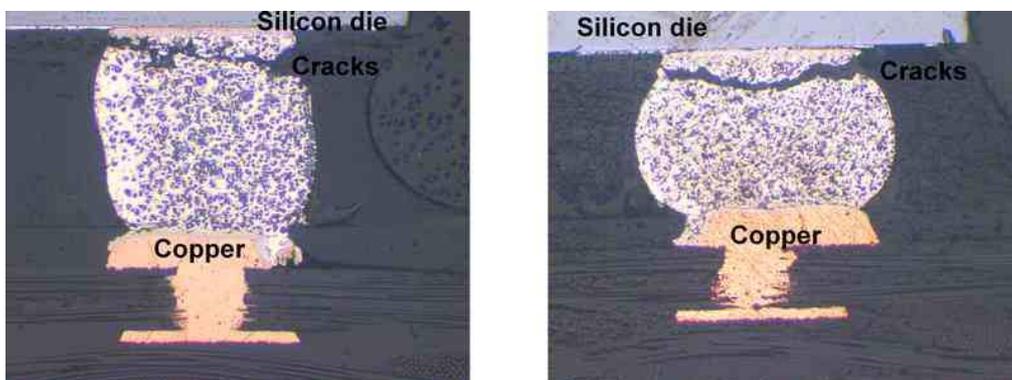


Figure 43 : A droite : Composant 7x7 à 1300 cycles  
A gauche : Composant 11x11 à 300 cycles

L'underfill utilisé dans ce plan d'expérience n'étant pas optimisé, il provoque une diminution de la fiabilité des composants de petite dimension et une augmentation de la durée de vie des composants de grande dimension. En cela il montre une bonne aptitude à réduire l'impact de la surface des modules sur la durée de vie des billes (Figure 44).

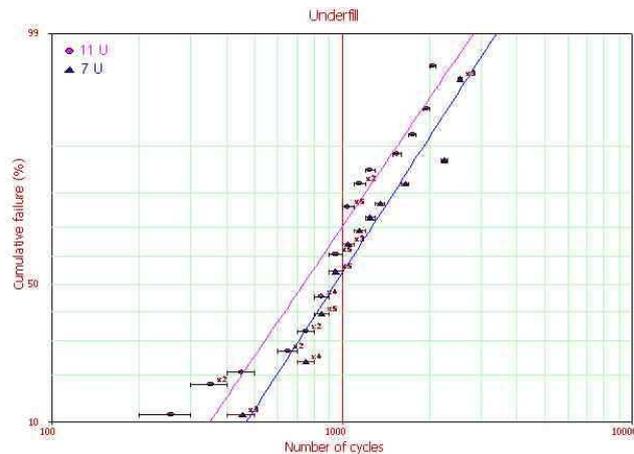


Figure 44 : Distribution Lognormale des composants 11x11 et 7x7 avec underfill

### 3.6.3 Re-inforcement

Un autre résultat capital dans cette étude concerne le re-inforcement. En effet cette méthode d'underfill novatrice permet l'application de la résine de renforcement avant l'assemblage du composant sur la carte d'application. De ce fait le composant livré est prêt à être assemblé ce qui n'est pas le cas pour des WLSiP avec une technique d'underfill classique.

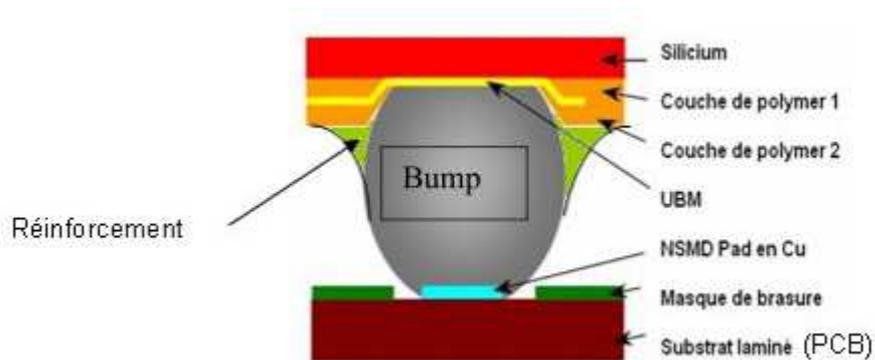


Figure 45 : Technique de re-inforcement

Dans le DOE2, le premier défaut enregistré sur un composant de petite dimension re-inforcé est enregistré après 900 cycles contre 400 cycles pour les éléments sans underfill (Figure 46). Les MTTF correspondants sont de 1462 cycles pour le composant avec re-inforcement et de 969 pour le composant nu.

### Chapitre III : Qualification accélérée sur circuit de test

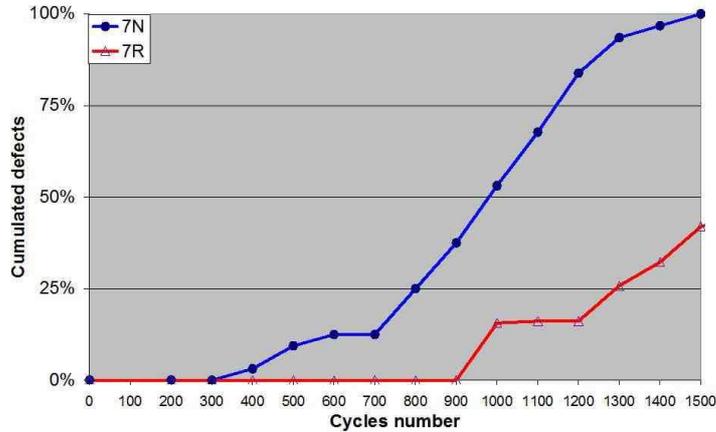


Figure 46 : Effet du re-inforcement sur les défaillances

En comparant les valeurs présentes dans le tableau 8 avec celles du tableau 6 et du tableau 7, il apparaît que le re-inforcement permet de quasiment doubler la durée de vie d'un composant WLSiP.

Tableau 8 : Comparaison des paramètres des distributions des composants 11x11 et 7x7 avec re-inforcement

	N50% (cycles)	N50% Inf @ 90% CL	N50% Sup @ 90% CL	$\sigma$
7R	1638	1387	1886	0,47
11R	693	594	775	0,33

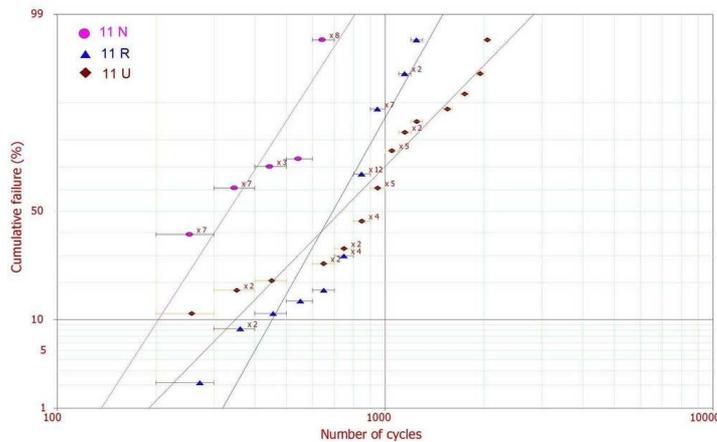


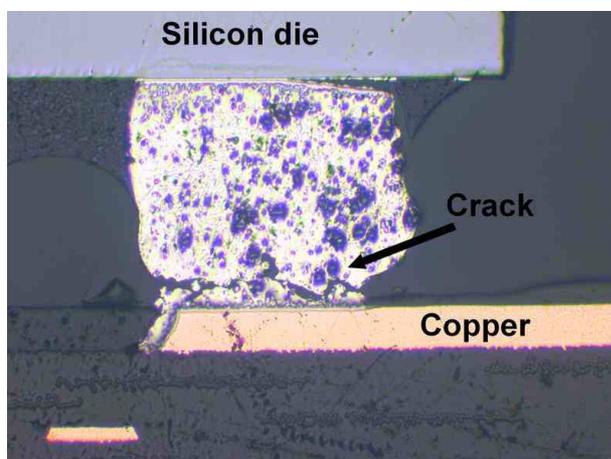
Figure 47 : Distribution Lognormale des composant 11N, 11R et 11U

Le tracé de la distribution Lognormale (Figure 47) des défaillances des composants avec re-inforcement (11R) superposé au tracé des défaillances sans underfill (11N) ne montre pas

de différences significatives dans la pente des deux droites ce qui amène la conclusion que l'utilisation du re-inforcement n'a pas d'incidence sur le mécanisme de dégradation par rapport à un composant sans underfill. En considérant les éléments avec underfill, la pente est alors significativement différente des deux premières, ce qui dénote un mécanisme de défaillance autre.

Le re-inforcement étant appliqué sur l'interface critique c'est-à-dire à l'interface bille/puce, il permet le déplacement de l'ensemble des contraintes vers l'autre interface (Bille/PCB). Les calculs par simulations ne laissent pas voir de diminution des valeurs des contraintes [92]. Cependant l'interface entre la bille et le PCB est plus robuste que l'interface entre la bille et la puce, la contrainte est focalisée sur une interface plus solide aussi l'assemblage s'en retrouve renforcé et la durée de vie allongée.

La coupe transversale (figure 48) confirme la localisation de la défaillance du côté de PCB. L'interface au niveau de la puce n'a pas bougé. Ceci démontre l'intérêt de cette technique de re-inforcement et son efficacité pour améliorer la durée de vie des WLSiP sans ajouter une étape au procédé de report du composant sur la carte du client.



**Figure 48 : Composant 11R défaillant après 1000 cycles**

Cette méthode d'underfill ne limite pas l'impact de la surface sur la durée de vie car le gauchissement induit par les différences de CTE entre les matériaux n'est pas réduit dans ce cas. Cependant cette méthode amène deux avantages importants. Premièrement le polymère n'étant dispensé que d'un côté des billes, l'adaptation du matériau est plus facile que dans le cas d'un underfill classique. Deuxièmement il est possible d'appliquer de l'underfill classique sur un composant re-inforcé avec de très bons résultats (Tableau 9). Ce second point amène la possibilité d'appliquer deux matériaux distincts, avec des propriétés différentes, adaptés d'un

côté aux CTE de la puce en silicium et de l'autre côté à celui du cuivre. Cette dernière solution n'a pas été explorée dans ce travail.

Tableau 9 : Comparaison des MTTF d'un underfill classique et d'un underfill sur re-inforcement

Taille	Underfill	MTTF
13mm <sup>2</sup>	Underfill classique	787
	Underfill sur re-inforcement	1344
31mm <sup>2</sup>	Underfill classique	781
	Underfill sur re-inforcement	1131

### 3.6.4 Paramètres du cycle

Le DOE1 a été réalisé avec un cycle thermique lent (3°C/min), une amplitude de 165°C et une durée de palier de 10 minutes sur 1500 cycles avec une mesure continue in-situ. Le DOE2 a été réalisé avec un cycle thermique rapide (40°C/min), une amplitude de 215°C et une durée de palier de 10 minutes sur 2600 cycles avec un suivi en reprise de mesure tous les 100 cycles. Ces deux conditions très différentes donnent des résultats identiques au niveau des modes, des mécanismes et des localisations des défaillances.

Le calcul de MTTF pour les composants de petite dimension et de forte épaisseur donne respectivement avec le DOE1 et le DOE2 : 1028 cycles et 969 cycles. Pour les composants de grande dimension et de forte épaisseur : 686 cycles et 506 cycles.

Les mécanismes de défaillance observés sont identiques, les zones de défaillance sont identiques.

Nous ne pouvons cependant pas calculer de facteur d'accélération car les cartes d'essais ont des épaisseurs différentes : 1,6mm pour le DOE1 et 1mm pour le DOE2. Des durées de vie du même ordre de grandeur ont été constatées, lors des essais expérimentaux, avec des rampes de 3°C/min et des rampes de 40°C/min ce qui peut s'expliquer par le fait que les cartes de test du DOE1 sont plus épaisses (1.6mm) que celles du DOE2 (1mm). Le fait d'avoir des cartes de test plus fines a permis de diminuer le niveau de contraintes relatif. Ainsi l'accélération des défaillances produites par l'augmentation de l'amplitude des cycles se trouve compensée par la diminution de l'épaisseur de la carte.

Il ressort de cette comparaison que, pour des composants WLSiP assemblés sur du FR4, une rampe de 40°C/min n'induit pas de modification des mécanismes comparée à une rampe de 3°C/min. Les conditions d'isothermie semblent donc être respectées dans les deux cas.

### 4 Conclusion

La méthode décrite dans ce chapitre est donc décomposée en trois temps distincts : Une étude bibliographique, un ensemble d'essais par simulation, un plan d'expérimentation sur le véhicule de test. La première étape doit être la plus exhaustive possible dans la recherche des mécanismes de défaillance potentiels liés à la technologie utilisée. En effet cela permet de vérifier la cohérence des résultats de simulation et de ne pas négliger un mécanisme de défaillance critique. Les simulations vont permettre de sélectionner les quelques mécanismes les plus critiques ainsi que les localisations attendues des défaillances. Ce qui permet de réaliser un plan d'expériences réduit. Si les résultats des trois étapes sont cohérents, la nouvelle technologie sera qualifiée pour ce mécanisme de défaillance.

Cette méthode permet de fortement réduire le temps de qualification d'une nouvelle technologie en ce que le plan d'expériences réel est fortement réduit par les deux étapes précédentes. En effet le plus long, en fiabilité, est d'obtenir des défaillances représentatives de la vie du composant, en conditions de test. De plus cette méthode permet un contrôle des résultats par la cohérence nécessaire des trois étapes.

Cette étude a permis de mettre en évidence que l'utilisation de WLSiP peut être réellement critique du point de vue de la fiabilité si les surfaces nécessaires sont importantes. Le niveau de dégradation en cours de cycles thermiques est fortement aggravé par l'augmentation de la surface de la puce. C'est pourquoi il est généralement nécessaire d'appliquer un underfill pour atteindre des durées de vie acceptables dans le cas de puce de surface importante. Cependant l'utilisation d'un underfill est une contrainte supplémentaire dans le procédé de report sur carte, c'est un coût que doit supporter le client et une étape échappant aux essais de fiabilité de conception. C'est pourquoi une autre méthode a été développée qui peut-être intégrée au procédé de fabrication du WLSiP : Le « re-inforcement ». L'utilisation du « re-inforcement » ne modifie pas le mécanisme de défaillance des billes mais déplace les contraintes vers le côté PCB de la bille. Ce faisant il permet d'améliorer d'un facteur 2 la durée de vie des joints brasés. Il permet de surcroît l'utilisation d'un underfill classique ajouté au re-inforcement avec de très bons résultats, ce qui permet d'imaginer des composants WLSiP formés de puces de surfaces très importantes. Tous ces résultats sont donnés à la fois par la bibliographie, par la simulation et par l'expérimentation. La simulation a cependant permis de, non seulement limiter les paramètres à expérimenter, mais de donner des précisions sur les localisations des défauts attendus.

### Chapitre III : Qualification accélérée sur circuit de test

---

L'expérimentation, quant à elle, est seule à pouvoir donner des indications de durée de vie précise sur la technologie en test.

Enfin, cette étude a permis de montrer que la règle de la norme JEDEC, pour définir la frontière entre les cycles et les chocs thermiques, ne semble pas être applicable dans le cas de nos composants WLSiP. En effet la masse thermique d'un composant WLSiP est tellement faible, du fait de l'absence de boîtier plastique, que la thermalisation du composant est très rapide. Lors des deux DOE, les mêmes mécanismes de dégradation ont été mis en évidence quelles que soient la rampe et l'amplitude du cycle mis en œuvre.

# Chapitre IV : Qualification accélérée sur prototypes fonctionnels

## *1 Introduction*

Dans le chapitre précédent nous avons effectué une qualification accélérée de joints brasés sur une technologie en développement à l'aide d'un composant de test. Ici, nous proposons d'adapter la méthode de qualification accélérée à la délamination interfaciale sur des prototypes fonctionnels. Le phénomène aggravant de la délamination étant la reprise d'humidité, nous passerons en revue dans ce chapitre les mécanismes d'absorption d'humidité et leurs conséquences.

L'objectif est d'établir un outil de simulation permettant de prévoir l'évolution de la délamination pour une technologie donnée afin de généraliser les résultats à l'ensemble des technologies SiP. Pour cela nous avons caractérisé le comportement des matériaux, du véhicule de test choisi, en reprise d'humidité afin de modéliser l'absorption de l'humidité et de pouvoir simuler de nombreuses situations différentes. Un modèle de simulation développé par Xiaosong Ma à l'université de Delft, utilisant ces paramètres, sera également présenté.

Finalement nous avons validé les simulations par des études expérimentales sur le composant réel. Nous avons, d'abord, corrélé la répartition d'humidité calculée avec la reprise de poids globale mesurée, puis, nous avons comparé les zones critiques déterminées par simulation avec celles observées expérimentalement.

Les produits SiP comportant un grand nombre d'interfaces potentiellement sujettes à la délamination, il est important de premièrement déterminer quelle est l'interface la plus critique en rapport à la délamination. En effet la délamination d'une interface quelconque du composant produira un changement des répartitions des contraintes sur toutes les autres interfaces du composant, il importe donc d'étudier la délamination sur l'interface délaminant le plus rapidement. Pour déterminer cette interface critique les études antérieures réalisées sur ce véhicule de test ont pu être utilisées. Ainsi l'interface critique a été déterminée par expérimentation.

### 2 Mécanismes et conséquences de l'absorption d'humidité

Les encapsulants non-hermétiques ont été très largement utilisés depuis les années 1970. Les applications récentes concernent autant l'électronique grand public que des domaines aussi sensibles que l'automobile, les communications, l'aéronautique et l'aérospatiale. Historiquement, les matériaux d'encapsulation non-hermétiques fiables sont :

- Les époxydes
- les silicones vulcanisés à température ambiante (RTV)
- les matériaux à base de silicone fluoré
- les acryliques fluorés
- le polyuréthane
- les parylènes
- le BCB
- les polyimides.

Tous ces matériaux peuvent répondre à des critères de protection environnementaux variés [94].

Les polymères sont donc aujourd'hui largement utilisés en microélectronique dans différents usages tels que les encapsulants, les adhésifs conducteurs ou non-conducteurs, les underfills, les résines de boîtier, les isolants, les diélectriques, les vernis de protection. Ainsi, d'une certaine façon, le succès de la microélectronique dépend de la capacité à optimiser ces matériaux polymères. En effet, la tendance en microélectronique étant caractérisée par les avancées en miniaturisation vers les nano-échelles, par l'intégration de technologies et de fonctionnalités toujours plus poussées, par les normes de conceptions écologiques, par les durées de mise sur le marché de plus en plus réduites, le développement des polymères devient un véritable « goulot d'étranglement » dans le développement de l'industrie de la microélectronique. Dans cet objectif d'optimisation des produits et des procédés de développement, de grands efforts ont été menés pour comprendre et concevoir des polymères performants pour la microélectronique. Ces efforts ont été menés autant en ce qui concerne le choix des matériaux, que les procédés de fabrication, ou encore la caractérisation et la modélisation de ces résines [95].

La résine époxyde est devenue le matériau de réalisation des boîtiers dominant dans l'industrie de la microélectronique. Pour les fabricants de semi-conducteurs, le faible coût du matériau, sa facilité de mise en œuvre et l'amélioration de la qualité des composants, sont parmi les avantages de l'encapsulation plastique à mettre en balance avec l'herméticité des autres types de boîtier. Cependant pour les applications dans les composants électroniques, une adhésion durable est un des facteurs les plus importants en ce qui concerne la fiabilité de la structure, c'est-à-dire, des interfaces avec les matériaux polymères organiques. Ainsi un des défis majeurs est d'obtenir une adhésion qui survive aux contraintes d'humidité et de température. Cependant les époxydes sont intrinsèquement hydrophiles [96]. Quand, après avoir absorbé de l'eau, le boîtier est soumis à de hautes températures, telles que celles mises en jeu lors de la refusion des brasures dans les opérations d'assemblage sur carte, la vaporisation de l'eau et les contraintes mécaniques induites par les différences de coefficients de dilatations thermiques entre le silicium et les matériaux organiques peuvent entraîner de sérieuses pertes d'adhésion, provoquant des délaminations et des défauts dans le boîtier [5]. La délamination est un critère de défaut d'après la norme IPC/JEDEC J-STD-020C car elle peut induire des déformations des matériaux métalliques durant les montées en température du composant et des défauts de corrosion de ces matériaux liés à l'intrusion d'humidité [97].

Les composites époxydes chargés ont de bonnes propriétés mécaniques et visqueuses, ils sont donc largement utilisés comme underfill pour remplir les intervalles entre la puce et le substrat dans l'objectif de réduire les contraintes thermiques liées aux différences d'expansion thermique des matériaux métalliques et organiques et ainsi de prolonger la durée de vie de l'assemblage [98]. L'amélioration de la durée de vie par l'utilisation d'un underfill époxyde est largement acceptée, ainsi que cela a été montré dans le chapitre précédent.

Cependant les propriétés mécaniques de l'underfill sont fortement influencées par divers facteurs environnementaux. La pénétration d'humidité au sein de l'underfill provoque un gonflement de la résine amenant des défaillances de fiabilité, telles que des fissures, des délaminations ou même des effets pop-corn durant l'étape de refusion. Ces défaillances induites par l'humidité et la température sont depuis longtemps reconnues comme étant un grave problème de fiabilité des boîtiers [99]. De plus la pénétration d'humidité à l'intérieur du polymère réduit les performances mécaniques par de la plastification et des dégradations amenant des défauts de fiabilité. La quantité d'humidité absorbée, la viscoélasticité et le coefficient d'expansion thermique, étant liés à la quantité de charges dans la résine, dépendent donc de la composition de chaque résine [60].

L'humidité joue un rôle important dans l'intégrité des plastiques des boîtiers électroniques. Au niveau du boîtier, la présence d'humidité :

- Provoque une différence de gonflement hygroscopique ce qui se traduit par des contraintes hygromécaniques [96, 106, 122].
- Altère les contraintes thermiques par une modification des propriétés telles que le module élastique et la température de transition vitreuse [135, 122].
- Altère les propriétés électriques telles que la constante diélectrique [122]
- Altère les propriétés optiques telles que l'indice de réfraction [122]

Au niveau de la résine elle-même, la présence d'humidité :

- Réduit la force d'adhésion aux interfaces et facilite la délamination [122]
- Induit une pression de vapeur durant la refusion provoquant des fissures (popcorn) [122]
- Favorise la corrosion et l'électromigration [122]

Cependant l'absorption d'humidité par les époxydes soulage les contraintes résiduelles en gonflant la matrice et momentanément augmente la résistance de la matrice/interface aux fissures [100].

Dans ce paragraphe nous verrons les mécanismes d'absorption d'humidité, les conséquences de l'humidité sur les paramètres physiques de la résine et enfin les contraintes thermomécaniques et hygromécaniques engendrées par l'intrusion d'humidité.

### 2.1 Description des mécanismes d'absorption d'humidité

Pour qu'il y ait condensation au niveau de l'échantillon, le produit doit être à une température inférieure à celle du point de rosée de l'environnement [101]. Cette condition étant vérifiée alors nous pouvons dire que l'absorption d'humidité n'est liée qu'à la diffusivité et que la saturation ne dépend que du coefficient de saturation ( $C_{sat}$ ) [118]. Cependant il convient de rappeler que la diffusivité et le coefficient de saturation en humidité dépendent de la température et du taux d'humidité de l'environnement [102]. Ainsi l'absorption d'humidité est régie par deux paramètres principaux qui sont l'humidité relative et la température ambiante.

Il y a deux paramètres d'absorption importants : le coefficient de saturation, qui définit la quantité maximale d'eau que peut absorber une résine et le niveau d'absorption critique, qui

définit la quantité d'eau pour laquelle la pression sera maximale lors d'une montée en température [102, 97].

Une résine époxyde est un matériau complexe qui, de plus, est souvent chargé de billes de silice afin d'abaisser le coefficient d'expansion thermique et d'élever la valeur de la température de transition vitreuse. Ainsi, à l'intérieur de la résine, nous pouvons définir deux catégories de volumes [103]:

- Le volume occupé par les chaînes de molécules
- le volume libre qui permet le mouvement des chaînes moléculaires.

Les nanocharges de silice créent un grand nombre d'espaces vides ce qui augmente le volume libre dans la résine et a tendance à augmenter les capacités d'absorption d'humidité [104]. En effet une grande partie de l'eau absorbée par la résine est contenue dans les nanopores. Ainsi il semble que la structure nanoporeuse, la polarité et la mobilité moléculaire agissent ensemble pour contrôler le transport d'humidité dans l'époxyde [116].

La mobilité de la chaîne de polymère n'est pas affectée par l'absorption d'humidité pour des températures inférieures à la  $T_g$ . Cependant pour des températures approchant la  $T_g$ , il semble que la mobilité devienne quelque peu plus élevée. Toutefois la mobilité de l'eau est, elle, très différente en dessous et au-dessus de la  $T_g$ . En effet la mobilité de l'eau dans la résine au-dessus de la  $T_g$  est proche de celle de l'eau libre. En conséquence à haute température et à fort degré d'humidité relative, le coefficient de diffusion peut être multiplié par 3 du fait de la plus grande mobilité de la chaîne moléculaire et de la plus grande mobilité de l'eau [116].

La diffusion d'un matériau dans un autre est généralement régie par les lois de Fick : La première reliant le flux à la concentration et la seconde qui est spatio-temporelle. Cependant dans le cas d'une résine époxyde chargée de silice il semble que les lois de Fick (équations 28 et 29) ne suffisent pas à modéliser les mécanismes d'absorption et de désorption. En effet dans l'ensemble des simulations nous retrouvons que les lois de Fick surestiment l'absorption d'humidité [118] pour deux raisons :

- La diffusion d'humidité a lieu dans l'époxyde mais aussi le long des micropores
- La diffusivité de la vapeur est au moins dix fois supérieure à celle de l'eau. Or l'humidité est présente sous forme de vapeur en cas de faible concentration, mais, à la fois sous forme de vapeur et sous forme liquide, en cas de forte concentration

$$\vec{F} = -D \cdot \overrightarrow{\text{grad}C} \quad (28)$$

$$\frac{\partial C}{\partial t} = \frac{\partial}{\partial x} \left( D \cdot \frac{\partial C}{\partial x} \right) + \frac{\partial}{\partial y} \left( D \cdot \frac{\partial C}{\partial y} \right) + \frac{\partial}{\partial z} \left( D \cdot \frac{\partial C}{\partial z} \right) \quad (29)$$

où **F** est le flux de diffusion de l'espèce considérée (l'humidité)

**C** est la concentration

**D** est le coefficient de diffusion

L'humidité suit donc une loi de Fick tant qu'elle existe sous forme de vapeur dans les micropores, puis elle se ralentit en devenant de l'eau liquide, ceci implique que la diffusivité diminue quand le taux d'humidité de l'environnement augmente. De plus la désorption à partir de hauts niveaux de saturation a tendance à laisser une humidité résiduelle qui ne peut être enlevée qu'en passant au-dessus de la Tg [105].

Bien que la vitesse de désorption soit identique à celle de l'absorption à la même température, au-delà de 100°C la désorption est fortement accélérée. Ceci s'explique par le fait que la désorption au dessus de 100°C ne se fait pas uniquement par diffusion mais aussi par un gradient de pression interne [102] qui n'est donc pas régi par les lois de Fick. La perte de poids mesurée en désorption à haute température est accentuée par l'évaporation des solvants présents dans la résine lors du séchage à des températures élevées, ce qui accentue la perception d'une désorption non-fickienne dans les hautes températures [122]. Pour prendre en compte ces effets dans les modèles analytiques, un modèle à deux étages a été conçu par Loh et al.. Ce modèle qui prend en considération les effets fickiens et ajoute de façon empirique les effets non-fickiens permet ainsi de mieux modéliser la première partie de la courbe d'absorption [106]. Ce modèle ne sera pas utilisé dans ce travail de thèse car les précisions apportées par ce modèle ne sont pas assez importantes au regard de la complexité de mise en œuvre de ce type de modèle.

Les mécanismes de diffusion sont dépendants de la structure, de la température et de la morphologie : ainsi la structure, les interactions atomiques et l'énergie cinétique sont les trois facteurs principaux contribuant à la diffusion à l'échelle microscopique. La structure est représentée par la chimie, la stœchiométrie, la distribution de la matière, la densité des branchements, les groupes de fin, les groupes de milieu, les volumes libres, les sites polarisés accessibles et les nanopores. Les interactions atomiques sont décrites par les forces intra et inter moléculaires (lesquelles peuvent être attractives ou répulsives), les forces de Van Der Waals, les interactions de Coulomb, et les liens hydrogénéés. La distribution de matière et les interactions atomiques s'influencent mutuellement. Le dernier facteur influençant les mécanismes de diffusion est l'énergie cinétique des atomes.

Le matériau, après cuisson et à une température constante, a atteint un équilibre thermodynamique. Quand le matériau est exposé à l'humidité et sous l'influence d'une énergie thermique alors le procédé de diffusion commence. Les molécules d'eau créent des liens hydrogénéés avec les sites polaires. Ces interactions ne sont pas fixes mais changent avec le mouvement des atomes et, à certains intervalles de temps, de nouvelles interactions se créent. Des expériences ont montré qu'un certain pourcentage d'eau reste dans des nanopores sans créer de lien ou encore créent des liens hydrogénéés. La diffusion dans la structure est réalisée via un mécanisme de saut qui est de nature Brownien. Quand les mouvements des chaînes moléculaires et des groupes de fin ouvrent un passage entre deux nanopores alors les molécules d'eau "sautent" d'un nanopore vers le suivant.

De façon microscopique la diffusion est mesurée par la fréquence des sauts mais pas par le temps où l'eau réside dans un nanopore. Les nanopores sont continuellement formés et détruits suivant des mouvements aléatoires et ne sont pas fixes dans l'espace mais fluctuent selon les conditions de température et l'état de la résine.

Macroscopiquement le volume du système change de façon isotropique au cours du procédé de diffusion (c'est le gonflement). Il a été démontré de façon empirique que le gonflement est produit uniquement par l'eau liée et pas par toute l'eau absorbée.

Quand la saturation est atteinte alors un nouvel équilibre thermodynamique est établi. Quand la structure est dans un état vitreux (pas à l'équilibre) les chaînes moléculaires ne voient que des mouvements et vibrations locaux. Ainsi les barrières énergétiques sont plus fortes et empêchent la diffusion, la fréquence des "sauts" est supposée être contrôlée par ces forces. Quand la structure évolue progressivement vers l'état caoutchouteux, les mouvements deviennent plus importants et les interactions atomiques sont réduites. La diffusion n'est plus considérée comme étant gouvernée par les interactions atomiques [107, 108].

Lors d'une exposition prolongée d'une résine époxyde à l'humidité, cette dernière vieillit. Du point de vue macroscopique le vieillissement de la résine se voit par des pertes d'adhérence et une plus grande fragilité du matériau. Du point de vue microscopique le vieillissement provoque une augmentation du taux d'oxygène dans la résine, certaines liaisons atomiques semblent être moins nombreuses, l'eau crée des scissions dans les chaînes moléculaires de la résine, l'époxyde perd en azote. Les dégradations viennent de l'hydrolyse, de l'oxydation et de réactions de déshydratation en des zones spécifiques des chaînes de polymères. Ainsi, durant le vieillissement, la résine change de structure chimique [109].

### 2.2 Impact de l'humidité sur les paramètres physiques des matériaux

L'absorption d'humidité modifie plus ou moins fortement les propriétés de la résine époxyde. Ces modifications conduisent généralement à une perte plus ou moins totale de la fonction initiale de la résine. Dans ce paragraphe nous distinguerons entre les changements internes de la résine et les modifications externes de la fonctionnalité de la résine.

#### 2.2.1 Impact sur le vieillissement

La plupart des études menées sur la dérive des paramètres thermiques des polymères montrent que l'exposition de la résine à une haute température accroît la densité moléculaire ainsi que la valeur de la température de transition vitreuse. En effet il semble que le module élastique et la Tg dépendent de la densité des liens moléculaires [95].

Ainsi après un vieillissement à une température supérieure à la Tg, la valeur du module élastique au-dessus de la Tg augmente. Ce qui indique un accroissement de la densité des liaisons moléculaires durant le vieillissement. Cette augmentation de la densité des liaisons moléculaires a aussi pour conséquence de rendre le matériau plus cassant. En plus d'une augmentation de la Tg, le matériau se retrouve modifié. Le matériau monophasé devient, après une exposition à haute température, un matériau biphasé (Figure 49) dont les liaisons au sein du matériau ont augmenté en densité [110, 111]. L'apparition d'une deuxième phase met en évidence que la résine ne se comporte plus comme un matériau simple mais comme un assemblage complexe de matériaux, dont les propriétés thermomécaniques doivent être appréhendées différemment.

La mesure de la Tg est faite par application d'une contrainte paramétrée en torsion, sur un échantillon du matériau à caractériser, et d'une mesure simultanée de la déformation effective produite. La valeur du déphasage ( $\tan \delta$ ) entre la contrainte et la déformation est mesurée sur toute une plage de température. La Tg est la valeur de la température pour laquelle le déphasage est maximal. Un matériau monophasé n'a qu'une seule valeur de Tg mais un matériau multiphasé peut laisser apparaître plusieurs pics correspondant à des Tg différentes.

Il est possible de mesurer la Tg en plaçant la résine à une valeur de température au-dessus de sa valeur de Tg et en faisant rapidement décroître la température tout en mesurant le fluage. En diminuant la vitesse de refroidissement on se rend compte que la valeur du Tg diminue. Ceci signifie que l'état de la résine en dessous de la Tg n'est pas à

l'équilibre thermodynamique. Quand le matériau est maintenu en dessous de la  $T_g$ , le volume libre décroît légèrement et l'équilibre thermodynamique est progressivement atteint : la résine vieillit [103].

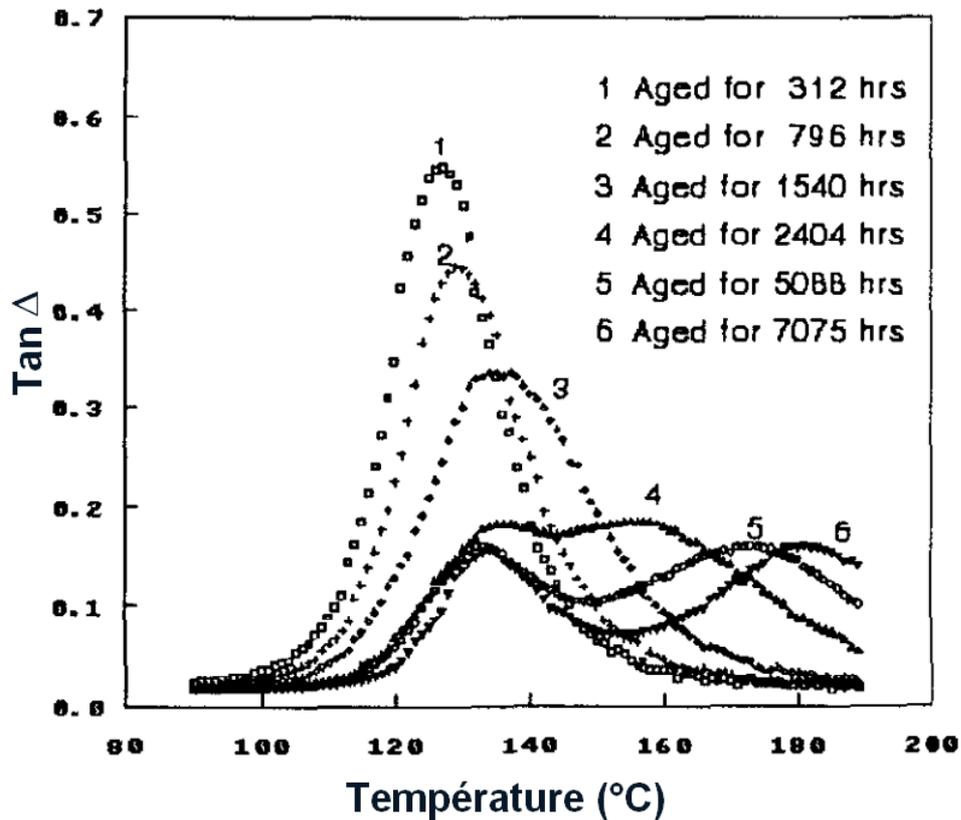


Figure 49 : Mesure de  $T_g$  : Matériau monophasé devenu biphasé après vieillissement [110]

Pour les températures au dessous de la  $T_g$ , la dérive en température du module d'Young peut être considérée comme suivant une loi d'Arrhenius et le comportement viscoélastique linéaire de l'époxyde comme étant maintenu jusqu'à une température inférieure à la  $T_g$ . D'autre part la chute de la  $T_g$  due à l'humidité suit la loi de Fox (équation 30). Ceci signifie que l'humidité peut amener le matériau dans une zone viscoélastique non-linéaire et qu'ainsi l'époxyde ait une réponse viscoélastique similaire, à sec au dessus de la  $T_g$  et, saturée d'humidité au dessous de la  $T_g$  [113].

$$T_g^f = \frac{W_m}{T_g^m} + \frac{W_w}{T_g^w} \quad (30)$$

où  $T_g^f$  est la  $T_g$  finale

$T_g^m$  et  $T_g^w$  sont respectivement les  $T_g$  du polymère et de l'eau

$W_m$  et  $W_w$  sont respectivement les masses relatives du polymère et de l'eau

Le vieillissement est donc une recherche d'un équilibre thermodynamique lequel est dépendant de la température d'exposition. Ainsi une résine ne vieillira pas de la même façon à des températures restant en deçà de la Tg qu'à des températures passant au delà de la Tg. De plus le taux d'humidité au moment du vieillissement a pour effet de diminuer les performances thermiques de la résine, ainsi l'équilibre thermodynamique de la résine sera dépendant de la température et du taux d'humidité.

### 2.2.2 Impact sur le comportement plastique

La résine époxyde a tendance à absorber l'humidité de son environnement immédiat. Cette humidité semble avoir pour effet de diminuer les performances thermodynamiques de la résine. Cette perte de performance est liée à la plastification et à l'hydrolyse de la résine [112]. Ainsi nous pouvons expérimenter que la Tg, le module élastique et la contrainte de tension maximale diminuent quand le taux d'humidité augmente [118]. La réduction du module élastique semble être directement liée à la plastification. Cette plastification est générée, d'une part, par l'eau absorbée et, d'autre part, par la rupture de liens hydrogénés entre les chaînes moléculaires [106]. Même un faible niveau d'absorption d'humidité peut fortement affecter les propriétés mécaniques de la résine en agissant comme un plastifiant. Ainsi l'humidité et la température ont un effet similaire sur le fluage de la résine [113].

### 2.2.3 Impact sur la polymérisation

Les résines utilisées dans le domaine des boîtiers électroniques se présentent sous forme liquide et sont polymérisées à haute température. Cependant il semble que le procédé de polymérisation de la résine ne soit jamais complètement terminé. Ainsi des augmentations du module élastique et de la Tg peuvent se produire après une exposition à des températures élevées. Une étude a montré que non seulement le module élastique et la Tg semblent augmenter après une exposition dans l'eau bouillante mais aussi qu'il y a apparition d'une deuxième phase, pouvant être liée à une recuisson durant une exposition longue (6 mois) à haute température (eau bouillante) [114].

## 2.3 Impact de l'humidité sur les forces d'adhésion

L'époxyde possède de très bonnes propriétés d'adhésion liées à des groupes hautement polarisés hydroxyles et éthers [116]. Cependant les dégradations internes de la résine se traduisent généralement par une perte de cette force d'adhésion de la résine ce qui entraîne

des délaminations dans le boîtier. Cette perte d'adhérence est intimement liée aux mécanismes de dégradation internes. En effet les groupes hydrophiles, présents dans les adhésifs époxydes sous forme de groupes hydroxyles, réagissent avec les molécules d'eau pour créer des liaisons hydrogénées fragiles. Cette réaction est une cause de dégradation liée à l'absorption d'humidité. De plus l'humidité absorbée peut aussi entraîner la plastification, l'hydrolyse et des détériorations irréversibles du réseau moléculaire amenant de significantes dégradations de l'adhésivité [115].

Ainsi nous voyons que le vieillissement en humidité de la résine diminue sa capacité d'adhérence [116]. Cependant ce phénomène n'est pas instantané. En effet la force d'adhésion n'est pas minimale dès la saturation du polymère en humidité. La force d'adhésion tend progressivement vers un équilibre qui est dépendant de sa constitution et en particulier de la valeur de la Tg. Vieillir la résine au-delà du temps nécessaire à l'obtention de l'équilibre ne détériorera pas plus l'adhésion [116], un équilibre est valable pour une température et un taux d'humidité donnés.

Cet effet non immédiat a été mis en évidence par une autre étude sur la force d'arrachage d'une résine en vieillissement. La force d'arrachage de la résine est restée stable durant 200h puis a chuté après une longue exposition à l'humidité. Durant les 200 premières heures la résine semble n'absorber que peu d'eau. Cette eau agit comme un plastifiant améliorant ainsi la flexibilité et maintenant une force de contact constante. Après 200h, les groupes d'hydroxyles, qui sont très hydrophiles, créent des effets de capillarité à travers les fissures de la résine ce qui résulte en une absorption rapide de l'eau entraînant une perte d'adhésion. L'analyse EDX montre que durant les 200 premières heures il y a peu d'absorption d'humidité, et ce n'est qu'après que l'humidité pénètre réellement [117].

### 2.4 Contraintes hygromécaniques

Lorsqu'un polymère absorbe de l'humidité, il se produit un gonflement du matériau. Ce gonflement semble être proportionnel à l'absorption d'humidité et ne pas dépendre du taux d'humidité auquel la résine est exposée. Ainsi une fois le niveau de saturation en humidité atteint, aucun gonflement supplémentaire n'est enregistré. Ce gonflement est produit par l'interaction des molécules d'eau avec les chaînes moléculaires de la résine. En effet les molécules d'eau occupent des positions entre les molécules du polymère, créant des liens hydrogénés avec le polymère et forçant ainsi le gonflement des macromolécules. Au début de

l'exposition à l'humidité, la résine époxyde absorbe de l'eau mais le gonflement est très faible, car l'eau commence par remplir les pores de la résine sans interagir avec les molécules, puis, après quelques instants, le gonflement devient linéaire jusqu'à saturation de l'échantillon. Nous voyons donc que le coefficient d'expansion humide (CME) est dépendant du taux d'humidité absorbée [106]. De plus les changements dimensionnels sont plus importants quand le volume libre diminue car alors le pourcentage de molécules d'eau créant des liens hydrogénés avec les sites polarisés est plus important [107].

Alors que le coefficient d'expansion thermique est très bien connu, le coefficient d'expansion humide est souvent ignoré. Pourtant les effets du second peuvent être du même ordre de grandeur que ceux du premier [122, 118]. Comme pour le CTE, le CME peut être critique quand deux matériaux voisins ont des coefficients d'expansion humide très différents [118]. Le CME a donc été pris en compte dans nos simulations hygro-thermo-mécaniques.

Quand il est question d'humidité, il faut comprendre à la fois contraintes mécaniques et perte d'adhérence, c'est l'effet conjugué de ces deux causes qui provoque la délamination. C'est pour cela que souvent les délaminations ne sont pas forcément liées à l'absorption absolue d'humidité mais plutôt à l'absorption locale. De plus, lors d'exposition à de hautes températures, l'humidité est présente sous forme de vapeur sous pression, aussi la quantité d'humidité critique est, dans ce cas, la quantité d'humidité correspondant au maximum de pression. Cette humidité critique se loge dans les espaces vides à l'interface de deux matériaux, et la densité d'humidité dans les vides de la résine arrive à son maximum avant que la résine ne soit saturée en humidité. Enfin le volume de vide initial a peu d'effet sur la pression de vapeur mais a un effet considérable sur la fragilité des interfaces [118].

L'humidité peut aussi avoir un effet critique lors d'une exposition à de très basses températures, en effet un cycle thermique amenant un boîtier saturé en humidité à des températures négatives va engendrer le gel et le dégel, ceci résultant en de fortes contraintes mécaniques. McCluskey et al. ont mené une expérience sur ce type de cycle, les résultats ont montré que les composants préalablement séchés n'ont quasiment pas délaminés alors que les composants humides délaminent complètement. De plus nous pouvons noter que la vitesse de refroidissement et la température minimale ont un impact sur la délamination. Enfin il apparaît que la délamination croît plus vite dans les angles où les contraintes thermomécaniques sont les plus importantes [119].

### 2.5 Conclusion

Nous venons de montrer comment l'humidité agit à l'intérieur d'un assemblage multi-matériaux. L'humidité a une action sur les propriétés intrinsèques des résines. En effet l'humidité modifie les mécanismes de vieillissement des matériaux en modifiant l'équilibre thermo-dynamique de la structure, et modifie les valeurs de la Tg et des modules élastiques en agissant sur les liaisons moléculaires. L'humidité a aussi un impact sur les propriétés d'adhésion des résines par une hydrolyse des molécules de liaison. Enfin l'humidité a un impact sur les contraintes thermo-mécaniques en produisant un gonflement des matériaux polymères. Ainsi pour pouvoir anticiper les conséquences de ces contraintes liées à l'absorption d'humidité, il faut savoir effectuer des simulations autant sur l'absorption de l'humidité, que sur les contraintes hygromécaniques, que sur les contraintes thermomécaniques. Étant donné que les principaux défauts dus à l'humidité ont lieu durant la phase de refusion, il y a quatre analyses nécessaires pour prédire les stress : L'analyse de la diffusion de l'humidité lors du PRECON et lors de la refusion ; l'analyse hygromécanique du gonflement du boîtier dû à la diffusion d'humidité ; l'analyse thermomécanique des stress à l'intérieur du boîtier dus aux différences de CTE ; l'analyse des contraintes liées à la pression de la vapeur produite par l'absorption d'humidité [120]. Pour chacun de ces points il est nécessaire de caractériser les matériaux et leurs comportements. C'est pourquoi le paragraphe suivant sera consacré au travail de caractérisation réalisé dans le cadre de cette thèse.

### 3 *Caractérisation des matériaux élémentaires*

Dans le paragraphe précédent nous avons mis en évidence l'impact de l'humidité sur le comportement des matériaux hydrophiles tels que ceux utilisés dans la réalisation des boîtiers et des underfills.

Le composant SiP étudié est composé majoritairement de cinq matériaux qui sont :

- La résine du boîtier : 68%
- Le silicium : 27%
- Le cuivre : 4%
- La résine d'underfill : 0,45%
- La résine de la colle : 0,45%

Le silicium et le cuivre n'absorbant pas d'humidité, les matériaux à étudier en reprise d'humidité sont les trois résines. Ce sont des résines époxydes chargées en silice ou en argent, dans le cas de la colle, de façon à ajuster leurs CTE, module d'Young et conductivité électrique. La résine du boîtier contient 90% de billes de silice d'un diamètre de 15 $\mu$ m. Après application elle est recuite pendant 3 heures à 180°C. L'underfill contient 55% de silice et est recuit pendant 20 minutes à 150°C. Enfin la colle contient 90% de billes d'argent d'un diamètre de 5 $\mu$ m et est recuit pendant 15 minutes à 180°C.

La mesure porte sur la quantité d'humidité absorbée suivant les conditions d'exposition de manière à obtenir pour chacune de ces résines leur coefficient de diffusion. Différentes expérimentations ont été réalisées sur l'absorption d'humidité par le composant et par des échantillons de résine lors d'exposition à des cycles thermiques, sur la désorption d'humidité en exposition sèche à haute température. Un travail a aussi été effectué sur la plastification de ces matériaux lors d'une exposition à des cycles thermiques.

### 3.1 Méthodes de mesure du poids

La mesure de la quantité d'humidité absorbée par le polymère est effectuée par la mesure de la masse de composant à sec puis après exposition à l'humidité. Cette mesure est la plus simple dans son principe : Il s'agit de placer les échantillons sur une balance suffisamment précise et de relever la valeur.

Cette méthode est simple, efficace et peu onéreuse il y a cependant certains inconvénients à prendre en considération, tel que le fait que la balance ne peut pas fonctionner dans l'étuve, les composants seront donc nécessairement retirés de l'étuve au moment des mesures ce qui peut perturber les résultats.

La procédure utilisée, définie par la norme JEDEC JESD22-A120A [121] est la suivante :

1. Sécher le composant à 125 °C pendant 24 heures. Il peut être nécessaire de sécher le composant plus longtemps selon les caractéristiques de perte de poids de l'échantillon. L'échantillon est considéré sec quand la différence de poids entre deux pesées successives est inférieure à 0,002%.
2. Retirer l'échantillon de l'étuve et le refroidir immédiatement au contact d'un élément métallique froid. Si plusieurs échantillons doivent être mesurés, les échantillons et

l'élément de refroidissement seront placés dans un dessiccateur pour limiter l'absorption d'humidité durant la pesée.

3. Placer les composants en étuve humide pour activer l'absorption d'humidité et effectuer les mesures de poids suivant la procédure du point 2. La pesée doit être effectuée dans un délai inférieur à 5 minutes.

Par cette mesure, la variation de la masse des échantillons durant une exposition à une ambiance humide par rapport à une référence à laquelle nous considérons que les échantillons sont exempts d'humidité (typiquement après 24h à 125°C) est enregistrée. Le gain de poids lié à l'humidité est déterminé par :

$$M_t(\text{wt}) = \frac{m_t - m_0}{m_0} \times 100 \quad (31)$$

Où  $m_t$  et  $m_0$  sont les masses respectivement des échantillons humides après un temps d'exposition,  $t$ , et des échantillons secs.

Pour les mesures de répétabilité, deux échantillons de résine de boîtier ont été pesés dix fois. Dans le tableau 10 sont reportées les valeurs moyennes des masses des échantillons et les valeurs des répétabilités des mesures. Les masses des échantillons sont représentatives des plus petites et des plus grandes masses mesurées. La répétabilité des mesures est donc, dans le pire cas, de l'ordre de 0,03%, ce qui signifie que les mesures d'absorption d'humidité ne seront significatives qu'au-delà d'un changement de masse de plus de 0,03%.

**Tableau 10 : Répétabilité des pesées avec la balance**

Masse de l'échantillon	Répétabilité	Précision de mesure
1,25 g	0,03%	0,4 mg
4,27 g	0,01%	0,5 mg

L'analyse de gravimétrie en température (TGA, Thermal Gravimetry Analyser) permet de connaître, en continu, le poids d'un échantillon de petite taille (quelques mg) durant une variation de température. Il s'agit d'une balance de très grande précision permettant à l'échantillon de rester à l'intérieur de l'étuve. Cette méthode est très utilisée pour suivre la prise de poids d'une résine à température et humidité constante. Cette prise de poids étant

effectuée dans des conditions contrôlées, elle est directement reliée à l'absorption d'humidité. Il s'agit donc d'une méthode de caractérisation directe de l'absorption d'humidité. Il est toutefois très difficile d'obtenir de bons résultats avec TGA à des hautes températures du fait de l'évaporation de gaz contenus dans la résine qui accentue la perte de poids [122]. De plus la taille de l'échantillon est limitée par la place et par la masse maximale mesurable. De ce fait il n'est pas possible de caractériser l'absorption d'humidité sur un composant réel par cette méthode. C'est pourquoi cet équipement n'a été utilisé que pour la caractérisation d'échantillons de matériaux purs en vue de la simulation à l'université de Delft.

La pesée avec une balance classique est donc la seule méthode adéquate pour suivre l'absorption d'humidité par des échantillons de grande taille et pour des lots de composants.

### 3.2 Étuves d'exposition à des conditions précises

La caractérisation des matériaux nécessite de les soumettre à des conditions de température et d'humidité parfaitement maîtrisées. Pour cela différentes étuves sont utilisées suivant les besoins.

Pour effectuer une exposition à l'humidité, afin de forcer l'absorption d'humidité par les matériaux, nous utilisons une étuve permettant une régulation précise à la fois de la température et du taux d'humidité relative au sein de l'étuve. Dans le cadre de ce travail nous avons utilisé une étuve de marque CLIMATS (Figure 50), permettant une régulation du taux d'humidité relative entre 10% et 98%, à +/-3%, sur une plage de température de +10°C à +90°C, à +/-0,3°C.

L'exposition à haute température, typiquement 125°C, pour effectuer le séchage des matériaux est réalisée à l'aide d'une étuve de marque HERAEUS (Figure 50). Cette étuve permet de réguler la température de 10°C au-dessus de la température ambiante jusqu'à 300°C, avec une stabilité de l'ordre de 0,5°C.

Les cycles thermiques sont réalisés avec une étuve de marque CLIMATS (Figure 50). Cette étuve est composée de deux chambres et d'une nacelle permettant de déplacer les échantillons d'une chambre vers l'autre. Les chambres sont régulées indépendamment permettant ainsi des variations de température extrêmement rapides. En effet la chambre chaude peut être régulée en température jusqu'à +180°C et la chambre froide peut descendre jusqu'à -90°C. Cette étuve ne permet aucun contrôle de l'humidité et aucun balayage d'azote n'a été mis en place pour réduire le taux d'humidité résiduelle dans l'étuve.



Figure 50 : Étuves d'exposition à l'humidité, à haute température et aux cycles thermiques

### 3.3 Reprise d'humidité en stockage humide

Pour la réalisation de modèles destinés à des logiciels de simulation par éléments finis, il est nécessaire de caractériser chaque matériau indépendamment des autres. Cependant pour vérifier si le modèle ainsi conçu donne des résultats satisfaisants, la caractérisation du composant, relativement à l'absorption d'humidité est aussi nécessaire. C'est pourquoi les mesures d'absorption d'humidité ont été effectuées sur des échantillons de résine pure mais aussi sur des lots de composants.

Pour construire les modèles d'absorption d'humidité, deux paramètres sont extraits des mesures : Le niveau de saturation en humidité et le coefficient de diffusion de chaque matériau.

Ces deux paramètres dépendent à la fois de la concentration en humidité et de la température d'exposition. Ainsi, pour chaque matériau, les mesures doivent être réalisées pour chaque couple de température et de taux d'humidité relative différent. Dans ce paragraphe nous allons montrer deux méthodes de caractérisation différentes. La méthode traditionnelle, bien connue mais nécessitant des mesures pour chaque couple de température et d'humidité relative sera présentée en premier. Puis une nouvelle méthode a été développée permettant de n'effectuer que trois mesures pour chaque matériau, à partir desquelles il est possible de caractériser l'absorption d'humidité de façon générale.

### 3.3.1 Caractérisation de l'absorption d'humidité pour une condition donnée

Le suivi de l'absorption d'humidité est réalisé par pesée des échantillons, ou des lots de composants, suivant la norme JEDEC JESD22-A120A (rappelée dans le paragraphe 3.1.1). Les pesées ont lieu en s'espaçant dans le temps car le matériau absorbe beaucoup dans les premiers instants puis se stabilise au cours du temps vers un palier de saturation.

Du fait de la forte prédominance de la résine du boîtier sur les autres résines, les mesures d'absorption d'humidité ont été focalisées sur cette résine. Puis ces mesures sont comparées avec celles réalisées sur un composant réel (Figure 51).

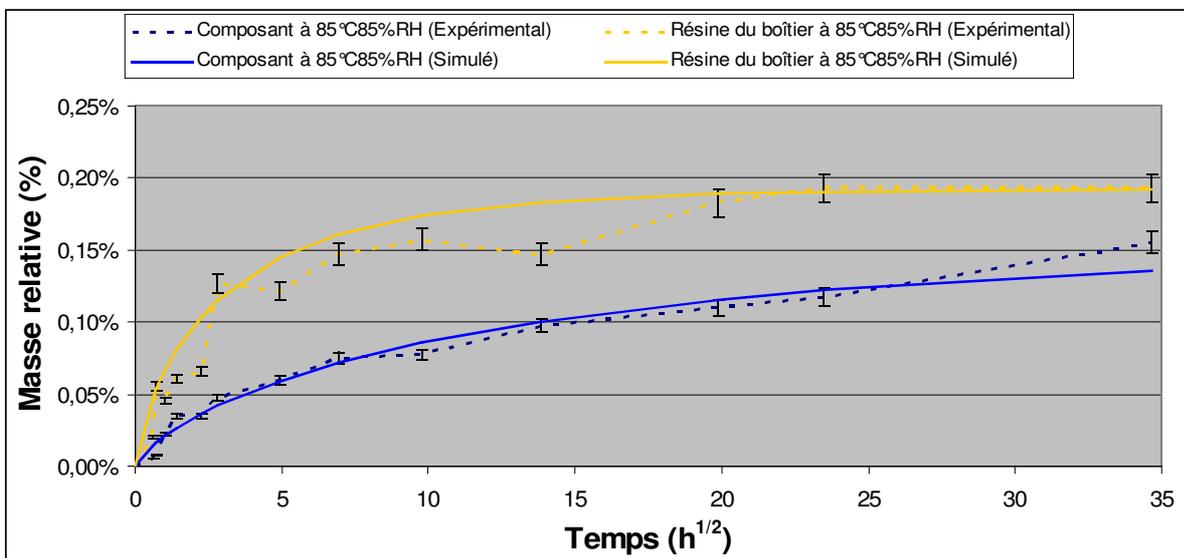


Figure 51 : Mesure et modélisation d'absorption d'humidité sur résine de boîtier et sur composants réels

Il est à noter que pour l'échantillon de résine de boîtier, le modèle (voir ci-dessous équation 33) ne correspond pas exactement aux mesures dans les premiers instants d'absorption. Cela est en accord avec les expériences de Loh et al. (cf paragraphe 2.1). Un modèle à deux niveaux serait mieux approprié. Pour les composants, l'absorption réelle ne correspond pas au modèle dans les mesures finales. En effet, il semble, qu'après environ 500 heures, une deuxième pente de reprise d'humidité apparaisse. Ce phénomène ne se produit pas dans le cas d'un échantillon de résine pure mais se produit de façon répétitive avec les composants. L'humidité semble donc pénétrer plus rapidement, dans les premiers instants, dans un échantillon de résine pure que dans un assemblage. Ce qui peut être expliqué par le fait que l'échantillon de résine absorbe par les deux faces, alors qu'à l'intérieur du composant

la résine n'absorberait que par une seule face. Après quelques dizaines d'heures d'exposition à l'humidité, l'assemblage de plusieurs matériaux semble avoir terminé un premier palier d'absorption et recommence à absorber. La première partie de la courbe peut être expliquée par les interfaces qui agiraient comme des capacités dans le domaine de l'absorption d'humidité. Une fois ces volumes chargés en humidité, l'humidité continuerait à migrer dans les matériaux engendrant une nouvelle pente. Ainsi dans un premier temps les interfaces des matériaux permettent à l'ensemble d'avoir une vitesse d'absorption élevée puis les mécanismes de migration continuant une nouvelle pente apparaît.

A partir de la courbe de mesure, il est possible d'extraire un coefficient de diffusion suivant les équations suivantes [123] :

$$D = \frac{\pi}{16} \cdot \left( \frac{sl \cdot h}{M_{inf}} \right)^2 \quad (32)$$

$$sl = \frac{M_2 - M_1}{\sqrt{t_2} - \sqrt{t_1}} \quad (33)$$

où, D est le coefficient de diffusion, sl et  $M_{inf}$  sont respectivement la pente initiale de la courbe (mesurée entre deux points de la partie initiale de la courbe expérimentale) et la valeur finale de la courbe expérimentale (prise au niveau du premier palier de saturation), h est l'épaisseur de l'échantillon.

De cette équation nous avons pu calculer les valeurs des coefficients de diffusion (Tableau 11). Des expériences ont été menées à Delft en parallèle sur la résine de boîtier pour laquelle le coefficient de diffusion a été calculé à  $3,78 \times 10^{-12}$  m<sup>2</sup>/sec.

**Tableau 11 : Valeurs expérimentales des coefficients de diffusion**

	Composant à 85°C/85%RH	Résine pure à 85°C/85%RH
D (m <sup>2</sup> /sec) +/-10%	$4,4 \times 10^{-12}$	$4,5 \times 10^{-12}$

A partir de ce coefficient de diffusion, il est possible de reconstruire la courbe d'absorption avec l'équation de Shen [123]:

$$M = M_{inf} \left[ 1 - \exp \left( -7,2 \cdot \frac{D \cdot t}{h^2} \right)^{0,75} \right] \quad (34)$$

## Chapitre IV : Qualification accélérée sur prototypes fonctionnels

---

Où  $M$  est la masse relative à l'instant  $t$ ,  $M_{inf}$  est la masse relative à l'infini,  $D$  est le coefficient de diffusion,  $t$  est le temps,  $h$  est l'épaisseur de l'échantillon ou du composant.

Les coefficients de diffusion obtenus par cette méthode sont comparés avec les coefficients de diffusions de l'humidité dans les matériaux époxydes (Tableau 12) mesurés par Guojun et al. et Chen et al. [124, 125]. Les mesures sont réalisées sur des résines époxydes de boîtier et les ordres de grandeurs pour les valeurs des coefficients de diffusion sont similaires.

Nous pouvons donc pour chaque couple de température/taux d'humidité relative extraire un coefficient de diffusion et une valeur maximale d'absorption de masse. Le paragraphe suivant montre une méthode pour extrapoler les mesures faites sur trois couples température/taux d'humidité relative à l'ensemble des conditions bornées par ces trois couples de valeurs.

**Tableau 12 : Coefficient de diffusion dans la bibliographie [124, 125]**

85°C/85%RH	D(m <sup>2</sup> /sec)
MP8000	5,50.10 <sup>-12</sup>
CEL9220M	3,70.10 <sup>-12</sup>
EMC-A*	2,20.10 <sup>-12</sup>
EMC-B*	1,70.10 <sup>-12</sup>

\* Les résines époxydes EMC-A et EMC-B ne sont pas identifiées par les auteurs de la publication

### 3.3.2 Caractérisation pour un ensemble de conditions d'essais

Les mesures ont été réalisées trois fois sur chacun des matériaux (colle, résine de boîtier et underfill).

#### 3.3.2.1 Modélisation de la saturation en humidité

La masse d'un échantillon saturé d'humidité,  $M_{inf}$ , est dépendante de la température et est déterminée par [126, 127, 128]:

$$M_{inf} = k_0 \cdot X_{RH} \cdot \exp(-E_a/kT) \quad (35)$$

Ce qui peut aussi s'écrire sous la forme suivante :

$$\ln(M_{inf}) = \ln(k_0 \cdot X_{RH}) - \frac{E_a}{k} \frac{1}{T} \quad (36)$$

Où  $k_0$  est une constante de proportionnalité,  $X_{RH}$  est le facteur d'humidité relative et varie de 0 à 1 entre 0 RH% et 100 RH%.  $E_a$  est la constante d'énergie d'activation de la saturation en humidité,  $k$  est la constante universelle des gaz,  $8.314 \text{ JK}^{-1} \text{ mol}^{-1}$ ,  $T$  est la température absolue.  $M_{inf}$  peut être obtenue par les essais d'absorption d'humidité à différentes températures à différents niveaux d'humidité relative. Une extrapolation linéaire de  $\ln M_{inf}$  en fonction de l'inverse de la température absolue  $1/T$  permet de déterminer la constante d'énergie d'activation. L'intersection de la droite  $\ln M_{inf}$  en fonction  $1/T$  avec l'axe des ordonnées permet de déterminer la valeur de  $k_0$ .

En utilisant l'équation (35), combinée avec les résultats d'essais, la saturation en humidité peut être modélisée à certaines températures et à certains taux d'humidité relative. Une approximation linéaire de la courbe  $\ln M_{inf}$  en fonction de  $1/T$  (Figure 52) permet de déterminer la constante d'activation d'énergie,  $E_a$ .

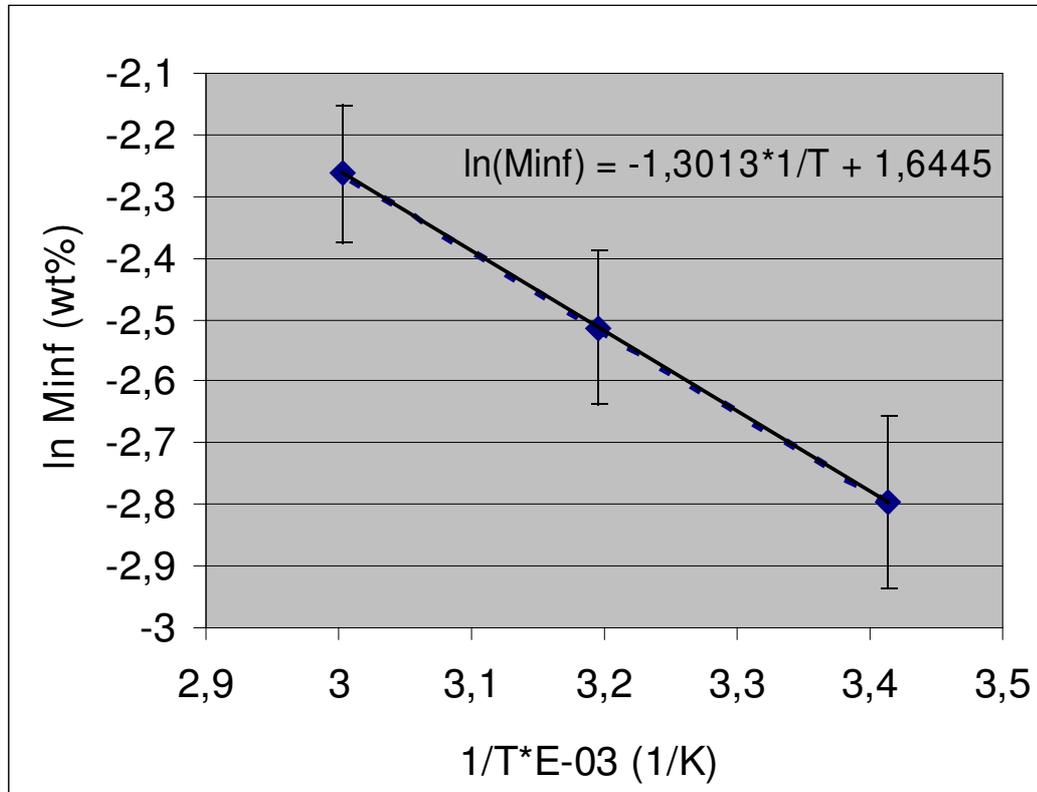


Figure 52 :  $\ln M_{inf}$  en fonction de  $1/T$  pour la résine de boîtier  
Mesures réalisées à 60%RH et 20°C, 40°C, 60°C

Les trois points de mesure permettent d'obtenir la courbe ajustée en pointillés. Les résultats obtenus sont les suivants (+/-5%):

- Pour la colle :  $E_a = 0,03\text{eV}$  ;  $k_0 = 1,1$
- Pour la résine de boîtier :  $E_a = 0,11\text{eV}$  ;  $k_0 = 8,6$
- Pour l'underfill :  $E_a = 0,10\text{eV}$ ;  $k_0 = 38,4$

Ce modèle permet de calculer les niveaux de saturation du matériau caractérisé quelles que soient les conditions d'exposition en température et en humidité relative.

Nous pouvons toutefois observer que la colle, chargée de billes d'argent (90%), a une énergie d'activation différente des deux autres matériaux chargés de billes de silice. D'autre part la résine de boîtier chargée à 90% à un coefficient  $k_0$  plus faible que l'underfill chargé à 55%.

### 3.3.2.2 Modélisation du coefficient de diffusion

Le coefficient de diffusion ( $D$ ) [129] est dépendant du coefficient de diffusion initial ( $D_0$ ) selon l'équation suivante :

$$D = D_0 \cdot \exp\left(-\frac{E_a}{kT}\right) \quad (37)$$

Ce qui peut aussi s'écrire sous la forme suivante :

$$\ln D = \ln D_0 - \frac{E_a}{k} \cdot \frac{1}{T} \quad (38)$$

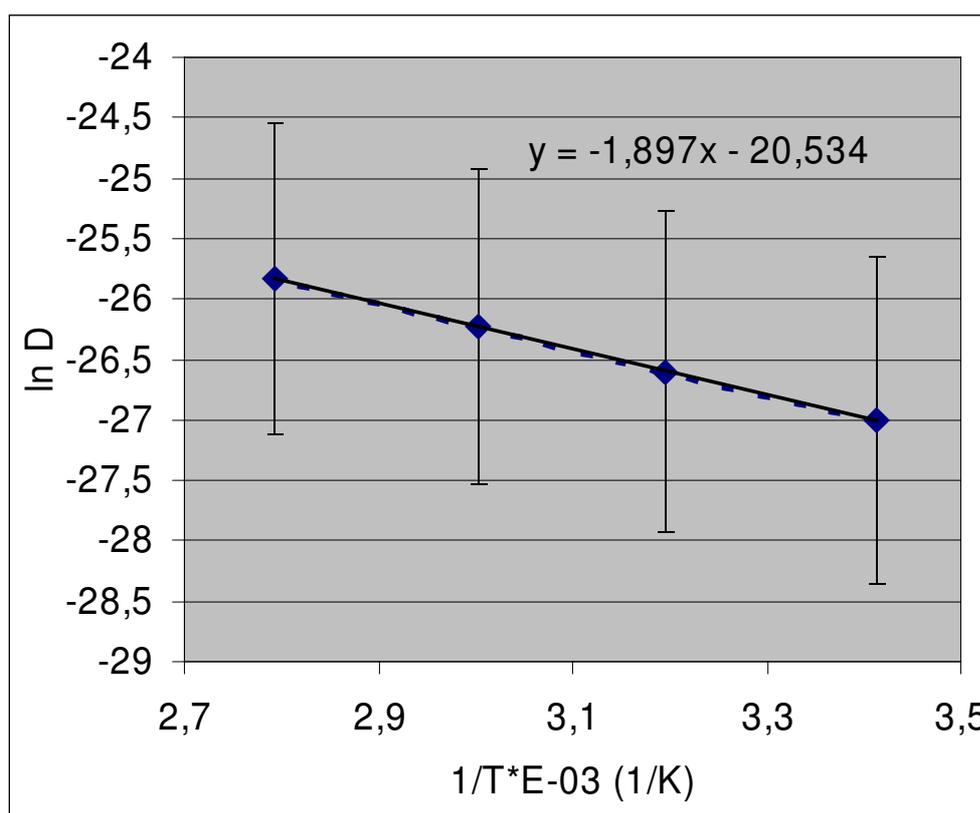
$D_0$  correspond à la valeur du coefficient de diffusion pour une température ( $T$ ) tendant vers l'infini et est déterminé graphiquement par l'intersection entre l'axe des ordonnées et la droite donnée par l'équation (38). L'utilisation de la pente initiale de la courbe de  $Mt/M_{inf}$  en fonction de  $\sqrt{t}$  (Figure 51), et de l'équation (38) permet de déterminer le coefficient de diffusion à différentes températures.

Sur le tableau 13 sont reportés les coefficients de diffusion à différentes températures calculés pour la colle.

**Tableau 13: Coefficients de diffusion (m<sup>2</sup>/s) à différentes températures**

Température (°C)	Coefficient de diffusion de la colle (m <sup>2</sup> /sec)
20	$7,5 \times 10^{-12}$
40	$3,2 \times 10^{-11}$
60	$1,2 \times 10^{-10}$

La pente du tracé de  $\ln D$  en fonction de  $1/T$  peut être utilisée pour obtenir la valeur de l'énergie d'activation de la diffusion  $E_a$  et la valeur du coefficient de diffusion initial  $D_0$ . La courbe est obtenue par la mesure du coefficient de diffusion pour quatre valeurs de la température.



**Figure 53 :  $\ln D$  en fonction de  $1/T$  pour la colle  
Mesures réalisées à 60% RH et 20°C, 40°C, 60°C, 85°C**

Les valeurs obtenues sont les suivantes :

- Pour la colle :  $E_a = 0,38\text{eV}$  et  $D_0 = 7,0 \times 10^{-6}\text{m}^2/\text{sec}$

- Pour la résine de boîtier :  $E_a = 0,16\text{eV}$  et  $D_0 = 1,2 \times 10^{-6}\text{m}^2/\text{sec}$
- Pour l'underfill :  $E_a = 0,16\text{eV}$  et  $D_0 = 1,1 \times 10^{-6}\text{m}^2/\text{sec}$

Bien que l'énergie d'activation de la diffusion calculée pour la colle soit cohérente avec les valeurs rencontrées dans la littérature [126], les valeurs calculées pour la résine de boîtier et pour l'underfill semblent très basses. Les valeurs du coefficient  $D_0$  sont du même ordre de grandeur que celui de l'étude de Teverovsky [130] (Tableau 14) pour la colle mais pas pour les autres matériaux dont les valeurs sont très différentes de celles trouvées dans la littérature.

Tableau 14 : Quelques énergies d'activation et coefficients de diffusion de la littérature [126]

	Polyamide 11 [126]	Résines époxydes [130]
$E_a$	0,57 eV	0,43 eV
$D_0$	n.c.	$7,3 \times 10^{-6} \text{ m}^2/\text{sec}$

### 3.3.2.3 Conclusion de la caractérisation de l'absorption d'humidité

En appliquant cette méthode, basée sur des mesures et des modèles, le comportement d'un matériau par rapport à l'humidité peut être caractérisé par seulement trois mesures d'absorption d'humidité. Ces trois mesures doivent être réalisées pour des températures et des niveaux d'humidité relative différents. Cette méthode permet, grâce aux modèles mis en œuvre, de prédire tous les niveaux de saturation d'humidité et tous les coefficients de diffusion pour n'importe quelle condition comprise dans la plage de mesure. Une fois ces deux paramètres connus, il est possible de calculer la quantité d'humidité absorbée et la concentration d'humidité dans le matériau. Ceci permet de définir une accélération de l'absorption d'humidité entre différentes conditions de façon précise.

Dans l'ensemble les valeurs obtenues pour les trois matériaux caractérisés ne semblent pas en contradiction avec les valeurs rencontrées par d'autres équipes sur des résines de boîtier de composants électroniques. Seules les valeurs des énergies d'activation de la diffusion de la résine de boîtier et de l'underfill semblent très faibles. Cependant les mesures ayant été effectuées à trois reprises et donnant les mêmes résultats, ces valeurs seront utilisées pour les simulations.

La norme IPC/JEDEC J-STD-020D, propose de faire varier les conditions de température et d'humidité (cf I.3.1) en fonction de la perméabilité des boîtiers. Quelles que soient les conditions d'exposition le boîtier sera exposé jusqu'à atteindre une saturation en humidité. Ce niveau de saturation étant lié aux conditions de température et d'humidité. Dans ce travail, l'absorption est réalisée en utilisant les conditions 85°C/85%RH, quelque soit le niveau de criticité du boîtier. Le temps d'exposition sera ajusté en fonction de la quantité d'humidité voulue. Un modèle d'absorption, mis en œuvre par des simulations par éléments finis (FEM) permet de connaître avec précision la quantité d'humidité absorbée. Deux facteurs importants ont été pris en considération :

- La quantité d'absorption globale
- La concentration locale en humidité

Ce sont deux des facteurs les plus importants en ce qui concerne les délaminations durant le passage en refusion des composants électroniques.

### 3.3.2.4 Récapitulatif des valeurs caractérisées

Les paramètres des matériaux sont reportés dans le tableau 15.

**Tableau 15 : Paramètres du modèle des matériaux du boîtier**

Paramètres (+/-5%)	Résine de boîtier	Underfill	Colle
$k_0$	8,6	38,4	1,1
$E_a$ (eV) (saturation)	0,1	0,1	0,03
$D_0$ (m <sup>2</sup> /sec)	$1,2 \times 10^{-6}$	$1,1 \times 10^{-6}$	$7,0 \times 10^{-6}$
$E_a$ (eV) (diffusion)	0,16	0,16	0,38

Les coefficients de diffusion et les niveaux de saturation sont dépendants de la température et du taux d'humidité relative. Ainsi l'utilisation de hautes températures et de fort taux d'humidité relative permet d'accélérer la diffusion de l'humidité et d'augmenter la quantité d'humidité absorbée. De ce fait, il est possible de remplacer les conditions d'absorption à température plus basse et à moindre taux d'humidité relative par des conditions

assurant la même quantité globale d'humidité et la même concentration en humidité aux interfaces critiques en un temps plus court.

Dans la suite nous utiliserons ces valeurs pour calculer et simuler le comportement de l'humidité au sein du composant.

### 3.4 Risques liés au dépassement de la température de transition vitreuse

Les températures hautes utilisées lors de cycles thermiques et définies par la norme JEDEC JESD-22-A104D sont généralement supérieures aux températures de transition vitreuse des matériaux constituant le composant. Il en résulte un vieillissement non contrôlé des matériaux ainsi que des reprises d'humidité non négligeables. De même la température imposée par la norme IPC/JEDEC J-STD-020C pour le séchage des composants est de 125°C, ce qui est supérieur à la température de transition vitreuse de la plupart des résines de boîtier. Ceci est nécessaire car pour que le séchage soit efficace il faut une température supérieure à la Tg du matériau à sécher.

Trois études ont donc été réalisées sur l'absorption d'humidité et sur la plastification des matériaux en cours de cycles thermiques et sur les reprises de poids en séchage à 125°C. Ces études ont été menées sur la résine de boîtier du véhicule de test.

#### 3.4.1 Reprise d'humidité en cours de cycles thermiques

Un suivi de la masse des composants a été réalisé au cours de cycles thermiques. L'étuve n'étant pas asséchée par de l'air sec ou de l'azote, une certaine quantité d'humidité est présente dans l'air ambiant. Lors des phases froides (-65°C) cette humidité givre sur les composants et les parois de l'étuve. Lors des phases chaudes (+150°C) toute l'humidité est vaporisée. La phase transitoire est très rapide. La température de la chambre met 5 minutes pour passer de -65°C à +150°C. Les composants ne pouvant pas absorber d'humidité à 150°C et la quantité d'humidité absorbée à -65°C étant très faible, l'absorption en cours de cycles thermiques devrait être négligeable.

Cependant lors des mesures, une reprise non-négligeable de masse a été observée (Figure 54). Les mesures sont effectuées suivant le protocole de la norme JEDEC JESD22-A120A (rappelée dans le paragraphe 3.1.1) tous les 30 cycles thermiques.

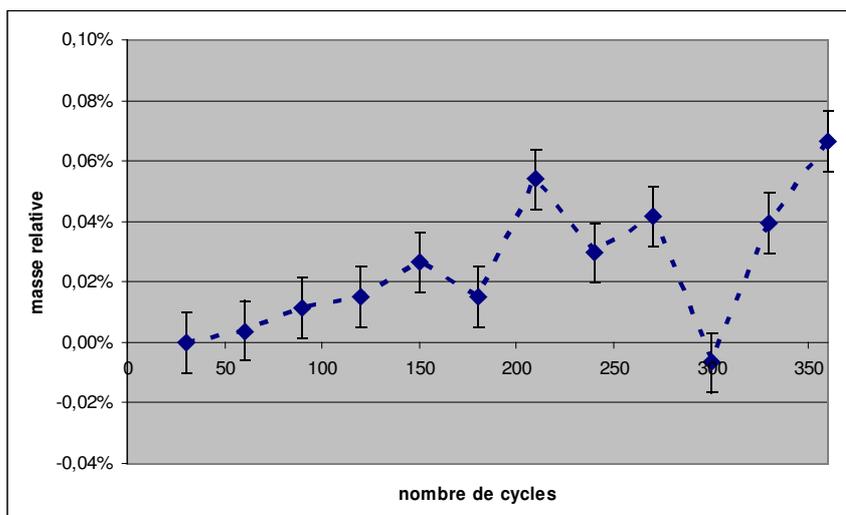


Figure 54 : Suivi de la masse durant les cycles thermiques

La première mesure effectuée, après 30 cycles thermiques, est prise comme référence. L'absorption d'humidité durant les cycles thermiques est importante, en effet après 350 cycles (175 heures), le pourcentage d'élévation de masse est comparable à celui observé après 166 heures à 85°C et 85% d'humidité relative (Figure 55).

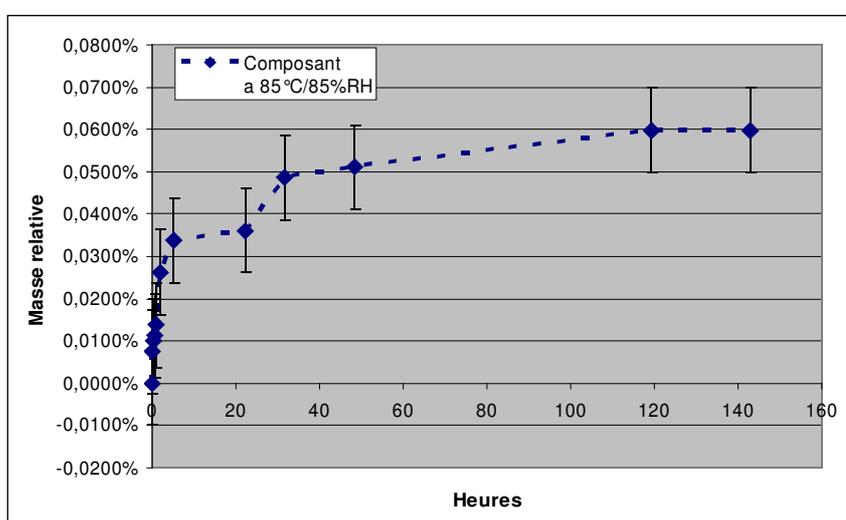


Figure 55 : Absorption d'humidité par un lot de composant à 85°C/85%RH

Une mesure du taux d'humidité au sein de l'enceinte a donc été effectuée, afin de mieux comprendre cette absorption. (Figure 56). Du fait des limites en température de la sonde utilisée, il n'a pas été possible d'effectuer des cycles entre -65°C et +150°C, mais les mesures ont été effectuées entre -20°C et +130°C.

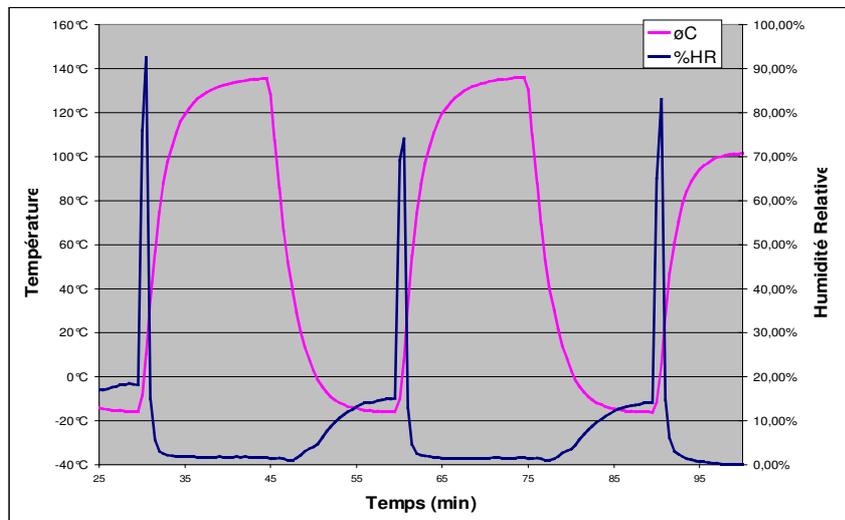


Figure 56 : Mesure du taux d'humidité dans l'enceinte au cours de cycles thermiques (-20°C/+130°C)

Le taux d'humidité au sein de l'étuve est très faible, inférieur à 15%RH durant les cycles froids et inférieur à 3%RH durant les phases chaudes. Il est donc peu probable que le composant absorbe de l'humidité durant les phases stationnaires du cycle.

Au moment du passage de la nacelle de l'enceinte froide vers l'enceinte chaude, la sonde mesure un taux d'humidité relative de l'ordre de 100%. Ceci correspond au moment où le givre présent sur la sonde devient une vapeur d'eau. Cette phase transitoire ne dure que quelques secondes (la fréquence des mesures avec la sonde est de 1 seconde).

Cette absorption d'humidité durant une phase transitoire peut être rapprochée d'une étude de Z.D. Xiang et al. [131] sur l'absorption d'humidité d'échantillons de « laminate » fabriqués à l'aide de fibre de carbone et de résine époxyde. Les échantillons ont été placés en stockage humide et ont subi à intervalles réguliers de fortes montées en température. Les courbes d'absorption montrent clairement une absorption proportionnelle au nombre de montées en température (Figure 57). Un travail similaire a été réalisé par J.A. Hough et al. [132].

Il semblerait que l'humidité soit présente dans la résine au niveau des volumes libres. Ainsi plus il y a de volume libre plus la résine peut absorber d'humidité. Lors des montées en température la quantité de volume libre augmente, ce qui permet à l'humidité présente de migrer dans les nouveaux volumes libres. Lorsque la température redescend, l'humidité reste alors piégée dans ces volumes laissant ainsi les anciens volumes libres pour une nouvelle absorption d'humidité. Ainsi la quantité d'humidité absorbée est proportionnelle au nombre

de montées en température jusqu'à une saturation des volumes libres à haute température. Bien que cette méthode permette de faire absorber un taux d'humidité très élevé au matériau, les propriétés d'absorption d'humidité du matériau ne sont pas modifiées. En effet la courbe d'absorption d'humidité en stockage humide simple, après séchage du matériau, est identique à celle mesurée avant l'exposition à des pics thermiques.

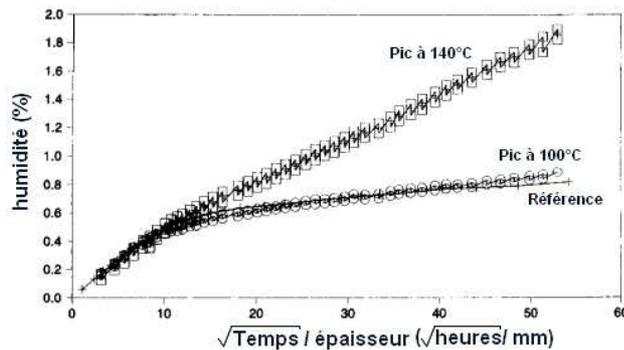


Figure 57 : Absorption d'humidité avec pic de température [131]

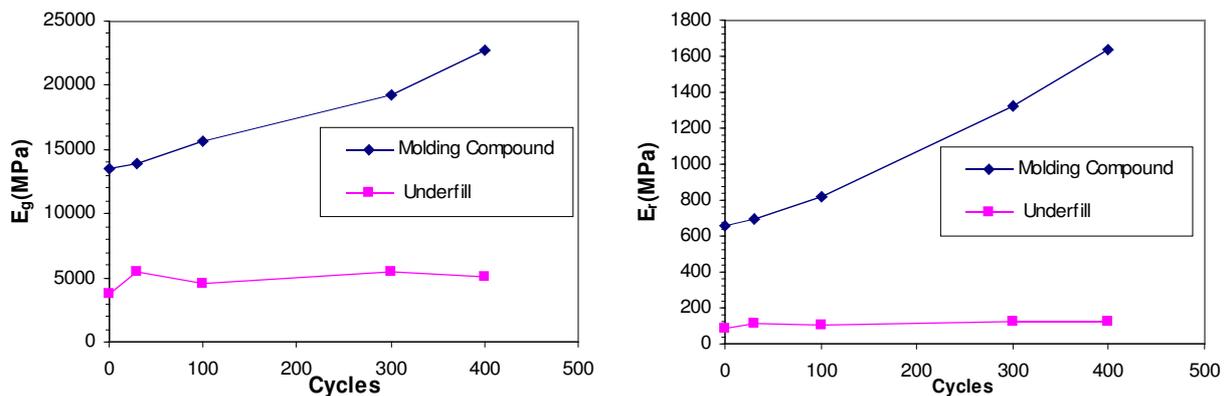
Dans le cas des cycles thermiques, la quantité absorbée à chaque cycle est très faible car l'absorption ne peut être réalisée que dans un laps de temps court dans la phase de passage au palier chaud. Cependant sur plusieurs centaines de cycles cette quantité n'est pas négligeable.

### 3.4.2 Plastification lors de cycles thermiques

Lors des cycles thermiques les matériaux sont soumis à de fortes contraintes thermiques, tant dans les basses températures ( $-65^{\circ}\text{C}$ ) que dans les hautes températures ( $+150^{\circ}\text{C}$ ). Les propriétés des matériaux sont donc susceptibles d'évoluer au cours d'un essai sur plusieurs centaines de cycles thermiques. L'évolution de ces paramètres matériaux a une influence sur les mécanismes de fatigue des matériaux, il est donc nécessaire de la caractériser.

Des échantillons de résine de boîtier et d'underfill ont donc été placés en étuve pour 400 cycles. Les échantillons font 30mm de long, 5mm de large et entre 0,3 et 0,5mm d'épaisseur. Ces échantillons ont premièrement été séchés à  $125^{\circ}\text{C}$  pendant 24h, puis placés en étuve humide à  $60^{\circ}\text{C}/60\%RH$  durant 40 heures et enfin passés au four à refusion avec un pic de température à  $260^{\circ}\text{C}$ . Ainsi les matériaux sont dans la même configuration que celle d'un composant réel.

Les cycles thermiques ont une amplitude de 215°C (-65°C/+150°C) avec une rampe de moins de 7 minutes et une durée de cycles de 30 minutes. Des échantillons ont été prélevés à 0, 30, 100, 300, 400 cycles. Le module d'Young et la Tg ont été mesurés à Delft à l'aide du DMA (Dynamic Mechanical Analyzer) Q800 de TA.



**Figure 58 : Évolution du module d'Young au cours des cycles thermiques (+/-5%)  
Zone vitreuse (au dessous de la Tg) à gauche et zone caoutchouteuse (au dessus de la Tg) à droite  
Tg données au tableau 16**

Les mesures des modules d'Young sont réalisées à l'aide d'un équipement DMA entre 50°C et 300°C avec une rampe de 1°C/min. Ces mesures montrent l'effet des cycles thermiques sur les propriétés mécaniques d'un échantillon de résine de boîtier et d'un échantillon d'underfill. La figure 58 et le tableau 16 montrent une augmentation du module d'Young et de la Tg au cours des cycles thermiques pour la résine de boîtier mais une valeur quasiment constante pour l'underfill. Cela vient du fait que la valeur de la Tg de l'underfill est initialement beaucoup plus élevée que celle de la résine de boîtier, ainsi, lors des phases à 150°C du cycle thermique, la température est de l'ordre de la Tg pour l'underfill. En effet l'augmentation du module d'Young et de la Tg est liée à une augmentation des liens internes de la résine, correspondant à une finalisation du processus de cuisson.

Si elle n'est pas erronée, la valeur du Tg de l'underfill à 400 cycles pourrait peut-être être expliquée par l'apparition de micro-fissures dans la structure de l'échantillon liée aux contraintes thermomécaniques. Cependant aucune recherche de micro-fissures n'a été effectuée.

Enfin X. Ma a montré, à l'aide d'un modèle simplifié en 2D, que les contraintes générées par les cycles thermiques sur un matériau vieilli sont augmentées de 7% par rapport au même matériau avant les cycles thermiques [133]. Ce qui signifie que le risque de

défaillance au cours d'un cycle thermique dépend à la fois de la fatigue des matériaux et du vieillissement des résines.

**Tableau 16 : Valeur de la Tg en °C en fonction du nombre de cycles thermiques (+/-5%)**

Cycles	Underfill	Résine du boîtier
0	149	122
30	153	132
100	157	129
300	161	150
400	154	154

### 3.4.3 Séchage des composants à 125°C

Suivant la norme IPC/JEDEC J-STD-020C, il est nécessaire d'exposer les composants à 125°C (-0°C/+5°C) durant au moins 24 heures dans le but de retirer toute l'humidité présente dans le composant avant une exposition à un préconditionnement. La température de 125°C est importante car, ainsi que cela a été rapporté dans l'étude bibliographique (cf paragraphe 2.1), il faut une température supérieure à la Tg pour évacuer toute l'humidité présente dans la résine. Cependant à cette température élevée, la résine vieillit. C'est pourquoi des mesures ont été faites pour mesurer l'impact d'une exposition prolongée à 125°C.

Un ensemble de mesures a donc été effectué et montre l'importance de ne pas exposer les composants trop longtemps à une température de 125°C. En effet il ressort des mesures (Figure 59) que, pour le cas du composant de test, 24 heures sont suffisantes pour sécher complètement le composant. Au-delà de 24 heures les pesées montrent une reprise de poids progressive.

Cette reprise de poids peut être rapprochée de la reprise de poids lors des cycles thermiques. En effet dans le cas du stockage à haute température, la résine est exposée durant 300 heures à 125°C et durant les cycles thermiques la résine est exposée à 150°C durant 10 minutes par cycles, soit 60 heures pour 360 cycles. Ce sont des conditions comparables. Des mesures sur les propriétés mécaniques des matériaux ont été faites après les cycles thermiques et après le stockage à 125°C. Dans les deux cas, les mesures montrent une évolution de la Tg

## Chapitre IV : Qualification accélérée sur prototypes fonctionnels

vers les hautes températures. Après un stockage de 97 heures à 125°C le polymère laisse apparaître un comportement biphasé (Figure 60) typique du vieillissement de la résine époxyde (cf paragraphe 2.2.1).

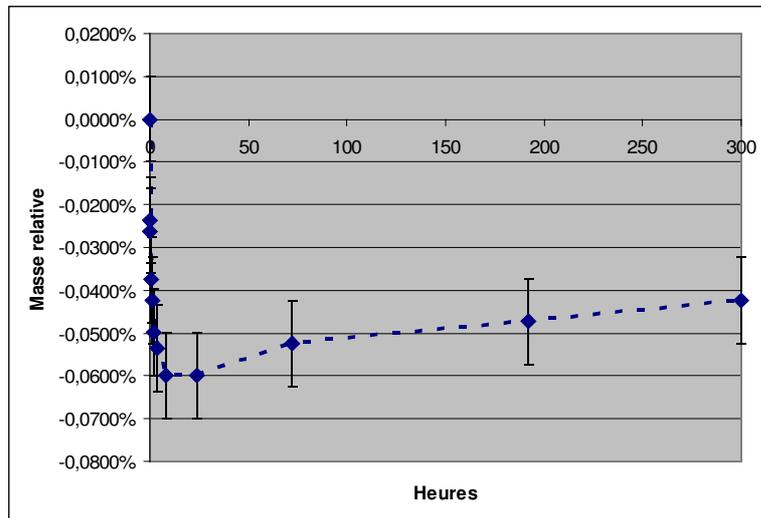


Figure 59 : Reprise de poids lors d'une exposition à 125°C durant 300h

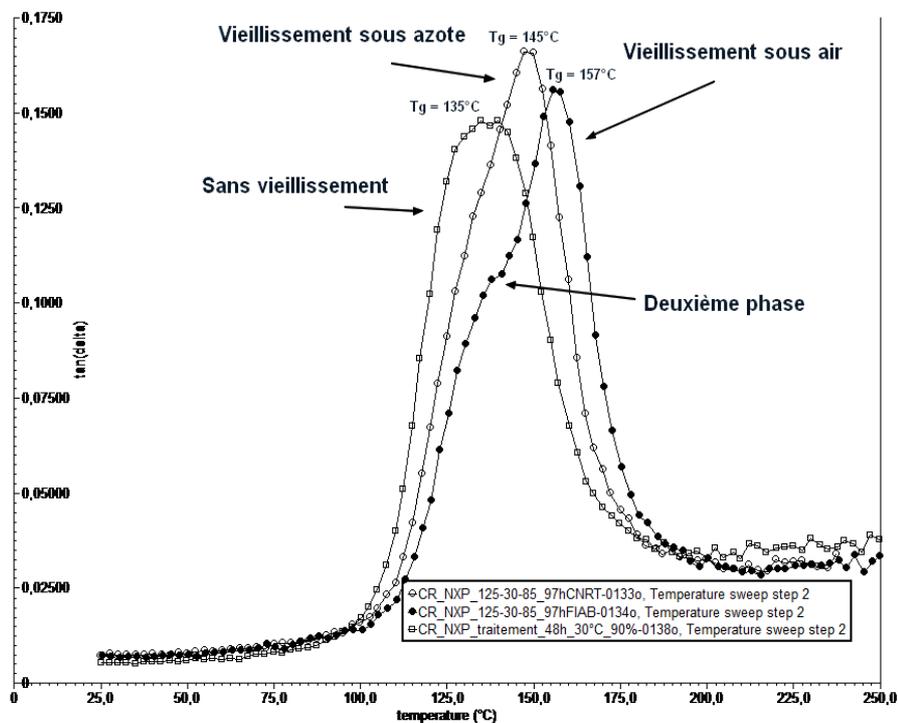


Figure 60 : Mesure de la Tg ( $\tan \delta$ ) lors du vieillissement (97 heures à 125°C) de la résine époxyde : apparition d'un comportement biphasé

Cette caractérisation réalisée au CNRT de Caen, montre l'impact d'une atmosphère neutre sur le vieillissement. En effet la dérive en température de la Tg est de 22°C en vieillissement sous atmosphère naturelle mais seulement de 10°C en vieillissement sous azote. Il est à noter que la Tg mesurée est supérieure à 125°C pour le matériau non vieilli, ce qui signifierait que le séchage n'est pas au-dessus mais au voisinage de la Tg.

S'il est nécessaire d'exposer les matériaux à des température au-dessus ou au voisinage de la Tg pour les sécher, il est important de ne pas les exposer durablement à de telles températures afin de ne pas dégrader leurs propriétés mécaniques et thermomécaniques.

### **3.4.4 Conclusion de la reprise d'humidité et de la plastification en cours de cycles thermiques**

Les essais de cycles thermiques au-delà de 125°C, sont maintenant moins utilisés dans l'industrie du semiconducteur, en ce qui concerne les applications « civil » et « grand public » auxquelles sont souvent destinés les composants SiP. En effet ces conditions d'essais sont jugées comme étant trop sévères. Toutefois même avec des cycles de -55°C/+125°C, la température de transition vitreuse des matériaux de boîtier est généralement dépassée. Ces températures au-dessus de la Tg sont nécessaires pour garder des amplitudes de cycles thermiques suffisamment grandes pour obtenir des accélérations significatives des défaillances.

L'impact de l'atmosphère a été mis en évidence lors d'essais de séchage à 125°C. Le vieillissement des matériaux se révèle moins important lors d'une mise sous azote des échantillons de résine de boîtier, il semble donc recommandé de contrôler au mieux l'atmosphère au sein de l'étuve pour diminuer l'impact des hautes températures sur les propriétés des matériaux. Ainsi la mise sous azote de l'étuve permet de mieux contrôler le vieillissement durant une exposition à 125°C et il est raisonnable de penser qu'elle permet de limiter l'absorption d'humidité durant les cycles thermiques. Cependant nous n'avons pas expérimenté cette technique par manque de temps et d'équipement.

Finalement nous avons vu que les défaillances durant les cycles thermiques dépendent à la fois des contraintes thermomécaniques engendrées par les essais mais aussi du vieillissement provoqué par les hautes températures. Il est donc important autant que possible de limiter ce vieillissement qui ne correspond pas à la vie réelle du composant et, dans la mesure du possible, de le prendre en compte dans l'évaluation de l'accélération de la durée de vie de composant sous test.

#### 4 Modélisation et simulation de l'absorption de l'humidité

Un modèle 3D par éléments finis du véhicule de test a été construit avec le logiciel MSC Marc. Dans ce modèle, l'équation de la diffusion instantanée de l'humidité (équation 29) est analogue à l'équation de la conduction instantanée de chaleur.

$$\frac{\partial C}{\partial t} = D \cdot \left[ \left( \frac{\partial^2 C}{\partial x^2} \right) + \left( \frac{\partial^2 C}{\partial y^2} \right) + \left( \frac{\partial^2 C}{\partial z^2} \right) \right] \text{ est identifié à } \frac{\partial T}{\partial t} = \frac{k}{C_\rho \cdot \rho} \cdot \left[ \left( \frac{\partial^2 T}{\partial x^2} \right) + \left( \frac{\partial^2 T}{\partial y^2} \right) + \left( \frac{\partial^2 T}{\partial z^2} \right) \right]$$

Tableau 17 : Analogie entre température et humidité pour les simulations par éléments finis

Propriétés	Température	Humidité
Variables	T	w
Densité	$\rho$ (kg/m <sup>3</sup> )	1
Conductivité	k (W/m°C)	D*C <sub>sat</sub> (mg/s.mm)
Chaleur spécifique	C <sub>p</sub> (J)	C <sub>sat</sub> (mg/mm <sup>3</sup> )

Le tableau 17 indique les analogies utilisées pour la simulation par éléments finis. Par exemple, le paramètre correspondant à la chaleur spécifique exprimée en joules dans l'équation de la chaleur est utilisé pour calculer la concentration de saturation en humidité C<sub>sat</sub> exprimée en mg/mm<sup>3</sup> dans l'équation de Fick.

Cependant, les différents matériaux n'ont pas des niveaux de saturations identiques. Aussi la concentration en humidité, à la différence de la température, est discontinue le long d'une interface entre deux matériaux. Pour résoudre cette difficulté, la variable d'humidité, w, est introduite [134] comme une variable continue à travers les interfaces entre les différents matériaux. Cette variable est définie comme :

$$w = \frac{C}{C_{sat}} \tag{39}$$

Où C<sub>sat</sub> est la concentration maximale d'humidité que peut absorber le matériau. La limite inférieure est w=0 ce qui correspond à l'état sec, et la limite supérieure est w=1 ce qui correspond à un matériau complètement saturé d'humidité. C=w\*ρ, ρ est la densité du matériau. L'utilisation de cette approche permet de résoudre le problème de la diffusion d'humidité comme un simple problème de transfert de chaleur. Pour la modélisation de l'absorption d'humidité, la condition initiale est w=0 sur l'ensemble du boîtier, et la condition

aux limites est  $w=1$  à la surface qui est supposée être exposée à l'humidité ambiante. Pour la désorption, la condition aux limites est  $w=0$  à la surface qui est exposée à l'ambiance sèche.

#### 4.1 Simulation de la diffusion d'humidité

Selon le standard, les coefficients de diffusion à 85°C, 60°C, 30°C et les concentrations de saturation à 85°C/85%RH, 85°C/60%RH, 60°C/60%RH, 30°C/60%RH sont nécessaires pour les simulations. Ces valeurs ont donc été calculées d'après les caractérisations réalisées au paragraphe IV.3.

**Tableau 18 : Les coefficients de diffusion calculés des matériaux**

Coefficient de diffusion (m <sup>2</sup> /sec)	85°C	60°C	30°C
Résine de boîtier	6,04x10 <sup>-12</sup>	4,06x10 <sup>-12</sup>	2,31x10 <sup>-12</sup>
Underfill	4,67x10 <sup>-12</sup>	3,11x10 <sup>-12</sup>	1,7x10 <sup>-12</sup>
Colle	26,47x10 <sup>-12</sup>	10,37x10 <sup>-12</sup>	2,75x10 <sup>-12</sup>

**Tableau 19 : Niveaux de saturation calculés en humidité sous différentes conditions**

Niveau de saturation (mg/mm <sup>3</sup> )	85°C/85%RH	85°C/60%RH	60°C/60%RH	30°C/60%RH
Résine de boîtier	3,77x10 <sup>-3</sup>	2,66x10 <sup>-3</sup>	2,02x10 <sup>-3</sup>	1,37x10 <sup>-3</sup>
Underfill	13,65x10 <sup>-3</sup>	9,64x10 <sup>-3</sup>	7,36x10 <sup>-3</sup>	5,01x10 <sup>-3</sup>
Colle	11,4x10 <sup>-3</sup>	8,05x10 <sup>-3</sup>	7,38x10 <sup>-3</sup>	6,52x10 <sup>-3</sup>

Deux moitiés de modèle 3D par éléments finis sont disposées ainsi :

- Le tableau 18 est utilisé pour le modèle de diffusion d'humidité
- Le tableau 19 est utilisé pour le modèle hygro-thermo-mécanique

Pour montrer l'intérieur (Figure 61) de la structure du boîtier (6\*6\*0.85mm<sup>3</sup>), le matériau de moulage a été retiré, les blocs verts sont les puces passive et active qui sont connectées via des billes de brasure après une première refusion. L'underfill est utilisé pour renforcer les billes d'interconnexion. La puce active est collée sur le lead-frame en cuivre et est refroidie par ce biais.

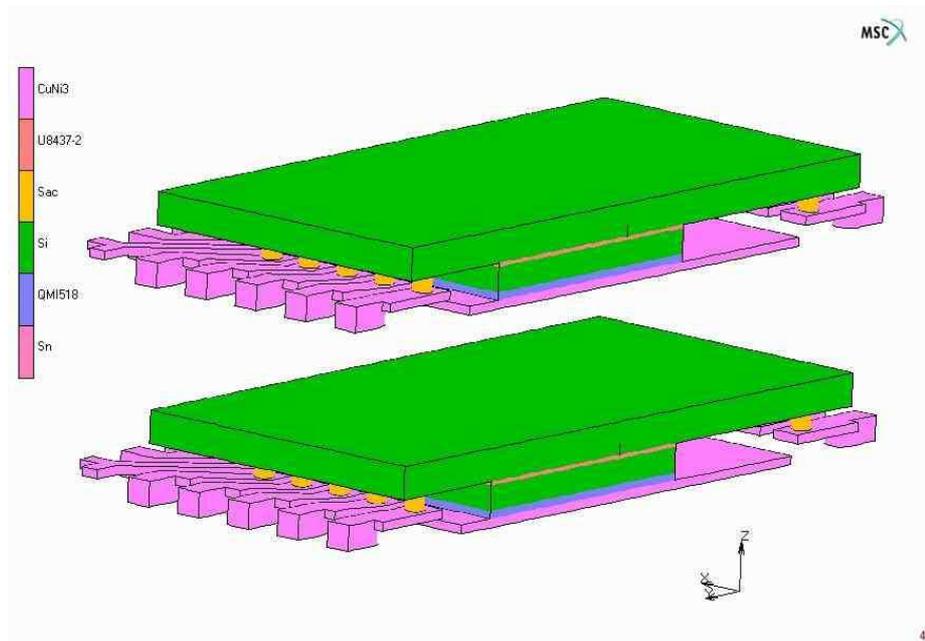


Figure 61 : Deux demi modèles 3D du SiP de test (le composant de moulage a été retiré)

Dans l'objectif de vérifier le modèle de diffusion d'humidité, les modèles du boîtier et du bi-matériaux [135, 136, 137, 138] sont comparés avec les expériences réalisées.

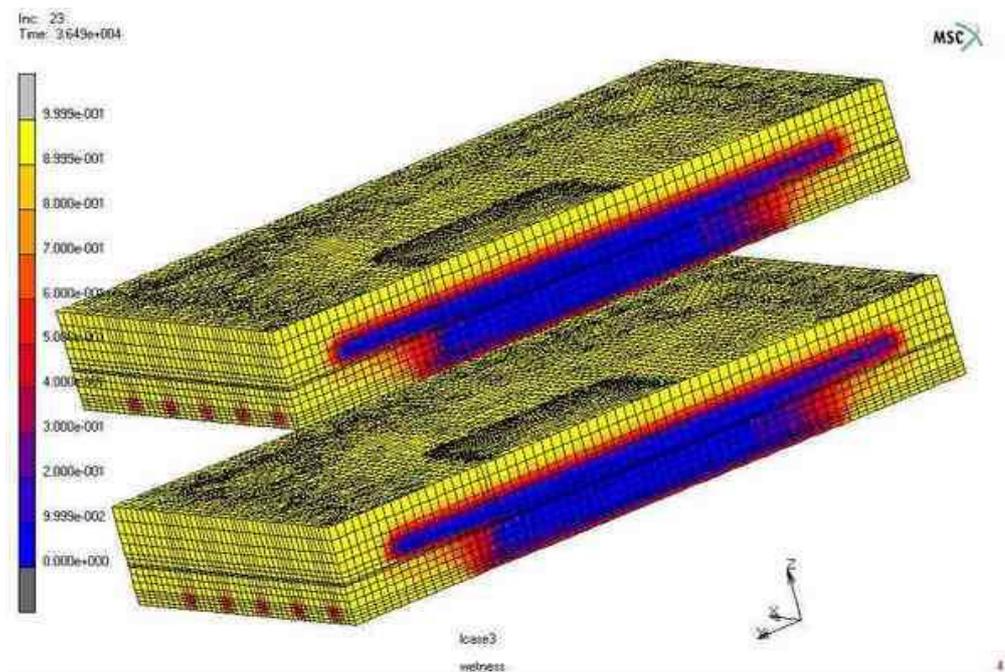
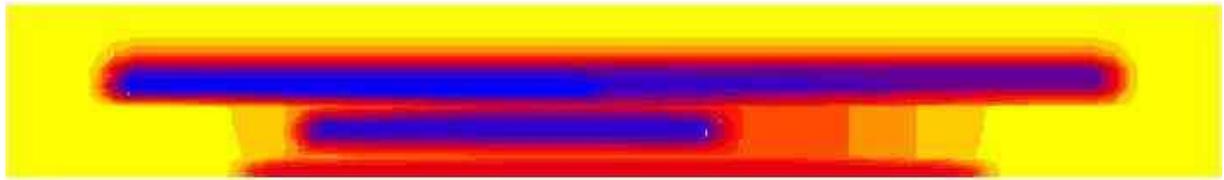
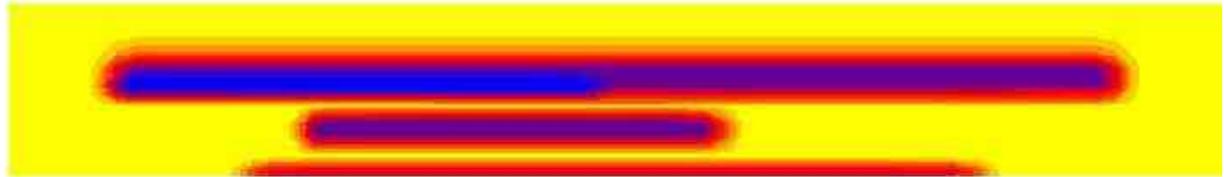


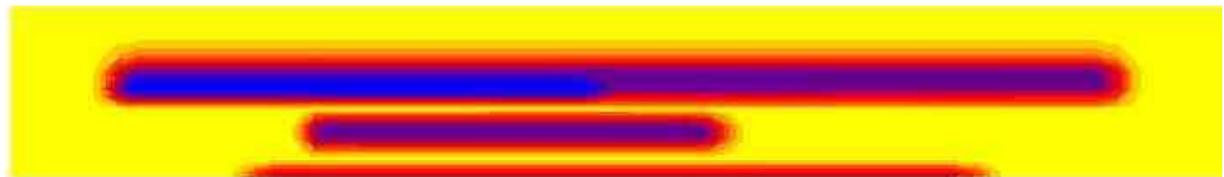
Figure 62(a) : Distribution de l'humidité après 10 heures à 85°C/85% RH



**Figure 62(b) : Distribution de l'humidité après 50 heures à 85°C/85% RH**



**Figure 62(c) : Distribution de l'humidité après 130 heures à 85°C/85% RH**



**Figure 62(d) : Distribution de l'humidité après 168 heures à 85°C/85% RH**

Figure 62(a) montre la distribution de l'humidité en 3D après 10 heures d'exposition à 85°C/85%RH. Les figures 62(b-d) montrent les changements dans la distribution de l'humidité entre 50 et 168 heures d'exposition à 85°C/85%RH. Il est à noter qu'après 130 heures d'absorption d'humidité, l'état du boîtier est quasiment stable. Ceci est en bon accord avec la mesure de la reprise de poids en stockage humide.

### 4.2 Calcul de la reprise de poids

Le calcul de la reprise de poids en humidité montre que l'évolution de la masse du composant est dépendante à la fois de la température, du taux d'humidité relative et du temps. Sous la condition 85°C/85%RH, le poids atteint son maximum après 130 heures de stockage humide alors qu'avec la condition 85°C/60%RH, l'évolution du poids se stabilise après 110 heures. Après 168 heures d'absorption d'humidité, le changement total de poids calculé aux conditions 85°C/85%RH, 85°C/60%RH et 60°C/60%R est respectivement de 0,0974%, 0,0689% et 0,0528% (Figure 63), ce qui est en bonne corrélation avec les mesures.

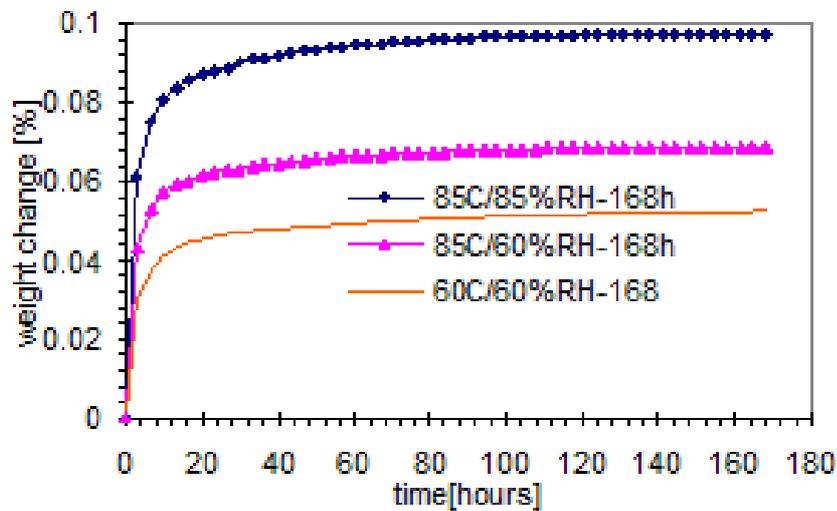


Figure 63 : Simulation de changement de poids après 168 heures d'exposition à différentes conditions

La reprise de poids à la condition 30°C/60%RH ne s'arrête qu'après 530 heures et le changement de poids est de l'ordre de 0,0364% (Figure 64). Ceci montre que la saturation en humidité est difficile à atteindre pour une température basse et un faible taux d'humidité. Ainsi une durée d'absorption inférieure à 530 heures ne permet pas d'atteindre la saturation. Cependant il est à noter que la plus grande partie du changement de poids s'opère dans les 48 premières heures.

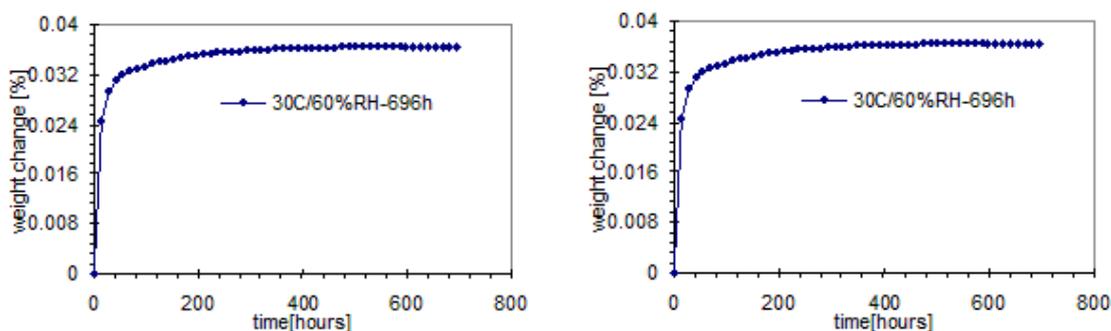


Figure 64 : Simulation de l'absorption d'humidité à 30°C/60%RH

Les simulations montrent que le changement de poids, après 6 heures d'absorption à 60°C/60%, est identique à celui obtenu après 696 heures à 30°C/60%RH. Une absorption pendant une heure et demie à 85°C/85% donne des résultats comparables à ceux obtenus après 696 heures à 30°C/60%RH. Il est donc possible de comparer les temps demandés par les

différentes conditions standards avec le calcul de la quantité absorbée à 85°C/85%RH par simulation (Tableau 20).

**Tableau 20 : Comparaison des changements de poids pour différentes conditions**

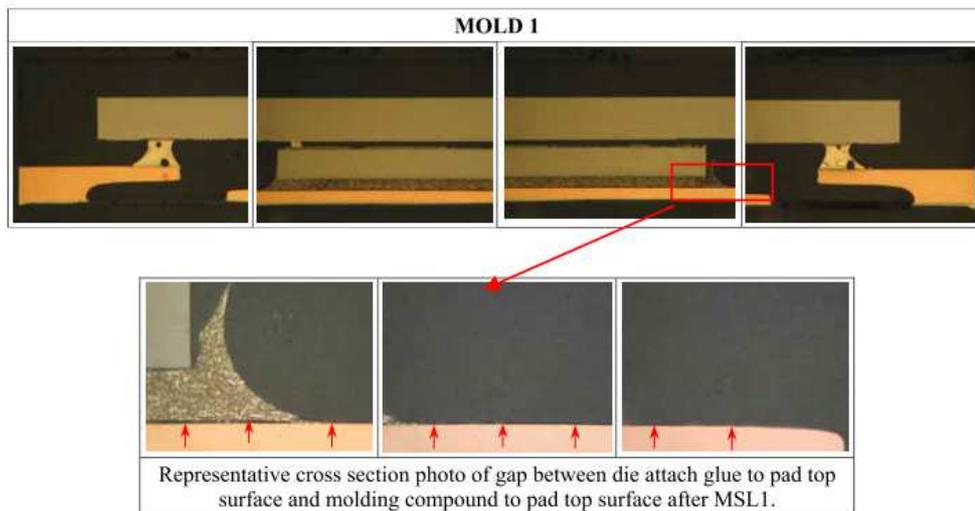
30°C/60%RH	696 h	192 h	96 heures	72 heures	48 heures
Changement de poids	0,036%	0,035%	0,034%	0,033%	0,032%
60°C/60%RH	168 heures	52 heures	24 heures	20 heures	13 heures
Changement de poids	0,053%	0,049%	0,047%	0,046%	0,044%
85°C/85%RH	1,5 heures	1,4 heures	1 heure	0,9 heure	0,8 heure
Changement de poids	0,053%	0,049%	0,047%	0,046%	0,044%

Il ressort qu'en ce qui concerne l'absorption globale d'humidité, l'augmentation de la température et du taux d'humidité relative permet une diminution de plusieurs dizaines, voire centaines, d'heures du temps d'exposition entre la condition standard 30°C/60%RH et la conditions standard 85°C/85%RH. Cependant une étude de la concentration d'humidité au niveau local est encore nécessaire. En effet, que la quantité globale d'humidité absorbée soit identique ne signifie pas nécessairement que l'impact sur la délamination soit égal.

### 4.3 Calcul de la concentration locale de l'humidité

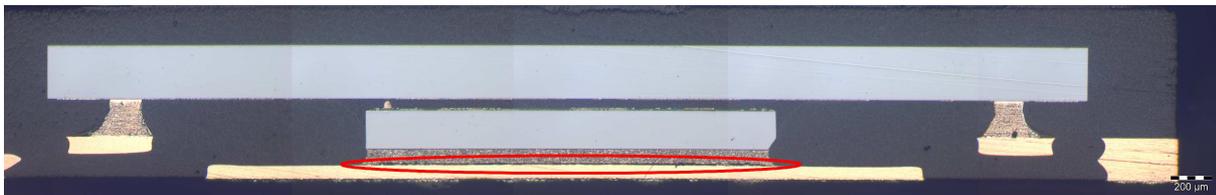
Le changement de poids en reprise d'humidité à basse température et faible taux d'humidité relative peut être accéléré par l'utilisation de conditions à haute température et fort taux d'humidité relative. La norme IPC/JEDEC J-STD-020D permet d'avoir des correspondances en fonction des énergies d'activation et du degré d'étanchéité désiré. Cependant cette norme ne prend en compte que le changement global de poids du composant. Ainsi les équivalences sont données pour une absorption globale, or ce qui est le plus critique est la concentration d'humidité aux interfaces.

Les plans de qualification passés et les différentes expérimentations menées dans le cadre de cette thèse ont démontré la possibilité de délamination entre la puce active et la colle (Figure 65).



**Figure 65 : Délamination après un essai MSL1**

L'ensemble des coupes transversales réalisées durant ce travail a montré une délamination le long de l'interface entre la puce active et la colle (Figure 66).



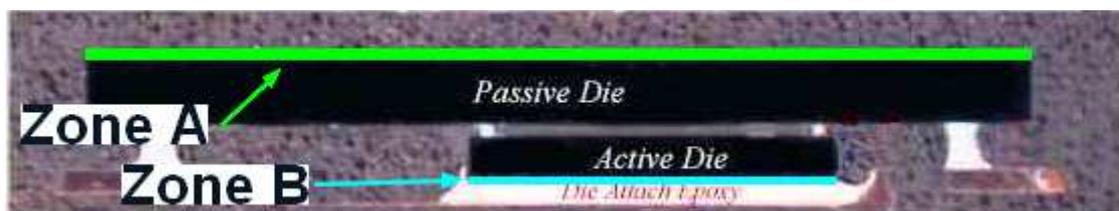
**Figure 66 : Interface critique au regard de la délamination**

C'est le long de cette interface que toutes les simulations ont été focalisées afin de déterminer la zone critique d'apparition de la délamination.

La méthode proposée ici, permet, à l'aide de simulations, de connaître avec précision la concentration en humidité au niveau des interfaces du boîtier, en particulier au niveau de cette interface critique. Il est ainsi possible de comparer les conditions d'expositions avec une grande précision en comparant la concentration d'humidité en différentes zones critiques de l'assemblage.

Deux zones (Figure 67) critiques sont comparées (Tableau 21 et 22) :

- Zone A (vert) : Interface entre la puce passive et la résine de boîtier
- Zone B (bleu) : Interface entre le lead-frame et la colle



**Figure 67 : Zones pour le calcul des quantités locales d'humidité absorbée**

La zone A est critique vis à vis de la délamination et la zone B est la zone pour laquelle le chemin que doit parcourir l'humidité est le plus long, donc la zone la plus difficile à saturer en humidité.

La saturation en humidité de la zone A est atteinte dans le temps requis par les standards (Tableau 21), que ce soit pour la condition 30°C/60%RH ou pour la condition 60°C/60%RH. Mais les simulations montrent que la saturation est atteinte en seulement 13 heures avec la condition 85°C/85%RH. Le temps nécessaire à la saturation de la zone A est très faible.

Même après 696 heures à 30°C/60%RH, la saturation de la zone B n'est pas atteinte du fait du temps de migration de l'humidité (Tableau 22 et Figure 68). Pour les conditions accélérées à 60°C/60%RH, après seulement 168 heures d'absorption d'humidité, la concentration en humidité est largement supérieure à celle obtenue avec la condition 30°C/60%RH pendant 696 heures. C'est pourquoi la norme IPC, donnant ces conditions d'accélération, précise qu'elles ne sont applicables que si les défaillances produites sont identiques [21].

**Tableau 21 : Concentration d'humidité dans la zone A**

30°C/60%RH	696 heures	192 heures	96 heures	72 heures	48 heures
Concentration	$1,37 \times 10^{-3} \text{mg/mm}^3$				
60°C/60%RH	168 heures	52 heures	24 heures	20 heures	13 heures
Concentration	$2,02 \times 10^{-3} \text{mg/mm}^3$				

Tableau 22 : Concentration d’humidité dans la zone B

30°C/60%RH	696 heures	192 heures	96 heures	72 heures	48 heures
Concentration	$6,47 \times 10^{-3} \text{mg/mm}^3$	$4,48 \times 10^{-3} \text{mg/mm}^3$	$2,26 \times 10^{-3} \text{mg/mm}^3$	$1,46 \times 10^{-3} \text{mg/mm}^3$	$0,65 \times 10^{-3} \text{mg/mm}^3$
85°C/85%RH	40 heures	27 heures	16,5 heures	12,5 heures	8 heures
Concentration	$6,47 \times 10^{-3} \text{mg/mm}^3$	$4,48 \times 10^{-3} \text{mg/mm}^3$	$2,26 \times 10^{-3} \text{mg/mm}^3$	$1,46 \times 10^{-3} \text{mg/mm}^3$	$0,65 \times 10^{-3} \text{mg/mm}^3$
60°C/60%RH	168 heures	52 heures	24 heures	20 heures	13 heures
Concentration	$6,76 \times 10^{-3} \text{mg/mm}^3$	$3,29 \times 10^{-3} \text{mg/mm}^3$	$1,34 \times 10^{-3} \text{mg/mm}^3$	$0,99 \times 10^{-3} \text{mg/mm}^3$	$0,44 \times 10^{-3} \text{mg/mm}^3$

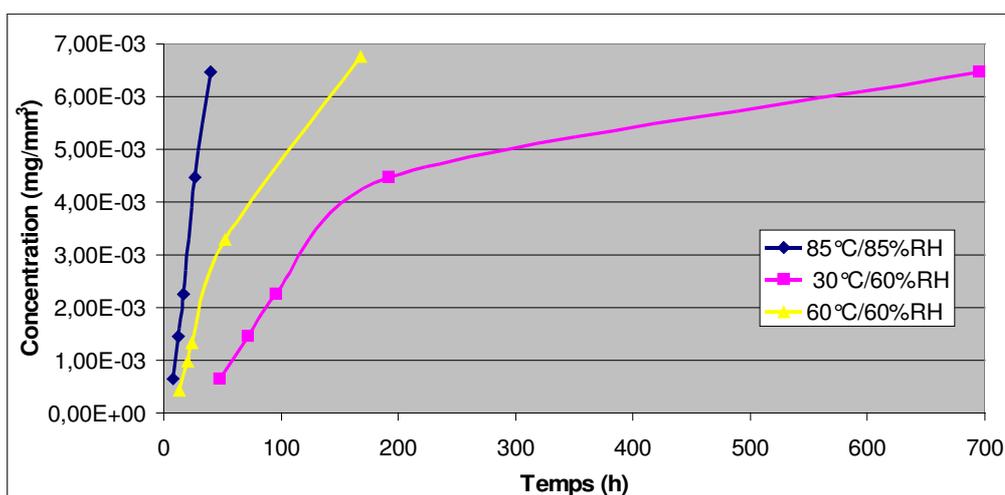


Figure 68 : Concentration en humidité dans la zone B

#### 4.4 Conclusion de la modélisation de l’absorption d’humidité locale

Des calculs d’absorption d’humidité pour différentes conditions ont été réalisés pour comparer les concentrations locales. La méthode d’absorption accélérée à 85°C/85%RH a été utilisée. En comparant cette condition avec la condition standard et la condition 30°C/60%RH il ressort que l’utilisation de la condition accélérée 85°C/85%RH permet de raccourcir la durée d’exposition à l’humidité de 696 heures à 40 heures alors que l’utilisation de la condition accélérée 60°C/60%RH ne permet de réduire le temps d’exposition qu’à 168 heures. Ces valeurs sont mesurées pour la résine de boîtier du composant de test, cependant elles

dépendent fortement des propriétés du matériau, notamment de leur comportement en température.

### 5 *Corrélation entre simulation et expérimentation*

Les simulations thermomécaniques, les simulations de diffusion de l'humidité et la caractérisation des forces d'interface après absorption ont permis de localiser la zone critique aux nœuds : 404 et 445 (Figure 69).

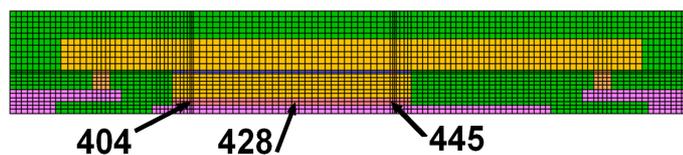


Figure 69 : Zones critique d'apparition de la délamination

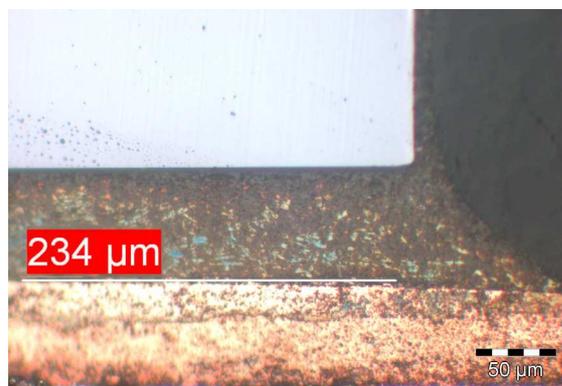


Figure 70 : Délamination dans l'angle de la puce active après 10 cycles thermiques (-65°C/+150°C)

Pour confirmer cette localisation, des coupes transversales après des cycles thermiques ont été effectuées dans cette zone (Figure 70). La délamination démarre effectivement dans les angles de la puce active. Ceci permet de confirmer la véracité des simulations.

### 6 *Conclusion*

Depuis l'adoption massive des encapsulants et des boîtiers plastiques dans l'industrie des semi-conducteurs, l'absorption d'humidité est devenue un problème majeur. Malgré un grand nombre d'études sur les mécanismes de dégradations induits par l'eau au sein de la

## Chapitre IV : Qualification accélérée sur prototypes fonctionnels

---

matrice complexe des matériaux époxydes, un certain nombre d'entre eux ne sont encore décrits que par des hypothèses. Il est cependant démontré que l'humidité a un impact direct sur la diminution des forces d'adhésion aux interfaces des composants électroniques.

Dans la première partie de ce chapitre, il ressort clairement que l'humidité est un facteur important du vieillissement et de la dégradation des résines époxydes, lesquelles sont largement utilisées dans la réalisation des boîtiers actuels. Cependant les difficultés pour connaître précisément la quantité absorbée en une zone donnée, font que les mesures d'absorption d'humidité sont réalisées de façon globale. Le seul outil existant permettant d'estimer des quantités d'humidité locale est la simulation. C'est pour cela qu'en deuxième partie nous avons modélisé et simulé l'absorption d'humidité.

Dans la deuxième partie de ce chapitre, l'absorption de l'humidité a été modélisée de façon globale et simulée de façon locale. Une méthode pour la caractérisation de l'absorption d'humidité a été développée et l'ensemble des propriétés des trois matériaux époxydes principaux du composant a été caractérisé en ce qui concerne l'absorption d'humidité. Il a été alors possible de prédire quelle est la zone de faiblesse du composant exposé à une température, un degré d'humidité et une durée d'exposition connus.

Les modifications de comportement des matériaux époxydes exposés à de hautes températures, en particulier durant les cycles thermiques, ont été mises en évidence. Il est ressorti de cette étude que le séchage d'un matériau au-dessus de la température de transition vitreuse peut engendrer des modifications de la structure interne. Il semble que tant que le matériau n'est pas sec, aucun vieillissement n'est visible. Il y a donc une attention particulière à porter à cette étape de séchage d'autant plus que les épaisseurs de résine utilisées dans les boîtiers tend à diminuer, ainsi que le temps nécessaire au séchage. D'autre part l'utilité du séchage peut être remise en question si la mise en étuvage humide a pour objet la saturation en humidité du composant. En effet le niveau de saturation en humidité ne dépend pas du taux d'humidité initiale du composant. Cependant dans la méthode d'étuvage proposée dans ce chapitre, cette étape de séchage est capitale pour pouvoir assurer précisément la quantité d'humidité voulue à l'interface choisie. Enfin le vieillissement des matériaux à haute température et à atmosphère non contrôlée est aussi critique durant les étapes de cycles thermiques pour lesquelles la température haute est souvent supérieure à la  $T_g$ . Pour limiter l'impact de la température sur les matériaux, une solution serait d'effectuer les cycles thermiques sous une atmosphère contrôlée à l'azote.

Il a été possible de comparer entre elles les différentes conditions d'exposition à l'humidité et de démontrer qu'une accélération de l'absorption à 85°C/85%RH est particulièrement efficace. En effet la saturation en humidité du composant prend 2 à 4 fois moins de temps lors d'une exposition à 85°C/85%RH qu'à 60°C/60%RH. De plus les matériaux utilisés ayant des Tg supérieures à 100°C, il n'y a pas d'inconvénient à les exposer à une température de 85°C. Bien que nous n'ayons pas dépassé la température de 85°C ni 85% d'humidité relative, il est tout à fait possible d'utiliser cette méthode pour des conditions plus sévères. Cependant au-delà de 100% d'humidité les modèles mis en œuvre seront différents de ceux utilisés dans ce travail.

Les données bibliographiques, les simulations et les expérimentations étant cohérentes, nous avons ici un outil efficace pour ce qui est de la prédiction de la délamination sur un composant complexe de type SiP. En effet l'impact de l'humidité sur les forces d'interaction aux interfaces est une des principales causes de délamination, ainsi la détermination de la localisation de l'humidité le long d'une interface permet de prédire la zone la plus sensible à la délamination.

Cependant s'il devient ainsi possible de déterminer le point faible de l'assemblage, concernant la délamination, il reste primordial de pouvoir mesurer la criticité du composant en terme de durée de vie en conditions d'essais. Pour ce faire il nous manque une méthode de suivi de la délamination en cours d'essais. Dans le chapitre suivant nous proposons deux méthodes de suivi électrique, sur prototype fonctionnel, de la fatigue des joints brasés et de la délamination.



# Chapitre V : Proposition de méthodes de suivi électrique de la fatigue des joints brasés et de la délamination sur prototype fonctionnel

## 1 Introduction

Ayant montré comment l'utilisation de la simulation permet de réduire le nombre de paramètres dans un plan d'expérience, d'aider dans la détermination des zones sensibles ou encore dans le choix des matériaux optimisés, il est nécessaire de mettre au point des méthodes pour déterminer en situation d'essais réels les durées de vie des prototypes fonctionnels concernant les mécanismes de défaillances que sont la fatigue des joints brasés et la délamination.

Du fait de leur structure complexe, les produits SiP ont généralement beaucoup plus d'interfaces que les boîtiers simples. Les différences de CTE entre les matériaux produisent des défauts aux interfaces plus importants et des contraintes thermomécaniques très critiques [139]. Différents problèmes de fiabilité ont été identifiés comme étant des « goulots d'étranglement » majeurs dans le développement des produits SiP. Parmi eux, les fissures dans la passivation, les délaminations aux interfaces, la fatigue des joints brasés ou encore les TBMS (Top to Bottom Metal Short, Court-circuit métalliques entre deux couches de métallisation) sont souvent mis en évidence par des contraintes en cycles thermiques [140, 141]. Ainsi, la qualification et le développement des produits SiP devenant de plus en plus complexes et critiques, le « plan d'expérience matriciel » classique contient un trop grand nombre de paramètres pour être réalisé de façon exhaustif.

C'est dans le but d'identifier plus rapidement les points faibles d'un produit SiP et de définir des règles de conception appropriées, que nous proposons une méthode originale de suivi in-situ de l'intégrité des interfaces, conductrices ou non, par mesure électrique. Cette méthode originale se focalise sur deux types d'interface : Les interfaces conductrices au niveau des joints brasés se traduisant par des fissurations dans les joints brasés et les interfaces non conductrices entre les matériaux d'assemblage se traduisant par des

## **Chapitre V : Proposition de méthodes de suivi électrique de la fatigue des joints brasés et de la délamination sur prototype fonctionnel**

---

délaminations, n'ayant généralement aucune conséquence électrique directe sur le fonctionnement du produit. Cependant ces délaminations peuvent être considérées comme des indicateurs précoces de défaillance [65, 142]. C'est pourquoi nous avons développé une méthode permettant de suivre d'une part la fatigue des joints brasés et d'autre part la formation de la délamination sur un prototype fonctionnel, sans aucune modification du composant. Le prototype utilisé est un SiP (double flip-chip) encapsulé dans un boîtier carré HVQFN de 6mm de côté et de 850µm d'épaisseur, avec 40 entrées/sorties.

Autant le suivi des joints brasés peut être réalisé par une mesure électrique directe, autant les délaminations, n'ayant généralement aucun impact sur le comportement électrique du composant, ne peuvent pas être mesurées de façon simple. Le principe de suivi de la délamination est basé sur le rôle thermique des interfaces : chaque délamination modifie les caractéristiques thermiques du boîtier. Ainsi quand nous parlons de suivi de délamination, nous réalisons en réalité une caractérisation thermique du boîtier.

Dans un premier temps nous présenterons certaines méthodes existantes, puis nous décrirons la méthode de suivi via les diodes de protection ESD, nous montrerons alors son application au suivi de la fatigue des joints brasés et au suivi de la délamination.

### **2 Méthodes existantes**

Différentes méthodes de suivi des joints brasés ou de caractérisations thermiques ont été développées au cours de l'évolution des composants électroniques. Nous présentons, ici, brièvement la méthode JTAG, très utilisée pour la vérification des joints brasés sur composants fonctionnels et la méthode de caractérisation thermique à l'aide de l'équipement T3Ster.

#### **2.1 Suivi des joints brasés par la méthode JTAG**

JTAG Technologies a dirigé à la fin des années 1980 le tout premier groupe de travail dont les travaux ont abouti à la spécification IEEE 1149.1. Cette norme dite « JTAG boundary-scan » (scrutation des frontières) a été publiée pour la première fois en 1990 et mise à jour deux fois depuis lors. Elle définit la logique de test à inclure dans les circuits intégrés,

## **Chapitre V : Proposition de méthodes de suivi électrique de la fatigue des joints brasés et de la délamination sur prototype fonctionnel**

---

pouvant être utilisée au niveau de la carte pour des opérations précises de test structurel et de programmation in-situ [143].

La technique de Boundary-Scan, initialement destinée au test des court-circuits et de la continuité entre puces compatibles, consiste à donner un accès auxiliaire aux broches d'entrée-sortie des composants numériques fortement intégrés. Connaissant le schéma électrique de la carte électronique, un ensemble de signaux logiques (appelé vecteur de test) est appliqué sur les broches d'entrée de certains composants (depuis la chaîne Boundary Scan interne), et les niveaux logiques sont relevés sur les broches de sortie des composants qui y sont connectés, pour s'assurer qu'ils correspondent aux valeurs attendues. La bonne qualité des pistes du circuit imprimé et des soudures peut ainsi être vérifiée.

Chaque broche d'entrée-sortie n'est pas connectée directement à l'intérieur du composant numérique, mais à travers une « cellule JTAG » permettant de la piloter indépendamment de sa fonction initiale. Les cellules sont connectées entre elles par un bus série faisant le tour de la puce (d'où la notion de « frontière » ou Boundary), équivalent à un grand registre à décalage de taille égale ou supérieure au nombre de broches d'entrée-sortie du composant. Ce registre est appelé BSR, pour Boundary Scan Register. Le TAP Controller, qui reçoit les signaux JTAG de l'extérieur, permet d'activer et de piloter les cellules selon une séquence normalisée [144].

Depuis la publication de la spécification IEEE 1149.1, trois autres normes ont été élaborées, chacune dérivée de cette version point 1 pour la compléter à des fins spécifiques. IEEE 1149.4 (boundary-scan analogique), publiée en 2000, et IEEE 1149.6 (ac-EXTEST), publiée en 2003, étendent les capacités de test de boundary-scan au-delà de son domaine numérique d'origine. La troisième norme, IEEE 1532, instaure un format commun de description pour les composants programmables, tels que PLD ou FPGA, de façon à faciliter leur configuration au moyen de boundary-scan [143].

### **2.2 Caractérisation thermo-électrique**

Plusieurs équipements existent pour effectuer des caractérisations thermiques. Durant les années 80, l'équipement TESEC fut un standard industriel pour qualifier les interfaces dans les assemblages. Au cours des années 90, l'analyseur thermique Anatech permet de tracer des caractérisations thermiques d'un assemblage dans le but d'évaluer l'impact d'une

## Chapitre V : Proposition de méthodes de suivi électrique de la fatigue des joints brasés et de la délamination sur prototype fonctionnel

---

interface ou de son délaminage. Ces équipements sont premièrement utilisés pour des applications de puissance, mais peuvent l'être pour étudier tout type de composant.

Un autre équipement est décrit dans ce paragraphe : le T3Ster [145, 146], qui est une des nombreuses méthodes, de type VBEmètre, connues pour réaliser une caractérisation thermo-électrique des composants électroniques. Cet équipement a la particularité d'être associé à des calculs mathématiques permettant le repérage des interfaces du boîtier par la mesure thermique.

### 2.2.1 Principe de base du T3Ster

Le T3Ster® (Thermal Transient TeSTER, prononcé "tri-ster") a été premièrement produit par MicReD. Son fonctionnement est basé sur les travaux de l'équipe du docteur Vladimir Székely de l'université de technologie et d'économie de Budapest. C'est une technologie conçue pour réaliser des caractérisations thermiques rapides, répétables et précises sur une très grande variété de circuits intégrés, y compris les SiP.

Mettant en œuvre une implémentation judicieuse de la méthode d'essai statique de la JEDEC (JESD51-1), le testeur thermique force un boîtier électronique à passer d'un état "froid" à un état "chaud" en utilisant un échelon de puissance d'entrée, et permet d'obtenir un tracé très précis de la réponse thermique transitoire, c'est-à-dire la réponse thermique à un échelon de puissance en fonction du temps pour un environnement donné (Figure 71).

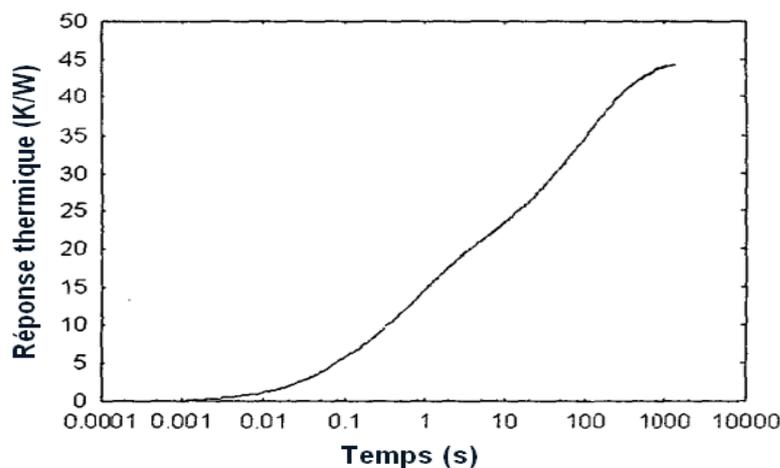


Figure 71 : Tracé de la réponse thermique transitoire

## Chapitre V : Proposition de méthodes de suivi électrique de la fatigue des joints brasés et de la délamination sur prototype fonctionnel

---

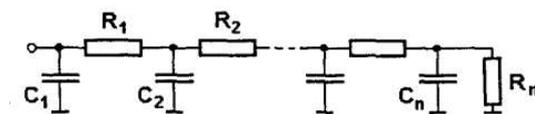
Après avoir effectué l'acquisition de la réponse thermique transitoire du composant, le T3Ster, via un programme, permet d'analyser les mesures. La méthode utilisée est une adaptation de la méthode de Gardner [147], publiée en différents journaux et conférences [148, 149]. La base de cette méthode d'analyse est décrite par l'équation suivante :

$$\frac{da}{dz} = R(z) \otimes w(z) \quad (40)$$

où  $a(t)$  est la réponse à une fonction échelon,  $z = \log t$  (temps),  $\otimes$  est le symbole de la convolution et,

$$w(z) = \exp(z - \exp(z)) \quad (41)$$

En appliquant l'opération inverse de la convolution, appelée la déconvolution, l'équation 40 permet de déterminer la fonction  $R(z)$ . Cette fonction donne la distribution des différentes constantes de temps de la réponse thermique. A partir de cette fonction il est possible de tracer la fonction structure cumulée, où sur l'axe des abscisses est reportée la résistance thermique cumulée et sur l'axe des ordonnées est reportée la capacité thermique cumulée.



**Figure 72 : Réseau de Cauer**

La fonction structure est dérivée de l'équation de transfert de chaleur unidimensionnelle. En pratique, elle peut être construite à partir du réseau de Cauer (Figure 72). La résistance thermique entre le  $n^{\text{ième}}$  élément du réseau et la source de chaleur est :

$$\rho_n = \sum_{i=1}^n R_i \quad (42)$$

Et la capacité thermique cumulée est :

$$K_n = \sum_{i=1}^n C_i \quad (43)$$

## Chapitre V : Proposition de méthodes de suivi électrique de la fatigue des joints brasés et de la délamination sur prototype fonctionnel

où  $R_i$  et  $C_i$  prennent la valeur de l'élément du  $i^{\text{ème}}$  étage du réseau de Cauer. Il peut être montré que la dérivée de  $K_n$ , noté  $k$  et appelée fonction structure différentielle, est proportionnelle au carré de la section du chemin de la chaleur.

$$k = \frac{dK_n}{d\rho_n} = \lambda a^2 \quad (44)$$

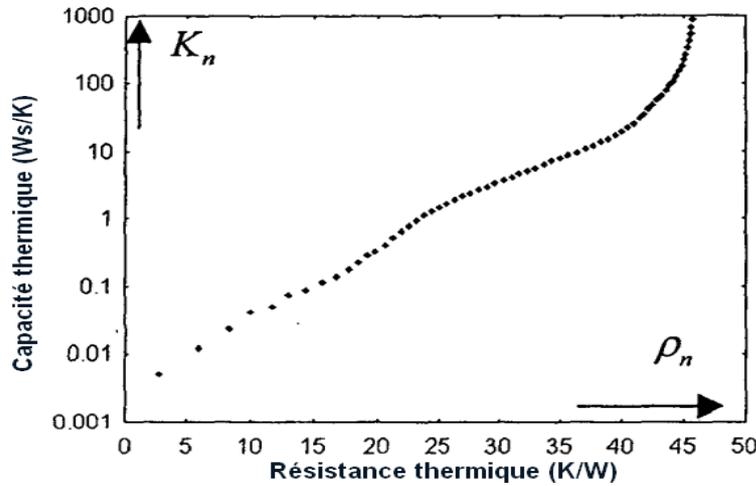


Figure 73 : Tracé de la fonction structure différentielle

La fonction structure différentielle a quelques caractéristiques intéressantes. Par exemple, son intégrale est caractéristique de la capacité thermique d'une section donnée du chemin de conduction thermique. Plus précisément, la capacité thermique totale entre deux points de la structure caractérisée par les paramètres  $\rho_1$  et  $\rho_2$  est

$$C_{12} = \int_{\rho_1}^{\rho_2} k(\rho) d\rho \quad (45)$$

La distance physique entre les points de la structure caractérisée par les paramètres  $\rho_1$  et  $\rho_2$  est

$$x_{12} = \int_{\rho_1}^{\rho_2} \sqrt{\frac{\lambda}{X}} k(\rho) d\rho \quad (46)$$

où  $\lambda$  et  $X$  sont la conductivité thermique et la chaleur spécifique par unité de volume du matériau.

## **Chapitre V : Proposition de méthodes de suivi électrique de la fatigue des joints brasés et de la délamination sur prototype fonctionnel**

---

La fonction structure tend vers l'infini (Figure 73) ce qui correspond au fait que l'environnement thermique global, l'univers, une capacité thermique infinie. La distance entre l'origine et la position de cette singularité de la fonction structure correspond exactement à la résistance thermique entre la source de chaleur et la température ambiante.

Cette fonction permet donc de visualiser géométriquement le chemin thermique dans un boîtier électronique. Chaque défaut d'interface pourra donc être identifié et localisé géométriquement. Ce qui permet d'utiliser cet outil dans la recherche de délamination.

### **2.2.2 Application du T3Ster**

Aucune application industrielle n'a pu être recensée dans les publications aux divers workshops et conférences ces dernières années. Les boîtiers utilisés sont généralement de grande taille soit pour des applications opto-électroniques [150, 151] soit pour des applications de puissance [152].

Un seul essai a été effectué sur un composant de type SiP de petite taille, comparable au véhicule de test que nous avons [153]. L'utilisation du T3Ster a permis de modéliser le comportement thermique de ce composant. Quand le modèle et la mesure diffèrent, le T3Ster aide à localiser quelle partie du composant est incriminée. Toutefois aucun contrôle de délamination n'est détaillé dans cette étude.

De plus chacune de ces expériences de démonstration, toutes dirigées par l'université de Budapest, met en œuvre une simulation de défaut à l'aide d'une interface céramique ou plastique d'une taille importante, comparée à la taille d'une délamination réelle. Aucune de ces expériences ne montre la possibilité de détection d'un défaut de type délamination à l'intérieur du composant.

### **2.3 Conclusion des méthodes de suivi existantes**

La méthode JTAG, bien que déjà éprouvée, ne peut pas être mise en œuvre sur tous les composants électroniques. En effet pour que cette méthode soit mise en œuvre, il faut que le composant soit conçu pour cela. Cette méthode manque donc d'universalité et amène un surcoût dans la réalisation des composants.

L'équipement T3Ster semble précis et permet des caractérisations thermiques relativement rapides des boîtiers, cependant la méthode de calcul pour la construction de la

## **Chapitre V : Proposition de méthodes de suivi électrique de la fatigue des joints brasés et de la délamination sur prototype fonctionnel**

---

fonction structure exige une durée d'acquisition de plusieurs minutes ce qui ne le prédispose pas à la détection de défaillance en cours d'essai. De plus l'équipement est coûteux, pas facilement disponible et d'une utilisation peu intuitive ce qui impose une réelle nécessité industrielle pour son acquisition. Dans le cadre de cette étude, le propos est d'étudier la faisabilité d'une méthode thermo-électrique, ce qui ne nécessite pas un tel équipement.

La méthode T3ster, aujourd'hui encore en expérimentation en ce qui concerne la recherche de délaminations des composants, semble être adaptée pour des composants dissipant de forte puissance et pour des défauts de taille importante. Le véhicule test choisi dissipe peu de puissance et les défauts aux interfaces sont de petite taille.

C'est pourquoi nous avons travaillé sur une nouvelle méthode de suivi des joints brasés et de caractérisation thermique. La méthode développée permet à la fois de contrôler les joints brasés et d'effectuer une mesure thermo-électrique. Cette méthode est à la fois simple à mettre en œuvre, peu coûteuse et rapide. Il est donc envisageable de mettre en œuvre une telle méthode pour effectuer un suivi des joints brasés et de la caractéristique thermo-électrique en cours d'essais de fiabilité ou de qualification.

### ***3 Méthode de contrôle électrique via les diodes de protection ESD***

La méthode développée est basée sur l'utilisation des diodes de protection contre les décharges électrostatiques dont sont équipés tous les composants de microélectronique.

#### **3.1 Les diodes ESD**

Dans l'industrie électronique il est nécessaire de protéger les circuits actifs des décharges électrostatiques ou ESD. Ces phénomènes électriques surviennent lorsqu'un élément a emmagasiné une charge électrostatique et se décharge brusquement en entrant en contact avec un autre élément relié à la masse ou présentant une différence de potentiel. Tandis que la plupart des événements ESD sont inoffensifs pour l'homme, ce phénomène peut prendre des dimensions importantes dans la vie industrielle notamment dans l'électronique (les circuits ou systèmes intégrés étant souvent assez fragiles vis à vis de ce type d'évènement). C'est pourquoi dans les circuits de technologie actuelle, des éléments de protection ESD sont développés et placés parallèlement aux circuits fonctionnels. Ce circuit

## Chapitre V : Proposition de méthodes de suivi électrique de la fatigue des joints brasés et de la délamination sur prototype fonctionnel

---

de protection ESD a pour but de créer un chemin électrique vers la masse en cas de présence d'une décharge ESD évitant ainsi la détérioration de la partie fonctionnelle du composant (figure 74).

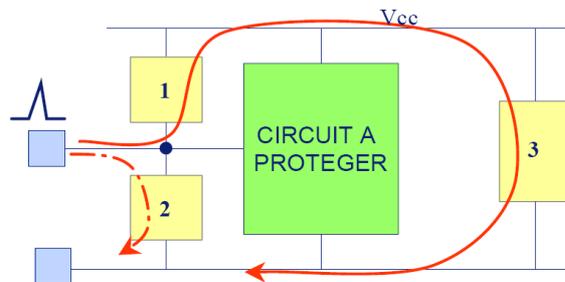


Figure 74 : principe général des circuits de protection.

Il existe de nombreux dispositifs de protection ESD, le plus simple consistant en une diode entre la masse et l'entrée du circuit actif. La figure 75 nous montre le dispositif de protection ESD présent sur le circuit utilisé.

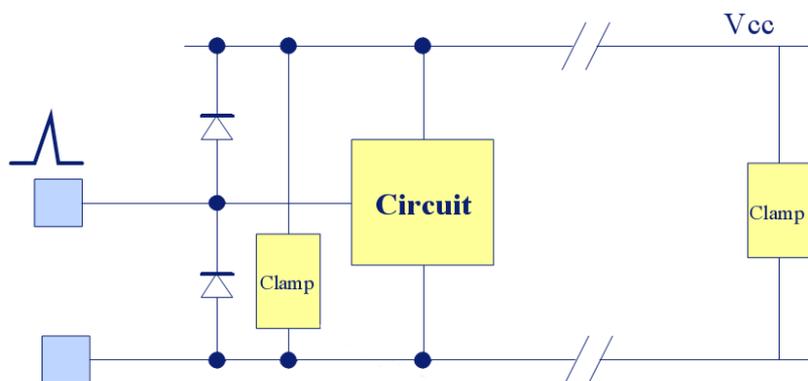


Figure 75 : Schéma d'une protection ESD

Nous pouvons voir sur ce schéma, que la diode crée un passage direct entre la masse et l'entrée du circuit. De ce fait le principe de la méthode développée consiste en un suivi de l'évolution des courants et des tensions traversant la diode ESD.

La résistance série de cette diode est composée de sa résistance intrinsèque interne en série avec les pistes d'accès et les joints brasés. La résistance interne de la diode et les circuits d'accès étant faiblement sujets à un vieillissement thermomécanique, toute augmentation de la résistance série de la diode nous informe d'un vieillissement des joints brasés.

## Chapitre V : Proposition de méthodes de suivi électrique de la fatigue des joints brasés et de la délamination sur prototype fonctionnel

---

D'autre part la tension de seuil de la diode ESD étant directement liée à la température au cœur de la diode, nous avons accès à une mesure du comportement thermique du composant. Cette mesure permettra la mise en place de la détection d'une délamination impliquant une augmentation de la résistance thermique et donc une modification du comportement thermique.

### 3.2 Banc de caractérisation

Le banc (Figure 76) est composé d'un support permettant de polariser le composant à tester, d'un sourcemètre, pouvant maintenir, au choix, une tension fixe ou un courant fixe, et un programme réalisé à l'aide du logiciel LabVIEW®.

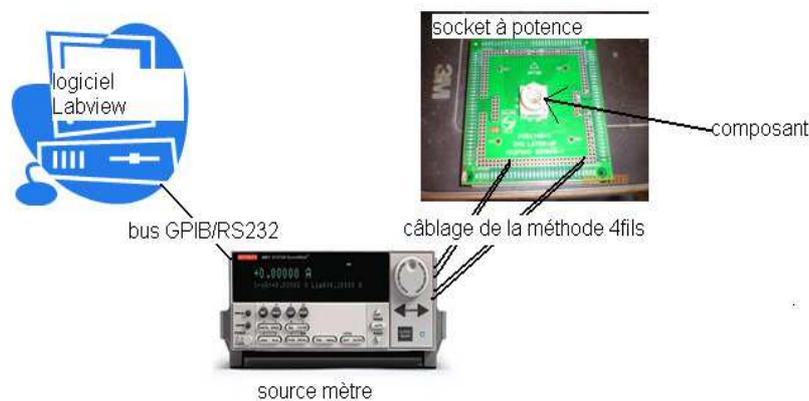


Figure 76 : schéma du montage

#### 3.2.1 Le support

Deux types de support ont été utilisés : Un socket NXP conçu pour des boîtiers HVQFN de dimension 6\*6\*0.85mm de la version SOT618-1 en plastique avec quarante E/S (Figure 77) et une mini-carte d'essai sur laquelle est soudé un composant (Figure 78). Le socket a été utilisé dans un premier temps pour la mise en place de la méthode sur le suivi des joints brasés. L'utilisation d'un socket est plus facile à mettre en œuvre mais elle n'est pas adaptée pour la réalisation d'une caractérisation thermique. En effet la qualité des contacts avec le socket aura un impact important sur la mesure thermique, à chaque manipulation il

## Chapitre V : Proposition de méthodes de suivi électrique de la fatigue des joints brasés et de la délamination sur prototype fonctionnel

---

sera difficile de garantir la même qualité de contact thermique. C'est pourquoi le socket a été utilisé pour le suivi des joints brasés, et des mini-cartes d'essai ont été réalisées pour les caractérisations thermiques

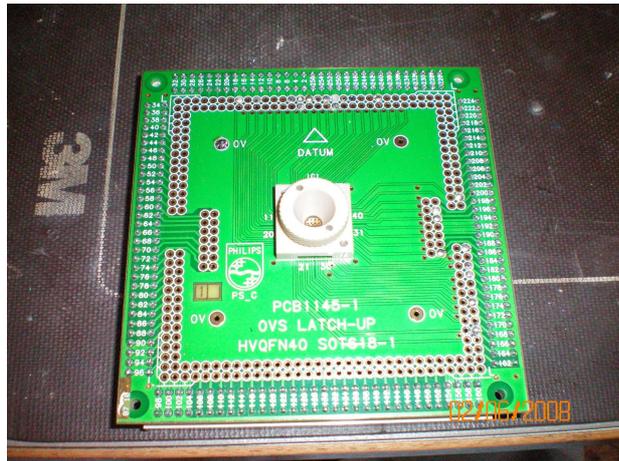


Figure 77: Socket à potence

Le principe du socket sans ressort est d'établir un contact par serrage avec un couple de force spécifié (35 cNm). Ce couple de force est appliqué à l'aide d'un tournevis dynamométrique.

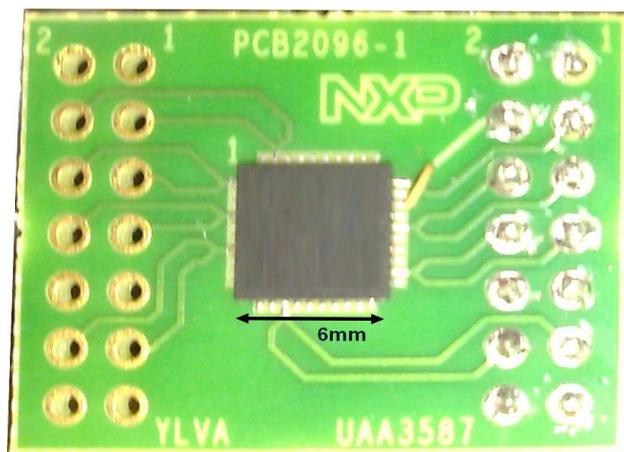


Figure 78: Mini-carte d'essai

## Chapitre V : Proposition de méthodes de suivi électrique de la fatigue des joints brasés et de la délamination sur prototype fonctionnel

---

### 3.2.2 Sourcemètre : Keithley 2600

Le sourcemètre (Figure 79) est un instrument destiné à la caractérisation en tension/courant des composants électroniques. Il assure des fonctions de génération et/ou de mesure de tension (de 1 $\mu$ V à 40V +/- 0,001%) et de courant (1pA à 3A +/- 0,01%).



Figure 79 : sourcemètre Keithley 2600

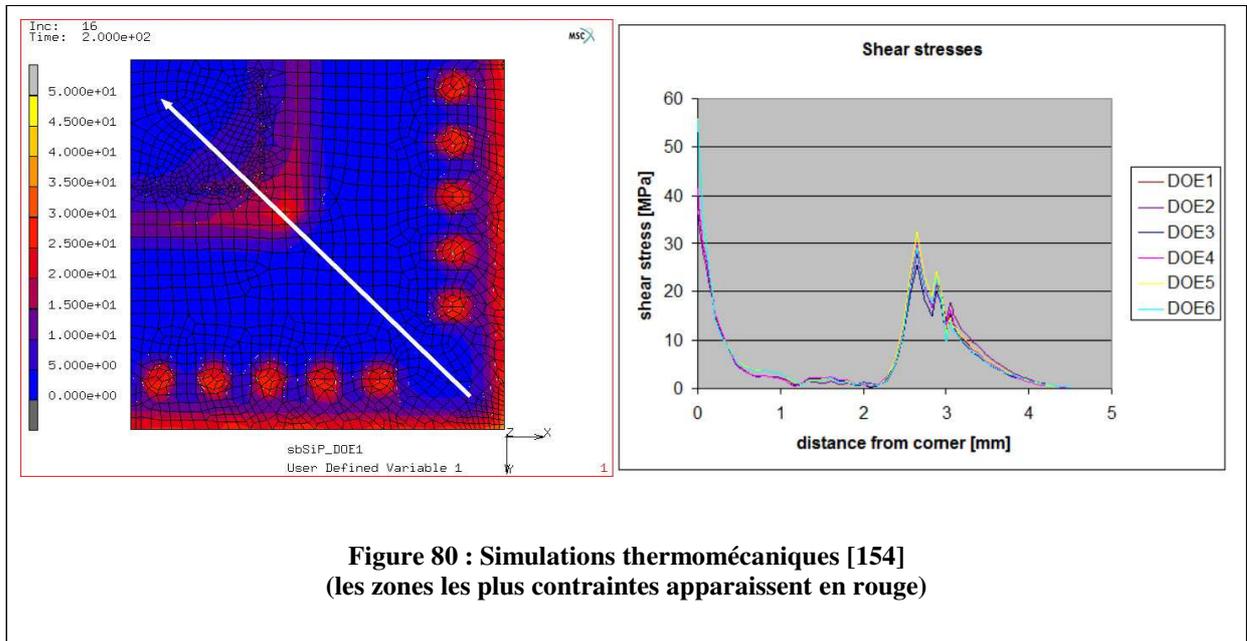
Pour réaliser une caractérisation de la diode ESD, le sourcemètre est paramétré en source de tension et en mesure de courant. La tension appliquée au composant ne doit pas dépasser les 3 volts pour ne pas détériorer la diode. Pour mesurer une tension dépendante de la température, le sourcemètre est paramétré en source de courant. Un courant de 1mA, permet de se situer aux environs de la tension de seuil de la diode ESD et permet de limiter l'échauffement lié à l'effet Joule.

### 3.2.3 Câblage et choix des joints brasés suivis

Du fait des faibles valeurs de résistance à mesurer (inférieures à 100 $\Omega$ ), la méthode 4-fils sera utilisée. L'utilisation de cette méthode permet la mesure de l'échantillon sans tenir compte de la valeur de résistance du câblage, qui est constitué de simples fils électriques torsadés.

Lors de la qualification du composant par NXP, les simulations thermomécaniques ont montré que les angles du composant apparaissent comme les zones les plus contraintes (Figure 80a) et que les zones plus éloignées du centre voient des niveaux de contraintes plus importants (Figure 80b).

## Chapitre V : Proposition de méthodes de suivi électrique de la fatigue des joints brasés et de la délamination sur prototype fonctionnel



Ces résultats indiquent que les joints brasés du second niveau d'interconnexion seront les plus contraints lors d'essais thermomécaniques. Le choix le plus judicieux pour cette étude est donc de suivre des joints brasés proches des angles. Le choix s'est donc porté sur la pin13 et la pin30 (figure 81), d'autres diodes ont aussi été suivies pour servir de témoins, en particulier la pin32.

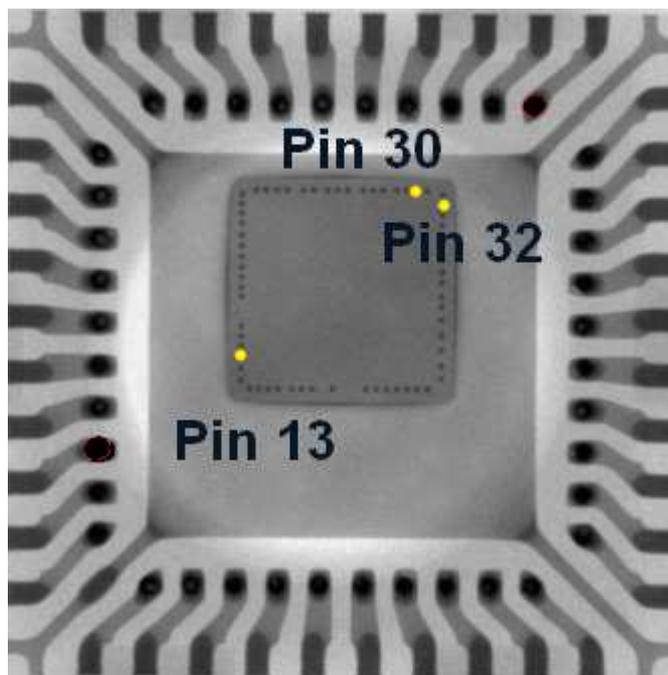


Figure 81 : Pin 32, Pin 13 et pin 30 sélectionnées pour l'étude

## Chapitre V : Proposition de méthodes de suivi électrique de la fatigue des joints brasés et de la délamination sur prototype fonctionnel

### 3.2.4 Acquisition et traitement des données

Un programme a été développé sous LabVIEW® (LABoratory Virtual Instrument Engineering Workbench) pour piloter le sourcemètre, enregistrer et traiter les données (courant, tension) sous un tableur et tracer la caractéristique I(V) (figure 82). Le sourcemètre est piloté via une liaison par câble GPIB.

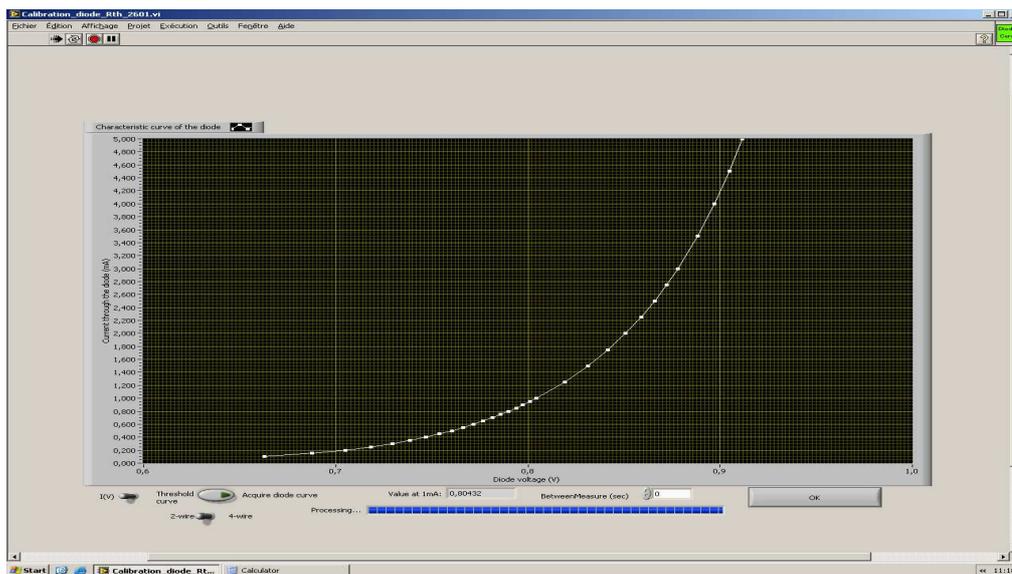


Figure 82 : Caractéristique d'une diode de protection

Deux paramètres importants, permettant de caractériser la diode, sont calculés à partir de cette caractéristique I(V) :

- $V_{th}$  : La tension de seuil de la diode
- $R_s$  : La résistance série de la diode

### 3.3 Bilan

La mesure électrique via la diode ESD peut être utilisée aussi bien pour le suivi des joints brasés que pour le suivi de la délamination. En effet la valeur de la résistance série est la somme des résistances des joints, des pistes métalliques et de la résistance intrinsèque de la diode (Figure 84). Les longueurs de piste au travers de la puce passive pouvant être très différentes d'un accès à l'autre, les valeurs des résistances séries seront aussi très différentes. Ce paramètre  $R_s$  est donc intéressant pour « monitorer » la fatigue des joints de brasure. La tension de seuil donne des informations sur un éventuel vieillissement de la diode. De plus

cette tension de seuil donne une indication de température au niveau de la diode, elle sera utilisée pour les caractérisations thermiques.

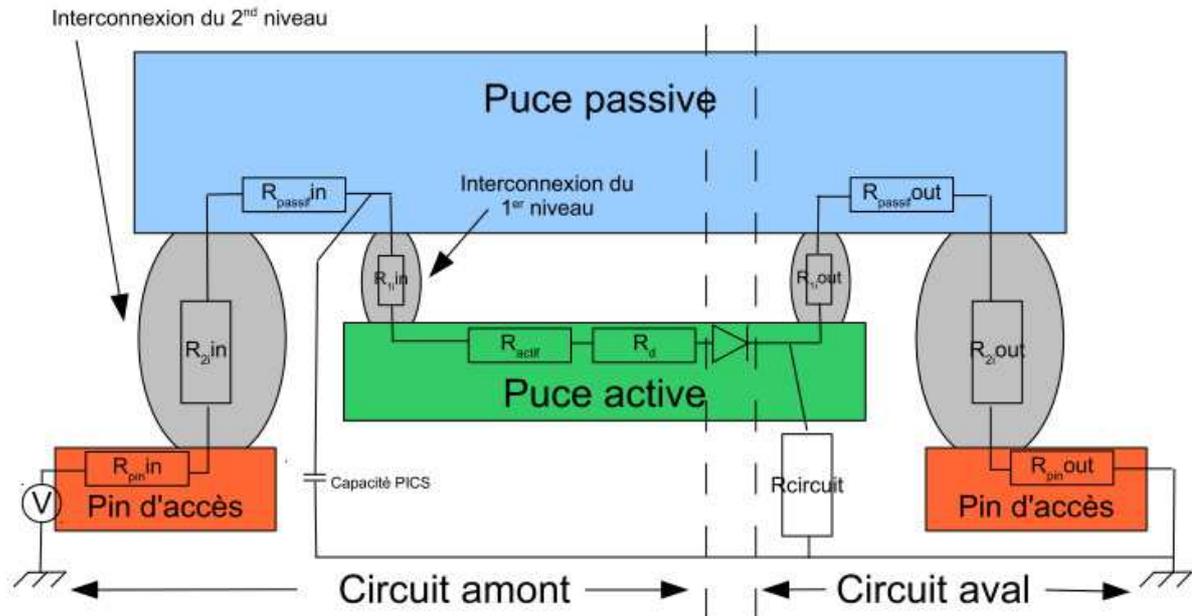


Figure 83 : Schéma électrique équivalent

Dans les deux paragraphes suivants nous allons montrer comment a été mise en œuvre cette méthode pour le suivi de ces deux mécanismes de défaillances.

## 4 Mise en œuvre pour le suivi de la fatigue des joints brasés

### 4.1 Introduction

La mise en œuvre du suivi de la continuité électrique des joints brasés via les diodes de protections ESD permet d'effectuer le suivi des joints brasés sur un prototype fonctionnel et non sur un circuit de test prévu à cet effet.

Nous allons, dans un premier temps, étudier la répétabilité de la méthode, puis nous allons réaliser un plan d'expérience avec un suivi de la résistance au travers de la diode ESD. Enfin nous concluons sur la méthode et donnerons quelques perspectives.

## Chapitre V : Proposition de méthodes de suivi électrique de la fatigue des joints brasés et de la délamination sur prototype fonctionnel

---

### 4.2 Mesures de répétabilité

Afin d'évaluer la dispersion de répétabilité du banc de mesure, 10 composants ont été mesurés 3 fois (Pin13 et Pin30). Les résultats obtenus pour le paramètre suivi R sont synthétisés dans le tableau 23.

Tableau 23: Répétabilité des mesures de Rs

	Pin 13			Pin 30		
	Mesure	Erreur Absolue	Erreur Relative	Mesure	Erreur Absolue	Erreur Relative
Rs	41,5 $\Omega$	0,6 $\Omega$	1,5 %	25,2 $\Omega$	0,2 $\Omega$	0,8 %

L'erreur de répétabilité de la mesure est donc inférieure à 1,5% pour la mesure de résistance. La résistance série sera donc mesurable avec une précision meilleure que 0,6 $\Omega$ .

### 4.3 Suivi des joints brasés

#### 4.3.1 Simulation sur fissure partielle

Dans le but d'évaluer la capacité d'une quelconque méthode à détecter une fissure partielle dans un joint brasé, une simulation a été menée avec le logiciel ANSYS®.

Pour simuler l'impact d'une fissure partielle sur le suivi des joints brasés, une démarche macroscopique a été mise en œuvre. Un joint brasé a été modélisé et la tension à ses bornes a été calculée pour un courant de 15 ampères. La résistance de la bille étant très faible un fort courant permet d'obtenir une tension plus significative. Cette valeur de courant n'est absolument pas réaliste mais elle est plus visuelle. De cette façon la variation macroscopique de la tension aux bornes de la bille, nous donne une information sur les variations de tension mesurées dans la réalité. Une fissure partielle a été réalisée en supprimant certains nœuds du maillage. La fissure parcourt jusqu'à 99.6% de la longueur totale de la bille (Figure 84). Cette fissure augmentant la résistance globale de la bille engendrera des variations de la tension calculée.

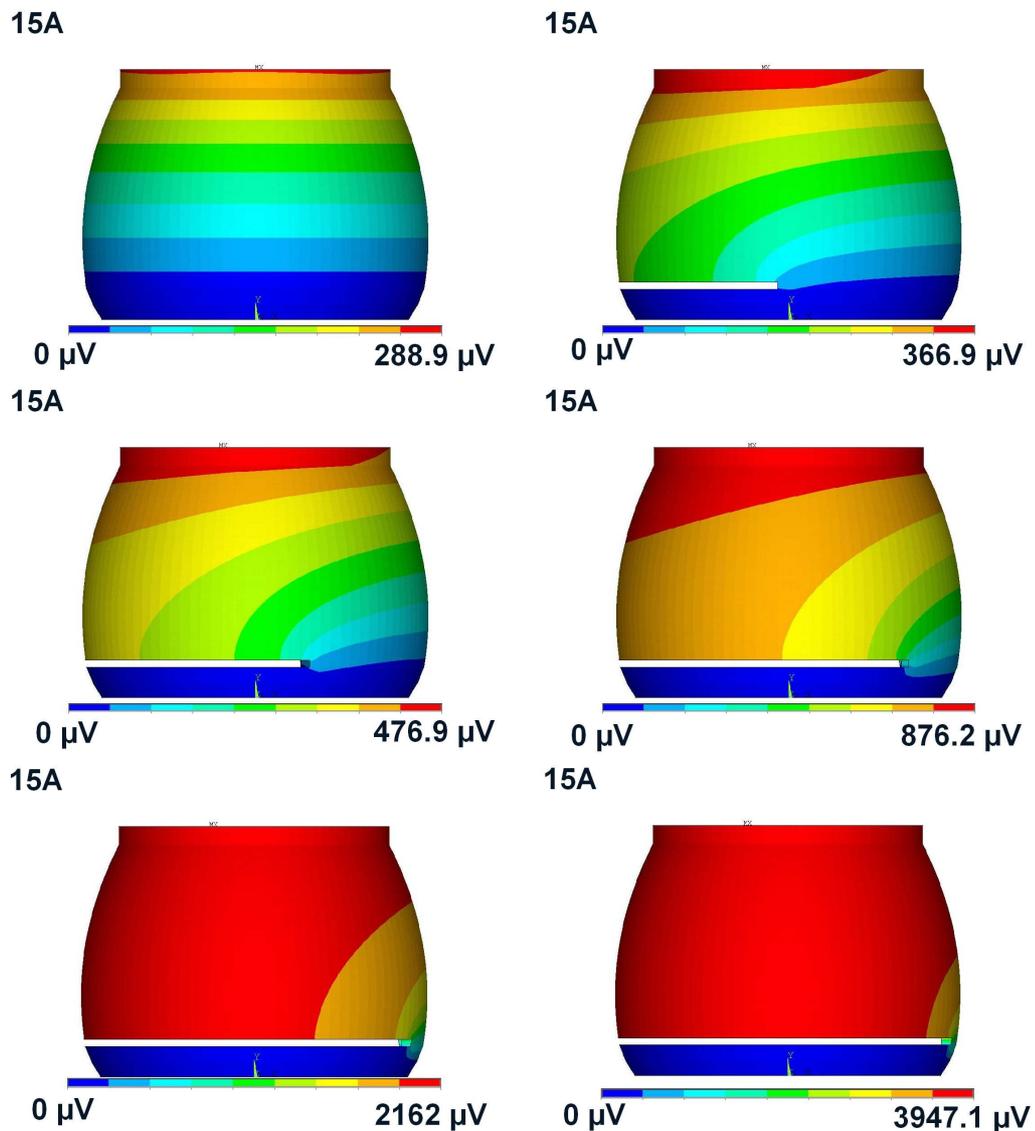


Figure 84 : Simulation de l'impact d'une fissure sur la tension aux bornes d'un joint brasé

Il ressort très clairement de ces simulations que la résistance d'un joint brasé est difficilement mesurable avec un équipement standard. En effet l'ensemble des pistes d'accès jusqu'au joint brasé dans le composant représente une résistance d'accès plus élevée que la résistance de la bille en elle-même. Même une fissure partielle de plus de 99% de la longueur de la bille sera difficilement observable car cela produit une élévation de résistance inférieure à  $250\mu\Omega$ . Bien que l'élévation relative de résistance du joint brasé soit d'environ 1266% (Figure 85), elle ne représente qu'une infime variation de chemin d'accès au joint. Dans le cas du composant utilisé dans ce travail, la résistance d'accès est au minimum de  $3\Omega$ , ce qui signifie que l'augmentation de résistance serait inférieure à 0,01%.

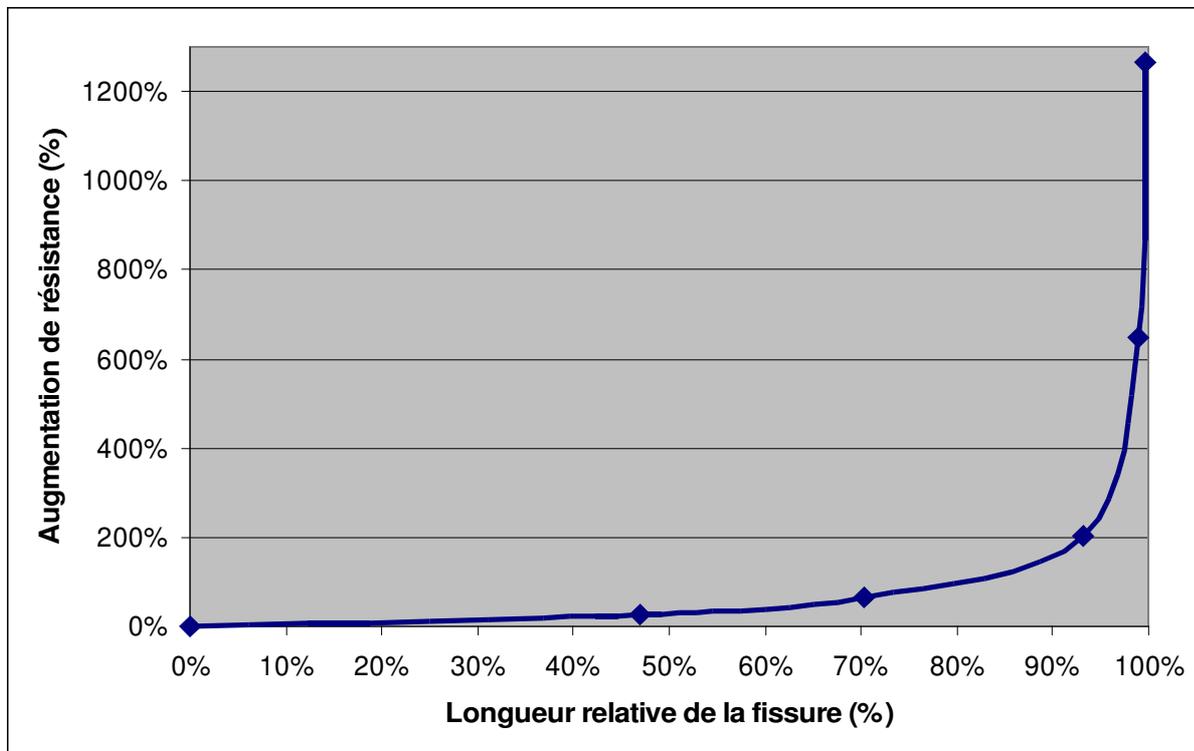


Figure 85 : Calcul de l'élévation de la résistance d'un joint brasé en fonction de la longueur de la fissure

Cette simulation met en évidence l'impossibilité de la méthode proposée à détecter une fissuration partielle d'un joint brasé. La fissuration totale sera toutefois observable par une perte complète du signal électrique.

#### 4.3.2 Modélisation du circuit électrique

Dans ce modèle nous ne prenons pas en compte le socket, qui est le même pour tous les composants. La figure 83 (cf 3.3) fait état de l'ensemble des résistances d'accès à la diode.

Chaque diode ESD a son anode reliée à la même masse, de ce fait le « circuit aval » est commun à l'ensemble des mesures. Si une des résistances de sortie est modifiée, l'ensemble des mesures sera modifié de la même façon.

Les « pin d'accès » sont constituées par le lead-frame en cuivre. Du fait de la taille de ces accès, bien que le cuivre puisse être sensible à l'électromigration, il est inenvisageable de rencontrer une modification de la résistance  $R_{pin}$  lors de cycles thermiques sans polarisation du composant.

## Chapitre V : Proposition de méthodes de suivi électrique de la fatigue des joints brasés et de la délamination sur prototype fonctionnel

---

Les résistances  $R_{\text{passif}}$  et  $R_{\text{actif}}$  représentent les résistances des pistes métalliques, respectivement, des puces passive et active. Ces pistes sont en aluminium faiblement dopé cuivre. Il est peu probable que ces pistes voient leurs valeurs résistives modifiées par les contraintes thermomécaniques induites par les cycles thermiques.

La résistance  $R_d$  est la résistance interne de la diode. Il n'est pas possible que la résistance interne de la diode évolue lors de cycles thermomécaniques. En effet le dopage du silicium et la géométrie de la diode, desquels dépend la résistivité de la diode n'évolueront pas à des températures ne dépassant pas les 150°C. La diode peut éventuellement se retrouver en court-circuit si une tension trop importante est appliquée lors de la mesure, mais se traduira par une courbe de mesure typiquement résistive et une diminution de la résistance série. Ce cas a été plusieurs fois rencontré lors de la phase de démarrage de la méthode.

Les capacités PICS, placées dans de la puce passive, et le circuit fonctionnel de la puce active peuvent être considérés, en mesure en continu, comme un circuit résistif parallèle. Une augmentation de résistance de ce circuit n'aura pas d'impact sur la mesure de la résistance série. Une diminution de cette résistance, comme par exemple un claquage d'une capacité, aura pour conséquence une diminution de la résistance globale avec une disparition de la caractéristique de diode. Ce cas de figure n'a pas été rencontré durant les différentes expérimentations.

Les seules résistances susceptibles d'évoluer, sans modification de la caractéristique de diode, sont donc  $R_{1,in}$  et  $R_{2,in}$ , correspondant aux joints brasés, respectivement, du premier et du second niveau d'interconnexion.

Le chemin d'accès simplifié à la diode est alors le suivant (figure 86) : Une résistance en série avec une diode parfaite et en parallèle à une résistance  $R_p$ . Si l'on applique une tension inférieure à la tension de seuil de la diode ( $V_{th}$ ) aux bornes de la diode ESD, la diode est bloquée. Ainsi le circuit est équivalent à une résistance ( $R_s + R_p$ ). Au delà de  $V_{th}$ , la diode est passante et se comporte comme un circuit fermé, le circuit actif n'entre plus en considération.

## Chapitre V : Proposition de méthodes de suivi électrique de la fatigue des joints brasés et de la délamination sur prototype fonctionnel

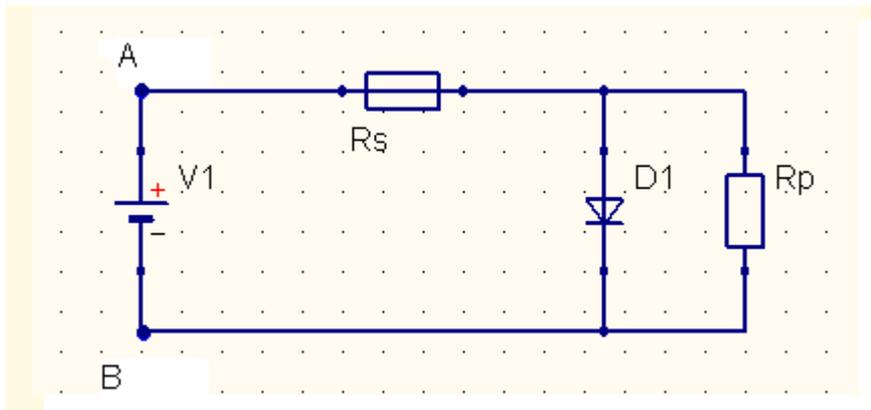


Figure 86 : Modélisation du circuit

Une simulation électrique a été réalisée avec le logiciel de simulation QUCS utilisant le modèle classique de diode suivant :

$$I_d = I_s \cdot \left[ \exp\left(\frac{q \cdot V_d}{k_B \cdot T}\right) - 1 \right] \quad (47)$$

Où  $I_d$  et  $V_d$  sont respectivement le courant et la tension directs,  $I_s$  est le courant inverse de saturation,  $q$  est la charge d'un électron,  $k_B$  est la constante de Boltzmann,  $T$  est la température en Kelvin.

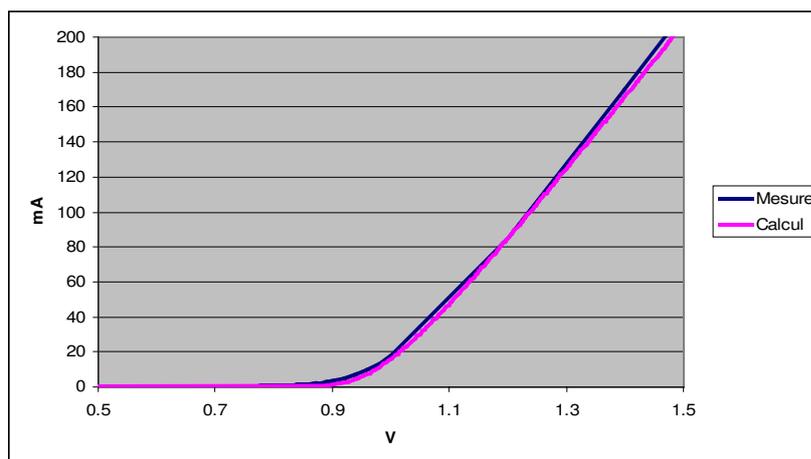


Figure 87 : Courbes mesurée et calculée

Cette simulation permet de vérifier que la mesure porte bien sur une diode (Figure 87). Après calcul de la résistance série et de la résistance parallèle, il nous fallait encore

## Chapitre V : Proposition de méthodes de suivi électrique de la fatigue des joints brasés et de la délamination sur prototype fonctionnel

déterminer les paramètres intrinsèques de la diode. Nous avons ainsi déterminé que le courant inverse de saturation de la diode serait de  $10^{-18}$ A.

### 4.3.3 Conditions des essais thermomécaniques

Trente cinq composants ont été mis en vieillissement accéléré en cycles thermiques entre  $-65^{\circ}\text{C}/150^{\circ}\text{C}$  à raison de 2 cycles par heure. 1400 cycles thermiques ont été réalisés. La tension de seuil et la valeur de la résistance série ont été suivies en reprise de mesure tous les 200 cycles.

### 4.3.4 Résultats et analyses

Une méthode de mesure a été mise en place et a permis un suivi de la résistance de façon répétitive jusqu'à 1400 cycles. Au terme de cet essai un composant a vu sa résistance augmenter significativement (Figure 88) sur deux pins : Les pins 13 et 30 du composant 30. Ce composant a donc été analysé.

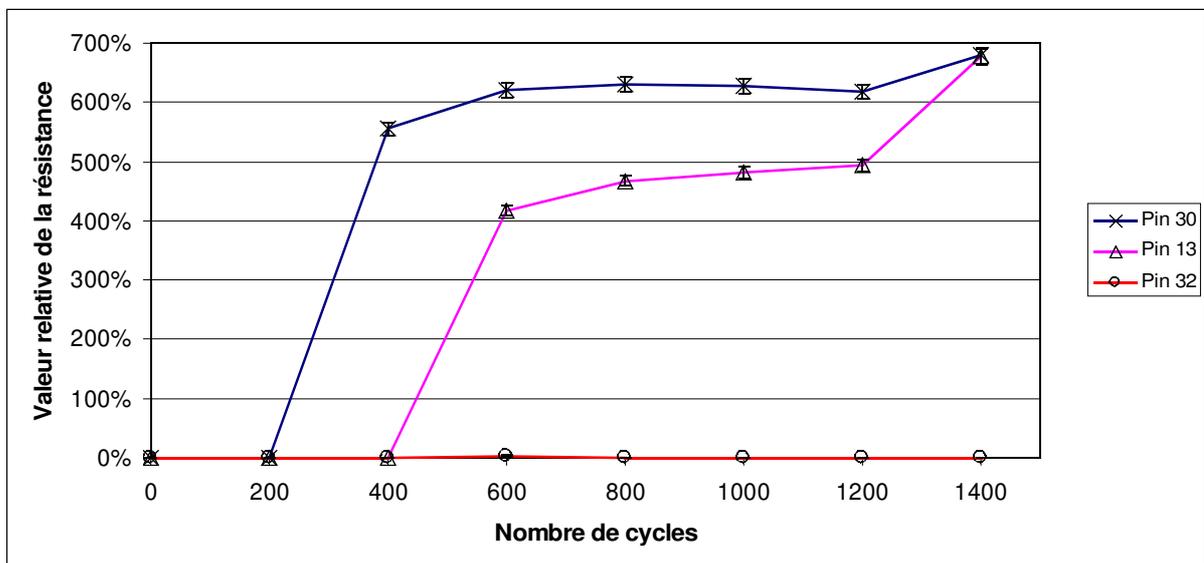
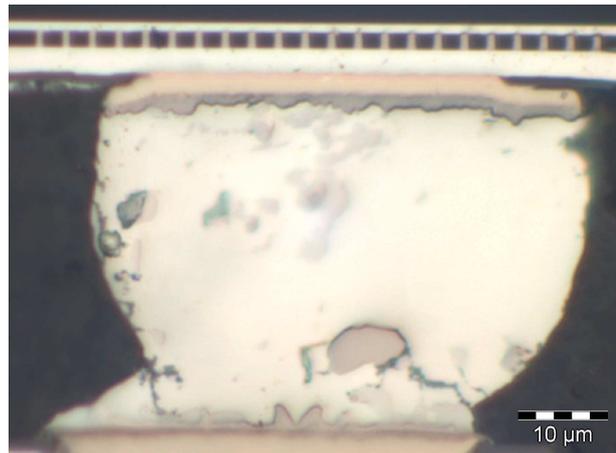


Figure 88 : Évolution de la valeur des pin 13 et 30 du composant 30

La mesure de la pin 32 a été effectuée pour éliminer toute mise en cause du circuit de masse appelé le « circuit aval » dans l'augmentation de la résistance. En effet cette partie est commune à l'ensemble des pins mesurées.

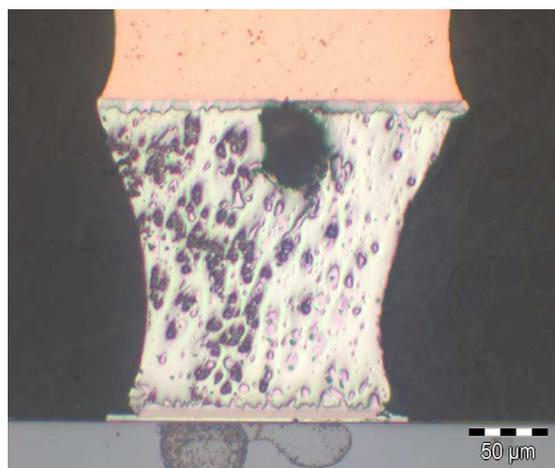
#### **4.3.4.1 Pin 13**

Aucun défaut dans la zone de la pin 13 n'ayant été trouvé par l'analyse RX, des coupes transversales ont été réalisées au niveau de la pin 13.



**Figure 89: Premier niveau d'interconnexion de la pin 13**

Sur le joint brasé du premier niveau d'interconnexion (Figure 89), ce qui semble être un commencement de fissure n'est en réalité qu'un artéfact d'analyse. Le fait de roder le composant à l'aide d'une crème chargée en micro-billes de diamant (0.01µm) peut laisser des traces après rinçage. De plus une telle fissure n'expliquerait pas une augmentation de résistance de plus de 600%, ainsi que cela a été démontré par la simulation (cf 4.31).



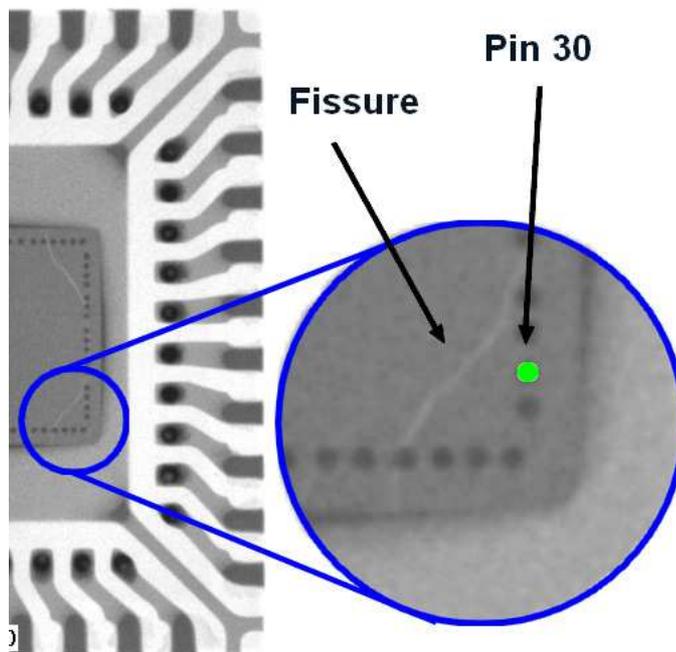
**Figure 90 : Second niveau d'interconnexion de la pin 13**

Cette coupe n'a pas permis la mise en évidence de fissures dans le joint brasé du second niveau (Figure 90). La bulle présente dans le joint brasé, a couramment été observée,

témoignant des difficultés rencontrées lors de la réalisation des joints brasés du second niveau d'interconnexion.

#### **4.3.4.2 Pin 30**

L'analyse du composant à l'aide des rayons X montre la présence d'une fissure dans la colle. Cette zone a donc été contrainte durant les cycles thermiques ce qui nous conforte dans l'idée d'une usure des joints brasés proche de cette zone (figure 91).



**Figure 91 : Image RX de la pin 30 du composant 30 à 1600cycles**

Les coupes transversales n'ont cependant pas permis de mettre en évidence de fissure dans les joints de brasure ni au premier ni au second niveau d'interconnexion.

## **4.4 Conclusion et perspectives**

Alors que toutes les méthodes de suivi de joints brasés font appel à des composants de test dédiés, donc un travail de conception et de réalisation supplémentaire, la méthode décrite dans ce chapitre permet d'utiliser un prototype fonctionnel pour cette étude de fatigue des joints brasés. Malgré l'utilisation d'un socket à potence, les résultats de répétabilité de la mesure de la résistance sont excellents, de l'ordre de 1,5%.

## **Chapitre V : Proposition de méthodes de suivi électrique de la fatigue des joints brasés et de la délamination sur prototype fonctionnel**

---

La méthode mise en œuvre est donc très répétable ce qui signifie que les augmentations de résistance mesurées correspondent à un défaut dans le circuit sous test. Les simulations sur l'impact d'une fissure partielle dans une bille montrent que les augmentations mesurées ne correspondent pas à des débuts de fissure. Cependant les coupes transversales réalisées n'ont pas permis de mettre en évidence de fissures dans les joints brasés incriminés. Le « circuit aval » a été mis hors de cause de façon certaine.

Les pistes d'accès autant du lead-frame que les pistes des puces actives et passives n'ont pas pu être testées. Elles sont supposées ne pas être sensibles aux cycles thermiques, de par l'expérience passée (en qualification ou en opération).

Ce composant n'étant pas sensible à la fatigue des joints brasés, il serait intéressant de mettre en œuvre cette méthode sur un composant réputé sensible.

### ***5 Mise en œuvre pour la détection de délaminations***

#### **5.1 Introduction**

En ce qui concerne la délamination, aucune méthode de suivi en cours d'essai n'a été développée jusqu'à maintenant. Des méthodes d'analyse non destructive existent, telle que la microscopie acoustique ou le T3Ster® de Mentor Graphics®, mais, non seulement, elles ne peuvent être utilisées en cours d'essais mais en plus leur efficacité n'est pas démontrée sur des composants tels que celui choisi dans ce travail. En effet, d'après ce qui est rapporté dans la bibliographie, les dimensions du composant rendent, a priori, les interfaces difficilement différenciables dans une mesure réalisée par le T3Ster. D'autre part les analyses acoustiques, rendues difficiles à la fois par le marquage laser des composants et par la configuration multi-puces des produits SiP, n'ont pas permis de mettre en évidence des délaminations existantes. Il serait possible de mettre en œuvre la méthode de thermographie infrarouge, qui permet de localiser le défaut sur des composants de grande taille mais qui n'est ni utilisable in-situ, ni adaptée aux faibles puissances dissipées, ni adaptée à la petite taille du véhicule de test utilisé.

Ainsi la méthode proposée dans ce chapitre permet de détecter le défaut au plus tôt en cours d'essais, c'est une méthode de détection de défaillance in-situ. Dans ce chapitre nous présenterons la méthode, nous en calculerons la répétabilité, puis nous montrerons un

exemple de mise en œuvre. Enfin avant de conclure et de présenter les perspectives ouvertes par cette étude, nous montrerons quelques résultats de simulations.

## 5.2 Présentation de la méthode

La méthode mise en place consiste en une analyse de la réponse thermique transitoire de la diode ESD. Du fait de la très forte intégration du composant, il est très difficile de distinguer entre les différentes interfaces lors de l'analyse de la réponse thermique transitoire du composant. Ainsi nous considérons un seul ensemble et nous analyserons l'ensemble de la réponse thermique. En effet l'interface critique ayant été précédemment déterminée avec précision nous considérerons que seule cette interface est susceptible de délaminer.

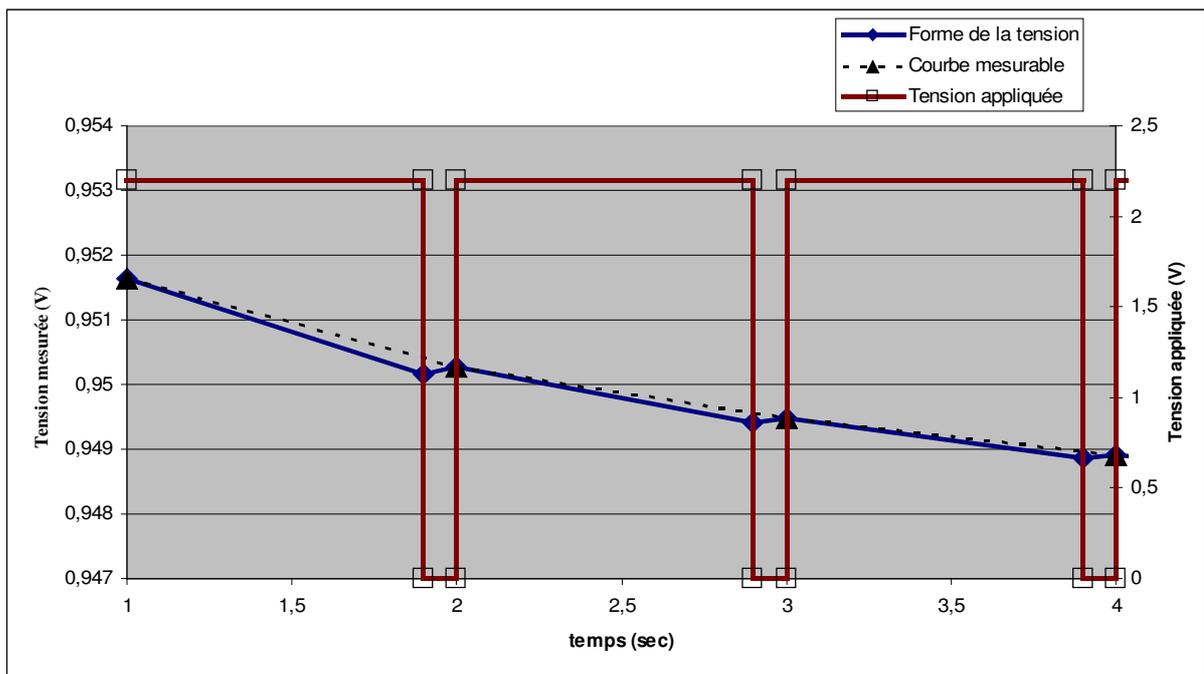


Figure 92 : Formes d'ondes schématisques pour le suivi de la température au niveau de la diode

La réponse transitoire est obtenue en forçant l'échauffement d'une diode tout en mesurant la température de jonction de cette même diode. La diode servant à la fois de dissipateur et de capteur, il est impossible d'appliquer un échelon de puissance à la diode. La puissance appliquée à la diode est entrecoupée de périodes de mesure durant lesquelles la diode refroidit. Nous obtenons ainsi une puissance appliquée en forme de dent de scie dans

## Chapitre V : Proposition de méthodes de suivi électrique de la fatigue des joints brasés et de la délamination sur prototype fonctionnel

---

laquelle les mesures effectuées toutes les secondes n'enregistrent que le point final après refroidissement (marqué par des triangles sur la figure 92).

La mise en température de la diode est obtenue avec une tension de l'ordre de 2,2V ce qui permet d'obtenir un courant d'environ 200mA qui décroît avec l'échauffement de la diode. La puissance dissipée est donc inférieure à 500mW et décroissante. La mesure de la tension de seuil de la diode est effectuée avec un courant de 1mA.

L'analyse de la réponse thermique transitoire nous permettra de détecter une éventuelle modification du comportement thermique du boîtier qui sera reliée à l'apparition d'une délamination au niveau de l'interface critique. En effet le rôle de l'interface critique étant principalement le refroidissement du composant, un défaut d'adhérence dans cette interface aura une conséquence directe sur les propriétés thermiques du boîtier.

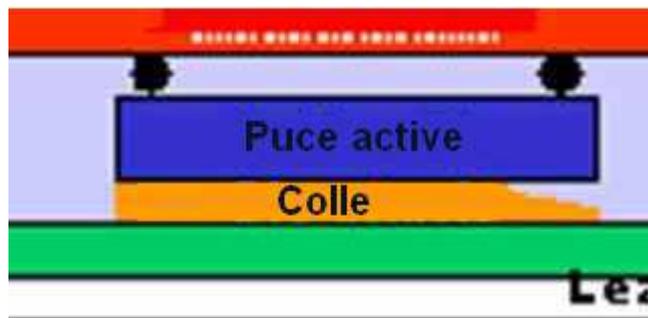
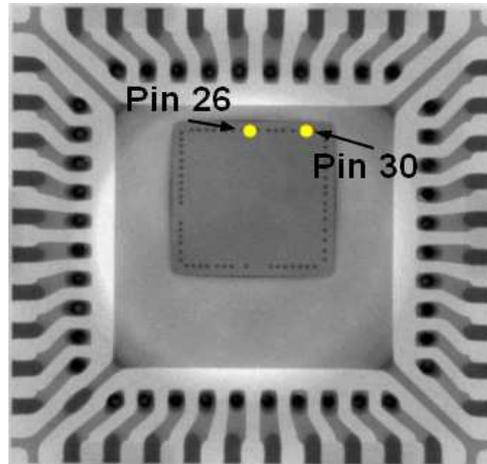


Figure 93 : Interface critique

L'interface critique (cf. IV.1) est l'interface entre la puce active et la colle (Figure 93). Dans cette interface, l'angle est la zone d'apparition de la délamination. Ainsi il a été choisi de suivre la réaction d'une diode dans l'angle de la puce active et une diode sur le côté de la puce active (Figure 94).

Les diodes de protection contre les ESD (décharges électrostatiques) (Figure 75, cf 3.1) peuvent servir à la fois pour chauffer le composant et mesurer la température. Le suivi de la température est réalisé par le suivi de la tension aux bornes du circuit pour un courant fixé à 1mA. L'échauffement du composant est obtenu par la mise en conduction de la diode dans une zone de forte dissipation thermique. Bien que la résistivité des pistes métalliques d'accès à la diode soit aussi dépendante de la température, cette variation est faible devant la sensibilité de la jonction PN à la température, d'autant plus que la puissance dissipée dans les pistes est très faible.



**Figure 94 : Localisation des diodes ESD de mesure thermique**

La tension en fonction de la température dans une jonction PN s'exprime, à partir de l'équation 47, par la formule suivante :

$$V_d = \frac{k_B T}{q} \ln \left( \frac{I_d}{I_s} + 1 \right) \quad (48)$$

où  $V_d$  et  $I_d$  sont la tension et le courant directs,  $I_s$  est le courant de saturation,  $k_B$  est la constante de Boltzmann,  $q$  est la charge de l'électron,  $T$  est la température.

Ce qui, pour un courant fixé, correspond à

$$V_d = c_1 \cdot T + V_0, \text{ avec } c_1 < 0 \quad (49)$$

Ce qui signifie que la tension mesurée varie linéairement avec la température. Le décalage à l'origine étant lié à la résistance d'accès. Nous ne parlerons donc que de la tension dans la suite du rapport, tout en parlant de mesure thermique.

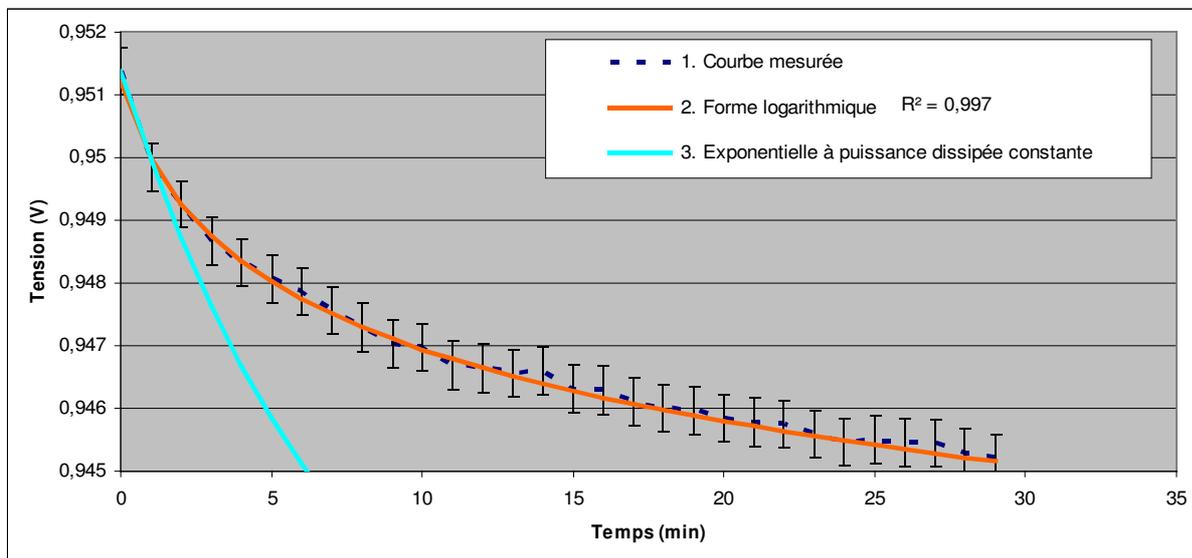
D'autre part, en se limitant au premier ordre, le système se comporte comme un simple circuit RC. En effet le boîtier est considéré comme un seul bloc. De ce fait la relation entre la température et le temps pour une puissance constante dissipée dans la diode peut s'écrire de la façon suivante :

$$T = c_2 \left[ 1 - \exp \left( -\frac{t}{\tau} \right) \right], \text{ où } T \text{ est la température, } t \text{ est le temps, } \tau \text{ est la constante de temps.} \quad (50)$$

## Chapitre V : Proposition de méthodes de suivi électrique de la fatigue des joints brasés et de la délamination sur prototype fonctionnel

En réalité chaque période d'échauffement peut être assimilée à une exponentielle. Cependant la mesure de la tension étant effectuée à 1mA durant la période de chauffe, les périodes de mesure correspondent à des périodes de refroidissement. Ainsi la courbe de la température en fonction du temps est une suite d'exponentielles croissantes et d'exponentielles décroissantes (Figure 92).

Le tracé de la tension mesurée en fonction du temps n'est donc pas de forme exponentielle (selon l'équation 50) mais est empiriquement approché par une forme logarithmique en fonction du temps (Figure 95).



**Figure 95 : Deux formes mathématiques permettant de reproduire la mesure de tension lors de la chauffe de la diode**

Si un échelon de puissance était appliqué, nous retrouverions la courbe exponentielle 3. Sur la figure 96 les deux formes sont représentées. L'application d'une puissance constante engendre un échauffement de la diode de façon exponentielle par rapport au temps. La tension mesurée décroît alors exponentiellement. La température maximale, c'est-à-dire la tension minimale est atteinte rapidement. Dans le cas d'une puissance non constante, mais décroissante en fonction de l'augmentation de la température, la tension mesurée décroît moins rapidement, dans notre cas nous avons observé une forme logarithmique.

Les mesures sont donc tracées en échelle semi-logarithmique afin d'obtenir une droite (Figure 97). La pente, « a », de cette droite exprime la dynamique de la mesure.

## Chapitre V : Proposition de méthodes de suivi électrique de la fatigue des joints brasés et de la délamination sur prototype fonctionnel

En effet plus la décroissance de la tension est rapide plus la pente sera élevée. La tension étant proportionnelle à la température, plus les échanges thermiques seront rapides plus la dynamique en tension sera importante.

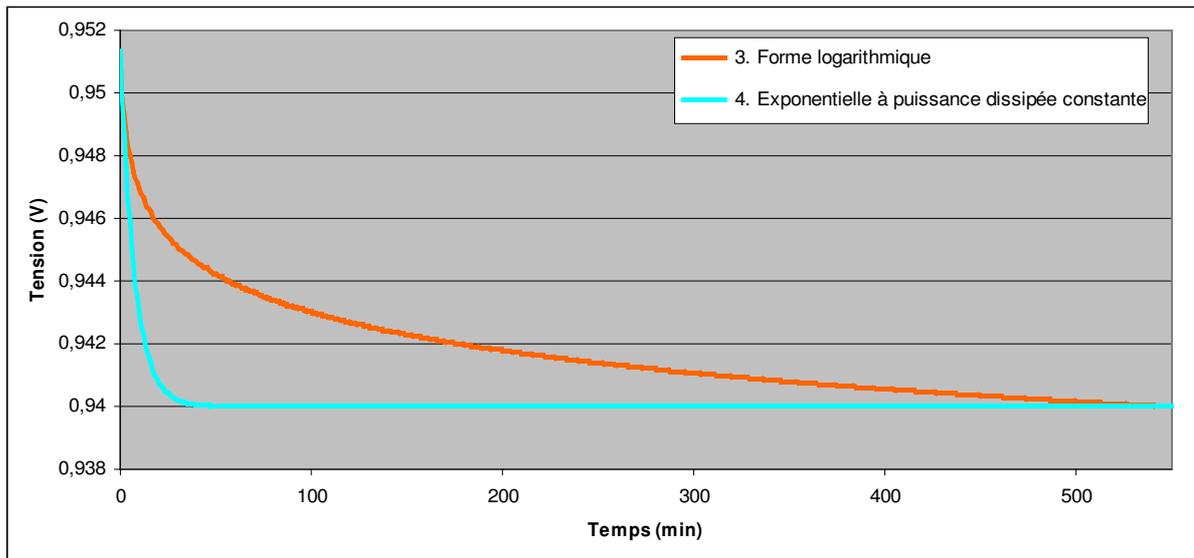


Figure 96 : Comparaison des courbes exponentielle et logarithmique

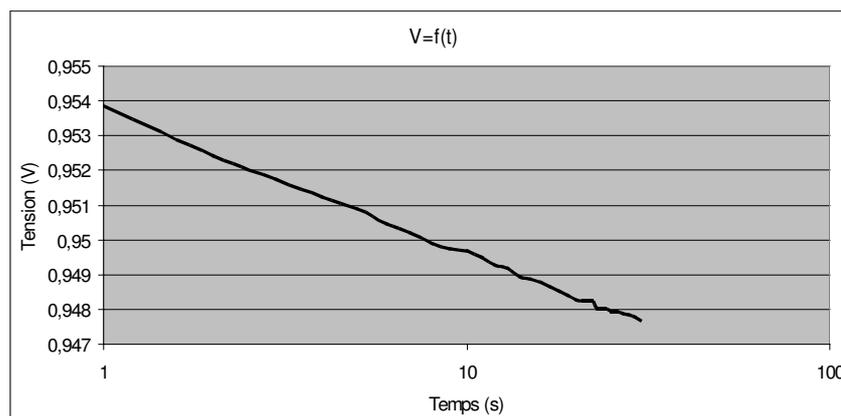


Figure 97 : Le paramètre "a" : Pente de la droite de mesure en échelle semi-logarithmique

La pente de la droite mesurée donne donc une indication sur la réponse thermique du boîtier. Le paramètre "a" sera donc utilisé comme image de la réponse thermique du boîtier lors de la chauffe d'une diode. L'expression de la tension mesurée en fonction du temps est donc, dans la pratique, de la forme :

## Chapitre V : Proposition de méthodes de suivi électrique de la fatigue des joints brasés et de la délamination sur prototype fonctionnel

$$V = a \cdot \ln(t) , \text{ où « a » dépend de la résistance thermique et de la capacité thermique.} \quad (51)$$

Pour mettre en place la méthode et comprendre les mécanismes de défaillance rencontrés, deux plans d'expérience ont été mis en place : Un essai de détection de délamination lors d'essai en cycles thermiques et une recherche de l'influence des conditions d'essais sur l'apparition de fissures dans la colle.

### 5.3 Mesures de répétabilité

La répétabilité des mesures a été établie, en procédant à 10 mesures à des moments distincts sur un lot de 3 composants. Les écarts de mesures sont inférieurs à 0,2% en ce qui concerne la mesure de la tension de seuil (Figure 98) et inférieurs à 4,2% en ce qui concerne la valeur du paramètre « a ».

Tableau 24 : Répétabilité des mesure de « a » à l'aide de la mini-carte d'essai

	Pin 26			Pin 30		
	Mesure	Erreur Absolue	Erreur Relative	Mesure	Erreur Absolue	Erreur Relative
V <sub>th</sub> durant la chauffe	0,64 V	0,87 mV	0,14 %	0,96 V	0,35 mV	0,04 %
Paramètre « a » durant la chauffe	$-7,61 \times 10^{-3}$	-	3,8 %	$-1,74 \times 10^{-3}$		4,2 %

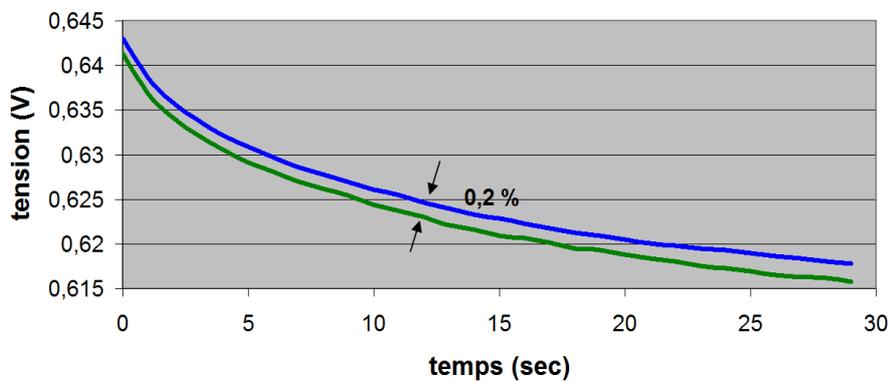


Figure 98 : Écart de mesure maximum mesuré lors de la chauffe

## **5.4 Exemple d'application**

Nous avons montré dans le chapitre précédent que la délamination, entre la puce active et la colle, apparaît dans les dix premiers cycles et démarre dans l'angle et, que durant les essais en cycles thermiques, les contraintes thermomécaniques entraînent une fissure de la colle.

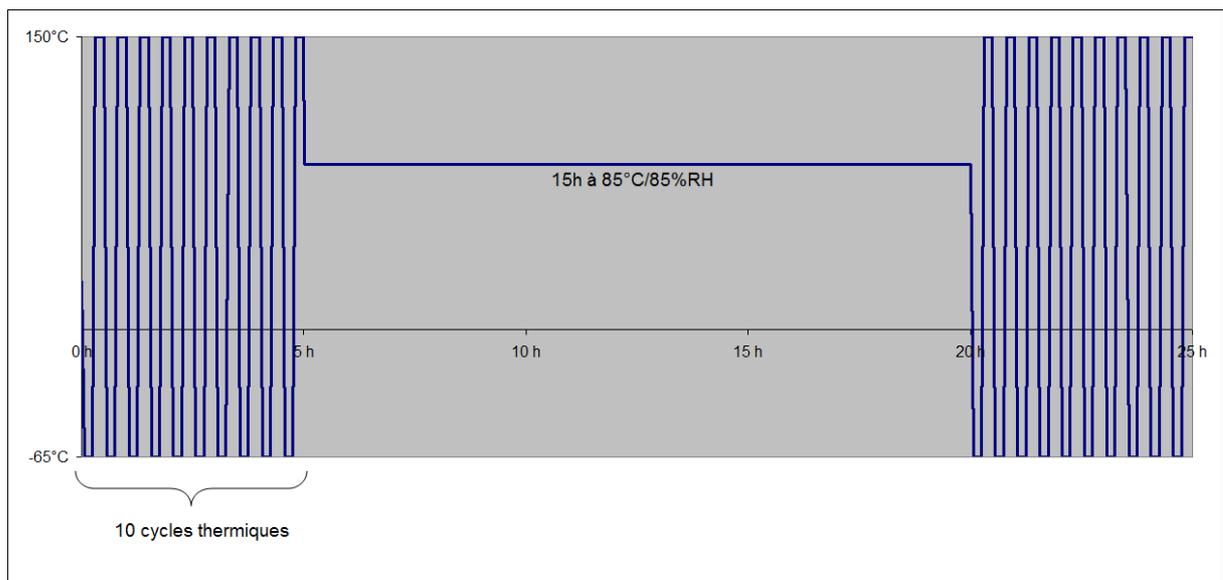
### **5.4.1 Plans d'expériences**

Deux plans d'expériences ont été mis en œuvre.

Le premier plan d'expériences a permis de comparer l'impact d'un étuvage humide (Figure 99), intercalé entre les cycles thermiques, sur la délamination. 30 composants assemblés sur des mini-cartes d'essai, ont effectué 100 cycles thermiques. Deux conditions différentes ont été comparées :

- 15 composants : Préconditionnement et cycles thermiques traditionnels
- 15 composants : Préconditionnement et cycles thermiques avec étuvage intermédiaire

Les mesures ont été effectuées tous les dix cycles et enregistrées dans un tableur pour analyses. Le glissement du paramètre « a » est notre indicateur de modification du comportement thermique du boîtier.



**Figure 99 : Cycles thermiques avec étuvage intermédiaire**

## **Chapitre V : Proposition de méthodes de suivi électrique de la fatigue des joints brasés et de la délamination sur prototype fonctionnel**

---

Le deuxième plan d'expériences a permis de comparer les fréquences d'apparition de fissures dans la colle lors des cycles thermiques, avec ou sans préconditionnement et avec ou sans étuvage intermédiaire. Les composants non-reportés sur carte d'essai (25 composants par lot) ont été exposés à 4 conditions différentes:

- Lot n°1 : Pas de préconditionnement, sans humidité intermédiaire
- Lot n°2 : Pas de préconditionnement, avec humidité intermédiaire
- Lot n°3 : Préconditionnement, sans humidité intermédiaire
- Lot n°4 : Préconditionnement, avec humidité intermédiaire

Les cycles thermiques ont une amplitude de 215°C (-65°C/+150°C) et une vitesse de 2 cycles par heure. Le préconditionnement consiste en un étuvage de 15 heures à 85°C/85%RH suivi de 3 passages en refusion. L'étuvage intermédiaire consiste en un étuvage de 15 heures à 85°C/85%RH tous les 10 cycles thermiques.

Ces deux plans d'expériences sont complémentaires pour comprendre le mécanisme de délamination. En effet le premier plan d'expériences permet de déterminer à quel moment apparaît la délamination et de suivre sa propagation. Le second a été mené pour confirmer l'impact de l'humidité sur la dégradation de l'interface contrôlée.

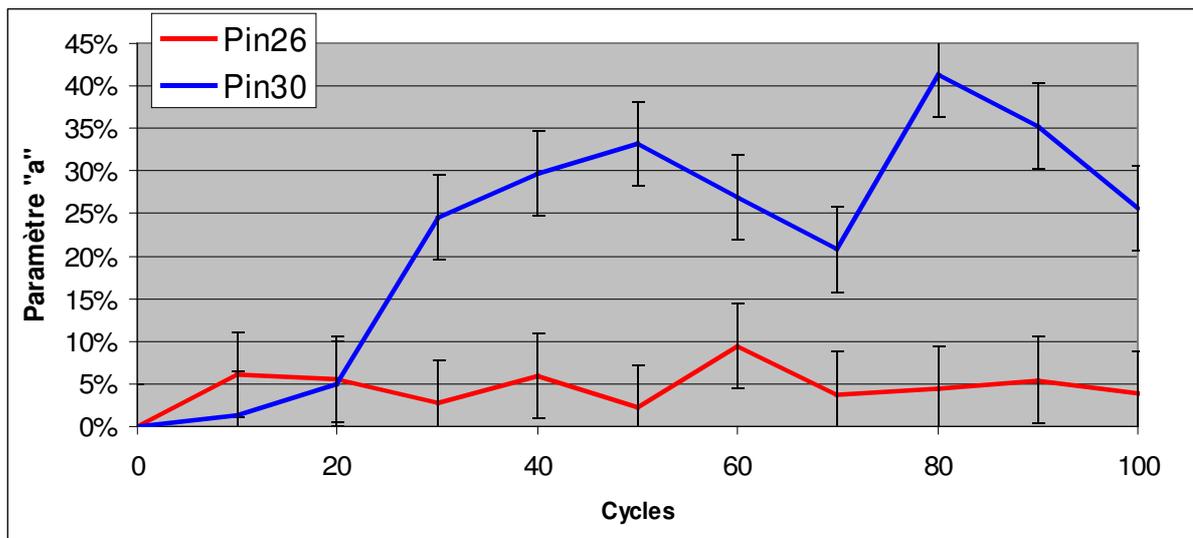
### **5.4.2 Résultats de la détection du premier plan d'expériences**

Après 100 cycles, il a été noté que le paramètre "a" est resté stable pour la majorité des composants sous test. Cependant quelques composants laissent apparaître des dérives de ce paramètre. La figure 100 présente uniquement deux courbes, correspondant à deux pins du composant 25, pour illustrer les différents comportements enregistrés. La valeur de référence est la mesure initiale, après le préconditionnement, mais aucune évolution du paramètre « a » n'est observée à l'issue du préconditionnement. Toutefois aucune délamination n'a pu être observée, que ce soit par analyse acoustique ou par coupe transversale.

Globalement, il est notable que les mesures sur la pin 26 (sur le côté de la puce active) ne montrent aucune évolution. Cependant les mesures sur la pin 30 (dans l'angle) montrent, pour certains composants, une dérive significative. Or il a été démontré que la délamination apparaît dans les angles (cf. IV.5), où se trouve la pin 30, puis se propage vers le centre, où se trouve la pin 26. Ce comportement concerne les deux conditions effectuées que ce soit avec

## Chapitre V : Proposition de méthodes de suivi électrique de la fatigue des joints brasés et de la délamination sur prototype fonctionnel

ou sans étuvage intermédiaire. De plus, il ressort de la Figure 100, que l'évolution du paramètre « a » est important aux alentours de 30 cycles, puis relativement stable. Ceci laisse penser que la délamination apparaît subitement, quand le cumul des contraintes est supérieur à la force de liaison de l'interface. Ensuite la progression de la délamination semble être freinée et ne pas se propager jusqu'au centre du composant.



**Figure 100 : Évolution du paramètre “a”**

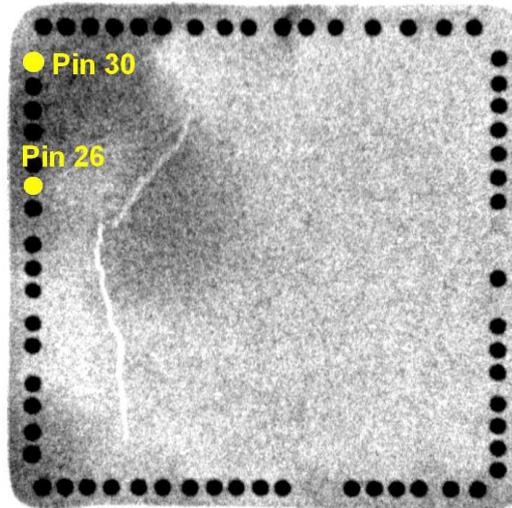
**Tableau 25 : Dérive moyenne du paramètre « a » en fonction du type d'essai**

	Précon + cycles	Précon + Cycles + étuvage
Dérive moyenne de « a »	14,11%	13,99%

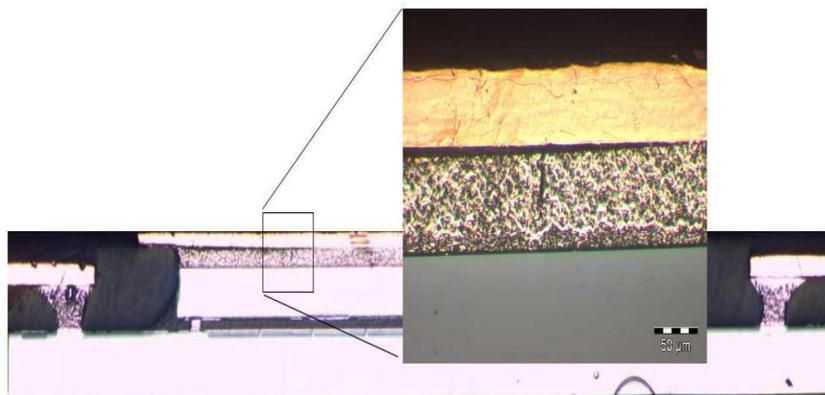
La dérive moyenne du paramètre “a” pour la pin 30 est reportée dans le tableau 25 en fonction du type d'essai. Ce tableau permet de supposer que l'ajout d'un étuvage humide intermédiaire ne permettrait pas d'accélérer l'apparition ni l'importance de la délamination. La délamination semble apparaître quand le cumul des contraintes dépasse un seuil critique. Les cycles thermiques engendreraient la propagation de cette délamination. Cette propagation serait alors freinée par la fissuration de la colle sous l'effet des contraintes thermomécaniques. L'apparition de cette fissure est détaillée dans le paragraphe suivant.

### **5.4.3 Résultats sur les fissurations de la colle**

Cette fissuration de la colle, observable aux rayons X (Figure 101) et par coupe transversale (Figure 102), permet de mettre en évidence la zone la plus contrainte du composant.



**Figure 101 : Fissure dans la colle, après 200 cycles thermiques, vue aux rayons X (Vue de la puce active)**



**Figure 102 : Fissure vue en coupe transversale après 200 cycles**

Chaque lot a été observé aux rayons X après 200 cycles pour vérifier la présence ou non de fissure. Le pourcentage de composants présentant une fissure après 200 cycles en fonction du type d'essai effectué est reporté dans le tableau 26. Il est remarquable que l'étuvage humide intermédiaire a un impact comparable à celui d'un préconditionnement initial pour ce qui concerne les fissures dans la colle.

## Chapitre V : Proposition de méthodes de suivi électrique de la fatigue des joints brasés et de la délamination sur prototype fonctionnel

Tableau 26 : Pourcentage de composants présentant une fissure par type d'essai

	Sans humidité intermédiaire	Avec humidité intermédiaire
Sans préconditionnement	24 %	59 %
Avec préconditionnement	61 %	59 %

L'absence d'humidité permettrait de fortement contenir l'apparition de la fissure. En contre-partie la réalisation d'une étape de préconditionnement aurait le même effet que l'ajout d'humidité en cours de cycles thermiques. Ceci confirmerait que la délamination se créerait lors du préconditionnement ou lors des premiers cycles thermiques humides, puis les contraintes thermomécaniques propageraient la délamination jusqu'à apparition d'une fissure dans la colle, laquelle freinerait la propagation de la délamination.

### 5.5 Simulations

Des simulations thermiques ont été effectuées, avec des conditions similaires à celles des expérimentations, à l'IMS par Jean-Baptiste Jullien, à l'aide du logiciel ANSYS® pour confirmer les résultats précédents. Dans ce paragraphe, toutes les simulations traitent de la température et non pas de la tension électrique.

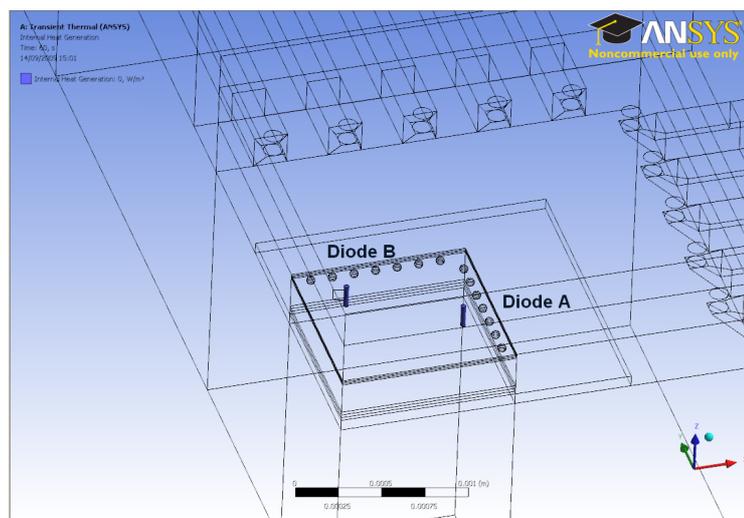


Figure 103 : Modèle du composant pour la simulation thermique

## Chapitre V : Proposition de méthodes de suivi électrique de la fatigue des joints brasés et de la délamination sur prototype fonctionnel

---

Un modèle a donc été conçu (Figure 103) avec les propriétés des matériaux dont est constitué le composant (Tableau 27).

**Tableau 27 : Eléments du modèle pour la simulation thermique**

	Nom	Surface (mm)	Épaisseur (mm)	Matériaux
Boîtier	HVQFN40	6x6	0.85	Époxyde
Puce PICS	PICS	5.1x5.1	0.26	Silicium
Puce active	Qubic4	2.1x2.1	0.2	Silicium
Die pad		3.5x3.5	0.07	Cuivre
Lead-Frame			0.2	Cuivre
Interconnexion 1	Bumps	0.05	0.03	Étain, Argent, Cuivre
Interconnexion 2	Billes	0.152	0.16	Étain, Argent, Cuivre
Colle			0.06	Époxyde
Underfill			0.05	Époxyde

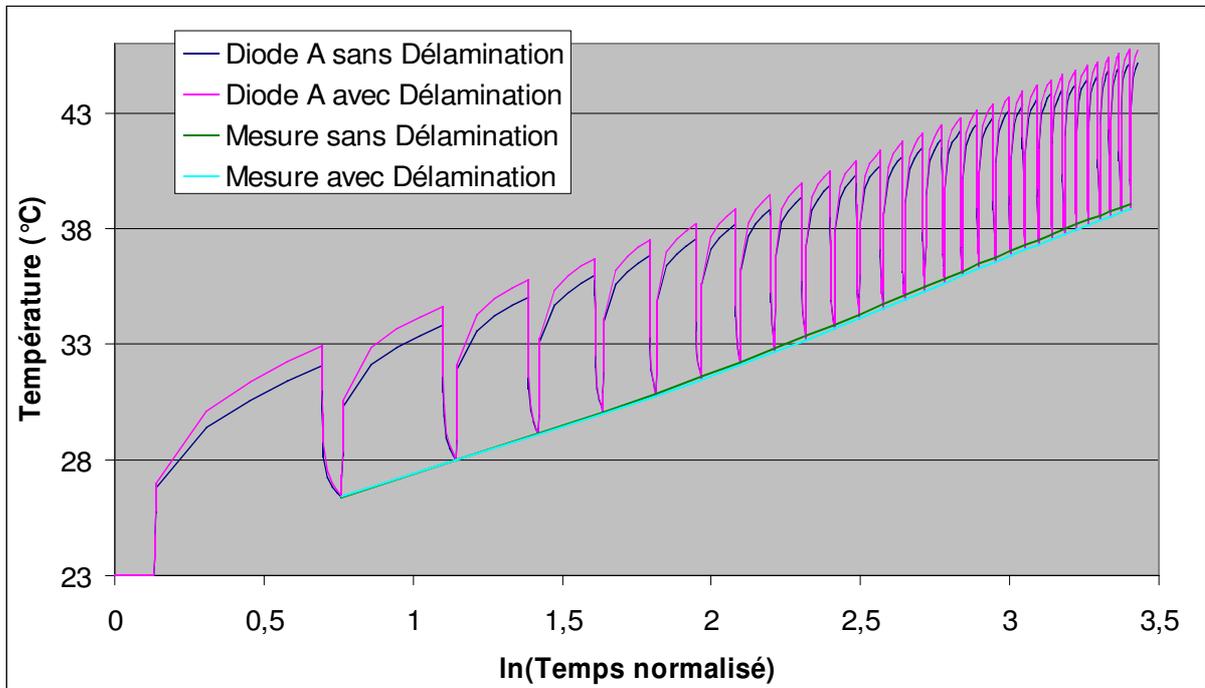
Les conditions de l'expérience ont été reproduites par le logiciel de simulation. Deux cas ont été simulés : le composant sans aucune délamination et le composant complètement délaminé au niveau de la colle. Les hypothèses étant que les interfaces sont parfaitement jointives, s'il n'y a pas de délamination. La délamination est supposée être une couche d'air entre les deux interfaces, d'une épaisseur d'un niveau de maillage.

Les conditions d'échauffement ont été reproduites en tenant compte du temps de mesure de la tension de seuil (Figure 104).

Les échelons de puissance sont des exponentielles, mais l'ensemble des exponentielles croissantes et décroissantes donne finalement une croissance logarithmique de la température. La simulation corrobore l'expérimentation sur la forme de la variation de la température en fonction du temps. Les courbes expérimentalement mesurées correspondent aux courbes appelées « mesure ».

Cependant nous pouvons noter que, selon la simulation, le temps de recouvrement de la température froide est extrêmement court. Ainsi, bien que le composant délaminé chauffe plus que le composant sain, au moment de la mesure, après un instant de refroidissement, les

températures sont au même niveau sur les deux composants. La différence de pente entre les deux « mesures » simulées n'est pas significative.



**Figure 104 : Simulation de la mise en température de la diode**

## **5.6 Conclusion et perspectives**

Nous avons pu mener un plan d'expériences sur la détection de la délamination par mesure thermique. Un paramètre électriquement accessible dont les variations semblent directement liées à l'apparition d'une délamination a été identifié. Le suivi de ce paramètre « a », a été mis en œuvre en cours de cycles thermiques.

L'expérience menée sur l'apparition des fissures dans la colle lors de cycles thermiques corrobore les hypothèses émises sur les phénomènes de délamination à savoir que la délamination apparaîtrait dans les premiers cycles voire durant l'étape de préconditionnement, et que la fissure, qui apparaît dans la colle empêcherait la propagation de la délamination.

Enfin nous avons expérimenté un nouveau type d'essai, en ajoutant une étape d'étuvage humide en cours de cycles thermiques et nous avons pu montrer que l'humidité a un impact

## **Chapitre V : Proposition de méthodes de suivi électrique de la fatigue des joints brasés et de la délamination sur prototype fonctionnel**

---

dans les premiers instants des cycles thermiques. Une fois la délamination créée, sa propagation serait rapide jusqu'à l'apparition d'une fissure dans la colle.

Les résultats obtenus sont encourageants et les pistes de réflexion ne manquent pas pour développer ce travail. Nous pouvons dire que cette méthode nous permet d'observer des phénomènes, sur des composants très miniaturisés. Il serait intéressant de développer les modèles mis en œuvre et de mener des essais sur d'autres types de composant plus simples au niveau structure. Il n'est pas évident que cette méthode soit utilisable sur de gros composants, en effet lorsque les différentes interfaces sont bien distinctes sur la courbe d'acquisition de la mesure thermique transitoire, alors les délaminations au niveau des interfaces éloignées de la source de chaleur ne modifient pas les premiers instants de la courbe [146]. Ce qui signifie qu'une acquisition plus longue est nécessaire pour observer la délamination.

### **6 Conclusion**

Nous avons, dans ce chapitre, montré comment les diodes de protections ESD, très courantes en microélectronique, peuvent servir à effectuer un suivi de la fatigue des joints brasés et de la délamination sur des prototypes fonctionnels ou des composants déjà industrialisés.

Nous avons fait la démonstration de la faisabilité de cette méthode, aussi bien en ce qui concerne le suivi des joints brasés qu'en ce qui concerne la délamination. En effet nous sommes capables de mesurer des modifications de résistivité thermique au sein du composant ou des modifications de la réponse thermique transitoire lors d'essais en cycles thermiques.

Ce travail a été réalisé dans un objectif de recherche de la faisabilité, c'est pourquoi le matériel utilisé n'est pas optimisé. Le composant choisi est un composant très complexe de par sa structure de type SiP et n'est pas le plus approprié pour mettre en place une telle méthode de mesure.

# Conclusion générale

Dans la très grande diversité des familles de composants électroniques, les composants SiP, en plein essor depuis le début des années 2000, nécessitent des méthodes et des techniques de qualification spécifiques. C'est dans ce contexte technique que ce projet de thèse a été élaboré en collaboration entre NXP semiconductors (Caen et Eindhoven), l'université de Bordeaux 1 en France et l'université de Delft aux Pays-Bas.

Deux équipes ont été constituées, avec chacune un sujet de thèse distinct et complémentaire. Une équipe constituée d'un partenariat entre NXP semiconductors et l'université de Delft pour caractériser, modéliser et simuler tout ce qui se rapporte aux contraintes thermomécaniques et hygromécaniques sur un composant SiP. L'autre équipe collaborative entre NXP semiconductors et l'université de Bordeaux 1 pour effectuer des essais et des mesures de fiabilité sur le même composant. L'ensemble vise la mise en place de méthodes et de moyens pour une qualification accélérée des composants SiP, à la fois par des essais réels spécifiques et par des simulations corrélées.

Ces nouvelles méthodes de qualification sont, par essence, spécifiques à chaque produit. Elles sont définies sur mesure et basées sur la physique des défaillances. Elles nécessitent donc des études approfondies sur les mécanismes de défaillance éventuels liés à la fois au procédé d'assemblage, au boîtier et au composant lui-même. Ces études permettent de connaître les facteurs d'accélération associés à chaque couple essai/mécanisme de défaillance et la réalisation de base de données d'informations nécessaire à la qualification.

Dans cet objectif nous avons, dans un premier chapitre, présenté les limites de la qualification normative, appliquée aux nouvelles technologies. Pour cela nous avons passé en revue les différentes étapes de la vie d'un composant électronique, la statistique associée, les différents modèles permettant à l'aide d'essais accélérés de déterminer sa durée de vie, les différents essais accélérés définissant un plan de qualification normatif. Enfin, ayant décrit quelques mécanismes de défaillance, leurs modes associées et les essais utilisés pour les mettre en évidence, nous avons montré comment nous envisageons d'utiliser les outils de

## Conclusion générale

---

simulation par éléments finis pour mettre en place de nouvelles méthodes de qualification plus rapides et plus précises.

Dans un second chapitre, nous avons défini ce qu'est un composant SiP, passé en revue les SiP actuels ainsi que les mécanismes des défauts potentiels majeurs. Dans ce second chapitre, une étude bibliographique, réalisée sur l'ensemble des technologies SiP, a été présentée et les mécanismes de défaillance associés ont été classés en trois groupes : la corrosion, la fatigue thermomécanique et la délamination. Ce ne sont pas des mécanismes spécifiques à une famille de WLP, mais ils sont critiques quelle que soit la technologie d'assemblage choisie. Nous avons ainsi pu définir deux véhicules de test afin de développer des méthodes de qualification accélérée.

Ces méthodes de qualification ont été illustrées, dans le chapitre 3, par une étude sur la fatigue des joints brasés à l'aide d'un véhicule de test WLSiP dédié et, dans le chapitre 4, focalisées sur les problèmes liés à la délamination, par un véhicule de test SiP « double flip-chip » permettant de mettre en évidence l'intérêt de l'utilisation de la qualification accélérée sur un prototype fonctionnel. Enfin de nouvelles techniques de suivi des joints brasés et de suivi de la délamination ont été décrites et illustrées dans le chapitre 5.

Le chapitre 3 a permis d'illustrer une méthode de qualification en trois temps distincts : étude bibliographique, essais par simulation, plan d'expérimentation sur le véhicule de test. Si les résultats de ces trois étapes sont cohérents, la nouvelle technologie sera qualifiée pour le mécanisme de défaillance étudié.

Nous avons alors mis en évidence les difficultés rencontrées, du point de vue de la fiabilité, dans le passage du SiP au WLSiP, si les surfaces des puces sont importantes. Les contraintes thermo-mécaniques devenant trop importantes pour les joints brasés l'application d'un underfill devient nécessaire pour atteindre des durées de vie acceptables. Une nouvelle méthode d'application de l'underfill, intégrée au procédé de fabrication du WLSiP développée par NXP, a été évaluée : le « re-inforcement ». Cette méthode d'application ne modifie pas le mécanisme de défaillance des billes mais déplace la zone de faiblesse vers le côté PCB de la bille, permettant ainsi une amélioration d'un facteur 2 de la durée de vie des joints brasés. De plus il est possible de combiner efficacement le « re-inforcement » et l'underfill classique.

Enfin, nous avons pu mettre en évidence, que pour ce composant WLSiP la frontière entre les cycles et les chocs thermiques définie par la norme JEDEC, n'est pas applicable. En

effet les rampes de 3°C/min ont révélé les mêmes mécanismes de défaillance que les rampes supérieures à 40°C/min.

Dans la première partie du quatrième chapitre, nous avons clairement mis en évidence que l'humidité est un facteur important du vieillissement et de la dégradation des boîtiers en résines époxydes. Dans une deuxième partie de ce chapitre, l'absorption de l'humidité a été modélisée de façon globale et simulée de façon locale afin de prédire avec précision la quantité d'humidité présente au niveau de l'interface critique du boîtier sous test. Il a été alors possible de prédire quelle est la zone de faiblesse du composant exposé à une température, un degré d'humidité et une durée d'exposition connus et, différentes conditions d'exposition à l'humidité ont pu être comparées par simulation montrant que la saturation en humidité du composant prend 2 à 4 fois moins de temps lors d'une exposition à 85°C/85%RH qu'à 60°C/60%RH.

Nous avons aussi montré que les matériaux époxydes exposés à de hautes températures, au-dessus de la température de transition vitreuse, en particulier durant les cycles thermiques et les étapes de séchage, sont sujets à des modifications de la structure interne. Pour limiter l'impact de la température sur les matériaux, une solution serait d'effectuer les cycles thermiques et le séchage sous une atmosphère contrôlée à l'azote.

Les données bibliographiques, les simulations et les expérimentations étant cohérentes, nous avons ici un outil efficace pour prédire les délaminations sur un composant complexe de type SiP.

Finalement nous avons, dans le cinquième et dernier chapitre, montré comment utiliser les diodes de protections ESD pour le contrôle des joints brasés et de la délamination sur des composants SiP à l'aide d'un équipement facilement disponible, bon marché et de mise en œuvre aisée. Nous avons démontré la répétabilité des mesures effectuées et, au travers de deux plans d'expériences, mesuré des augmentations de résistivité et observé des variations de la réponse thermique transitoire lors de cycles thermiques. Nous avons pu corréler les variations de réponses thermiques transitoires à des délaminations réelles mais il ne nous a pas été possible d'observer la cause de l'augmentation de la résistivité dans les joints brasés.

Pour une qualification rapide, nous avons démontré que l'utilisation de la simulation dans le procédé de conception d'une nouvelle famille de composants permet un gain de temps considérable lors de la phase de pré-qualification. L'analyse des résultats de simulations effectués à Delft associées aux mesures expérimentales effectuées à Caen a permis de mettre

## Conclusion générale

---

en évidence la possibilité de diminuer significativement les temps d'exposition par l'utilisation d'une forte température (85°C) et d'un haut degré d'humidité relative (85%RH). Enfin des techniques de contrôle, autant de l'intégrité des joints brasés que de l'intégrité des interfaces du boîtier ont été mises en œuvre. Nous avons démontré à la fois la répétabilité de ces techniques et leur aptitude à mesurer des variations de résistivité ou de comportements thermiques.

Cette étude ayant porté sur un seul véhicule de test, en version SiP ou en version WLSiP, il conviendrait d'en vérifier l'extensibilité à d'autres composants, d'autres matériaux, d'autres configurations SiP.

Il reste à mettre en œuvre la technique de détection de la fatigue des joints brasés sur un composant sensible à ce mécanisme de défaillance, d'étendre cette technique de détection au suivi en cours d'essais des joints brasés et enfin de réaliser un équipement dédié à cet usage. De même pour ce qui concerne la détection de la délamination, il serait important d'étudier la possibilité de réaliser un suivi en cours d'essais de la délamination. Enfin ces techniques doivent être normalisées et éventuellement intégrées à des essais de qualification industriels.

Un autre point capital pour compléter cette étude, mais nécessitant un travail important, serait d'établir une méthode permettant d'avoir une relation directe entre la durée nécessaire à l'apparition d'une délamination et la durée de vie du composant, relativement à un mécanisme de défaillance donné.





# Références

- [1] J. M. Bird, "System in Package: Identified Technology Needs from the 2004 iNEMI Roadmap", Amkor Technology Inc, [http://thor.inemi.org/webdownload/newsroom/apex2005/iNEMI\\_SiP\\_RoadmapJMB\\_paper.pdf](http://thor.inemi.org/webdownload/newsroom/apex2005/iNEMI_SiP_RoadmapJMB_paper.pdf)
- [2] Assembly and Packaging White Paper on System Level Integration, <http://www.itrs.net/papers.html>, ITRS
- [3] R. C. Pfahl, J. Adam, "System in Package Technology", INEMI, 2005, [http://thor.inemi.org/webdownload/Industry\\_Forums/Productronica\\_2005/Floor\\_Pres/SIP.pdf](http://thor.inemi.org/webdownload/Industry_Forums/Productronica_2005/Floor_Pres/SIP.pdf)
- [4] S. Gao, J. Hong, J. Kim, S. Choi, S. Yi, "Effects of Packaging Materials on the Reliability of System in Package", 2007, IEEE
- [5] S. L. Buchwalter, P. J. Brofman, C. Feger, M. A. Gaynes, K.-W. Lee, L. J. Matienzo, D. L. Questad, "Effects of mechanical stress and moisture on packaging interfaces", 2005, IBM J. RES. & DEV. VOL. 49 NO. 4/5.
- [6] X. Ma, K. M. B. Jansen, L. J. Ernst, "Moisture Effects on the Creep of Thermosetting IC Packaging Polymers", 7th. Int. Conf. on Thermal, Mechanical and Multiphysics Simulation and Experiments in Micro-Electronics and Micro-Systems, EuroSimE 2006.
- [7] JEDEC, JEP 148, "Reliability Qualification of Semiconductor Devices Based on Physics of Failure Risk and Opportunity Assessment", April 2004.
- [8] M. Pecht, A. Dasgupta, J. Evans, "Quality Conformance and Qualification of Microelectronic Packages and Interconnects", John Wiley & Sons (New York, NY, 1994).
- [9] IPC, IPC-9701, "Performance Essai Methods and Qualification Requirements for Surface Mount Solder Attachments", January, 2002.
- [10] B. Stark, S. Kayali, "Qualification Essaiing Protocols for MEMS", NASA Document, <http://parts.jpl.nasa.gov/docs/JPL%20PUB%2099-1J.pdf>.
- [11] Institute of Electrical and Electronics Engineers. IEEE Standard Computer Dictionary: Compilation of IEEE Standard Computer Glossaries. New York: 1990.
- [12] F.G. Kuper, X.J. Fan, "Reliability Practice", 2006, Mechanics of Microelectronics, ed. Springer, pp 35-61.
- [13] P.A. Tobias, D.C. Trindade, "Applied reliability", ed. Chapman&Hall/CRC, Second Edition, 421 pages, 1995, p37.
- [14] D. Kundu, A. Manglick, "Discriminating between the Weibull and Log-Normal Distributions", 2004, Wiley Periodicals, Inc, pp893-905.
- [15] E.L. Silva, P. Lisboa, "Analysis of the characteristic features of the density functions for gamma, Weibull and log-normal distributions through RBF network pruning with QLP", 2007, 6th WSEAS Int. Conf. on Artificial Intelligence, Knowledge Engineering and Data Bases, pp 223-228.
- [16] C.-C. Liu, P.C.T. Willey, "The Approximate Equations Between The Weibull And Lognormal Distributions By Using MRR", 2008, <http://academic-papers.org/ocs2/session/Papers/F3/747-2034-2-DR.doc>
- [17] P. Depovere, "Chimie générale", Édition 3, 2006, 112 pages, chapitre 7, p 87.
- [18] W. J. Vigrass, "Calculation of Semiconductor Failure Rate", [http://rel.intersil.com/docs/rel/calculation\\_of\\_semiconductor\\_failure\\_rates.pdf](http://rel.intersil.com/docs/rel/calculation_of_semiconductor_failure_rates.pdf)
- [19] R. A. Santen, J. W. Niemantsverdriet, "Chemical kinetics and catalysis", 1995, 296 pages, series Fundamental and Applied Catalysis, Ed. Hardcover, pp 8.
- [20] J.-Y. Delétage, "Étude de la Durée de Vie d'Assemblages Microélectroniques par l'Utilisation de Simulations, de Modèles de Dégradation et de Circuits Intégrés Spécifiques de Test", Thèse de l'Université de Bordeaux 1, 2003, p112.
- [21] IPC/JEDEC J-STD-020D.1, March 2000
- [22] M. Osterman, T. Stadterman, "Failure Assessment Software for Circuit Card Assemblies", Proceedings of the IEEE Annual Reliability and Maintainability Symposium, (1999), pp. 269-276.
- [23] R. Tummala, "Multichip packaging – a Tutorial", Proceedings of the IEEE 1992, pp 1924-1941.

## Références

---

- [24] A. Fontanelli, "System-in-Package Technology: Opportunities and Challenges", 2008, IEEE, 0-7695-3117-2/08/\$25.00, pp589-593.
- [25] Y.-H. Song, S.-G. Kim, K.-J. Rhee, D.-S. Cho, T.-S. Kim, "The Reliability Issues on ASIC/Memory Integration by SiP (System-in-Package) Technology", 2003, IEEE, 0-7803-8182-3/03/\$17.00, pp 7-10.
- [26] Sanchez Hybrid Microelectronics, <http://www.sanchez-hybridmicroelectronics.com/hybrids.html>
- [27] T. Krems, W. Haydl, H. Massler, J. Rudiger, "Millimeter-Wave Performance of Chip INTERCONNECTIONS Using Wire Bonding and Flip Chip", 1996, 0-7803-3246-6/96/\$5.00, pp 247-250
- [28] E. Awad, H. Ding, R. S. Graf, J. J. Maloney, "Stacked-Chip Packaging: Electrical, Mechanical, and Thermal Challenges", 2004, Electronic Components and Technology Conference, pp 1608-1613.
- [29] B. Chylak, I. W. Qin, "Packaging for Multi-Stack Die Applications", Kulicke & Soffa, Willow Grove, Semiconductor International, 2004.
- [30] K. Takahashi et al., "Current status of research and development for three-dimensional chip stack technology," Jpn. J. Appl. Phys., Vol. 40 (2001), pp 3032-3037.
- [31] T. Matsumoto et al., "Three-dimensional integration technology based on wafer bonding technique using micro-bumps," Ext. Abstr. Int Conf. Solid State Devices Mater. Osaka, Japan, 1995, pp.1073-1073.
- [32] P. Ramm et al., "Three dimensional metallization for vertically integrated circuits," Microelectron. Eng., Vol. 37 (1997), pp 39-47.
- [33] C. Beelen, "SiP Roadmap", Philips Semiconductors, Rapport interne, 2004
- [34] K. L. Tai, "System-In-Package (SIP): Challenges and Opportunities," Proc. Of Asia and South Pacific Design Automation Conference (ASP-DAC'00), Yokohama, Japan, 2000, pp. 191-196.
- [35] S. Stoyanov, N. Strusevich, J. Rizvil, V. Georgel, J.-M. Yannou, C. Bailey, "Design for Reliability for Wafer Level System in Package", Greenwich, UK, 2008, 2nd Electronics System integration Technology Conference, pp293-298.
- [36] C. Regard, C. Gautier, H. Frémont, A. Val, F. Roullier, P. Schwindenhammer, P. Poirier, "Solder Fatigue of Wafer Level Package Assemblies. Comparison with Flip Chip BGA's", NXP Semiconductors, 9th. Int. Conf. on Thermal, Mechanical and Multiphysics Simulation and Experiments in Micro-Electronics and Micro-Systems, EuroSimE, 2008.
- [37] R. W. Revie, H. H. Uhlig, "Corrosion and corrosion control", Wiley-Interscience, 2008, p1.
- [38] F Song, S. W. R. Lee, "Corrosion of Sn-Ag-Cu Lead-free Solders and the Corresponding Effects on Board Level Solder Joint Reliability", 2006, Electronic Components and Technology Conference, pp 891-898.
- [39] A. Teverovsky, A. Sharma, "High-Temperature Degradation of Wire Bonds in Plastic Encapsulated Microcircuits", 2005, EMPC.
- [40] R. P. Frankenthal, R. Lobnig, D. J. Siconolfi, J. D. Sinclair, "Role of Particle Contamination in the Corrosion of Electronic Material and Devices", 1993, J. Vac. Sci. Technolo. A 11(4), pp 2274-2279.
- [41] A. Gallo, "Effectors of high temperature reliability in epoxy encapsulated devices", in Proceedings of the 43rd Electronic Components and Technology Conference, 1993, 1-4 Jun 1993, pp. 356-366.
- [40] F. Murray, "Qualification Status", Philips Semiconductors, Rapport interne, 2005.
- [43] G. Harman, "Wire Bonding in Microelectronics: Materials, Processes, Reliability, and Yield", 2nd ed. 1997: McGraw-Hill Professional.
- [44] N. Noolu, N. Murdeshwar, K. Ely, J. Lippold, W. Baeslack, "Phase Transformations in Thermally Exposed Au-Al Ball Bonds", Journal of Electronic Materials, 2004. 33(5), pp. 340-352.
- [45] T. Uno, K. Tatsumi, " Thermal reliability of gold-aluminum bonds encapsulated in bi-phenyl epoxy resin", Microelectronics reliability, 2000. 40, pp. 145-153.
- [46] F. W. Ragay, J. A. Pol, J. Naderman, "In-Situ Monitoring Of Dry Corrosion Degradation Of Au Ball Bonds To Al Bond Pads In Plastic Packages During HTSL", 1996, Microelectron. Reliab., Vol. 36, No. 11/I 2, pp. 1931-1934.
- [47] M. H. Lue, C. T. Huang, S. T. Huang, K. C. Hsieh, "Bromine- and Chlorine-Induced Degradation of Gold-Aluminum Bonds", Journal of Electronic Materials, 2004. 33(10), pp. 111-1117.
- [48] A. Teverovsky, "Effect of Environments on Degradation of Molding Compound and Wire Bonds in PEMS", 2006, Electronic Components and Technology Conference, pp1415-1424.
- [49] N. Rappoport, A. Efros, "Monte carlo simulation of polymer high-temperature degradation and fracture, in Hight temperature properties and applications of polymeric materials", H.M. M.Tant, M.Rogees, Editor. 1995, ACS Washington, DC 1995. p. 155-165.
- [50] A. Teverovsky, "Effect Of Vacuum On High-Temperature Degradation Of Gold/Aluminum Wire Bonds In Pems", 2004, 42<sup>nd</sup> Annual International Reliability Physics Symposium, pp 547-556.

- 
- [51] J. Zhou, G. Q. Zhang, "Introduction to Advanced Mechanics", 2006, Mechanics of Microelectronics, ed. Springer, pp 95-120.
  - [52] C. Saint-Blanquet, "Synophysique", Chapitre Description macroscopique de la matière, Université de Nantes, <http://www.sciences.univ-nantes.fr/physique/perso/blanquet/synophys/21desma/21desma.htm>
  - [53] W. C. Maia Filho, "Méthodologie d'Essais Accélérés de Torsion et de détection de Défaillance Appliquée aux Assemblages Électroniques à Billes", 2008, Thèse de doctorat, Université de Bordeaux 1.
  - [54] W. D. van Dreil, G. Q. Zhang, X. J. Fan, "Thermo-Mechanics of Integrated Circuits and Packages", 2006, Mechanics of Microelectronics, ed. Springer, pp 169-170.
  - [55] K. Danilo, "Analyse", NXP Semiconductors, Rapport interne, 2007
  - [56] C. Gautier, A. Andres, P. Roquet, N. Cannesan, P. Gefart, "Pillar Bump Summary", NXP Semiconductors, Rapport Interne, 2008.
  - [57] W. D. van Driel, C. J. Liu, G. Q. Zhang, J. H. J. Janssen, R. B. R. van Silfhout, M. A. J. van Gils, L. J. Ernst, "Prediction of Interfacial Delamination in Stacked IC Structure Using Combined Experimental and Simulation Methods", J. of Microelectronics & Reliability 44(12), 2004, pp 2019-2027
  - [58] R. Schmidt, P. Alpern, K. Plecher, R. Tilgner, "Investigation Of The Adhesion Strength Between MC And Lead Frame At Higher Temperatures", Proc. IEEE/EPTC, 1998, pp. 349-353.
  - [59] H. Ardebili, et al, "Hygroscopic swelling and sorption characteristics of epoxy molding compounds used in electronic packaging," IEEE Transactions on components and packaging technologies, Vol. 26, No.1 (2003), pp 206-214.
  - [60] X. Ma, K.M.B. Jansen, G. Q.Zhang, L. J. Ernst, "Hygroscopic Effects on Swelling and Viscoelasticity of Electronic Packaging Epoxy", 2006, 7<sup>th</sup> International Conference on Electronics Packaging Technology.
  - [61] W. J. Roesch, S. Brockett, "Field Returns, a Source of Natural Failure Mechanisms", TriQuint Semiconductor, Journal of Microreliability, 2007.
  - [62] B. J. McAdams, R. A. Pearson, "Application of Critical Stress Intensity Factors to Evaluate Adhesive Failure at Underfill/Passivation Interface Singularities", 2004, Polytronic, pp 27-32.
  - [63] H.-J. Albrecht, G. Petzold, B. Schwarz, H. Teichmann, "CSP Board Level Reliability – Results", Siemens AG, Berlin, Germany
  - [64] L. Bechou, D. Dallet, Y. Danto, P. Daponte, Y. Ousten, S. Rapuano, "An Improved Method for Automatic Detection and Location of Defects in Electronic Components Using Scanning Ultrasonic Microscopy", 2003, IEEE Transaction on Instrumentation and Measurement, Vol 52, n°1, pp135-142
  - [65] J. Augereau, Y. Ousten, B. Levrier, L. Bechou, "Use of Signal Processing Imaging for the Study of a 3D Package in Harsh Environment", Microrel 2006, pp 1922-1925.
  - [66] A. Prabhakumar, J. Campbell, R. Mills, P. Gillespie, D. Esler, S. Rubinsztajn, S. Tonapi, "Assembly and Reliability of Flip Chips with a Nano-Filled Wafer Level Underfill", Electronics Packaging Technology Conference, 2004, pp 635-639
  - [67] M. K. Rahim, J. C. Suhling, R. C. Jaeger, P. Lall, "Fundamentals of Delamination Initiation and Growth in Flip Chip Assemblies", Electronics Components and Technology Conference, 2005, pp 1172-1186
  - [68] T. Braun, K.-F. Becker, M. Koch, V. Bader, R. Aschenbrenner, H. Reichl, "High-Temperature Reliability of Flip Chip Assemblies", Microrel. 2005, pp 144-154
  - [69] S. Chung, Z. Tang, S. Park, "Investigation of Phase Change of Flip Chip Solders During the Second Level Interconnect Reflow", Electronic Components and Technology Conference, 2005, pp 894-900
  - [70] Z. Cheng, "Lifetime of Solder Joint and Delamination in Flip Chip Assemblies", International Conference on the Business of Electronic Product Reliability and Liability, pp 174-186
  - [71] R. B. R. van Silfhout, W .D. van Driel, Y. Li, M. A. J. van Gils, J. H. J. Janssen, G. Q. Zhang, G. Tan, J. Bisschop, L. J. Ernst, "Effect of Metal Layout Design on Passivation Crack Occurrence using both Experimental and Simulation Techniques", 5<sup>th</sup> Conf. on Thermal an Mechanical Simulation and Experiment in Micro-electronics and Micro-systems, EuroSimE2004, pp 69-74
  - [72] S. Luo, C. P. Wong, "Influence of Temperature and Humidity on Adhesion of Underfills for Flip Chip Packaging", IEEE Transaction on Components and Packaging Technologies, Vol 28, n°1, March 2005, pp 88-94.
  - [73] W. van Driel, "Mechanical Related Failure Modes", NXP Semiconductors, Rapport Interne, 2007.
  - [74] D. Y. R. Chong, B. K. Lim, K. J. Rebibis, S. J. Pan, K. Sivalingam, R. Kapoor, A. Y. S. Sun, H. B. Tan, "Exposed Die-Top Encapsulation Molding for an Improved High-Performance Flip-Chip BGA Package", 2006, IEEE Transactions on Advanced Packaging, Vol. 29 N°4, pp 674-682.

## Références

---

- [75] F. Murray “Silicon Based System-in-Package: a passive integration technology combined with advanced packaging and system based design tools to allow a breakthrough in miniaturization”, Proc. BCTM, 20058
- [76] S. F. Popelar, “A Parametric Study of Flip Chip Reliability Based on Solder Fatigue modeling”, IEEE/CPMT Intel Electronics Manufacturing Technology Symposium, p299, 1997.
- [77] S. C. Chaparal, B. D. Rogemann, J. M. Pitarrese, B. G. Sammakia, “Effects of Geometry and Temperature cycle on the Reliability of WLCSP Solder Joints”, IEEE Inter Society Conference on Thermal Phenomena, p287, 2004.
- [78] L. Wetz, J. White, B. Keser, “Improvement in WL-CSP Reliability by Wafer Thinning”, IEEE Electronic Components and Technology Conference, p853, 2003.
- [79] Q. Tan, R. Cole, A. Mistry, C. Beddingfield, “Failure Mechanisms of Flip Chip DCA Assembly Using Eutectic Solder,” IEEE Electronic Components and Technology Conference, p69, 2000.
- [80] Sluo, Wong, “Influence of Temperature and Humidity on Adhesion of Underfills for Flip Chip packaging,” IEEE Electronic Components Technology Conference, 2001.
- [81] C. Bo, W. Li, Z. Qun, G. Xia, X. Xiaoming, W. Kempe, “Reliability And New Failure Modes Of Encapsulated Flip Chip On Board Under Thermal Shock Testing”, IEEE ICEPT, p416, 2003.
- [82] E. S. Ibe, K. I. Loh, J. Luan, T. Y. Tee, “Effect of Unfilled Underfill on Drop Test and Thermal Cycle Reliability”, Electronic Packaging Technology, 2005 6th International Conference on, 2005, pp 175-179.
- [83] Y. L. Zhang, D. X. Q. Shi, W. Zhou, “Reliability study of underfill/chip interface under accelerated temperature cycling (ATC) loading,” School of Mechanical and Production Engineering, Nanyang Technological University & Singapore Institute of Manufacturing Technology, Singapore, 2004.
- [84] S. Stoyanov, C. Bailey, H. Lu, M. Cross, “Solder Joint Reliability Optimization,” School of Computing and Mathematics, University of Greenwich, England, APACK 2001.
- [85] P. Elenius, D.-H. Kim, “Polymer collar for solder bumps”, United States, Flip Chip, Technologies L. L. C. (Phoenix, AZ), Patent n°6578755, 2003, <http://www.freepatentsonline.com/6578755.html>
- [86] W. H. Zhong, Y. C. Chan, M. O. Alam, B. Y. Wu, J. F. Guan, “Effect of multiple reflow processes on the reliability of ball grid array (BGA) solder joints,” Department of Electronic Engineering & Department of Mineral Processing, China, 2005.
- [87] Y. Qi, R. Lam, H. R. Ghorbani, P. Snugovsky, J. K. Spelt, “Temperature profile effects in accelerated thermal cycling of SnPb and Pb-free solder joints,” Department of Mechanical and Industrial Engineering & Technology and Product Assurance Laboratory, Canada, 2004.
- [88] X. Q. Shi, H. L. J. Pang, X. R. Zhang, “Investigation of long-term reliability and failure mechanism of solder interconnections with multifunctional micro-moire interferometry system,” Singapore Institute of Manufacturing Technology & School of Mechanical and Production Engineering, Nanyang, Singapore, 2003.
- [89] C. J. Zhai, S. R. Blish II, “Board Level Solder Reliability vs. Ramp Rate & Dwell Time During Temperature Cycling,” Advanced Micro Devices, Sunnyvale, Dallas, Texas, USA, 2003
- [90] J. P. Clech, “Acceleration Factors and Thermal Cycling Test Efficiency for Lead-Free Sn-Ag-Cu Assemblies”, EPSI Inc, Montclair, New-Jersey, USA, 2005.
- [91] N. Strusevitch, S. Stoyanov, D. Liu, C. Bailey, A. Richardson, N. Dumas, J. M. Yannou, V. Georgel, “Modeling the Behavior of Solder Joints for Wafer Level SiP”, IEEE, EPTC, 2006
- [92] C. Bailey, S. Stoyanov, N. Strusevitch, J. M. Yannou, “Reliability Analysis of SiP Structures”, Proceedings of HDP’07
- [93] S. Stoyanov, J. M. Yannou, C. Bailey, N. Strusevitch, “Reliability Based Design Optimisation for System-in-Package”, EuroSimE, 2007
- [94] J. Wu, R. T. Pike, C. P. Wong, N. P. Kim, M. H. Tanielian, “Evaluation and Characterization of Reliable Non-Hermetic Conformal Coatings for Microelectromechanical System (MEMS) Device Encapsulation”, IEEE Transactions on Advanced Packaging, Vol. 23, no. 4, November 2000
- [95] H. J. L. Bressers, W. D. van Driel, K. M. B. Jansen, L. J. Ernst, G. Q. Zhang, “From Chemical Building Blocks of Polymers to Microelectronics Reliability”, 5th. Int. Conf on Thermal and Mechanical Simulation and Experiments in Micro-electronics and Micro-Systems, EuroSimE, 2004
- [96] X. Ma, K. M. B. Jansen, G. Q. Zhang, L. J. Ernst, “Filler Contents Effects on the Moisture Absorption and Viscoelasticity of Thermosetting IC Packaging Polymers”, 7th International Conference on Electronics Packaging Technology, IEEE, 2006
- [97] K. C. Lee, A. Vythilingam, P. Alpern, “A simple moisture diffusion model for the prediction of optimal baking schedules for plastic SMD packages”, Microelectronics Reliability 45 (2005) 1668–1671

- 
- [98] X.Q. Shi, Z. P. Wang, H. L. J. Pang, X. R. Zhang, “Investigation of effect of temperature and strain rate on mechanical properties of underfill material by use of microtensile specimens”, *Polymer Testing* 21 (2002) 725–733
- [99] X. Ma, K. M. B. Jansen, L. J. Ernst, W. D van Driel, O. van der Sluis, G. Q. Zhang, “Characterization and Modeling of Moisture Absorption of Underfill for IC Packaging”, 1-4244-1392-3/07/\$25.00 ©2007 IEEE
- [100] B. L. Lee, M. W. Hall, “Effects of moisture and thermal cycling on in-plane shear properties of graphite fibre-reinforced cyanate ester resin composites”, *Composites Part A* 27A (1996) 1015-1022
- [101] G. Hillman, “Qualifying for Moisture-Containing Environments”, White Paper, [www.DfRolutions.com](http://www.DfRolutions.com)
- [102] J. E. Galloway, B. M. Miles, “Moisture Absorption and Desorption Predictions For Plastic Ball Grid Array Packages,” 1996 Intersociety Conference on Thermal Phenomena
- [103] Y. Niyamo, M. Nakada, M. Kasamori, R. Muki, “Effect of Physical Aging on the Creep Deformation on an Epoxy Resin”, *Mechanics of Time-Dependent Materials* 4: 9–20, 2000
- [104] Y. Sun, Z. Zhang, C. P. Wong, “Influence of interphase and moisture on the dielectric spectroscopy of epoxy/silica composites”, *Polymer* 46 (2005) 2297–2305
- [105] E. H. Wong, K. C. Chan, T. B. Lim, T. F. Lam, “Non-Fickian Moisture Properties Characterisation and Diffusion Modeling for Electronic Packages,” 1999 Electronic Components and Technology Conference
- [106] W. K. Loh, A. D. Crocombe, M. M. A. Wahab, I. A. Ashcroft, “Modelling anomalous moisture uptake, swelling and thermal characteristics of a rubber toughened epoxy adhesive”, *International Journal of Adhesion & Adhesives* 25 (2005) 1–12
- [107] E. Dermitzaki, B. Wunderle, J. Bauer, H. Walter, B. Michel, “Structure Property Correlation of epoxy resins under the influence of moisture; and comparison of Diffusion coefficient with MD-simulations”, 9th. Int. Conf. on Thermal, Mechanical and Multiphysics Simulation and Equipments in Micro-Electronics and Micro-Systems, EuroSimE 2008
- [108] E. H. Wong, R. Rajoo, “Moisture absorption and diffusion characterisation of packaging materials—advanced treatment”, *Microelectronics Reliability* 43 (2003) 2087–2096
- [109] G. Z. Xiao, M. Delamar, M. E. R. Shanahan, “Irreversible Interactions Between Water and DGEBA/DDA Epoxy Resin During Hygrothermal Aging”, 1997 John Wiley & Sons, Inc.
- [110] Y. Li, J. Unsworth, “Dynamic Mechanical Behaviours of Epoxy Insulating Composites”, *Electrical Electronics Insulation Conference and Electrical Manufacturing & Coil Winding Conference*, 1993
- [111] A. Motori, G. C. Montanari, S. Gubanski, “Investigation of relaxation processes in thermally-aged XLPE cablemodels”, *Conference on Electrical Insulation and Dielectric Phenomena*, 1993. Annual Report., Volume , Issue , 17-20 Oct 1993 Page(s):751 - 756
- [112] R. Mills, D. Gardner, A. van Heiningen, “Impact of hygrothermal aging on the dynamic mechanical properties of Sheet Molding Compound”, *J Mater Sci* (2007) 42:9822–9826 DOI 10.1007/s10853-007-1990-2
- [113] C.-W. Feng, C.-W. Keong, Y.-P. Hsueh, Y.-Y. Wang, H.-J. Sue, “Modeling of long-term creep behavior of structural epoxy adhesives”, *International Journal of Adhesion & Adhesives* 25 (2005) 427–436
- [114] L. Du, S. C. Janam, “Hygrothermal effects on properties of highly conductive epoxy/graphite composites for applications as bipolar plates”, *Journal of Power Sources* 182 (2008) 223–229
- [115] Q. Yang, G. Xian, V. M. Karbharim, “Hygrothermal Ageing of an Epoxy Adhesive Used in FRP Strengthening of Concrete”, *Journal of Applied Polymer Science*, Vol. 107, 2607–2617 (2008) VVC 2007 Wiley Periodicals, Inc.
- [116] S. Luo, J. Leisen, C. P. Wong, “Study on Mobility of Water and Polymer Chain in Epoxy and Its Influence on Adhesion”, *Journal of Applied Polymer Science*, Vol. 85, 1–8 (2002) © 2002 Wiley Periodicals, Inc.
- [117] F. Zhao, B. A. Hengjing, G. A. O. Xiaojian, “The Durability of Epoxy Resin Coating”, *Journal of Wuhan University of Technology-Mater. Sci. Ed.* Apr 2008 Vol.23 No.2
- [118] T. Y. Tee, Z. Zhong, “Integrated vapor pressure, hygroswelling, and thermo-mechanical stress modeling of QFN package during reflow with interfacial fracture mechanics analysis”, *Microelectronics Reliability* 44 (2004) 105–114
- [119] P. McCluskey, F. Lilie, O. Beysser, A. Gallo, “Low temperature delamination of plastic encapsulated microcircuits”, *Microelectronics Reliability* 38 (1998) 1829±1834
- [120] D. W. Kim, B.-S. Kong, “The effect of hygro-mechanical and thermo-mechanical stress on delamination of gold bump”, *Microelectronics Reliability* 46 (2006) 1087–1094

## Références

---

- [121] JESD22-A120A, Test method for the measurement of moisture diffusivity and water solubility in organic materials used in electronic devices; June 2001.
- [122] E. H. Wong, S. W. Koh, K. H. Lee, R. Rajoo, “Comprehensive Treatment of Moisture Induced Failure—Recent Advances”, *Ieee Transactions on Electronics Packaging Manufacturing*, Vol. 25, no. 3, July 2002
- [123] C. Shen, G.S. Springer, “Moisture Absorption and Desorption of Composite Materials”, *J Compos Mater*, 10-12, 1976.
- [124] L. Li, Y. Yu, Q. Wu, G. Zhan, S. Li, “Effect of chemical structure on the water sorption of amine-cured epoxy resins”, *Corrosion Science* 51 (2009) 3000–3006
- [125] X. Chen, S. Zhao, L. Zhai, “Moisture Absorption and Diffusion Characterization of Molding Compound”, *Journal of Electronic Packaging, Transactions of the ASME*, Vol. 127, DECEMBER 2005, pp461-465
- [126] G. Serpe, N. Chaupart, “Ageing of polyamide 11 in acid solutions”, *Polymer* Vol. 38 No. 8, pp. 1911-1917, 1997
- [127] N. Guerrazi, K. Elleuch, H.F. Ayedi, “The effect of time and aging temperature on structural and mechanical properties of pipeline coating”, *Materials and Design* 30 (2009) 2006–2010
- [128] G. Q. Zhang, W. D. van Driel, X. J. Fan, “Mechanics of Microelectronics”, Springer (Dordrecht, 2006), pp. 311-320.
- [129] J. Zhou, S. Lahoti, M. Sitlani, “Investigation of inner-layer dielectric (ILD) failure by hygroscopic swelling,” *IEEE 55th ECTE*, 2005
- [130] A. Teverovsky, “Characteristic Times of Moisture Diffusion and Bake-out Conditions for Plastic Encapsulated Parts,” <http://nepp.nasa.gov/docuploads/80578057-F85E-4BF4-AA03160238260834/Characteristic%20Times%20and%20bake-out%202.doc>
- [131] Z. D. Xiang, F. R. Jones, “Thermal-Spike-Enhanced Moisture Absorption by Polymer-Matrix Carbon-Fibre Composites”, *Composites Science and Technology* 57, 1997, pp 451-461.
- [132] J. A. Hough, S. K. Karad, F. R. Jones, “The effect of thermal spiking on moisture absorption, mechanical and viscoelastic properties of carbon fibre reinforced epoxy laminates”, *Composites Science and Technology* 65, 2005, pp 1299–1305.
- [133] X. Ma, K.M.B. Jansen, L.J. Ernst, W.D van Driel, O. van der Sluis, G. Q. Zhang, C. Regard, C. Gautier, H. Frémont, “Effect of aging of packaging materials on die surface cracking of a SiP carrier”, *International Conference on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Microelectronics and Micro-Systems*, 2008. EuroSimE 2008. pp 1 – 4.
- [134] E. H. Wong, R. Rajoo, S. W. Kon, T. B. Lim, “The mechanics and impact of hygroscopic swelling of polymer materials in electronic packaging,” *Transactions of ASME*, Vol. 124, (2002), pp.122-126.
- [135] X. Ma, K. M. B. Jansen, L. J. Ernst, W. D van Driel, O. van der Sluis, G. Q. Zhang, C. Regard, C. Gautier, H. Frémont, “Moisture diffusion model verification of packaging materials”, , *ICEPT Proceedings*, 2008; pp.380-384.
- [136] JESD22-A113F, Preconditioning of nonhermetic surface mount devices prior to reliability testing; March 2006.
- [137] C. Regard, C. Gautier, H. Fremont, P. Poirier, X. Ma, K. M. B. Jansen, ‘Fast reliability qualification of SiP products, *Microelectronics Reliability*’, Vol. 49 (2009) :958-926.
- [138] X. Ma, K. M. B. Jansen, L. J. Ernst, W. D. van Driel, O. van der Sluis, G. Q. Zhang, “Moisture effects of a SiP carrier”, *IEEE EuroSime*, 2009; pp. 379-383.
- [139] Y. Guo, J.-H. Zhao, “A Practical Die Stress Model and its Application in Flip-Chip Packages”, *Inter Society Conference on Thermal Phenomena* 2000.
- [140] C. Gautier, S. Ledain, S. Jacqueline, M. Nongaillard, V. Georgel, and K. Danilo, “Silicon based system in package: Improvement of passive integration process to avoid TBMS failure,” *Microelectronics Reliability*, vol. 48, 2008, pp. 1258-1262.
- [141] C. Regard, C. Gautier, H. Frémont, P. Poirier, “Influence of Underfill Methods on the Solder Joint Fatigue of Wafer Level Packaging”, *ICEPT-HDP* 2008.
- [142] J. Augereau, Y. Ousten, B. Levrier, L. Bechou, “Use of Signal Processing Imaging for the Study of a 3D Package in Harsh environment”, *ESREF2006*.
- [143] <http://www.jtag.fr/Formation/Normes?session=tm04fnun163qkb510h199peb80>
- [144] [http://fr.wikipedia.org/wiki/Joint\\_Test\\_Action\\_Group#cite\\_ref-0](http://fr.wikipedia.org/wiki/Joint_Test_Action_Group#cite_ref-0)
- [145] <http://www.mentor.com/products/mechanical/products/upload/t3ster-datasheet-13dd5bb6-423d-4fdc-a26b-0989530a9a49>
- [146] V. Székely, M. Rencz, A. Poppe, B. Courtois, “New Way For Thermal Transient Testing”, *Fifteenth IEEE SEMI-THERM™Symposium*, 1999.

- [147] D. Gardner, J. Gardner, G. Lush, W. Meinke, "Method for the analysis of multicomponent exponential decay curves", JChem. Phys. 31,978-986 (1959).
- [148] V. Székely, M. Rencz, B. Courtois: "Thermal testing methods to increase system reliability", SEMITHERM, Jan. 28-30, 1997, Austin, USA, pp.210-217.
- [149] V. Szekely, "Identification of RC Networks by Deconvolution; Chances and Limits", IEEE Trans. Circuits and Systems vol. CAS-45, pp. 244-258, (1998).
- [150] J. H. Yu, G. Farkas, Q. V. Vader, "Transient Thermal Analysis of Power Leds at Package and Board Level", Therminic 2005
- [151] O. Steffens, P. Szabó, M. Lenz, G. Farkas, « Thermal transient characterization methodology for single-die and stacked structures », 21st IEEE SEMI-THERM Symposium, 2005
- [152] A. Poppe, G. Farkas, G. Horváth, "Electrical, Thermal and Optical Characterization of Power Led Assemblies», Therminic 2006
- [153] A. Poppe, Y. Zhang, J. Wilson, G. Farkas, P. Szabó, J. Parry, "Thermal Measurement and Modeling of Multi-Die Packages", Therminic 2006
- [154] Rapport interne à NXP par Willem van Driel