

Etude prédictive de fiabilité de nouveaux concepts d'assemblage pour des " system-in-package " hétérogènes

Samed Barnat

► To cite this version:

Samed Barnat. Etude prédictive de fiabilité de nouveaux concepts d'assemblage pour des "system-in-package "hétérogènes. Electronique. Université Sciences et Technologies - Bordeaux I, 2011. Français. NNT: . tel-00990889

HAL Id: tel-00990889 https://theses.hal.science/tel-00990889

Submitted on 14 May 2014

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers. L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés. N° d'ordre : 4243

THÈSE

présentée à

L'UNIVERSITÉ BORDEAUX I

ECOLE DOCTORALE DES SCIENCES PHYSIQUES ET DE L'INGENIEUR

$\operatorname{Par} \mathbf{Samed} \ \mathbf{Barnat}$

POUR OBTENIR LE GRADE DE

DOCTEUR

SPÉCIALITÉ : Electronique

Etude prédictive de fiabilité de nouveaux concepts d'assemblage pour des « system-in-package » hétérogènes

Soutenue le 30 Mars 2011

Après avis de :

M BONNAUD Olivier	Professeur des Universités à Supélec, INSA et l'Université de Rennes 1
M COLLOT Philippe	Professeur à l'école nationale supérieure de Mines de saint Etienne (EMSE)

Devant la commission d'examen formée de :

M BONNAUD Olivier	Professeur d'université	Université de Rennes 1	Rapporteur
M CADALEN Eric	Ingénieur	IPDIA	Examinateur
M COLLOT Philippe	Professeur d'université	EMSE	Rapporteur
MME DUCHAMP Geneviève	Professeur d'université	Université Bordeaux 1	Présidente du jury
MME FREMONT Hélène	Maître de conférences (HDR)	Université Bordeaux 1	Directrice de thèse
MME GRACIA Alexandrine	Maître de conférences	Université Bordeaux	Co-directrice de thèse
M TALBOT Pascal	Ingénieur	NXP Semiconductors	Examinateur

Remerciements

Ce travail a été effectué au sein de l'équipe « Innovation backend » de NXP Caen, puis avec l'équipe R&D d'IPDIA. La thèse s'est déroulée dans le cadre d'une convention industrielle de formation par la recherche (CIFRE) entre l'association Nationale de la recherche Technique (ANRT), le laboratoire IMS et NXP semiconducteurs.

Monsieur Olivier Bonnaud et Monsieur Philippe Collot ont accépté d'être rapporteurs de ma thèse. Je les remercie vivement de leur intérêt pour ce travail et pour leur lecture attentive et critique.

J'exprime mes remerciements à Madame Hélène Frémont, directrice de cette thèse et à Madame Alexandrine Gracia, co-directrice de cette thèse, pour la confiance et l'autonomie qu'elles ont su m'accorder, pour les conseils, le soutien et le suivi constant tout le long de ces travaux.

Je remercie mes responsables industriels, Monsieur Eric Cadalen à IPDIA et Monsieur Pascal Talbot à NXP pour l'aide, le suivi, les conseils et pour toutes les réponses qu'ils ont pu me donner tout le long de cette thèse.

Je tiens à remercier Monsieur stéphane Bellenger de m'avoir accueilli, au sein de l'équipe « Innovation backend » de NXP Semiconductors à Caen durant la première partie de cette thèse.

Ma gratitude va à Monsieur Frank Murray et à Catherine Bunel pour m'avoir accueilli dans l'équipe R&D d'IPDIA durant la deuxième partie de cette thèse.

Je tiens à remercier Madame Geneviève Duchamp et les membres du jury pour l'honneur qu'ils me font en acceptant de juger ce travail.

J'exprime ma gratitude à tous mes collègues de l'équipe « Innovation backend », de la ligne d'assemblage de NXP et l'équipe R&D d'IPDIA qui ont participé d'une façon ou d'une autre à l'aboutissement de ces travaux.

Je remercie enfin ma famille pour m'avoir soutenu et encouragé durant ces années de thèse.

Table des matières

R	emer	ciements	3				
\mathbf{Li}	ste d	les figures	3				
Li	ste d	les tableaux	5				
In	trod	uction générale	7				
1	Intr	coduction au microassemblage	13				
	1.1	Introduction	13				
	1.2	Rôle et objectif du « packaging »	13				
	1.3	Concepts d'assemblage	14				
		1.3.1 Evolution des boîtiers électroniques	14				
		1.3.2 Les modules MCM (« Multi Chip Module »)	16				
		1.3.3 Les composants SiP systems in package	16				
	1.4	Méthodes d'interconnexion	17				
		1.4.1 La technique de microcâblage	17				
		1.4.1.1 Le « wedge bonding »	17				
		1.4.1.2 Le « Ball bonding »	18				
		1.4.2 Connexion par microbilles	18				
		1.4.3 Le TAB (« Tape Automated Bonding »)	19				
	1.5	Procédé d'assemblage standard d'un boîtier	20				
	1.6	Conclusion	22				
2	Fial	abilité des composants électroniques 2					
	2.1	Introduction	23				
	2.2	Notion de conception pour la fiabilité	23				
	2.3	Mécanismes de défaillances	25				
	2.4	Méthodes de conception pour la fiabilité	26				
		2.4.1 Défaillances thermomécaniques	26				
		2.4.2 Conception pour réduire le risque de rupture fragile	27				

		2.4.3 Conception pour réduire la déformation plastique	27
	2.5	Tests de qualification	28
		2.5.1 Objectif des tests accélérés	28
		2.5.2 Principaux tests de qualification et leur planification	28
		2.5.2.1 Principaux tests de qualification	28
		2.5.2.2 Planification des tests de qualification	29
	2.6	Analyse des défaillances thermomécaniques	30
	2.7	Conclusion	31
3	Mét	hodologie de fiabilité prédictive	33
	3.1	Introduction	33
	3.2	Intérêt et besoins du prototypage virtuel et des simulations	34
	3.3	Présentation de la méthodologie	35
		3.3.1 Les bases de la méthodologie de prototypage de composants électroniques	35
		3.3.2 Description de la méthodologie	37
	3.4	Plans d'expérience numériques et méthodes d'optimisation	40
		3.4.1 Introduction \ldots	40
		3.4.2 Plans d'expériences numériques	40
		3.4.3 Objectifs des études par plans d'expérience	40
		3.4.4 Plans orthogonaux	41
		3.4.4.1 Modélisation polynomiale	41
		3.4.4.2 Plans factoriels complets	41
		3.4.4.3 Plans factoriels fractionnaires	42
		3.4.5 Plans pour surface de réponse	42
		3.4.5.1 Plan composites $\ldots \ldots \ldots \ldots \ldots \ldots \ldots \ldots \ldots \ldots$	42
		3.4.5.2 Plan de Box-Behnken	43
		3.4.5.3 Plan de Doelhert \ldots	44
		3.4.6 Evaluation de la qualité du modèle statistique et de l'influence des	
		facteurs	45
		3.4.6.1 Evaluation de l'adéquation du modèle statistique	45
		3.4.6.1.1 Evaluation des coefficients \mathbb{R}^2 et \mathbb{Q}^2	
			45
		3.4.6.1.2 Analyse de variance	
			45
		3.4.6.2 Influence des facteurs	46
	3.5	Introduction à la méthode d'éléments finis	46
		3.5.1 Introduction : \ldots	46
		3.5.2 Etapes de la modélisation par éléments finis	47

		3.5.3 Techniques avancées de modélisation en éléments finis	48
		3.5.3.1 Modélisation globale-locale	48
		3.5.3.2 Adaptation de maillage	49
	3.6	Critères de défaillance	49
		3.6.1 Défaillance des matériaux ductiles	50
		$3.6.1.1$ Introduction \ldots	50
		3.6.1.2 Critère de Von Mises $\ldots \ldots \ldots \ldots \ldots \ldots \ldots \ldots \ldots \ldots \ldots$	50
		3.6.1.3 Critère de Tresca \ldots	51
		3.6.2 Défaillance des matériaux fragiles	51
	3.7	Etudes expérimentales et tests de validation	51
		3.7.1 Corrélation de l'expérimentation et de la modélisation	51
		3.7.2 Modélisation et phase de qualification	52
	3.8	L'approche multi-physique de la modélisation des composants électroniques .	53
	3.9	Conclusion	54
4	Rôl	e de l'Underfill	57
	4.1	Introduction	57
	4.2	L'étape d'« underfilling »	58
	4.3	Composant étudié	59
	4.4	Paramètres	60
	4.5	Modèle par éléments finis	60
		4.5.1 Structure du composant	60
		4.5.2 Matériaux	61
		4.5.3 Chargement et hypothèses	61
	4.6	Résultats et discussions	62
		4.6.1 Gauchissement	63
		4.6.2 Contraintes maximales	63
	4.7	Essais expérimentaux	64
	4.8	Interprétation	65
	4.9	Conclusion	66
5	Sim	ulation des filtres SAW	69
	5.1	Introduction	69
	5.2	Principe de fonctionnement	70
		5.2.1 Rappel du principe de base :	70
		5.2.2 Assemblage	71
	5.3	Paramètres géométriques	72
		5.3.1 Plan d'expérience	73

	5.4	Etude de fiabilité	'3
		5.4.1 Modèle par éléments finis	'3
		5.4.2 Matériaux	'4
		5.4.3 Chargement \ldots 77	'5
	5.5	Résultats et discussion	'5
		5.5.1 Déformation équivalente de la plasticité	'5
		5.5.2 Variation de la plasticité en fonction de la géométrie	'6
		5.5.3 Influence des facteurs	'8
	5.6	Essais expérimentaux	'8
	5.7	Conclusion	'9
6	\mathbf{Sim}	ulation du moulage 8	1
	6.1	Introduction	;1
	6.2	Composant étudié	;1
		6.2.1 L'étape de moulage 8	3
	6.3	Paramètres	3
	6.4	Plan d'expérience	54
	6.5	Modèle par éléments finis	;4
		6.5.1 Matériaux	5
		$6.5.2 \text{Chargement} \dots \dots \dots \dots \dots \dots \dots \dots \dots $	6
	6.6	Résultats et discussions	6
		6.6.1 Gauchissement du capot	57
		6.6.2 Contraintes principales	;9
		6.6.3 Influence des paramètres	;9
	6.7	Tests expérimentaux 9	1
		6.7.1 Mesure du fléchissement du capot	1
		6.7.2 Evaluation du risque de rupture du capot	1
	6.8	Conclusion	2
7	\mathbf{Sim}	ulation des vias traversants le silicium 9	5
	7.1	Introduction	15
	7.2	Paramètres	17
	7.3	Plan d'expérience	17
	7.4	Modèle par éléments finis	17
		7.4.1 Matériaux	18
		7.4.2 Chargement \ldots	9
	7.5	Résultats et discussions 9	9
		7.5.1 Déformation plastique équivalente et contrainte radiale 9	9

		7.5.2	Paramètres influents	0
			7.5.2.1 Déformation plastique $\dots \dots \dots$	2
			7.5.2.2 Contrainte radiale	2
			7.5.2.3 Récapitulatif $\ldots \ldots 10$	2
	7.6	Concl	usion \ldots \ldots \ldots \ldots \ldots \ldots \ldots \ldots 10	3
8	Mét	thodes	d'amincissement et de sciage 10	5
	8.1	Introd	luction \ldots \ldots \ldots \ldots \ldots \ldots \ldots \ldots \ldots 10	5
	8.2	Procée	dés de rodage : Rodage mécanique	6
		8.2.1	Introduction	6
		8.2.2	Rodage mécanique	8
		8.2.3	Réduction des contraintes	9
	8.3	Sciage	e des plaques de silicium 11	1
		8.3.1	Le sciage mécanique	1
			8.3.1.1 Principe du sciage mécanique	1
			8.3.1.2 Sciage par double découpe	2
			8.3.1.3 Ecaillage	3
			8.3.1.4 Récapitulatif des méthodes de sciage mécaniques 11	3
		8.3.2	Sciage laser et clivage	4
		8.3.3	Sciage par gravure	5
	8.4	Procée	dés de finition \ldots \ldots \ldots \ldots 11	5
		8.4.1	Déroulement standard	5
		8.4.2	Déroulement amélioré 11	5
		8.4.3	Déroulement avancé	6
	8.5	Conclu	usion	6
9	\mathbf{R} és	istance	e mécanique du silicium 11	9
	9.1	Métho	odes de mesure de la résistance mécanique du silicium après la finition . 12	0
		9.1.1	Test trois points et test quatre points	0
			9.1.1.1 Principe du test trois points	0
			9.1.1.2 Principe du test quatre points	1
			9.1.1.3 Le test trois points versus le test quatre points	1
		9.1.2	Test bille sur anneau	2
			9.1.2.1 Principe du test bille sur anneau	2
	9.2	Choix	d'un modèle probabiliste $\ldots \ldots 12$	4
	9.3	Etude	expérimentale $\ldots \ldots 12$	6
		9.3.1	Evaluation de l'effet de la variation de l'épaisseur par test trois points	
			et bille sur anneau $\ldots \ldots 12$	6

		9.3.1.1	Expériences	126
		9.3.1.2	Résultats et discussions	127
	9.3.2	Rôle de	l'épaisseur et du type de rodage par test trois points	129
		9.3.2.1	Expériences	129
		9.3.2.2	Résultats et discussions	132
		9.3.2.3	Evaluation des paramètres influents	134
	9.3.3	Evaluati	ion du rôle du rodage par test bille sur anneau	135
		9.3.3.1	Expériences	135
		9.3.3.2	Résultats et discussions	135
	9.3.4	Rôle de	la présence de structures 3D dans le silicium	137
		9.3.4.1	Expériences	137
		9.3.4.2	Résultats et discussions	137
9.4	Concl	usion		138
Conclu	ision g	énérale		141
Liste d	les syn	nboles		146
Annex	es			147
A				149
Biblio	graphie	9		151
Rés	umé .			156

Table des figures

1	Loi de Moore et ses perspectives : « More Moore », « More than more » et	
	« Beyond CMOS » (ITRS 2005)[1]	7
1.1	Evolution de la production des boîtiers électroniques [4]	15
1.2	Exemples de boîtiers BGA et WLP	15
1.3	Méthode de Wedge Bonding[5]	18
1.4	Méthode ball bonding $[5]$	18
1.5	Exemple d'assemblage « flip chip » utilisant les microbilles $\ldots \ldots \ldots \ldots$	19
1.6	Exemple de puce connectée avec le TAB : la puce est connectée sur un substrat	
	$\operatorname{souple}[7]$	20
1.7	Procédé d'assemblage d'un boîtier [6] \ldots	20
1.8	Boîte protégée dans un « drypack »	22
2.1	Durée de vie typique des composants électroniques[12][9]	24
2.2	Répartition des mécanismes de défaillance[8]	25
2.3	Courbe de la contrainte en fonction de la déformation pour un matériau élasto-	
	plastique	27
2.4	Planification des tests accélérés : le test de préconditionnement est utilisé uni-	
	quement avec les cycles thermiques et les tests d'humidité	30
3.1	Bases du prototypage virtuel de composants électroniques[17]	37
3.2	Méthodologie de fiabilité prédictive : Cette méthodologie est basée sur la créa-	
	tion de modèles paramétrés, la modélisation par éléments finis, des méthodes	
	statistiques et des tests expérimentaux	38
3.3	Plans factoriels complet et fractionnaire	41
3.4	Plan composite	43
3.5	Plan de Box-Behnken $[23]$	43
3.6	Plan de Doehlert	44
3.7	Exemple d'adaptation de maillage sur un élément quadrilatéral	49
3.8	Contraintes principales	50

4.1	Sources de défaillances d'un composant underfillé[30]
4.2	Système étudié
4.3	Composant étudié
4.4	Chargement
4.5	Gauchissement de la puce passive avec l'undefill A (en mm) : le maximum est
	au centre de la puce de silicium
4.6	Contraintes maximales (en MPa) : le maximum est dans la zone centrale et
	latérale de la puce
4.7	Distribution des contraintes maximales
4.8	Ligne de fissure aprés Underfilling du composant avec l'underfill A 65
۳ 1	
5.1	Filtre SAW
5.2	Principe de fonctionnement du filtre SAW
5.3	Filtre SAW en coupe [35]
5.4	Filtre Saw sur PICS (photo MEB) $[36]$
5.5	Assemblage du filtre SAW
5.6	Modèle en éléments finis d'un filtre SAW
5.7	Les couches de l'anneau
5.8	Chargement de 220°C à 20°C (température ambiante)
5.9	Distribution de la déformation équivalente de la plasticité
5.10	Déformation plastique en fonction de la géométrie
5.11	Influence des paramètres
6.1	Composant TFEAR
6.2	boîtier du TFEAR
6.3	Capots de silicium assemblés sur une plaque de silicium
6.4	Modèle en éléments finis du TFEAR
6.5	Chargement 86
6.6	Distribution du gauchissement 87
6.7	Gauchissement du capot
6.9	Influence des paramètres (taille et épaisseur)
6.8	Contraintes principales
6.10	Plans de coupe et photo BX
0.10	
7.1	Evolution des composants $TSV[44]$
7.2	Modèle schématique d'un via traversant dans un subtrat de silicium 96
7.3	Modèle en éléments finis
7.4	Contrainte en fonction de la déformation pour le cuivre électrodéposé[45] 99
7.5	Chargement

7.6	Déformation plastique et contrainte radiale	100
7.7	Coefficients centrés des contraintes et des déformations	101
8.1	Mesure de la rugosité moyenne de la surface de quatre types de surface	107
8.2	Stries sur une plaques $[56]$	108
8.3	Rodage mécanique	109
8.4	initiation d'une fissure sur une face $rod\acute{e}[54]$	109
8.5	Rodage chimique	111
8.6	Sciage mécanique	112
8.7	Double sciage [49] \ldots \ldots \ldots \ldots \ldots \ldots \ldots \ldots \ldots	112
8.8	Ecaillage sur le bord de la puce de silicium	113
8.9	Procédé d'amin cissement utilisant le sciage las er et le clivage [52] \ldots	114
8.10	Sciage avant $rodage[54]$	116
9.1	Test trois points	120
9.2	Test quatre points	121
9.3	Machine de flexion SCHIMADZU EZ test	122
9.4	Test bille sur anneau	124
9.5	Comparaison du modèle théorique et expérimental	125
9.6	Echantillons pour test trois points (3PB) et bille sur anneau (BOR) (le méplat	
	est dans la partie inférieure de la plaque)	127
9.7	Evaluation de la contrainte à la rupture par test trois points (3PB) et bille sur	
	anneau (BOR) par la distribution de weibull pour trois épaisseurs de plaques	128
9.8	Contrainte et déflexion en fonction du rodage et de l'épaisseur	133
9.9	Influence des paramètres de rodage	134
9.10	Variation des résultats de la contrainte à la rupture avec le test bille sur anneau	ı136
9.11	Défaillance cumulée	136
9.12	Défaillance accumulée pour les deux plaques	138
A.1	Boîtiers disponibles chez NXP	150

Liste des tableaux

2.1	Tests de qualification	29
$3.1 \\ 3.2$	Plan de Box-Behnken	44 52
	Drasure $[27]$	55
4.1	Plan d'expérience	60
4.2	Paramètres géométriques	61
4.3	$Matériaux[6] \dots \dots$	61
5.1	Paramètres géométriques et matériaux	72
5.2	Plan d'expérience	73
5.3	Matériaux [6]	75
6.1	Tailles du capot	84
6.2	Plan d'expérience	84
6.3	Matériaux[6]	86
7.1	Paramètres géométriques et matériaux	97
7.2	$Matériaux [46][45][6] \dots \dots$	98
8.1	Variation de l'épaisseur des puces de silicium(ITRS)[48]	106
8.2	Récapitulatif des méthodes de sciage mécanique[49]	114
9.1	Contrainte et déflexion par test trois points versus bille sur anneau (rodage	
	mécanique fin)	128
9.2	Etat de surface des échantillons	131
9.3	Résultats du test trois points	132
9.4	contrainte et déflexion pour chacune des trois finitions de rodage	136
9.5	Contrainte et déflexion des composants avec deux structures A et B $\ .$	137

Introduction générale

D^{EPUIS} plusieurs années, l'électronique a envahi notre quotidien avec une utilisation et une omniprésence de plus en plus grande dans plusieurs domaines comme la santé, la sécurité, les communications, l'éducation et les loisirs. Le développement de nouveaux microsystèmes est caractérisé par un besoin de miniaturisation des composants et une augmentation des fonctionnalités afin de satisfaire les demandes du marché.

La technologie microélectronique est caractérisée d'une part par une augmentation de la complexité, de l'écart entre la technologie et la connaissance fondamentale et des difficultés pour satisfaire les exigences de qualité et de robustesse. D'autre part elle est aussi caractérisée par un besoin de réduire le coût et le temps de développement et de qualification.

Les voies de développement du secteur des semiconducteurs peuvent être présentées à la figure 1.



FIG. 1 – Loi de Moore et ses perspectives : « More Moore », « More than more » et « Beyond CMOS » (ITRS 2005)[1]

La première voie est appelée « More Moore ». Elle consiste à la miniaturisation des transistors basés sur la technologie CMOS (Complementary Metal Oxide Semiconductor) en particulier la réduction de la largeur de la grille qui a pu atteindre les 32 nm en 2010. Cette miniaturisation permet principalement d'augmenter les performances des circuits. Depuis quelques années, on assiste à l'émergence de la voie connue par « more than Moore » et du concept « Beyond CMOS » (au delà du CMOS) qui permettent d'ouvrir les horizons de la miniaturisation. Avec les limites physiques et technologiques de la technologie CMOS, la voie « Beyond CMOS » consiste à développer des alternatives pour combler les limites de la technologie CMOS sur silicium.

La voie « More than more » consiste à diversifier les fonctions dans un même système en utilisant des fonctions non digitales comme les composants passifs, les microsystèmes et les circuits utilisant la technologie radiofréquence.

La plupart des industries de semiconducteurs travaillent beaucoup sur cette voie par la diversification des composants et aussi sur la combinaison des SoC (System on Chip) et SiP (System in Package) afin d'optimiser leurs composants. Un exemple de miniaturisation qui a été développé par NXP semiconducteurs et maintenant par IPDIA, consiste à intégrer des composants passifs sur une même puce sur le plan vertical afin d'avoir des composants à très forte intégration. Cette technologie est appellée PICS (Passive Integration Connective Substrate). Ces puces passives sont ensuite assemblées avec d'autres puces actives pour constituer un SiP.

Plus de 65% des défaillances des composants électroniques sont dues à des problèmes thermomécaniques [2]. Cette fiabilité thermomécanique reste un défi à surmonter en particulier avec les nouveaux composants. Les défaillances sont générées principalement lors de la phase de fabrication des produits. Ceci est principalement le résultat d'un manque de connaissances académiques et industrielles disponibles relatives au comportement des nouvelles structures et des nouveaux matériaux sous des contraintes thermomécaniques. L'utilisation d'outils de simulation et de prototypage virtuel est bien adaptée pour aider à l'évaluation des zones les plus fragiles, la mise en place des règles de conception et la détermination des paramètres les plus influents. Ils participent aussi à la réduction du coût et du temps de mise en marché d'un produit fiable avec une optimisation des performances.

En effet, le prototypage et le test des produits forment un processus itératif, de plus en plus coûteux. Ils entraînent de nombreuses expérimentations. Face à ces défis, de très nombreux industriels utilisent aujourd'hui des outils d'ingénierie assistés par ordinateur. Les analyses de plus en plus nombreuses peuvent être traitées. Les concepteurs et les ingénieurs peuvent donc avoir une compréhension plus précise des caractéristiques de performances du produit dès la phase de conception.

Ce travail de thèse se situe dans le cadre de l'évaluation de la fiabilité prédictive de nouveaux concepts de structures SiP. Cette évaluation de la fiabilité est effectuée par des outils de prototypage virtuel et des tests expérimentaux sur les composants électroniques.

Les exigences de miniaturisation des circuits intégrés ainsi que l'utilisation de plus en plus importante de nouveaux types d'assemblage comme les boîtiers SiP (System In Package) et les composants MEMS utilisant des cavités nécessitent la mise en place et l'utilisation d'outils adaptés de simulation et d'expérimentation. Le but est de pouvoir évaluer et prédire le comportement mécanique et thermomécanique de ces nouveaux assemblages dès l'étape de conception. Cette approche de fiabilité prédictive devient de plus en plus importante dans le contexte actuel de l'évolution des produits électroniques.

Les boîtiers de type SiP présentent plusieurs avantages, notamment la réduction du volume total, l'amélioration des performances ainsi que la réduction du coût. Cependant, leur fiabilité représente un défi. En effet, un composant SiP présente plusieurs interfaces qui doivent rester stables thermiquement et mécaniquement, quelle que soit la taille du composant. L'interface la plus critique reste celle entre le SiP et le substrat. Certaines défaillances se manifestent principalement par la fatigue de la brasure causée par la différence de coefficient de dilatation thermique entre les matériaux.

Le but de la mise en place d'une méthodologie est d'anticiper cette étape d'évaluation des risques, de développer une structure pour étudier la fiabilité des composants SiP et de déterminer les paramètres les plus influents.

Ce développement est présenté par une méthodologie de fiabilité prédictive qui fait intervenir des études expérimentales, des simulations thermomécaniques et des analyses statistiques pour traiter les données et évaluer les risques de défaillance.

Ce projet de thèse cifre a débuté en février 2008 par un partenariat entre l'équipe d'innovation back-end de NXP à Caen et l'équipe PACE (Packaging, assemblages et compatibilité électromagnétique) du laboratoire IMS de Bordeaux. L'objectif est d'une part d'acquérir une expertise dans le domaine de la simulation thermomécanique et de la fiabilité prédictive de structures SiP complexes et une compréhension des contraintes et des mécanismes de défaillance induits par ces contraintes sur des structures particulières. D'autre part, ce projet avait aussi pour objectif d'élaborer des règles de conception associées aux nouvelles structures étudiées.

Suite à une restructuration de NXP, le site industriel de NXP Caen a fermé et une nouvelle entreprise IPDIA a été créée en juin 2009. Depuis juillet 2009, IPDIA est le troisième partenaire de ce projet, les objectifs et les outils de travail sont maintenus. IPDIA travaille principalement sur le développement des technologies de miniaturisation 3D, en particulier les composants passifs intégrés à forte valeur ajoutée dans les applications médicales, professionnelles, militaires et aérospatiales.

Ce manuscrit est composé de neuf chapitres :

Le chapitre 1 est dédié à l'introduction à l'assemblage des composants électronique en particulier les différentes étapes d'assemblage d'un composant électronique.

Le chapitre 2 présente les différentes méthodes d'évaluation de la fiabilité en phase de conception et de qualification.

Le chapitre 3 présente la méthodologie de fiabilité prédictive. Cette méthodologie cor-

respond à la « boîte à outils » nécessaire pour mener une évaluation prédictive en phase de conception. Elle est basée principalement sur la modélisation en éléments finis, des méthodes statistiques pour traiter les résultats et des essais expérimentaux.

Les chapitres (4, 5, 6 et 7) sont dédiés à l'illustration de la méthodologie de fiabilité sur des exemples de composants SiP. Quatre études sont effectuées afin d'évaluer les paramètres influents et identifier les solutions technologiques les plus fiables :

-La première étude (chapitre 4) concerne l'évaluation d'un composant CSP (chip scale package) double « flip chip » en particulier l'étude du choix de l'underfill (résine d'encapsulation par effet capillaire) et son influence dans l'apparition de fissures au niveau de la puce de silicium.

-La deuxième étude (chapitre 5) présente un filtre à onde de surface assemblé sur du silicium. L'objectif est d'évaluer l'effet de la variation des paramètres géométriques sur la fiabilité du composant.

-La troisième application (chapitre 6) est dédiée à l'évaluation du risque du moulage des boîtiers de type HVQFN avec cavité notamment le risque de gauchissement et de fissure du capot sous l'effet des contraintes de pression et de la température du moulage.

-Enfin la dernière étude (chapitre 7) présente les résultats d'une étude sur l'évaluation des paramètres les plus influents dans la fiabilité des vias traversants (connexions à base de trous métalisés).

Le chapitre 8 présente les bases des méthodes d'amincissement et de finition des puces de silicium. Enfin, le chapitre 9 est dédiée à l'évaluation de la résistance mécanique du silicium à la rupture en fonction de la variation de paramètres géométriques. Les expériences réalisées ont pour objectif de caractériser les substrats et compléter les études effectuées dans les chapitres quatre et six de cette thèse.

Chapitre 1

Introduction au microassemblage

1.1 Introduction

Les boîtiers électroniques ont un rôle important dans la protection et le fonctionnement du circuit intégré. Ces boîtiers ont beaucoup évolué pendant les vingt dernières années. Les boîtiers d'aujourd'hui sont caractérisés d'une part par une augmentation du nombre des connexions et la complexité et d'autre part par une diminution de la taille globale. L'objectif de ce chapitre est de présenter l'assemblage des composants électroniques. Nous allons présenter successivement le rôle de l'assemblage puis une vue générale sur les différents boîtiers existants, les principales méthodes d'interconnexion et enfin un exemple de procédé d'assemblage d'un boîtier. Certains composants et méthodes d'assemblage, présentés dans ce chapitre, sont utilisés dans les chapitres (4, 5, 6 et 7) de cette thèse.

1.2 Rôle et objectif du « packaging »

Le procédé général de préparation d'un circuit intégré commence par la phase d'intégration des circuits sur la plaque de silicium. Ensuite, les puces sont testées pour identifier les puces fonctionnelles, et les puces défaillantes sont marquées. Puis, la plaque subit les procédés d'amincissement et de sciage pour individualiser les puces. Enfin les micro circuits sont assemblés dans des boîtiers puis sur des substrats afin d'assurer leur rôle dans un microsystème.

L'étape d'assemblage, est une étape importante dans la phase de conception d'un circuit intégré.[4]

Le boîtier contenant la puce a plusieurs rôles parmi lesquels on peut citer :

- connecter la puce de silicium au substrat avec des connexions fiables,
- protéger le circuit par rapport aux contraintes exercées par l'environnement extérieur comme les contraintes chimiques, mécaniques et thermiques,

- assurer un bon fonctionnement du circuit notamment l'intégrité du signal, la puissance, les propriétés électriques,
- permettre une bonne dissipation thermique du circuit,
- compenser la différence de coefficients de dilatation thermique entre la puce et le substrat en utilisant par exemple des billes de brasure qui permettent d'absorber les déformations.

Le choix d'un boitier permet de déterminer la taille, la performance, le poids, le coût et la fiabilité du composant électronique final.

1.3 Concepts d'assemblage

Il existe différents types de boîtiers qui sont classés par des normes développées par des organismes comme l'IPC (« Institute for Interconnection and Packaging Electronic Circuits ») et le JEDEC (« Joint Electron Device Engineering Council »). La majorité des boîtiers sont des boîtiers à broches traversantes ou des boîtiers montés en surface.

1.3.1 Evolution des boîtiers électroniques

Jusqu'au début des années 90, les boîtiers à broches traversantes représentaient la majorité des boîtiers produits. Au cours des années 90, les composants montés en surface (CMS) sont devenus majoritaires, en particulier les boîtiers de type LCC (Leadless Chip Carrier), QFP (Quad Flat Package), SO (Small Outline). D'autres boîtiers ont pris une place de plus en plus importante, comme le montre la figure 1.1, tels que les QFN (Quad Flat No- Lead), les HVQFN (Heat sink-thin quad flat pack No-Lead), les BGA (Ball Grid Array) et les CSP (Chip Scale Packge). Pour des raisons économiques et de miniaturisation, les boîtiers de type WLP (Wafer Level Package) commencent à prendre de la place sur le marché des boîtiers.

La technologie WLCSP (Wafer Level Chip Scale Package) fait référence à la technologie de packaging d'un circuit intégré pour lequel le composant final a la même taille que le circuit intégré. Ainsi une grande partie des étapes de fabrication du composant est effectuée à la « fonderie » lors de la fabrication du circuit intégré.

Les figures 1.2a et 1.2b présentent respectivement deux types de composants BGA et WLP. Avec le BGA les connexions sont effectuées par des microfils sur les plots de la puce puis des billes de brasure permettent la connexion du boîtier sur un substrat. Cependant avec la solution WLP la connexion est assurée par des microbilles connectées directement sur le circuit intégré, puis le circuit est assemblé sur un substrat.



FIG. 1.1 – Evolution de la production des boîtiers électroniques [4]



FIG. 1.2 – Exemples de boîtiers BGA et WLP

Un boitier est souvent composé par une seule puce (« single chip package »), le circuit est connecté électriquement et thermiquement à un substrat métallique appelé « leadframe »¹. Ce substrat déploie les contacts sur une carte pour assurer la connexion. Ces composants regroupent plusieurs types de boîtiers, comme par exemple les boîtiers traversants et les QFN. Le tableau de la figure A.1 en annexe présente les différents boîtiers disponibles chez NXP. Ce tableau regroupe 140 références de boîtiers. Certains boîtiers sont à broches traversantes

¹grille de connexion métallique

comme les DIL (Dual Inline) et les SO (Small Outline), d'autres composants sont montés en surface comme les HVQFN et les BGA.

1.3.2 Les modules MCM (« Multi Chip Module »)

L'augmentation de la vitesse et des performances électriques des circuits intégrés ainsi que l'augmentation du nombre de puces dans un boîtier ont nécessité l'utilisation de nouvelles solutions plus performantes. L'une des solutions est le MCM (« multi chip module ») qui correspond à un module composé par plusieurs puces assemblées sur un substrat généralement en céramique. Les puces sont montées côte à côte. L'avantage de cette filière d'assemblage MCM est de pouvoir supprimer le boîtier unitaire et de connecter les puces à un substrat commun.[3]

1.3.3 Les composants SiP systems in package

La solution SiP (« System in Package ») est une alternative aux modules MCM. Un SiP désigne un système de circuits intégrés dans un boîtier ou module. Il peut contenir une ou plusieurs puces de silicium (circuits logiques, mémoires, ASICS, microcontrôleurs, etc) empilés verticalement ou horizontalement. Les connexions internes se font par fils ou par la technologie de puce retournée « flip chip ». Le point fort d'un SiP est de permettre d'assembler plusieurs types de circuits intégrés dans un même boîtier. Cette solution permet d'optimiser le coût, la taille et les performances.

Les SiP représentent aujourd'hui une grande part du marché des semiconducteurs, 20 à 25% des circuits intégrés étant de type SiP.

Les SiP ont plusieurs avantages :

- un faible coût à la conception, un seul composant est testé et assemblé,
- une plus grande flexibilité,
- une réduction du coût de fabrication,
- une meilleure performance électrique et une réduction de la consommation vu que les interconnexions entre les puces sont plus courtes que les connexions classiques dans les MCM,

une réduction des complexités du composant ce qui simplifie la conception du produit,
Les SiP présentent plusieurs défis parmi lesquels :

- le besoin de garder thermiquement et mécaniquement stables les différentes connexions des puces tout en conservant le boîtier le plus fin possible.
- la nécessité d'avoir une méthode de test bien précise pour chacune des puces

Les SoC (« System on Chip ») permettent d'intégrer plusieurs fonctions sur un même circuit. Ils ont un fort taux d'intégration. Cependant cette solution est plus complexe que le SiP. Afin d'avoir un produit compétitif et augmenter l'efficacité du composant il est asticieux de combiner la solution SoC et SiP.

1.4 Méthodes d'interconnexion

La puce de silicium est assemblée sur un « leadframe » ou directement sur un substrat. L'assemblage peut être avec la face circuit dirigée vers le haut ou vers le bas. Il existe principalement trois techniques de connexions : microcâblage, connexion par microbilles et la connexion TAB. Dans les prochains chapitres la connexion par microbilles a été utilisée sur des exemples de boîtiers.

Ces connexions ont pour but principal d'assurer la connexion électrique entre le boîtier et la puce.[4][5][6]

1.4.1 La technique de microcâblage

La technique de microcâblage est la plus utilisée et la plus ancienne dans l'industrie électronique. Plus de 95% des boîtiers fabriqués (en volume) utilisent le microcâblage. Elle est connue aussi sous le nom de « Wire Bonding ». Avec cette méthode la puce est collée ou brasée sur un substrat avec la face circuit dirigée vers le haut. La connexion par microcâblage au boîtier se fait généralement par des fils en or, en aluminium et de plus en plus en cuivre, en utilisant des techniques ultrasoniques et de thermocompression. Le principe de base consiste à relier deux plots entre eux par un fil conducteur.

Il existe deux techniques de microcâblage : le « wedge bonding » qui est une technique unidirectionnelle et le « ball bonding » qui permet de connecter les puces dans toutes les directions.

1.4.1.1 Le « wedge bonding »

Cette méthode est effectuée avec la méthode ultrasonique en utilisant la pression et la vibration. Le fil de câblage utilisé est généralement en aluminium et aussi en or pour les applications d'hyperfréquences. La figure 1.3 présente les trois étapes principales de cette méthode. Le fil est d'abord connecté au plot sur la puce puis sur le deuxième plot sur le substrat enfin le fil est coupé. Cette technique utilise généralement une pression comprise entre 20 et 30g.



FIG. 1.3 – Méthode de Wedge Bonding[5]

1.4.1.2 Le « Ball bonding »

Le principe de la méthode « Ball bonding » consiste à utiliser un fil de câblage le plus fréquemment en or pour effectuer une connexion entre la puce et le substrat. Cette méthode est utilisée en température (100 à 200°C). La figure 1.4 présente les différents étapes utilisées. La première étape de cette méthode, la plus importante, consiste à la formation d'une boule d'or. Puis, souder cette boule sur le plot de sortie du circuit. Ensuite, grâce à un capillaire le fil est déplacé pour effectuer une deuxième soudure sur le substrat. Enfin le fil est coupé pour finaliser la connexion. Cette technique de ball bonding peut être faite par deux techniques :

- le câblage par thermocompression permet de créer une jonction par diffusion à haute température (200 à 400°C),
- le câblage thermosonique s'effectue à une température plus faible (100 à 150° C) en utilisant l'énergie ultrasonore.



FIG. 1.4 – Méthode ball bonding[5]

1.4.2 Connexion par microbilles

Avec la technique de connexion de microbilles, le circuit est dirigé vers le bas. Cette méthode a été développée par IBM et elle est connue sous le nom de C4 (Controlled Collapse

Chip Connection). Cette méthode permet d'avoir de meilleures performances, d'augmenter considérablement le nombre de connexions par rapport au microcâblage et d'accroître la densité d'intégration des circuits.

Le procédé consiste à déposer sur les plots de sortie de la puce un matériau de connexion, généralement de la brasure puis la puce est retournée (« flip chip ») et brasée sur un substrat. Les billes de connexion sont les seules contacts mécaniques entre la puce et le substrat. Après une étape de refusion de la brasure, qui permet d'assurer la liaison entre les plots, la connexion entre la puce et le substrat est établie.

Les contraintes générées par la différence de dilatation thermique entre la puce et le substrat vont se concentrer principalement sur les microbilles de connexion. Afin de réduire ces contraintes on peut utiliser une résine d'underfill pour remplir l'espace entre la puce et le substrat. La figure 1.5 présente un exemple de connexion à puce retournée utilisant des billes de brasure et de l'underfill entre la puce et le substrat. Le chapitre 4 traite l'influence de l'underfill dans la fiabilité d'un boîtier utilisant la connexion par microbilles.

La connexion par microbilles peut se faire aussi par des bossages en or (« stud bump ») qui ont une taille d'environ 20 à 30 µm de diamètre. Ces bossages sont réalisés à l'aide des microfils de câblage en créant une bille sur le plot de la puce. Puis la puce est retournée et collée sur le substrat par thermocompression.



FIG. 1.5 – Exemple d'assemblage « flip chip » utilisant les microbilles

1.4.3 Le TAB (« Tape Automated Bonding »)

La méthode TAB est un procédé d'assemblage d'une puce sur un film flexible généralement en polymide. Cette opération de connexion interne est appelée ILB (« Inner Lead Bonding »). Cependant l'opération de connexion du film sur le boîtier ou le substrat externe est appelée OLB (« outer lead bond »). La figure 1.6 présente un exemple de puce de silicium connecté avec la méthode TAB.



FIG. 1.6 – Exemple de puce connectée avec le TAB : la puce est connectée sur un substrat souple[7]

1.5 Procédé d'assemblage standard d'un boîtier

Les boîtiers sont fabriqués à l'aide d'une série de procédés. L'ordre et le nombre des étapes varient en fonction du type du boîtier. La figure 1.7 présente le procédé d'assemblage d'un boîtier utilisant un leadframe.[6]



FIG. 1.7 – Procédé d'assemblage d'un boîtier[6]

Les étapes utilisées sont les suivantes :

Amincissement, gravure et sciage de la plaque de silicium (« grind, etch, saw ») Dans un premier temps la plaque est amincie par des méthodes mécaniques et chimiques. Puis dans un deuxième temps les puces sont individualisées par des méthodes mécaniques ou laser.

Fixation de la puce (« die attach »)

Cette fixation consiste à coller la puce sur un métal à l'aide d'une colle spécifique. Les caractéristiques de la colle dépendent du procédé et des conditions d'utilisation du boîtier.

Microfil de câblage (« wire bonding »)

Cette étape a été présentée au paragraphe 1.4.1, l'objectif est de connecter les plots du circuit intégré au substrat.

Résine de protection (« Chipcoat »)

Afin de protéger la face supérieure du circuit intégré, une résine de protection appelée (« Chipcoat ») peut être utilisée en couvrant la face supérieure du circuit.

Résine de protection du boîtier (« Mould »)

A cette étape la puce et le substrat sont encapsulés dans une résine. Cette résine est injectée à haute pression et à haute température (environ 175°C). Cette résine durcit et permet la protection du boîtier et son bon fonctionnement.

Placage des broches par la brasure (« Solder plate »)

Les broches du boîtier sont traitées par la brasure pour faciliter l'assemblage sur le substrat.

Marquage, découpage et formage (« Mark, Trim & Form »)

Cette étape consiste à marquer le boîtier et à former les pattes comme par exemple pour les boîtiers de type SO.

Test final (« final test »)

Le boîtier est testé pour vérifier son fonctionnement.

Emballage (« Pack »)

A cette étape les circuits intégrés sont mis dans des emballages pour faciliter leur transport et leur stockage. Le type d'emballage dépend du niveau de sensibilité à l'humidité. Afin d'évaluer l'absorption d'humidité, on utilise le test de préconditionnement (« PRECON ») qui correspondent à plusieurs niveaux « MSL » (Moisture Sensitivity Level). Il existe six niveaux de MSL . Si le composant passe le niveau MSL1 (le plus sévère), le boîtier n'a pas besoin d'être protégé dans un emballage spécial qu'on appelle « dry pack ». Avec les autres niveaux MSL, cet emballage est nécessaire. La figure 1.8 présente un exemple de boîte protégée de l'humidité avec le « dry pack ».



FIG. 1.8 – Boîte protégée dans un « drypack »

1.6 Conclusion

Dans ce chapitre nous avons passé en revue quelques concepts d'assemblage et de boîtiers les plus utilisées, ainsi les principales méthodes d'interconnexions. Nous avons présenté aussi les différentes étapes de l'assemblage d'un composant électronique. Ces étapes sont génératrices de contraintes et peuvent entraîner dans certains cas l'apparition de défaillances.

Dans le prochain chapitre, nous allons présenter les méthodes pour évaluer la fiabilité des composants électroniques en phase de conception et de qualification. Le chapitre 3 de cette thèse présentera une méthodologie d'évaluation de la fiabilité prédictive et qui sera illustrée dans les chapitres (4, 5, 6 et 7) sur des exemples concrets.

Chapitre 2

Evaluation de la fiabilité des composants électroniques

2.1 Introduction

Les composants électroniques sont caractérisés par une augmentation croissante de la complexité des systèmes électroniques, d'une diversité des matériaux utilisées (microfils de câblage, différents couches de polymères, les brasures, du silicium, etc) et d'une miniaturisation de plus en plus présente. La prévision de la fiabilité de ces composants devient de plus en plus complexe.

La définition adoptée par la Commission électrotechnique internationale (CEI) pour définir la fiabilité s'énonce en ces termes : « Caractéristique d'un dispositif, exprimée par la probabilité qu'il accomplisse une fonction requise dans des conditions données, pendant une durée donnée»

Ainsi un dispositif fiable est celui qui fonctionne durant une durée déterminée sans aucune défaillance. Comme le montre la figure 2.1, la durée de vie d'un composant électronique dépend de l'application. Elle peut varier de quelques années pour les téléphones portables jusqu'à plusieurs décades pour les composants électroniques dans le domaine militaire et spatial. Les tests de fiabilité et de qualification dépendent principalement du profil de mission et de stockage. Dans ce chapitre, après avoir évoqué la notion de « Design For Reliability », nous passerons en revue les mécanismes de défaillance prépondérants des assemblages microélectroniques, et présenterons les tests de qualification destinés à les provoquer.

2.2 Notion de conception pour la fiabilité

Dans le but d'assurer qu'un composant électronique soit fiable, deux approches sont utilisées. La première consiste à effectuer des tests de qualification accélérés. La deuxième ap-



FIG. 2.1 – Durée de vie typique des composants électroniques [12][9]

proche consiste à évaluer la fiabilité dès la phase de conception. Ces deux approches sont complémentaires.

La première approche est la plus utilisée en industrie. Elle consiste à fabriquer le dispositif, à l'assembler sur un substrat puis à effectuer des tests accélérés (cycles thermiques, tests d'humidité,etc). Ainsi la fiabilité est testée après que le circuit intégré et le boîtier soient conçus. Si les résultats d'analyse de défaillance révèlent des défauts, le dispositif est amélioré et une deuxième série de tests est reconduite pour évaluer la fiabilité sur les tests qui ont échoué.

Cette méthode permet de bien détecter les défaillances et les analyser mais elle est très coûteuse et chronophage.

La deuxième approche consiste à évaluer et prédire les risques de défaillance dès la phase de conception du boîtier. La connaissance de ces mécanismes permet de concevoir et choisir les matériaux qui s'adaptent le mieux avec les conditions d'utilisation du dispositif. Une bonne connaissance des mécanismes de défaillances permet de minimiser et de réduire au minimum les risques de défaillances.

Cette évaluation à l'avance relève de la fiabilité prédictive et elle est appelée dans le monde de l'électronique : DFR (« Design For Reliability »).

Les études réalisées au cours de cette thèse utilisent cette deuxième approche, en évaluant les risques de défaillance lors de la phase de conception du composant.[8]

2.3 Mécanismes de défaillances



FIG. 2.2 – Répartition des mécanismes de défaillance[8]

Comme le montre le graphe de la figure 2.2, les mécanismes de défaillance peuvent être classés en deux catégories : mécanismes d'usure et mécanismes de surcharge.

Les mécanismes d'usure impliquent que l'action de défaillance est progressive et répétée sur une longue période pour entraîner la panne du système. Celle-ci pourra se produire à une faible contrainte. Dans ce groupe, ses origines peuvent être divisées en trois catégories : mécanique, électrique et chimique.

Les mécanismes de surcharge consistent à la défaillance du système sous l'effet d'une seule et forte contrainte qui dépasse le seuil de résistance du composant. L'origine de la défaillance peut être mécanique ou électrique.

La défaillance d'un système est souvent le résultat de défaillances sous-jacentes, comme par exemple la rupture d'un matériau, un court circuit, etc. Ces défaillances sur les composants sont détectées sur des composants réels par des pannes électriques, mais l'origine de ces défaillances peut être thermique, mécanique, chimique, etc.

Dans les prochains paragraphes, nous allons présenter plus en détail quelques mécanismes de défaillances, en particulier les problèmes thermomécaniques liées à la variation de la dé-
formation plastique et la rupture des puces de silicium. Dans les chapitres (4, 5, 6, 7 et 9) nous allons chercher à résoudre ces problèmes.

2.4 Méthodes de conception pour la fiabilité

Avec les mécanismes d'usure ou de surcharge, il est nécessaire d'évaluer les origines des défaillances pour réduire le risque d'apparition d'une panne et concevoir des systèmes fiables. Il est souvent difficile d'agir sur toutes les sources de défaillance en même temps. Dans certains cas si l'on essaye de réduire le risque d'apparition d'une défaillance on risque d'aggraver et d'augmenter le risque d'apparition d'autres défaillances.

De façon générale, utiliser la conception pour la fiabilité implique l'utilisation conjointe de deux approches :

- La première consiste à réduire les contraintes qui entraînent les défaillances
- La deuxième consiste à augmenter la résistance du composant pour réduire l'impact des contraintes

Dans les deux cas, une connaissance des mécanismes de défaillance probables est indispensable.

Ces actions s'accompagnent par des solutions diverses, notamment par un changement des matériaux et de la géométrie (épaisseur des couches de matériaux, taille,etc) ainsi que par une introduction de matériaux de protection.

2.4.1 Défaillances thermomécaniques

Les défaillances thermomécaniques sont le résultat d'une augmentation des contraintes et des déformations sous l'effet de chargements thermiques et de la dissipation thermique interne du boîtier. Les boîtiers électroniques sont composés de plusieurs matériaux ayant des coefficients de dilatation thermique (CDT) différents. Sous l'effet d'un chargement thermique les différents matériaux et la disparité des CDT, les contraintes et les déformations vont augmenter. Prenons l'exemple d'une puce assemblée sur un circuit imprimé par des billes de brasures. La disparité dans les valeurs de CDT (silicium : 2,8 ppm/K; brasure : 23ppm/K et circuit imprimé : 17 ppm/K) entraîne d'importantes forces de cisaillement sur la brasure. Une répétition progressive de ce cisaillement est un mécanisme d'usure par fatigue. Ceci est une source importante d'apparition de défaillances dans la brasure. D'autres défaillances résultant de contraintes thermomécaniques peuvent aussi apparaître comme les délaminations et la rupture de la puce de silicium.

2.4.2 Conception pour réduire le risque de rupture fragile

La rupture des matériaux fragiles comme la céramique, le silicium et le verre est atteinte par le mécanisme de surcharge. Cette défaillance est appelée « rupture fragile ». Elle pourrait être observée dans les boîtiers contenant les circuits intégrés de silicium. Lorsque la contrainte appliquée sur un boîtier atteint une valeur critique on peut prévoir une rupture fragile du silicium.

Pour réduire ce risque on peut utiliser deux méthodes :

- Réduire les contraintes appliquées en utilisant des procédés et des matériaux qui produisent moins de contrainte.
- La résistance d'un circuit intégré en silicium dépend de la qualité de surface et de sciage du matériau. Ainsi en améliorant la qualité de rodage et en réduisant les défauts sur les bords, on peut réduire le risque de rupture fragile.

2.4.3 Conception pour réduire la déformation plastique

La déformation plastique est atteinte lorsque la déformation dépasse la zone élastique d'un matériau. Le graphe de la figure 2.3 présente la contrainte en fonction de la déformation d'un matériau. Au dessous de cette limite, le matériau est en zone élastique et au dessus, il est en zone plastique. La déformation plastique n'affecte pas directement le fonctionnement électrique cependant l'accumulation continue et excessive de cette déformation plastique par des chargements cycliques pourrait conduire à la fissuration des couches de matériaux et entraîner la défaillance du composant.



FIG. 2.3 – Courbe de la contrainte en fonction de la déformation pour un matériau élastoplastique

Afin de réduire le risque de déformation plastique on pourrait utiliser deux méthodes :

- La première approche consiste à réduire les contraintes appliquées sur le matériau car la déformation plastique se produit lorsque les contraintes appliquées sur le boîtier dépassent la limite élastique du matériau le plus fragile
- Une deuxième approche consiste à contrôler la déformation plastique locale en modifiant la conception pour éviter les zones de concentration de contraintes et essayer de la réduire au minimum

2.5 Tests de qualification

2.5.1 Objectif des tests accélérés

Les tests approfondis de fiabilité doivent être effectués afin de pouvoir qualifier un composant. La durée de vie de la plupart des composants est de plusieurs années. Ainsi, il est difficile de les éprouver dans les conditions réelles. Par conséquent, afin d'effectuer les tests de fiabilité sur un intervalle de temps raisonnable, nous utilisons des essais accélérés au laboratoire dans un environnement contrôlé. Avec ces tests, les dispositifs sont soumis à des contraintes plus sévères afin d'accélérer l'apparition des défaillances. Parmi les tests les plus utilisés on peut citer les cycles thermiques, les tests d'humidité et les tests de vibration.

En pratique, à partir du cahier de charge, on convertit à l'aide des facteurs d'accélération, qui doivent être valides, le temps réel à la rupture en temps de rupture avec les tests accélérées. Ce temps correspond à la durée nécessaire pour valider le test. Puis, le test de fiabilité accéléré est effectué. Enfin les résultats du test permettent de valider ou pas le produit. Il faudrait aussi, s'assurer que les conditions d'accélération ne génèrent pas de nouveaux phénomènes physiques, non pris en compte dans l'interprétation des résultats.

Parmi les modèles d'accélération, on peut noter le modèle de Coffin-Manson utilisé pour les tests de fatigue thermomécanique et le modèle de Peck utilisé pour les tests d'humidité.[10]

2.5.2 Principaux tests de qualification et leur planification

2.5.2.1 Principaux tests de qualification

Les tests de fiabilité sont utilisés afin de simuler le comportement du produit dans son environnement d'utilisation. Il y a plusieurs tests standards qui ont été définis afin d'accélérer les phénomènes de défaillance. Les différents tests ont été standardisés, parmi les organismes qui les ont répertoriés on trouve le JEDEC (« Joint Electronic Device Engineering Council ») et l'IPC (« Institute for Interconnection and Packaging Electronic Circuits»). Les tests les plus utilisés pour la qualification des boîtiers électroniques sont répertoriés dans le tableau 2.1. Avec les cycles thermiques, le composant est soumis à des variations de température afin d'évaluer la résistance des connexions et l'ensemble du circuit dans ces conditions. Le choix du cycle de température dépend de l'application étudiée et des exigences du profil de mission.

Les tests (PPOT, THBS/ THBC, HAST et UHST) combinent une variation de la température, de la pression et de l'humidité. Ils permettent une accélération de l'absorption de l'humidité par le composant à la condition que le circuit dissipe une puissance inférieure à 100 mW afin de permettre à l'humidité de migrer. Si cette puissance ne pouvait pas être réduite il faudrait faire du cyclage avec (une heure en mode « On » et deux heures en mode « Off »). Avec le THBS/THBC la tension électrique (« bias ») permet une accélération de cette absorption. Ces tests permettent d'accélérer l'apparition des défaillances liées à l'humidité comme la corrosion, la délamination et l'électromigration.

Avec le test HTSL le composant est soumis à une température constante de 150°C. Ce test permet de simuler les conditions de stockage et d'utilisation en continu.

Environnement du test	Abréviation	Abréviation Conditions des contraintes	
Preconditionnement	PCON	Niveau d'humidité 1à 6	Passage de niveau
cycles thermiques de type C	TMCL « C »	$-65^{\circ}C a + 150^{\circ}C$	200 cycles
cycles thermiques de type B	TMCL « B »	$-55^{\circ}C a + 125^{\circ}C$	500 cycles
« Pressure Pot Test »	PPOT	121°C, 100%RH	96 heures
« Unsaturated Pressure cooker »	UHST	130°C, 85%RH	96 heures
« Temperature Humidity Bias,	THBS	85°C, 85%RH	1000 heures
Static/Cycled Test »	/THBC		
Test de contrainte hautement accélérée	HAST	130°C, 85%RH	96 heures
Test de stokage à haute température	HTSL	150°C	1000 heures
« High Temperature Operating Life »	HTOL	150°C	1000 heures

TAB. 2.1 – Tests de qualification

2.5.2.2 Planification des tests de qualification

La figure 2.4 présente la méthode générale avec laquelle les tests de qualification sont effectués. On peut remarquer que le test de préconditionnement est effectué avant les tests d'humidité et les cycles thermiques. [11]

Le test de préconditionnement est un test sous humidité. Ce test est composé de six niveaux, le premier niveau est le plus sévère avec 85% d'humidité et une température de 30°C pour une durée de 168 heures. Le sixième niveau est le plus faible. Il est effectué à 60% d'humidité et 30°C de température pour une durée de 6 heures.



FIG. 2.4 – Planification des tests accélérés : le test de préconditionnement est utilisé uniquement avec les cycles thermiques et les tests d'humidité

2.6 Analyse des défaillances thermomécaniques

Les tests thermomécaniques effectués sur un boîtier électronique produisent plusieurs données qu'il faut analyser dans le but de :

- mieux comprendre le mécanisme de défaillance,
- prévoir des règles de conception qui permettent de réduire le risque de défaillance,
- développer des modèles prédictifs dans le but d'améliorer la fiabilité.

Les contraintes thermomécaniques sont une source de défaillance et d'apparition de rupture lorsque ces contraintes dépassent la résistance mécanique des différents élements qui composent le circuit intégré. Ces contraintes sont une réponse par exemple à une force appliquée sur le boîtier ou une variation de la température.

La résistance à la rupture est liée aux différents matériaux notamment la résistance à la fatigue pour les matériaux ductiles comme la brasure, la rupture fragile pour les matériaux comme le silicium et la céramique, etc.

Cette variation de contrainte est de plus en plus complexe dans les boîtiers électroniques. Afin de pouvoir évaluer le risque d'apparition de défaillance nous utilisons différents outils qui permettent de les évaluer et de les quantifier. Ces outils sont par exemple les AMDEC (Analyse des Modes de Défaillances, de leurs Effets et de leur Criticité) connu aussi sous le nom de FMEA(« Failure Modes and Effects Analysis ») complétés par des évaluations des risques.

L'évaluation des contraintes et des déformations peut être effectuée à l'aide d'outils numériques de modélisation. La méthode consiste à modéliser par la méthode d'éléments finis le boîtier ou une partie du boîtier. Cette méthode permet d'une part une bonne évaluation de la distribution des contraintes et des déformations sur les différentes couches. D'autre part elle permet d'aider à une évaluation plus rapide et à un coût plus faible des zones les plus critiques dans le composant.

2.7 Conclusion

L'augmentation des fonctions des systèmes électroniques en boîtier entraîne un plus grand degré de complexité des circuits intégrés. Ceci entraîne une augmentation du nombre de connexions et la complexité des boîtiers.

Les systèmes électroniques sont soumis à différents modes de défaillances qui dépendent principalement des conditions d'utilisation. Utiliser le concept « Design For Reliability » permet de concevoir en réduisant les risques de défaillance. Cette étape permet un gain de temps et de coût dans le développement d'un dispositif.

Les défaillances électriques d'un système sont produites par des défaillances mécaniques, thermomécaniques, chimiques ou électriques. Ces facteurs de défaillance peuvent agir individuellement ou groupés.

Les tests de qualification sont effectués lorsque le composant est conçu afin d'évaluer les modes de défaillance et leurs mécanismes. Cette phase est souvent longue et coûteuse mais nécessaire pour qualifier un composant. En effet si des défaillances sont constatées, il faudra trouver la cause du problème et apporter les modifications au produit en conséquence. Puis refaire une qualification avec le test qui a échoué.

Les outils de modélisation numérique permettent une évaluation efficace des zones critiques dans un boîtier et une aide considérable durant la phase de conception.

Les chapitres suivants de cette thèse présentent un développement plus en détail d'une méthodologie de fiabilité prédictive basée sur les simulations numériques et les tests expérimentaux. Elle est ensuite mise en oeuvre sur des cas réels de boîtiers électroniques.

Chapitre 3

Méthodologie de fiabilité prédictive

3.1 Introduction

Les besoins de miniaturisation et le développement de nouveaux concepts de composants électroniques et d'assemblage sont accompagnés par l'utilisation d'outils avancés de conception et de prototypage virtuel.

Avec le progrès dans le domaine de la modélisation numérique, il est possible aujourd'hui d'avoir dans certains cas un traitement réaliste des phénomènes physiques. Ainsi plusieurs phénomènes sont traités par simulation numérique.

Les outils de prototypage virtuel permettent d'accélérer l'étape d'évaluation de la fiabilité et d'identification des zones critiques. Les tests expérimentaux permettent de compléter et de vérifier les résultats de simulation. Les plans d'expérience et les méthodes statistiques aident au traitement et à l'analyse des résultats de simulation.

La mise en place d'une méthodologie permet d'avoir une structure pour évaluer la fiabilité et concevoir de nouvelles solutions de modélisation.

Il faut distinguer le prototypage virtuel en phase de conception et la qualification virtuelle :

- utiliser le prototypage pour la conception implique son utilisation en phase de conception en respectant les fonctionnalités du circuit intégré et les exigences du cahier des charges sans tenir compte des tests de fiabilité. Dans cette phase, les simulations permettent d'identifier les zones critiques du composant et d'aider à la phase d'optimisation,
- en phase de qualification, les simulations permettent l'évaluation du comportement des composants électroniques sous les tests de qualification et les conditions réelles d'utilisation. L'objectif est de réduire la durée et le coût des tests réels de fiabilité.

Ce chapitre est consacré à la description de la méthodologie de fiabilité, que nous avons développée. Il est composé de six sections :

– la section 3.2

- la section 3.3 présente les différentes étapes de la méthodologie,
- les quatre sections suivantes (3.4, 3.5, 3.6 et 3.7 se focalisent sur certains éléments clés de cette méthodologie :elles décrivent successivement les plans d'expérience, la méthode par éléments finis, les critères de défaillance et le rôle de l'expérimentation,
- enfin, une introduction à la modélisation multi-physique des composants électroniques est présentée à la section 3.8.

3.2 Intérêt et besoins du prototypage virtuel et des simulations

Afin de pouvoir répondre aux demandes d'évolution, les industriels sont tenus de concevoir des systèmes de plus en plus petits et de complexité croissante. Ceci est accompagné par une augmentation des coûts de R&D, de conception et de production liées aux avancées technologiques.

Les produits doivent fonctionner dans de nombreux environnements qui interagissent simultanément les uns avec les autres, la notion de fiabilité est définie par rapport à la performance du système entier.

La compétition fait raccourcir les plannings de conception et de développement, ce qui entraîne des besoins de collaboration intenses entre des équipes multidisciplinaires.

Le prototypage et le test des produits forment un processus itératif et de plus en plus coûteux. Ils entraînent de nombreuses expérimentations. Face à ces défis, de très nombreux industriels utilisent aujourd'hui des outils d'ingénierie assistée par ordinateur. Les analyses de plus en plus nombreuses peuvent être traitées. Les concepteurs et ingénieurs peuvent donc avoir une compréhension plus précise des caractéristiques de performances du produit.

L'objectif du prototypage virtuel est d'une part prédictif afin de pouvoir optimiser, prédire, qualifier et concevoir les performances avant la phase de conception des prototypes physiques et de qualification. D'autre part, le prototypage virtuel peut aider pour les actions correctives afin de résoudre les problèmes de défaillance.

L'utilisation d'outils de simulation et de prototypage virtuel est bien adaptée pour aider à l'évaluation des zones les plus fragiles, la mise en place des règles de conception et la détermination des paramètres les plus influents avec une réduction du temps de mise en marché d'un produit fiable et une optimisation des performances.

La technologie microélectronique est caractérisée d'une part par une augmentation de la complexité, du risque de défaillance et des difficultés pour satisfaire les exigences de robustesse et d'autre part par une réduction du temps consacré pour le dévelopement, la qualification et la mise en marché d'un produit fiable.

Une grande part des défaillances des composants électroniques est dûe à des problèmes

thermomécaniques. Ces défaillances sont souvent générées par des phénomènes physiques non pris en compte. Ceci est le résultat d'un manque de connaissances relatives au comportement des nouvelles structures et des nouveaux matériaux sous des contraintes thermomécaniques. L'analyse des contraintes dans les structures permet de mieux évaluer les zones critiques afin d'améliorer le rendement et la fiabilité des structures étudiées. L'élaboration de règles de conception pour les nouvelles architectures nécessite la validation de plusieurs étapes pour élaborer un produit fiable.

Les phases de qualification et d'évaluation de la robustesse sont généralement traitées à la suite de la préparation de prototypes physiques par l'utilisation de tests accélérés et l'estimation du risque de défaillance.

La qualification de nouveaux composants nécessite la mise en place de plusieurs types de tests. Ces tests sont souvent longs et coûteux. Cette conception fondée uniquement sur l'expérience ne peut pas conduire à des produits compétitifs.

Afin de réduire le coût et le temps de développement de nouveaux produits tout en améliorant la fiabilité, des nouvelles méthodes d'évaluation de la fiabilité doivent être en mesure de parvenir à une réduction substantielle des coûts de la conception du produit, de l'analyse de la fiabilité et des essais de qualification des produits.

Aujourd'hui les simulations thermomécaniques interviennent de plus en plus pour aider à la phase de conception et de qualification des composants.

Le rêve et l'objectif optimal sont de pouvoir concevoir et qualifier les composants électroniques en utilisant essentiellement les outils de prototypage virtuel.

L'efficacité du prototypage virtuel est améliorée par l'utilisation de méthodes avancées d'optimisation pour converger vers la meilleure conception et d'outils d'exploration comme les plans d'expériences pour déterminer les paramètres influents.

Parmi les difficultés rencontrées pour la modélisation des composants électroniques, on peut noter la complexité de la géométrie qui est caractérisée par des non-linéarités et l'aspect multiphysique qui consiste en l'utilisation de plusieurs procédés et de plusieurs matériaux pour la conception du composant final.

3.3 Présentation de la méthodologie

3.3.1 Les bases de la méthodologie de prototypage de composants électroniques

Avec la complexité croissante de la technologie microélectronique, caractérisée par des multi-linéarités, des multi-procédés et des multi-paramètres, on cherche de plus en plus à utiliser le prototypage virtuel afin de prévoir, concevoir et optimiser les caractéristiques des composants électroniques et leurs performances avant les étapes de conception et de qualification.

Afin de réussir cette étape de prototypage et d'optimisation on doit d'une part se baser sur des modèles de simulation fiables et efficaces. D'autre part, il faut utiliser des méthodes de simulation avancées basées sur des méthodes d'optimisation. ([2], [17], [18])

Comme le montre le graphe de la figure 3.1a ces deux étapes forment une base sur laquelle on peut atteindre les objectifs du prototypage virtuel.

Le graphe de la figure 3.1b présente les outils et les méthodes pour aboutir à des modèles précis et efficaces, parmi lesquels on peut citer :

- des méthodes expérimentales efficaces pour vérifier les modèles de simulation,
- des algorithmes fiables pour la modélisation non linéaire en éléments finis,
- des méthodes de caractérisation et de modélisation des propriétés des matériaux,
- une modélisation en fonction de l'évolution des défaillances,
- les données d'entrée liées aux paramètres du produit et aux procédés de fabrication.

La modélisation nécessite une précision et une efficacité dans le traitement du problème. L'efficacité est nécessaire mais dans certains cas elle coûte cher en temps de calcul de modélisation des réponses complexes. La précision est essentielle mais dépend de l'application elle peut être quantitative ou qualitative. Il est souvent nécessaire de mettre des hypothèses, dans le but d'une part de simplifier le modèle tout en gardant une évaluation suffisamment proche et représentative de la réalité.

Le prototypage virtuel se base aussi sur l'utilisation de méthodes avancées de modélisation et d'optimisation. Ceci implique l'utilisation :

- des plans d'expériences avancés,
- des méthodes de surface de réponse pour modéliser les réponses non linéaires,
- d'une structure qui permet de relier les simulations avec les plans d'expériences et les méthodes avancées d'optimisation.



(a) Stratégie générale (b) Développement de modèles fiable et efficace

FIG. 3.1 – Bases du prototypage virtuel de composants électroniques[17]

3.3.2 Description de la méthodologie

A partir de la description faite au paragraphe 3.3.1, issue de la bibliographie, nous avons développé une méthodologie de fiabilité prédictive. Cette méthodologie, présentée à la figure 3.2, est basée sur la création de modèles paramétrés et fait appel à des techniques avancées de modélisation et de traitement statistique. Elle est composée de plusieurs étapes, que nous décrivons dans ce chapitre de façon générale. Les chapitres suivants illustreront plus concrètement la mise en application de cette méthodologie.

Problématique de l'étude

La première étape de la méthodologie consiste à décrire l'objectif de l'étude et à en définir les contours. Avant de commencer l'étude, il est important de bien préciser le problème et d'analyser les données disponibles. L'objectif pourrait être par exemple une optimisation d'un procédé, une évaluation générale d'un produit ou une évaluation d'un point particulier. Il est important aussi de vérifier si les outils disponibles sont compatibles avec la résolution du problème. Ceci implique éventuellement la mise en place d'hypothèses pour simplifier l'étude. Le problème à étudier pourrait mener à faire une étude locale ou globale de la structure. En termes industriels cette étape consiste à étudier le cahier des charges de l'étude.



FIG. 3.2 - Méthodologie de fiabilité prédictive : Cette méthodologie est basée sur la création de modèles paramétrés, la modélisation par éléments finis, des méthodes statistiques et des tests expérimentaux

Paramètres

Les paramètres correspondent aux variables physiques qui caractérisent le composant. Dans l'évaluation statistique du modèle, ces paramètres se transcrivent en facteurs. Cette partie est composée de trois étapes. Il faut d'abord répertorier tous les facteurs (discrets ou continus, quantitatifs ou qualitatifs) qui peuvent avoir une influence sur le problème. Ensuite, si le nombre de facteurs est très élevé, on procède à une sélection des facteurs à évaluer et on fixe les autres facteurs à des valeurs moyennes. Enfin, on associe à chaque facteur un domaine de variation. Il ne faut pas que le champ de variation soit très grand ou très petit. L'estimation est effectuée en prenant en compte les conditions réelles d'utilisation.

Plan d'expériences numériques

A cette étape on choisit le plan d'expériences approprié avec le nombre d'expériences numériques adéquat pour remplir l'espace d'étude. Ce choix dépend de plusieurs paramètres notamment le nombre de facteurs et l'objectif de l'étude. Grâce au plan d'expérience on génère une série de combinaisons de facteurs avec les réponses qui correspondent au résultat de sortie. Cette partie ne nécessite pas de prototype réel et le nombre d'expérience est souvent limité par la complexité du modèle et le coût de l'étude en temps de calcul.

Simulation

Au cours de la phase de simulation, on construit le modèle par éléments finis. La précision et l'efficacité du modèle nécessitent une précision sur les propriétés des matériaux, les interfaces, la géométrie et les contraintes appliquées sur le composant. Le développement des modèles paramétrés permet de faciliter l'utilisation de plans d'expérience et de réduire le coût de l'étude. A cette étape, on définit aussi au préalable les réponses du modèle qui permettent d'évaluer l'influence des facteurs et répondre à la problématique.

Surface de réponse

Les surfaces de réponse correspondent aux différentes techniques mathématiques et statistiques utilisées pour analyser le problème. A cette étape, il s'agit d'utiliser des méthodes d'optimisation appliquées à des essais numériques. On utilise des méthodes statistiques pour traiter les résultats, évaluer l'influence des différents paramètres d'entrée. L'objectif est de bien comprendre le modèle et la relation entre les facteurs et les réponses. Les surfaces de réponse permettent aussi de prédire la réponse du modèle dans d'autres points du domaine expérimental. Par exemple, en ayant la réponse d'un facteur à des valeurs extrêmes dans le domaine expérimental, on pourra prévoir la réponse à des valeurs intermédiaires. On utilise à cette étape aussi des méthodes statistiques d'analyse de variance pour vérifier la qualité du modèle et l'adéquation des méthodes statistiques utilisées.

Essais expérimentaux et validation du modèle

Les tests expérimentaux permettent de contribuer à la précision des simulations et interviennent principalement à deux niveaux :

- avant les expériences pour caractériser les matériaux et les critères de rupture,
- après les simulations pour compléter et vérifier les résultats de simulations. La modélisation nécessite la mise en place d'hypothèses et de simplifications. L'étude de composants réels permet de vérifier ces hypothèses et la validité des résultats.

Après vérification du modèle par rapport aux données d'entrée et les conditions du cahier des charges, il est validé. Sinon on passe à une phase d'amélioration du modèle numérique.

Dans les paragraphes suivants nous allons détailler plus précisément les étapes de plans d'expérience, la modélisation en éléments finis, les critères de rupture et les essais expérimentaux. Nous passerons en revue différentes techniques proposées par la bibliographie pour nous focaliser sur celles que nous avons choisi d'utiliser pour ce travail.

3.4 Plans d'expérience numériques et méthodes d'optimisation

3.4.1 Introduction

Les plans d'expérience sont basés sur des outils statistiques. Ils permettent de structurer les expériences et de chercher la relation entre les facteurs d'entrée et les réponses de sortie. C'est une approche qui permet d'avoir un maximum d'information avec un minimum d'expériences. Les plans d'expérience permettent également de quantifier l'influence des facteurs.

3.4.2 Plans d'expériences numériques

Les plans d'expérience numériques sont à distinguer des plans d'expérience physiques (sur des composants réels) dans un certain nombre de points. En effet, avec les expériences numériques on a des facteurs liés au modèle physique mais aussi des facteurs relatifs au modèle numérique tels que le type de maillage et les méthodes de calcul utilisées. Les facteurs du modèle physique n'ont souvent pas de contrainte expérimentale pour limiter leur variation ce qui laisse plus de liberté sur le choix de l'espace expérimental. D'autre part, les expériences numériques ont un aspect déterministe. Ceci implique que la répétition d'un essai avec les mêmes conditions donne le même résultat. Les expériences sur des prototypes physiques sont caractérisées par une erreur expérimentale qui est due aux mesures et aux dispersions expérimentales ce qui justifie la répétition des essais. Avec les expériences numériques l'erreur est liée plutôt au modèle numérique. [19]

Il existe plusieurs types de plans d'expérience adaptés pour différents types d'applications. On peut classer les plans en deux grandes catégories : d'une part les plans orthogonaux qui correspondent aux méthodes de plans d'expérience classiques et d'autre part les plans d'expérience plus avancées qui utilisent des méthodes mathématiques avancées notamment sur des tirages de type Monte Carlo.

Les plans classiques sont basés sur un modèle polynomial et regroupent plusieurs types de plans, parmi lesquels on peut citer les plans factoriels (complets et fractionnaires) et les plans pour surface de réponse. Dans ce travail nous avons utilisé les plans orthogonaux.[13][20]

3.4.3 Objectifs des études par plans d'expérience

Avec les plans orthogonaux on peut avoir principalement deux objectifs d'étude :

 Modèle pour le criblage : le criblage est utilisé pour identifier les paramètres influents et évaluer la réponse dans le domaine expérimental. Ce plan permet de réduire le nombre de facteurs total à étudier. Cet objectif implique souvent l'utilisation de plans factoriels fractionnaires. 2. Modèle pour les surfaces de réponse : aprés l'étape de criblage, on peut utiliser les plans de surface de réponse afin d'identifier et d'évaluer une approximation et une meilleure optimisation des réponses en utilisant des modèles mathématiques.

Avec ces plans, on peut déterminer un modèle mathématique entre les facteurs d'entrée et de sortie.

3.4.4 Plans orthogonaux

3.4.4.1 Modélisation polynomiale

On peut modéliser la relation entre la réponse et les facteurs du plan d'expérience par un développement limité de la série de Taylor présenté à l'équation 3.1.[13]

$$y = a_0 + \Sigma a_i x_i + \Sigma a_{ij} x_i x_j + \Sigma a_{ii} x_i^2 + \varepsilon$$
(3.1)

Dans cette équation la réponse obtenue par les expérimentations est désignée par y. Les paramètres x_i et x_j sont respectivement les niveaux des facteurs i et j. Les paramètres a_0, a_i , a_{ij} et a_{ii} sont les coefficients du modèle mathématique. ε correspond au terme d'erreur.

3.4.4.2 Plans factoriels complets

Avec les plans factoriels complets, toutes les combinaisons d'ordre 1 sont effectuées. La figure 3.3a présente un exemple de plan factoriel complet avec trois facteurs à deux niveaux et un total de 8 essais. [20]

Avec ce type de plan, le nombre d'expériences augmente considérablement avec l'augmentation du nombre de facteurs et de niveaux. Ce plan est adapté pour 2 ou 3 facteurs et devient inutilisable avec un nombre élevé de facteurs.



(a) Plan factoriel complet pour trois fact eurs ${\rm :}2^3$

(b) Plan factoriel fractionnaire pour trois facteurs 2^{3-1}

FIG. 3.3 – Plans factoriels complet et fractionnaire

3.4.4.3 Plans factoriels fractionnaires

Avec l'augmentation du nombre de facteurs les plans factoriels fractionnaires sont une alternative pour remplacer les plans factoriels complets. Avec ces plans nous étudions une partie du plan complet factoriel tout en réduisant le nombre de simulations à effectuer. L'objectif est souvent l'évaluation de l'influence des facteurs. Le principal avantage est de pouvoir étudier plusieurs facteurs avec un minimum d'essais. On appelle aussi ces plans des plans de criblage. [20]

En prenant l'exemple de 3 facteurs à 2 niveaux présenté à la figure 3.3b, avec un plan fractionnaire on peut utiliser un plan avec 2^{3-1} soit 4 essais en divisant par deux le nombre d'expérimentations à effectuer par rapport à un plan factoriel complet.

Les plans factoriels complets et fractionnaires prennent en compte le niveau 1 du polynôme de l'équation (3.1), c'est-à-dire les effets principaux et les interactions entre les facteurs. Pour prendre en compte les effets quadratiques on utilise des plans pour surface de réponse.

3.4.5 Plans pour surface de réponse

Avec les plans pour surface de réponse, on fait intervenir les coefficients principaux des paramètres, les interactions et les effets quadratiques. Ce sont des plans de second degré. Pour deux facteurs la réponse peut s'écrire sous la forme de l'équation 3.2.

$$y = a_0 + a_1 x_1 + a_2 x_2 + a_{12} x_1 x_2 + a_{11} x_1^2 + a_{22} x_2^2 + \varepsilon$$
(3.2)

Ces plans sont utilisés avec des variables continues. Il y a plusieurs types de plans par surface de réponse parmi lesquels on peut citer les plans composites, les plans de Box-Behnken et les plans de Doehlert. [14][23]

3.4.5.1 Plan composites

Un plan composite est composé de trois parties :

- un plan factoriel complet ou fractionnaire à deux niveaux,
- des points axiaux sur les bords du domaine : ces points sont situées à une distance α du centre ,
- un point central pour évaluer la variation du phénomène.

La figure 3.4 est la représentation d'un plan à deux facteurs composé par des points axiaux. Les plans composites sont utilisés pour compléter un plan factoriel afin d'étudier les réponses d'ordre 2. Le nombre d'essais réalisés par ce type de plans augmente rapidement avec l'augmentation du nombre des facteurs.



FIG. 3.4 – Plan composite

3.4.5.2 Plan de Box-Behnken

Les plans de Box-Behnken sont une alternative aux plans composites. Avec ces plans les points expérimentaux sont au centre des arêtes. Ils permettent de traiter un plan avec au moins trois facteurs. La figure 3.5 montre un exemple de plan de Box-Bhenken pour trois facteurs. Le numéro de chaque essai sur les différents points indiquent les coordonnées de chaque point suivant le tableau 3.1. Ce plan contient 13 essais : 12 points sur la zone médiane des arêtes et un point central pour le $13^{\grave{e}me}$ essai. Avec ce plan de Box-Behnken, 13 tests sont suffisants au lieu de 3^3 , c'est-à-dire 27 tests.

Les niveaux (-1,0 et 1) correspondent respectivement aux niveaux bas, moyen et haut de chacun des facteurs x_1 , x_2 et x_3 .



FIG. 3.5 – Plan de Box-Behnken[23]

N°	X1	X2	X3
1	0	-1	-1
2	1	0	-1
3	0	1	-1
4	-1	0	-1
5	-1	-1	0
6	1	-1	0
7	1	1	0
8	-1	1	0
9	0	-1	1
10	1	0	1
11	0	1	1
12	-1	0	1
13	0	0	0

TAB. 3.1 – Plan de Box-Behnken

3.4.5.3 Plan de Doelhert

Avec les plans de Doelhert on a une répartition uniforme des points dans le plan. Ils sont équidistants du point central. La figure 3.6 présente un exemple de plan avec deux facteurs : la forme obtenue est un hexagone.

L'avantage de ces plans est la possibilité de faire une translation du domaine d'étude sans être obligé de refaire la totalité des essais, en ajoutant des essais dans un domaine adjacent au domaine initial.[24]



FIG. 3.6 – Plan de Doehlert

Dans cette thèse nous avons utilisé principalement les plans factoriels fractionnaires et dans certains cas les plans factoriels complets.

3.4.6 Evaluation de la qualité du modèle statistique et de l'influence des facteurs

L'utilisation de plans d'expérience permet d'évaluer l'influence des facteurs sur les réponses. Pour pouvoir évaluer cette influence, on évalue dans un premier temps l'adéquation du modèle statistique avec la réponse en étudiant la régression et la distribution des résidus. Si ce test est validé, on peut passer à l'évaluation de l'influence des facteurs. L'objectif est d'avoir une évaluation fiable du modèle statistique. [20, 15]

3.4.6.1 Evaluation de l'adéquation du modèle statistique

Il existe plusieurs méthodes pour évaluer la qualité du modèle statistique, parmi lesquelles on peut citer d'une part l'évaluation des coefficients de détermination \mathbb{R}^2 et de prédictivité \mathbb{Q}^2 et d'autre part la comparaison de la régression et des résidus. Ces méthodes sont généralement intégrées dans les logiciels de traitement statistique.

 R^2 : Ce paramètre correspond au rapport de la somme des carrés des réponses calculées (corrigées de la moyenne) par la somme des carrés de réponses mesurées (corrigées de la moyenne)

 Q^2 : Ce paramètre correspond au rapport de la somme des carrés de réponses prédites (corrigées de la moyenne) par la somme des carrés de réponses mesurées (corrigées de la moyenne)

3.4.6.1.1 Evaluation des coefficients R^2 et Q^2

Les valeurs de ces deux paramètres R^2 et Q^2 sont comprises entre 0 et 1. L'évaluation de ces deux facteurs nous permet d'avoir une bonne évaluation du modèle. La gamme de valeurs acceptables pour ces deux paramètres dépendent du type de données analysées. Plus la valeur de ces paramètres est proche de 1, plus la qualité du modèle statistique est bonne.

3.4.6.1.2 Analyse de variance

La méthode d'analyse de variance est utilisée pour chercher les origines de variation de la réponse et vérifier le modèle par une analyse de la régression et une analyse des résidus.

La variation totale de la réponse (SC_{Total}) , présentée à l'équation 3.3, est composée par la somme de la variation des carrés de régression $(SC_{régression})$ et la somme des carrés des résidus $(SC_{résidus})$.

$$SC_{Total} = SC_{régression} + SC_{résidus} \tag{3.3}$$

Pour comparer ces deux quantités , on compare la moyenne des carrés de variance de la régression ($MC_{régression}$) et la moyenne des carrés des résidus ($MC_{résidus}$) en effectuant le rapport des deux quantités par le test de fisher(« f-test »). Un modèle est considéré valide si $MC_{regression} \gg MC_{résidus}$. La moyenne des carrés de variance correspond au rapport de la somme des carrés divisée par le nombre des degrés de liberté.

3.4.6.2 Influence des facteurs

La comparaison des coefficients a_{ij} de l'équation 3.1 permet d'évaluer l'influence des facteurs. Les coefficients sont évalués par rapport à l'écart type σ .

On considère un coefficient a_{ij} (issu du modèle polynomial) et son écart type σ_{ij}

– Si $a_{ij} >> \sigma_{ij}$ le coefficient est influent

– Si $a_{ij} \ll \sigma_{ij}$ le coefficient n'est pas influent

La comparaison est effectuée en calculant le rapport entre le coefficient et l'écart-type qu'on appelle le « t de student ».

A partir de la valeur obtenue par le test « t de student », on peut prévoir si le coefficient est influent ou pas. Cette probabilité est appelée « p-value ». Cette probabilité correspond à la probabilité de se tromper en supposant que le paramètre est influent :

- Si la « p-value » est proche de zéro, le coefficient est influent.
- Si la « p-value » est proche de 1 le coefficient n'est pas influent.
- Si la « p-value » a une valeur intermédiaire, l'influence dépendra du seuil fixé au préalable et le coefficient peut être légèrement influent ou non influent.[15]

3.5 Introduction à la méthode d'éléments finis

3.5.1 Introduction :

Afin de caractériser les composants électroniques sous des contraintes thermomécaniques on a souvent besoin d'évaluer les réponses de sortie comme le déplacement et la distribution des contraintes et des déformations. La méthode d'éléments finis est une solution adéquate pour faciliter cette opération et obtenir des résultats numériques pour des structures complexes.

La réalisation d'un calcul en éléments finis nécessite une formalisation du problème en un modèle numérique, une évaluation au préalable du niveau de confiance relatif aux résultats et une interprétation des résultats obtenus. Ces résultats sont basés sur les données d'entrée et les hypothèses de modélisation.

Les principales difficultés de cette méthode sont situées dans deux phases. D'une part avant la mise en place du calcul lors de la préparation du modèle et d'autre part au cours de l'interprétation et l'exploitation des résultats obtenus. La méthode d'éléments finis est basée sur une discrétisation du problème par une décomposition du domaine matériel sous forme d'éléments simples.

En décomposant la structure en petits morceaux qu'on appelle éléments finis, on peut réaliser une approximation numérique et évaluer le comportement du composant. Ces éléments finis sont connectés entre eux par des nœuds pour former un maillage.

Chaque nœud a 6 degrés de liberté possibles : 3 translations et 3 rotations. La relation entre les nœuds d'un même élément est décrite par l'équation 3.4 :

$$[K]_e \{u\}_e = \{f\}_e \tag{3.4}$$

La matrice de raideur élémentaire $[K]_e$ est calculée à partir de la géométrie et les propriétés de l'élément. Le vecteur effort $\{f\}_e$ correspond aux efforts subis par l'élément. Le vecteur déplacement élémentaire $\{u\}_e$ est l'inconnue de cette équation. [16]

3.5.2 Etapes de la modélisation par éléments finis

Les différentes étapes pour résoudre un problème d'éléments finis peuvent être résumées en cinq étapes :

- 1. une discrétisation du domaine continu en sous domaines,
- 2. une mise en place et construction d'une approximation nodale,
- 3. le calcul des matrices élémentaires,
- 4. caractérisation des conditions aux limites,
- 5. résolution du problème numérique.

Avec un logiciel d'éléments finis, le traitement d'une structure peut être présenté dans les cinq principales étapes suivantes :

- 1. Préparation de la géométrie : En se basant sur les dimensions géométriques du composant réel,
- 2. Choix du maillage : Le maillage dépend de plusieurs paramètres notamment de la structure étudiée, de sa géométrie, des conditions aux limites, de la précision recherchée et des outils utilisés pour réaliser le maillage,
- 3. Caractérisation du modèle : A cette étape nous définissons les données d'entrée relatives au modèle numérique.
 - conditions aux limites, chargements,
 - conditions initiales,
 - propriétés des matériaux,
 - choix du type des contacts entre les différentes couches,

- définition du type de l'analyse,
- définition du type d'éléments,
- sélection des résultats à visualiser.
- 4. Exécution du calcul : Après la caractérisation du modèle, on passe à l'étape d'exécution du calcul. Le lancement de cette opération génère un fichier qui résume notamment les données d'entrée, le nombre d'itérations et les paramètres de calcul. Cette opération peut prendre plusieurs heures voire plusieurs jours pour les calculs les plus complexes. En cas d'échec du calcul, le logiciel génère un fichier de sortie qui permet d'identifier plus précisément la nature de l'erreur et éventuellement sa localisation. Cette erreur peut être par exemple une erreur d'entrée des données matériaux, un problème de convergence, etc.
- 5. Analyse des résultats : A la fin de l'étape de calcul, un fichier de résultats nous permet de résumer et de visualiser les résultats de sortie. Avant de valider le modèle final, il faut procéder à une étape de contrôle des résultats obtenus et la validité du modèle numérique. Ce contrôle est réalisé en mesurant la précision du modèle en évaluant par exemple la distribution du champ de contraintes et l'ordre de grandeur des résultats en se basant sur les hypothèses de départ. [22, 21]

Les simulations réalisées au cours de ces travaux sont effectuées avec le logiciel « MSC Marc/Mentat ». Cet outil est bien adapté pour modéliser et simuler des structures non linéaires.

3.5.3 Techniques avancées de modélisation en éléments finis

Il existe plusieurs techniques avancées pour la modélisation en éléments finis parmi lesquelles on peut citer la modélisation globale-locale et la technique d'adaptation du maillage pour minimiser le temps de calcul.[16]

3.5.3.1 Modélisation globale-locale

Le maillage réalisé sur une structure peut parfois être grossier pour pouvoir bien identifier les zones critiques. Pour augmenter la précision on peut, d'une part, augmenter la finesse du maillage dans les zones critiques; cependant cette opération pourrait être accompagnée d'une augmentation considérable du temps de calcul. D'autre part, on peut utiliser une technique de modélisation locale pour résoudre ce problème.

Cette technique consiste à réaliser des études locales dans des zones bien précises. Elle est basée sur le principe de Saint-Venant qui postule que : « Les contraintes et les déformations dans une région d'un solide suffisamment éloignée des points d'application des efforts extérieurs ne dépendent que du torseur de ces efforts ». [25] Ce principe implique que les résultats d'un modèle local ne sont valables qu'à une distance éloignée de la région d'application des efforts intenses. Cette technique de modélisation locale permet donc d'avoir une meilleure précision dans les calculs et d'avoir un maillage adapté à la zone étudiée avec une réduction du coût de l'étude.

3.5.3.2 Adaptation de maillage

Les composants analysés en éléments finis contiennent souvent plusieurs couches de matériaux qui ont des tailles et des épaisseurs différentes. La réalisation du maillage de la structure nécessite une adaptation du maillage en fonction de la structure à étudier et une continuité de maillage entre les différentes couches pour pouvoir procéder au calcul et à l'évaluation de la structure.

La méthode d'adaptation du maillage consiste en une augmentation du nombre d'éléments au cours de l'analyse. Cette technique peut être réalisée pour des analyses linéaires ou non linéaires. Le principe consiste à diviser un élément pour créer des sous éléments de même type à l'intérieur de l'élément divisé. Ceci permet d'adapter le maillage à la variation des contraintes en temps réel pour augmenter la précision des calculs. La figure 3.7 présente un exemple simple d'adaptation. L'élément original quadrilatéral est divisé à trois niveaux afin d'avoir un maillage plus fin.



FIG. 3.7 – Exemple d'adaptation de maillage sur un élément quadrilatéral

3.6 Critères de défaillance

Il existe plusieurs critères en fonction du mode de défaillance parmi lesquels on peut citer : les critères de fatigue, critère de delamination, critère d'électromigration et le critère de rupture de l'équilibre élastique.

Il est important de bien choisir le critère de défaillance afin de pouvoir corréler le résultat calculé par les simulations avec le risque de défaillance réel. L'objectif consiste à pouvoir établir une évaluation et une interprétation fiables des données de calcul. Dans cette partie, on va s'intéresser au critère de rupture de l'équilibre élastique pour les matériaux ductiles et fragiles. Ce critère a été utilisé au cours de cette thèse.

Avec les matériaux ductiles comme le cuivre la limite de rupture est supérieure à la limite élastique. Cependant avec les matériaux fragiles comme le silicium la limite élastique et la limite de rupture sont confondues. [26, 16]

3.6.1 Défaillance des matériaux ductiles

3.6.1.1 Introduction

Les théories de rupture, basées sur des critères de rupture de l'équilibre élastique, ont pour but de permettre la prévision d'un état limite sur la base d'un petit nombre d'essais. Il existe plusieurs critères ; parmi les plus connus on peut citer :

- le critère de Tresca,
- le critère de Von Mises.

Les contraintes principales σ_1 , σ_2 et σ_3 sont présentées à la figure 3.8.



FIG. 3.8 – Contraintes principales

3.6.1.2 Critère de Von Mises

Le critère de Von Mises est l'un des critères les plus utilisés pour les matériaux ductiles. Avec ce critère, la rupture de l'équilibre élastique est initiée par l'énergie utilisée pour déformer le volume. Ce critère est appelée aussi critère du plus grand travail de distorsion. La contrainte est exprimée par l'équation 3.5, σ_g est la contrainte équivalente, $(\sigma_1, \sigma_2, \sigma_3)$ sont les contraintes appliquées sur les faces suivant les directions des axes orthogonaux. Ce critère est basé sur l'essai de traction.

$$\sigma_g = \frac{1}{\sqrt{2}}\sqrt{(\sigma_1 - \sigma_2)^2 + (\sigma_2 - \sigma_3)^2 + (\sigma_3 - \sigma_1)^2}$$
(3.5)

3.6.1.3 Critère de Tresca

Ce critère est basé sur le test de torsion. La rupture de l'équilibre élastique est effectué lorsque la plus grande contrainte de cisaillement τ_{31} dépasse la valeur limite de la contrainte tangentielle par l'essai de torsion τ_e . L'équation 3.6 présente l'équation de la contrainte tangentielle τ_{31} .

$$\tau_{31} = \frac{(\sigma_1 - \sigma_3)}{2} \tag{3.6}$$

3.6.2 Défaillance des matériaux fragiles

Pour caractériser et prédire la rupture des matériaux fragiles, on utilise souvent le critère des contraintes maximales. Avec ce critère la défaillance est observée lorsque les contraintes principales atteignent la limite de la résistance en tension ou la limite de la résistance en compression. D'autres théories sont aussi adaptées pour évaluer la défaillance des matériaux fragiles comme le critère de Mohr-Coulomb.

Avec ce critère, la contrainte σ_2 n'intervient pas dans l'évaluation du risque de rupture de l'équilibre élastique.

3.7 Etudes expérimentales et tests de validation

La caractérisation expérimentale joue un rôle important dans l'étape d'évaluation d'un composant électronique. C'est une étape critique et fondamentale dans la phase de fabrication d'un nouveau composant.

Les études expérimentales peuvent être utilisées pendant la phase de conception des produits ou avant la phase de qualification. Les outils et les méthodes mises en place dépendent de l'objectif de cette phase expérimentale.

3.7.1 Corrélation de l'expérimentation et de la modélisation

Pour compléter et aider à la modélisation de nouveaux composants, trois types d'expériences peuvent être réalisées avant et après l'approche théorique :

- 1. des expériences pour caractériser les matériaux et leurs interfaces (propriétés électriques, mécaniques et chimiques),
- 2. des expériences pour évaluer la robustesse et la résistance à la rupture (mesure de la contrainte et la déformation),

3. des expériences pour vérifier la validité et la précision du modèle.

Les expériences sur les matériaux et la résistance de leur interface permettent de fournir des données d'entrée fiables pour évaluer le comportement du composant. Ces données sont utilisées pour améliorer la précision du modèle et dépendent du procédé. Ces données contribuent à une meilleure sélection des matériaux et à une optimisation des procédés.

Après la phase de modélisation il est nécessaire de conduire des expériences pour vérifier la précision des résultats et la prédiction. Deux méthodes peuvent être utilisées :

- des expériences pour vérifier des points particuliers dans les résultats de modélisation : ceci permet de vérifier la concordance entre le modèle numérique et les expériences sur des prototypes physiques,
- des expériences pour traiter les cas extrêmes afin d'avoir un résultat qualitatif sur le comportement.

Ces deux méthodes permettent de réduire le coût de la phase expérimentale et vérifier efficacement le modèle numérique. [28]

3.7.2 Modélisation et phase de qualification

L'une des phases critiques pour la validation d'un composant électronique est la phase de qualification. Cette phase consiste principalement en une évaluation de la robustesse par un ensemble de tests de fiabilité suivant un cahier des charges. Parmi les tests de qualification on peut citer les cyclages thermiques et les tests d'humidité.

Il existe deux approches, théorique et expérimentale pour évaluer la fiabilité des composants électroniques. Le tableau 3.2 présente une comparaison de ces deux méthodes.

En prenant l'exemple de la fatigue des joints de brasure :

- L'approche expérimentale consiste à appliquer des tests sous contrainte thermomécanique avec des cycles thermiques. Les défaillances sont détectées par exemple par mesure de la résistance électrique et par inspection visuelle des brasures. L'objectif est de déterminer le nombre de cycles jusqu'à la défaillance.
- L'approche théorique est basée sur l'utilisation d'un modèle empirique. Un logiciel de simulation du comportement thermomécanique est utilisé. Deux taches doivent être réalisées par ce modèle : la première consiste à sélectionner la mesure physique appropriée pour évaluer le risque d'apparition d'une défaillance, la deuxième consiste à faire un lien entre un nombre critique de cycles et une défaillance.

Ces deux méthodes sont souvent complémentaires. Cependant dans la phase de qualification, l'approche théorique est privilégiée dans un premier temps car elle permet de réduire le nombre et le coût des tests sur des prototypes physiques. L'approche expérimentale permet d'avoir un aspect visuel des résultats grâce aux méthodes d'analyse.

		Théorique		
Type	Expérimentale	Modèles théoriques	Utilisation de méthodes avancées	
d'analyse		Aproximatifs	en éléments finis	
	-Des résultats réels		-Méthode applicable pour des géométries complexes	
	(utilisation de micro sections)	-Faible coût	-Une prédiction des défaillances plus précise	
Avantages	-Une observation plus détaillée	-Des explications limitées concernant	-Méthode pratique pour faire varier	
	des résultats de défaillance	les paramètres de fatigue	des paramètres et évaluer leur influence	
	sur les composants	-Facile à manipuler	-Le comportement du joint de brasure	
			est pris en compte	
	- Coût et temps considérable			
Inconvénients	-Pas de résultats		-Modélisation compliquée	
	concernant les sources	-Géométrie très simplifiée	-Augmentation du coût (en temps de calcul)	
	de défaillances et	-Très grande simplification		
	les paramètres influents	du comportement des matériaux		
	-Difficulté de généralisation			

TAB. 3.2 – Comparaison de l'approche expérimentale et théorique appliquée au joint de brasure [27]

3.8 L'approche multi-physique de la modélisation des composants électroniques

La technologie microélectronique est caractérisée par une intégration hétérogène de plusieurs technologies et de plusieurs structures.

Les composants électroniques peuvent avoir des défaillances diverses parmi lesquelles l'électromigration, la délamination, la surcharge électrique, la formation d'intermétalliques indésirables, etc. Evaluer un seul critère de défaillance ou un seul phénomène dans un composant peut ramener à une sous-estimation de la fiabilité du composant électronique. Dans plusieurs cas, on a couplage des phénomènes physiques comme par exemple thermique et mécanique, électrique et mécanique.

Dans le cas par exemple de l'étude du comportement des polymères sous des contraintes thermomécaniques, le modèle de simulation devrait prendre en compte le déroulement de tous les phénomènes qui accompagnent le durcissement du polymère. Ces phénomènes regroupent principalement la cuisson du polymère sous l'effet de la chaleur, le transfert de chaleur entre les différentes parties du composant et le comportement thermomécanique.

La complexité d'une étude multi-physique est liée à la nécessité de prise en compte de toutes ces réactions.

Il est parfois difficile de pouvoir faire une modélisation très proche de la réalité de certains

phénomènes. Prenons l'exemple des joints de brasure utilisés dans les boîtiers électronique : sous des contraintes thermomécaniques, la microstructure des brasures varie au cours du temps depuis la phase de solidification jusqu'à l'apparition des premières fissures. La fiabilité du boîtier dépend de cette variation. Les modèles empiriques utilisées pour évaluer la fatigue ne tiennent pas compte des changements de la microstructure. En effet, il est difficile de mettre en place une expérience qui permet de contrôler en continu l'évolution de la microstructure jusqu'à l'apparition des fissures puis de traduire les résultats par un modèle empirique.

Il est difficile aujourd'hui de prendre en compte cet aspect multi-physique dans le comportement des composants électroniques en raison de la complexité de la modélisation, de la nécessité d'assurer l'efficacité et la précision des simulations et le manque d'outils bien adaptés. [28]

3.9 Conclusion

La méthodologie de fiabilité prédictive présentée dans ce chapitre est basée d'une part sur des modèles de simulation efficace et efficients, et d'autre part sur des méthodes avancées de traitement statistique et d'optimisation. Cette méthode permet de structurer les études et de prédire le comportement des composants en phase de développement et avant la phase de qualification.

La modélisation avec les plans orthogonaux implique l'utilisation d'un modèle mathématique. Ceci permet d'établir une relation entre les facteurs d'entrée et les réponses de sortie du modèle statistique.

L'efficacité de cette méthode dépend d'une part de la précision des données d'entrée (matériaux, procédés, critères de défaillance et géométrie) et des méthodes de calculs. D'autre part, cette efficacité est fonction aussi des méthodes utilisées pour traiter les résultats : le choix des méthodes statistiques, des méthodes de surfaces de réponse.

La complexité croissante des composants électroniques est caractérisée par la présence de modèles non-linéaires, par un aspect multi-physique et multi-échelle. Ceci nécessite l'utilisation de méthodes et d'outils avancés et adaptés pour avoir des réponses précises et efficaces.

Les quatre chapitres suivants (4, 5, 6 et 7) sont une illustration, à travers quatre exemples de problématiques très différentes, de cette approche méthodologique.

Chapitre 4

Analyse du risque de fissure d'un composant SiP « underfillé » ¹

4.1 Introduction

Dans les composants SiP, différents matériaux sont utilisés comme le silicium, la brasure, des polymères tels que la résine d'underfill, différentes couches de métaux comme le cuivre. Tous ces matériaux interagissent entre eux de façon différente, selon la température et les conditions d'utilisation.

L'utilisation de l'underfill dans les boîtiers entre la puce et le substrat a pour objectif de relaxer les contraintes et d'améliorer la fiabilité du composant. Il existe plusieurs gammes d'underfill avec des variances dans les propriétés mécaniques. Le choix d'un underfill dépendra du composant et des conditions d'utilisation.

Cependant, un composant « underfillé » peut subir des défaillances sous plusieurs formes, notamment par l'apparition de bulles d'air dans l'underfill, une perte d'adhésion entre la résine d'underfill et la puce, l'apparition de fissures dans la puce de silicium.

Dans cette étude, un composant SiP est assemblé sur un substrat organique multicouches souple appelé « Flex ». Cette étude est focalisée principalement sur le choix de l'underfill approprié par simulation thermomécanique. Les résultats de simulation sont ensuite vérifiés par des tests réels. Afin de déterminer le rôle de l'underfill, plusieurs types d'underfill ont été testés.

Ce chapitre 4 est composée de sept sections : la section 4.2 est dédiée à la présentation de l'étape d'« underfilling » ; la section 4.3 présente le composant étudié ; la section 4.4 présente les paramètres et le plan d'expérience ; la section 4.5 présente le modèle en élements finis ; les sections (4.6, 4.7 et 4.8) discutent des résultats et leur interprétation.

¹Cette étude a fait l'objet d'une présentation dans un congrès IEEE[29]

4.2 L'étape d'« underfilling »

L'underfill est une résine non conductrice. Elle est injectée dans l'espace séparant la puce et le substrat. Cette résine est caractérisée par la quantité de polymère et de charges (particules rigides appelées des « fillers » qui sont généralement minérales) entrant dans sa fabrication. Ces charges sont en général des grains de silice amorphe dédiés à la rigidification du polymère. Chaque type d'underfill est caractérisé par un nombre et une concentration volumique de particules rigides. Une augmentation du nombre de ces charges dans la résine entraîne une diminution du coefficient de dilatation thermique et une augmentation de la rigidité.

Une importante augmentation de ces charges caractérise les résines d'enrobage qui sont relativement rigides par rapport à l'underfill et qui permettent de protéger les boîtiers. Dans un composant « flip chip » on utilise l'underfill principalement pour :

- donner une meilleure résistance mécanique à l'assemblage vis-à-vis des chocs et contraintes externes et protéger les connexions,
- assurer une résistance à la formation de l'humidité interne en limitant la diffusion aux points sensibles à la corrosion,
- réduire le risque de défaillance au niveau des billes de brasure par contrainte de cisaillement, ainsi, augmenter la durée de vie du composant.

En effet, après l'étape de dosage de la résine dans le boîtier, l'underfill encapsule les billes de brasure en les mettant sous pression hydrostatique. Cette encapsulation renforce la brasure, ce qui permet de diminuer les risques d'apparition de fissures.

Cependant après l'«underfilling» d'un composant « flip chip », comme le montre la figure 4.1, des défaillances peuvent apparaître, parmi lesquelles nous pouvons citer :[30]

- une perte d'adhésion de la résine du côté de la puce ou du substrat. Ceci entraîne des contraintes de cisaillement près des billes de brasure,
- une séparation des particules rigides du polymère, ce qui entraîne la perte des propriétés mécaniques de l'underfill,
- des fissures dans l'underfill qui se propagent autour des billes de brasure,
- une formation de bulles d'air autour de la bille de brasure ce qui induit la réduction de la pression hydrostatique autour de la bille,
- un excès de flux autour de la bille de brasure qui a le même effet qu'une bulle d'air,
- une apparition de fissures au niveau des bords de la puce de silicium.

Dans cette étude on procède à une évaluation du risque de rupture du silicium suite à l'étape d'underfilling. Plusieurs études [31, 32] ont évalué le risque de rupture du silicium soumis à des contraintes mécaniques. Le risque de rupture est lié à la combinaison de plusieurs facteurs comme les défauts générés lors du rodage et du sciage, ainsi que les propriétés des matériaux autour de la puce de silicium. Ce point, particulièrement important, fait l'objet du chapitre 9 de ce travail. Dans cette étude, seul le risque de rupture du silicium est évalué, aucune autre défaillance n'est examinée.



FIG. 4.1 – Sources de défaillances d'un composant underfillé[30]

4.3 Composant étudié



(a) Composition du système étudié

(b) Taille du système étudié comparée à une pillule

FIG. 4.2 – Système étudié

Le composant SiP étudié est présenté à la figure 4.2. Le choix du WLCSP est principalement lié à un besoin de miniaturisation. Ce composant fait partie d'un microsystème appelé TemPill utilisé pour la mesure de la température à l'intérieur du corps d'un animal. Ce composant est composé d'une puce passive PICS (Passive Integration Connective Substrate), de trois puces actives et d'un substrat de type « flex » (substrat souple). La puce passive est assemblée sur le substrat. L'alimentation est assurée par deux piles boutons. D'autres composants passifs de type CMS (composant monté en surface) sont aussi assemblés pour assurer le fonctionnement du système électronique.

Une résine de type underfill est dosée entre la puce passive et le substrat. Le substrat est ensuite enroulé puis inséré dans une pilule.

4.4 Paramètres et plan d'expérience

Dans cette étude, deux paramètres sont évalués :

– Le type d'underfill parmi trois catégories (A, B, C)

– L'épaisseur de la puce passive de 200µm à 400µm

Les essais réalisés par simulation thermomécanique sont basés sur le plan d'expérience orthogonal présenté au tableau 4.1.

Test	Epaisseur de la puce passive (µm)	Underfill
A-200	200	А
A-400	400	А
B-200	200	В
B-400	400	В
C-200	200	С
C-400	400	С

Тав. 4.1 –	Plan	d'expérience
------------	------	--------------

4.5 Modèle par éléments finis

4.5.1 Structure du composant



FIG. 4.3 – Composant étudié

Comme le montre la figure 4.3a, le composant SiP étudié est composé par :

- une puce passive,
- trois puces actives assemblées sur la puce passive (figure 4.3b),
- un substrat de type « flex » sur lequel est assemblé le PICS grâce à des billes de brasure,
- une résine de type underfill injectée d'une part entre la puce passive et les puces actives qui a été déja qualifiée et d'autre part une résine entre la puce passive et le substrat et qui est le sujet d'étude.

Les principaux paramètres géométriques sont présentés dans le tableau 4.2.

Paramètre	Variation (µm)
Epaisseur de la puce passive	200-400
Epaisseur des puces actives	150
Epaisseur du substrat	500
Diamètre des billes de brasure	300

TAB. 4.2 – Paramètres géométriques

4.5.2 Matériaux

Dans le modèle par éléments finis, les matériaux utilisés (tableau 4.3) sont le silicium pour les puces actives et passives, la brasure de type SAC (SnAgCu) pour les billes de connexion entre la puce passive et le substrat, un substrat de type flex et enfin un underfill pour la résine de protection.

Matériau	Module d'Young (GPa)	Coefficient de poisson	CDT (ppm/K)
Silicium	169	0,23	2,3
SAC	$32 (25^{\circ}C); 10(150^{\circ}C)$	0,4	21
PCB :Flex	1	0,2	15
Underfill A	9	0,25	$32 (T < 137^{\circ}C); 120(T > 137^{\circ}C)$
Underfill B	2	0,3	$50 (T < 110^{\circ}C); 160(T > 110^{\circ}C)$
Underfill C	0,05	0,3	$80 (T < 15^{\circ}C); 210(T > 15^{\circ}C)$

TAB. 4.3 - Matériaux[6]

4.5.3 Chargement et hypothèses

Le chargement corespond aux étapes de dépose de l'underfill et de la refusion des billes de brasure. Il est composé de plusieurs niveaux :(figure 4.4)

 une étape de dépose de l'underfill à 80°C puis cuisson à 150°C. La durée de cette étape varie entre les trois underfills,
- une descente en température jusqu'à la température ambiante,
- une étape de refusion de la brasure à 250°C, lors de cette étape les éléments de l'underfill sont désactivés,
- une redescente à la température ambiante.

Nous supposons dans cette étude une adhésion parfaite entre les couches de matériaux et des conditions isothermiques dans tout le composant. Un maillage adapté est utilisé pour prendre en compte la variation de taille et d'épaisseur des couches de matériaux et assurer une continuité dans le maillage dans toute la structure du composant.



FIG. 4.4 – Chargement

4.6 Résultats et discussions

Afin d'évaluer le risque de rupture du silicium, deux paramètres de sortie sont évalués :

-Le gauchissement pour évaluer le fléchissement du composant

-Les contraintes principales maximales afin d'évaluer les contraintes au niveau de la puce de silicium

4.6.1 Gauchissement



FIG. 4.5 – Gauchissement de la puce passive avec l'undefill A (en mm) : le maximum est au centre de la puce de silicium

La figure 4.5 montre la distribution du gauchissement de la puce sur un composant avec l'underfill A suivant l'axe vertical. La valeur et la distribution de ce gauchissement dépendent de l'épaisseur et du type d'underfill utilisé.

Avec l'underfill B, le gauchissement diminue d'environ 61% et avec l'underfill C il diminue d'environ 72%.

4.6.2 Contraintes maximales



FIG. 4.6 – Contraintes maximales (en MPa) : le maximum est dans la zone centrale et la térale de la puce

Comme le montre la figure 4.6, les contraintes maximales sont concentrées au niveau de la puce passive, en particulier au milieu de la puce passive et au niveau des angles. Avec l'underfill A on a les contraintes les plus importantes. Avec l'underfill B, les contraintes diminuent d'environ 50% et avec l'underfill C, elles diminuent d'environ 70%.

Avec les figures 4.7a et 4.7b on peut voir d'une part que les contraintes les plus basses sont observées avec l'underfill C et l'épaisseur la plus grande. D'autre part, on peut déduire qu'avec le composant le plus fin et underfillé avec l'underfill A on a les contraintes les plus importantes. La concentration de ces contraintes peut être une source d'initiation de fissures.



(a) Contraintes maximales en fonction du test(b) Contraintes en fonction de l'underfill et l'épaisseur

FIG. 4.7 – Distribution des contraintes maximales

4.7 Essais expérimentaux

Afin de vérifier les résultats obtenus par simulation, des essais réels ont été réalisées avec les trois types d'underfill (A, B, C).

La figure 4.8 montre un composant underfillé avec l'underfill A avec une puce passive ayant une épaisseur de 300µm. Une fissure est apparue de façon reproductible après l'injection de l'underfill au milieu de la puce, cette fissure est due probablement à une accumulation des contraintes et au gauchissement important du composant.

Des essais similaires ont été réalisés sur des échantillons utilisant les deux autres types d'underfill (B et C). Aucune fissure n'est apparue sur les échantillons.



FIG. 4.8 – Ligne de fissure aprés Underfilling du composant avec l'underfill A

Les essais expérimentaux ont permis de vérifier les résultats obtenus par simulation. La fissure obtenue sur le composant utilisant l'underfill A, confirme la présence de contraintes importantes.

En effet, la présence d'un gauchissement important de la puce passive associé à des contraintes accélère l'initiation de fissures.

4.8 Interprétation

Utiliser un underfill adapté à cette application avec un module d'Young plus faible permet de réduire les contraintes. L'utilisation d'un underfill sans particules comme l'underfill B ou C pourrait réduire les contraintes et réduire le risque de fissure.

En effet la fissure se déclenche pour plusieurs raisons :

- 1. La taille de la puce de silicium : plus la puce est grande plus le risque de rupture est important.
- 2. Les caractéristiques mécaniques de l'underfill : la présence de particules dans l'underfill augmente le module d'Young et diminue le CDT ainsi la rigidité augmente. Avec l'underfill B et C le module d'Young est plus faible et le CDT est plus grand, l'underfill s'adapte plus facilement entre les puces.
- 3. La résistance mécanique du silicium : sous une contrainte mécanique, la probabilité de déclenchement des fissures sur une puce de silicium dépend principalement de la qualité de sciage et de rodage des échantillons.
- 4. La disposition des puces : l'espace entre les puces actives crée des zones de fragilité qui permettent de concentrer les contraintes et de générer des fissures.
- 5. La disposition non symétrique des billes induit des contraintes importantes au centre de la puce PICS.

4.9 Conclusion

Cette étude réalisée sur un composant SiP a permis d'évaluer le rôle de l'underfill dans le déclenchement des fissures. Les simulations réalisées ont été confirmées par des tests expérimentaux. Avec l'underfill A et l'épaisseur la plus faible, on a le risque de rupture le plus important. En effet avec un underfill rigide, le gauchissement associé à une concentration des contraintes sur la puce de silicium entraîne l'apparition des fissures. Cependant, avec les underfills B et C on a un risque de rupture plus faible. Ces deux types d'underfill (B et C) sont des résines sans particules caractérisées par un module d'Young plus faible et un coefficient de dilatation thermique plus grand. Ces underfills sont mieux adaptés à cette application. Ces résines permettent de réduire le risque de rupture de la puce de silicium en phase d'assemblage. Cependant, les autres risques de défaillances comme la délamination restent à vérifier par des tests de fiabilité adaptés. Cette étude est focalisée principalement sur le risque de rupture de silicium.

La méthodologie développée au chapitre 3 de cette thèse a permis de structurer l'étude et d'identifier plus efficacement la solution la mieux adaptée.

Chapitre 5

Simulation des filtres SAW

5.1 Introduction

Un filtre SAW (Surface Acoustic Wave) est un système électromécanique utilisé dans les composants de traitement de signal (téléphone portable, télécommande, GPS...). Les filtres SAW peuvent être utilisés soit comme des filtres FI (Fréquence intermédiaire de 70 MHz à 400 MHz) ou comme des filtres RF (radio fréquence de 400 MHz à 2.4 GHz) placés près de l'antenne pour sélectionner la fréquence attendue. Les recherches actuelles sur les filtres SAW sont orientées principalement vers une réduction des dimensions du composant et une amélioration des performances électriques.

Comme le montrent les figures 5.1a et 5.1b, le filtre SAW est composé d'un capot en tantalate de lithium (LiTaO3), d'un anneau en cuivre-étain, de trois billes pour la connexion électrique. Ce filtre est assemblé sur un substrat de silicium PICS. Un des avantages de ce type d'assemblage est la réduction de la taille $(0,7 * 0,8 \text{ mm}^2)$ et la possibilité de l'assembler directement sur du silicium.

La zone la plus fragile est la zone d'assemblage : interface cuivre-étain. Après l'assemblage, des intermétalliques se forment entre la couche de cuivre et d'étain. Suite aux variations de température des fissures peuvent se créer. L'objectif de cette étude est d'évaluer l'effet de la variation de la géométrie sur la fiabilité de l'assemblage.

Ce chapitre 5 est composé de cinq sections : la section 5.2 discute du fonctionnement du filtre SAW et de l'assemblage de ces composants ; la section 5.3 présente les paramètres géométriques du composant étudié ; la section 5.4 présente l'étude de la fiabilité du composant par simulation thermomécanique ; enfin les sections (5.5 et 5.6) sont dédiées à la présentation des résultats de simulation et leur interprétation.



(a) Filtre SAW (photo (b) Filtre SAW assemblé aux rayons X)

FIG. 5.1 – Filtre SAW

5.2 Principe de fonctionnement et assemblage

5.2.1 Rappel du principe de base :

Les filtres SAW transforment, via un transducteur, les ondes électromagnétiques en ondes acoustiques de surface d'un milieu piézoélectrique (LiTaO3 ou LiNbO3). En sortie, la transformation inverse est effectuée de l'acoustique vers l'électromagnétique.



Les ondes acoustiques se propagent dans le milieu piézoélectrique de longueur L fixe à une faible vitesse v (typiquement 3km/s). La longueur d'onde associée est de la forme v/f, f étant la fréquence. Dans un filtre SAW, les transducteurs d'entrée et de sortie sont constitués d'électrodes métalliques en forme de peigne (figure 5.2a), dont l'écartement est de l'ordre de L/4 avec L longueur du substrat. La réponse en fréquence dépend directement du jeu d'électrodes et de la longueur L.

FIG. 5.2 – Principe de fonctionnement du filtre SAW

Comme le montre la figure 5.2b, les principaux paramètres de sortie d'un filtre SAW sont :

- La fréquence centrale (fc)
- La largeur de la bande passante (B_P)
- La largeur de la bande de transition (B_T)
- La rejection (REJ)
- Les pertes d'insertion (PI)

5.2.2 Assemblage

Le filtre SAW nécessite une cavité hermétique dans laquelle se propage l'onde. La figure 5.3 montre un exemple de filtre SAW assemblé. Ce composant est limité en haut par le capot piézoélectrique du SAW, en bas par le substrat du module typiquement du LTCC (Low Temperature Cofired Ceramic) ou HTCC (High Temperature Cofired Ceramic) et sur les côtés par la résine de moulage (« Glob Top »). [36]



FIG. 5.3 – Filtre SAW en coupe [35]

Dans cette étude, un substrat tantalate en lithium $(LiTaO_3)$ est assemblé sur du silicium via un anneau en cuivre étain ; trois plots sont situés à l'intérieur de la cavité pour la connexion électrique. Une présentation au microscope à balayage (MEB) est présentée à la figure 5.4. Suite à la variation de la température et de la pression, des intermétalliques se forment entre le cuivre et l'étain, comme le Cu_6Sn_5 et le Cu_3Sn (Figure 5.5a). Entre l'étain et le nickel d'autres intermétalliques se forment comme le Ni_3Sn_4 .[37]



FIG. 5.4 – Filtre Saw sur PICS (photo MEB) [36]



(a) Refusion de l'étain sur le cuivre



(b) Intermétallique entre étain et nickel[37]

FIG. 5.5 – Assemblage du filtre SAW

5.3 Paramètres géométriques

Paramètre	Variation
Epaisseur du cuivre 1	8 à 40 µm
Epaisseur du cuivre 2	0 à 10µm
Géométrie	G1,G2,G3,G4
(a) Variation des p	baramètres

TAB. 5.1 – Paramètres géométriques et matériaux

Dans cette étude, trois paramètres sont évalués (tableau 5.1a) : d'une part deux paramètres quantitatifs qui correspondent à l'épaisseur du cuivre 1 (de 8 à 40µm) et cuivre 2 (de 0 à 10µm). Ces paramètres permettent d'évaluer le rôle de l'épaisseur du cuivre dans la fiabilité de l'assemblage. Les couches de cuivre sont présentées à la figure 5.7. D'autre part un paramètre qualitatif relatif à la variation de la géométrie de l'anneau (G1, G2, G3, G4). Les quatre géométries sont présentées au tableau 5.1b. La variation de la géométrie de l'anneau permet de sélectionner la géométrie la mieux adaptée pour une meilleure tenue thermomécanique.

5.3.1 Plan d'expérience

Le plan d'expérience du tableau 5.2 est un plan orthogonal avec 16 essais. Ce plan d'expérience prend en compte la variation des trois paramètres : les épaisseurs du cuivre1 et cuivre2 et la géométrie. L'objectif est de déterminer l'influence des paramètres et d' évaluer la distribution des déformations plastiques pour les différentes configurations.

Essai	Désignation	Géométrie	Epaisseur Cu $1(\mu m)$	Epaisseur Cu 2 (µm)
1	G1-8-0	G1	8	0
2	G1-40-0	G1	40	0
3	G1-8-10	G1	8	10
4	G1-40-10	G1	40	10
5	G2-8-0	G2	8	0
6	G2-40-0	G2	40	0
7	G2-8-10	G2	8	10
8	G2-40-10	G2	40	10
9	G3-8-0	G3	8	0
10	G3-40-0	G3	40	0
11	G3-8-10	G3	8	10
12	G3-40-10	G3	40	10
13	G4-8-0	G4	8	0
14	G4-40-0	G4	40	0
15	G4-8-10	G4	8	10
16	G4-40-10	G4	40	10

TAB. 5.2 – Plan d'expérience

5.4 Etude de la fiabilité par éléments finis

5.4.1 Modèle par éléments finis

Comme le montre la figure 5.6 le capot de tantalate de lithium est assemblé sur un substrat de silicium par un anneau. La connexion électrique est assurée par trois plots situés à l'intérieur de la cavité.

L'anneau ainsi que les plots de connexion sont formées par plusieurs couches de matériaux. En partant du bas vers le haut, on a une couche d'aluminium (Al1), une couche de cuivre (Cu1), une couche d'étain (Sn), une couche de nickel (Ni), une couche de cuivre (Cu2) et enfin une couche d'aluminium (Al2) en contact avec le capot de LiTaO3.(figure 5.7)



FIG. 5.6 – Modèle en éléments finis d'un filtre SAW



FIG. 5.7 – Les couches de l'anneau

5.4.2 Matériaux

On peut grouper les matériaux en trois catégories :

- Matériau isotropique élastique pour le silicium
- Matériaux élasto-plastiques pour le cuivre, le nickel, l'aluminium et l'étain
- Matériau orthotropique élastique pour le lithium tantalate $(LiTaO_3)$

Matériau	Module d'Young (GPa)	Coefficient de poisson	CDT (ppm/K)
Silicium	169	0,23	2,3
Cuivre	120	0,33	17,7
Nickel	200	0,33	13
Aluminium	69	0,33	22,8
Etain	41	0,4	25
$LiTaO_3$	310	0,15	x = 14,3; y = 10; z = 7

Les propriétés de ces matériaux, obtenus à partir de données bibliographiques, sont présentés au tableau 5.3.

TAB. 5.3 - Matériaux [6]

5.4.3 Chargement

Le chargement utilisé est composé d'une descente en température de 220°C (température de refusion de l'étain) jusqu'à 20°C (température ambiante). Ce chargement correspond aux conditions de l'assemblage du capot de $LiTaO_3$ sur le substrat de silicium. La température initiale est prise à 220°C.



FIG. 5.8 – Chargement de 220°C à 20°C (température ambiante)

5.5 Résultats et discussion

Le paramètre de sortie utilisé est la déformation plastique équivalente au niveau de la couche d'étain, ce critère nous permet d'évaluer le risque d'apparition de fissures à l'interface cuivre-étain et étain-nickel. Les valeurs les plus élevées de la déformation plastique sont observées au niveau de cette interface.

5.5.1 Déformation équivalente de la plasticité

La figure 5.9 présente les valeurs maximales de déformation plastique au niveau de la couche d'étain. On peut déduire que la plasticité la plus faible est observée pour le modèle

G3_40-10 qui correspond à la géométrie 3, la plus grande épaisseur pour le cuivre 1 et le cuivre 2. D'autre part, la valeur de la plus grande déformation plastique correspond au modèle G1_8-10. Cette configuration correspond à la géométrie 1, l'épaisseur la plus faible du cuivre 1 et la plus grande du cuivre 2. On remarque que la variation du cuivre 2 a très peu d'influence.



FIG. 5.9 – Distribution de la déformation équivalente de la plasticité

5.5.2 Variation de la plasticité en fonction de la géométrie

Les résultats de la déformation plastique en fonction de la géométrie avec une épaisseur fixe du cuivre 1 (8µm) et sans couche de cuivre 2 sont présentés à la figure 5.10. Ces résultats montrent que la géométrie G3 présente la plus faible valeur de déformation plastique et que la géométrie G1 a la plus grande valeur de déformation plastique avec une augmentation d'environ 16%. On remarque aussi qu'avec la géométrie 3 on a une distribution plus importante de la déformation plastique sur le côté droit et gauche de l'anneau. Cependant avec les autres géométries le maximum de déformation (zone jaune) est concentré sur les coins de l'anneau.



(a) Déformation plastique sur la géométrie 1 et 2 $\,$



(b) Déformation plastique sur les géométrie 3 et 4

FIG. 5.10 – Déformation plastique en fonction de la géométrie



5.5.3 Influence des facteurs

FIG. 5.11 – Influence des paramètres

La figure 5.11 présente les coefficients centrés relatifs aux trois paramètres étudiés : épaisseur du cuivre1, épaisseur du cuivre2 et géométrie de l'anneau. On peut déduire que les paramètres les plus influents sont l'épaisseur du cuivre 1 et la géométrie (G1 et G3).

D'après le graphe de la figure 5.11 :

- Avec la géométrie 1 la déformation plastique augmente
- Avec la géométrie 3 la déformation plastique diminue
- Augmenter l'épaisseur du cuivre 1 diminue la déformation plastique

L'influence de l'épaisseur du cuivre 2 et des géométries (G2 et G4) est considérée insignifiante.

Ainsi augmenter l'épaisseur du cuivre1 et utiliser la géométrie 3 permet d'avoir les valeurs les plus faibles de la déformation plastique. Cette évaluation statistique est réalisée à l'aide du logiciel Modde (Umetrics).

5.6 Essais expérimentaux

Afin de pouvoir comparer les géométries, des tests réels avec des cycles thermiques TMCL $(-40^{\circ}C + 125^{\circ}C)$ ont été réalisés avec les différentes géométries (G1, G2, G3, G4) et avec les épaisseurs de cuivre suivantes (Cu1=8µm; Cu2=0). Les résultats ont révélé une résistance plus importante avec la géométrie 3. Ceci confirme les résultats de simulation qui indiquent que les plus faibles défonations plastiques sont aussi avec la géométrie 3 et que cette géométrie résiste mieux aux contraintes thermomécaniques.

5.7 Conclusion

Les résultats de simulation thermomécanique ont montré que la zone la plus critique est celle en contact avec l'étain. Les essais réalisés sur différentes géométries et la variation de l'épaisseur du cuivre ont permis de déterminer la géométrie qui permet de réduire cette déformation plastique. Les résultats de simulation concernant le choix de la géométrie ont été confirmés par des tests expérimentaux en utilisant des cycles thermiques réalisés sur les quatre géométries. Ainsi avec la géométrie 3, on a les déformations plastiques les plus faibles. La géométrie 1 est la plus fragile aux contraintes thermomécaniques. D'autre part les résultats de simulation ont montré qu'augmenter l'épaisseur du cuivre 1 permet de réduire la déformation plastique. L'influence de l'épaisseur du cuivre 2 est considérée insignifiante. D'autres configurations pourraient être évaluées par des simulations en utilisant des modèles à deux dimensions pour tenir compte de l'effet des intermétalliques, qui se forment d'une part à l'interface entre l'étain et le cuivre et d'autre part entre l'étain et le nickel, ainsi qu'une évaluation des risques du moulage des filtre SAW.

Chapitre 6

Simulations du moulage de composants MEMS : TFEAR

6.1 Introduction

Lors de l'assemblage des circuits dans des boîtiers, plusieurs étapes sont réalisées parmi lesquelles l'étape de moulage. Cette étape consiste à encapsuler le circuit dans une résine durcie qui permet de le protéger des chocs externes.

Le moulage du boîtier est réalisé sous pression (environ 90 bars) et à une température élevée (environ 180°C). Ces conditions pourraient provoquer des défaillances, notamment des risques de rupture du silicium.

Les composants MEMS à cavité sont des composants vulnérables. On les insère dans des boîtiers électroniques afin d'assurer leur protection et leurs performances. Dans cette étude un composant MEMS TFEAR (Thin Film Elongation Acoustic Resonator) est encapsulé dans un boîtier HVQFN.

Les boîtiers HVQFN (Heatsink Very-thin Quad Flat-pack No-Leads) sont des boîtiers éléctroniques utilisés pour assurer la protection et la connexion d'un circuit électronique ou d'un microsystème MEMS (Micro-Electro-Mechanical Systems).

Cette étude se situe dans le cadre de l'évaluation de la tenue mécanique d'un système de protection d'un composant MEMS mis dans un boîtier sous l'effet des conditions de moulage. L'objectif est d'évaluer le risque de flexion et de fissure du système de protection du composant MEMS.

6.2 Composant étudié

Le composant TFEAR est un composant MEMS. Comme le montre la figure 6.1, il est composé d'une poutre horizontale placée dans une cavité. Ce composant est assemblé dans un boîtier HVQFN (figure 6.2a).



FIG. 6.1 – Composant TFEAR

A la figure 6.2b on peut voir le dispositif de protection du MEMS en coupe. En partant du bas, on a un substrat en cuivre qui correspond à la grille de connexion du boîtier d'une épaisseur d'environ 70 µm. Sur ce substrat on dépose le substrat de silicium (épaisseur 250µm) puis un anneau de colle puis une couche de silicium (épaisseur variable de 150 µm à 250µm) qui correspond au capot du MEMS.

La tenue à une hauteur fixe du capot est assurée grâce à quatre billes en or (bossage ou « stud bump ») déposés sur les quatre coins de l'anneau de colle. Le « stud bump » est formé grâce au fil de cablage. Deux tailles de « stud bumps » sont utilisées :

- 1. Le premier à base d'un fil de diamètre : 17,5µm; après l'étape de thermo-compression on a une bille d'environ 15 µm de hauteur.
- 2. Le deuxième à base d'un fil de diamètre : 33µm; après l'étape de thermo-compression on a une bille d'environ 27 µm de hauteur.

Le composant est enfin encapsulé par une couche de résine.



FIG. 6.2 – boîtier du TFEAR

Après le dépôt de l'anneau, des capots « bumpés » de différentes tailles désignés par les

lettres (XL, L, M, S) (Tableau 6.1) sont reportés sur une plaque de silicium. La disposition de ces tailles est présentée à la figure 6.3. Ces composants sont ensuite individualisés et assemblés dans des boîtiers HVQFN.



FIG. 6.3 – Capots de silicium assemblés sur une plaque de silicium

6.2.1 L'étape de moulage

L'étape de moulage des boîtiers électroniques est une étape qui est conçue pour protéger et assurer les performances des composants. Cependant cette étape présente des risques. Plusieurs études ont présenté le risque de défaillance suite à l'étape de moulage. Yang *et al* [39] a étudié l'effet du moulage sur des boîtiers MEMS ainsi que la probabilité de rupture de la puce de silicium. Il a montré qu'il y a plusieurs paramètres qui jouent un rôle important dans la fiabilité du boîtier aprés moulage tels que la pression du moulage, la taille de la cavité, l'épaisseur du capot de silicium et le type de rodage du silicium. Beijer *et al* ont étudié le gauchissement des boîtiers HVQFN par des mesures réelles du gauchissement sur des échantillons et par simulation thermomécaniques. Les paramètres d'entrée étant les paramètres des matériaux et l'épaisseur de la puce. Cette étude a permis d'évaluer une méthode d'optimisation du gauchissement. D'autres travaux [41, 18]ont aussi étudié le risque de rupture et de gauchissement du silicium suite au moulage des boîtiers électroniques.

6.3 Paramètres

Les études réalisées sur l'étape de moulage des boîtiers électroniques (cf paragraphe 6.2.1) ont montré que les paramètres du capot sont parmi ceux qui sont les plus influents. Dans cette étude deux paramètres relatifs au capot sont évalués :

– La taille (tableau 6.1)

– L'épaisseur

Taille	Dimensions (μm^2)
S	1200*950
М	1300*1050
L	1600*1350
XL	1700*1450

TAB. 6.1 – Tailles du capot

6.4 Plan d'expérience

Le plan d'expérience est un plan factoriel, il est composé de 12 essais (tableau 6.2). L'objectif est d'évaluer l'influence des paramètres (épaisseur, taille) sur la variation des contraintes et du gauchissement du capot.

Test	Désignation	Taille du capot	Epaisseur du capot (µm)
1	S-150	S	150
2	M-150	М	150
3	L-150	L	150
4	XL-150	XL	150
5	S-200	S	200
6	M-200	М	200
7	L-200	L	200
8	XL-200	XL	200
9	S-250	S	250
10	M-250	М	250
11	L-250	L	250
12	XL-250	XL	250

TAB. 6.2 – Plan d'expérience

6.5 Modèle par éléments finis

Pour des raisons de symétrie, un quart de boîtier HVQFN contenant le système de protection est évalué. Le modèle par éléments finis (figure 6.4) est composé (du bas vers le haut) par :

1. Une couche de cuivre qui correspond à la grille de connexion (« leadframe »)



FIG. 6.4 – Modèle en éléments finis du TFEAR

- 2. Une couche de colle entre le cuivre et le substrat de silicium
- 3. Un substrat de silicium (Epaisseur : 250 µm)
- 4. Un anneau de colle
- 5. Des « stud bumps » qui correspondent à des billes en or qui servent à maintenir le capot à une hauteur fixe
- 6. Une couche d'aluminium entre le capot et l'anneau
- 7. Un capot de silicium
- 8. Une couche de résine qui englobe le capot et le substrat

6.5.1 Matériaux

Les matériaux utilisés dans le modèle par éléments finis sont les suivants :

silicium : pour le capot et le substrat

Cuivre : pour la grille de connexion

Alumium : pour la couche de contact entre le capot et la colle

Colle1 : pour connecter le substrat de silicium à la couche de cuivre

Colle2 : pour l'anneau entre le capot et le substrat

 $\mathbf{Or}\,$: pour les « stud bump »

Résine : pour le moulage du boîtier

Matériau	Module d'Young (GPa)	Coefficient de Poisson	CDT (ppm/K)
Silicium	169	0,23	2,3
Cuivre	120	0,33	17,7
Aluminium	69	0,33	22,8
Colle 1	0.3	0,3	150
Colle 2	0.1	0,3	152
"Stud bump" (Au)	77	0,42	14,4
Résine	$20,24@(20^{\circ}C);$	0,25	$8(T < 120^{\circ}C);$
de moulage	0,71@(200°C)		$33(T>120^{\circ}C)$

Leurs propriétés, issues de la même base de données que l'étude précédente, sont données dans le tableau 6.3.

TAB. 6.3 - Matériaux[6]

6.5.2 Chargement

Au cours de ce chargement on applique les contraintes générées lors de l'étape de moulage du boîtier HVQFN. Cette étape correspond à une augmentation de la pression et de la température afin que la résine puisse s'injecter dans le boîtier puis durcir.

Comme le montre la figure 6.5 le chargement utilisé correspond à un réchauffement du composant pendant 120 secondes à 180°C couplée à une pression de 90 Bar appliquée sur les faces du boîtier. Puis une descente en température jusqu'à la température ambiante (20°C) est appliquée sous les mêmes conditions de pression.



FIG. 6.5 – Chargement

6.6 Résultats et discussions

Les paramètres de sortie sont :

- Le gauchissement
- les contraintes maximales principales

6.6.1 Gauchissement du capot

Ce paramètre permet d'évaluer le fléchissement du capot sous l'effet du moulage et ainsi le risque que le capot rentre en contact avec le MEMS. Sur le graphe de la figure 6.6 on a la distribution du gauchissement du capot sous l'effet de la pression. On peut remarquer que les valeurs les plus faibles de gauchissement sont observées pour les plus faibles tailles de capot. La variation en fonction de l'épaisseur est très faible.



FIG. 6.6 – Distribution du gauchissement



Le gauchissement maximum est au niveau de la zone médiane du capot. Sur les courbes isoréponses de la figure 6.7b, on a le gauchissement en fonction de la taille et de l'épaisseur. Ces courbes sont quasi horizontales. Ceci implique que le gauchissement dépend principalement de la taille du capot. La variation du gauchissement est entre 3µm et 3,5µm. Par conséquent le risque de fléchissement est faible.



(a) Gauchissement



(b) Gauchissement du capot en fonction de la taille et l'épaisseur du capot

FIG. 6.7 – Gauchissement du capot

6.6.2 Contraintes principales

Les contraintes maximales nous permettent d'évaluer les contraintes en compression et en tension sur le capot de silicium.

Les contraintes maximales mesurées sur le capot sont présentées à la figure 6.8a. On peut voir sur cette figure la distribution des contraintes maximales au niveau du capot ainsi qu'une concentration de la contrainte compressive (valeurs négatives) à la base du « stud bump ». A la figure 6.8b on a la distribution des contraintes en fonction de la taille et de l'épaisseur du capot. On peut remarquer que les contraintes en compression augmentent en valeur absolue avec la taille du capot et la diminution de son épaisseur. Ces contraintes compressives sont environ entre (-500MPa) et (-800MPa). Cette concentration de contrainte pourrait être un point de déclenchement de fissure du silicium. La probabilité de déclenchement d'une fissure dépend de l'épaisseur et du type de rodage utilisé.

6.6.3 Influence des paramètres

On peut voir dans le graphe de la figure 6.9 les coefficients des paramètres centrées pour les réponses suivantes (gauchissement, contraintes principales). Pour le gauchissement, seule la taille du capot est influente. Cependant pour les contraintes, la taille et l'épaisseur du capot sont des paramètres significatifs. On peut déduire que la variation des contraintes est proportionnelle à la taille du capot et inversement proportionnelle à son épaisseur.



FIG. 6.9 – Influence des paramètres (taille et épaisseur)



(a) contraintes principales sur le capot



(b) Contraintes en fonction de la taille et l'épaisseur

FIG. 6.8 – Contraintes principales

6.7 Tests expérimentaux

6.7.1 Mesure du fléchissement du capot

La figure 6.10b montre les connexions du HVQFN, le substrat de silicium (le grand rectangle blanc), le capot de silicium (le petit rectangle blanc) et quatre points près des bords du capot qui représentent les stud bumps.

Afin d'évaluer le fléchissement du capot, des mesures de la distance entre le capot et le substrat ont été réalisées sur des échantillons HVQFN. Comme le montre la figure 6.10a, deux plans de coupe ont été pris en compte (les plans AA et BB). Les mesures ont été effectuées par microscopie optique. Les mesures ont été faites sur des échantillons avec un capot XL et une épaisseur de 250µm.

Les mesures effectuées ont révélé une coplanarité d'environ 8% mais pas de fléchissement du capot. Ceci confirme les faibles valeurs de gauchissement (environ 3µm) calculées sur le composant par simulation thermomécanique sous les contraintes du moulage.

Cette coplanarité est générée lors de l'étape d'assemblage. En effet, les capots « bumpés » avec les « stud bump » sont reportés sur le substrat de silicium par thermo-compression. Cette étape a génèré une mauvaise coplanarité entre le capot et le substrat.



FIG. 6.10 – Plans de coupe et photo RX

6.7.2 Evaluation du risque de rupture du capot

Les résultats des essais expérimentaux par le test « bille sur anneau », présentés au chapitre 9 de cette thèse, permettent d'évaluer le risque de rupture du silicium. Dans le cas du TFEAR, ce test permet d'évaluer le risque de rupture du capot. Les résultats montrent que ce risque sur des éprouvettes de silicium augmente avec l'épaisseur. Les éprouvettes d'une épaisseur de 250µm ont une rupture moyenne à environ 500MPa alors que ceux à une épaisseur de 150µm ont une rupture à environ 700MPa.

En corrélant ces résultats expérimentaux avec les résultats de simulation présentés au paragraphe 6.6.2, on peut déduire les plages de valeurs les plus fiables. Ainsi, pour réduire le risque de rupture il faudrait utiliser la taille de capot et l'épaisseur les plus petits. Ceci permet d'avoir des valeurs de contraintes au dessous des limites de rupture.

6.8 Conclusion

A partir de cette analyse, les résultats de simulation ont montré un faible gauchissement qui dépend principalement de la taille. Cependant les contraintes dépendent de la taille et de l'épaisseur du capot. Afin de réduire les contraintes on peut réduire la taille du capot et augmenter l'épaisseur. Les contraintes sont principalement localisées au niveau de la base du « stud bump ». Ainsi le « stud bump » pourrait être une source de déclenchement d'une fissure au niveau du silicium.

Les tests expérimentaux ont permis de valider le faible gauchissement du capot et de révéler la présence de coplanarité du capot de silicium. Les résultats de contraintes ont montré une variation en fonction de la taille et de l'épaisseur du capot. Les essais réels par test de flexion sur des échantillons de silicium permettront de déterminer la probabilité de rupture du capot. L'utilisation de stud bump (33µm) permettrait de garder une hauteur plus importante du capot par rapport au substrat et de mieux protéger le TFEAR. Les essais sur la résistance du silicium, qui font l'objet du chapitre 9, permettront d'évaluer la probabilité et le risque de rupture du capot.

Chapitre 7

Simulation des vias traversants le silicium¹

7.1 Introduction

Les vias traversants (TSV : Through Silicon Via) sont des connexions à base de trous métalisés dans le silicium utilisés pour assurer un contact entre la couche supérieure et la couche inférieure d'une puce de silicium. Les TSVs ont plusieurs avantages; dont l'amélioration des performances électriques et l'augmentation de la densité des circuits. Les TSV ont aussi des inconvénients caractérisés principalement par une complexité croissante des procédés de fabrication, ainsi que l'apparition d'autres problèmes de fiabilité. La fragilité des TSVs est liée principalement à la différence de coefficient de dilatation thermique entre les différents matériaux du TSV.

Comme le montre la figure 7.1, on peut classer les TSVs en deux familles :[44]

- La première famille (courbe supérieure) : les vias sont disposés sur la périphérie des bases de connexions; le principal avantage de cette catégorie est d'améliorer le facteur de forme tout en gardant l'architecture initiale de la puce. Le pas entre les vias est compris entre 20µm et 30µm. Le via est connecté aux billes de brasure grâce à une couche de redistribution. Cette solution est à faible coût.
- La deuxième famille de TSV (courbe inférieure) correspond à des vias avec un pas inférieur à 5µm. Le via est connecté directement à la bille de brasure ce qui permet d'améliorer la performance et le rendement de ces composants. Cette solution est plus coûteuse et utilisée pour les applications de haute performance comme les FPGA et les CPU.

¹Cette étude a fait l'objet d'une communication dans un congrès IEEE[43]



FIG. 7.1 - Evolution des composants TSV[44]

Dans cette étude, des simulations paramétriques ont été réalisées sur un modèle local d'un TSV (voir figure 7.2). L'objectif est de déterminer et de classer les paramètres géométriques et matériaux les plus influents sur la fiabilité du TSV.



FIG. 7.2 – Modèle schématique d'un via traversant dans un subtrat de silicium

Trois configurations de TSV sont testées : un via rempli de cuivre, un via tapissé de cuivre et enfin un via rempli de résine. Les résultats sont analysés afin de déterminer les paramètres significatifs dans la variation des contraintes et des déformations.

La structure de ce chapitre 7 est la suivante :la section 7.2 présente les paramètres géométriques et matériaux utilisés ; la section 7.3 présente le plan d'expérience utilisé ; la section 7.4 expose le modèle par éléments finis et les différents paramètres matériaux et chargement ; enfin la section 7.5 discute des résultats et leur interprétation.

7.2 Paramètres

Ces paramètres peuvent être classés en deux groupes :

- 1. Paramètres géométriques : diamètre du via, épaisseur du substrat et épaisseur du cuivre sur les flans.
- 2. Paramètres matériaux :
 - Propriétés du cuivre (Module d'Young, limite d'élasticité et limite de rupture)
 - Mode de remplissage du via (Rempli de cuivre, Tapissé de cuivre, rempli de résine et de cuivre)
 - Type de substrat

La variation des paramètres est détaillée au tableau 7.1.

La variation des paramètres matériaux du cuivre permet d'évaluer le paramètre matériau qui influence le plus la variation des contraintes et des déformations. De même, le type de substrat permet de déterminer le rôle du type de substrat dans la variation des contraintes.

Symbole	Paramètre	Variation
V_D	Diamètre du via (μm)	30;75;100
Sub_th	Epaisseur du substrat (μm)	100;200;300
Cu_th	Epaisseur du cuivre (μm)	5; 7,5; 10
Cu_yo	Module d'Young du cuivre (GPa)	50;75;100
cu_yi	Limite d'élasticité (MPa)	220;230;240
ult	Limite de rupture (MPa)	240;250;260
V_m	Remplissage	tapissé de cuivre; rempli de
	du via	cuivre; rempli de (résine+cuivre)
sub	Substrat	Silicium; Céramique(96%); Céramique (99%)

TAB. 7.1 – Paramètres géométriques et matériaux

7.3 Plan d'expérience

Le plan d'expérience utilisé est basé sur la méthode de criblage. Cette méthode permet d'évaluer les paramètres les plus influents avec un minimum d'essais. Le plan d'expérience utilisé est composé de 27 essais. Les résultats de simulation sont traités par la méthode d'analyse de variance.

7.4 Modèle par éléments finis

Comme le montre la figure 7.3 un modèle axisymétrique est utilisé avec trois configurations : un modèle rempli de cuivre, un modèle tapissé et un modèle rempli de résine. Le
modèle est composé d'un substrat, une couche de silice et une couche de cuivre. Pour le modèle avec résine, une couche de résine remplit le via tapissé.



FIG. 7.3 – Modèle en éléments finis

7.4.1 Matériaux

Comme le montre le tableau 7.2, le via est composé d'un substrat qui peut être du silicium, de la céramique composée soit de 96%, soit de 99% d'alumine; d'une couche de silice entre le cuivre et le substrat; d'une couche de cuivre pour la couche conductrice et enfin de l'epoxy à l'intérieur du via utilisé pour les vias tapissés. Les figure 7.3présente la disposition de ces matériaux.

Le cuivre est modélisé comme un matériau élasto-plastique. Sa zone plastique (figure 7.4) est prise en compte en utilisant la courbe de la contrainte en fonction de la déformation du cuivre.

Matériau	Module d'Young(GPa)	Coefficient de Poisson	CDT (ppm/K)
Silicium	169	0,23	2,3
Silice	73	0,17	0,4
cuivre électrodéposé	75	0,33	17
Epoxy	3,8	0,3	$62 (Tg=160^{\circ}C)$
Céramique (96%)	300	0,22	6,4
Céramique (99%)	370	0,22	6,7



FIG. 7.4 – Contrainte en fonction de la déformation pour le cuivre électrodéposé[45]

7.4.2 Chargement

Afin d'évaluer le maximum de variation de contrainte, le chargement de la figure (Figure 7.5) a été utilisé. Ce chargement démarre à (125°C) puis, on a une descente en température jusqu'à (-40°C).



FIG. 7.5 – Chargement

7.5 Résultats et discussions

7.5.1 Déformation plastique équivalente et contrainte radiale

Les paramètres de sortie sont :

- La déformation plastique équivalente : afin d'évaluer le risque de rupture du silicium
- La contrainte radiale : afin d'évaluer la distribution des contraintes dans le via et au niveau de la couche de redistribution



FIG. 7.6 – Déformation plastique et contrainte radiale

La figure 7.6a, présente la distribution de la déformation plastique dans le TSV. On peut remarquer que le maximum de déformation est dans la zone supérieure et inférieure du via. Ceci indique qu'il y a un risque d'apparition de microfissures dans le via. Ces valeurs augmentent avec le via rempli de cuivre et diminuent avec le via tapissé. A la figure 7.6b on a la distribution des contraintes radiales dans le TSV, on peut remarquer que les valeurs les plus importantes sont dans les zones supérieure et inférieure de la couche de redistribution.

7.5.2 Paramètres influents

Chaque paramètre est caractérisé par une probabilité p qui correspond à la probabilité de se tromper en affirmant que le paramètre est significatif. Le seuil de p est fixé à (0,05). Ainsi un paramètre est considéré significatif si $(p \prec 0,05)$. Autrement dit, plus la valeur de p est faible, plus le paramètre est significatif. Cette méthode est utilisée pour évaluer les paramètres influents relatifs à la variation de la déformation plastique et de la contrainte radiale. Suite à la vérification du modèle statistique par test ANOVA et par distribution des résidues, on peut déduire l'influence des paramètres relatifs aux paramètres de sortie : la déformation et les contraintes.Cette méthode d'analyse de variance est présentée au paragraphe 3.4.6.1.2 du chapitre 3.



(a) Coefficients centrés de la déformation équivalente de la plasticité



FIG. 7.7 – Coefficients centrés des contraintes et des déformations

7.5.2.1 Déformation plastique

Le graphe de la figure 7.7a présente les coefficients centrés relatifs à la variation de la déformation plastique.

En prenant comme référence la variation de la probabilité p, le paramètre le plus influent est le module d'Young. En réduisant le module d'Young on réduit de façon significative la déformation plastique. Le deuxième paramètre influent est le mode de remplissage du via. En effet, utiliser un via tapissé réduit la déformation plastique dans le via, avec un via rempli de cuivre les déformations plastiques augmentent considérablement. D'autre part le substrat est considéré aussi comme paramètre influent dans la variation de la déformation plastique.

7.5.2.2 Contrainte radiale

Comme le montre le graphe de la figure 7.7b, les coefficients les plus influents pour la variation de la contrainte radiale sont le module d'Young, le mode de remplissage du via, l'épaisseur du cuivre sur les flans et enfin le diamètre du via.

En utilisant un via tapissé et en réduisant le module d'Young, les contraintes radiales diminuent considérablement. La variation des autres paramètres (type de substrat, limite d'élasticité et épaisseur du substrat) est considérée insignifiante dans la variation des contraintes radiales.

7.5.2.3 Récapitulatif

Les résultats obtenus montrent que pour diminuer les contraintes radiales et les déformations plastiques il faudrait :

- Diminuer le diamètre du via et l'épaisseur du substrat,
- Réduire le module d'Young et utiliser un via tapissé,
- Utiliser un via rempli de résine permet de réduire les déformations plastiques par rapport à un via rempli de cuivre,
- Le type de substrat a une influence sur la variation des contraintes radiales. Avec un via rempli de cuivre et un substrat de silicium, les contraintes sont plus importantes que celles avec un substrat en céramique. Cependant en utilisant un via tapissé et en réduisant le module d'Young, le type de substrat utilisé a très peu d'effet.

Cette étude a permis de determiner les paramètres les plus influents dans le TSV et de les classer, en utilisant des simulations thermomécaniques et un traitement statistique. Les résultats obtenus montrent que le module d'Young du cuivre et le mode de remplissage du via sont les paramètres les plus influents. Utiliser un via tapissé et du cuivre électro-déposé avec un faible module d'Young permet de réduire la déformation plastique et les contraintes radiales. D'autre part, les résultats de simulation ont montré que l'interface entre le cuivre et le substrat est un zone de forte contrainte. Ceci est dû à la forte variation de coefficient de dilatation thermique entre le cuivre, la silice et le substrat. Une étude complémentaire sur un démonnstrateur de TSV est prévue pour compléter cette étude.

7.6 Conclusion

Dans les chapitres (quatre, cinq, six et sept), la méthodologie de fiabilité prédictive a été appliquée sur des cas d'étude. La première étude avait pour objectif l'évaluation du choix d'un underfill adapté à un composant SiP, les résultats ont permis de déterminer une résine qui s'adapte à l'application. La deuxième étude sur le SAW filter consistait à évaluer la géométrie qui permet de réduire le risque de rupture. Cette étude a permis d'évaluer la géométrie de l'anneau et l'épaisseur qui permettent d'améliorer la fiablité du SAW filter. La troisième investigation sur un HVQFN consistait à évaluer le rôle du moulage dans l'apparition de fissures et l'évaluation du risque de gauchissement. Enfin la quatrième étude, avait pour objet l'étude d'un TSV. Les résultats ont permis de déterminer et de classer les paramètres les plus influents.

Ces études ont montré que le choix des paramètres, du critère de défaillance ainsi que les tests de vérification des résultats de simulations sont des étapes importantes dans le traitement d'un problème de fiabilité. Les essais expérimentaux permettent de vérifier et de compléter les simulations thermomécaniques. Le choix d'un plan d'expérience et le traitement statistique permettent d'évaluer l'influence des paramètres et d'élargir le champ d'étude. Le prototypage virtuel a permis principalement d'évaluer la rodustesse thermomécanique des produits tout en réduisant le temps et le coût de dévelopement. Ces études ont été effectuées dans le cadre d'investigations préliminaires en phase de conception. Ces études peuvent être poursuivies par une optimisation des données d'entrée notamment pour les paramètres des matériaux. Les modèles de simulation utilisés sont valides tant que de nouveaux phénomènes ne prennent le dessus, comme par exemple les réactions chimiques ou le changement de phase.

Ces quatres cas sont très différents les uns des autres. Cependant, la démarche méthodologique présentée dans les chapitres (4, 5, 6 et 7) a permis de les aborder de façon similaire et de les mener à bien.

Chapitre 8

Méthodes d'amincissement et de sciage

8.1 Introduction

Les puces de silicium sont utilisées dans plusieurs domaines : les cartes à puce, les microprocesseurs, les mémoires...Ces puces sont amincies par plusieurs techniques et à des épaisseurs de plus en plus fines. L'amincissement du silicium permet d'une part d'augmenter la flexibilité du composant pour des applications sur substrat souple, améliorer les performances électriques et la dissipation thermique. D'autre part, il permet de réduire l'épaisseur totale du composant final, d'améliorer la résistance mécanique pour réduire le risque de rupture et d'augmenter le nombre de puces dans les boîtiers à puces empilées.

Le risque de rupture est souvent une préoccupation majeure dans l'étude de la fiabilité d'un boîtier électronique. Parmi les causes de rupture, on peut noter la concentration de contraintes sur la puce. En effet, une puce de silicium peut se fissurer d'une part sous l'effet d'une forte variation des contraintes thermomécaniques et de la forte variation du coefficient de dilation thermique entre les différents matériaux, d'autre part par la variation des contraintes mécaniques qui pourrait entraîner un fléchissement important de la puce.[47]

Le déclenchement d'une fissure dans une puce de silicium dépend des propriétés des puces de silicium et de la force externe appliquée pour la rompre. Ces propriétés peuvent être classées en deux groupes : le premier groupe correspond aux propriétés cristallines du substrat de silicium comme le plan cristallin, la concentration d'impuretés et le taux de dislocations. Le deuxième groupe correspond aux modifications générées lors des procédés de fabrication du circuit en particulier l'étape d'assemblage. On peut noter dans ce groupe, la qualité de surface (le rodage), la qualité des bords des puces (le sciage) et l'épaisseur de la puce.

Dans le chapitre 9 l'évaluation de la résistance de silicium est focalisée principalement sur le deuxième groupe. La mesure de la valeur à la rupture de la puce est mesurée par un test de flexion. L'estimation du risque de rupture est évaluée par des méthodes probabilistes.

Cette étude s'intègre dans la méthodologie de fiabilité prédictive en particulier dans la partie expérimentale du graphe de la méthodologie présenté au chapitre 3 de cette thèse. Les résultats obtenus par les tests de flexion permettent de compléter les études de prototypage virtuel effectuées sur les composants électroniques dans les chapitres 4 et 6, en particulier pour l'évaluation du risque de rupture du silicium sous une contrainte mécanique donnée.

8.2 Procédés de rodage : Rodage mécanique

8.2.1 Introduction

L'amincissement des plaques de silicium est véhiculé par un besoin de miniaturisation et d'amélioration des performances électroniques. Les différentes techniques d'amincissement permettent d'ouvrir de nouveaux horizons en travaillant sur des composants ultra fins avec des épaisseurs qui peuvent atteindre les 10 µm. Le tableau de la figure 8.1 présente les variations et les prévisions d'épaisseur de silicium. On remarque que l'épaisseur dépend de l'application. Pour les produits standards l'ITRS (International Technology Roadmap for Semiconductors) prévoit des épaisseurs descendant jusqu'à 40 µm à l'horizon 2012. Pour les cartes à puces, cette épaisseur pourrait même atteindre 10µm, voire 8µm à l'horizon 2015. Aujourd'hui, il est encore difficile d'atteindre ces épaisseurs en production à cause des contraintes technologiques.

Année de production		2008	2009	2010	2011	2012	2013	2014	2015
Epaisseur minimum des puces de	50	50	50	50	45	40	40	40	40
silicium amincies (µm) (Produit général)									
Epaisseur minimum des puces amincies (µm)	20	20	15	15	10	10	10	10	8
(boîtiers ultra fins ex. carte à puce)									

TAB. 8.1 – Variation de l'épaisseur des puces de silicium(ITRS)[48]

Pour amincir les plaques de silicium on peut utiliser des méthodes de rodage mécanique et compléter par des méthodes de réduction de contraintes.

L'état de surface est une source de déclenchement des fissures. Plus la surface est rugueuse plus l'échantillon est fragile. Nous avons comparé l'état de surface de quatre types d'échantillons, en fonction des méthodes d'amincissement utilisées, qui sont présentées dans la suite de ce chapitre.

La figure 8.1 présente ces quatre types de surface et leur rugosité respective :une surface non rodée, deux surfaces rodées mécaniquement (rodage standard ou fin) et enfin une surface qui a subi une réduction de contraintes chimiquement.



FIG. 8.1 – Mesure de la rugosité moyenne de la surface de quatre types de surface

Le profil de surface des puces de silicium est mesuré par le microscope à force atomique. La plaque non rodée a la rugosité la plus importante, sa rugosité est supérieure à 100 nm. La plaque avec le rodage standard a une rugosité arithmétique R_a d'environ 16,3 nm. Avec le rodage mécanique fin la rugosité est d'environ 10,1 nm. Enfin, avec la gravure chimique, la rugosité est la plus faible (3,2 nm). Elle est environ cinq fois plus faible qu'un rodage mécanique standard. On peut remarquer que le rodage mécanique entraîne l'apparition de stries en surface. La distribution des stries sur une plaque est présentée à la figure 8.2. La profondeur de ces stries dépend de la qualité de rodage. Avec la gravure chimique, on peut observer la présence de quelques îlots.

Cette section est composée de deux sous-sections : la première sous-section présente le rodage mécanique et la seconde sous-section présente les méthodes de réduction de contraintes.



FIG. 8.2 – Stries sur une plaques[56]

8.2.2 Rodage mécanique

Pour amincir les plaques de silicium on utilise le rodage mécanique qui permet de réduire l'épaisseur de la plaque par frottement.

Le rodage mécanique est effectué par la machine de type DISCO DFG 840 présentée à la figure 8.3a.

Il est réalisé grâce à la rotation de deux meules. Ces meules ont une surface à base de grains de diamant. Une première meule Z1 est utilisée dans un premier temps pour amincir de plusieurs centaines de microns l'épaisseur de la plaque puis une deuxième meule Z2 est dédiée à la finition pour enlever les vingt derniers microns. Sur la meule Z2, on peut avoir plusieurs types de rodage : standard, fin ("polygrind") et ultra fin.

La figure 8.3b présente une vue schématique de l'opération de rodage mécanique. La plaque à roder est d'abord récupérée de la cassette A . Elle est centrée puis fixée sous vide sur un support en céramique (Table du mandrin). Puis la plaque passe dans un premier temps sous la meule Z1 et dans un deuxième temps sous la meule Z2 pour affiner le rodage. Enfin, la plaque est nettoyée, séchée et rangée dans la cassette B.

Le frottement entre la meule et la plaque génère des grains de silicium et un dégagement de chaleur qu'il faut évacuer. Ainsi, pour garantir une bonne qualité de rodage, on procède à un nettoyage et un refroidissement avec de l'eau déminéralisée de la plaque pendant et après le rodage.[49]



(a) Machine de rodage DISCO



FIG. 8.3 – Rodage mécanique

8.2.3 Réduction des contraintes

Le rodage mécanique génère une rugosité à la surface de la plaque et un gauchissement. Comme le montre la figure 8.4, un fort gauchissement associé à une rugosité à la surface facilite l'apparition de fissures.



FIG. 8.4 – initiation d'une fissure sur une face rodée[54]

Il existe plusieurs méthodes pour aplanir les reliefs, parmi lesquels on peut citer :[49]

- la gravure chimique humide qui permet d'enlever jusqu'à 20µm d'épaisseur,
- le polissage chimique-mécanique CMP (chemical mechanical polishing) qui combine la gravure chimique avec le polissage mécanique et le polissage sec,
- la gravure sèche ionique réactive RIE,

– la gravure plasma.

Dans ces travaux les méthodes de réduction de contraintes qui ont été évaluées sont la gravure humide et la gravure plasma. L'effet de la gravure humide est évaluée dans la section 9.3.2 sur des plaques sans circuits. L'influence de la réduction des contraintes par gravure sèche plasma est évaluée à la section 9.3.3.

Gravure chimique humide

La gravure chimique est utilisée généralement après le rodage mécanique pour améliorer la qualité de surface, réduire la rugosité et atteindre des épaisseurs au dessous de 100µm. Le rodage est effectué à l'aide de la machine SEZ SP203, présentée à la figure 8.5a. [50]

Comme le montre la figure 8.5b, le principe de cette technique consiste à pulvériser des produits chimiques sur la plaque de silicium. On utilise généralement l'acide nitrique (HNO_3) et l'acide fluorhydrique (HF). Ces produits attaquent la face non protégée de la plaque. Une rotation de la plaque permet d'assurer une épaisseur constante de la surface rodée. La gravure s'effectue à une vitesse d'environ 0.5μ m/s pour enlever au final une épaisseur d'environ 10 à 20µm. En fonction de l'application d'autres acides supplémentaires, comme l'acide sulfurique H_2SO_4 et l'acide phosphorique H_3PO_4 , peuvent être utilisés.

La réaction entre l'acide nitrique et le silicium crée une couche de dioxyde de silicium. Cette couche est ensuite dissoute par l'acide fluoridrique.[51] Cette réaction chimique est présentée par l'équation 8.1.[49]

$$|Si + HNO_3 + 6HF \rightarrow H_2SiF_6 + HNO_2 + H_2 + H_2O|$$
 (8.1)



(a) Machine de gravure humide[50]



FIG. 8.5 – Rodage chimique

8.3 Sciage des plaques de silicium

Le sciage est généralement effectué après le rodage, plus rarement avant le rodage. L'objectif de cette étape est de pouvoir séparer les puces de silicium de la plaque. Ceci s'effectue en créant des lignes de séparation entre les puces.

Il existe plusieurs techniques de sciage parmi lesquelles on peut citer le sciage mécanique, le sciage laser, le sciage par clivage et le sciage par amincissement.

8.3.1 Le sciage mécanique

8.3.1.1 Principe du sciage mécanique

Avant le sciage, la plaque est collée sur un film adhésif qui est attaché à un cadre. Un exemple de plaque collée sur un film est présenté à la figure 8.6a. L'adhésif est généralement sensible aux rayons ultra-violet (UV). Ainsi pour détacher les puces après le sciage, on expose la plaque aux rayons UV. Sous l'effet de ces rayons, l'adhésif perd une partie de son adhérence et les puces se détachent plus facilement.

Avec cette méthode le sciage s'effectue grâce à des lames en nickel ayant des grains en diamant de diamètre environ 4 à 6µm. La largeur de la lame est comprise entre 12µm et 35µm.

La lame tourne à une vitesse comprise entre 30000 tours/min à 60000 tours/min. Comme le montre la figure 8.6b, la zone de sciage est arrosée en continu afin d'éliminer les particules de sciage et de refroidir la zone de contact entre la lame et le silicium.



(a) Plaque sur cadre

(b) Opération de sciage[49]

FIG. 8.6 – Sciage mécanique

La qualité du sciage dépend de plusieurs paramètres parmi lesquels on peut noter le type de lame utilisée, sa vitesse de rotation et d'avance sur la plaque, la profondeur de découpe et le type de film adhésif utilisé pour maintenir la plaque de silicium.

8.3.1.2 Sciage par double découpe

Le sciage par double découpe est réalisé grâce à deux lames, comme le montre la figure 8.7. Il existe différents méthodes de double sciage. Parmi ces méthodes on peut citer : la double découpe, la découpe par étape et la découpe en biseau.



FIG. 8.7 - Double sciage[49]

- La double découpe ("Dual cut") : Avec cette méthode deux lames coupent en même temps. Ceci permet d'augmenter la vitesse de découpe d'une plaque.
- La découpe par étape ("Step cut") : Comme le montre la figure 8.7 deux lames de tailles différentes sont utilisées. La première lame est large, elle permet d'ouvrir un chemin de découpe et de découper les métaux en surface de la puce puis une deuxième lame plus fine permet de découper le silicium jusqu'au film adhésif. Cette méthode est la plus courante.
- La découpe en biseau ("Bevel cut") : Cette méthode est similaire à la méthode de découpe par étape. Avec la première lame, on procède à une découpe en V. Puis, avec une deuxième lame plus fine on effectue le sciage complet. Cette méthode permet de réduire l'écaillage sur les bords des puces.

8.3.1.3 Ecaillage

Les figures 8.8a et 8.8b présentent des exemples d'écaillage sur des échantillons qui ont subi un sciage mécanique et un rodage chimique. On peut remarquer la présence d'écaillage sur les bords de l'éprouvette. Cet écaillage est une conséquence du sciage. Un écaillage important fragilise la puce de silicium et pourrait devenir une source de déclenchement de fissures. La profondeur de cet écaillage dépend des méthodes de sciage et de rodage utilisées.



(a) Ecaillage sur une vue transversale

(b) Exemple de mesure d'écaillage

FIG. 8.8 – Ecaillage sur le bord de la puce de silicium

8.3.1.4 Récapitulatif des méthodes de sciage mécaniques

Le tableau 8.2 présente un récapitulatif des recommandations. Pour chaque gamme de produit correspondent une ou plusieurs méthodes de sciage adaptées. On peut remarquer que pour les puces fines de 80 à 175µm d'épaisseur, il est préférable d'utiliser deux lames de sciage avec une découpe par étape ou la méthode de demi-coupe avec la DBG (« Dice Before Grinding »), qui est présentée à la section 8.4. Ces méthodes permettent d'assurer une meilleure qualité de sciage. Cependant pour les puces de silicium utilisées pour les composants discrets la simple découpe est mieux adaptée.

	Une lame		s	DBG		
Dispositif/ catégorie	Epaisseur de la plaque (µm)	Simple découpe	Double découpe	découpe en biseau	Découpe par étape	Demi- découpe
Dispositif commun (CPU, microprocesseur)	400- <mark>3</mark> 00	0	0	0	0	0
Dispositifs pour les produits mobiles (mémoire, etc.)	150-175 (100-50 pour la génération suivante)	0	o	Δ	0	0
Dispositifs pour les circuits intégrés (mémoire, microprocesseur, etc.)	150-80	Δ	Δ	Δ	0	0
Dispositifs discrets (transistors, diode, LED, etc.)	200-120 (100-30 pour la génération suivante)	O	o	Δ	Δ	х

O: Méthode adaptée

Δ: Méthode peu adaptée X: Ne convient pas

TAB. 8.2 – Récapitulatif des méthodes de sciage mécanique [49]

8.3.2 Sciage laser et clivage

Il existe d'autres méthodes de sciage qui permettent d'améliorer la qualité de sciage. Takyu *et al* [52]ont présenté un procédé combinant le sciage laser et le clivage dans le but de réduire l'écaillage sur les bords et améliorer la résistance des puces. Comme le montre la figure 8.9, la méthode consiste à roder partiellement la plaque. Ensuite, on procède à l'étape de sciage par laser. Puis les puces sont séparées par clivage en tirant sur les bords du film adhésif supportant la plaque de silicium. Enfin, la plaque est rodée jusqu'à l'épaisseur requise.



FIG. 8.9 – Procédé d'amincissement utilisant le sciage laser et le clivage[52]

8.3.3 Sciage par gravure

L'objectif de cette méthode est de réduire la fragilité des bords des puces de silicium. Elle permet d'avoir des épaisseurs très fines et des lignes de sciage jusqu'à 10 µm de largeur.

La méthode du sciage par gravure est composée de trois étapes : dans un premier temps on commence par créer des tranchées par des techniques de gravure sèche. Cette étape nécessite un masque. Ensuite, la plaque est fixée sur un substrat. Enfin, elle est amincie par gravure en face arrière jusqu'à l'épaisseur choisie.

Schönfelder *et al* [53] ont développé une méthodologie pour évaluer la résistance des puces ultra fines (30 µm d'épaisseur) par test trois points. Ils ont montré que cette méthode de sciage améliore la résistance mécanique par rapport au sciage mécanique standard.

8.4 Procédés de finition

Les sections 8.2 et8.3 ont décrit séparement les méthodes et les principes de base du rodage et du sciage, cette section présente les principales méthodes de déroulement qui combinent le sciage et le rodage pour préparer les puces de silicium. Avant la phase de rodage, un film de protection est utilisé pour protéger les circuits. La surface d'un circuit présente souvent des irrégularités. Le film de protection permet d'absorber ces irrégularités et de disperser les contraintes générées lors du rodage afin d'assurer la protection du circuit de la rupture.

Les principaux déroulements utilisés peuvent être classés principalement en trois catégories : standard, amélioré et avancé. [49]

8.4.1 Déroulement standard

Le déroulement standard est souvent utilisé pour des épaisseurs au-dessus de 200µm. On commence par protéger la face de circuit par le film de protection puis on effectue le rodage. Ensuite, on enlève le film et on teste les circuits. Enfin, la plaque est fixée sur un cadre par un film adhésif et scié. Le déroulement de ce procédé est alors le suivant :

 $Film \ de \ protection \rightarrow Rodage \rightarrow Film \ enlevé \rightarrow Test \ de \ la \ plaque \rightarrow Mise \ sur \ cadre \ \rightarrow Sciage$

8.4.2 Déroulement amélioré

Avec le déroulement amélioré la plaque est testée avant la mise en place du film de protection. Une étape supplémentaire est rajoutée après le rodage qui consiste en une réduction des contraintes. Les principales méthodes de réduction des contraintes ont été présentées à la section 8.2.3. Le déroulement de ce procédé est donc composé par les étapes suivantes :

Test de la plaque \rightarrow Film de protection \rightarrow Rodage \rightarrow Réduction des contraintes \rightarrow Mise sur cadre \rightarrow Sciage

8.4.3 Déroulement avancé

Le déroulement avancé est utilisé pour atteindre des épaisseurs au-dessous de 100µm. On utilise le sciage avant le rodage avec la méthode DBG ("dicing before grinding"). Le principe de base consiste à scier partiellement la plaque (une demi-coupe) puis on procède au rodage mécanique jusqu'à l'épaisseur requise. Enfin, pour améliorer la qualité de surface et réduire l'écaillage, on effectue une étape de gravure plasma.

La figure 8.10 présente les différentes étapes utilisées avec la DBG. Avec la méthode DBG, on peut avoir deux types de déroulement (avec ou sans gravure plasma). Ces deux procédés sont les suivants :

1) Test de la plaque \rightarrow Sciage en demi-coupe \rightarrow Film de protection \rightarrow Rodage

2) Test de la plaque \rightarrow Sciage en demi-coupe \rightarrow Film de protection \rightarrow Rodage \rightarrow Réduction des contraintes par gravure plasma



FIG. 8.10 - Sciage avant rodage[54]

8.5 Conclusion

Dans ce chapitre, nous avons présenté les différentes étapes permettant d'obtenir des puces de silicium fines; selon les procédés utilisés, des contraintes plus ou moins importantes seront générées dans le silicium. Le chapitre suivant a pour objectif d'évaluer la résistance à la rupture du silicium en fonction de son historique de fabrication.

Les échantillons que nous avons étudiés pour évaluer la résistance mécanique ont été préparés par des méthodes de rodage mécanique standard et fin. Dans certains cas, les échantillons ont subi des méthodes de réduction de contraintes chimiques (humide et plasma). La méthode de sciage mécanique a été utilisée pour individualiser les échantillons.

Chapitre 9

Résistance mécanique du silicium

Introduction

L'évaluation de la résistance mécanique permet, d'une part de comparer différents types de procédés et de choisir l'épaisseur et le type d'amincissement qui correspond aux spécifications. D'autre part, cette évaluation permet de compléter et interpréter les résultats de simulation afin d'évaluer le risque de rupture des puces de silicium. Le silicium fait partie des matériaux fragiles, la limite à la rupture varie en fonction de plusieurs paramètres physiques comme l'épaisseur, la qualité de surface et la qualité de sciage. L'évaluation de cette limite nécessite l'utilisation de tests de flexion¹ à contrainte axiale comme le test trois points ou à contrainte biaxiale comme le test « bille sur anneau ». L'évaluation des résultats par des méthodes probabilistes est utilisée dans le but d'améliorer la précision d'évaluation de la limite à la rupture et de prévoir la probabilité de rupture en fonction de la contrainte appliquée.[56]

Dans ce chapitre, nous allons présenter dans la première section les principales méthodes de tests de flexion utilisées pour évaluer la limite à la rupture des matériaux fragiles et en particulier du silicium. La deuxième section décrit la méthode statistique utilisée pour traiter les résultats. Enfin les trois dernières sections présentent les résultats de test sur du silicium en fonction de la variation de l'état de surface et de l'épaisseur.

Ces résultats sont présentés en trois groupes d'expériences :

- au premier groupe, on a une évaluation de la limite de la rupture de puces de silicium en fonction de la variation de l'épaisseur par deux tests de flexions : test trois points et test bille sur anneau,
- pour le deuxième groupe, les tests sont réalisées par le test trois points avec une variation de la qualité de surface et de l'épaisseur,
- enfin pour le troisième groupe d'expériences, les tests sont réalisées par le test trois points pour évaluer l'influence de deux motifs de gravure sur la variation de la résistance

¹La flexion correspond au mouvement par lequel l'échantillon fléchi

mécanique du silicium.

9.1 Méthodes de mesure de la résistance mécanique du silicium après la finition

Afin d'évaluer la résistance du silicium, plusieurs méthodes de tests de flexion peuvent être utilisées [55]. Parmi ces tests on peut citer : le test trois points, le test quatre points et le test bille sur anneau. Le principe de chacun de ces trois tests est présenté aux paragraphes 9.1.1 et 9.1.2.

9.1.1 Test trois points et test quatre points

9.1.1.1 Principe du test trois points

Comme le montre la figure 9.1, le banc de test de flexion 3 points est constitué de trois barres dont deux fixes au-dessous de l'échantillon et une troisième mobile au niveau de l'axe médian du morceau de silicium. L'échantillon est placé au dessus et au milieu des deux supports fixes. La contrainte à la rupture σ est déterminée en utilisant l'équation 9.1. Elle est proportionnelle à la force (W) exercée pour rompre l'échantillon et la distance (L) séparant les deux barres fixes. Cette contrainte est inversement proportionnelle à la largeur de l'échantillon (b) et au carré de son épaisseur (h²)[56][55]. Le test trois points est largement utilisé pour évaluer la résistance des matériaux en raison de sa simplicité et la possibilité de pouvoir évaluer efficacement la résistance mécanique à la rupture en prenant en compte la qualité de surface et la qualité des bords de sciage.



FIG. 9.1 – Test trois points

9.1.1.2 Principe du test quatre points

La contrainte à la rupture du test quatre points est donnée par l'équation 9.2[55]. Une vue schématique de ce test est présentée à la figure 9.2. La contrainte est proportionnelle à la force W et à la distance (a) entre la barre supérieure et la barre inférieure. Mais aussi, elle est inversement proportionnelle à la largeur (b) de l'échantillon et au carré de son épaisseur (h^2) .



FIG. 9.2 – Test quatre points

9.1.1.3 Le test trois points versus le test quatre points

L'étude réalisée par Yeung *et al* [55] comparant le test trois points et le test quatre points a montré que la résistance à la rupture et l'écart type des résultats sont plus importants avec le test trois points. Takyu *et al* [52] ont confirmé aussi une plus faible variation avec le test quatre points par rapport au test trois points. Cette différence peut s'expliquer par la différence de principe de rupture de chaque test. Avec le test quatre points les défauts de sciage sont plus influents dans le déclenchement de la rupture, ceci pourrait accentuer la fragilité des échantillons soumis au test quatre points par rapport au test trois points. Yeun *et al* ont montré, grâce à une analyse des échantillons, que la rupture avec le test quatre points se déclenche souvent sur les bords des échantillons. Cependant avec le test trois points, l'analyse des échantillons cassés a montré que le déclenchement de la rupture se produit plus souvent à partir de la surface.

Dans cette étude, nous avons utilisé le test trois points, qui est déjà disponible dans

(9.2)

l'entreprise, pour évaluer la résistance mécanique du silicium. Ce test est réalisé à l'aide d'une machine de flexion de type SCHIMADZU EZ Test présenté à la figure 9.3. Cette machine permet de mesurer la force de rupture d'un échantillon et sa déviation.



FIG. 9.3 – Machine de flexion SCHIMADZU EZ test

9.1.2 Test bille sur anneau

Le test bille sur anneau est un test biaxial utilisé pour l'évaluation de la résistance à la rupture. Avec ce test, la contrainte est maximale au centre de l'échantillon. Ainsi les contraintes sur les bords sont quasiment nulles. Ce test permet d'évaluer uniquement la qualité de rodage et de s'affranchir des défauts générés par le sciage.

Il existe d'autres méthodes similaires comme le test « anneau sur anneau » ou le test « piston sur anneau » qui permettent aussi de réduire l'influence des défauts sur les bords. Le test bille sur anneau permet d'avoir plus de précision que les tests anneau sur anneau et que le test piston sur anneau.

Au cours de ces travaux, nous avons procédé à la préparation d'un cahier des charges et à l'approvisionnement d'un outillage bille sur anneau afin de pouvoir évaluer la qualité de surface des puces de silicium. Cet outil est utilisé sur la machine de flexion présentée à la figure 9.3.

9.1.2.1 Principe du test bille sur anneau

Le test bille sur anneau est largement utilisé pour évaluer la résistance des matériaux en céramique. La résistance à la rupture de ces matériaux dépend principalement de la qualité de surface. Ce test est utilisé aussi pour évaluer la résistance du silicium

Le banc de test bille sur anneau est présenté à la figure 9.4a. L'outillage est composé d'un anneau et d'une tige à extrémité sphérique. L'échantillon en silicium est placé sur l'anneau avec la face rodée dirigée vers le bas. [57] [56]

La contrainte σ est calculée par l'équation 9.3. Cette contrainte est proportionnelle à la force de rupture W et inversement proportionnelle au carré de l'épaisseur t.

Le test est réalisé sur un échantillon carré de largeur (2R). Le calcul de la contrainte prend en compte le rayon de l'anneau (a), le coefficient de Poisson ν du silicium et son épaisseur t. Le paramètre b correspond au rayon du disque ayant une contrainte uniforme, son approximation est faite suivant l'équation 9.4 développé par Kirstein et Woolley[58]. La zone de contact entre la bille et l'échantillon est de diamètre 2z.[57]

$$\sigma = \frac{3W\left(1+\nu\right)}{4\Pi t^2} \left\{ 1 + 2\ln\left(\frac{a}{t}\right) + \frac{\left(1-\nu\right)a^2}{\left(1+\nu\right)R^2} \left[1 - \frac{b^2}{2a^2}\right] \right\}$$
(9.3)

Avec

$$b = t, \quad pour \ z \succ 1,724t$$

$$b = (1,6z^2 + t^2)^{\frac{1}{2}} - 0,675t, \quad pour \ z \prec 1.724t$$

$$b = 0,325t, \quad pour \ z \to 0$$

(9.4)

Les plaques de silicium testées ont une épaisseur inférieure à 300µm avec une bille de diamètre généralement supérieur à 1mm ce qui implique que la zone de contact entre la bille et l'échantillon est largement supérieure au double de l'épaisseur de l'échantillon. Ainsi on peut considérer le cas b = t. La formule de la contrainte 9.3 peut être écrite sous la forme de l'équation 9.5.

$$\sigma = \frac{3W(1+\nu)}{4\Pi t^2} \left\{ 1 + 2\ln\left(\frac{a}{t}\right) + \frac{(1-\nu)a^2}{(1+\nu)R^2} \left[1 - \frac{t^2}{2a^2}\right] \right\}$$
(9.5)

L'outillage bille sur anneau, que nous avons conçu et fait usiner est présenté à la figure 9.4b. Il est composé principalement de trois pièces en acier :

- un plateau qui sert de base pour effectuer le test,
- une tige à base sphérique pour transférer la force exercée par la machine de flexion,
- un anneau sur lequel on dépose l'échantillon.

A ces trois pièces on rajoute des aimants pour fixer l'anneau et assurer la répétitivité des essais.

Le choix de l'outillage a été basé sur un certain nombre de critères, parmi lesquels on

peut citer la planéité de la surface pour garantir une meilleure précision dans les mesures et les dimensions des échantillons à tester.



(a) Test bille sur anneau(vue schématique)

(b) Outil test bille sur anneau

FIG. 9.4 – Test bille sur anneau

9.2 Choix d'un modèle probabiliste

Avec les matériaux ductiles la limite de la contrainte à la rupture est clairement définie. Cependant avec les matériaux fragiles, comme le silicium et la céramique, on a une plus grande variation de cette contrainte. La limite à la rupture dépend de plusieurs paramètres, principalement la qualité de surface et la qualité des bords.

Il existe plusieurs méthodes pour traiter les résultats expérimentaux et prévoir la probabilité à la rupture d'un matériau. Dans le cas des matériaux fragiles la méthode de Weibull est souvent utilisée pour traiter les données. [59]

Cette distribution a été utilisée dans plusieurs études pour évaluer la résistance de silicium [60, 56, 61, 31]. Les résultats obtenus montrent que cette méthode est bien adaptée.

La validité du choix de cette méthode peut être expliquée par le graphe de la figure 9.5. Cette figure montre que les points expérimentaux, qui correspondent aux résultats de test de rupture, suivent la tendance de la droite théorique relative au modèle de Weibull.

L'exemple donné ici correspond à des échantillons d'une plaque sans circuit ayant une épaisseur de 300µm et qui a subi une gravure chimique sur la face rodée. Cette adéquation entre les mesures expérimentales et le modèle théorique a été vérifiée pour l'ensemble des échantillons testés dans ce chapitre. Elle a également été validée aussi par un test de régression.



FIG. 9.5 – Comparaison du modèle théorique et expérimental

Méthode de Weibull

Avec la distribution de Weibull la probabilité de défaillance pour un échantillon de volume V est exprimée par l'équation 9.6. [59][60]

$$P(\sigma) = 1 - exp\left\{-\int_{V} \left(\frac{\sigma(x, y, z)}{\alpha}\right)^{\beta} \frac{dxdydz}{V_{0}}\right\}$$
(9.6)

Dans l'équation 9.6, $P(\sigma)$ représente la probabilité de défaillance accumulée, $\sigma(x, y, z)$ est la distribution des contraintes, β est le paramètre de Weibull qui reflète la dispersion des résultats, V_0 est le volume de référence et enfin α est la contrainte caractéristique qui correspond à une défaillance accumulée à 63,2%. [61]

On peut inclure le volume effectif V_{eff} et la contrainte de Weibull σ_w exprimés respectivement par les équations 9.7 et 9.8

$$V_{eff} = \int_{V} \left(\frac{\sigma(x, y, z)}{\sigma_{max}} \right)^{\beta}$$
(9.7)

$$\sigma_w = \sigma_{max} \left(\frac{V_{eff}}{V_0}\right)^{\frac{1}{\beta}} \tag{9.8}$$

Ainsi, en considérant $V_{eff} = V_0$ l'équation 9.6 peut être écrite sous la forme de l'équation 9.9.

$$P(\sigma_{max}) = 1 - exp\left[\left(-\frac{\sigma_{max}}{\alpha}\right)^{\beta}\right]$$
(9.9)

Soit

$$log(-ln(1 - P(\sigma_{max}))) = \beta log(\sigma_{max}) - log(\alpha)$$
(9.10)

Aprés transformation de l'équation 9.9 on obtient l'équation 9.10 qui est fonction de $log(\sigma)$ et qui correspond à l'équation d'une droite affine avec une pente β . La valeur de la contrainte caractéristique α est obtenue à la probabilité de rupture à 63,2% qui correspond à $log(-ln(1 - P(\sigma_{max}))) = 0.$

Pour calculer les paramètres β et α on effectue un classement des valeurs expérimentales et on utilise une probabilité cumulée P_i définie par l'équation 9.11, où i est le rang de l'échantillon et N le nombre total des échantillons.

$$P_i = \frac{i - 0, 3}{N + 0, 4}; \ avec \ 1 \le i \le N$$
(9.11)

9.3 Etude expérimentale

9.3.1 Evaluation de l'effet de la variation de l'épaisseur par test trois points et bille sur anneau

9.3.1.1 Expériences

Les échantillons vont subir deux tests : le test trois points et le test bille sur anneau. Ces expériences permettent d'évaluer le rôle de l'épaisseur par deux tests différents, de déterminer les paramètres physiques qui fragilisent les échantillons et d'utiliser les résultats pour compléter l'interprétation des résultats de simulation sur des boîtiers électroniques. Les échantillons sont issus de plaques de plan cristallin {100}.

Dans cette partie deux groupes d'échantillons sont testés. Chaque groupe est composé de trois plaques de silicium d'épaisseurs respectives 150µm, 200µm et 250µm. Ces plaques ont subi le même type d'amincissement : rodage mécanique fin (« polygrind »). Comme le montrent les figure 9.6a et 9.6b, deux tailles d'échantillons adaptées à chacun des deux tests sont utilisées :

- pour le test trois points, les échantillons ont une taille de (5mm*10mm),
- pour le test bille sur anneau, les échantillons ont une taille de (15mm*15mm).



(a) Echantillons pour le test « trois points » (b) Echantillons pour le test « bille sur anneau »

FIG. 9.6 – Echantillons pour test trois points (3PB) et bille sur anneau (BOR) (le méplat est dans la partie inférieure de la plaque)

Le prélèvement des échantillons dépend du type de test. Le rodage mécanique génère des stries sur la face arrière de la plaque :

- la contrainte générée par le test trois points est uni-axiale, ainsi la contrainte maximale est concentrée sur un axe. Par conséquent afin de tenir compte de la variation du sens des stries, les échantillons sont prélevés à plusieurs positions de la plaque. Ceci permet de tenir compte de toutes les configurations,
- avec le test bille sur anneau les échantillons sont sous une contrainte biaxiale. La force exercée par la bille est concentré sur la zone centrale de l'échantillon. La contrainte générée est perpendiculaire à la zone des stries. Ainsi la variation du sens des stries n'influe pas sur la résistance de l'échantillon. Ceci a été vérifié avec les expériences réalisés par le test bille sur anneau et présentées au paragraphe 9.3.1.2. [56]

9.3.1.2 Résultats et discussions

Les résultats du test de rupture sont présentés à la figure 9.7. Sur ce graphe on a six courbes, représentant chacune des plaques évaluées par le test trois points ou par le test bille sur anneau à différentes épaisseurs.



FIG. 9.7 – Evaluation de la contrainte à la rupture par test trois points (3PB) et bille sur anneau (BOR) par la distribution de weibull pour trois épaisseurs de plaques

Le tableau 9.1 présente un comparatif des contraintes et des déflexions² à la rupture par les deux tests et à épaisseurs différentes. La troisième colonne présente la contrainte à 63,2%de défaillance accumulée, la quatrième colonne permet de comparer le paramètre β des deux tests et enfin la dernière colonne présente les valeurs de la régression pour les deux tests.

Avec le test bille sur anneau les fissures sont initiées à partir de la surface. Cependant avec le test trois points les fissures sont déclenchées par les défauts de sciage et de rodage.

Test	Epaisseur	Contrainte $(63,2\%)$	β	déflexion	Régression
	(µm)	$\alpha({ m Mpa})$		(μm)	R^2 (%)
	150	727	3,39	160	90
Bille sur anneau	200	592	4,29	180	94
	250	506	2,87	210	94
	150	375	3,26	50	88
Trois points	200	284	2,72	50	85
	250	165	5,16	100	95

Tab.	9.1 -	- Contrainte	et	déflexion	par	test	trois	points	versus	bille	sur	anneau	(rodage
mécai	nique	fin)											

La figure 9.7 et le tableau 9.1 nous permettent de déduire ces remarques :

 la résistance à la rupture est plus faible avec le test trois points. Ce test prend en compte les défauts de sciage et les défauts issus du rodage. Avec le test bille sur anneau, la

 $^{^{2}}$ La déflexion correspond au déplacement suivant l'axe orthogonal, de la zone de contact entre l'échantillon et le couteau central (ou la bille) de la position horizontale à la position de rupture de l'éprouvette

rupture est issue uniquement du rodage et les contraintes sur les bords des échantillons sont quasiment nulles,

- avec le test trois points et le test bille sur anneau, la contrainte à la rupture la plus élevée est observée avec l'épaisseur la plus faible (150µm). Plus l'épaisseur diminue plus la contrainte à la rupture augmente,
- la déflection la plus importante avant la rupture correspond à l'épaisseur la plus grande (250µm) et avec le test bille sur anneau.

La surface sous la contrainte par le test trois points, qui correspond à l'espace rectangulaire limité par les deux supports fixes et la largeur de l'échantillon, est environ 20mm². Avec le test bille sur anneau la surface sous contrainte est limité par le diamètre de l'anneau. Cette surface est environ de 38mm².

Bien que la surface sous contrainte par test trois points soit presque deux fois plus faible que celle sous contrainte par le test bille sur anneau, les échantillons qui ont subi le test trois points cassent plus rapidement. Ceci est dû à la contribution du sciage à la fragilité des échantillons.

Zhao *et al* [56] ont évalué la résistance des puces de silicium et la différence entre les deux tests bille sur anneau et trois points et avec plusieurs méthodes d'amincissement. Leurs études confirment que le test trois points fragilise plus les échantillons que le test bille sur anneau.

Ainsi, les résultats de test trois points et bille sur anneau sont utilisés pour interpréter les résultats de simulation en fonction du type de contrainte appliquée sur le silicium. Si la contrainte est axiale, les résultats de test trois points sont bien adaptés pour évaluer le risque de rupture. Cependant si la contrainte est sur la surface et sur une zone limitée, les résultats de test bille sur anneau permettent de mieux prévoir la rupture.

9.3.2 Rôle de l'épaisseur et du type de rodage par test trois points

9.3.2.1 Expériences

Le déclenchement des fissures sur des puces de silicium est dû essentiellement à la présence de deux types de défauts : des défauts de surface qui apparaissent lors du rodage des plaques et des défauts sur le bord des puces qui apparaissent lors du sciage et qui se présentent sous forme d'écaillages. Afin de tenir compte de ces défauts, les essais de flexion ont été réalisés avec le test trois points. Les éprouvettes ont une taille de (5mm*10mm). Les échantillons sont issus de plaques de plan cristallin {100}.

L'objectif de ces essais est d'évaluer l'influence de deux paramètres : la qualité de surface et l'épaisseur de l'échantillon. Trois types de surface sont testés : polissage chimique, rodage mécanique fin et rodage standard. Avec le rodage standard deux types d'échantillons sont testés : face arrière polie chimiquement et face arrière non rodée. Les épaisseurs varient entre 150µm et 300µm, deux épaisseurs supplémentaires (100µm et 80µm) sont utilisées avec le polissage chimique. L'état de surface des échantillons est présenté en quatre groupes au tableau 9.2.



TAB. 9.2 – Et at de surface des échantillons

Les échantillons sont prélevés à plusieurs endroits de la plaque afin de tenir compte de la répartition des stries sur la face rodée de la plaque. Les échantillons sont disposés sur les barres fixes avec la face amincie dirigée vers le bas. Cette disposition permet de mettre les défauts de surface sous tension et ainsi évaluer la qualité de surface.

Type de rodage	Epaisseur	(β)	(α) (MPa)	Déflexion	Régression
	(µm)		$(63,\!2\%)$	(µm)	(%)
	80	4,7	1525	164	97
Groupe A :	100	5,43	1330	139	96
Polissage chimique	150	3,79	1039	160	96
(Face avant polie)	200	2,68	954	220	98
	250	3,34	779	259	97
	300	3,89	724	342	95
Groupe B :	150	3,14	862	124	95
Rodage mécanique fin	200	2,62	787	170	94
(« Polygrind ») (Face avant polie)	250	3,39	695	218	96
	300	2,48	639	288	98
Groupe C :	150	2,56	719	95	93
Rodage mécanique	200	4,76	576	128	98
standard (Face avant polie)	250	3,63	527	164	96
	300	2,86	480	202	94
Groupe D :	150	2,88	659	89	95
Rodage mécanique	200	2,74	520	116	95
standard (face avant non polie)	250	2,86	467	155	95
	300	2,52	426	197	93

9.3.2.2 Résultats et discussions

TAB. 9.3 – Résultats du test trois points

Le tableau 9.3 et les graphes de la figure 9.8 , présentent la répartition des résultats en fonction du type de rodage et de l'épaisseur. Au tableau 9.3, la troisième colonne donne le paramètre de Weibull qui reflète la dispersion des résultats. Plus la valeur de β est faible, plus l'écart entre la valeur minimale et maximale de la distribution des résultats de contrainte à la rupture est grand. La quatrième colonne, présente la répartition des contraintes en fonction du rodage et de l'épaisseur.

Ces résultats nous permettent de déduire que :

 la contrainte à la rupture la plus élevée est observée avec l'amincissement chimique. Ce type d'amincissement permet de réduire considérablement les défauts de surface par rapport au rodage mécanique,

- la variation de la contrainte est inversement proportionnelle à l'épaisseur, ainsi la réduction de l'épaisseur permet d'augmenter la résistance à la rupture des échantillons de silicium,
- la déflexion des échantillons dépend aussi du type de rodage et de l'épaisseur. Comme le montre le tableau 9.3, entre 100µm et 300 µm la déflexion est proportionnelle à l'épaisseur. Cependant, avec la plaque à 80µm d'épaisseur du groupe A, la tendance de la déflexion moyenne avant la rupture s'inverse car l'échantillon devient plus souple,
- la qualité de la face arrière a aussi une influence sur la répartition des résultats. On peut remarquer que les éprouvettes qui ont subi le rodage standard avec face arrière polie (groupe C) ont une contrainte et une déflexion plus importante que les échantillons avec la face arrière non polie (groupe D).

Contrainte (MPa) en fonction de l'épaisseur et de la qualité de surface (Valeur à 63,2% de la défaillance accumulée)



(a) Variation de la contrainte (MPa)



Déflexion (µm) en fonction de l'épaisseur et de la qualité de surface

(b) Variation de la déflexion (µm)

FIG. 9.8 – Contrainte et déflexion en fonction du rodage et de l'épaisseur
9.3.2.3 Evaluation des paramètres influents

Dans cette étude l'influence de deux paramètres est étudiée : un paramètre quantitatif relatif à l'épaisseur (150, 200, 250, 300) et un paramètre qualitatif relatif à la méthode d'amincissement sont utilisés avec les quatre configurations présentées au tableau 9.3. A partir de ces deux paramètres on peut construire un plan d'expérience orthogonal à 16 essais et traiter statistiquement l'influence des paramètres sur la variation de la contrainte et de la déflexion.



FIG. 9.9 – Influence des paramètres de rodage

Les deux graphes de le figure 9.9 présentent respectivement les coefficients centrés des deux paramètres (amincissement et épaisseur). Les quatre premiers coefficients sont relatifs au paramètre de rodage et le dernier coefficient correspond à l'épaisseur. On peut déduire à partir de ce graphe que :

- le type de rodage a une influence sur la variation de la contrainte et de la déflexion. Le coefficient relatif au polissage chimique (groupe A) est positif et permet d'améliorer considérablement la résistance à la rupture et la déflexion. Inversement avec le rodage standard les coefficients sont négatifs donc ce type de rodage contribue à la fragilisation des échantillons,
- on remarque que l'épaisseur est le paramètre le plus influent sur la variation de la déflexion. Ainsi plus l'épaisseur augmente, plus la déflexion est importante. Cependant,

l'augmentation de l'épaisseur entraîne la diminution des contraintes à la rupture des échantillons du silicium.

9.3.3 Evaluation du rôle du rodage par test bille sur anneau

L'utilisation du test bille sur anneau permet d'avoir une bonne évaluation de l'effet du rodage en prenant en compte uniquement les défauts de surface.

9.3.3.1 Expériences

Dans cette partie, les échantillons testés sont issus de trois plaques qui ont subi trois méthodes de rodage :

- polygrind,
- ultrapolygrind,
- polygrind suivi de traitement plasma.

Contrairement aux essais précédents qui ont été effectués sur des substrats de silicium sans circuits, les plaques testées dans cette partie ont sur la face arrière des circuits intégrés. Les échantillons testés par le test bille sur anneau ont une taille (10mm*10mm) et une épaisseur de 80 µm. Pour chaque plaque une trentaine d'échantillons sont testés. Les échantillons sont évalués avec la face rodée dirigée vers le bas. Ils sont issus de plaques de plan cristallin {100}.

9.3.3.2 Résultats et discussions

Les graphes des figures 9.10 et 9.11 présentent la variation de la résistance mécanique d'échantillons qui ont subi
 le test bille sur anneau. La figure 9.11 présente la probabilité de rupture accumulée des trois types de surface. Le table
au 9.4 présente un récapitulatif des valeurs de contrainte issues de la courbe de Weibull à 63,2% , la déflexion moyenne, la valeur de
 β et le R^2 .

Ces résultats nous permettent de déduire que :

- La résistance à la rupture dépend de la qualité de surface. Le rodage ultrapolygrind améliore d'environ 57% la résistance à la rupture par rapport au rodage mécanique fin (polygrind). Le traitement plasma améliore fortement la résistance à la rupture en réduisant les défauts de surface générés par le rodage mécanique
- La déflexion moyenne avant la rupture avec le traitement Plasma (440µm) est environ trois fois plus importante avant la rupture que les échantillons traités avec le polygrind (160µm)
- La dispersion des valeurs augmente avec l'amélioration de la qualité de surface.
- Les valeurs mesurées par le test bille sur anneau permettent de bien comparer les états de surface sans prendre en compte la qualité des bords



FIG. 9.10 – Variation des résultats de la contrainte à la rupture avec le test bille sur anneau



FIG. 9.11 – Défaillance cumulée

Type de	Contrainte (MPa)	β	déflexion	Régression
Rodage	$lpha(63,\!2\%)$		(μm)	$\mathrm{R}^2(\%)$
Polygrind	1233	3,94	160	97
UltraPlygrind	2865	4,18	230	92
Plasma	7569	5,07	440	96

TAB. 9.4 – contrainte et déflexion pour chacune des trois finitions de rodage

9.3.4 Rôle de la présence de structures 3D dans le silicium

9.3.4.1 Expériences

Dans cette partie deux plaques avec circuit sont testées par le test trois points. Ces deux plaques ont subi un rodage mécanique fin ("polygrind") à une épaisseur de 150µm. Deux types de structures 3D différentes (A et B) sont gravées respectivement sur chacune des plaques de silicium à une profondeur d'environ 30µm et remplis de polysilicium. Le but de cette partie est de comparer l'influence de ces deux structures 3D sur la résistance mécanique de la plaque.

Plusieurs études ont été réalisées sur la résistance d'échantillons avec circuits intégrés parmi lesquels on peut citer celle de Bohm *et al* [60] qui ont évalué la résistance mécanique de puces avec circuits. Cette étude a été focalisée sur la méthodologie de prédiction en utilisant la méthode de Weibull ainsi que sur l'influence des procédés d'intégration de circuits sur la résistance mécanique de la puce.

9.3.4.2 Résultats et discussions

La figure 9.12 présente la distribution de la contrainte accumulée pour chacun des deux motifs A et B. Comme le montre le tableau 9.5, les échantillons avec la structure A ont une contrainte et une déflexion à la rupture plus élevée que ceux avec la structure B. Ainsi, cette structure A résiste mieux à la rupture sous le test de flexion. Ces résultats montrent que la présence et le type de structures 3D intégrées dans le silicium ont une influence sur la résistance des échantillons.

Structure	Contrainte (MPa)	β	déflexion	Régression
	lpha(63,2%)		(μm)	$\mathrm{R}^2(\%)$
А	463	3,74	76	96
В	310	3,3	60	90

TAB. 9.5 – Contrainte et déflexion des composants avec deux structures A et B



FIG. 9.12 – Défaillance accumulée pour les deux plaques

9.4 Conclusion

Les résultats obtenus avec les différents tests montrent que le rodage et l'épaisseur ont une influence sur la variation de la contrainte et la déflexion du silicium, ainsi moins la puce a des défauts (au niveau de la surface de rodage, les bords de sciage, etc..), meilleure est la fiabilité. Avec le test trois points, le déclenchement des fissures est lié aux défauts de sciage et de rodage. Cependant avec le test bille sur anneau, seule la qualité de surface influence le déclenchement des fissures. Le test bille sur anneau est bien adapté pour évaluer la qualité de surface du silicium.

Les résultats obtenus sont utilisées pour interpréter des résultats de simulation dans les chapitres 4 et 6 de cette thèse, en particulier le risque de rupture du silicium sous l'effet d'une contrainte mécanique. Lorsque la contrainte est axiale c'est les résultats du test trois points qui sont utilisés. Cependant, en présence d'une contrainte centrée sur un zone de contact sur la surface du silicium, les résultats de rupture avec le test bille sur anneau sont plus adaptées pour prévoir le risque de rupture. Une corrélation des résultats de bille sur anneau et les simulation est présentée à La sous section 6.7.2 du chapitre 6.

La comparaison des deux tests (trois points et bille sur anneau) permet d'évaluer le rôle du sciage dans l'apparition des défaillances. L'influence du sciage dépend de plusieurs paramètres principalement liés aux paramètres de réglage de la machine, de sciage et aux propriétés géométriques des échantillons.

Les résultats de test bille sur anneau avec la variation de type de finition de surface ont montré que la gravure plasma permet d'améliorer considérablement la qualité de surface et de réduire le risque de rupture des échantillons. La présence de structure 3D réduit la résistance mécanique du silicium par rapport à un substrat sans circuits. Le type de structure intégrée est aussi un paramètre à prendre en compte pour l'évaluation de la résistance du silicium.

Conclusion générale

CETTE thèse se situe dans le cadre de l'étude de la fiabilité prédictive de nouveaux concepts d'assemblage SiP. L'objectif de ce projet était de développer une méthodologie de fiabilité prédictive adaptée aux nouveaux concepts d'assemblage qui permet d'optimiser et de prédire les performances avant la réalisation des prototypes physiques. Cette méthodologie a été ensuite appliquée sur des projets concrets.

La recherche bibliographique effectuée au chapitre1 et au chapitre2de cette thèse ont permis de présenter d'une part une introduction au microassemblage des composants électroniques. Cette présentation concerne en particulier les méthodes d'assemblages les plus utilisées et une procédure standard d'assemblage d'un boîtier. D'autre part, nous avons procédé à la présentation des méthodes d'évaluation de la fiabilité en phase de conception et de qualification. L'utilisation du concept « Design For Reliability » en phase de conception permet d'avoir un gain de temps et de coût dans le développement d'un composant électronique. Les études réalisées au cours de cette thèse utilisent cette approche. La modélisation numérique en éléments finis permet d'aider considérablement à la phase de conception. Les tests de qualification accélérés permettent d'évaluer les risques de défaillance sur les prototypes physiques. Ces tests sont souvent coûteux et chronophages mais nécessaires pour qualifier les composants électroniques et sont une garantie pour les clients qui utilisent ces circuits

Le chapitre3 a présenté la méthodologie de fiabilité prédictive développée au cours de ces travaux. Cette méthodologie présente plusieurs étapes basées sur les simulations, les méthodes statistiques et les tests expérimentaux. L'efficacité de cette procédure dépend de la précision des données d'entrée (matériaux, procédés, critères de défaillance et géométrie), des méthodes de calculs et des méthodes utilisées pour traiter les résultats en particulier le choix des méthodes statistiques.

L'utilisation du prototypage virtuel dans cette méthodologie permet d'avoir d'une part un rôle prédictif pour optimiser les composants et prévoir le risque de défaillance. D'autre part, le prototypage virtuel peut aider pour les actions correctives afin de résoudre les problèmes de défaillance sur des composants électroniques.

Les chapitres 4, 5, 6 et7 traitent des cas d'étude sur des composants SiP en utilisant la méthodologie de fiabilité prédictive. Ces études ont montré que le choix des paramètres, du critère de défaillance ainsi que les tests de vérification des résultats de simulations sont des étapes importantes dans le traitement d'un problème de fiabilité. Le choix d'un plan d'expérience et le traitement statistique permettent d'évaluer l'influence des paramètres et d'élargir le champ de l'étude.

Les quatre études effectuées ont des problématiques différentes, cependant la procédure utilisée est la même. Les essais expérimentaux effectués ont permis de compléter et vérifier les résultats de modélisation.

Le chapitre 8 permet de présenter une introduction aux méthodes d'amincissement et de sciages des plaques de silicium. Les études réalisées au chapitre 9 sur la résistance du silicium rentrent dans le cadre de la partie expérimentale de la méthodologie. Ils ont pour objectif d'une part de compléter les résultats de prototypage virtuel et d'autre part de caractériser les substrats de silicium. Nous avons procédé à la rédaction d'un cahier des charges et à l'approvisionnement d'un outillage bille sur anneau. Cet outillage permet de bien évaluer et de comparer l'effet de l'état de surface des éprouvettes de silicium dans le déclenchement des fissures.

Les essais ont été effectués avec le test trois points et le test bille sur anneau. Ils permettent d'avoir des données sur la limite de la contrainte et la déviation maximale à la rupture. Les résultats obtenus ont montré que la résistance varie en fonction de la qualité de surface et de l'épaisseur. Ainsi, la contrainte à la rupture la plus élevée est obtenue avec l'épaisseur la plus faible et la surface la moins rugueuse. Les essais réalisés par chacun des deux tests (trois points et bille sur anneau) ont permis d'évaluer deux modes de rupture. Les tests effectués sur des échantillons avec circuits ont montré que le type de structure intégrée a une influence sur la limite à la rupture et la déviation des éprouvettes.

Les études, avec la variation de la qualité de surface (plasma, ultra polygrind et polygrind), ont été effectuées sur des échantillons avec circuits et avec le test bille sur anneau. Les résultats ont montré l'influence de la surface sur la variation de la résistance à la rupture. Avec la finition plasma la résistance à la rupture a été considérablement améliorée.

Des études supplémentaires sont prévues sur le même type de substrat sans circuit et avec les trois qualités de surfaces afin d'évaluer l'influence des structure intégrés sur la qualité de surface. Des études sont aussi prévues pour évaluer l'influence de la méthode EBG (« Etching before grinding ») dans l'amélioration de la résistance à la rupture et sur des épaisseurs au dessous de 100 µm. Cette méthode EBG permet de réduire considérablement l'écaillage au niveau des zones de sciage par les méthodes de gravure sèche.

Parmi les défis à surmonter avec le prototypage des composants électroniques, on peut noter d'une part la complexité croissante des composants électroniques qui est caractérisée par la présence de non-linéarités. D'autre part, l'aspect multi-physique des composants et multi-échelle nécessite l'utilisation de méthodes et d'outils avancées et adaptées pour assurer des réponses précises et efficaces.

Malgré les avancées importantes dans le domaine de la mécanique et de l'électronique

durant les dix dernières années, les méthodes, les outils et les connaissances actuelles ne sont pas encore bien adaptés avec les besoins de l'innovation de la technologie microélectronique, en particulier dans le domaine de la modélisation des composants électroniques. Ceci nécessite une collaboration plus importante entre les différentes équipes de recherche académiques et industrielles.

Ces travaux de thèse ont necessité, l'utilisation d'un large spectre de connaissances aussi bien technologiques que multiphysiques et une application des méthodes mathèmatiques et informatiques aux analyses des simulations de la fiabilité.

Nous avons démontré par ces travaux, sur des cas concrets, le besoin et l'utilité du prototypage virtuel des composants électroniques et de l'utilisation d'une méthodologie prédictive dans l'évaluation de la fiabilité. De nombreuses voies d'amélioration restent à explorer notamment dans l'optimisation du choix des méthodes de modélisation statistique et de modélisation par éléments finis afin d'améliorer la précision et l'efficacité des modèles développés.

Liste des symboles

- AMDEC Analyse des Modes de Défaillances, de leurs Effets et de leur Criticité
- BGA Ball Grid Array
- C4 Controlled Collapse Chip Connection
- CEI Commission électrotechnique internationale
- CMOS Complementary Metal Oxide Semiconductor
- CMP Chemical Mechanical Polishing
- CMS Composant monté en surface
- CSP Chip Scale Packge
- DBG Dicing before grinding
- DFR Design For Reliability
- Flex Circuit imprimé souple
- FMEA Failure Modes and Effects Analysis
- HAST Highly Accelerated Stress Test
- HTCC High Température Cofired Ceramic
- HTOL High Temperature Operating Life
- HTSL High Temperature Storage Test
- HVQFN Heat sink-thin quad flat pack No-Lead
- HVQFN Heatsink Very-thin Quad Flat-pack No-Leads
- IEEE Institute of Electrical and Electronics Engineers
- IPC Institute for Interconnection and Packaging Electronic Circuits
- ITRS International Technology Roadmap for Semiconductors
- JEDEC Joint Electronic Device Engineering Council

- LCC Leadless Chip Carrier
- LTCC Low Température Cofired Ceramic
- MCM multi chip module
- MEB Microscope Electronique à Balayage
- MEMS Micro-Electro-Mechanical Systems
- MSL Moisture sensitivity level
- PICS passive integration connective substrate
- PPOT Pressure Pot Test
- PRECON Preconditioning
- QFN Quad Flat No- Lead
- QFP Quad Flat Package
- RIE Reactive Ion Etching
- SAC Brasure de type SnAgCu
- SAW Surface Acoustic Wave
- SiP System in package
- SO Small Outline
- SOC System on Chip
- TAB Tape Automated Bonding
- TFEAR Thin Film Elongation Acoustic Resonator
- THBC Temperature Humidity Bias Cycled Test
- THBS Temperature Humidity Bias Static Test
- TMCL Temperature Cycling
- TSV Through Silicon Via
- UHST Unsaturated Presure cooker
- Underfill Résine d'encapsulation par effet capillaire
- WLCSP Wafer Level Chip Scale Package
- WLP Wafer Level Package

Annexes

Annexe A



FIG. A.1 – Boîtiers disponibles chez NXP

Bibliographie

- [1] International Technology Roadmap for Semiconductors, pp. 8-9, 2005
- [2] G.Q. Zhang, A.A.O. Tay, L.J. Ernst, S. Liu, Z.F. Qian, H.J.L. Bressers, J. Janssen, Virtual Thermo-Mechanical Prototyping of Electronic Packaging - Challenges in material characterization and modeling, Electronic Components and Technology Conference IEEE, Proceedings 51, pp. 1479 - 1486, 2001
- [3] X. St. Martin, Packaging des circuits intégrés, Techniques de l'ingénieur, pp. 1-22, 2005
- [4] D. Tönnies, M. Töpper, Semiconductor Manufacturing Handbook, Packaging, chapter 21, pp.1-54, McGraw-Hill, 2004
- [5] C. Vasseure, Les méthodes d'assemblage, ESIEE, pp. 6-10, 2005
- [6] G.Q. Zhang, X.j.Fan, W van Driel, Mechanics of Microelectronics, Thermo-mechanics of integrated circuits and packages, chapter 5, pp. 169-278, Springer, 2006
- [7] http://www.microbonding.com/gb/tab_gb.htm
- [8] R. Tummala, Fundamentals of Microsystems Packaging, Fundamentals of design for reliability, chapter 5, pp184-210, McGraw-Hill, 2004
- R. Tummala, Fundamentals of Microsystems Packaging, Fundamentals of microsystems reliability, chapter 22, pp. 878-923, McGraw-Hill, 2004
- [10] G.Q. Zhang, X.j.Fan, W van Driel, Mechanics of Microelectronics, Reliability Practice, chapter 2, pp.49-63, Springer, 2006
- [11] JEDEC, Temperature Cycling JESD22-A104C, pp. 9, may 2005
- [12] JEDEC, Application Specific Qualification Using Knowledge Based Test Methodology, JESD94A, pp. 16, july 2008
- [13] J. Goupy, Lee Creigthon, Introduction aux plans d'expérience, Faites connaissance avec la méthode des plans d'expériences, chapitre 1, pp. 1-14, Dunod, 2006
- [14] J. Goupy, Lee Creigthon, Introduction aux plans d'expérience, Plans pour surfaces de réponse, chapitre 9, pp. 179-206, Dunod, 2006
- [15] J. Goupy, Lee Creigthon, Introduction aux plans d'expérience, Notions de statistique appliquées aux plans d'expériences, chapitre 5, pp. 67-85, Dunod 2006

- [16] G.Q. Zhang, X.j.Fan, W van Driel, Mechanics of Microelectronics, Introduction to advanced mechanics, chapter 4, pp.95-166, Springer, 2006
- [17] G.Q. Zhang, X.j.Fan, W van Driel, Mechanics of Microelectronics, Virtual thermomechanical prototyping, chapter 8, pp. 469-534, Springer, 2006
- [18] W.D. van Driel, J. van de Peer, N. Tzannetakis, A.Wymysłowski, G.Q. Zhang, Advanced Numerical Prototyping Methods in Modern Engineering Applications, 5th International Conference on Thermal and Mechanical Simulation and Experiments in Microelectronics and Microsystems IEEE, Proceedings 5, pp. 211 - 218, 2004
- [19] A. Jourdan, Planification d'experiences numeriques, Revue Modulad, pp. 1-11, 2005
- [20] T. Lundstedt, E. Seifert, L. Abramo, B. Thelin, Å. Nyström, J. Pettersen, R. Bergman, Experimental design and optimization, Chemometrics and Intelligent Laboratory Systems, n°42, pp. 3-40, 1998
- [21] O.C. Zienckiewicz, R.L. Taylor, The finite element method, Mc Graw Hill, 5th edition, vol. 1 :The basis, pp.1-16, 2000
- [22] H. Oudin, Méthode des éléments finis, Centrale Nantes, pp. 1-69, 2008
- [23] J. Goupy, Les plans d'expériences, Revue Modulad, Numéro 34, pp. 74-116, 2006
- [24] D. H. Doehlert, Uniform Shell Design, Appl. Stat, n°19, pp. 231, 1970
- [25] J. Lemaitre, Résistance des matériaux, Encyclopædia Universalis, pp.1-26, 2004
- [26] J. Botsis, Mecanique des structures, Critères de rupture de l'équilibre élastique, EPFL, Chapitre 15, pp.1-28, 2007
- [27] G.Q. Zhang, X.j.Fan, W van Driel, Mechanics of Microelectronics, Characterization and modelling of solder joint reliability, chapter 7, pp. 377-466, Springer, 2006
- [28] G.Q. Zhang, X.j.Fan, W van Driel, Mechanics of Microelectronics, Challenges and future perspectives, chapter 9, pp. 537-562, Springer, 2006
- [29] S. Barnat, S. Bellenger, H. Frémont, A. Gracia, P. Talbot, Virtual prototyping of a Wafer Level Chip Scale Package : Underfill role in die cracking, 10th International Conference on Thermal, Mechanical and Multi-Physics simulation and Experiments in Microelectronics and Microsystems, IEEE, pp. 336-341, 2009
- [30] A. J. Babiarz, H. Quinones, R. Ciardella, Fast Underfill Process for Large to small flip Chips, pp. 1-4, Asymtek, 2003
- [31] B. Cotterell, Z. Chen, J.B. Han, N.X. Tan, The Strength of the Silicon Die in Flip-Chip Assemblies, Vol. 125, pp.114-119, ASME, 2003
- [32] M. Ranjan, L. Gopalakrishnan, K. Srihari and C. Woychik, Die Cracking in Flip Chip Assemblies, Electronic Components and Technology Conference, pp.729-733, 1998

- [33] S. Zaglmayr, J. Scoberl, U. Langer, Eigenvalue Problems in Surface Acoustic Wave Filter Simulations, Johannes Kepler University Linz, pp. 1-26
- [34] Electronique, Les filtres à ondes de surface, n°156, pp. 78-88, Mars 2005
- [35] G. Feiertag, H. Kruger, C. Bauer, Surface Acoustic Wave Component Packaging, pp. 134-138, 2007
- [36] S. Bellenger, E. Cadalen, SAW filter integration on silicon PICS, pp. 1-25, Interconex, 2008
- [37] V. Vuorinen, Interfacial reactions between Sn-based solders and common metallization used in electronics, pp. 1-136, thesis, Helsinki University, Dec 2006
- [38] www.umetrics.com
- [39] D. Yang, J. Bielen, F. Theunis, W. D. van Driel, G.Q. Zhang, Die Fracture Probability Prediction and Design Guidelines for Laminate-Based Over-Molded Packages, 9th International Conference on Thermal, Mechanical and Multi-Physics simulation and Experiments in Microelectronics and Microsystems, IEEE, pp. 1-6, 2008
- [40] J.G.J. Beijer, J.H.J.Janssen, H.J.L. Bressers, W.D. van Driel, K.M.B. Jansen, D.G. Yang, G.Q. Zhang, Warpage minimization of the HVQFN map mould, 6th International Conference on Thermal, Mechanical and Multi-Physics simulation and Experiments in Microelectronics and Microsystems, IEEE, pp. 168-174, 2005
- [41] B. Vijayakumar and Y. Guo, Failure rate prediction and prevention of die cracking in over molded plastic packages, IEEE, pp. 798-803 ,2006
- [42] W.D. van Driel , D.G. Yang , C.A. Yuan , M. van Kleef , G.Q. Zhang, Mechanical reliability challenges for MEMS packages : Capping, Microelectronics, Reliability 47, pp.1823–1826, 2007
- [43] S. Barnat, H. Frémont, A. Gracia, E. Cadalen, C. Bunel, F. Neuilly, J-R. Tenailleau, Design for reliability : Thermo-mechanical analyses of Stress in Through Silicon Via, 11th International Conference on Thermal, Mechanical and Multi-Physics simulation and Experiments in Microelectronics and Microsystems, IEEE, pp. 635-640, 2010
- [44] M. Motoyoshi, Through-Silicon Via (TSV), Proceedings of the IEEE, vol. 97, n°1, pp. 43-48, January 2009
- [45] D.T. Read, Y.W. Cheng, R. Geiss, Morphology, microstructure, and mechanical properties of a copper electrodeposit, Microelectronic Engineering, Vol. 75, pp. 63–70, 2004
- [46] www.matweb.com
- [47] Jie-Hua Zhao, A Probabilistic Mechanics Approach to Die Cracking Prediction in Flip-Chip Ball Grid Array Package, IEEE Transactions on Components and Packaging Technologies, vol. 28, n°3, pp. 1-7, september 2005

- [48] International Technology Roadmap for Semiconductors, Assembly and packaging, ITRS Winter Conference, p. 9, 2007
- [49] K. Arai, Y. Kobayashi, H. Otani, Semiconductors Manufacturing Handbook, Grinding stress relief and dicing, Chapter 20, pp. 1-22, McGraw-Hill, 2005
- [50] SEZ SP203 Spin Processing Wet System, Macquarie Electronics USA Inc, pp.1-2, 2008
- [51] S. W. Richard, N Tauber, Silicon Processing For The VLSI Era, Vol. 1- Process technology, Lattice press
- [52] S. Takyu, M. Kiritani, E. Kurosawa, N. Shmizu, The development of cleaving- DBG +CMP Process, ICSJ, pp.1-4, 2010
- [53] S. Schönfelder, J. Bagdahn, M. Ebert, M. Petzold, K. Bock, Ch. Landesberger, Investigations of Strength Properties of Ultra-Thin Silicon, 6th International Conference on Thermal, Mechanical and Multi-Physics simulation and Experiments in Microelectronics and Microsystems IEEE, pp. 1-7, 2005
- [54] O. Tetsuya, 3D / SiP Key Technologies, KGD Packaging & Test Workshop, pp. 11-24, 2006
- [55] B. Yeung, T. Y. T. Lee, An Overview of Experimental Methodologies and Their Applications for Die Strength Measurement, IEEE transactions on components and packaging technologies, vol. 26, n°2, pp. 423-428, June 2003
- [56] J-H. Zhao, J. Tellkamp, V. Gupta and D. Edwards, Experimental Evaluations Of The Strength Of Silicon Die By 3-Point-Bend Versus Ball-On-Ring Tests, 9th International Conference on Thermal and Thermomechanical Phenomena in Electronic Systems, IEEE, pp. 177-183, 2008
- [57] G. De With, H. M. Wagemans, Ball-on-Ring Test Revisited, Journal of American Ceramic Society, Volume 72, n°8, pp. 1538-1541, 1989
- [58] F. Kirstein and R. M. Woolley, Symmetrical Bending of Thin Circular Elastic Plates of Equally Spaced Point Supports, Journal Res. Natl. Bur. Stand., Sect. C, volume 71, n°1 , pp. 1-10, 1967
- [59] W.Weibull, A Statistical Distribution Function of Wide Applicability, journal of applied mechanics, ASME, n°51, pp. 239-294, 1951
- [60] Ch. Bohm, Dr. Torsten Hauck, Prof. Wolfgang H. Muller, A. Juritza, Probability of Silicon Fracture in Molded Packages, 5th International Conference on Thermal and Mechanical Simulation and Experiments in Microelectronics and Microsystems, IEEE, pp. 75-81, 2004
- [61] ASTM Standards C1239-07, Standard Practice for Reporting Uniaxial Strength Data and Estimating Weibull Distribution Parameters for Advanced Ceramics, ASTM International, pp. 1-19, 2007

Etude prédictive de fiabilité de nouveaux concepts d'assemblage pour des « system-in-package » hétérogènes

Ce projet de thèse se situe dans le cadre de l'étude de la fiabilité prédictive de nouveaux concepts d'assemblages microélectroniques de type « system in package » SiP. L'objectif est de développer une méthodologie de fiabilité prédictive adaptée aux nouveaux concepts d'assemblage qui permet d'optimiser et de prédire les performances dès la phase de conception. Elle est ensuite appliquée sur des projets concrets. Cette méthodologie de fiabilité prédictive fait intervenir des études expérimentales, des simulations thermomécaniques et des analyses statistiques pour traiter les données et évaluer la fiabilité et les risques de défaillance. L'utilisation d'outils de simulation des composants électroniques est bien adaptée pour aider à l'évaluation des zones les plus fragiles, la mise en place des règles de conception et la détermination des paramètres les plus influents avec une réduction du temps de mise en marché d'un produit fiable et une optimisation des performances. Les études réalisées sur le silicium avec deux tests : bille sur anneau et test trois points montrent que le rodage et l'épaisseur ont une influence sur la variation de la contrainte et la déflexion du silicium à la rupture. Avec le test trois points, le déclenchement des fissures est lié à la qualité de sciage et de rodage. Cependant avec le test bille sur anneau, seule la qualité de surface influence le déclenchement des fissures. Le test bille sur anneau est bien adapté pour évaluer la qualité de surface du silicium. Avec les techniques chimiques de réduction de contraintes, comme la gravure humide et plasma, la résistance à la rupture a été considérablement améliorée. Ces tests de rupture sur le silicium ont permis de caractériser la rupture du silicium sous une contrainte de flexion et de compléter les résultats de simulation. Ces travaux démontrent, le besoin et l'utilité du prototypage virtuel des composants électroniques et de l'utilisation d'une méthodologie prédictive dans l'évaluation de la fiabilité en l'appliquant sur des composants réels.

Mots clés : Test bille sur anneau, test trois points, Prototypage virtuel, simulation thermomécanique, microassemblages, méthodologie de fiabilité prédictive, résistance mécanique du silicium, résine d'enrobage, boitiers électronique, plans d'expérience

Predictive reliability study of new assembly concepts for heterogeneous "system-in-package"

This thesis project is a study of the predictive reliability of new microelectronic package concepts such as "system in package" SiP. The objective is to develop a reliable predictive methodology adapted to the new assembly concepts to optimize and to predict the performance at the design phase. Then, the methodology is applied to concrete projects. This methodology of predictive reliability involves the use of experimental studies, thermomechanical simulations and statistical analysis to process the data and assess the reliability and risks of failure. The use of simulation tools for electronic components is well suited to assist in the evaluation of the most fragile areas, the setting up of design rules and the determination of the most influential parameters with a reduction in the setup time market for a reliable and optimized performance. Studies on silicon strength are conducted with two tests : ball on ring test and on three-point bend test show that the grinding and the thickness influence the variation of the stress and deflection of the silicon at break. With the three points bend test, the onset of crack is linked to defects in sawing and grinding zone. However, with the ball on ring test, only the surface quality influences the initiation of cracks. The ball on ring test is well suited for evaluating the quality of the silicon surface. Chemical techniques of stress release, such as wet etching and plasma etching, improve significantly the strength of silicon samples. These tests on silicon dies are used to characterize the breakdown of silicon under bending test and to complete the simulation results. We have demonstrated in this work, the need and the usefulness of the virtual prototyping of electronic components and the use of a predictive methodology in assessing reliability.

Keys words : Ball-on-ring test, three point bend test, silicon strength, die crack, virtual prototyping, thermo mechanical simulation, design for reliability, predictive reliability methodology, System in package, Underfill, design of experiments