



HAL
open science

Modélisation de l'immunité des circuits intégrés complexes aux perturbations électromagnétiques

Jean-Baptiste Gros

► **To cite this version:**

Jean-Baptiste Gros. Modélisation de l'immunité des circuits intégrés complexes aux perturbations électromagnétiques. Electronique. Université Sciences et Technologies - Bordeaux I, 2010. Français. NNT: . tel-00991031

HAL Id: tel-00991031

<https://theses.hal.science/tel-00991031>

Submitted on 14 May 2014

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

N° d'ordre : 4148

THESE

présentée à

L'UNIVERSITE BORDEAUX I

ECOLE DOCTORALE DE SCIENCES PHYSIQUES ET DE L'INGENIEUR

par **Jean-Baptiste GROS**

POUR OBTENIR LE GRADE DE

DOCTEUR

SPECIALITE : ELECTRONIQUE

MODELISATION DE L'IMMUNITE DES CIRCUITS INTEGRES COMPLEXES AUX PERTURBATIONS ELECTROMAGNETIQUES

Soutenue le 3 décembre 2010

Après avis de :

M. P. BESNIER	Chargé de recherche, HDR, IETR Rennes	Rapporteur
M. E. SICARD	Professeur, INSA de Toulouse	Rapporteur

Devant la commission d'examen formée de :

M. P. BESNIER	Chargé de recherche, HDR, IETR Rennes	Rapporteur
MME. G. DUCHAMP	Professeur, Université Bordeaux 1	Directeur de thèse
MME.H. FREMONT	Maître de conférences, HDR, Université Bordeaux 1	Examineur
M. J-L. LEVANT	Docteur ingénieur, expert CEM, ATMEL, Nantes	Co-directeur de thèse
M. E. SICARD	Professeur, INSA de Toulouse	Rapporteur
M. E. WOIRGARD	Professeur, Université Bordeaux 1	Examineur
M. C. MAROT	Ingénieur, expert CEM, EADS, Toulouse	Invité

AVANT PROPOS

Ma thèse a commencé le 1^{er} octobre 2007. Elle a été co-encadrée par Alain Meresse qui nous a quittés en mai 2009. J'ai beaucoup apprécié sa présence durant ces deux années.

Son enseignement et ses conseils m'ont particulièrement aidé durant ma thèse. Il m'a sensibilisé à un aspect très important de la recherche qui est la mesure. J'ai connu Alain peu de temps, mais ses qualités d'observation et l'importance qu'il attachait à toujours confronter le modèle à la réalité m'ont impressionné. Ainsi, dans ma thématique de thèse très orientée vers la simulation et la modélisation, j'ai attaché une importance particulière à monter un banc de mesure, le perfectionner et à m'assurer le plus possible de l'exactitude de mes travaux de modélisation.

Je garde le souvenir de longues discussions entre nous, sur la science mais aussi sur bien d'autres domaines. Je le remercie sincèrement de m'avoir aidé à prendre mes marques dans cette vie de chercheur.

Je dédie ces travaux à la mémoire d'Alain Meresse.

REMERCIEMENTS

Lorsque j'ai obtenu mon BTS électrotechnique au lycée Gustave Eiffel, je ne pensais absolument pas qu'un jour je deviendrais Docteur en sciences physiques et de l'ingénieur. A cette époque, je m'étais habitué à dimensionner câbles et disjoncteurs pour des courants de l'ordre de mille ampères. Maintenant, je mène des études sur des circuits où 40 millièmes d'ampère représentent pour moi un courant d'agression important. Après ce brutal changement d'échelle, je clos mes études dans le domaine de la microélectronique.

Ma thèse s'est déroulée au sein du laboratoire IMS à l'Université de Bordeaux 1. Je souhaite d'abord remercier le Professeur Pascal Fouillat, Directeur du laboratoire, de m'y avoir accueilli.

Je tiens à remercier le Professeur Eric Woïrgard pour m'avoir fait l'honneur de présider mon jury de thèse. Je remercie également Philippe Besnier et Etienne Sicard pour toute l'attention qu'ils ont porté à mon travail en acceptant d'être les rapporteurs de ma thèse. J'ai beaucoup apprécié leurs remarques qui m'ont permis d'améliorer ce manuscrit. Je remercie Hélène Fremont pour avoir accepté de participer à ce jury et pour ses remarques. Merci à Christian Marot, expert CEM chez EADS, pour sa participation au jury de thèse.

Je remercie sincèrement Geneviève Duchamp pour la qualité de son encadrement. Merci de m'avoir incité à participer à des conférences et pour les innombrables relectures du manuscrit et des articles.

Je me suis orienté vers la compatibilité électromagnétique après mon master recherche de microélectronique. J'ai démarré un stage encadré par Jean-Luc Levant, expert CEM chez ATMEL. Je tiens à le remercier très chaleureusement de m'avoir initié à la CEM. J'ai beaucoup apprécié sa confiance qui m'a permis de travailler sur les données constructeur de l'entreprise. Il y a eu un certain nombre de séjours à Nantes pour l'avancement de la thèse et j'ai apprécié ses efforts pour valoriser mon travail dans l'entreprise. Je le remercie encore de m'avoir accueilli chez lui et pour les bonnes soirées d'été, dans le jardin, à déguster des vins de Bordeaux.

Je remercie l'entreprise ATMEL de m'avoir aidé dans ce travail en mettant à ma disposition les données des circuits. Je remercie Messieurs Olivier Husson, Joël Chatal, Moïse Carcaud et

Remerciements

Jérôme Cordi pour leurs aides et leurs conseils. Je remercie également les employés du site de Nantes pour leur aimable accueil.

Je remercie mes collègues du centre de ressource en EEA de leur accueil pour réaliser les mesures. Je remercie Didier Geoffroy, Luc Lasne et Xavier Bertrand.

J'adresse mes remerciements aux collègues de l'IMS et de l'ENSEIRB que j'ai connus durant ma thèse. Je pense à François Marc, David Bédènes, Alexandrine Guédon-Gracia, Simone Dang Van, Isabelle Bord-Majek, Cédric Majek, Nathalie Deltimple, Sébastien Frégonese, Laurianne Blanc, Nicolas Bertrand, Pierre-Olivier Lucas de Peslouan, Hassene Fridhi, Kamal Baraka, Jean-Baptiste Jullien, Patrice Jaulent, Grégory Tortissier, Patrick Ginet et Thomas Fernandez.

Un grand merci à mes amis de longue date, Anne-Laure, Julien, Florent, Rémi, Mathieu, Julie, Cécile, Raphaël, Adrien, Thomas et Emilie.

Je remercie chaleureusement mes parents et mon frère Ludovic qui m'ont toujours soutenu durant mes années d'étude. Je remercie ma deuxième famille pour son soutien, Annick, Daniel et Marc. Enfin je tiens à remercier tout particulièrement mon amie Pauline, que j'ai rencontrée en première année de thèse et qui a toujours été là pour m'apporter bonheur et réconfort.

TABLE DES MATIERES

AVANT PROPOS	3
REMERCIEMENTS	5
INTRODUCTION GENERALE	13
CHAPITRE 1 - LA COMPATIBILITE ELECTROMAGNETIQUE DES CIRCUITS INTEGRES.....	17
INTRODUCTION.....	18
I. GENERALITES A PROPOS DES CIRCUITS ELECTRONIQUES.....	19
I.1 CIRCUITS ELECTRONIQUES	19
I.2 L'ELECTRONIQUE INTEGREE	20
I.3 EVOLUTIONS DES CIRCUITS INTEGRES	21
I.3.1. Evolution des procédés d'intégration.....	21
I.3.2. Evolution des fréquences de travail	23
I.3.3. Conclusion	24
II. LA COMPATIBILITE ELECTROMAGNETIQUE DES CIRCUITS.....	24
II.1 HISTORIQUE DE LA COMPATIBILITE ELECTROMAGNETIQUE	24
II.2 DEFINITIONS	25
II.3 L'EMISSIVITE DES CIRCUITS.....	27
II.3.1. Sources intentionnelles.....	27
II.3.1.1 Type rayonnées	27
II.3.1.2 Sources de type conduit.....	28
II.3.2. Source non intentionnelles : l'exemple des circuits intégrés.....	28
II.3.2.1 Sources non intentionnelles conduites.....	29
II.3.2.2 Sources non intentionnelles rayonnées	29
II.4 MODE DE PROPAGATION	30
II.4.1. Mode rayonné.....	30
II.4.2. Mode conduit et application aux circuits intégrés.....	30
II.4.2.1 Couplage par les rails d'alimentation	31
II.4.2.2 Couplage substrat	32
II.4.2.3 Chemins de couplage élémentaires.....	32
II.5 L'IMMUNITE DES CIRCUITS	35
II.5.1. Immunité conduite externe	36
II.5.2. Immunité conduite interne.....	38
II.5.3. Immunité rayonnée.....	39
II.5.4. Critères d'immunité et mécanisme d'erreur.....	39
II.5.4.1 Circuit numériques	40
II.5.4.2 Circuits analogiques	41
II.5.4.3 Circuit mixtes	42

III.	CONCLUSION	43
	CHAPITRE 2 - MAITRISE DE LA CEM : MODELISATION, OPTIMISATION ET MESURE	45
I.	MODELISATION DE LA CEM.....	47
I.1	NIVEAU DE MODELISATION.....	48
I.1.1.	<i>Niveau système, vision équipementier</i>	<i>48</i>
I.1.2.	<i>Niveau carte, vision électronicien</i>	<i>49</i>
I.1.3.	<i>Niveau silicium, vision fondeur</i>	<i>49</i>
I.2	MODELES D'EMISSIVITE	49
I.2.1.	<i>Modèles IBIS</i>	<i>50</i>
I.2.2.	<i>Modèle ICEM.....</i>	<i>51</i>
I.2.2.1	<i>Présentation de la norme</i>	<i>51</i>
I.2.2.2	<i>Composant PDN</i>	<i>52</i>
I.2.2.3	<i>Composant IA.....</i>	<i>53</i>
I.2.3.	<i>Composant IBC et association de modèles ICEM.....</i>	<i>54</i>
I.2.4.	<i>Synthèse.....</i>	<i>55</i>
I.3	MODELISATION DE L'IMMUNITE	56
I.3.1.	<i>Modèle ICIM-CI.....</i>	<i>56</i>
I.3.1.1	<i>Présentation de la proposition de norme</i>	<i>56</i>
I.3.2.	<i>Architecture proposée</i>	<i>57</i>
I.3.3.	<i>Composant PDN.....</i>	<i>58</i>
I.3.4.	<i>Composant IB.....</i>	<i>58</i>
I.4	MODELE D'IMMUNITE ET APPLICATIONS	59
I.4.1.	<i>Application de la norme ICIM-CI à un amplificateur</i>	<i>59</i>
I.4.2.	<i>Autres applications.....</i>	<i>61</i>
I.5	OUTILS LOGICIELS	62
I.5.1.	<i>Simulations utilisant les bases de données circuit du fondeur</i>	<i>62</i>
I.5.2.	<i>Logiciels de simulation.....</i>	<i>63</i>
I.5.3.	<i>Outils de modélisation.....</i>	<i>64</i>
I.6	CONCLUSION	65
II.	QUELQUES REGLES D'OPTIMISATION DE LA CEM DES CIRCUITS.....	65
II.1	PROTECTION ESD DES CIRCUITS INTEGRES.....	65
II.2	EXEMPLES D'OPTIMISATIONS.....	66
II.2.1.	<i>Action sur le canal.....</i>	<i>66</i>
II.2.2.	<i>Action sur le design du circuit.....</i>	<i>68</i>
III.	MESURES DE L'IMMUNITE DES CIRCUITS INTEGRES	68
III.1	LE STANDARD DPI.....	68
III.1.1.	<i>Principe</i>	<i>69</i>
III.2	BANC DE MESURE	69

III.3	PROCEDURE DE TEST.....	71
IV.	CONCLUSION	72
CHAPITRE 3 - METHODOLOGIE DE CONSTRUCTION DU MODELE D'IMMUNITE APPLIQUEE A UN CONVERTISSEUR ANALOGIQUE - NUMERIQUE..... 73		
I.	METHODOLOGIE DE CONSTRUCTION DU MODELE D'IMMUNITE.....	75
II.	PRESENTATION DU CONVERTISSEUR ANALOGIQUE - NUMERIQUE.....	75
II.1	CHOIX DU CIRCUIT.....	75
II.2	DESCRIPTION DE L'ADC.....	77
II.2.1.	<i>Caractéristiques techniques du convertisseur</i>	77
II.2.2.	<i>Topologie interne de l'ADC</i>	78
II.3	DESCRIPTION DE LA PHASE DE CONVERSION.....	79
III.	ETUDE DE LA SENSIBILITE DU CONVERTISSEUR	79
III.1	FONCTION SENSIBLE.....	80
III.2	PROPAGATION DES PERTURBATIONS.....	81
III.3	PROPOSITION DE STRUCTURE ICIM-CI.....	82
III.4	SIMULATIONS DU CIRCUIT ADC.....	84
III.4.1.	<i>Caractéristique des chemins de couplage – Etude fréquentielle</i>	84
III.4.1.1	Méthodologie.....	84
III.4.1.2	Simulations.....	84
III.5	IDENTIFICATION DES ELEMENTS RESPONSABLES DU COUPLAGE.....	86
III.5.1.	<i>Principe de fonctionnement du convertisseur DAC</i>	86
III.5.2.	<i>Démarche d'identification par simulation sélective</i>	87
III.5.2.1	Pont primaire seul.....	87
III.5.2.2	Ajout des switchs et du pont secondaire.....	89
III.5.2.3	Ajout des inverseurs de commande.....	91
IV.	MODELISATION DES CHEMINS DE COUPLAGE.....	93
IV.1	COMPOSANTS MODELISES.....	93
IV.2	MODELE DES RESISTANCES POLY-SILICIUM.....	94
IV.3	MODELE DES SWITCHS.....	95
IV.3.1.	<i>Modèle de type dipôle</i>	95
IV.3.2.	<i>Modèle de type quadripôle</i>	96
IV.3.3.	<i>Choix du modèle de switch</i>	99
IV.4	CREATION DU MODELE COMPLET.....	99
IV.4.1.	<i>Structure</i>	99
IV.4.2.	<i>Simulation</i>	101
IV.4.3.	<i>Comparaison entre modèle et simulation</i>	102
V.	MODELE FONCTIONNEL DU CONVERTISSEUR.....	104

Table des matières

V.1.1.	Création du modèle fonctionnel	105
V.1.2.	Algorithme d'approximations successives	105
V.1.3.	Marges de tension	106
V.1.4.	Macromodèle de l'ADC	106
V.1.5.	Convergence.....	108
VI.	COMPOSANT IB	108
VI.1	METHODOLOGIE D'ESTIMATION DE L'IMMUNITE	109
VI.1.1.	Méthode directe.....	109
VI.1.2.	Méthode indirecte.....	110
VI.2	IDENTIFICATION DU MECANISME DE DEFAILLANCE.....	111
VI.3	CREATION DU COMPOSANT DE CONTROLE DE L'IMMUNITE	113
VI.3.1.	Equation d'immunité.....	113
VI.3.2.	Interprétation.....	115
VI.4	CREATION DU MODELE D'IMMUNITE INTERNE ICIM-CI	116
VII.	RESULTATS DE MODELISATION	116
VII.1	IMMUNITE D'UNE PHASE COMPLETE DE CONVERSION	117
VII.1.1.	Courbes d'immunité	117
VII.1.2.	Discussion sur la phase relative.....	118
VII.1.3.	Discussion sur la marge de tension.....	119
VII.1.4.	Discussion sur les gains de fonction de transfert	120
VII.1.5.	Discussion sur les résultats d'immunité au-delà de 1 GHz.....	121
VII.2	PROFIL D'IMMUNITE SUIVANT VIN.....	121
VII.3	GENERALISATION DU MODELE	122
VII.4	SYNTHESE DES ACQUIS DU MODELE ICIM-CI	125
VII.5	DISCUSSION SUR LES PROFILS	126
VIII.	CONCLUSION	127
CHAPITRE 4 - MESURE DE L'IMMUNITE CONDUITE APPLIQUEE A UN CONVERTISSEUR... 129		
I.	CARACTERISTIQUE DU BANC DE MESURE	131
I.1	PRESENTATION DU CIRCUIT	131
I.2	CARTE DE TEST	132
I.3	MODELISATION DU CHEMIN D'INJECTION	134
I.4	MATERIEL MIS EN ŒUVRE.....	135
II.	OPTIMISATION DE LA MESURE.....	137
II.1	COMPROMIS TEMPS DE CALCUL ET PRECISION	137
II.2	AMELIORATION DE LA TECHNIQUE DE MESURE.....	138
II.3	TENSIONS APPLIQUEES A L'ADC	139
III.	RESULTATS DE MESURE	140

Table des matières

III.1	ETUDE DE REPARTITION DES RESULTATS CORROMPUS	140
III.1.1.	<i>Résultat à valeur entière</i>	141
III.1.2.	<i>Résultat à valeur non entière</i>	142
III.1.3.	<i>Influence du centrage sur la mesure</i>	142
III.2	RESULTATS DE MESURE DE L'IMMUNITE DE L'ADC	143
III.2.1.	<i>Mesure en injection directe</i>	144
III.2.2.	<i>Utilisation de la technique de mesure optimisée</i>	145
IV.	CONFRONTATION DU MODELE ET DE LA MESURE	147
IV.1	FINALISATION DU MODELE	147
IV.2	IMMUNITES DE QUATRE ETAPES DE CONVERSION.....	150
IV.3	UTILISATION DU MODELE POUR AMELIORER L'IMMUNITE.....	152
IV.4	CONCLUSION	154
V.	AMELIORATION DU MODELE	155
V.1	RESULTATS DE MESURE	155
V.2	PRISE EN COMPTE DE LA BROCHE VDDA DANS LE MODELE	157
VI.	CONCLUSION	160
CHAPITRE 5 - ETUDES COMPLEMENTAIRES ET PERSPECTIVES POUR LA DEMARCHE ICIM-CI		161
INTRODUCTION		162
I.	ETUDE D'UN COUPLE SOURCE – VICTIME	163
I.1	PRESENTATION DU MODELE ICEM-CE DU CŒUR NUMERIQUE DU MICROCONTROLEUR	163
I.2	ESTIMATION DE L'EMISSIVITE DU CŒUR	164
I.3	SIMULATION DU COUPLE SOURCE – VICTIME DU MICROCONTROLEUR	165
I.4	CONCLUSION	167
II.	ETUDE PRELIMINAIRE POUR L'APPLICATION DE LA DEMARCHE ICIM-CI A UNE PLL	167
II.1	DEMARCHE POUR APPLIQUER ICIM A LA PLL.....	168
II.1.1.	<i>Spécification des PLL et critère</i>	168
II.1.2.	<i>Démarche de modélisation</i>	168
II.2	ETUDE DE LA PLL.....	170
II.3	MODELISATION DE LA FONCTION.....	172
II.4	PERSPECTIVES POUR LE MODELE DES CHEMINS DE COUPLAGE.....	174
II.5	CONCLUSION	176
III.	PROPOSITIONS POUR COMPLETER LA NORME ICIM-CI	176
III.1	BILAN SUR LA DEMARCHE ICIM-CI.....	176
III.2	BLOC STATISTIQUE	177

Table des matières

IV. CONCLUSION 179

CONCLUSION GENERALE 181

BIBLIOGRAPHIE..... 185

LISTE DES PUBLICATIONS..... 193

LISTE DES FIGURES 194

LISTE DES TABLEAUX..... 197

LISTE DES EQUATIONS 197

ANNEXE – DEMARCHE POUR EXTRAIRE L’IA D’UN CIRCUIT 199

ANNEXE – DEMARCHE POUR EXTRAIRE L’IA D’UN CIRCUIT 199

RESUME 202

INTRODUCTION GENERALE

L'électronique intégrée connaît un essor croissant depuis les trente dernières années. Les techniques de fabrication permettent de réaliser des composants plus performants permettant de concevoir des appareils de plus en plus complexes. Grâce aux progrès de la lithogravure, les circuits tendent à occuper moins de place, sont plus rapides et consomment moins d'énergie. De ce fait, un abaissement des tensions d'alimentation est observé en même temps que l'avancée technologique. Si dans les années 95, la tension d'alimentation pouvait être de 2,5 Volts, on observe aujourd'hui des tensions d'alimentation en dessous du Volt.

Dans ce contexte, un abaissement des marges de tension des signaux numériques et analogiques est constaté. Cette tendance conduit à une augmentation des problèmes de compatibilité électromagnétique dans les circuits intégrés. En premier lieu, la densification des portes logiques conduit à une augmentation de l'émission de perturbations. Cette émissivité est actuellement mieux maîtrisée par les fondeurs de circuits. Grâce à des standards de modélisation, ce problème peut être pris en compte avant la construction du circuit intégré. Mais l'abaissement des marges de tension conduit aussi à une plus grande vulnérabilité des circuits, en particulier s'ils sont de nature analogique. L'immunité d'un circuit caractérise sa robustesse face aux perturbations électromagnétiques. Cette thématique importante ne fait pas encore l'objet de standards de modélisation permettant sa prédiction.

Si certaines approches permettent de modéliser l'immunité de circuits relativement simples comme les miroirs de courant, les paires différentielles ou les amplificateurs opérationnels, en ce qui concerne les circuits plus complexes, et tout particulièrement les circuits mixtes comme les convertisseurs, la littérature ne fait pas apparaître de travaux sur la modélisation de leur immunité dès la phase de conception.

Néanmoins, une proposition de norme, rédigée par un groupe de recherche français, décrit une démarche permettant de créer des modèles d'immunité de circuits intégrés. Dans le cadre des travaux de cette thèse, cette proposition a été retenue pour modéliser l'immunité d'un circuit

mixte complexe. Grâce à une collaboration avec l'entreprise ATMEL, un convertisseur analogique – numérique a été mis à disposition pour ce travail. Bénéficiant d'un accès aux données constructeur, il a été possible de créer un modèle d'immunité décrivant le mécanisme d'erreur de ce circuit.

Ce manuscrit présente la démarche complète permettant de modéliser l'immunité de ce convertisseur ainsi que les mesures d'immunité sur circuit.

Dans un premier chapitre, les tendances de l'électronique intégrée sont présentées. Puis une présentation de la compatibilité électromagnétique des circuits est donnée. Les notions importantes que sont l'émissivité, le canal de propagation et enfin l'immunité sont introduites.

Le deuxième chapitre détaille la modélisation de l'émissivité puis de l'immunité. Ensuite, un certain nombre de techniques d'optimisation de la CEM sont données, suivies d'une présentation des logiciels utilisés pour créer le modèle. Pour finir, la technique de mesure utilisée durant ces travaux est décrite.

Le troisième chapitre présente la méthodologie de création du modèle d'immunité du convertisseur en détaillant toutes les étapes. Après une étude du circuit convertisseur d'un point de vue CEM, les simulations préliminaires sont réalisées afin de caractériser les chemins de couplage des perturbations. La modélisation de ces chemins est ensuite décrite, ainsi que la création du modèle fonctionnel du convertisseur. La partie suivante décrit précisément le mécanisme d'erreur du circuit en présence de perturbations. Cette analyse permet de calculer l'immunité du convertisseur à partir des chemins de couplages et des marges de tension du sous-circuit le plus sensible, le comparateur. Enfin, les résultats d'immunité sont présentés et discutés.

Pour valider les résultats du modèle d'immunité, des mesures sont menées sur un microcontrôleur comportant le circuit convertisseur modélisé. Ce quatrième chapitre présente le banc de mesure développé durant cette thèse. Puis, une technique d'amélioration du banc est proposée dans le but de gagner en précision et en temps de mesure. Les principaux résultats de mesures sont ensuite exposés. Enfin, les résultats du modèle sont confrontés à ceux de la mesure.

Pour finir ce manuscrit, le dernier chapitre présente une étude de CEM appliquée au microcontrôleur. L'émissivité du cœur logique du microcontrôleur est simulée conjointement à l'immunité du convertisseur. L'étude permet de confirmer la dégradation de précision du convertisseur annoncée par le constructeur ATMEL. Des perspectives d'application de la

démarche sur un circuit boucle à verrouillage de phase sont ensuite présentées. Pour finir, des améliorations sont proposées pour la proposition de norme permettant de créer des modèles d'immunité de circuits intégrés.

CHAPITRE 1 - LA COMPATIBILITE ELECTROMAGNETIQUE DES CIRCUITS INTEGRES

INTRODUCTION.....	18
I. GENERALITES A PROPOS DES CIRCUITS ELECTRONIQUES.....	19
I.1 CIRCUITS ELECTRONIQUES	19
I.2 L'ELECTRONIQUE INTEGREE.....	20
I.3 EVOLUTIONS DES CIRCUITS INTEGRES	21
II. LA COMPATIBILITE ELECTROMAGNETIQUE DES CIRCUITS.....	24
II.1 HISTORIQUE DE LA COMPATIBILITE ELECTROMAGNETIQUE	24
II.2 DEFINITIONS	25
II.3 L'EMISSIVITE DES CIRCUITS.....	27
II.4 MODE DE PROPAGATION	30
II.5 L'IMMUNITE DES CIRCUITS	35

INTRODUCTION

Le premier chapitre de ce manuscrit a pour but de présenter la compatibilité électromagnétique (CEM) des circuits intégrés. Pour cela, je propose une rapide présentation des circuits intégrés ainsi que les principales tendances associées concernant en particulier la densification, la rapidité et la consommation. Puis, une présentation générale de la compatibilité électromagnétique des circuits est donnée avec, notamment, un rappel des définitions de l'émissivité, du canal de transmission et de l'immunité. Cette description s'intéresse ensuite plus particulièrement à la CEM conduite des circuits intégrés en présentant les chemins de couplage élémentaires des perturbations dans les circuits simples. Pour finir, je détaille l'immunité conduite en présentant notamment une liste des principaux critères d'immunité des circuits électroniques.

I. GENERALITES A PROPOS DES CIRCUITS ELECTRONIQUES

La première partie de ce chapitre propose d'exposer plusieurs aspects de l'électronique intégrée. Après une présentation générale du domaine, les tendances de l'électronique discrète sur carte sont décrites. L'électronique intégrée est ensuite plus particulièrement présentée. Enfin, l'évolution des technologies d'intégration est détaillée avec ses conséquences en termes de performance, de consommation et d'intégration.

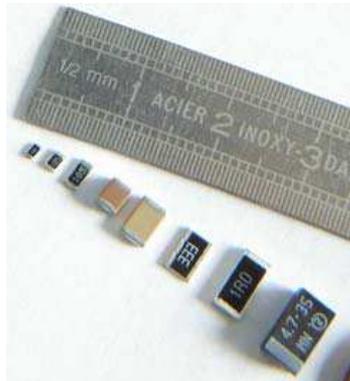
I.1 Circuits électroniques

Les circuits électroniques sont de plus en plus présents dans les appareils usuels domestiques. Ces appareils sont de plus en plus automatisés et réalisent des opérations de plus en plus complexes. Par exemple, certains appareils électroménagers utilisent des programmeurs électroniques très performants où un grand nombre de capteurs et d'actionneurs sont présents. De plus, de larges domaines de l'industrie comme le secteur de l'automobile offrent à l'électronique de nouvelles applications. Ainsi, si dans les années 80 on voyait apparaître des allumages électroniques sur certains modèles, à l'heure actuelle les véhicules sont munis d'ordinateurs de bord, centralisant les informations et pilotant différents systèmes. Des opérations complexes sont maîtrisées par le véhicule ; c'est ainsi que certains modèles sont maintenant aptes à se garer en créneau automatiquement. Les actionneurs de direction, de propulsion sont commandés par l'ordinateur de bord à partir de données issues de capteurs de proximité à ultrason [1].

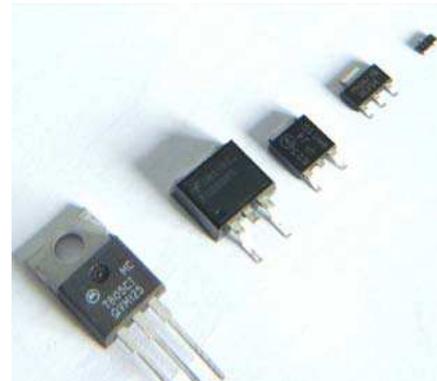
La miniaturisation de l'électronique permet d'élaborer des fonctions de plus en plus complexes, consommant peu, occupant moins de place et pouvant être embarquées, ce qui conduit également à la multiplication des champs d'application.



(a) carte mère de PC



(b) composants passifs



(c) transistors discrets

Figure 1. Illustration de la miniaturisation en électronique

Les technologies de fabrication des cartes ont, elles aussi, beaucoup évolué. Dans les années 90, les industries utilisaient des cartes disposant de deux ou quatre couches. De nos jours, il est possible d'empiler entre dix et seize couches pour des applications spécifiques. En parallèle, les composants discrets ont subi une forte miniaturisation : les technologies CMS (voir image centrale de la Figure 1) ont remplacé les composants traversants dans toutes les applications haute densité, comme le téléphone portable ou les cartes mère d'ordinateur. Ces évolutions permettent maintenant d'obtenir une très forte densité d'intégration sur carte.

I.2 L'électronique intégrée

A l'instar de l'électronique discrète, l'électronique intégrée suit une tendance similaire en termes de complexification, de miniaturisation et d'intégration.

En intégrant des circuits électroniques sur le même substrat, il est possible d'élaborer des fonctions complexes et performantes. En effet, l'évolution des procédés d'intégration (notamment la lithographie) a permis de densifier fortement les circuits et d'intégrer de plus en plus d'éléments passifs. Certains systèmes peuvent alors être complètement intégrés sur le silicium.

Pour illustrer ces propos, je choisis l'exemple du microcontrôleur. Ce circuit regroupe sur un substrat semi-conducteur commun les fonctionnalités d'un ordinateur : un processeur, des mémoires, des périphériques et des entrées sorties. Les circuits numériques, qui constituent les mémoires et le processeur, partagent le même substrat que les parties analogiques des périphériques (parties repérées sur la Figure 2).

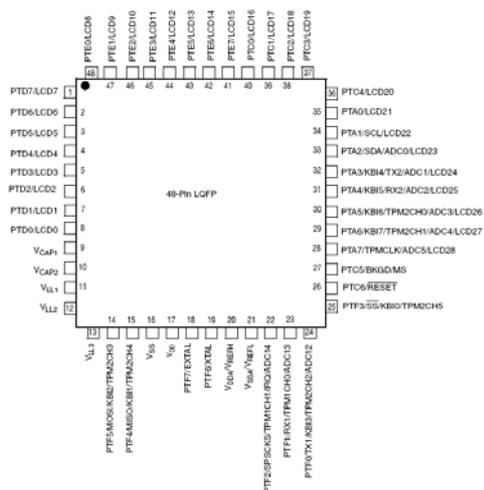
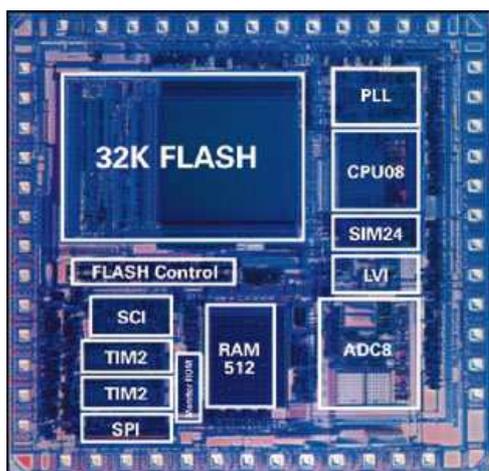


Figure 2. Agencement d'un circuit microcontrôleur et schéma

Les parties analogiques sont constituées d'amplificateurs, d'oscillateurs ou de convertisseurs analogique – numérique (ADC¹) et numérique – analogique (DAC²). On parle alors de circuit mixte. Dans la suite de ce manuscrit, nous nous appuierons sur l'exemple du microcontrôleur car ce sont essentiellement des circuits analogiques, intégrés dans celui-ci, qui font l'objet des études menées durant cette thèse.

I.3 Evolutions des circuits intégrés

Comme énoncé précédemment, le niveau d'intégration élevé des circuits complexes, tels que des microcontrôleurs, a été rendu possible grâce à un perfectionnement des procédés de fabrication. Ceux-ci ont permis notamment de réduire considérablement la taille des transistors. Dans ce paragraphe, je propose de présenter rapidement l'évolution de ces procédés puis d'évaluer leurs conséquences sur les performances des circuits intégrés en termes de densité, de consommation et de rapidité.

I.3.1. Evolution des procédés d'intégration

La fabrication des circuits intégrés repose sur un ensemble d'opérations technologiques et, notamment, la technique de photolithographie permettant de créer des motifs sur un substrat semi conducteur. Ces motifs permettent de constituer les composants élémentaires de l'électronique comme les transistors, résistances, capacités ou encore inductances. Deux principales techniques de lithographie ont été développées : le photo-masquage pour de relatives faibles densités d'intégration et l'implantation ionique par faisceau d'électrons qui conduit à de plus fortes densités d'intégration.

Le perfectionnement de ces différents procédés de fabrication a permis d'augmenter la densité d'intégration des circuits, comme le fait apparaître le graphe de la Figure 3 [2] pour les microcontrôleurs. Si en 2001, la technologie permettait de construire des microcontrôleurs en 0,35 μm , en 2010 la technologie 90 nm est communément utilisée. Un tel gain technologique permet de construire des circuits plus performants et consommant moins d'énergie.

¹ Analog to Digital Converter

² Digital to Analog Converter

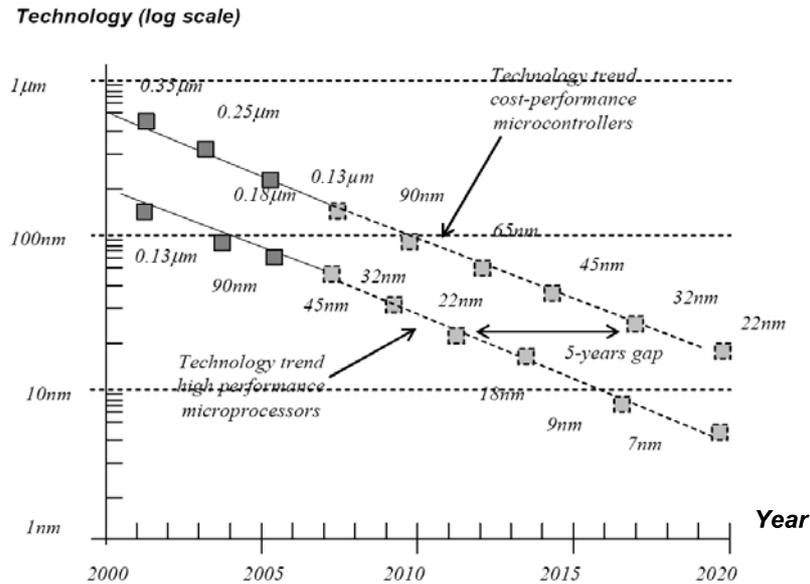


Figure 3. Evolution de la densité d'intégration [2]

Pour illustrer le gain de consommation d'énergie, prenons l'exemple d'une technologie de 90 nm. L'épaisseur de l'oxyde de grille d'un transistor MOS est de 1,2 nm, ce qui correspond à 6 couches atomiques. Dans ces conditions, afin d'éviter le claquage d'oxyde, les tensions d'alimentation appliquées aux circuits sont abaissées et la consommation d'énergie globalement diminuée.

La Figure 4 [3] présente ainsi l'évolution des tensions d'alimentation suivant la technologie utilisée.

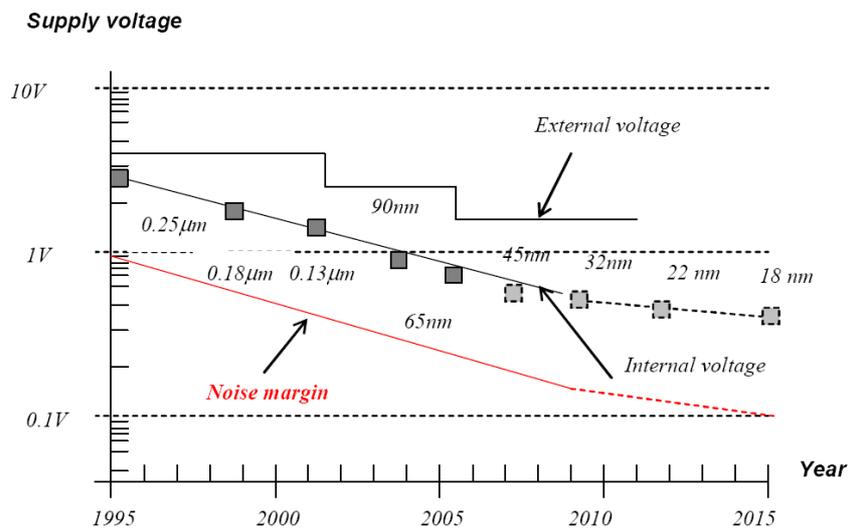


Figure 4. Evolution des tensions d'alimentation [3]

Nous observons que la tension d'alimentation a été divisée par deux entre 1998 et 2004, ce qui permet d'optimiser la consommation d'énergie pour un même circuit, construit avec les

technologies de ces époques. Reprenant le cas de la technologie 90 nm, celle-ci supporte ainsi une tension de seulement 1 Volt.

Dans ces conditions, les marges de tensions entre deux signaux numériques (0 et 1) deviennent de plus en plus faibles [4] et le risque d'erreur s'accroît notamment si les alimentations des circuits présentent des sauts de tension dus à des perturbations. Pour le concepteur de circuits, ceci constitue une conséquence importante de l'évolution des technologies.

I.3.2. Evolution des fréquences de travail

La deuxième conséquence de l'avancée technologique est une élévation de la fréquence de travail du circuit. Les transistors ont alors une meilleure vitesse de commutation, ceci étant principalement dû à de plus faibles capacités parasites.

Cependant, la vitesse de commutation est limitée par la somme des retards de transmission dans le transistor et les interconnexions. Cette latence d'interconnexion devient un goulet d'étranglement pour la montée en fréquence du circuit. Pour une technologie de 90 nm, le temps de commutation d'un transistor MOS est de l'ordre de 5 picosecondes, alors que le délai induit par l'interconnexion peut être de 30 picosecondes. La Figure 5 [5] montre les délais des interconnexions comparés aux délais des portes logiques selon la technologie.

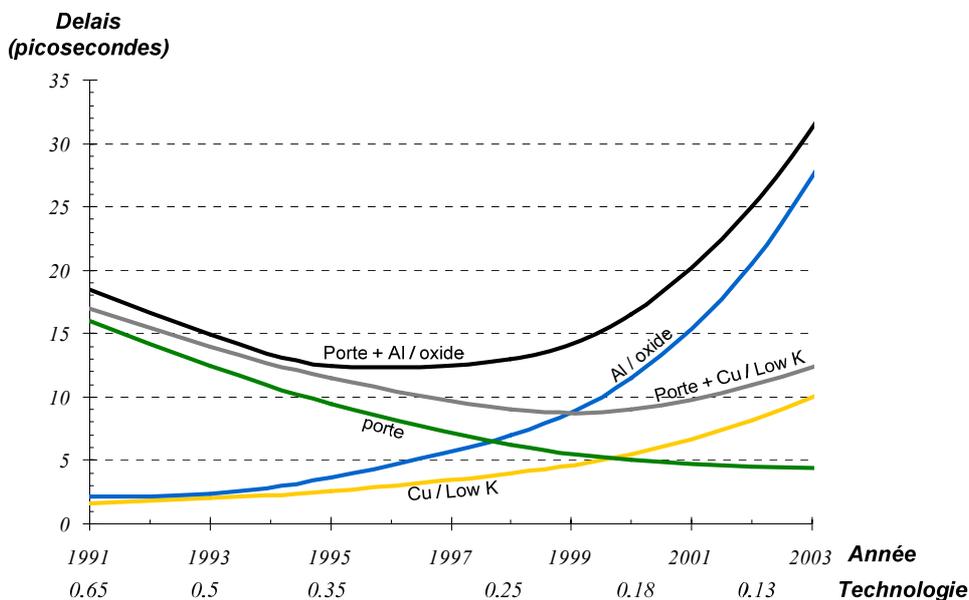


Figure 5. Délais de commutation des portes logiques et des interconnexions [5]

Comme l'illustre cette figure, l'utilisation de nouveaux matériaux conducteurs comme le cuivre à la place de l'aluminium permet d'améliorer les délais. Enfin, l'utilisation d'isolants

performants dit « low-k » permet de limiter les capacités parasites induites par les interconnexions, et donc également d'optimiser le délai.

L'effet du boîtier entre alors en jeu dans la CEM car les inductances parasites des interconnexions favorisent l'apparition de sauts de tension d'alimentation. Associé à des signaux plus rapides, l'effet du boîtier peut conduire à une plus forte émissivité des circuits intégrés.

I.3.3. Conclusion

Cette partie a été consacrée à la présentation des grandes tendances de l'évolution de la microélectronique. Certaines de ces tendances, comme la diminution des marges de tension, ou encore la montée en fréquence conduisent à des circuits souvent plus sensibles aux perturbations.

II. LA COMPATIBILITE ELECTROMAGNETIQUE DES CIRCUITS

Cette section présente les principaux aspects de la compatibilité électromagnétique en s'intéressant au comportement des dispositifs électroniques face aux agressions électromagnétiques. Après un bref historique, les notions fondamentales de la CEM que sont l'émissivité, l'immunité et le mode de propagation sont introduites. Pour finir, je décris plus précisément l'immunité des circuits intégrés, l'objet principal de mes travaux.

II.1 Historique de la compatibilité électromagnétique

Un historique, inspiré du livre [6] sur la compatibilité électromagnétique, est maintenant donné. La CEM a commencé à être évoquée dans les années 30 avec l'apparition des communications radio. Il a été constaté que la transmission d'information par radio peut être perturbée par l'utilisation de certains appareils. En 1934, le Comité International Spécial des Perturbations Radioélectriques (CISPR) est créé par la Commission Fédérale de Communications (FCC). Le CISPR a pour objectif de veiller à la bonne cohabitation des différents systèmes industriels et de communication.

Avec l'avènement du transistor dans les années 50, puis des circuits intégrés dans les années 60, une augmentation des problèmes liés à la CEM a été observée. Dès cette époque, des études, essentiellement militaires, visent à immuniser les circuits intégrés face aux agressions liées aux impulsions électromagnétiques d'origine nucléaire. En 1965, le simulateur

SPECTRE est créé par IBM afin de simuler l'effet des perturbations rayonnées sur les composants électroniques.

En 1973 le Comité Européen de Normalisation Électrotechnique (CENELEC) est créé. Il établit des normes sur l'immunité et sur l'émission pour les zones résidentielles, commerciales et industrielles (EN 61000-6-1, 2, 3 et 4).

En 1975, James J. Whalen publie les premières études sur la susceptibilité des transistors face aux perturbations radios [7]. A partir des années 80, des études sont menées sur la susceptibilité des mémoires NMOS [8] et des processeurs (8085 d'INTEL).

Suivant l'évolution des technologies, les travaux sur la CEM des circuits intégrés se sont développés au cours des dernières décennies. Ainsi, Bakoglu [9] décrit en 1990 les différents problèmes liés aux courants transitoires générés lors des fronts d'horloge dans les circuits intégrés. En 1993, il est démontré que les interférences électromagnétiques peuvent causer des erreurs non fatales dans les microprocesseurs [10].

En 1997, Chappel et Safwat énoncent des méthodes pour augmenter l'immunité des circuits dans la bande 1 à 10 MHz en adoptant des règles de conception spécifiques [11]. Fiori publie en 2002 une étude sur l'effet des interférences sur les amplificateurs analogiques [12]. En 2003, Robinson étudie la variation des temps de propagations des signaux soumis à des agressions électromagnétiques. Il découvre qu'en augmentant les fréquences au delà de 1 GHz, les composants sont moins sensibles aux perturbations [13].

Actuellement, des travaux de normalisation de modèle ont permis de standardiser les études : le modèle ICEM est devenu un standard IEC [14] pour décrire l'émissivité des circuits intégrés. Enfin, le modèle ICIM, qui fait actuellement l'objet d'une proposition [15] de norme auprès de l'IEC, permet de modéliser l'immunité des circuits intégrés.

Les travaux de cette thèse ont pour principal objectif d'appliquer cette démarche de modélisation à des circuits analogiques pour contribuer à la validation d'ICIM-CI.

II.2 Définitions

Le précédent historique a montré une accélération des travaux concernant la CEM des circuits depuis les années 90. Afin de présenter cette discipline, nous nous intéressons à la définition de la CEM des circuits et aux notions d'émissivité, d'immunité et de canal de propagation.

La directive européenne 2004/108/CE définit la compatibilité électromagnétique comme « l'aptitude d'un dispositif, d'un appareil ou d'un système à fonctionner dans son

environnement électromagnétique de façon satisfaisante et sans produire lui-même des perturbations électromagnétiques intolérables pour d'autres équipements qui se trouvent dans cet environnement ».

La première partie de cette citation permet de définir l'immunité d'une fonction électronique. Dans le cas d'un circuit, cela se traduit par le fait que ce dernier doit conserver sa fonctionnalité, ainsi que ses spécifications, lorsqu'il est exposé à un certain niveau de perturbations électromagnétiques. En parallèle, on associe la notion de susceptibilité en considérant la tendance d'un circuit électronique à voir sa fonctionnalité dégradée sous l'influence de perturbations. Dans cette approche, le circuit est considéré comme victime.

La deuxième notion qui est définie est l'émissivité. Si nous conservons l'exemple d'un circuit, celui-ci doit pouvoir fonctionner correctement sans générer des perturbations électromagnétiques au-delà d'un niveau préalablement défini. Dans ce cas, le circuit est considéré comme une source de perturbations.

La dernière notion, qui n'apparaît pas directement dans la définition de la CEM, est la notion de canal. Celui-ci véhicule les perturbations de la source vers la victime. Ce canal peut être un gaz comme l'air, le vide ou encore un matériau non conducteur, comme un isolant de boîtier. On parlera alors de mode rayonné. Le canal peut aussi être un conducteur électrique auquel cas, on parlera de mode conduit. Sa contribution est très importante dans les études CEM. Il va favoriser ou limiter le couplage des perturbations vers la victime. Beaucoup d'optimisations de CEM s'intéressent à maîtriser la propagation des perturbations en améliorant les caractéristiques du canal.

La Figure 6 illustre le couple source-victime. Dans le cas considéré, le microprocesseur (source) génère des perturbations électromagnétiques qui sont transmises au circuit amplificateur. Ce dernier est alors une « victime » et peut voir ses spécifications dégradées.

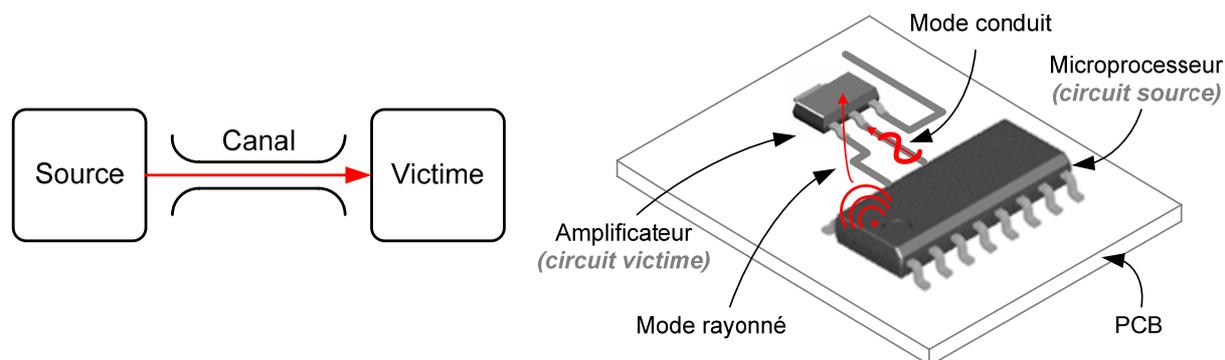


Figure 6. Exemple du couple source-victime

Je propose maintenant de détailler ces trois notions fondamentales de la CEM. En premier lieu, l'émissivité et les sources de perturbations sont présentées. Le canal de propagation est ensuite décrit. Un accent est donné aux canaux conduits présents dans les circuits intégrés. Pour finir, l'immunité des circuits est présentée.

II.3 L'émissivité des circuits

Les définitions la CEM ayant été posées, nous allons nous intéresser dans un premier temps aux sources de perturbations. En effet, l'environnement électromagnétique comprend de plus en plus de sources de perturbations et je propose de les lister selon leur caractère intentionnel ou non intentionnel. Je décris ensuite l'émissivité des circuits intégrés dans la dernière partie de ce paragraphe.

II.3.1. Sources intentionnelles

II.3.1.1 Type rayonnées

Les émetteurs pour les communications radio utilisent une bande de fréquence allant de 30 kHz à 30 GHz. Si nous observons les émissions radio fréquence actuelles, nous nous apercevons que le spectre radio tend à devenir plus dense et plus large (voir Figure 7). Avant les années 90, l'essentiel des émissions radio était utilisé pour la radiodiffusion (ondes courtes et grandes ondes), la télévision hertzienne ou encore les communications satellites.



Figure 7. Emissions radios [16]

A partir des années 90, les communications sans fil longue et courte distances se sont multipliées. Le spectre radio s'est alors fortement densifié dans la bande 100 MHz – 10 GHz. Le Tableau 1 présente les différents standards et systèmes de communications développés pour les communications sans fil.

Désignation	Fréquence	Application
WIFI (IEC 8802-11)	2,4GHz, 5GHz	Communication haut débit Distance faible : max 300m
Bluetooth	2,4GHz	Distance faible : max 10 à 100m
GSM	900MHz, 1,8GHz	Communication moyen débit, longue distance
UMTS	2GHz, 2,2GHz	Communication haut débit, distance moyenne

Tableau 1. Communications sans fil

Si les niveaux d'émissions sont réglementés par l'ITU (International Telecommunication Union), cet environnement électromagnétique très dense représente autant de sources de perturbations potentielles. Selon la distance séparant les émetteurs des dispositifs électroniques, la CEM d'un circuit peut devenir problématique.

II.3.1.2 Sources de type conduit

Ayant présenté les principales sources de perturbations intentionnelles rayonnées, je propose maintenant une présentation des sources conduites. Par opposition aux sources rayonnées, les sources de perturbations conduites génèrent des perturbations propagées par les conducteurs électriques.

Une densification des sources est, elle aussi, observée depuis les années 2000. Nous pouvons prendre pour exemple l'arrivée de protocoles de communication grand public utilisant essentiellement le réseau électrique. Le système de communication utilise les Courants Porteurs en Ligne (CPL). Historiquement, le système est utilisé depuis 1950 avec des applications 10 Hz visant à commander l'éclairage public. Ensuite, le principe a été utilisé pour les détecteurs Effacement Jour de Pointe (EJP) permettant à EDF de commander des relais distants au moyen d'un courant porteur de 175 Hz. A partir des années 2000, des travaux ont permis de réaliser des communications haut débit utilisant les CPL.

II.3.2. Source non intentionnelles : l'exemple des circuits intégrés

Un certain nombre de sources intentionnelles, créées pour communiquer, ont été présentées. Il existe aussi des sources dites non intentionnelles liées à l'environnement au sens large. Par exemple, la foudre est une décharge électrique qui crée des champs électromagnétiques

importants. Dans le domaine spatial, les dispositifs électroniques peuvent être soumis au rayonnement cosmique. Je vais détailler plus particulièrement les sources non intentionnelles liées aux circuits intégrés.

La densification importante de l'électronique, évoquée dans le paragraphe I.3.1, page 21, a considérablement rapproché les circuits les uns des autres. Ces faibles distances conduisent à des problèmes de CEM. Certains circuits peuvent être considérés comme des sources de perturbations au regard des circuits voisins. Selon le mode de propagation, nous distinguons les sources conduites et les sources rayonnées.

II.3.2.1 Sources non intentionnelles conduites

Pour illustrer les sources non intentionnelles conduites, nous prenons pour exemple un circuit microprocesseur comportant un très grand nombre de transistors. Ce circuit présente une activité numérique qui se traduit par la commutation de centaines de milliers de portes logiques à chaque front d'horloge. Des courants importants sont appelés sur les alimentations durant un temps très court (voir Figure 8).

En conséquence, des fluctuations de tension au niveau des alimentations se créent. Cette source de perturbations peut affecter la stabilité de l'alimentation du circuit et certaines fonctions du microprocesseur. Il apparaît alors un problème de CEM conduite à cause d'une source non intentionnelle de perturbations. Ce cas de figure est la principale cause d'émissivité conduite de bon nombre de circuits intégrés [6].

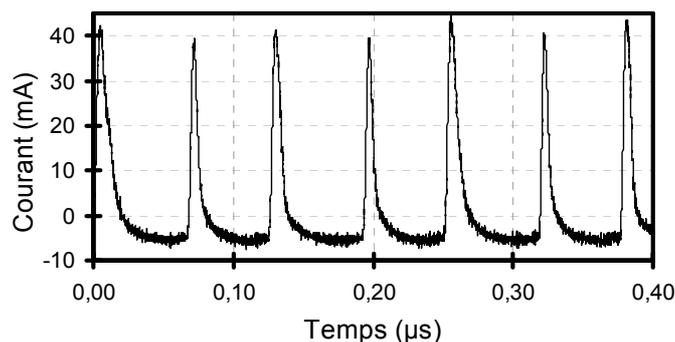


Figure 8. Pics de courants consommés par un circuit intégré

II.3.2.2 Sources non intentionnelles rayonnées

Comme évoqué précédemment, les circuits intégrés fonctionnent à des fréquences importantes. De plus, les distances entre circuits sont réduites en raison de leur densification. Un grand nombre d'interconnexions sont réalisées et présentent de très faibles longueurs. Il en

résulte l'apparition d'antennes émettrices parasites, non intentionnelles, adaptées à la longueur d'onde des signaux transitant sur ces pistes. Le circuit devient une source d'émission rayonnée ; au regard des circuits voisins, cette source peut conduire à un problème d'immunité.

II.4 Mode de propagation

La description des sources non-intentionnelles a permis d'introduire la notion de mode de propagation. La propagation physique de la perturbation, de la source vers la victime, est possible par un ou plusieurs chemins de couplage. Ces chemins sont principalement de deux types : rayonnés ou conduits. Après une rapide présentation des canaux rayonnés, je propose de présenter les chemins conduits appliqués aux circuits intégrés. On distinguera alors deux types de couplage dominants : le couplage par les rails d'alimentation et le couplage substrat.

II.4.1. Mode rayonné

Nous parlons de mode rayonné lorsque le support de propagation n'est pas un conducteur. Il peut alors s'agir d'un gaz, du vide ou encore d'un matériau isolant. Selon la distance séparant la source de la victime et la fréquence considérée, le couplage est qualifié de champ proche ou champ lointain (distance $< \frac{\lambda}{2\pi}$). Le mode rayonné, dans le domaine de la microélectronique, est notamment rencontré pour les circuits complexes tels que les MCM (Multi-Chip Module) ou encore les SIP (System In Package). Pour une plus grande densité, l'encapsulation de ces circuits intégrés met en œuvre parfois des assemblages en trois dimensions. Les différents circuits sont alors empilés, favorisant ainsi le couplage rayonné entre puces.

II.4.2. Mode conduit et application aux circuits intégrés

Les études menées durant cette thèse s'intéressent plus particulièrement à l'immunité conduite des circuits complexes. Aussi, le mode de propagation conduit des circuits intégrés est plus précisément décrit. Plusieurs types de couplage rencontrés dans les circuits intégrés sont présentés, à savoir, le couplage par les rails d'alimentation et le couplage substrat. Les chemins de couplages élémentaires, liés aux circuits intégrés, sont ensuite détaillés en prenant l'exemple de l'inverseur.

II.4.2.1 Couplage par les rails d'alimentation

La topologie du réseau d'alimentation du circuit intégré favorise certains chemins de couplage via les rails d'alimentation et de masse. Nous pouvons distinguer les trois topologies de réseau d'alimentation de la Figure 9 : la structure en anneau, en étoile et isolée. Ces structures vont plus ou moins immuniser le circuit sensible du bruit. Aussi, pour les circuits mixtes comme les microcontrôleurs, le réseau d'alimentation doit être particulièrement bien dimensionné afin de limiter les problèmes de CEM.

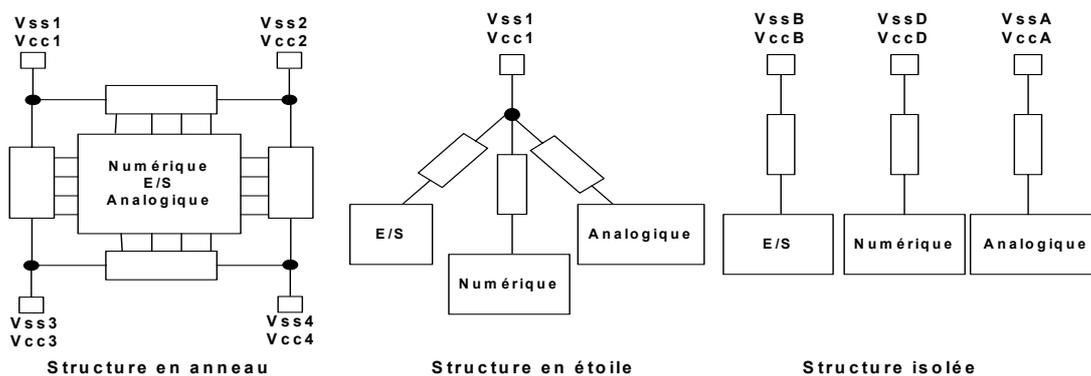


Figure 9. Topologies d'alimentation

La structure en anneau permet de distribuer l'énergie de manière uniforme dans l'ensemble du circuit. Cette énergie est amenée par plusieurs endroits dans le but de maintenir l'équipotentialité et de stabiliser le réseau. Cette topologie utilise alors plusieurs paires d'alimentations.

La structure en étoile est utilisée lorsqu'il est nécessaire d'isoler la distribution d'énergie. Chaque partie du circuit possède alors son propre réseau d'alimentation. Ces réseaux sont interconnectés à une ou plusieurs paires d'alimentations. On améliore ainsi l'immunité des parties sensibles.

Si chaque partie (entrées / sorties, analogique et numérique) possède sa propre paire d'alimentations, on a affaire à un réseau isolé. L'immunité de ces parties est fortement augmentée car on réduit significativement les possibilités de couplage du bruit entre les parties du circuit. Cette topologie est souvent adoptée dans les circuits actuels. Par exemple, pour un microcontrôleur, une paire d'alimentations en 1,8 V est utilisée pour le cœur logique alors que les buffers d'entrées/sorties sont alimentés indépendamment en 3,3 V. Cependant, il n'est pas toujours possible de multiplier les paires d'alimentations sur un circuit fortement intégré. En effet, de nombreuses broches de connexion sont alors nécessaires et ceci a pour

effet d'augmenter le coût du circuit. L'ajout de broches d'accès rentre souvent en désaccord avec la stratégie de production bas coût appliquée pour certains circuits intégrés.

II.4.2.2 Couplage substrat

Le substrat est un chemin de couplage problématique dans un circuit mixte. Celui-ci sert en effet de support commun à l'ensemble du circuit et est la référence de masse commune. On distingue les trois principaux types de substrats de la Figure 10 : le substrat standard, épitaxié et SOI.

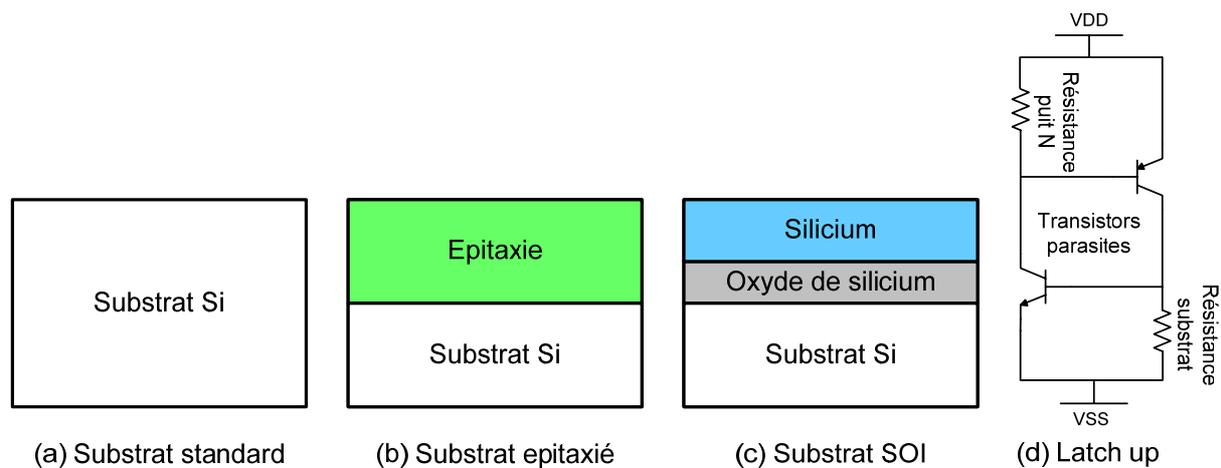


Figure 10. Coupe représentant trois familles de substrat et illustration du latch up

- Le substrat standard possède un isolement moyen et protège peu contre le « latch up », mécanisme qui peut engendrer la destruction du circuit.
- Le substrat épitaxié possède un mauvais isolement mais protège bien le circuit contre le « latch up ».
- Le substrat SOI³ possède un très bon isolement et protège bien contre le « latch up ». Cependant, il est plus onéreux.

La majorité des circuits microcontrôleur utilise des substrats épitaxiés. Dès lors, cette étude bibliographique se focalisera sur ce type de substrat.

II.4.2.3 Chemins de couplage élémentaires

Après cette présentation des réseaux d'alimentations et des types de substrats rencontrés dans les circuits mixtes, je propose de décrire plus en détail les principaux chemins de couplage des

³ Silicon On Insulator

perturbations au travers des circuits. Dans le troisième chapitre, je ferai référence à certains de ces chemins.

Des études ont été menées sur les mécanismes d'injection de bruit pour des circuits inverseurs. Considérant notamment les travaux de thèse d'Olivier Valorge [17], une partie de ce travail concerne précisément les chemins de couplage existants dans un circuit inverseur et l'injection de bruit dans le substrat au travers des capacités parasites (Figure 11). L'étude permet d'identifier une grande partie des éléments parasites, liés aux transistors, responsables de la propagation des perturbations.

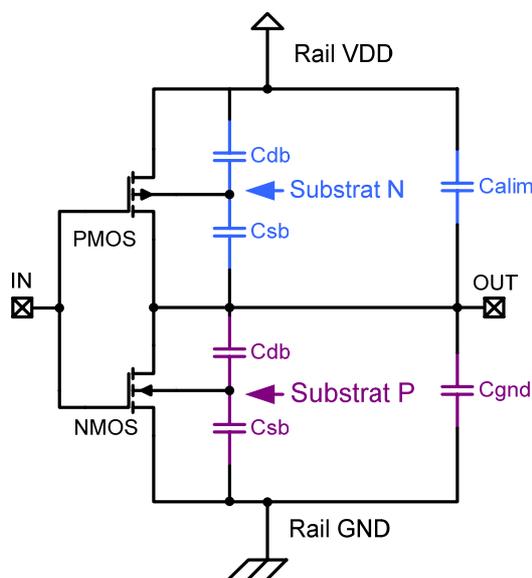


Figure 11. Schéma des éléments capacitifs parasites d'un inverseur

Les capacités parasites C_{db} de la Figure 11 correspondent aux capacités parasites drain/substrat tandis que les capacités C_{sb} correspondent aux capacités parasites source/substrat. Les capacités C_{lim} et C_{gnd} modélisent les capacités parasites dues aux interconnexions entre la piste de sortie et les rails VDD et GND. Le schéma de la Figure 12 permet de mieux situer les capacités de drain et de source.

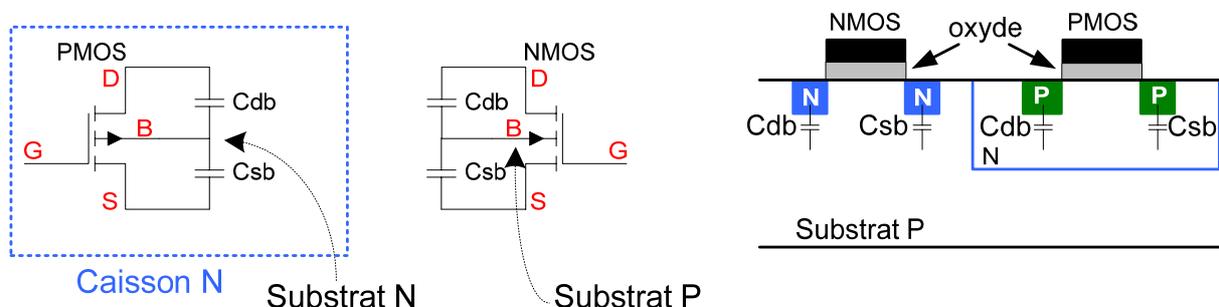


Figure 12. Représentation des capacités parasites d'un transistor NMOS

Si nous prenons l'exemple du transistor NMOS, les caissons du drain et de source sont dopés N dans un substrat P. Il apparaît alors un effet capacitif entre ces parties. Nous pouvons le modéliser par une capacité C_{ds} entre drain et substrat (Figure 12) et une capacité C_{sb} entre source et substrat. Le même raisonnement peut être tenu pour le transistor PMOS.

Ainsi, pour un inverseur, deux chemins de couplage élémentaires sont identifiés : le chemin NMOS et le chemin PMOS. Le chemin PMOS aura tendance à coupler le bruit d'alimentation du rail tandis que le chemin NMOS couplera le bruit de masse. Pour chaque type de transistor, on identifie de fait plusieurs chemins de couplage dus aux capacités parasites (voir Figure 13 pour le cas du transistor PMOS):

- Un chemin de couplage du bruit de rail vers la sortie de l'inverseur (C_{sub} ou C_{alim}/C_{gnd} de la Figure 11).
- Un chemin de couplage du bruit de rail vers le substrat (C_{sub}). Ce bruit peut ensuite être réinjecté dans une autre partie du circuit à cause du substrat.

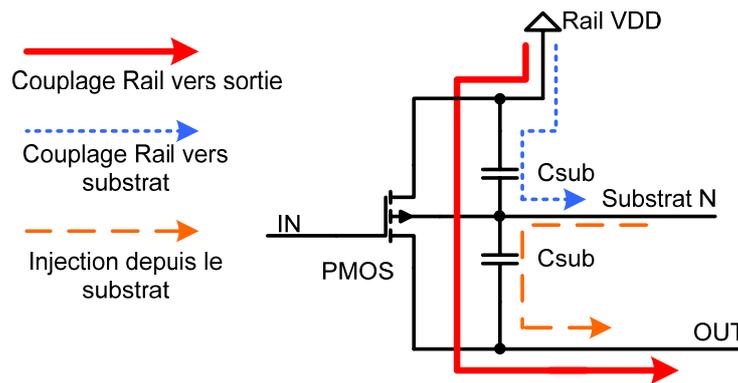


Figure 13. Chemins de couplage d'un transistor NMOS

Le transistor PMOS possède un caisson de type N qui lui sert de substrat (Figure 14). Une capacité parasite supplémentaire peut alors être extraite (C_{nwell}). Cette capacité représente le chemin électrique entre le substrat P des NMOS et le substrat N du PMOS. Le PMOS aura un couplage substrat indirect par rapport au NMOS.

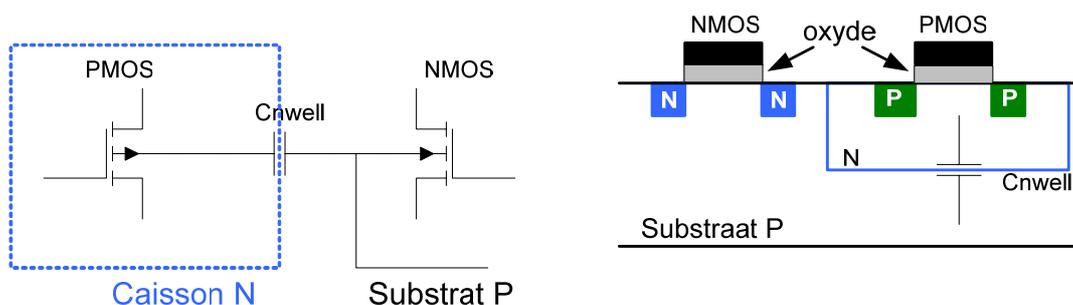


Figure 14. Représentation des capacités parasites d'un transistor PMOS

Par ailleurs, les capacités dues aux interconnexions peuvent coupler des signaux digitaux au substrat. Pour l'exemple de l'inverseur, si les pistes acheminant les données en entrée passent près du silicium, l'effet capacitif est d'autant plus grand.

La Figure 15 illustre l'effet de couplage du signal d'entrée (IN) d'un inverseur vers le substrat du circuit. La piste d'interconnexion véhiculant le signal d'entrée relie les deux grilles des transistors PMOS et NMOS (visible sur la coupe de l'inverseur de la Figure 15). Si le niveau de métallisation de la piste est proche du silicium, les capacités parasites C_{inter_N} et C_{inter_P} sont d'autant plus grandes. Deux chemins de couplage acheminent alors les perturbations vers le substrat P. Pour le PMOS, ce chemin passe par la capacité de caisson C_{nwell} et les capacités d'interconnexion C_{inter_N} et C_{inter_P} . Le chemin NMOS passe quant à lui directement par la capacité parasite d'interconnexion C_{inter_N} . Enfin, les capacités de grilles des transistors offrent un chemin de couplage entre l'entrée de l'inverseur et le substrat.

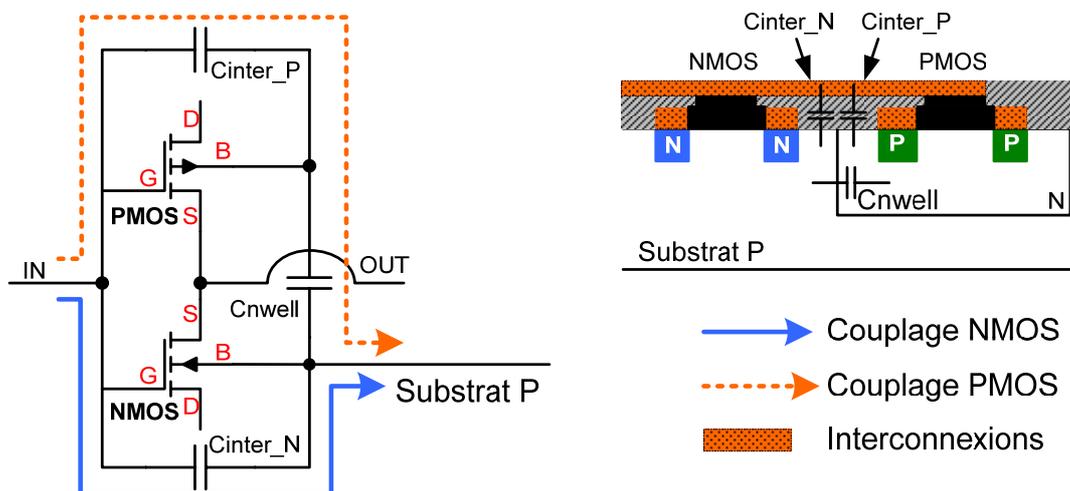


Figure 15. Couplage parasite du aux interconnexions

Pour résumer cette étude bibliographique, les signaux d'entrée d'un inverseur se coupleront plutôt au substrat par les capacités de grille et d'interconnexion. Les signaux de sorties seront plutôt couplés par les capacités de drain et de caisson pour le PMOS. Enfin les sauts d'alimentation et de masse seront transmis au substrat par le biais des capacités de source et de caisson. Enfin, nous pouvons retenir que des chemins élémentaires existent et sont essentiellement liés aux capacités parasites des transistors.

II.5 L'immunité des circuits

Maintenant que le canal de propagation a été présenté, nous nous intéressons au circuit victime et donc à l'immunité. Après une présentation générale, nous considérons les cas

d'immunité conduite externe et interne. Une brève description de l'immunité rayonnée est ensuite proposée avant de présenter, en détail, les critères d'immunité des circuits intégrés.

L'immunité d'un circuit qualifie la robustesse de celui-ci face aux perturbations électromagnétiques. On distingue l'immunité interne de l'immunité externe selon la localisation de la source par rapport au circuit victime. Plusieurs visions de la CEM peuvent aboutir à une frontière différente entre fonctions internes et externes : pour un équipement électronique, on parle d'immunité interne dans le cas de couplage de perturbations entre les différentes cartes le constituant. Pour une carte électronique, l'immunité interne est considérée lorsque les composants présents sur la carte se perturbent entre eux. Enfin, si nous considérons un circuit intégré, l'immunité interne est caractérisée par le couplage de perturbations entre fonctions électroniques sur le même substrat. Nous pouvons noter que dans le cas d'un « System In Package », comme illustré par la Figure 16, on parle d'immunité interne dans le cas de couplage entre les deux circuits sur silicium et d'immunité externe en cas de couplage de la carte électronique vers l'un des circuits sur silicium.

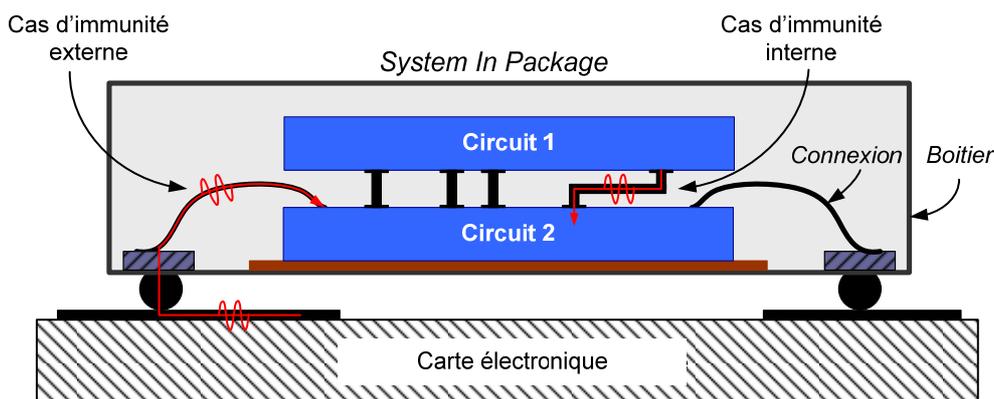


Figure 16. Immunité interne et externe d'un System In Package

Dans le cadre de cette thèse, nous nous intéressons à décrire l'immunité des circuits intégrés. Dans ces conditions, la frontière interne-externe se situe entre le circuit intégré semi-conducteur et l'environnement extérieur. Le boîtier du circuit est alors l'élément à la frontière.

II.5.1. Immunité conduite externe

A partir de la frontière précédemment définie, nous pouvons séparer l'immunité externe de l'immunité interne. Considérons dans un premier temps l'immunité externe. Elle peut être illustrée par le couple source-victime de la Figure 6, page 26 : dans cet exemple, le circuit amplificateur, considéré comme victime, peut être perturbé par des émissions provenant du circuit microprocesseur voisin. La perturbation suit un chemin électrique passant par les

différents éléments d'interconnexion des circuits (piste sur la carte, broches, boîtier, etc.). Considérant que le boîtier est l'élément frontière, nous présentons plus en détail son comportement face aux perturbations.

Prenons l'exemple d'un boîtier BGA représenté sur la Figure 17. Une perturbation, provenant de l'extérieur du circuit intégré (carte), peut se propager jusqu'au circuit sur silicium en suivant les interconnexions (billes de soudure, lead-frame et fil de bonding).

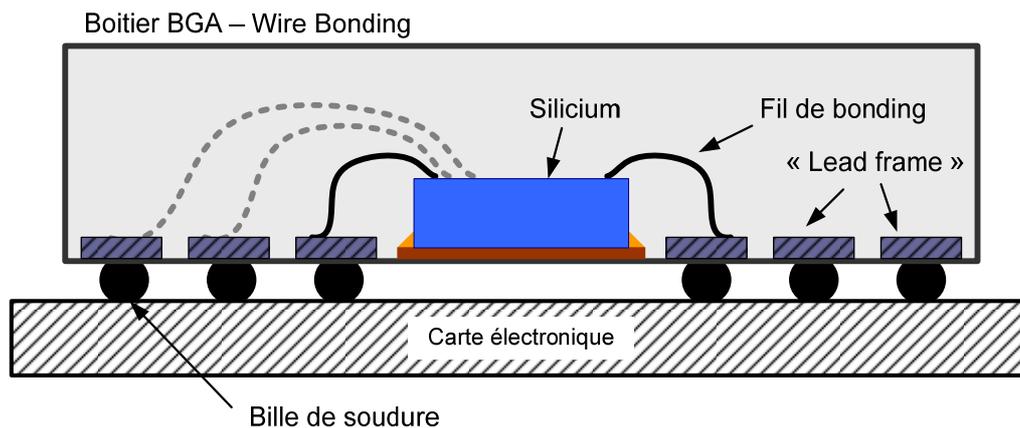


Figure 17. Chemin électrique présenté par le boîtier

Suivant la facilité de couplage ou la sensibilité du circuit, la victime peut voir ses spécifications dégradées. L'immunité externe du circuit intégré va dépendre de la qualité de couplage entre source et victime et donc essentiellement des interconnexions et du boîtier.

Le chemin que suit la perturbation jusqu'au circuit sur silicium est composé des éléments suivants :

- Piste sur la carte électronique
- Bille de soudure, piste de boîtier (« Lead frame »)
- Fil de report (« bonding »)
- Pistes sur silicium puis fonction électronique

Ce chemin n'étant pas idéal, les éléments parasites d'interconnexion et de boîtier vont contribuer à la propagation des perturbations. C'est notamment le cas des inductances parasites que présentent les interconnexions. En effet, la chute de tension aux bornes d'une inductance est liée à la variation de courant la traversant et à la valeur de l'inductance. Ainsi, l'effet combiné de l'augmentation de la complexité et donc des variations de courant (di) avec une réduction des temps de commutation (dt) a accru le phénomène de « voltage drop » dû

aux variations de type $\frac{di(t)}{dt}$. Dès lors, plus l'inductance présentée par l'interconnexion est faible, moins l'amplitude du bruit en $L \frac{di(t)}{dt}$ est importante.

L'évolution des fréquences de travail des circuits intégrés a nécessité des améliorations au niveau des boîtiers notamment pour optimiser les délais induits par les interconnexions (voir le paragraphe I.3.2 page 23). Les boîtiers ont aussi évolué pour présenter les éléments parasites plus faibles. Les nouveaux boîtiers (BGA, QFP, TQFP, SOT) remplacent les boîtiers classiques (DIP, DIL, TO). Ces boîtiers présentent des inductances parasites plus faibles, réduisent les délais des interconnexions et minimisent la place occupée sur la carte électronique.

II.5.2. Immunité conduite interne

L'immunité interne d'un circuit intégré peut être considérée lorsqu'on s'intéresse à des problématiques de CEM à l'intérieur du circuit. Il peut s'agir par exemple de l'interaction de deux parties d'un circuit intégré mixte.

La Figure 18 présente un exemple de deux problèmes de CEM internes à un microcontrôleur. Le cœur logique est considéré comme circuit agresseur : dans cet exemple, une partie logique génère des perturbations.

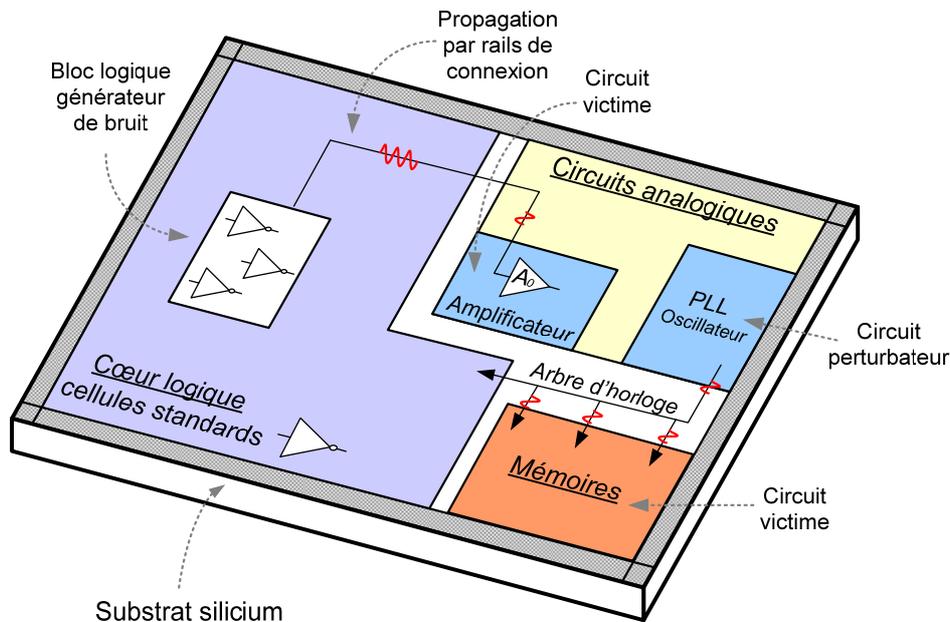


Figure 18. Exemple de problèmes d'immunité interne d'un circuit mixte

Celles-ci se propagent vers un circuit amplificateur, dans la partie analogique, au travers des rails de connexions. La perturbation engendre alors une modification du rapport signal sur bruit qui ne répond plus à la spécification du cahier des charges. Nous sommes donc dans un cas de susceptibilité interne aux perturbations conduites.

Si, communément, la partie logique est considérée comme un agresseur, la partie analogique étant plutôt un circuit victime, le contraire peut être observé. Le deuxième exemple de la Figure 18 considère un circuit oscillateur présentant une pollution harmonique. Ces perturbations peuvent par exemple conduites vers les mémoires par l'arbre d'horloge. Une mémoire flash, circuit essentiellement logique, comporte des amplificateurs de lecture de nature analogique. La mémoire peut alors commettre des erreurs de lecture sous l'effet de telles perturbations.

II.5.3. Immunité rayonnée

Comme il a été déjà évoqué, les problèmes d'immunité rayonnée sont souvent rencontrés dans le cas des circuits complexes mettant en œuvre des assemblages 3D (SIP, MCM...). Avec la miniaturisation des circuits intégrés, combinée à une élévation des fréquences de travail, certaines connexions peuvent se comporter comme des antennes réceptrices de perturbations. Dès lors, ces circuits deviennent des victimes si le niveau de couplage des perturbations sur les signaux critiques engendre une modification des performances.

II.5.4. Critères d'immunité et mécanisme d'erreur

Pour réaliser des études d'immunité, un critère doit être choisi. Ce choix constitue un point essentiel des analyses d'immunité car il sanctionne le bon fonctionnement du circuit. Ce critère est souvent difficile à fixer car il est fortement lié à la nature du circuit, numérique ou analogique, mais aussi à la fonction dont on souhaite conserver certaines performances sous l'effet de perturbations électromagnétiques. Le mécanisme de défaillance de la fonction doit être alors considéré d'un point de vue CEM pour choisir correctement le critère. Les principaux critères d'immunité peuvent être des délais supplémentaires, des surtensions etc.

Dans les paragraphes qui suivent, je propose un classement des critères selon la nature du circuit, numérique, analogique ou mixte.

II.5.4.1 Circuit numériques

Comme indiqué précédemment, la miniaturisation des circuits intégrés a engendré une diminution des marges de tensions. Ces faibles marges engendrent principalement deux types de défaillances [18].

Le premier type est une erreur liée aux seuils de basculement des inverseurs. Si la perturbation est suffisante pour que la tension d'entrée de l'inverseur passe en dessous du seuil haut (V_{IH} sur la Figure 19) et donc rejoindre la zone interdite, la sortie peut alors changer d'état.

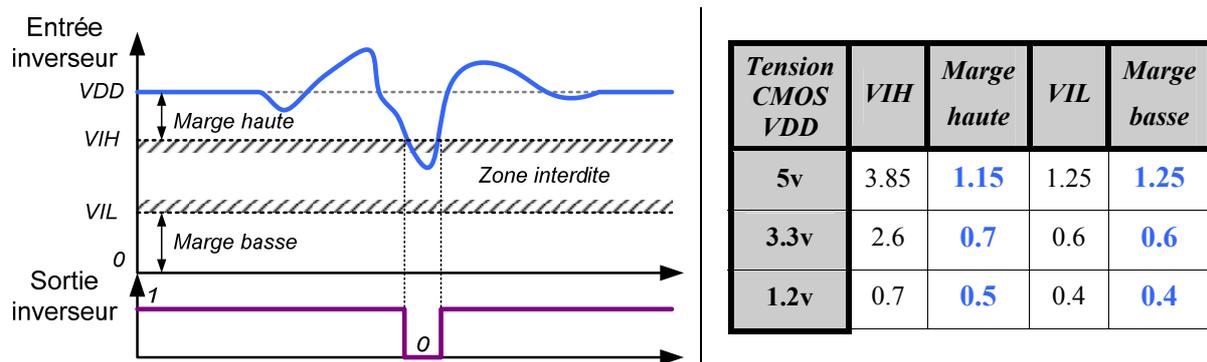


Figure 19. Marges de bruits des circuits CMOS selon la tension d'alimentation, en volt

Ce mécanisme de défaillance est donc fortement lié à la technologie de fabrication au travers des tensions d'alimentations utilisées et donc, des marges de bruit. Dans ce cas, un critère d'immunité peut être appliqué à la réjection d'alimentation afin de garantir une isolation correcte du circuit aux perturbations.

Le deuxième type d'erreur est lié aux délais de propagation et de commutation du circuit numérique. Il a été montré qu'un circuit numérique peut être désynchronisé dans le séquencement de ses opérations si les perturbations engendrent de fortes variations des fronts d'horloge. Le critère communément utilisé est alors une limite du « skew⁴ » d'horloge. La maîtrise du skew permet de distribuer le front d'horloge le plus uniformément possible dans le circuit, tout en optimisant les courants consommés. Une conception particulière [19] de l'arbre d'horloge peut être envisagé afin d'optimiser le skew.

⁴ Dans les arbres d'horloge des circuits numériques, le front montant d'horloge peut présenter un écart temporel selon la longueur de l'arbre. Cet écart est appelé skew.

II.5.4.2 Circuits analogiques

Si pour les circuits numériques, de forts niveaux de perturbations sont requis pour engendrer un dépassement de seuil, quelques millivolts de perturbation peuvent suffire à perturber un circuit analogique, ce qui les rend particulièrement sensibles aux interférences électromagnétiques. Lorsque l'on s'intéresse particulièrement à décrire l'immunité aux perturbations électromagnétiques de ces circuits, le choix d'un critère cohérent est important, voire déterminant. Une attention particulière doit être donnée pour ce choix : une étude du circuit est nécessaire afin de bien connaître les spécifications qui doivent être maintenues lors d'agressions électromagnétiques. Selon le cahier des charges établi pour chaque fonction, des critères de performances et des spécifications sont garantis à l'utilisateur. Le choix du critère d'immunité repose ainsi souvent sur la définition d'un seuil admissible de variation de spécification.

Parmi les circuits listés dans le tableau de la Figure 20, un certain nombre sont purement analogiques (amplificateur, PLL, VCO).

Prenons comme exemple un circuit relativement simple comme l'amplificateur opérationnel. La spécification première de ce circuit est d'amplifier une tension d'entrée, avec un gain garanti, dans une bande de fréquence définie. Ce gain doit aussi être maintenu pour une certaine fourchette de température. Une seconde spécification importante est un rapport signal sur bruit minimum sur la tension amplifiée. Ces différents éléments peuvent servir pour le choix du critère d'immunité.

Pour sa part, un circuit comparateur peut présenter un offset, comme cela peut être le cas pour l'amplificateur. Ce circuit peut aussi commettre des erreurs de comparaison si les marges de tensions des entrées sont faibles.

Le tableau associé à la Figure 20 donne des exemples de critères selon le type de circuit.

Circuits analogiques		Circuits numérique		Type de circuit	Critère d'immunité
Entrée	Sortie	Entrée	Sortie		
Amplificateur				Amplificateur	Taux de réjection des alimentations Modification du rapport signal sur bruit Apparition d'offset, mise en saturation
X	X				
PII				Convertisseurs (ADC, DAC)	Modification du rapport signal sur bruit Perte de linéarité Erreur de conversion
X	X	X	X		
VCO				PLL	Jitter excessif (déterministe et / ou aléatoire)
X	X		X		
		Compteur		Comparateur	Modification de la polarisation Apparition d'offset
		X	X		
Comparateur				ADC	
X			X		
ADC				DAC	
X			X		
DAC				Comparateur	Modification de la polarisation Apparition d'offset
	X	X			
Entrée	Sortie	Entrée	Sortie		

Figure 20. Exemples de critères d'immunité selon la fonction du circuit

Dans le cas de l'amplificateur opérationnel, une perturbation électromagnétique engendre souvent une modification du rapport signal sur bruit. En effet, une étude rapide du circuit montre que les étages de sortie de l'AOP présentent un chemin basse-impédance entre la broche d'alimentation et la broche de sortie. Les perturbations sont souvent bien transmises au signal de sortie. Une limite sur ce rapport pourrait constituer un critère d'immunité pertinent. Sous l'effet de perturbations électromagnétiques, des offsets peuvent apparaître sur les signaux de sortie et engendrer une saturation du circuit [20].

II.5.4.3 Circuit mixtes

Pour un circuit mixte, constitué de circuits de nature différente, le critère pourra être placé sur une grandeur analogique ou sur un code numérique.

Ainsi, pour les convertisseurs (DAC et ADC), le choix du critère peut porter sur une modification du rapport signal sur bruit, une perte de linéarité ou encore des erreurs de

conversion (voir Figure 20). En effet, ces circuits possèdent aussi une précision sur laquelle on peut appliquer un critère d'immunité. On parlera ainsi de bits effectifs pour la précision réelle des convertisseurs [21].

Pour sa part, une boucle à verrouillage de phase (PLL⁵) peut présenter une gigue excessive, due à l'apparition de bruit de phase. Dans ce cas, le critère d'immunité peut fixer, par exemple, un niveau de bruit maximal dans la bande audiofréquence [22].

III. CONCLUSION

Le premier chapitre de ce manuscrit a permis de donner une description des principaux thèmes abordés durant cette thèse. Les circuits intégrés mixtes et, plus particulièrement les microcontrôleurs, sont de plus en plus rapides et possèdent des marges de tension de plus en plus faibles. En conséquence, ils deviennent plus sensibles aux perturbations électromagnétiques. Les grands aspects de la CEM des circuits intégrés que sont l'émissivité ou l'immunité ont été présentés. Enfin, la conception du modèle d'immunité d'un circuit convertisseur, au troisième chapitre, aura recourt aux chemins de couplage élémentaires présentés précédemment.

L'objectif de ce travail de thèse, portant sur la modélisation de l'immunité des circuits complexes, nous a conduits à choisir les microcontrôleurs comme objet d'étude. En effet, ces circuits reflètent bien les tendances de la microélectronique présentées précédemment et un partenariat avec l'entreprise ATMEL nous a permis d'accéder aux données de construction de ces circuits pour mener des études de CEM.

⁵ Phase Lock Loop

CHAPITRE 2 - MAITRISE DE LA CEM : MODELISATION, OPTIMISATION ET MESURE

I.	MODELISATION DE LA CEM.....	47
I.1	NIVEAU DE MODELISATION.....	48
I.2	MODELES D’EMISSIVITE	49
I.3	MODELISATION DE L’IMMUNITE	56
I.4	MODELE D’IMMUNITE ET APPLICATIONS	59
I.5	OUTILS LOGICIELS	62
I.6	CONCLUSION	65
II.	QUELQUES REGLES D’OPTIMISATION DE LA CEM DES CIRCUITS.....	65
II.1	PROTECTION ESD DES CIRCUITS INTEGRES.....	65
II.2	EXEMPLES D’OPTIMISATIONS.....	66
III.	MESURES DE L’IMMUNITE DES CIRCUITS INTEGRES	68
III.1	LE STANDARD DPI.....	68
III.2	BANC DE MESURE	69
III.3	PROCEDURE DE TEST.....	71
IV.	CONCLUSION	72

INTRODUCTION

Maintenant que les principales notions de la CEM des circuits sont introduites, je propose d'exposer les moyens permettant de maîtriser celle-ci. Les circuits présentant des émissivités et des sensibilités plus importantes, les problèmes de CEM deviennent plus fréquents. Afin d'apporter des solutions, le recours à la modélisation de la CEM est nécessaire. Dans une première partie je présente les moyens de modélisation. Ces moyens dépendent des approches de modélisation que l'on considère. Les trois niveaux suivants sont détaillés : les systèmes, les cartes électroniques et les circuits intégrés. Ensuite, une attention particulière est donnée à la présentation des principaux standards de modélisation que sont les modèles ICEM⁶ et ICIM⁷, le dernier étant utilisé dans la suite des travaux.

Puis, les principaux outils logiciels utilisés durant cette thèse pour simuler un circuit intégré et créer son modèle d'immunité sont présentés. Je continue ensuite par une description des diverses techniques d'optimisation de la CEM des circuits intégrés. Enfin, dans un dernier paragraphe, la technique de mesure de l'immunité de type DPI et la procédure de test sont exposées.

⁶ Integrated Circuit Emission Model

⁷ Integrated Circuit Immunity Model

I. MODELISATION DE LA CEM

Dans les parties précédentes, j'ai présenté les différents aspects de la CEM tels que l'émissivité, le canal et l'immunité. Ces trois notions deviennent toujours plus problématiques pour les concepteurs en raison de l'évolution technologique des circuits intégrés.

Le flot de conception d'un circuit permet d'enchaîner de manière cohérente toutes les opérations nécessaires à la conception d'un circuit, à la fois fonctionnel et performant. Lors de la fabrication d'une première version du circuit, des mesures précises permettent de vérifier les performances. Si celles-ci sont insuffisantes, le circuit est corrigé puis fabriqué de nouveau. Les études de CEM suivent, généralement, une fois que la fonctionnalité est correcte. Le circuit peut de nouveau être corrigé plusieurs fois afin de répondre aux exigences CEM du client, ce qui engendre un surcoût important.

Afin d'éviter ce surcoût, les problèmes de CEM doivent être anticipés au moment de la conception. Il faut alors ajouter ces études dans le flot de conception du circuit. Le recours à la modélisation est nécessaire : les normes ICEM et ICIM sont des approches génériques permettant cette anticipation. Actuellement, les études basées sur le modèle ICEM-CE sont utilisées et automatisées pour la conception de microcontrôleurs [23], [22].

Les paragraphes qui suivent présentent un état de l'art des techniques de modélisation de la CEM actuellement disponibles. Les méthodes développées dépendent souvent de la vision que l'on adopte : modéliser un circuit intégré ou un système ? Quelles seront les limites de modélisation ? A quel niveau doit-on faire une abstraction ? Ces visions vont être exposées pour introduire les approches de modélisation les plus adaptées aux utilisateurs. Je propose ensuite de présenter les modèles d'émissivité et plus particulièrement le modèle ICEM⁸ [14]. Cette partie permettra d'introduire les modèles d'immunité et, plus particulièrement, le modèle ICIM-CI⁹ [15].

⁸ Integrated Circuit Emission Model

⁹ Integrated Circuit Immunity Model Conducted Injection

I.1 Niveau de modélisation

Dans les paragraphes suivants, une définition des besoins de modélisation est précisée pour les trois niveaux d'utilisation de l'électronique à savoir, le niveau système ou équipement, carte électronique et circuit intégré.

I.1.1. Niveau système, vision équipementier

Lorsque la CEM est considérée au niveau système ou équipement, on s'intéressera à des pollutions entre les éléments du système, soit par exemple, le couplage de perturbation de carte à carte.

La Figure 21 présente un système de stockage de données SCSI¹⁰. Plusieurs cartes reçoivent des signaux provenant des disques durs et sont reliées par des connecteurs en fonds de panier. Les perturbations électromagnétiques peuvent être conduites de carte à carte via le fond de panier. D'un point de vue rayonné, la proximité des cartes peut également générer un couplage parasite. Dans ces deux cas, on parlera de problèmes de CEM interne au système.

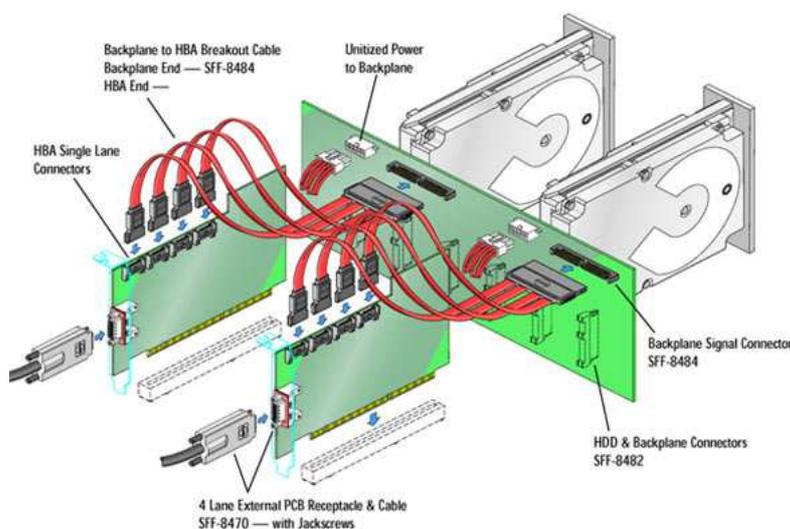


Figure 21. Système de stockage SAS (Serial Attached SCSI) [24]

L'approche de modélisation souvent utilisée dans ce cas consiste à caractériser le comportement électromagnétique des différentes fonctions du système. Une macro modélisation peut être utilisée pour caractériser tant l'émissivité que l'immunité. L'utilisation de modèle de type « boîte noire » sera souvent adoptée et la description du mécanisme générant un problème de CEM peut ne pas être basée sur des constations physiques, mais

¹⁰ Small Computer System Interface

utiliser un modèle purement mathématique. Le niveau d'abstraction est fort et il ne sera généralement pas nécessaire de s'intéresser à une description au niveau élémentaire (type transistor) de la fonction électronique.

I.1.2. Niveau carte, vision électronicien

La vision appelée ici « électronicien » consiste à décrire la CEM d'une carte électronique comportant un ensemble d'éléments discrets et intégrés. La frontière définissant la CEM externe se situe aux limites physiques de la carte. L'utilisation de boîte noire pourra être adoptée pour modéliser les comportements des circuits intégrés présents sur la carte. Le niveau d'abstraction est modéré : la modélisation sous forme de boîte noire englobe des fonctions relativement complexes. La simulation au niveau transistor peut être cependant requise pour repérer les sources et victimes et caractériser la CEM interne de la carte.

I.1.3. Niveau silicium, vision fondeur

Cette dernière approche s'applique aux problèmes de CEM propres aux circuits intégrés. Les problèmes de CEM apparaissent généralement entre les parties analogiques et numériques. Une description précise est requise impliquant un faible niveau d'abstraction. La modélisation des circuits intégrés peut encore faire appel aux boîtes noires mais elles représentent alors des circuits relativement simples. Par exemple, on pourra modéliser un amplificateur par plusieurs étages d'entrée, de gain et de sortie.

Pour la suite, je m'intéresse aux modèles de CEM des circuits intégrés. Disposant des données constructeur des circuits, fournis par l'entreprise ATMEL, je considère alors une vision fondeur. Cet accès aux données permettra de créer le modèle d'immunité d'un circuit convertisseur analogique – numérique au chapitre trois.

I.2 Modèles d'émissivité

La modélisation de l'émissivité dispose d'un certain nombre d'outil performants [14], [25], [26]. Je présente d'abord le modèle IBIS. Il permet une description comportementale des entrées / sorties d'un circuit à un niveau d'abstraction élevé, garantissant ainsi la confidentialité des circuits. Je décris ensuite la modélisation de l'émissivité des circuits intégrés avec la méthodologie ICEM.

I.2.1. Modèles IBIS

En raison de problèmes liés à l'intégrité des signaux, les fabricants de cartes électroniques ont besoin de modéliser le comportement des entrées sorties de différents circuits intégrés présents sur carte. Le modèle IBIS¹¹, développé par Intel dans les années 1990, propose une description de haut niveau du comportement des entrées sorties. Le modèle de la Figure 22 donne un exemple de structure de modèle IBIS.

Ce modèle fait apparaître un premier circuit modélisant l'état haut ou bas de la sortie. Il vient ensuite la structure de protection contre les ESD¹². Pour finir, le boîtier est modélisé dans le dernier bloc par des éléments passifs R, L et C. Il est ainsi possible de prendre en compte l'effet des entrées sorties des circuits lors de la conception de la carte. Ce modèle est devenu un outil important et indispensable compte tenu des signaux de plus en plus rapides et des temps de propagation dans les connexions plus importants.

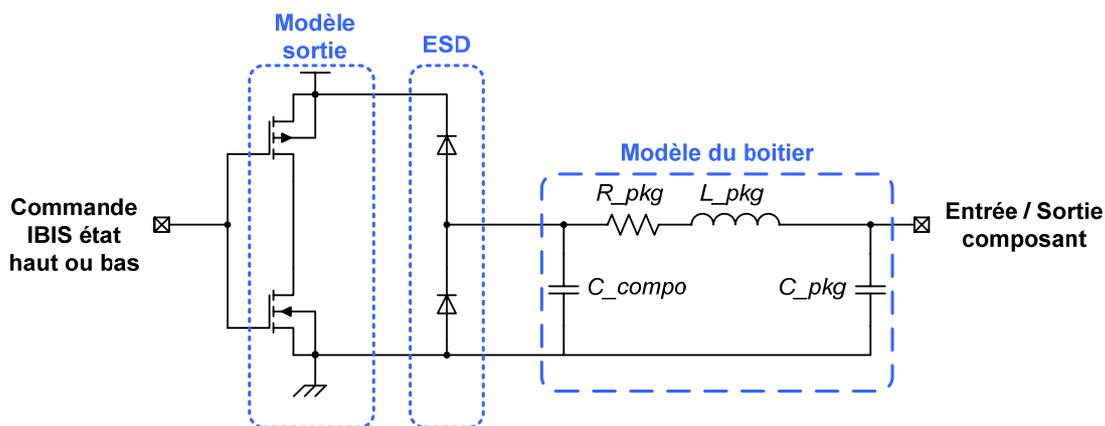


Figure 22. Exemple de modèle IBIS

Le modèle IBIS a évolué depuis 1990 pour arriver à la version 5.0 qui permet d'adopter une description comportementale de haut niveau avec les outils tels que VHDL-AMS, VERILOG-AMS. Enfin, le modèle IBIS présente l'avantage de conserver la confidentialité des données constructeur puisque les circuits et fonctions internes ne sont pas divulgués.

La principale faiblesse d'IBIS réside dans le fait que le réseau d'alimentation du circuit n'est pas décrit. Ce réseau étant souvent une source ou un chemin de couplage de perturbation électromagnétique, il est nécessaire de le prendre en compte lors de la conception. L'outil ICEM permet de combler ce vide et apparaît moins réducteur qu'IBIS.

¹¹ Input/Output Buffer Specification, norme IEC 62014-1

¹² ElectroStatic Discharge (décharge électrostatique)

I.2.2. Modèle ICEM

La première version du modèle ICEM a été établie en 2002 par l'IERSET¹³. Il s'agissait alors de décrire la contribution des émissions conduites ou rayonnées dans les alimentations de circuits intégrés. Le modèle décrivait le boîtier, les éléments parasites sur silicium et enfin l'activité interne du circuit, ce qui constitue une nouveauté par rapport à IBIS. Ce modèle a fait l'objet d'une première proposition de norme, puis a évolué en deux parties : la modélisation des perturbations rayonnées (ICEM-RE¹⁴ [27]) et la modélisation des perturbations conduites (ICEM-CE¹⁵). Finalement, ICEM-CE est devenu une norme en novembre 2008 [14].

I.2.2.1 Présentation de la norme

Le modèle ICEM-CE peut s'appliquer à différentes natures de circuits intégrés et à plusieurs technologies d'intégration. De par sa construction, il permet de caractériser plusieurs paires d'alimentations, de prendre en compte les parties numériques, analogiques ou encore les blocs entrées et sorties (bloc I/O¹⁶, gérant les entrées sorties, contribuant à l'émission de perturbations conduites).

Le but de ce modèle est de prendre en compte les aspects CEM d'émission durant la phase de design d'un circuit. Combiné avec des outils de simulation analogique de type SPICE, il permet d'optimiser les réseaux d'alimentation interne, de dimensionner leurs découplages, d'optimiser le courant consommé et enfin de maîtriser la propagation des perturbations vers les autres parties du circuit intégré. Dans le cas d'un microcontrôleur, il est possible d'estimer les perturbations transmises aux circuits analogiques afin de vérifier une incompatibilité éventuelle.

Le modèle est constitué de trois blocs modélisant différents aspects du circuit intégré :

- Le bloc PDN (Passive Distribution Network) décrit la structure passive du réseau d'alimentation.

¹³ Institut Européen de Recherche sur les Systèmes Electroniques pour les Transports, Toulouse

¹⁴ Integrated Circuit Emission model – Radiative Emissions

¹⁵ Integrated Circuit Emission model – Conducted Emissions [14]

¹⁶ Input / Output

- Le bloc IA (Internal Activity) caractérise l'activité interne du circuit intégré par un ou plusieurs générateurs de courant.
- Le bloc IBC (Inter-Block Coupling) permet de modéliser les chemins de couplage des perturbations vers les autres circuits.

La Figure 23 fait apparaître les différents blocs ainsi que des exemples. Le PDN est associé au bloc IA par des nœuds internes repérés « IT », afin de modéliser l'effet produit par la circulation des courants internes dans le réseau d'alimentation. L'entrée du PDN utilise des nœuds externes, repérés « ET ».

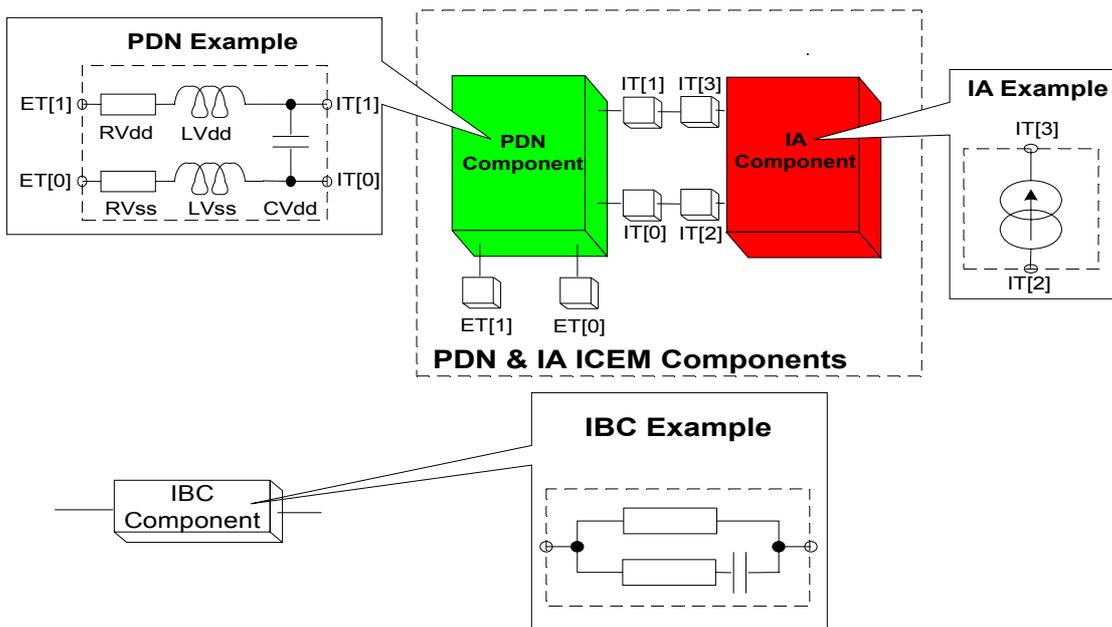


Figure 23. Structure du modèle ICEM et exemples simples

Les composants du modèle ICEM-CE vont être présentés dans les parties suivantes en commençant par le bloc PDN.

1.2.2.2 Composant PDN

Le composant PDN modélise un ou plusieurs réseaux d'alimentation en utilisant des éléments passifs localisés de type résistance, inductance et capacité ou encore distribués comme les lignes de transmission. Lorsque les temps de propagation dans le PDN sont critiques, la ligne de transmission est utilisée.

Le PDN peut être construit par mesure ou par simulation. La construction par la mesure requiert une méthodologie précise car un nombre important de mesures sont nécessaires. De récents travaux [23] proposent des méthodes d'extraction de PDN basées sur une topologie, une mesure des paramètres S des alimentations et une modélisation RLC. Plusieurs topologies

de réseaux d'alimentation, illustrées par la Figure 9, page 31, sont communément utilisées. La structure du PDN se base souvent sur la structure du réseau d'alimentation existant dans le circuit intégré. Enfin, le PDN peut être obtenu par simulation. Des méthodes d'extraction automatiques [28] existent et sont appliquées par l'entreprise ATMEL.

L'exemple de la Figure 24 fait apparaître deux PDN caractérisant deux paires d'alimentations séparées. L'effet du boîtier est caractérisé par deux inductances (L_{VCC} et L_{VSS}) et des résistances de rails d'alimentation (R_{VCC} et R_{VSS}). Un couplage entre les inductances peut être décrit au moyen d'un coefficient K_m . La structure du circuit interne est représenté par les éléments R_{v1} , R_{c1} et $C1$ pour la paire d'alimentation $VCC1 - VSS1$ tandis les éléments R_{v2} et $C2$ modélisent le circuit connecté à la paire $VCC2 - VSS2$.

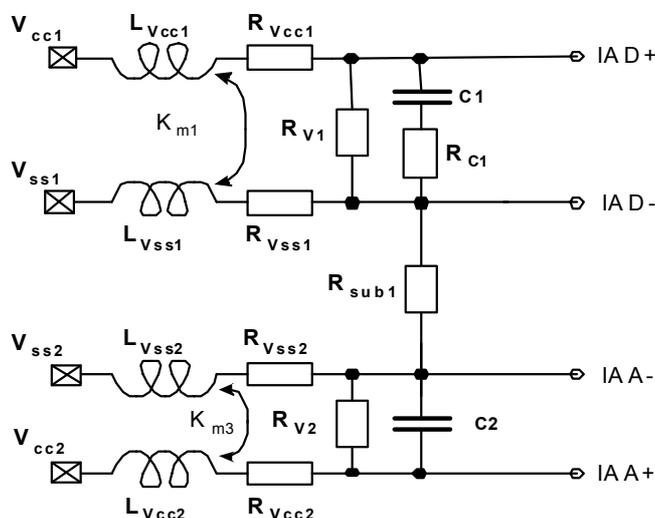


Figure 24. Exemple de PDN pour deux paires d'alimentation

Les composants IA, décrits dans le paragraphe suivant, sont finalement branchés en sortie du PDN et modélisent les activités internes des deux circuits reliés aux deux paires d'alimentations.

1.2.2.3 Composant IA

Le composant IA permet de prendre en compte l'activité interne du circuit et la modélise au moyen d'un générateur de courant. Ces courants, transitant dans le PDN, sont responsables des sauts de tension sur les alimentations du circuit. Ces sauts peuvent devenir nocifs pour l'immunité des circuits voisins, en particulier pour les parties analogiques. Le fait de prendre en compte ce courant est un des atouts majeurs du modèle ICEM-CE.

Le composant IA peut être obtenu par la mesure, auquel cas on relèvera les courants, ou les tensions, consommés par l'alimentation [22] [23] [29]. Il peut aussi être estimé par la

simulation du circuit. Cette deuxième solution s'applique plutôt au fondeur de circuit intégré car elle nécessite des données de construction.

L'outil de modélisation comportementale est bien adapté à cette modélisation et permet de réaliser des analyses CEM poussées. L'utilisation du langage comportemental VHDL-AMS ou VERILOG-AMS permet de créer des modèles de courant performants reflétant précisément l'activité du circuit [30]. Il est ainsi possible de modéliser le courant selon les opérations d'un microcontrôleur, d'une mémoire ou encore d'un bloc I/O. La conception d'un IA évolué peut être réalisée en créant et en associant des courants selon l'activité du circuit.

I.2.3. Composant IBC et association de modèles ICEM

Le dernier bloc de la norme ICEM, le composant IBC, permet de lier deux modèles ICEM entre eux. Il est alors possible de réaliser des analyses de CEM plus complexes notamment pour les circuits mixtes. Dans ce cas, les parties analogiques et numériques possèdent chacune leur modèle ICEM.

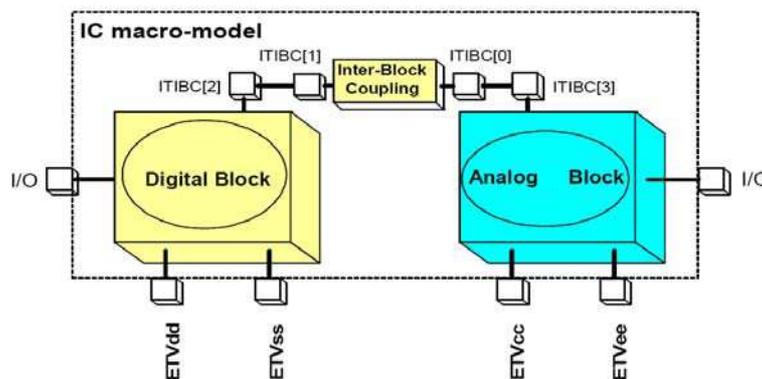


Figure 25. Exemple de couplage inter bloc

Le composant IBC peut modéliser le couplage du substrat, par exemple entre deux paires d'alimentations. La Figure 25 illustre cette démarche en modélisant le couplage de la masse numérique (nœud ITIBC1) vers la masse analogique (nœud ITIBC0).

L'exemple de la Figure 26, extraite de la norme IEC 62433-2, permet de rassembler les modèles ICEM-CE des parties principales d'un microcontrôleur.

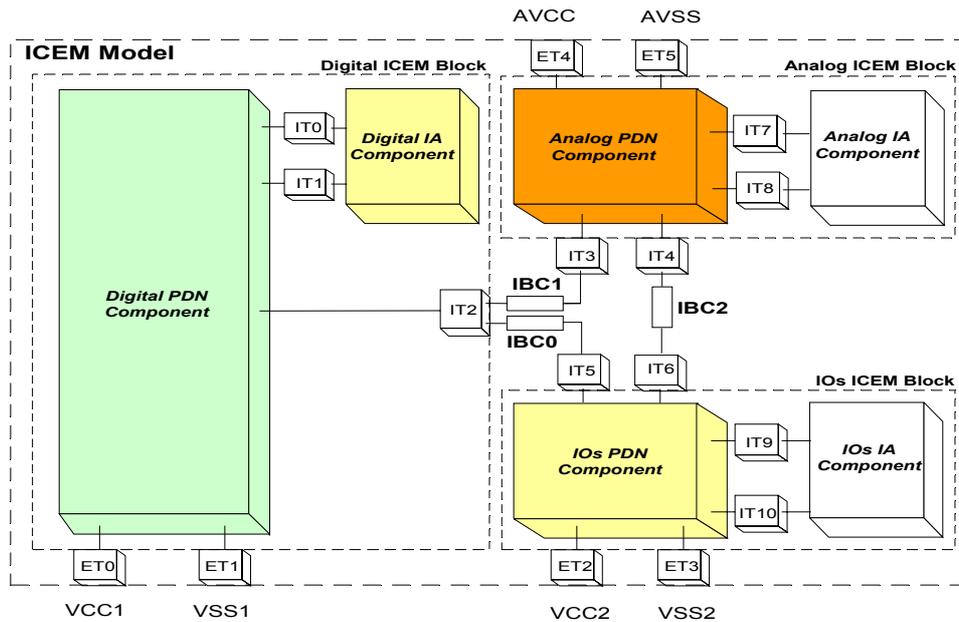


Figure 26. Association de modèles ICEM-CE pour un microcontrôleur

Nous y trouvons le modèle du cœur logique associé aux modèles des I/O et de la partie analogique. Chaque partie possède son activité interne et les blocs IBC permettent de modéliser les couplages parasites inter blocs.

I.2.4. Synthèse

Le modèle ICEM-CE propose une démarche de modélisation de l'émissivité conduite adaptée aux circuits intégrés. En effet, la prise en compte de l'activité interne du circuit permet de décrire précisément l'émissivité de ce circuit lorsqu'il fonctionne. La structure PDN permet de mener des analyses au niveau du réseau d'alimentation en vue de l'optimiser. Enfin, le composant IBC permet de modéliser la propagation des perturbations vers les circuits voisins, en modélisant par exemple le couplage substrat. Dans sa version actuelle, l'approche ICEM permet de créer des modèles jusqu'à 1 GHz. Cette limite peut être étendue à 10 GHz en décrivant précisément les lignes de transmission et les couplages haute fréquences [31] au moyen de modèles plus complexes.

Le modèle ICEM-CE est de plus en plus utilisé, notamment par ATMEL pour prédire l'émissivité de ses circuits. Des travaux ont été menés pour automatiser l'extraction des blocs IA et PDN à partir du design des circuits [22] [30].

Pour finir, des travaux sont actuellement menés pour standardiser le modèle ICEM-RE qui a pour but de modéliser l'émissivité rayonnée d'un circuit.

I.3 Modélisation de l'immunité

Après avoir exposé les modèles d'émissivité, le paragraphe qui suit présente l'état de l'art concernant la modélisation de l'immunité. Dans le domaine de la CEM des circuits intégrés, cette thématique de modélisation est relativement récente. Cependant il existe une proposition de norme, visant à permettre l'élaboration de modèle d'immunité de circuits intégrés, dénommée ICIM-CI. Cette méthodologie est au cœur de mes travaux de thèse qui ont pour objectif d'en démontrer l'applicabilité à un circuit complexe et d'en évaluer les développements possibles.

I.3.1. Modèle ICIM-CI

Le modèle ICIM-CI [15] fait actuellement l'objet d'une proposition de norme rédigée par un groupe de travail de l'UTE¹⁷ (2008). Il s'agit de proposer une démarche générique permettant de créer un modèle d'immunité d'un circuit électronique en prenant en compte la fonctionnalité du circuit, tout comme ICEM prend en compte l'activité en courant. La démarche de modélisation est proche de la norme ICEM-CE et certains blocs sont réutilisés.

Dans un premier temps, je présente la méthodologie ICIM générale, issue de la proposition de norme. Puis je présenterai le bloc PDN avant de décrire plus particulièrement le bloc IB (Immunity Behavioural), celui-ci ayant une place centrale dans la démarche ICIM.

I.3.1.1 Présentation de la proposition de norme

Le but de cette norme est de fournir une méthode pour créer des macromodèles de circuits permettant la simulation de l'immunité conduite et ce, avant la fabrication du circuit. ICIM doit ainsi permettre d'orienter la conception du circuit pour obtenir un niveau d'immunité satisfaisant. Cette méthode peut aussi bien être appliquée aux circuits analogiques qu'aux circuits numériques : le cœur digital, les blocs entrées-sorties ou encore les alimentations d'un circuit intégré sont autant de parties numériques pouvant nécessiter des optimisations d'immunité.

Comme il a été dit précédemment, l'objectif d'ICIM est de prendre en compte la dégradation de fonctionnalité du circuit en présence d'agressions électromagnétiques.

¹⁷ Union Technique de l'Electricité

Des langages de description comportementale comme VERILOG (AMS) et VHDL (AMS) sont utilisables. Le langage par défaut retenu pour ICIM est SPICE.

La proposition de norme s'appuie sur les quatre normes suivantes :

- IEC 62014-1 [25]: Electronic behavioural specifications of digital integrated circuits IO Buffer Information Specification (IBIS, Version 3.2).
- IEC 62132-1 to 6 [32]: Integrated Circuits, Measurement of electromagnetic immunity, 150 KHz to 1GHz.
- IEC62433-1 [33]: EMC. IC modelling part 1: General definitions for modelling framework.
- IEC62433-2 [14]: EMC. IC modelling part: ICEM-CE

Ces normes concernent le modèle IBIS (présenté en I.2.1, page 50), les techniques de mesure de l'immunité, la modélisation des réseaux d'alimentation et pour finir, le standard ICEM-CE.

I.3.2. Architecture proposée

Un macromodèle ICIM-CI est constitué au minimum de deux blocs : le PDN et le bloc IB.

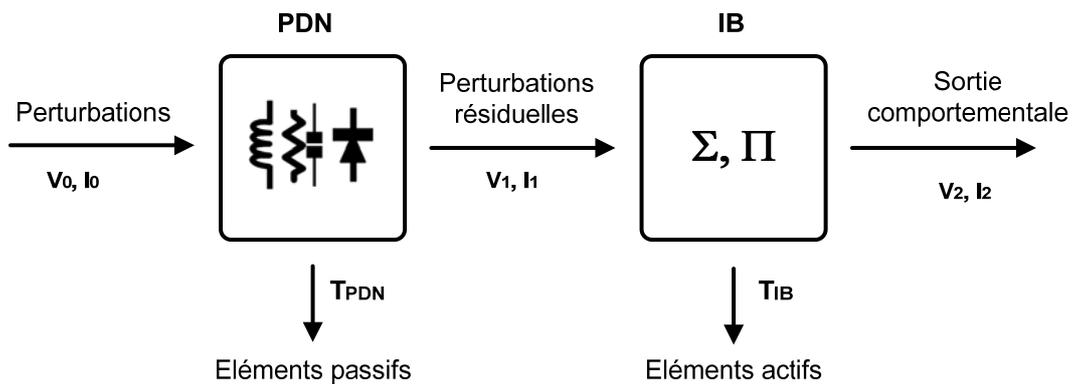


Figure 27. Architecture générale d'ICIM-CI [15]

Le bloc PDN (Passive distribution network) fait le lien entre les perturbations électromagnétiques, appliquées aux entrées du circuit, et les perturbations résiduelles internes au circuit. Ce bloc est constitué essentiellement d'éléments passifs comme des résistances, inductances, capacités et peut comprendre aussi des diodes (voir Figure 27).

Le second bloc, IB (Immunity Behavioural), décrit le comportement du circuit lorsqu'il est agressé par des perturbations électromagnétiques. A partir des perturbations résiduelles, le composant IB fournit une sortie comportementale qui modélise la dégradation de la fonctionnalité du circuit. Le composant IB est utilisable dans la bande de fonctionnement du circuit ou hors bande.

I.3.3. Composant PDN

Si nous nous en tenons à la description du PDN faite dans la norme ICEM, le composant PDN modélise le réseau d'alimentation. Cependant, l'architecture proposée Figure 27, place le PDN en amont du composant IB. Ainsi, le PDN doit être en mesure d'estimer précisément les perturbations résiduelles, à l'intérieur du circuit, pour que le composant IB évalue la dégradation de fonctionnalité.

Cette précision conduit à retenir deux rôles essentiels que le PDN doit assurer :

- tout d'abord décrire le réseau passif d'alimentation, comme dans ICEM. On modélise le boîtier, les plots de connexion et les rails d'alimentation jusqu'aux fonctions intégrées faisant l'objet d'étude d'immunité.
- en second lieu décrire précisément les chemins de couplage dans le circuit, jusqu'aux parties les plus sensibles aux perturbations. Ce sous-modèle du PDN sera nommé « modèle des chemins de couplage » dans la suite du manuscrit.

Au final, le PDN peut être schématisé [15] par une matrice de transfert [TPDN] qui convertit les perturbations d'entrée en perturbation résiduelles au plus près de la fonction sensible. On notera :

$$\begin{pmatrix} i_1 \\ v_1 \end{pmatrix} = [TPDN] \cdot \begin{pmatrix} i_0 \\ v_0 \end{pmatrix}$$

Equation 1. Matrice de transfert du PDN

I.3.4. Composant IB

Le composant IB modélise la dégradation de la fonction sous l'effet d'agressions électromagnétiques. Dans ce cas également, une matrice de transfert [TIB] permettra de convertir les perturbations résiduelles en une sortie comportementale sous la forme :

$$\begin{pmatrix} i_2 \\ v_2 \end{pmatrix} = [TIB] \cdot \begin{pmatrix} i_1 \\ v_1 \end{pmatrix}$$

Equation 2. Matrice de transfert du composant IB

Deux descriptions sont possibles pour le composant IB.

La première considère un macromodèle ICIM-CI indépendant du critère d'immunité. Le test d'immunité est réalisé au niveau de la sortie comportementale du composant IB.

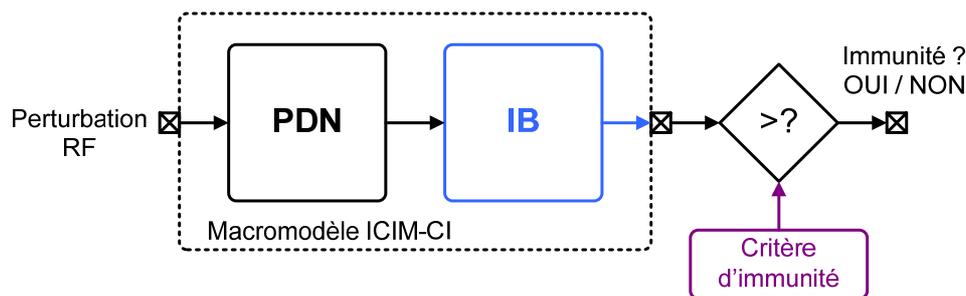


Figure 28. Description avec un critère extérieur au modèle

Dans ce cas de figure, le composant IB modélise seulement la fonction du circuit étudié. Il fournit en sortie une grandeur physique (courant ou tension) sur laquelle on applique ensuite un test.

La seconde description choisit d'intégrer le critère d'immunité à l'intérieur du composant IB. Le schéma du modèle ICIM-CI devient celui de la Figure 29.

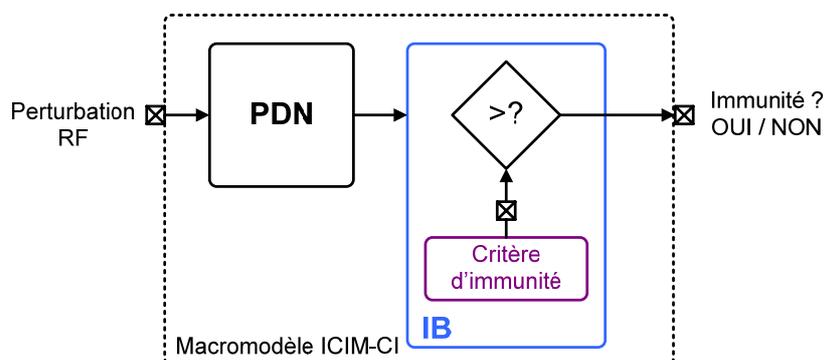


Figure 29. Description avec un critère intérieur au modèle

Dans ce dernier cas, le composant IB permet d'évaluer l'immunité par une sortie tout ou rien.

Les travaux que j'ai réalisés permettront dans les chapitres suivants d'émettre des appréciations sur ces deux descriptions. Je propose d'illustrer la démarche ICIM-CI en présentant le modèle d'immunité d'un amplificateur. Nous verrons alors un composant IB séparé du critère d'immunité.

I.4 Modèle d'immunité et applications

I.4.1. Application de la norme ICIM-CI à un amplificateur

Des premiers travaux [22] appliquent la démarche ICIM-CI à un amplificateur. Le modèle ICIM-CI de l'amplificateur peut être celui de la Figure 30.

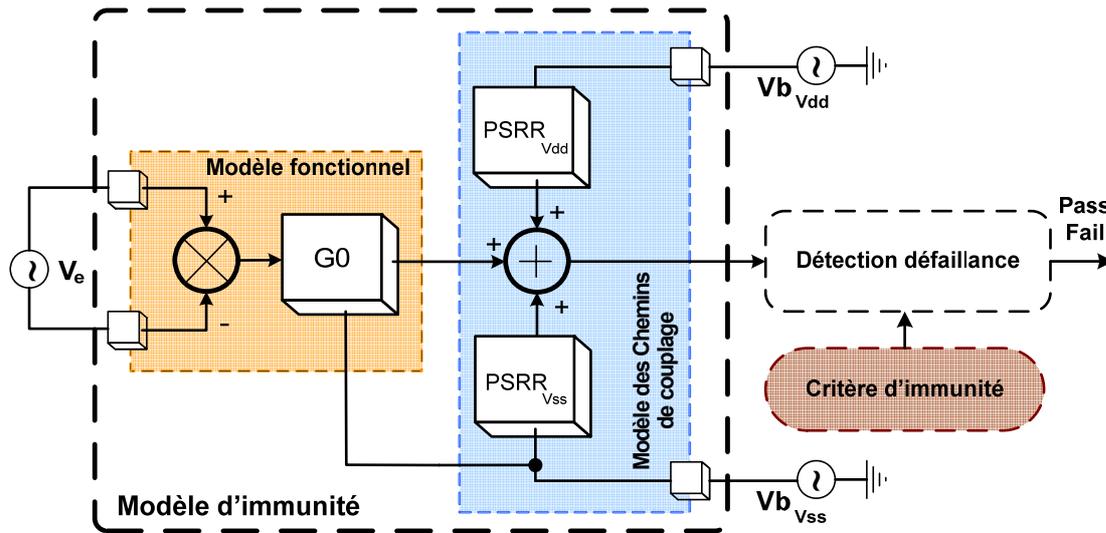


Figure 30. Modèle ICIM-CI d'un amplificateur

Le composant IB modélise la fonction amplification en appliquant un gain à une tension d'entrée V_e . Il est nommé « modèle fonctionnel » sur la figure. Le PDN modélise un premier chemin de couplage des perturbations entre l'alimentation positive (VDD) et la sortie (chemin $PSRR_{VDD}$, taux de réjection du bruit du rail VDD). Le deuxième chemin modélise la propagation des perturbations de masse vers la sortie amplifiée ($PSRR_{VSS}$). Les contributions en bruit des alimentations sont ensuite sommées au signal amplifié.

Une limite de bruit sur la sortie amplifiée peut alors être prise pour critère d'immunité comme illustré sur la Figure 31.

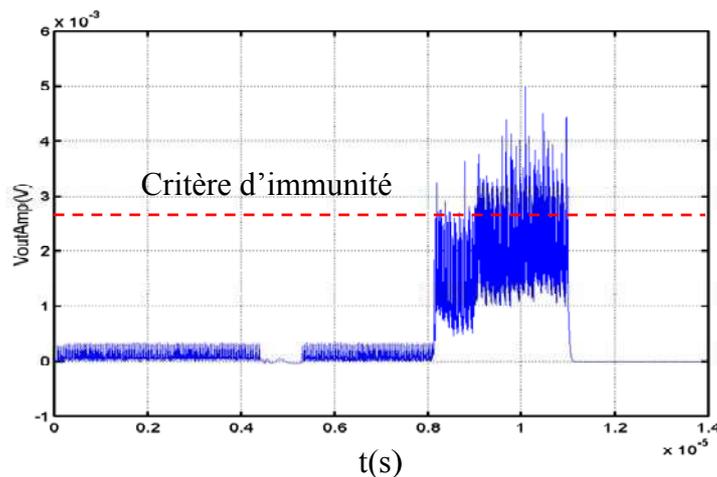


Figure 31. Application du critère d'immunité

De ce cas d'étude, la détection de la défaillance peut être effectuée à l'extérieur du macromodèle car le composant IB reste simple à décrire. Nous verrons, dans le troisième

chapitre, que pour des circuits plus complexes tels les ADC, il est nécessaire de créer un composant IB plus précis. Je présenterai alors plus en détail l'intérêt d'intégrer le critère de défaillance dans le composant IB.

I.4.2. Autres applications

Des travaux très récents présentent deux démarches de modélisation de l'immunité des circuits intégrés.

Dans le premier cas [34], il s'agit de modéliser l'immunité d'un circuit régulateur de tension. Dans ce travail, une méthodologie de prédiction de l'immunité conduite est présentée en adoptant une vision électronicien car l'accès aux données constructeur du régulateur n'est pas possible. Cette méthodologie est semblable à la démarche ICIM-CI car un modèle fonctionnel est présent et est associé à un bloc PDN. Ce bloc est construit à partir des éléments passifs préconisés dans la proposition de norme. Le composant choisi présente un fonctionnement non-linéaire. Un composant actif de type diode est alors ajouté au modèle fonctionnel pour prendre en compte cette non-linéarité. Le modèle est ensuite complété par des descriptions du boîtier du régulateur et des différents éléments de connexion utilisés en mesure. Cette étude permet de modéliser avec assurance l'impédance présentée par le circuit régulateur. De plus, le modèle d'immunité permet de prédire précisément les niveaux de perturbation pour lesquels le critère est atteint dans une bande de fréquence de 100 MHz à 1 GHz.

La seconde étude [35] propose de mettre en œuvre également la méthode ICIM-CI pour extraire des modèles d'immunité de circuits, en adoptant une vision équipementier. Ce cas d'application montre une démarche considérant des boîtes noires afin de ne pas divulguer les informations constructeur. La démarche proposée commence par définir un critère de défaut. Une caractérisation DPI¹⁸ est menée sur chaque broche du composant présentant un intérêt pour l'étude d'immunité. Les paramètres S des broches d'accès sont ensuite extraits puis une modélisation SPICE est réalisée à partir de ces paramètres. Enfin, un modèle d'immunité est créé sous forme de boîtes noires. La démarche permet au final de créer des modèles d'immunités fiables dans une bande de fréquence de 100 MHz à 2 GHz.

Ces deux exemples montrent la création de modèle d'immunité de composants en adoptant les deux visions « électronicien » et « équipementier ». Dans le cadre des travaux de cette thèse,

¹⁸ Direct Power Injection

l'accès aux données constructeur permet de créer un modèle d'immunité avec la vision fondeur. Cette approche est présentée dans le troisième chapitre.

Enfin, des travaux [36] ont montré que l'utilisation de réseaux de neurones permet de créer un modèle de susceptibilité d'un circuit inverseur CMOS. L'approche utilise un modèle mathématique permettant de prendre en compte le comportement non-linéaire de l'inverseur. Ce modèle présente un domaine de validité large de 50 MHz à 1 GHz.

I.5 Outils logiciels

Maintenant que nous avons parcouru les différentes thématiques de la modélisation de la CEM des circuits, je propose une présentation des outils logiciels utilisés durant cette thèse. Le troisième chapitre de ce manuscrit s'intéresse à la modélisation de l'immunité d'un circuit convertisseur analogique – numérique. Ces études faisant essentiellement appel à des outils de simulation, le paragraphe qui suit présente les différents logiciels utilisés puis les techniques élémentaires de simulation mises en place pour analyser et simuler les différentes bases de données des circuits.

I.5.1. Simulations utilisant les bases de données circuit du fondeur

Un circuit complexe comme un microcontrôleur comporte un ensemble de fonctions numériques et analogiques. La partie analogique comporte différents sous-circuits réalisant chacun des tâches spécifiques. Ainsi, si nous prenons un circuit ADC comme exemple, le circuit est conçu comme un bloc à part entière dans un projet de conception. Ensuite seulement, les circuits seront assemblés lors de l'intégration du microcontrôleur.

Les données de conception du circuit sont rassemblées dans une base de données. Cette base est créée à partir d'un outil de CAO (Conception Assistée par Ordinateur). Le fondeur de circuit intégré attache une technologie à la base de données du circuit grâce à un kit fondeur. Ce kit rassemble les données technologiques et les données de procédés liées à une technologie d'intégration (par exemple, la technologie 0,18 μm). Partant de ce principe, un certain nombre de cellules standards sont disponibles : il peut s'agir des transistors PMOS, NMOS, d'éléments passifs intégrés ou encore de cellules plus évoluées tels des portes NAND, bascules ou buffers. A partir du kit fondeur, le concepteur du circuit fait appel aux cellules standards pour créer le schéma électrique du circuit (Figure 32). La base de données est donc fortement liée au kit fondeur.

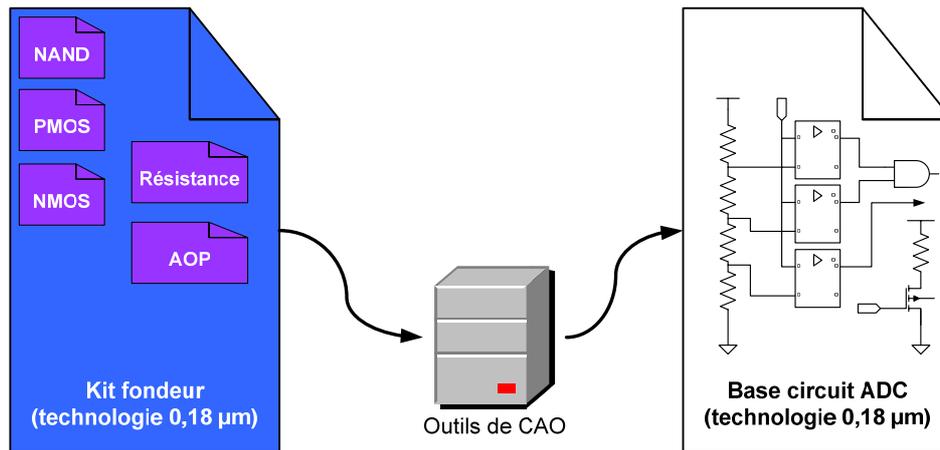


Figure 32. Illustration du lien entre kit fondeur et base de circuit

Durant cette thèse, j'ai travaillé en lien étroit avec l'entreprise ATMEL. Pour les travaux du troisième chapitre, la base de données d'un circuit ADC, construite à ATMEL, a été dupliquée pour être consultable au laboratoire. Le kit fondeur n'étant pas disponible dans le laboratoire, une base spécifique a été créée à partir du projet initial de l'ADC, créé avec le logiciel CADENCE, et copiée hiérarchiquement. Cette technique permet de lier les éléments de technologie à la nouvelle base, la rendant complètement indépendante du kit fondeur. Le schéma électrique ainsi que le schéma de routage (layout) sont alors consultables. Cependant cette manipulation ne permet plus de corriger le circuit car les cellules standards du kit ne sont pas toutes disponibles.

I.5.2. Logiciels de simulation

Au laboratoire, la base de données Cadence permet la consultation du schéma mais pas la simulation électrique. Des opérations sont encore nécessaires afin d'obtenir les mêmes conditions de simulation que chez le fondeur du circuit.

Le logiciel de simulation SPICE utilisé chez le fondeur est ELDO de MENTOR GRAPHICS¹⁹. Ce logiciel est un concurrent de SPECTRE de CADENCE et est très adapté pour la simulation de circuits conséquents. La base de données du schéma doit être transformée en un fichier de simulation compréhensible par ELDO. Sous CADENCE, le circuit est transformé en une « netlist ». Celle-ci utilise le langage SPICE pour représenter le circuit.

¹⁹ Version utilisée pour les travaux de thèse : 2007.2c

Une dernière opération est requise pour obtenir les mêmes conditions de simulation. Les modèles de tous les sous circuits constituant l'ADC (nommées « cellules standards » : portes logiques, inverseurs, transistor, résistances, etc.) sont récupérés. Ces modèles sont liés à la technologie ATMEL utilisé pour fabriquer le circuit ADC et permettent sa simulation.

Les éléments requis sont maintenant rassemblés. La netlist peut être simulée avec ELDO grâce à un fichier SPICE supplémentaire, fixant les conditions de simulations ainsi que les alimentations requise par le circuit netlist. Ce dernier inclut les fichiers de modélisation correspondants à la technologie.

Le principal atout de cette démarche est de garantir la confidentialité des données technologiques du fondeur.

- Le kit fondeur n'étant pas installé, les données de la technologie sont protégées.
- La nouvelle base du circuit a seulement récupéré le strict minimum de données techno (uniquement les cellules utilisées dans le circuit).
- Les fichiers modèles correspondent au circuit présent (les autres modèles de la techno ne sont pas récupérés).

Cette étape a été un point clef dans le cadre de mes travaux car elle permet d'utiliser les données de construction de l'entreprise ATMEL et ainsi valider véritablement les études d'immunité du point de vue fondeur. A terme, un des objectifs pour ATMEL est d'intégrer de telles études CEM dans le flot de conception d'un circuit.

I.5.3. Outils de modélisation

La création de modèle d'immunité requiert un logiciel de modélisation comportemental. J'ai choisi VHDL-AMS d'abord pour sa compatibilité avec le simulateur ELDO, mais aussi car il est très adapté et souvent utilisé pour le modèle ICEM-CE [30].

La compatibilité des deux outils, modélisation et simulation, est une donnée très importante pour la suite des travaux : le but d'un modèle d'immunité est de pouvoir être utilisé dans un flot de simulation. Par exemple, il peut être nécessaire d'utiliser un modèle d'immunité dans un environnement SPICE pour simuler un couple agresseur – victime.

Le logiciel permettant d'utiliser le langage VHDL-AMS, chez MENTOR GRAPHIC, est Advanced MS. Il peut se présenter sous forme d'interface graphique ou en ligne de commande. Pour des modèles complexes, utilisant un grand nombre de sous-modèles, la ligne

de commande se révèle être adaptée car la simulation se lance plus vite, le modèle peut être retouché très facilement et la simulation avec ELDO est facilitée.

I.6 Conclusion

Une présentation de la modélisation de l'émissivité, en prenant pour exemple le modèle ICEM-CE, a été donnée. Ce modèle est bien adapté pour prédire l'émissivité des circuits. La démarche ICIM-CI a ensuite rapidement été décrite. Elle permet de prédire l'immunité des circuits intégrés. L'intérêt de la modélisation est d'anticiper les problèmes de CEM avant la construction du circuit afin d'optimiser celui-ci.

II. QUELQUES REGLES D'OPTIMISATION DE LA CEM DES CIRCUITS

Je propose de décrire dans ce paragraphe quelques règles d'optimisations communément mises en œuvre et découlant, pour certaines, des modèles présentés précédemment. Après une présentation des protections ESD, nous verrons les actions possibles sur les éléments du trio source, canal et victime.

II.1 Protection ESD des circuits intégrés

La manipulation des composants expose ceux-ci à une possible destruction du circuit intégré. Ces circuits intégrés sont alors généralement pourvus de protection contre les décharges électrostatiques sur les broches d'entrée et de sortie. Les protections utilisent des éléments non-linéaires réagissant aux surtensions ou aux fortes variations de tension. Un écrêtage de tension permet d'évacuer la perturbation vers l'alimentation ou la masse et isole ainsi le circuit intégré (Figure 33).

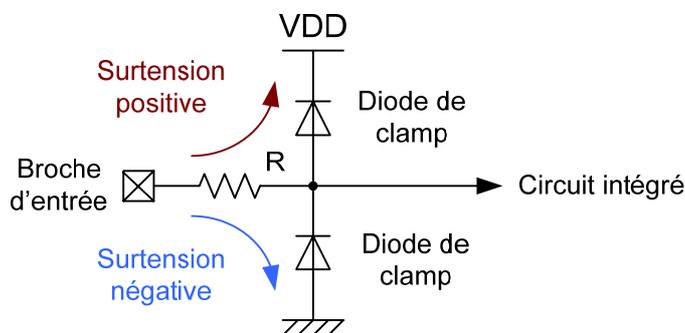


Figure 33. Exemple de protection ESD à diode

Pour une protection utilisant des diodes dite de « clamp », une résistance intégrée « R » de dix à un kilo ohms est utilisée pour limiter la surtension.

II.2 Exemples d'optimisations

Les circuits ESD permettent une première protection du composant contre les fortes décharges. Cependant, ces protections ne suffisent pas à optimiser l'immunité d'un circuit analogique face à des perturbations de faible puissance. Un certain nombre de règles permettent de durcir le circuit. L'intérêt de la modélisation est de pouvoir anticiper les règles à appliquer. De manière indirecte, on peut agir sur les alimentations, de manière directe, on pourra agir sur le dessin du circuit.

II.2.1. Action sur le canal

De récents travaux [37] [38] ont montré que des techniques d'optimisation permettent de réduire les émissions des circuits et d'améliorer leur immunité. Ces optimisations sont souvent empiriques. Néanmoins, le modèle ICEM permet de simuler les améliorations qu'elles peuvent apporter. Le réseau d'alimentation est un premier élément pouvant influencer l'immunité d'un circuit. En effet, celui-ci constitue le canal de transmission de la perturbation. Selon le degré de susceptibilité ou d'émissivité d'un circuit, la topologie du réseau peut être amenée à changer pour tendre alors vers une structure isolée, comme présentée sur la Figure 9. Cependant, le changement de structure d'alimentation nécessite souvent plus de broches d'alimentation, ce qui implique de changer le type de boîtier et devient onéreux pour le constructeur.

Une deuxième solution consiste à augmenter le découplage de l'alimentation du circuit pour absorber une partie des perturbations. Cette optimisation est difficile à appliquer pour un circuit. En effet, un découplage efficace nécessite des capacités souvent importantes et volumineuses qui doivent être placées au plus près de la fonction sensible. Il est alors difficile d'intégrer de telles capacités sur le substrat sans grossir fortement le design.

Enfin, une autre solution consiste à limiter la propagation des perturbations du circuit émissif. Il convient alors d'agir sur la résistance de rail d'alimentation afin d'améliorer l'isolation du canal. Cette solution, utilisée chez ATMEL, ne requiert pas de place supplémentaire et peut s'avérer très efficace. Une réduction appropriée de la section du rail d'alimentation permet d'obtenir la résistance souhaitée (Figure 34).

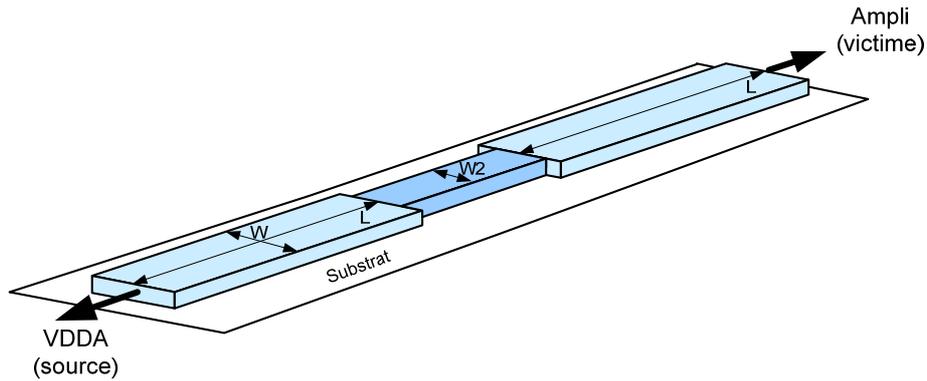


Figure 34. Création d'une résistance de rail d'alimentation

L'action sur la résistance de rail va permettre d'accorder un filtre passe bas avec la capacité d'entrée que présente le circuit victime. Cependant, une analyse précise de la source de perturbation doit être faite car il s'agit d'accorder ce filtre à une fréquence précise.

La Figure 35 présente un modèle ICEM d'une partie analogique incluant le composant IA.

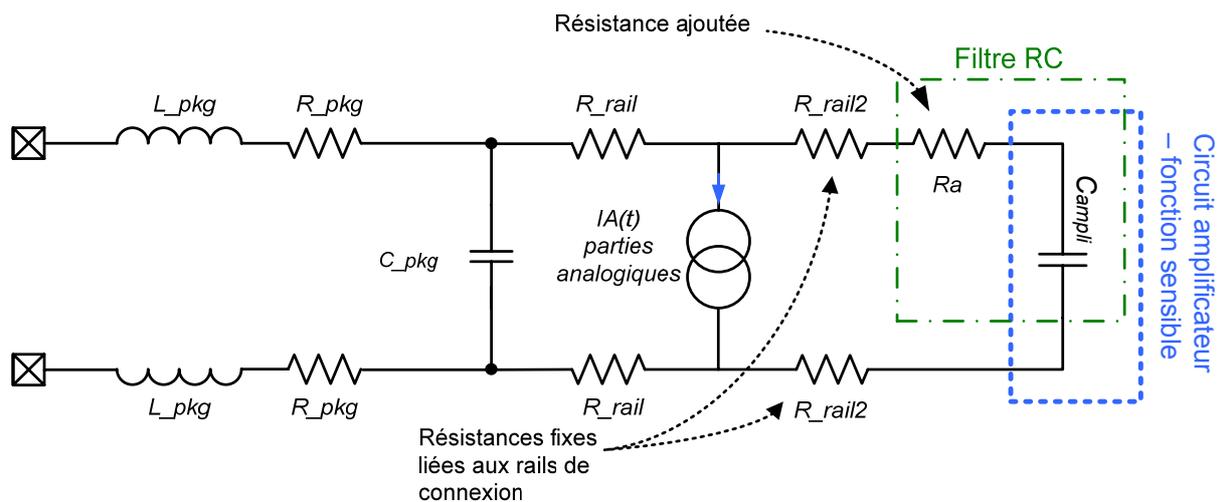


Figure 35. Exemple d'action sur le rail d'alimentation

Considérons pour l'IA une perturbation à 8 MHz qui correspond à la commutation de l'arbre d'horloge. Cette perturbation se décompose en une raie fondamentale à $f_0 = 8\text{MHz}$ et des harmoniques de fréquences plus élevées (principalement à $3f_0$, $5f_0$, etc.). Une partie se propage directement au circuit amplificateur (la victime) par le rail d'alimentation. On accorde alors un filtre passe bas pour isoler le circuit susceptible de ces agressions. Pour cela, une résistance R_a est ajoutée sur le rail d'alimentation pour accorder le filtre et rejeter les perturbations au delà de 8 MHz.

II.2.2. Action sur le design du circuit

Si la partie précédente présentait les actions sur les alimentations pour immuniser des fonctions sensibles, il est aussi possible d'agir sur la conception même des circuits. Il faut alors reconcevoir le circuit pour durcir les parties les plus vulnérables.

Pour durcir le design, un certain nombre de règles sont appliquées par les concepteurs. Si nous prenons l'exemple d'un circuit orienté radiofréquence, comme un oscillateur commandé en tension (Voltage Control Oscillator), ce circuit présente une tension de commande relativement sensibles aux variations de tension. La fréquence du signal de sortie est directement proportionnelle à la tension de commande, en entrée. Cette fréquence doit être très stable, sanctionnant ainsi les performances du VCO. La stabilité de la fréquence est affectée par les variations de tension sur l'entrée. Il faut alors limiter au maximum l'impact de ces perturbations. On choisit communément de créer une commande de tension différentielle. Ainsi, les perturbations de mode commun deviennent la principale cause de dérives de fréquence.

De récents travaux proposent des solutions pour durcir le design des circuits intégrés notamment pour les amplificateurs opérationnels [39], [40], [41] ou pour les miroirs de courant [42], [43].

III. MESURES DE L'IMMUNITE DES CIRCUITS INTEGRES

Nous avons précédemment parcouru un certain nombre de techniques d'optimisation de la CEM des circuits intégrés. La modélisation de la CEM permet de corriger un certain nombre de problèmes durant la phase de conception. Afin de confirmer les résultats issus de modèles et l'effet des optimisations, la CEM est mesurée sur le circuit fabriqué. Cette partie propose de présenter une technique de mesure de l'immunité conduite s'appuyant sur le standard DPI [44] (Direct Power Injection) qui sera utilisée par la suite. Il existe d'autres techniques, qui ne seront pas détaillées ici, permettant de mesurer la CEM comme par exemple le principe de la BCI, de la cellule TEM, GTEM ou encore de la cage de Faraday [45].

III.1 Le standard DPI

Le standard DPI propose une démarche simple permettant de mesurer de manière reproductible et peu coûteuse l'immunité d'un dispositif face aux perturbations électromagnétiques. La technique s'applique aux circuits intégrés. Elle met en œuvre un

certain nombre d'appareils de mesure et suit une procédure de test précise permettant de relever le niveau de perturbation engendrant la violation du critère d'immunité. Les paragraphes suivants décrivent d'abord le principe, puis le banc de mesure et enfin la procédure de test.

III.1.1. Principe

Le standard DPI repose sur l'injection directe de la perturbation sur une des pistes d'accès du circuit sur la carte. Celle-ci est ainsi transmise au DUT²⁰. Cette injection est assurée par une capacité d'injection nommée C_{DPI} , en accord avec la Figure 36 [44]. Une résistance R est ajoutée entre la piste d'injection et le DUT pour simuler la charge d'une application réelle.

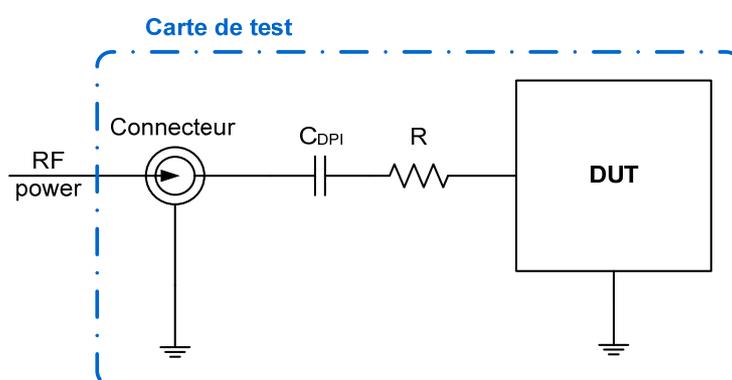


Figure 36. Configuration d'injection [44]

Le standard prévoit aussi une configuration d'injection multipistes. Le signal de perturbation est alors envoyé à plusieurs broches du DUT au moyen de plusieurs capacités d'injection. La caractérisation du chemin d'injection est possible en remplaçant le DUT par une résistance adaptée de 50Ω ou en laissant le circuit ouvert.

Le DUT nécessite souvent une polarisation au moyen d'une source de tension continue. Il faudra alors prévoir un té de polarisation dont l'impédance doit être importante ($> 400 \Omega$).

III.2 Banc de mesure

Le banc de mesure est constitué des appareils représentés sur la Figure 37 [44] :

- Générateur RF : cet instrument permet de produire la perturbation qui est injectée dans le DUT (appareil dont on teste l'immunité). Si besoin, un amplificateur peut être ajouté en série. L'ensemble générateur et amplificateur doit être dimensionné afin de fournir une

²⁰ Device Under Test

puissance suffisante pour engendrer la défaillance du DUT même si celui-ci présente une désadaptation d'impédance. L'impédance de sortie de l'ensemble est souvent fixée à 50Ω afin d'absorber les puissances réfléchies. Le standard permet d'injecter des signaux de forme sinusoïdale mais aussi modulés en amplitude.

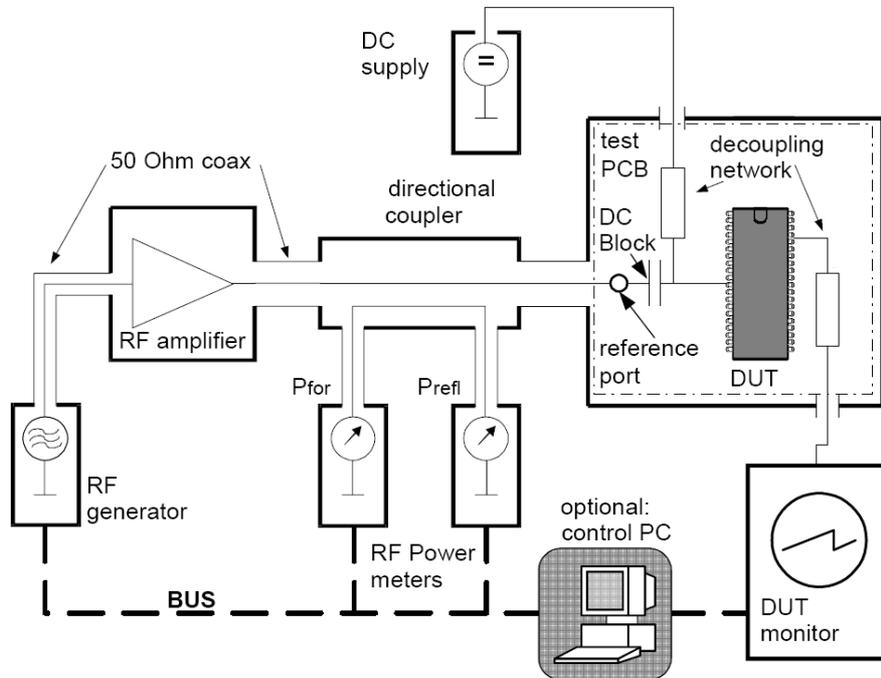


Figure 37. Matériel mis en œuvre [44]

- Puissance mètre : cet appareil de mesure est chargé de relever la puissance des perturbations RF. Deux appareils sont requis : un premier pour mesurer la puissance incidente (nommé Pfor sur la Figure 37) et un second pour mesurer la puissance réfléchie par le circuit (Prefl). Comme le DUT est souvent fortement désadapté, il est nécessaire d'évaluer la puissance injectée en retranchant la puissance réfléchie de la puissance incidente.
- Coupleur directif : ce dispositif est inséré en série entre le générateur RF et le DUT. Il permet de séparer les puissances incidentes et réfléchies.
- Instrument pour mesurer l'immunité du circuit : il peut s'agir d'un oscilloscope ou encore un analyseur de spectre surveillant une grandeur électrique.
- Ordinateur : celui-ci est optionnel. S'il est utilisé, il est chargé de piloter l'ensemble des appareils du banc selon la procédure de test du standard DPI.
- DUT : le circuit testé est monté sur une carte permettant sa mise en œuvre. Il doit être si possible soudé (l'utilisation d'un report de type socket induit des inductances parasites

supplémentaires pouvant présenter une impédance très forte aux hautes fréquences). Le circuit d'injection fait partie de la carte. Il est recommandé de réaliser un plan de masse efficace et de router des pistes très courtes (longueur $< \lambda/20$). La piste connectant la capacité DPI à la broche agressée du DUT doit être la plus courte possible.

III.3 Procédure de test

La procédure de test appliquée au DUT, pour mesurer son immunité, s'appuie sur le standard IEC 62132-1 [32]. Le test d'immunité est effectué pour chaque couple fréquence / puissance. On choisit une fourchette de puissance adaptée qui permet de mettre en défaut le circuit. La Figure 38 décrit l'enchaînement des opérations qui réalise un test d'immunité élémentaire.

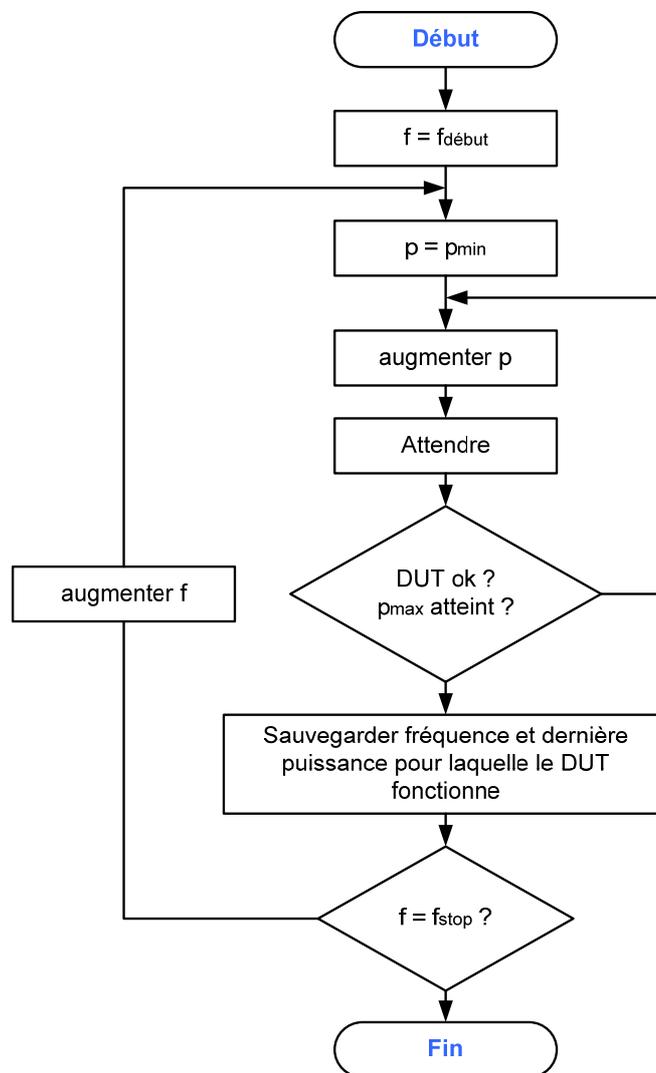


Figure 38. Procédure de test

Une fourchette de fréquence est choisie associée à un pas fréquentiel (par exemple, 10 points par décade). Le générateur est paramétré à la fréquence minimale et à la puissance minimale p_{min} . La perturbation est appliquée au DUT durant un temps donné pour que le circuit puisse

réagir (par exemple, lorsque le défaut ne se manifeste pas instantanément dans le circuit). L'immunité est alors testée et si le critère n'est pas atteint, la puissance est ensuite élevée par pas constant jusqu'à l'obtention du défaut. La puissance injectée ($P_{for} - P_{refl}$) et la fréquence sont sauvegardées à ce moment là, puis le deuxième point de fréquence est paramétré. Les opérations sont réitérées jusqu'au prochain défaut.

Une fois la procédure achevée, un graphique trace les puissances limites, en fonction de la fréquence, pour lesquelles le circuit est considéré immune.

IV. CONCLUSION

Les principaux standards et modèles ont été décrits. Nous avons vu que la démarche ICEM-CE permet la modélisation de l'émissivité en prenant en compte l'activité du circuit. La démarche de modélisation de l'immunité, ICIM-CI, a été introduite. Une présentation synthétique des outils de modélisation a été faite. Les moyens d'optimisation de la CEM ont été ensuite décrits. Ces règles, pour la plupart empiriques, peuvent être judicieusement appliquées pour améliorer la CEM du circuit. Enfin, la dernière partie de ce chapitre a été consacrée à une présentation de la technique de mesure basée sur le standard DPI, qui est employée pour le banc de mesure dans la suite de l'étude.

CHAPITRE 3 - METHODOLOGIE DE CONSTRUCTION DU MODELE D'IMMUNITE APPLIQUEE A UN CONVERTISSEUR ANALOGIQUE - NUMERIQUE

I.	METHODOLOGIE DE CONSTRUCTION DU MODELE D'IMMUNITE.....	75
II.	PRESENTATION DU CONVERTISSEUR ANALOGIQUE - NUMERIQUE.....	75
II.1	CHOIX DU CIRCUIT.....	75
II.2	DESCRIPTION DE L'ADC.....	77
II.3	DESCRIPTION DE LA PHASE DE CONVERSION.....	79
III.	ETUDE DE LA SENSIBILITE DU CONVERTISSEUR	79
III.1	FONCTION SENSIBLE	80
III.2	PROPAGATION DES PERTURBATIONS.....	81
III.3	PROPOSITION DE STRUCTURE ICIM-CI.....	82
III.4	SIMULATIONS DU CIRCUIT ADC	84
III.5	IDENTIFICATION DES ELEMENTS RESPONSABLES DU COUPLAGE.....	86
IV.	MODELISATION DES CHEMINS DE COUPLAGE.....	93
IV.1	COMPOSANTS MODELISES	93
IV.2	MODELE DES RESISTANCES POLY-SILICIUM	94
IV.3	MODELE DES SWITCHS.....	95
IV.4	CREATION DU MODELE COMPLET.....	99
V.	MODELE FONCTIONNEL DU CONVERTISSEUR.....	104
VI.	COMPOSANT IB	108
VI.1	METHODOLOGIE D'ESTIMATION DE L'IMMUNITE	109
VI.2	IDENTIFICATION DU MECANISME DE DEFAILLANCE.....	111
VI.3	CREATION DU COMPOSANT DE CONTROLE DE L'IMMUNITE	113
VI.4	CRÉATION DU MODÈLE D'IMMUNITÉ INTERNE ICIM-CI	116
VII.	RESULTATS DE MODELISATION	116
VII.1	IMMUNITE D'UNE PHASE COMPLETE DE CONVERSION	117
VII.2	PROFIL D'IMMUNITE SUIVANT VIN.....	121
VII.3	GENERALISATION DU MODELE.....	122
VII.4	SYNTHESE DES ACQUIS DU MODELE ICIM-CI.....	125
VII.5	DISCUSSION SUR LES PROFILS	126
VIII.	CONCLUSION	127

INTRODUCTION

Le troisième chapitre de ce manuscrit rassemble l'ensemble du travail permettant de créer le modèle d'immunité d'un circuit convertisseur analogique – numérique (ADC). La méthodologie de construction du modèle d'immunité, en utilisant la proposition de norme ICIM-CI, est d'abord exposée. Le circuit convertisseur choisi est ensuite présenté, puis une étude de sa sensibilité est donnée. Un travail de simulation préliminaire permet d'identifier les circuits sensibles ainsi que les principaux chemins de couplage de perturbations. La construction de chaque bloc du modèle ICIM-CI est ensuite décrite. Le mécanisme d'erreur est précisément identifié, puis modélisé dans le bloc IB (Immunity Behavioural). Le modèle complet est assemblé puis simulé. Les résultats d'immunité du modèle sont présentés à la fin de ce chapitre et une discussion sur les résultats est ensuite donnée.

I. METHODOLOGIE DE CONSTRUCTION DU MODELE D'IMMUNITE

Comme il a été présenté dans le chapitre deux (paragraphe I.3.1 page 56), la démarche de modélisation ICIM-CI est basée sur les blocs PDN et IB. Le premier permet de modéliser les chemins de couplage de la perturbation tandis que le deuxième permet de décrire la fonctionnalité du circuit et d'estimer l'immunité. Pour appliquer une telle démarche à un circuit analogique complexe comme un ADC, un DAC ou encore une PLL, il est nécessaire de mettre en place une méthodologie précise. Je propose ici une démarche permettant de construire pas à pas le modèle.

Un premier travail est fourni pour étudier la fonctionnalité du circuit. Le but est de bien comprendre le fonctionnement et l'agencement des sous circuits, les contraintes de conception et les spécifications du circuit.

Vient ensuite une étude de la sensibilité aux perturbations électromagnétiques. Il s'agit tout d'abord de comprendre le mécanisme de défaillance puis de choisir le critère d'immunité. Enfin une attention particulière est portée à la localisation précise des chemins électriques que suit la perturbation jusqu'à la partie sensible.

La modélisation des blocs ICIM-CI peut alors commencer. On s'intéressera dans un premier temps à décrire le modèle des chemins de couplage. La fonction est ensuite décrite au travers du modèle IB. Le critère d'immunité est alors pris en compte pour détecter le dysfonctionnement du circuit. Les résultats d'immunité interne peuvent alors être extraits et analysés.

II. PRESENTATION DU CONVERTISSEUR ANALOGIQUE - NUMERIQUE

II.1 Choix du circuit

Afin d'appliquer une première fois la démarche ICIM-CI sur un circuit analogique complexe, le choix du circuit devait répondre à plusieurs critères. Tout d'abord, ce circuit devait présenter des problèmes avérés d'immunité. Ensuite, il était impératif de pouvoir accéder aux schémas électriques et aux données d'implémentation. Pour finir, le circuit devait posséder un critère d'immunité facilement mesurable.

Le choix s'est alors orienté vers un convertisseur analogique – numérique (ADC) embarqué dans un microcontrôleur ATMEL. Le principal avantage de ce choix est que le critère

d'immunité se situe au niveau du résultat numérique de sortie. Il est ainsi aisément mesurable car le cœur logique du microcontrôleur embarquant l'ADC peut le restituer. Les mesures seront d'autant plus facilitées.

Le convertisseur analogique - numérique choisi est embarqué dans un microcontrôleur bas coût conçu à ATMEL Nantes. Ce microcontrôleur a subi des optimisations d'émissivité grâce à la méthodologie ICEM-CE. Cependant, l'ADC présente une perte de précision une fois intégré. La documentation technique [46] du microcontrôleur mentionne une précision absolue de $\pm 2,5$ LSB (Least Significant Bit) comparée à une précision théorique sans intégration de un LSB. Cette imprécision supplémentaire a deux explications.

La première explication est liée à un problème d'immunité interne liée au microcontrôleur. Le circuit est intégré sur le même substrat silicium que le cœur logique, tout comme les autres fonctions. La Figure 39 fait apparaître cet agencement. Même si certaines alimentations sont isolées, le cœur logique possède une paire d'alimentations dédiée et les parties analogiques possèdent la leur, il demeure un couplage substrat parasite entre la masse numérique et la masse analogique. Les perturbations générées par le cœur logique sont transmises à l'ADC par le couplage substrat. Des sauts de tension polluent alors la masse et peuvent expliquer une partie de la perte de précision. Cette dégradation est un exemple de problèmes de CEM dus à l'intégration.

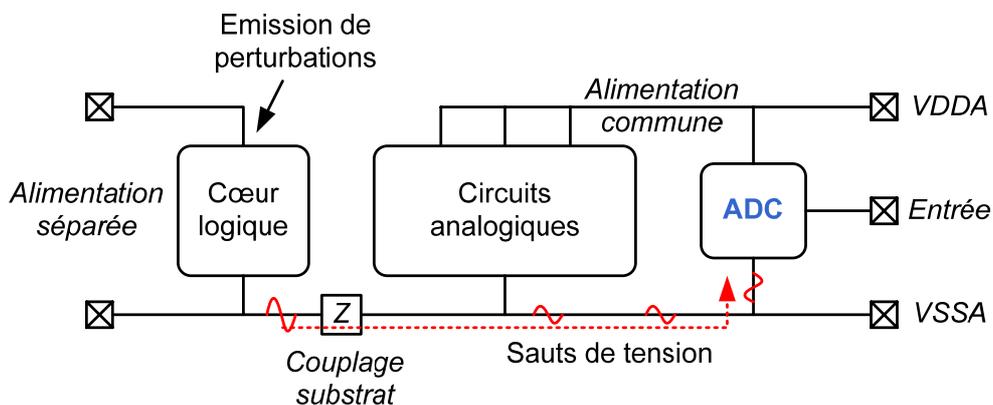


Figure 39. Convertisseur et son environnement

La deuxième explication est un problème d'immunité externe : des perturbations trouvant leur origine sur la carte électronique peuvent transiter des broches d'entrées vers la fonction ADC. Il peut s'agir de sauts d'alimentation générés par un autre circuit, par exemple une alimentation à découpage ou un périphérique à forte émissivité. L'amplitude de ces sauts est souvent liée à la qualité de l'alimentation DC utilisée pour alimenter la partie analogique du

microcontrôleur. Une alimentation présentant des défauts, comme un découplage insuffisant peut expliquer une perte supplémentaire de précision.

II.2 Description de l'ADC

II.2.1. Caractéristiques techniques du convertisseur

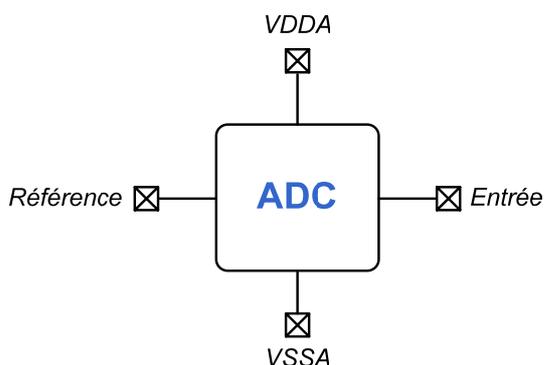
Le convertisseur étudié utilise la technique des approximations successives pour convertir une tension analogique présente sur une broche d'entrée (Figure 40). Il possède 10 bits de résolution et une précision théorique de ± 1 LSB en fin de conversion sans prendre en compte l'intégration du circuit dans le microcontrôleur. Les 10 bits de résolution permettent d'obtenir 1024 résultats de conversion possible.

Une référence de conversion est disponible pour l'utilisateur et est reportée sur une broche du microcontrôleur. Celle-ci permet de régler la plage de tension de la conversion et donc le quantum. Une référence interne fixée à 1,1V est générée par un circuit analogique et peut être utilisée en substitution de la broche AREF. Le pas de quantification est donné par l'équation suivante :

$$q(mV) = \frac{AREF}{2^{NOMBRE_BIT}}$$

Equation 3. Calcul du quantum

Ainsi, avec une tension de référence $AREF = 2,5$ V et 10 bits de résolution, on obtient un pas de 2,44 mV. La dynamique de conversion démarre à 0 V et s'arrêtera à 2,5 V dans le cas présent. La tension à convertir devra alors être située dans cette dynamique.



23. Convertisseur analogique numérique

23.1 Caractéristiques

- 10-bit de résolution
- 0,5 LSB erreur de non linéarité
- ± 2 LSB précision absolue
- 13 - 260 μ s de temps de conversion
- 6 entrées multiplexées
- Plage de tension d'entrée de 0 à VCC
- Référence interne disponible de 1,1V

Figure 40. Brochage du convertisseur et extrait de la documentation technique

La précision absolue de l'ADC une fois intégré est de plus ou moins 2,5 LSB. Une erreur absolue de 2 LSB est liée à l'intégration tandis qu'un demi LSB est lié aux non linéarités de la dynamique de conversion.

La paire d'alimentations analogiques VDDA et VSSA (Figure 40) est partagée entre l'ADC et les autres parties analogiques. Six broches entrées multiplexées permettent d'acheminer la tension à convertir jusqu'au circuit. Pour finir, le temps de conversion est de 14 μ s pour des fréquences d'horloge élevées.

II.2.2. Topologie interne de l'ADC

Le circuit interne de l'ADC est représenté par le schéma bloc de la Figure 41.

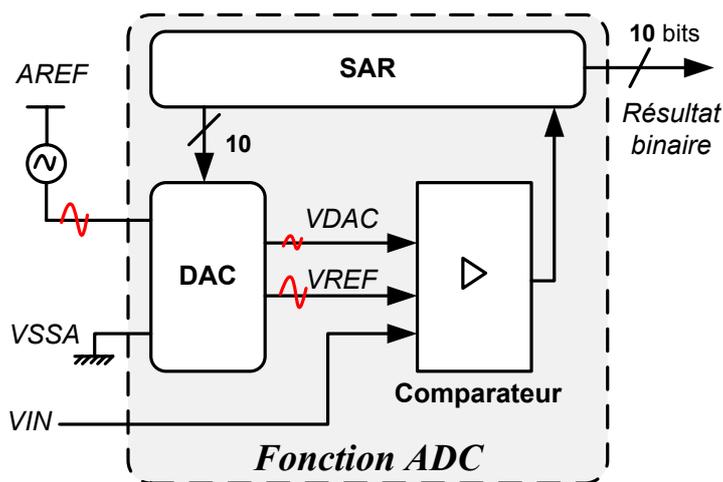


Figure 41. Schéma bloc de l'ADC

Trois principaux blocs sont utilisés pour la conversion. Le registre à approximations successives (SAR) est la partie logique chargée de contrôler l'avancée de la conversion. Les étapes de conversion sont gérées par la commande d'un convertisseur numérique – analogique (DAC). Ce circuit est chargé de créer une tension analogique VDAC en vue de la comparer à la tension à convertir VIN présente en entrée de l'ADC.

Les tensions VDAC et VIN sont comparées par le circuit comparateur, lequel fournit au registre SAR le résultat de comparaison. Selon le cas, le résultat apparaît en sortie de l'ADC ou bien le SAR commande une nouvelle étape de conversion. La tension VDAC est alors ajustée afin d'approcher au mieux VIN.

Non intégré et en fin de conversion, le résultat possède une erreur de plus ou moins un LSB. Une tension supplémentaire, VREF, est fournie par le DAC et utilisée comme référence de comparaison afin d'obtenir de meilleures performances.

II.3 Description de la phase de conversion

Une étude des paramètres électriques du circuit est tout d'abord réalisée. Plusieurs simulations vont être présentées afin de mieux décrire le fonctionnement interne du circuit. L'évolution des tensions VDAC et VIN est tout d'abord présentée pour la phase de conversion complète.

La base de données du circuit ADC a été créée par le concepteur sous le logiciel Cadence. Cette base est copiée selon la méthode exposée au paragraphe I.5.1, page 62 du chapitre deux. Les modèles associés aux transistors et aux éléments passifs sont récupérés pour obtenir une simulation en accord avec la technologie ATMEL, utilisée pour ce microcontrôleur. Ainsi, j'utilise les mêmes outils que l'entreprise pour simuler le circuit.

Une première simulation permet d'observer une phase complète de conversion pour une tension d'entrée $V_{IN} = 0,62V$. Celle-ci dure $14 \mu s$ et est divisée en dix étapes (voir Figure 42).

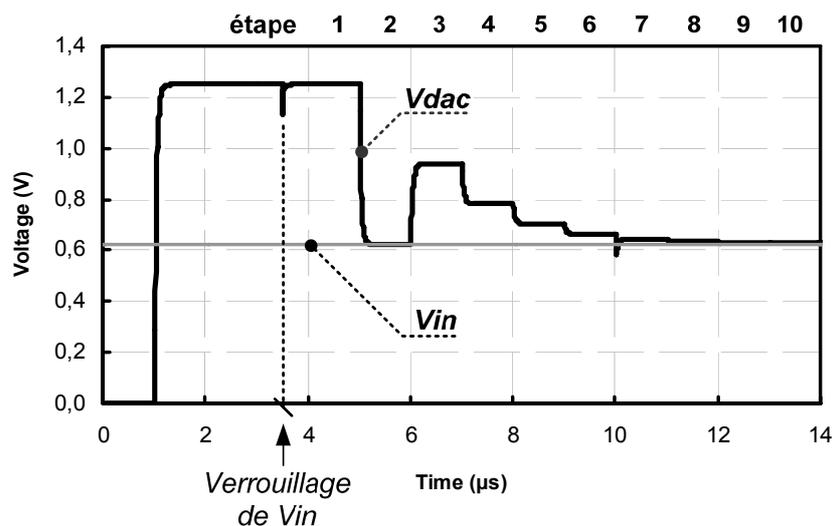


Figure 42. Phase de conversion, V_{IN} et V_{DAC}

La tension VDAC approche progressivement la tension VIN de 0,625V. Dans le cas présent, la référence étant choisie à 2,5 V, le pas de quantification est de 2,44 mV. On observe que la marge de tension entre les deux tensions VDAC et VIN devient extrêmement faible en fin de conversion (de l'ordre de 2,44 mV dans le meilleur des cas). L'étude qui suit va montrer que ces marges ont une action déterminante sur le niveau d'immunité du circuit ADC.

III. ÉTUDE DE LA SENSIBILITE DU CONVERTISSEUR

Après avoir analysé le fonctionnement de l'ADC, je procède pour commencer à une étude précise du circuit afin de localiser les parties sensibles aux perturbations. Puis la propagation

des perturbations dans le circuit convertisseur est caractérisée. Enfin, des paramètres d'immunité sont établis et une première structure du modèle ICIM-CI, orientée design, est présentée pour le circuit ADC.

III.1 Fonction sensible

Le circuit comparateur est chargé de comparer les tensions VDAC et VIN. Cependant, pour de meilleures performances, le concepteur a choisi de centrer la comparaison autour d'une tension VREF. Celle-ci est ajustée à une valeur égale à la moitié de la tension de référence (soit, 1,25V pour une référence de 2,5V). Lorsqu'une conversion débute, une phase de verrouillage permet de mémoriser VIN, puis une phase de conversion est lancée.

Le comparateur est configuré en circuit suiveur de tension lors du verrouillage de VIN (Figure 43). Une capacité est utilisée pour mémoriser la tension à convertir. L'entrée inverseuse du comparateur, qui présente une haute impédance car il s'agit d'une grille de transistor, ne permet pas la décharge de la capacité durant la phase de conversion.

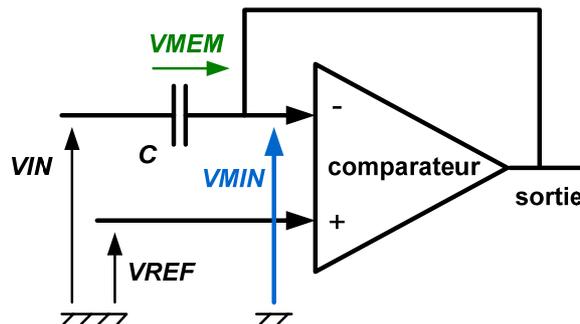


Figure 43. Mode verrouillage

Au final, la tension mémorisée dans la capacité, V_{MEM} est donnée par l'équation suivante :

$$V_{MEM} = V_{MIN} - V_{IN} = \frac{A_{REF}}{2} - V_{IN} \quad \text{puisque } V_{MIN} = V_{REF} = \frac{A_{REF}}{2}$$

Où V_{MIN} est la tension de l'entrée moins et A_{REF} la tension de référence.

Durant la phase de conversion (Figure 44), la contre réaction est ouverte et la tension VDAC est acheminée à la place de la tension VIN. Lorsque VDAC approchera VIN, en fin de conversion, l'entrée inverseuse du comparateur convergera vers une tension proche de VREF. Ainsi, la conversion est bien centrée autour de cette dernière tension.

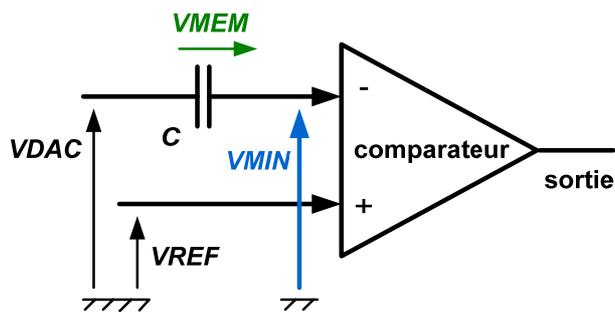


Figure 44. Mode conversion

Dès lors, la faible marge de tension entre VIN et VDAC est aussi reportée entre les tensions d'entrées du comparateur. Si une perturbation se couple sur une des deux entrées, il y aura d'autant plus de risque d'erreur de comparaison que la marge de tension est faible.

Cette étude a permis d'identifier le comparateur comme circuit sensible. Il va être le circuit principalement responsable des erreurs de conversion. L'étude suivante va s'intéresser à la propagation des perturbations vers les entrées du comparateur.

III.2 Propagation des perturbations

Comme présenté précédemment, les perturbations ont plusieurs origines qu'elles soient internes ou externes. Ces perturbations peuvent se coupler aux alimentations et se propager jusqu'aux tensions d'entrées du comparateur.

Le convertisseur dispose de deux alimentations : l'alimentation AREF permet d'alimenter les circuits purement analogiques de l'ADC tandis que l'alimentation VDDA permet d'alimenter les circuits logiques constituant l'ADC. La Figure 45 illustre l'agencement des alimentations de l'ADC selon la nature des circuits.

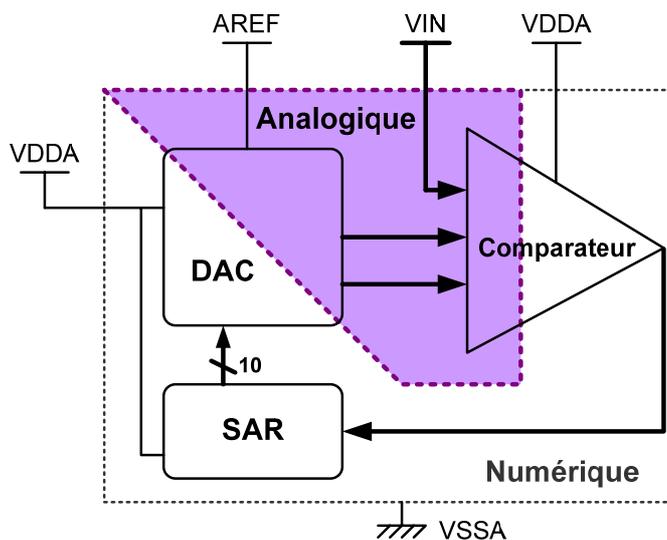


Figure 45. Répartitions des alimentations dans le circuit ADC

Par exemple, le circuit DAC utilise le VDDA pour alimenter les décodeurs, constitués de portes NAND, qui permettent de paramétrer la tension analogique de sortie. Le VDDA est aussi utilisé pour alimenter le circuit comparateur. Ainsi, lorsque les perturbations proviennent de cette alimentation, elles sont essentiellement transmises vers les parties logiques de l'ADC.

La broche AREF utilise une alimentation de tension continue construite par le concepteur de la carte utilisant le microcontrôleur. Cette alimentation présente souvent des défauts : une pollution harmonique, un mauvais découplage ou encore une instabilité de la tension. Nous considérons dans ce troisième chapitre une source de perturbation localisée au niveau de la broche AREF.

Enfin, les perturbations de la broche AREF sont conduites essentiellement par le circuit DAC vers les nœuds sensibles du comparateur. Il existe bien un chemin de couplage entre source (référence AREF) et victime (comparateur).

III.3 Proposition de structure ICIM-CI

La Figure 46 est une première ébauche d'un modèle d'immunité de l'ADC. Elle fait le lien entre les sources possibles et la victime (le circuit comparateur). Les chemins de couplages de la référence vers les nœuds sensibles sont repérés. Un chemin hypothétique repère aussi le couplage des perturbations provenant de l'alimentation VDDA vers les circuits logiques du comparateur.

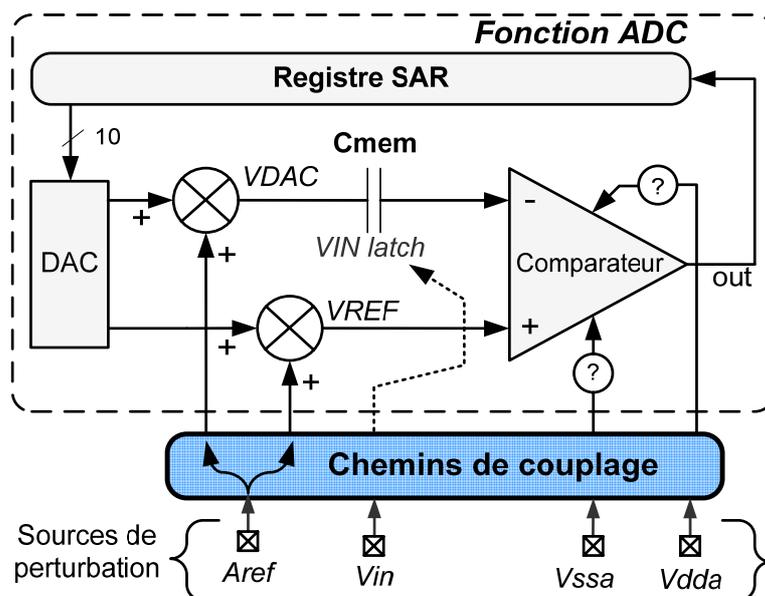


Figure 46. Sources de perturbation et chemins de couplage

La démarche ICIM-CI appliquée à l'ADC peut être résumée par la Figure 47.

Le composant PDN (Passive Distribution Network) fait le lien entre la perturbation, externe à la puce, et les nœuds sensibles de la fonction ADC. Il est divisé en sous blocs.

Le premier modélise le boîtier du microcontrôleur et fait le lien entre la perturbation externe et les perturbations internes résiduelles.

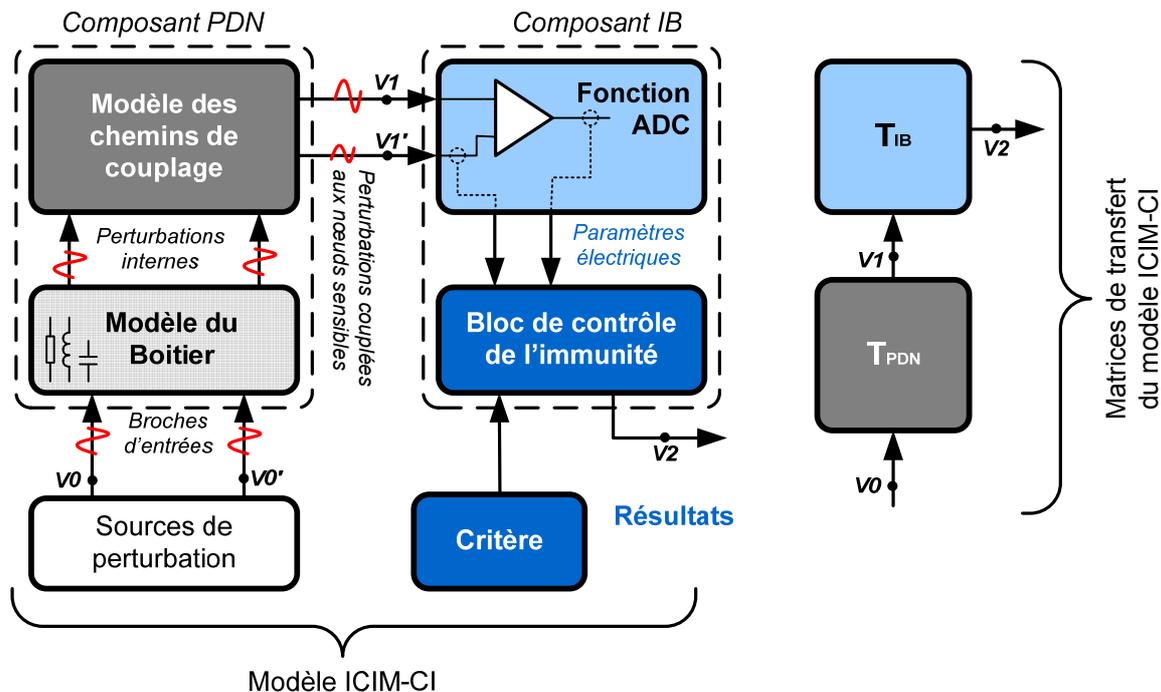


Figure 47. Première proposition pour le modèle ICIM-CI de l'ADC

Le second bloc appelé « modèle des chemins de couplage » doit déterminer précisément comment sont transmises les perturbations jusqu'aux entrées du comparateur. En considérant une source de perturbation au niveau de la référence, le modèle des chemins de couplage va se focaliser surtout sur la propagation des perturbations à travers le circuit DAC jusqu'au comparateur.

Le composant IB (Immunity Behavioural) décrit pour sa part l'effet de la perturbation sur la fonctionnalité du circuit. Le premier sous bloc est le modèle fonctionnel du circuit ADC. Il doit faire apparaître précisément les nœuds sensibles de la fonction. Le sous bloc de contrôle de l'immunité modélise le dysfonctionnement à partir d'un critère d'immunité.

Le schéma de la Figure 47 s'inspire du formalisme de la démarche ICIM-CI (présenté sur la Figure 27). Il est par exemple possible de représenter le composant PDN par une matrice de transfert estimant les perturbations résiduelles $[V1 ; V1']$ à partir des perturbations au niveau de la source $[V0 ; V0']$.

La construction de chaque bloc va être expliquée dans les parties suivantes mais il convient au préalable de mener quelques simulations concernant les chemins de couplage.

III.4 Simulations du circuit ADC

Cette partie a pour objectif principal d'expliquer les études préliminaires qui permettent de modéliser les chemins de couplage. Ces simulations permettent de caractériser précisément ces chemins de couplage et d'établir les limites de la modélisation.

III.4.1. Caractéristique des chemins de couplage – Etude fréquentielle

III.4.1.1 Méthodologie

Je propose de caractériser les chemins de couplage par des fonctions de transfert. Ces fonctions font le lien entre la source de perturbation et les nœuds sensibles du circuit victime. Elles sont aisément simulables en utilisant une analyse petits signaux « AC ». Dans le cas présent, nous envisageons une entrée de perturbation située sur la référence de conversion du circuit, la broche AREF. Les nœuds sensibles identifiés dans le paragraphe III.1, page 80, sont les deux entrées du comparateur : entrée + et entrée - (soit les tensions VREF et VDAC).

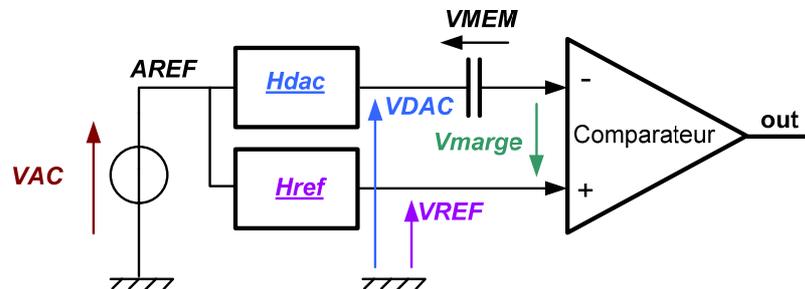


Figure 48. Fonctions de transfert

Nous identifions alors les chemins de couplage, liant la source et les deux entrées du comparateur, par les fonctions de transfert Hdac et Href comme indiqué Figure 48.

III.4.1.2 Simulations

Une étude complète du circuit est faite à partir de la base Cadence puis, les fonctionnalités de chaque bloc sont étudiées pour estimer leur contribution à la propagation des perturbations.

Il nous faut tout d'abord établir les fonctions de transfert pour chaque étape de conversion afin de posséder une référence qui servira lors de la création du modèle. Pour cela, la netlist complète du circuit est utilisée.

Une analyse transitoire permet dans un premier temps de simuler la phase complète de conversion de l'ADC (Figure 49). VIN est choisi à 1 mV pour une référence de 2,5 V. Les dix tensions de sortie du DAC sont alors connues.

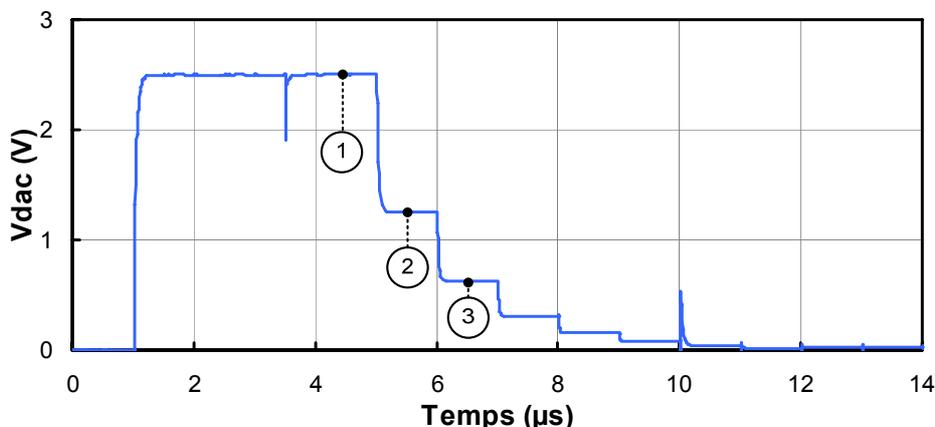
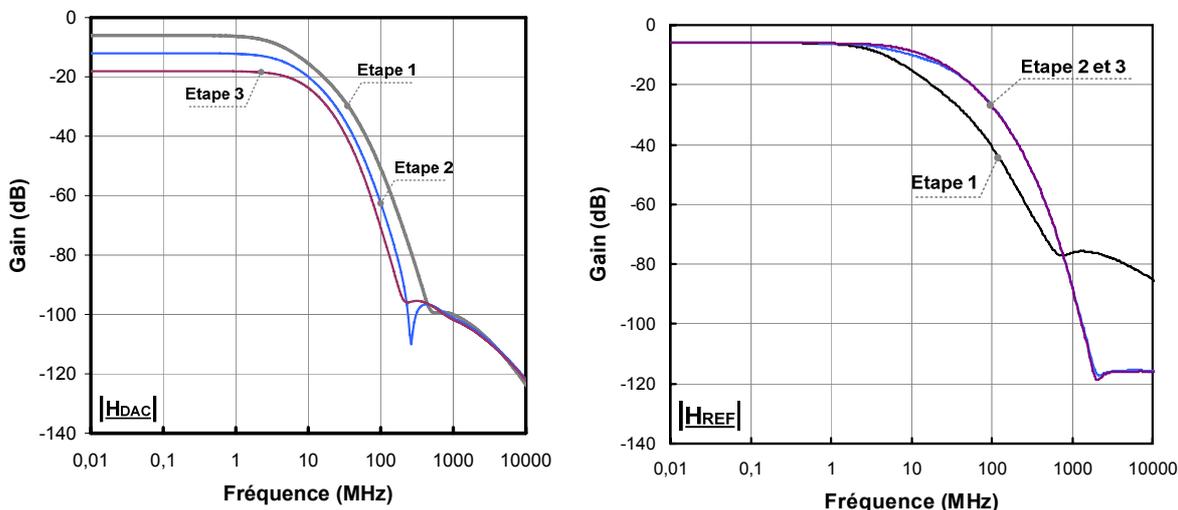


Figure 49. Simulation transitoire de la phase de conversion

Ensuite, une analyse AC est réalisée, à chaque étape de conversion, afin de caractériser les fonctions de transfert pour chaque tension de sortie VDAC, soit 10 points de polarisation. Nous obtenons les courbes de la Figure 50 où apparaissent les gains des fonctions de transfert entre la référence et les deux entrées du comparateur (H_{dac} et H_{ref}). Les trois premières étapes de conversion sont affichées, conformément à l'analyse transitoire présentée Figure 49.



– a –

– b –

Figure 50. Gain des fonctions de transfert H_{dac} et H_{ref}

Le gain de la fonction H_{dac} (Figure 50 – a –) est constant en basse fréquence puis chute fortement à partir de 3 MHz. Les résistances poly-silicium sont à l'origine de cette décroissance car les capacités parasites conduisent une partie de la perturbation vers la masse

à de telles fréquences. La décroissance devient moins forte pour des fréquences supérieures à 600 MHz. Lorsque la conversion se poursuit, V_{DAC} est diminuée pour approcher V_{IN} aux étapes 2 et 3 et on observe une diminution des gains d'une étape à l'autre.

Le même type de profil est observé pour les fonctions H_{ref} (Figure 50 – b –). La décroissance apparaît aussi pour une fréquence de 3MHz et la pente est du même ordre. Cependant, le gain basse fréquence reste commun pour toutes les étapes et les profils des fonctions de transfert restent très semblables entre eux à partir de l'étape 2. Cette similitude peut être expliquée par le fait que la sortie V_{REF} du DAC présente une tension constante durant toute la conversion.

Le paragraphe suivant va présenter une étude du DAC afin d'isoler les parties du circuit responsables des profils observés pour les fonctions de transfert.

III.5 Identification des éléments responsables du couplage

III.5.1. Principe de fonctionnement du convertisseur DAC

Une analyse du schéma du convertisseur numérique – analogique permet de dégager les éléments suivants. Le convertisseur possède une précision de dix bits et la broche de référence A_{REF} est utilisée pour ajuster le pas de quantification. Le circuit peut être représenté par le schéma de la Figure 51.

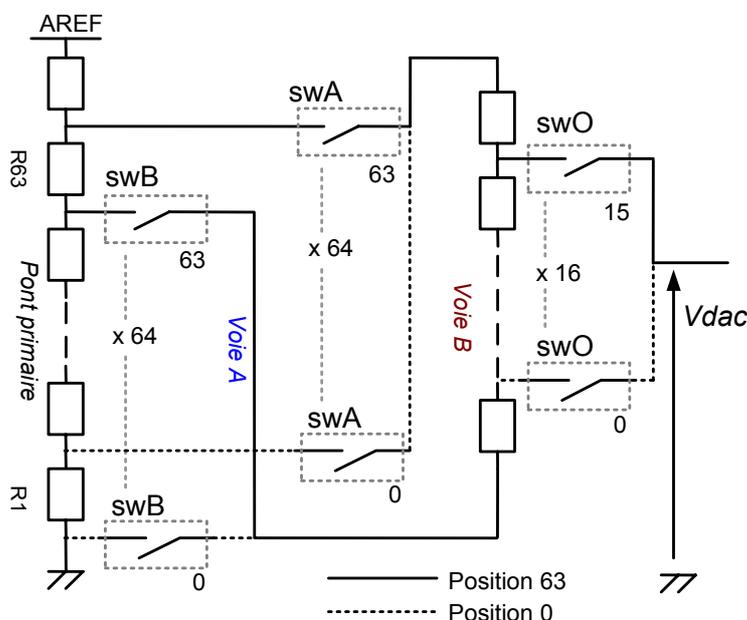


Figure 51. Schéma de principe de DAC

Le circuit utilise la technique des ponts résistifs diviseurs de tension. Un premier pont de soixante quatre résistances poly-silicium est utilisé pour diviser la référence en soixante

quatre tensions égales. Ce pont primaire permet de fournir la tension VDAC pour les six premières étapes.

$2^6 = 64$ tensions primaires	$2^4 = 16$ tensions secondaires	$2^{10} = 1024$ tensions au total
-------------------------------	---------------------------------	-----------------------------------

Pour créer les tensions des quatre dernières étapes, un pont secondaire, constitué de seize résistances poly-silicium est utilisé. Il découpe alors la tension élémentaire du pont primaire, donnant la meilleure approximation à la sixième étape, en seize nouvelles tensions. Dans le schéma de la Figure 51, le pont secondaire est branché en trait plein aux bornes de la résistance n°63 (haut de pont) et VDAC est choisie parmi les seize nouvelles résistances. Afin de respecter la loi des ponts diviseurs de tension, la résistance totale du pont secondaire est deux cent fois supérieure à une résistance de pont primaire.

Des switches de sélection sont utilisés pour aguiller les tensions du DAC vers la sortie VDAC. Il y a cent vingt huit switches primaires qui fonctionnent par paire. Une seule paire est commutée par étape de conversion. Les seize switches secondaires sont utilisés pour les quatre dernières étapes.

III.5.2. Démarche d'identification par simulation sélective

Le DAC a été décrit précédemment et les éléments importants le constituant ont été identifiés. Cette partie va décrire la démarche adoptée pour identifier les éléments du DAC à prendre en compte dans la modélisation des fonctions de transfert. Cette étude fixera également les limites du futur modèle des chemins de couplage. On considère successivement trois modèles SPICE reprenant les éléments principaux de la netlist avec un degré de précision croissant. Le modèle est ainsi petit à petit complété par les éléments de la netlist afin d'identifier précisément les circuits responsables de la propagation des perturbations.

III.5.2.1 Pont primaire seul

La netlist du DAC est dans un premier temps simplifiée au maximum. Seul le pont résistif primaire est conservé (soixante quatre résistances poly-silicium). Cette configuration nous permet d'estimer les fonctions de transfert pour les six premières étapes de conversion seulement. En effet, le pont secondaire, non compris ici, permet de générer les quatre dernières étapes. On utilise ici les modèles de résistances poly-silicium, en accord avec la technologie ATMEL utilisée pour l'ADC. La configuration de simulation est donnée en Figure 52. Le simulateur SPICE utilisé est ELDO de Mentor Graphics. Un fichier portant l'extension « .CIR » permet de paramétrer les conditions de simulation, d'instancier la netlist

du DAC en tant que sous-circuit et d'appeler les modèles du fichier technologique. Un script de simulation est utilisé par le simulateur pour la simulation transitoire.

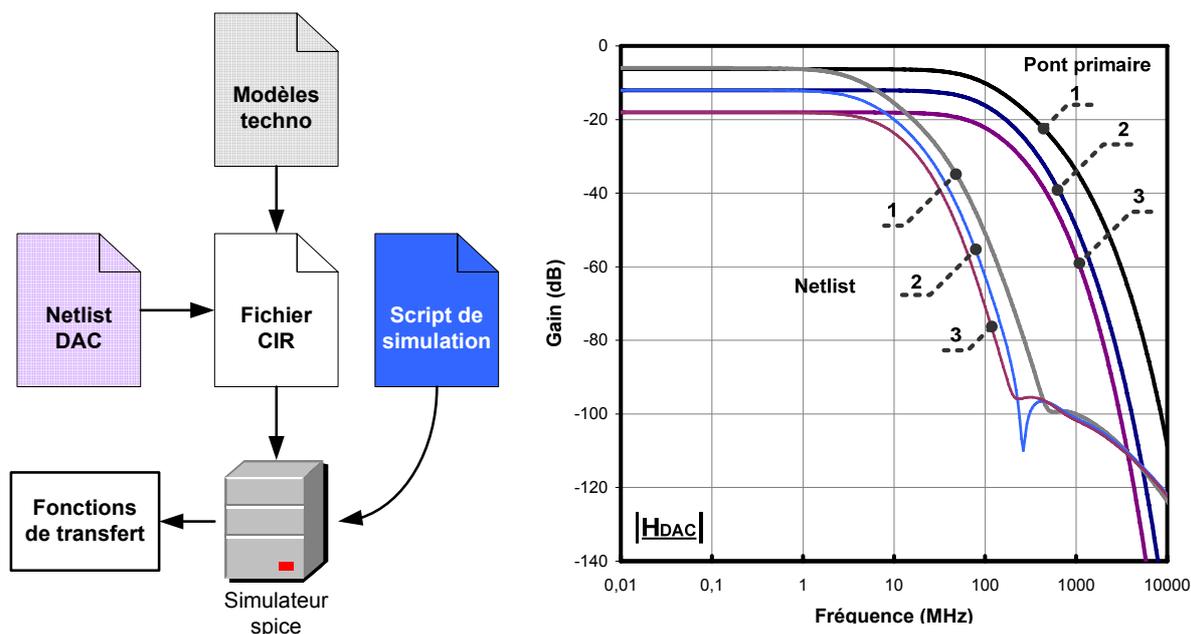


Figure 52. – a – Simulation – b – Fonctions de transfert Hdac pont primaire seul

Une simulation AC est réalisée pour estimer les fonctions de transfert entre la référence du DAC et la sortie. On s'intéresse aux fonctions correspondant aux trois premières tensions VDAC de la phase de conversion de la Figure 49. La Figure 52 – b – donne les fonctions de transfert, correspondant à ces étapes, pour ce premier modèle SPICE et pour la simulation netlist totale, obtenue précédemment au paragraphe III.4.1 (Caractérisations des chemins de couplage). Les courbes de chaque étape sont alors comparées deux à deux.

Les gains aux basses fréquences sont identiques et dépendent de la résistance de sortie du circuit DAC. Les courbes sont de type passe bas dans les deux cas, mais les fréquences de coupures sont différentes. La décroissance des deux courbes est du même type, si l'on compare les deux étapes 1, mais nous trouvons une fréquence de coupure de 60 MHz pour le pont primaire et de 3 MHz pour la netlist.

La décroissance des fonctions de transfert peut être expliquée par l'effet capacitif présent dans les résistances poly-silicium. Cet effet est pris en compte dans les modèles technologiques de résistances et est modélisé par deux capacités de bord entre les bornes de la résistance et le substrat (ici, relié à la masse). Il en résulte 64 cellules RC passe bas mises en série. L'ordre du filtre devient alors très élevé, expliquant la très forte décroissance du gain des fonctions de transfert.

En conclusion, le pont primaire est responsable du gain basse fréquence pour les six premières étapes et de la pente des fonctions de transfert. La prise en compte du pont primaire seul ne suffit pas pour caractériser correctement ces fonctions. Il est nécessaire d'identifier les autres éléments du circuit DAC qui influencent fortement la fréquence de coupure.

III.5.2.2 Ajout des switches et du pont secondaire

Le deuxième modèle SPICE est maintenant complété par le pont secondaire afin de simuler précisément les quatre dernières étapes. Il est aussi possible d'estimer l'impact de ce pont sur les fonctions de transfert. Les circuits switches sont ajoutés ainsi que les seize résistances du pont secondaire. La simulation utilise alors un script permettant de commuter les switches (voir Figure 52 (a)). La tension VDAC est transmise en sortie par le pont secondaire.

La Figure 53 présente les fonctions de transfert, pour les trois premières étapes, issue des simulations netlist et du deuxième modèle SPICE. En premier lieu, on note que l'ajout du pont secondaire et des switches a permis de ramener la fréquence de coupure à une valeur de 3 MHz. Le caractère passe bas des courbes est conservé jusqu'à 500 MHz. Au-delà, nous observons pour la simulation de la netlist la présence d'un zéro dans les fonctions de transfert. La courbe présente alors une décroissance moins forte et les fonctions de transfert des différentes étapes se confondent.

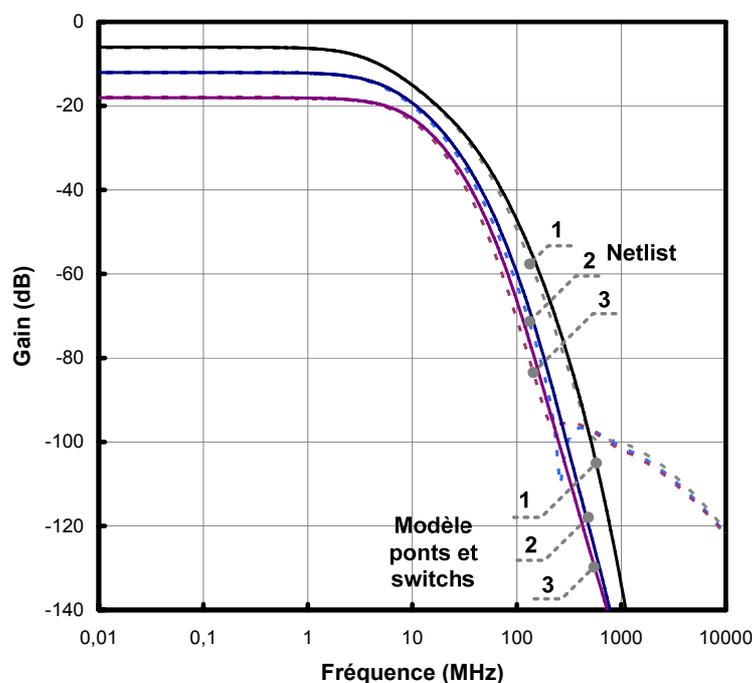


Figure 53. Ajout des switches de sélection

Cette amélioration apportée jusqu'à 500 MHz peut être expliquée en étudiant plus précisément le comportement des switches. Le schéma de la Figure 54 montre le schéma électrique équivalent des switches. Un switch est constitué de deux transistors MOS complémentaires.

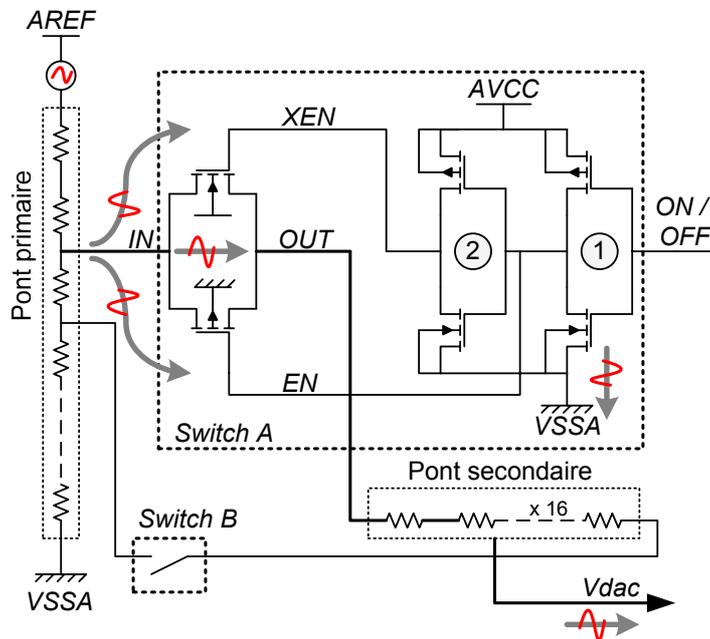


Figure 54. Schéma des switches de sélection

Il est commandé par deux signaux EN et XEN fournis par une chaîne de deux inverseurs, eux-mêmes commandés par un bit (ON/OFF sur la Figure 54). La Figure 55 présente une vue layout du switch où apparaissent les deux transistors montés en interrupteurs.

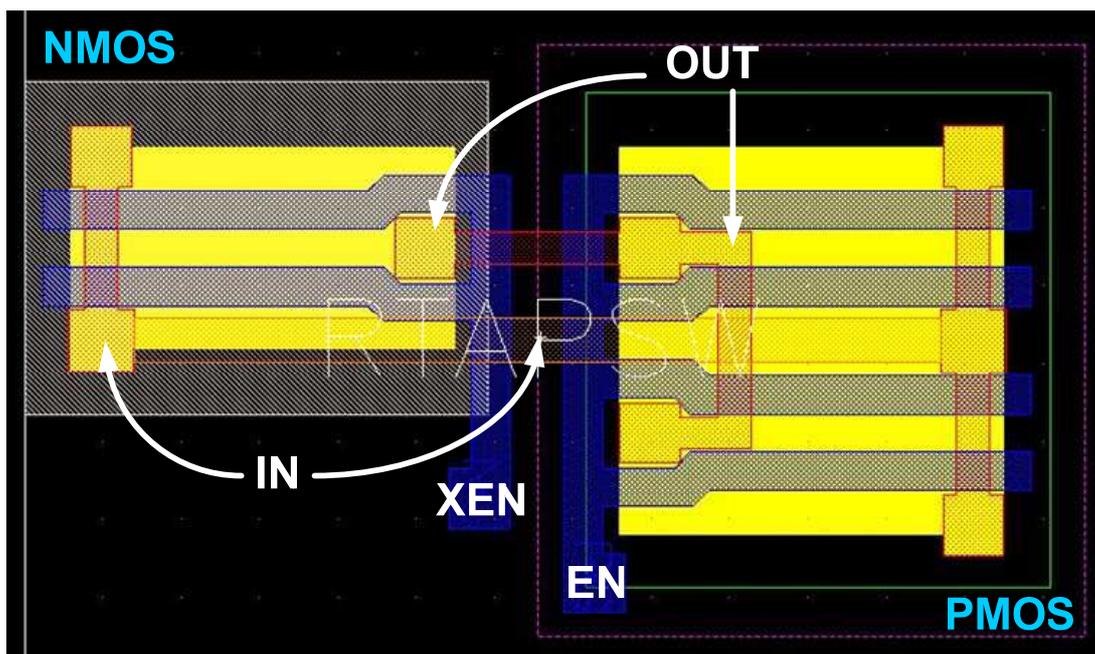


Figure 55. Vue layout du switch

Dans le cas de simulation étudié, les switches sont ajoutés à la netlist sans les inverseurs de commande. Une seule paire de switches est commutée à chaque étape, les autres sont ouverts. Lorsqu'un switch est ouvert, il présente une haute impédance entre l'entrée et la sortie dépendante essentiellement des capacités drain-source [17]. Ces capacités, proposent un chemin de couplage du drain vers la source comme présenté sur la Figure 12, page 33 du premier chapitre. Or, il y a 126 switches non commutés en parallèle des résistances du pont primaire. De plus, toutes leurs sorties sont communes (64 pour la sortie A « haut de résistance » et 64 autres pour la sortie B « bas de résistance », voir Figure 56).

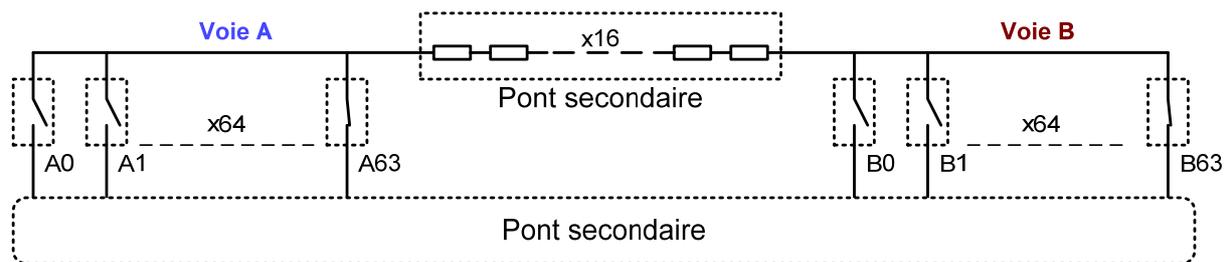


Figure 56. Représentation des switches pour une sortie aux bornes de la résistance 63

Il en résulte une transmission de la perturbation, à travers le switch (Figure 54), vers la sortie du DAC pour les hautes fréquences. Ce mécanisme est présenté dans le premier chapitre, au paragraphe II.4.2.3, relatif aux chemins de couplage élémentaires, et sur la Figure 13 (pages 32 à 34). En conséquence, la fonction de transfert est modifiée.

Enfin, le pont secondaire étant maintenant ajouté, les cellules RC supplémentaires corrigent la fréquence de coupure obtenue pour le premier modèle.

Les courbes issues de la simulation de la netlist montrent une stabilisation du gain puis une décroissance moins importante à partir de 500 MHz. En observant de plus près la Figure 54, la perturbation peut prendre des chemins supplémentaires pour rejoindre la masse. Si l'on considère les deux inverseurs de commande, on observe que les capacités de grille des switches autorisent le passage de la perturbation pour les hautes fréquences. Elles transitent alors par les inverseurs jusqu'à la masse. Il en résulte une modification supplémentaire des fonctions de transfert.

III.5.2.3 Ajout des inverseurs de commande

Compte tenu des observations précédentes, un dernier cas de simulation est proposé en ajoutant les deux inverseurs de commande pour chaque switch. Les fonctions de transfert sont à nouveau estimées dans la Figure 57.

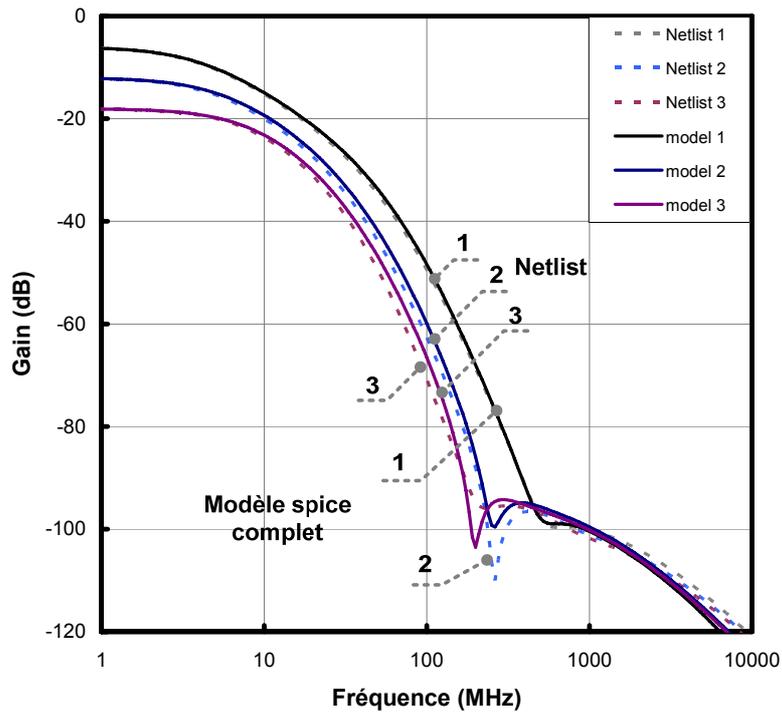


Figure 57. Fonctions de transfert après ajout des inverseurs

La courbe du gain de la fonction de transfert pour la première étape de conversion approche finement la référence simulée avec le circuit complet. Les autres étapes approchent aussi les courbes issues de la netlist. L'ajout des inverseurs permet effectivement de reproduire l'inflexion de la courbe, au-delà de 500 MHz, de façon comparable aux résultats de la netlist. La deuxième fréquence de coupure (500 MHz) est maintenant décrite par ce modèle SPICE complet, ce qui permet d'étendre le domaine de validité du modèle jusqu'à 1 GHz. En s'intéressant au pourcentage d'erreur entre le modèle et la netlist, nous observons les résultats de la Figure 58.

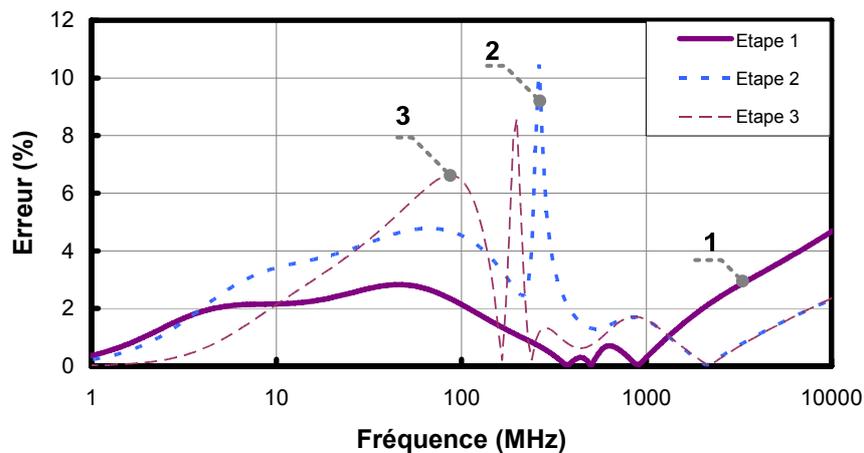


Figure 58. Précision du dernier modèle SPICE comparé à la netlist

En moyenne, nous observons 5 % d'imprécision, ce qui montre que les circuits responsables des fonctions de transfert des chemins de couplage sont correctement identifiés. Un écart de 10 % est observé pour les étapes deux et trois. Cet écart est constaté pour la surtension que présentent les courbes de la Figure 57, à une fréquence proche de 500 MHz. Ce modèle SPICE offre donc une très bonne précision sur la bande de fréquence étudiée.

En conclusion, cette étude a permis d'identifier les blocs principalement responsables des allures des fonctions de transfert. Les limites de modélisation sont maintenant connues, une grande partie des éléments du circuit DAC a été éliminé, dont principalement, les parties logiques. Cependant, certains blocs logiques comme les inverseurs de commandes de switches doivent être pris en compte.

Je vais maintenant détailler l'élaboration des différents blocs du modèle ICIM-CI. Pour commencer, le prochain paragraphe va décrire la création du modèle des chemins de couplage, premier bloc de la démarche ICIM-CI.

IV. MODELISATION DES CHEMINS DE COUPLAGE

Cette étape de modélisation doit décrire précisément la propagation des perturbations vers la partie sensible de l'ADC, le circuit comparateur. Le modèle obtenu doit être simple à simuler afin de fournir des résultats de fonction de transfert rapidement et pour chaque étape de conversion. Ce modèle sera ensuite utilisé par le modèle ICIM-CI de l'ADC et en particulier par le bloc de contrôle de l'immunité.

IV.1 Composants modélisés

La précédente étude a permis de sélectionner au sein de la structure ADC les composants qu'il est nécessaire de prendre en compte dans le modèle, compte tenu de leur influence sur les chemins de couplage. On retient ainsi :

- Les résistances poly-silicium du pont primaire.
- Les switches de connexions.
- Les inverseurs de commande des switches

L'objectif principal du modèle des chemins de couplage est de pouvoir estimer toutes les fonctions de transfert H_{dac} et H_{ref} quel que soit l'état que prend le DAC pour une tension VIN quelconque. Au total, 1024 cas existent selon les résultats de conversion possibles. Deux solutions sont alors envisageables.

La première solution consiste à générer autant de modèles que de cas envisagés, puis de constituer un modèle complet comprenant donc 1024 sous-modèles. Cette démarche serait lourde, coûteuse et peu réutilisable. En effet, pour appliquer cette démarche sur d'autres types d'ADC, il faudrait reprendre les différentes étapes et la complexité de l'ADC pourrait conduire à des temps d'établissement du modèle complet prohibitifs (un ADC 12 bits nécessiterait 4096 modèles).

La deuxième solution consiste à créer un modèle comportemental du DAC unique qui puisse être commandé pour estimer les fonctions de transfert. Cette deuxième solution a été retenue car plus simple et reconfigurable.

Deux modèles de composants vont être créés : deux modèles de résistances, une dédiée au pont primaire l'autre au pont secondaire, et un modèle de switches. Ce dernier doit prendre en compte l'effet que les inverseurs de commande ont sur les chemins de couplage. Ils seront ensuite assemblés pour constituer le modèle complet du DAC.

IV.2 Modèle des résistances poly-silicium

Les fichiers de la technologie ATMEL ont été étudiés pour connaître le sous-modèle SPICE utilisé en simulation pour les résistances poly-silicium. Le sous-modèle technologique montre que la résistance est réalisée en poly-silicium au dessus d'un substrat silicium. Le modèle SPICE est composé d'une résistance et de deux capacités montées en cellule Π (Figure 59). Les paramètres de la cellule sont calculés suivant la largeur et la longueur de la résistance. Différents paramètres technologiques sont pris en compte dans le calcul comme la température ou les dérives de procédé.

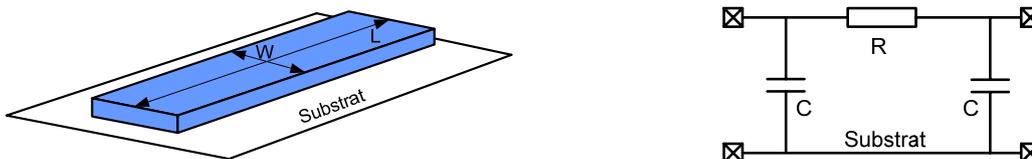


Figure 59. Modèle de résistance poly-silicium

Les valeurs de résistance et de capacité sont calculées à partir du modèle SPICE pour les deux types de résistance poly-silicium des ponts résistifs (cf. Tableau 2). Largeur et longueur sont mesurées dans la vue « layout » sous Cadence.

	L (m)	W (m)	R (Ω)	C (F)
Pont primaire	1,63E-05	4,90E-06	478,57	3,50E-15
Pont secondaire	3,92E-05	9,80E-07	5744	2,65E-15

Tableau 2. Récapitulatif des paramètres des résistances poly-silicium

Les résistances du pont primaires présentent des capacités de l'ordre de 3,5 fF. Les valeurs des résistances correspondent au schéma électrique initial sous Cadence. Les résistances du pont primaire sont de 478 Ω contre 5744 Ω pour le pont secondaire.

A partir des valeurs de R et C, deux sous-modèles (résistance et capacité) sont créés puis assemblés en cellule Π . Cette modélisation cellulaire est communément utilisée pour les résistances poly-silicium [47].

Le modèle final de la résistance poly-silicium fait appel à des terminaux électriques sous VHDL-AMS. Ce langage est très adapté car il permet une modélisation comportementale de haut niveau, économisant ainsi le temps de calcul. Les terminaux utilisés permettent de réaliser des simulations analogiques et d'utiliser un simulateur de type SPICE. Les deux types de résistance poly-silicium de pont primaire et secondaire sont ainsi modélisés.

IV.3 Modèle des switchs

Comme il a été indiqué, les switchs permettent d'aiguiller les tensions du pont primaire vers le pont secondaire. Le switch peut être à l'état passant, auquel cas il est assimilable à un interrupteur fermé, ou non passant. Dans ce dernier cas, il présentera une forte impédance en basse fréquence. Cependant, le switch non passant va contribuer à propager la perturbation pour les hautes fréquences car les capacités parasites entrent en conduction. Il est alors nécessaire de tenir compte également de cet état dans la modélisation. Deux approches de modélisation sont envisagées ci-après.

IV.3.1. Modèle de type dipôle

Une première approche a consisté à modéliser l'impédance de transmission du switch par un dipôle dont l'impédance en fonction de la fréquence est simulée à partir du sous-circuit SPICE du switch, extrait de la netlist. Le sous-circuit est composé d'un switch avec deux inverseurs de commande. Les contraintes déterminées dans la partie III.5.2 (simulations sélectives) sont prises en compte.

Pour se placer dans une bonne configuration de simulation, il est nécessaire d'évaluer la résistance de sortie vue par les switchs. En effet, lorsque le switch n'est pas passant, son l'impédance de transfert dépend de la charge connectée en sortie. En se référant à la Figure 56, les switchs ont toutes leurs sorties communes reliées à l'entrée du pont secondaire (voies A et B sur la Figure 56). Celui-ci est constitué de seize résistances de 6 k Ω , soit un total de

96 kΩ au minimum. Seront ajoutées à cela les résistances de pont primaire ramenant à la masse, suivant la configuration de sortie du DAC.

Une simulation transitoire permet de placer le switch en état ouvert (« ON ») puis en état fermé (« OFF »). Une analyse AC est lancée, pour chaque état, et est paramétrée pour quatre valeurs de résistances de sortie, de 10 kΩ à 10 MΩ avec un point par décade. L'impédance est alors calculée en fonction de la fréquence. Cette étude doit être conduite pour chaque point de polarisation au sein du circuit DAC. L'impédance chute au-delà d'une fréquence dépendante du point de polarisation à cause des capacités drain source. Pour l'état « ON », le switch présente une faible impédance mais celle-ci croît avec la fréquence en raison de l'activation des capacités parasites des transistors.

L'impédance du switch étant fortement liée au point de polarisation des switches, la démarche de modélisation à partir d'un dipôle est difficilement applicable. Par la suite, à des fins de comparaison, l'étude sera menée pour un seul point de polarisation.

IV.3.2. Modèle de type quadripôle

Cette deuxième approche a pour but d'obtenir un modèle des switchs plus précis. En effet, le modèle dipôle est adapté pour décrire la transmission des perturbations vers la sortie mais pas pour décrire l'effet des chemins de couplage vers la masse, dus aux capacités de grille, présenté au paragraphe III.5.2.2.

Pour ce modèle quadripolaire, on propose d'estimer les paramètres Z de la matrice impédance vue entre entrée - sortie et masse du switch.

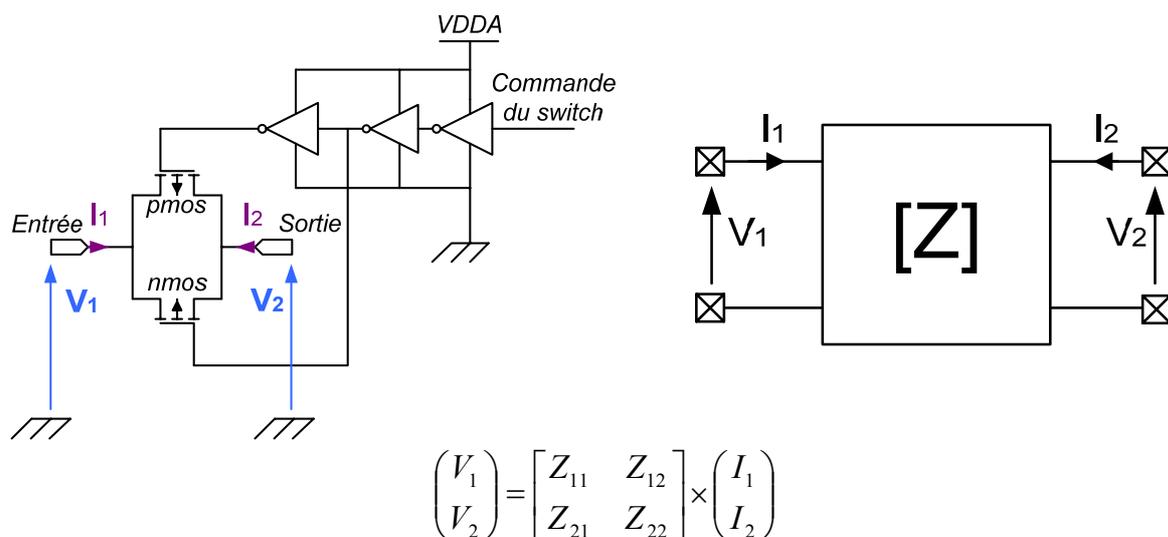


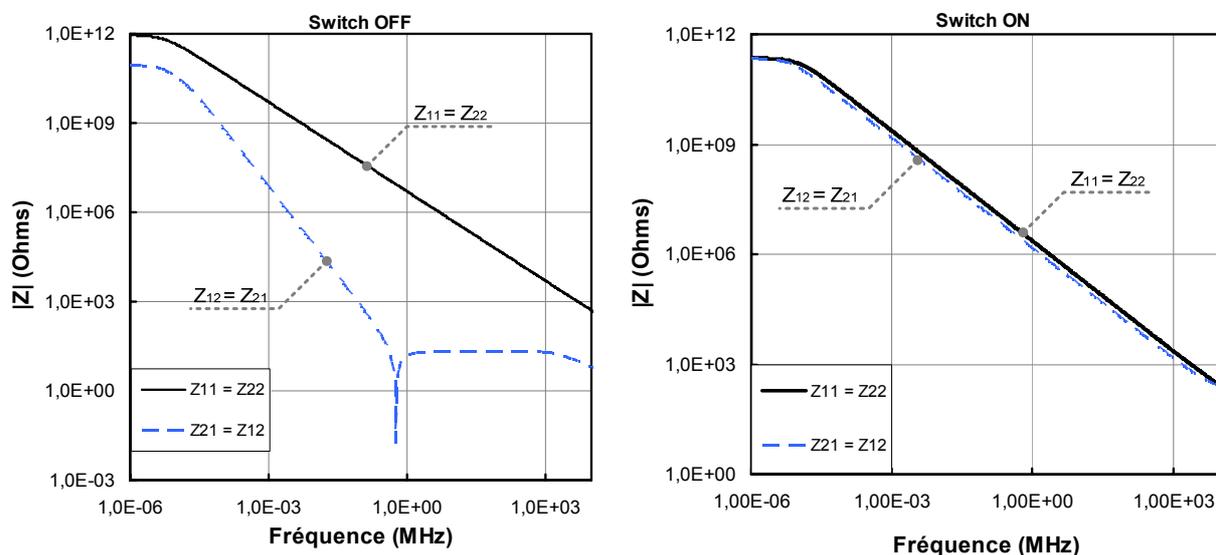
Figure 60. Modélisation par un quadripôle impédance

Une netlist du switch comprenant ses inverseurs de commande est créée. La matrice d'impédance est alors déterminée par simulation et en considérant les quatre cas du Tableau 3.

Paramètre	$Z_{11}(p) = \frac{V_1(p)}{I_1(p)}$	$Z_{12}(p) = \frac{V_1(p)}{I_2(p)}$	$Z_{21}(p) = \frac{V_2(p)}{I_1(p)}$	$Z_{22}(p) = \frac{V_2(p)}{I_2(p)}$
Condition	$I_2(p) = 0$	$I_1(p) = 0$	$I_2(p) = 0$	$I_1(p) = 0$

Tableau 3. Détermination des paramètres Z

Les modules des paramètres Z sont donnés en Figure 61 pour les deux états du switch. Pour l'état « OFF » Figure 61 – a -, les paramètres Z_{11} et Z_{22} sont égaux ainsi que les paramètres Z_{21} et Z_{12} . Ceci s'explique par la nature symétrique du switch. Les paramètres Z_{21} et Z_{12} présentent une résonance pour une fréquence de l'ordre de 1 MHz.



(a) – état OFF

(b) – état ON

Figure 61. Paramètres Z du switch

Les paramètres sont ensuite identifiés au travers de fonctions dans le domaine de Laplace. Le tableau ci dessous donne l'expression des Z_{ij} déterminés pour un switch « OFF ».

$Z_{11} = Z_{22} = \frac{H_3}{1 + \frac{p}{\omega_3}}$	$Z_{12} = Z_{21} = \frac{H_0}{1 + \frac{p}{\omega_0}} \times \frac{p^2 + 2z_2 p + \omega_2^2}{p^2 + 2z_1 p + \omega_1^2}$
$H_3 = 10^{12}; \omega_3 = 32 \text{ rad/s}$	$H_0 = 446.10^9; \omega_0 = 1,5.10^{10}; \omega_1 = 51; \omega_2 = 3,6.10^6 \text{ rad/s}; z_1 = 1,2; z_2 = 0,009$

Tableau 4. Expressions des paramètres Z pour un switch « OFF »

Les paramètres du switch « ON » sont tous à peu de chose près identiques. On peut observer que l'on est dans ce dernier cas en présence d'une matrice dont tous les paramètres sont à peu près égaux. Il s'agit d'un quadripôle remarquable dont le schéma est donné Figure 62.

Cela confirme que le switch est bien commuté et présente une impédance de transfert très faible. Les paramètres Z égaux correspondent ici à la transmission vers la masse par les capacités de grille des transistors constituant les switches.

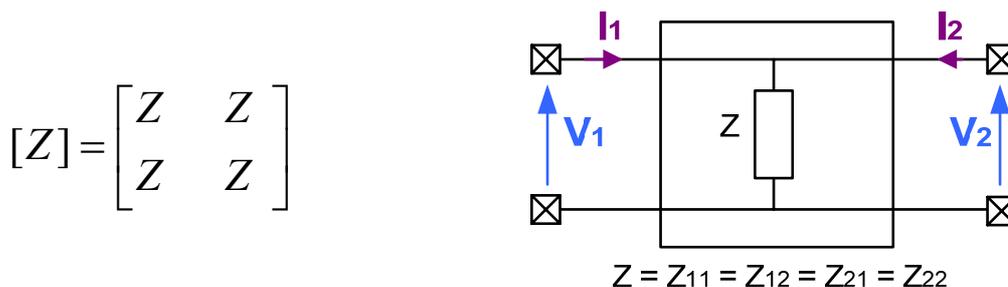


Figure 62. Quadripôle remarquable pour le switch « ON »

L'ensemble des paramètres ainsi déterminé est implanté dans le modèle VHDL-AMS du switch à l'aide de l'attribut LTF [48]. Cet attribut permet d'utiliser des fonctions de Laplace. On code numérateur et dénominateur séparément en vérifiant que le premier élément du dénominateur soit différent de 0. Sous VHDL-AMS, deux terminaux permettent de représenter les grandeurs V_1 , V_2 , I_1 et I_2 . Numérateur et dénominateur sont codés puis utilisés dans la partie analogique via les attributs LTF. La liste ci-dessous reprend le code VHDL-AMS des fonctions considérées.

```

CONSTANT numz11: real_vector (1 DOWNT0 0) := (H3, 0.0);
CONSTANT denz11: real_vector (1 DOWNT0 0) := (1.0, 1.0/w3);
CONSTANT numz12: real_vector (3 DOWNT0 0) := (w2*w2*21.3, 2.0*z2*w2*21.3, 21.3, 0.0);
CONSTANT denz12: real_vector (3 DOWNT0 0) := (w1*w1, 2.0*z1*w1+w1*w1/w0,
1.0+2.0*z1*w1/w0, 1.0/w0);

CONSTANT numz11on: real_vector (1 DOWNT0 0) := (H4, 0.0);
CONSTANT denz11on: real_vector (1 DOWNT0 0) := (1.0, 1.0/w4);
CONSTANT numz12on: real_vector (3 DOWNT0 0) := (H4, 0.0, 0.0, 0.0);
CONSTANT denz12on: real_vector (3 DOWNT0 0) := (1.0, (1.0/w4+1.0/w5), 1.0/(w4*w5),
0.0);

begin
  IF EN = '0' USE
    v1 == i1'ltf(numz11, denz11) + i2'ltf(numz12, denz12);
    v2 == i1'ltf(numz12, denz12) + i2'ltf(numz11, denz11);
  ELSE
    v1 == i1'ltf(numz11on, denz11on) + i2'ltf(numz12on, denz12on);
    v2 == i1'ltf(numz12on, denz12on) + i2'ltf(numz11on, denz11on);
  END USE;
BREAK ON EN;

```

Liste 1. Code VHDL-AMS illustrant l'utilisation des fonctions de Laplace

Le contrôle de l'état du switch est réalisé par le bit « EN » permettant de choisir les paramètres d'impédance correspondant à l'état.

IV.3.3. Choix du modèle de switch

Je propose de comparer les deux approches de modélisation des switches à savoir, le modèle dipôle et le modèle quadripôle.

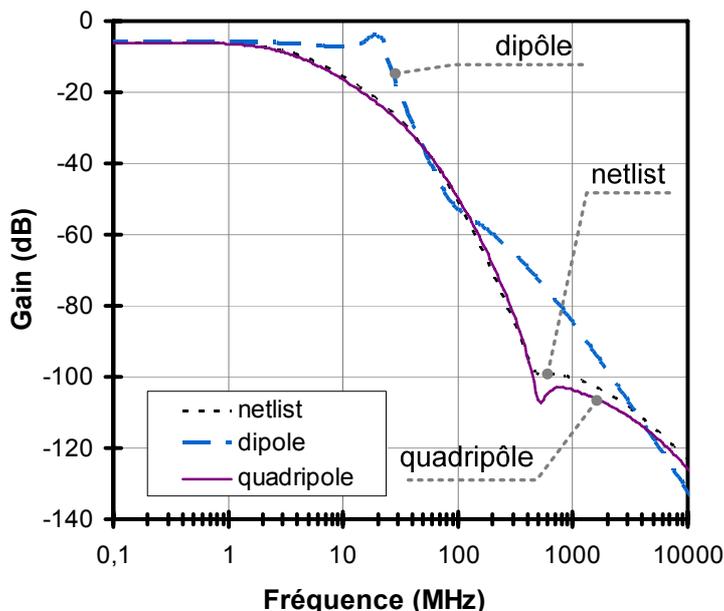


Figure 63. Comparaison des modèles de switches

Pour cela, le chemin de couplage de la perturbation entre la référence et la tension VDAC est modélisé en utilisant les deux modèles de switches. Le gain de couplage de ce chemin est repéré sur la Figure 63, pour les deux modèles, et est comparé au gain de couplage du même chemin issu de la simulation netlist. Nous pouvons observer que le modèle dipôle ne donne pas une bonne description du gain de couplage issue de la netlist. Le modèle quadripôle quant à lui permet une très bonne modélisation.

Ce dernier modèle est alors retenu pour créer le modèle des chemins de couplage.

IV.4 Création du modèle complet

IV.4.1. Structure

Disposant maintenant des deux sous-modèles de base, il est possible de créer le modèle complet des chemins de couplage. Ce modèle global fait appel à 128 switches et 80 résistances. La complexité du modèle nécessite une description hiérarchique sous forme de sous-circuits avec instanciations. La configuration de simulation est donnée en Figure 64.

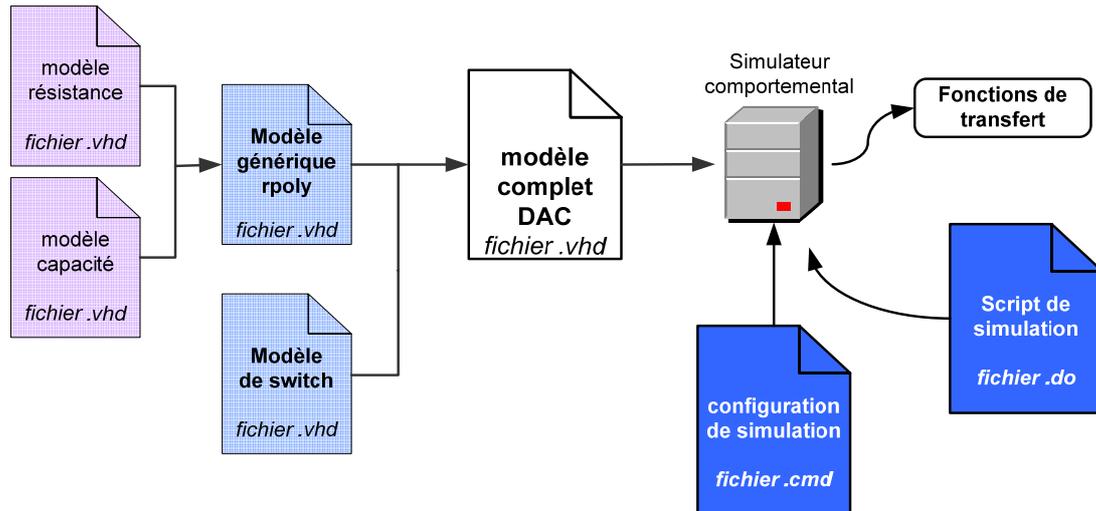


Figure 64. Description du modèle complet

Comme expliqué au paragraphe IV.2, page 94, le modèle générique de résistance polysilicium est créé à partir des sous-modèles VHDL-AMS de résistance et de capacité et est paramétré pour les deux types de résistances rencontrées pour les ponts primaire et secondaire (fichier rpoly). Ce modèle et le modèle de switch sont utilisés pour créer le modèle complet. Les composants sont instanciés et connectés pour modéliser le DAC dans le fichier VHDL-AMS « modèle complet DAC ». Ce fichier représente le plus haut niveau de la hiérarchie.

La simulation du modèle est réalisée avec le simulateur « ADVance MS ». Un fichier de script est utilisé pour simuler une phase de conversion (fichier portant l'extension « .do »). Ce fichier est nécessaire pour commander les switches afin de simuler une phase de conversion. Le script de simulation permet d'automatiser l'estimation des dix fonctions de transfert de la phase de conversion. Pour finir, un fichier circuit permettant de paramétrer les conditions de simulation (extension « .cmd ») est utilisé pour connecter les éléments SPICE tels que les générateurs DC et AC nécessaires à la simulation.

Le fichier circuit permet de paramétrer les conditions de simulation. La Liste 2 est donnée à titre d'exemple pour réaliser une simulation transitoire couvrant une phase de conversion de 14 μ s, en accord avec la simulation netlist initiale.

```
.tran 10n 14u uic
.ac dec 50 1000 10G
.op 4.8u 5.8u 6.8u 7.8u 8.8u 9.8u 10.8u 11.8u 12.8u 13.8u
```

Liste 2. Commandes de simulation

Une analyse AC est réalisée pour couvrir un domaine fréquentiel large (1 kHz à 10 GHz). Enfin, la commande « Operating Point » (.OP de la Liste 2) permet de répéter l'analyse AC

pour les points de polarisations de chaque étape de conversion, et donc, pour les dix tensions de sortie VDAC.

IV.4.2. Simulation

Afin d'observer aisément les fonctions de transfert, nous réalisons une simulation de la conversion d'une tension $V_{IN} = 1 \text{ mV}$. En effet, avec une faible tension d'entrée, il est possible d'observer facilement les dix fonctions de transfert car elles sont bien séparées les unes des autres. Enfin, nous souhaitons caractériser l'immunité pour un cas défavorable. Pour cela, nous choisissons une tension d'alimentation de 2,5 V pour alimenter le modèle du DAC. Cette tension d'alimentation est à la limite inférieure des spécifications techniques, ce qui va engendrer de faibles marges de tensions dans le circuit ADC.

Les fonctions de transferts sont estimées avec la commande « OP » de la Liste 2 en accord avec la simulation transitoire de la Figure 65, qui fait apparaître les numéros d'étapes. La simulation permettant d'obtenir les dix fonctions de transfert nécessite une minute de temps de calcul. L'estimation d'une seule fonction de transfert requiert six secondes.

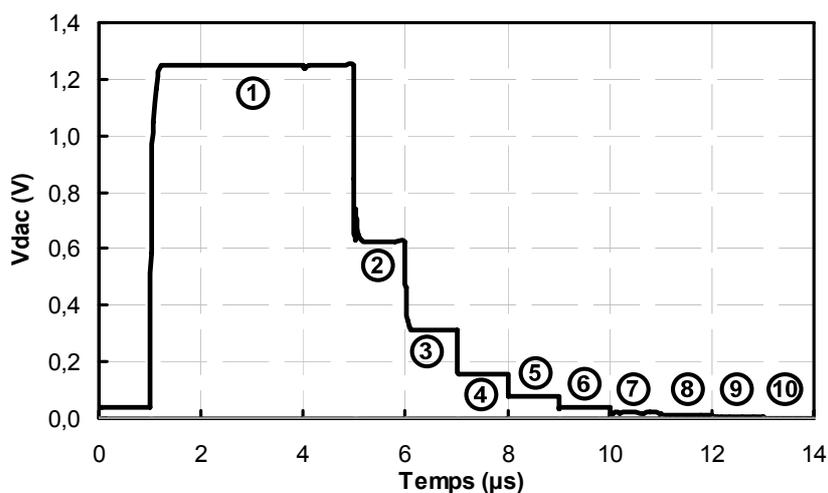


Figure 65. Simulation transitoire de V_{dac}

Les fonctions H_{dac} obtenues sont données en Figure 66. Pour la première étape, la fonction H_{dac} présente un gain basse fréquence de -6 dB, ce qui correspond à une division de la perturbation par deux. Ceci est cohérent avec le fonctionnement du DAC car nous avons une sortie en milieu de pont. La tension de référence de 2,5 V est divisée par deux pour générer la première tension d'approximation de 1,25 V. En calculant la valeur de la tension VDAC et en utilisant les gains aux basses fréquences des fonctions de transfert, on retrouve bien les dix tensions d'approximations successives de la phase de conversion de la Figure 65.

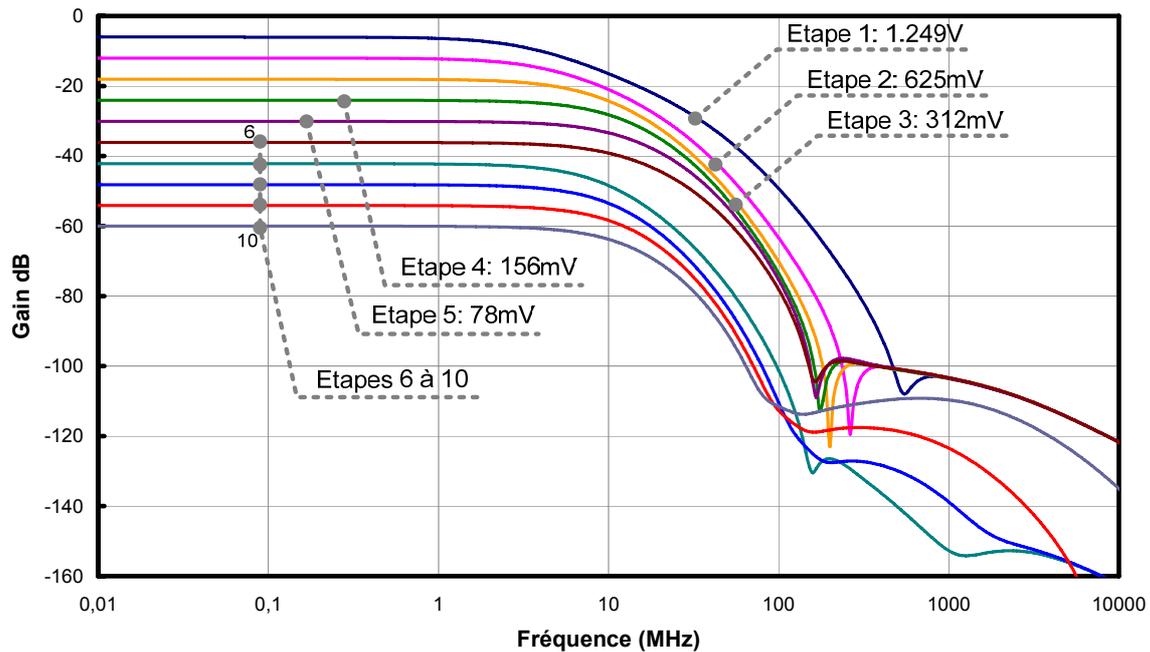


Figure 66. Gains des fonctions de transfert H_{dac} obtenues par le modèle pour $V_{IN} = 1mV$

Les courbes présentent ensuite une décroissance à partir de 3 MHz puis une stabilisation à un gain de -100 dB pour des fréquences de l'ordre de 100 MHz.

IV.4.3. Comparaison entre modèle et simulation

Dans le but d'estimer la précision du modèle complet des chemins de couplage, les fonctions de transfert des dix étapes de conversion sont également extraites à partir de la netlist du circuit et comparées aux résultats précédents.

Les fonctions de transfert issues de la simulation netlist sont présentées Figure 67.

Elles présentent les mêmes gains aux basses fréquences que les courbes obtenues par le modèle. Les courbes des quatre premières étapes correspondent parfaitement aux courbes du modèle. Les quatre dernières étapes de la conversion présentent un écart avec le modèle pour des fréquences proches de la fréquence de coupure. Ceci peut être attribué à la simplification du DAC lors de l'étude. Un autre circuit amplificateur, non pris en compte dans le modèle, est utilisé par le circuit pour les quatre dernières étapes, ce qui a pour effet de modifier les fonctions de transfert.

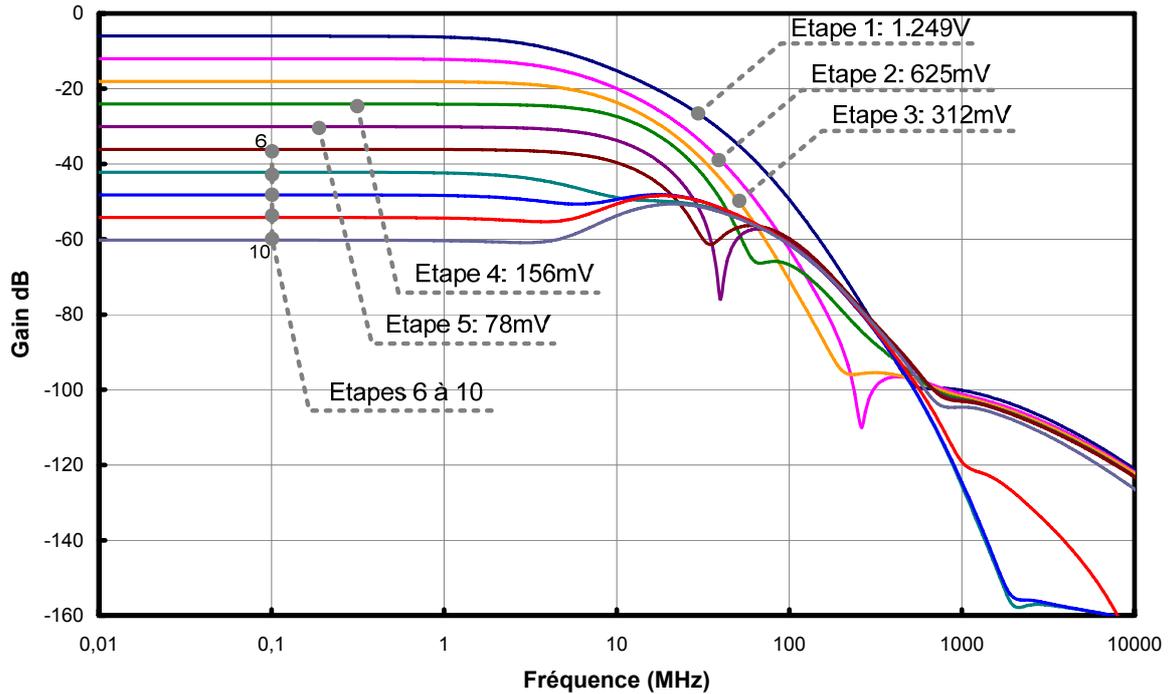


Figure 67. Gains des fonctions de transfert Hdac extraites de la simulation de la netlist

On se propose d'estimer la précision du modèle, élaboré précédemment, par rapport à la simulation afin de savoir si des améliorations doivent être apportées au modèle.

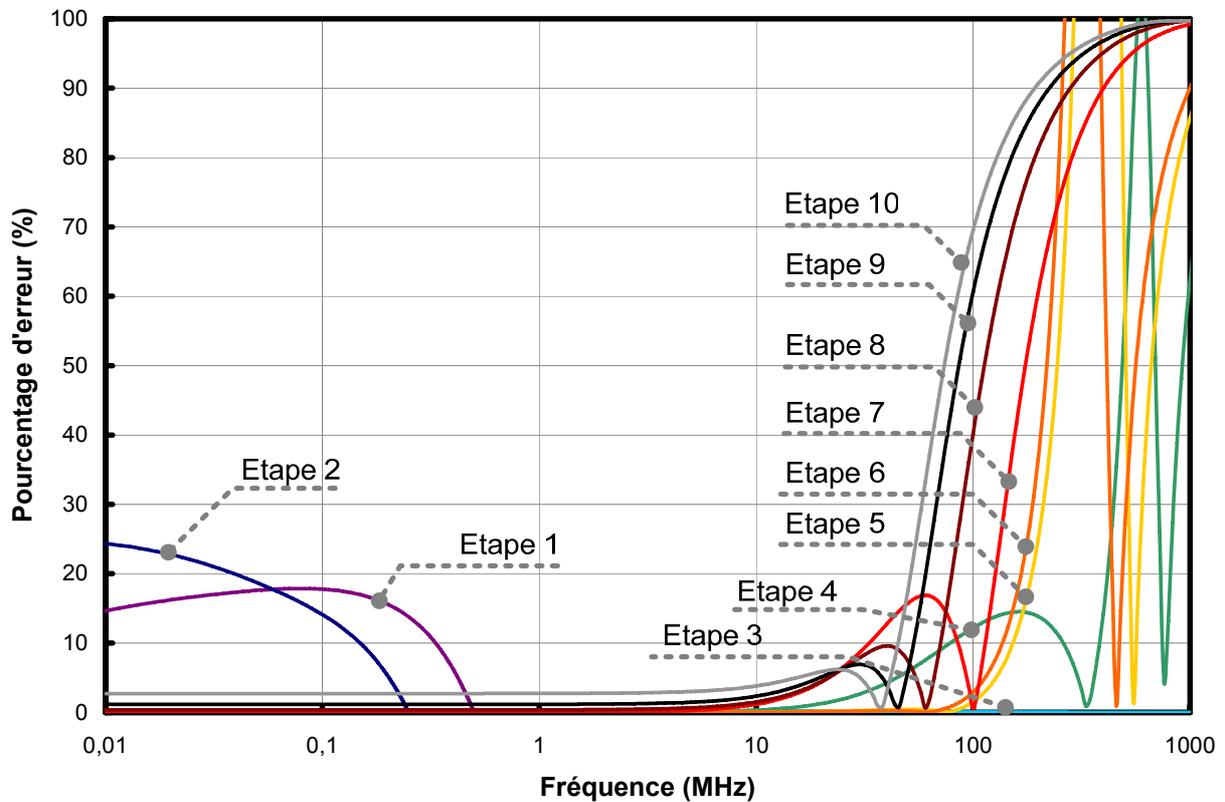


Figure 68. Précision du modèle des chemins de couplage comparé à la simulation

La Figure 68 donne le pourcentage d'erreur entre les fonctions de transfert issues de la simulation et celles issues du modèle. Le modèle admet une bonne précision jusqu'à 100 MHz (moins de 50 % d'écart) pour les étapes un à huit. Les deux dernières étapes sont les moins précises mais ceci est sans gravité. En effet, la précision de l'ADC, une fois embarqué et sans perturbation externe, est de l'ordre de 2,5 bits, ce qui correspond à des erreurs aux étapes neuf et dix. Dans le cas d'une étude d'immunité interne, visant à améliorer la précision de l'ADC face aux perturbations du cœur logique, une amélioration du modèle des chemins de couplage serait nécessaire. Enfin, les étapes 1 et 2 présentent des écarts de l'ordre de 25 % aux basses fréquences. Ces écarts sont eux aussi sans gravité. Nous verrons que le modèle final estime des niveaux d'immunité très importants pour les étapes 1 et 2.

Les écarts se présentent à partir de l'étape 5 pour des fréquences de l'ordre de 80 à 100 MHz. Si nous observons de nouveau les courbes des dernières étapes de la Figure 67, elles se regroupent et semblent suivre la même décroissance. Il semble qu'un phénomène supplémentaire se déclenche pour ces fréquences. Ce phénomène peut être attribué au circuit amplificateur du DAC, non pris en compte dans le modèle. En effet, nous observons ce phénomène uniquement pour les quatre dernières étapes. Les tensions VD_{DAC}, très faibles en fin de conversion, sont alors ré-amplifiées. Ce circuit n'a pas été pris en compte dans le modèle.

Le modèle des chemins de couplage étant déjà très complexe, je propose de n'améliorer celui-ci que si l'impact de la précision des fonctions de transfert devient problématique dans les courbes d'immunités fournies par le futur modèle ICIM-CI de l'ADC.

V. MODELE FONCTIONNEL DU CONVERTISSEUR

La démarche ICIM-CI fait apparaître un modèle dédié à la fonction. Celui-ci est central et permet d'étudier l'impact des perturbations résiduelles, issues du modèle des chemins de couplage, sur l'intégrité de la fonction. Ce modèle pourrait servir à détecter la défaillance, en conformité stricte à la démarche ICIM. Cependant, nous verrons dans la partie VI.1 que la démarche adoptée rend ce modèle moins prépondérant. Je propose de décrire un modèle fonctionnel permettant avant tout d'automatiser une phase de conversion, d'estimer les marges de tension et de piloter le modèle des chemins de couplage. Cette approche prend une liberté sur la démarche ICIM-CI dans la mesure où le bloc IB est divisé en deux parties, à savoir : le modèle fonctionnel d'une part, et un bloc de détection de défaillance intégrant le critère d'immunité d'autre part.

V.1.1. Création du modèle fonctionnel

La fonction décrite dans la partie II.2, en accord avec la Figure 41 nous sert de point de départ pour la création du modèle. L'utilisation d'un langage de description comportemental tel que VHDL-AMS permet de simplifier fortement le modèle et d'optimiser le temps de calcul. On propose de modéliser la phase de conversion à partir de deux entrées : la tension VIN et la tension de référence AREF (Figure 69).

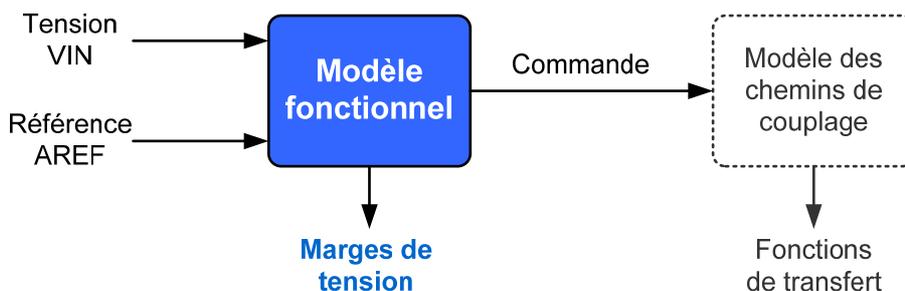


Figure 69. Modèle fonctionnel et commande du modèle des chemins de couplage

Ces deux tensions sont librement paramétrables pour le futur utilisateur du modèle ICIM-CI de l'ADC. Les résultats attendus sont les marges de tension entre les deux entrées du comparateur.

V.1.2. Algorithme d'approximations successives

Afin de reproduire un cycle complet de conversion, l'algorithme de la Figure 70 permet de générer le code d'approximations successives.

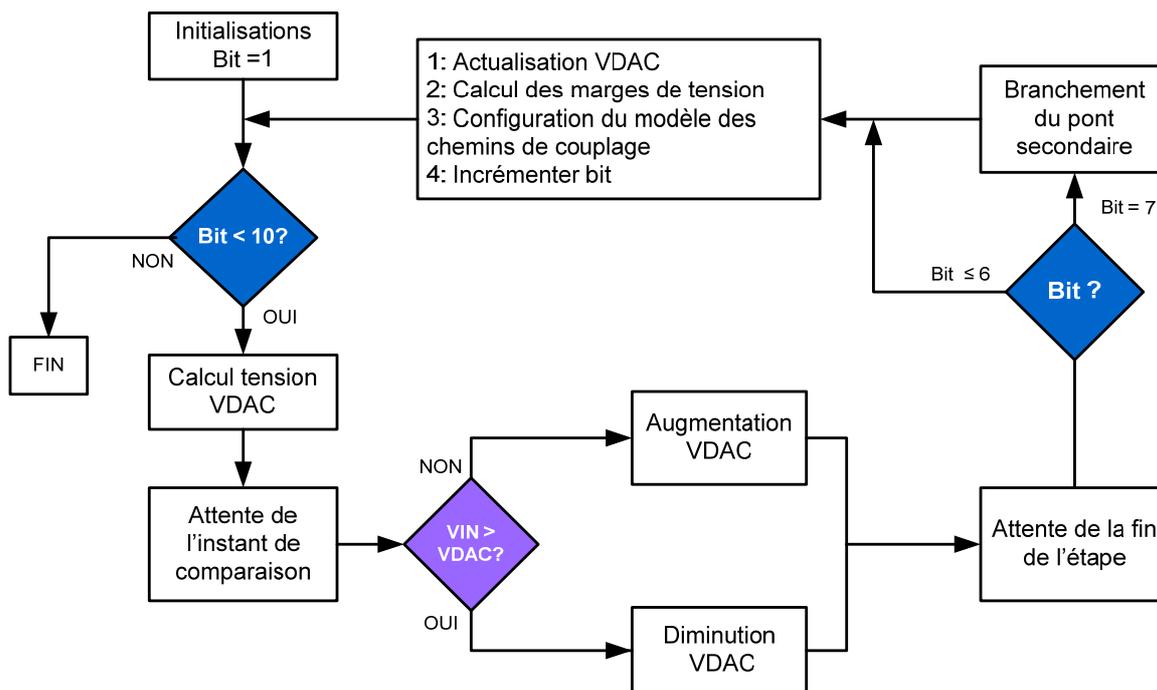


Figure 70. Diagramme logique du modèle fonctionnel

Après avoir initialisé les variables d'entrée (VIN et AREF ainsi que le numéro du bit de départ, 1 dans le cas présent), l'algorithme teste le numéro du bit qui doit être estimé. Suivant l'étape de conversion, une tension d'approximation est calculée. Après avoir attendu l'instant de comparaison (conformément à la simulation de la netlist), un test permet d'augmenter ou de diminuer la tension VDACC. La nouvelle approximation étant disponible, l'algorithme attend l'instant de fin d'étape pour actualiser la tension VDACC.

La suite de l'algorithme permet de piloter le modèle des chemins de couplage. Le test du numéro de bit permet de n'utiliser que le pont primaire pour les six premiers bits. Pour les quatre derniers, le pont secondaire est branché au pont primaire. Les marges de tension sont estimées et sauvegardées en fin d'étape. Lorsque le numéro du bit de conversion est supérieur à 10, la phase de conversion est achevée. L'algorithme est alors stoppé.

V.1.3. Marges de tension

La Figure 71 présente les marges de tensions obtenues entre les deux entrées du comparateur.

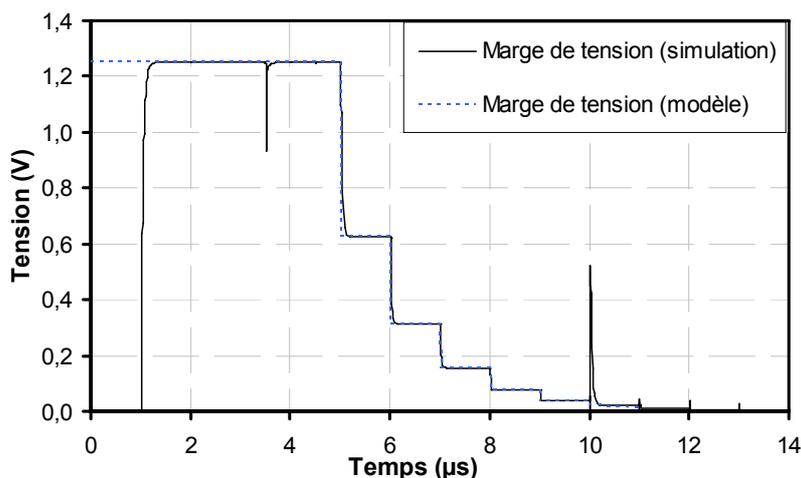


Figure 71. Marges de tension : comparaison entre modèle et simulation

Le modèle est comparé à la simulation netlist pour une tension VIN de 1 mV. Les surtensions visibles sur la courbe « simulation » sont dues aux commutations des switches. Elles ne sont pas estimées par le modèle. La marge de tension est estimée avec une précision de 3 µV par rapport à la simulation netlist.

V.1.4. Macromodèle de l'ADC

Afin de constituer le macromodèle de l'ADC, les modèles des deux composants « fonction » et « chemins de couplage » sont assemblés sous forme de netlist comportementale. Le sous-

modèle de la fonction ADC est instancié en utilisant les instructions « mapping » sous VHDL-AMS. La nouvelle configuration de simulation est donnée en Figure 72.

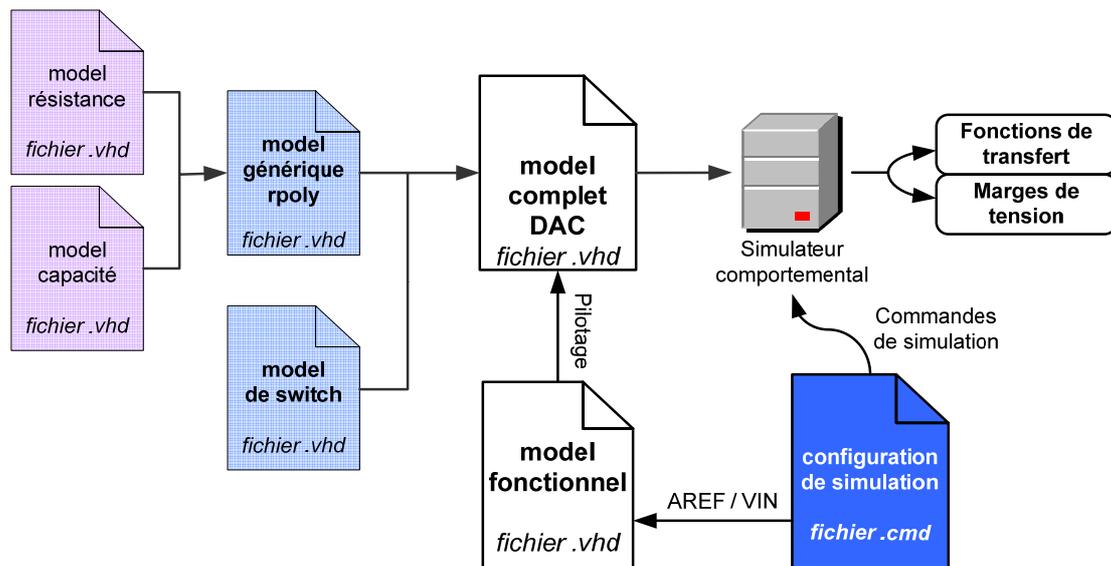


Figure 72. Configuration de simulation du modèle d'immunité

Le fichier de script «.do», présent dans la Figure 64, a été remplacé par le modèle fonctionnel. Il permet de contrôler la phase de conversion et de commander le modèle des chemins de couplage. Le fichier de configuration de simulation est conservé et permet maintenant de fixer les tensions VIN et AREF requises par le modèle fonctionnel. La simulation du macromodèle permet d'obtenir les deux paramètres d'immunité à savoir les marges de tension et les fonctions de transfert.

Le macromodèle permet de caractériser les dix étapes de conversion en moins d'une minute de temps de simulation. Ces résultats sont extraits de manière automatique dans un environnement de simulation. Il est alors envisageable d'intégrer cette caractérisation dans le flot de conception. Les données sont extraites dans un fichier texte et sont ensuite traitées manuellement. Nous verrons dans la partie suivante qu'il est possible d'intégrer l'estimation de l'immunité dans l'environnement de simulation.

Pour appliquer cette modélisation à un ADC d'architecture différente (par exemple, un ADC de 12 bits de précision), il serait nécessaire d'actualiser les modèles de résistances polysilicium et les modèles de switch. L'architecture 12 bits nécessiterait alors une modification du modèle complet du DAC et une actualisation du modèle fonctionnel. L'extraction des résultats serait ensuite automatique.

Pour finir, la création du macromodèle d'un ADC de même architecture mais dans une technologie différente nécessiterait peu de modification. Il faudrait alors actualiser uniquement les modèles des résistances poly-silicium et des switches.

V.1.5. Convergence

L'ajout du modèle fonctionnel implique une commande des modèles des switches (repéré « commande » sur la Figure 69). Lorsque les switches passent de l'état « OFF » à l'état « ON », les fonctions de transfert de la Liste 1 sont modifiées via le bit « EN ». Cependant, l'utilisation des paramètres de Laplace « LTF » génère une instabilité des tensions du modèle des chemins de couplage. Il est observé une oscillation de calcul pouvant entraîner une divergence des résultats de simulation. Cette divergence a été systématiquement observée pour de faibles valeurs de tension VDAC.

Les documentations techniques à propos du langage VHDL-AMS [49] ont montré que ces divergences pouvaient être éliminées en précisant des valeurs limites aux équations de Laplace. Le code suivant permet de fixer une valeur minimale v_0 à la tension analogique v_1 .

```
break for EN use v1 => v0 when v0 /= real'low;
```

Le simulateur ne calculera pas de tension plus petite que v_0 . Il est alors possible d'éliminer les problèmes de divergence. La version du simulateur utilisé au laboratoire étant trop ancienne, il n'a pas été possible d'implanter ce type de solution. Pour résoudre les problèmes de divergence, le paramètre HMIN du simulateur ELDO a été ajusté [50]. Il permet d'arrêter le calcul pour des valeurs d'oscillation inférieure à HMIN. Ainsi, le modèle des chemins de couplage ne génère plus de divergence.

VI. COMPOSANT IB

Le macromodèle créé précédemment permet d'estimer précisément les deux paramètres caractérisant l'immunité du convertisseur à savoir, les marges de tension et les fonctions de transfert des chemins de couplage. L'étape suivante consiste à créer le composant IB (Immunity Behavioural), dernier bloc de la démarche ICIM-CI.

Ce bloc permet d'estimer la dégradation de la fonctionnalité du convertisseur analogique numérique en fonction d'un critère d'immunité. Deux méthodes seront présentées pour estimer ces résultats d'immunité. La création du composant IB est ensuite exposée. Une étude plus poussée du mécanisme de défaillance du circuit comparateur est réalisée. A partir d'une

loi physique décrivant la susceptibilité du comparateur, le composant IB est finalement créé puis implanté dans le modèle.

VI.1 Méthodologie d'estimation de l'immunité

En se référant à la proposition de norme ICIM-CI (IEC 62433-4 [15]), le paragraphe concernant la description du composant IB fait apparaître deux méthodes d'estimation de l'immunité, que nous appellerons ici méthode indirecte et méthode directe. Pour la première méthode, si le critère d'immunité est extérieur au composant IB, ce dernier est plutôt centré sur la description de la fonction du circuit. Pour la seconde méthode, si le critère est interne au composant IB, celui-ci s'intéresse à décrire le mécanisme de dégradation de la fonction. Ces deux méthodes conduisent aux deux cas d'applications présentés après.

VI.1.1. Méthode directe

La Figure 73 présente le modèle ICIM-CI de l'ADC utilisant la méthode directe.

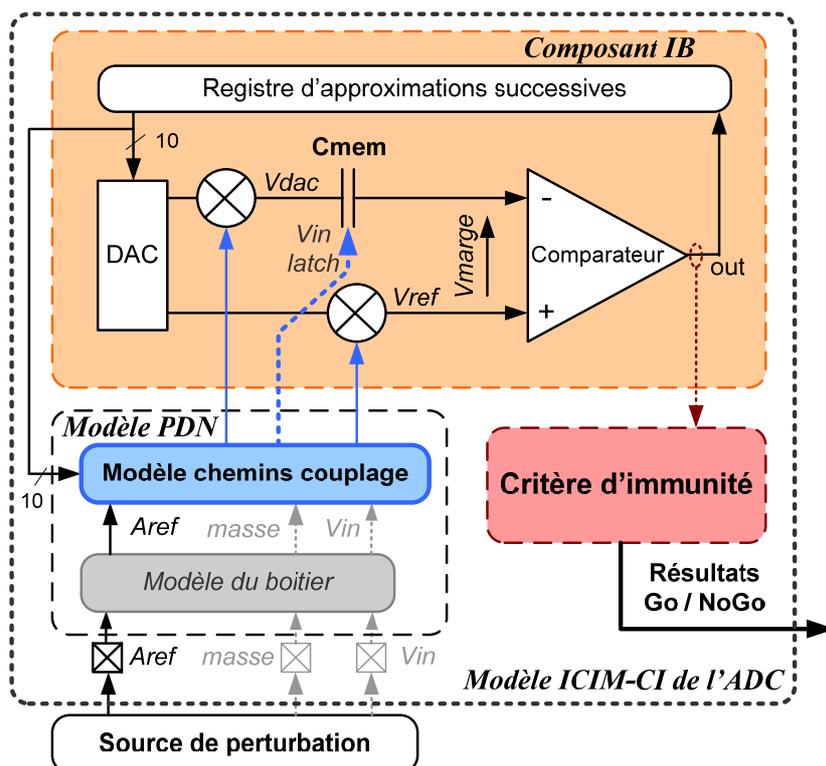


Figure 73. Modèle ICIM-CI orienté méthode directe

Le composant IB décrit la fonction du circuit ADC tandis que le bloc « critère d'immunité » est chargé de détecter l'erreur de conversion. Le modèle des chemins de couplage estime les perturbations résiduelles sur les deux tensions du comparateur. Les sources de perturbation peuvent être localisées sur la tension de référence, l'entrée analogique VIN ou la masse

VSSA. Dans notre cas, nous nous intéressons à une perturbation superposée à la tension de référence AREF. Les perturbations résiduelles sont superposées aux signaux utiles du modèle fonctionnel comme il en est question dans le modèle ICIM-CI d'un amplificateur proposé par Jean-Luc Levant [22] et présenté au chapitre deux, page 59. Dans notre étude, le composant « critère d'immunité » doit estimer une erreur de comparaison par rapport à un modèle de référence non perturbé. D'un point de vue simulation, cette approche nécessite un grand temps de calcul. En effet, des perturbations sinusoïdales sont appliquées pour plusieurs fréquences. Ainsi, nous obtenons plusieurs points sur la bande de fréquence étudiée. Pour chaque fréquence, l'amplitude de la perturbation doit être élevée jusqu'à obtenir une erreur de comparaison. Cette démarche s'apparente aux techniques de mesures utilisées en CEM. Le nombre de point est donc très limité pour optimiser les temps de simulation. Cependant, le bloc chargé du test d'immunité est simple à concevoir. Il suffit simplement de comparer les résultats de conversion sans perturbation aux résultats du modèle ICIM-CI de l'ADC.

VI.1.2. Méthode indirecte

Cette seconde approche propose de prendre comme point de départ le mécanisme de défaillance du comparateur. A partir de celui-ci, on peut estimer quelles sont les tensions résiduelles minimales aux entrées du comparateur pouvant engendrer une erreur de comparaison. Ensuite, la méthode propose de remonter jusqu'à l'amplitude de perturbation requise au niveau des sources pour obtenir cette erreur. Disposant des fonctions de transfert liant les sources et les entrées du comparateur, il est possible d'appliquer la méthode.

La Figure 74 présente le modèle ICIM-CI utilisant la méthode indirecte.

Nous retrouvons le modèle des chemins de couplage ainsi que le modèle fonctionnel. Le modèle fonctionnel constitue la référence non perturbée. Il permet d'estimer exclusivement les marges de tension et perd alors son rôle central dans l'approche ICIM-CI. Il faut dans ce cas le coupler à un sous-bloc appelé « bloc de contrôle de l'immunité ».

Le composant IB inclut maintenant le modèle fonctionnel et le sous-bloc de contrôle d'immunité. Ce sous-bloc récupère les marges de tension (V_{marge}) ainsi que les fonctions de transfert issues (H_m et H_p) du modèle des chemins de couplage.

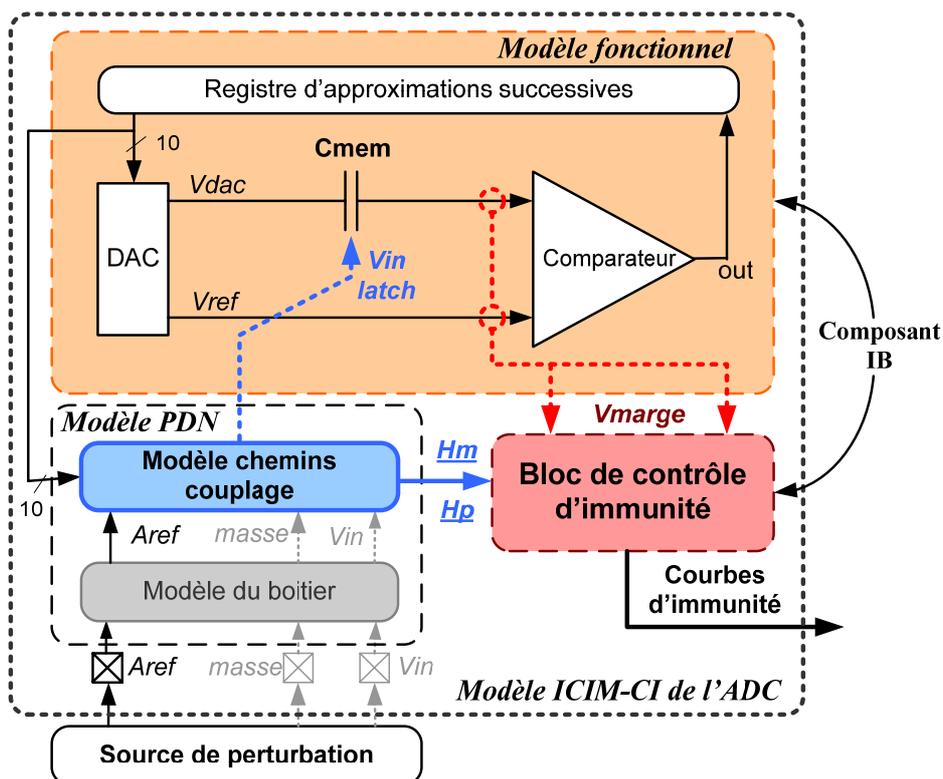


Figure 74. Modèle ICIM-CI orienté méthode indirecte

Dans le cas présent, le bloc de contrôle d'immunité doit décrire le mécanisme de défaillance du comparateur. Il doit estimer les tensions résiduelles minimales à superposer aux tensions d'entrée du comparateur pour générer une erreur de comparaison. Un calcul doit être fait pour estimer l'amplitude de perturbation requise au niveau des sources, situées sur les alimentations.

La méthode indirecte permet d'obtenir des courbes d'immunité linéaires. En effet, nous ne sommes plus limités par le temps de calcul requis pour la méthode directe, qui limite le nombre de points. Nous pouvons obtenir un grand nombre de points et une précision importante car, à la différence de la méthode directe, une simulation unique est nécessaire. Cependant, la conception du sous-bloc est rendue plus difficile car elle repose sur l'identification et la description du mécanisme de défaillance.

VI.2 Identification du mécanisme de défaillance

Le convertisseur possède un circuit comparateur chargé de comparer les tensions VIN et VDAC. Comme il a été dit en partie III.1, le comparateur est responsable des erreurs de conversions. En effet, des perturbations peuvent provenir de la référence, ou de la masse, et atteindre le comparateur en passant par le circuit DAC. Les perturbations résiduelles peuvent se coupler aux tensions utiles VDAC et VREF et engendrer une erreur de comparaison.

Le risque d'erreur sera d'autant plus important que la marge de tension sera faible. C'est particulièrement le cas en fin de conversion où les marges sont de l'ordre de 2,44 mV dans le meilleur des cas.

La Figure 75 fait apparaître un exemple d'erreur de conversion.

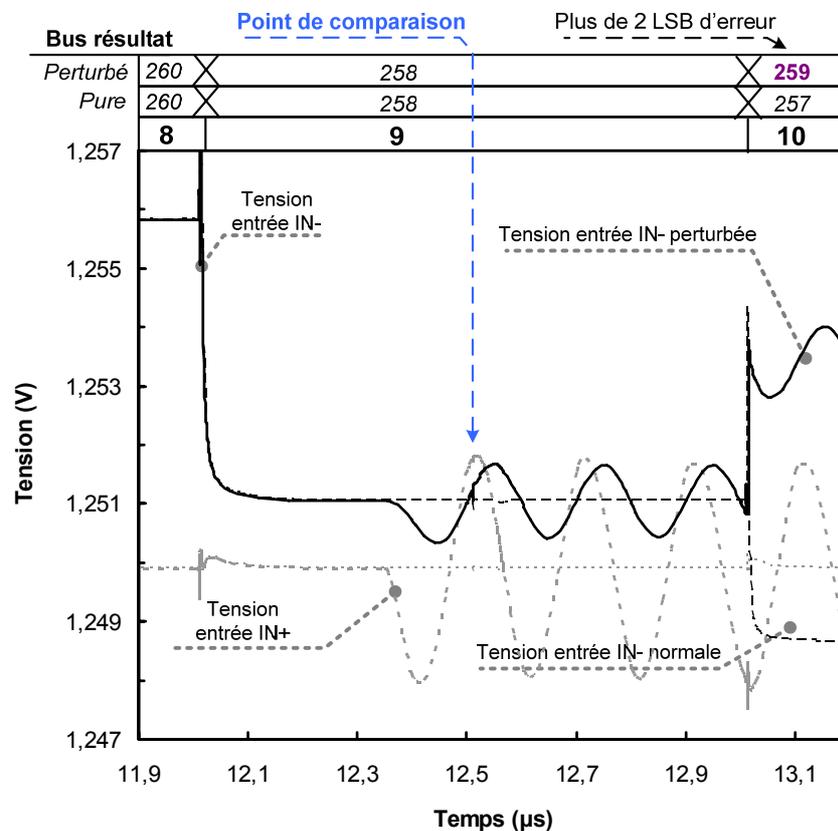


Figure 75. Erreur générée par une perturbation sinusoïdale sur la référence

Une tension V_{IN} a été fixée ainsi qu'une référence à 2,5 V. La figure fait apparaître la simulation transitoire de la fin de phase de conversion. Plus précisément, les étapes huit à dix sont tracées.

Les tensions des entrées moins (IN-) et plus (IN+) du comparateur sont observées. Une perturbation est générée sur la référence durant l'étape neuf (voir Figure 75). Elle est propagée par le circuit DAC jusqu'aux deux entrées du comparateur.

Au milieu de l'étape, la comparaison est effective, repérée sur la Figure 75 par le « point de comparaison ». En observant les deux tensions, nous constatons que la perturbation a engendré une erreur. La tension IN+ a dépassé anormalement la tension IN-.

La dernière étape présente une erreur d'approximation pour l'entrée IN- : la tension a été augmentée alors qu'elle aurait dû être diminuée pour approcher la tension IN+. Le résultat de conversion est indiqué en haut du graphique (259 au lieu de 257). Le résultat montre que la

conversion s'est correctement déroulée pour les étapes huit et neuf mais un écart de plus de 2 LSB est observé sur le résultat final. L'étape dix est alors corrompue.

Cette étude montre que le circuit ADC commet des erreurs lorsque la perturbation génère un dépassement anormal d'une des tensions d'entrée. Le circuit a été perturbé en simulation et a réagi en commettant une erreur de comparaison.

VI.3 Création du composant de contrôle de l'immunité

VI.3.1. Equation d'immunité

Connaissant maintenant le mécanisme d'erreur et disposant des marges de tension et des fonctions de transfert liant la source de perturbation aux deux entrées du comparateur, nous pouvons établir une relation décrivant le mécanisme d'erreur.

La Figure 76 fait apparaître le comparateur, la source de perturbation ainsi que le modèle des chemins de couplage. Le lien est fait par ce dernier entre la perturbation et les tensions d'entrées du comparateur.

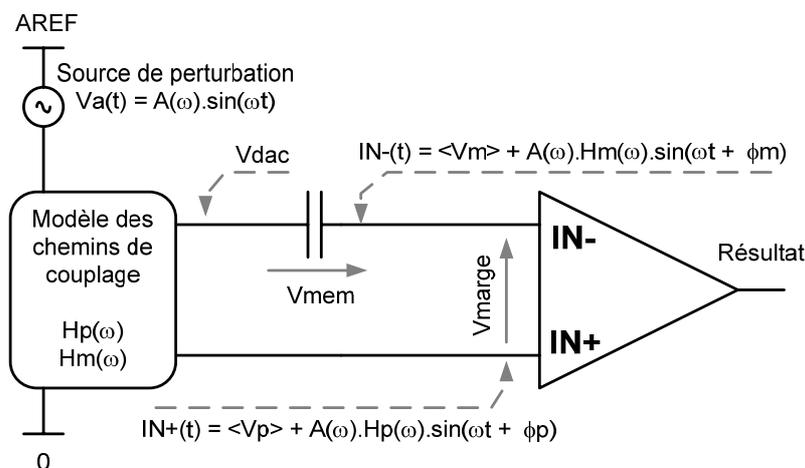


Figure 76. Tensions des entrées du comparateur en fonction des fonctions de transfert

En régime sinusoïdal, nous pouvons écrire les équations de ces tensions en fonction de la source de perturbation et des fonctions de transfert :

$$IN-(t) = \langle V_M \rangle + A(\omega) H_M(\omega) \sin(\omega t + \phi_M)$$

$$IN+(t) = \langle V_P \rangle + A(\omega) H_P(\omega) \sin(\omega t + \phi_P)$$

Equation 4. Equations des tensions d'entrée en fonction de la source de perturbation

Dès lors, si la perturbation est suffisante, il y aura un dépassement local d'une deux tensions, tel que montré sur la Figure 75. Le cas limite à partir duquel le comparateur génèrera une

erreur est pour l'égalité des deux tensions. Autrement dit, si les deux tensions admettent un point commun entre elles, dû à l'application d'une perturbation, le comparateur ne peut plus distinguer correctement quelle tension est supérieure à l'autre.

Ce cas limite est notre hypothèse de départ pour l'établissement de l'équation régissant l'immunité du comparateur. Mathématiquement, si les tensions IN+ et IN-, dont les équations sont données ci-dessus, admettent un temps t0 pour lequel IN+ = IN- alors l'immunité du comparateur est affectée.

S'il existe un temps t0 pour lequel les deux tensions sont égales, nous obtenons l'Equation 5 :

$$\langle V_P \rangle + A(\omega).H_P.\sin(\omega.t_0) = \langle V_M \rangle + A(\omega).H_M.\sin(\omega.t_0 + \Phi) \quad \Phi = \phi_M - \phi_P$$

Equation 5. Egalité des deux tensions et phase relative entre les deux tensions

Où Φ est la différence des phases des tensions IN- et IN+.

Pour simplifier la suite des calculs, nous adoptons une notation complexe qui conduit à l'Equation 6 :

$$A(\omega).H_P.e^{j\omega t_0} - A(\omega).H_M.e^{j(\omega t_0 + \Phi)} = \langle V_M \rangle - \langle V_P \rangle$$

Equation 6. Notation complexe

On obtient alors l'expression de l'amplitude de perturbation A(ω) avec l'Equation 7 :

$$A(\omega) = \frac{\langle V_M \rangle - \langle V_P \rangle}{H_P.e^{j\omega t_0} - H_M.e^{j(\omega t_0 + \Phi)}}$$

Equation 7. Amplitude de perturbation

Nous obtenons aussi le module de A(ω) permettant d'estimer le niveau de perturbation ayant engendré une égalité des tensions IN+ et IN- :

$$|A(\omega)| = \frac{|\langle V_M \rangle - \langle V_P \rangle|}{|H_P - H_M.e^{j\Phi}|}$$

Equation 8. Module de la perturbation

$$|A(\omega)| = \frac{|\langle V_M \rangle - \langle V_P \rangle|}{\sqrt{H_P(\omega)^2 - 2.H_P(\omega).H_M(\omega)\cos(\Phi(\omega)) + H_M(\omega)^2}}$$

Equation 9. Equation d'immunité

L'Equation 9 représente la formule d'immunité caractérisant le mécanisme d'erreur de l'ADC. Nous y trouvons la marge de tension entre les deux entrées du comparateur au

numérateur et la racine d'une identité remarquable des gains de fonction de transfert des chemins de couplage. La phase relative entre les deux perturbations couplée sur les entrées du comparateur est également présente dans l'identité.

VI.3.2. Interprétation

L'Equation 9 fait ainsi apparaître les deux paramètres d'immunité établis précédemment.

Trois comportements sur l'immunité de l'ADC vont découler de cette équation :

- La marge de tension engendre une pondération de la fonction d'immunité. Plus elle sera faible, plus l'immunité sera réduite. Ceci est en accord avec l'étude d'immunité du paragraphe III.1. Nous observerons alors une immunité réduite en fin de cycle de conversion.
- Les gains des fonctions de transfert apparaissent au dénominateur de l'expression. Si ceux-ci sont faibles, les perturbations auront un couplage limité sur les entrées du comparateur. L'immunité sera alors augmentée, en accord avec le paragraphe III.4.1.
- La phase relative va améliorer l'immunité si les perturbations résiduelles sur les entrées du comparateur sont en phase. Ceci est cohérent avec l'étude d'immunité car le croisement des deux sinusoïdes (Figure 75) sera rendu plus difficile si elles sont fortement en phase. Ce cas de figure a été observé en simulation lorsque l'on choisit une tension V_{IN} proche de V_{REF} (tension de l'entrée plus du comparateur). Dans ce cas, la tension V_{DAC} (tension de l'entrée moins du comparateur) tend vers V_{REF} pour les dernières étapes de conversion. Or, la tension V_{REF} est obtenue en reliant directement le circuit DAC au comparateur. Pour obtenir $V_{REF} = \frac{A_{REF}}{2}$, l'entrée plus est connectée à la trente et unième résistance du pont primaire du DAC. Pour approcher V_{IN} , l'entrée moins du comparateur va alors être connectée à cette même résistance en fin de conversion. Les chemins de couplage liants la source de perturbation et les deux entrées du comparateur sont alors très similaires. Les perturbations résiduelles sur les deux entrées du comparateur ont alors des amplitudes proches, mais sont surtout pratiquement en phase. Le très faible déphasage va quand même permettre le croisement des sinusoïdes, mais au prix d'une amplitude très importante. L'immunité sera alors très élevée.

En d'autres termes, l'équation d'immunité fait apparaître un mode commun décrit par la marge de tension et les gains des fonctions de transfert. Le mode différentiel est quant à lui décrit par le cosinus de la phase relative entre les deux entrées du comparateur.

VI.4 Création du modèle d'immunité interne ICIM-CI

Le modèle d'immunité interne du circuit convertisseur analogique numérique peut maintenant être créé. La démarche retenue est illustrée par la Figure 74 dans laquelle le modèle du boîtier n'est pas encore créé. Nous nous intéresserons dans la suite du chapitre aux résultats d'immunité interne.

La configuration de simulation du modèle est donnée par la Figure 77. Nous retrouvons les parties liées au modèle des chemins de couplage ainsi que le modèle fonctionnel. Le fichier de configuration conserve sa place centrale et est complété par le calcul du composant IB.

Le simulateur comportemental estime les fonctions de transfert ainsi que les marges de tension. Les résultats sont récupérés puis utilisés pour faire le calcul d'immunité. Les courbes d'immunité sont alors disponibles à la visualisation.

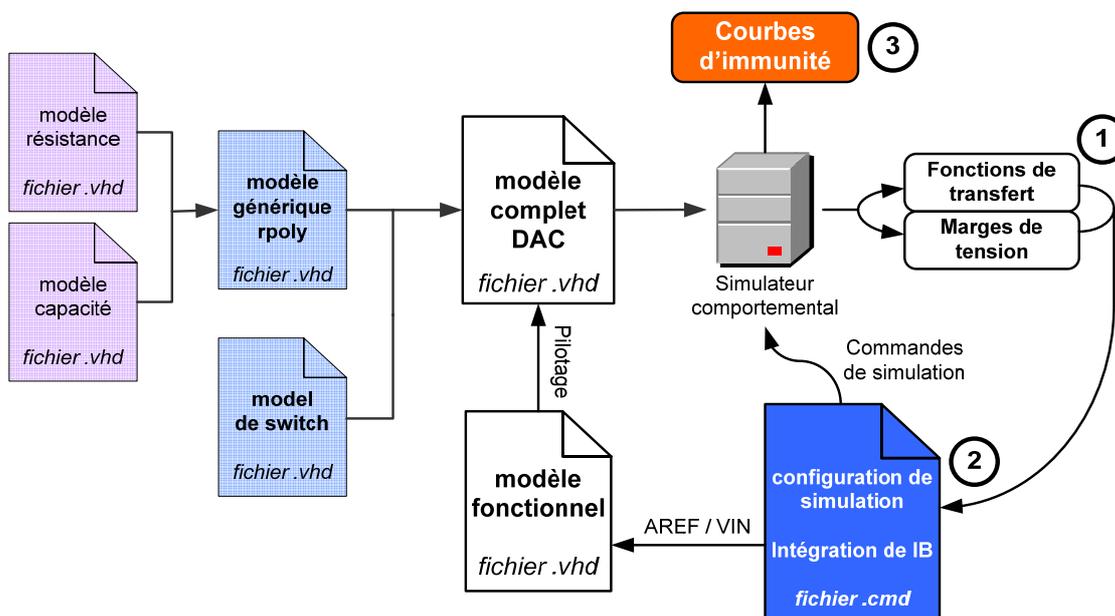


Figure 77. Configuration de simulation du modèle ICIM-CI de l'ADC

VII. RESULTATS DE MODELISATION

Cette partie décrit les principaux résultats de simulation d'immunité avec le modèle ICIM-CI de l'ADC. La méthodologie permet de réaliser différentes études prédictives de sensibilité aux perturbations RF.

Dans un premier temps, l'immunité peut être caractérisée pour une tension d'entrée VIN quelconque. Chaque étape de conversion est alors caractérisée par un niveau de perturbation minimal, sur la référence, engendrant une corruption de ladite étape. Dans un deuxième temps, je présente une étude identifiant les tensions d'entrée critiques pour l'immunité du convertisseur. Enfin, le modèle est utilisé pour estimer l'immunité face à une agression localisée sur la masse interne du circuit ADC.

VII.1 Immunité d'une phase complète de conversion

VII.1.1. Courbes d'immunité

L'immunité d'une phase complète de conversion est estimée avec le modèle global. Afin d'observer aisément l'évolution de l'immunité suivant la progression de la phase de conversion, une tension VIN de 1 mV est choisie. Ainsi, les marges de tension deviennent de plus en plus faibles au fil de la conversion, ce qui engendre une immunité de plus en plus faible.

La Figure 78 regroupe les courbes d'immunité interne pour les dix étapes. La source de perturbation considérée est un générateur sinusoïdal localisé sur le rail de référence du convertisseur, soit sur le silicium. Les courbes présentent en ordonnée l'amplitude minimale de la tension de perturbation pouvant générer une erreur de comparaison pour l'étape en question.

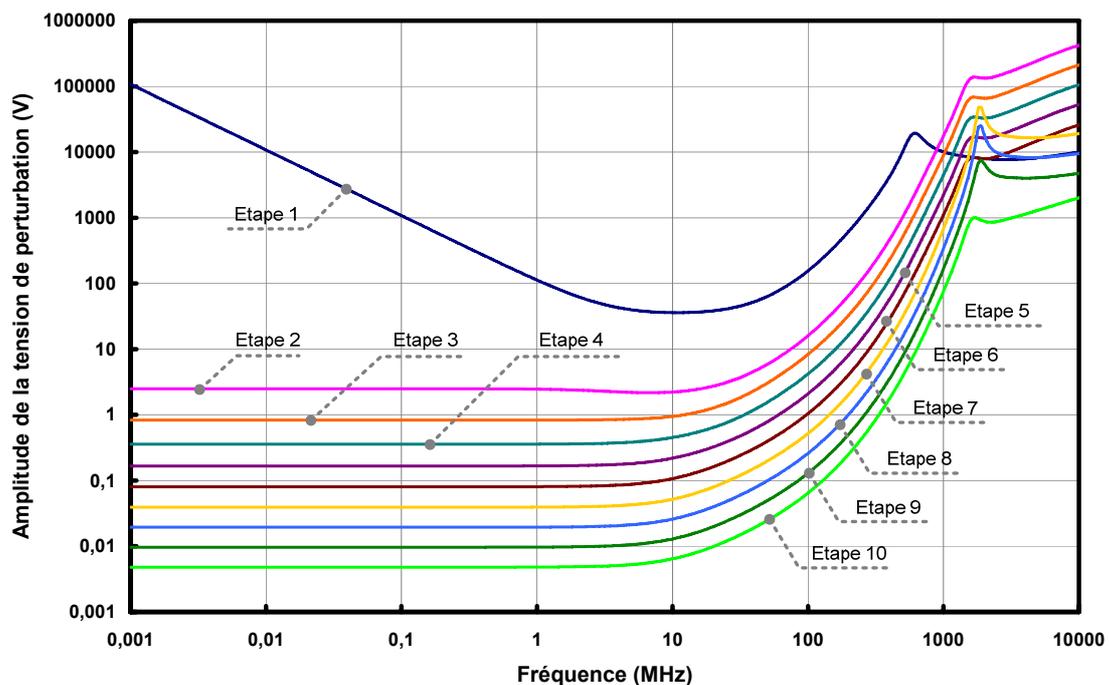


Figure 78. Immunité de la phase de conversion d'une tension VIN de 1 mV

VII.1.2. Discussion sur la phase relative

La première étape de la phase de conversion (Figure 78) présente une immunité comprise entre 100 kV et 30 V. Ces résultats reflètent bien sûr des perturbations irréalistes pour un circuit microélectronique car le modèle ne prend pas en compte d'autres effets tels que le couplage substrat, le couplage des rails d'alimentations au travers des protections ESD ou encore le couplage rayonné. Ces grandes valeurs peuvent être attribuées d'abord à la grande marge de tension existant à l'étape 1 de 1.249 V. Dans ce cas, l'amplitude de perturbation doit être importante pour engendrer le croisement des tensions des deux entrées du comparateur. Mais l'étape 1 fait apparaître un phénomène intéressant, découlant de la formule d'immunité : il s'agit de la phase relative entre les deux perturbations résiduelles aux entrées du comparateur.

L'étape 1 possède une particularité : la sortie du DAC est commutée au milieu du pont primaire. Si nous revenons sur la Figure 44, page 81, nous observons que l'entrée positive du comparateur reçoit une tension V_{REF} de 1,25 V, dans le cas d'une référence de 2,5 V. Cette tension est fournie par le circuit DAC et est acheminée en réalisant un branchement direct entre l'entrée + et la résistance de pont primaire N°31, correspondant au milieu du pont primaire. Or, l'étape une génère une tension V_{DAC} très proche de V_{REF} (à 100 μ V près) ce qui conduit le DAC à commuter sa sortie au milieu du pont primaire soit sur la résistance N°31. Il en découle deux fonctions de transfert très semblables. La Figure 79 montre le rapport entre les gains des deux fonctions de transfert. Nous observons effectivement une très forte similarité.

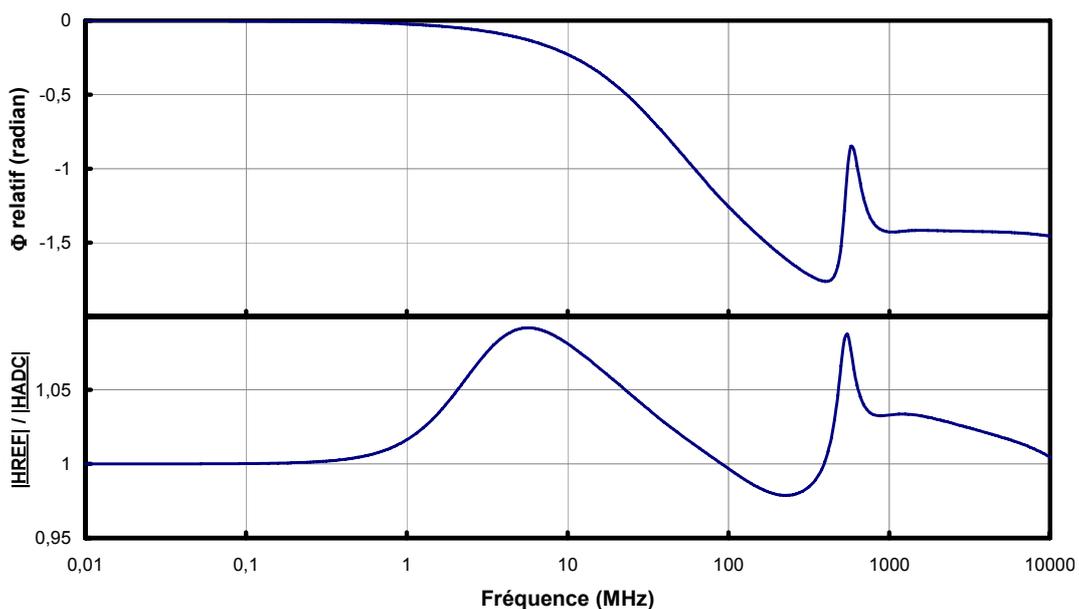


Figure 79. Phase relative et rapport des gains des fonctions de transfert

Cette similitude a un impact important sur l'immunité. Les deux tensions sinusoïdales résiduelles sur les entrées du comparateur sont fortement en phase (représenté par la phase relative de la Figure 79) et ont une amplitude très proche. Il devient très difficile de croiser ces deux tensions sans élever fortement l'amplitude de perturbation. Pour de très grandes valeurs d'amplitude, la très faible différence de phase permet tout de même l'apparition du mécanisme d'erreur. La Figure 78 montre une immunité décroissante pour l'étape 1, en accord avec l'augmentation de la phase relative en fonction de la fréquence.

La courbe d'immunité de l'étape 2 (Figure 78) présente une légère décroissance pour des fréquences comprises entre 1 MHz et 10 MHz. La phase relative est aussi responsable de cette décroissance car la sortie VDAC, située au quart inférieur du pont primaire, implique une phase relative encore faible. Cet effet disparaît complètement pour les autres étapes car l'effet de la marge de tension sur l'immunité devient prépondérant.

VII.1.3. Discussion sur la marge de tension

En observant les profils d'immunité des étapes 3 à 10 de la Figure 78, page 117, et pour des fréquences inférieures à 2 MHz, nous observons une diminution de l'immunité. L'étape critique est la dernière où seulement 6 mV de perturbation peuvent générer une erreur.

L'effet de la marge de tension est bien présent pour les dernières étapes. En fin de conversion elle dégrade nettement l'immunité. Cependant, la marge de tension n'explique pas à elle seule cette perte d'immunité : si les perturbations sont en phase, l'immunité reste forte. Pour obtenir une faible immunité, il faut avoir aussi une faible similitude entre les fonctions de transfert des deux entrées. Le risque d'erreur devient alors plus important.

Un cas particulier est considéré dans cette simulation en choisissant une tension d'entrée de 1 mV. En fin de conversion, la tension VDAC est commutée au bas du pont résistif du DAC. Or, la tension VREF est toujours localisée en milieu de pont. Ainsi, les perturbations originaire de la référence (haut du pont) se couplent d'avantage à VREF qu'à VDAC car le chemin est moins résistif. La Figure 80 illustre ce cas particulier et présente les tensions d'entrée du comparateur pour les trois dernières étapes de la phase de conversion. Pour rappel, la tension de l'entrée moins du comparateur est liée à la tension VDAC par la relation suivante : $V_{MIN} = V_{DAC} + V_{IN}$.

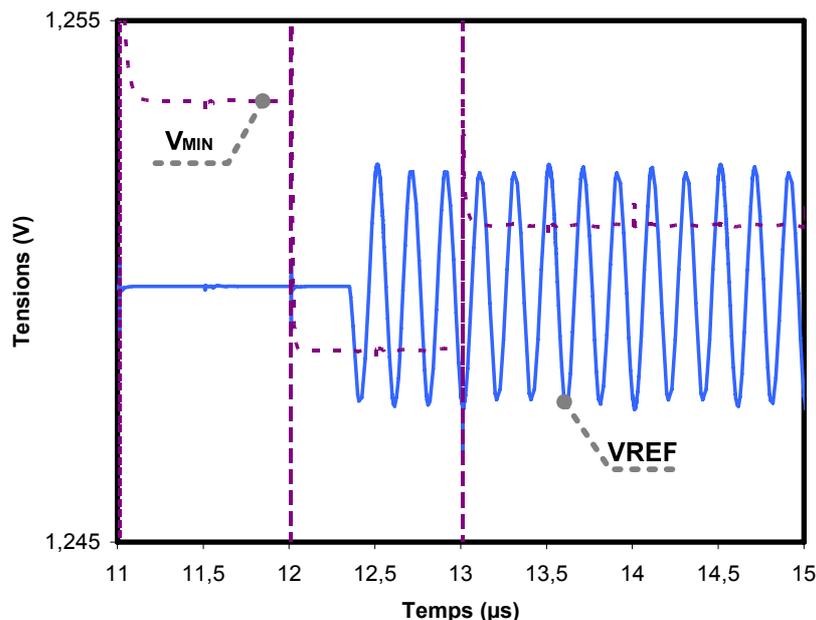


Figure 80. Différence de couplage entre les deux entrées du comparateur

Ainsi, une différence de gain de couplage entre les deux entrées du comparateur est observée. A la tension V_{REF} se superpose une perturbation importante tandis que la tension V_{MIN} (et donc V_{DAC}) est très peu polluée. Nous pouvons alors considérer la tension V_{MIN} comme stable car très peu bruitée. L'apparition de l'erreur est facilitée par un chemin de couplage efficace sur V_{REF} et la faible marge de tension de l'étape 10. Enfin, l'effet de la phase relative entre les deux tensions est ici mineure comparé à l'effet de la marge de tension, et ce en raison de cette différence de gain de couplage.

VII.1.4. Discussion sur les gains de fonction de transfert

Si nous nous intéressons aux fréquences supérieures à 10 MHz (Figure 78, page 117), nous observons, pour toutes les courbes, une croissante importante de l'immunité. Cet effet est lié aux gains de fonctions de transfert présentant une forte décroissance, visible sur la Figure 66, page 102. Pour des fréquences de l'ordre de 150 MHz, ces gains ont des valeurs inférieures à -100 dB. La propagation de la perturbation vers les entrées du comparateur devient très faible. L'amplitude de la perturbation doit être considérablement élevée pour générer un croisement des tensions V_{DAC} et V_{REF} et donc, une erreur de conversion. Cet effet devient dominant aux hautes fréquences, éclipsant complètement les deux effets précédemment décrits. On retrouve tout de même une pondération des courbes par la marge de tension aux hautes fréquences. Mais la forte immunité est maintenant régie par ces faibles gains de fonction de transfert.

VII.1.5. Discussion sur les résultats d'immunité au-delà de 1 GHz

Le modèle ICIM-CI de l'ADC permet de caractériser l'immunité au-delà de 1 GHz. Les résultats précédents ont été donnés à titre indicatif et principalement pour montrer que les chemins de couplages que nous venons de caractériser ne sont pas responsables de problèmes d'immunité aux hautes fréquences. Les simulations de ces chemins s'appuient sur le circuit ADC uniquement. Pour de telles fréquences de perturbation, des chemins de natures différentes entrent en jeu comme le couplage substrat, les effets d'antennes, le couplage rayonné ou encore l'effet de peau. Ces différents effets vont devenir prépondérants au-delà de 1 GHz comparé aux très fortes immunités annoncées par le modèle. Des mesures permettront de caractériser plus précisément l'immunité de l'ADC aux hautes fréquences.

VII.2 Profil d'immunité suivant VIN

L'étude qui suit propose d'estimer l'influence de la tension d'entrée VIN sur les profils d'immunité. Ainsi, il est possible de déterminer les phénomènes dominants suivant les tensions d'entrées appliquées.

En choisissant une tension de référence de 2,5 V, je considère cinq profils d'immunité pour les cinq tensions suivantes :

- Extrémité de pont, $V_{IN} = 2 \text{ mV}$ et $V_{IN} = 2,49 \text{ V}$
- Milieu de pont, $V_{IN} = 1,25 \text{ V}$
- Cas intermédiaires, $V_{IN} = 0,625 \text{ V}$ et $V_{IN} = 1.875 \text{ V}$

Je choisis l'immunité de l'étape neuf pour chaque conversion, ce qui correspond à une perte d'au moins 2 LSB sur le résultat final. Ce cas de figure est réaliste comparé à la précision de 2,5 LSB annoncée dans la documentation technique.

La Figure 81 présente les cinq profils d'immunité considérés.

Le profil d'immunité, pour une tension d'entrée proche du milieu de pont ($V_{IN} = 1,25 \text{ V}$), est gouverné par les trois effets présentés au paragraphe VII.1. Ce cas montre une immunité minimale de 50 mV pour des fréquences localisées autour de 5 MHz.

Les immunités des tensions VIN d'extrémité de pont présentent les valeurs les plus faibles. Ces cas sont critiques pour des fréquences inférieures à 10 MHz. Des amplitudes de perturbations de seulement 7 mV sur la référence interne suffisent à corrompre l'étape 9. La

combinaison d'une faible marge de tension et d'un couplage inégal des perturbations sur les entrées de comparateur conduit aux pires cas d'immunité.

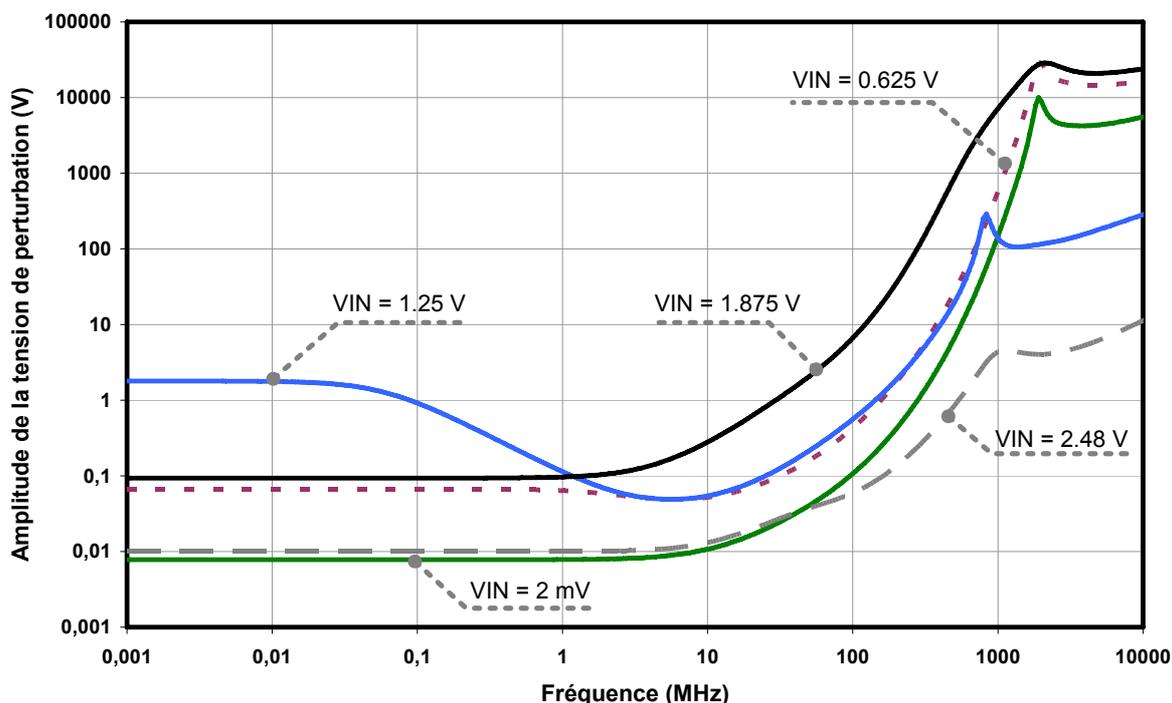


Figure 81. Immunité de l'étape neuf pour 5 valeurs de VIN

Pour finir, les deux cas intermédiaires donnent des résultats d'immunité autour de 80 mV pour les basses fréquences.

J'ai ainsi montré que l'ADC présente une forte susceptibilité pour les tensions VDAC proches de la tension de référence ou proches de la masse.

VII.3 Généralisation du modèle

Le modèle actuel permet de caractériser l'immunité interne de l'ADC exclusivement pour une source de perturbation localisée sur l'alimentation AREF, qui constitue la référence de conversion positive. Il existe aussi une référence négative permettant d'étendre la plage de conversion aux tensions négatives. Cette référence existe bien dans le design de l'ADC, mais n'est pas paramétrable car aucune broche de boîtier ne l'achemine à l'extérieur. De ce fait, l'ADC est toujours utilisé en mode unipolaire.

Il n'en demeure pas moins que cette référence interne est une tension pouvant être susceptible aux perturbations car elle est connectée à la masse analogique nommée VSSA. Comme il a été précisé dans le paragraphe II.1, le circuit ADC partage le même substrat que le cœur

logique du microcontrôleur. Le couplage parasite entre la masse numérique et analogique (VSSA) permet ainsi le transit des perturbations vers la référence négative de l'ADC. Nous nous intéresserons plus précisément au couplage substrat dans le dernier chapitre de ce manuscrit. Dans un premier temps, il convient d'adapter le modèle pour des études d'immunité lorsque la masse de l'ADC est perturbée.

Je propose donc de compléter le modèle ICIM-CI actuel par la prise en compte des chemins de couplages entre la masse analogique et les entrées du comparateur. Une nouvelle configuration de simulation est mise en place pour estimer correctement ces chemins de couplage. D'un point de vue simulation, l'analyse AC permet d'estimer la tension petit signal V_{DAC} par rapport à la masse. Dans le simulateur SPICE, on indique cette référence par le zéro. Or, il n'est plus possible de conserver le circuit de simulation actuel (Figure 82-a) car la position de la masse permet à l'analyse AC d'estimer le chemin de couplage par AREF.

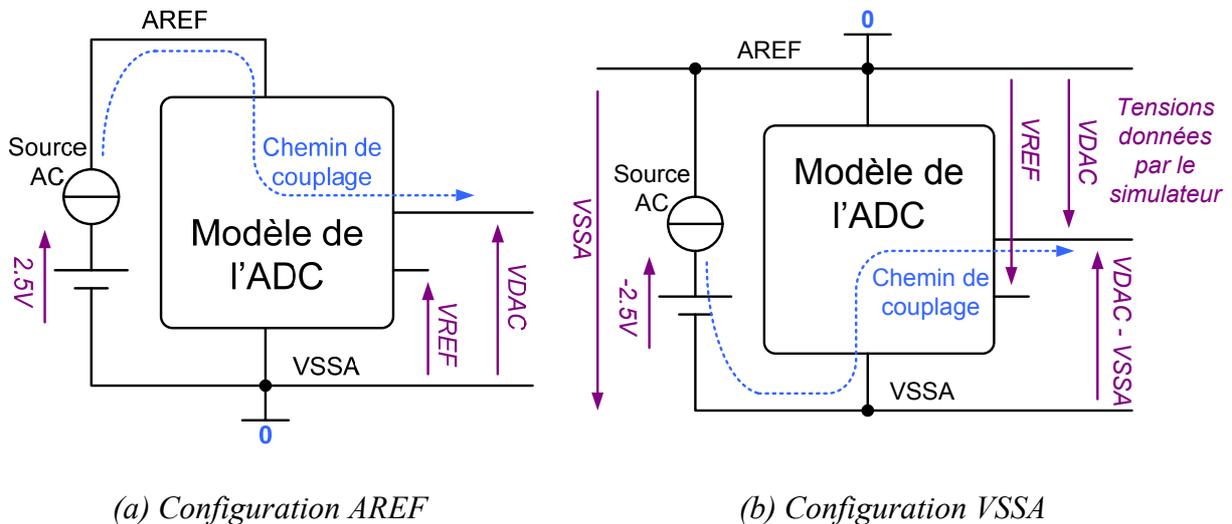


Figure 82. Conditions de simulation selon le chemin de couplage

Pour ce cas de figure, je place le zéro sur l'alimentation AREF (Figure 82-b). Ainsi, l'analyse AC caractérise le chemin de couplage passant par VSSA. Les alimentations continues, pour VIN et AREF, sont maintenant négatives. Il est alors possible d'utiliser le modèle ICIM-CI sans le modifier. Les résultats donnés par le simulateur sont référencés par rapport à AREF. Il faut alors retrancher VSSA à VDAC pour obtenir le bon référencement.

En se plaçant dans les conditions de simulation de la partie VII.1.1, c'est-à-dire la conversion d'un VIN de 1mV, j'obtiens les courbes d'immunité suivantes :

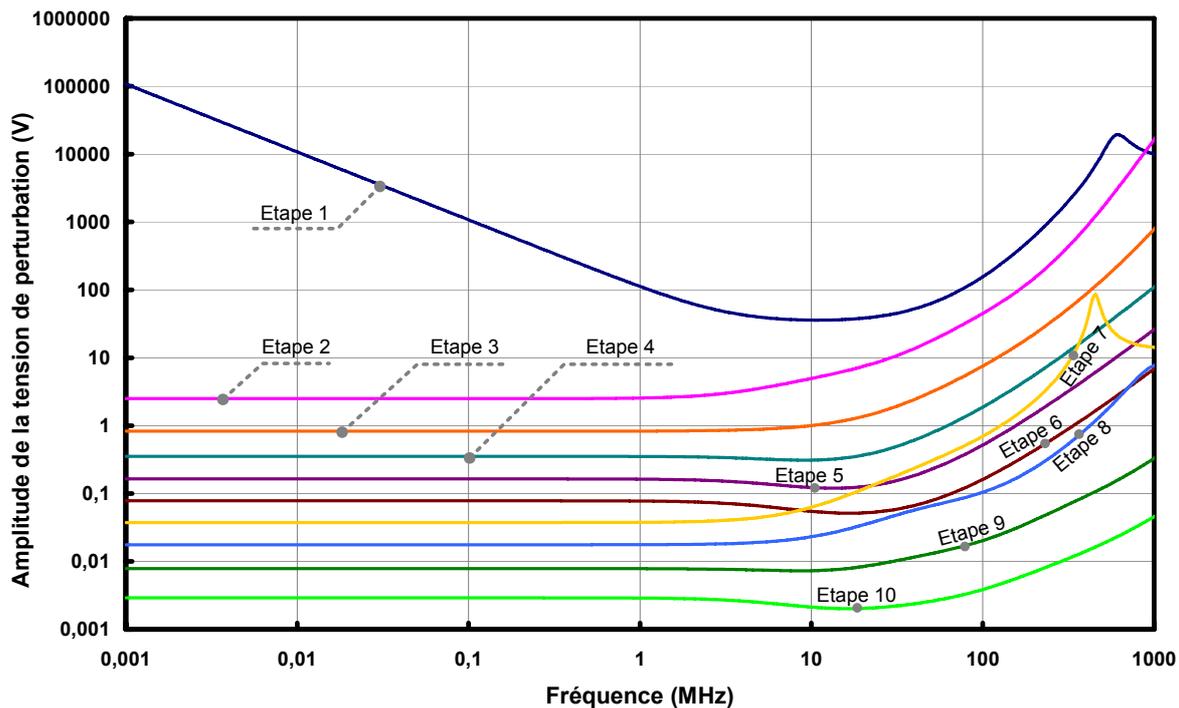


Figure 83. Profils d'immunité pour une source de perturbation sur VSSA

Nous retrouvons le même profil d'immunité à l'étape 1 pour une source sur AREF. Cette similitude est expliquée par la nature symétrique du circuit DAC et donc de son modèle. En effet, la perturbation suit un chemin de couplage semblable. Que la perturbation provienne de la masse ou d'AREF, il y a dans les deux cas 32 résistances de pont primaire à traverser.

Les étapes 2 à 10 ont quant à elles des profils différents. La remontée d'immunité est moins rapide que précédemment. Pour un VIN de 1 mV, la sortie VDAC du DAC parcourt le bas du pont primaire pour enfin s'établir à la résistance la plus basse. Or, le bas du pont est connecté à VSSA et la source de perturbation est précisément localisée à ce niveau. En conséquence, la fonction de transfert du chemin de couplage présente un gain de plus en plus grand en fin de conversion. Les perturbations se couplent alors très bien vers la tension VDAC car le chemin est peu résistif. Nous observons alors une remontée d'immunité plus tardive.

Cette étude démontre que la conception du modèle ICIM-CI permet d'envisager des analyses variées. La nature symétrique du DAC n'impose pas une nouvelle conception du modèle pour les perturbations de masse.

VII.4 Synthèse des acquis du modèle ICIM-CI

Cette partie présente les principales solutions retenues durant l'élaboration du modèle.

Problème	Solution	Avantages	Inconvénients
Identifier les éléments responsables de la propagation des perturbations	Simulations sélective de netlist	Identifier les éléments à prendre en compte Simplifier l'étude Déterminer les limites du modèle Reproductible pour d'autres circuits	Charge de travail importante Maîtriser le circuit
Obtenir les chemins de couplage	Simulation netlist	Estimation précise	Simulation lourde Non intégrable dans un flot de conception
	Modélisation VHDL-AMS	Simplicité Estimation rapide Intégrable dans un flot de conception	Description propre à l'ADC modélisé
Obtenir les marges de tension	Modèle fonctionnel	Estimation rapide des marges de tension Tension d'entrée ajustable Phase de conversion caractérisée Commande du modèle des chemins de couplage pour obtenir les fonctions associées	Description propre à l'ADC modélisé Problèmes de convergence du simulateur à résoudre
Estimer l'immunité	Méthode directe	Facilité de conception du modèle	Simulations lourdes et en grand nombre Non intégrable dans un flot de conception
	Méthode indirecte	Description physique du mécanisme d'erreur Calcul très rapide Intégrable dans un flot de conception Formule d'immunité adaptable aux ADC munis d'un comparateur	Travail important pour identifier le mécanisme
Validité des résultats aux hautes fréquences	Etudes indicatives complémentaires à haute fréquence	Permet de montrer que les chemins de couplage identifiés ne sont pas critiques	Pas de prise en compte des autres mécanismes de couplage
Sources de perturbation multiples	Généralisation du modèle pour une masse perturbée	Flexibilité Etudes sur mesure	Modèle plus complexe

Tableau 5. Bilan des acquis du modèle ICIM-CI

VII.5 Discussion sur les profils

Je propose d'étudier maintenant l'erreur d'immunité introduite par la modélisation. Pour cela, j'estime les fonctions de transfert des chemins de couplage à partir de la simulation netlist. Les courbes d'immunité sont ensuite calculées à partir de l'Equation 9, page 114. Le pourcentage d'erreur de l'immunité entre modèle et simulation est enfin établi et ce pour chaque étape de conversion. Nous obtenons la Figure 84.

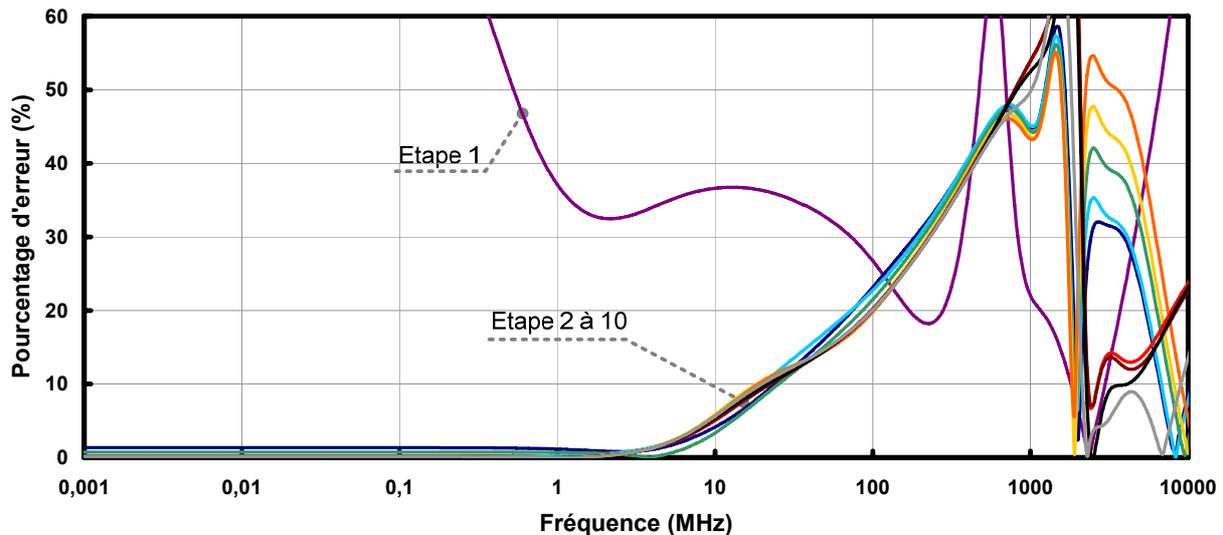


Figure 84. Pourcentage d'erreur entre modèle et simulation pour l'immunité

Pour l'ensemble des étapes 2 à 10, nous observons une très bonne précision, inférieure à 10 %, en dessous de 20 MHz. La précision se dégrade linéairement pour atteindre 50 % à 1 GHz. Si nous reprenons les courbes d'immunité de la Figure 78, nous observons que l'imprécision grandit en même temps que l'immunité. Les erreurs les plus importantes, entre modèle et simulation, apparaissent pour des immunités supérieures à 10 V. Ces imprécisions ne portent pas préjudice à la conception du modèle ICIM-CI car le modèle présente une excellente précision pour les pires cas d'immunité. Enfin, l'immunité de la première étape présente une très forte imprécision. Cependant, le niveau d'immunité annoncé est supérieur à 50 V en raison de grandes marges de tensions (1,249 V). Ce niveau de perturbation est irréaliste pour un circuit fonctionnant sous une alimentation de 2,5 V.

VIII. CONCLUSION

La méthodologie de construction d'un modèle d'immunité complet pour un circuit complexe a été présentée dans ce chapitre. La démarche ICIM-CI a été appliquée à un circuit ADC et cette proposition de norme s'est révélée adaptée à ce type de circuit.

Le fait de pouvoir accéder aux données constructeur de l'ADC, c'est-à-dire son schéma électrique interne, a permis d'identifier précisément les chemins de couplage de perturbations. Il a été établi que le comparateur est le circuit le plus sensible aux perturbations. Nous avons vu également que les perturbations en tension sont les plus problématiques. Le mécanisme d'erreur a ensuite été étudié pour finalement écrire une équation régissant l'immunité de l'ADC, prenant en compte les marges de tension des entrées du comparateur et les fonctions de transfert des chemins de couplage.

Des résultats de modélisation ont été présentés et permettent d'estimer l'immunité pour chacune des dix étapes de conversion. De plus, le modèle prend en compte la tension à convertir (VIN) dans les résultats d'immunité. Ce modèle a été confronté à la simulation netlist du circuit et j'ai mis en évidence une bonne précision. Le modèle a ensuite été étendu à la prise en compte des agressions provenant de la masse.

CHAPITRE 4 - MESURE DE L'IMMUNITE CONDUITE

APPLIQUEE A UN CONVERTISSEUR

I.	CARACTERISTIQUE DU BANC DE MESURE	131
I.1	PRESENTATION DU CIRCUIT	131
I.2	CARTE DE TEST	132
I.3	MODELISATION DU CHEMIN D'INJECTION	134
I.4	MATERIEL MIS EN ŒUVRE.....	135
II.	OPTIMISATION DE LA MESURE.....	137
II.1	COMPROMIS TEMPS DE CALCUL ET PRECISION	137
II.2	AMELIORATION DE LA TECHNIQUE DE MESURE.....	138
II.3	TENSIONS APPLIQUEES A L'ADC	139
III.	RESULTATS DE MESURE	140
III.1	ETUDE DE REPARTITION DES RESULTATS CORROMPUS.....	140
III.2	RESULTATS DE MESURE DE L'IMMUNITE DE L'ADC	143
IV.	CONFRONTATION DU MODELE ET DE LA MESURE.....	147
IV.1	FINALISATION DU MODELE	147
IV.2	IMMUNITES DE QUATRE ETAPES DE CONVERSION.....	150
IV.3	UTILISATION DU MODELE POUR AMELIORER L'IMMUNITE.....	152
IV.4	CONCLUSION	154
V.	AMELIORATION DU MODELE	155
V.1	RESULTATS DE MESURE	155
V.2	PRISE EN COMPTE DE LA BROCHE VDDA DANS LE MODELE	157
VI.	CONCLUSION	160

INTRODUCTION

Le précédent chapitre a présenté une démarche complète pour créer un modèle ICIM-CI d'un circuit ADC. Des résultats d'immunité ont été obtenus pour chaque étape de conversion et nous avons parcouru différents cas de figure notamment en ajustant la tension d'entrée. Afin de vérifier par l'expérience la validité de ce modèle, un banc de mesure d'immunité a été développé au laboratoire. Il s'inspire des méthodes de test conventionnelles, à base de DPI, pour mesurer l'immunité d'un circuit ADC embarqué dans un microcontrôleur du commerce. L'étude de l'immunité du convertisseur ADC, précédemment présentée, a montré que le comparateur est sensible aux variations de tension. Le banc est alors créé pour injecter une perturbation sous forme de tension. Cette dernière est appliquée au circuit puis mesurée au plus près de la broche de référence. Enfin, le résultat de conversion de l'ADC est utilisé comme critère d'immunité.

La première partie du chapitre présente le circuit microcontrôleur choisi, l'installation d'un chemin d'injection et le développement du banc de mesure. Je présente ensuite une technique d'optimisation permettant de rendre les mesures plus précises. Les résultats de mesure sont présentés, puis ceux-ci sont confrontés aux résultats du modèle ICIM-CI précédemment construit.

Le modèle est complété par le modèle du boîtier pour estimer l'immunité externe, puis plusieurs améliorations sont proposées. En fin de chapitre, la mesure de l'immunité est étendue à la seconde broche d'alimentation utilisée par l'ADC et le modèle est amélioré en conséquence pour estimer l'immunité critique selon la broche perturbée.

I. CARACTERISTIQUE DU BANC DE MESURE

Dans cette première partie, je présente les différents dispositifs mis en œuvre pour mener à bien les mesures d'immunité selon la norme DPI IEC62132-4. Le circuit sous test (DUT) est d'abord présenté. Il s'ensuit une description puis une caractérisation du chemin d'injection. Enfin, les différents appareils utilisés dans ce banc sont présentés.

I.1 Présentation du circuit

Un microcontrôleur ATMEL, intégrant l'ADC modélisé précédemment, est choisi pour les mesures. Ce circuit possède les parties analogiques classiques d'un microcontrôleur (ADC, module PWM²¹, amplificateurs, compteur et PLL). Il possède une paire d'alimentations, notée VDDA et GND sur la Figure 85, dédiée aux parties analogiques. Une référence de conversion est utilisée par le circuit ADC, toujours notée AREF. Enfin, le circuit possède six entrées de conversion analogique - numérique multiplexées : un ADC unique partage ces six entrées.

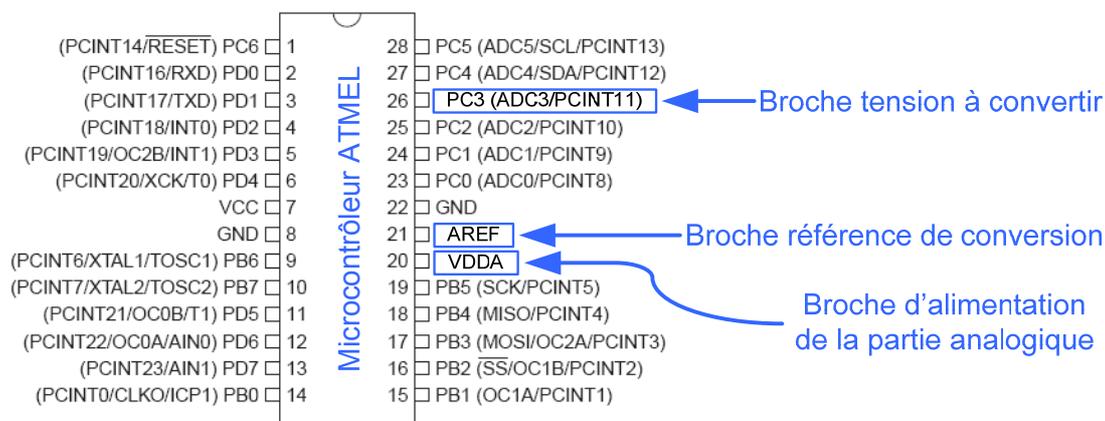


Figure 85. Brochage du circuit microcontrôleur.

Le modèle ICIM-CI de l'ADC, développé au chapitre trois, s'intéresse à l'immunité conduite depuis la broche de référence « AREF ». De plus, l'étude précédente (paragraphe VI.3.1, page 113) a montré que le circuit comparateur est responsable de la perte de précision lorsqu'il est agressé par des perturbations de tension. Le banc de mesure doit donc injecter une perturbation sur la broche AREF, sous forme de tension (voir Figure 87). Le modèle permet aussi de caractériser l'immunité de chaque étape de conversion. Le critère d'immunité est

²¹ Pulse Width Modulator

La carte de test est alors modifiée pour injecter une perturbation sur la broche de référence AREF. Comme préconisé dans les notices d'application de ce microcontrôleur [51], la référence et l'alimentation VDDA partagent le même réseau de découplage. Cette configuration n'est pas adaptée à cette étude d'immunité. Sachant que le mécanisme de défaillance du comparateur, complètement décrit dans le modèle, est activé majoritairement par des perturbations sur la référence, il faut donc isoler la référence du VDDA et supprimer tout découplage afin de visualiser le pire cas possible d'immunité. Ainsi, les chemins de couplage depuis l'alimentation VDDA sont éliminés, pour uniquement observer la perte d'immunité générée par une pollution de la référence AREF.

La Figure 87 décrit la configuration d'injection et d'isolement adoptée. Un générateur RF fournit la perturbation. Celle-ci est acheminée vers le circuit grâce à une capacité d'injection nommée C_{DPI} . Une self shock est placée entre les deux broches pour éviter de perturber l'alimentation VDDA, et pour fournir la tension d'alimentation continue à la référence. La capacité d'injection permet d'isoler le générateur RF de la tension continue présente sur la broche AREF. Les erreurs liées à la perturbation de l'alimentation VDDA sont ainsi réduites : la perturbation ne se propage pas, ou très peu, vers la broche VDDA grâce à l'isolation de la self. La modification de la carte est visible sur la Figure 88.

Un connecteur « micro SMA » (standard H.FL) achemine la perturbation sur la carte. Ce type de connecteur a été choisi car il possède une inductance parasite très faible (0,4 nH). Une capacité CMS de 10 μ F est soudée au plus près de la broche de référence et une self shock est reliée entre les deux alimentations.

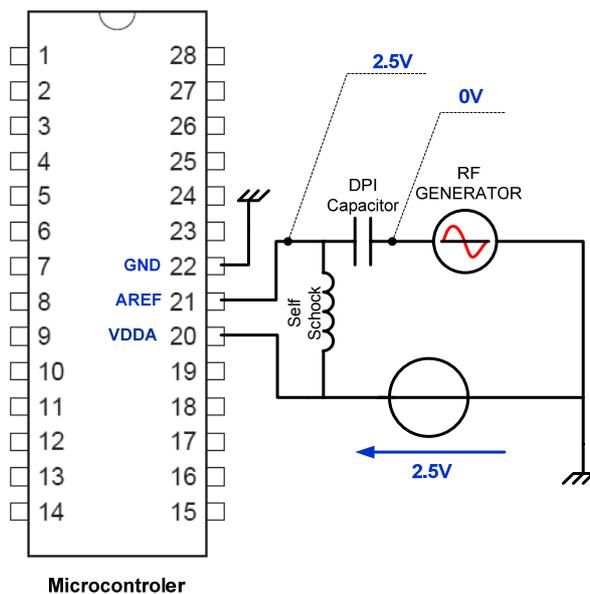


Figure 87. Schéma d'injection

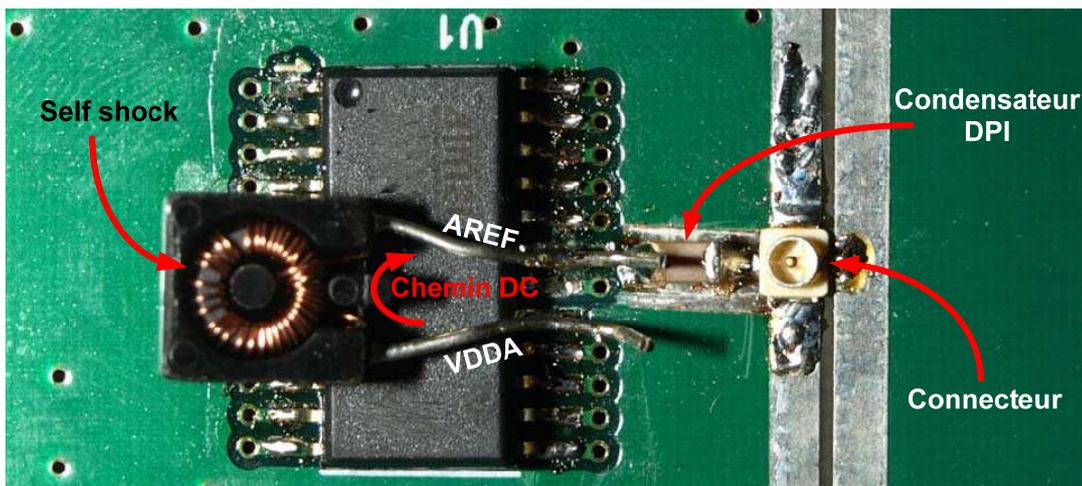


Figure 88. Photo du chemin d'injection

La carte modifiée permet maintenant d'injecter la perturbation précisément sur la broche de référence.

I.3 Modélisation du chemin d'injection

Afin d'estimer la bande passante de notre banc de mesure, le chemin d'injection est modélisé. Il comporte l'adaptateur SMA vers H.FL, le connecteur H.FL, la capacité d'injection CMS 10 μF et la self shock 100 μH , en accord avec la Figure 89. L'adaptateur, le connecteur et la capacité d'injection sont caractérisés à l'analyseur de réseau tandis que le modèle constructeur de la self est utilisé (modèle fourni par Würth Elektronik). Le chemin d'injection, entre le générateur et la broche AREF permet ainsi d'estimer le couplage de la perturbation sur la référence du microcontrôle. En outre, nous estimons le couplage parasite entre le générateur et l'alimentation VDDA dû à la self. La Figure 90 présente les résultats de couplage pour trois valeurs de self : 1 mH, 100 μH et 10 μH .

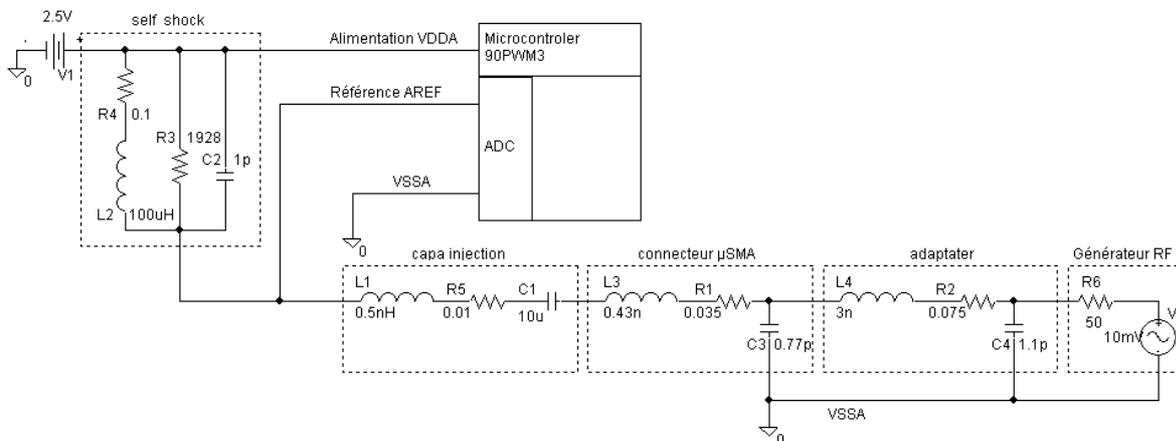


Figure 89. Modélisation du chemin d'injection

Les courbes nommées « transmission AREF » montrent un couplage élevé et donc une injection satisfaisante des perturbations sur la broche de référence pour la bande 10 kHz – 1 GHz. Plus l'inductance est importante, plus la bande passante d'injection s'élargit.

La transmission des perturbations vers l'alimentation VDDA, représentant l'isolation entre les deux broches, reste faible si on considère cette même bande de fréquence. Les courbes montrent que pour de faibles fréquences de perturbation, de l'ordre de 1 kHz, le couplage est le même pour les deux alimentations. Il devient alors impossible d'éliminer le chemin de couplage dû au VDDA aux basses fréquences. J'ai donc choisi de limiter la première étude à la bande 10 KHz – 1 MHz, bande pour laquelle nous conservons une bonne séparation de couplage entre les broches.

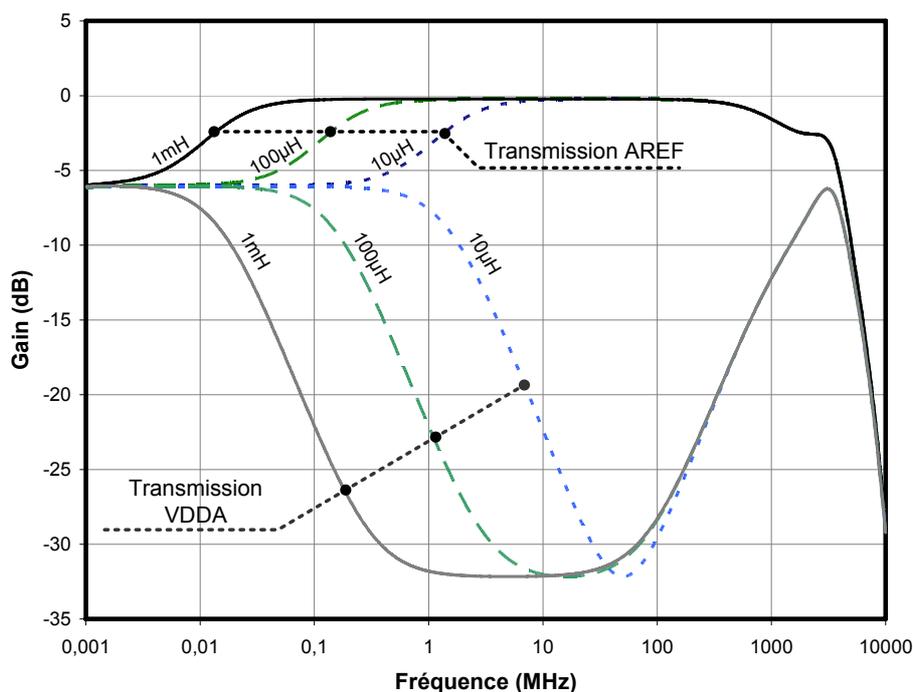


Figure 90. Bande passante d'injection

Enfin, au-delà du gigahertz, le gain de couplage s'effondre à cause des éléments parasites du chemin d'injection.

I.4 Matériel mis en œuvre

Le circuit victime et le chemin d'injection du banc de mesure ont été présentés. Nous nous intéressons maintenant au banc de mesure permettant de caractériser l'immunité.

La source de perturbation doit permettre de créer une tension sinusoïdale avec une amplitude précise. Un générateur radiofréquence est choisi pour couvrir la bande de mesure et offrir une tension d'agression assez importante pour mettre en défaut le circuit ADC (voir Figure 91 et

photo Figure 92). Le générateur RF est piloté à distance par l'ordinateur grâce à une liaison GPIB. L'ordinateur est équipé d'un programme MATLAB et contrôle les appareils durant la mesure.

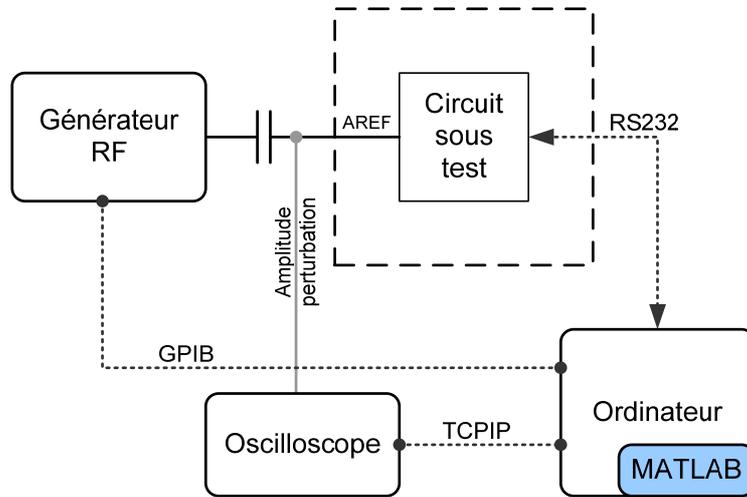


Figure 91. Appareils mis en œuvre dans le banc de mesure

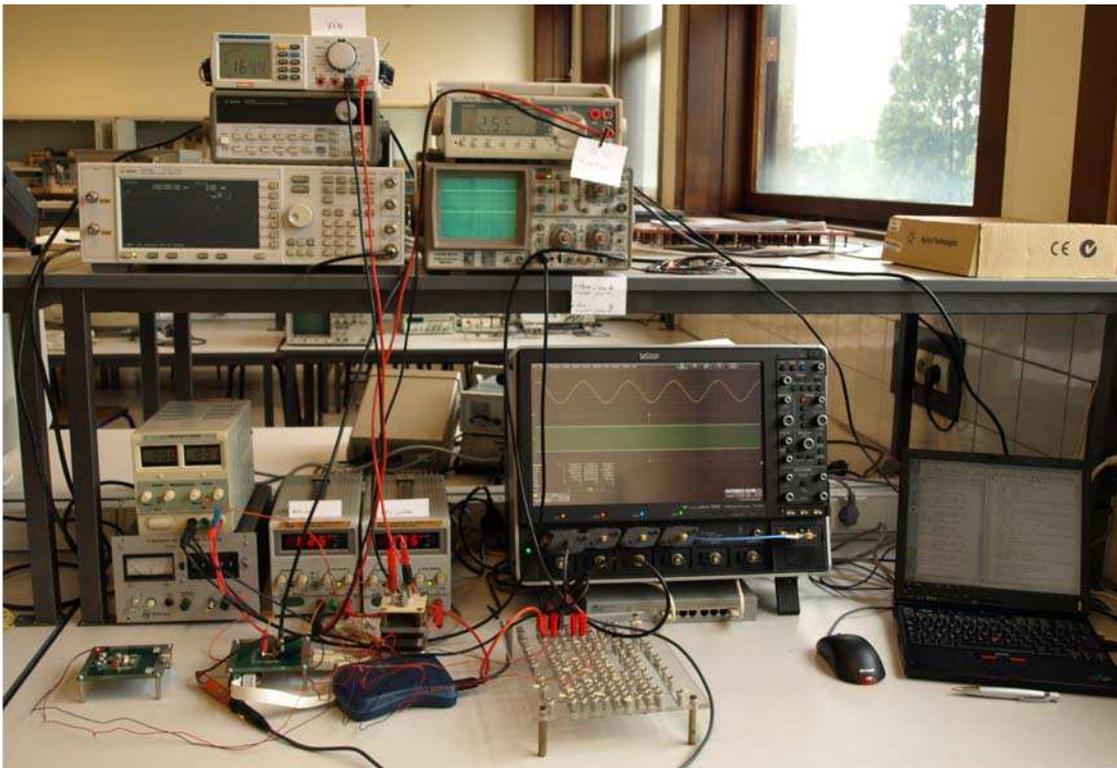


Figure 92. Photo du banc de mesure

Une liaison RS232 est établie entre le microcontrôleur sous test et l'ordinateur afin de lire et sauvegarder les résultats de conversion de l'ADC. Ces derniers sont ensuite analysés afin de détecter un résultat hors du gabarit de tolérance paramétré pour la mesure (par exemple, 4 LSB, 8 LSB etc.). Lorsque l'erreur est détectée, l'ordinateur demande à l'oscilloscope, via

une liaison TCP/IP, de mesurer l'amplitude de la tension de perturbation. Celle-ci est sauvegardée dans un tableau ainsi que la fréquence associée. L'oscilloscope est choisi pour couvrir la bande de fréquence du banc de mesure, soit dans notre cas la bande de 1 kHz à 1 GHz. Sa fréquence d'échantillonnage (40 giga échantillons par seconde) est suffisamment élevée pour visualiser une période de perturbation à 1 GHz avec 40 points de mesure.

II. OPTIMISATION DE LA MESURE

Dans cette partie, je présente le processus de mesure du banc et le programme de contrôle. En premier lieu, le compromis entre précision et temps de calcul est exposé. Puis je décris la technique de mesure mise en œuvre permettant d'estimer plus précisément la tension minimale de perturbation pour obtenir le critère. Pour finir, une problématique liée à la précision des tensions appliquées à l'ADC est présentée.

II.1 Compromis temps de calcul et précision

Pour estimer le compromis temps de calcul / précision, nous considérons une bande de fréquence élargie : de 1 kHz à 1 GHz. En effet, certains des résultats suivants nécessitent une mesure entre 1 kHz et 10 kHz. La mesure est alors réalisée pour une large bande de fréquence large (six décades). Le nombre de points de mesure doit être limité afin que les temps de mesure soient acceptables. En outre, les bancs d'immunité communément utilisés [52] [53] élèvent progressivement la puissance de générateur par pas constant. Pour chaque fréquence, la puissance du générateur part d'une puissance plancher et est augmentée avec un pas de puissance plus ou moins fin. Un rapide calcul permet d'illustrer le compromis temps – précision (Figure 93).

Nous considérerons six décades de fréquences pour la mesure complète. Le générateur part d'un plancher de puissance de -30 dBm et nous estimons que le défaut se produira pour une puissance de -10 dBm. Le temps de traitement incompressible est de dix secondes par point de mesure. Durant ce temps, l'ADC réalise un grand nombre de conversions, l'oscilloscope mesure la tension de perturbation et les données sont transmises au PC puis traitées. A ce temps s'ajoute un temps d'attente pour que le circuit réagisse aux perturbations (ce temps est issu de la norme DPI, présentée dans le paragraphe « Procédure de test » du deuxième chapitre, page 71). En choisissant des pas de puissance et de fréquence de plus en plus fins, le temps de mesure peut atteindre 6h40, comme illustré sur la Figure 93.

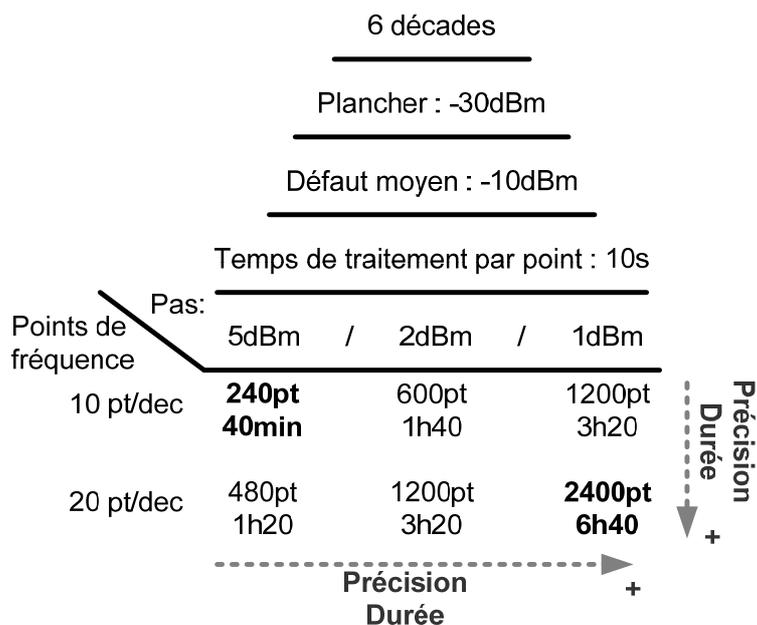


Figure 93. Estimation des temps de mesure

Notre application requiert une forte précision en raison du caractère aléatoire de l'erreur de conversion. En effet, l'étude de l'immunité du comparateur de la page 111 a montré que la probabilité d'apparition du défaut dépend de l'instant de comparaison qui doit coïncider avec le croisement des deux tensions d'entrée du comparateur pour que le mécanisme d'erreur identifié puisse se produire. Il faut alors réaliser un grand nombre de conversions pour augmenter le taux d'erreur de l'ADC. De surcroît, il faut détecter la tension minimale ayant généré une erreur. Nous verrons dans la partie « Etude de répartition des résultats corrompus », page 140, que le résultat de conversion présente une répartition gaussienne lorsque l'ADC est perturbé. Finalement, un pas de puissance très fin doit être adopté. Un minimum de 20 points par décade est nécessaire pour visualiser correctement la remontée de l'immunité prédite par le modèle (voir la Figure 78, page 117). La mesure requiert alors une forte précision, ce qui engendre un temps de mesure long (temps de 6h40 annoncé par la Figure 93).

II.2 Amélioration de la technique de mesure

Comme nous avons vu précédemment, le caractère aléatoire de l'erreur de comparaison nous oblige à adopter un pas très fin. Il devient alors plus aisé de détecter précisément la tension minimale ayant engendré une erreur de comparaison. Je présente maintenant une technique de mesure pour optimiser la précision. Grâce à cette méthode, il est possible de mieux estimer la tension minimale ayant engendré le défaut.

Pour illustrer cette technique, nous considérons une petite portion d'une courbe de mesure. La Figure 94 présente un fort grossissement de cette portion. Partant du principe que les courbes obtenues par le modèle sont linéaires et qu'il n'y a pas de variations brusques, le point à la fréquence f_2 est théoriquement assez proche du point à la fréquence f_1 .

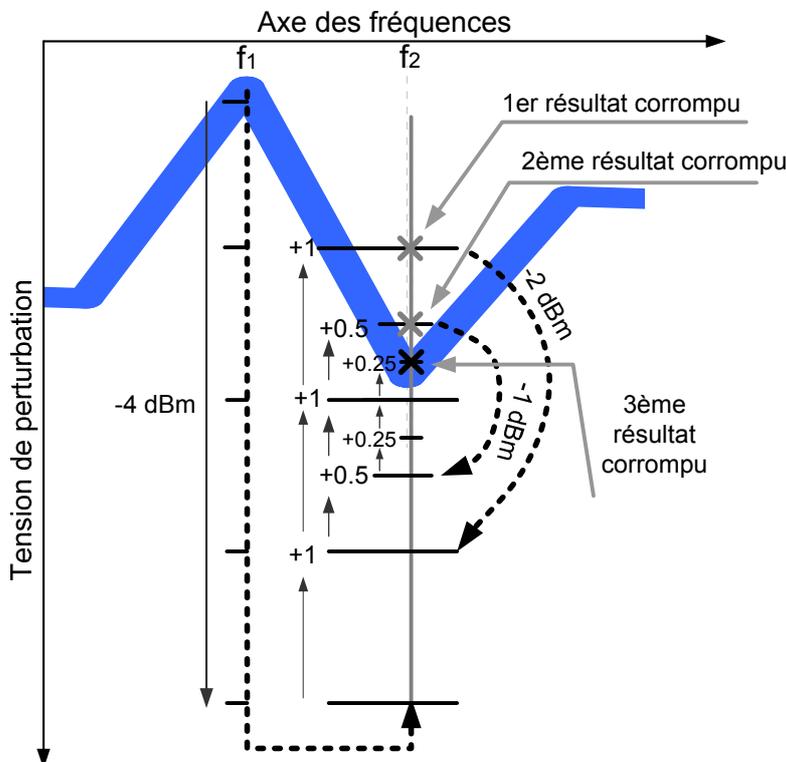


Figure 94. Méthode de mesure améliorée

Au lieu de démarrer la mesure à la fréquence f_2 au niveau du plancher de puissance (-30 dBm), un certain nombre de dBm est retranché au point obtenu en f_1 pour estimer le point en f_2 . Dans cet exemple, 4 dBm sont retranchés. Je choisis dès lors de faire trois passes en adoptant des pas de plus en plus précis : un dBm, un demi dBm et un quart de dBm. Trois tensions ayant engendré le dépassement du critère sont alors obtenues. Des trois tensions, le programme sélectionnera la tension de perturbation minimale.

Ainsi les points de mesure sont concentrés près de la tension engendrant le défaut. Le banc déclenche le défaut trois fois avec des pas de plus en plus précis. Au final, la précision est accrue tout en minimisant le nombre de points nécessaire. Cette technique peut s'appliquer dans le cas de l'ADC en raison de la bonne linéarité des courbes.

II.3 Tensions appliquées à l'ADC

Après cette première optimisation, une nouvelle problématique se pose concernant la précision des tensions continues appliquées à l'ADC (tension de référence et tension à

convertir). En effet, une référence de conversion de 2,5 V est choisie pour se placer dans un cas défavorable d'immunité. Le quantum de conversion se fixe alors à 2,44 mV. Les marges de tensions sont très faibles et, en fin de conversion, la plus grande marge sera de 2,44 mV.

Comme il est décrit dans le troisième chapitre, l'immunité dépend de la tension d'entrée V_{IN} . Cette tension doit être ajustée précisément au début de chaque mesure et doit être maintenue constante. Or elle doit présenter une précision supérieure au quantum soit au moins 1 mV. Même si un générateur continu est dédié à la tension d'entrée, il est difficile d'obtenir une telle précision en mesure en raison de dérives multiples dues à l'environnement (par exemple, une dérive liée à la température de la pièce).

La deuxième tension, nécessitant stabilité et précision, est la tension de référence de l'ADC (broche AREF). Cette tension est soumise aux mêmes contraintes que la tension d'entrée. En effet, AREF fixe la référence de conversion. Les générateurs utilisés pour la référence et la tension d'entrée étant indépendants, s'il y a une dérive de la tension de référence, mais que la tension V_{IN} reste fixe, le code résultat peut changer durant la mesure.

En raison d'une grande difficulté pour obtenir de la précision et de la stabilité pour ces deux tensions, je me suis intéressé à l'étude de l'impact de ces imprécisions sur l'immunité de l'ADC. Pour cela, je présente dans la partie suivante une étude détaillée de la répartition des résultats de conversions de l'ADC lorsque celui-ci est perturbé.

III. RESULTATS DE MESURE

Ce paragraphe rassemble les principaux résultats de mesure de l'immunité de l'ADC. Je présente en premier lieu une étude permettant de démontrer que les résultats d'immunité ne sont pas influencés par la précision de la tension à convertir (V_{IN}). Je présente ensuite les résultats de mesure en utilisant la procédure de test du standard DPI, puis en utilisant la méthode de mesure améliorée, présentée précédemment.

III.1 Etude de répartition des résultats corrompus

L'influence de la précision de la tension V_{IN} sur l'immunité a été étudiée en considérant les deux cas suivants : une tension V_{IN} donnant un résultat de conversion entier et une tension V_{IN} donnant un résultat non entier, c'est-à-dire à cheval entre deux résultats entiers. La comparaison des deux situations permet d'estimer la dépendance de l'immunité à la précision de V_{IN} .

III.1.1. Résultat à valeur entière

Pour cette première étude, une tension à convertir égale à 1,206 V et une référence de 2,5 V sont choisies. Le quantum est alors égal à 2,44 mV et le code résultat attendu est $(494)_{10}$. Afin d'étudier la dispersion des résultats et, sachant que le mécanisme d'erreur est aléatoire, j'ai choisi d'effectuer 500 conversions et ce pour huit tensions de perturbation appliquées à la référence. Il est possible alors d'observer la répartition des erreurs de conversions selon l'amplitude de perturbation. La Figure 95 illustre la distribution des résultats de conversions.

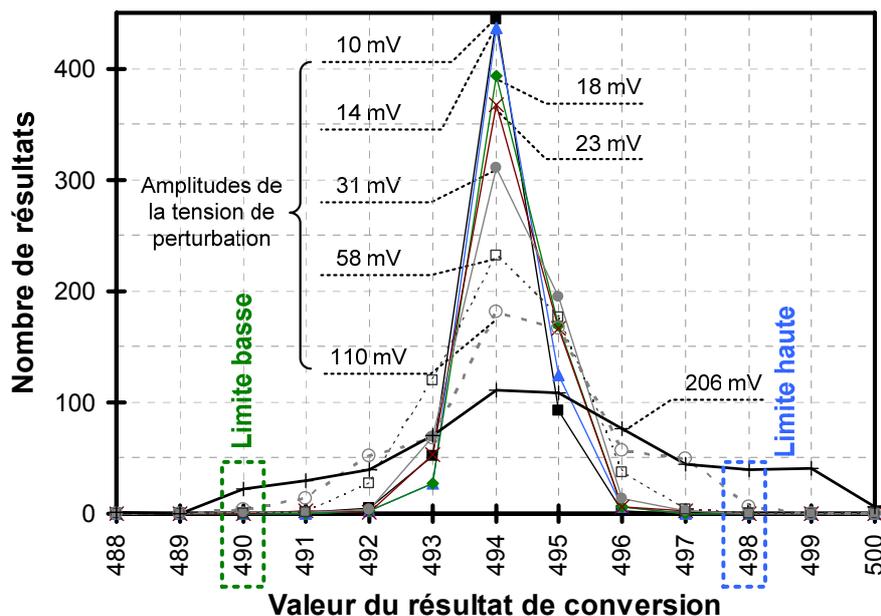


Figure 95. Répartition du code résultat

L'analyse des résultats met en évidence une loi de type Gaussienne centrée sur le résultat sans perturbation $(494)_{10}$. Plus le niveau de perturbation est élevé, plus les courbes s'écrasent. Nous observons alors une augmentation des résultats erronés. Les courbes conservent une loi gaussienne pour les plus fortes perturbations (par exemple, 206 mV) mais la courbe se décentre du résultat attendu (la moyenne passe de $(494)_{10}$ à $(494,5)_{10}$ pour 206mV de perturbation). Ceci peut être expliqué par un déséquilibre de la paire différentielle d'entrée du comparateur. Des travaux menés par Franco Fiori [12] [54] ont démontré que la paire différentielle de l'amplificateur opérationnel se déséquilibre sous l'influence de perturbations. Cela est observé par le décalage de la valeur moyenne de conversion pour la plus forte tension de perturbation.

Pour finir, un critère d'immunité de quatre LSB est retenu pour la comparaison du paragraphe III.1.3 car il caractérise une erreur localisée précisément à l'étape huit. Les résultats

considérés comme erronés seront alors en dehors de la fourchette $(490)_{10} - (498)_{10}$, comme illustré sur la Figure 95.

III.1.2. Résultat à valeur non entière

Dans un deuxième temps, je propose d'étudier la répartition de l'erreur pour un résultat non entier. En effet, si la tension V_{IN} est ajustée précisément à 1,207 V, le résultat de conversion attendu est exactement entre les résultats $(494)_{10}$ et $(495)_{10}$.

Comme précédemment, 500 conversions sont réalisées pour huit tensions de perturbation.

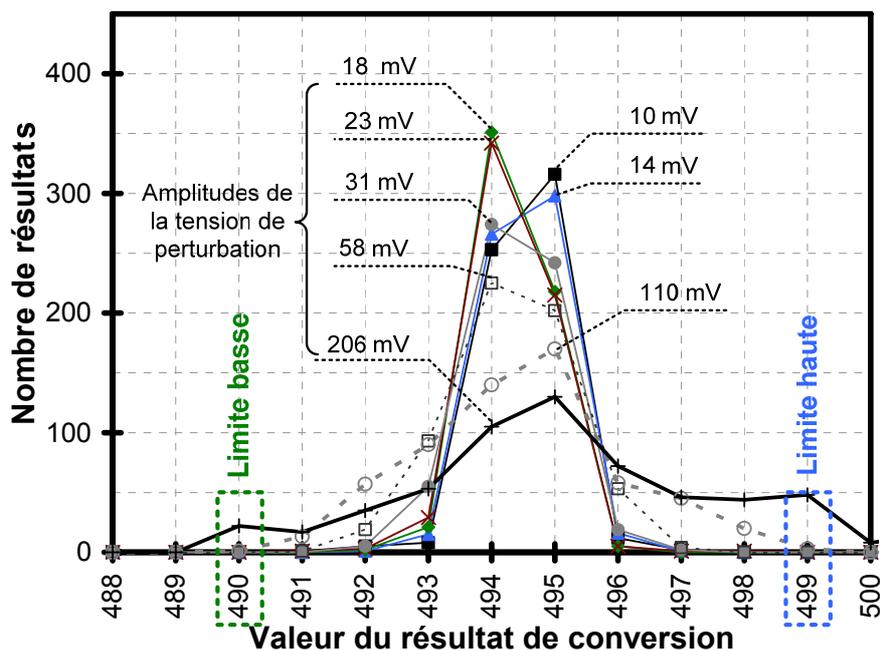


Figure 96. Répartition code intermédiaire

Une loi gaussienne centrée sur $(494,5)_{10}$ est également observée sur les résultats de la Figure 96. Comme pour le cas précédent, une dérive du centre de la gaussienne apparaît pour de fortes tensions de perturbation.

III.1.3. Influence du centrage sur la mesure

Pour déterminer l'influence de la précision de V_{IN} sur le nombre de résultats faux et donc sur les résultats d'immunité, je propose maintenant de comparer la densité de résultats erronés pour les résultats centrés et décentrés présentés précédemment.

Je considère alors une erreur maximale fixée à 4 LSB par rapport au centre de la gaussienne. Pour le cas centré, les résultats non compris dans l'intervalle $(490)_{10}$ et $(498)_{10}$ seront comptabilisés comme faux (limites repérées sur la Figure 95). Pour le cas non centré, les

codes compris entre $(490)_{10}$ et $(499)_{10}$ seront retenus comme erronés (limites repérées sur la Figure 96).

La Figure 97 fait apparaître le nombre de résultats hors gabarit en fonction de la tension de perturbation. Les courbes sont paramétrées selon la limite de l'intervalle de tolérance, haute ou basse, et selon le cas centré ou décentré.

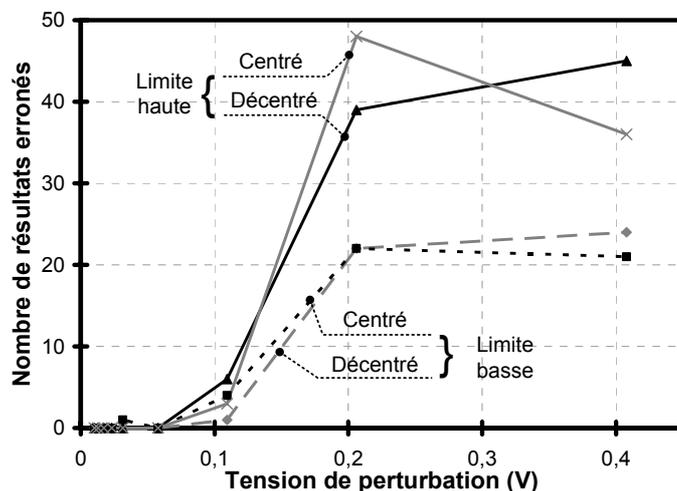


Figure 97. Densité de résultats erronés pour les cas décentré et centré

L'analyse des résultats de la Figure 97 met en évidence les deux points suivants. Tout d'abord, la précision de V_{IN} influe très peu sur le nombre de résultats faux (inférieur à 10 % du nombre total de résultats de conversion) que l'on relèvera en mesure. En effet, en limite basse comme en limite haute, le nombre de résultats erronés est sensiblement le même dans les deux cas de centrage. Ceci est satisfaisant car avec un quantum de 2,44 mV, il est très difficile de maîtriser une tension DC avec une précision de 1 mV, au minimum, dans l'environnement de manipulation.

Le deuxième point concerne le nombre de résultats erronés. Celui-ci est plus important pour la limite haute que pour la limite basse et ce, pour de fortes tensions de perturbation (de l'ordre de 200mV). Cette observation confirme le fait que la paire différentielle du comparateur est déséquilibrée. En conclusion, pour des critères supérieurs à 16 LSB, correspondant à de fortes tensions de perturbation, nous obtenons plus de résultats erronés en limite haute.

III.2 Résultats de mesure de l'immunité de l'ADC

La faible influence de la précision de la tension V_{IN} sur les résultats d'immunité étant établie, je présente dans cette partie les principaux résultats d'immunité mesurés sur l'ADC. Dans un premier temps, l'immunité de l'ADC est considérée lorsque la broche AREF est agressée.

Une procédure de test utilisant une injection directe, inspirée de la norme DPI, est adoptée pour le premier résultat, tandis que la méthode de mesure améliorée est utilisée pour le deuxième résultat.

III.2.1. Mesure en injection directe

Les résultats de la modélisation ICIM-CI (voir chapitre trois, Figure 81 page 122) ont permis de mettre en évidence un cas critique d'immunité lorsque la tension à convertir est proche de la référence AREF (2,5 V). Aussi la première série de mesures a été conduite pour une tension VIN égale à 2,4 V. Quatre critères d'immunité (4, 8, 16 et 32 LSB) sont considérés sur la bande passante [10 kHz à 100 MHz]. Nous visualisons ces résultats sur la Figure 98.

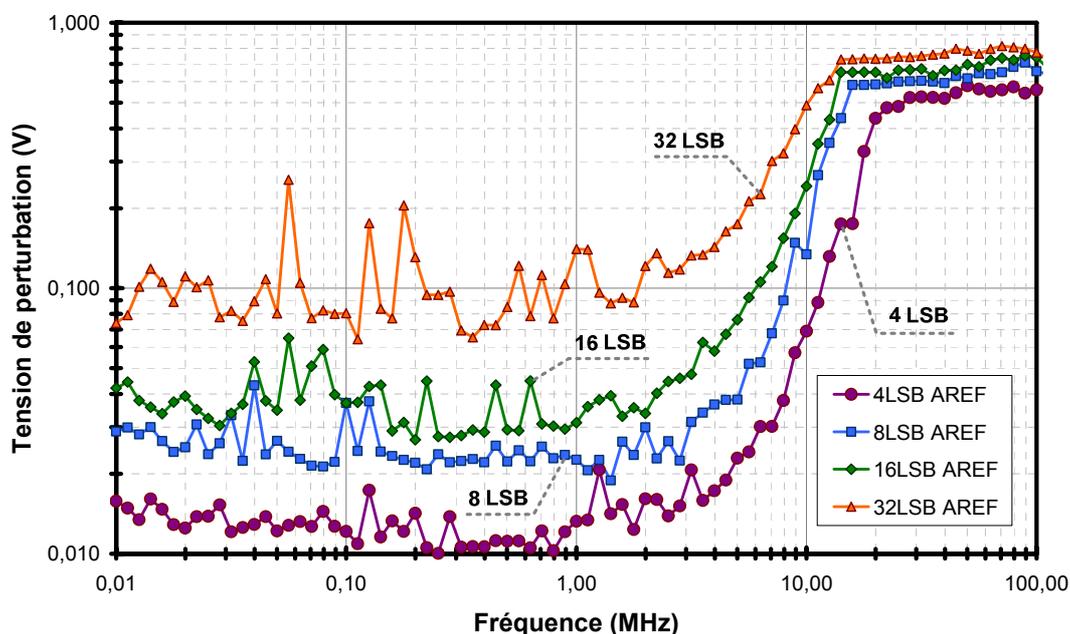


Figure 98. Résultats de mesure de l'immunité avec la méthode DPI

Les résultats font apparaître logiquement un accroissement de l'immunité pour une augmentation du nombre de LSB perdus (4, 8, 16 ou 32 LSB). Les quatre courbes sont bien distinctes ce qui prouve que le niveau d'immunité de l'ADC dépend bien d'une erreur de comparaison.

Ces premières mesures montrent que l'ADC présente une forte immunité pour les hautes fréquences. Une élévation de celle-ci est observée sur toutes les courbes pour la décade 1 MHz – 10 MHz. Des perturbations très importantes, de l'ordre de 500 mV, au-delà de 10 MHz, sont nécessaires pour perdre de la précision. Si nous nous remémorons les allures des fonctions de transfert des chemins de couplage, le modèle annonçait des gains de couplage de l'ordre de -60 dB, au delà de 20 MHz, pour les dernières étapes (voir Figure 66,

page 102). Ces très faibles couplages expliquent les niveaux d'immunité importants mesurés au-delà de 10 MHz.

Le niveau d'immunité est faible pour les basses fréquences puisque seulement 10 mV sont requis pour perdre 4 LSB tandis que 30 mV sont nécessaires pour engendrer la perte de 16 LSB. Dans ce dernier cas, l'ADC présente une précision de seulement 5 bits car seules les comparaisons avant l'étape 6 sont correctes : si le critère est faible (4 LSB), l'erreur de comparaison se produit à une étape proche de la fin de la phase de conversion (étape 8).

Ainsi, en choisissant ces quatre critères, l'étape erronée est donnée par le tableau de la Figure 99.

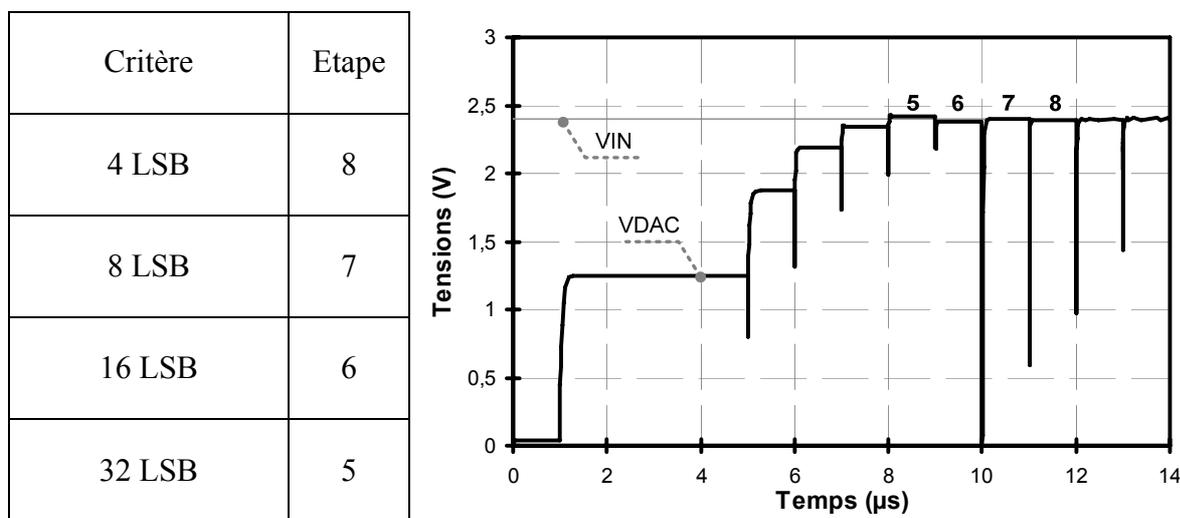


Figure 99. Etape erronée et critère correspondant

Pour finir, nous observons une imprécision de mesure pour certains points. Pour la courbe 32 LSB, aux alentours de 60 kHz, nous observons une erreur maximale de 150 mV par rapport aux points voisins, qui sont autour de 100 mV. Même si nous observons assez bien la tendance de la courbe, il est possible de corriger ces erreurs en augmentant le nombre de points de puissance ou en utilisant la mesure optimisée présentée au paragraphe II.2, page 138.

III.2.2. Utilisation de la technique de mesure optimisée

La méthode de mesure présentée au paragraphe II.2, page 138, est implantée dans le programme matlab pilotant le banc de test. Dans les conditions d'optimisation précédemment décrites, une précision maximale d'un quart de dBm, pour la puissance de générateur, est obtenue.

Une tension d'entrée de 1,25 V est choisie. La bande passante est élargie en ajoutant la décade 1 kHz – 10 kHz. Cette extension a pour but de visualiser le comportement particulier de l'immunité aux basses fréquences, prédit par le modèle pour cette valeur particulière de VIN (proche de la moitié de la référence AREF, voir la Figure 81, page 122). L'immunité de l'ADC est mesurée pour trois critères d'immunité : 4, 8 et 16 LSB.

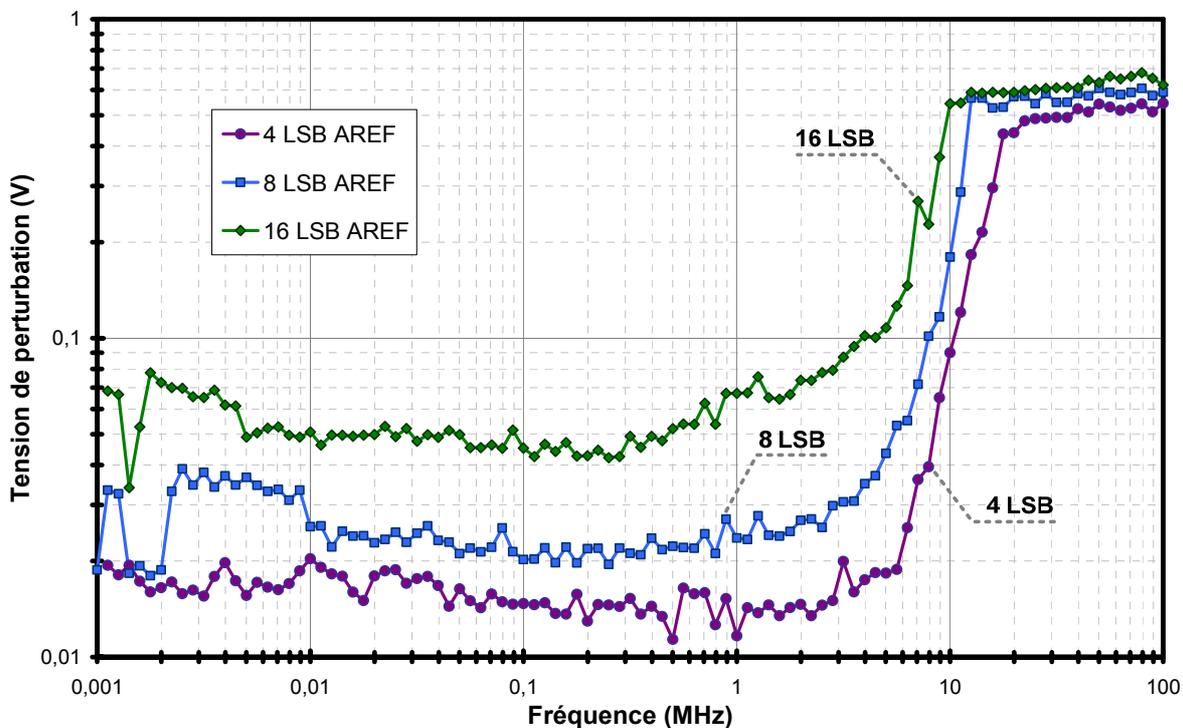


Figure 100. Résultats de mesure de l'immunité par dichotomie

Une décroissance du niveau d'immunité est observée entre 1 kHz et 6 kHz. Ensuite, entre 6 kHz et 3 MHz, les courbes présentent une zone de faiblesse. L'immunité la plus faible est obtenue pour des fréquences autour de 300 kHz avec une moyenne d'environ 15 mV et ce pour 4 LSB d'imprécision. Pour des fréquences au-delà de 6 MHz, nous constatons les mêmes profils d'immunité que pour la mesure précédente. La croissance de l'immunité est toujours localisée dans la décade 1 MHz – 10 MHz.

En ce qui concerne l'amélioration du banc, la mesure optimisée permet d'obtenir des courbes d'immunité plus lisses et les écarts d'amplitude entre points sont fortement réduits. De plus, le temps de mesure est amélioré de 20 % environ par rapport au temps nécessaire pour la mesure sans amélioration. Ainsi, cette technique a permis d'optimiser la précision tout en économisant le temps de mesure.

IV. CONFRONTATION DU MODELE ET DE LA MESURE

J'ai présenté dans la partie précédente les principaux résultats de mesure. Afin de confronter les résultats du modèle à ceux de la mesure, le modèle ICIM-CI doit être complété par le bloc décrivant le boîtier. En effet, lorsque l'immunité de l'ADC est mesurée, la perturbation est d'origine externe au circuit. Il faut alors prendre en compte l'effet du boîtier sur l'immunité de l'ADC.

Dans le paragraphe suivant, l'immunité interne est d'abord comparée aux mesures. Le modèle est ensuite corrigé en deux temps : le modèle des chemins de couplage est d'abord amélioré (certains circuits n'ayant pas été pris en compte dans sa version initiale), puis le modèle de boîtier est ajouté.

IV.1 Finalisation du modèle

Une première comparaison est faite entre une courbe d'immunité issue de la mesure, pour une imprécision de 4 LSB, et une courbe issue du modèle, caractérisant l'étape huit de la phase de conversion. Pour rappel, une imprécision d'au moins 4 LSB sur le résultat de conversion correspond à une erreur de comparaison à l'étape huit de la phase de conversion.

Nous comparons la courbe « modèle ICIM-CI » à la courbe « mesure 4 LSB » de la Figure 101.

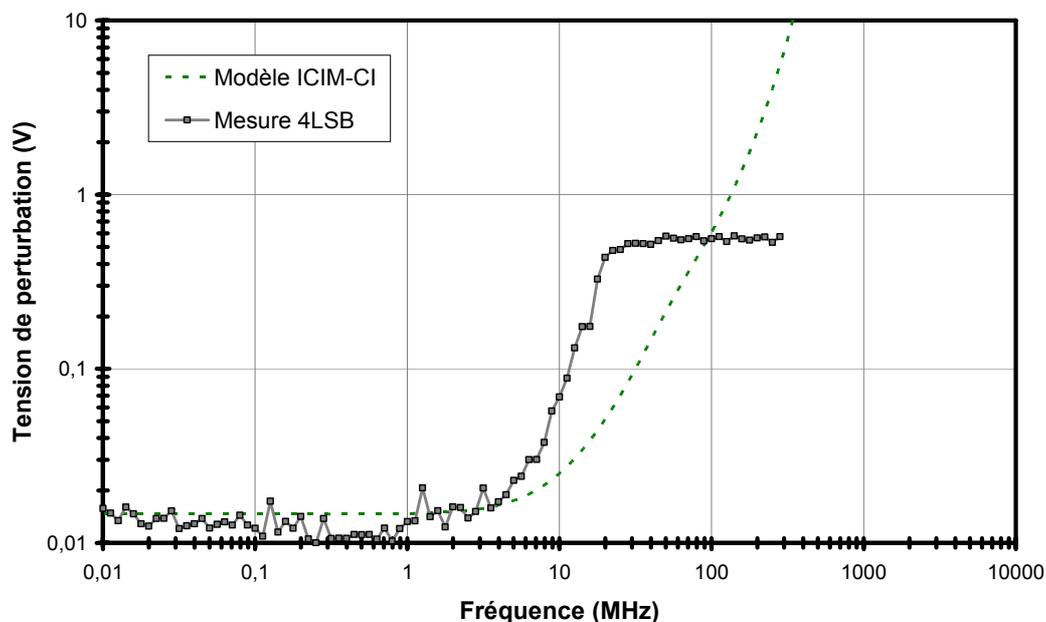


Figure 101. Comparaison de l'immunité du modèle actuel et de la mesure

Nous observons que le modèle présente des lacunes pour prédire la remontée d'immunité entre 7 MHz et 40 MHz.

Pour obtenir les meilleurs résultats possibles, deux améliorations, que je présente dans les paragraphes suivants, sont apportées au modèle. La première amélioration concerne le modèle des chemins de couplage puis, dans un deuxième temps, l'ajout du modèle du boîtier permettant de modéliser l'immunité externe qui correspond à la mesure.

Un retour sur l'étude du modèle proposé permet de localiser une imprécision au niveau de l'estimation des chemins de couplage. En effet, l'étude plus précise de l'ADC met en évidence deux éléments intervenant dans les chemins de couplage et non pris en compte jusque là dans le modèle. Il s'agit de l'impédance d'entrée du comparateur et de la capacité mémoire, stockant le VIN en phase de conversion.

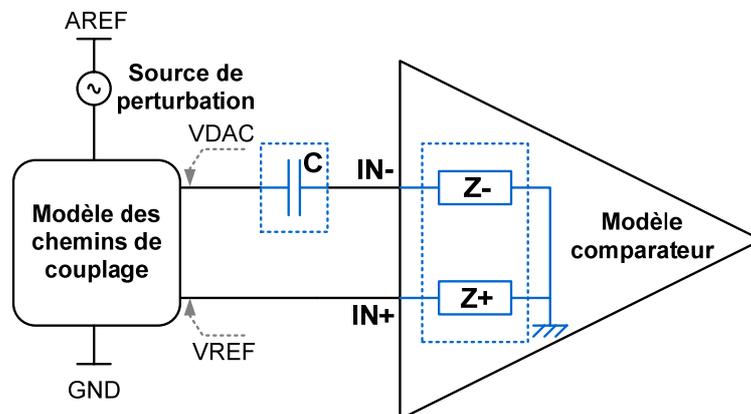


Figure 102. Amélioration du modèle

Dès lors, je propose de corriger le modèle en ajoutant le modèle de capacité mémoire et le modèle des impédances d'entrées du comparateur, représentés sur la Figure 102. La nouvelle courbe nommée « modèle des chemins de couplage corrigé » est maintenant comparée à la mesure sur la Figure 103. Nous observons une meilleure modélisation de la croissance de l'immunité. Cependant au delà de 70 MHz, l'immunité interne croît et tend vers l'infini. Pour améliorer aux hautes fréquences l'adéquation des résultats entre modèle et mesure, il convient maintenant d'ajouter le modèle du boîtier afin de déterminer l'immunité « externe » obtenue en mesure.

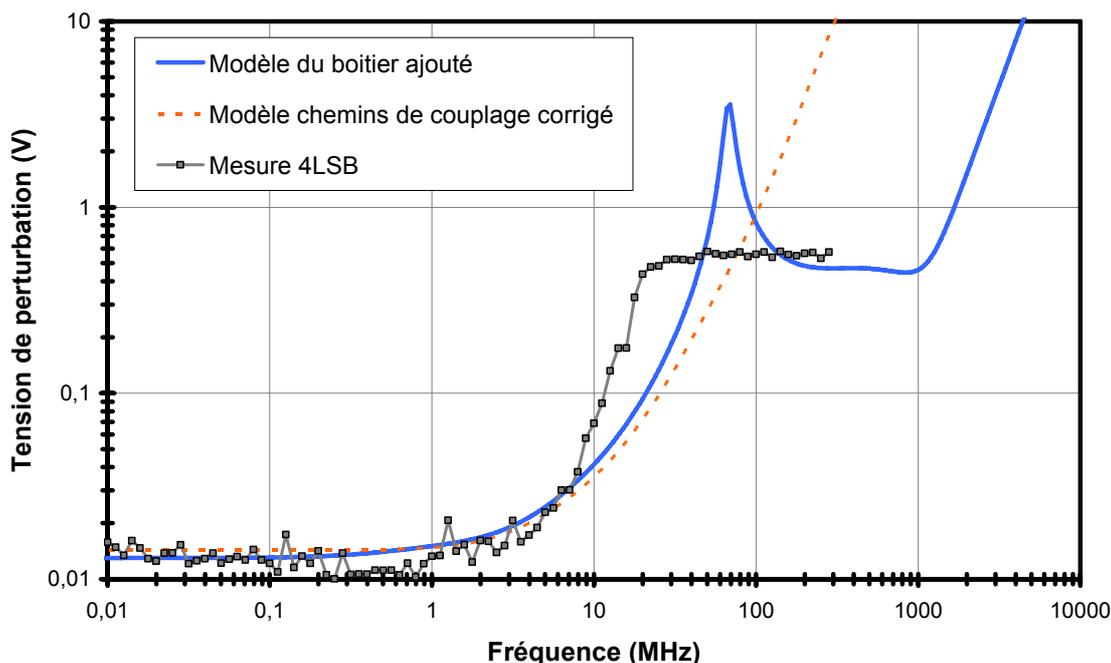


Figure 103. Correction et finalisation du modèle

Le microcontrôleur utilisé pour les mesures est encapsulé dans un boîtier SOIC24²² comportant vingt quatre broches. Les données fournies par ATMEL permettent de modéliser le boîtier par le schéma de la Figure 104. Nous prenons en compte l'effet inductif et résistif dû aux interconnexions ainsi que la résistance du rail de référence.

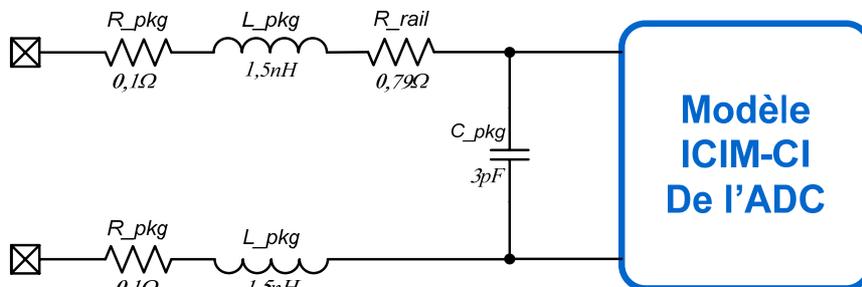


Figure 104. Modèle du boîtier du microcontrôleur

Nous comparons alors la dernière courbe nommée « Modèle du boîtier ajouté » de la Figure 103. Nous observons encore une amélioration pour la croissance de l'immunité localisée entre 7 MHz et 40 MHz.

Cependant, l'ajout du boîtier au modèle fait apparaître une surtension sur la courbe d'immunité à 70 MHz.

²² Small Outlines Integrated Circuit

Entre 100 MHz et 900 MHz, le niveau d'immunité est constant à environ 550 mV, correspondant à la mesure. A partir de 900 MHz, une nouvelle croissance de l'immunité est observée. Cependant, à de telles fréquences, nous ne pouvons plus comparer le modèle à la mesure car la limite du domaine de validité du modèle et de la simulation netlist du circuit est atteinte. En effet, les données technologiques fournies ne sont plus dans leur domaine de validité à de telles fréquences.

Malgré les optimisations proposées, un écart subsiste cependant entre modèle et mesure tout particulièrement dans la remontée d'immunité. Une étude encore plus poussée du circuit ADC permet de justifier cette différence. En effet, l'ADC partage certains nœuds avec les autres parties analogiques du microcontrôleur. Ainsi, la tension de référence « AREF » et la tension « VREF », utilisée par le comparateur de l'ADC, sont utilisées par un autre circuit DAC, indépendant de l'ADC, et par un ensemble de circuits comparateurs. Ces autres circuits présentent de nouvelles impédances connectées à ces nœuds. Cela a pour conséquence de modifier les chemins de couplage des perturbations vers l'ADC.

Cette constatation révèle une des difficultés majeures pour caractériser l'immunité des circuits intégrés complexes : l'intégration de multiples circuits sur le même substrat silicium engendre une modification importante des chemins de couplage. Cette analyse met ainsi en évidence les limitations intrinsèques de la modélisation, qui ne peut pas prendre en compte l'effet de tous les circuits analogiques voisins de l'ADC, en raison d'une forte difficulté pour simuler l'ensemble de ces circuits.

Pour conclure cette étude, nous pouvons retenir que le modèle final obtenu permet de modéliser assez fidèlement l'évolution de l'immunité. L'ajout du modèle de boîtier permet désormais d'estimer correctement la stabilisation de l'immunité à un niveau de 550 mV. Cependant, une description moins sommaire du boîtier serait nécessaire pour atténuer la surtension apparue à 70 MHz.

Enfin, cette étude montre qu'il est difficile de comparer modèle et mesure sur une large plage de fréquence en raison de problèmes liés à l'intégration de circuits sur le même substrat.

IV.2 Immunités de quatre étapes de conversion

Comme nous l'avons établi, le modèle amélioré précédemment permet d'évaluer l'immunité externe de l'ADC. Il est maintenant utilisé pour comparer l'immunité de plusieurs étapes de

conversion avec pour objectif de caractériser la précision effective du circuit selon le niveau des perturbations environnantes.

Afin de pouvoir comparer les résultats de modélisation à ceux de la mesure, une tension d'entrée V_{IN} de 2,4 V est maintenant choisie. Le modèle est alors paramétré pour évaluer l'immunité de la phase de conversion pour cette même tension d'entrée. Le modèle amélioré, présenté au paragraphe précédent, est utilisé afin d'obtenir les courbes d'immunité pour les quatre critères 4, 8, 16 et 32 LSB, comme les relevés de mesure de la Figure 98, page 144. Ces critères correspondent à des erreurs de comparaisons aux étapes respectives 8, 7, 6 et 5 de la phase de conversion. Nous comparons alors les résultats issus du modèle aux résultats de mesures sur les Figure 105 a, b, c et d.

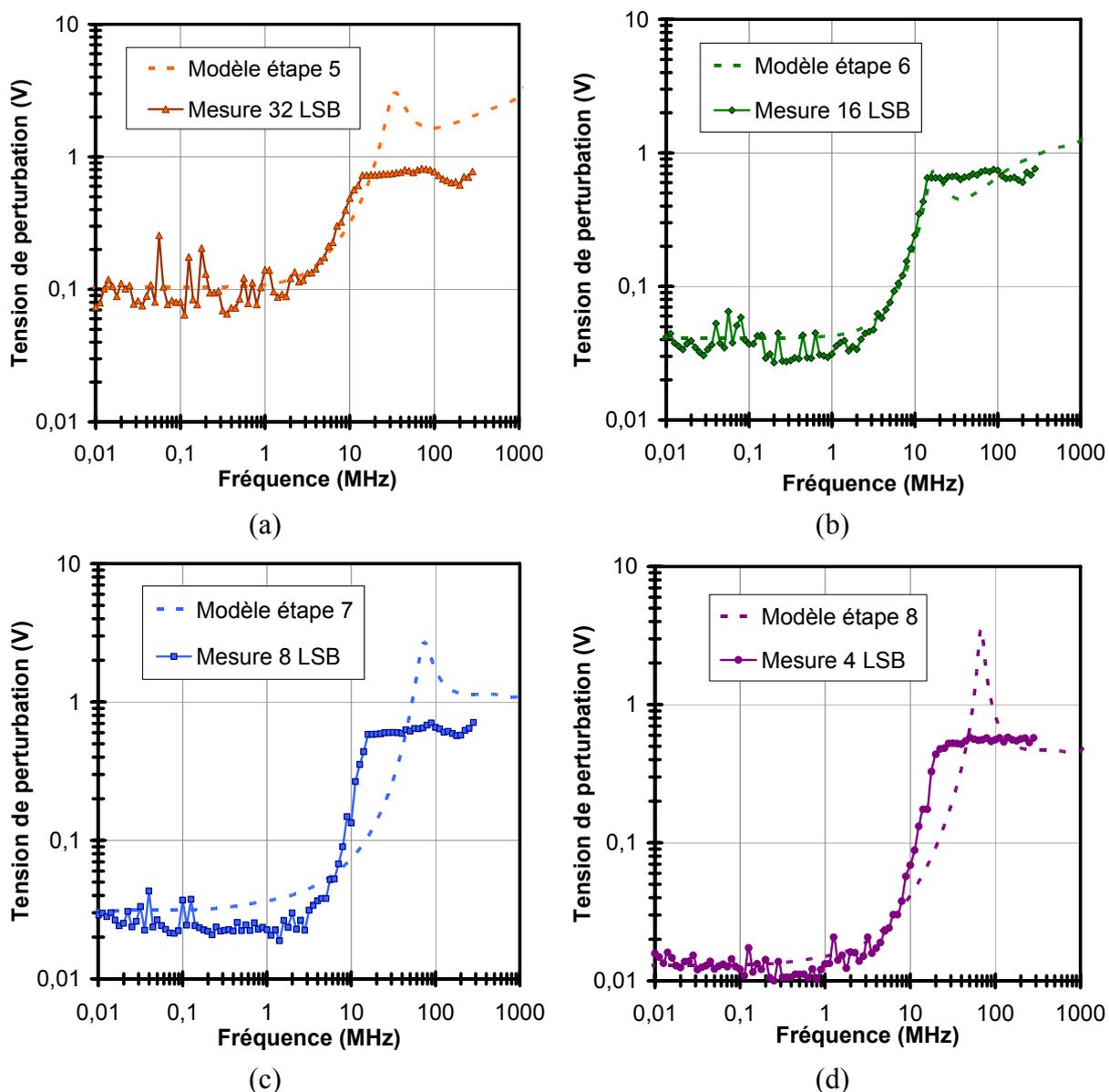


Figure 105. Résultats de mesure comparés au modèle

Nous observons que les niveaux d'immunité aux basses fréquences concordent bien pour toutes les étapes. Pour les étapes sept et huit, Figure 105 c et d, nous observons un domaine fréquentiel de validité limité à 8 MHz. Au-delà, la croissance de l'immunité présente une pente plus faible pour le modèle comparé à la mesure.

L'immunité de l'étape 6, issue du modèle, correspond très bien à la mesure (16 LSB, Figure 105 b). La croissance d'immunité est bien décrite et le domaine de validité est étendu jusqu'à 200 MHz. La courbe d'immunité pour l'étape 5 (Figure 105 a) correspond également au modèle jusqu'à une fréquence de 20 MHz.

Cette étude comparative permet de conclure que le modèle ICIM-CI de l'ADC fournit des résultats d'immunité convaincants. Les niveaux d'immunité pour des fréquences inférieures à 8 MHz correspondent bien à la mesure.

L'étude permet de souligner un des intérêts du modèle puisque celui-ci, malgré une relative imprécision au-delà de 8 MHz, peut être utilisé pour estimer le nombre de LSB perdus selon le niveau de perturbation présent dans l'environnement du circuit.

IV.3 Utilisation du modèle pour améliorer l'immunité

L'ensemble des résultats considérés jusque là, tant en simulation qu'en mesure, a concerné une situation défavorable car aucune protection n'a été prise pour améliorer l'immunité du circuit. Je propose dans ce paragraphe de vérifier le bon comportement du modèle lorsqu'une amélioration est apportée en utilisant un circuit de découplage.

Tout d'abord, le circuit de découplage est présenté. Ce circuit est pris en compte dans le modèle d'immunité et son effet est visualisé en simulation. Enfin, deux mesures sont effectuées afin de confirmer les résultats du modèle. Un simple filtre passe bas est placé au niveau de la référence de conversion de l'ADC (voir la Figure 106).

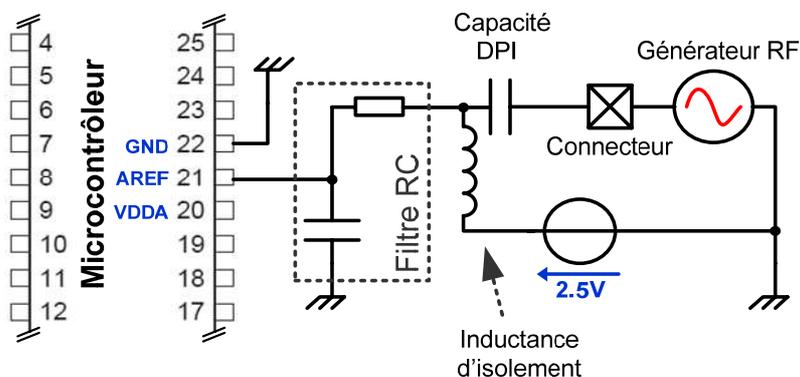


Figure 106. Etude d'un dispositif de protection

Le circuit filtre est composé d'une résistance de 33 Ω et d'un condensateur de 100 nF. Le filtre présente ainsi une fréquence de coupure de 48,3 kHz. Une alimentation continue, isolée de la perturbation par une inductance, est complètement dédiée à la référence de conversion. Enfin, la sonde permettant de relever la tension de perturbation est maintenant placée à l'entrée du filtre RC, entre la résistance et la capacité DPI. Le filtre a très peu d'influence sur le fonctionnement nominal de l'ADC. En effet, une imprécision de l'ordre de 1.2 mV –due à la résistance de 33 Ω du filtre) est introduite au niveau de la référence de conversion. Cette imprécision est ici inférieure au pas de quantification de l'ADC (2,44 mV).

Pour la suite de cette étude, nous proposons de vérifier l'effet du filtre sur l'immunité estimée par le modèle. Pour cela, nous modifions les conditions de simulation du modèle en y ajoutant les composants du filtre dans le fichier circuit. La simulation est alors lancée et nous nous intéressons à l'immunité de l'étape 8, correspondant à la perte de quatre LSB. L'immunité estimée par le modèle est représentée par la courbe « Modèle ICIM-CI » de la Figure 107 (sans la prise en compte du boîtier).

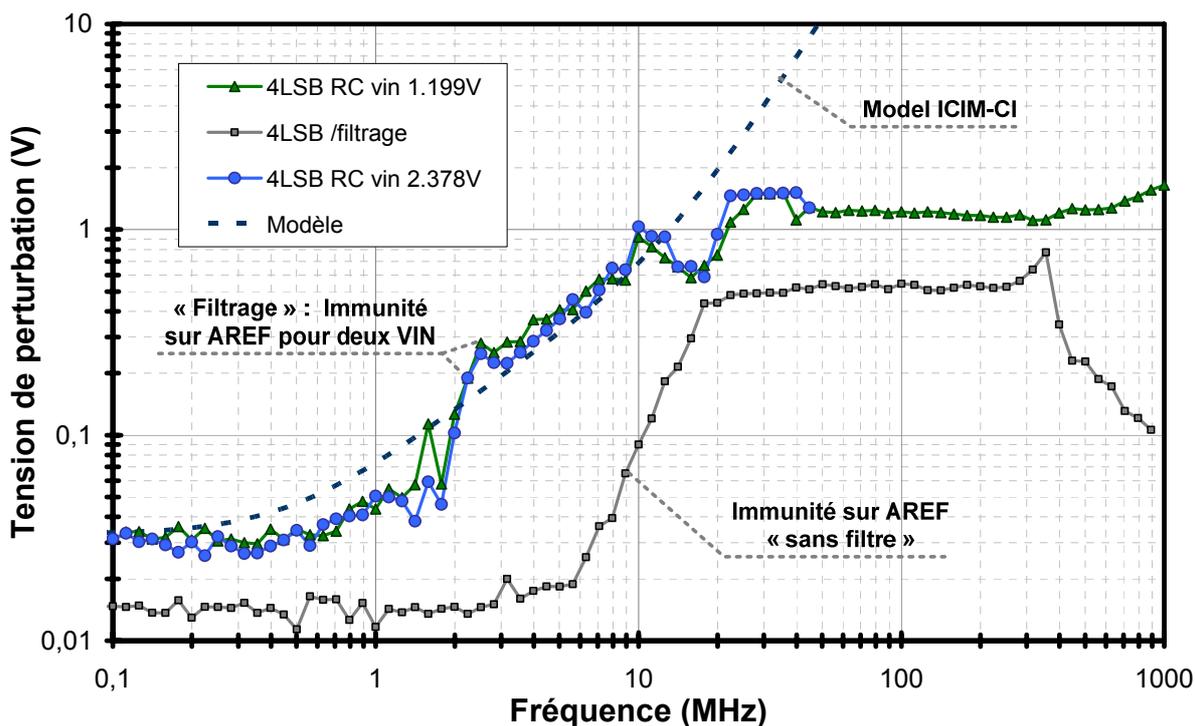


Figure 107. Mesure de l'immunité améliorée par le filtre

Le nouveau chemin d'injection est ensuite réalisé sur la carte. Deux mesures d'immunité sont alors lancées pour différentes tensions d'entrée. Nous choisissons un critère de quatre LSB pour ces mesures.

Une amélioration de l'immunité peut être observée en comparant la courbe nommée « sans filtre » et les deux courbes nommées « filtrage ». En effet, en basse fréquence, 30 mV sont maintenant nécessaires pour perdre quatre LSB, contre 10 mV sans optimisation. De plus, l'immunité croit maintenant à partir de 600 kHz au lieu de 6 MHz, et se stabilise à 1 volt au-delà de 20 MHz (contre 500 mV sans aucune optimisation). Nous observons bien l'effet du filtre sur les mesures d'immunité : le filtre a permis d'apporter plus de robustesse à l'ADC face aux perturbations.

Nous constatons une bonne concordance entre modèle et mesure. La croissance de l'immunité est décrite précisément et le niveau d'immunité aux basses fréquences est correct. Le pire cas d'immunité, entre 100 kHz et 20 MHz, est précisément modélisé. Cependant pour des fréquences au-delà de 20 MHz, le modèle ne permet pas d'évaluer la stabilisation de l'immunité à 1 V. Pour ces fréquences, un très fort niveau de perturbation, de 1 V, est rencontré très rarement pour un circuit fonctionnant sous une tension d'alimentation de 2,5 V.

Cette étude a permis de montrer que les améliorations apportées au circuit sont correctement prises en compte par le modèle et la mesure. Dès lors, il est possible d'utiliser le modèle ICIM-CI de l'ADC pour optimiser l'immunité et dimensionner précisément le découplage selon les perturbations présentes dans l'environnement du circuit. Ces tests peuvent être réalisés par l'utilisateur final du composant avant la construction de la carte utilisant le microcontrôleur.

IV.4 Conclusion

La confrontation des résultats de mesure aux résultats du modèle permet d'estimer la fidélité de prédiction de l'immunité. Un écart important pour la croissance de l'immunité a d'abord été constaté. Le modèle a été corrigé pour réduire cet écart sans pour autant l'éliminer totalement. L'étude poussée de la partie analogique du microcontrôleur a montré qu'un certain nombre de nœuds électriques du circuit ADC sont réutilisés par les circuits analogiques voisins. Il en résulte une modification des chemins de couplage. Nous nous confrontons alors à un degré de complexité important car nous ne pouvons modéliser tous les circuits de la partie analogique.

En ce qui concerne le modèle, les qualités suivantes ont été validées :

- Il est possible de tester l'immunité de chaque étape de conversion.

- Le modèle est suffisamment précis pour les niveaux d'immunité aux basses fréquences, qui sont souvent des cas critiques.
- Il est possible de prendre en compte des problèmes d'immunité avant de construire la carte électronique utilisant le microcontrôleur. Des solutions d'amélioration peuvent être testées par l'utilisateur du circuit grâce au modèle ICIM-CI de l'ADC.

V. AMELIORATION DU MODELE

Les résultats présentés précédemment considèrent une source de perturbation localisée précisément sur la référence de conversion de l'ADC. Cependant, le circuit utilise aussi l'alimentation dédiée aux parties analogiques « VDDA ». Aussi, je me suis intéressé à l'étude de l'immunité au regard des perturbations injectées sur cette autre broche. Cette étude doit permettre de déterminer la sensibilité relative des deux accès AREF et VDDA en termes d'immunité et dans quelles bandes de fréquence.

V.1 Résultats de mesure

Pour mener à bien cette étude, j'ai modifié la carte de test, pour permettre l'injection de perturbations sur l'alimentation VDDA, en ajoutant une capacité DPI et un connecteur H.F.L. La Figure 108 présente le nouveau schéma d'injection et la photo de la modification de la carte. Désormais, il est possible de choisir d'injecter la perturbation sur l'une des deux alimentations. Deux générateurs de tension continue sont maintenant requis pour fournir d'une part la tension de référence, exempte de perturbation, et d'autre part la tension d'alimentation « VDDA » sur laquelle est injectée la perturbation.

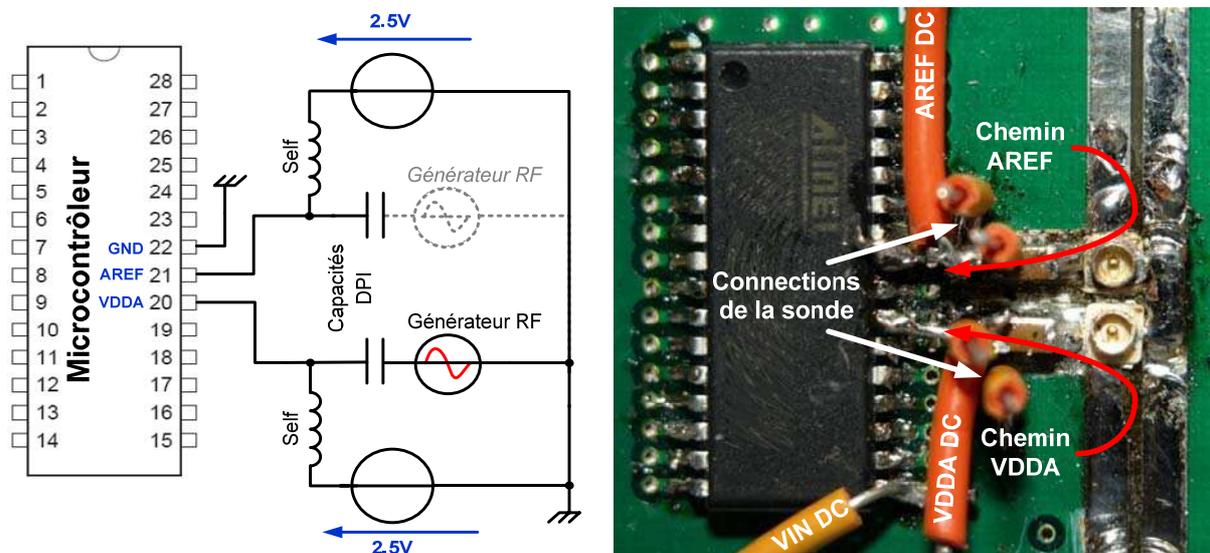


Figure 108. Modification de la carte pour tester la broche VDDA

Pour cette série de tests, une tension V_{IN} égale à 1,25V est conservée. Trois séries de mesure sont réalisées en adoptant les critères de susceptibilité suivants : 4, 6 et 8 LSB.

Une mesure rapide montre d'une part que la puissance de générateur doit être plus importante sur VDDA que sur AREF pour atteindre le critère d'immunité et d'autre part, qu'un critère important comme 16 LSB est rarement atteint car le générateur fournit sa puissance maximale. Dans ce cas, la tension de perturbation dépasse souvent 1,5 V. De telles tensions de perturbation étant irréalistes pour un circuit devant fonctionner sous 2,5 V, nous limitons notre étude aux trois précédents critères qui nécessitent des tensions moindres.

Nous nous intéressons à trois décades de fréquence partant de 100 kHz jusqu'à 100 MHz. En dehors de cette bande, le critère d'immunité n'est pas atteint avec la puissance maximale du générateur.

Les trois séries de mesures sont présentées sur la Figure 109.

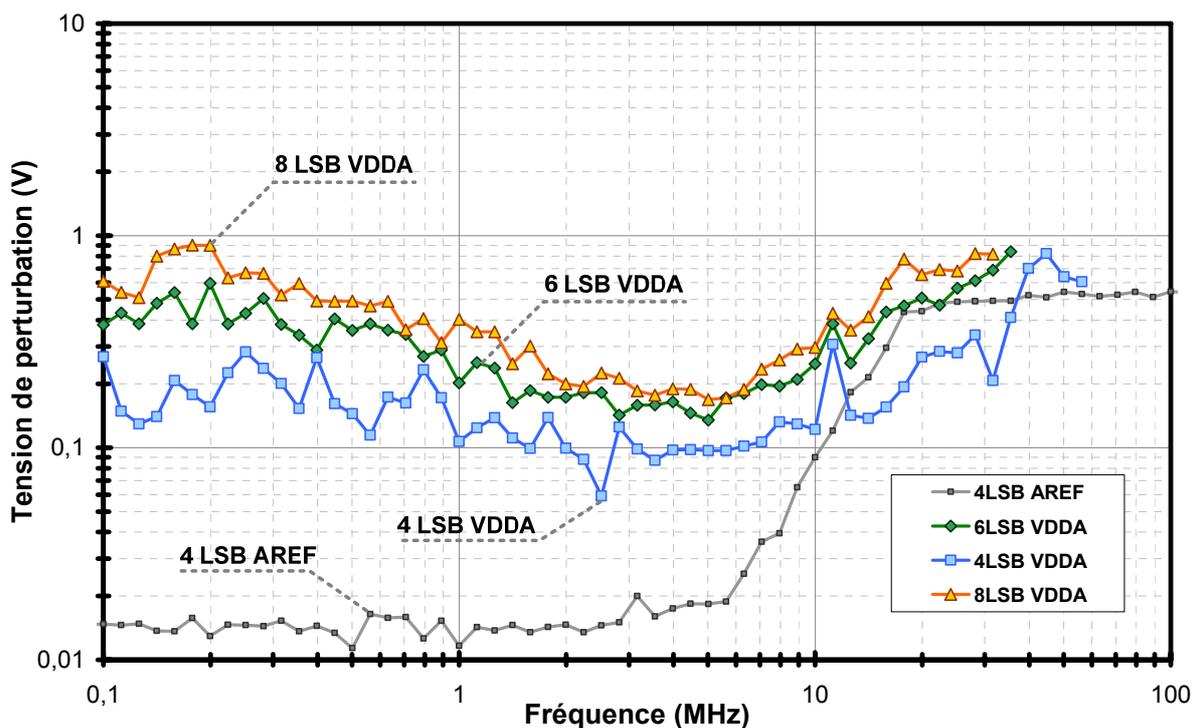


Figure 109. Résultats d'immunité de la broche VDDA

Nous comparons les niveaux de ces trois courbes au niveau d'immunité mesuré lorsque la référence AREF est perturbée et ce, pour 4 LSB. L'immunité de l'ADC, en agressant la broche VDDA, est nettement meilleure. Des niveaux de l'ordre de 100 mV entre 1 MHz et 7 MHz sont nécessaires pour perdre 4 LSB sur le résultat, au lieu de 12 mV pour la référence AREF. Cette meilleure immunité peut être expliquée en analysant le schéma électrique de

l'ADC. Il n'existe pas de lien direct entre cette alimentation et les deux entrées du comparateur. Les perturbations provenant de VDDA sont transmises à l'alimentation du circuit comparateur. Il s'agit alors d'un couplage de perturbations en mode commun et le circuit est alors moins sensible.

Nous observons que les courbes présentent des niveaux d'immunité d'autant plus importants que le nombre de LSB perdu est élevé. Cette constatation permet de dire que le mécanisme d'erreur est toujours localisé au niveau du comparateur. Il y a toujours des erreurs de comparaisons à différentes étapes de la phase de conversion. Cette constatation permet de mettre en évidence de nouveaux chemins de couplages liant l'alimentation VDDA aux nœuds sensibles du comparateur.

V.2 Prise en compte de la broche VDDA dans le modèle

Je propose dès lors de perfectionner le modèle ICIM-CI de l'ADC en prenant en compte l'immunité quand la broche VDDA est perturbée. Nous pouvons alors considérer la nouvelle version du modèle ICIM-CI de l'ADC selon la Figure 110.

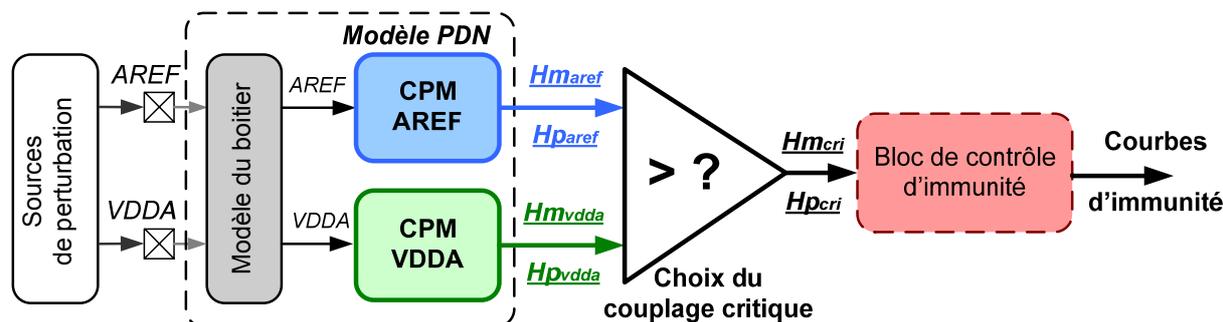


Figure 110. Nouvelle topologie du modèle des chemins de couplage

Les chemins de couplage liant l'alimentation VDDA aux entrées du comparateur sont estimés dans le nouveau bloc des chemins de couplage « CPM²³ VDDA ».

Dans le cas de l'étude de l'ADC, les chemins de couplage depuis VDDA présentent des gains bien moins importants que les chemins de couplage depuis l'AREF en basse fréquence.

Nous implantons cette méthode pour compléter la courbe d'immunité sur la bande 12 MHz – 38MHz car l'ADC est plus sensible aux perturbations de l'alimentation VDDA sur ce

²³ CPM : Coupling path model, "modèle des chemins de couplage"

domaine de fréquence (selon les résultats « 4 LSB AREF » et « 4 LSB VDDA » de la Figure 109).

Le nouveau modèle permet d'extraire les courbes d'immunité de la Figure 111. De la même manière que pour l'immunité depuis la broche AREF, nous observons un décalage fréquentiel de la courbe modélisant l'immunité depuis la broche VDDA par rapport à la mesure (courbes « modèle VDDA » et « mesure VDDA »). Les niveaux de perturbation suivent tout de même le même ordre de grandeur entre modèle et mesure.

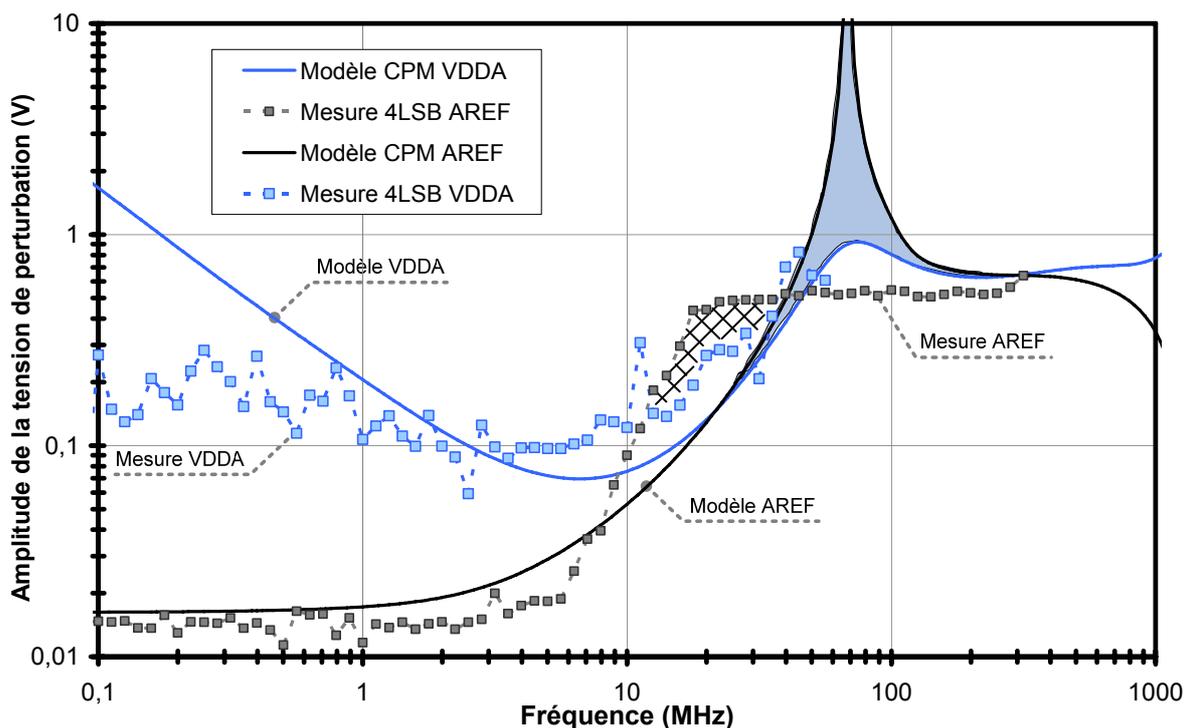


Figure 111. Nouveau modèle ICIM-CI complété par VDDA

Un nouveau bloc permettant de choisir le chemin critique (présentant le gain maximum) peut être ajouté au modèle. Ainsi, si le chemin de couplage depuis l'alimentation VDDA présente un gain plus grand que celui depuis l'AREF, le bloc de contrôle de l'immunité utilise le chemin critique de l'alimentation VDDA. Le bloc permettant le choix du couplage critique permet alors d'évaluer l'immunité critique de l'ADC quelque soit la source de perturbation. Le pire cas est retenu et le nouveau résultat d'immunité retranche la zone grisée de la Figure 111. Cette zone est aussi observée en mesure (zone rayée sur la même figure) mais présente aussi un décalage fréquentiel. Nous obtenons alors les deux nouvelles courbes de la Figure 112 caractérisant l'immunité de l'ADC au regard des perturbations de VDDA et de la référence.

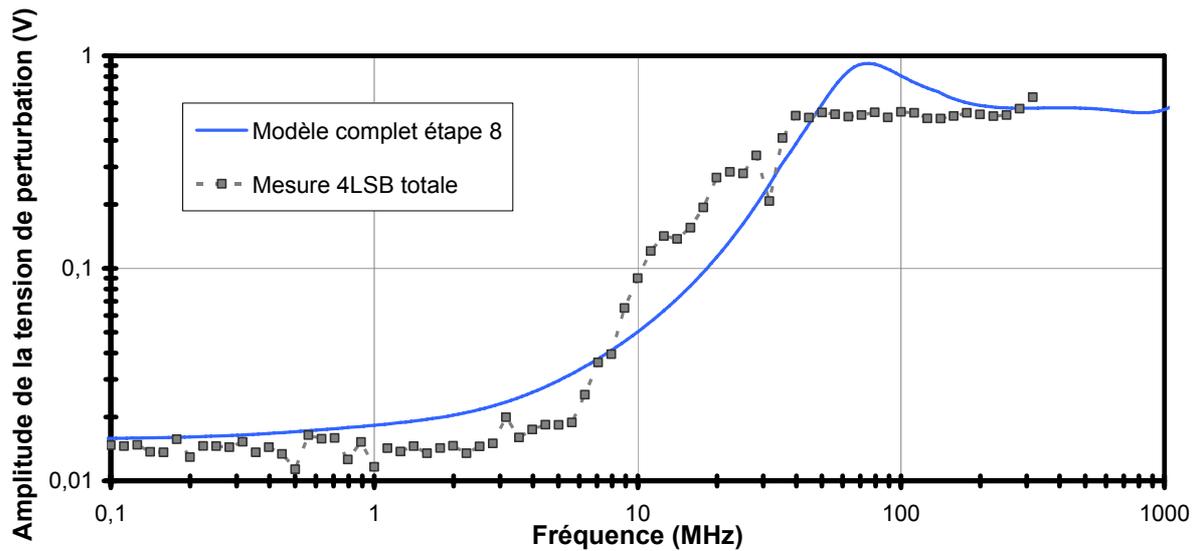


Figure 112. Immunité complète de l'ADC au regard de l'alimentation et de la référence

Le modèle décrit plus fidèlement l'immunité observée en mesure. Un écart fréquentiel persiste et reste sans doute lié à l'environnement électronique du circuit ADC.

La nouvelle structure du modèle ICIM-CI de l'ADC permet de caractériser plus précisément l'immunité du circuit. Celle-ci est décrite depuis plusieurs broches pouvant être source de perturbation. Le nouveau modèle donne alors une vision globale de l'immunité de l'ADC suivant la broche la plus sensible.

VI. CONCLUSION

J'ai rassemblé dans ce chapitre les principaux résultats d'immunité du circuit ADC. Un banc de mesure adapté au circuit a été développé pour tester l'immunité de l'ADC avec pour critère le résultat numérique de conversion. Le banc de mesure injecte une tension de perturbation car, comme il a été montré dans le troisième chapitre, le comparateur de l'ADC est sensible aux variations de tension. J'ai ensuite présenté une technique d'amélioration de la mesure et un gain net de précision combiné à un meilleur temps de mesure a été observé.

Les principaux résultats d'immunité, sans protection, ont montré des faiblesses en basse fréquence lorsque la référence est perturbée. Une imprécision demeure à plus haute fréquence lorsque l'on compare le modèle et la mesure malgré plusieurs optimisations.

Il ressort de ces études une difficulté importante pour caractériser l'immunité d'un circuit complexe lorsque celui-ci est embarqué avec d'autres circuits. Les améliorations du modèle ont permis aussi de vérifier l'effet de circuit de protection comme le filtre passe bas confirmé par la mesure. Le modèle peut donc permettre de dimensionner précisément le découplage de l'ADC afin d'améliorer l'immunité. Le modèle a encore été perfectionné pour prendre en compte les problèmes d'immunité liés à la seconde broche d'alimentation du circuit. Au final la nouvelle structure de modèle ICIM-CI, que je propose, permet d'estimer les résultats d'immunité globaux de l'ADC avec une bonne précision.

CHAPITRE 5 - ETUDES COMPLEMENTAIRES ET PERSPECTIVES POUR LA DEMARCHE ICIM-CI

I.	ETUDE D'UN COUPLE SOURCE – VICTIME	163
I.1	PRESENTATION DU MODELE ICEM-CE DU CŒUR NUMERIQUE DU MICROCONTROLEUR	163
I.2	ESTIMATION DE L'EMISSIVITE DU CŒUR	164
I.3	SIMULATION DU COUPLE SOURCE – VICTIME DU MICROCONTROLEUR	165
I.4	CONCLUSION	167
II.	ETUDE PRELIMINAIRE POUR L'APPLICATION DE LA DEMARCHE ICIM-CI A UNE PLL	167
II.1	DEMARCHE POUR APPLIQUER ICIM A LA PLL	168
II.2	ETUDE DE LA PLL	170
II.3	MODELISATION DE LA FONCTION	172
II.4	PERSPECTIVES POUR LE MODELE DES CHEMINS DE COUPLAGE	174
II.5	CONCLUSION	176
III.	PROPOSITIONS POUR COMPLETER LA NORME ICIM-CI	176
III.1	BILAN SUR LA DEMARCHE ICIM-CI	176
III.2	BLOC STATISTIQUE	177
IV.	CONCLUSION	179

INTRODUCTION

Au cours des chapitres précédents, j'ai présenté une méthodologie permettant de concevoir le modèle d'immunité d'un circuit convertisseur analogique – numérique. La démarche ICIM-CI qui a été utilisée s'est révélée bien adaptée pour décrire l'immunité de ce circuit. Une grande partie des résultats de modélisation ont été validés en confrontant ceux-ci à des mesures sur circuit. Des études d'immunité externe ont été menées car la perturbation était placée à l'extérieur du composant.

Dans ce dernier chapitre, je propose des études complémentaires afin d'ouvrir un certain nombre de perspectives pour la démarche ICIM-CI. Je propose dans une première partie de s'intéresser à l'immunité interne au microcontrôleur. Pour cela, un couple source – victime est simulé au sein du microcontrôleur, en considérant le cœur numérique comme agresseur. Le circuit ADC précédemment étudié est considéré comme une victime. Ces travaux peuvent permettre d'apporter des solutions à une problématique importante rencontrée par les fondeurs de circuits mixtes, à savoir comment prendre en compte la dégradation des performances de circuits analogiques lorsque ceux-ci sont conjointement intégrés avec des circuits numériques.

Dans un deuxième temps, je présente des perspectives d'application d'ICIM-CI sur un autre circuit analogique plus complexe. Ce circuit est une boucle à verrouillage de phase utilisée par un microcontrôleur.

Ce chapitre se termine en proposant la mise en place d'un nouveau bloc dans la proposition de norme ICIM, permettant de décrire une immunité probabiliste. Un exemple est ensuite donné à partir du modèle de l'ADC.

I. ETUDE D'UN COUPLE SOURCE – VICTIME

Cette étude a pour cadre le phénomène d'auto-pollution propre aux circuits intégrés mixtes. Considérant un microcontrôleur ATMEL embarquant l'ADC précédemment étudié, une étude de CEM globale interne est envisagée. Le couple source-victime est constitué par le cœur numérique, considéré comme agresseur, et le circuit ADC considéré comme victime.

Le modèle d'émissivité est bâti selon le standard ICEM-CE et est fourni par l'entreprise. Le circuit ADC victime pour sa part est décrit par son modèle ICIM-CI, déterminé lors des précédents chapitres. Enfin, le canal (substrat) est modélisé grâce au composant IBC.

Je propose de présenter brièvement le modèle ICEM-CE du microcontrôleur. Un ensemble de simulations est ensuite réalisé afin de caractériser d'abord l'activité en courant du cœur numérique, puis la propagation de ces perturbations vers le circuit ADC. Dans une dernière partie, le niveau d'émission est comparé au niveau d'immunité. Nous verrons que la précision de l'ADC est bien affectée par l'émissivité du cœur et que nous pouvons estimer le nombre de bits perdus.

I.1 Présentation du modèle ICEM-CE du cœur numérique du microcontrôleur

Le modèle ICEM-CE de ce microcontrôleur a été conçu à ATMEL. Le modèle ICEM-CE donne une description relative au cœur numérique et aux broches d'accès de l'ADC notamment, VDDA, AREF et la masse analogique GND. Le schéma est donné Figure 113.

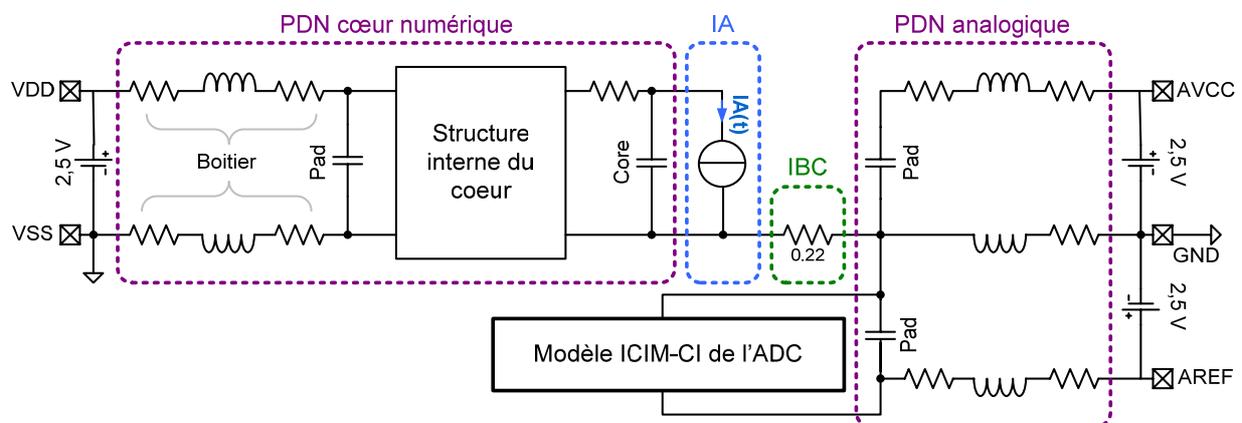


Figure 113. Schéma ICEM-CE du microcontrôleur

Le modèle du boîtier, constitué de deux résistances et d'une inductance, est commun à toutes les broches. Le cœur possède une paire d'alimentations nommée « VDD – VSS ». La structure du cœur est décrite avec des éléments passifs qui ne sont pas divulgués dans ce manuscrit pour des raisons de confidentialité. L'effet capacitif du cœur est pris en compte et le générateur de courant IA modélise l'activité interne du cœur. Sur la Figure 113, les broches d'accès utilisées par l'ADC sont indiquées (AREF, GND et VDDA). Les capacités que présentent les pads sont également prises en compte.

Le circuit ADC est ensuite directement branché aux nœuds internes repérés sur la Figure 113 (« masse interne ADC » et « référence interne ADC »). Enfin, le composant IBC modélise le substrat par une résistance de $0,22 \Omega$ qui est extraite par une méthode automatique propre à ATMEL.

I.2 Estimation de l'émissivité du cœur

Le modèle ICEM-CE du microcontrôleur inclut une estimation du courant d'activité interne présenté sur le graphique de la Figure 114.

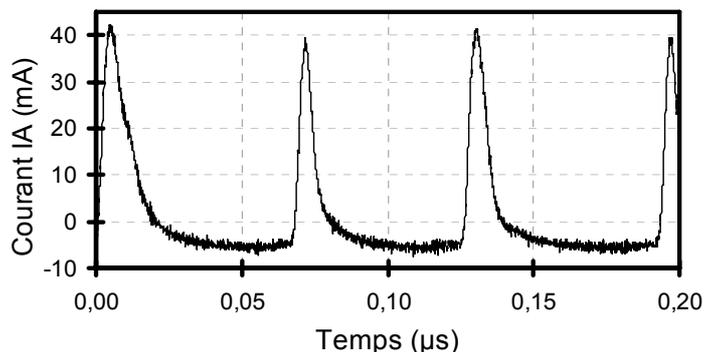


Figure 114. Estimation du courant d'activité interne

Des pics de courant d'une quarantaine de milliampères sont appelés par le cœur à une fréquence fondamentale de 16 MHz. Le passage de ce courant dans le PDN engendre des sauts de tensions à différents nœuds. Si nous reprenons le schéma de la Figure 113, nous observons un chemin de couplage (IBC) entre la masse interne du cœur et la masse interne de l'ADC. Il s'agit d'un couplage substrat modélisé par une résistance. Dès lors, nous visualisons le saut de masse interne de la Figure 115. Les sauts sont de l'ordre de 4 mV à une fréquence de 16 MHz.

La masse interne analogique est utilisée pour fixer la référence négative de conversion de l'ADC. Cette référence est fixée par le constructeur en reliant physiquement la masse du circuit DAC à la masse analogique. Or, l'ADC présente un pas de quantification de 2,44 mV

si une alimentation de 2,5 V est employée. Dès lors le saut de masse précédemment caractérisé peut affecter la précision de l'ADC car il est du même ordre de grandeur que le quantum. Une telle perturbation est maintenant appliquée au modèle ICIM-CI afin de voir son influence sur l'immunité.

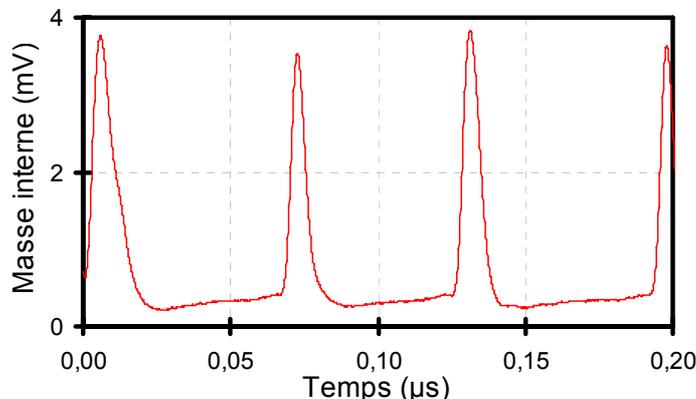


Figure 115. Estimation du saut de masse analogique

I.3 Simulation du couple source – victime du microcontrôleur

Disposant dès à présent du niveau et de la forme d'onde de la perturbation localisée sur la masse analogique, cette perturbation est appliquée au modèle ICIM-CI. Pour cela, nous considérons le schéma de la Figure 116 permettant de décrire le cas d'étude. Cette configuration permet de simuler conjointement émissivité et immunité.

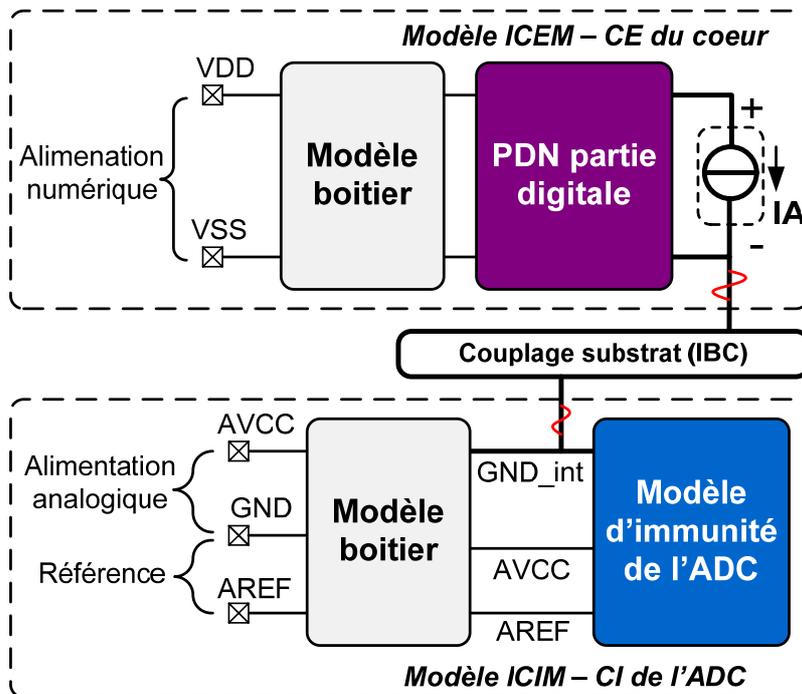
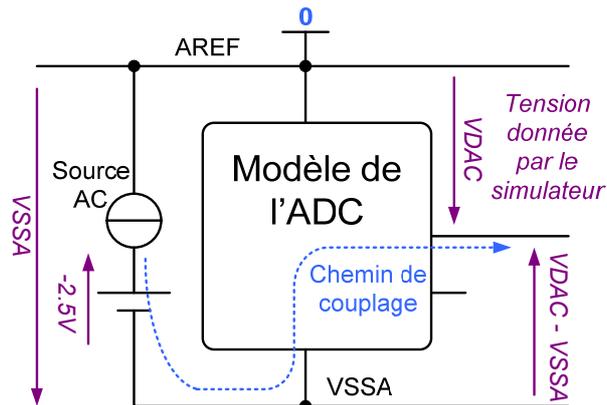


Figure 116. Association des modèles d'émissivité et d'immunité

Le couplage substrat est modélisé par un bloc IBC constitué d'une résistance. Le modèle ICIM-CI caractérise l'immunité interne de l'ADC en considérant une source localisée sur la masse interne du microcontrôleur, notée GND_int sur la Figure 116. De plus, une tension à convertir de 1 mV est choisie : la tension de conversion VDAC présente alors une sortie proche de la masse du DAC. Il s'agit d'un cas critique pour l'immunité de l'ADC lorsque la masse est perturbée. La configuration de simulation est adaptée à cette étude en reprenant les branchements du schéma de la Figure 82 (b) page 123, rappelée ci-dessous.



La Figure 117 fait apparaître les résultats d'immunité obtenus pour les cinq dernières étapes de conversion. Nous visualisons aussi le saut de tension de la masse interne de l'ADC grâce à une transformée de Fourier pour passer dans le domaine fréquentiel.

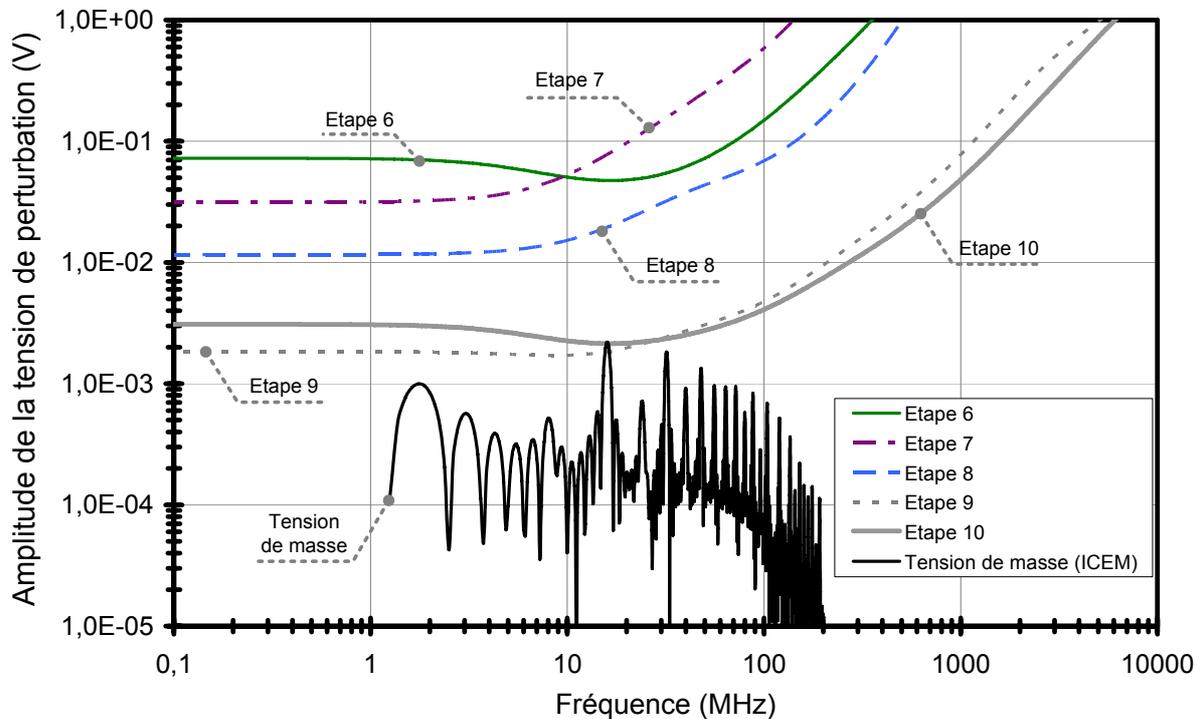


Figure 117. Résultats d'immunité interne avec une dégradation due au cœur

A une fréquence de 16 MHz, nous observons le fondamental du saut de tension. L'amplitude est suffisamment élevée pour croiser les courbes d'immunité des étapes neuf et dix. Cette constatation pousse à croire que l'ADC commet des erreurs à ces étapes. Dans le pire cas de figure, trois LSB peuvent être perdus : en d'autres termes, la précision initiale l'ADC, de 10 bits, est abaissée à 8 bits uniquement à cause de l'activité du cœur numérique.

En étudiant de nouveau les mesures d'immunité, nous pouvons constater cette perte. Remémorons-nous l'étude sur la répartition des codes résultats de la Figure 95, page 141. Si nous considérons un niveau plus faible que 10 mV, nous pouvons considérer les écarts par rapport au résultat moyen comme principalement liés à la pollution du cœur numérique. En effet, en réalisant une série de mesures sans perturbation pour obtenir une évaluation statistique sur un très grand nombre de conversions, il a été possible de voir apparaître quelques résultats comportant 3 LSB d'écart par rapport à la moyenne.

I.4 Conclusion

Cette étude a permis de prendre en compte une dégradation supplémentaire de l'immunité de l'ADC. Cette dernière est induite par l'intégration du circuit ADC sur le même substrat qu'un cœur numérique. L'étude a montré que des sauts d'alimentation de l'ordre de 4 mV se propagent sur la masse de l'ADC. Dès lors, il a été montré que l'immunité de l'ADC est affectée et une perte de 3 LSB sur le résultat de conversion théorique est observée. Des mesures complémentaires ont aussi mis en évidence cette perte de précision. Cette étude démontre que la simulation conjointe entre ICEM-CE et ICIM-CI est possible et reste relativement facile à mettre en œuvre.

II. ETUDE PRELIMINAIRE POUR L'APPLICATION DE LA DEMARCHE ICIM-CI A UNE PLL

Dans la partie précédente, j'ai montré un cas d'application du modèle ICIM-CI dans la simulation d'un couple source – victime. Cette facilité de simulation constitue un atout important à la démarche ICIM-CI. Pour conforter davantage la proposition de norme, je propose de l'appliquer à un nouveau circuit analogique présent dans les microcontrôleurs : une boucle à verrouillage de phase (PLL). L'étude détaillée par la suite montre que la démarche peut théoriquement s'appliquer. Ce deuxième cas d'application n'a pas encore abouti à un modèle prédisant l'immunité, faute de temps et de ressources. Je propose de présenter cependant cette étude préliminaire en expliquant la démarche permettant de créer le

modèle d'immunité. La première étape conduisant à la modélisation de la fonction est présentée. Enfin, une conclusion présente un certain nombre de perspectives pour estimer les chemins de couplage.

II.1 Démarche pour appliquer ICIM à la PLL

II.1.1. Spécification des PLL et critère

Les circuits PLL sont utilisés dans les microcontrôleurs pour créer l'horloge cadencant les opérations numériques. Ces circuits fournissent une tension de sortie dont la fréquence est très stable dans le temps. Les performances et la stabilité de la PLL sont souvent sanctionnées par le bruit de phase ou le jitter du signal de sortie [55]. Le jitter représente la variation du front montant, ou descendant, du signal de sortie d'un point de vue temporel, comme illustré par la Figure 118.

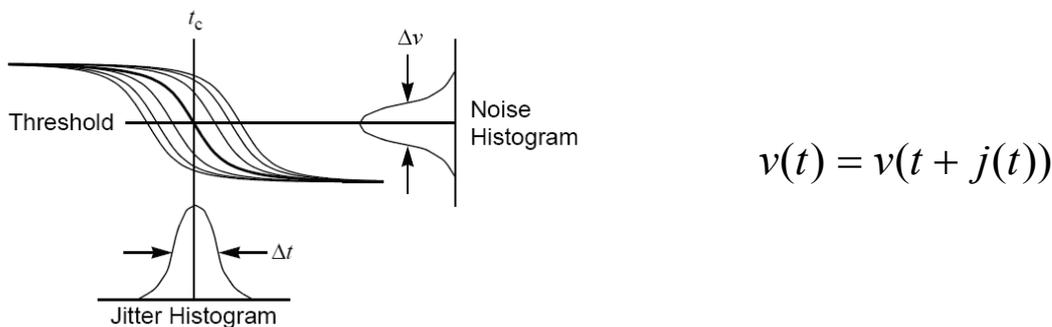


Figure 118. Représentation et définition du jitter

Une certaine tolérance est souvent placée sur le jitter par le concepteur du circuit. Cependant, lorsqu'une PLL partage le même substrat que d'autres circuits, le bruit de ceux-ci se couple à la PLL car les circuits partagent les mêmes alimentations. Ce couplage engendre un jitter supplémentaire [56], [57] ajouté au jitter intrinsèque du circuit.

Ce jitter supplémentaire peut constituer un critère d'immunité pertinent. En effet, un modèle d'immunité prédisant le jitter ajouté, induit par une perturbation électromagnétique, permettrait aux concepteurs de qualifier les performances d'une PLL une fois intégrée.

II.1.2. Démarche de modélisation

En considérant ce critère, il est possible d'envisager un modèle d'immunité fixant un jitter maximum de sortie. Le modèle permettrait de quantifier les sources de bruit, à différents emplacement du circuit, ayant engendré ce jitter. Comme il a été stipulé précédemment, les

principales sources engendrant un jitter supplémentaire sont les bruits d'alimentations et de substrat.

Une étude très complète [57] a montré qu'il est possible de créer un modèle comportemental prédisant le bruit de phase ou le jitter total d'une PLL. Dans le premier cas, la PLL est modélisée dans le domaine de la phase afin de prédire le bruit de phase de sortie. La seconde approche considère des modèles de tension, pour les blocs de la PLL, décrivant le jitter. L'étude montre que la caractérisation des performances d'une PLL invite souvent à créer un premier modèle prédisant le bruit de phase et un deuxième modèle prédisant le jitter.

Pour modéliser le bruit de phase, des modèles dans le domaine de la phase sont utilisés pour chaque bloc de la PLL. Ils sont faciles à construire car linéaires. Ces modèles sont ensuite assemblés pour former une PLL puis simulés afin de prédire le bruit de phase total.

Pour prédire le jitter, des modèles de tension peuvent être utilisés pour chaque bloc. Ainsi, les tensions de sortie des blocs sont modélisées et les instants de commutation sont contrôlés pour prendre en compte le jitter. Ces modèles sont difficiles à maîtriser car ils sont fortement non linéaires. Cependant, ils permettent de prédire très fidèlement le jitter total de PLL. Une fois ces modèles construits, ils sont assemblés pour former une PLL et estimer le jitter de sortie.

Pour le cas d'étude présent, le jitter supplémentaire, ajouté au jitter intrinsèque, doit être caractérisé lorsque la PLL est agressée sur ses alimentations. Dès lors, il est nécessaire de modéliser le jitter intrinsèque de la PLL, dû seulement aux blocs la constituant. Pour cela, un modèle fonctionnel peut faire cette prédiction (voir Figure 119).

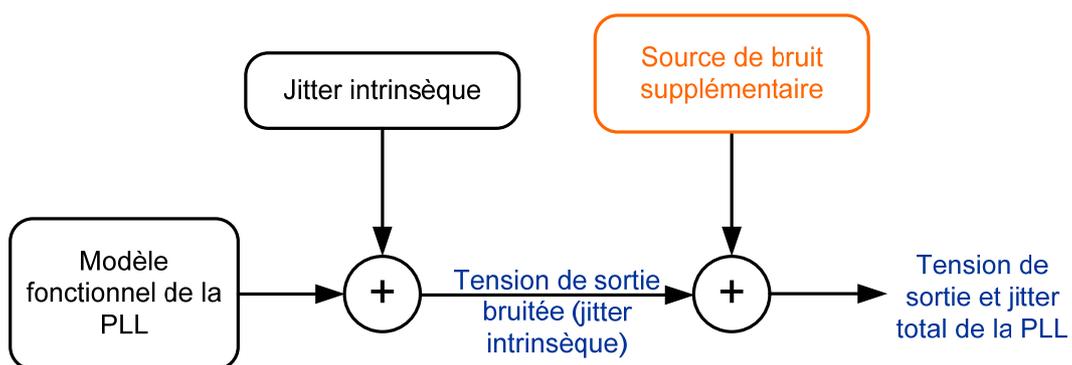


Figure 119. Modélisation du jitter de PLL

Dans un second temps, il faut estimer le jitter supplémentaire, induit par les sources de perturbations, dans le modèle des chemins de couplages. Ce dernier modèle doit permettre de remonter à la source de bruit sur les alimentations ayant engendré ce jitter supplémentaire.

L'étude [57] montre que des simulateurs performants comme SPECTRE RF ou ELDO RF permettent d'estimer le bruit de phase ou le jitter de chacun des blocs de la PLL. De plus, il est possible d'estimer des fonctions de transfert au travers d'analyse pseudo-AC liant le bruit de phase au bruit d'alimentation. De telles analyses permettraient de lier le bruit d'alimentation au jitter de sortie.

En raison d'une forte complexité pour modéliser le jitter, je propose de construire d'abord un modèle prédisant le bruit de phase. Une fois ce modèle opérationnel, il sera plus facile de construire le modèle prédisant le jitter. De surcroît, la PLL sera ainsi caractérisée en bruit de phase et en jitter.

La suite de cette partie présente le circuit PLL qu'ATMEL a fourni pour l'étude. Tous les blocs la constituant sont modélisés et l'architecture du modèle fonctionnel prédisant la phase de sortie est présentée. Enfin, quelques réflexions pour l'élaboration du modèle des chemins de couplage sont présentées.

II.2 Etude de la PLL

Une base regroupant les données de conception d'une PLL a été générée en utilisant la méthode de copie présentée dans le deuxième chapitre, page 62. ATMEL a proposé un circuit PLL générant l'horloge du microcontrôleur utilisé en mesure.

Ce circuit est conçu en utilisant l'architecture classique des boucles à verrouillage de phase. Il fonctionne sous une tension d'alimentation comprise entre 5 V et 2,5 V. Une PLL est un circuit bouclé permettant de fixer et de réguler la phase de la tension de sortie. Le circuit reçoit en entrée une tension alternative carrée « REFIN », générée par un quartz. La phase de celle-ci est comparée à la phase de la tension de retour « VLOOP » afin de créer une commande de correction. Cette commande, sous forme de trains d'impulsions (up, down), est envoyée à une pompe de charge. La pompe permet de créer des courants de commandes (iup, idown) qui sont ensuite filtrés par un filtre passe bas. Une tension de commande « VCTRL » est disponible en sortie du filtre et est utilisée par l'oscillateur commandé en tension. Ce dernier fournit une tension de sortie dont la fréquence est directement proportionnelle à la tension d'entrée. Souvent, les PLL fournissent une tension de sortie dont la fréquence est un multiple de celle de la tension d'entrée. Dans ce cas, un diviseur de fréquence est utilisé dans la boucle de retour pour abaisser la fréquence de la tension de retour à la même valeur que la fréquence d'entrée. Ainsi, la comparaison des phases est possible.

Pour le circuit présent, le comparateur de phase est utilisé pour comparer la phase du signal de quartz, repéré REF_{IN} sur la Figure 120, et la phase de la tension de boucle de retour, notée V_{LOOP} . Ce circuit génère ensuite des trains d'impulsions commandant la pompe de charge (UP et DOWN, visibles sur le chronogramme de la Figure 121).

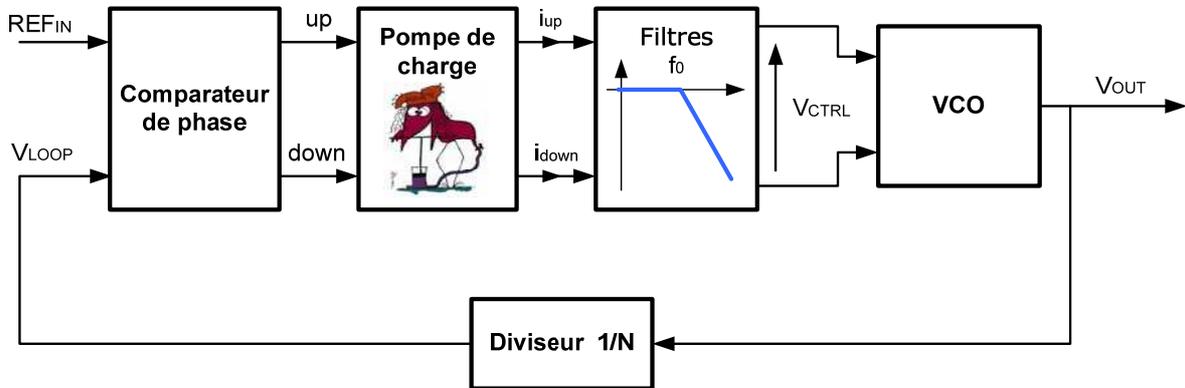


Figure 120. Blocs constituant une PLL

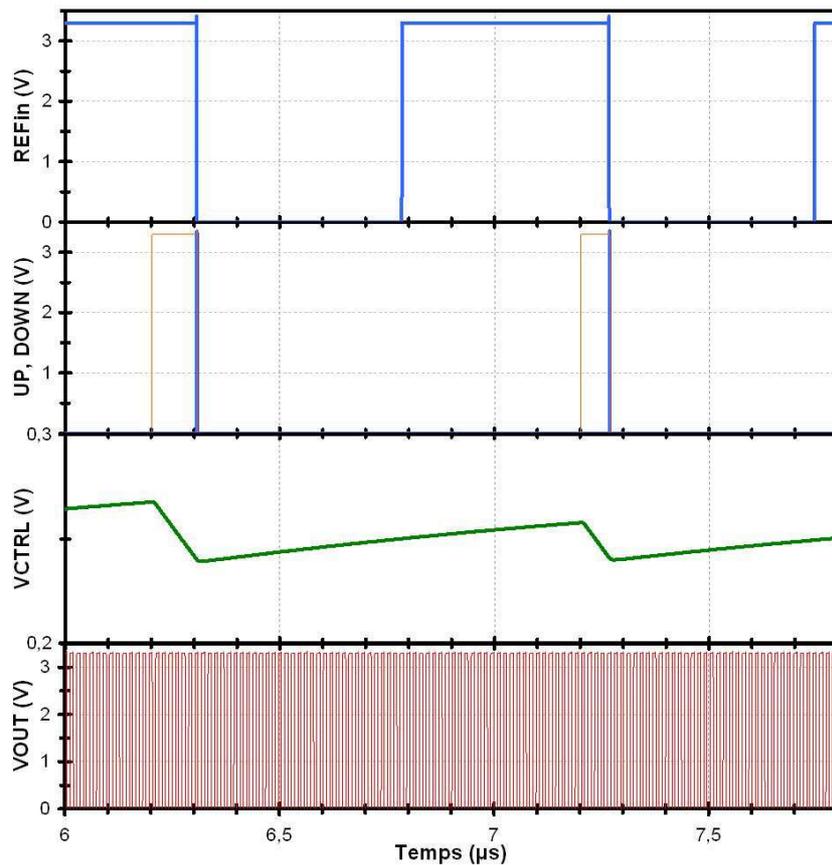


Figure 121. Chronogramme des tensions de la PLL

Le circuit pompe de charge crée les courants de commande, i_{UP} et i_{DOWN} , envoyés au filtre passe bas de boucle. Lors de la conception, ATMEL a choisi une commande différentielle

pour l'ensemble pompe de charge, filtre et oscillateur commandé en tension (VCO). Ainsi, la PLL est mieux isolée face au bruit.

En sortie du filtre la tension différentielle V_{CRTL} est créée pour ensuite commander le VCO. La tension de sortie V_{OUT} présente ici une fréquence de 64 MHz.

Le bloc diviseur permet de fournir une image de la tension de sortie, abaissée à une fréquence de 1 MHz, pour pouvoir être comparée à la référence du quartz.

Cette rapide description de la PLL permet de mieux visualiser la fonction des différents blocs la constituant. Le modèle fonctionnel va être créé dans un premier temps pour modéliser la phase de sortie de la PLL. Chaque bloc va maintenant être décrit par un modèle comportemental.

II.3 Modélisation de la fonction

Le modèle fonctionnel est construit dans le domaine de la phase. Les modèles de chaque bloc constituant la PLL sont créés en utilisant la démarche du document [57].

Le premier modèle décrit le comparateur de phase associé à la pompe de charge (voir Figure 122).

La différence $\Delta\Phi$ entre la phase de consigne Φ_{IN} et la phase de la boucle de retour Φ_{LOOP} est appliquée en entrée. Les sorties sont constituées par les deux courants i_{UP} et i_{DOWN} . Les coefficients K_{UP} et K_{DOWN} sont identifiés en simulant la netlist de la PLL.

Le deuxième modèle permet de caractériser le comportement des filtres de boucle. L'identification des éléments passifs des filtres passe bas dans le design de la PLL permet de créer un modèle comportemental et la description des fonctions de transfert $H(\omega)$.

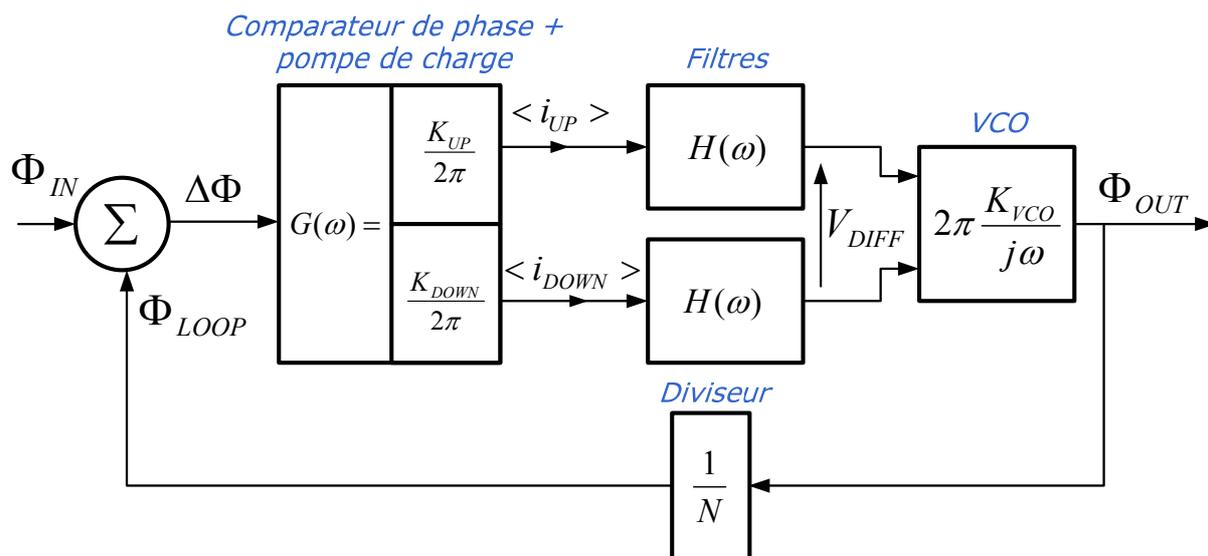


Figure 122. Modèle de la phase de la fonction PLL dans le domaine fréquentiel

Le troisième modèle caractérise le VCO. La fréquence f_{OUT} du signal de sortie est proportionnelle à la tension différentielle d'entrée V_{DIFF} . Nous pouvons écrire $f_{OUT} = K_{VCO} \cdot V_{DIFF}$. La phase instantanée peut alors être évaluée par l'expression de l'Equation 10.

$$\Phi_{OUT}(t) = 2 \cdot \pi \cdot \int K_{VCO} \cdot v_{DIFF}(t) \cdot dt$$

Equation 10. Phase temporelle de la tension de sortie du VCO

En écrivant cette équation dans le domaine fréquentiel, nous obtenons le modèle du VCO de la Figure 122. K_{VCO} est enfin déterminé par la simulation utilisant la netlist de la PLL.

Le modèle du diviseur est créé en dernier lieu pour fournir une image de la phase de sortie au comparateur. Le rapport de division est de 64, conformément à ce circuit PLL.

Les modèles de chaque bloc sont ensuite assemblés pour former la PLL et une simulation transitoire du modèle global permet de visualiser l'évolution de la phase de sortie en fonction du temps lorsque la phase de consigne évolue.

La phase de consigne est paramétrée à $\frac{\pi}{2}$. Nous observons sur la Figure 123, comme prévu, une phase de sortie de $\frac{64\pi}{2}$. Lorsque la consigne est modifiée, nous observons que la phase de sortie est corrigée par le modèle. Le modèle fonctionnel bâti simule correctement le comportement de la PLL fournie par ATMEL.

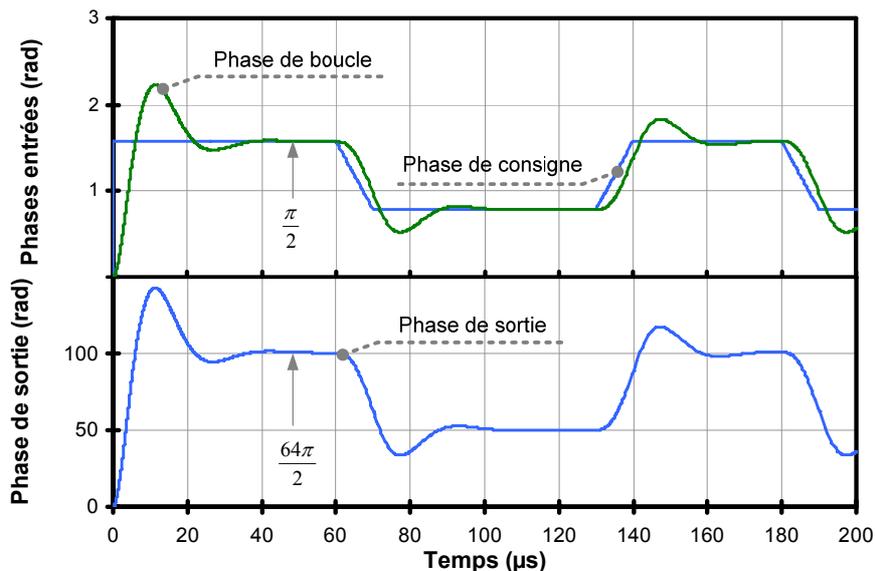


Figure 123. Simulation du modèle fonctionnel

Ce modèle fonctionnel étant en place, il faut maintenant prendre en compte les contributions en bruit de chacun des blocs. Pour cela, des simulations spécifiques doivent être menées pour chacun des blocs. Des simulateurs tels que SPECTRE-RF ou ELDO-RF permettent d’extraire le bruit des blocs. Or, de telles simulations nécessitent les modèles des sources de bruit liées à la technologie utilisée. Ces analyses n’ont jamais été menées sur le site ATMEL de Nantes car cette PLL fonctionnant à une faible fréquence, une analyse du bruit de phase n’est pas une nécessité pour le concepteur. Sans les modèles de bruit et, faute de temps, le développement du modèle n’a pu être poursuivi. Cependant, je présente dans la suite des perspectives pour compléter le modèle d’immunité de la PLL grâce aux possibilités des deux simulateurs précédemment cités.

II.4 Perspectives pour le modèle des chemins de couplage

Si nous considérons un modèle fonctionnel apte à prédire le bruit de phase de la PLL, il est ensuite possible d’élaborer un modèle des chemins de couplage prenant en compte un supplément de bruit ou de jitter. Ce modèle doit faire le lien entre le bruit de phase de sortie et une ou plusieurs sources de bruit localisées au niveau des alimentations.

Un simulateur comme ELDO-RF [58] [59] permet de simuler le bruit de phase d’une PLL. Il peut aussi, grâce à une analyse pseudo-AC, estimer des fonctions de transfert liant une source de bruit au bruit de phase de la PLL. Nous proposons alors le schéma de la Figure 124 où apparaissent les deux chemins de couplage entre les alimentations et la phase de sortie du modèle fonctionnel.

Le modèle des chemins de couplage superpose un bruit additionnel, dû aux sources de bruits d'alimentation, au bruit de phase intrinsèque de la PLL. Nous obtenons ainsi le bruit de phase total de la PLL.

Dans la démarche de construction du modèle ICIM-CI, l'étape suivante consiste à fixer un critère d'immunité. Dans le cas de la PLL, nous proposons de prendre comme critère un niveau fixé de bruit de phase total en sortie. Puis le bruit intrinsèque fourni par le modèle est retranché pour obtenir le bruit de phase dû aux alimentations. Enfin, grâce au modèle des chemins de couplage, le bruit de tension des alimentations, ayant engendré le bruit de phase fixé comme critère, est déterminé.

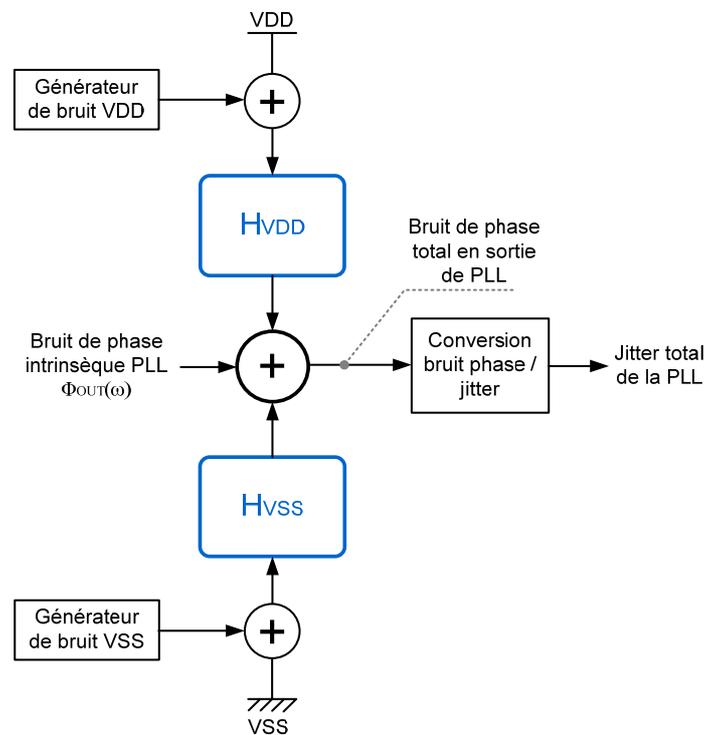


Figure 124. Modèle des chemins de couplage

Pour finir, la note d'application [60] présente une démarche permettant de convertir le bruit de phase en jitter. Cette technique permettrait alors de prendre un certain jitter comme critère d'immunité pour ensuite remonter aux sources de bruit d'alimentation. D'un point de vue mesure, un critère tel que le jitter peut se mesurer dans le temps avec un oscilloscope tandis que le bruit de phase requiert un analyseur de spectre. Ainsi, le jitter permettrait d'utiliser le banc de mesure d'immunité conduite utilisé pour l'ADC.

II.5 Conclusion

Dans le cadre de l'étude d'immunité d'une PLL, une description fonctionnelle caractérisant le circuit en termes de phase est a priori bien adaptée. Un tel modèle permet de mener des analyses de bruit de phase ou de jitter. Cependant, un circuit PLL est complexe à simuler. Ne disposant pas des modèles des composants de la PLL caractérisant le bruit et faute de temps, le développement du modèle a été stoppé après la description de la fonction.

Cependant à travers cette proposition, nous retrouvons une démarche d'évaluation d'immunité semblable à la démarche utilisée pour l'ADC. Cette étude préliminaire montre que le modèle ICIM-CI peut être utilisé pour prédire l'immunité d'une PLL. Nous conservons alors une description fonctionnelle et une description des chemins de couplage.

III. PROPOSITIONS POUR COMPLETER LA NORME ICIM-CI

III.1 Bilan sur la démarche ICIM-CI

Les études menées sur la PLL poussent à penser que la formulation actuelle de la proposition de norme ICIM-CI peut s'appliquer aux circuits complexes. La description fonctionnelle, propre à ICIM, peut permettre de modéliser ce type de circuit et ses spécifications en termes de bruit de phase. Cette première approche reste à confirmer.

Ensuite, la proposition de norme s'est relevée bien adaptée à des circuits de type convertisseurs analogique / numérique. Elle a permis de créer le modèle d'immunité de l'ADC présenté dans le troisième chapitre. Ce modèle permet de prédire fidèlement l'immunité du circuit, à savoir, le niveau de perturbation engendrant la perte de précision.

Dans ce travail, j'ai apporté deux contributions à la démarche ICIM-CI.

La première concerne le modèle des chemins de couplage, qui a été séparé en deux blocs. Un premier modèle prend en compte l'effet du boîtier permettant de simuler l'immunité externe. Un deuxième bloc modélise précisément les fonctions de transfert entre les nœuds dits sensibles et les sources.

La seconde contribution fait appel à deux blocs pour le composant IB (Immunity Behavioural). Le premier modélise la fonction sensible du circuit ; pour le cas de l'ADC, ce modèle permet de simuler une phase complète de conversion. Le deuxième bloc est dédié à l'estimation de l'immunité grâce à une équation. Celle-ci quantifie le niveau de perturbation

qui induit le mécanisme de défaillance du circuit ADC. Au final, la compréhension de ce mécanisme a permis une description simple et peu gourmande en temps de simulation.

Enfin, ce mécanisme de défaillance, basé sur un dépassement des marges de tension du comparateur sous l'effet de perturbations, a aussi mis en avant un risque d'erreur statistique. Aussi, je propose dans le paragraphe qui suit une amélioration du formalisme d'ICIM en prenant en compte cet aspect statistique.

III.2 Bloc statistique

Pour justifier l'ajout d'un bloc prenant en compte la probabilité d'erreur, nous prenons comme exemple la Figure 75 de la partie VI.2, « Identification du mécanisme d ». Le mécanisme de défaillance, basé sur le couplage de la perturbation sur les entrées du comparateur, y est illustré. L'obtention d'une erreur est cependant très dépendante de l'instant de comparaison qui doit correspondre à un croisement des tensions d'entrée du comparateur. La Figure 125 illustre ce propos en montrant les tensions de comparateur de l'étape neuf pour plusieurs périodes de la tension de perturbation. Nous notons la période de perturbation T_{PERT} . Nous repérons aussi le temps T_{ERROR} durant lequel la perturbation engendre un dépassement de marge de tension anormal. C'est durant ce temps que la comparaison doit avoir lieu pour générer une erreur. Nous pouvons alors estimer la probabilité d'erreur (en pourcentage) selon l'Equation 11.

$$P(ERROR) = 100 \frac{T_{ERROR}}{T_{PERT}}$$

Equation 11. Probabilité d'erreur appliquée à l'ADC

Dans la description du composant de contrôle de l'immunité, page 113, nous avons écrit une formule d'immunité basée sur l'égalité des deux tensions de comparateur sous l'effet de perturbation. Or, il s'agit du pire cas d'immunité : les deux tensions de la Figure 125 auraient un seul point commun. Il s'agit du cas le plus critique d'immunité car le comparateur doit prendre sa décision précisément à cet instant.

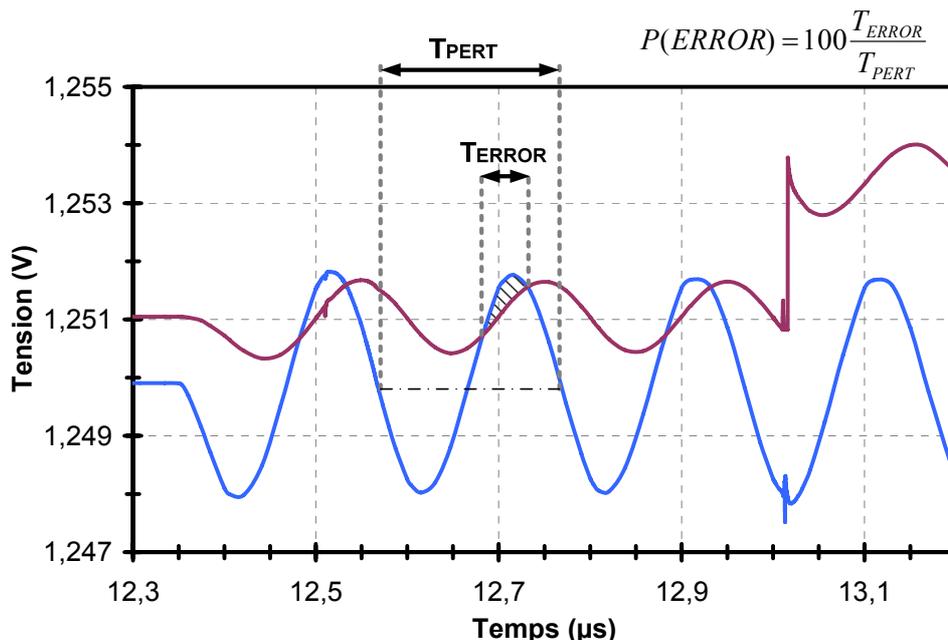


Figure 125. Exemple d'application du composant stat pour l'ADC

Je propose d'offrir une marge de tolérance à l'utilisateur du modèle d'immunité en ajoutant le bloc statistique du modèle ICIM-CI de la Figure 126.

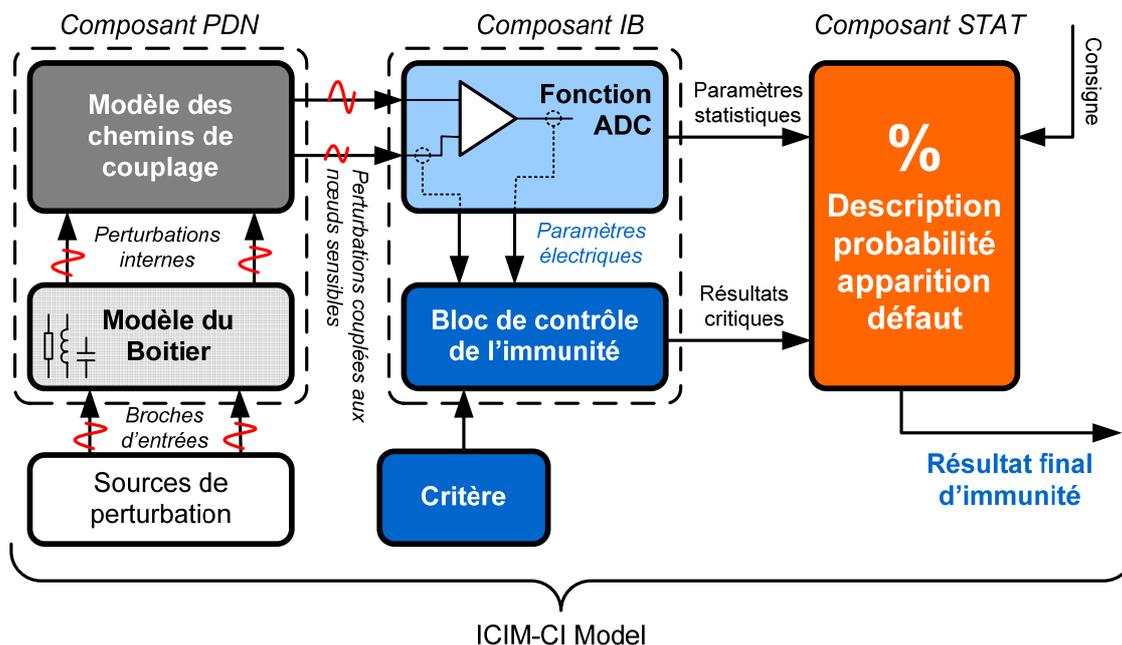


Figure 126. Structure ICIM-CI utilisant un bloc statistique

Dans le cas de l'ADC, l'Equation 11 peut alors être incluse dans le bloc statistique. Celui-ci doit permettre d'évaluer T_{ERROR} à partir des données du modèle fonctionnel. Le bloc peut ensuite être renseigné par l'utilisateur afin de fixer la probabilité souhaitée. En effet, dans certaines applications électroniques, une certaine densité d'erreur peut être tolérée. Le bloc

statistique agit ensuite sur les résultats critiques d'immunité fournis par le bloc de contrôle de l'immunité afin de prendre en compte la probabilité d'erreur.

IV. CONCLUSION

Dans ce dernier chapitre, un exemple d'exploitation du modèle ICIM-CI de l'ADC a été présenté. La compatibilité électromagnétique d'un couple source-victime a été modélisée en faisant appel au modèle ICEM-CE. L'émissivité d'un cœur microcontrôleur a été estimée pour déterminer la dégradation de précision d'un ADC. L'étude a montré que les modèles ICIM et ICEM peuvent facilement s'associer pour analyser la CEM d'un microcontrôleur.

J'ai ensuite présenté des perspectives pour créer le modèle d'immunité d'une PLL, en utilisant ICIM-CI. La démarche de modélisation semble pouvoir s'appliquer en gardant le formalisme actuel de la proposition de norme. Il est possible de prendre en compte la fonction et d'estimer les chemins de couplage grâce à des outils de simulation radiofréquence.

Enfin, j'ai suggéré l'ajout d'un nouveau bloc à ICIM-CI pour modéliser la probabilité d'immunité d'un circuit. Le circuit ADC a montré que ce bloc est utilisable et peut être décrit par une constatation physique : dans le cas étudié, la durée du dépassement de marge de tension du comparateur.

CONCLUSION GENERALE

Le recours à la modélisation de la compatibilité électromagnétique devient nécessaire dans le cycle de conception des circuits intégrés. Le contexte actuel de l'électronique pousse les concepteurs à une intégration maximale, une montée en fréquence et une diminution des tensions d'alimentation. De ce fait, une augmentation des problèmes de CEM est constatée, en particulier concernant l'immunité des circuits analogiques. Même si des règles de conception permettent de mieux maîtriser l'immunité, celle-ci est fortement liée à la fonction du circuit. De ce fait, des démarches de modélisation doivent être standardisées. La proposition de norme ICIM-CI décrit un standard de modélisation dédié aux circuits intégrés.

Le travail présenté dans ce manuscrit apporte une contribution à la modélisation de l'immunité des circuits intégrés. Dans ce travail de thèse, j'ai utilisé le standard ICIM-CI pour construire le modèle d'immunité d'un circuit convertisseur analogique – numérique. Ce circuit complexe était bien adapté pour cette première application car le critère d'immunité est appliqué au résultat de conversion et la précision sur ce résultat sanctionne très bien les performances de l'ADC. Dans la démarche de modélisation, l'estimation des paramètres d'immunité a été la première tâche. Les chemins de couplage des perturbations ainsi que les marges de tension ont été extraits par simulation du circuit, puis modélisés. Dans un deuxième temps, le mécanisme physique causant la défaillance du circuit a été identifié puis modélisé au moyen d'une équation faisant intervenir les deux paramètres d'immunité précédemment modélisés. Cette description a permis de réaliser des simulations d'immunité précises et rapides. Enfin, le modèle complet a été créé et permet d'obtenir des courbes prédisant les niveaux de perturbations engendrant la perte des dix bits de l'ADC. Ces analyses constituent une nouveauté pour le concepteur de circuit car il est possible alors d'estimer la précision effective de l'ADC selon l'environnement électromagnétique du circuit. Ce modèle peut alors être utilisé lors de la conception d'un microcontrôleur car sa mise en œuvre est simple et sa simulation est rapide. Il peut ainsi être intégré dans un flot de conception sans considérablement alourdir celui-ci.

Les résultats du modèle ont ensuite été confrontés à des mesures sur circuit. Pour cela, un banc de mesure de l'immunité conduite, dédié au convertisseur, a été développé au laboratoire. Les mesures ont montré les mêmes tendances pour l'immunité, puis le modèle a été amélioré. Ces améliorations ont permis d'obtenir un modèle plus précis, mais une étude a

montré que les circuits voisins de l'ADC modifient son immunité. J'ai alors mis en évidence une difficulté de modélisation liée aux circuits complexes due à l'intégration de nombreux circuits sur le même substrat. Néanmoins, la comparaison de la mesure et du modèle, dans sa version finale, a montré une bonne estimation de l'immunité avec un domaine de validité pouvant aller de 10 kHz à 200 MHz. De plus, le modèle donne une très bonne prédiction des niveaux d'immunité les plus critiques pour le circuit. L'étude a ensuite été étendue à la deuxième broche d'alimentation utilisée par l'ADC. Pour certaines fréquences, le circuit est plus sensible lorsque cette broche est agressée. J'ai proposé alors une nouvelle version du modèle pour compléter le modèle des chemins de couplage par une description de la nouvelle alimentation. Le modèle estime ensuite l'immunité critique, quelle que soit l'origine de la perturbation.

Dans le dernier chapitre, j'ai présenté le modèle complet du couple source – victime du microcontrôleur, en considérant le cœur numérique comme un agresseur et l'ADC comme une victime. Le modèle ICEM-CE du microcontrôleur est alors associé au modèle ICIM-CI du convertisseur. La simulation de ce couple permet de confirmer la dégradation d'immunité annoncée par le constructeur. L'étude montre donc que ce problème de CEM, lié à l'intégration, peut être techniquement pris en compte avant la fabrication du circuit afin d'apporter des solutions pour améliorer la précision du circuit ADC.

Ensuite, une deuxième application de la démarche ICIM-CI a été entreprise pour un circuit analogique plus complexe. Une boucle à verrouillage de phase, présente dans un microcontrôleur, a été choisie. Même si le modèle n'a pas été terminé, faute de moyens et de temps, des perspectives ont été proposées. La démarche ICIM-CI semble pouvoir être appliquée et des outils de simulation radio fréquence spécifiques permettraient de créer le modèle.

Ce travail permet de conclure que la proposition de norme ICIM-CI dans son formalisme actuel est applicable à la modélisation des circuits mixtes complexes et ouvre à de nouvelles perspectives.

En premier lieu, pour améliorer la démarche, je suggère d'ajouter un premier bloc permettant de choisir le chemin de couplage le plus critique dans le formalisme d'ICIM-CI. Nous avons vu que pour l'ADC, ce bloc permet d'estimer l'immunité globale en choisissant le chemin de couplage le plus critique.

Une seconde amélioration possible pour ICIM-CI consiste à modéliser une immunité probabiliste. L'étude d'immunité de l'ADC a en effet mis en évidence que l'apparition d'une erreur est partiellement aléatoire. J'ai montré qu'il est possible de décrire sa probabilité d'apparition. Je suggère donc l'ajout du bloc nommé « statistique » afin de prendre en compte ce phénomène.

Actuellement, ces travaux ont permis à ATMEL de localiser précisément les faiblesses des circuits ADC intégrés dans leurs microcontrôleurs. Dans un avenir proche, la démarche de modélisation de l'immunité des ADC peut être intégrée dans le flot de conception de l'entreprise. Une grande partie de cette approche peut être automatisée afin de créer des modèles d'immunité pour des ADC de mêmes architectures mais de technologies différentes. Dans un deuxième temps, cette démarche peut être utilisée pour des ADC d'architectures ou de précisions différentes (ADC de 12 bits par exemple).

A long terme, la démarche ICIM-CI doit être appliquée à des circuits de natures différentes afin de montrer que cette méthode est adaptée aux circuits intégrés en général. Il serait dans un premier temps intéressant de modéliser l'immunité d'un convertisseur numérique / analogique (DAC). Les travaux menés sur l'ADC sont en grande partie utilisables car ce circuit comprend déjà un DAC dans son architecture. L'analyse des chemins de couplage est tout particulièrement utile pour un futur modèle.

Dans un second temps, la création du modèle d'immunité d'une PLL permettrait de montrer qu'ICIM-CI est adapté aux circuits plus complexes. Cependant, l'étude du chapitre cinq a mis en évidence que des analyses poussées sont nécessaires. Pour mener à bien ce travail, le circuit PLL choisi doit disposer d'études radiofréquences précises notamment en termes de bruit de phase. Ensuite, il serait judicieux de choisir un circuit PLL « discret » et non pas intégré dans un autre circuit (ce qui était le cas dans l'étude du chapitre cinq où la PLL était intégrée au microcontrôleur). Ce point est très important pour faciliter les mesures sur circuit. L'accès à la tension de sortie de la PLL est indispensable pour mesurer le jitter. De plus, un circuit discret ne subit pas l'influence des circuits voisins, problématique que nous avons mis en évidence pour le circuit ADC. En caractérisant l'immunité d'une PLL discrète, nous nous affranchissons de ces problèmes pour créer un premier modèle d'immunité. Par la suite, ce modèle peut être complété pour décrire l'immunité d'une PLL embarquée dans un microcontrôleur.

BIBLIOGRAPHIE

- [1] Extern, “Ces voitures qui se garent toutes seules,” *cnet France*, 2007. [Online]. Available: <http://www.cnetfrance.fr/produits/voitures-intelligentes-stationnement-automatique-conseils-pratique-39366934.htm>.
- [2] “International Technology Roadmap Semiconductors,” 2009. [Online]. Available: <http://public.itrs.net/home.html>. [Accessed: 05-Juil-2010].
- [3] M. Ramdani, E. Sicard, S. Dhia, et J. Catrysse, “Towards an EMC roadmap for Integrated Circuits,” in *2008 Asia-Pacific Symposium on Electromagnetic Compatibility and 19th International Zurich Symposium on Electromagnetic Compatibility, APEMC 2008*, p. 8-11, 2008.
- [4] A. Boyer, “Prédire la susceptibilité des circuits aux agressions électromagnétiques,” *Electronique*, n°. 189, p. 2-5, Mar-2008.
- [5] J. Baliga, “Chips go vertical,” *IEEE Spectrum*, vol. 41, n°. 3, p. 35-39, 2004.
- [6] S. Ben Dhia, M. Ramdani, et E. Sicard, *ELECTROMAGNETIC COMPATIBILITY OF INTEGRATED CIRCUITS Techniques for low emission and susceptibility*. Springer Science, 2006.
- [7] J. Whalen, J. Tront, C. Larson, et J. Roe, “Computer-aided analysis of RFI effects in integrated circuits,” *IEEE Transactions on Electromagnetic Compatibility*, p. 64-70, 1978.
- [8] J. N. Roach, “Susceptibility of a 1K NMOS memory to conducted electromagnetic interference,” in *IEEE International Symposium on Electromagnetic Compatibility*, p. 85-90, 1981.
- [9] H. B. Bakoglu, *Circuits, Interconnections, and Packaging for Vlsi*. Addison-Wesley Pub (Sd), 1990.
- [10] H. Tang et M. Er, “EMI-induced failure in microprocessor-based counting,” *Microprocessors and Microsystems*, vol. 17, n°. 4, p. 248-252, Mai. 1993.
- [11] J. F. Chappel et S. G. Zaky, “EMI effects and timing design for increased reliability in digital systems,” *IEEE transactions on circuits and systems*, vol. 44, n°2, 1997.
- [12] F. Fiori, “A new nonlinear model of EMI-induced distortion phenomena in feedback CMOS operational amplifiers,” *IEEE Transactions on Electromagnetic Compatibility*,

- vol. 44, n° 4, p. 495-502, 2002.
- [13] M. Robinson, K. Fischer, I. Flintoft, et A. Marvin, "A simple model of EMI-induced timing jitter in digital circuits, its statistical distribution and its effect on circuit performance," *IEEE Transactions on Electromagnetic Compatibility*, vol. 45, n° 3, p. 513-519, 2003.
- [14] "IEC62433-2 : EMC IC modelling - Part 2: Models of integrated circuits for EMI behavioural simulation - Conducted emissions modelling (ICEM-CE)," IEC, 2008.
- [15] C. MAROT et J. Levant, "Future IEC 62433-4 : Integrated Circuit - EMC IC modelling – Part 4: ICIM-CI, Integrated Circuit Immunity Model, Conducted Immunity," www.iec.ch.
- [16] C. Lievre, "Les ondes électromagnétiques," http://www.ac-rennes.fr/pedagogie/svt/applic/images_sat/ondes/ondes.htm," 2004.
- [17] O. Valorge, "Bruit d'Alimentation et Couplage par le Substrat dans les Circuits Mixtes," Thèse de l'INSA de Lyon, 2006.
- [18] C. Maréchal, M. Klingler, M. Heddebaut, et B. Demoulin, "Étude de l'impact d'une perturbation électromagnétique sur le fonctionnement de composants logiques électroniques," *Journal de Physique III*, vol. 5, n° 6, p. 15, 1995.
- [19] G. Venkataraman, J. Hu, et F. Liu, "Integrated placement and skew optimization for rotary clocking," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 15, n° 2, p. 149-157, 2007.
- [20] F. Fiori et P. S. Croveti, "Linear Voltage Regulator Susceptibility," présenté à IEEE Symposium on Industrial Electronics, p. 1398 - 1403, 2002.
- [21] T. Smith, "Evaluer les performances dynamiques de numériseurs par le test des bits effectifs," *Electronique*, n° 203, p. 45-48, Juin-2009.
- [22] J. Levant, "Mise en place d'une démarche d'intégration des contraintes CEM dans le flot de conception des circuits intégrés," Thèse de l'INSA de Rennes, 2007.
- [23] S. Serpaud, J. Levant, Y. Poiré, M. Meyer, et S. Tran, "ICEM-CE extraction methodology," présenté au 7th International Workshop on Electromagnetic Compatibility of Integrated Circuits EMC Compo 09, 2009.
- [24] *Adaptec, site web*, <http://www.adaptec.com/fr>

- [25] “IEC 62014-1: Electronic behavioural specifications of digital integrated circuits IO Buffer Information Specification (IBIS, Version 3.2),” IEC, 2001.
- [26] K. ICHIKAWA, M. INAGAKI, Y. SAKURAI, I. IWASE, M. NAGATA, et O. WADA, “Simulation of Integrated Circuit Immunity with LECCS Model,” présenté au 17th International Zurich Symposium on Electromagnetic Compatibility, 2006.
- [27] “Future IEC 62433-3: Radiated emissions modelling ICEM-RE,” www.iec.ch.
- [28] J. Cordi, A. Alaeldine, J. Levant, R. Perdriau, M. Ramdani, et P. Pinel, “Automated extraction of the passive distribution network of an integrated circuit for the assessment of conducted electromagnetic emission,” in *2008 Asia-Pacific Symposium on Electromagnetic Compatibility and 19th International Zurich Symposium on Electromagnetic Compatibility, APEMC 2008*, p. 36-39, 2008.
- [29] J. Levant, M. Ramdani, et R. Perdriau, “ICEM modeling of microcontroller current activity,” *Microelectronics Journal - Special section on EMC Compo 02*, 2003.
- [30] R. Perdriau, “Méthodologie de prédiction des niveaux d'émission conduite dans les circuits intégrés, à l'aide de VHDL-AMS,” Université Catholique de Louvain, Faculté des Sciences Appliquées, Laboratoire DICE, 2004.
- [31] E. Lamoureux, “Etude de la susceptibilité des circuits intégrés numériques aux agressions hyper frequences,” Thèse de l'INSA de Toulouse, 2006.
- [32] “IEC 62132-1 to 6: Integrated Circuits, Measurement of electromagnetic immunity, 150 KHz to 1GHz,” IEC, 2005.
- [33] “IEC62433-1: EMC. IC modelling part 1: General and definitions for modelling framework,” IEC, 2008.
- [34] A. Ndoye, E. Sicard, et F. Lafon, “Méthodologie prédictive de l'immunité conduite d'un circuit intégré non linéaire,” présenté au 15ème Colloque International et Exposition sur la Compatibilité électromagnétique, Limoges France, 2010.
- [35] F. Lafon, F. De Daran, M. Ram, R. Perdriau, et M. Drissi, “Modélisation de l'immunité de circuits intégrés en contexte industriel,” présenté au 15ème Colloque International et Exposition sur la Compatibilité électromagnétique, Limoges France, 2010.
- [36] I. Chahine, M. Kadi, E. Gaboriaud, A. Louis, et B. Mazari, “Characterization and

- modeling of the susceptibility of integrated circuits to conducted electromagnetic disturbances up to 1 GHz,” *IEEE Transactions on Electromagnetic Compatibility*, vol. 50, n° 2, p. 285-293, 2008.
- [37] A. Alaeldine et al., “Comparison among Emission and Susceptibility Reduction Techniques for Electromagnetic Interference in Digital Integrated Circuits,” *Microelectronics Journal*, vol. 39, 2008.
- [38] A. Alaeldine, R. Perdriau, et A. Haidar, “A comprehensive simulation model for immunity prediction in integrated circuits with respect to substrate injection,” *Microelectronics Journal*, vol. 40, n° 12, p. 1788-1795, 2009.
- [39] F. Fiori, “Design of an operational amplifier input stage immune to EMI,” *IEEE Transactions on Electromagnetic Compatibility*, vol. 49, n° 4, p. 834-839, 2007.
- [40] C. Walravens, S. Van Winckel, J. Redouté, et M. Steyaert, “Efficient reduction of electromagnetic interference effects in operational amplifiers,” *Electronics Letters*, vol. 43, n° 2, p. 84-85, 2007.
- [41] J. Redouté et M. Steyaert, “EMI resisting CMOS differential pair structure,” *Electronics Letters*, vol. 42, n° 21, p. 1217-1218, 2006.
- [42] J. Redouté et M. Steyaert, “Current mirror structure insensitive to conducted EMI,” *Electronics Letters*, vol. 41, n° 21, p. 1145-1146, 2005.
- [43] J. Redouté et M. Steyaert, “Improved EMI filtering current mirror structure requiring reduced capacitance,” *Electronics Letters*, vol. 42, n° 10, p. 560-561, 2006.
- [44] “IEC62132-4 : Direct RF power injection to measure the immunity against conducted RF-disturbances of integrated circuits up to 1 GHz.,” IEC, 2001.
- [45] E. Sicard et J. Dienot, “Issues in electromagnetic compatibility of integrated circuits: Emission and susceptibility,” *Microelectronics Reliability*, vol. 45, n° 9, p. 1277-1284, 2005.
- [46] ATMEL, “Documentation technique microcontrôleur 8 bits,” http://www.atmel.com/dyn/resources/prod_documents/doc8271.pdf. [Online]. Available: http://www.atmel.com/dyn/resources/prod_documents/doc8271.pdf.
- [47] Z. Yu et C. McAndrew, “RF CMOS is more than CMOS: Modeling of RF passive components,” in *Proceedings of the Custom Integrated Circuits Conference, San Jose*,

- CA, p. 407-414, 2009.
- [48] P. J. Ashenden, G. D. Peterson, et D. A. Teegarden, *The System Designer's Guide to VHDL-AMS: Analog, Mixed-Signal, and Mixed-Technology Modeling*, 1er éd. Morgan Kaufmann, 2002.
- [49] A. Vachoux, "Modélisation de Systèmes Intégrés Analogiques et Mixtes," Laboratoire de Systèmes Microélectroniques, EPFL., 2002, p. 59.
- [50] "Eldo User's Manual, Version 6.2_2, Release 2003.4, page 15-16," Mentor Graphics, 2003.
- [51] ATMEL Corporation, "Note d'application : AVR041: EMC Performances Improvement for ATmega32M1," 2008.
- [52] J. Levant, J. Gros, G. Duchamp, et M. Ramdani, "Resistive RF Injection Probe test Method," présenté à EMC Compo 09, 7th International Workshop on Electromagnetic Compatibility of Integrated Circuits, Toulouse, France, 2009.
- [53] A. Alaeldine, R. Perdriau, M. Ramdani, J. Levant, et M. Drissi, "A direct power injection model for immunity prediction in integrated circuits," *IEEE Transactions on Electromagnetic Compatibility*, vol. 50, n°. 1, p. 52-62, 2008.
- [54] F. Fiori et P. Crovetto, "Prediction of high-power EMI effects in CMOS operational amplifiers," *IEEE Transactions on Electromagnetic Compatibility*, vol. 48, n°. 1, p. 153-160, 2006.
- [55] B. Razavi, "A study of phase noise in CMOS oscillators," *IEEE Journal of Solid-State Circuits*, vol. 31, n°. 3, p. 331-343, 1996.
- [56] F. Herzel et B. Razavi, "A study of oscillator jitter due to supply and substrate noise," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 46, n°. 1, p. 56-62, 1999.
- [57] K. Kundert, "Predicting the Phase Noise and Jitter of PLL-Based Frequency Synthesizers," The Designer's Guide Community, 2002.
- [58] F. Gauthier, "Les outils de conception RF et hyper," *Electronique*, n°. 144, p. 73 - 74, Fév-2004.
- [59] F. Gauthier, "L'analyse des moteurs de simulation : le coeur du choix d'une solution," *Electronique*, n°. 144, p. 76 - 79, Fév-2004.

Bibliographie

- [60] “Clock (CLK) Jitter and Phase Noise Conversion,” Maxim Integrated Products, Application Note 3359, 10-Déc-2004.

LISTE DES ABREVIATIONS

ADC	Analog to Digital Converter
AOP	Amplificateur Operationnel
BCI	Bulk Curent Injection
BGA	Ball Grid Array
CAO	Conception Assistée Par Ordinateur
CEM	Compatibilité électromagnétique
CENELEC	Comité Européen de Normalisation Electrotechnique
CISPR	Comité International Spécial des Perturbation Radioélectriques
CMOS	Complementary Metal Oxide Semi-Conductor
CMS	Composants Montés en Surface
CPL	Courants Porteurs en Ligne
CPM	Coupling Path Model
DAC	Digital to Analog Converter
DIL	Dual In Line
DIP	Dual In Package
DPI	Direct Power Injection
DUT	Device Under Test
EJP	Effacement Jour de Pointe
ESD	Electrostatic Discharge
I/O	Input / Output
IA	Internal Activity
IB	Immunity Behavioural
IBC	Inter Block Coupling
IBIS	Input Output Buffer Specification
ICEM	Integrated Circuit Emission Model

Liste des abréviations

ICEM-RE	Integrated Circuit Emission Model – Radiative Emissions
ICIM	Integrated Circuit Immunity Model
ICIM-CI	Integrated Circuit Immunity Model – Conducted Injection
IEC	International Electrotechnical Commission
IERSET	Institut Européen de Recherche sur les Systèmes Electroniques pour les Transports
ITU	International Telecommunication Union
LSB	Least Significant Bit
PCB	Printed Circuit Board
PDN	Passive Distribution Network
PLL	Phase Lock Loop
PWM	Pulse Width Modulator
QFP	Quad Flat Package
SAR	Successive Approximation Register
SCSI	Small Computer System Interface
SIP	Systems In Package
SOI	Silicon On Insulator
SOIC	Small-outline integrated circuit
SOT	Small Outline Transistor
SPICE	Simulation Program with Integrated Circuit Emphasis
TQFP	Thin Quad Flat Package
UTE	Union Technique de l'Electricité
VCO	Voltage Controlled Oscillator
VHDL-AMS	Very High Description Level - analog and mixed signals

LISTE DES PUBLICATIONS

JOURNAL

J-B. Gros, G. Duchamp, A. Meresse, J-L. Levant, “Electromagnetic immunity model of an ADC for microcontroller’s reliability improvement”, *Microelectronics Reliability*, vol 49, 2009

CONFERENCES INTERNATIONALES

J-B. Gros, G. Duchamp, A. Meresse, J-L. Levant, “Electromagnetic immunity model of an ADC for microcontroller’s reliability improvement”, ESREF 2009, Arcachon, France, October 2009

J-B. Gros, G. Duchamp, A. Meresse, J-L. Levant, C. Marot, “An Analog to Digital Converter ICIM-CI Model Based on Design”, EMC Compo 09, 7th International Workshop on Electromagnetic Compatibility of Integrated Circuits, paper 24, November 2009

J-L. Levant, J-B. Gros, G. Duchamp, M. Ramdani, “Resistive RF injection Probe Test Method”, EMC Compo 09, 7th International Workshop on Electromagnetic Compatibility of Integrated Circuits, paper 32, November 2009

J-B. Gros, G. Duchamp, J-L. Levant, “An Immunity Measurement Bench Dedicated to Analog To Digital Converter”, EMC EUROPE 2010, 9th International Symposium on EMC & 20th International Wroclaw Symposium on EMC, Wroclaw, Poland, September 2010

CONFERENCES FRANCOPHONE

J-B. Gros, G. Duchamp, A. Meresse, J-L. Levant, « Modélisation de l’immunité interne d’un convertisseur analogique numérique avec l’approche ICIM-CI », Colloque International Télécom’2009 & 6èmes JFMMA, Agadir, Maroc, Mars 2009

J-B. Gros, G. Duchamp, A. Meresse, J-L. Levant, « Optimisation de l’immunité d’un circuit CAN intégré à l’aide de son modèle ICIM-CI », CEM 2010, 15ème Colloque International et Exposition sur la Compatibilité Electromagnétique, Limoges, France, Avril 2010

LISTE DES FIGURES

FIGURE 1.	ILLUSTRATION DE LA MINIATURISATION EN ELECTRONIQUE	19
FIGURE 2.	AGENCEMENT D'UN CIRCUIT MICROCONTROLEUR ET SCHEMA	20
FIGURE 3.	EVOLUTION DE LA DENSITE D'INTEGRATION [2]	22
FIGURE 4.	EVOLUTION DES TENSIONS D'ALIMENTATION [3].....	22
FIGURE 5.	DELAIS DE COMMUTATION DES PORTES LOGIQUES ET DES INTERCONNEXIONS [5]	23
FIGURE 6.	EXEMPLE DU COUPLE SOURCE-VICTIME	26
FIGURE 7.	EMISSIONS RADIOS [16]	27
FIGURE 8.	PICS DE COURANTS CONSOMMES PAR UN CIRCUIT INTEGRE	29
FIGURE 9.	TOPOLOGIES D'ALIMENTATION	31
FIGURE 10.	COUPE REPRESENTANT TROIS FAMILLES DE SUBSTRAT ET ILLUSTRATION DU LATCH UP	32
FIGURE 11.	SCHEMA DES ELEMENTS CAPACITIFS PARASITES D'UN INVERSEUR	33
FIGURE 12.	REPRESENTATION DES CAPITES PARASITES D'UN TRANSISTOR NMOS.....	33
FIGURE 13.	CHEMINS DE COUPLAGE D'UN TRANSISTOR NMOS	34
FIGURE 14.	REPRESENTATION DES CAPITES PARASITES D'UN TRANSISTOR PMOS	34
FIGURE 15.	COUPLAGE PARASITE DU AUX INTERCONNEXIONS	35
FIGURE 16.	IMMUNITE INTERNE ET EXTERNE D'UN SYSTEM IN PACKAGE	36
FIGURE 17.	CHEMIN ELECTRIQUE PRESENTE PAR LE BOITIER.....	37
FIGURE 18.	EXEMPLE DE PROBLEMES D'IMMUNITE INTERNE D'UN CIRCUIT MIXTE.....	38
FIGURE 19.	MARGES DE BRUITS DES CIRCUITS CMOS SELON LA TENSION D'ALIMENTATION, EN VOLT	40
FIGURE 20.	EXEMPLES DE CRITERES D'IMMUNITE SELON LA FONCTION DU CIRCUIT	42
FIGURE 21.	SYSTEME DE STOCKAGE SAS (SERIAL ATTACHED SCSI) [24].....	48
FIGURE 22.	EXEMPLE DE MODELE IBIS	50
FIGURE 23.	STRUCTURE DU MODELE ICEM ET EXEMPLES SIMPLES.....	52
FIGURE 24.	EXEMPLE DE PDN POUR DEUX PAIRES D'ALIMENTATION.....	53
FIGURE 25.	EXEMPLE DE COUPLAGE INTER BLOC	54
FIGURE 26.	ASSOCIATION DE MODELES ICEM-CE POUR UN MICROCONTROLEUR.....	55
FIGURE 27.	ARCHITECTURE GENERALE D'ICIM-CI [15]	57
FIGURE 28.	DESCRIPTION AVEC UN CRITERE EXTERIEUR AU MODELE.....	59
FIGURE 29.	DESCRIPTION AVEC UN CRITERE INTERIEUR AU MODELE.....	59
FIGURE 30.	MODELE ICIM-CI D'UN AMPLIFICATEUR.....	60
FIGURE 31.	APPLICATION DU CRITERE D'IMMUNITE	60
FIGURE 32.	ILLUSTRATION DU LIEN ENTRE KIT FONDEUR ET BASE DE CIRCUIT	63
FIGURE 33.	EXEMPLE DE PROTECTION ESD A DIODE.....	65
FIGURE 34.	CREATION D'UNE RESISTANCE DE RAIL D'ALIMENTATION	67
FIGURE 35.	EXEMPLE D'ACTION SUR LE RAIL D'ALIMENTATION.....	67
FIGURE 36.	CONFIGURATION D'INJECTION [44].....	69
FIGURE 37.	MATERIEL MIS EN ŒUVRE [44].....	70
FIGURE 38.	PROCEDURE DE TEST	71

Liste des figures

FIGURE 39.	CONVERTISSEUR ET SON ENVIRONNEMENT	76
FIGURE 40.	BROCHAGE DU CONVERTISSEUR ET EXTRAIT DE LA DOCUMENTATION TECHNIQUE.....	77
FIGURE 41.	SCHEMA BLOC DE L'ADC	78
FIGURE 42.	PHASE DE CONVERSION, VIN ET VDAC	79
FIGURE 43.	MODE VERROUILLAGE	80
FIGURE 44.	MODE CONVERSION	81
FIGURE 45.	REPARTITIONS DES ALIMENTATIONS DANS LE CIRCUIT ADC	81
FIGURE 46.	SOURCES DE PERTURBATION ET CHEMINS DE COUPLAGE	82
FIGURE 47.	PREMIERE PROPOSITION POUR LE MODELE ICIM-CI DE L'ADC.....	83
FIGURE 48.	FONCTIONS DE TRANSFERT	84
FIGURE 49.	SIMULATION TRANSITOIRE DE LA PHASE DE CONVERSION.....	85
FIGURE 50.	GAIN DES FONCTIONS DE TRANSFERT HDAC ET HREF	85
FIGURE 51.	SCHEMA DE PRINCIPE DE DAC.....	86
FIGURE 52.	– A– SIMULATION – B – FONCTIONS DE TRANSFERT HDAC PONT PRIMAIRE SEUL.....	88
FIGURE 53.	AJOUT DES SWITCHS DE SELECTION	89
FIGURE 54.	SCHEMA DES SWITCHS DE SELECTION	90
FIGURE 55.	VUE LAYOUT DU SWITCH	90
FIGURE 56.	REPRESENTATION DES SWITCHS POUR UNE SORTIE AUX BORNES DE LA RESISTANCE 63.....	91
FIGURE 57.	FONCTIONS DE TRANSFERT APRES AJOUT DES INVERSEURS.....	92
FIGURE 58.	PRECISION DU DERNIER MODELE SPICE COMPARE A LA NETLIST	92
FIGURE 59.	MODELE DE RESISTANCE POLY-SILICIUM.....	94
FIGURE 60.	MODELISATION PAR UN QUADRIPOLE IMPEDANCE	96
FIGURE 61.	PARAMETRES Z DU SWITCH.....	97
FIGURE 62.	QUADRIPOLE REMARQUABLE POUR LE SWITCH « ON »	98
FIGURE 63.	COMPARAISON DES MODELES DE SWITCHS.....	99
FIGURE 64.	DESCRIPTION DU MODELE COMPLET	100
FIGURE 65.	SIMULATION TRANSITOIRE DE VDAC	101
FIGURE 66.	GAINS DES FONCTIONS DE TRANSFERT HDAC OBTENUES PAR LE MODELE POUR VIN = 1mV.....	102
FIGURE 67.	GAINS DES FONCTIONS DE TRANSFERT HDAC EXTRAITES DE LA SIMULATION DE LA NETLIST	103
FIGURE 68.	PRECISION DU MODELE DES CHEMINS DE COUPLAGE COMPARE A LA SIMULATION	103
FIGURE 69.	MODELE FONCTIONNEL ET COMMANDE DU MODELE DES CHEMINS DE COUPLAGE	105
FIGURE 70.	DIAGRAMME LOGIQUE DU MODELE FONCTIONNEL.....	105
FIGURE 71.	MARGES DE TENSION : COMPARAISON ENTRE MODELE ET SIMULATION	106
FIGURE 72.	CONFIGURATION DE SIMULATION DU MODELE D'IMMUNITE	107
FIGURE 73.	MODELE ICIM-CI ORIENTE METHODE DIRECTE.....	109
FIGURE 74.	MODELE ICIM-CI ORIENTE METHODE INDIRECTE	111
FIGURE 75.	ERREUR GENEREE PAR UNE PERTURBATION SINUSOÏDALE SUR LA REFERENCE	112
FIGURE 76.	TENSIONS DES ENTREES DU COMPAREUR EN FONCTION DES FONCTIONS DE TRANSFERT	113
FIGURE 77.	CONFIGURATION DE SIMULATION DU MODELE ICIM-CI DE L'ADC.....	116
FIGURE 78.	IMMUNITE DE LA PHASE DE CONVERSION D'UNE TENSION VIN DE 1 mV	117

Liste des figures

FIGURE 79.	PHASE RELATIVE ET RAPPORT DES GAINS DES FONCTIONS DE TRANSFERT	118
FIGURE 80.	DIFFERENCE DE COUPLAGE ENTRE LES DEUX ENTREES DU COMPAREUR	120
FIGURE 81.	IMMUNITE DE L'ETAPE NEUF POUR 5 VALEURS DE VIN.....	122
FIGURE 82.	CONDITIONS DE SIMULATION SELON LE CHEMIN DE COUPLAGE	123
FIGURE 83.	PROFILS D'IMMUNITE POUR UNE SOURCE DE PERTURBATION SUR VSSA	124
FIGURE 84.	POURCENTAGE D'ERREUR ENTRE MODELE ET SIMULATION POUR L'IMMUNITE	126
FIGURE 85.	BROCHAGE DU CIRCUIT MICROCONTROLEUR.....	131
FIGURE 86.	SCHEMA ELECTRIQUE DE LA CARTE DE TEST DU MICROCONTROLEUR	132
FIGURE 87.	SCHEMA D'INJECTION	133
FIGURE 88.	PHOTO DU CHEMIN D'INJECTION	134
FIGURE 89.	MODELISATION DU CHEMIN D'INJECTION.....	134
FIGURE 90.	BANDE PASSANTE D'INJECTION.....	135
FIGURE 91.	APPAREILS MIS EN ŒUVRE DANS LE BANC DE MESURE.....	136
FIGURE 92.	PHOTO DU BANC DE MESURE.....	136
FIGURE 93.	ESTIMATION DES TEMPS DE MESURE	138
FIGURE 94.	METHODE DE MESURE AMELIOREE.....	139
FIGURE 95.	REPARTITION DU CODE RESULTAT	141
FIGURE 96.	REPARTITION CODE INTERMEDIAIRE	142
FIGURE 97.	DENSITE DE RESULTATS ERRONES POUR LES CAS DECENTRE ET CENTRE.....	143
FIGURE 98.	RESULTATS DE MESURE DE L'IMMUNITE AVEC LA METHODE DPI	144
FIGURE 99.	ETAPE ERRONEE ET CRITERE CORRESPONDANT.....	145
FIGURE 100.	RESULTATS DE MESURE DE L'IMMUNITE PAR DICHOTOMIE	146
FIGURE 101.	COMPARAISON DE L'IMMUNITE DU MODELE ACTUEL ET DE LA MESURE.....	147
FIGURE 102.	AMELIORATION DU MODELE	148
FIGURE 103.	CORRECTION ET FINALISATION DU MODELE	149
FIGURE 104.	MODELE DU BOITIER DU MICROCONTROLEUR	149
FIGURE 105.	RESULTATS DE MESURE COMPARES AU MODELE	151
FIGURE 106.	ETUDE D'UN DISPOSITIF DE PROTECTION.....	152
FIGURE 107.	MESURE DE L'IMMUNITE AMELIOREE PAR LE FILTRE.....	153
FIGURE 108.	MODIFICATION DE LA CARTE POUR TESTER LA BROCHE VDDA.....	155
FIGURE 109.	RESULTATS D'IMMUNITE DE LA BROCHE VDDA.....	156
FIGURE 110.	NOUVELLE TOPOLOGIE DU MODELE DES CHEMINS DE COUPLAGE.....	157
FIGURE 111.	NOUVEAU MODELE ICIM-CI COMPLETE PAR VDDA.....	158
FIGURE 112.	IMMUNITE COMPLETE DE L'ADC AU REGARD DE L'ALIMENTATION ET DE LA REFERENCE	159
FIGURE 113.	SCHEMA ICEM-CE DU MICROCONTROLEUR	163
FIGURE 114.	ESTIMATION DU COURANT D'ACTIVITE INTERNE.....	164
FIGURE 115.	ESTIMATION DU SAUT DE MASSE ANALOGIQUE	165
FIGURE 116.	ASSOCIATION DES MODELES D'EMISSIVITE ET D'IMMUNITE	165
FIGURE 117.	RESULTATS D'IMMUNITE INTERNE AVEC UNE DEGRADATION DUE AU CŒUR.....	166
FIGURE 118.	REPRESENTATION ET DEFINITION DU JITTER.....	168

Liste des figures

FIGURE 119.	MODELISATION DU JITTER DE PLL.....	169
FIGURE 120.	BLOCS CONSTITUANT UNE PLL.....	171
FIGURE 121.	CHRONOGRAMME DES TENSIONS DE LA PLL.....	171
FIGURE 122.	MODELE DE LA PHASE DE LA FONCTION PLL DANS LE DOMAINE FREQUENTIEL.....	173
FIGURE 123.	SIMULATION DU MODELE FONCTIONNEL.....	174
FIGURE 124.	MODELE DES CHEMINS DE COUPLAGE.....	175
FIGURE 125.	EXEMPLE D'APPLICATION DU COMPOSANT STAT POUR L'ADC.....	178
FIGURE 126.	STRUCTURE ICIM-CI UTILISANT UN BLOC STATISTIQUE.....	178
FIGURE 127.	EXEMPLE DE MODELE ICEM.....	199
FIGURE 128.	PROCESSUS D'EXTRACTION DE L'IA D'UN MICROCONTROLEUR.....	200

LISTE DES TABLEAUX

TABLEAU 1.	COMMUNICATIONS SANS FIL.....	28
TABLEAU 2.	RECAPITULATIF DES PARAMETRES DES RESISTANCES POLY-SILICIUM.....	94
TABLEAU 3.	DETERMINATION DES PARAMETRES Z.....	97
TABLEAU 4.	EXPRESSIONS DES PARAMETRES Z POUR UN SWITCH « OFF ».....	97
TABLEAU 5.	BILAN DES ACQUIS DU MODELE ICIM-CI.....	125

LISTE DES EQUATIONS

EQUATION 1.	MATRICE DE TRANSFERT DU PDN.....	58
EQUATION 2.	MATRICE DE TRANSFERT DU COMPOSANT IB.....	58
EQUATION 3.	CALCUL DU QUANTUM.....	77
EQUATION 4.	EQUATIONS DES TENSIONS D'ENTREE EN FONCTION DE LA SOURCE DE PERTURBATION 113	
EQUATION 5.	EGALITE DES DEUX TENSIONS ET PHASE RELATIVE ENTRE LES DEUX TENSIONS 114	
EQUATION 6.	NOTATION COMPLEXE.....	114
EQUATION 7.	AMPLITUDE DE PERTURBATION.....	114
EQUATION 8.	MODULE DE LA PERTURBATION.....	114
EQUATION 9.	EQUATION D'IMMUNITE.....	114
EQUATION 10.	PHASE TEMPORELLE DE LA TENSION DE SORTIE DU VCO.....	173
EQUATION 11.	PROBABILITE D'ERREUR APPLIQUEE A L'ADC.....	177

ANNEXE – DEMARCHE POUR EXTRAIRE L'IA D'UN CIRCUIT

Le bloc IA du modèle ICEM-CE permet de modéliser l'activité d'un circuit numérique par un générateur de courant et est représenté sur la Figure 127. Pour cela, il faut mesurer le courant interne appelé par le circuit (repéré « $i_a(t)$ interne »). Cette mesure n'est pas réalisable directement car il faudrait placer la sonde de courant sur le silicium et au niveau du rail d'alimentation.

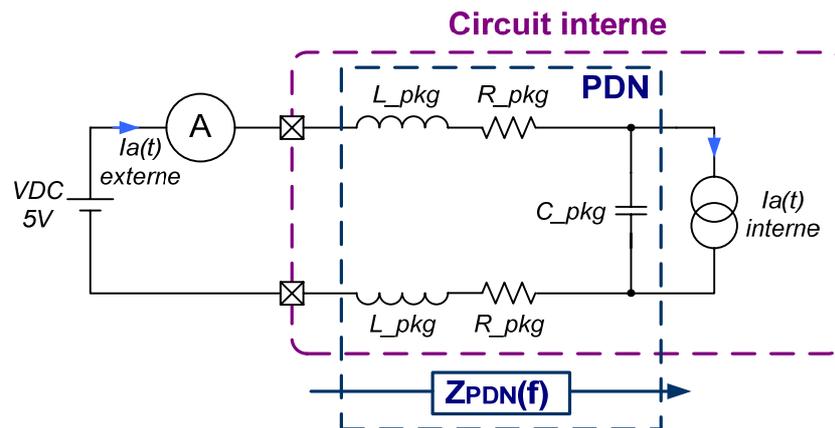


Figure 127. Exemple de modèle ICEM

Néanmoins, une méthode [23] permet d'obtenir le courant interne d'un circuit microcontrôleur en réalisant plusieurs mesures. Cette méthodologie est décrite dans la norme IEC6433-2. Les opérations requises sont décrites sur la Figure 128 en prenant pour exemple l'extraction de l'IA d'un microcontrôleur.

Afin de caractériser correctement l'IA, courant devant modéliser l'activité numérique du circuit, le microcontrôleur doit être en fonctionnement. Pour cela, des opérations sont programmées dans une boucle infinie. Ces opérations peuvent être des calculs mathématiques, des lectures et écritures en mémoire ou encore des procédures de communication.

Des mesures permettent ensuite de créer les modèles de l'alimentation, du découplage et des sondes de mesure. Le PDN est, quant à lui, modélisé par des éléments R, L et C.

La tension d'alimentation, notée $V_{EXT}(t)$, est ensuite relevée dans le domaine temporel à l'extérieur du circuit à l'aide d'un oscilloscope. Une transformée de Fourier est alors appliquée à cette tension pour passer dans le domaine fréquentiel. Elle est maintenant notée $V_{EXT}(f)$. La tension est mesurée aux bornes d'une résistance dont on modélise l'impédance dans le domaine fréquentiel ($Z_{RMEAS}(f)$). Le courant externe du circuit, $i_{EXT}(f)$, est alors obtenu en

faisant le rapport de la tension mesurée sur l'impédance modélisée. La fonction de transfert du PDN, obtenue précédemment, permet alors d'obtenir le courant interne.

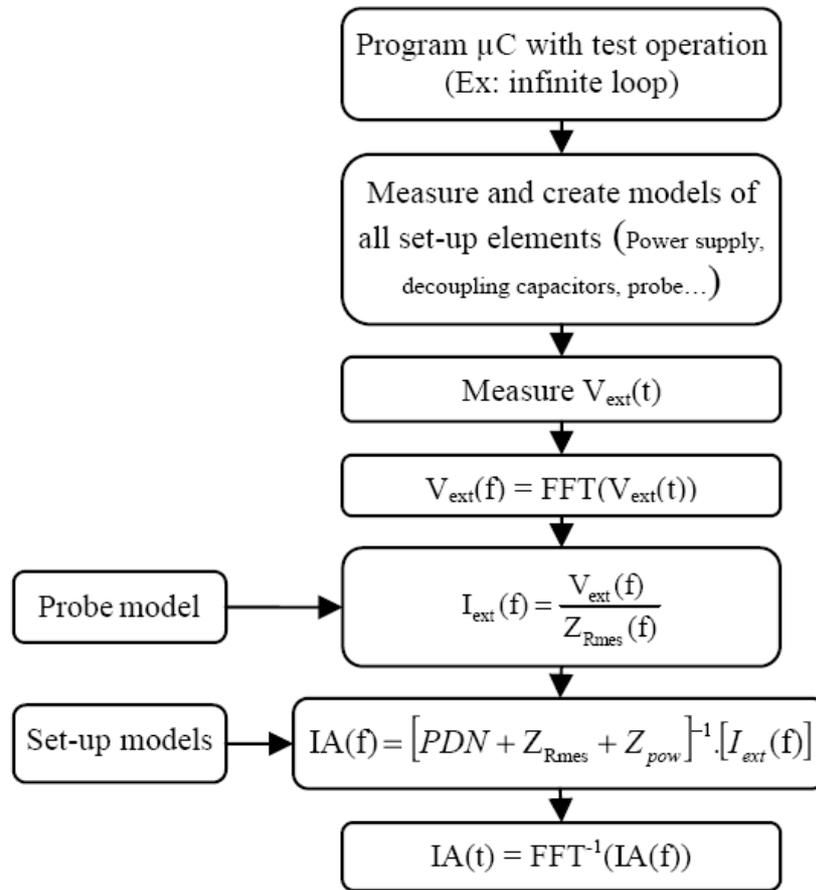


Figure 128. Processus d'extraction de l'IA d'un microcontrôleur

Enfin, une transformée inverse est appliquée au courant interne pour retourner dans le domaine temporel. Le composant IA est alors renseigné par les données de mesures.

RESUME

L'objectif de cette thèse est l'étude de l'immunité des circuits intégrés complexes face aux perturbations électromagnétiques. Le début est consacré à la présentation de la compatibilité électromagnétique des circuits intégrés. Une présentation des moyens de maîtrise de la CEM est ensuite donnée. Les principaux thèmes que sont la modélisation, l'optimisation et la mesure sont exposés. L'étude se poursuit par l'établissement d'une méthodologie de construction d'un modèle d'immunité appliquée à un circuit convertisseur. Cette méthodologie s'inspire de la proposition de norme ICIM-CI pour bâtir successivement les différents blocs du modèle d'immunité. Une attention particulière est donnée à la modélisation du mécanisme de défaillance, celui-ci permettant d'obtenir les résultats d'immunité. Les résultats fournis par le modèle sont ensuite comparés puis validés par des mesures sur circuit. Enfin des études complémentaires, portant sur des circuits plus complexes, permettent de proposer des améliorations et perspectives nouvelles pour la démarche de modélisation.

ABSTRACT

The main objective of this thesis is the study of integrated circuits immunity against electromagnetic interference. The beginning is devoted to the presentation of the electromagnetic compatibility of integrated circuits. The tools enable the mastery of EMC are then presented. The main themes of modelling, optimization and measurement are exposed. The study continues by establishing a methodology for building a model of immunity applied to a converter circuit. This methodology is based on the proposed standard ICIM-CI to build successively the different blocks of the model of immunity. A particular attention is given to the description of the failure mechanism because it leads to the final results of immunity. The results from the model are then compared and validated by measurements on the circuit. Finally further studies on more complex circuits can suggest improvements and new perspectives for the modelling approach.