N° d'ordre : 4650

THÈSE

PRÉSENTÉE A

L'UNIVERSITÉ BORDEAUX 1

ÉCOLE DOCTORALE DES SCIENCES PHYSIQUE ET DE L'INGENIEUR

Par **Issam EL MOUKHTARI**

POUR OBTENIR LE GRADE DE

DOCTEUR

SPÉCIALITÉ : **ELECTRONIQUE**

Elaboration de nouvelles méthodologies d'évaluation de la fiabilité de circuits nanoélectroniques

Directeur de recherche : Dean LEWIS

Soutenue le 29 Novembre 2012

Devant la commission d'examen formée de :

Mme. LABAT, Nathalie	Professeur Université Bordeaux 1	Président
Mme. BAFLEUR, Marise	Directrice de recherche LAAS-CNRS	Rapporteur
M. SAIGNÉ, Frédéric	Professeur Université de Montpelier II	Rapporteur
M. LEWIS, Dean	Professeur Université Bordeaux 1	Directeur de recherche
M. POUGET, Vincent	Charger de recherche IMS-CNRS	Co-directeur de recherche
M. PERDU, Philippe	Centre National d'Etudes Spatiales	Responsable CNES
M. DARRACQ, Frédéric	Maitre de conférences Université Bordeaux 1	Invité

à mes parents Abdelkader et Badïa,

à ma grand-mère Fatima,

à mes frères.

Remerciements

Ce travail de recherche s'est déroulé au sein du laboratoire de l'Intégration du Matériau au Système (IMS), je remercie donc Monsieur Pascal FOUILLAT, directeur de la cellule, pour m'avoir accueillie au sein du laboratoire et permis la réalisation de ce travail.

Je remercie la Région Aquitaine et le Centre National d'Etude Spatial (CNES) pour avoir financé ce travail.

J'adresse mes plus vifs remerciements à mon directeur de thèse Monsieur Dean LEWIS et à mon co-directeur Monsieur Vincent POUGET. Je les remercie pour avoir assuré l'encadrement de cette thèse et pour avoir fait preuve d'une grande disponibilité. Qu'ils soient remerciés de même pour la confiance qu'ils m'ont témoignée durant ce travail.

Je tiens également à remercier Monsieur Philippe PERDU mon responsable CNES pour avoir co-dirigé cette thèse et apporté toute son expertise à ce travail.

Que Madame Marise BAFLEUR, Directrice de recherche LAAS-CNRS et Monsieur Frédéric SAIGNE, Professeur Université de Montpelier II, trouvent ici l'expression de ma pleine reconnaissance pour le privilège qu'ils m'ont fait en ayant accepté d'examiner ce travail en qualité de rapporteurs et en m'ayant aidé à améliorer la qualité de mon manuscrit.

Je suis sincèrement reconnaissant envers Madame Nathalie LABAT d'avoir accepté la responsabilité de présider mon jury de thèse.

J'adresse mes très sincères remerciements à Monsieur Frédéric DARRACQ pour avoir accepté d'être membres invités du jury, ajoutant de fait son expertise à celle des membres officiels ainsi que pour son aide tout au long de ma thèse.

Un très grand MERCI à mes compagnons d'aventures qui ont partagé et égayé mon quotidien : Emeric FARAUD, Kai SHAO, Camille LARUE, Adèle MORISSET, Nogaye MBAYE, Sébastien RENARD, Adrien TUFFERY, Diego ROSSONI-MATOS et Tristan DUBOIS.

Je souhaiterai également remercier mes amis qui m'ont soutenu tout au long de cette aventure Kamal BARAKA, Youssef BOUTAIB, Mehdi RZIN et tous les autres…

Et plus particulièrement, je remercie mes parents, ma grand-mère, ainsi que mes frères sans qui je n'aurais pas emprunté ce chemin et qui m'ont soutenu tout au long de ces années et à qui je dédie les travaux réalisés. Je remercie également le reste de ma famille, je sais que leurs pensées m'accompagnent.

Enfin Merci à tous ceux qui m'ont apporté un jour, support et soutien et dont j'ai oublié de mentionner dans ces lignes.

Table de matières

Introduction générale *11*

CHAPITRE.I : Mécanismes de dégradation des technologies submicroniques *15*

I.1 Introduction 17
I.2 Negative Bias Temperature Instability 17
I.2.1 Le modèle de Réaction Diffusion 18
I.2.2 Extrapolation de la durée de vie 21
I.2.3 Energie d'activation 22
I.2.4 Contraintes pour accélérer le NBTI 23
I.2.4.1 Effets lié à l'amplitude de la tension de grille et à la durée de stress 23
I.2.4.2 Effets liés à la fréquence 24
I.2.4.3 Effets lié à la température 25
I.2.5 Impacts de la relaxation sur la durée de vie 26
I.2.6 Comparaison NMOS vs PMOS 27
I.2.7 Méthodes de caractérisations 28
I.2.7.1 La méthode dite Fast Vt 29
I.2.7.2 La méthode dite Fast I_D 30
I.2.7.3 La méthode dite On The Fly (OTF) 30
I.3 Injection de porteurs chauds 32
I.3.1 Modèle du HCI 34
I.3.2 Extrapolation de la durée de vie 34
I.3.3 Dégradations induites par le HCI et leurs techniques de caractérisation 36
I.3.3.1 Caractérisations électriques 36
I.3.3.2 Le pompage de charges 37
I.3.4 Effet de la température 40
I.4 Time Dependent Dielectric Breakdown 41
I.4.1 Modèles du TDDB 42
I.4.1.1 Modèle E 43
I.4.1.2 Modèle 1/E 43
I.4.1.3 Comparaison des modèles 44
I.4.2 Contrainte thermique 44
I.4.3 Types de dégradation induite par le TDDB 46
I.4.4 Méthodes de caractérisation 48
I.4.4.1 Techniques classiques 48
I.4.4.2 Time dependent dielectric wearout 48
I.5 Électromigration 49
I.5.1 Description microscopique 49
I.5.2 Effet de la microstructure sur l'électromigration 50
I.5.3 Estimation de la durée de vie (Loi de Black) 51
I.5.4 Lacune induite par l'électromigration 51
I.5.5 Extrusion induite par l'électromigration 52
I.5.6 Tests de vieillissement 53
I.5.6.1 Accélération électrique 53

I.5.6.2 Accélération thermique 54
I.5.7 Méthodes de caractérisation 56
I.5.7.1 La méthode de résistométrie classique 56
I.5.7.2 La méthode TRACE 56
I.6 Conclusion 57

CHAPITRE.II : Procédures de conception du véhicule de test NANOSPACE 59

II.1 Introduction 61
II.2 Le Véhicule de test NANOSPACE 61
II.3 Procédures de conception du véhicule de test NANOSPACE 62
II.4 Conception du circuit de multiplexage 63
II.4.1 La porte de transmission CMOS 63
II.4.2 Procédure de conception de la porte de transmission 65
II.5 Structures actives élémentaires (SAE) 67
II.5.1 Conception du circuit composé des SAE 68
II.5.1.1 Décodeur 68
II.5.1.2 Structures Actives Elémentaires 70
II.5.1.3 Simulation Post-Layout (PLS) des structures actives élémentaires 71
II.5.1.3.1 NMOS de référence 71
II.5.1.3.2 PMOS de référence 72
II.5.1.3.3 NMOS à géométries variables 73
II.5.1.3.4 PMOS à géométrie variables 73
II.5.1.3.5 Inverseur CMOS 74
II.5.1.3.6 Porte NOR 74
II.6 L'oscillateur en anneau 75
II.6.1 Procédure de conception de l'oscillateur en anneau 75
II.6.2 Buffer de sortie 78
II.6.2.1 Procédure de conception 78
II.7 Référence de tension 80
II.7.1 Procédure de conception 80
II.7.2 Résultats des simulations 81
II.8 Circuit de stress 82
II.9 Les chaînes de portes logiques 82
II.9.1 Chaîne d'inverseurs 83
II.9.2 Chaîne de portes NOR 83
II.9.3 Chaînes de bascules D 84
II.10 La mémoire SRAM 85
II.10.1 Structure de la mémoire SRAM 85
II.10.2 Cellule SRAM 6T 86
II.10.3 Procédures de conception 87
II.10.3.1 La marge statique au bruit et les simulations Post-Layout 88
II.10.3.2 Décodeur de ligne 89
II.10.3.3 Décodeur de colonne 90
II.10.3.4 Amplificateur différentiel 90
II.10.3.5 Le circuit de précharge 91

II.10.3.6 Circuit de contrôle 91
II.10.4 Simulation Post-Layout final de la SRAM 92
II.11 Structures de test pour le mécanisme de l'électromigration 94
II.12 Structures TDDB 95
II.13 Conclusion 95

CHAPITRE.III : Caractérisation du véhicule de test NANOSPACE 97

III.1 Introduction 99
III.2 Le PCB 99
III.3 Les programmes de test 100
III.3.1 Le contrôle instrumental 101
III.4 Comparaisons entre les simulations Post-Layout et les mesures 102
III.4.1 Structures actives élémentaires (SAE) 102
III.4.1.1 NMOS de référence 103
III.4.1.2 PMOS de référence 104
III.4.1.3 NMOS à géométries variables 105
III.4.1.4 PMOS à géométrie variables 105
III.4.1.5 Inverseur CMOS 106
III.4.1.6 Porte NOR 107
III.5 L'oscillateur en anneau 107
III.6 La référence de tension 108
III.7 Les chaînes de portes logiques 109
III.7.1 Chaîne d'inverseurs 110
III.7.2 Chaîne de portes NOR 111
III.7.3 Chaînes de bascules D 111
III.8 La mémoire SRAM 112
III.9 Structures d'électromigration 115
III.10 Structures TDDB 115
III.11 Conclusion 116

CHAPITRE.IV : Caractérisation des dégradations de types NBTI, HCI, TDDB, Electromigration 119

IV.1 Introduction 121
IV.2 Negative Bias Temperature Instability 121
IV.2.1 La modélisation de la dégradation NBTI 122
IV.2.2 Impact de la variation de la tension de grille V_{gs} sur la tension de seuil 122
IV.2.3 Impact de la variation de la température sur la tension de seuil 123
IV.2.4 Energie d'activation E_a 124
IV.2.5 Extrapolation de la durée de vie 125
IV.2.6 Effets de la relaxation 126
IV.3 Hot Carrier Injection 126
IV.4 Circuits de test 127
IV.4.1 Inverseur CMOS 127
IV.4.2 Oscillateur en anneaux 129
IV.5 Time Dependent Dielectric Breakdown 133

IV.6 Electromigration 136
IV.7 Conclusion 137

CHAPITRE.V : Evolution de la sensibilité aux événements singuliers après un vieillissement 139

V.1 Introduction 141
V.2 Evènements singuliers 141
V.2.1 La courbe σ(LET) 143
V.2.2 Impacts du NBTI sur la robustesse d'une mémoire SRAM face aux SEU 144
V.3 Circuits de test 144
V.3.1 Oscillateur en anneaux 145
V.3.1.1 Configuration de test 145
V.3.1.2 Résultats expérimentaux 146
V.3.2 Choix de la longueur d'onde 148
V.4 Chaîne des portes NOR 149
V.4.1 Configuration de test 149
V.4.2 Etude des transitoires 150
V.4.3 Procédure de vieillissement 151
V.4.4 Résultats expérimentaux 151
V.5 Chaine d'inverseurs 154
V.5.1 Etude des transitoires 154
V.5.2 Résultats expérimentaux 155
V.6 Chaine des Bascules D 156
V.7 SRAM 159
V.7.1 Pilotage de la mémoire SRAM 159
V.7.2 Synoptique du test de sensibilité 160
V.7.3 Résultats expérimentaux 161
V.8 Conclusion 162

Conclusions et Perspectives 163

Références bibliographiques 167

Contributions scientifiques 177

Introduction générale

La fiabilité des systèmes électroniques évoluant dans des environnements hostiles constitue un enjeu économique majeur dans le contexte de l'essor actuel des technologies de télécommunication et du développement global des applications microélectroniques. En particulier, la pérennité des systèmes soumis à des environnements radiatifs combinés à des mécanismes de dégradations est une préoccupation constante des industries du spatial. De plus la miniaturisation progressive des technologies de la microélectronique permet de concevoir des circuits aux performances uniques pour le spatial (par exemple HSSL : High Speed Serial Links), mais cette évolution contribue, par un accroissement de la sensibilité des circuits intégrés aux défaillances induites par les radiations et les mécanismes de dégradations. C'est le cas de la technologie CMOS LP65 nm de STMicroelectronics qui a été sélectionnée par le CNES et qui va être étudiée en détail. Ces technologies ont une durée de vie beaucoup plus limitée que les anciennes technologies et les premières études ont montré que les mécanismes de dégradation (tels que illustrés Figure 1) de type Negative Bias Temperature Instability (NBTI), Hot Carrier Injection (HCI), Time Dependent Dielectric Breakdown (TDDB) et Electromigration se manifestent précocement tout en préservant un très bon niveau de fiabilité pendant plusieurs années.

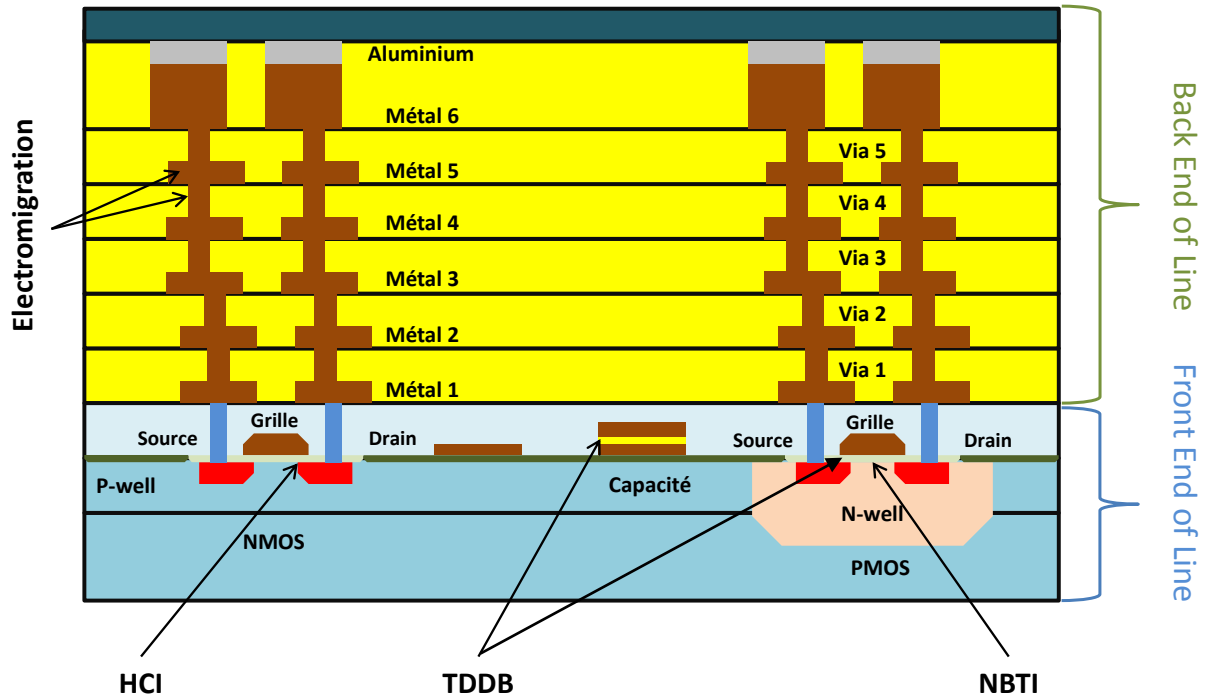


Figure 1 *Récapitulatif des mécanismes de défaillance mis en jeu dans l'ensemble d'une technologie*

Ce travail de thèse a pour objectifs la conception, le développement et la caractérisation d'un véhicule de test en technologie 65 nm. Il s'inscrit transversalement dans les thématiques

tests par faisceau laser et effets des vieillissements accélérés développées au laboratoire IMS et bénéficie de la collaboration du CNES.

La problématique à laquelle nous allons nous consacrer dans cette thèse est donc d'étudier le lien entre ces mécanismes de dégradation et l'évolution de la robustesse, en particulier en ce qui concerne les aspects stress électriques ou autres stress environnementaux (température, radiation). Pour le cas où la robustesse se dégraderait après le vieillissement, cela conduirait, au moins pour ces circuits, à redéfinir les marges de fonctionnement pour qu'un circuit âgé conçu en technologie 65 nm résiste à un niveau de contrainte d'environnement spécifié.

Le premier chapitre de ce mémoire pose les bases nécessaires pour appréhender les aspects majeurs de la dégradation par NBTI, porteurs chauds, TDDB et electromigration, ainsi qu'une synthèse bibliographique sur leurs propriétés principales. Cette partie devra constituer une base solide pour l'étude de fiabilité des transistors MOS qui suivra.

Les procédures suivies pour la conception du véhicule de test dans la même technologie (CMOS LP65) intégrant les structures de test les plus adaptées et incluant les contributions des laboratoires LAAS et LATTIS partenaires du projet, feront l'objet du deuxième chapitre.

Le troisième chapitre a pour but de présenter les caractérisations initiales et complètes relatifs aux différents circuits intégrés dans le véhicule de test avant stress.

Dans le quatrième chapitre nous allons étudier l'impact des quatre mécanismes de dégradation (NBTI, HCI, TDDB, EM) sur les différentes structures de test que nous avons conçues.

Le cinquième chapitre présente la méthodologie définie pour l'utilisation du banc de test par faisceau laser impulsionnel ainsi que les premières caractérisations de sensibilité produites à l'aide de cet outil. La sensibilité des différents circuits est comparée après vieillissement accéléré.

Nous terminons par conclure de façon générale sur le travail effectué lors de cette thèse et nous exposerons les différentes perspectives qui pourraient être pertinentes pour ce sujet.

CHAPITRE.I : Mécanismes de dégradation des technologies submicroniques

I.1 Introduction

Dans ce premier chapitre nous allons mettre en place les bases essentielles à la compréhension des différents modes de dégradation auxquels les composants très fortement intégrés peuvent être soumis.

La première et la seconde partie de ce chapitre, présenteront une introduction à la fiabilité des transistors MOSFETs soumis aux phénomènes de dégradation communément appelées Negative Bias Temperature Instability (NBTI) et injection de porteurs chauds (HCI). L'objectif est de présenter à travers ces deux parties, les modèles physiques, les dégradations induites sur les transistors, ainsi que les méthodes de caractérisation de ces deux mécanismes de défaillance.

Dans la troisième partie, le mécanisme de dégradation appelé Time Dependent Dielectric Breakdown (TDDB) sera introduit. Cette défaillance qui a pour origine le passage d'un fort courant au travers du diélectrique de grille peut engendrer des dégradations progressives au point d'aboutir à une rupture localisée du diélectrique.

Enfin la dernière partie introduira les bases fondamentales qui régissent le mécanisme d'électromigration qui endommage les interconnexions.

I.2 Negative Bias Temperature Instability

Ces dernières années, le phénomène NBTI (Negative bias temperature instability) est devenu l'une des causes de défaillances la plus préoccupante pour les circuits très fortement intégrés car leurs performances reposent sur une tension d'alimentation toujours plus faible corrélée à une demande de courant de fonctionnement élevé. La contrainte NBT, apparait lors de l'application d'une tension négative sur la grille, conjuguée à des températures élevées (85-175 °C). Ce phénomène affecte plus particulièrement les transistors PMOS plutôt que les NMOS, ceci est dû à la présence de trous dans la couche d'inversion des PMOS qui interagissent avec les états d'interface [aba93]. De plus, une configuration NBT sur le NMOS se rencontre peu dans la vie du dispositif dans un circuit, comme le montre l'illustration I-1 dans le cas de figure d'un inverseur. Le NBTI peut se produire dans le PMOS, lors des périodes où l'entrée de l'inverseur est à l'état bas et sa sortie à l'état haut.

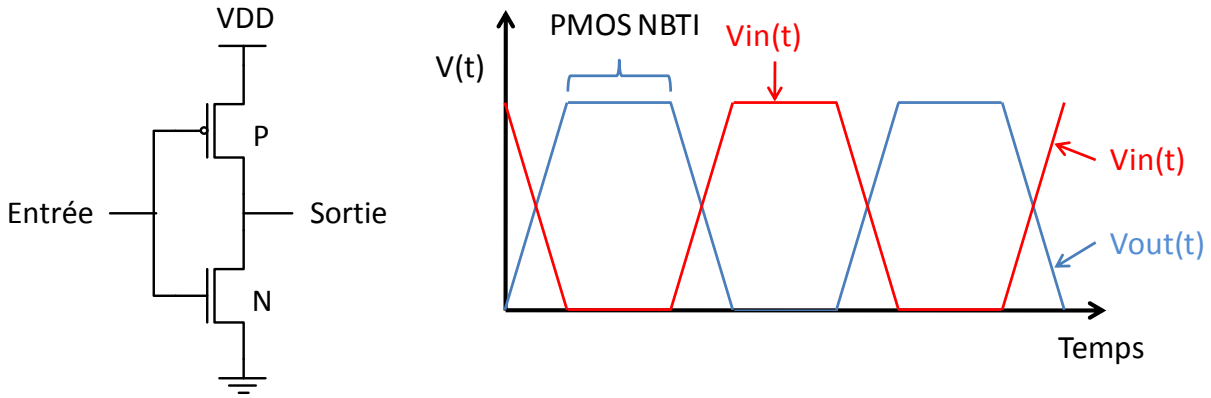


Figure I-1 *Inverseur CMOS et une contrainte NBT pour le PMOS*

Les principaux effets induits par le NBTI sur des transistors PMOS sont une augmentation de la tension seuil V_{th}, une diminution du courant de drain I_d et de la transconductance g_m, ainsi qu'une augmentation du courant GIDL (Gate Induced Drain Leakage), c'est-à-dire les courants de fuites du drain vers le substrat (voir figure I-2). Ces dégradations pouvaient paraître négligeables pour des composants moins intégrés du fait notamment des plus fortes valeurs de tension de seuil. Elles sont désormais fortement handicapantes. D'autre part, les composants CMOS fortement intégrés ont une tendance à produire toujours plus de chaleur en cours de fonctionnement dynamique, ce qui favorise le NBTI.

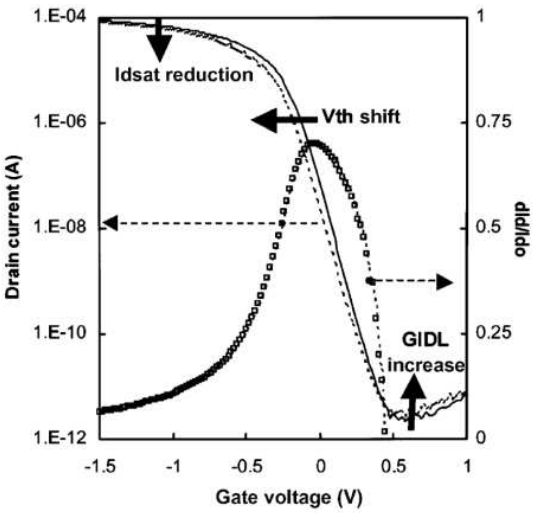


Figure I-2 *Les principaux effets induits par le NBTI sur les transistors PMOS [HUA05]*

I.2.1 Le modèle de Réaction Diffusion

Bien que le processus exact de la dégradation induite par le NBTI sur les transistors PMOS est inconnu. Il est relativement admis qu'il a pour origine la dissociation de la liaison Si-H, lors de l'application d'une contrainte en tension. Cette dissociation donne naissance à

des pièges d'interfaces et des entités hydrogénées (H^+ ,H^0 ,H_2) qui diffusent à travers l'oxyde suivant les équations [I-1, I-2, I-3] et comme le montre la figure I-3.

- $Si\text{-}H+h=Si^-+H^+$ Eq I-1
- $Si\text{-}H+h=Si^++H^0$, $H^0+H^0=H_2$ Eq I-2
- $Si\text{-}H+h+H^0=Si^++H_2$ Eq I-3

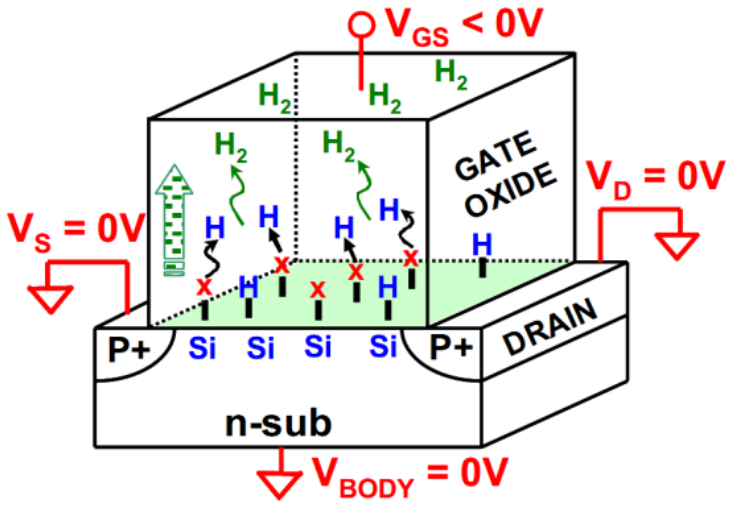


Figure I-3 *Configuration électrique d'une contrainte NBTI*

La dégradation NBTI est principalement modélisée en utilisant le modèle de Réaction-Diffusion (RD). Ce modèle suggère que la dégradation des transistors PMOS due au NBTI, suit une loi de puissance. Aussi il est accepté pour être comme un des modèles décrivant le mieux le mécanisme de génération de défauts à l'interface Si-SiO2 [Kuf07] [Isl07] [Ala07], dont le taux de génération suit la loi suivante :

$$\frac{dN_{IT}}{dt} = k_f(N_0 - N_{IT}) - k_r N_{IT} N_H^0 \qquad \text{Eq I-4}$$

Où N_0 et N_H^0 représentent respectivement le nombre initial de liaisons et la concentration d'atomes d'hydrogène à l'interface Si-SiO_2, N_{IT} est le nombre d'états d'interface générés par rupture de la liaison Si-H à l'instant t, k_f est une constante représentant le facteur de dissociation, k_r est une constante représentant le facteur de recombinaison des atomes Si·et H.

Ensuite les atomes H diffusent à travers l'oxyde et se combinent pour former les atomes d'hydrogène H_2, suivant les équations [I-5 et I-6] :

$$\frac{dN_H}{dt} = D_H.\frac{d^2N_H}{dx^2} - k_H.N_H^2 + k_{H2}.N_{H2} \qquad \text{Eq I-5}$$

$$\frac{dN_{H2}}{dt} = D_{H2}.\frac{d^2N_{H2}}{dx^2} + \frac{1}{2}.k_H.N_H^2 - k_{H2}.N_{H2} \qquad \text{Eq I-6}$$

Où k_H et k_{H2} représentent les taux de dissociation et de recombinaison des atomes d'hydrogène H_2. De même, D_H, D_{H2}, N_H et N_{H2} représentent respectivement les taux de diffusion et des densités des atomes H et H_2.

Le modèle de Réaction-Diffusion peut être décomposé en cinq étapes :

Dans la première étape, au tout début du stress on a $N_{IT}=N_H\approx 0$, cette phase est dominée par la rupture de la liaison Si-H :

$$N_{IT} = k_F . N_0 . t \qquad \text{Eq I-7}$$

Pendant la deuxième étape, les réactions de dissociation et de recombinaison dans l'équation 1 s'équilibrent :

$$N_{IT} \approx \sqrt{\frac{k_F . N_0}{k_R}} . t^0 \qquad \text{Eq I-8}$$

La troisième étape est très courte. Cette étape est contrôlée par l'espèce hydrogène diffusante :

$$N_{IT} \approx \sqrt{\frac{k_F . N_0}{k_R}} . (D_H t)^{\frac{1}{4}} \qquad \text{Eq I-9}$$

Dans la quatrième étape, l'hydrogène atteint l'interface oxyde/poly de la grille du dispositif et suit la loi suivante :

$$N_{IT} = \sqrt{\left(2.\left(\frac{D_H}{k_p} + T_{ox}\right)\right)} . \sqrt{\frac{k_F . N_0}{k_R}} . \sqrt{(D_H . t)} \qquad \text{Eq I-10}$$

Lors de la dernière étape, lorsque les liaisons Si-H sont toutes dissociées et $N_{IT}\approx N_0=cte$, aucune dégradation supplémentaire ne peut se produire. Cette condition de saturation se produit rarement et demande un stress extrêmement long ou des conditions de stress très élevées, qui conduiraient à d'autres mécanismes de dégradation (TDDB) qui précèdent cette étape.

Les solutions des modèles données dans les équations [I-7 a I-10], montrent que la génération d'états d'interface est constituée de plusieurs sous-processus qui ont besoin d'activation distincte, ceci explique la variation de l'exposant (n) pour le temps de stress [Tib08] (voir figure I-4).

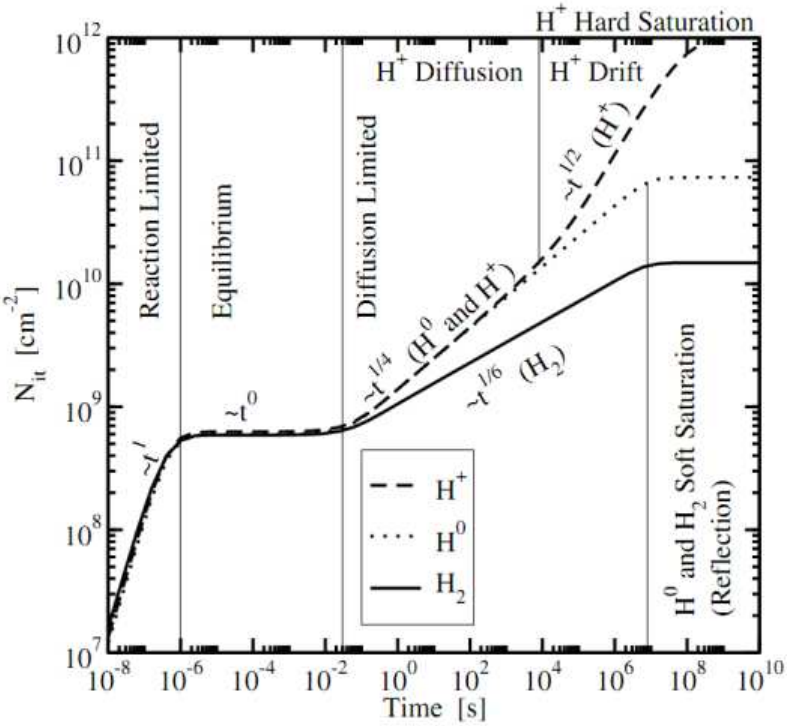


Figure I-4 *Représentation des cinq étapes modélisées pour le modèle R-D [Tib08]*

I.2.2 Extrapolation de la durée de vie

Afin d'estimer la durée de vie d'une technologie de transistor, la méthode généralement utilisée pour tous les mécanismes de dégradation consiste à faire vieillir des composants dans des conditions d'utilisation qui accélèrent le vieillissement par rapport à des conditions normales d'utilisation. Ainsi au cours de ces vieillissements, on caractérise les transistors de façon à suivre l'évolution des principaux paramètres décrivant le comportement du composant (tension de seuil, courant de drain..). On définit alors la durée de vie du transistor comme le temps au bout duquel un paramètre choisi du transistor varie au-delà d'une valeur arbitrairement choisie (conventionnellement 10%).

Dans le cas du NBTI, c'est la variation de la tension seuil qui est caractérisée. Cette variation de seuil est souvent donnée par une variation en loi de puissance par rapport à la durée du stress. Cette loi s'exprime de la façon suivante :

$$\Delta V_{th} = A.t^n \qquad \text{Eq I-11}$$

La figure I-5 [Ala07] montre que la variation de seuil est croissante avec le temps de stress et la température appliquée. La valeur de l'exposant n peut prendre plusieurs valeurs selon la température.

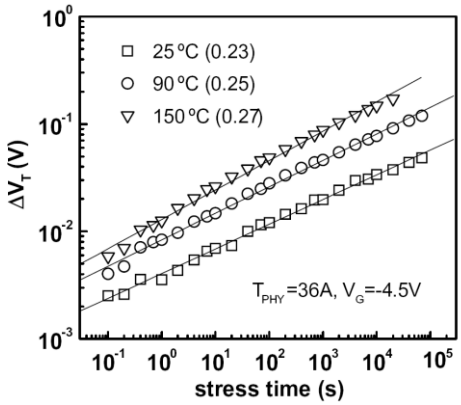


Figure I-5 *Variation de la tension de seuil en fonction de la durée de stress pour différentes valeurs de la température [Ala07]*

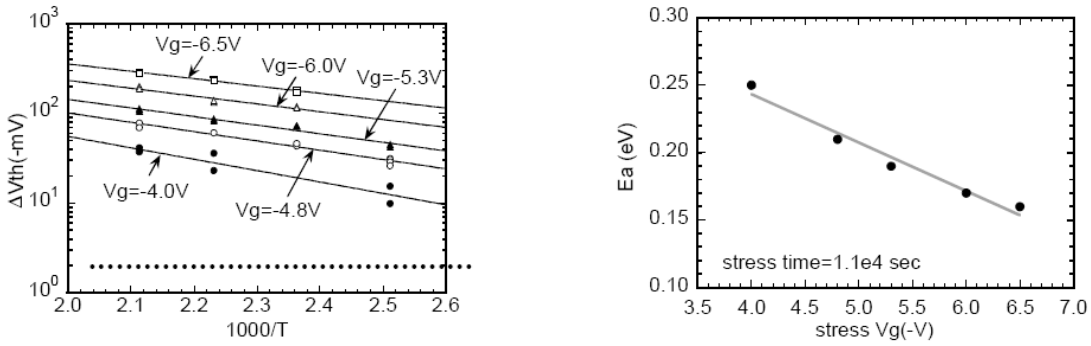
I.2.3 Energie d'activation

La plupart des mécanismes accélérés en température (voir figure I-6-a) et par différentes tensions de stress (voir figure I-6-b) suivent la loi Arrhenius [Arr89] décrite par l'équation :

$$R = R_0 . e^{\left(-\frac{E_a}{K_B.T}\right)} \qquad \text{Eq I-12}$$

Avec R_0 le taux de réaction de référence, T la température en degré Kelvin, k la constante de Boltzmann et E_a l'énergie d'activation.

La figure I-6-a montre les tracés d'Arrhenius de la variation de tension de seuil pour différents niveaux de stress. Ils ont permis d'extraire les énergies d'activation représentées par la figure I-6-b. Cette dépendance en température et à la tension de stress est le résultat de la fragilisation de la liaison Si-H par l'augmentation du coefficient 1000/T, la liaison casse alors plus facilement à haute température et à grande tension de stress.



a b

Figure I-6 *a- Tracé d'Arrhenius pour la variation de seuil pour différentes tensions de grille et b- énergies d'activation extraites de a en fonction de la tension de grille [Aon04].*

I.2.4 Contraintes pour accélérer le NBTI

Durant la vie normale du composant, les effets du NBTI peuvent n'apparaître de façon notable qu'après plusieurs mois ou années. Cela dépend fortement du profil de mission et du composant lui-même. L'estimation de la durée de vie du composant vis-à-vis du NBTI nécessite l'utilisation de méthodes de test provoquant une accélération du phénomène. Une étude approfondie de la littérature nous a permis de distinguer deux paramètres permettant d'accélérer ce processus, qui sont la température et les conditions de polarisation liées au stress électrique. Ces deux éléments sont indissociables dans la mesure où chacun d'eux influe en même temps sur le processus de défaillance.

I.2.4.1 Effets lié à l'amplitude de la tension de grille et à la durée de stress

L'amplitude de la tension appliquée sur la grille fait partie des pré-requis pour accélérer les dégradations causées par le NBTI. En effet l'amplitude permet naturellement de varier le champ électrique présent dans l'oxyde. Aussi au même titre que l'amplitude de la tension, la durée du stress appliqué sur la grille joue le rôle d'une variable d'accélération. La plupart des publications détaillant une caractérisation expérimentale des effets du NBTI présentent des figures semblables à la figure I-7 extraite de [Wen08]. Cette étude concerne des PMOSFET issus d'une technologie 65 nm. Les tests ont été effectués à une température T=105 °C. D'un point de vue électrique, le potentiel de grille appliqué est choisi supérieur au voltage nominal V_{dd} dans le but d'accélérer la dégradation. Les électrodes de drain, source et substrat sont mises à la masse pendant le stress. La figure I-7 montre que la variation de la tension de seuil est croissante avec la valeur absolue de la tension de grille ainsi qu'avec le temps de stress, ceci confirme bien que l'amplitude de la tension de stress a une influence directe sur les temps des caractérisations d'une durée de vie du composant.

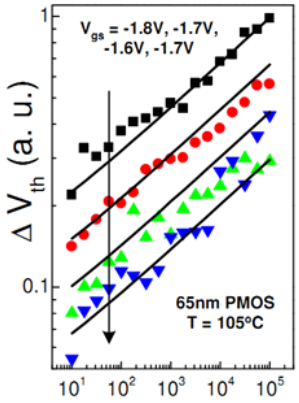


Figure I-7 *Variation de la tension seuil en fonction de la durée de stress pour différentes tension de stress [Wen08]*

I.2.4.2 Effets liés à la fréquence

Dans les premiers temps, les tests de fiabilité au NBTI reposaient sur l'application d'un potentiel constant sur la grille durant un certain temps. Cette méthode représente effectivement une accélération du processus de défaillance même pour des composants dont le profil de fonctionnement impose une utilisation dynamique.

Les auteurs de [Teo11] présentent une limitation à l'utilisation de tension continue durant la caractérisation. Cet article met en évidence une guérison des dégradations provoquées par le NBTI quand le stress est interrompu. La figure I-8 présente l'exemple de telles dégradations transitoires, elle montre que la dégradation de la tension de seuil a tendance à converger vers la valeur avant le stress après l'arrêt du stress. La guérison atteint jusqu'à 40 %. Elle comporte une phase rapide (quelques secondes) puis une phase lente qui semble saturer avec le temps. Si on applique de nouveau le stress, la dégradation réatteint son niveau d'avant arrêt du stress et augmente lentement.

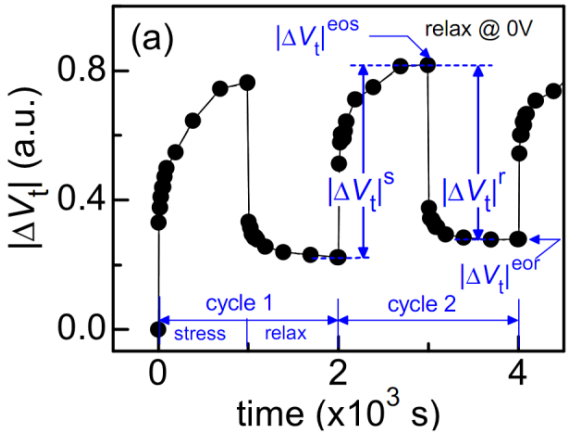


Figure I-8 *Mise en évidence de la guérison des dégradations provoquées par le NBTI quand le stress est interrompu [Teo11]*

La figure I-9 présente une étude en fréquence publiée sous la référence [Nig06]. Les échantillons testés sont des transistors PMOS, d'épaisseur d'oxyde 2 nm en technologie 0,13 µm. Les conditions de stress consistent à chauffer le composant à 175 °C et à appliquer sur sa grille un signal carré allant de 0 à -2 V avec une fréquence variable allant de 1 MHz à 70 MHz. Les électrodes de drain et de source sont reliées à la masse. Cette expérimentation montre que la variation de seuil n'est pas constante en fonction de la fréquence mais tend à diminuer. Il est constaté une amélioration de la durée de vie avec un facteur 20X pour 1 MHz et 100X pour 70 MHz, entre un stress dynamique et un stress statique DC. Cette amélioration est attribuée à la re-passivation des états d'interface pendant les phases d'arrêt du stress.

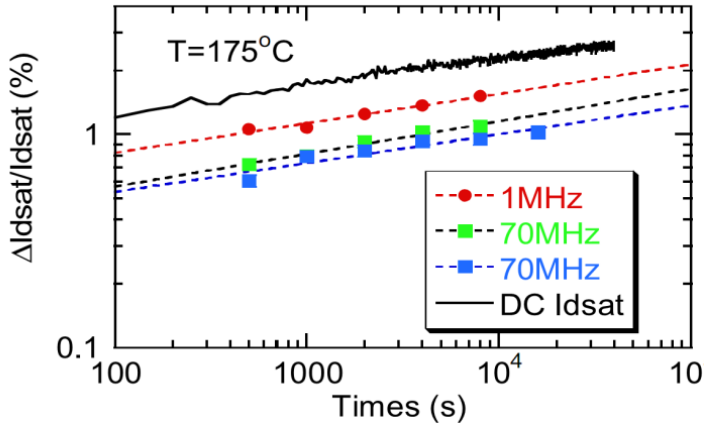
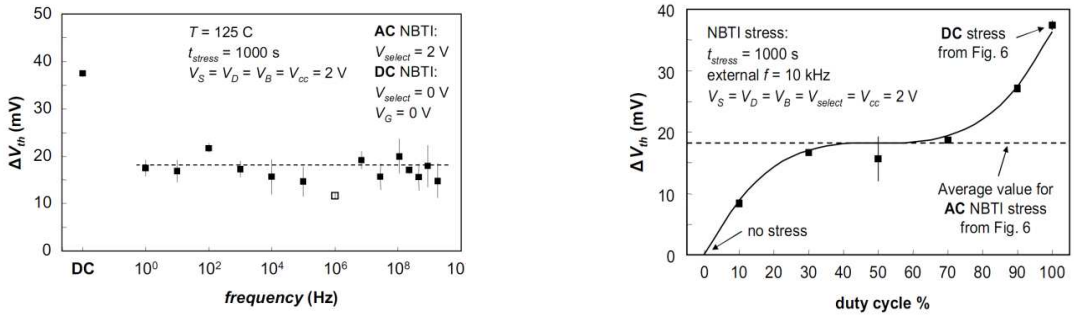


Figure I I-9 *Etude fréquentielle sur la dégradation du courant de drain en fonction de la durée de stress [Nig06]*

Dans une autre étude, publiée sous la référence [Fer09] présentée en figure I-10-a, on observe que pour des fréquences de stress allant d'un peu moins d'1 Hz à 2 GHz la dégradation du seuil reste pratiquement constante. Le point de mesure à 0 Hz confirme qu'un stress continu tend à accentuer la dégradation en ne laissant pas de phase de guérison.



a b

Figure I-10 *Dégradation de la variation de la tension seuil a- en fonction de la fréquence du signal de stress appliqué. b- en fonction du rapport cyclique pour une fréquence de 10 KHz [Fer09]*

La figure I-10-b montre que plus le rapport cyclique est petit, plus la variation de seuil est faible. Ceci est cohérent avec l'importance des phases de guérison dont la durée augmente quand le rapport cyclique baisse.

I.2.4.3 Effets lié à la température

Comme son nom l'indique, le NBTI est un processus de défaillance intrinsèquement lié à la température. Chaque circuit qui dissipe de la chaleur en cours de fonctionnement est son propre accélérateur de NBTI, d'un point de vue purement thermique. Les températures

utilisées lors des différents tests publiés sur différentes technologies vont de 25°C à 175°C [Var05].

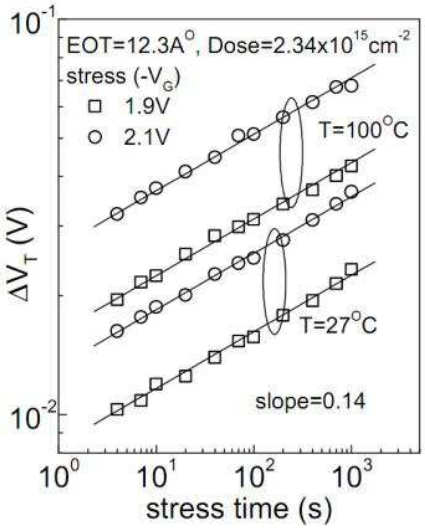


Figure I-11 *Variation de la tension seuil en fonction du temps de stress pour deux tensions de polarisation (températures 27°C et 100 °C) [Var05]*

La figure I-11 présente la variation de la tension seuil en fonction du temps de stress pour deux températures 27°C et 100 °C. Les composants étudiés sont des PMOSFET réalisés avec une épaisseur d'oxyde de grille de l'ordre de 12,3 Angströms. D'un point de vue électrique le stress consiste en l'application de deux tensions 1,9 V et 2,1 V sur la grille pendant 1000s. Cette Figure montre que la température à un effet sur l'accélération du mécanisme. Donc la température représente un facteur d'accélération de la dégradation NBTI prépondérant.

I.2.5 Impacts de la relaxation sur la durée de vie

L'amplitude de la dégradation pour un stress donné et un temps donné n'est pas précisément définie à cause de la relaxation des dégradations réversibles. La prise en compte de ce fait est importante pour procéder à une extraction correcte de la durée de vie NBTI à partir de stress exercés sur des temps importants.

La figure I-12 [GRA08] montre qu'une augmentation du délai entre l'interruption du stress et la caractérisation électrique conduit à une augmentation de la durée de vie du fait d'une plus grande guérison. Le délai entre stress et caractérisation électrique dépend du dispositif de mesure, des temps de communication entre instruments et du temps pour acquérir les mesures.

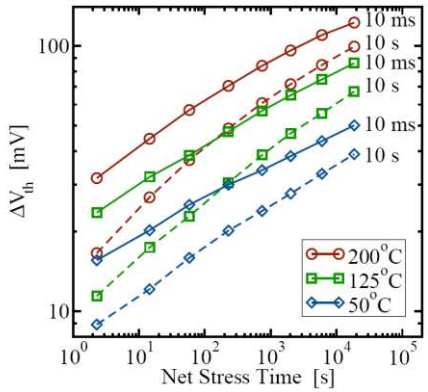
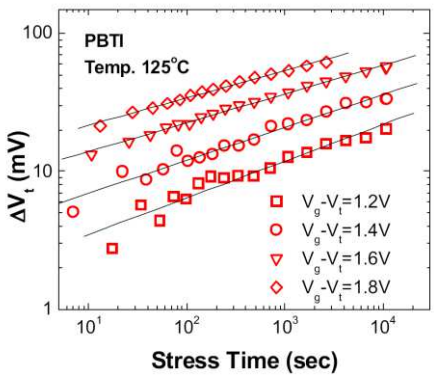


Figure I-12 *Dégradation de la variation de la tension seuil en fonction de la durée du stress pour différents délais entre l'arrêt du stress et la caractérisation électrique [GRA08]*

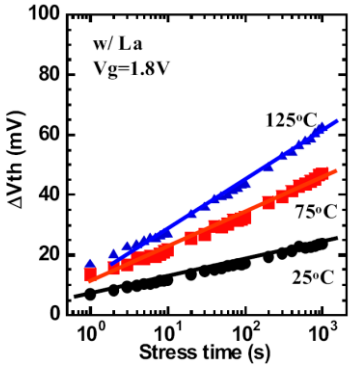
Donc négliger les phénomènes de guérison lors du vieillissement accéléré par une tension de grille constante peut conduire à une surestimation de la durée de vie du composant.

I.2.6 Comparaison NMOS vs PMOS

Le parallèle du NBTI pour les transistors NMOS est appelé PBTI (Positive Bias Temperature Instability). Compte tenu de la différence de mobilité entre les électrons et les trous, il est beaucoup moins craint.



a



b

Figure I-13 *Evolution de la tension seuil en fonction de la durée de stress a-pour différentes tensions de stress b-pour différentes valeurs de température [Par09] [Sat08]*

Les figures I-13-a et I-13-b [Par09] [Sat08] montre que l'évolution de la tension de seuil est soumise aux mêmes dépendances que celles que nous avons vues pour le NBTI. En effet cette figure confirme que la dégradation est croissante avec la durée du stress, avec l'amplitude du stress et aussi avec la température. La température et l'amplitude de la tension de grille sont donc là encore les deux facteurs d'accélération les plus évidents pour le PBTI.

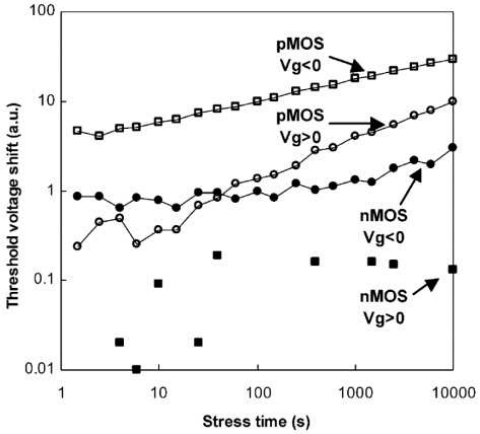


Figure I-14 *Variation de la tension seuil en fonction de la durée de stress sous plusieurs conditions de polarisation pour des transistors NMOS et PMOS [Hua05]*

Les auteurs de [Hua05] associent le pire cas de dégradation au transistor PMOS polarisé négativement, voir la figure I-14. En effet, la plupart du temps, les défauts engendrés sont des charges positives fixes générées dans l'oxyde ainsi que des états d'interface stables à l'interface Si/SiO_2 passivée par hydrogène. Cependant, il existe d'autres théories pour décrire ce phénomène dans la littérature. Parmi elles celle de l'étude de [SCH03], qui considère les liaisons B-H (Bore-Hydrogène) et P-H (Phosphore-Hydrogène) situées dans le substrat comme à l'origine de la création des états d'interface. Lorsque les liaisons B-H ou P-H cassent, les atomes d'hydrogène diffusent vers l'interface et piègent des trous devenant des protons H+. Ensuite les liaisons Si-H de l'interface se rompent également au voisinage des protons pour former des molécules H_2 diffusant alors à travers l'oxyde. Cette théorie repose sur l'hypothèse que la liaison B-H est plus forte que la liaison P-H. Ceci explique pourquoi le PMOSFET se dégrade plus vite que le NMOSFET.

I.2.7 Méthodes de caractérisations

Le paramètre le plus couramment utilisé pour définir le niveau de dégradation dû au NBTI est la variation de la tension de seuil ΔV_{th}. Une des raisons principales vient du fait qu'il est directement lié au nombre de pièges dans l'oxyde.

$$\Delta V_{th} = -\frac{\Delta Q_{it} + \Delta Q_{ot}}{C_{ox}} \qquad \text{Eq I-13}$$

Où ΔQ_{it} et ΔQ_{ot} sont respectivement les variations de charge au niveau de l'interface et de l'oxyde, et C_{ox} la capacité de l'oxyde.

L'ensemble des publications ont pour point commun de détailler des études menées à hautes températures (100 à 175 °C). Les différents travaux diffèrent principalement sur la méthode de stress électrique appliquée. La mise en évidence des processus de guérison se produisant dès que le stress est arrêté pose le problème du temps de latence entre cet arrêt et le début de la caractérisation électrique du composant. Différentes techniques ont été mises au point pour prendre en compte cette difficulté de mesure. Nous allons décrire quelques techniques par la suite, mais la technique dite « On The Fly » reste celle qui semble être la plus fiable aujourd'hui.

I.2.7.1 La méthode dite Fast Vt

La méthode de mesure dite « fast V_t » dédiée au NBTI a été publiée par Hans Reisinger en 2006 [Rei06]. Cette technique propose une mesure directe des variations de V_t dans des conditions de polarisation adaptées au fonctionnement normal du circuit et en moins d'une microseconde après l'arrêt du stress. La figure I-15 présente un schéma du dispositif de test. Le stress est appliqué lorsque les interrupteurs sont en position Stress. Une tension fournie par l'alimentation (variable Stress-voltage sur la figure I-15) est alors appliquée sur la grille du transistor durant un temps fixé. A la fin du stress, les interrupteurs basculent en position Measure. La mesure de seuil est obtenue en forçant le courant I_{ds} à une valeur de fonctionnement prédéfinie. Cet asservissement est assuré par l'amplificateur opérationnel placé en contre réaction qui va adapter la valeur de tension de grille à sa nouvelle tension de seuil afin d'avoir le bon courant I_{ds}. Ensuite, un oscilloscope placé à la sortie permet de récupérer la valeur de V_t.

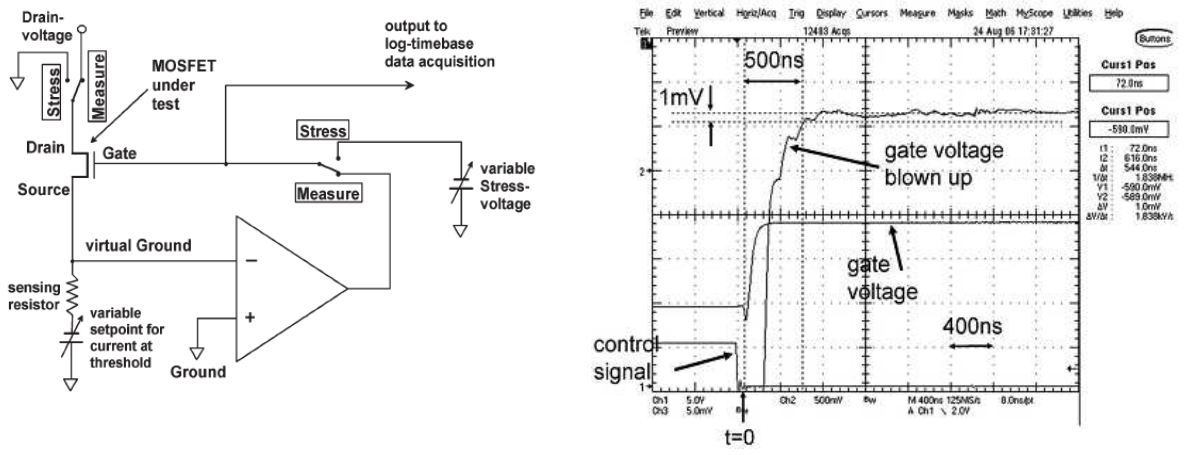


Figure I-15 *a-Dispositif et b- résultats de la mesure « Fast V_t » [Rei06]*

La figure I-15-b montre un exemple de résultat obtenu par cette méthode. Nous pouvons voir que la valeur de seuil est obtenue après que la contre-réaction ait fini son œuvre, soit environ 500 ns. Cette méthode est donc qualifiée de rapide « fast » relativement aux méthodes « classiques » de mesure de seuil sur un temps beaucoup plus long (délai de l'ordre de la seconde entre l'arrêt du stress et la mesure).

L'une des difficultés de cette méthode tient dans les différentes capacités parasites induites par les câbles ainsi que celles du transistor caractérisé. Pour une mesure rapide (2 µs) l'incertitude sur la mesure de seuil est de l'ordre d'1 mV. Elle s'améliore en moyennant le signal sur un temps plus long, par exemple elle atteint 0,1 mV pour une mesure d'au moins 20 ms.

Cette méthode à deux inconvénients majeurs, le premier c'est qu'elle ne peut pas être implémentée sur les appareils de mesures conventionnels, le second c'est qu'elle ne permet pas de s'affranchir des processus de guérison précédant la mesure. Donc augmenter le temps d'acquisition pour réduire l'incertitude de mesure, revient à laisser plus de temps à la guérison. Un juste compromis doit donc être trouvé.

I.2.7.2 La méthode dite Fast I_D

Cette méthode est relativement simple. Tout comme dans le cas précédent, la mesure s'effectue après l'arrêt du stress. Dans ce cas c'est le courant de drain qui est mesuré pour une tension de drain et de grille fixée [Rei07]. La tension de grille est fixée à une valeur de seuil obtenue à l'aide d'une caractéristique I_d_V_g faite avant le stress. Après le stress, le nouveau seuil est extrait via la mesure du courant de drain en utilisant la pente autour du seuil de la courbe I_d_V_g précédente. La mesure de Id est souvent faite par un analyseur de paramètres, ce qui induit un délai de l'ordre de la milliseconde. Cette méthode est donc intrinsèquement moins rapide que la « Fast V_T », ce qui induit une erreur systématique plus importante sur le seuil (environ 15mV).

I.2.7.3 La méthode dite On The Fly (OTF)

La méthode dite OTF a été mise au point par Denais et al [Den04] illustrée dans la figure I-16. Elle consiste à mesurer la dégradation de la tension de seuil sans interrompre le stress. La variation de seuil n'est pas mesurée directement, c'est le courant de drain I_d qui est

mesuré pour deux tensions de grille proches de la tension de stress $V_{g,stress}$. La variation de V_T est ensuite déduite de ces mesures.

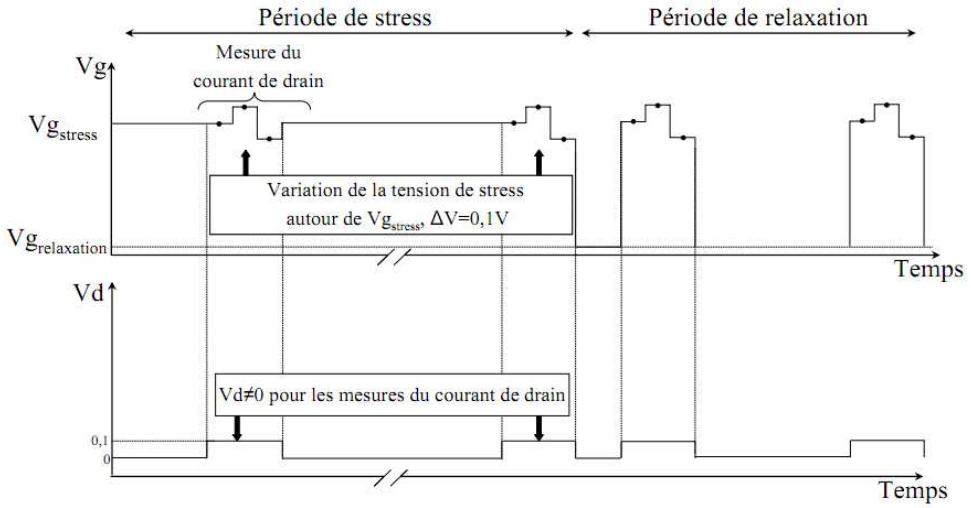


Figure I-16 *Chronogramme des tensions appliquées à un PMOS sous test de vieillissement NBTI par la technique « On the fly » [Den04]*

La variation de la conductance est mesurée à l'aide de l'équation suivante :

$$g_{m,n} = \frac{dI_d}{dV_g} \qquad \text{Eq I-14}$$

Ensuite on peut remonter à la variation de la tension de seuil par une intégration pas à pas [Zhi09].

$$\Delta V_t = \sum_{n=1}^{N} \Delta V_{t,n} = -\sum_{n=1}^{N} \frac{I_{d,n} - I_{d,n-1}}{(g_{m,n} - g_{m,n-1})/2} \qquad \text{Eq I-15}$$

On peut ensuite faire des mesures de ΔV_T au cours du stress pour suivre l'évolution de la dégradation subie par le dispositif. Pour mesurer la tension de seuil en phase de guérison, le composant est laissé au repos et ponctuellement, une tension de grille est appliquée pour permettre le calcul de la tension de seuil.

Un avantage de l'OTF est que cette méthode est facile à mettre en œuvre avec des équipements standard. Un autre est de pouvoir faire une mesure sans interrompre le stress, donc de ne pas voir la mesure biaisée par une éventuelle guérison.

I.3 Injection de porteurs chauds

Les problèmes liés aux porteurs chauds font l'objet d'une inquiétude particulière depuis l'intégration submicronique des composants. Leur effet est souvent appelé « Hot Carrier Injection » (HCI) voir figure I-17. Il consiste notamment en l'injection de porteurs dans l'oxyde de grille des MOSFETs. La présence de champs électriques forts dans le canal et au niveau de la jonction de drain accélère les porteurs majoritaires au point qu'ils libèrent de nouveaux porteurs par ionisation par impact. Ces nouveaux porteurs peuvent se diriger vers l'interface Si-SiO_2 et avoir suffisamment d'énergie pour pénétrer dans le diélectrique de grille. Les principales dégradations causées sont la création de pièges à l'interface Si-SiO_2 ainsi que le piégeage de charges dans le diélectrique de grille. Elles se traduisent par une variation de certains paramètres des transistors tels que la tension de seuil, la mobilité dans le canal, ou le courant de saturation.

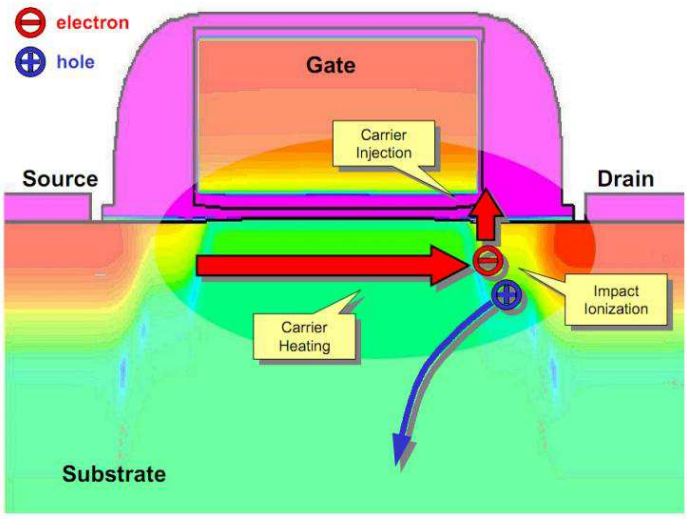


Figure I-17 *Schéma de l'ionisation par impact au voisinage du drain causé par un porteur chaud provenant du canal*

Sous un champ électrique élevé, la génération de paires électron-trou due à l'ionisation par impact suit la loi suivante :

$$G_{impact} = \alpha_n . \frac{J_n}{q} + \alpha_p . \frac{J_p}{q} \qquad \text{Eq I-16}$$

α_n et α_P représentent respectivement le taux d'ionisation des électrons et des trous. Ce taux d'ionisation dépend à la fois de la concentration des porteurs dans le canal et du champ électrique local. L'expression empirique admise pour ce taux est donnée par l'équation suivante [Pli00] :

$$\alpha = A_i . e^{\frac{-B_i}{E_i}} \qquad \text{Eq I-17}$$

Où A_i et B_i sont les coefficients d'ionisation pour chaque type de porteurs (électrons et trous). Dans la zone d'injection, le champ électrique local est maximum, il vaut dans ce cas :

$$E_{i,max} = \frac{V_{ds} - V_{dsat}}{L_d} \qquad \text{Eq I-18}$$

Où V_{ds} la tension entre le drain et la source du transistor, V_{dsat} la tension de saturation et L_d représente la longueur effective du canal dans la zone où les phénomènes d'ionisation par impact se produisent.

Les mécanismes physiques, qui régissent la dégradation des transistors MOSFET, induite par le mécanisme du HCI, dépendent directement de la concentration des porteurs injectés dans le canal, et du champ électrique latéral proche de la zone d'injection. Suivant les conditions de polarisation des transistors, on peut distinguer trois régimes pour les porteurs (voir figure I-18) :

- un régime de trous chauds (HH- Hot Holes) pour $V_{gs} \approx V_{ds}/5$,
- un régime à courant de substrat maximal pour $V_{gs} \approx V_{ds}/2$,
- un régime d'électrons chauds (HE – Hot Electrons) pour $V_{gs} \approx V_{ds}$.

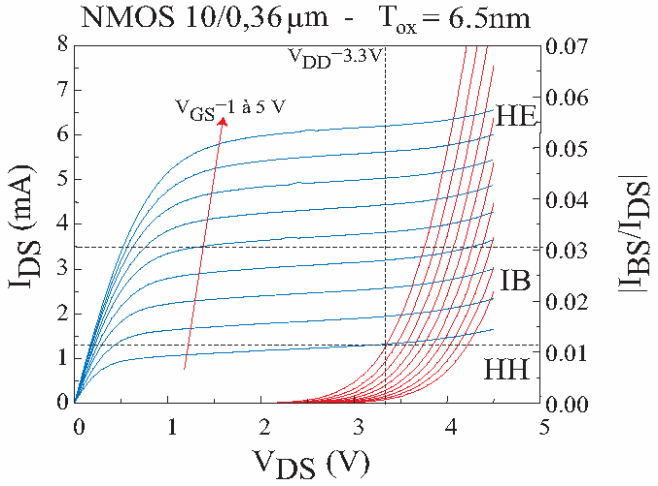


Figure I-18 *Evolution du courant de drain et du courant de substrat (lié au taux d'ionisation par impact) en fonction des tensions de grille et de drain pour un transistor NMOS*

La concentration des porteurs dans le canal dépend fortement du régime de fonctionnement des transistors. En effet, pour le premier régime où le transistor se trouve polarisé en dessous de sa tension de seuil, cette concentration reste relativement faible,

entrainant un faible taux d'injection des porteurs. Sous ces conditions de polarisation, le champ électrique transverse présent dans l'oxyde et dans la barrière de Schottky favorise légèrement l'injection de trous par rapport à celle des électrons.

Dans le deuxième régime, la tension de grille est de l'ordre de la moitié de la tension de drain. Dans ce cas le mécanisme dominant la dégradation est la génération de pièges à l'interface Si-SiO_2 par l'injection de porteurs dans le diélectrique de grille. Ceci provoque une augmentation du courant d'injection des électrons. Cependant, tant que le champ électrique répulsif existe dans l'oxyde, le taux des électrons diffusés à travers l'interface Si-SiO_2 reste relativement bas.

Ensuite dans le dernier régime, quand la tension de grille est plus élevée ($V_{gs} \approx V_{ds}$), ce champ répulsif diminue et une plus grande proportion d'électrons injectés contribue alors au courant de fuite de grille, conduisant ainsi à un maximum de ce dernier.

I.3.1 Modèle du HCI

Le modèle des électrons chanceux (lucky-electron) développé par Shockley est généralement admis pour modéliser la distribution des électrons et des trous dans l'oxyde de grille. L'hypothèse de base du modèle repose sur la probabilité qu'un électron parvient à atteindre l'oxyde de grille. Malgré des nombreuses controverses [Tak82] [Tam05], ce modèle reste l'approche la plus souvent utilisée, pour estimer les courants d'injection grâce à sa simplicité et sa bonne adéquation avec les résultats expérimentaux. Sur la base de ce modèle, il a été démontré que la fraction des électrons du canal injectée dans l'oxyde de grille est donnée par :

$$I_{inj} \propto e^{-\frac{\Phi_{inj}}{q.\lambda.E_i}} \qquad \text{Eq I-19}$$

Où Φ_{inj} est l'énergie nécessaire pour franchir la barrière de potentiel Si-SiO_2, E_i est le champ électrique latéral et λ le libre parcours moyen des porteurs dans l'oxyde.

I.3.2 Extrapolation de la durée de vie

Pour les dégradations par porteurs chauds, les paramètres accélérant le vieillissement sont les tensions entre les bornes du transistor, en particulier la tension drain-source. La grandeur mesurée corrélée à la durée de vie peut cependant être différente de la grandeur effectivement utilisée comme accélérateur du vieillissement (voir figure I-19).

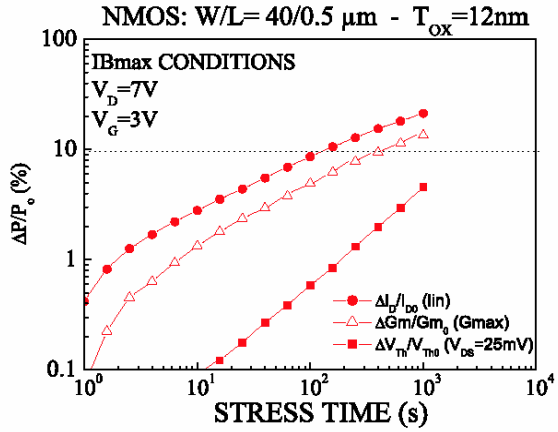


Figure I-19 *Variations relatives de 3 paramètres (courant de saturation, transconductance et tension de seuil) au cours du temps de vieillissement en conditions accélérées [DiG06]*

Il existe plusieurs méthodes pour extrapoler la durée de vie d'un composant suite à des dégradations induites par HCI, parmi elles la méthode de la tension drain-source. Cette méthode a été introduite par Takeda [Tak83]. Takeda a constaté que la durée de vie d'un dispositif dépend exponentiellement de l'inverse de la tension de drain, qui s'appuie sur plusieurs vieillissements pour différentes tensions de drain. Ensuite, le temps mis pour atteindre le critère de dégradation imposé au paramètre électrique suivi au cours des cycles de vieillissement est déterminé par extrapolation. Par une deuxième extrapolation, la tension de drain en conditions opérationnelles pour une durée de vie de dix ans est déterminée. Cette procédure est donc fondée sur deux extrapolations successives et suppose donc bien la conservation des mécanismes de dégradation entre les vieillissements accélérés et le vieillissement aux conditions nominales de fonctionnement. La méthode de Takeda considère que la tension drain-source V_{DS} du transistor est un paramètre suffisant pour modéliser la durée de vie τ. Celle-ci est représentée par le modèle analytique :

$$\tau = t_0 . e^{\left(\frac{B}{V_{DS}}\right)} \qquad \text{Eq I-20}$$

B et t_0 sont des paramètres d'ajustement obtenus par régression linéaire. Une nouvelle formulation où le taux ionisation par impact est pris comme grandeur de contrôle est représenté par le modèle suivant :

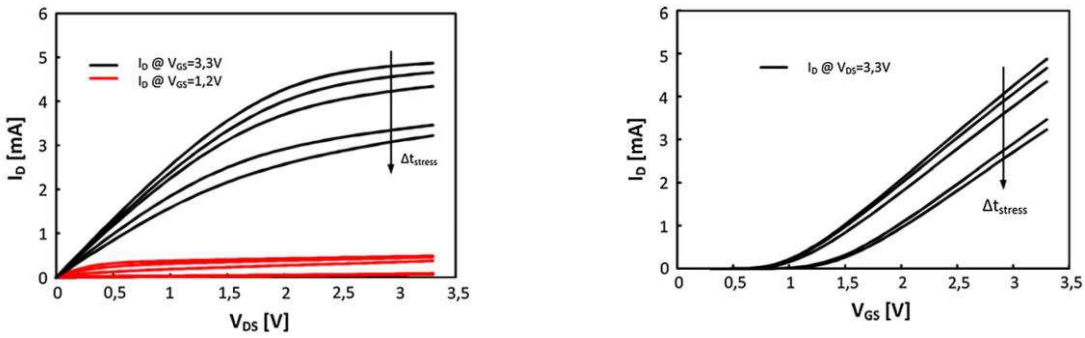
$$\tau = t_0 . e^{\left(\frac{B}{V_{DS}-V_{DS,sat}}\right)} \qquad \text{Eq I-21}$$

I.3.3 Dégradations induites par le HCI et leurs techniques de caractérisation

La contrainte HCI induit des dégradations physiques dans les transistors MOSFET, qui se manifestent par une variation de leurs performances électriques (tension de seuil, courant de drain…). Il existe deux méthodes principales pour examiner l'évolution de la dégradation causée par l'injection de porteurs chauds. La première consiste à suivre l'évolution fonctionnelle du composant avec des mesures électriques, la deuxième repose sur l'évaluation d'une propriété du canal à l'aide de la technique de pompage de charge.

I.3.3.1 Caractérisations électriques

L'évaluation des dégradations par porteurs chauds sur les transistors peut se faire par la caractérisation des paramètres statiques du composant en fonction du temps de stress. En effet, des mesures effectuées avant et après vieillissement ainsi que des caractéristiques de transferts du courant de drain par rapport à la variation de la tension de grille et du drain (I_{ds}/V_{gs} et I_{ds}/V_{ds}) permettent d'évaluer la fiabilité du composant face aux dégradations HCI. Grâce à ces caractérisations nous pouvons suivre les dégradations temporelles des différents paramètres du modèle électrique du transistor. Une étude issue de [Ber11] illustrée à la figure I-20 montre les dégradations des paramètres électriques des transistors NMOS pour différentes dimensions (longueur et largeur du canal) en fonction du temps de stress. Dans cette étude, l'impact de la dégradation HCI sur le courant du drain se manifeste par une réduction du courant de saturation avec l'augmentation du temps de stress.



a b

Figure I-20 *Caractéristiques de transferts du courant de drain a-par rapport à la variation de la tension de grille (I_{ds}/V_{gs}) b- par rapport à la variation de la tension du drain (I_{ds}/V_{ds}) [Ber11]*

Ensuite ces caractéristiques sont utilisées afin d'extraire la variation des tensions de seuil ΔV_{th} des transistors NMOS pour illustrer les dégradations induites par le HCI (voir

figure I-21). Cette variation de seuil se montre plus significative pour les transistors à tension de fonctionnement élevée et un canal court, que pour les autres types de NMOS.

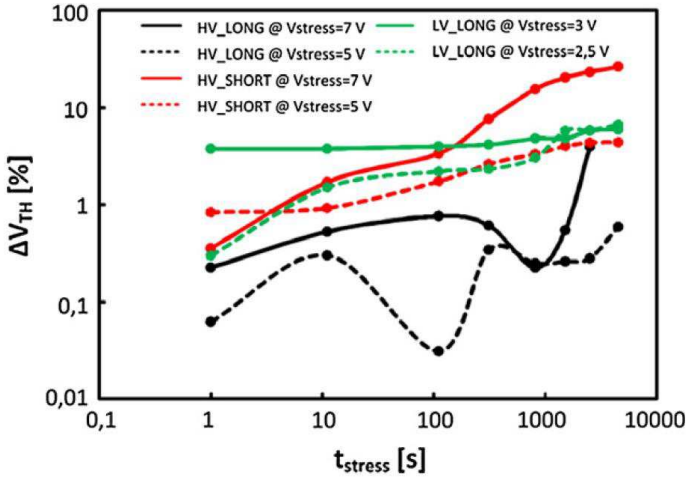


Figure I-21 *Variation de la tension de seuil en fonction de la durée de stress pour différents types de transistors NMOS [Ber11]*

Dans de nombreuses analyses, seul le courant de drain pour une condition particulière de polarisation fait l'objet d'un suivi pendant le vieillissement. Cette méthode est suffisante pour évaluer des durées de vie selon un critère arbitraire, généralement 10% de variation du courant de saturation pour une tension de drain donnée. La figure I-22 issue de [Ish10] illustre cette évolution de la durée de vie d'un transistor NMOS.

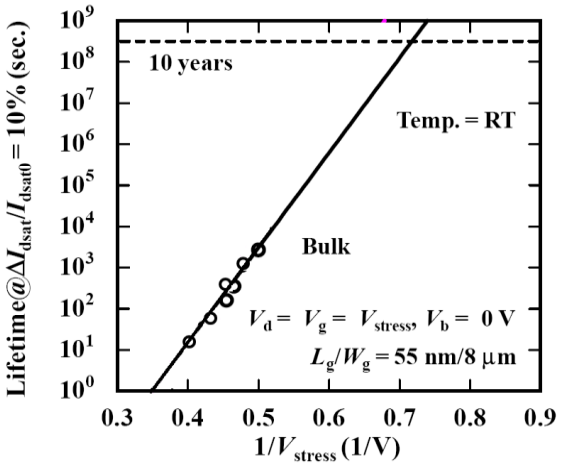


Figure I-22 *Evolution de la durée de vie d'un transistor NMOS [Ish10]*

I.3.3.2 Le pompage de charges

Le pompage de charge est une technique couramment utilisée pour évaluer la dégradation d'un transistor par porteurs chauds [Lin01], [Her89]. Les conditions de polarisation du transistor pour effectuer une mesure de pompage de charge sont présentées sur la figure I-23 [Mah99]. Un signal carré est appliqué sur la grille du transistor MOS grâce à un

générateur de fonction, le drain et la source sont polarisés au même potentiel (à la masse pour un transistor NMOS). Ainsi le courant de substrat, appelé aussi courant de pompage de charges est mesuré avec un électromètre (Keithley 617). L'expression de ce courant mesuré qui est directement proportionnel à la densité d'états d'interface est donnée par Brugler [Bru69] :

$$I_{CP} = f_p . A_{eff} . q . N_{it} . \Delta\Psi_s \qquad \text{Eq I-22}$$

Avec f_p la fréquence du signal appliqué sur la grille, A_{eff} l'aire effective de la grille, q la charge de l'électron, N_{it} la densité d'états d'interface et $\Delta\Psi_s$ le domaine de la bande interdite du semi-conducteur exploré.

La sensibilité de cette technique est très bonne et permet de quantifier les densités d'états d'interface N_{it}.

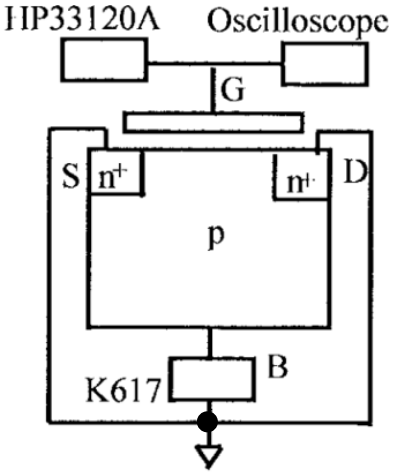


Figure I-23 *Dispositif expérimental pour la technique de pompage de charge [Mah99]*

La mesure classique du courant de pompage de charge peut se décomposer en 5 régimes (voir figure I-24). Le régime principal 3, intervient lorsque l'impulsion appliquée sur la grille passe de la région d'inversion à l'accumulation, ce qui génère un fort courant de substrat (souvent appelé courant pompé $I_{cp.max}$). Pendant les régimes 1 et 5 le courant de pompage de charge est nul I_{cp}=0. En effet pour la phase 1, l'amplitude de l'impulsion appliquée sur la grille est inférieure à la tension de "bande-plate", par conséquent les pièges à l'interface sont dominés par l'injection de trous. Pour la phase 5, la jonction grille-canal reste polarisée en permanence dans la région à forte inversion. Ainsi aucun courant n'est mesuré dans les deux cas. Pour les régimes intermédiaires 2 et 4, le courant de pompage de charge passe rapidement de zéro au niveau de saturation pour la phase 2 et inversement pour la phase 4. Ceci est dû à la polarisation successive de la surface du semi-conducteur de l'accumulation à la forte inversion.

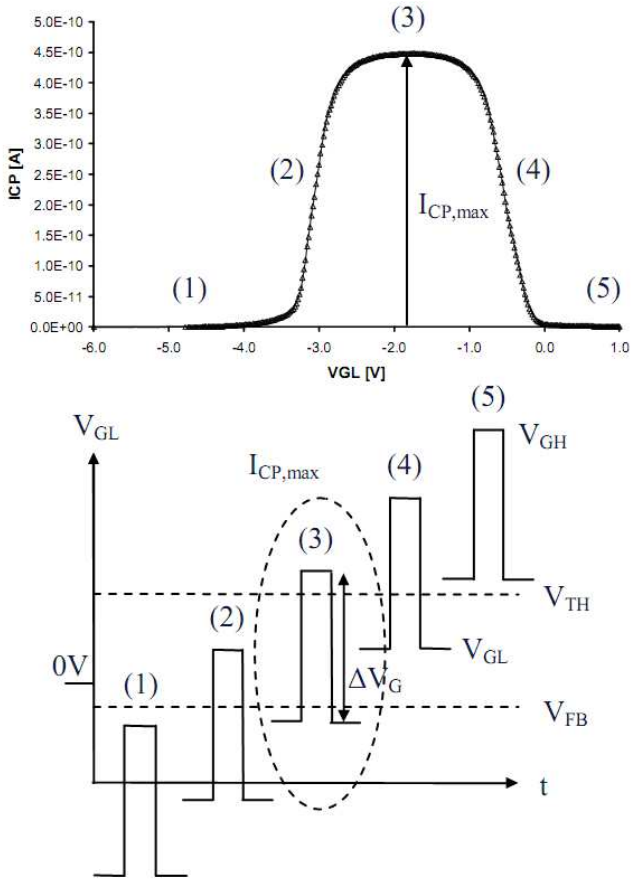
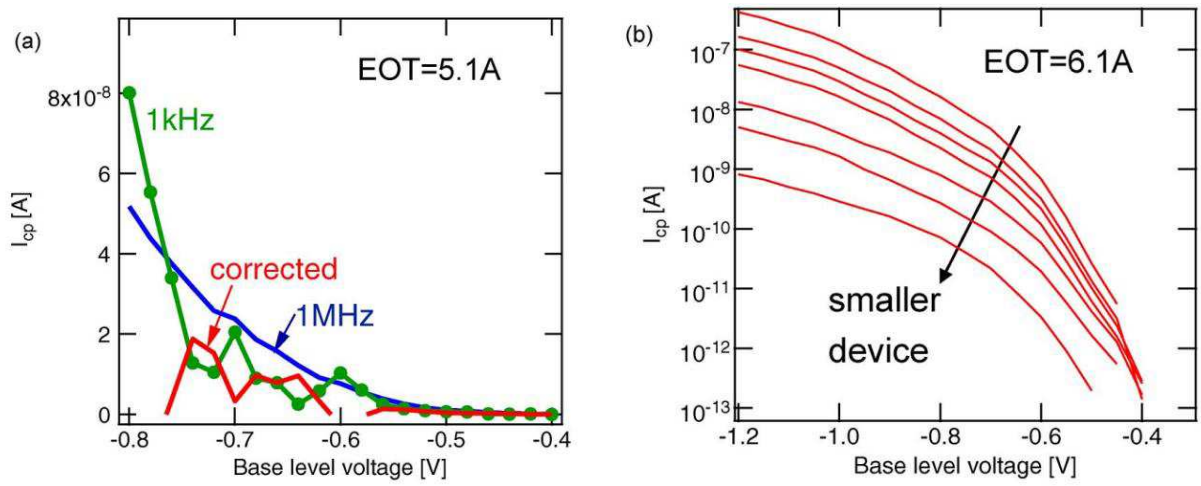


Figure I-24 *Illustration de la mesure dans le cas d'un transistor NMOS [Aic07]*

La technique de pompage de charge est largement utilisée pour évaluer la densité d'états d'interface Nit. Cette évaluation est basée sur une mesure du courant de pompage de charge I_{cp}. La figure I-25 issue de [Moo11] représente des résultats de plusieurs mesures du courant I_{cp} avec cette technique. Sur la figure I-25-a, lorsque la mesure du courant de pompage de charge est réalisée à faible Vg avec une fréquence de 1 MHz, nous pouvons observer une contribution du courant de fuite I_g par effet tunnel, au courant de pompage de charge I_{cp}. En effet dans ces conditions de polarisation où la valeur maximale du signal appliqué sur la grille reste inférieure à la tension de bandes plates et le courant de pompage de charge reste relativement faible, puisque le semi-conducteur est en accumulation. Pour s'affranchir du courant de fuite, le courant Icp mesuré à 1 MHz peut être corrigé en soustrayant une simple mesure à basse fréquence (1 KHz dans ce cas).

Ensuite sur la figure I-25-b, est représentée la variation du courant de pompage de charge mesurée avec la méthodologie décrite précédemment pour des transistors avec plusieurs longueurs de grille (1µm à 70 nm). Sur cette Figure, on peut constater que la réduction de la longueur du canal conduit à une diminution significative du courant pompé.



a b

Figure I-25 *Variation du courant de pompage de charge pour des transistors PMOS avec des épaisseurs d'oxyde de grille de 5,1A , 6,1A , et un diélectrique composé de SiO2[Moo11]*

I.3.4 Effet de la température

La sensibilité des composants aux effets des porteurs chauds varie avec la température, mais contrairement à de nombreux autres types de dégradation ce n'est pas en augmentant la température que l'on aggrave la situation. L'augmentation de température a plutôt pour effet de limiter les dégâts dus aux porteurs chauds. Cette observation est expliquée par les arguments suivants :

-le nombre de porteurs chauds est réduit à hautes températures car la longueur de saturation de leur vitesse est elle-même réduite,

-le libre parcours moyen des porteurs majoritaires est aussi réduit,

-le processus d'ionisation par impact est d'autant moins efficace que la température est élevée.

La figure I-26 [Amb01] donne un exemple de l'effet de la température. Pour les deux types de test (faible et forte tensions de grille), la dégradation du courant de drain est plus accentuée à -40°C qu'à 85°C. La différence est tout de même beaucoup plus prononcée quand la tension de grille est faible. Si le fait de chauffer le composant a pour effet de réduire la dégradation causée par les porteurs chauds, nous pouvons constater que 85°C ne suffisent pas pour l'annuler totalement.

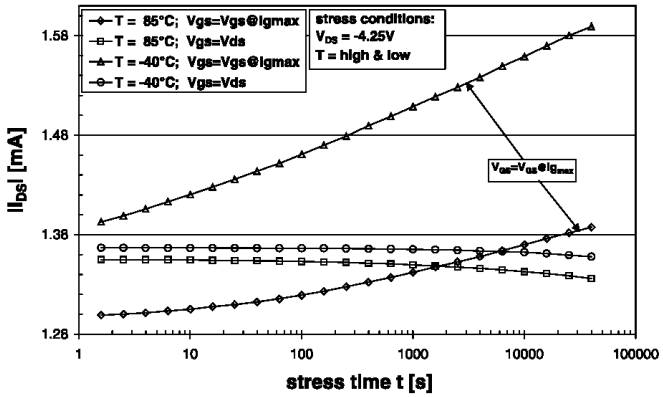


Figure I-26 *Dépendance temporelle de la valeur absolue du courant de drain à saturation pour différents types de stress et différentes températures [Amb01]*

I.4 Time Dependent Dielectric Breakdown

Tout comme le NBTI ou le HCI, le TDDB est un mécanisme de défaillance de plus en plus préoccupant pour les composants CMOS fortement intégrés du fait de la réduction de l'épaisseur des diélectriques de grille. Cette défaillance a pour origine le passage d'un courant au travers du diélectrique de grille susceptible de le dégrader progressivement au point d'aboutir à une rupture localisée. Les effets principaux du TDDB sur les performances électriques des MOSFETs sont un accroissement du courant de grille et une dégradation du contrôle du courant de drain par la tension de grille. Le TDDB a aussi un effet sur d'autres éléments dans lesquels des diélectriques sont polarisés, tels que les capacités MIM, MOS ou plus généralement au niveau des interconnections.

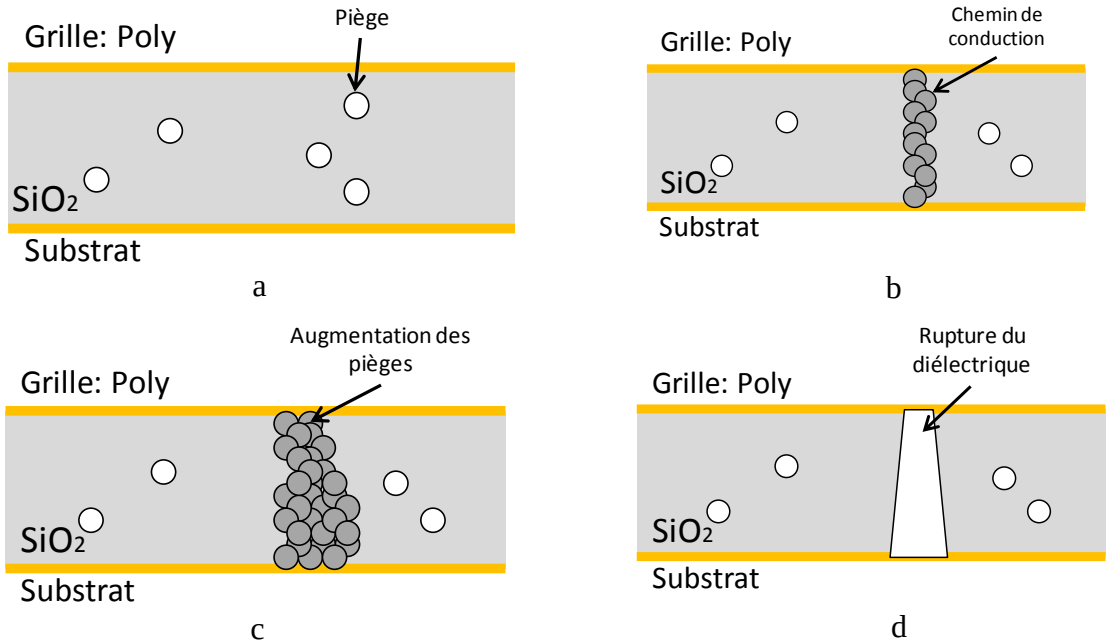


Figure I-27 *Etapes de l'apparition des dégradations au niveau du diélectrique sous contraintes TDDB*

Comme son nom l'indique le TDDB concerne en premier lieu les couches de diélectriques. La dégradation induite par le TDDB commence quand les pièges se forment à l'interface Si-SiO_2. Cette formation de pièges dépend fortement des conditions de polarisation et de stress. Au début, la densité des pièges est relativement faible dans ce cas aucun chemin de conduction ne peut exister (voir figure I-27-a). Ensuite, lorsque cette génération de pièges augmente, les pièges produits commencent à se chevaucher formant un chemin de conduction entre le substrat et la grille du MOSFET, ainsi la dégradation du diélectrique commence. Ce type de dégradation est appelé Soft Breakdown (SBD) (voir figure I-27-b). Une fois le chemin de conduction formé, de nouveaux pièges sont créés par dégradations thermiques comme le montre la figure I-27-c. Au final, la conductance augmente de façon brutale, aboutissant à une rupture localisée du diélectrique de grille du MOSFET, ce type de défaillance est appelé Hard Breakdown (HBD) (voir figure I-27-d). L'image microphotographie I-28 du diélectrique pour des capacités MOS, illustre les dégradations causées par le TDDB.

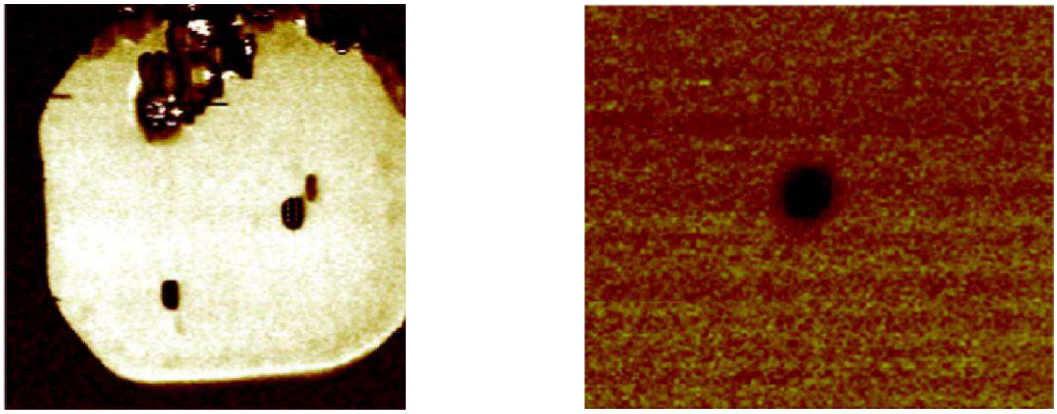


Figure I-28 *Microphotographie de la rupture du diélectrique pour des capacités MOS [Por07]*

I.4.1 Modèles du TDDB

Il existe de nombreuses théories pour décrire le procédé de génération des pièges aux états d'interface suite à des dégradations de type TDDB. Cependant, deux modèles sont principalement admis pour traduire l'accélération apportée par une contrainte électrique (de type TDDB) : le modèle thermochimique (modèle E) et le modèle 1/E. Des études [Sue97] [Mcp98] ont montrées que pour des stress sous champ électrique élevé, le modèle 1/E est bien en accord avec les données expérimentales, alors que sous un faible champ électrique le modèle E montre une meilleure concordance avec les données expérimentales.

I.4.1.1 Modèle E

Le modèle E, aussi appelé modèle thermochimique, a été déduit de l'ajustement de résultats obtenus pour des oxydes épais (>5 nm). Le temps moyen d'occurrence de la défaillance est défini par :

$$t_{BD} \propto e^{(-\gamma E)} \qquad \text{Eq I-23}$$

Où E est la valeur du champ électrique dans le diélectrique et γ le facteur d'accélération.

D'abord empirique, ce modèle s'est vu proposé une justification physique via le modèle thermochimique. Ce modèle est basé sur la création de défauts et de pièges dans le diélectrique par rupture de liens Si-Si sous l'effet du champ électrique [Sue02], l'accumulation de ces pièges ou défauts provoquant la rupture du diélectrique.

Pour des oxydes très minces (<5 nm), le modèle E s'exprime en fonction de la tension de grille par :

$$t_{BD} \propto e^{(-\theta V_{GS})} \qquad \text{Eq I-24}$$

Où V_{GS} est la tension grille/source et θ le facteur d'accélération correspondant. Ce modèle est apparu après le test de composants possédant une couche de diélectrique inférieure à 5 nm [Rib03]. La dépendance de ce modèle est en tension car il considère que pour des diélectriques très fins la cause de TDDB est le passage d'électrons au travers de la grille par effet tunnel direct ou par effet Fowler-Nordheim balistique. Dans ce cas l'énergie des électrons dépend plus directement de la tension que du champ électrique.

I.4.1.2 Modèle 1/E

Le modèle 1/E permet d'exprimer le temps d'occurrence de la défaillance par [Sue02] :

$$t_{BD} \propto e^{\left(\frac{\Psi}{E}\right)} \qquad \text{Eq I-25}$$

Avec E le champ électrique dans l'oxyde et ψ le facteur d'accélération.

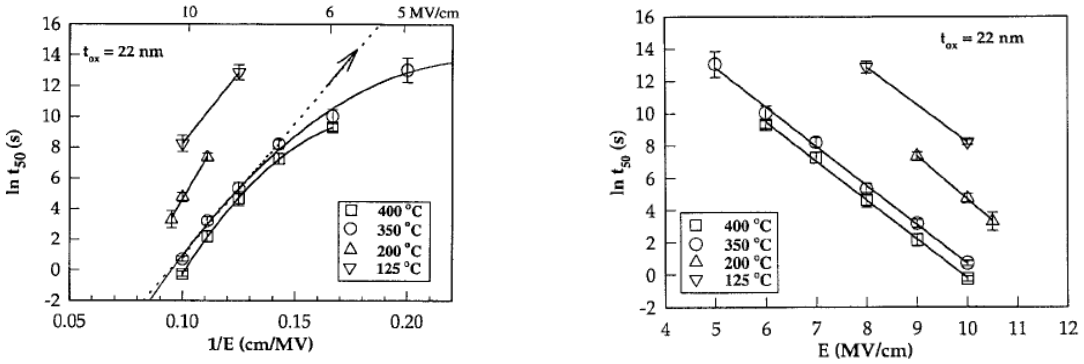
Il se base sur le principe d'une injection de trous depuis l'anode, causée par un transfert d'énergie à ces mêmes trous par les électrons traversant le diélectrique par effet tunnel (Fowler-Nordheim non balistique). Les trous injectés sont piégés dans l'oxyde et leur présence modifie le potentiel de barrière du diélectrique au point d'aggraver les effets d'injection d'électrons. Le TDDB est provoqué par un emballement de ce processus.

Tout comme le modèle E, le modèle 1/E a une déclinaison en fonction de la tension de grille. Le domaine d'application est aussi celui des oxydes très minces et la justification est la même [Pom05], le temps d'occurrence de la défaillance se définit alors par :

$$t_{BD} \propto e^{\left(\frac{\delta}{V_{GS}}\right)} \qquad \text{Eq I-26}$$

I.4.1.3 Comparaison des modèles

Les modèles E et 1/E on surtout été utilisés pour des épaisseurs d'oxyde supérieures à 5 nm, la figure I-29 présente un exemple de résultats obtenus dans [Sue97].



a b

Figure I-29 *Variation du logarithme népérien du temps médian pour l'occurrence de la défaillance en fonction a-de l'inverse du champ électrique et b- du champ électrique, pour différentes températures [Sue97]*

La figure I-29-a montre que le modèle 1/E ne convient que pour les fortes valeurs de champ. En dessous de 7 MV/cm, le modèle tend à surestimer la durée de vie. Par contre la figure I-29-b montre que le modèle E convient bien aux mesures présentées, il permet notamment d'extrapoler le comportement pour des valeurs de champ plus faibles donc proches des conditions d'utilisation. On retrouve la même conclusion dans [Yas99], dans le cas du test de capacités MOS dont l'épaisseur d'oxyde est égale à 3,9 nm.

I.4.2 Contrainte thermique

L'influence de la température sur l'accélération du processus de TDDB a été étudiée dans la référence [Cha10]. La figure I-30 présente l'évolution du courant de fuite en fonction du temps de stress sous un faible champ électrique (E=3,3 MV/cm) pour plusieurs températures (de 75 à 250°C). Les échantillons testés sont des diélectriques des technologies 65 nm, 40 nm et 28 nm.

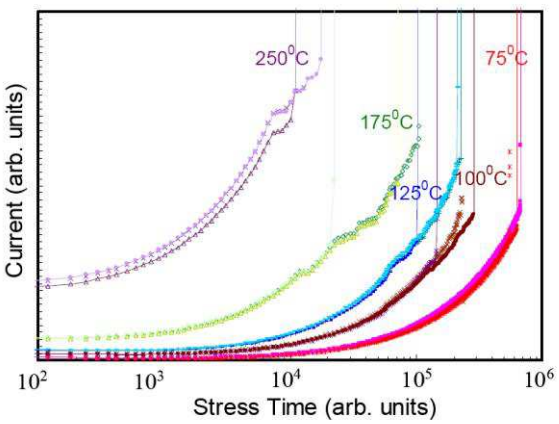


Figure I-30 *Evolution du courant de fuite en fonction du temps de stress sous un faible champ électrique (75°C à 250°C) [Cha10]*

La figure I-30 illustre le fait que la température est un facteur d'accélération pour le TDDB.

La figure I-31 présente les résultats d'une étude menée sur des capacités MOS, détaillée dans [Eri98]. Le diélectrique concerné est encore le SiO_2. Le stress électrique consiste en l'injection d'un courant constant au travers de l'oxyde, pour différentes valeurs de température.

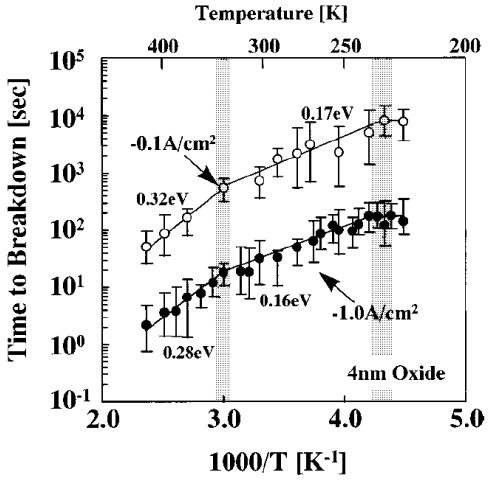


Figure I-31 *Temps pour dégrader l'oxyde en fonction de la température pour un oxyde épais de 4 nm et deux niveaux de courant injectés dans la grille [Eri98]*

De nouveau on retrouve une accélération du temps pour parvenir à la défaillance quand la température augmente. Les auteurs de [Eri98], précisent qu'avant cette étude, d'autres ont obtenu une variation de l'énergie d'activation en fonction de la température pour des oxydes d'épaisseurs supérieures à 10 nm et une indépendance en température de l'énergie d'activation dans le cas d'oxydes d'épaisseurs supérieures à 7 nm et de températures inférieures à 240 K.

D'autre part, si l'on regarde de plus près la figure I-31, il apparaît deux ruptures de pente, une première à 230 K et une seconde à 330 K. Les auteurs précisent que ce comportement se retrouve pour une épaisseur d'oxyde de 10 nm, et se conserve quelle que soit la valeur du stress électrique. Ce comportement implique une variation de l'énergie d'activation thermique avec la température. La dégradation observée pour T comprise entre 230 et 330 K est assimilée à la diffusion d'atomes d'hydrogène dans le SiO_2. Pour T>330 K, l'énergie d'activation augmente ce qui peut s'interpréter comme l'activation de la diffusion des molécules d'hydrogène H_2. La dégradation est alors causée par les efforts conjoints des atomes et des molécules d'hydrogène.

I.4.3 Types de dégradation induite par le TDDB

Il existe deux formes de dégradation induites par le TDDB, le soft breakdown (SBD) et le hard breakdown (HBD). Le SBD se traduit par l'établissement d'un chemin conducteur temporaire dans le diélectrique. Alors que le HBD se produit après le SBD et se manifeste par une augmentation brutale du courant de fuite suite à une rupture du diélectrique. On peut distinguer trois phases pour représenter la chronologie du TDDB (voir figure I-32 [Wra10]). La première phase correspond à l'usure progressive du diélectrique causée par la génération de pièges engendrée par le stress appliqué sur le dispositif. Au cours de la second phase appelée soft breakdown une première discontinuité du courant de grille commence à être observée. Malgré cette défaillance le composant testé reste fonctionnel. La troisième phase correspond au hard breakdown se traduisant par une augmentation brutale du courant de fuite causée par une rupture localisée du diélectrique de grille.

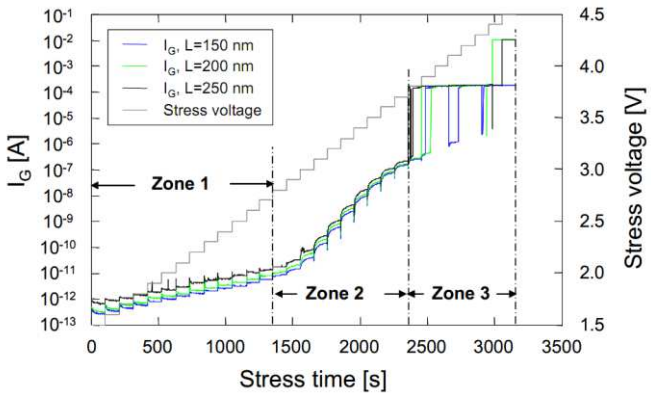


Figure I-32 *Illustrations des différentes étapes du TDDB [Wra10]*

Le SBD est associé à la formation d'un chemin de conduction temporaire dans le diélectrique. Ce chemin permet une décharge du potentiel de grille ainsi qu'une dissipation de

l'énergie stockée. Cette dissipation d'énergie provoque une rapide montée en température du diélectrique qui peut être suivie d'une phase de guérison totale ou partielle des dégradations subies. Plusieurs SBD peuvent être observés avant que ne se produise le HBD [Jac99].

Les SBD apparaissent souvent quelques microsecondes après le début d'application du stress, leur observation requiert donc l'utilisation d'un appareil de mesure plus rapide que ceux utilisés pour observer les HBD. La figure I-33 présente le relevé d'un SBD acquis par un oscilloscope numérique [Jac99].

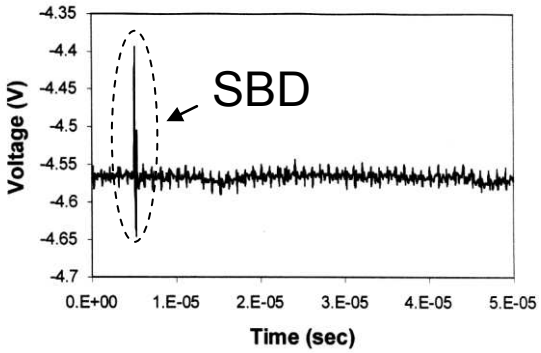


Figure I-33 *Signature d'un SBD sur la tension de grille*

Les résultats de ces tests confirment l'aspect rapide de la défaillance induite par le SBD sur la tension de grille. En effet le Soft Breakdown se manifeste par une variation significative de la tension de grille durant un temps très court, qui retrouve sa valeur initiale très rapidement. Aussi l'apparition des dégradations causées par le SBD varie avec la surface du diélectrique. Ainsi, pour des composants avec une grande surface de diélectrique, l'effet du SDB est beaucoup moins visible du fait de l'importance du courant de fuite. Il se traduit alors par une légère augmentation de ce courant de fuite.

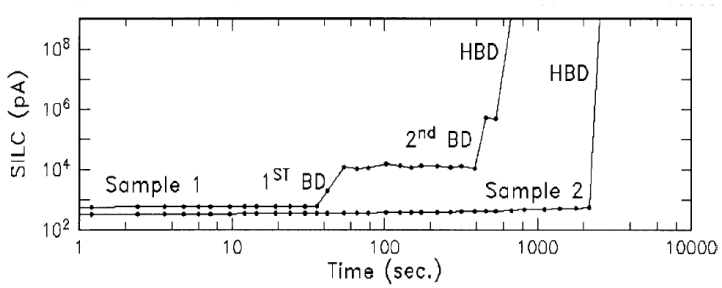


Figure I-34 *Variation temporelle du courant de fuite après plusieurs Breakdown [Wu03]*

Après l'occurrence d'un Hard Breakdown au niveau du diélectrique engendrant sa dégradation, le courant de fuite augmente de façon brutale. L'ampleur de cette dégradation est illustrée sur la figure I-34, montrant une grande variation du courant après un HBD. On constate aussi que cette variation de courant reste moins significative après plusieurs SBD comparé au HBD.

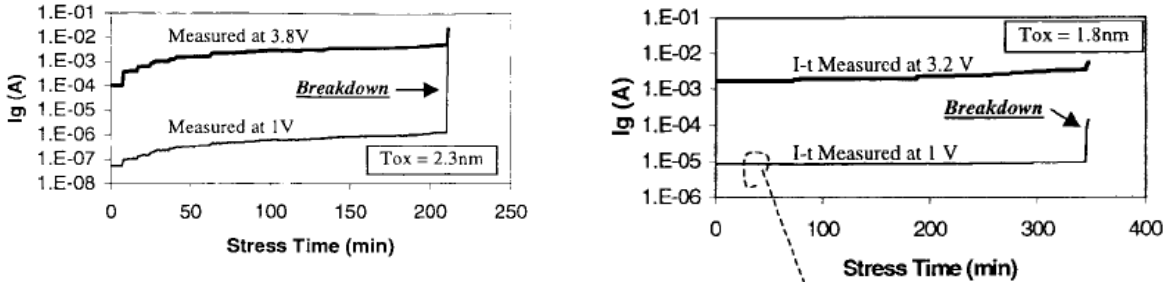
I.4.4 Méthodes de caractérisation

I.4.4.1 Techniques classiques

La technique classique est considérée comme la méthode la plus utilisée pour caractériser les dégradations induites par le TDDB. Comme son nom l'indique, elle consiste à appliquer une tension constante sur la grille, supérieure à la tension de fonctionnement, jusqu'à aboutir au claquage du diélectrique. Ainsi la rupture du diélectrique est détectée par une mesure du courant de fuite qui augmente de façon brutale.

I.4.4.2 Time dependent dielectric wearout

La méthode de caractérisation appelée Time Dependent Dielectric Wearout (TDDW) [Yid99] consiste à caractériser la défaillance dans les conditions de fonctionnement nominales du composant en interrompant le stress. Le principe de cette technique repose sur trois étapes. Durant la première étape une tension de stress constante est appliquée pendant un temps donné, ensuite le stress est suspendu et le courant de grille est mesuré à tension de grille nominale, ainsi le courant de grille mesuré est comparé à une valeur seuil. Si cette valeur mesurée est inférieure à la valeur seuil, on retourne à la première étape, sinon on stoppe le stress car le claquage est détecté. Les résultats de cette technique sont illustrés sur la figure I-35, qui montre à quel point la hausse du courant de grille est plus accentuée pour une mesure à tension nominale de fonctionnement que pour une mesure à la tension de stress. Aussi, les auteurs de cette étude considèrent qu'il est plus facile de détecter le claquage quand la tension de grille est nominale que quand elle est égale à valeur de stress. De fait, cette méthode conviendrait mieux aux faibles épaisseurs de diélectrique que les méthodes classiques.



(a) (b)

Figure I-35 *Courant de grille en fonction du temps de stress pour la tension nominale de fonctionnement (1V) et la tension de stress (3,8V) pour un oxyde de 2,3 nm (a) et 1,8 nm (b) [Yid99]*

I.5 Électromigration

L'électromigration est un mécanisme d'usure intervenant dans les pistes métalliques des circuits intégrés (CI). Ce phénomène se traduit par le déplacement d'atomes sous l'effet du courant électrique qui les traverse. Toutes les métallisations du circuit peuvent être affectées. En fonction de la direction du courant électrique, le déplacement d'atomes peut induire des lacunes ou des excroissances. Dans le premier cas, l'apparition des lacunes au niveau de la cathode provoque une augmentation de la résistance de la piste. Dans le second cas, les excroissances au niveau de l'anode, peuvent causer des courts-circuits entre les lignes de métal. Ce phénomène est connu depuis le début des technologies intégrées et il a fait l'objet de nombreuses études détaillées. Il est toujours d'actualité pour les technologies fortement intégrées. Bien que le remplacement de l'aluminium par le cuivre dans le procédé de fabrication des circuits intégrés a laissé espérer une réduction de l'électromigration, du fait des différences structurelles entre les deux matériaux, le problème n'a pas encore été résolu.

I.5.1 Description microscopique

A l'échelle microscopique, l'électromigration est un phénomène d'auto-diffusion des atomes du métal en présence d'un champ électrique et d'un courant. Ainsi, lorsqu'un courant traverse le métal, deux forces extérieures s'exercent sur les atomes : la première est la force électrostatique engendrée par le champ électrique, et la deuxième force c'est l'interaction « mécanique » avec les électrons du courant. L'effet résultant est une force orientée dans la direction du champ électrique.

Le déplacement de matière est finalement donné par la loi:

$$J_{EM} = N.\rho.j.e.Z^{*}.\frac{D_{eff}}{kT} \qquad \text{Eq I-27}$$

Où N est la densité d'atomes, ρ la résistivité du matériau, j la densité de courant, e la charge de l'électron, Z^* la charge effective des atomes des matériaux, D_{eff} la constante d'auto-diffusion du matériau, k la constante de Boltzmann, T la température absolue. La constante d'auto-diffusion dépend elle aussi de la température selon la loi d'Arrhenius :

$$D_{eff} = D_0.e^{\frac{-E_a}{kT}} \qquad \text{Eq I-28}$$

Où E_a est l'énergie d'activation du mécanisme, et dépend du matériau utilisé.

I.5.2 Effet de la microstructure sur l'électromigration

Il est bien connu depuis longtemps, que les dégradations dues au mécanisme d'électromigration, sont relativement liées à la microstructure des pistes de métal. En effet le métal des pistes d'interconnexions des circuits intégrés est généralement constitué de grains juxtaposés considérés comme monocristallins, d'orientation aléatoire (voir figure I-36). Ces grains sont séparés les uns des autres par des « joints de grains » d'une largeur estimée à 0,1 nm. Ces joints de grains ont des propriétés très différentes de celles du matériau monocristallin. De plus, les grains eux-mêmes comportent des dislocations qui se comportent différemment vis-à-vis de l'électromigration.

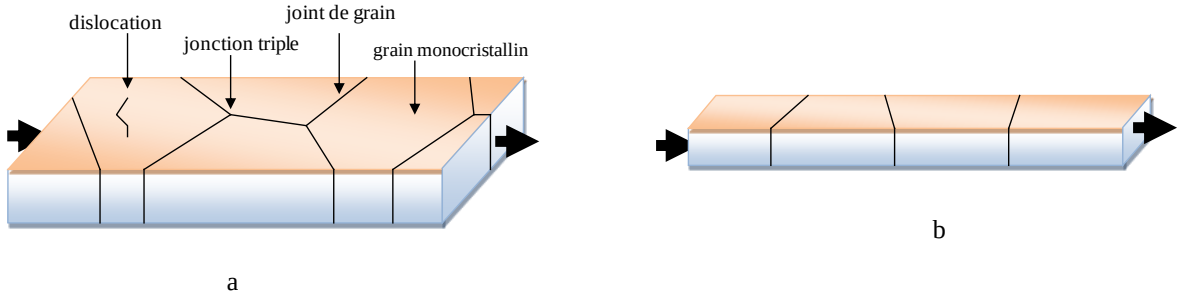


Figure I-36 *Structure granulaire de pistes d'aluminium. (a) piste large et structure avec jonctions triples des joint de grains, (b) piste étroite et structure bambou*

Dans le mécanisme de l'électromigration, il est admis que la diffusion à l'interface supérieure domine le transport des atomes, mais certains auteurs justifient une diminution de la durée de vie des lignes larges (au-delà de 1 µm) par une contribution des joints de grains. Cette diminution est confirmée par une augmentation de l'énergie d'activation [Lin07a], [Usu04].

Les valeurs d'énergie d'activation associées à différents modes de diffusion possibles dans la littérature, pour le cuivre et l'aluminium sont reportées dans le Tableau I-1.

Métal	**E_a[eV]**		
	Grains	**Joints de grains**	**Surface**
Al	1,4	0,4-0.5	_
Al/Cu	1,2	0,6-0,7	0,8-1
Cu	1,3	1,2	0,7-1

Tableau I-1 *Énergies d'activations mesurées pour l'aluminium et le cuivre*

Au final, le transport d'atomes par électromigration est la combinaison de nombreux phénomènes de transport dans des matériaux « différents » comme le montre la figure I-37 :

a. migration d'atomes dans les grains,
b. migration d'atomes le long des joints de grains,

c. migration des joints de grains,
d. migration des défauts dans les grains,
e. migration d'atomes en surface.

En général, la migration dans les grains (dont la structure cristalline est plus régulière) est la plus lente. La vitesse globale de l'électromigration est donc fortement conditionnée par la microstructure du matériau, ainsi que par son état de surface.

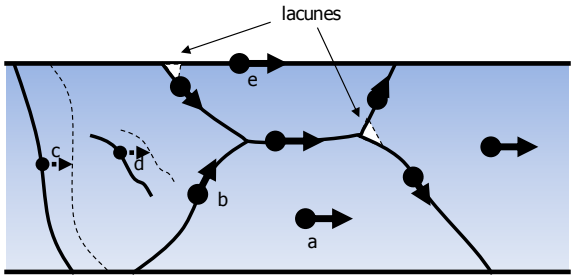


Figure I-37 *Mécanismes de transport par électromigration*

I.5.3 Estimation de la durée de vie (Loi de Black)

A la fin des années 60 J.R Black [Bla69], a proposé un modèle de prévision de la durée de vie médiane MTTF (Mean Time To Failure) des piste soumise à des tests de durée de vie aux conditions de test (température T et densité de courant J). L'équation de Black généralisée est la suivante :

$$MTTF = A\, j^{-n}\, e^{\frac{E_a}{kT}} \qquad \text{Eq I-29}$$

A est un coefficient rendant compte des propriétés microstructurales de la ligne telles que la résistivité électrique, la charge effective, le coefficient pré-exponentiel de diffusion. E_a est l'énergie d'activation de diffusion du cuivre.

En pratique, la loi de Black est valide sur la plupart des technologies. Cette loi est très largement utilisée dans l'industrie microélectronique pour extrapoler les durées de vie des pistes d'interconnexions, lors de tests accélérés, à forte température et densité de courant. La précision et la justesse de cette extrapolation nécessitent une connaissance précise des paramètres E_a et *n*.

I.5.4 Lacune induite par l'électromigration

La formation des lacunes a été identifiée comme le premier mode de défaillance par Black [Bla69] depuis les années 70. L'apparition de ces lacunes est due au retrait d'atomes

dans les pistes de métal. Cet effet est le plus fréquemment à l'origine des pannes. En effet l'absence locale de métal entraîne une augmentation de la résistance de la piste, voire un circuit ouvert. La piste perd alors, partiellement ou totalement, sa fonctionnalité (voir figure I-38).

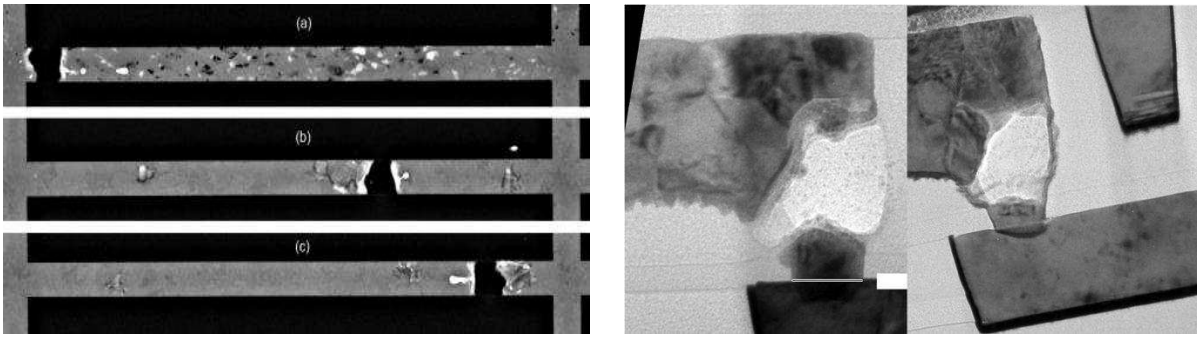


Figure I-38 *Lacune induite par électromigration au niveau des pistes d'interconnexions et des vias*

Récemment, ce mode de défaillance a été énormément étudié dans la littérature [Yon10] [Hon10] [Sha11] surtout pour les lacunes qui apparaissent au niveau des vias dans les interconnexions de cuivre sur plusieurs niveaux. Ce mécanisme de défaillance pourrait être réduit d'une manière significative, grâce à l'optimisation de la conception de la géométrie des pistes et du nombre de vias utilisés.

I.5.5 Extrusion induite par l'électromigration

En cas d'accumulation de matière dans le volume, l'augmentation de densité locale engendre un gradient de pression entre les zones d'accumulation et les zones environnantes. Cette surpression locale favorise la diffusion d'atomes vers les zones de moindre pression, ce qui contrebalance la convergence du flux d'électromigration. Ainsi, si cette accumulation se fait à la surface de la piste, elle peut engendrer une extension locale de la piste qui peut entraîner des courts-circuits avec les pistes voisines (voir figure I-39).

Dans une étude de Lloyd [Lly84] sur la relation entre les circuits ouverts et les courts-circuits induits par l'électromigration, il a montré que les deux mécanismes de défaillance peuvent être réduits à un seul et même mécanisme dans le cas des circuits intégrés avec plusieurs niveaux d'interconnexions. D'autres études de Tower et al [Tow85] [Bro88] ont montré qu'il existe une influence de l'épaisseur du diélectrique sur l'apparition des extrusions qui se traduit par des courts-circuits.

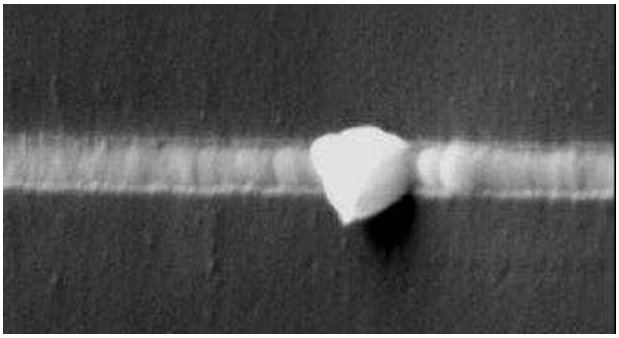


Figure I-39 *Extrusion induite par électromigration*

I.5.6 Tests de vieillissement

L'estimation de la durée de vie liée à l'électromigration s'appuie largement sur des analyses statistiques des instants de défaillances dans des conditions diverses de vieillissement accéléré (accélération électrique et accélération thermique). En effet, les instants des défaillances dues à l'électromigration sont fortement aléatoires car fortement dépendants des caractéristiques microscopiques de la piste, mais aussi fortement dépendants des conditions d'utilisation en particulier de la température et de la densité de courant, comme l'indique la loi de Black.

I.5.6.1 Accélération électrique

La dégradation des pistes et via métalliques provoquée par les processus d'électromigration est en grande partie liée à la force du vent d'électrons. Il n'est donc pas étonnant de constater que la grande majorité des tests accélérés de ce type de dégradation est fait en appliquant un courant constant sur l'échantillon testé. Dans certains cas, le courant est variable de sorte à maintenir une dissipation de puissance constante.

En fait ce n'est pas en fonction de la valeur du courant que les résultats sont présentés mais en fonction de celle de la densité surfacique de courant. Dans la mesure où l'échantillon considéré est une piste ou un via dont l'expérimentateur connait la surface, cette quantité est aisée à extraire de la véritable variable expérimentale qu'est le courant traversant la piste ou le via en question. Dans la plupart des publications les densités de courant utilisées sont de l'ordre de quelques MA/cm^2.

Depuis la fin des années 60, la durée de vie τ est donnée, en fonction de la densité surfacique de courant j, par la formule suivante :

$$\tau(j) \propto j^{-n} \qquad \text{Eq I-30}$$

C'est une partie de la loi de Black [Bla69]. La valeur de l'exposant n dans l'article original est 2. Mais il varie en fonction des matériaux testés.

Le tableau I-2 présente différentes valeurs de l'exposant n, disponibles dans la littérature.

n	**détails**	**références**
2,02	Piste en aluminium (T=140°C)	[Bie04]
1,89	Piste en aluminium (T=170°C)	[Bie04]
2,13	Piste en aluminium (T=200°C)	[Bie04]
1,1	interconnexions en cuivre	[Sri04]
1,4	Piste en cuivre dual damascene PVD	[Lin06]
1,2	M1/via/pisteM2/via/M1 technologie cuivre dual-damascene 0,18 µm	[Vai04]

Tableau I-2 *Valeurs de n*

Pour les trois premières valeurs, correspondant aux mêmes échantillons d'aluminium mais pour trois températures différentes de test, on peut constater que la valeur de n est relativement insensible au changement de température.

Dans [Lin06], les auteurs proposent une légère adaptation de cette loi en introduisant la notion de densité de courant critique j_c. La durée de vie τ est alors donnée en fonction de la densité surfacique de courant j, par la formule suivante :

$$\tau(j) \propto (j - j_c)^{-n} \qquad \text{Eq I-31}$$

L'exposant n de cette loi est identique à celui de l'équation I-30. Cette équation permet un meilleur ajustement des valeurs expérimentales pour les faibles valeurs de j, que la loi de Black.

I.5.6.2 Accélération thermique

Depuis la loi de Black, la dépendance en température de la dégradation de la résistance induite par l'électromigration est donnée par la loi d'Arrhenius. Ce fait est toujours très populaire de nos jours, si bien que la dépendance en température de la durée de vie est donnée par :

$$\tau(T) \propto e^{\frac{E_a}{kT}} \qquad \text{Eq I-32}$$

Où E_a est l'énergie d'activation, k la constante de Boltzmann et T la température de l'échantillon.

Afin d'accélérer le processus de dégradation, le composant sous test est chauffé à une température généralement supérieure à 100°C et pouvant atteindre plus de 350°C. La figure I-44 présente la variation de la durée de vie 50 % en fonction de l'inverse de la température. Ces résultats concernent différentes structures ayant pour point commun l'utilisation d'un diélectrique, d'une barrière de tantale et d'une couche de cuivre recouverte de SiNx. Le diélectrique est soit de l'oxyde de silicium, soit un matériau « low k », soit du méthylsilsesquioxane poreux (porous MSQ) et soit un polymère organique. La valeur de la densité de courant utilisée pour le stress est 1 MA/cm^2.

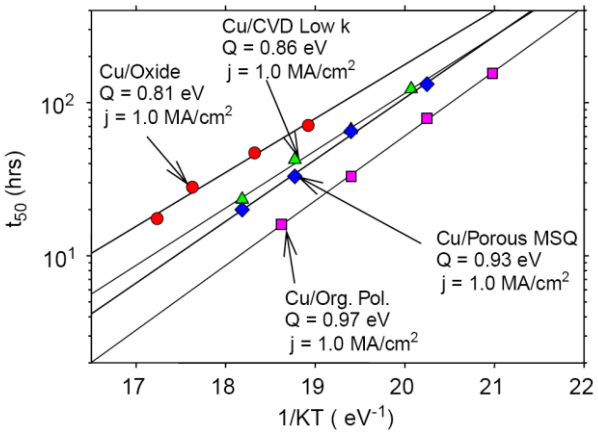


Figure I-40 *Diagramme d'Arrhenius de la durée de vie 50% pour différents assemblages cuivre/diélectrique disposant d'une barrière de Tantale et d'une couverture de SiNx [Ho04]*

Cette figure montre la validité de la loi d'Arrhenius ainsi que la variation de l'énergie d'activation (Q sur la figure I-40) suivant la nature du diélectrique.

Dans [Bie04], les auteurs rappellent qu'il faut considérer l'échauffement provoqué par effet Joule afin de connaitre précisément la température à laquelle se trouve le composant en cours de test. Si T_f est la température du four utilisé pour l'accélération thermique, la véritable température T du composant est donnée par :

$$T = T_f + R_i \theta_i I_{DC}^2 \qquad \text{Eq I-33}$$

Où R_i est la résistance électrique de l'échantillon, I_{DC} le courant statique utilisé lors du stress électrique et θ_i la résistance thermique de l'échantillon.

L'extrapolation de la valeur de durée de vie via la loi d'Arrhenius requiert une connaissance précise de la température utilisée. Il faut donc estimer l'échauffement produit par effet Joule afin de corriger la température du four pour parvenir à celle choisie. En

pratique, si l'on considère que la résistance électrique de l'échantillon a une variation négligeable avant que la défaillance détectée soit significative, cela implique de mesurer uniquement sa résistance thermique.

I.5.7 Méthodes de caractérisation

La caractérisation de l'électromigration sur des pistes d'une technologie donnée se fait par l'utilisation de structures de test appropriées, constituées de pistes représentatives de la technologie étudiée. Ces structures peuvent être plus ou moins complexes et inclure ou non, plusieurs niveaux de métallisation et des vias, différentes largeurs de piste, ou des structures de type SWET.

Ces structures font l'objet de vieillissements accélérés dans le cadre de tests statistiques. Plusieurs méthodes complémentaires sont utilisées pour analyser les mécanismes.

I.5.7.1 La méthode de résistométrie classique

En 1968, Rosenberg et al [Ros68] ont introduit cette méthode. Elle repose sur l'idée de suivre l'évolution de la résistance des échantillons pendant le vieillissement. La grandeur considérée par cette approche est le taux de variation de la résistance défini par l'expression suivante :

$$\frac{1}{R(t=0)}\frac{dR(t)}{dt} = A.e^{-\frac{E_a}{kT}} \qquad \text{Eq I-34}$$

L'énergie d'activation est extraite à partir des mesures effectuées à deux températures (T_1 et T_2), comme le montre l'expression suivante :

$$\frac{\dot{R}_1}{\dot{R}_2} = \exp\left[-\frac{E_a}{k}\left(\frac{1}{T_1}-\frac{1}{T_2}\right)\right] \qquad \text{Eq I-35}$$

I.5.7.2 La méthode TRACE

Cette méthode a été introduite en 1983 par Pasco et Schwarz [Pas83]. Il est proposé une technique améliorée de la méthode de résistométrie appelée TRACE (Temperature Ramp resistance Analysis to Characterize Electromigration). Cette méthode consiste à appliquer sur un échantillon une rampe de température tout en maintenant un courant constant. Les paramètres A et E_a de l'équation de Black sont extraits de la mesure de résistance après une heure de stress.

La température varie linéairement avec le temps. Si T_0 est la température de départ, l'évolution de T peut donc se formaliser de la façon suivante :

$$T = T_0 + bt \qquad \text{Eq I-36}$$

b est le taux d'échauffement généralement pris entre 0,5 et 5 K/min.
La valeur des paramètres de la loi de black est alors donnée par l'expression suivante :

$$T^{-2}\frac{\Delta R}{\mathrm{R}(0)} = \frac{Ak}{bE_a}.e^{-\frac{E_a}{kT}} \qquad \text{Eq I-37}$$

ΔR est la variation de résistance après un temps t de test et R(0) la valeur de résistance au début du test. Dans le cas où un fort courant est utilisé, l'échauffement par effet Joule doit être pris en compte dans l'estimation de la température de l'échantillon.

I.6 Conclusion

Ce premier chapitre présente un état de l'art actuel des mécanismes d'accélération des processus de défaillance à craindre pour les composants très fortement intégrés. Il ressort de cette étude que si certaines connaissances "bien connues" pour des composants moyennement intégrés semblent s'appliquer aux technologies les plus récentes. Cependant de nouvelles tendances sont apparues, montrant qu'il est nécessaire d'étudier en détails la compréhension que nous possédons des mécanismes d'accélération pour une très forte intégration.

CHAPITRE.II : Procédures de conception du véhicule de test NANOSPACE

II.1 Introduction

Ce deuxième chapitre présente la conception du véhicule de test NANOSPACE. La technologie utilisée est la CMOS 65nm (Low Power) de STMicroelectronics. Dans la première partie, nous présentons les différents circuits intégrés dans le véhicule de test, et le layout final, incluant les contributions des laboratoires LAAS et LATTIS partenaires du projet. Dans une seconde partie nous décrivons la méthodologie de conception utilisée. Une troisième partie de ce chapitre est consacrée à la présentation des résultats des simulations post-layout de chacun des circuits conçus. Et nous concluons ce chapitre en présentant les structures pour la calibration des techniques optiques d'analyse de défaillance.

II.2 Le Véhicule de test NANOSPACE

Apres la phase d'étude bibliographique des différents mécanismes de défaillance des technologies largement submicroniques "DSM" (Deep-SubMicron), qui nous a permis d'identifier les différentes structures de test utilisées classiquement pour évaluer ces mécanismes. Nous avons conçu le véhicule de test NANOSPACE.

Ce véhicule de test, intègre de nombreuses structures dédiées à l'étude des mécanismes de défaillance sous contraintes statique et dynamique, dont notamment :

- des structures isolées de type transistor NMOS et PMOS de géométrie variable, ainsi que deux portes logiques : un inverseur et une porte NOR,
- un oscillateur en anneau programmable délivrant des fréquences allant de 100 MHz à 2 GHz,
- des chaînes de portes logiques : inverseur, NOR, et trois chaînes de bascule D,
- une matrice SRAM 32x32 bits,
- une fonction numérique standard de test de type ISCAS-89 s344,
- des structures passives classiques de type chaînes de vias, pistes métalliques avec des géométries variables (structures SWEAT conformes à la norme Jed87), des capacités métal-métal de type MIM, MOS et interdigitées pour caractériser les mécanismes d'électromigration et le TDDB,
- des structures optiques pour la calibration des techniques optiques d'analyse de défaillance,
- des structures pour du test sous pointes destinées à caractériser leur immunité aux perturbations électromagnétiques (CEM) pour le LATTIS,

- des capteurs embarqués pour l'acquisition des décharges électrostatiques (ESD) pour le LAAS.

La plupart des structures actives permettront, outre l'évaluation des mécanismes de types NBTI, HCI, de quantifier l'impact du vieillissement sur la robustesse face à différents types de stress tels que les décharges électrostatiques ESD (Electrostatic Discharge), les perturbations électromagnétiques CEM (Compatibilité Electromagnétique) et les effets singuliers des radiations SEE (Single Event Effect).

Le layout final du véhicule de test NANOSPACE conçu est présenté à la figure II-1. La surface totale de la puce est de 2 mm². L'assemblage final de tous les circuits a été réalisé à l'IMS. Le véhicule de test comporte 103 plots. Ces pads sont fournis par ST dans le Design Kit de la technologie 65nm. Nous avons utilisé des plots de type numériques pour commander les circuits de multiplexage, d'autres analogiques pour les entrées et les sorties des circuits, ainsi que des plots spécifiques pour l'alimentation de la puce.

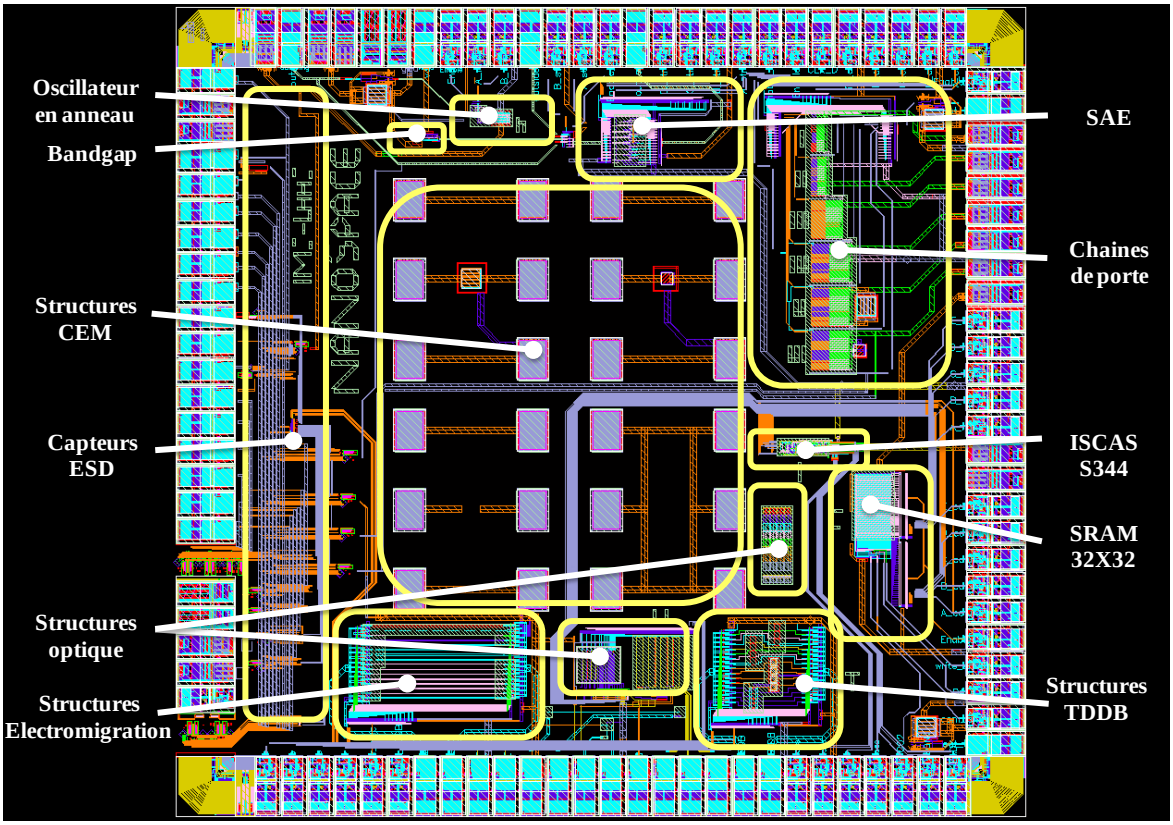


Figure II-1 *Layout du véhicule de test NANOSPACE*

II.3 Procédures de conception du véhicule de test NANOSPACE

La conception de tous les circuits du véhicule de test NANOSPACE, est vérifiée de manière itérative. La figure II-2 illustre le procédé qui relie le schéma électrique à

l'implémentation physique du circuit (dessin du masque ou Layout). Ainsi, à partir des simulations Post-Layout, après extractions de tous les éléments parasites (résistances, capacités et inductances), les performances réelles de chaque circuit, sont évaluées. La prise en compte de ces éléments est primordiale pour optimiser les performances de chaque circuit conçu. A titre d'exemple, une connexion de longueur 40 µm et de largeur 1 µm, réalisée avec le métal 1 de la technologie 65 nm, représente une résistance série de 50 Ω.

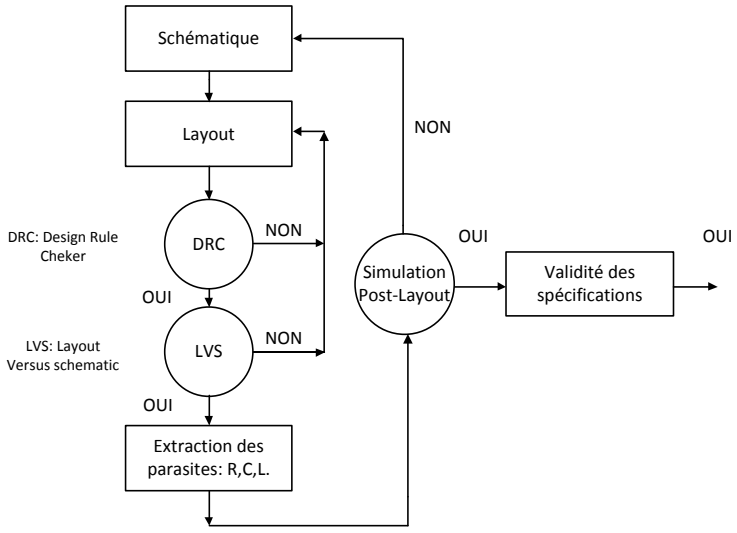


Figure II-2 *Procédé de conception du véhicule de test*

II.4 Conception du circuit de multiplexage

Le véhicule de test conçu contient plusieurs circuits, et chaque circuit se compose d'une multitude de structures avec des entrées et des sorties. Donc il serait irréaliste d'attribuer un plot d'entrée ou de sortie pour chaque structure. Par conséquent, un circuit de multiplexage à base de portes de transmission CMOS, est mis en œuvre pour limiter le nombre de plots, et ainsi réduire la dimension de la puce.

II.4.1 La porte de transmission CMOS

La porte de transmission CMOS, est un élément fondamental dans la conception du circuit de multiplexage. L'optimisation de ce circuit est primordiale pour caractériser les performances réelles de chaque structure. L'architecture de ce circuit est montrée dans la figure II-3. Elle est composée de deux transistors MOS complémentaires, un PMOS et un NMOS. Les sources et drains de ces deux transistors sont connectés entre eux, formant ainsi l'entrée et la sortie de la porte de transmission. Leurs grilles reliées à un inverseur, permet de les commander par le signal C. La porte de transmission est désactivée (en mode off) pour

C=0V, et activé (en mode on) pour C=Vdd. Le substrat des transistors NMOS et PMOS sont respectivement connectés à Gnd et Vdd.

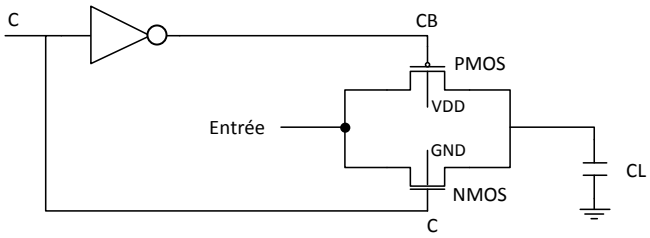


Figure II-3 *Schématique de la porte de transmission analogique CMOS*

La capacité grille-source et grille-drain des transistors P et N peut être négligée, car sous certaines conditions de polarisation, on ne peut pas tirer du courant sur les grilles de la porte de transmission. Par conséquent le signal de commande des grilles n'interfère pas avec les signaux que l'on cherche à propager à travers la porte de transmission. Idéalement, à l'état ON, la porte de transmission a une conductance linéaire. En pratique, la conductance est fortement dépendante de l'amplitude de la tension du signal d'entrée. Les équations II-1 et II-2 donnent respectivement la conductivité des transistors NMOS et PMOS en fonction de la tension d'alimentation Vdd, et du signal d'entrée Vin [Fay04] :

$$g_{ds,on(n)} = \mu_n C_{ox} \cdot \left(\frac{W}{L}\right)_n \cdot \left[V_{DD} - V_{in} - V_{th,n}\right] \qquad \text{NMOS} \qquad \text{Eq II-1}$$

$$g_{ds,on(p)} = \mu_p C_{ox} \cdot \left(\frac{W}{L}\right)_p \cdot \left[V_{in} - \left|V_{th,p}\right|\right] \qquad \text{PMOS} \qquad \text{Eq II-2}$$

Où C_{ox}, est la capacité de l'oxyde de grille, $V_{th,p}$ et $V_{th,n}$ sont respectivement la tension de seuil des transistors PMOS et NMOS, et $\mu_p$et μ_n sont la mobilité des électrons et des trous des deux transistors.

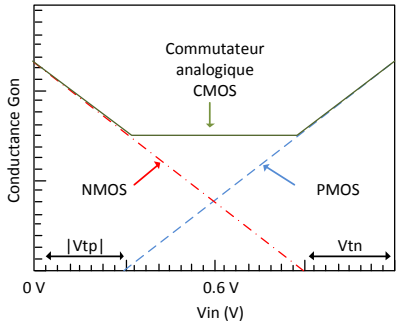


Figure II-4 *Evolution de la conductance gon pour la porte de transmission CMOS*

La figure II-4 montre l'évolution de la conductance de la porte de transmission analogique g_{on} (ou résistance Ron) à l'état ON en fonction de l'amplitude du signal d'entrée.

On remarque que l'utilisation de deux transistors complémentaires P et N, permettent de balayer l'ensemble de la plage du signal d'entrée.

La plage effective de fonctionnement de la porte de transmission est de 0 V à 1,2 V, ainsi la conductance devient [Fay04] :

$$g_{ds,on} = \mu_n C_{ox}.\left(\frac{W}{L}\right)_n.\left(V_{DD} - V_{th,n}\right) - \mu_p C_{ox}.\left(\frac{W}{L}\right)_p.\left|V_{th,p}\right| - \left[\mu_n C_{ox}.\left(\frac{W}{L}\right)_n - \mu_p C_{ox}.\left(\frac{W}{L}\right)_p\right].V_{in} \quad \text{Eq II-3}$$

Si $\mu_p.\left(\frac{W}{L}\right)_p = \mu_n.\left(\frac{W}{L}\right)_n$

Alors $$g_{ds,on} = \mu_n C_{ox}.\left(\frac{W}{L}\right)_n.\left(V_{DD} - V_{th,n} - \left|V_{th,p}\right|\right) \quad \text{Eq II-4}$$

La porte de transmission CMOS peut être vue comme un filtre passe-bas. Si l'on s'intéresse à sa bande passante au 1er ordre, on obtient la relation suivante :

$$f_{3db} = \frac{1}{2\pi}\frac{g_{ds,on}}{C_H + C_J} \quad \text{Eq II-5}$$

Où C_H est la capacité d'échantillonnage de la sortie et C_J la capacité de jonction entre le drain et le substrat.

Aprés cette brève description du principe de fonctionnement de la porte de transmission analogique CMOS. Nous allons décrire par la suite les différentes étapes de la conception du circuit.

II.4.2 Procédure de conception de la porte de transmission

Pour augmenter la conductance de la porte de transmission, il faut augmenter la largeur W des transistors, diminuer la longueur du canal L et avoir la même dimension pour les deux transistors. Ces conditions sont satisfaites, par les dimensions que nous avons calculées selon la formule (3). La dimension des transistors PMOS et NMOS (Largeur et longueur), est la même [L=60 nm, W=10 µm].

Une fois les transistors théoriquement dimensionnés et par la suite placés dans l'environnement de dessin du masque (Layout), le routage peut commencer (voir figure II-5).

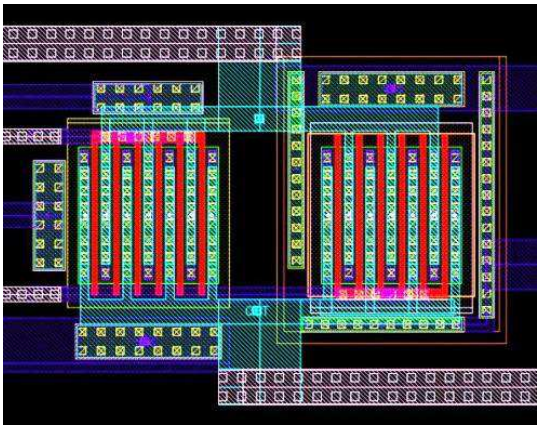


Figure II-5 *Layout de la porte de transmission CMOS*

Cette étape détériore les performances de la porte de transmission CMOS (conductivité à l'état ON ou résistance Ron) car les connexions ne sont pas encore prises en compte par le simulateur. Sur la base des simulations Post-Layout (PLS) ces dernières sont réajustées, par un redimensionnement des transistors suivant le schéma de la figure II-2 précédente. La Résistance Ron est mesurée à l'aide d'une analyse DC, où le signal d'entrée balaye la plage de tension de 0 à Vdd. La tension de sortie est mesurée pour chaque valeur du signal d'entrée, permettant ainsi le calcul du courant à travers une charge. Les courants traversant la porte de transmission et la résistance de charge sont identiques, alors la chute de tension peut être mesurée et la résistance Ron peut être calculée. Le tracé de la figure II-6 montre la variation de la résistance Ron, en fonction de la tension d'entrée.

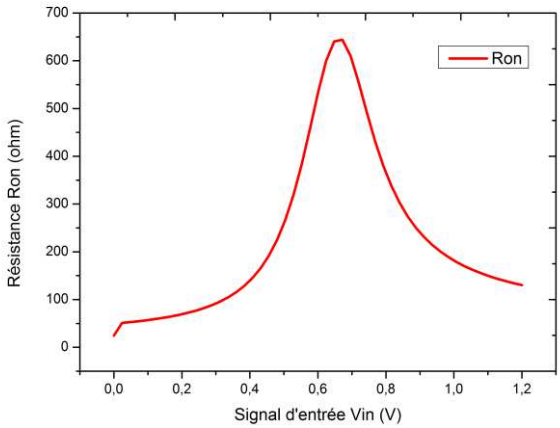


Figure II-6 *Variation de la résistance Ron, en fonction de la tension d'entrée*

Les résultats des simulations PLS montrent que le maximum de la résistance Ron est de 650 Ω, et la résistance moyenne sur la plage complète du signal d'entrée est de 250 Ω. Par la même méthodologie nous avons déterminé la résistance Roff=1 GΩ quand la porte de transmission est désactivée.

En ce qui concerne la bande passante de la porte de transmission. Les simulations Post-Layout nous donnent une valeur de 30 GHz. Afin d'étudier s'il y a un offset de mesure dû à la résistance Ron, nous simulons le fonctionnement de la porte de transmission lorsqu'on injecte sur son entrée une rampe de tension entre 0 et 1,2V.

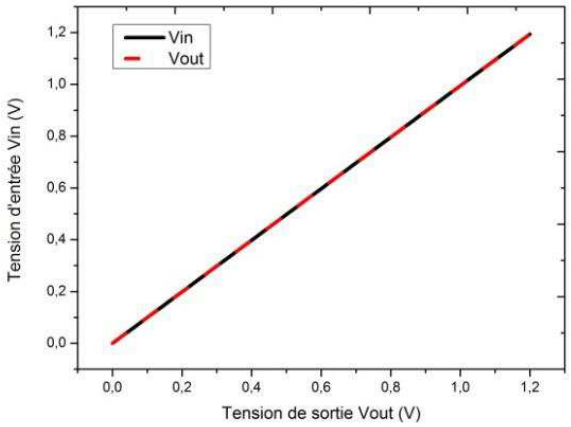


Figure II-7 *Résultats de l'analyse DC de la porte de transmission*

On peut constater que l'offset est presque nul (voir figure II-7). En effet ces performances sont dues à la faible valeur de la résistance Ron et la large bande passante de la porte de transmission, obtenue après plusieurs redimensionnements des transistors vis-à-vis des résultats obtenus par les simulations Post-Layout.

Ainsi la porte de transmission CMOS dessinée est optimisée. Nous allons l'utiliser par la suite dans chaque circuit de multiplexage.

II.5 Structures actives élémentaires (SAE)

Pour étudier l'impact de la longueur et la largeur de grille sur la fiabilité des transistors, un circuit a été conçu contenant des transistors isolés de type NMOS et PMOS avec des géométries variables, ainsi que deux portes logiques de type inverseur et NOR. Afin de réduire le nombre de plots pour accéder à chaque structure, nous avons mutualisé les entrées sorties, par l'intermédiaire d'un multiplexeur démultiplexeur analogique, basé sur l'utilisation de la porte de transmission décrite précédemment.

Le circuit de multiplexage se compose de trois blocs. Le premier constitue l'adressage logique, qui permet selon sa programmation de sélectionner une seule structure. Le deuxième et le troisième bloc, sont formés respectivement par un démultiplexeur et un multiplexeur analogique. Cette architecture permettra d'avoir les mêmes conditions de stress et de caractérisations pour la suite (voir figure II-8).

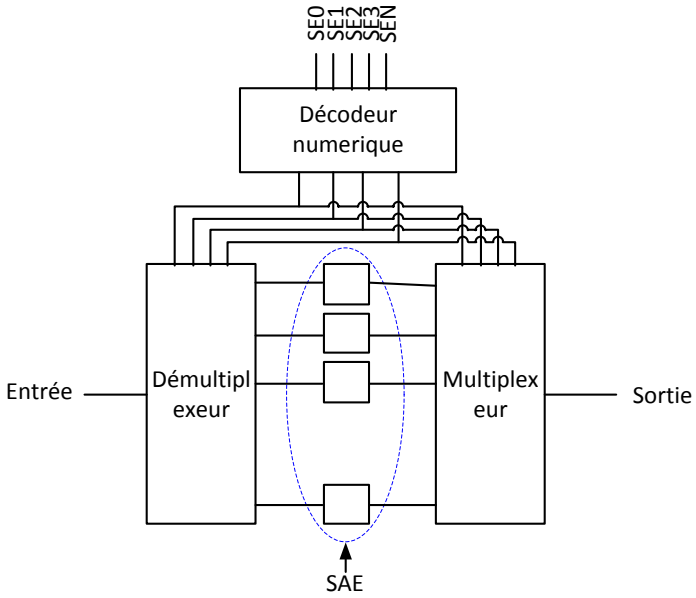


Figure II-8 *Schéma synoptique du circuit de multiplexage pour la caractérisation des structures actives élémentaires*

II.5.1 Conception du circuit composé des SAE

II.5.1.1 Décodeur

L'adressage logique est basé sur l'utilisation d'un décodeur numérique, Ce décodeur est composé de deux blocs, le premier contient quatre inverseurs pour lesquels leurs entrées et sorties sont connectées à 16 portes ET. Le deuxième bloc est composé de 16 inverseurs, connectés aux entrées de commandes (N0_P0 à N15_P15) de chaque porte de transmission CMOS, de façon à avoir une seule porte active à chaque fois. Selon la programmation des 4 bits d'entrée et du bit de commande SEN, on peut accéder à chaque structure mentionnée au tableau II-1 de décodage ci-dessous.

SEN	SE0	SE1	SE2	SE3	Structures
1	0	0	0	0	**N_Ref**
1	0	0	0	1	**P_Ref**
1	0	0	1	0	**Piste Directe**
1	0	0	1	1	**N_1**
1	0	1	0	0	**N_2**
1	0	1	0	1	**N_3**
1	0	1	1	0	**N_4**
1	0	1	1	1	**N_5**
1	1	0	0	0	**P_1**
1	1	0	0	1	**P_2**
1	1	0	1	0	**P_3**
1	1	0	1	1	**P_4**
1	1	1	0	0	**P_5**
1	1	1	0	1	**P_6**
1	1	1	1	0	**Porte NOR**
1	1	1	1	1	**Inverseur**
0	X	X	X	X	**OFF**

Tableau II-1 *Tableau de décodage*

Comme cité précédemment le circuit du décodeur est basé sur l'utilisation des cellules logiques de types inverseurs et de portes ET. Ces cellules ont été dimensionnées spécifiquement. En effet les cellules standard fournies dans les bibliothèques du Design Kit (DK), ne comportent pas tous les niveaux métalliques et les zones de dopages des transistors constituant ces portes logiques. Ceci est dû aux restrictions imposées par ST pour le Design Kit 65nm, ce qui nous a empêché de vérifier le DRC (Design Rules Check), et le LVS (Layout Versus Shematic) du décodeur. Cela a rendu impossible l'extraction des éléments parasites (Résistances, Capacités, Inductances), ainsi la réalisation des simulations Post-Layout. Pour résoudre tous ces problèmes nous avons conçu toutes les cellules au niveau transistor.

Afin d'optimiser les fréquences de fonctionnement des cellules d'inverseur et des portes "ET", nous avons opté pour concevoir ces cellules avec les plus petites géométries permises par les règles de dessin de la technologie 65 nm. Ensuite avec des simulations Post-Layout nous avons caractérisé les temps de propagation de chaque cellule. Pour l'inverseur on a un t_{PHL}= t_{PLH}= 15 ps et pour la porte "ET" on a un t_{PHL}= t_{PLH}= 85 ps (voir figure II-9). Les schémas électriques des cellules sont illustrés par les figures II-10 et II-11.

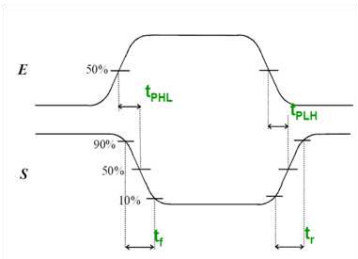
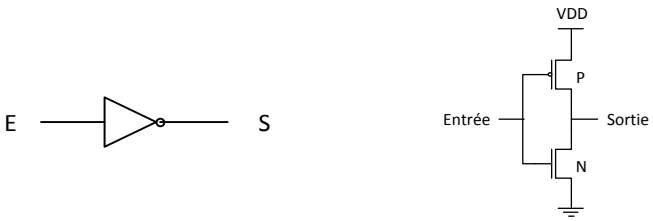
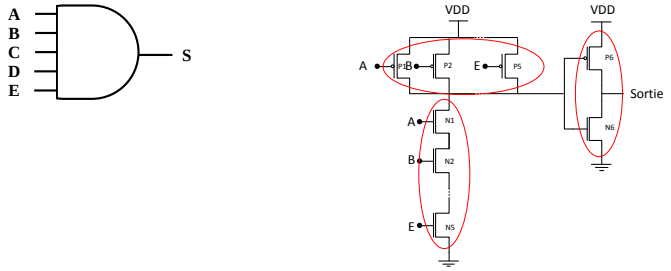


Figure II-9 *Temps de propagation caractéristiques des portes logiques*



- t_{PHL} : 15 ps.
- t_{PLH} : 15 ps.
- t_f : 14 ps.
- t_r : 15 ps.

Figure II-10 *Schématique de l'inverseur et ses temps de propagation*



- t_{PHL} : 85 ps.
- t_{PLH} : 85 ps.
- t_f : 77 ps.
- t_r : 79 ps.

Figure II-11 *Schématique de la porte logique ET à cinq entrées et ses tems de propagation*

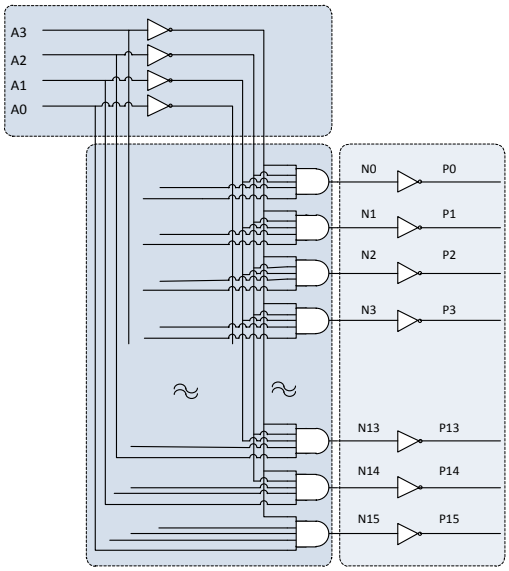


Figure II-12 *Schématique du décodeur numérique conçu*

Grace à la conception Full Custom des cellules logiques, nous avons pu vérifier le bon fonctionnement, ainsi que les performances réelles du décodeur conçu (voir figure II-12).

II.5.1.2 Structures Actives Elémentaires

Après la conception du décodeur numérique. Nous avons commencé la conception du circuit de multiplexage. Ce circuit se compose de deux blocs. Le premier est un démultiplexeur analogique composé de 16 portes de transmission CMOS, où leurs entrées sont connectées entre elles formant ainsi l'entrée unique du démultiplexeur. Et le deuxième bloc est formé par un multiplexeur analogique, constitué de la même manière que le démultiplexeur sauf que cette fois-ci, ce sont les sorties des portes de transmission qui sont connectées ensemble, et nous obtenons une seule sortie (voir figure II-13).

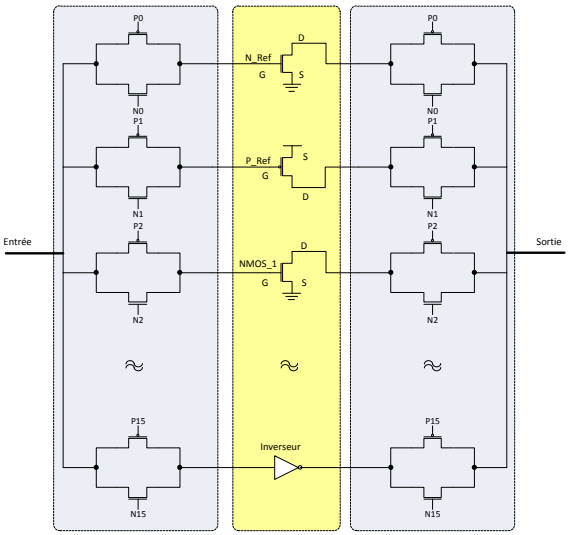


Figure II-13 *Schématique du circuit de multiplexage avec les structures actives élémentaires*

La caractérisation de chaque élément des structures actives élémentaires (SAE), se fait par un accès direct aux grilles et aux drains dans le cas des transistors, et aux entrées et aux sorties pour l'inverseur et la porte NOR câblée en inverseur. Il faut noter que les sources et substrats des transistors NMOS et PMOS sont connectées respectivement à Gnd et à Vdd.

Le tableau II-2 ci-dessous résume les différentes géométries des transistors réalisés.

	PMOS		**NMOS**	
N°	***W (nm)***	***L (nm)***	***W (nm)***	***L (nm)***
Reference	135	60	135	60
1	135	60	135	60
2	135	135	135	135
3	270	60	270	60
4	270	135	270	135
5	540	60	540	60
6	1080	60		

Tableau II-2 *Géométries des transistors PMOS et NMOS*

II.5.1.3 Simulation Post-Layout (PLS) des structures actives élémentaires

L'extraction des paramètres statiques, de chaque transistor est réalisée par des simulations Post-Layout. Ces simulations constituent une base de référence sur les caractéristiques réelles des transistors conçus.

II.5.1.3.1 NMOS de référence

Le transistor NMOS de référence schématisé en figure II-14, a été caractérisé. Pour ce faire deux sources de tension sont connectées à la grille et au drain du NMOS, par l'intermédiaire du circuit de multiplexage. Ensuite avec des simulations PLS nous avons validé son fonctionnement. La figure II-15 montre comment varie le courant I_{DS} en fonction de V_{GS} et V_{DS}. Ce transistor comme son nom l'indique servira de référence, et il ne sera soumis à aucun stress électrique.

Figure II-14 *Schématique et le Layout du transistor NMOS de référence*

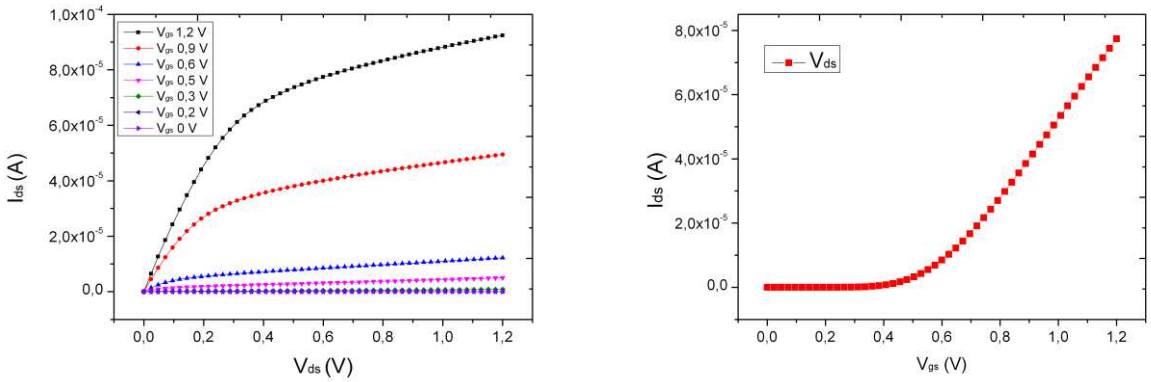


Figure II-15 *Courbes caractéristiques de la variation du courant I_{DS} en fonction de V_{GS} et V_{DS}*

II.5.1.3.2 PMOS de référence

Par le même principe, nous avons caractérisé le transistor PMOS de référence illustré en figure II-16. Les résultats de simulation PLS sont montrés sur la figure II-17, ils illustrent les courbes de caractérisation I_{ds}/V_{ds} et I_{ds}/V_{gs} du transistor conçu.

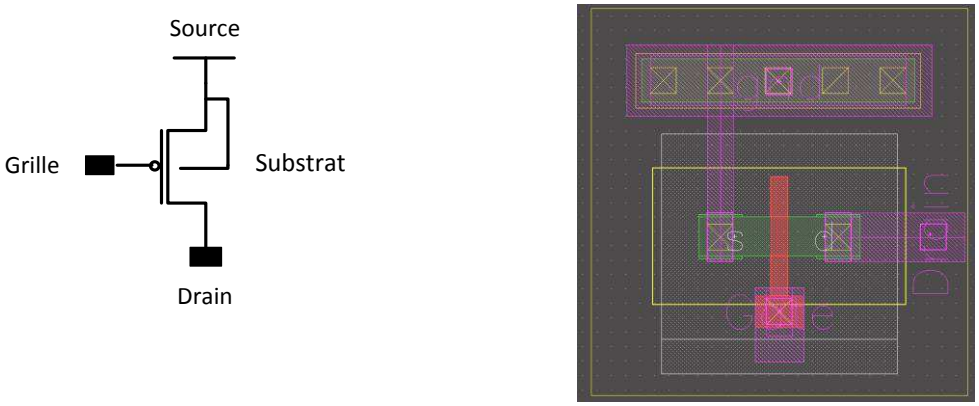


Figure II-16 *Schématique et le Layout du transistor PMOS de référence*

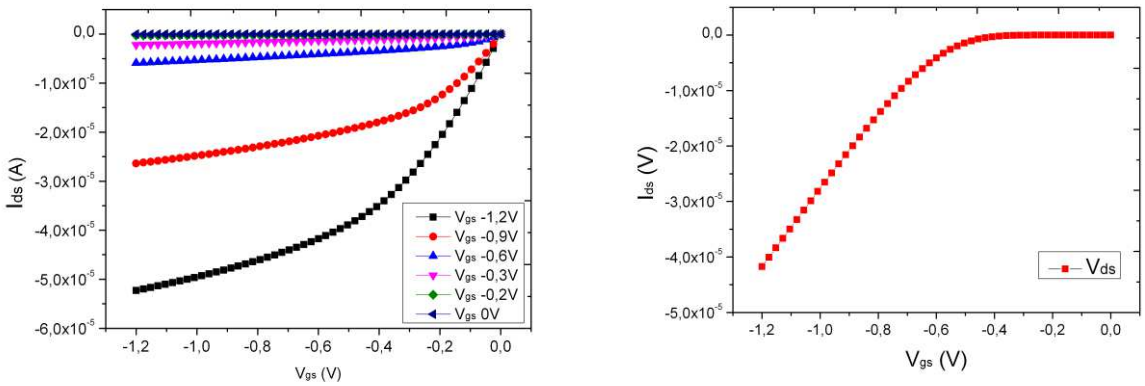


Figure II-17 *Courbes caractéristiques de la variation du courant I_{DS} en fonction de V_{GS} et V_{DS}*

II.5.1.3.3 NMOS à géométries variables

L'évaluation de la fiabilité des transistors de la technologie 65 nm, nécessite de réaliser des mesures électriques de plusieurs transistors de tailles différentes sous les mêmes conditions de stress et caractérisation. Pour ce faire des transistors NMOS avec des géométries variables ont été conçus. Les simulations Post-Layout (voir figure II-18) montrent comment varie le courant I_{DS} en fonction de V_{GS} pour les différents transistors.

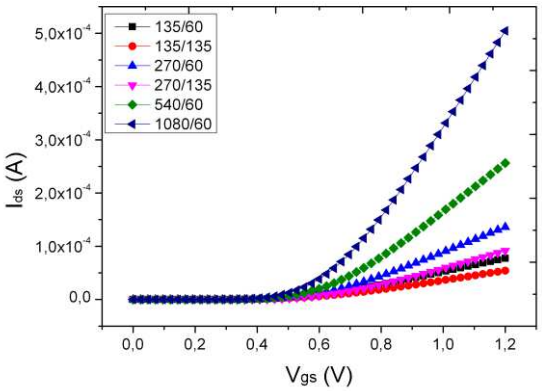


Figure II-18 *Courbes caractéristiques de la variation du courant I_{DS} en fonction de V_{GS} pour les différents transistors NMOS conçus*

II.5.1.3.4 PMOS à géométrie variables

Pour évaluer l'effet des dégradations NBTI ou PBTI, sur chaque type de transistors (N ou P), nous avons conçu des transistors PMOS avec les mêmes géométries que celles des NMOS. Les résultats des simulations PLS sont montrés sur la figure II-19. Ils illustrent la variation du courant de drain I_{DS} en fonction de V_{GS} pour les différents transistors PMOS.

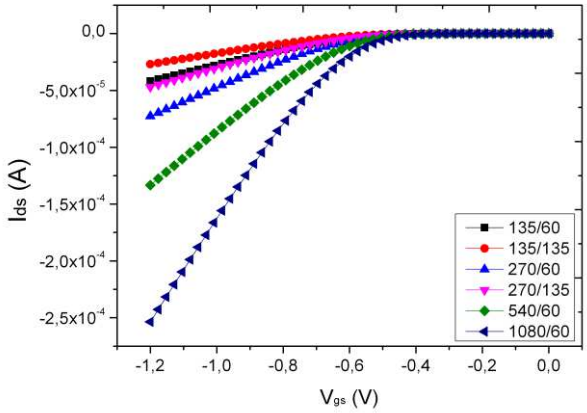


Figure II-19 *Courbes caractéristiques de la variation du courant I_{DS} en fonction de V_{GS} pour les différents transistors PMOS conçus*

II.5.1.3.5 Inverseur CMOS

L'inverseur CMOS est un circuit connu pour avoir une grande sensibilité au NBTI. Pour cela un inverseur de taille minimale, a été réalisé. La mesure statique de la tension de sortie V_{out} en fonction de la tension d'entrée V_{in}, ainsi que le courant de drain I_{dd} en fonction de la tension d'entrée V_{in}, nous a permis de valider son fonctionnement. On obtient bien une symétrie des caractéristiques DC de l'inverseur (voir figure II-20).

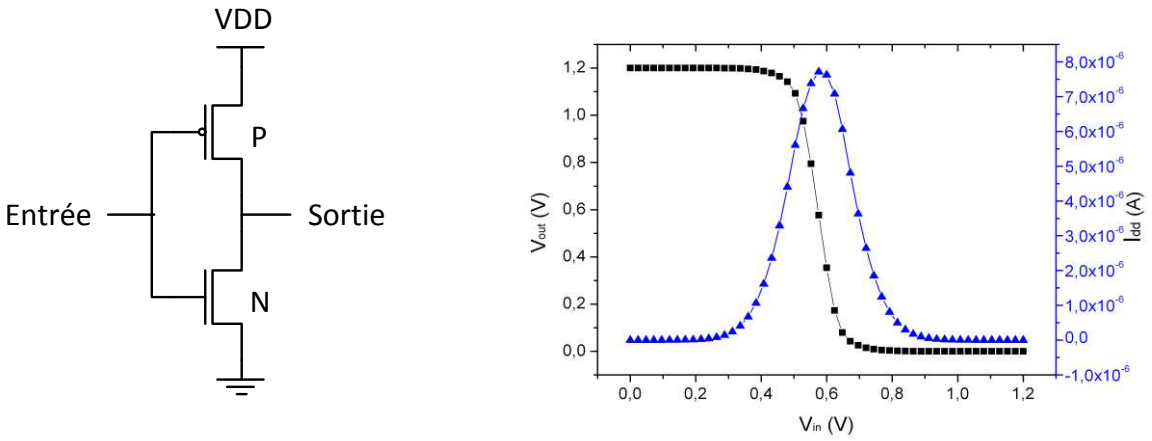


Figure II-20 *Schématique de l'inverseur CMOS et les résultats de ses caractéristiques DC*

II.5.1.3.6 Porte NOR

Une porte NOR câblée en inverseur, a été conçu. Le résultat des simulations PLS, montrant la variation de la tension de sortie V_{out} en fonction de la tension d'entrée V_{in} est illustré sur la figure II-21.

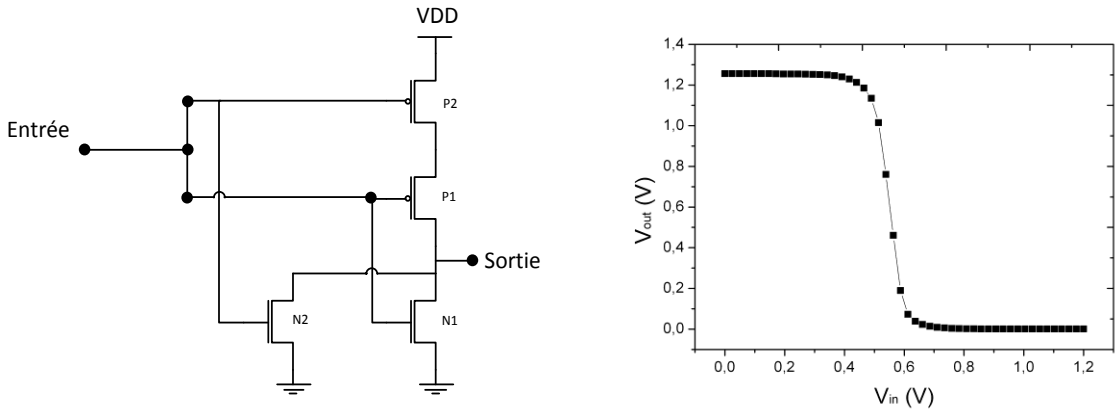


Figure II-21 *Schématique de la porte NOR câblée en inverseur et les résultats de ses caractéristiques DC*

II.6 L'oscillateur en anneau

L'oscillateur en anneau est considéré comme l'un des circuits les plus importants pour les tests de fiabilité des circuits numériques. Il est couramment utilisé pour la mesure de la fréquence de fonctionnement d'une technologie en cours de développement. Parmi les paramètres les plus importants à caractériser pour un oscillateur, il y a la fréquence d'oscillation (F_{osc}), et le rapport cyclique du signal de sortie.

Le principe de l'oscillateur en anneau est basé sur l'utilisation d'une série d'inverseurs CMOS en nombre impair, où la sortie du dernier inverseur est bouclée sur l'entrée du premier inverseur (voir Figure II-22). Chaque inverseur dans l'oscillateur est utilisé comme une cellule de retard. La fréquence d'oscillation est donnée par l'équation suivante [Tom07] :

$$f_{osc} = \frac{1}{2.N.T_d} \qquad \text{Eq II-6}$$

A partir de l'équation II-6, on remarque que la fréquence d'oscillation dépend du nombre d'étages d'inverseurs N constituant l'oscillateur, et du temps de propagation qui existe entre chaque étage T_d. Ce délai T_d peut s'exprimer par :

$$T_d = \frac{C_L.\Delta V}{I_d} \qquad \text{Eq II-7}$$

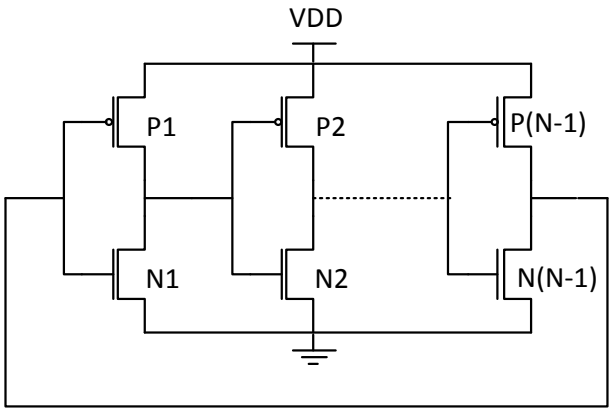


Figure II-22 *Schématique de l'oscillateur en anneau*

II.6.1 Procédure de conception de l'oscillateur en anneau

Nous avons conçu un oscillateur en anneau pour évaluer la fiabilité de la technologie 65 nm. Cet oscillateur servira à caractériser les dégradations dues au NBTI et au HCI sur les transistors qui le composent. Afin d'acquérir plusieurs fréquences d'oscillation, pour estimer la dégradation de la fréquence en fonction du nombre d'inverseurs, nous avons choisi de concevoir un oscillateur en anneau programmable. Cet oscillateur est basé sur l'utilisation

d'un circuit de multiplexage, cette technique nous a permis de réduire la taille de l'oscillateur sur la puce.

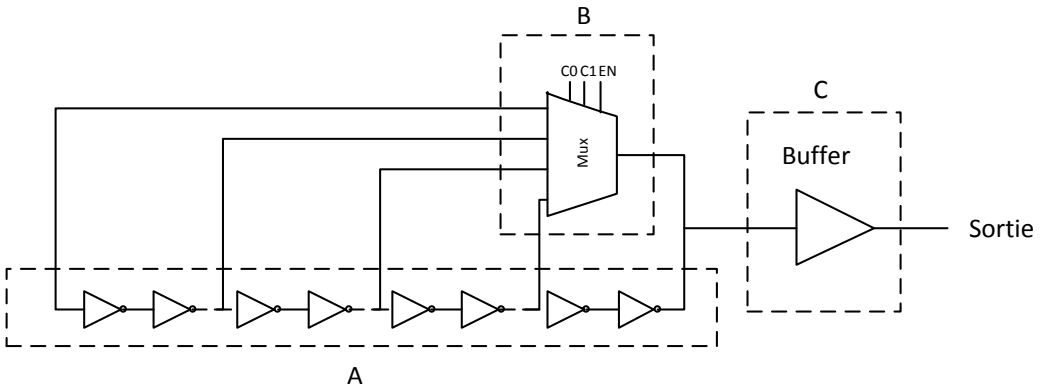


Figure II-23 *Schéma synoptique de l'oscillateur en anneau conçu*

Cet oscillateur en anneau est structuré en trois parties (voir figure II-23). La première est une chaine d'inverseurs constituée de 187 inverseurs. La deuxième est un multiplexeur analogique qui assure le démarrage du circuit, ainsi que la sélection d'un nombre déterminé d'inverseurs selon sa programmation permet de fournir quatre fréquences d'oscillations allant de 100 MHz à 2 GHz (voir tableau II-3). La dernière partie est constituée d'un buffer de sortie adapté en 50Ω. Ce Buffer permet de mettre en forme le signal de sortie de l'oscillateur, en adaptant l'impédance entre l'étage de sortie de l'oscillateur et le plot de sortie pour faciliter l'acquisition des signaux avec les instruments de mesure.

C0	**C1**	**EN**	**Fréquences**	**Nombre d'inverseurs**
0	0	1	2 GHz	5
0	1	1	1 GHz	15
1	0	1	500 MHz	33
1	1	1	100 MHz	187
x	X	0	OFF	

Tableau II-3 *Adressage du décodeur de l'oscillateur en anneau*

Le dimensionnement des transistors de l'oscillateur repose sur les équations II-6 et II-7 qui montrent bien que la fréquence d'oscillation dépend du temps de propagation à travers chaque inverseur. Ce délai dépend à la fois de la capacité d'entrée de l'étage inverseur suivant et du courant de saturation. La capacité de charge est proportionnelle aux paramètres géométriques des transistors (Largeur et longueur), un agrandissement de la largeur induit une augmentation de la capacité. Nous avons utilisé les dimensions minimales pour les inverseurs, pour pouvoir monter en fréquence jusqu'à 2 GHz, et pour obtenir les trois autres fréquences. Lors de la phase de réglage des fréquences de l'oscillateur nous nous sommes appuyés sur les

simulations Post-Layout pour affiner les valeurs des fréquences de sorties. En effet il est primordial d'extraire les éléments parasites à partir du Layout car les capacités parasites présentes entre chaque inverseur ne sont pas négligeables. Les simulations ont montré un écart de 500 MHz (pour une fréquence désirée de 2 GHz) entre le schéma sans et avec les éléments parasites. Après plusieurs étapes de redimensionnement nous avons réussi a valider le fonctionnement de l'oscillateur. Les résultats des simulations PLS sont illustrés sur la figure II-24, ils montrent clairement que l'oscillateur conçu délivre les quatre fréquences d'oscillation, 100 MHz, 500MHz, 1GHz et 2 GHz, avec une amplitude de 1,2V.

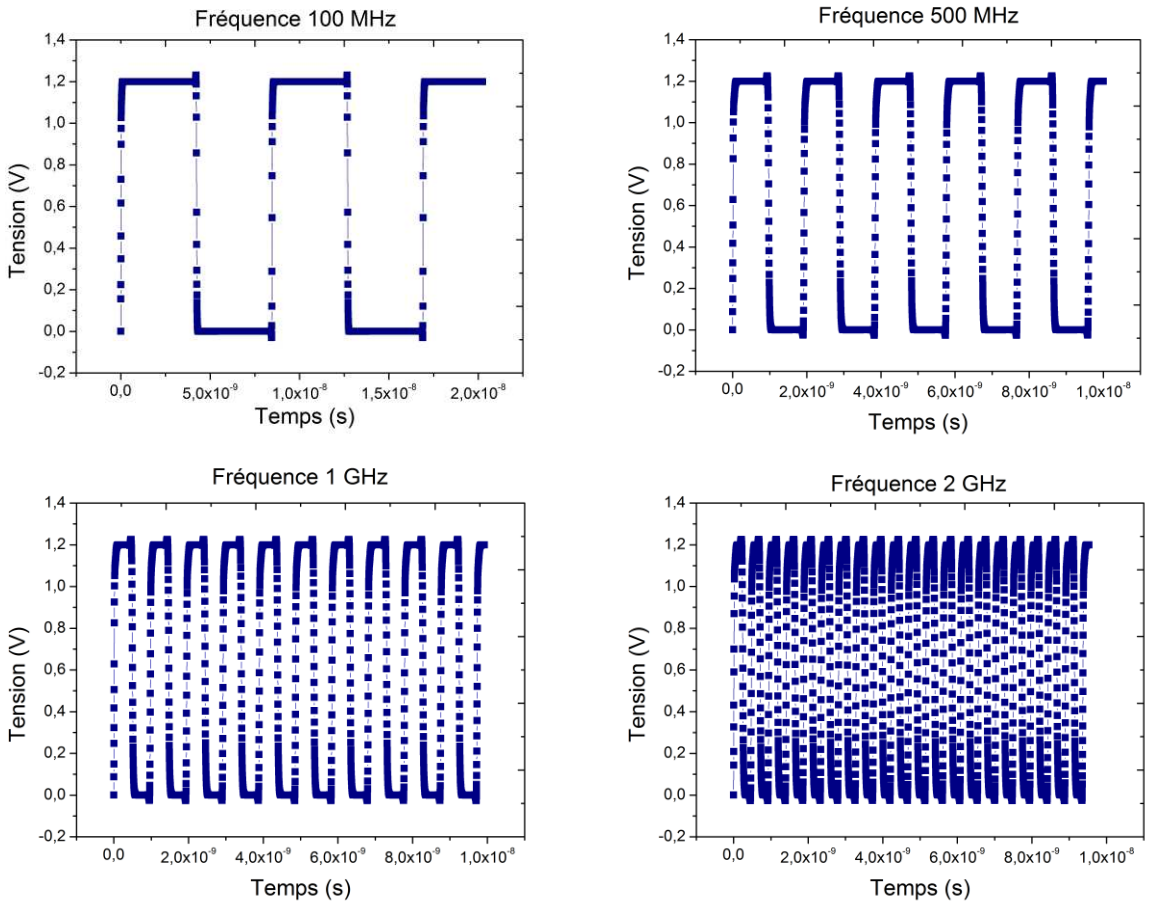


Figure II-24 *Résultats des simulations PLS des fréquences de sorties de l'oscillateur en anneau conçu*

Après avoir validé le fonctionnement de notre oscillateur, nous avons caractérisé sa consommation. La dépendance de la consommation en fonction de la fréquence délivrée à la sortie, est montrée à la figure II-25. Cette consommation augmente d'une façon proportionnelle à la fréquence, passant de 100 µW pour 100 MHz à 1,3 mW pour 2 GHz.

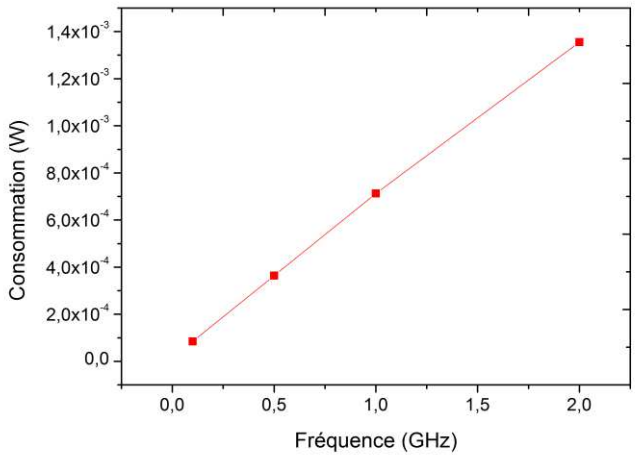


Figure II-25 *Dépendance de la consommation de l'oscillateur en fonction de la fréquence de sortie*

II.6.2 Buffer de sortie

Pour mesurer les fréquences délivrées par l'oscillateur en anneau après sa conception, nous utilisons un oscilloscope. Sachant que la capacité de l'oscilloscope est évaluée à 10 pF, pour s'adapter à une telle charge, un buffer de sortie est nécessaire.

Le buffer de sortie est un circuit utilisé pour s'interfacer avec de grandes charges, avec un temps de propagation minimal. Il peut aussi être utilisé pour amplifier un signal. Le buffer de sortie est souvent ajouté entre la sortie d'un circuit numérique et le plot de sortie de la puce. Il est constitué d'une série d'inverseurs. Chaque inverseur est connecté à un autre inverseur de d'une taille plus grande jusqu'à ce que le dernier inverseur soit suffisamment adapté, pour pouvoir conduire la capacité de charge externe (voir figure II-26).

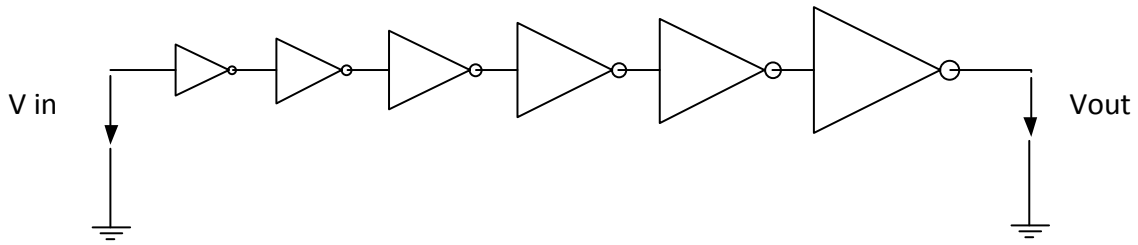


Figure II-26 *Schématique du buffer de sortie*

II.6.2.1 Procédure de conception

Les règles de conceptions du buffer exigent que le rapport des tailles des transistors entre deux inverseurs consécutifs doit être constante. Cette proportion est appelée le facteur de multiplication "F". Le premier inverseur à une dimension minimale ensuite chaque étage d'inverseur est multiplié par le facteur "F".

Par définition le temps de retard est égal à [Deu03] :

$$t_{PHL} = 0.7 * R_p * C_{load} \quad \text{Eq II-8}$$

$$t_{PLH} = 0.7 * R_n * C_{load} \quad \text{Eq II-9}$$

Sachant que $C_{load} = 10\ pF$, et t_{PHL} et t_{PHL} sont déterminées à partir des simulations, alors R_p et R_n sont calculées.

Ainsi le temps de propagation dépendant de la capacité interne est déterminé :

$$C_{in} = 3/2 * C_{out} \quad \text{Eq II-10}$$

Alors le nombre d'inverseur N est déterminé comme :

$$\mathrm{N} = \mathrm{Ln}\,(C_{load}/C_{in}) \quad \text{Eq II-11}$$

Et le facteur F est égale à :

$$\mathrm{F} = (C_{load}/C_{in})^{\frac{1}{\mathrm{N}}} \quad \text{Eq II-12}$$

Après plusieurs simulations PLS pour optimiser le temps de propagation du buffer conçu au minimal, nous avons opté pour prendre un facteur de multiplication F=2,8 , avec un nombre d'étage d'inverseur de N=10. Ensuite nous avons validé le fonctionnement du Buffer.

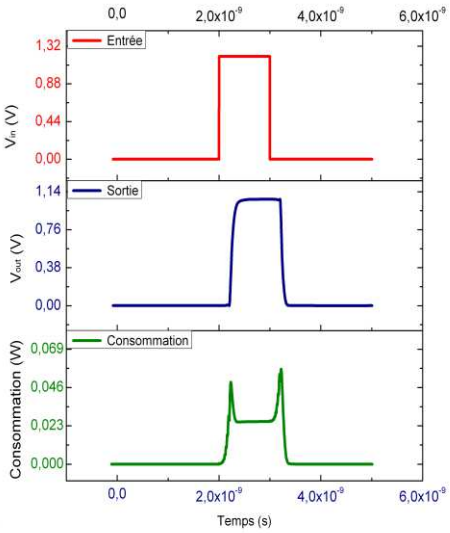


Figure II-27 *Résultats des simulations PLS des caractéristiques du buffer de sortie*

La caractérisation des temps de propagation et la consommation dynamique du buffer sont illustrées par la figure II-27. Pour ce faire, sur l'entrée on a injecté une impulsion d'une durée de 1 ns. La sortie est connectée en parallèle à une résistance de 50 Ω, ainsi qu'une capacité de 10 pF, pour schématiser les contraintes dues aux instruments de mesure. Grâce à cette configuration on a déterminé que le t_{PHL}= 254 ps et le t_{PHL} = 231 ps. La consommation du buffer atteint presque 45 mW lors des phases de commutation des inverseurs. Cette forte

consommation est due à la dimension du dernier inverseur qui est relativement grande par rapport aux autres inverseurs. Pour répondre à ces pics de consommation, nécessitant des forts appels du courant sur l'alimentation, une capacité de découplage de type MIM est mise entre le VDD et la masse du buffer.

II.7 Référence de tension

Le véhicule de test NANOSPACE intègre une source de tension de référence stable en température appelée "Bandgap". Cette source de tension servira comme un générateur de stress interne.

Nous avons conçu le circuit de Bandgap pour générer une tension de référence V_{ref} = 1,2 V. Ce circuit présente une dépendance très faible par rapport à la température, et à la tension d'alimentation Vdd de 2,5 V. Le circuit de Bandgap réalisé se compose de trois parties : le circuit de démarrage qui permet de produire une tension de référence même si le Bandgap n'est pas à son point de fonctionnement optimal, un miroir de courant auto-polarisé qui génère des courants égaux dans chaque branche du circuit, et une combinaison des transistors Bipolaires et des résistances rendant le Bandgap beaucoup moins sensible aux variations de la température (voir figure II-28).

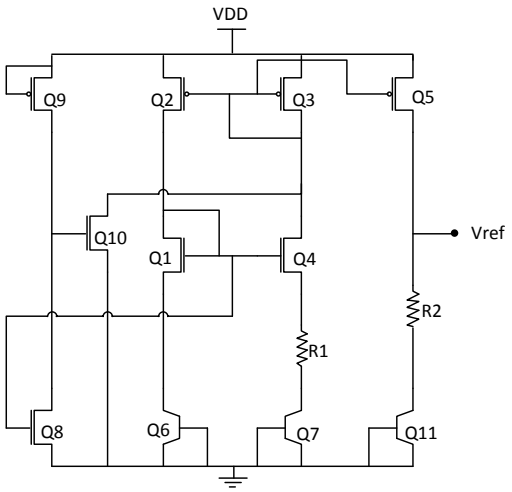


Figure II-28 *Schématique du circuit de la tension de référence (Bandgap)*

II.7.1 Procédure de conception

La différence des tensions émetteur-base entre les deux transistors bipolaires Q6 et Q7, forme une source de courant proportionnelle à la température absolue (I_{PTAT}) [Bri07] :

$$I_{PTAT} = I_{R1} = \left[\frac{\left(\frac{W}{L}\right)_5 . k}{\left(\frac{W}{L}\right)_3 q . R_1} . \ln(N) \right] . T \qquad \text{Eq II-13}$$

Cependant considérant le miroir de courant formé par Q3 et Q5 la tension de référence peut s'écrire comme [Bri07] :

$$V_{REF} = R_2 . I_{PTAT} + V_{EB9} = R_2 \left[\frac{\left(\frac{W}{L}\right)_5 . k}{\left(\frac{W}{L}\right)_3 q . R_1} . \ln(N) \right] . T + V_{EB9} \qquad \text{Eq II-14}$$

En dérivant cette équation par rapport à de la température on trouve :

$$\frac{\partial V_{REF}}{\partial T} = 0 = R_2 . I_{PTAT} + V_{EB9} = R_2 \left[\frac{\left(\frac{W}{L}\right)_5 . k}{\left(\frac{W}{L}\right)_3 q . R_1} . \ln(N) \right] . T + \frac{\partial V_{EB9}}{\partial T} \qquad \text{Eq II-15}$$

$$\rightarrow K_{REF} = \frac{\left(\frac{W}{L}\right)_5}{\left(\frac{W}{L}\right)_3} \approx \frac{-\frac{\partial V_{EB9}}{\partial T}}{\frac{k}{q} . \ln(N) . V/°C} = 10 \qquad \text{Eq II-16}$$

Où K est la constante de Boltzmann, q est la charge d'un électron, $\partial V_{EB9}/\partial T$=-4mV/°C, N=2 pour réduire le nombre des composants, et en considérant R1=R2 pour toute la gamme de températures. Grâce à l'équation II-16 nous déterminons le facteur K_{ref}=10 qui représente le rapport des dimensions entre les transistors PMOS Q3 et Q5.

II.7.2 Résultats des simulations

Les simulations PLS du circuit de Bandgap conçu illustrées en figure II-29, nous ont permis de prévoir une tension de référence de 1.2 V à 25 °C avec une dérivée de 8.1 ppm/°C sur la gamme de températures [-90 °C à 50 °C]. Tandis que la variation de cette tension en fonction de la variation de la tension d'alimentation Vdd est de 400 ppm/V. Par ailleurs, la consommation totale du circuit est de 120 µA.

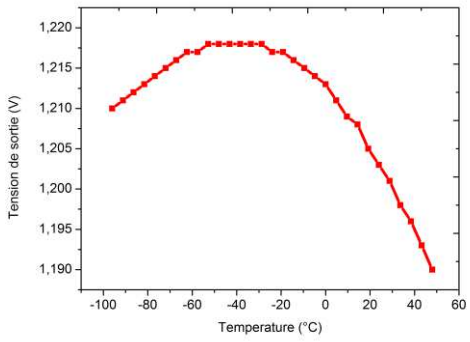


Figure II-29*Variation de la tension de référence délivrée par le Bandgap en fonction de la température*

II.8 Circuit de stress

L'évaluation des différents mécanismes de dégradation (NBTI, HCI…) sur la fiabilité des structures actives élémentaires, varie de façon proportionnelle aux types des stress appliqués. En effet, il existe un problème de relaxation intrinsèque à l'application d'un stress externe (câble, bruit…), qui sous évalue les dégradations. Pour éviter de rencontrer ce problème, nous avons opté pour l'utilisation d'un générateur de stress interne, intégré dans le véhicule de test.

Ainsi nous avons choisi de réutiliser les circuits de l'oscillateur en anneau, et la référence de tension, respectivement comme des générateurs de stress interne, dynamique (AC), et statique (DC). Pour ce faire, un circuit de multiplexage spécifique est conçu. Ce multiplexeur donne la possibilité de choisir selon sa programmation le type de stress à appliquer sur les structures de test. Le schéma synoptique du circuit de stress est illustré par la figure II-30.

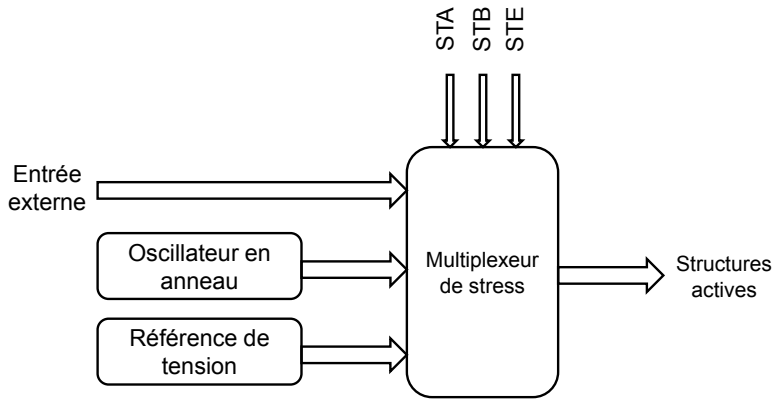


Figure II-30 *Schéma synoptique du circuit de stress*

STA	STB	STE	Types de stress
0	0	1	Entrée externe
0	1	1	Référence de tension
1	0	1	Oscillateur en anneau
X	X	0	OFF

Tableau II-4 *Adressage du circuit de stress*

II.9 Les chaînes de portes logiques

Cinq chaînes de portes logiques sont intégrées dans le véhicule de test NANOSPACE. La première et la deuxième chaîne, se composent respectivement d'inverseurs et de portes NOR câblées en inverseur. Les autres chaînes sont composées de bascules D. Chaque chaîne

est composée de 400 portes logiques conçues avec les géométries minimales accessibles dans la technologie STMicroelectronics 65 nm. Nous avons utilisé un circuit de multiplexage pour réduire le nombre de plots.

II.9.1 Chaîne d'inverseurs

Cette structure de test, est constituée de 400 inverseurs. Elle est dessinée en serpentin pour optimiser sa surface sur la puce. Le fonctionnement de cette chaîne, est validé par des simulations PLS. Une impulsion électrique d'une durée de 1ns est injectée à l'entrée. Ainsi on a caractérisé les temps de propagation à travers les 400 inverseurs. Les résultats des simulations montrés dans la figure II-31, donnent un t_{PHL}= 7,48 ns et un t_{PLH}= 7,49 ns. Aussi la consommation de la chaîne varie de 60 µW en phase statique, à 150 µW en phase dynamique lors des commutations des inverseurs.

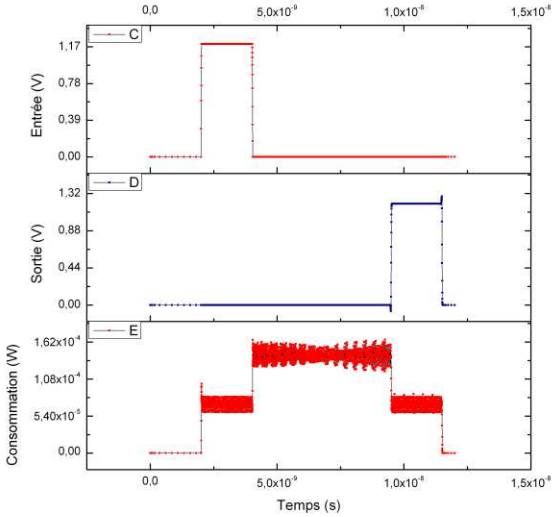


Figure II-31 *Résultats des simulations transitoires pour la chaine d'inverseur*

II.9.2 Chaîne de portes NOR

Une chaîne de portes NOR câblées en inverseur, a été conçue. Ensuite nous avons caractérisé les temps de propagation et la consommation à travers la chaîne. Les résultats des simulations PLS, sont illustrés dans la figure II-32. On a un t_{PHL}= 13 ns et un t_{PLH}= 14 ns. La consommation de la chaîne varie de 70 µW en phase statique lors de l'alimentation de la chaîne, à 180 µW en phase dynamique.

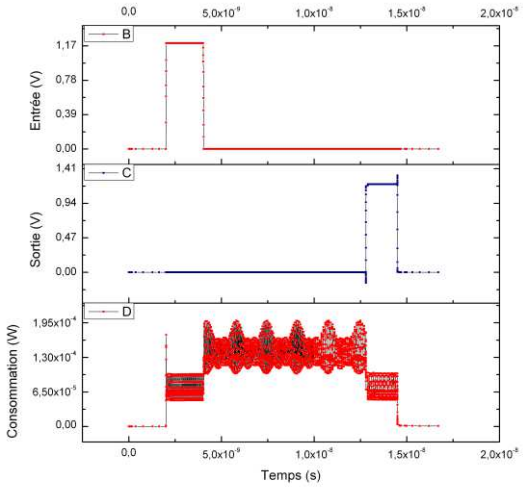


Figure II-32 *Résultats des simulations transitoires pour la chaine des portes NOR câblées en inverseur*

II.9.3 Chaînes de bascules D

Trois chaînes de bascule D montées en cascade ont été conçues. La première chaîne ne comporte pas de capacité de découplage, par contre la deuxième et la troisième ont respectivement une capacité de découplage de type MIM et MOS.

Les simulations PLS illustrées dans la figure II-33, montrent que les chaînes de bascule D, recopient le signal de l'entrée sur la sortie en le synchronisant sur l'horloge avec un retard correspondant au temps de propagation à travers les 400 bascules D. Ainsi on a pu caractériser le temps de propagation qui est de l'ordre de 400 ns.

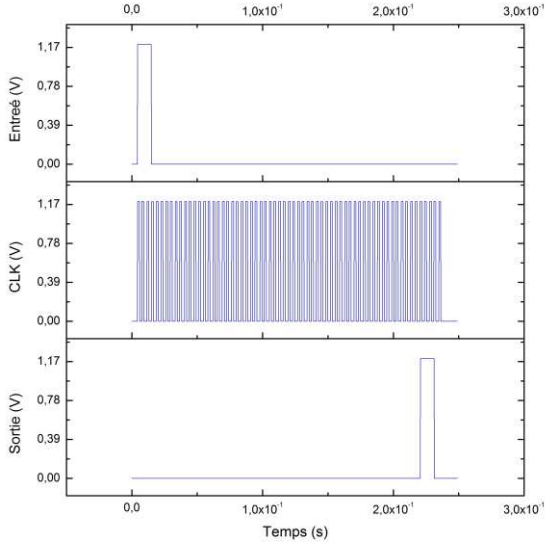


Figure II-33 *Résultats des simulations transitoires pour la chaine des bascules D*

II.10 La mémoire SRAM

Ce paragraphe présente la conception d'une mémoire SRAM en technologie CMOS 65 nm de STMicroelectronics. Nous décrivons dans un premier temps les étapes de conception du circuit, ensuite les résultats des simulations Post-Layout seront rapportés.

Avec la montée en puissance des circuits intégrés SOC (System On Chip) et un traitement d'un nombre de données de plus en plus grandissant, la mémoire statique à accès aléatoire (SRAM), est devenue l'un des composants les plus utilisés dans les circuits intégrés.

II.10.1 Structure de la mémoire SRAM

La figure II-34 montre le schéma synoptique du bloc de la SRAM conçu avec les différents modules le constituant.

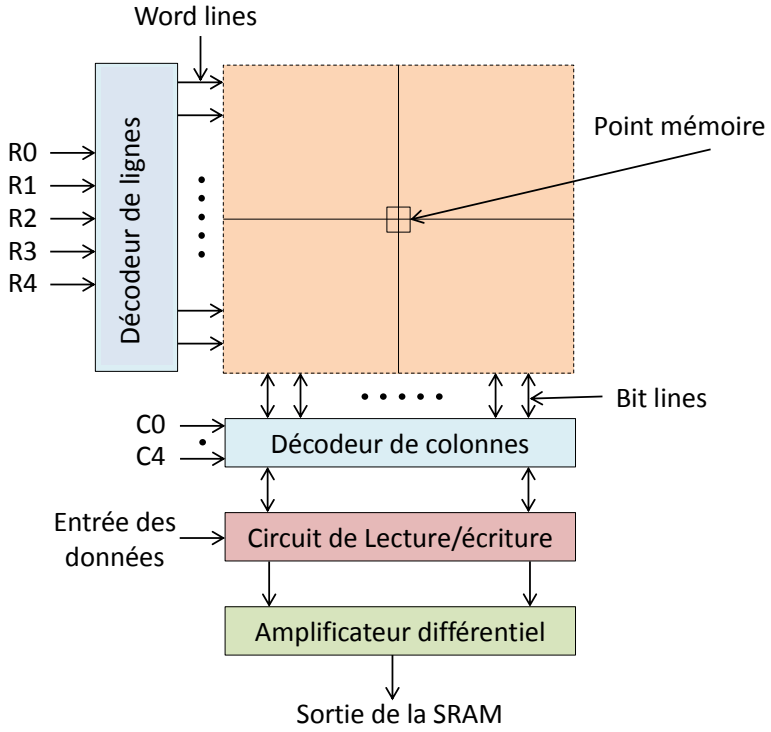


Figure II-34 *Schéma synoptique des blocks constituant la mémoire SRAM*

Comme il est indiqué sur cette figure, la mémoire SRAM se compose d'un module constitué de 32x32 points mémoires disposés en lignes et en colonnes, d'un module décodeur de rangées 5 bits qui permet de sélectionner l'une des lignes appelées Word Line allant de WL_0 à WL_31, d'un module décodeur de colonnes adressé par 5 bits permettant le partage du bloc de l'amplificateur différentiel (Sense Amplifier) entre les colonnes C_0 à C_31, et d'un module de contrôle pour la lecture et l'écriture des données dans la mémoire, ainsi qu'un buffer de sortie.

II.10.2 Cellule SRAM 6T

Un point mémoire est le composant clé du stockage des données dans une SRAM. Dans notre cas nous avons choisi d'utiliser la cellule conventionnelle à 6 transistors (6T) illustrée dans la figure II-35. Cette cellule est composée de deux inverseurs croisés, l'inverseur INV_1 (transistors M1 et M3) et l'inverseur INV_2 (transistors M2 et M4), ainsi que de deux transistors d'accès M5 et M6 commandés par un même signal appelé Word Line (WL). Ce signal de commande permet l'accès à la cellule à l'aide des Bits Line (BL et BLB, la notation BLB est l'inverse binaire de BL) pendant les opérations de lecture et d'écriture en assurant l'isolation de la cellule lors de l'état de non accessibilité. La SRAM conçue est constituée de 1024 points de type 6T rangés sous forme d'une matrice 32x32 [Har07].

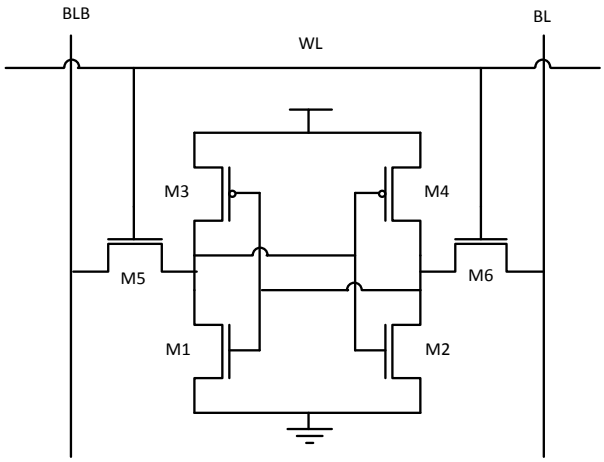


Figure II-35 *Schématique du point mémoire 6T*

Une cellule SRAM a trois états de fonctionnement différents : elle peut être en mode veille (standby) où le circuit est au repos, en mode écriture lors de l'actualisation de son contenu, ou en mode lecture lorsque les données ont été demandées. Les trois états différents fonctionnent comme suit :

STANDBY : si la Word line (WL) n'est pas activée, les transistors d'accès M5 et M6 déconnectent la cellule des lignes de Bit Line (BL et BLB). Ainsi Les deux inverseurs croisés, formés par INV_1 et INV_2 gardent la donnée stockée tant qu'ils restent déconnectés des lignes de Bit Line.

ECRITURE : dans le cas où nous souhaitons écrire un '1' dans le point mémoire, alors que la valeur présente est '0'. Donc il faut commencer par positionner BL à '1' et BLB à

‘0’. Ensuite, le point mémoire est sélectionné par WL qui est mis à ‘1’, car les transistors d’accès sont constitués de NMOS, ainsi la donnée ‘1’ est stockée et WL remis à ‘0’.

LECTURE : le cycle de lecture est lancé par la précharge des lignes de Bit Line (BL et BLB) à l’état haut ‘1 logique’, puis l’activation des transistors d’accès M5 et M6 à travers la Word Line. La seconde étape consiste à transférer aux lignes de Bit Line les données stockées dans Q et QB. La Word Line est maintenue à l’état haut suffisamment longtemps pour produire une différence de tension entre la BL et BLB qui sera amplifiée par un amplificateur différentiel.

II.10.3 Procédures de conception

Le dimensionnement des transistors de la cellule SRAM joue un rôle primordial dans la stabilité des données stockées dans la cellule, cette stabilité peut être détériorée pendant le mode de lecture et d’écriture. Afin de maintenir la stabilité en phase de lecture, la longueur de grille "L" des transistors M1 et M2 (NMOS) doit être supérieure par rapport aux transistors d’accès M5 et M6 (NMOS). Pour la stabilité en mode d’écriture la longueur de grille des transistors M5 et M6 doit être plus grande que celle des transistors M3 et M4 (PMOS). Ces exigences sont satisfaites avec les dimensions prises en compte pour la conception du point mémoire 6T (voir figure II-36). Les dimensions (Largueur et longueur) de M1 et M2 sont ici de 300nm et 60nm, de M5 et M6 sont de 145 nm et 60 nm, et celle de M3 et M4 sont de 135nm et 60nm [Zhi07] [Red09].

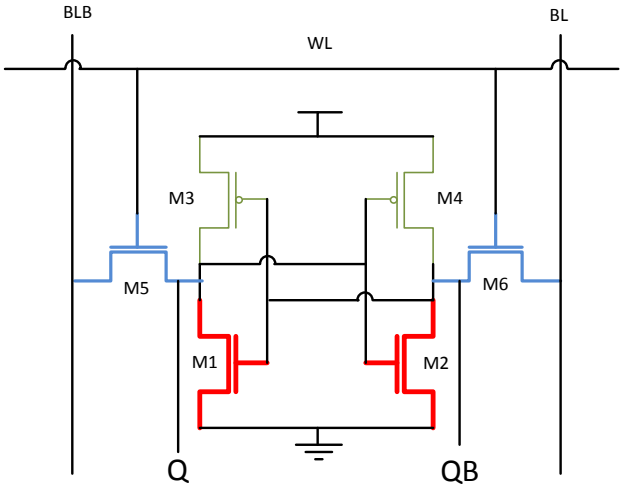


Figure II-36 *Schéma du point mémoire 6T conçu en prenant en compte les règles de dessin*

Une fois les transistors théoriquement dimensionnés, nous avons dessiné le Layout du point mémoire (voir figure II-37).

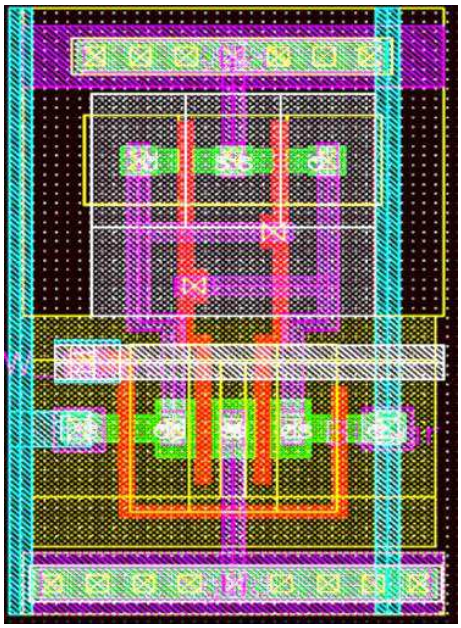


Figure II-37 *Layout du point mémoire 6T conçu*

II.10.3.1 La marge statique au bruit et les simulations Post-Layout

Une des caractéristiques principales de la stabilité du point mémoire 6T est la marge de bruit statique appelée SNM (Static Noise Margin). La SNM permet de déterminer la capacité d'une cellule SRAM à conserver une donnée et de résister aux perturbations, particulièrement en phase de lecture qui est la plus sensible en termes de conservation de la donnée. La SNM est représentée par la longueur du côté du plus grand carré tracé à l'intérieur dans l'une des deux boucles de la courbe en forme de papillon associée à la cellule mémoire, comme la montre la figure II-38.

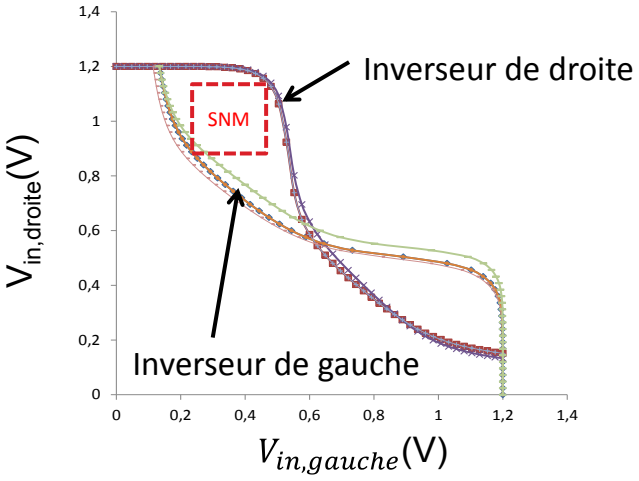


Figure II-38 *La marge statique au bruit (SNM) du point mémoire 6T*

II.10.3.2 Décodeur de lignes

Le décodeur de lignes permet d'activer les lignes Word Line de la matrice SRAM, en mettant la WL correspondante à l'état haut, en fonction de la valeur sur ces bits d'adresse. La capacité de la mémoire SRAM conçue étant de 32x32 bits, il nous faut 32 signaux WLs (WL_0, WL_1, … WL_31), ce qui nécessite 5 bits d'adresse ($2^5 = 32$). La figure II-39 donne le schéma du décodeur conçu.

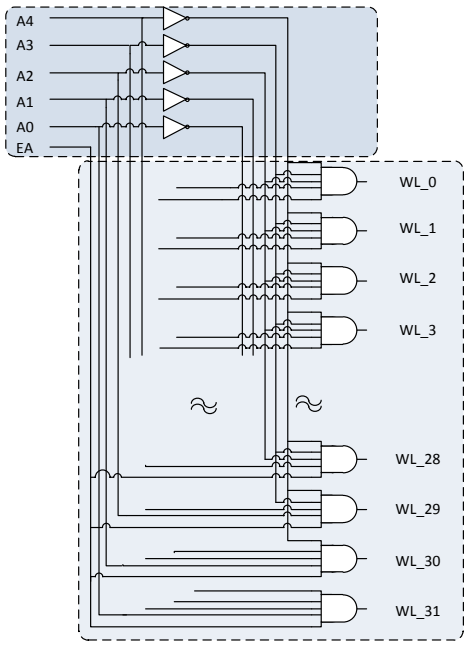


Figure II-39 *Schématique du décodeur de lignes de la SRAM*

Ce décodeur est composé de deux blocs de circuit, le premier contient cinq inverseurs où leurs entrées et sorties sont connectées à 32 portes "ET", de telle sorte à en avoir une seule activée à chaque fois, selon la programmation des 5 bits d'entrée et le bit de commande EA, comme le montre le tableau de décodage ci-dessous.

EA	A0	A1	A2	A3	A4	Word Line
1	0	0	0	0	0	**WL_0**
1	0	0	0	0	1	**WL_1**
1	0	0	0	1	0	**WL_2**
1	0	0	0	1	1	**WL_3**
1	1	1	1	0	0	**WL_28**
1	1	1	1	0	1	**WL_29**
1	1	1	1	1	0	**WL_30**
1	1	1	1	1	1	**WL_31**
0	X	X	X	X	X	**diseable all**

Tableau II-5 *Table de décodage des signaux WL_1 à WL_31*

II.10.3.3 Décodeur de colonnes

Le décodeur de colonnes est bidirectionnel. Il doit transférer la donnée vers le point mémoire 6T lors d'une écriture, ou récupérer la donnée stockée dans la cellule sélectionnée, pour la positionner sur les entrées de l'amplificateur différentiel en phase de lecture. Il est constitué de deux parties, l'une est le décodeur logique adressé par 5 bits, l'autre est formée de deux transistors NMOS couplés par leurs grilles et où chaque drain est connecté aux lignes de Bit Ligne (BL et BLB), formant une colonne (voir figure II-40).

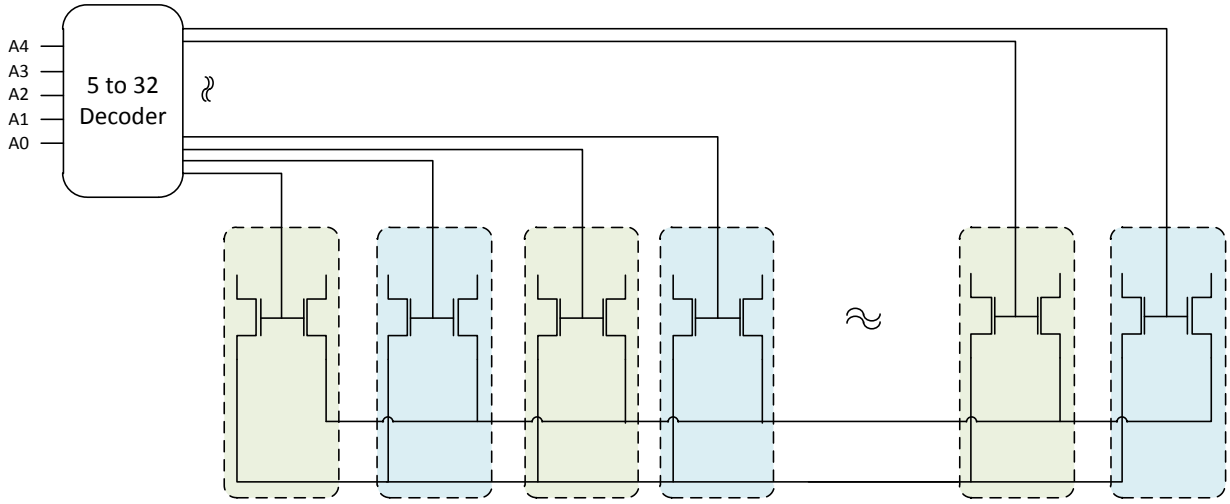


Figure II-40 *Schématique du décodeur de colonnes de la SRAM*

II.10.3.4 Amplificateur différentiel

Le circuit de l'amplificateur différentiel appelé Sense Amplifier (SA) est un composant important dans la conception des mémoires SRAM. Le choix et la conception du SA à un impact sur la vitesse de lecture et la consommation de la mémoire. La fonction première d'un SA est d'amplifier la différence de potentiel développée sur les lignes de Bit Line, entre BL et BLB en mode de lecture quand la cellule SRAM et accessible. La figure II-41, montre le SA conçu, on peut distinguer trois parties : le miroir de courant composé des transistors M3 et M4 permettant de fournir le même courant sur les deux branches du circuit, la paire différentielle d'entrée, et le transistor de commande. Ainsi, pour avoir le maximum du gain, tous les transistors sont initialement polarisés dans la région de saturation. Ensuite, pour améliorer la linéarité nous utilisons de grandes valeurs de longueur de canal L. Ces règles de conception nous ont permis d'avoir une meilleure stabilité, d'améliorer l'immunité au bruit, et d'augmenter la vitesse de lecture de la SRAM.

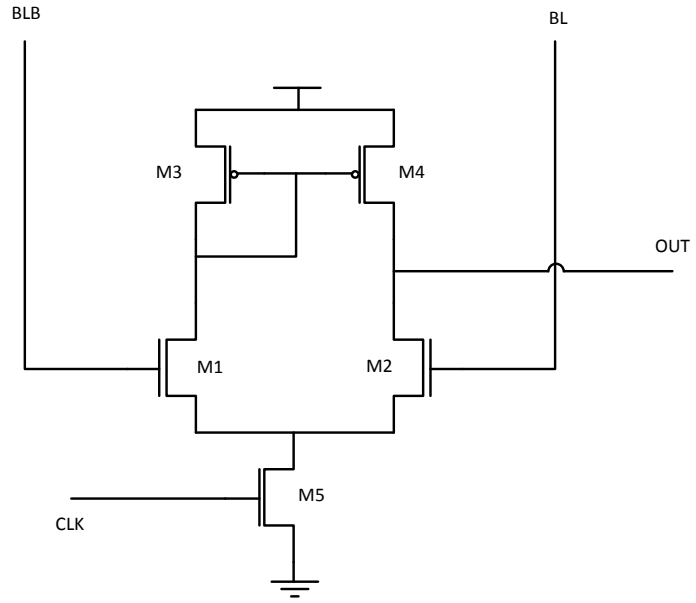


Figure II-41 *Schématique de l'amplificateur différentiel*

II.10.3.5 Le circuit de précharge

Le circuit de précharge est associé à chaque colonne du plan mémoire. Sa fonction est de précharger les lignes de Bit Ligne (BL et BLB), à un état haut juste avant la phase de lecture. Le circuit conçu est composé de deux transistors PMOS commandés par le signal SC (voir figure II-42).

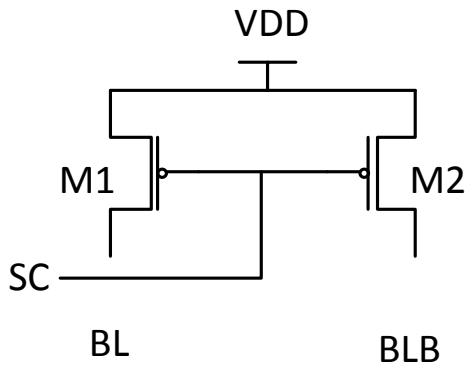


Figure II-42 *Schématique du circuit de précharge*

II.10.3.6 Circuit de contrôle

Ce circuit composé d'inverseurs et de portes de transmission CMOS permet de réaliser les différentes étapes nécessaires pour effectuer la lecture ou l'écriture dans la mémoire SRAM. Il assure l'envoi de la donnée à écrire depuis l'entrée Data_In, par l'activation du signal WE à '1', ainsi que la récupération des données stockées dans la cellule à travers les lignes de Bit Line, par la remise à '0' du signal WE.

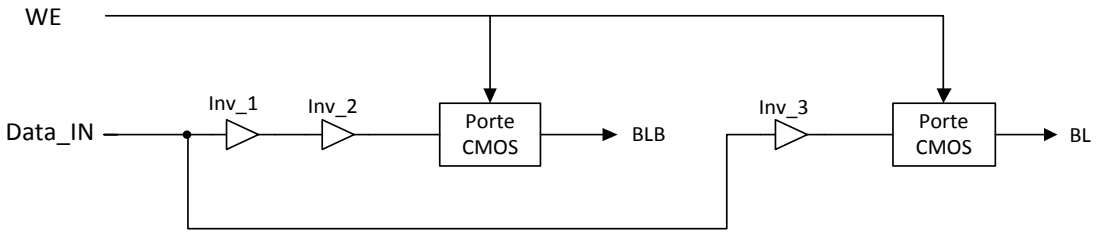


Figure II-43 *Schématique du circuit de contrôle de la SRAM*

Une fois tous les blocs réalisés (diagramme figure II-44-a), nous avons dessiné le Layout complet de la mémoire SRAM 32x32 comme le montre la figure II-44-b.

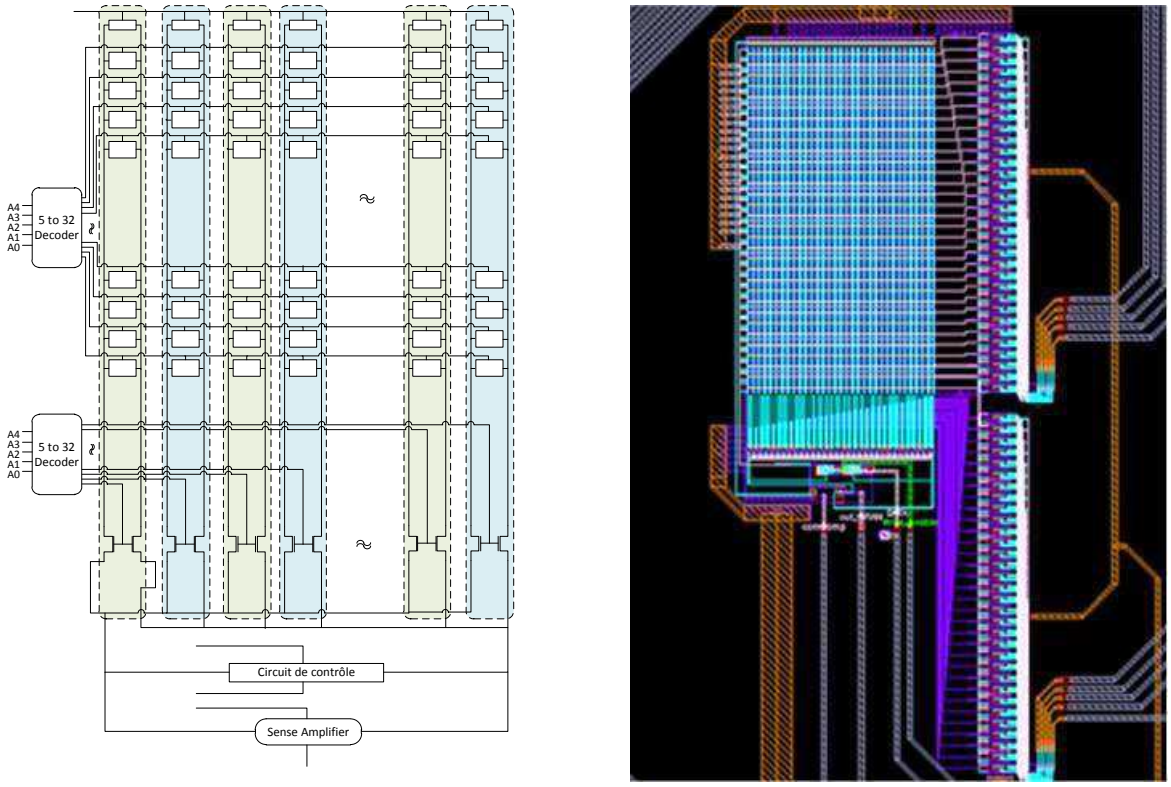


Figure II-44 *Schéma synoptique et Layout final de la mémoire SRAM conçue*

II.10.4 Simulation Post-Layout final de la SRAM

Nous avons validé par des simulations Post-Layout le fonctionnement des décodeurs de rangées et de colonnes, de l'amplificateur différentiel, du circuit de précharge et de contrôle, et ensuite le fonctionnement de la mémoire SRAM conçue avec tous ces blocs rassemblés.

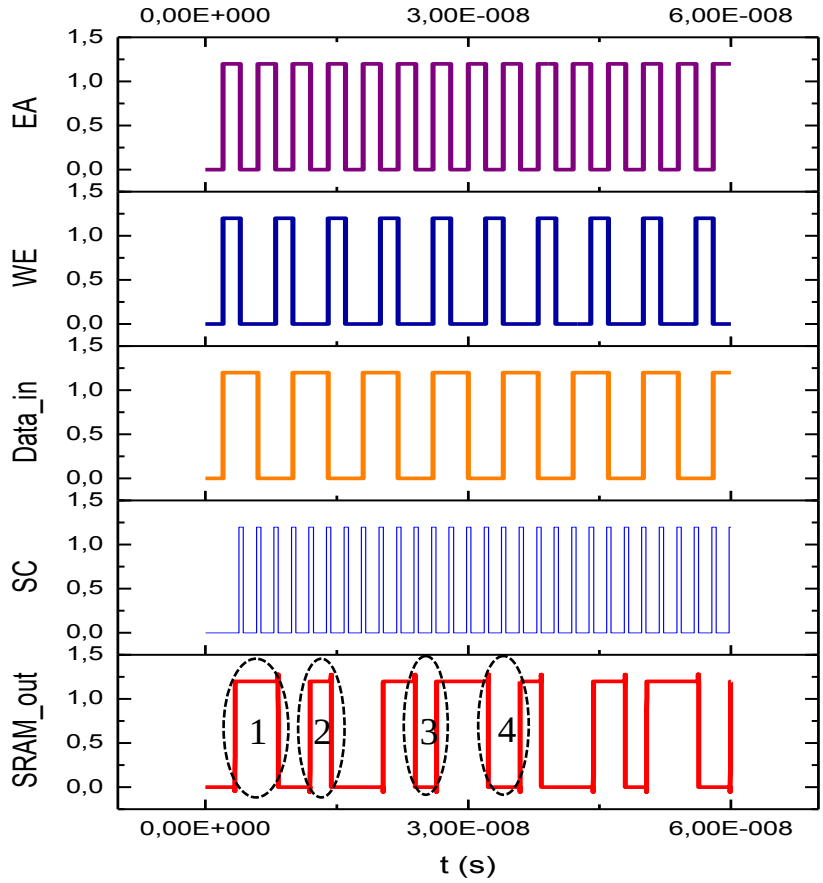


Figure II-45 *Chronogrammes portant sur l'écriture et la lecture de '1' et '0'*

La figure II-45 représente les chronogrammes portant sur l'écriture et la lecture de '1' (2) et '0' (4). Pour réaliser ces fonctions, nous avons programmé les bits d'adressage des décodeurs de rangées et de colonnes, pour accéder à la cellule mémoire 6T_1. Cette activation est réalisée en maintenant la ligne WL_0 et la colonne C_0 à l'état haut. Ensuite pour écrire une donnée '1' (1) ou '0' (3), il faut fixer les signaux EA et WE à '1', puis la donnée sera stockée dans la cellule sélectionnée. Pour la lecture, initialement les lignes de Bit Ligne (BL et BLB) sont préchargées à '1', à l'aide du circuit de précharge par l'activation de l'entrée SC qui est mise à '1'. Ensuite la donnée stockée dans le point mémoire, qui peut être '1' où '0', est routée vers les entrées de l'amplificateur différentiel qui va l'amplifier à sa sortie.

Les simulations Post-Layout, nous ont permis de valider le bon fonctionnement de la mémoire SRAM conçue. Le tableau ci-dessous résume les performances finales obtenues, en termes de temps d'accès lors de l'opération d'écriture qui est de l'ordre de 392 ps, ce qui veut dire que la SRAM peut fonctionner à 2,5 GHz. Le temps d'accès en phase de lecture est de 1,92 ns et la consommation est de 10 µW (voir tableau II-6).

Spécifications	**Simulations Post-layout**
Technologie	CMOS 65nm Low Power
Tension de fonctionnement	1,2 V
Consommation	10 µW
Temps d'accès de lecture	1,93 ns
Temps d'accès d'écriture	392 ps
Dimension	125 x 275 µm²

Tableau II-6 *Caractéristiques électriques de la mémoire SRAM*

II.11 Structures de test pour le mécanisme de l'électromigration

Pour évaluer la dégradation due au mécanisme de l'électromigration, des structures de test standard suivant les normes JEDEC [Jed87], sont implantées dans le véhicule de test NANOSPACE (voir figure II-46). Ces structures de test sont constituées de lignes d'interconnexions isolées, avec des géométries et des nombres de vias variables (voir tableau II-7). Ces structures permettent une mesure directe de la résistance de chaque type d'interconnexion.

Numéro de structures	**Types de structures**	**Longueur (µm)**	**Largeur (µm)**	**Nombre de VIAS**
1	Piste directe M2	250	2	0
2	M3	250	0.1	1
3	M3	250	0.2	1
4	M3	250	0.8	1
5	M3	250	1.5	1
6	M3	250	0.1	2
7	M3	250	0.1	3
8	M3	250	0.1	4
9	M3	10	0.1	1
10	M3	10	0.1	2
11	M3	10	0.1	3
12	M3	10	0.1	4
13	M1	250	0.1	1
14	M3	250	0.1	1
15	M2-M1	250	0.1	1
16	SWEAT	250		

Tableau II-7 *Géométries des structures de test pour l'électromigration*

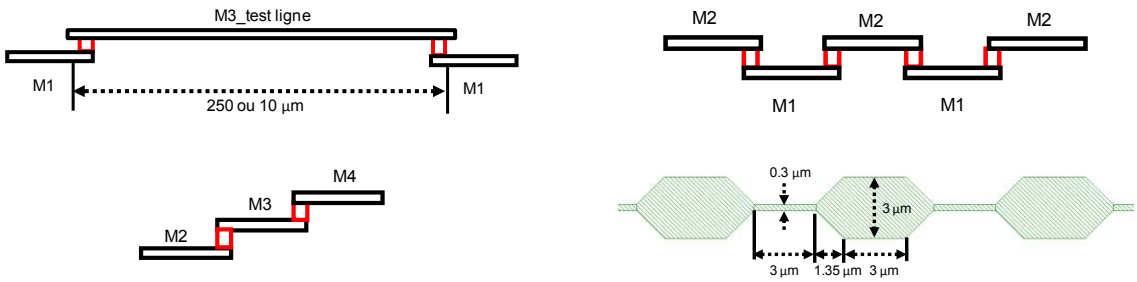


Figure II-46 *Structures pour tester les dégradations induites par le mécanisme d'électromigration*

II.12 Structures TDDB

Trois types de structures ont été conçus pour caractériser le mécanisme du TDDB. Nous nous sommes basés sur les normes JEDEC [Jed92] Ces structures de test sont constituées respectivement de quatre Capacités, de type MIM (*Metal-Insulator*-Metal), de type MOS (*Metal-Oxide*-Semiconductor), et des capacités interdégitées avec les niveaux métalliques 3, 4 et 5 (voir figure II-47).

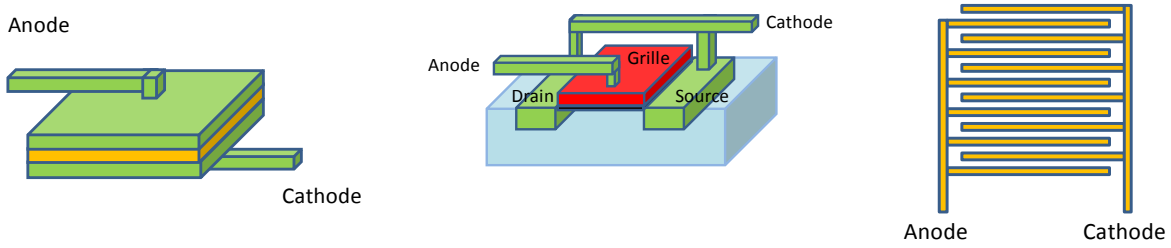


Figure II-47 *Structures pour tester les dégradations induites par le mécanisme de TDDB*

II.13 Conclusion

La première partie de ce chapitre a exposé le travail fait autour de la conception du véhicule de test NANOSPACE en technologie CMOS LP 65 nm que nous avons réalisée.

Dans la seconde partie de ce chapitre le fonctionnement de tous les circuits est confirmé. Ensuite nous avons montré que, en prenant en compte l'ensemble des éléments parasites, la conception des différents circuits du véhicule de test peut être optimisée.

Le fonctionnement complet du véhicule de test NANOSPACE a été simulé et ses dessins des masques réalisés. Puis, cette puce a été fabriquée par STMicroelectronics. Nous allons maintenant pouvoir en présenter la caractérisation dans le chapitre suivant.

CHAPITRE.III : Caractérisation du véhicule de test NANOSPACE

III.1 Introduction

Les études menées dans le cadre du deuxième chapitre ont conduit à la conception du véhicule de test NANOSPACE. L'ultime étape a été le dessin des masques de tous les circuits intégrés dans la puce conçue. Ils ont été alors fabriqués par la société STMicroelectronics. A travers ce chapitre, nous allons donc présenter les caractérisations initiales et complètes relatives à ces différents circuits avant stress.

Dans un premier temps, nous présentons la carte de test conçue pour caractériser le véhicule de test. Ensuite nous montrons le logiciel développé permettant l'automatisation de toute l'instrumentation.

Dans la seconde partie, nous comparons les performances mesurées et celles simulées des différents circuits conçus pour étudier les mécanismes de dégradations de type NBTI et HCI (structures actives élémentaires, oscillateur, bandgap, chaines de portes logiques, SRAM).

Nous conclurons ce chapitre, par une caractérisation initiale de la résistance des structures de test pour le mécanisme d'électromigration, puis des mesures des courants de fuite pour les structures de TDDB.

III.2 Le PCB

Après la fabrication de la puce NANOSPACE (voir figure III-1) celle-ci a été encapsulée dans un boitier céramique de type CQFP 120 broches. Ensuite pour commencer la phase de mesures des circuits conçus, nous avons développé une carte adaptée aux spécifications des tests que nous souhaitons réaliser pour caractériser les différents mécanismes de défaillance décrits précédemment dans le premier chapitre. Le masque du PCB a été réalisé au moyen du logiciel "Mutisim" puis "Ultiboard".

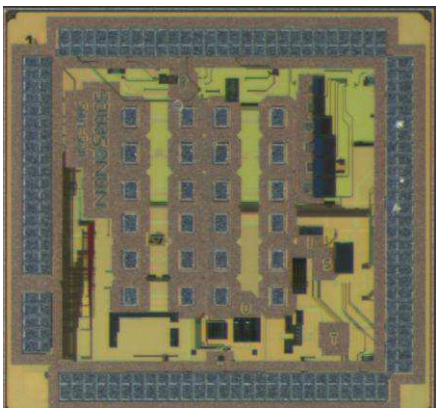


Figure III-1 *Photographie de la puce NANOSPACE*

Le choix du substrat du PCB ainsi que celui des connecteurs utilisés est primordial pour nos tests. En effet pour réduire la dissipation thermique lors des tests de vieillissement à haute température (125°C), nous avons choisi de prendre un PCB avec un substrat de type FR4 et des connecteurs homologués pour fonctionner dans des étuves à des régimes de températures élevées.

La figure III-2 illustre une image de la carte de test développée. Cette carte contient des connecteurs de type SMB pour les entrées et sorties des différents circuits de test, ainsi que des interrupteurs pour programmer en mode statique les circuits de multiplexage. La distance entre les composants externes et le boitier de la puce est minimisée afin de réduire la valeur des éléments parasites inhérents à l'utilisation de composants externes.

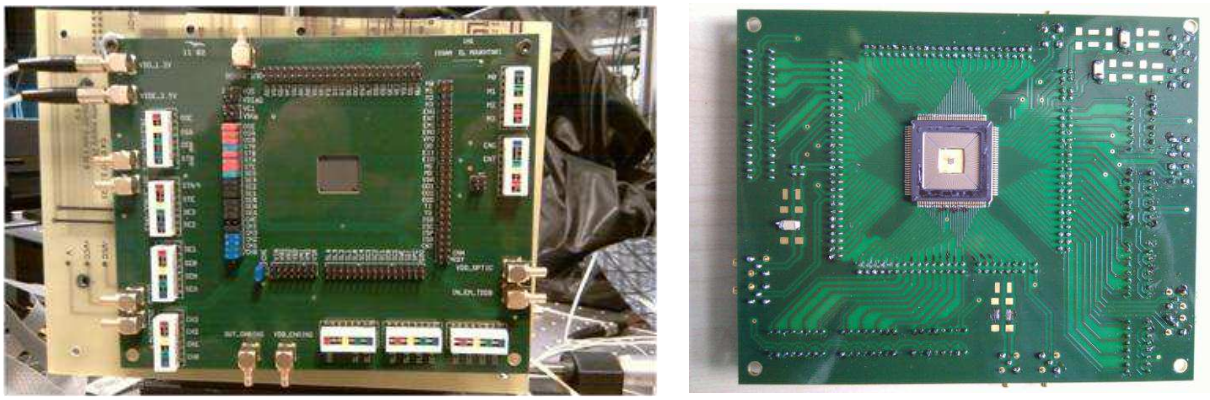


Figure III-2 *Photographies de la carte de test développé pour caractériser la puce NANOSPACE*

III.3 Les programmes de test

Nous avons développé un logiciel permettant l'automatisation de toute l'instrumentation utilisée pour caractériser les circuits conçus, et dont l'interface graphique est présentée dans la figure III-3.

Le logiciel a été réalisé en langage C sous l'environnement de développement intégré Labwindows/CVI produit par National Instruments [Nat]. Cet environnement nous a permis de développer des programmes de test et de caractérisation adaptés aux structures de test conçus pour l'évaluation des différents mécanismes de défaillance. En effet cet environnement offre une simplification du développement d'interfaces graphiques en plus de la facilité de la programmation pour l'acquisition de mesures. De plus, il offre une compatibilité technique avec les cartes PCI d'entrées et sorties de chez National Instruments que nous avons été amené à utiliser. En effet, ce type de carte est d'une utilité majeure dans l'ensemble des fonctionnalités que nous allons décrire par la suite. Elle permet l'acquisition

de tous les signaux émis par nos instruments, qu'ils soient analogiques ou numériques, et c'est par son biais que seront délivrés les signaux de commande des multiplexeurs de l'ensemble du véhicule de test.

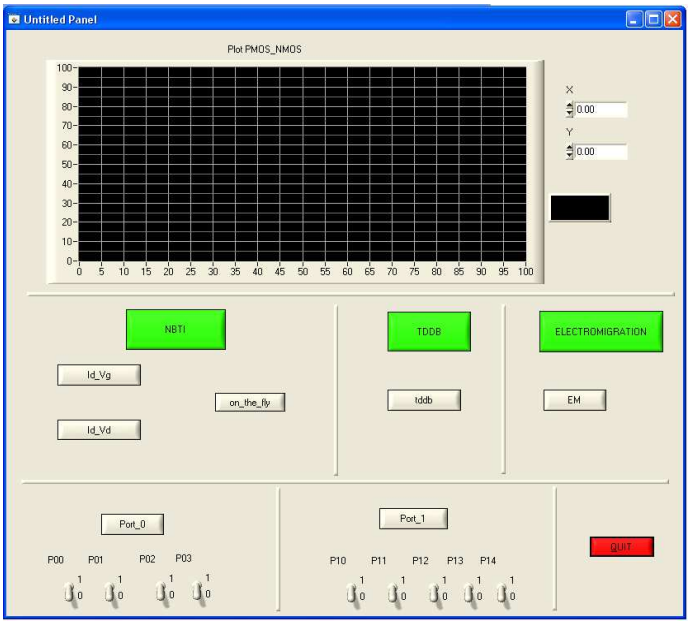


Figure III-3 *Interface graphique du logiciel développé*

Le logiciel permet le contrôle des instruments du banc de test. Nous allons présenter ici la liste des appareils utilisés, et nous décrivons par la suite les paramètres de contrôle.

III.3.1 Le contrôle instrumental

L'ensemble des appareils électriques utilisés pour le test et la caractérisation de la puce NANOSPACE sont (voir figure III-4):

- un sourcemètre, fabriqué par la société Keithley [Kei] de modèle 2612, il permet le contrôle et la mesure simultanée des paramètres électriques aux bornes des composants,
- une carte d'instrumentation fabriquée par National Instruments [Nat] de modèle PCIe-6251pour piloter les circuits de multiplexage et commander la mémoire SRAM,
- une alimentation programmable de la société Agilent [Agi] de modèle QL355TP pour alimenter le composant sous test,
- un générateur de pattern, fabriqué par Agilent de modèle 81110A (fréquences maximale : 330 MHz),
- un générateur basse fréquence (GBF), fabriqué par Agilent de modèle 33250A (fréquence maximale : 80 MHz),

- une étuve pour accélérer le vieillissement avec la température.

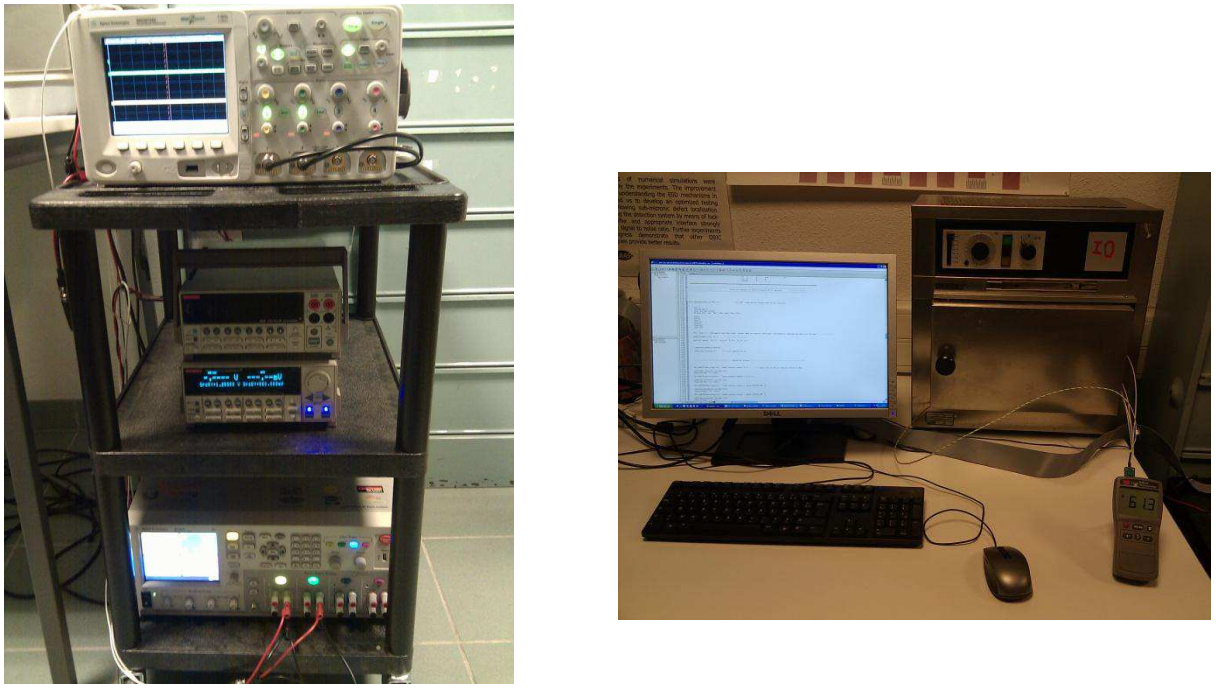


Figure III-4 *Photographie du banc de test*

Le pilotage de tout l'appareillage électronique permet de disposer de différents outils de caractérisation électrique des composants.

Ainsi, avec l'utilisation du sourcemétre (Keithley) nous avons effectué des caractérisations électriques de type (I_{ds}/V_{ds}), (I_{ds}/V_{gs}) et (V_{out}/V_{in}) respectivement sur les différents transistors et les deux portes logiques (inverseur et nor) conçues pour caractériser les mécanismes de défaillance.

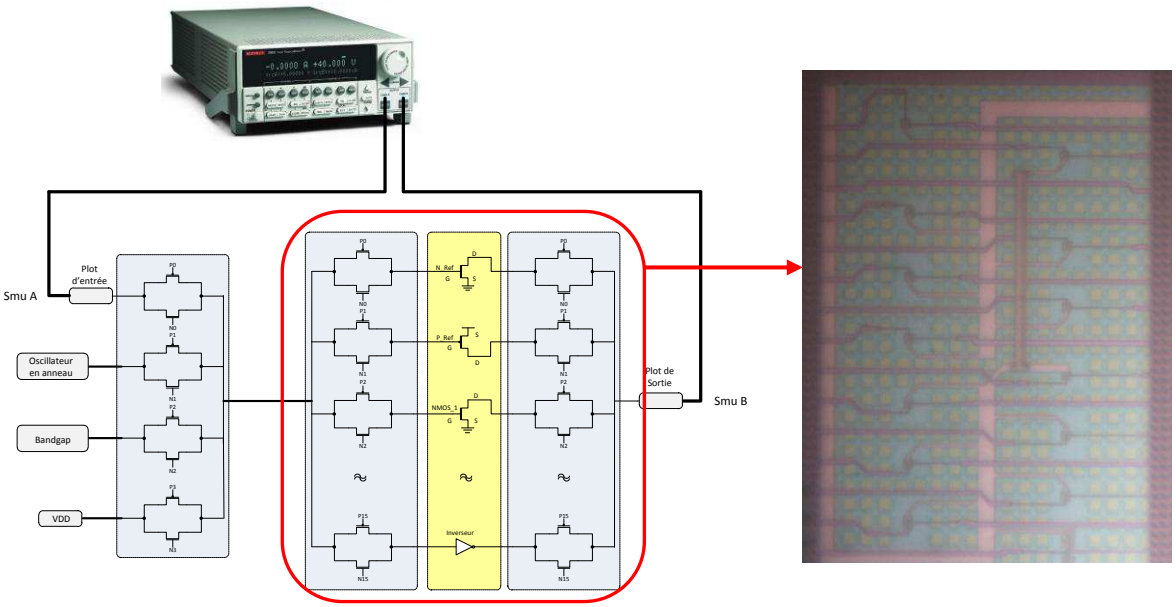
Enfin, il est possible d'étudier les vieillissements induits par les dégradations de types NBTI, TDDB ou électromigration sur les structures conçues dédiées à l'étude de ces trois types de défaillance. En effet, plusieurs méthodes de caractérisation de ces vieillissements ont été implémentées. Nous reviendrons en détail sur cette problématique lors du prochain chapitre.

III.4 Comparaisons entre les simulations Post-Layout et les mesures

III.4.1 Structures actives élémentaires (SAE)

Nous avons utilisé le sourcemètre (Keithley) avec les programmes de tests consacrés à la caractérisation des différents transistors et des portes logiques constituant les structures

actives élémentaires (voir figure III-5). Par la suite nous allons montrer et décrire les résultats de ces mesures pour chaque structure.



a b

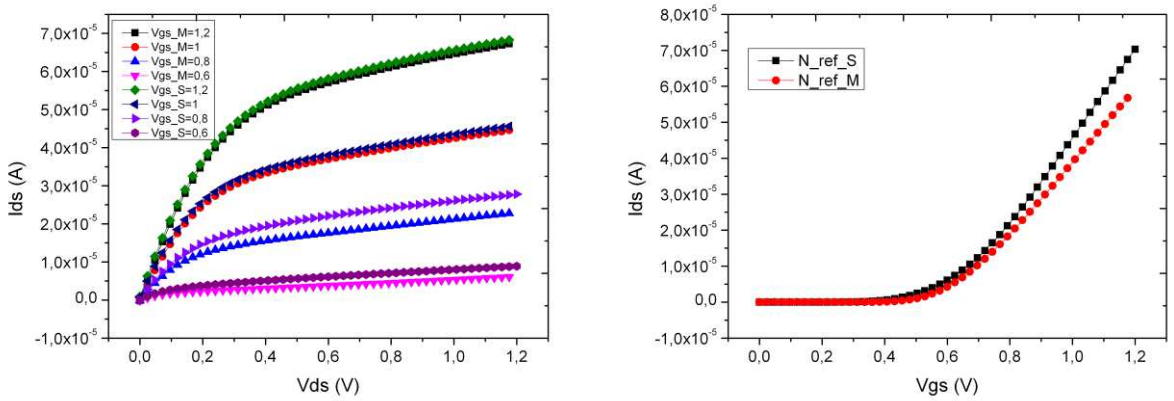
Figure III-5 *Dispositif de test du circuit constituant les structures actives élémentaires (a) et sa microphotographie (b)*

III.4.1.1 NMOS de référence

Les résultats des mesures et des simulations PLS pour le transistor NMOS de référence sont reportés sur la figure III-6. Pour effectuer le test, le circuit de multiplexage a été programmé pour accéder à cette structure, ensuite la grille a été polarisée de 0,6 V à 1,2 V avec le sourcemètre, la tension appliquée sur le drain a été ajustée de 0 à 1,2 V, ainsi le courant de drain a été mesuré. Nous avons constaté que la corrélation mesure/simulation est relativement bonne pour les tensions de polarisation de la grille "V_g=1,2 V et 1 V". En revanche des erreurs de 8 % ainsi que de 3 % ont été observées pour les variations du courant I_{ds} pour des polarisations de 0,8 V et de 0,6 V (voir figure III-6-a). Ces erreurs entre les mesures et les simulations Post Layout peuvent s'expliquer par une sous estimation des courants de fuite. En effet le courant de drain mesuré du transistor NMOS, passe à travers un système de circuits complexes (multiplexeurs constitués de plusieurs portes de transmissions analogiques voire figure 5-a) et de câblages qui induisent ces courants de fuite.

Nous comparons dans la figure III-6-b, le résultat de la mesure et celui de la simulation PLS de la caractéristique I_{ds}/V_{gs} pour le transistor NMOS de référence. Pour effectuer cette caractérisation, le drain est polarisé à 1,2 V avec le sourcemètre et la tension appliquée sur la

grille varie de 0 à 1,2 V en mesurant le courant de drain. On constate une erreur de 7 % sur le courant de saturation $I_{ds,sat}$.

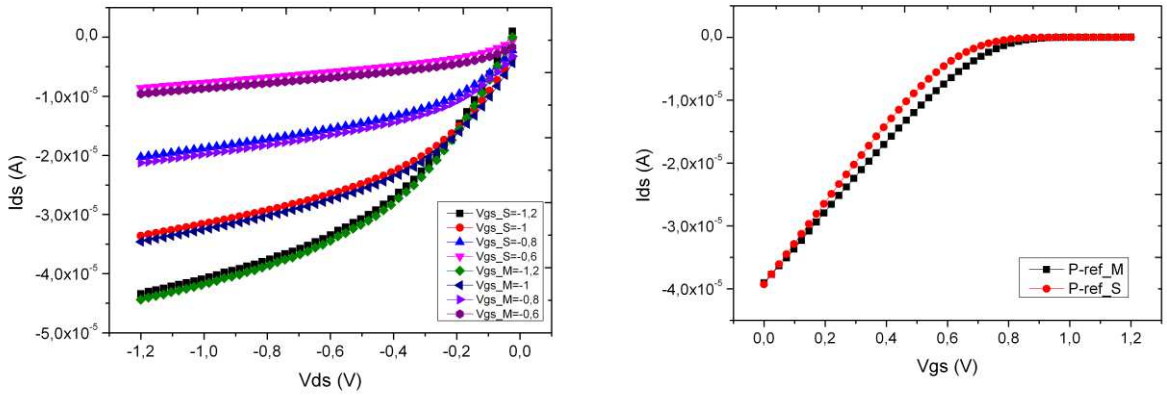


a b

Figure III-6 *Comparaison des caractéristiques a- Ids/Vgs et b- Ids/Vds mesurées "M" et celles obtenue par simulations PLS "S" pour le transistor NMOS de référence*

III.4.1.2 PMOS de référence

Pour caractériser le transistor PMOS de référence, nous avons utilisé les mêmes programmes développés et les mêmes méthodes de test que pour le NMOS. Les résultats des mesures et des simulations PLS pour les caractéristiques I_{ds}/V_{gs} et I_{ds}/V_{ds} sont illustrés à la figure III-7. Pour le transistor PMOS on remarque une bonne concordance pour les caractéristiques I_{ds}/V_{ds} entre les mesures et les simulations PLS. Par contre dans le cas de la caractéristique I_{ds}/V_{gs} il existe une erreur de 3 % dans la zone linéaire entre la mesure et la simulation PLS.



a **b**

Figure III-7 *Comparaison des caractéristiques Ids/Vgs et Ids/Vds mesurées et celles des simulations PLS pour le transistor PMOS de référence*

III.4.1.3 NMOS à géométries variables

Nous avons effectué (voir figure III-8) une comparaison entre les résultats des mesures et ceux des simulations PLS des caractéristiques I_{ds}/V_{gs} pour les transistors NMOS avec différentes géométries. On note une très bonne adéquation entre les mesures et les simulations pour les transistors de grandes géométries (N5, N4, N3), en revanche pour les transistors N1 et N2 on atteint une erreur de 8 % sur la mesure de I_{ds}.

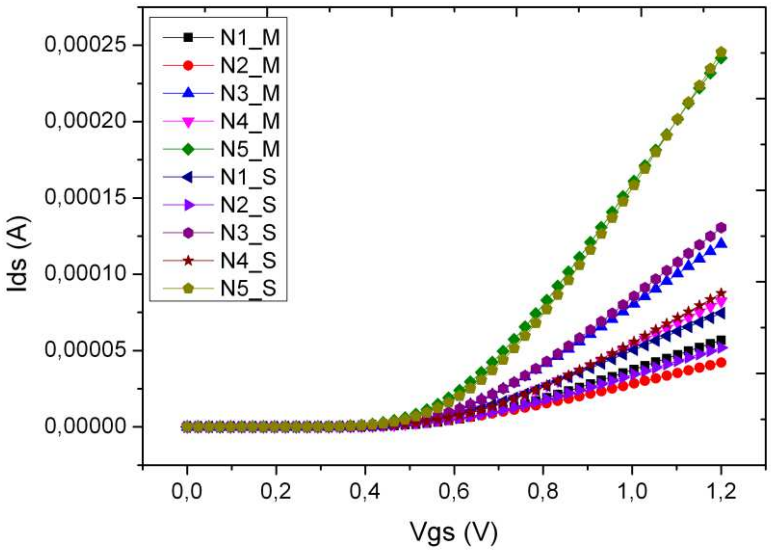


Figure III-8 *Comparaison de la caractéristique Ids/Vds mesurée et celle de la simulation PLS pour les différents transistors NMOS à géométries variables*

NMOS	**N1**	**N2**	**N3**	**N4**	**N5**
W/L (nm)	135/60	135/135	270/60	270/135	540/60

Tableau III-1 *Géométries des transistors NMOS*

III.4.1.4 PMOS à géométrie variables

Contrairement aux transistors NMOS, la comparaison des caractéristiques I_{ds}/V_{gs} entre les mesures et les simulations dans le cas des transistors PMOS, donne une bonne adéquation pour les transistors de petites géométries (P1, P2, P3, P4), alors que pour les transistors P5 et P6 on a une erreur de 5 % sur le courant I_{ds} (voir figure III-9).

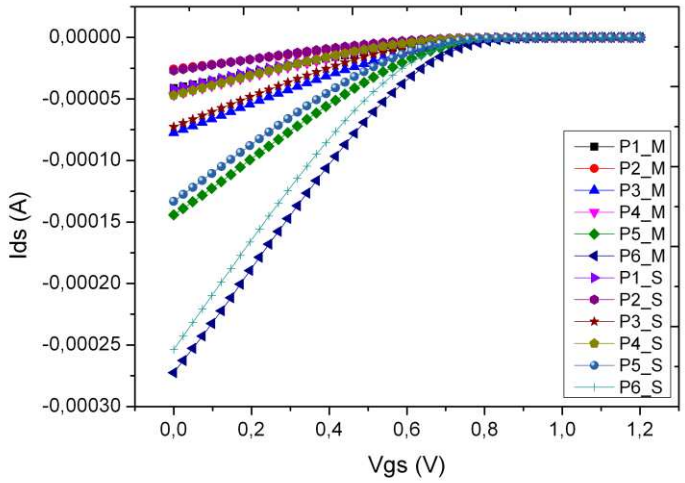


Figure III-9 *Comparaison de la caractéristique Ids/Vds mesurée et celle de la simulation PLS pour les différents transistors PMOS à géométries variables*

PMOS	**P1**	**P2**	**P3**	**P4**	**P5**	**P6**
W/L (nm)	135/60	135/135	270/60	270/135	540/60	1080/60

Tableau III-2 *Géométries des transistors PMOS*

III.4.1.5 Inverseur CMOS

La mesure statique de la caractéristique V_{out} en fonction de V_{in} pour l'inverseur CMOS est illustrée par la figure III-10. On constate une erreur de 10 % sur la caractéristique de transfert. Cet écart va dans le sens d'une prévision trop optimiste des performances du circuit des multiplexeurs (éléments parasites intrinsèques à ce circuit comme il est décrit précédemment).

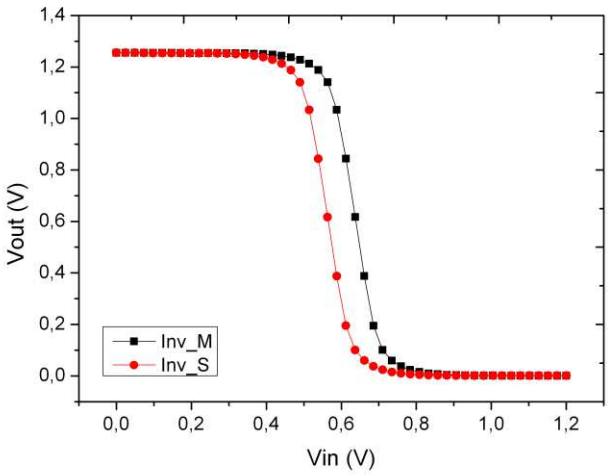


Figure III-10 *Comparaison de la caractéristique DC mesurée et celle de la simulation PLS pour l'inverseur CMOS*

III.4.1.6 Porte NOR

La caractéristique de transfert de la porte logique NOR est tracée dans la figure III-11. De façon similaire une erreur de l'ordre de 7 % est mesurée sur la caractéristique V_{out}/V_{in}.

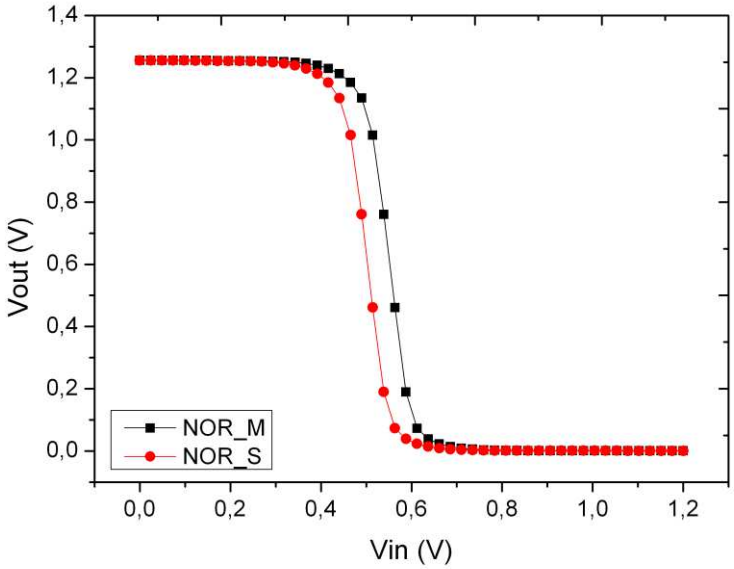
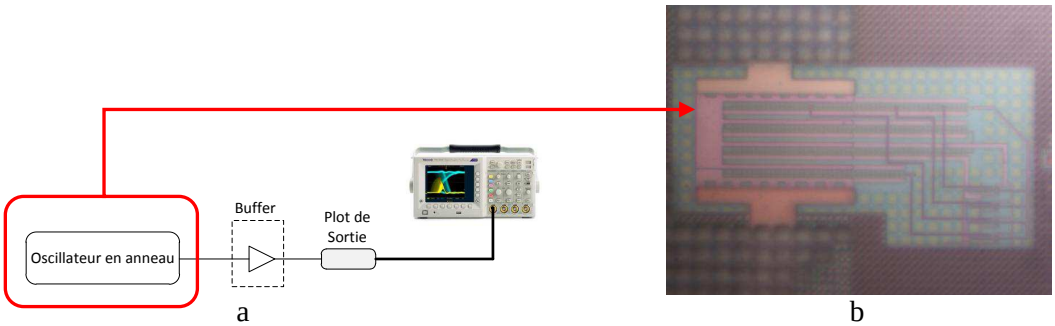


Figure III-11 *Comparaison de la caractéristique DC mesurée et celle de la simulation PLS pour la porte logique NOR*

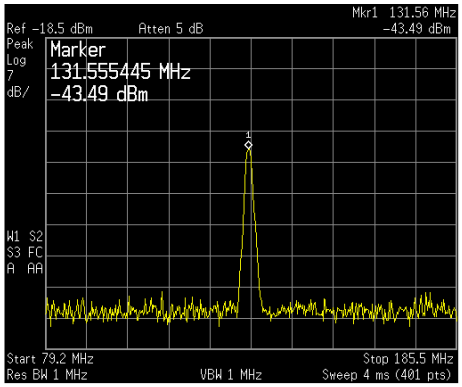
III.5 L'oscillateur en anneau

Les caractéristiques de l'oscillateur en anneau sont illustrées à la figure III-13. En effet cette figure présente les formes d'ondes des signaux de sortie de l'oscillateur mesurées à l'aide d'un oscilloscope numérique. Pour générer ces diverses fréquences, il a été nécessaire de programmer le circuit de multiplexage (voir la table de vérité en figure II-10 du chapitre 2). Les courbes des signaux temporels obtenues permettent de valider le fonctionnement du circuit conçu. Bien que l'oscillateur en anneau de la figure III-12 ait été dimensionné pour délivrer quatre signaux de fréquences allant de 100 MHz à 2 GHz, on a constaté un léger décalage fréquentiel ainsi que des réductions d'amplitudes des signaux de sorties entre les résultats des mesures et celles des simulations. Ce comportement devrait vraisemblablement correspondre à la limite de la bande passante du buffer de sortie. De plus, ces décalages en fréquences et en amplitudes peuvent être aussi le résultat des parasites introduits par les instruments de mesure et des sources de bruit intrinsèques à l'oscillateur en anneau causés par les bruits du substrat et de l'alimentation.

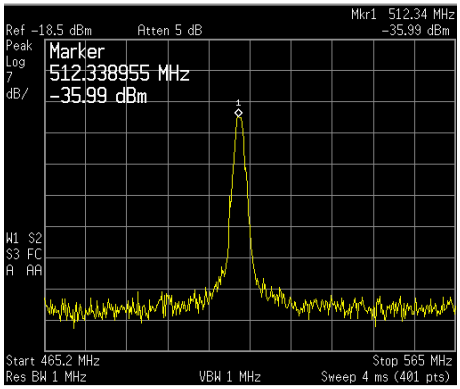


a b

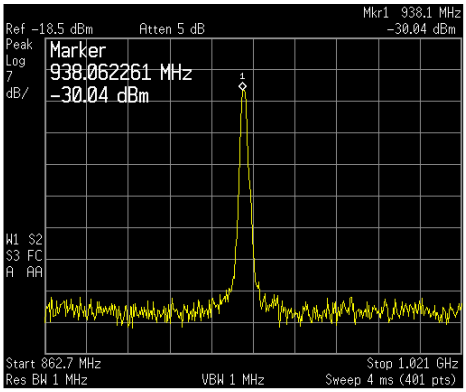
Figure III-12 a- *Dispositif de test de l'oscillateur en anneau conçu b- et sa microphotographie*



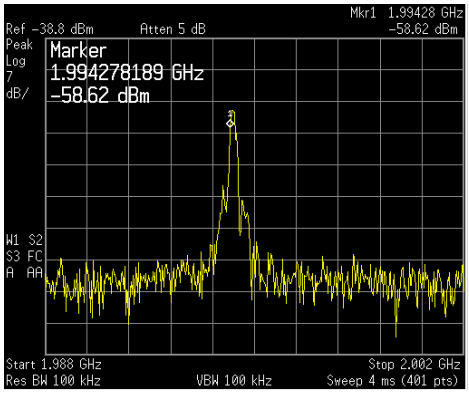
a-131 MHz



b- 512 MHz



c-938 MHz



d- 1.99 GHz

Figure III-13 *Résultats des mesures des fréquences de sorties de l'oscillateur en anneau conçu*

III.6 La référence de tension

Afin de caractériser le "Bandgap", et notamment sa faculté à générer la tension de référence voulue (1,2 V), nous l'avons alimenté avec une tension de 2,5 V. la valeur du signal de sortie du circuit a été mesuré avec un oscilloscope (voir figure III-14). On peut voir que le signal de sortie est de 1 V. l'erreur sur la tension de sortie entre les simulations et la mesure est de 180 mV. Cette chute de tension est due aux résistances des trois portes de transmission des multiplexeurs (voir figure III-5) qui permettent le routage du signal du "Bandgap" vers le Plot de sortie.

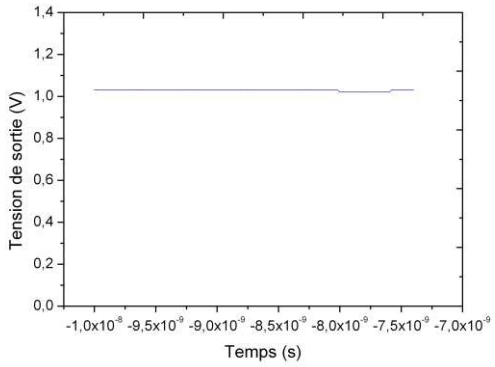
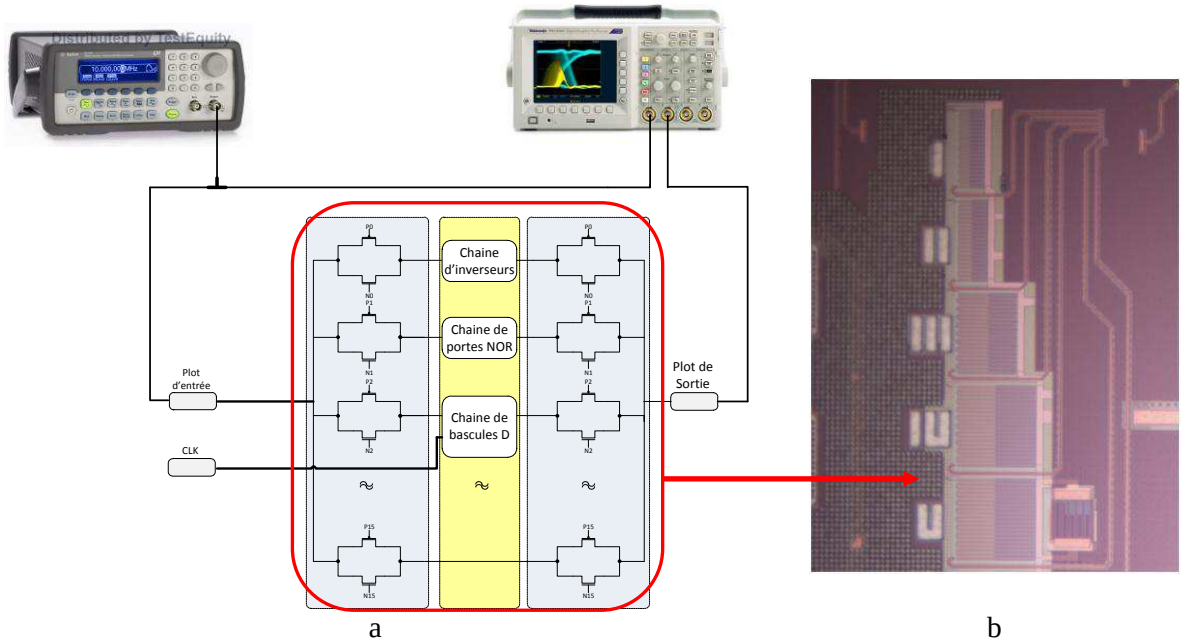


Figure III-14 *Tension de référence délivrée par le Bandgap conçu*

III.7 Les chaînes de portes logiques

Afin de déterminer le temps de retard introduit par le système du multiplexage utilisé pour réduire le nombre de plots, nous avons introduit en phase de conception une piste d'interconnexion entre deux portes de transmission à la place d'une chaine de porte logique. Ensuite avant de commencer la caractérisation des chaines nous avons mesuré ce temps de retard qui correspond au temps de propagation à travers le système de multiplexage. A cet effet, une impulsion électrique produite par un générateur d'impulsion (Agilent) d'une durée de 100 ns est injectée à l'entrée du circuit (voir figure III-15). Puis avec un oscilloscope le signal à la sortie du système a été analysé. Le résultat de la mesure montre que le temps de retard vaut 20 ns (voir figure III-16). Ainsi après cette mesure on peut déterminer le temps de propagation réel que met le signal pour traverser toute la chaine.



a b

Figure III-15 *Dispositif de test des chaines de portes logiques conçus et leur photographie*

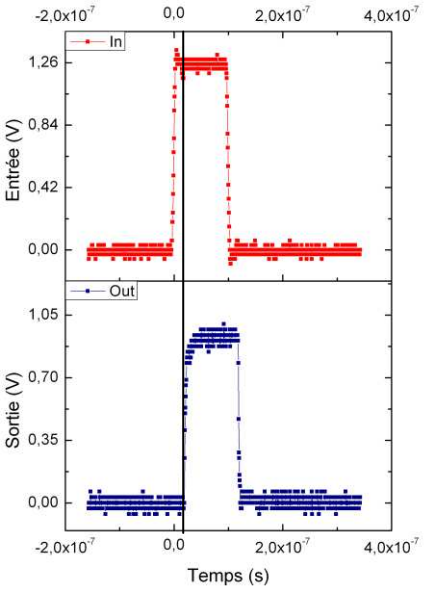


Figure III-16 *Résultats de la mesure transitoire pour la piste d'interconnexion*

III.7.1 Chaîne d'inverseurs

La caractérisation des chaines d'inverseurs s'effectue de la même manière que pour la piste d'interconnexion. En effet une impulsion électrique d'une durée de 100 ns fournie par le générateur est injectée à l'entrée de la chaine, ensuite avec un oscilloscope on récupère le signal de sortie. Le résultat de la mesure est illustré par la figure III-17. Le temps de propagation mesurée est de 30 ns, mais avec la soustraction du temps de retard induit par le système de mesure (circuit de multiplexage et câblages), nous obtenons un temps de propagation de 10 ns, ce temps reste très proche des résultats des simulations Post-Layout qui de l'ordre de 7,5 ns.

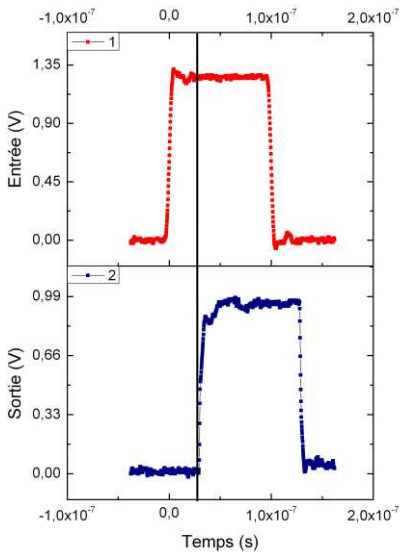


Figure III-17 *Résultats de la mesure transitoire pour la chaine inverseurs*

III.7.2 Chaîne de portes NOR

Cette structure de test constituée de 400 portes NOR a été caractérisée suivant le même procédé décrit précédemment. Le résultat de la mesure est illustré par la figure III-18. On obtient un temps de propagation de 20 ns après la soustraction du temps de retard dû au système de mesure. Dans ce cas, il se trouve que le temps de propagation mesuré est supérieur au temps simulé "14 ns". Ce retard peut s'expliquer par tous les éléments parasites introduits par le système de mesure (câble, carte de test…).

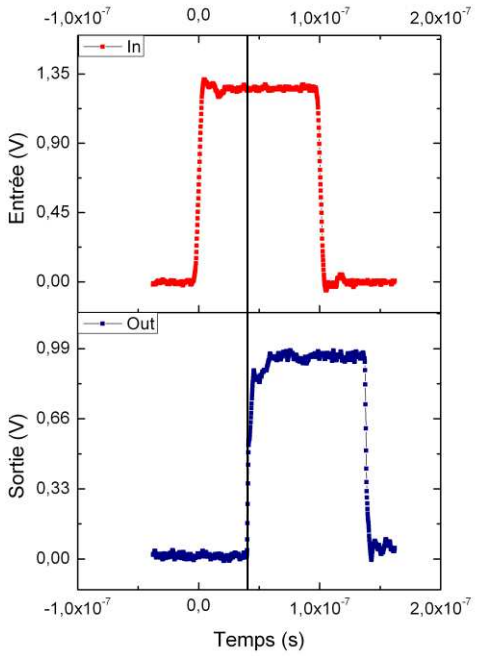


Figure III-18 *Résultats de la mesure transitoire pour la chaine de portes NOR câblées en inverseurs*

III.7.3 Chaînes de bascules D

Pour caractériser les trois chaînes de bascules D conçues, nous avons changé le dispositif de test. En effet dans le cas des chaines de bascules D, il faut synchroniser le signal d'entrée avec le signal d'horloge. Pour cela nous avons utilisé un générateur de pattern (agilent). Avec ce générateur de pattern un signal périodique de fréquence de 1 MHz a été généré et appliqué à l'entrée "CLK" de la chaine de bascules D, afin de constituer le signal d'horloge. Ensuite avec le même générateur de pattern, une impulsion électrique d'une durée de 100 ns est injectée à l'entrée de la chaine, puis avec un oscilloscope on récupère le signal de sortie. Le résultat de la mesure pour la chaine de bascules D sans capacité de découplage est illustré par la figure III-19. Il montre que la chaine de bascules D recopie le signal de

l'entrée sur la sortie en le synchronisant sur l'horloge avec un retard correspondant au temps de propagation à travers les 400 bascules D. Ce temps est de l'ordre de 400 µs. Pour les deux autres bascules D (avec des capacités de découplages de types MIM et MOS) caractérisées suivant le même procédé, le temps de propagation reste le même que celui de la première chaine de bascules D.

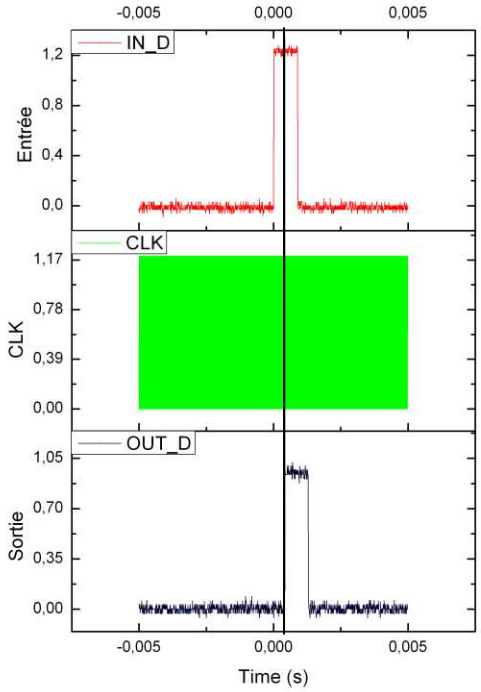


Figure III-19 *Résultats de la mesure transitoire pour la chaine de bascules D sans capacité de découplage*

III.8 La mémoire SRAM

Pour commander la mémoire SRAM 32x32 du véhicule de test (voir figure III-20) nous avons développé un deuxième logiciel basé sur le même environnement de développement intégré (Labwindows/CVI). Ce logiciel utilise la carte "PCI" avec des entrées et sorties analogiques et numériques de chez National Instruments. En effet l'adressage des lignes et des colonnes se fait grâce à des signaux de synchronisation délivrés à partir des sorties numériques de la carte "PCI". Ensuite avec différents signaux de commandes appliqués sur le circuit d'interfaçage on peut soit écrire ou lire les données stockées dans la mémoire SRAM. Dans le cas de l'écriture les données envoyées en série à partir d'une sortie numérique sont stockées dans les points mémoires. Et dans le cas de la lecture, les données sont récupérées par l'intermédiaire d'une entrée analogique de la carte "PCI" qui permet par une mesure de la

tension à la sortie de la mémoire de déterminer le niveau logique et ainsi déduire la valeur du bit stockée ("1" ou "0").

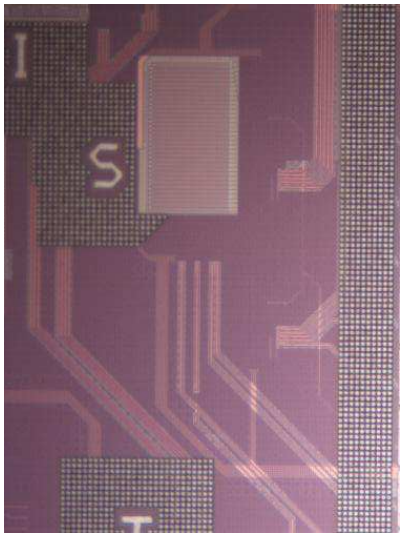


Figure III-20 *Microphotographie de la mémoire SRAM 32x32*

Pour réaliser les différents tests de vieillissement et caractérisation, le logiciel développé (voir interface graphique III-21) est capable d'écrire et de lire des données ("1" ou "0") dans un seul point mémoire à l'adresse voulue ou dans tout le plan mémoire de la SRAM (1024 points). Afin de faciliter les tests, le logiciel permet aussi d'afficher de manière graphique les données stockées dans la matrice de la SRAM (point bleu pour un "1" et rouge pour un "0"). Le logiciel contient plusieurs programmes pour effectuer d'autres types tests que nous allons décrire dans le dernier chapitre.

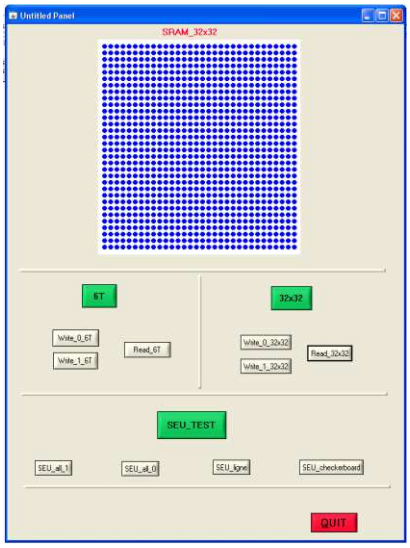
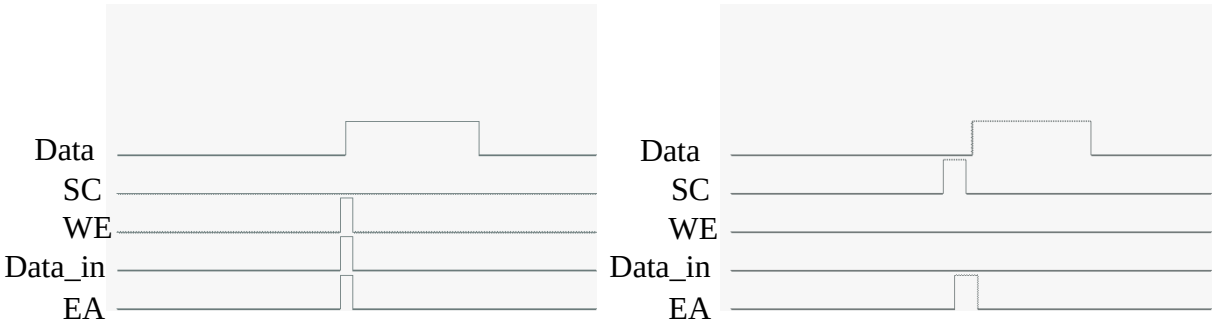


Figure III-21 *Interface graphique du logiciel développé pour commander la mémoire SRAM*

Le test de la mémoire SRAM conçue consiste à caractériser les temps d'accès de la mémoire. Pour réaliser ce test, les programmes développés pour la lecture et l'écriture dans un seul point mémoire ont été utilisés. Lors de l'écriture d'une donnée dans la cellule, le programme positionne la valeur de la donnée ("1" dans ce cas de figure) sur l'entrée de la mémoire, puis active le Word Line (WL) et le Word Enable (EA) (voir figure III-22-a). Ensuite pour lire cette valeur stockée dans la cellule, le programme précharge les lignes de Bit Ligne (BL et BLB) à l'aide du circuit de précharge (voir figure III-22-b).

Dans le Tableau III-3, nous présentons les résultats des temps d'accès mesurés sur la mémoire SRAM. Ces mesures sont comparées aux valeurs simulées. On constate avec cette comparaison que les écarts entre les mesures et les simulations sont assez grandes. En effet lors de la mesure on ne peut pas s'affranchir des délais liés aux plots d'entrées/sorties et au routage des signaux, en plus de la limitation en fréquence d'exécution des tâches intrinsèques à la carte d'instrumentation.



a- Cycle d'écriture b- Cycle de lecture

Figure III-22 *Chronogrammes des signaux de l'écriture (a) et de lecture (b)*

Spécifications	**Simulations Post-layout**	**Mesures**
Technologie	CMOS 65nm Low Power	CMOS 65nm Low Power
Tension de fonctionnement	1,2 V	1,2 V
Consommation	10 µW	100 µW
Temps d'accès de lecture	1,93 ns	14 ns
Temps d'accès d'écriture	392 ps	5,4 µs
Dimension	125 x 275 µm²	125 x 275 µm²

Tableau III-3 *Caractéristiques électriques de la mémoire SRAM*

III.9 Structures d'électromigration

Avant de commencer les tests d'électromigration, il faut caractériser la résistance de chaque piste d'interconnexion. Ainsi pour déterminer la résistivité de nos structures (voir figure III-23), nous avons développé un programme qui utilise le sourcemètre pour effectuer une mesure I(V). En effet ce programme permet d'appliquer un courant et de mesurer la tension correspondante. Ensuite avec la formule de la loi d'ohm, on détermine la résistance équivalente pour chaque structure de test (voir Tableau III-4).

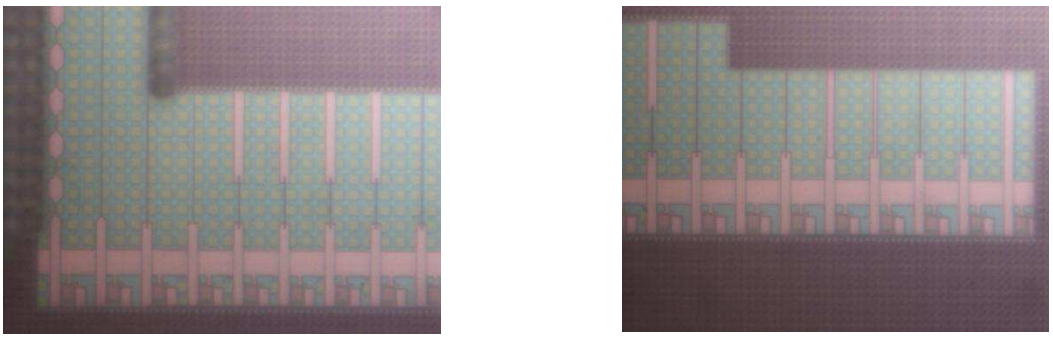


Figure III-23 *Microphotographies des structures d'électromigration*

Pistes	**Résistance (Ω)**
1	250
2	250
3	257
4	494
5	379
6	260
7	461
8	500
9	465
10	260
11	461
12	510
13	272
14	260
15	460
16	288

Tableau III-4 *Résistances équivalentes pour chaque structure de test*

III.10 Structures TDDB

Le protocole adopté pour évaluer les dégradations induites par le TDDB sur les structures de test (voir figure III-24) consiste à comparer la mesure de courant de fuite avant

l'application de la dégradation TDDB (considérée comme une valeur de référence) à celle après le stress. Pour réaliser ce test un autre programme a été développé. Ce programme permet de mesurer la variation du courant de fuite en fonction de la tension appliquée, les résultats de ces mesures sont montrés au tableau III-5.

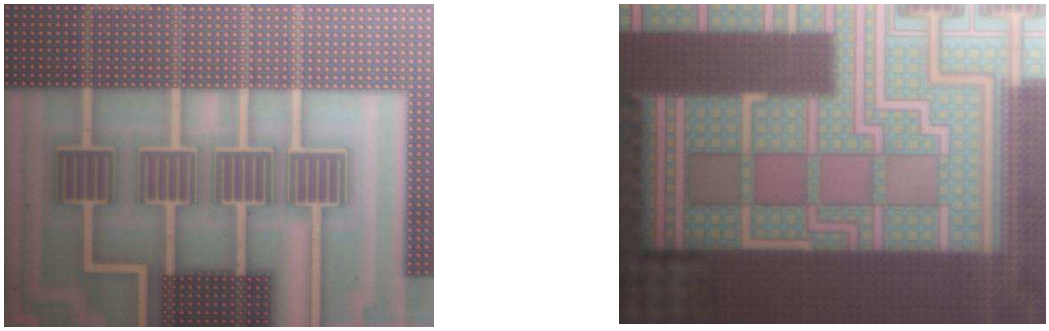


Figure III-24 *Photographies des structures de test pour le TDDB*

Structures	**Courant de fuite (A)**
1	4,68E-07
2	4,9 E-07
3	4,92E-07
4	5,17E-07
5	5,57E-07
6	5,19E-07
7	5,45E-07
8	5,13E-07
9	5,68E-07
10	5,55E-07
11	5,25E-07
12	5,39E-07
13	4,8 E-07
14	5,38E-07
15	5,51E-07

Tableau III-5 *Courants de fuite mesurés pour chaque structure de test*

III.11 Conclusion

Dans ce chapitre, nous avons présenté les résultats de mesures relatifs aux différents circuits réalisés. Tout d'abord, nous avons décrit les conditions de test, notamment la carte de test et le banc de mesure. Ensuite, nous avons mesuré les caractéristiques statiques des structures actives élémentaires. Sur ces mesures on a constaté des légers décalages entre les mesures et les simulations Post Layout. Ces décalages ont été expliqués par une sous estimation des courants de fuite induites par les circuits des multiplexeurs et le système de

mesure. Ensuite grâce à des mesures temporelles et fréquentielles, les formes d'onde des signaux de sortie de l'oscillateur en anneau ont été étudiées. La tension de référence du Bandgap a ensuite été caractérisée.

Dans la seconde étape, les temps caractéristiques des différentes chaines de portes logiques (temps de propagation), ainsi que ceux de la mémoire SRAM ont été caractérisés (les temps caractéristiques des phases de lectures et d'écritures).

Dans la dernière partie de ce chapitre, grâce à des mesures I(V) nous avons caractérisé les résistances des structures d'électromigration, ainsi que les courants de fuite des structures dédiées à l'étude des dégradations de types TDDB. Ces mesures constituent les mesures de référence de ces structures avant de commencer la phase de stress qui sera traitée lors du chapitre suivant.

CHAPITRE.IV : Caractérisation des dégradations de types NBTI, HCI, TDDB, Electromigration

IV.1 Introduction

Dans ce chapitre nous allons étudier l'impact des quatre mécanismes de dégradation décrits en détail dans le premier chapitre (NBTI, HCI, TDDB, EM) sur les différentes structures de test que nous avons conçues.

Dans la première partie, nous commencerons par décrire la méthode de caractérisation conventionnelle utilisée pour évaluer la variation de la tension seuil des transistors MOS. Nous étudierons par la suite les différents facteurs impactant la dégradation NBTI, tels que la tension de stress, ou la température. Nous finirons par extraire les caractéristiques de la fiabilité comme l'énergie d'activation et la durée de vie des transistors TTF "Time To Failure".

En seconde partie, nous évaluerons l'impact de la dégradation de type injection par porteurs chauds (HCI) sur un transistor NMOS. Ensuite, nous étudierons deux configurations de circuits particuliers tels que l'inverseur et l'oscillateur en anneau où le NBTI a un effet important. Nous verrons par exemple l'effet couplé de la dégradation NBTI avec celle du HCI.

Dans la troisième partie, nous décrirons la technique utilisée pour caractériser les dégradations du courant de fuite induites par le TDDB. Ensuite, grâce à trois capacités MOS qui seront soumises à des dégradations TDDB, nous extrairons la valeur du facteur d'accélération apportée par la dégradation TDDB en utilisant le modèle 1/E.

Nous finirons le chapitre par l'évaluation des dégradations causées par le mécanisme d'électromigration sur une ligne d'interconnexion.

IV.2 Negative Bias Temperature Instability

Nous avons pu voir dans le chapitre I que le NBTI est directement lié au nombre de pièges dans l'oxyde de grille des transistors MOS. C'est pourquoi, pour caractériser ce phénomène, deux grandeurs électriques principales sont mesurées : la première est la tension de seuil V_t et la deuxième est le courant de drain I_d. Le critère de défaillance est donc défini par un certain écart entre la tension de seuil nominale et la tension de seuil mesurée après stress. Cependant, les phénomènes d'autoguérison qui se produisent sitôt les stress arrêtés, impactent fortement la mesure de V_t par les techniques classiques de caractérisation (Id(Vg)). Pour s'affranchir de ces problèmes, il existe une technique de mesure appelée "On The Fly" pour caractériser la variation de la tension seuil due à une dégradation de type NBTI. Dans

notre étude nous avons développé un programme de test basé sur la technique (OTF) suivant la norme JEDEC "JESD90" [Jed04] [Hun10], dont les sources sont codées en script keithley. Ce programme permet de maintenir un stress constant sur la grille du transistor où V_g=$V_{g,Stress}$ et V_d=$V_{d,Stress}$, ensuite la tension de seuil est extraite à partir de la mesure de la transconductance "$G_{m.max}$" dans la région linéaire suivant la formule (Eq. IV-1) alors que le drain du transistor est maintenu à 1,1 V.

$$G_m = \frac{dI_d}{dV_g} \qquad \text{Eq. IV-1}$$

$$V_t = V_{g(G_{m.max})} - \frac{I_{d(G_{m.max})}}{G_{m.max}} \qquad \text{Eq. IV-2}$$

La variation de la tension seuil est calculée par l'équation 3 :

$$\Delta V_t = V_{t,Stress} - V_{t,Fresh} \qquad \text{Eq. IV-3}$$

La figure IV-1 illustre le procédé utilisé pour l'extraction de la tension de seuil avec une échelle de temps logarithmique.

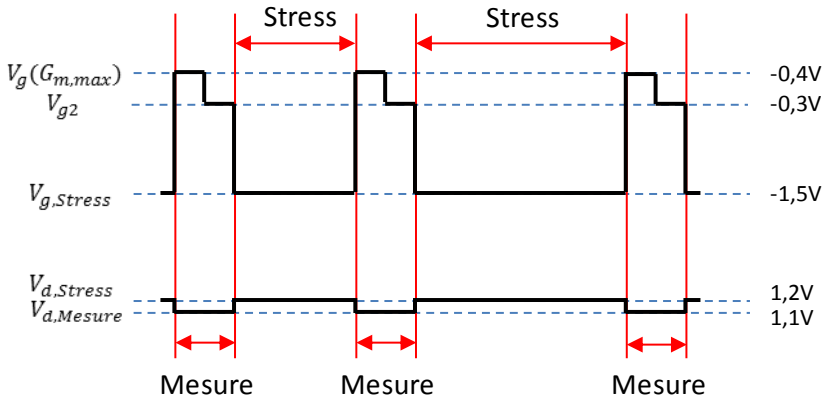


Figure IV-1 *Chronogramme des tensions appliquées à un PMOS sous contrintes NBTI par la technique « On The Fly »*

IV.2.1 La modélisation de la dégradation NBTI

Nous allons étudier l'accélération de la dégradation NBTI à travers la variation de la tension de seuil de deux transistors PMOS. Le premier est conçu avec les dimensions minimales de la technologie 65 nm (135/60 nm) tandis que le deuxième a une dimension de 270/60 nm. Nous étudierons dans l'ordre, l'accélération de la dégradation par l'augmentation de la tension de grille V_g ensuite par l'augmentation de la température T.

IV.2.2 Impact de la variation de la tension de grille V_{gs} sur la tension de seuil

La variation de la tension appliquée sur la grille permet naturellement de jouer sur la valeur du champ électrique présent dans l'oxyde. Pour accélérer la dégradation, nous

appliquons donc deux tensions différentes sur la grille pour une température constante de 125°C. Les variations de V_t sont illustrées sur la figure IV-2. Une croissance de la tension de seuil avec la valeur absolue de la tension de grille ainsi qu'avec le temps de stress est mesuré. Ces résultats confirment bien que l'augmentation de l'amplitude de la tension appliquée permet d'écourter le temps de mesure pour évaluer la durée de vie des composants [Wen08].

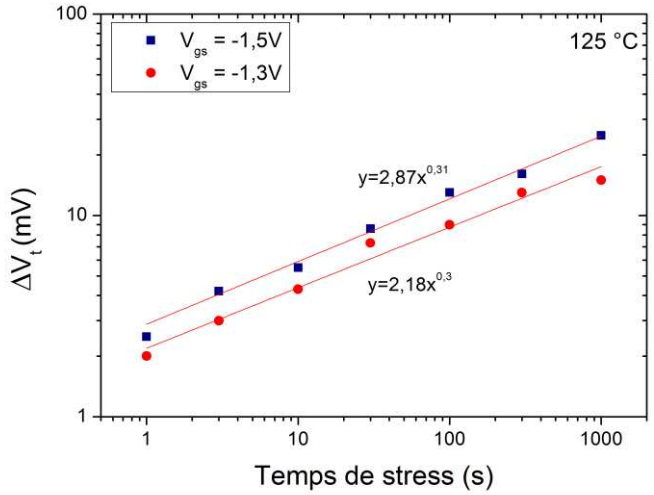
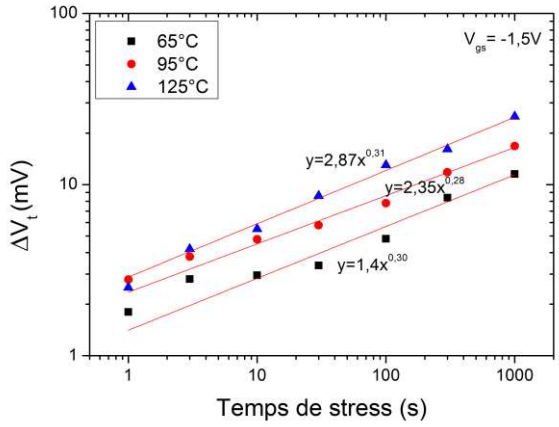


Figure IV-2 *Variation de la tension seuil en fonction du temps de stress pour deux tensions V_{gs} à 125°C (transistor PMOS_1 135/60 nm)*

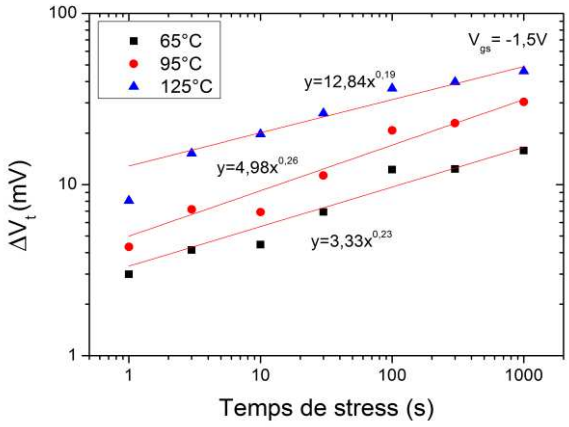
IV.2.3 Impact de la variation de la température sur la tension de seuil

La figure IV-3 illustre la variation de la tension de seuil en fonction du temps de stress pour trois températures différentes (65 °C, 95 °C, 125 °C). Le stress électrique maintenu sur les grilles des transistors est de l'ordre de V_{gs}=-1,5 V. Nous observons un comportement commun pour les trois courbes des deux transistors. En effet chaque courbe suit une loi linéaire.

La pente de loi linéaire permet d'identifier le type de défaut responsable de la dégradation NBTI. En effet si la pente est élevée entre 0,35-0,5 la dégradation est liée à la génération d'états d'interface, dans le cas contraire cela révèle un piégeage. Ainsi comme le montre la figure IV-3, les pentes varient entre 0,28 et 0,31 pour le transistor PMOS_1 et de 0,19 à 0,26 pour le transistor PMOS_2. Nous pouvons confirmer que les dégradations sont liées aux piégeages des charges dans l'oxyde de grille des transistors. Nous constatons aussi que le pire cas de la dégradation de la tension de seuil est pour le PMOS_2 où l'augmentation est de 46 mV alors que pour le PMOS_1 on a une variation de 25 mV, pour un stress de 1000s A la température de 125 °C.



PMOS_1 (135/60 nm)



PMOS_2 (270/60 nm)

Figure IV-3 *Variation de la tension de seuil en fonction du temps de stress pour différentes températures*

IV.2.4 Energie d'activation E_a

Nous rappelons ici que le modèle adopté communément pour décrire l'accélération du mécanisme du NBTI par la température est celui d'Arrhenius [Arr89] décrit par l'équation : $R = R_0 . e^{\left(-\frac{E_a}{K.T}\right)}$ Avec R_0 le taux de réaction de référence, T la température en degré Kelvin, k la constante de Boltzmann (k=1.381 10^{-23} JK^{-1}) et E_a l'énergie d'activation.

L'énergie d'activation E_a indique la capacité qu'a le mécanisme du NBTI pour la tension de seuil V_t à être accéléré par la température. Plus le paramètre E_a est élevé, plus la sensibilité du mécanisme NBTI à la température est grande.

Sur la figure IV-4 nous avons reporté les dégradations des tensions de seuil mesurées après 1000 s de stress pour les trois températures. Ensuite avec une loi exponentielle passant par l'ensemble des valeurs expérimentales nous avons extrait la valeur de l'énergie d'activation E_a. À partir des mesures, l'énergie d'activation est estimé à E_a=153 meV pour le transistor PMOS_1 et Ea=195 meV pour le transistor PMOS_2. Cette dépendance en température est le résultat de la fragilisation des liaisons Si-H par l'augmentation du coefficient 1/KT, une liaison Si-H casse alors plus facilement à haute température. Il est important de noter dès à présent que l'énergie d'activation associée au paramètre durée de vie qui lui varie suivant une loi d'Arrhenius sera plus importante que celle de la dégradation.

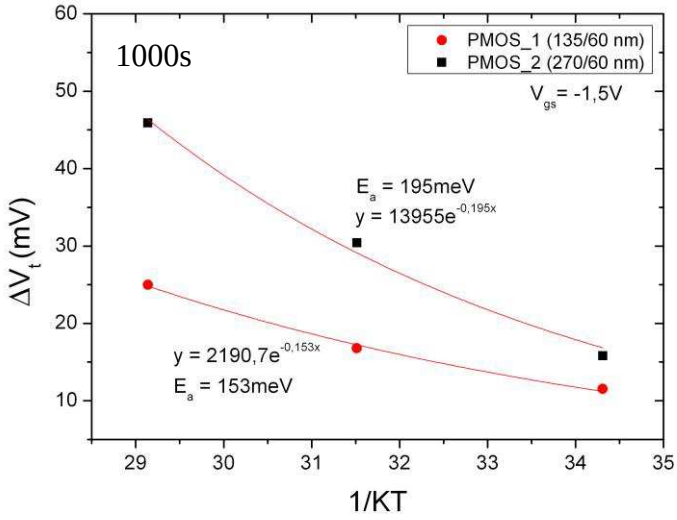


Figure IV-4 *Extrapolations de l'énergie d'activation E_a*

IV.2.5 Extrapolation de la durée de vie

Afin d'extraire la durée de vie du transistor nous allons utiliser les résultats précédents. Le critère de défaillance choisi est une augmentation de 14 mV de V_t. La figure IV-5 illustre le temps de défaillance appelé TTF "Time To Failure" pour chaque température. L'énergie d'activation de la TTF est environ E_a=409 meV pour le transistor PMOS_1 et E_a=833 meV pour le transistor PMOS_2. Il faut par exemple 30 s et 100 s à 95 °C pour atteindre le critère de défaillance respectivement pour le transistor PMOS_1 et le PMOS_2. Comme nous l'avons mentionné préalablement, même si l'accélération du mécanisme est la cause de la diminution de la TTF, les valeurs du paramètre Ea sont différentes. On a une énergie d'activation Ea=195 meV pour la dégradation alors qu'elle vaut 833 meV pour la TTF.

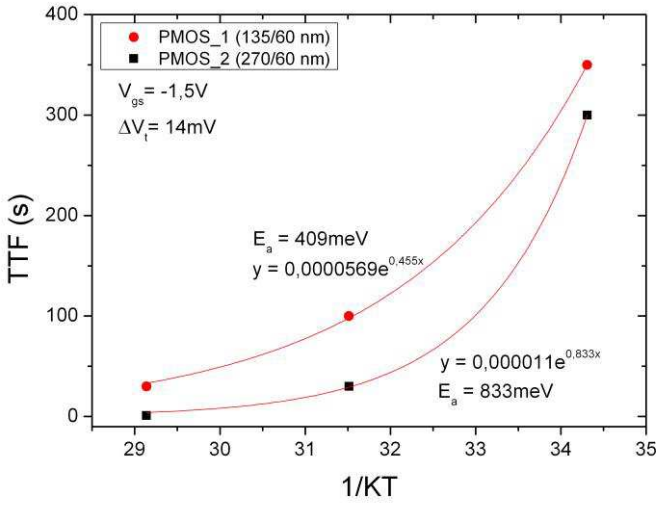


Figure IV-5 *Extrapolations de la dépendance en température de la TTF*

IV.2.6 Effets de la relaxation

Pour évaluer le comportement du transistor PMOS_1 après un stress NBTI. Nous avons réalisé un programme permettant de caractériser la variation de la tension de seuil dans deux phases de tests. Dans la première phase on applique un stress de type NBTI, dans la deuxième phase le transistor est polarisé afin de favoriser une guérison du composant (V_{gs}=V_{ds}=0 V). Les résultats de ces tests sont illustrés sur la figure IV-6. On constate que la dérive de la tension de seuil durant la période de stress augmente jusqu'à atteindre 16 mV, ensuite le composant revient à sa tension de seuil nominale aussitôt le stress arrêté.

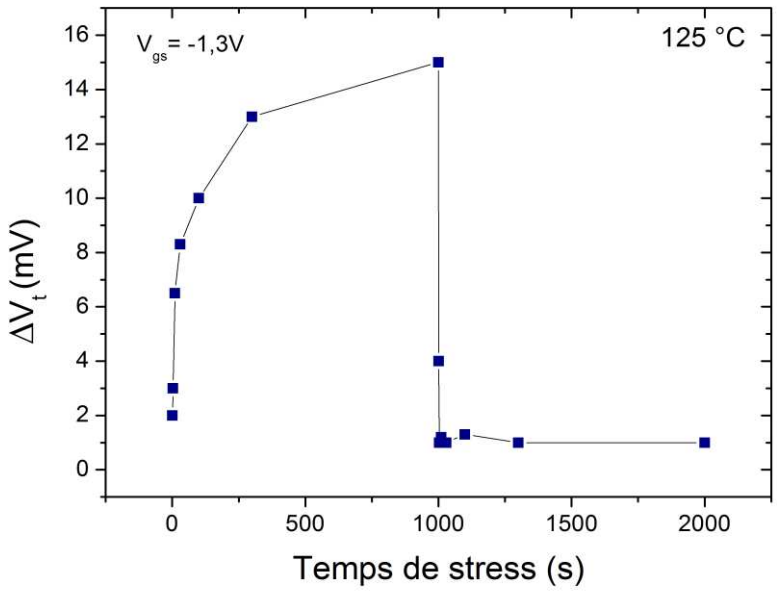


Figure IV-6 *Effet de la relaxation sur la variation de la tension de seuil après un stress NBTI*

IV.3 Hot Carrier Injection

Pour caractériser les dégradations induites par le HCI, nous avons choisi d'évaluer les deux types de stress recommandés pour accélérer le mécanisme du HCI. Le transistor NMOS_1 (135/60 nm) a été caractérisé pour cet effet.

- Le premier type de stress consiste en l'application d'une tension de grille de l'ordre de la moitié de la tension de drain choisie pour le stress (V_{gs}=V_{ds}/2), alors on se trouve dans une stratégie dite de stress à courant de substrat maximum (I_{submax}). Dans ce cas le mécanisme dominant la dégradation est la génération de pièges à l'interface Si/diélectrique par l'injection de porteurs dans le diélectrique de grille.

- Pour le second type de stress, la tension de grille est égale à la tension de drain (V_{gs}=V_{ds}). On est dans le cadre de la stratégie dite de forte tension de grille (CHE). Dans ce cas, la dégradation est principalement due au piégeage de porteurs majoritaires dans le diélectrique de grille.

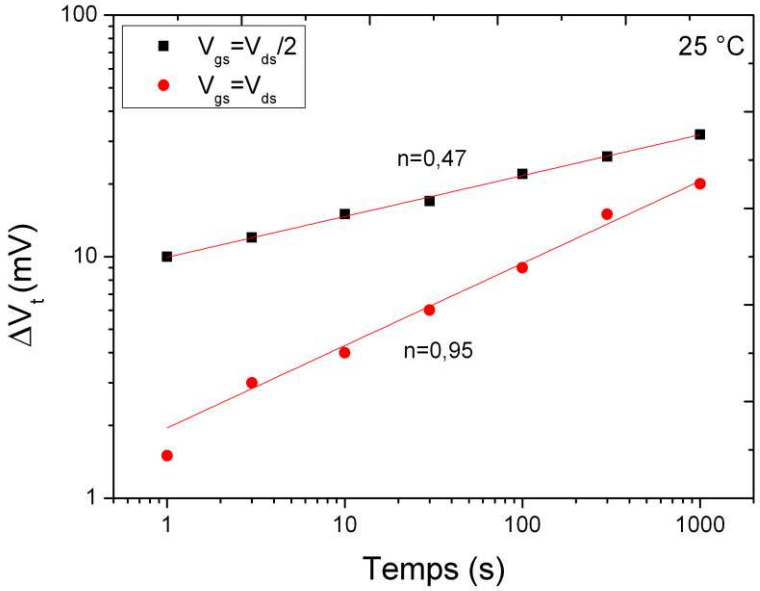


Figure IV-7 *Evolution de la tension seuil en fonction du temps pour deux tensions de stress*

Sur la figure IV-7 nous pouvons voir que l'accélération n'est pas la même selon que le stress soit à courant de substrat maximum (I_{submax}) ou à forte tension de grille (CHE). La dégradation est plus prononcée pour les faibles temps de stress dans la condition I_{submax} mais la pente est plus forte pour le CHE, ce qui semble indiquer une accélération plus forte dans ce cas. Cependant le stress à courant de substrat maximum semble représenter le pire cas de dégradation. En effet, une pente égale à 0,47 est caractéristique de la génération de pièges à l'interface par injection de porteurs et une pente égale à 0,95 [Whi10] au piégeage d'électrons chauds dans des pièges générés par d'autres électrons chauds. Le piégeage n'est pas attribué à des pièges existant avant le stress car la pente attendue serait de l'ordre de 0,2.

IV.4 Circuits de test

IV.4.1 Inverseur CMOS

Dans cette partie nous étudions l'impact de la dégradation NBTI sur les transistors qui constituent un inverseur CMOS. Tout d'abord nous avons commencé par caractériser la tension de sortie V_{out} en fonction de la tension d'entrée V_{in} à 25 °C et 125 °C. Cette mesure a

montré que la température a peu d'influence sur la fonction de transfert ($V_{sortie}/V_{entrée}$) de l'inverseur (voir la figure IV-8).

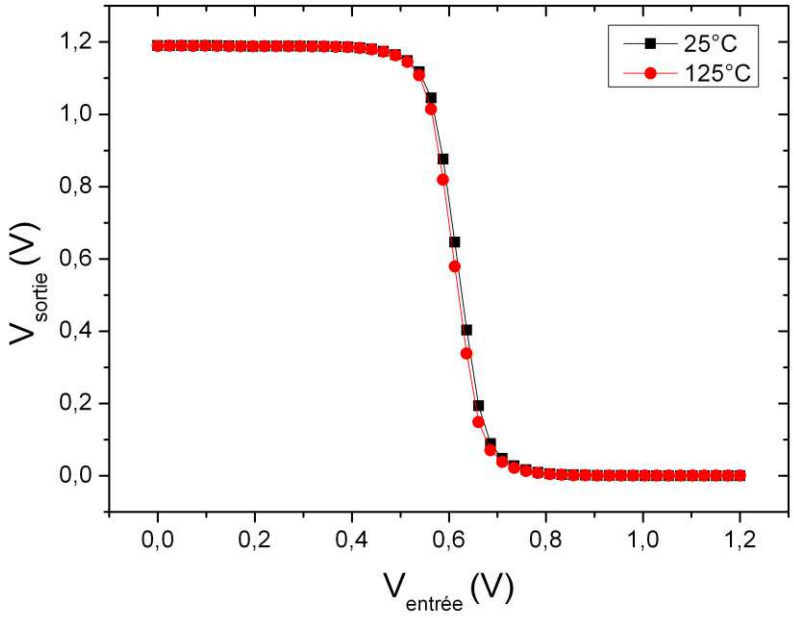


Figure IV-8 *Fonction de transfert de l'inverseur à 25°C et à 125°C*

Afin de quantifier l'effet de la dégradation NBTI. Nous avons développé un programme de test qui utilise le sourcemètre keithley, ce programme permet de faire une première caractérisation de la courbe de transfert de tension de l'inverseur ($V_{sortie}/V_{entrée}$), ensuite une tension constante de 0 V est appliquée sur l'entrée de l'inverseur pour une durée donnée. A la fin du stress une deuxième caractérisation $V_{sortie}/V_{entrée}$ est réalisée.

La relation entre la tension seuil du transistor PMOS qui compose l'inverseur et la variation de la tension ΔV_{in} est donnée par la formule ci-dessous [Eq.IV-4][Fer09] :

$$\Delta V_{t,PMOS} = \Delta V_{in}.\left(1 + \sqrt{\frac{\mu_n(\frac{W}{L})_{NMOS}}{\mu_p(\frac{W}{L})_{PMOS}}}\right) \qquad \text{Eq. IV-4}$$

Où µ est la mobilité des porteurs et W/L est la géométrie des transistors.

La figure IV-9 illustre la variation de la fonction de transfert de l'inverseur avant et après le stress NBTI. Nous avons constaté une variation de la tension $V_{entrée}$ de 630 mV à 600 mV pour le maximum du gain de l'inverseur à $V_{entrée}/2$ après 24 h de stress. Cette variation est liée directement à une augmentation de la tension seuil du transistor PMOS qui est de l'ordre de $\Delta V_{t,PMOS}$ = 21,2 mV suivant la formule précédente [Eq.IV-4]. Ce résultat illustre comment

le NBTI affecte le fonctionnement d'un inverseur qui est un élément de base dans tous les circuits numériques intégrés. Ainsi cette évolution du point de commutation va nous aider à quantifier l'impact du NBTI sur un circuit composé de plusieurs inverseurs.

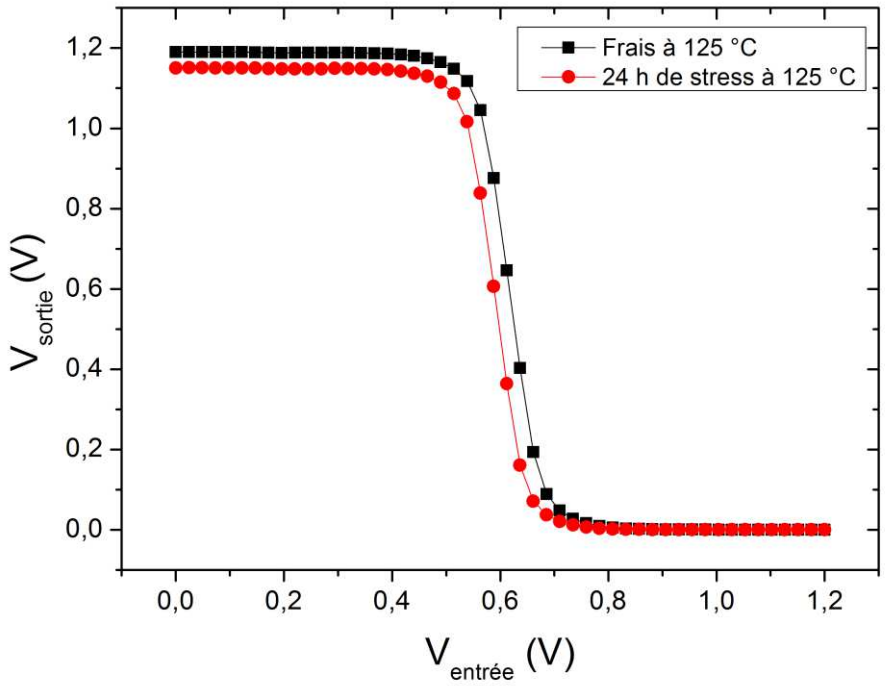


Figure IV-9 *Fonction de transfert de l'inverseur après et avant les stress de type NBTI*

IV.4.2 Oscillateur en anneaux

Dans le cas d'un stress dynamique les dégradations induites par le NBTI sur les transistors PMOS sont sous estimées. Celles-ci sont dues aux problèmes de relaxation intrinsèque à la mesure. Pour s'affranchir de ce problème dans le cadre de cette thèse, nous avons caractérisé la dégradation de l'oscillateur en anneau conçu afin d'estimer la dégradation réelle d'un circuit sans relaxation.

Avant de commencer les tests nous avons caractérisé les variations des fréquences de sorties de l'oscillateur en fonction des tensions d'alimentions à 25 °C (1,2 V est la tension d'alimentation nominale pour ce circuit). Les résultats de ces tests sont illustrés sur la figure IV-10. On peut constater que les fréquences de sortie augmentent de façon progressive suivant les tensions d'alimentation. En effet, suivant la tension d'alimentation les transistors PMOS et NMOS qui constituent les inverseurs de l'oscillateur se trouvent dans différentes zones de polarisation. Ainsi dans le cas d'une polarisation élevée les transistors sont dans la limite haute de la zone de saturation, alors la fréquence de sortie est maximale.

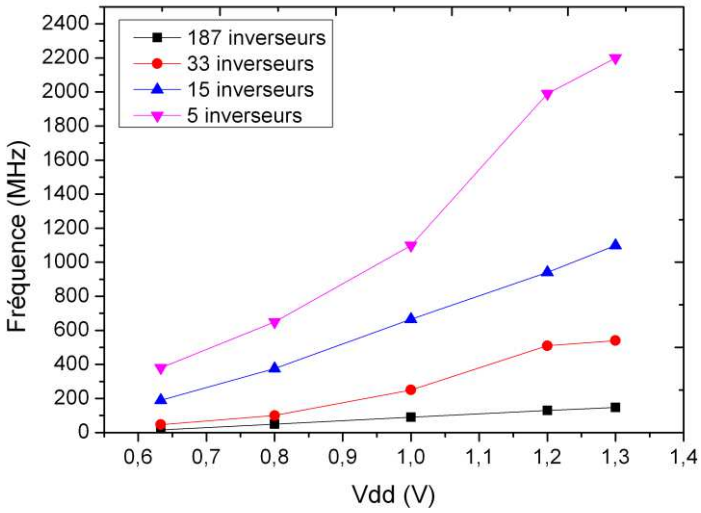


Figure IV-10 *Variations des fréquences de sortie en fonction des tensions d'alimentation*

Ensuite nous avons évalué l'effet de la température sur les fréquences de sortie de l'oscillateur. Dans le premier cas où la tension d'alimentation est de 1,2 V la fréquence de sortie varie de 129 MHz à 116 MHz (pour 25 °C à 125 °C). Dans le second cas où la tension d'alimentation est montée à 16 % de la tension nominale (1,42 V) la fréquence de sortie baisse de 169 MHz à 156 MHz (voir figure IV-11).

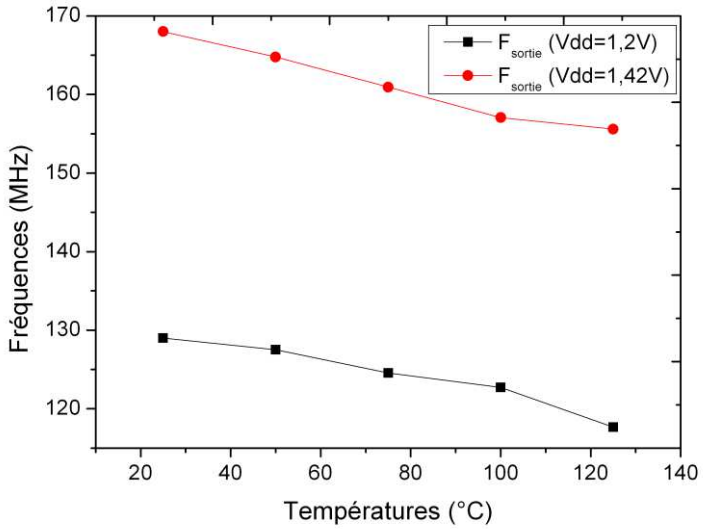


Figure IV-11 *Variations des fréquences de sortie en fonction de la température*

Les principaux paramètres à caractériser pour un oscillateur en anneau sont le temps de commutation d'un inverseur ainsi que la relation entre la dégradation de la fréquence de sortie et les courants des transistors qui le composent. Les équations qui décrivent ces paramètres sont reportées ci-dessous [Nig06] :

$$\tau_D = \frac{1}{2.f.N.D} = \frac{\tau_n + \tau_p}{2} \qquad \text{Eq. IV-5}$$

Où f est la fréquence de sortie de l'oscillateur en anneau, N le nombre d'inverseurs qui le composent, τ_n et τ_p sont les temps de commutation des transistors NMOS et PMOS.

$$\tau_n = \frac{Vdd.C_{ox}}{I_{dsn}}, \tau_p = \frac{Vdd.C_{ox}}{I_{dsp}} \qquad \text{Eq. IV-6}$$

Où Vdd est la tension d'alimentation, C_{ox} est la capacité d'oxyde, I_{dsn} et I_{dsp} sont les courants de drain des transistors NMOS et PMOS.

$$\frac{\Delta f}{f} = \frac{\Delta I_{dsn}}{I_{dsn}} \times \frac{\tau_n}{\tau} + \frac{\Delta I_{dsp}}{I_{dsp}} \times \frac{\tau_p}{\tau} \qquad \text{Eq. IV-7}$$

La dégradation de la fréquence de l'oscillateur est donc directement liée à celle des courants de saturation des transistors qui le composent. Ce courant I_{dsat} se dégrade suivant deux mécanismes, le premier c'est l'injection de porteurs chauds (HCI) et le deuxième est le NBTI. En effet, considérons un inverseur de l'oscillateur. Lorsqu'il est sollicité, le signal commute, c'est la zone où la dégradation HCI domine, provoquant ainsi une variation du courant I_{dsn} du transistor NMOS. Ensuite, tous les autres inverseurs doivent commuter à leur tour avant que le signal retourne sur cet inverseur. Pendant ce temps l'inverseur se trouve en configuration NBTI induisant une dégradation du courant I_{dsp} du transistor PMOS (voir figure IV-12).

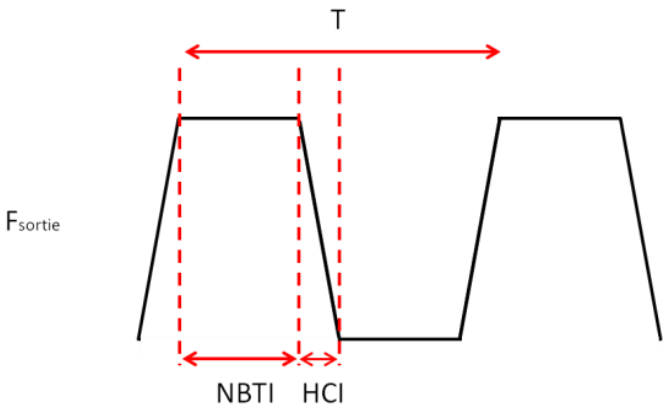


Figure IV-12 *Proportion des dégradations NBTI et HCI dans la fréquence de sortie de l'oscillateur en anneau*

Afin d'évaluer l'effet de la dégradation NBTI sur l'oscillateur en anneau, nous avons caractérisé l'influence de la tension d'alimentation combinée à un stress thermique (125 °C) sur la fréquence de sortie. Les résultats de ces tests sont illustrés sur la figure IV-13. En effet pour le premier cas où la tension d'alimentation est de 1,2 V (tension nominale de fonctionnement) on a constaté une dégradation relativement faible de l'ordre de 0,9 %, cette

dégradation se manifeste par une baisse de 1 MHz sur une durée de 30 h de stress. Ensuite la fréquence se stabilise à 115 MHz jusqu'à la fin du stress. Dans le deuxième cas où la tension d'alimentation est augmentée de 16 % par rapport à la tension nominale, afin de combiner un stress électrique (1,42 V) au stress thermique, la dégradation est plus prononcée elle vaut 4,5 %, ainsi la fréquence de sortie baisse de 8 MHz.

Les tendances des dégradations constatées sur les fréquences de sortie de l'oscillateur peuvent être modélisées par une loi de puissance. Dans les deux cas, les valeurs des pentes sont relativement élevées, elles varient entre 0,7 et 0,98, sauf dans le cas de la seconde courbe 1,2 V où la pente est plus faible due à une stabilisation de la dégradation. Les grandes valeurs des pentes peuvent être expliquées par la combinaison des deux mécanismes de dégradation le NBTI et le HCI intrinsèquement liés au fonctionnement de l'oscillateur en anneau. Nous avons choisi de favoriser le mécanisme du NBTI pour les tests. En effet, comme nous l'avons décrit précédemment le mécanisme du HCI domine lors des commutations donc pour 100 MHz on a moins de dégradation comparée à 2 GHz.

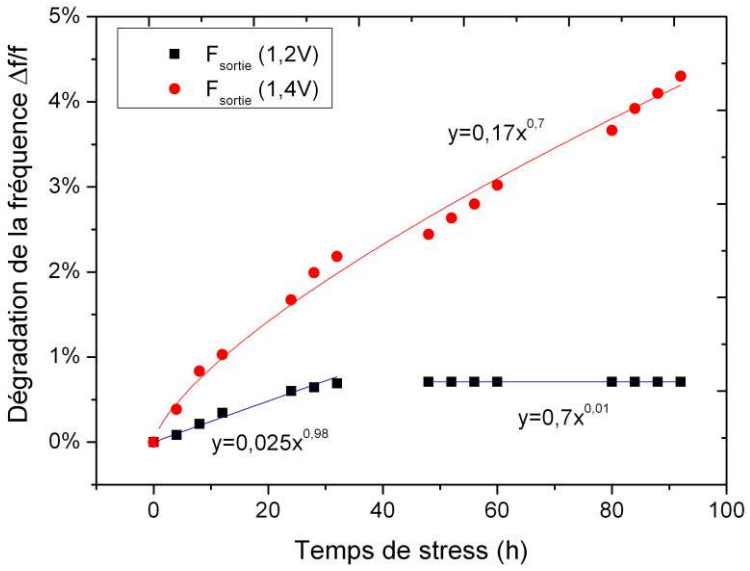


Figure IV-13 *Variations de la fréquence de sortie en fonction des tensions d'alimentation à 125°C*

Dans cette partie nous cherchons à évaluer l'effet de la température sur la dégradation de la fréquence de sortie. Dans ce cas, la tension d'alimentation est maintenue à 1,42 V pour accentuer le stress. Les résultats des tests illustrés à la figure IV-14 confirment la tendance constatée auparavant. En effet, une grande accélération identique des dégradations est observée pour les deux températures 85 °C (jusqu'à 35 h de stress) et 125 °C. Ensuite pour 85 °C la dégradation devient stable.

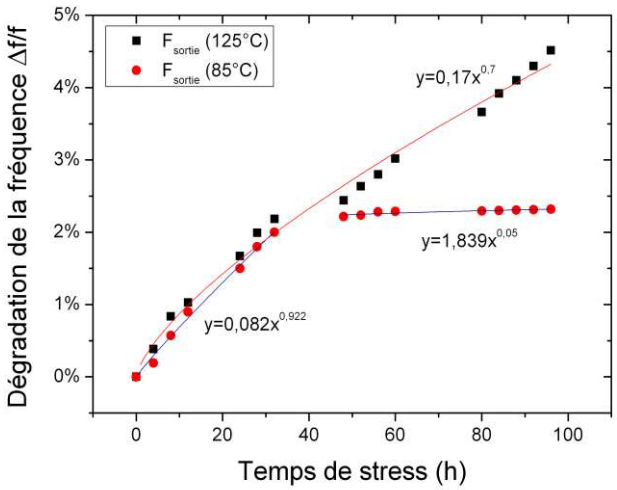


Figure IV-14 *Variations de la fréquence de sortie en fonction de la température*

IV.5 Time Dependent Dielectric Breakdown

Pour caractériser les dégradations induites par le TDDB nous avons développé un programme basé sur la technique classique décrite dans le chapitre 1, que nous avons adapté à notre test. Le protocole de test utilisé est illustré sur la figure IV-15, Ce programme est composé de quatre étapes :

- caractérisation initiale du courant de fuite I_g,
- application d'une tension de stress sur la grille pendant un temps donné,
- mesure du courant de grille à la tension de stress,
- si le courant de grille est inférieur à une valeur seuil, retour à l'étape 1, sinon arrêt de l'expérimentation le claquage est détecté.

Ainsi la rupture du diélectrique de grille est détectée par une mesure du courant de fuite qui augmente de façon brutale.

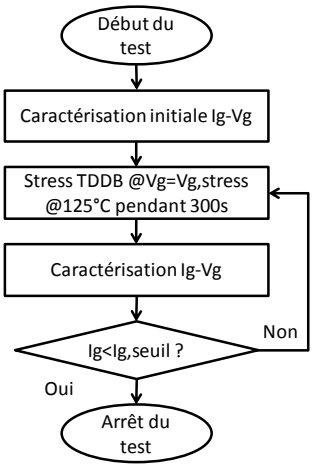


Figure IV-15 *Diagramme schématique pour caractériser les dégradations induites par le mécanisme du TDDB*

Ensuite nous avons étudié l'effet du mécanisme du TDDB sur une capacité MOS avec une grille en polysilicium. Pendant le stress la tension appliquée sur la grille est de l'ordre de 1,32 V alors que la température est maintenue à 125 °C pour accélérer le mécanisme. Les résultats du test sont illustrés sur les figures IV-16-a et IV-16-b. On peut observer l'existence de trois phases de dégradation du courant de fuite. La première phase correspond à l'usure progressive du diélectrique causée par la génération de pièges engendrées par le stress appliqué sur le dispositif, cette phase est la plus longue elle dure 61 h. Ensuite au cours de la seconde phase appelée soft breakdown (SBD) on observe une première discontinuité du courant de grille qui dure 30 min. Malgré cette défaillance le composant testé reste fonctionnel. La troisième phase correspond au hard breakdown (HBD) se traduisant par une augmentation brutale du courant de fuite causée par une rupture localisée du diélectrique de grille.

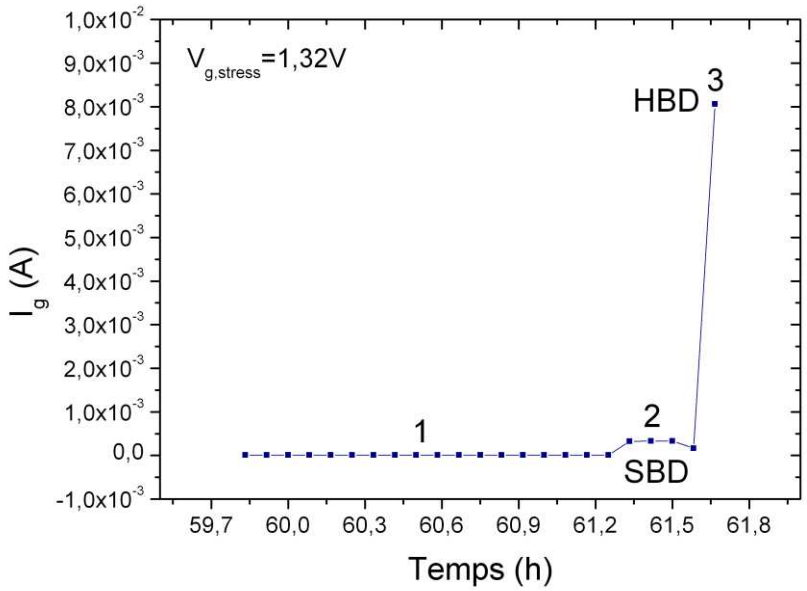


Figure IV-16 *Evolution du courant de fuite en fonction du temps*

Le TDDB se produisant lorsque le composant est polarisé, il est normale d'utiliser les conditions de polarisation afin de voir si elles permettent de contrôler l'accélération du processus. Pour évaluer cet effet, nous avons utilisé trois capacités MOS. Sur chaque échantillon nous avons appliqué des tensions de stress plus élevées que la tension nominale (1,2 V). Les résultats obtenus sont illustrés sur la figure IV-17. Avec une tension de stress de l'ordre de 1,42 V on réduit le temps d'apparition d'un HBD à 18 h comparé à 61 h dans le cas d'une tension de stress de 1,32 V. Ces résultats confirment bien que plus les tensions de stress appliquées sont grandes et plus le temps pour parvenir au « hard breakdown » est court.

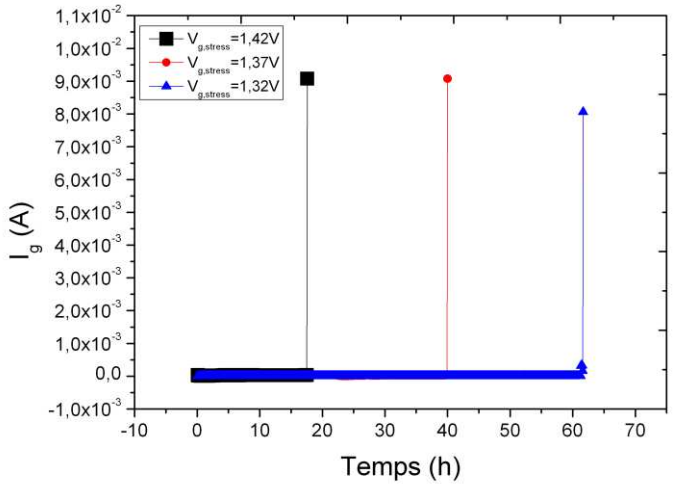


Figure IV-17 *Evolution du courant de fuite en fonction du temps pour trois tensions de stress $V_{g,stress}$ (trois capacités MOS)*

A partir des résultats précédents nous avons tracé sur la figure IV-18 les temps d'occurrence d'un HBD en fonction des tensions de stress $V_{g,srtress}$ appliquées sur les grilles des capacités MOS). Ensuite, nous nous sommes basés sur le modèle 1/E décrit dans le premier chapitre pour extraire le facteur d'accélération Ψ.

$$t_{BD} \propto e^{\left(\frac{\Psi}{E}\right)} \qquad \text{Eq IV-8}$$

Avec E le champ électrique dans l'oxyde et ψ le facteur d'accélération.

Ce modèle permet d'exprimer le temps d'occurrence de la défaillance pour les oxydes très minces. Pour les trois tensions de stress, la valeur du coefficient d'accélération obtenue est de l'ordre de 20 V^{-1}. L'avantage d'utiliser une forte tension de grille est de réduire le temps moyen d'occurrence du TDDB et donc la durée du test.

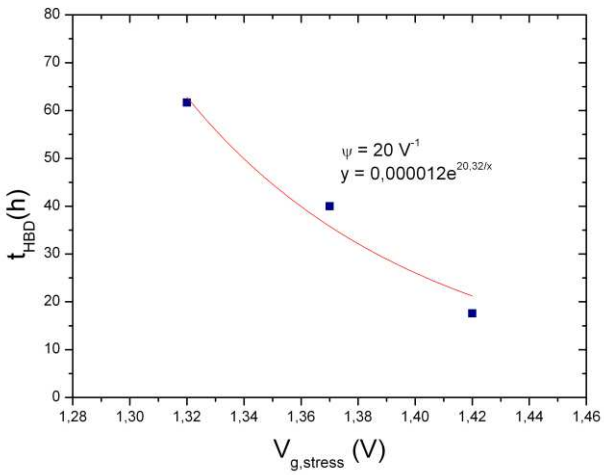


Figure IV-18 *Evolution du temps d'occurrence du HBD en fonction de la tension de stress*

IV.6 Electromigration

Nous avons développé un nouveau programme qui utilise le sourcemètre keithley pour caractériser l'effet de l'électromigration sur les structures de test conçues (lignes d'interconnexions et chaines de vias). Ce programme permet d'extraire la variation de la résistance R en mesurant le courant ainsi que la tension aux bornes de ces structures de test suivant la formule (IV-9) :

$$R = \frac{V^+ - V^-}{I} \qquad \text{Eq. IV-9}$$

La figure IV-19 illustre le protocole de test utilisé. Tout d'abord une caractérisation initiale de la résistance des structures est réalisée. Ensuite un stress électrique est appliqué sur ces structures pendant 300 s à 125 °C. La variation de la résistance est mesurée après chaque période de stress jusqu'à l'augmentation brutale de R.

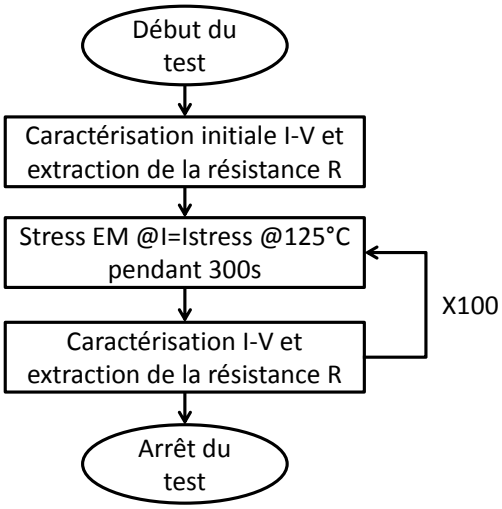


Figure IV-19 *Diagramme schématique pour caractériser les dégradations induites par le mécanisme de l'électromigration*

Nous avons commencé par étudier l'impact du mécanisme de l'électromigration sur la ligne d'interconnexion N°3 conçu en métal 3 avec 250 µm de longueur et 0,1 µm de largeur. Le stress consiste en l'application d'une densité de courant de 5 mA à 125 °C sur une période de 52 h. Les résultats de ce test sont illustrés sur la figure IV-20. Malheureusement, nous n'avons observé aucune variation significative de la résistance de ligne. Ce problème est dû à la faible valeur de densité de courant appliqué sur la ligne d'interconnexion. En effet pour caractériser différents types de structures nous avons dû multiplexer les entrées et les sorties de chaque structure. Le circuit de multiplexage est basé sur l'utilisation des portes de transmission analogiques qui sont polarisées entre 0 V et 1,2 V (tension de fonctionnement nominal "Vdd") et sachant que la résistance de la piste vaut 320 Ω, donc le courant max qu'on

peut appliquer, ne peut pas dépasser les 5 mA. Or d'après la littérature [Che08] [Vai04], la densité de courant minimale pour favoriser le mécanisme de l'électromigration est de 1,2 MA/cm² à 5 MA/cm², ce qui correspond à une tension de 100 V à appliquer sur la ligne d'interconnexion chose irréalisable dans notre cas.

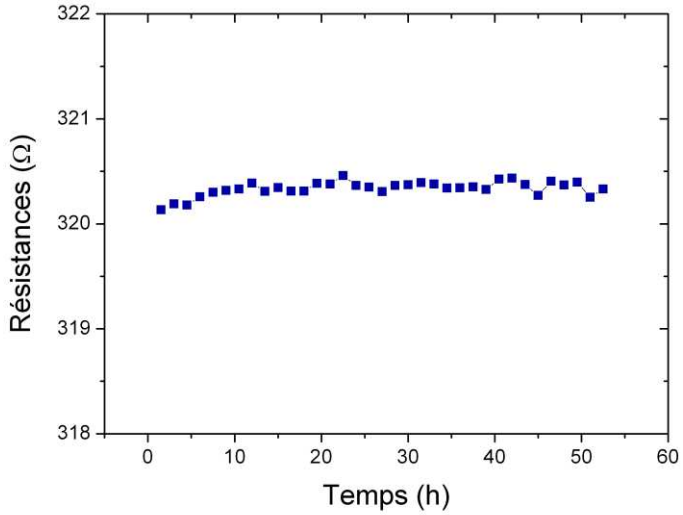


Figure IV-20 Evolution de la résistance de la ligne d'interconnexion en fonction du temps

IV.7 Conclusion

Dans ce chapitre nous avons étudié les dégradations induites par les quatre mécanismes de défaillances (NBTI, HCI, TDDB, electromigration) sur les différentes structures de tests conçues en technologie CMOS LP65 nm de STMicroelectronics. En effet, cette technologie a été sélectionnée par le CNES pour fabriquer les nouveaux composants utilisés dans les applications spatiales (satellites, lanceurs…). Ainsi les résultats obtenus lors des différents tests réalisés constitueront une base pour la compréhension de la sensibilité des circuits intégrés face aux défaillances induites par les différents mécanismes de dégradation décrits précédemment.

Au début du chapitre, nous avons décrit tous les programmes de test développés pour caractériser chaque mécanisme. Ensuite, avec l'utilisation de la technique On The Fly nous avons extrait les variations des tensions de seuil des transistors testés. En effet, l'étude de l'évolution de la tension de seuil est un paramètre primordial dans l'étude du type de défauts responsable de la dégradation NBTI et HCI. Puis nous avons étudié l'influence de la température sur l'extrapolation des durées de vie. Ensuite, et grâce à l'utilisation d'un

inverseur ainsi qu'un oscillateur en anneau, nous avons mis en évidence l'effet couplé de la dégradation NBTI avec celle du HCI dans les circuits.

Avec des structures de test à base de capacité MOS, nous avons extrait la valeur du facteur d'accélération apportée par la dégradation TDDB en utilisant le modèle 1/E. Malheureusement à cause des difficultés rencontrées pour l'évaluation des dégradations causées par l'électromigration sur les structures de tests dédiées, nous n'avons pas pu extraire des données exploitables sur ce mécanisme.

Les dégradations NBTI, HCI, TDDB, électromigration sont étudiées depuis des années, pourtant il reste toujours des phénomènes non maîtrisés. L'intérêt d'étudier ces dégradations sur des technologies fortement intégrées reste toujours d'actualité.

CHAPITRE.V : Evolution de la sensibilité aux événements singuliers après un vieillissement

V.1 Introduction

Les circuits électroniques sont relativement sensibles au milieu dans lequel ils évoluent et comme nous l'avons déjà vu plusieurs mécanismes peuvent engendrer leurs dégradations. C'est le cas des radiations naturelles, avec principalement les ions lourds et les protons. En effet les interactions des particules rencontrées dans un environnement radiatif naturel avec la matière constituant les composants électroniques peuvent engendrer des défaillances perturbant la fonctionnalité de ces composants, voire conduire à leurs destructions. Ces effets peuvent être générés par le passage d'une particule énergétique unique dans le semi-conducteur. Ces effets appelés évènements singuliers (SEE pour **Single Event Effect**) interviennent à la fois dans le milieu spatial et le milieu atmosphérique.

Du fait de l'utilisation des nouveaux composants électroniques fortement intégrés dans les systèmes embarqués, il est devenu primordial d'étudier leur fiabilité. En effet ces systèmes embarqués se retrouvent soumis à une irradiation combinée aux stress des différents mécanismes de dégradations (NBTI, HCI, TDDB, Electromigration). Nous allons donc évaluer dans cette thèse la sensibilité des circuits aux évènements singuliers avant et après des vieillissements accélérés.

Nous commencerons le chapitre par donner une description succincte des différents types d'évènements singuliers que nous étudierons par la suite. Ensuite, nous décrirons tous les tests réalisés sur les circuits des chaines de portes NOR avant et après vieillissement, ainsi que sur les chaines d'inverseurs et des bascules D.

Nous finirons ce chapitre, par la caractérisation de la sensibilité des mémoires SRAM conçus aux SEU (Single Event Upset) suivant plusieurs modes d'écriture.

V.2 Evènements singuliers

Nous allons décrire ci-après brièvement les principaux évènements singuliers.

- Le **Single Event Upset** (SEU) est associé au phénomène entraînant le changement d'état logique d'un point mémoire suite au passage d'une particule ionisante. Lors de ce passage, la particule ionise le composant le long de son parcours laissant derrière elle une colonne de charges sous la forme de paires électron-trou. Ensuite ces charges sont collectées par un des nœuds du point mémoire en provoquant le basculement de l'état logique de celui-ci. Cette corruption de l'information stockée dans le point mémoire peut être corrigée par une simple réécriture et ne conduit pas à la destruction du circuit (voir figure V-1).

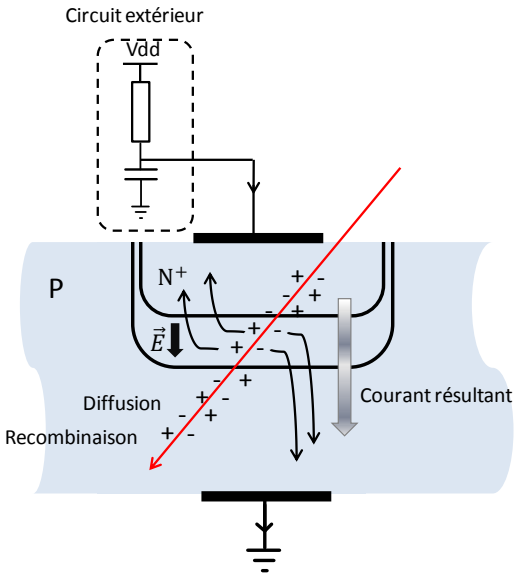


Figure V-1 *Schéma de principe du Single-Event Upset dans un circuit numérique*

- Le **Single Event Transient** (SET) se produit lorsqu'une particule ionisante heurte la jonction bloquée d'un transistor MOSFET provoquant ainsi une impulsion de courant parasite qui se propage ensuite dans le circuit. Cet effet concerne plus particulièrement les portes logiques. Dans ce cas, l'impulsion transitoire de courant produite par une particule au niveau du composant est transformée en impulsion de tension d'une amplitude et d'une durée qui dépendent fortement des paramètres de la porte logique (temps de montée et de descente, ainsi que les conditions de polarisation).
- Le **Single Event Latch-up** (SEL) est la mise en conduction par une particule d'un thyristor parasite de type PNPN inhérent aux technologies CMOS. La mise en conduction de ce thyristor conduit à un court-circuit entre les bornes d'alimentation. Le verrouillage de cette structure parasite peut conduire à la destruction du circuit qui peut se traduire par la fusion locale du silicium ou des pistes métalliques si l'alimentation n'est pas contrôlée (voir figure V-2).

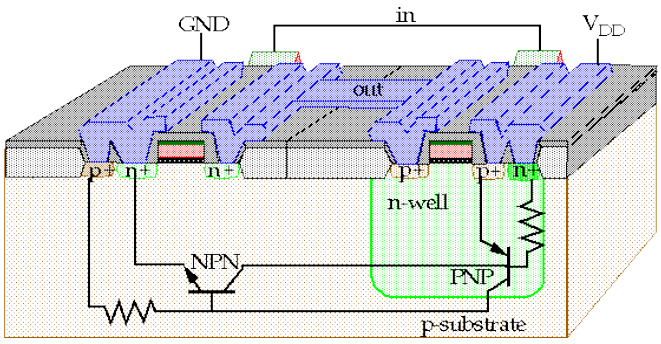


Figure V-2 *Structure parasite sensible au latchup dans un inverseur CMOS*

V.2.1 La courbe σ(LET)

La section efficace représente la surface sensible apparente d'un circuit. Sa mesure constitue l'objectif essentiel des tests en accélérateurs. Elle permet en effet de prédire le taux d'occurrence de SEE dans un environnement donné. La mesure de la section efficace est effectuée tout en contrôlant les paramètres d'expérience que sont les conditions d'irradiation et les paramètres électriques du circuit. Concernant l'irradiation, le principal paramètre utilisé est le LET (Linear Energy Transfert). En effet, le LET est le seul paramètre de l'ion conditionnant la réponse du circuit. On mesure donc la section efficace pour plusieurs valeurs du LET, obtenues en changeant l'énergie et le type des ions (ainsi que l'angle d'incidence). La figure V-3 présente la forme typique des courbes obtenues. Il existe un seuil L0 en dessous duquel aucun événement n'est détecté. Pour des LET élevés, la section efficace tend vers une section efficace de saturation σ_{sat}. Expérimentalement, la saturation n'est cependant pas toujours atteinte [Lew96] [Pet97] [Pou00].

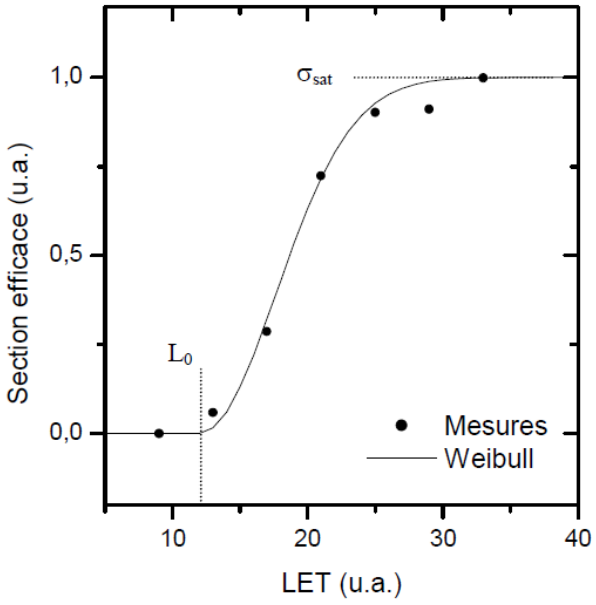


Figure V-3 *exemple de courbe expérimentale σ(LET) ajustée par une fonction de Weibull*

La section efficace Laser, reprend les mêmes spécifications mais rend la localisation beaucoup plus sélective. L'irradiation peut être faite de manière totale, englobant la totalité du composant ou bien par une sélection très minutieuse. Les deux apportent des données qualitatives de la sensibilité. Un précèdent travail a montré que l'énergie déposée et donc le LET Laser, possédait une équivalence en énergie Laser. Ce rapport est linéaire à λ=800 nm et vaut 3,85. De surcroit, ce modèle linéaire d'équivalence n'est valide que dans un intervalle

d'énergie Laser allant de 1 10^{-14} à 1 10^{-9} Joules. Pour des longueurs d'ondes supérieures, le domaine de validité décroit rapidement et ne peut alors être appliqué [Pou00] [Dar02].

V.2.2 Impacts du NBTI sur la robustesse d'une mémoire SRAM face aux SEU

La figure V-4 présente la section efficace pour plusieurs valeurs du LET pour une mémoire SRAM conçue en technologie 130 nm avant et après un stress de type NBTI [Bag10]. Ces courbes sont obtenues en intégrant la surface sensible pour chaque valeur de l'énergie d'impulsion. Pour les faibles énergies, le premier point de chaque courbe correspond à la première énergie pour laquelle la section efficace mesurée est non nulle, en dessous de ce seuil aucun événement n'est détecté. Ensuite pour des LET élevés, la section efficace tend vers une section efficace de saturation. Les résultats de ces tests montrent que l'effet du NBTI combiné à une irradiation à peu ou pas d'influence sur l'évolution de la section efficace.

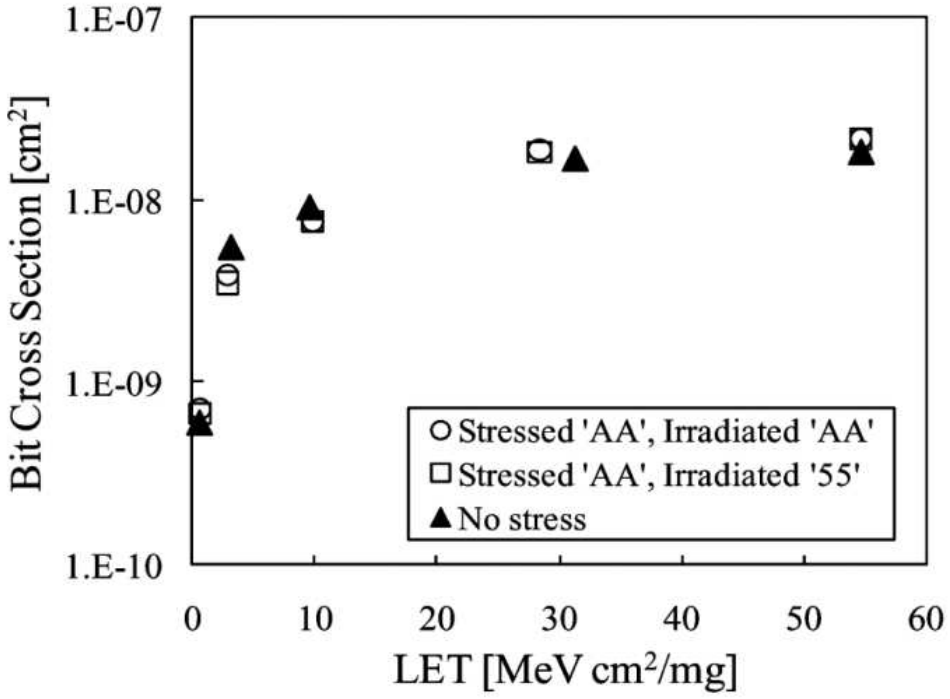


Figure V-4 *Courbes de section efficace pour une mémoire SRAM [Bag10]*

V.3 Circuits de test

Après avoir quantifié les effets des mécanismes de dégradation de type NBTI, HCI et TDDB sur les structures de test dédiées lors du chapitre précèdent, nous nous sommes

intéressés à étudier leurs influences et plus particulièrement celle du NBTI sur l'évolution de la sensibilité de ces structures face aux évènements singuliers.

Avant de commencer les tests de vieillissement accéléré sur les différentes structures de test. Nous allons dans un premier temps déterminer le seuil d'énergie laser nécessaire aux générations d'événements transitoires avant stress. Pour cela, nous avons étudié la sensibilité de plusieurs circuits conçus à cet effet. Parmi ces circuits on retrouve les chaines d'inverseurs, des portes NOR est des bascules D. La longueur d'onde du laser utilisée est de 1064 nm, et la fréquence de répétition des impulsions laser est fixée à 1 KHz. Malheureusement, aucun événement transitoire n'a été observé, malgré l'utilisation de fortes énergies jusqu'à 1,5 nJ. Au-dessus de cette énergie on commence à dégrader physiquement les circuits. Ces résultats peuvent s'expliquer par les difficultés rencontrées pour accéder aux zones actives en face avant. En effet, les pistes métalliques des interconnexions forment un maillage qui empêche de déposer suffisamment d'énergie dans la zone active du circuit pour générer des transitoires.

V.3.1 Oscillateur en anneaux

Afin de contourner les difficultés pour déterminer le seuil d'énergie nécessaire aux générations des transitoires avant vieillissement. Nous avons choisi d'étudier le circuit le plus sensible qui est l'oscillateur en anneau. Nous rappelons ici que l'oscillateur en anneau conçu est composé de 187 inverseurs. Il permet d'obtenir à sa sortie quatre fréquences d'oscillations allant de 120 MHz à 1,92 GHz selon sa programmation. En plus, afin d'adapter sa sortie à une charge 50 Ω, nous avons utilisé un buffer.

V.3.1.1 Configuration de test

La configuration de test pour l'analyse de l'oscillateur est illustrée sur la figure V-5. Le signal mesuré c'est la fréquence de sortie de l'oscillateur F_{sortie} et les conditions expérimentales sont :

- la fréquence de répétition des impulsions laser est fixée à 1 KHz,
- la longueur d'onde laser est de 1064 nm pour une approche en face avant du circuit et les énergies utilisées sont entre 30 pJ à 180 pJ,
- l'unique objectif utilisé pour les différents tests est le 100X, qui nous apporte la plus grande précision avec une taille de spot de 1µm,

- un générateur de délai permettant le contrôle du shutter mécanique afin de modifier la fréquence de répétition des impulsions laser,
- une photodiode pour déclencher l'oscilloscope au moment où les impulsions laser arrivent sur le circuit.

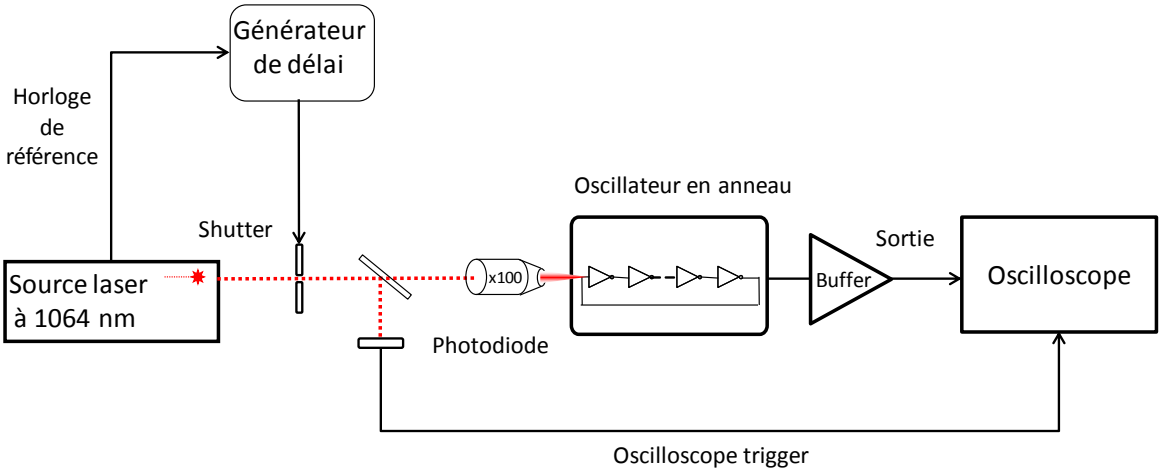
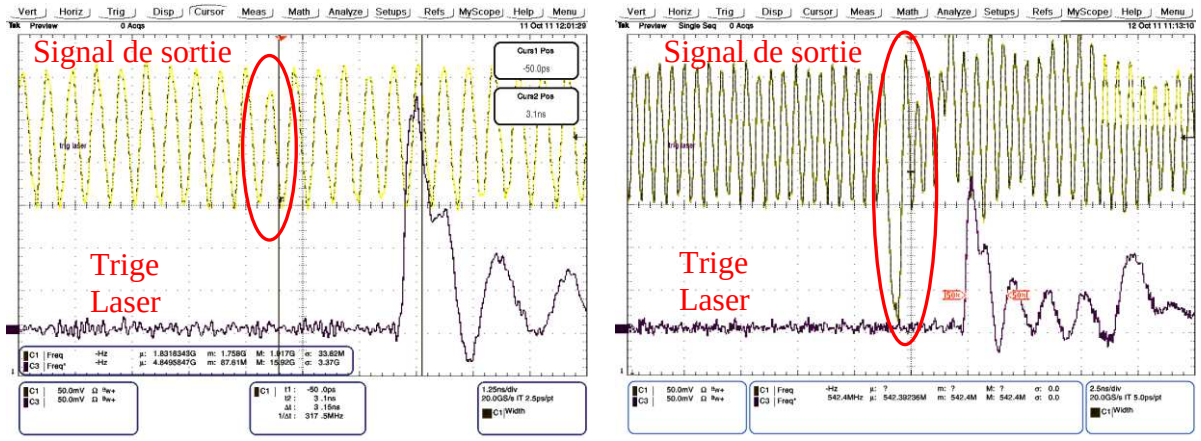


Figure V-5 *Configuration de test de l'oscillateur en anneau*

V.3.1.2 Résultats expérimentaux

Les résultats expérimentaux ont été obtenus dans la configuration présentée sur la figure V-5. L'oscillateur est programmé pour délivrer une fréquence de 1,92 GHz (cinq inverseurs sont sélectionnés). La figure V-6 illustre les réponses électriques du signal de sortie F_{sortie} en fonction de l'énergie du laser. Nous pouvons observer l'apparition du premier transitoire sur le signal de sortie pour une énergie de 30 pJ. Cette énergie représente pour nous le seuil (charge critique) à partir duquel les charges générées par le faisceau laser, commencent à faire basculer le quatrième inverseur composant l'oscillateur par le biais des tensions de grille et de drain. Ce basculement est dû aux courants transitoires traversant le transistor NMOS, induisant la chute de la tension de drain entraînant par contre-réaction l'augmentation de la tension de grille jusqu'au basculement. Sur la Figure V-6-b, du fait de la forte densité de porteurs générés par l'impulsion laser avec une énergie de l'ordre de 180 pJ, on voit clairement un fort transitoire qui perturbe le signal de sortie de l'oscillateur sur une période de 15 ns.



a b

Figure V-6 *Réponses électriques expérimentales de la sortie de l'oscillateur obtenues sous impulsion laser pour deux énergies différentes a-30 pJ b-180 pJ*

Après avoir déterminé le seuil d'énergie laser ou la charge critique à partir duquel on commence à générer des transitoires dans l'oscillateur, nous avons voulu savoir si ce seuil change avec la fréquence d'oscillation. Pour réaliser ce test nous avons reprogrammé l'oscillateur afin d'avoir une fréquence de 1 GHz en sortie. Nous avons gardé la même configuration de test décrite précédemment (Figure V-5). Malheureusement, dans ce cas de figure nous n'avons obtenu aucun résultat pour les énergies des impulsions laser utilisées précédemment (30 pJ est 180 pJ). Nous avons donc augmenté l'énergie laser jusqu'à 800 pJ, là encore sans aucun succès. De plus au-dessus de cette valeur d'énergie l'oscillateur présente des traces de dégradations physiques. Ces résultats sont reproduits pour les autres fréquences (125 MHz et 524 MHz).

A partir de ces résultats expérimentaux, nous n'avons observé des événements transitoires induits par le laser uniquement pour le cas où la fréquence d'oscillation est égale à 1,92 GHz. En effet, à cette fréquence la charge critique nécessaire pour générer un transitoire est relativement faible. Ceci est confirmé par les mesures de la figure V-7 qui illustre une diminution progressive de l'amplitude du signal de sortie de l'oscillateur en fonction de la fréquence de sortie. Lorsqu'un transistor de la chaine des inverseurs qui compose l'oscillateur est sollicité, le signal commute sur un temps qui dépend de la fréquence d'oscillation (520 ps pour 1,92 GHz). Comme ce temps de commutation est relativement rapide, alors la charge de grille de l'inverseur est relativement faible.

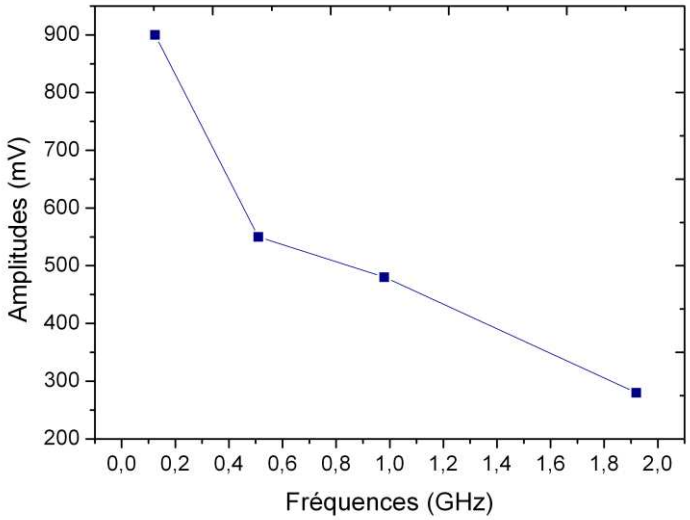


Figure V-7 *Amplitudes des signaux de sorties de l'oscillateur en fonction de la fréquence*

V.3.2 Choix de la longueur d'onde

La stimulation photoélectrique par le laser impulsionnel est basée sur la création de photocourants transitoires dans le circuit intégré. Ils tiennent leurs origines physiques de la génération de paires électron/trou par le faisceau laser dans le semi-conducteur. Cette génération de porteurs excédentaires se caractérise par un taux de génération G qui dépend de la longueur d'onde λ. En plus, la longueur d'onde est liée de façon implicite au coefficient d'absorption optique α. Alors comme le montre la figure V-8, la probabilité d'occurrence des événements transitoires sera d'autant plus importante que la longueur d'onde sera faible.

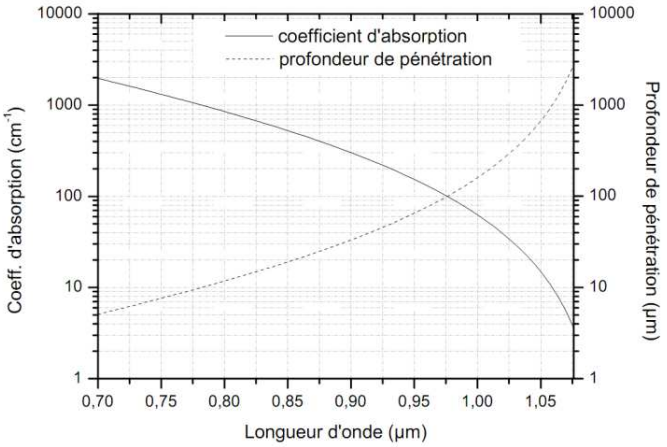


Figure V-8 *coefficient d'absorption et profondeur de pénétration en fonction de la longueur d'onde pour du silicium de type P peu dopé (<10^{17} cm-3) à température ambiante [Pou00]*

Nous avons donc décidé de changer la longueur d'onde utilisée en passant à 800 nm. Les résultats des tests ont été concluant pour toutes les fréquences de sortie de l'oscillateur.

Parmi les résultats obtenus un transitoire généré sur F_{sortie} à 500 MHz avec une énergie laser de 180 pJ a été obtenue (voir figure V-9). Nous pouvons expliquer l'efficacité du 800 nm en face avant par la grande valeur de son coefficient d'absorption (800 cm^{-1}) comparé à 1064 nm (10 cm^{-1}), Il est important de noter que pour une même énergie la charge dans le cas du 800 nm est plus importante.

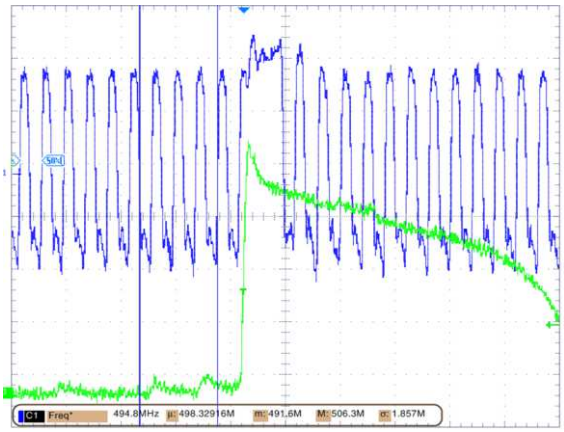


Figure V-9 *Réponses électriques expérimentales de la sortie de l'oscillateur obtenues sous impulsion laser pour une énergie de 180 pJ*

V.4 Chaîne des portes NOR

Ce circuit de test est structuré en 20 lignes, elles mêmes constituées de 20 inverseurs. Une chaîne comprend donc 400 portes NOR. Chaque ligne de portes NOR est reliée à la suivante de façon à réduire le temps de propagation entre chaque liaison.

V.4.1 Configuration de test

Pour caractériser les seuils d'énergies d'apparition des SET à la sortie de la chaîne des portes NOR avant et après un vieillissement accéléré, l'état logique en entrée est fixé à l'état haut, tandis que la sortie de la chaîne est observée à l'oscilloscope. La fréquence de répétition des impulsions laser est de 10 Hz. L'énergie par impulsion est de l'ordre de 800 pJ et la longueur d'onde est de 800 nm pour une approche en face avant du circuit. L'unique objectif utilisé pour les cartographies est le 100x. Enfin, nous faisons l'acquisition et le traitement de la réponse transitoire de la chaîne sous test afin de la caractériser. Avant de débuter les tests, les conditions de focalisation ont été vérifiées expérimentalement. En effet, quand un faisceau est mal focalisé sa capacité à provoquer un SET est moindre que celle d'un faisceau parfaitement focalisé car la densité surfacique d'énergie déposée par le laser est plus faible (voir figure V-10).

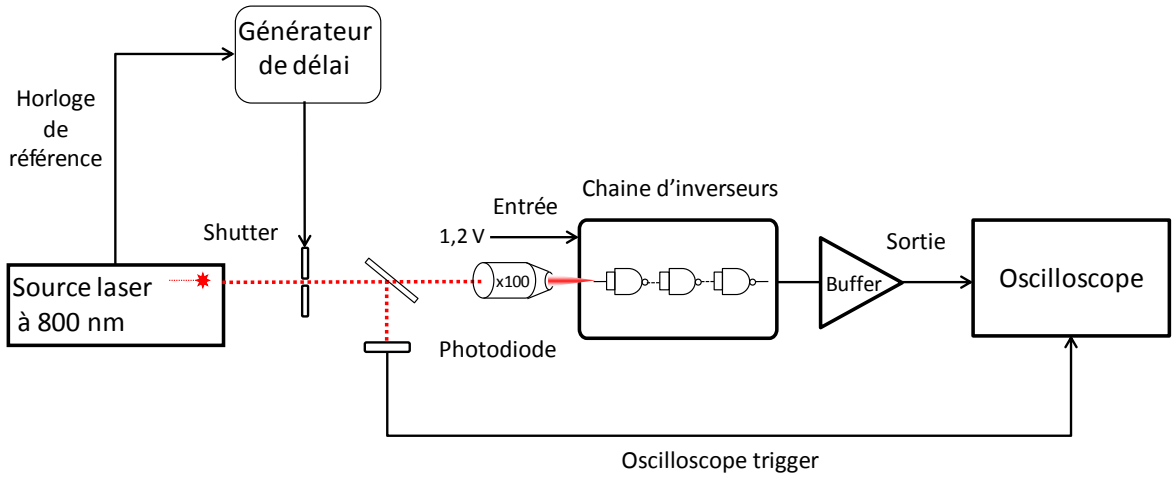


Figure V-10 *Configuration de test pour la chaine des portes NOR*

V.4.2 Etude des transitoires

Nous allons commencer par caractériser le temps de propagation des SET à travers la chaîne des portes NOR. La figure V-11 illustre les zones sensibles en rouge sur la chaine. Comme on peut le constater ces zones se retrouvent uniquement aux extrémités de la chaîne. En effet, dans le cas d'une approche en face avant il est difficile d'accéder aux zones actives du fait de la forte densité de niveaux métalliques. Il a cependant été possible de mesurer le temps de propagation des portes logiques et de visualiser la propagation du transitoire généré (voir figure V-12).

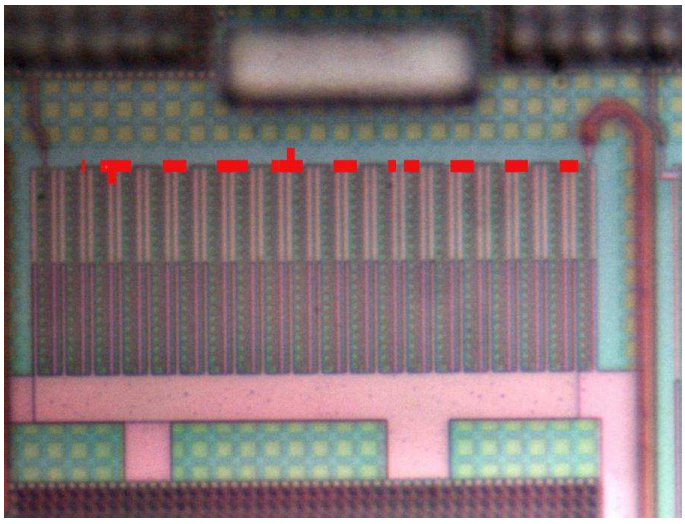


Figure V-11 *Zone de sensibilité en rouge sur l'extrémité de la chaine de portes NOR*

La figure V-12 présente, les réponses transitoires obtenues sur l'extrémité de la chaîne pour l'état logique haut. Nous pouvons ainsi identifier les 20 colonnes constituant la chaîne

des portes NOR. Ces courbes permettent de mesurer un temps de propagation d'une porte NOR qui est de l'ordre de 20 ps. Cette valeur est égale à celle déterminée par les mesures électriques lors du troisième chapitre.

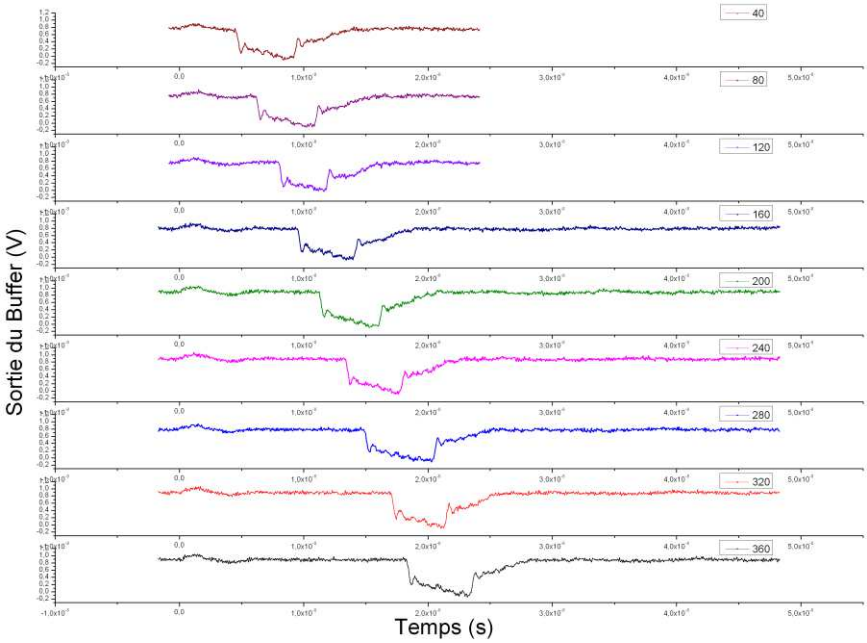


Figure V-12 *Propagation des évènements transitoires en fonction du temps et du nombre de portes qui reste jusqu'à la sortie de la chaine des portes NOR*

V.4.3 Procédure de vieillissement

Nous avons utilisé la procédure classique pour le vieillissement de la chaine des portes NOR. Pour accélérer le stress, le composant est mis dans une étuve à une température de 125°C pendant une durée T_{stress}, et la tension d'alimentation est montée à Vdd+19 % (1,42 V). De plus, pour stresser toutes les portes NOR de la chaine, un signal carré de 10 Hz est appliqué sur l'entrée, ce qui permet de stresser successivement chaque porte.

V.4.4 Résultats expérimentaux

Pour tester la chaine des portes NOR, l'entrée est fixée à l'état haut et une impulsion laser est émise sur la zone la plus sensible. L'énergie de l'impulsion est augmentée jusqu'à l'apparition d'un transitoire à la sortie de la chaine. L'énergie correspondant à l'apparition de ce transitoire est définie comme le seuil de SET.

La figure V-13 illustre les mesures des seuils d'énergie pour induire un SET sur la sortie en fonction de la tension d'alimentation avant et après un vieillissement accéléré. Les seuils SET mesurés sont plus élevés après vieillissement quelle que soit la valeur de la tension

d'alimentation. Pour la tension de polarisation nominale (1,2 V), une augmentation de 45% du seuil de SET est observée après vieillissement. Nous observons également un décalage de 200 mV du pic de la courbe après vieillissement. Nous rappelons ici que l'évolution de la tension de seuil du transistor PMOS a un coefficient d'accélération de l'ordre de b=0,34, donc avec la loi de puissance décrite dans le chapitre 4 ($\Delta V_t = a\, T_{stress}^{b}$) nous pouvons connaitre la variation de la tension de seuil après 381 h de stress. La tension de seuil augmente de 271 mV, ce qui est du même ordre de grandeur que le décalage mesuré.

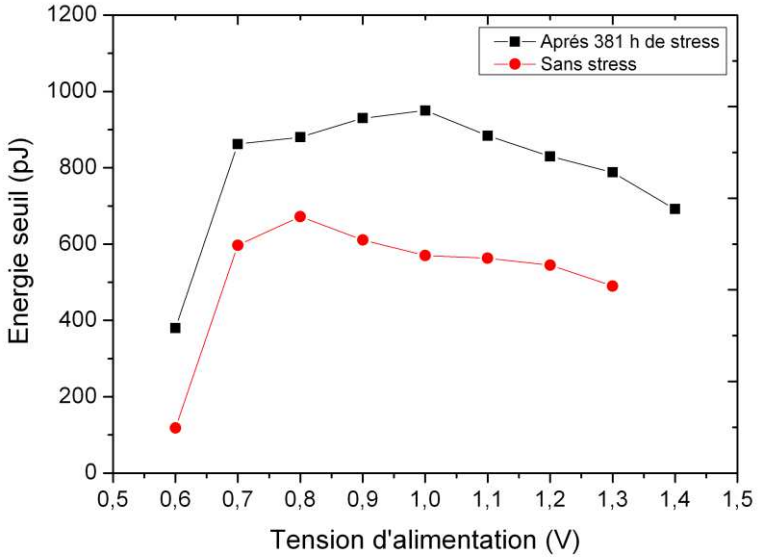


Figure V-13 *Variation de l'énergie seuil en fonction de la tension d'alimentation avant et après vieillissement*

Le fait que l'énergie de seuil diminue après avoir atteint un maximum lorsque la tension d'alimentation augmente peut probablement être expliqué par les contributions de plusieurs mécanismes. Dans une première approche, la quantité de charges nécessaires pour produire un SET est sensée augmenter de façon linéaire en fonction de la tension d'alimentation. En effet, l'augmentation de la tension d'alimentation augmente l'efficacité de la collection de charge par le processus de transport par conduction, conjugué à l'effet funneling [Hsi81]. En outre, une augmentation de la tension d'alimentation accélère la fréquence de commutation des portes, ce qui facilite la propagation des transitoires (SET) à la sortie de la chaîne. Il semble raisonnable de supposer que le point d'équilibre entre ces différents mécanismes est lié à la tension de seuil V_t, ce qui explique le décalage latéral du maximum de la courbe après vieillissement.

Si on considère que les dégradations dues au NBTI ont rendu les transistors qui composent la chaîne plus difficiles à être activés, alors l'augmentation du seuil de l'énergie

après vieillissement peut être partiellement expliquée par l'augmentation des tensions de seuil. Notons que l'évolution de la bande passante du buffer de sortie peut aussi contribuer à la forte augmentation observée dans la figure V-13.

Plus généralement, l'impact d'une augmentation de la tension de seuil d'un transistor PMOS sur la sensibilité d'un circuit face aux événements singuliers (SEE) est fortement dépendante de la schématique électrique, ainsi une porte NOR câblée différemment peut aboutir à des résultats différents.

La caractérisation de la variation de l'énergie seuil, ainsi que celle des temps de propagation des portes de la chaine, sont deux paramètres essentiels pour quantifier l'évolution de la sensibilité face aux événements transitoires après un vieillissement accéléré. Sur la figure V-14 nous avons reporté les temps de propagations des SET à travers la chaine pour trois tensions d'alimentation avant et après vieillissement. Comme on peut le constater, le temps de propagation augmente de 1,5 ns pour la tension 1,3 V et de 1 ns pour 1,2 V après le stress, alors que pour 1,1 V il n y a pas beaucoup de variation. Cette augmentation du temps de propagation reste constante selon que l'impulsion laser est positionnée à la fin de la chaine ou à son entrée. Or cette augmentation doit être progressive (plus le faisceau du laser est proche de l'entrée plus le temps de propagation augmente). On peut conclure que l'ensemble du circuit a vieilli et pas seulement la chaine des portes (circuits de test composés de la chaine des portes NOR, des multiplexeurs et du buffer).

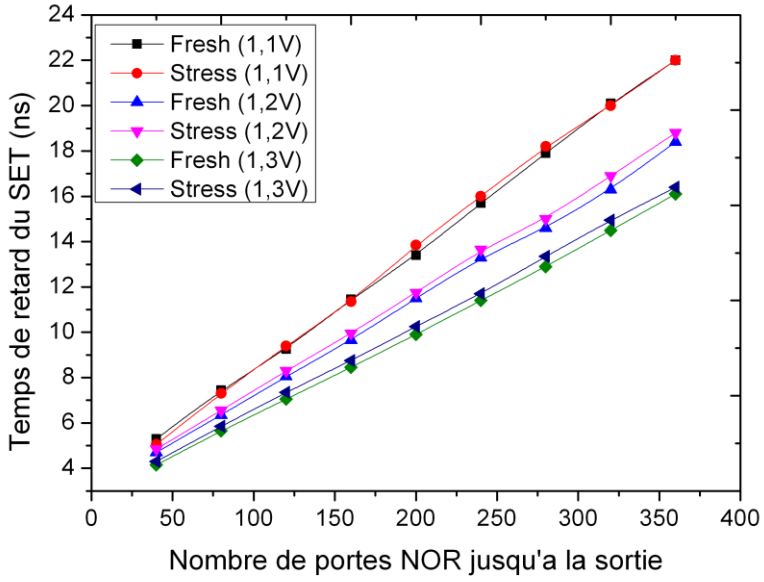


Figure V-14 *Temps de retard du SET pour trois tensions d'alimentation en fonction de la position laser*

La figure V-15 représente la variation de la largeur des SET générés en fonction du nombre de portes qui la traverse. Nous remarquons sur ce graphique, que l'amplitude des transitoires de tension générés reste constante. Dans la littérature [Cav08] [Ste11], ces auteures ont obtenu une augmentation de l'amplitude du transitoire généré par le laser en fonction du nombre de portes parcourues. Malheureusement, nous n'avons pas observé cet effet sur notre chaine. Ceci peut s'expliquer par l'utilisation du buffer qui amplifie l'amplitude du transitoire généré à la sortie de la chaine.

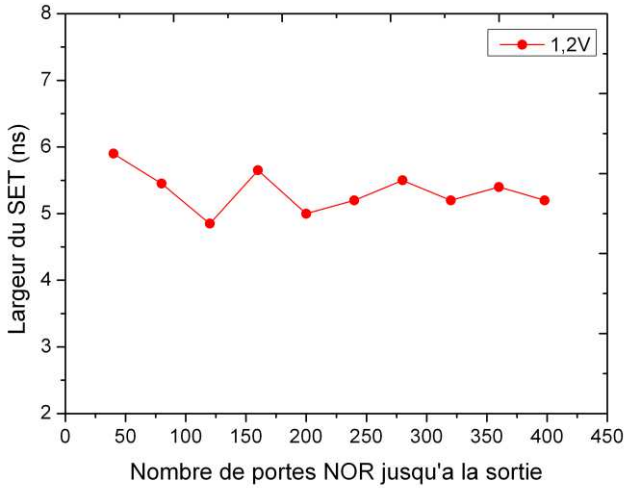


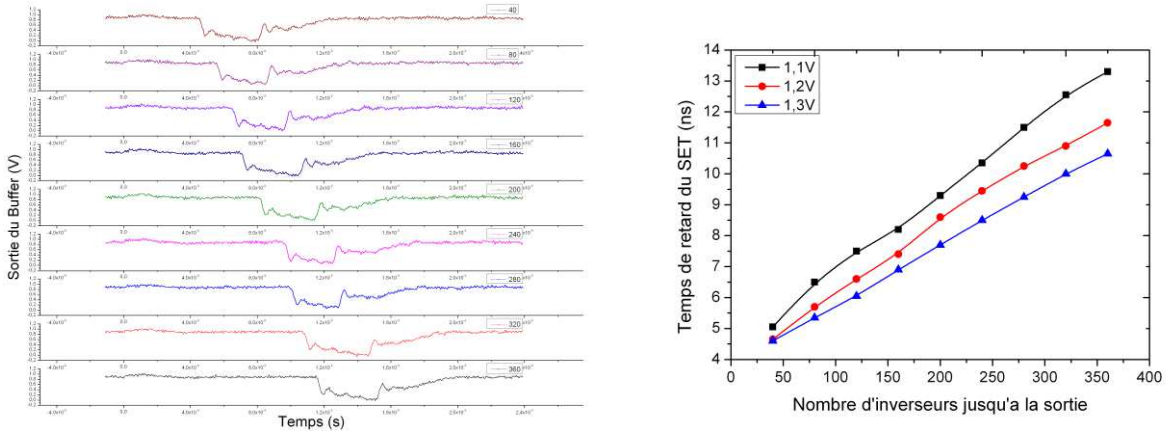
Figure V-15 *Largeur du SET en fonction de la position laser (Vdd=1,2 V)*

V.5 Chaine d'inverseurs

Pour comparer la sensibilité des chaînes d'inverseurs avec celle des chaînes de portes NOR face au SET, nous avons utilisé la même configuration de test que celle montrée en figure V-10. L'état logique en entrée est fixé à l'état haut, tandis que la sortie de la chaîne est observée à l'oscilloscope. La fréquence de répétition des impulsions laser est de 10 Hz et la longueur d'onde est de 800 nm pour une approche en face avant du circuit.

V.5.1 Etude des transitoires

Dans un premier temps nous allons caractériser le temps de propagation à travers la chaîne d'inverseurs. Les figures V-16-a et V-16-b illustrent respectivement la propagation du transitoire généré et le temps de retard des SET pour trois tensions d'alimentation en fonction de la position laser. Ces courbes nous permettent de remonter au temps de propagation par inverseur qui est de l'ordre de 15 ps. Cette valeur est égale à celle déterminée par les mesures électriques dans le troisième chapitre.



a b

Figure V-16-*a SET mesurés à la sortie de la chaine des portes d'inverseurs -b Temps de retard du SET pour trois tensions d'alimentation en fonction de la position laser*

V.5.2 Résultats expérimentaux

La figure V-17 présente l'évolution des seuils d'énergie SET en fonction de la tension d'alimentation avant et après vieillissement. La procédure de vieillissement suivie cette fois ci est différente. En effet, nous avons opté pour un stress successif où après chaque palier d'heures de stress défini auparavant nous faisons le relevé des seuils d'énergie SET. La mesure est réalisée le plus rapidement possible pour éviter tous effets de relaxation. Aussi pour ne pas endommager le circuit testé la tension d'alimentation est maintenu à 1,32 V soit 10 % de plus que la tension nominale (1,2 V) tandis que la température de stress est fixée à 125°C.

Les seuils SET mesurés sont plus élevés après vieillissement quelle que soit la valeur de la tension d'alimentation. Nous constatons aussi que les seuils d'énergie augmentent de façon monotone jusqu'à 168 h de vieillissement pour les tensions entre 0,93 V et 1,32 V, alors qu'ils commencent à saturer après 72 h de stress pour les tensions inférieures à 0,9 V. Pour la tension d'alimentation 1,2 V une augmentation de 45 pJ du seuil de SET est observée après un vieillissement de 24 h. Nous rappelons ici que l'évolution du point de commutation de pour un inverseur CMOS décrite dans la quatrième chapitre est de l'ordre de 30 mV après 24h de stress ce qui est du même ordre de grandeur que le décalage mesuré (45 pJ). Il est important de noter que la courbe de la figure V-17 présente à peu près les mêmes tendances que celles de la figure V-13 obtenues pour la chaine des portes NOR, ce qui peut être expliqué par la contribution des mêmes mécanismes décrits précédemment. En effet, l'augmentation de la tension d'alimentation augmente l'efficacité de la collection de charge par le processus de

transport par conduction conjugué à l'effet funneling. Si on considère que les dégradations dues au NBTI ont rendu les transistors qui composent la chaîne d'inverseurs plus difficiles à être activés, alors l'augmentation du seuil de l'énergie après vieillissement peut être partiellement expliquée par l'augmentation de la valeur du point de commutation intrinsèquement liée aux tensions de seuil des transistors qui composent la chaîne. Les résultats obtenus sur la chaine des inverseurs confortent la méthodologie de test utilisé auparavant avec la chaine des portes NOR.

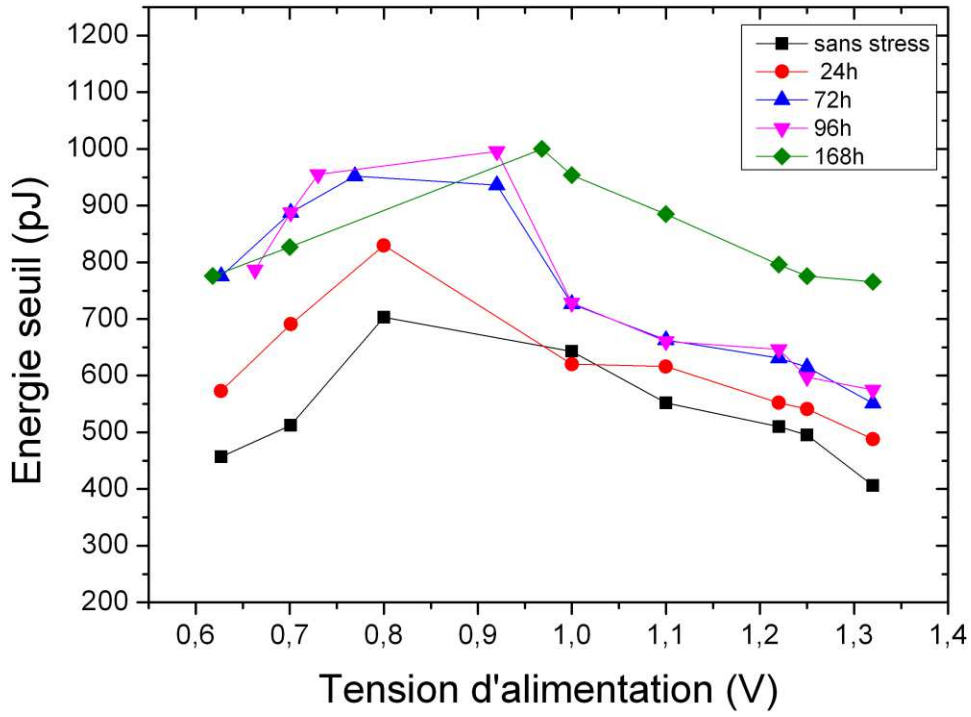


Figure V-17 *Evolution de l'énergie seuil en fonction de la tension d'alimentation*

V.6 Chaine des Bascules D

Cette section traite seulement les tests effectués sur la chaine des bascules D avec une capacité de découplage de type MOS. Pour réaliser la synchronisation des impulsions laser avec la transition électrique stimulant le circuit sous test, nous utilisons la chaîne de synchronisation montrée sur la figure V-18. L'horloge de référence du laser contrôle le générateur de vecteurs de test qui commande la chaine des bascules D et les impulsions laser avec un retard réglable. La fréquence de répétition des impulsions laser est ici de 10 Hz. Pour une approche face avant, la longueur d'onde est réglée à 800nm.

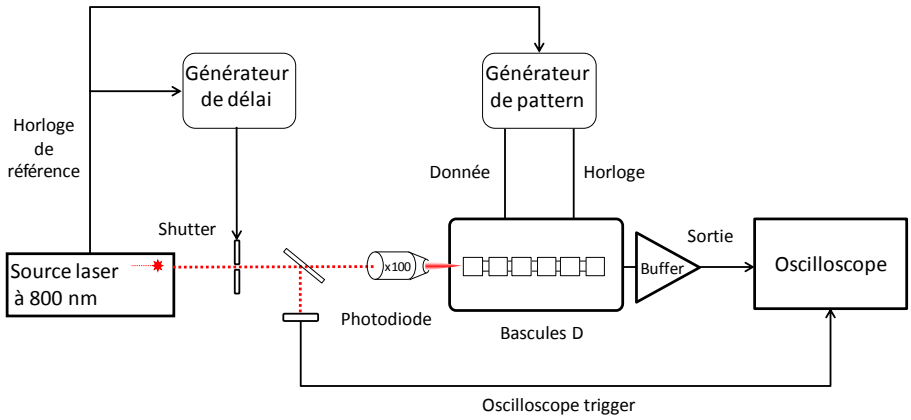


Figure V-18 *Configuration de test avec la chaîne de synchronisation*

Dans un premier temps nous avons caractérisé la forme des SET générés à la sortie de la chaine des bascules D (voir figure V-19). Comme le montre la figure V-19 les SET générés apparaissent avant le signal d'entrée transmis par la chaine et dépend de la position du laser sur une bascule D donnée.

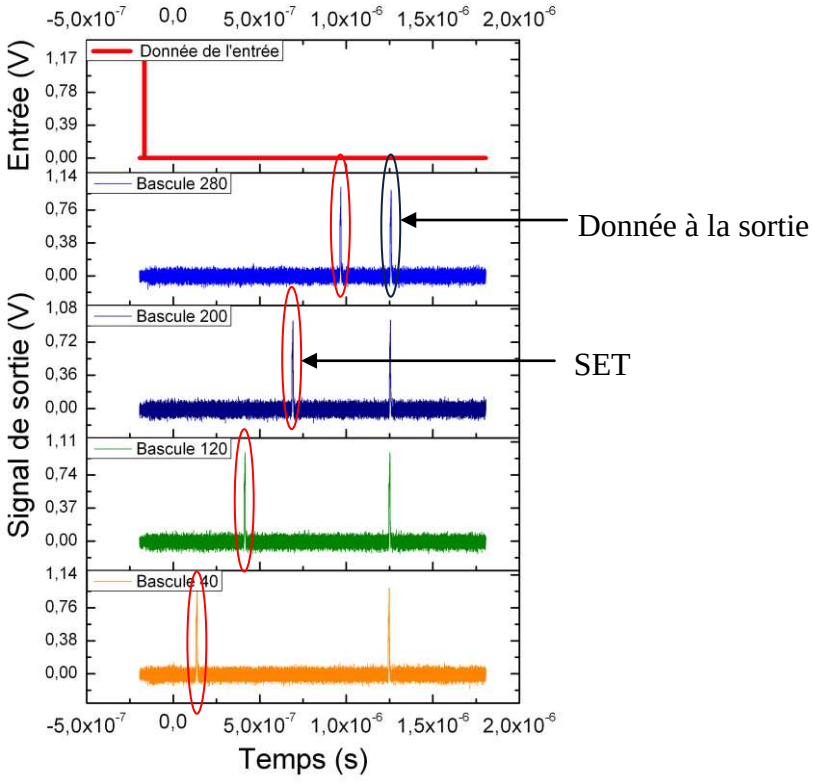


Figure V-19 *Propagation des SET à travers la chaine de bascules D*

La procédure de vieillissement suivie pour la chaine des bascules D est la même que celle de la chaine des inverseurs avec des périodes de stress successives, une tension

d'alimentation de 1,32 V et une température de 125 °C. La figure V-20 montre l'évolution du seuil de l'énergie SET à la sortie de la chaine en fonction de la tension d'alimentation, pour une fréquence d'horloge de l'ordre de 220 MHz avant et après vieillissement. Ces seuils semblent augmenter de façon monotone avec la tension d'alimentation ainsi qu'avec le temps de stress. Notons que le seuil mesuré après 213 h de vieillissement est le double que celui avant stress. On peut constater aussi que ces seuils sont beaucoup plus faibles que pour les chaines d'inverseurs et des portes NOR. Ceci peut être expliqué en partie par une injection du laser sur la face avant plus efficace grâce à une conception plus favorable pour les chaines de bascules D (voir figure V-19).

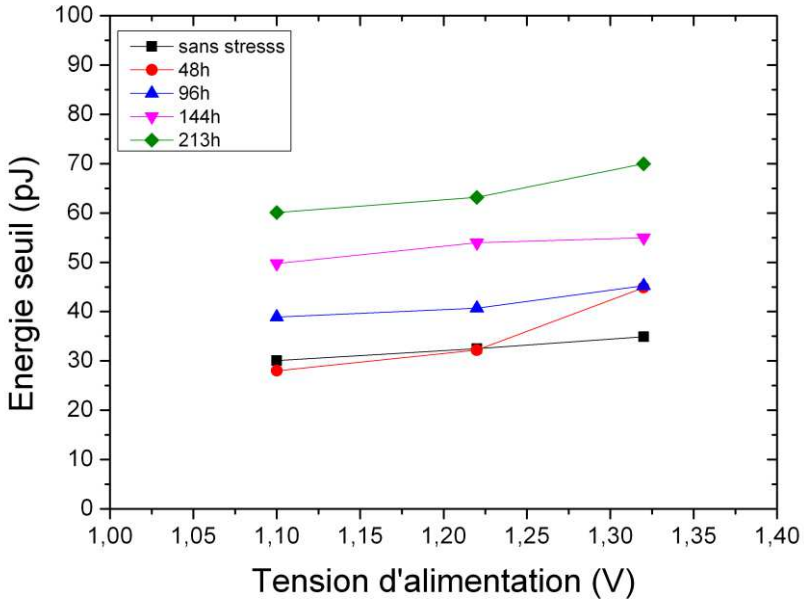


Figure V-20 *Variation de l'énergie seuil en fonction de la tension d'alimentation pour une fréquence d'horloge de 290 MHz*

Figure V-20

La figure V-21 présente l'évolution de l'énergie de seuil par rapport à la fréquence d'horloge pour une tension d'alimentation nominale (1,2 V) avant et après vieillissement. Entre 30 et 200 MHz, le seuil semble être constant, ensuite il commence à diminuer pour les fréquences les plus élevées jusqu'à 260 MHz avant le stress. Ensuite ces seuils augmentent de façon monotone avec la durée de stress en suivant la même tendance observée auparavant. Ces résultats obtenus sur la chaine des bascules D confortent la méthodologie de test utilisée sur les autres circuits.

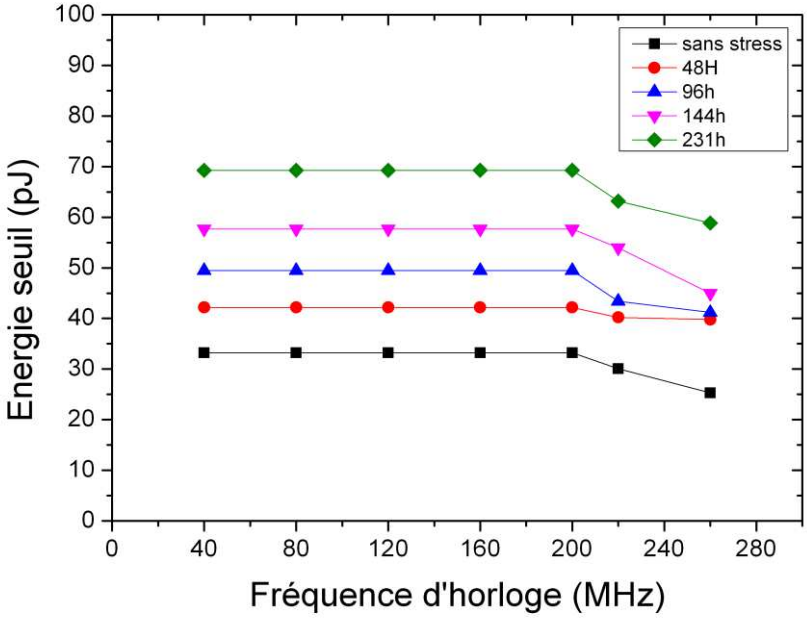


Figure V-21 *Variation de l'énergie seuil en fonction de la fréquence d'horloge pour la tension d'alimentation de 1,2V*

V.7 SRAM

L'objectif de cette étude est de présenter l'effet du vieillissement accéléré sur la sensibilité de la mémoire SRAM 32x32 conçue vis-à-vis du phénomène d'aléa logique en utilisant un laser incident par face avant. Malheureusement, à cause de la fragilité des composants testés et du nombre réduit des échantillons (trois puces au total), Nous n'avons pas pu obtenir des résultats après vieillissement.

V.7.1 Pilotage de la mémoire SRAM

La polarisation de la mémoire est fournie par une alimentation réglable stabilisée dont on peut fixer le maximum de l'intensité qu'elle délivre. Le fait de pouvoir limiter le courant délivré par l'alimentation à une valeur proche du courant maximal que peut demander le composant permet de le protéger contre le risque de destruction par latchup en cours de test.

Le pilotage de la mémoire sous test est réalisé sous l'environnement du logiciel Labwindows/CVI en langage C qui utilise la carte d'instrumentation fabriquée par National Instruments [Nat] de modèle PCIe-6251. L'interface visuelle du programme développée est montrée sur la figure V-22. Cette interface comprend à la fois un afficheur des données stockées dans la totalité des points de la mémoire et un compteur des erreurs SEU (Single

Event Upset) détectée, ainsi que des boutons de commandes pour les différents tests (écriture de 0 ou 1 dans tous les points de la mémoire, écriture d'un damier ou ligne par ligne).

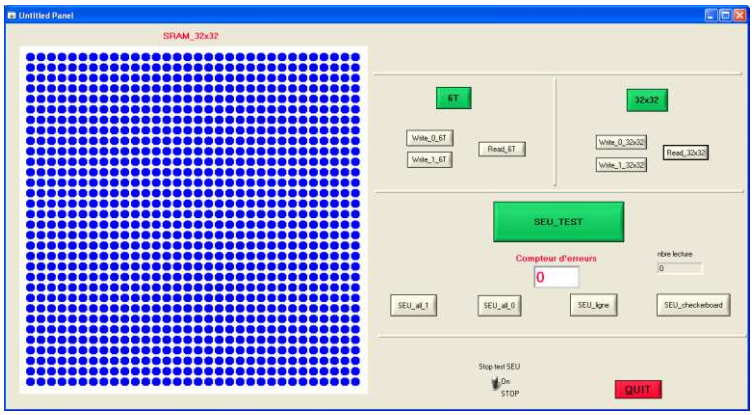


Figure V-22 *Interface graphique du programme pour l'étude de la sensibilité de la SRAM face aux SEU*

V.7.2 Synoptique du test de sensibilité

Nous allons présenter le déroulement d'un test de sensibilité aux SEU. La figure suivante présente le déroulement du test.

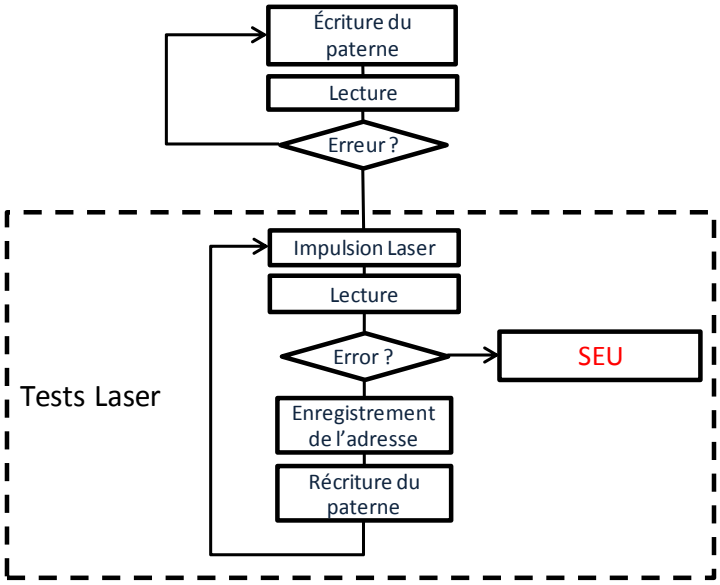


Figure V-23 *Diagramme des procédures de tests de la sensibilité de la SRAM aux SEU*

Le programme développé, permet l'écriture d'un motif initial dans les 1024 points de la mémoire SRAM puis en la lecture du contenu de la mémoire avec comparaison avec ce motif initial pour comptabiliser les aléas logiques. Ainsi si une erreur est détectée son adresse sera enregistrée (voir figure V-19). Le test se termine après la photoexcitation du composant pour une valeur fixe de l'énergie laser. Les fichiers de sortie comprennent les adresses des bits ayant subi un aléa logique.

V.7.3 Résultats expérimentaux

Avant de commencer les tests, une caractérisation expérimentale rapide des conditions de focalisation a été établie. Elle a pour critère que le seuil minimal de déclenchement d'aléa logique est associé à un faisceau focalisé de façon optimale en face avant. En effet, cela se justifie par l'idée qu'un faisceau mal focalisé n'a pas une dimension minimale au niveau des zones actives, donc pour une même énergie son efficacité à provoquer un SEU est moindre que celle d'un faisceau mieux focalisé car la densité surfacique d'énergie est plus faible.

Ensuite pour tester la mémoire, son contenu est fixé à un état initial connu et une impulsion laser est émise. L'énergie de l'impulsion est augmentée jusqu'à l'apparition d'un aléa logique. L'expérimentation se fait avec une fréquence laser de 10 Hz, avec vérification du contenu de la mémoire après chaque impulsion émise. L'énergie correspondant à l'apparition de l'aléa logique est définie comme le seuil de SEU. Le processus conduit à l'obtention de courbes semblables pour les différents motifs écrits dans la mémoire, avec une énergie seuil qui varie entre 9 pJ et 13 pJ (voir figure V-24). Ces énergies sont encore plus faibles que celles utilisées sur les différents circuits testés jusqu'à présent. Ces résultats sont obtenus pour la mémoire SRAM sans vieillissement. La méthodologie présentée dans ce chapitre a été appliquée au test de tous les composants. La comparaison des sensibilités relevées par laser pour ces composants montre une bonne répétabilité, ce qui encourage à poursuivre la validation du dispositif expérimental mis au point et de la méthodologie de test associée.

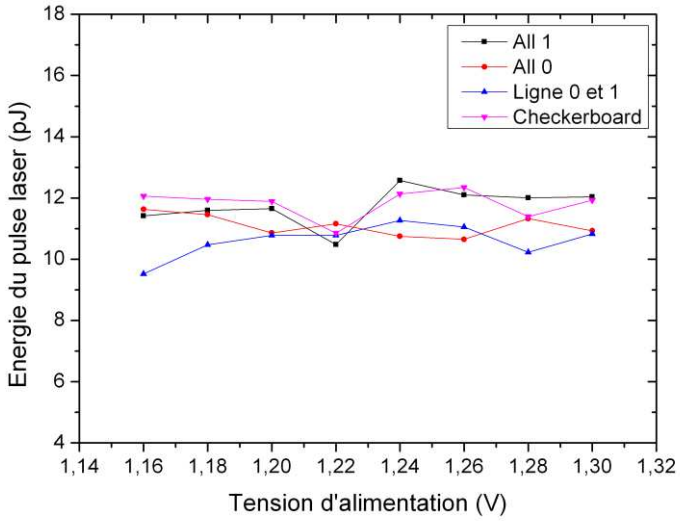


Figure V-24 *Evolution de la sensibilité de la mémoire SRAM en fonction de la tension de polarisation pour les différents motifs de tests*

V.8 Conclusion

Dans ce chapitre, nous avons présenté une première série de résultats qui démontrent l'impact significatif des dégradations induites par le mécanisme du NBTI sur la sensibilité des chaînes de portes NOR des chaînes d'inverseurs, des bascules D fabriquées avec la technologie 65nm CMOS Low power envers les événements singuliers de type SET.

Par la suite, à cause de la fragilité des circuits testés, seule la sensibilité aux SET de la mémoire SRAM conçue a été caractérisée avant vieillissement.

Les essais croisés de vieillissement et de robustesse obtenus pourraient avoir d'importantes implications sur la prédiction réaliste des taux des événements singuliers (SEE) pendant toute la durée d'une mission, et peuvent montrer la nécessité d'enquêter sur la combinaison entre la physique de fiabilité et la robustesse aux radiations dans les technologies submicroniques.

Conclusions et Perspectives

Ce manuscrit présente un travail de thèse sur les mécanismes de dégradation communément appelés Negative Bias Temperature Instability (NBTI), Hot Carrier Injection (HCI), Time Dependent Dielectric Breakdown (TDDB) et l'Electromigration, ainsi que sur l'évolution de la sensibilité face aux évènements singuliers dans les filières technologiques avancées. Les problèmes de fiabilité et leurs enjeux industriels sont de plus en plus importants surtout dans les secteurs industriels du spatial et de l'aéronautique. Des solutions techniques et technologiques sont attendues pour maîtriser et réduire les effets de ces mécanismes de dégradations dans les circuits.

Le chapitre I a permis de mettre en place les bases essentielles à la compréhension des mécanismes de dégradation à craindre pour les composants très fortement intégrés.

La chapitre II a exposé le travail fait autour de la conception du véhicule de test NANOSPACE en technologie CMOS LP 65 nm. Ensuite, le fonctionnement complet du véhicule de test a été simulé et ses dessins des masques réalisés. Comme l'ont mis en évidence nos comparaisons mesure/simulation, les nombreux éléments parasites d'interconnexion qui entourent le dispositif actif jouent en effet un rôle déterminant. Une modélisation précise de ces éléments apparait donc indispensable. Une modélisation plus fine des interconnexions a fait notamment l'objet de travaux dans ce chapitre. Les mesures présentées permettent de valider notre méthodologie de conception.

Dans le chapitre III les résultats de mesures relatifs aux différents circuits réalisés ont été présentés. Tout d'abord, les conditions de test et notamment la carte de test et le banc de mesure développé ont été décrits. Ensuite, les caractéristiques statiques des structures actives élémentaires ont été mesurées. Puis, grâce à des mesures temporelles et fréquentielles, les formes d'onde des signaux de sortie de l'oscillateur en anneau ont été étudiées. Ensuite les temps caractéristiques des différentes chaines de portes logiques ainsi que ceux de la mémoire SRAM ont été caractérisés. Dans la dernière partie de ce chapitre, avec des mesures I(V) les résistances des structures d'électromigration, ainsi que les courants de fuites des structures dédiées à l'étude des dégradations de types TDDB ont été caractérisées. Ces mesures constituent une référence des caractéristiques de ces structures avant de commencer la phase de stress.

Les dégradations induites par les quatre mécanismes de défaillances (NBTI, HCI, TDDB, electromigration) sur les différentes structures de tests conçues en technologie CMOS 65 nm ont été quantifiées. En effet, cette technologie a été sélectionnée par le CNES pour fabriquer les nouveaux composants utilisés dans les applications spatiales (satellites, lanceurs…). Ainsi les résultats obtenus lors des différents tests réalisés constituèrent une base

pour la compréhension de la sensibilité des circuits intégrés face aux défaillances induites par les différents mécanismes de dégradations décrites précédemment.

Le dernier chapitre présente une première série de résultats originaux par laser qui démontrent l'impact significatif des dégradations induites par le mécanisme du NBTI sur la sensibilité des chaînes de portes NOR, des chaînes d'inverseurs et des bascules D envers les événements singuliers de type SET. Ensuite, à cause de la fragilité des circuits testés, seule la sensibilité aux SET avant vieillissement de la mémoire SRAM conçue a été caractérisée.

Les essais croisés de vieillissement et de robustesse obtenus pourraient avoir d'importantes implications sur la prédiction réaliste des taux des événements singuliers (SEE) pendant toute la durée d'une mission, et peuvent montrer la nécessité d'enquêter sur la combinaison entre la physique de fiabilité et la robustesse aux radiations dans les technologies submicroniques.

A travers ces réalisations, il est clairement apparu que la robustesse évolue à cause des effets induits par les mécanismes de dégradation comme le NBTI. En effet, selon les résultats obtenus, il s'avère que la robustesse augmente après le vieillissement. Cela conduira, au moins pour ces circuits, à redéfinir les marges de fonctionnement pour qu'un circuit âgé résiste à un niveau de contrainte d'environnement spécifié.

Enfin, dans cette perspective d'évaluation de la robustesse, les travaux de recherche nécessitent encore une étude plus approfondie sur les techniques de caractérisation des SET avec des tests par face arrière sur les nouvelles puces récemment disponibles, voire pour d'autre technologies plus agressives (45 nm à 22 nm).

Références bibliographiques

[Aba93] Abadeer, W.; Tonti, W.; Hansch, W.; Schwalke, U.; , "Bias temperature reliability of n/sup +/ and p/sup +/ polysilicon gated NMOSFETs and PMOSFETs," Reliability Physics Symposium, 1993. 31st Annual Proceedings., International , vol., no., pp.147-149, 23-25 March 1993.

[Hua05] V. Huard, M. Denais, F. Perrier, N. Revil, C. Parthasarathy, A. Bravaix, E. Vincent, « A thorough investigation of MOSFETs NBTI degradation, Microelectronics Reliability » Volume 45, Issue 1, January 2005.

[Kuf07] Kufluoglu, H.; Alam, M.A.; , "A Generalized Reaction–Diffusion Model With Explicit $H-H_2$ Dynamics for Negative-Bias Temperature-Instability (NBTI) Degradation," Electron Devices, IEEE Transactions on , vol.54, no.5, pp.1101-1107, May 2007.

[Isl07] Islam, A.E.; Kufluoglu, H.; Varghese, D.; Mahapatra, S.; Alam, M.A.; , "Recent Issues in Negative-Bias Temperature Instability: Initial Degradation, Field Dependence of Interface Trap Generation, Hole Trapping Effects, and Relaxation," Electron Devices, IEEE Transactions on , vol.54, no.9, pp.2143-2154, Sept. 2007.

[Ala07] M.A. Alam, H. Kufluoglu, D. Varghese, S. Mahapatra, A comprehensive model for PMOS NBTI degradation: Recent progress, Microelectronics Reliability, Volume 47, Issue 6, June 2007.

[Jep77] K.O.Jeppson, C.M.Svensson, "Negative bias stress of MOS devices a high electric fields and degradation of NMOS devices" journal of applied physics, Vol48, No.5, pp.2004-2014, mai 1977.

[Arr89] S. Arrhenius, « Über die Reaktionngeschwindigkeit bei des Inversion von Rohrzucker durch Säuren », Zeit. Phys. Chem (1889), 4, 226-248.

[Aon04] Aono, H.; Murakami, E.; Okuyama, K.; Nishida, A.; Minami, M.; Ooji, Y.; Kubota, K.; , "Modeling of NBTI degradation and its impact on electric field dependence of the lifetime," Reliability Physics Symposium Proceedings, 2004. 42nd Annual. 2004 IEEE International , vol., no., pp. 23- 27, 25-29 April 2004.

[Wen08] Wenping Wang; Balakrishnan, V.; Bo Yang; Yu Cao;"Statistical Prediction of NBTI-induced Circuit Aging" Solid-State and Integrated-Circuit Technology, 2008. ICSICT 2008.

[Teo11] Teo, Z.Q.; Boo, A.A.; Ang, D.S.; Leong, K.C.; , "On the cyclic threshold voltage shift of dynamic negative-bias temperature instability," Reliability Physics Symposium (IRPS), 2011 IEEE International , vol., no., pp.XT.10.1-XT.10.5, 10-14 April 2011.

[Nig06] Nigam, T.; Harris, E.B.; "Lifetime Enhancement under High Frequency NBTI measured on Ring Oscillators" Reliability Physics Symposium Proceedings, 2006.

[Fer09] R. Fernández-García, B. Kaczer, G. Groeseneken, A CMOS circuit for evaluating the NBTI over a wide frequency range, Microelectronics Reliability, Volume 49, Issue 8, August 2009.

[Var05] Varghese, D.; Saha, D.; Mahapatra, S.; Ahmed, K.; Nouri, F.; Alam, M.; , "On the dispersive versus arrhenius temperature activation of nbti time evolution in plasma nitrided

gate oxides: measurements, theory, and implications," Electron Devices Meeting, 2005. IEDM Technical Digest. IEEE International , vol., no., pp.684-687, 5-5 Dec. 2005.

[Gra08] Grasser, Tibor; , "Towards Understanding Negative Bias Temperature Instability," Integrated Reliability Workshop Final Report, 2008. IRW 2008. IEEE International , vol., no., pp.1-85, 12-16 Oct. 2008.

[Sat08] Sato, M.; Umezawa, N.; Shimokawa, J.; Arimura, H.; Sugino, S.; Tachibana, A.; Nakamura, M.; Mise, N.; Kamiyama, S.; Morooka, T.; Eimori, T.; Shiraishi, K.; Yamabe, K.; Watanabe, H.; Yamada, K.; Aoyama, T.; Nabatame, T.; Nara, Y.; Ohji, Y.;"Physical Model of the PBTI and TDDB of La Incorporated HfSiON Gate Dielectrics with Pre-existing and Stress-induced Defects" Electron Devices Meeting, 2008. IEDM 2008.

[Par09] Park, C.S.; Yang, J.W.; Hussain, M.M.; Kang, C.Y.; Huang, J.; Sivasubramani, P.; Park, C.; Tateiwa, K.; Harada, Y.; Barnett, J.; Melvin, C.; Bersuker, G.; Kirsch, P.D.; Lee, B.H.; Tseng, H.H.; Jammy, R.;"La-doped metal/High-K nMOSFET for Sub-32nm HP and LSTP Application" VLSI Technology, Systems, and Applications, 2009. VLSI-TSA '09. International Symposium on Digital.

[Rei06] H.Reisinger, O.Blank, W.Heirings,A.Mühlhoff W.Gustin and C.Schlünder "Analysis of NBTI degradation- and recovery-behavior based on ultra fast Vt-Measurements" IEEE, IRPS,2006.

[Rei07] Reisinger, H.; Brunner, U.; Heinrigs, W.; Gustin, W.; Schlunder, C.; , "A Comparison of Fast Methods for Measuring NBTI Degradation," Device and Materials Reliability, IEEE Transactions on , vol.7, no.4, pp.531-539, Dec. 2007.

[Den04] Denais, M.; Parthasarathy, C.; Ribes, G.; Rey-Tauriac, Y.; Revil, N.; Bravaix, A.; Huard, V.; Perrier, F.; , "On-the-fly characterization of NBTI in ultra-thin gate oxide PMOSFET's," Electron Devices Meeting, 2004. IEDM Technical Digest. IEEE International.

[Zhi09] Zhigang Ji; Jian Fu Zhang; Mo Huai Chang; Kaczer, B.; Groeseneken, G.; , "An Analysis of the NBTI-Induced Threshold Voltage Shift Evaluated by Different Techniques," Electron Devices, IEEE Transactions on , vol.56, no.5, pp.1086-1093, May 2009.

[Pli00] Plimmer, S.A.; David, J.P.R.; Ong, D.S.; , "The merits and limitations of local impact ionization theory [APDs] ," Electron Devices, IEEE Transactions on , vol.47, no.5, pp.1080-1088, May 2000.

[Tak82]: E. Takeda, H. Kume, T. Toyabe, S. Asai "Submicrometer MOSFET structure for minimizing hot carrier generation" IEEE Trans. on Electron Devices, 1982.

[Tam05] S. Tam, F.C. Hsu, C. Hu, R.S. Muller, P.K. Ko "Hot-electron currents in very short channel MOSFET''s" IEEE Elec. Device Lett. 2005.

[DiG06] Thierry Di Gilio Thèse "Etude de la fiabilité porteurs chauds et des performances des technologies CMOS 0.13µm – 2 nm" Soutenue le 20 octobre 2006, Université de Provence.

[Tak83] E. Takeda, N. Suzuki "An empirical model for device degradation due to hot-carrier injection" IEEE Elec. Device Lett. vol. EDL-4, no. 4, pp. 111–113, 1983.

[Ber11] N. Berbel, R. Fernández-García, I. Gil, B. Li, A. Boyer, S. BenDhia, Experimental verification of the usefulness of the nth power law MOSFET model under hot carrier wearout, Microelectronics Reliability, Volume 51, Issues 9-11, September-November 2011.

[Ish10] Ishigaki, T.; Tsuchiya, R.; Morita, Y.; Yoshimoto, H.; Sugii, N.; Kimura, S.; , "HCI and NBTI including the effect of back-biasing in thin-BOX FD-SOI CMOSFETs," Reliability Physics Symposium (IRPS), 2010 IEEE International , vol., no., pp.1049-1052, 2-6 May 2010.

[Lin01] Liang, Y.; Zhao, W.; Xu, M.Z.; Tan, C.H.; , "A new charge-pumping measurement technique for lateral profiling of interface states and oxide charges in MOSFETs," Solid-State and Integrated-Circuit Technology, 2001. Proceedings. 6th International Conference on , vol.2, no., pp. 982- 985 vol.2, 22-25 Oct. 2001.

[Her89] Heremans, P.; Witters, J.; Groeseneken, G.; Maes, H.E.; , "Analysis of the charge pumping technique and its application for the evaluation of MOSFET degradation," Electron Devices, IEEE Transactions on, vol.36, no.7, pp.1318-1335, Jul 1989.

[Mah99] Mahapatra, S.; Parikh, C.D.; Vasi, J.; , "A new "multifrequency" charge pumping technique to profile hot-carrier-induced interface-state density in nMOSFET's," Electron Devices, IEEE Transactions on , vol.46, no.5, pp.960-967, May 1999.

[Bru69] Brugler, J.S.; Jespers, P.G.A.; , "Charge pumping in MOS devices," Electron Devices, IEEE Transactions on , vol.16, no.3, pp. 297- 302, Mar 1969.

[Mah99] Mahapatra, S.; Parikh, C.D.; Vasi, J.; , "A new "multifrequency" charge pumping technique to profile hot-carrier-induced interface-state density in nMOSFET's," Electron Devices, IEEE Transactions on , vol.46, no.5, pp.960-967, May 1999.

[Aic07] Aichinger, T.; Nelhiebel, M.; , "Charge pumping revisited - the benefits of an optimized constant base level charge pumping technique for MOS-FET analysis," Integrated Reliability Workshop Final Report, 2007. IRW 2007. IEEE International , vol., no., pp.63-69, 15-18 Oct. 2007.

[Moo11] Moonju Cho; Kaczer, B.; Aoulaiche, M.; Degraeve, R.; Roussel, P.; Franco, J.; Kauerauf, T.; Ragnarsson, L.A.; Hoffmann, T.Y.; Groeseneken, G.; , "Interface Trap Characterization of a 5.8- EOT p-MOSFET Using High-Frequency On-Chip Ring Oscillator Charge Pumping Technique," Electron Devices, IEEE Transactions on , vol.58, no.10, pp.3342-3349, Oct. 2011.

[Amb01] A. Ambatiello, J. Deichler," Low and high temperature device reliability investigations of buried p-channel MOSFETs of a 0,17 µm technology", Microelectronics Reliability 41, pp. 1915-1921, 2001.

[Por07] M. Porti, S. Gerardin, M. Nafrı´a, X. Aymerich, A. Cester, A. Paccagnella, P. Schiavuta, R. Pierobon, Systematic characterization of soft- and hard-breakdown spots using techniques with nanometer resolution, Microelectronic Engineering, Volume 84, Issues 9-10, September-October 2007.

[Sue02] Suehle, J.S. "Ultrathin gate oxide reliability: physical models, statistics, and characterization," Electron Devices, IEEE Transactions on , vol.49, no.6, pp.958-971, Jun 2002.

[Mcp98] McPherson, J.; Reddy, V.; Banerjee, K.; Huy Le; "Comparison of E and 1/E TDDB models for SiO_2 under long-term/low-field test conditions," Electron Devices Meeting, 1998. IEDM '98 Technical Digest., International , vol., no., pp.171-174, 6-9 Dec 1998.

[Rib03] G. Ribes, S. Bruyère, F. Monsieur, D. Roy, V. Huard, New insights into the change of voltage acceleration and temperature activation of oxide breakdown, Microelectronics Reliability, Volume 43, Issue 8, August 2003.

[Pom05] Thomas Pompl, Michael Röhner, Voltage acceleration of time-dependent breakdown of ultra-thin gate dielectrics, Microelectronics Reliability, Volume 45, Issue 12, December 2005.

[Sue97] Suehle, J.S.; Chaparala, P.; , "Low electric field breakdown of thin SiO_2 films under static and dynamic stress," Electron Devices, IEEE Transactions on , vol.44, no.5, pp.801-808, May 1997.

[Yas99] Yassine, A.; Nariman, H.E.; Olasupo, K.; , "Field and temperature dependence of TDDB of ultrathin gate oxide ," Electron Device Letters, IEEE , vol.20, no.8, pp.390-392, Aug 1999.

[Cha10] Chang, M.N.; Ranjan, R.; Lee, Y.-H.; Lee, S.Y.; Wang, C.S.; Shih, J.R.; Chiu, C.C.; Wu, K.; , "A comprehensive breakdown model describing temperature dependent activation energy of low-κ/extreme low-κ dielectric TDDB," Electron Devices Meeting (IEDM), 2010 IEEE International , vol., no., pp.35.2.1-35.2.4, 6-8 Dec. 2010.

[Eri98] Koji Eriguchi and Masaaki Niwa, « Temperature and stress polarity-dependent dielectric breakdown in ultrathin gate oxides », APPLIED PHYSICS LETTERS VOLUME 73, NUMBER 14 pp 1985-1987, 1998.

[Wra10] Wrachien, N.; Cester, A.; Zanoni, E.; Meneghesso, G.; Wu, Y.Q.; Ye, P.D.; , "Degradation of III–V inversion-type enhancement-mode MOSFETs," Reliability Physics Symposium (IRPS), 2010 IEEE International , vol., no., pp.536-542, 2-6 May 2010.

[Jac99] J.C Jackson, Ö Oralkan, D.J Dumin, G.A Brown, Electric breakdowns and breakdown mechanisms in ultra-thin silicon oxides, Microelectronics Reliability, Volume 39, Issue 2, February 1999.

[Wu03] Wu, E.Y.; Sune, J.; , "Successive breakdown events and their relation with soft and hard breakdown modes," Electron Device Letters, IEEE , vol.24, no.11, pp. 692- 694, Nov. 2003.

[Yid99] Yider Wu, Qi Xiang, David Bang, Gerald Lucovsky, and Ming-Ren Lin, « Time Dependent Dielectric Wearout (TDDW) Technique for Reliability of Ultrathin Gate Oxides", IEEE ELECTRON DEVICE LETTERS, VOL. 20, NO. 6, pp. 262-264,JUNE 1999.

[Lin07] M. Lin, K. Chang, K. Su and T. Wang "Effects of width scaling and layout variation on dual damascene copper interconnect electromigration", Microelectronics Reliability, 47(12), 2100-2108.

[Usu04] T. Usui, T. Oki, H. Miyajima, K. Tabuchi, K. Watanabe, T. Hasegawa and H. Shibata, "Identification of electromigration dominant diffusion path for cu damascene

interconnects and effect of plasma treatment and barrier dielectrics on electromigration performance", International Reliability Physics Symposium, IEEE, 2004.

[Bla69] Black, J.R.; , "Electromigration—A brief survey and some recent results," Electron Devices, IEEE Transactions on , vol.16, no.4, pp. 338- 347, Apr 1969.

[Yon10] Young-Joon Park; Jain, P.; Krishnan, S.; , "New electromigration validation: Via Node Vector Method," Reliability Physics Symposium (IRPS), 2010 IEEE International , vol., no., pp.698-704, 2-6 May 2010.

[Hon10] Ng Hong Seng; Hei, E.K.S.; Tan, R.; , "Metal line and via electromigration improvement with wafer level tests," Electronic Manufacturing Technology Symposium (IEMT), 2010 34th IEEE/CPMT International , vol., no., pp.1-4, Nov. 30 2010.

[Sha11] Shaviv, R.; Harm, G.J.; Kumari, S.; Keller, R.R.; Read, D.T.; , "Electromigration of Cu interconnects under AC, pulsed-DC and DC test conditions," Reliability Physics Symposium (IRPS), 2011 IEEE International , vol., no., pp.EM.3.1-EM.3.6, 10-14 April 2011.

[Lly84] Lloyd, J. R.; Knight, J. A.; , "The Relationship Between Electromigration-Induced Short-Circuit and Open-Circuit Failure Times in Multi-Layer VLSI Technologies," Reliability Physics Symposium, 1984. 22nd Annual , vol., no., pp.48-51, April 1984.

[Tow85] J. M. Towner, "Electromigration induced short circuit failure in VLSI metallizations", Proc. Int. Reliability Physics Symp. (IRPS), p.179 , 1985.

[Bro88] E.K. Broadbent and J.M. Towner, “Electromigration-induced short-circuit failure in aluminium underlaid with chemically vapour deposited tungsten”, J. Appl. Phys. Vol. 63, No.6, 1988, p. 1917.

[Bie04] L. Biesemans, K. Schepers, K. Vanstreels, J.D’Haen, W. De Ceuninck and M. D’Olieslaeger, “MTF test system with AC based dynamic joule correction for electromigration tests on interconnects”, Microelectronics Reliability 44, pp. 1849–1854, 2004.

[Sri04] Jayanth Srinivasan, Sarita V. Adve, Pradip Bose, Jude A. Rivers, “The Impact of Technology Scaling on Lifetime Reliability”, Proceedings of the 2004 International Conference on Dependable Systems and Networks (DSN’04) IEEE, 2004.

[Vai04] A.V. Vairagar, S.G. Mhaisalkar, Ahila Krishnamoorthy, “Electromigration behavior of dual-damascene Cu interconnects—Structure, width, and length dependences”, Microelectronics Reliability, 44, pp.747–754, 2004.

[Lin06] Lin, M.H.; Chang, K.P.; Su, K.C.; Wang, T.; , "Effects of Width Scaling, Length Scaling, and Layout Variation on Electromigrationin in Dual Damascene Copper Interconnects," Reliability Physics Symposium Proceedings, 2006. 44th Annual., IEEE International , vol., no., pp.671-672, 26-30 March 2006.

[Ho04] Paul S. Ho, Ki-Don Lee, Sean Yoon, Xia Lu, Ennis T. Ogawa, Effect of low k dielectrics on electromigration reliability for Cu interconnects, Materials Science in Semiconductor Processing, Volume 7, Issue 3, 2004.

[Bie04] L. Biesemans, K. Schepers, K. Vanstreels, J.D'Haen, W. De Ceuninck and M. D'Olieslaeger, "MTF test system with AC based dynamic joule correction for electromigration tests on interconnects", Microelectronics Reliability 44, pp. 1849–1854, 2004.

[Ros68] R. Rosenberg, L. Berenbaum, Resistance monitoring and effects of nonadhesion during electromigration in aluminum films, Appl. Phys. Lett.12 (1968) 201–204.

[Pas83] Pasco, R.W.; Schwarz, J.A.;"The Application of a Dynamic Technique to the Study of Electromigration Kinetics," Reliability Physics Symposium, 1983. 21st Annual , vol., no., pp.10-23, April 1983.

[Tom07] Tomar, A.; Pokharel, R.K.; Nizhnik, O.; Kanaya, H.; Yoshida, K.; , "Design of 1.1 GHz Highly Linear Digitally-Controlled Ring Oscillator with Wide Tuning Range," Radio-Frequency Integration Technology, 2007. RFIT 007. IEEE International Workshop on , vol., no., pp.82-85, 9-11 Dec. 2007.

[Fay04] Fayomi, C.J.B.; Roberts, G.W.; "Design and characterization of low-voltage analog switch without the need for clock boosting," Circuits and Systems, 2004. MWSCAS '04. The 2004 47th Midwest Symposium on , vol.3, no., pp. iii- 315-18 vol.3, 25-28 July 2004.

[Deu03] Deutschmann, B.; Ostermann, T.; , "CMOS output drivers with reduced ground bounce and electromagnetic emission," Solid-State Circuits Conference, 2003. ESSCIRC '03. Proceedings of the 29th European , vol., no., pp.537-540, 16-18 Sept. 2003.

[Bri07] Brito, J.P.M.; Klimach, H.; Bampi, S.; , "A Design Methodology for Matching Improvement in Bandgap References," Quality Electronic Design, 2007. ISQED '07. 8th International Symposium on , vol., no., pp.586-594, 26-28 March 2007.

[Pil07] Pilo, H.; Barwin, C.; Braceras, G.; Browning, C.; Lamphier, S.; Towler, F.; , "An SRAM Design in 65-nm Technology Node Featuring Read and Write-Assist Circuits to Expand Operating Voltage," Solid-State Circuits, IEEE Journal of , vol.42, no.4, pp.813-819, April 2007.

[Zhi07] Zhiyu Liu; Kursun, V "High Read Stability and Low Leakage Cache Memory Cell," Circuits and Systems, 2007. ISCAS 2007. IEEE International Symposium on , vol., no., pp.2774-2777, 27-30 May 2007.

[Red09]. S, Reddy G M, P C, Reddy "Design and Implementation of 8K-bits Low Power SRAM in 180nm Technology" Proceedings of the International MultiConference of Engineers and Computer Scientists 2009 Vol II IMECS 2009 Hong Kong, March 18 - 20, 2009.

[Jed87] JEDEC standard "Standard Test Structures for Reliability Assessment of AlCu Metallizations with Barrier Materials", JEDEC SOLID STATE TECHNOLOGY ASSOCIATION, JULY 2001.

[Jed92] JEDEC standard, "Procedure for Characterizing Time-Dependent Dielectric Breakdown of Ultra-Thin Gate Dielectrics", JEDEC SOLID STATE TECHNOLOGY ASSOCIATION, AUGUST 2003.

[Jed04] JEDEC standard "A Procedure for Measuring P-Channel MOSFET Negative Bias Temperature Instabilities" JEDEC SOLID STATE TECHNOLOGY ASSOCIATION, JESD90, November 2004.

[Hun10] Hung-Chang Sun; Ching-Fang Huang; Yen-Ting Chen; Ting-Yun Wu; Chee Wee Liu; Hsu, Y.-J.; Chen, J.; "Threshold Voltage and Mobility Extraction of NBTI Degradation of Poly-Si Thin-Film Transistors" Electron Devices, IEEE Transactions on , vol.57, no.11, pp.3186 3189, November 2010.

[Arr89] S. Arrhenius, « Über die Reaktionngeschwindigkeit bei des Inversion von Rohrzucker durch Säuren », Zeit. Phys. Chem (1889), 4, 226-248.

[Whi10] Mark White ; " Scaled CMOS Technology Reliability Users Guide" NASA, JPL Publication 09-33 01/10.

[Fer09] Fernandez, R.; Kaczer, B.; Gago, J.; Rodriguez, R.; Nafria, M.; "Experimental characterization of NBTI effect on pMOSFET and CMOS inverter" Electron Devices, 2009. CDE 2009. Spanish Conference on , pp.231-233, 11-13 Feb. 2009.

[Nig06] Nigam, T.; Harris, E.B.; "Lifetime Enhancement under High Frequency NBTI measured on Ring Oscillators" Reliability Physics Symposium Proceedings, 2006. 44th Annual., IEEE International , pp.289-293, 26-30 March 2006.

[Che08] Yi-Lung Cheng; Lee, S.Y.; Chiu, C.C.; Wu, K.;"Back stress model on electromigration lifetime prediction in short length copper interconnects" Reliability Physics Symposium, 2008. IRPS 2008. IEEE International , pp.685-686, April 27 2008.

[Vai04] A.V. Vairagar, S.G. Mhaisalkar, Ahila Krishnamoorthy, Effect of surface treatment on electromigration in sub-micron Cu damascene interconnects, Thin Solid Films, Volumes 462 463, September 2004.

[Bag10] Bagatin, M.; Gerardin, S.; Paccagnella, A.; Faccio, F.;"Impact of NBTI Aging on the Single-Event Upset of SRAM Cells" Nuclear Science, IEEE Transactions on , vol.57, no.6, pp.3245-3250, Dec. 2010.

[Sil07] Silvestri, M.; Gerardin, S.; Paccagnella, A.; Faccio, F.; Gonella, L.; Pantano, D.; Re, V.; Manghisoni, M.; Ratti, L.; Ranieri, A.; , "Channel hot carrier stress on irradiated 130-nm NMOSFETs: Impact of bias conditions during X-ray exposure," Radiation and Its Effects on Components and Systems, 2007. RADECS 2007. 9th European Conference on , vol., no., pp.1-5, 10-14 Sept. 2007.

[Lew96] D. Lewis, "Réalisation d'un banc d'optique d'imagerie thermique et thermoélastique pour composants électroniques en fonctionnement. Application à l'étude de l'effet Peltier généré aux contacts ohmiques de circuits intégrés et à la caractérisation du comportement thermique de diode laser ", Thèse de Doctorat de l'Université Bordeaux 1, N°1519, 1996.

[Pou00] Pouget, V ;"Simulation expérimentale par impulsions laser ultra-courtes des effets des radiations ionisantes sur les circuits intègres". Thèse de Doctorat de l'Université Bordeaux 1, 2000.

[Dar03] Darracq , F;" caracterisation a l'aide d'un laser impulsionnel De la sensibilite des circuits integres aux effets Singuliers. Methodologie de tri preliminaire des Composants sram commerciaux. Thèse de Doctorat de l'Université Bordeaux 1, 2003.

[Hsi81] Hsieh C..M., Murley P.C and O'Brien R.R., "A field-funneling effect on the collection of alpha-particle-generated carriers in silicon devices" , IEEE Electron Device Letters, vol. EDL-2, n°4, p. 103-106, 1981.

[Cav08] Cavrois, V.F.; Pouget, V.; McMorrow, D.; Schwank, J.R.; Fel, N.; Essely, F.; Flores, R.S.; Paillet, P.; Gaillardin, M.; Kobayashi, D.; Melinger, J.S.; Duhamel, O.; Dodd, P.E.; Shaneyfelt, M.R.;"Investigation of the Propagation Induced Pulse Broadening (PIPB) Effect on Single Event Transients in SOI and Bulk Inverter Chains," Nuclear Science, IEEE Transactions on , vol.55, no.6, pp.2842-2853, Dec. 2008.

[Ste11] Sterpone, L.; Battezzati, N.; Kastensmidt, F.L.; Chipana, R.; , "An Analytical Model of the Propagation Induced Pulse Broadening (PIPB) Effects on Single Event Transient in Flash-Based FPGAs," Nuclear Science, IEEE Transactions on , vol.58, no.5, pp.2333-2340, Oct. 2011.

Contributions scientifiques

- <u>Contribution à publication dans une revue :</u>

I. El Moukhtari, V. Pouget, F. Darracq, C. Larue, P. Perdu, D. Lewis "Negative Bias Temperature Instability effect on the Digital Single Event Transient sensitivity in 65nm CMOS technology", TRANSACTIONS ON NUCLEAR SCIENCE **(TNS)**, August 2013.

<u>- Contribution à publication dans une conférence internationale :</u>

I. El Moukhtari, V. Pouget, F. Darracq, C. Larue, P. Perdu, D. Lewis "Negative Bias Temperature Instability effect on the Digital Single Event Transient sensitivity in 65nm CMOS technology", The 21st European Conference on RADIATION AND ITS EFFECTS ON COMPONENTS AND SYSTEMS **(RADECS)**, 24th-28th September 2012, Biarritz, France.

<u>- Communications dans des conférences nationales :</u>

I. El Moukhtari (oral), V. Pouget, P. Perdu, D. Lewis "Effets du vieillissement sur les technologies Deep SubMicron (DSM)", **CNES Workshop,** 11 Décembre 2012, Toulouse, France.

I. El Moukhtari (oral), V. Pouget, P. Perdu, D. Lewis "Design of 65 nm test vehicle for reliability (NBTI, HCI, TDDB, EM)", RADiation effects in FACulties **(RADFAC)**, 24 mars 2011, Bordeaux, France.

I. El Moukhtari (oral), V. Pouget, P. Perdu, D. Lewis "Design of 65 nm test structures for reliability and robustness characterization", **CNES Workshop**, 18th- 19th January 2011, Toulouse, France.

I. El Moukhtari (oral), V. Pouget, P. Perdu, D. Lewis "Elaboration de nouvelles méthodologies d'évaluation de la fiabilité de circuits nanoélectroniques", Journées CNES Jeunes chercheurs **(JC2)**, 18-20 Octobre 2010, Toulouse, France.

RESUMÉ

Ce travail constitue une contribution à l'étude de la synergie entre le vieillissement accéléré et l'évolution de la robustesse aux évènements singuliers pour les technologies MOS avancées.

Ce manuscrit expose le travail fait autour de la Caractérisations des mécanismes de dégradation NBTI, HCI, TDDB et Electromigration sur les structures de tests conçues dans le véhicule de test NANOSPACE en technologie CMOS LP 65 nm. Il décrit aussi l'évaluation de la robustesse face aux évènements singuliers après un vieillissement de type NBTI sur les chaines de portes logiques (inverseurs, NOR, bascules D). Cette dernière partie nous a permis de démontrer que le vieillissement de type NBTI améliore la robustesse face aux SET dans ce cas d'étude.

Mots Clés:

NBTI, Porteurs chauds, TDDB, Électromigration, Effets singuliers, Test par faisceau laser pulsé, CMOS 65 nm basse puissance, robustesse.

ABSTRACT

This work is a contribution to the study of the synergy between accelerated aging and the evolution of robustness to single event effects for advanced MOS technologies.

This manuscript describes the work done around the characterization of degradation mechanisms NBTI, HCI, TDDB and Electromigration on test structures designed in the NANOSPACE test vehicle on CMOS 65 nm Low Power technology. It also describes the evaluation of the robustness to Single Events Effects after NBTI aging on chains of logic gates (inverters, NOR, D flip-flops). This last part allows to show that the NBTI aging improves the robustness to SET in this case study.

Key Word:

NBTI, HCI, TDDB, Electromigration, Single Event Effects (SEE), Pulsed laser testing, CMOS 65 nm Low Power, robustness.