



HAL
open science

Développement d'une méthodologie de caractérisation et de modélisation de l'impact des décharges électrostatiques sur les systèmes électroniques

Nicolas Monnereau

► **To cite this version:**

Nicolas Monnereau. Développement d'une méthodologie de caractérisation et de modélisation de l'impact des décharges électrostatiques sur les systèmes électroniques. Energie électrique. Université Paul Sabatier - Toulouse III, 2011. Français. NNT: . tel-01068707

HAL Id: tel-01068707

<https://theses.hal.science/tel-01068707>

Submitted on 26 Sep 2014

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



Université
de Toulouse

THÈSE

En vue de l'obtention du

DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par :

Université Toulouse 3 Paul Sabatier (UT3 Paul Sabatier)

Présentée et soutenue par :

Nicolas MONNEREAU

le mercredi 7 décembre 2011

Titre :

Développement d'une méthodologie de caractérisation et de modélisation de
l'impact des décharges électrostatiques sur les systèmes électroniques

École doctorale et discipline ou spécialité :

ED GEET : Génie Electrique

Unité de recherche :

LAAS-CNRS

Directeur(s) de Thèse :

Fabrice CAIGNET

Jury :

Rapporteurs:

Dean LEWIS, , James ROUDET

Examineurs:

Jean-Luc LEVANT, Etienne SICARD, Jean-Guy TARTARIN

Membres invités:

Frédéric LAFON, Patrice BESSE

Laboratoire d'Analyse et d'Architecture des Systèmes
du CNRS

**Développement d'une méthodologie de
caractérisation et de modélisation de
l'impact des décharges électrostatiques
sur les systèmes électroniques**

Nicolas MONNEREAU

le 7 décembre 2011

Université de Toulouse

Directeur de thèse :

Dr. F. CAIGNET

Jury

Pr. D. LEWIS, Rapporteur

Pr. J.ROUDET, Rapporteur

Pr. JG. TARTARIN, Examineur

Pr. E. SICARD, Examineur

Dr JL. LEVANT, Examineur

Dr P. BESSE, Invité

Dr F. LAFON, Invité

A mes proches...

Remerciements

Les travaux présentés dans ce mémoire ont été réalisés au sein du groupe « Intégration de Système de Gestion de l'Energie » (ISGE) du Laboratoire d'Analyse et d'Architecture des Systèmes (LAAS) du CNRS de Toulouse, en partenariat avec les entreprises Freescale basé à Toulouse et Valéo basé à Créteil. Ceux-ci ont été financés par l'Agence Nationale de la Recherche (ANR) dans le cadre du programme nationale "Véhicules pour les Transports Terrestres"(VTT), pour le projet "Système Electronique Automobile Robuste aux ESD" (E-SAFE).

À l'issue de cette thèse, je souhaite tout d'abord remercier les directeurs successifs du LAAS, Messieurs Raja CHATILA, Jean-Louis SANCHEZ et Jean ARLAT, pour m'avoir accueilli au sein du Laboratoire. Je tiens aussi, à remercier Madame Marise BAFLEUR, directrice du groupe ISGE, pour m'avoir donné les moyens de mener à bien cette étude.

Je tiens tout particulièrement à exprimer ma reconnaissance à mon directeur de thèse, Monsieur Fabrice CAIGNET, Maître de conférences à l'Université Paul Sabatier, pour avoir su me guider, pendant ces années, avec beaucoup d'attention et de gentillesse. Ses qualités scientifiques et humaines, sa disponibilité et sa patience ont contribué à l'aboutissement de cette thèse. Je tiens également à lui exprimer ma profonde reconnaissance pour le temps qu'il a consacré pour finir ce travail dans de bonnes conditions. Je lui adresse par ces quelques mots, ma plus profonde gratitude.

J'adresse également toute ma reconnaissance à Monsieur David TREMOUILLES, chargé de recherche au CNRS, qui m'a initié aux décharges électrostatiques en tant qu'encadrant de stage de Master 2 et qui a fortement contribué à mes travaux de thèse. Pour le remercier de tous les conseils et l'aide qu'il m'a apporté au cours de ces années, je lui dédie la référence 42 de mon manuscrit.

Je souhaiterais aussi remercier Monsieur Nicolas Nohlier, Professeur de l'Université Paul Sabatier, pour avoir été toujours prêt à discuter avec moi, pour ses conseils, ses compétences et ses grandes qualités humaines qui ont contribué à l'avancement de ce travail. Je le remercie également pour les séances de vols de modélisme et d'ULM que nous avons partagées.

Je tiens également à remercier Messieurs Dean LEWIS et James ROUDET, qui ont accepté la tâche d'être rapporteur de mes travaux de thèse. Je remercie également les membres du jury, Messieurs Jean Guy TARTARIN, Etienne SICARD, Jean Luc LE-

VANT, Patrice BESSE et Frédéric LAFON pour leurs commentaires constructifs et pour avoir apporté un regard neuf sur mes travaux.

Je voudrais aussi remercier tous mes collègues, amis du laboratoire pour leur bonne humeur durant mes trois années de thèse et qui ont réussi (ou pas) à me supporter : Ben, Laurent, Jérôme, Manu, Christophe, Jean Guy, Emilie, Aude, Bertrand, Toufik, Monsieur Adnan, Houssam, Sandra, Mariane, Thomas, Partice, Jean Philippe, Alain, Jean Luc, Patrick, Karine, Claude liste non exhaustive à compléter au besoin.

Enfin, c'est avec une profonde émotion que je remercie mes proches et ma famille pour le soutien et la confiance qu'ils m'ont toujours accordés.

Table des matières

Introduction générale	13
1 Les décharges électrostatiques : état de l'art des moyens de contrôle, du composant aux systèmes	17
1.1 Origine des décharges électrostatiques et leurs impacts	17
1.1.1 Mécanismes de génération de charges électriques	17
1.1.2 Générations des décharges électrostatiques.	19
1.1.3 Impact sur l'électronique	20
1.2 Aspect composant :	22
1.2.1 Zone EPA (Electrostatic discharge Protected Areas)	22
1.2.2 Modèles de décharges et testeurs industriels	23
1.2.2.1 Modèle et testeur HBM (Human Body Model)	23
1.2.2.2 Modèle et testeur MM (Machine Model)	25
1.2.2.3 Modèle et testeur CDM (Charged Device Model)	26
1.2.2.4 Modèle non standardisé CBM (Charged Board Model)	27
1.2.3 Protections intégrées dans les circuits	28
1.2.3.1 Principe de fonctionnement d'une structure de protection	28
1.2.3.2 Les structures de protection typiques :	30
1.2.3.3 Réseaux de protections ESD d'un circuit	35
1.2.3.4 Les outils de caractérisation et d'optimisation des protections	38
1.3 Aspect système :	41
1.3.1 Modèles de décharge et testeurs industriels	43
1.3.1.1 Modèle standard IEC 61000-4-2	43
1.3.1.2 Modèle standard ISO 10605	46
1.3.1.3 Modèle CDE (Cable Discharge Event)	47
1.3.1.4 Modèle HMM (Human Metal Model)	48
1.3.2 Les protections externes	50
1.3.3 Les problématiques des ESD au niveau système et les besoins industriels	51
1.4 Conclusion	53

2	Méthodologie de modélisation d'un système soumis à des décharges électro-	
	statiques	55
2.1	Introduction	55
2.2	Principe de modélisation	55
2.3	Modélisation du circuit	57
2.3.1	Informations disponibles pour la modélisation du circuit :	57
2.3.2	Description des modèles IBIS	58
2.3.2.1	Principe des modèles IBIS	58
2.3.2.2	Lacunes pour les simulations ESD	60
2.3.3	Modélisation des protections ESD	61
2.3.3.1	Extraction d'informations à partir de mesures	62
2.3.3.2	Modélisation des protections basée sur le fonctionnement empirique	64
2.3.3.3	Modélisation des protections basée sur le comportement	70
2.3.3.4	Vérification des modèles :	76
2.3.3.5	Comparaison des modèles	77
2.3.4	Modélisation de la fonctionnalité à partir des modèles IBIS	78
2.3.4.1	Modélisation de l'étage d'entrée	78
2.3.4.2	Modélisation de l'étage d'une sortie deux états	79
2.3.4.3	Modélisation de la fonction	82
2.3.5	Validation de la partie fonctionnelle	83
2.3.5.1	Commutation de la sortie :	83
2.3.5.2	Simulation d'un évènement rapide sur l'entrée :	84
2.3.5.3	Simulation de l'intégrité du signal :	85
2.3.5.4	Simulation d'un oscillateur astable :	86
2.4	Modélisation du circuit imprimé	87
2.4.1	Modélisation de la ligne microruban	87
2.4.1.1	Ligne microruban simple :	87
2.4.1.2	Modélisation de lignes couplées	90
2.4.2	Assemblage pour la modélisation complète du PCB	92
2.4.3	Modélisation des éléments passifs	92
2.5	Modélisation de l'environnement de test	94
2.5.1	Connectique entre le système et les appareils de mesure	94
2.5.2	Modélisation des générateurs ESD	94
2.5.2.1	Pistolet ESD	94
2.5.2.2	Générateur TLP	96
2.6	Modélisation du système complet	98

2.7	Précautions et difficultés à prendre en compte dans le montage de la simulation	100
2.7.1	Réglage du pas de calcul	100
2.7.2	Initialisation DC	101
2.7.3	Masse de référence	102
2.8	Conclusion	102
3	Techniques de mesure et d'injection	105
3.1	Introduction	105
3.2	Techniques de mesure	105
3.2.1	Réfectrométrie (TDR : Time Domain Reflectometry)	105
3.2.1.1	Théorie :	105
3.2.1.2	Application de la méthode TDR aux évènements ESD :	109
3.2.2	Mesure du courant par diaphonie entre deux pistes proches	112
3.2.2.1	Théorie	112
3.2.2.2	Motif du système de mesure	114
3.2.2.3	Détermination du courant.	115
3.2.2.4	Expérimentation des méthodes de reconstitution du courant :	117
3.2.3	Mesure du courant avec des sondes de champ proche.	120
3.2.3.1	Condition de champ proche et de champ lointain	120
3.2.3.2	Construction et fonctionnement de la sonde de champ magnétique	122
3.2.3.3	Expérimentation avec la sonde de champ	124
3.2.4	Mesure de courant par la méthode de 1Ω	125
3.2.5	Comparaison des méthodes 1Ω et champ proche	128
3.2.6	Cartographie de la répartition du courant dans un circuit imprimé	129
3.2.6.1	Développement du banc de mesure de scan en champ proche :	130
3.2.6.2	Expérimentation : cartographie du champ magnétique	131
3.2.6.3	Détermination de la répartition du courant dans le PCB	135
3.3	Techniques d'injections	136
3.3.1	Introduction	136
3.3.2	Injection en mode conduit et rayonné :	137
3.3.2.1	Méthode d'injection directe (DPI : Direct Power Injection) :	137
3.3.2.2	Méthode d'injection rayonnée.	138
3.3.3	Conception d'un banc d'injection TLP double impulsion :	138
3.3.3.1	Réalisation du banc TLP2P :	139
3.3.3.2	Ajustement des délais :	139

3.3.3.3	Ajustement de l'amplitude des courants :	139
3.3.3.4	Analyse du fonctionnement du banc :	141
3.3.3.5	Expérimentation du banc d'injection :	143
3.3.3.6	Utilisation du banc :	143
3.4	Motif d'injection et de mesure universels :	146
3.5	Conclusion	147
4	Validation des méthodologies de modélisation et de caractérisation	149
4.1	Introduction	149
4.2	Étude de la propagation d'une ESD sur une carte non alimentée	150
4.2.1	Présentation du cas d'étude	150
4.2.1.1	Description rapide du circuit	150
4.2.1.2	Configurations de test	150
4.2.2	Analyse des résultats de simulation et de mesure	151
4.2.2.1	Modélisation du circuit	151
4.2.2.2	Configuration de test n°1	152
4.2.2.3	Configuration de test n°2	163
4.2.2.4	Conclusion de la configuration	169
4.3	Étude de la susceptibilité d'une carte en fonctionnement	169
4.3.1	Présentation du cas d'étude	169
4.3.1.1	Description du circuit	169
4.3.1.2	Configuration de test	170
4.3.2	Analyse des résultats de simulation et de mesure	173
4.3.2.1	Reproduction des défaillances	173
4.3.2.2	Investigation de la probabilité de générer des erreurs	178
4.3.3	Conclusion du cas d'étude n°2	183
4.4	Cas d'étude n°3 : Étude d'une application automobile	184
4.4.1	Introduction :	184
4.4.2	Présentation du cas d'étude	184
4.4.2.1	Description du circuit LIN	184
4.4.3	Analyse des résultats de simulation et de mesure	188
4.4.3.1	Injection TLP 50 Ω	189
4.4.3.2	Étude du système soumis à un générateur non 50 Ω (pistolet ESD)	193
4.4.4	Conclusion du cas d'étude	197
4.5	Conclusion	198
	Conclusion générale	199

Bibliographie	203
Liste des publications	217
Annexes	219

Introduction générale

Les décharges électrostatiques, ou en anglais “ElectroStatic Discharges” (ESD), sont des phénomènes naturels et inévitables. Que ce soit durant leurs étapes de fabrication, ou pendant leurs utilisations, tout produit électronique va subir inexorablement ces agressions pouvant induire des défaillances fonctionnelles et/ou des défaillances destructives.

Durant les phases de fabrication et d’assemblage, les décharges peuvent détruire les circuits intégrés. Afin de préserver la puce, de nombreuses précautions sont prises en compte pour limiter les décharges et leurs effets. L’impact du phénomène peut être atténué en contrôlant la génération des charges électriques dans les zones où évolue le circuit (zone de fabrication, zone de test). De plus, des protections sont intégrées directement sur la puce dans le but de protéger la partie active en détectant et détournant les ESD. Enfin, les circuits sont testés suivant différents standards qui seront détaillés [1, 2, 3] pour vérifier leur robustesse et garantir que ceux-ci peuvent “survivre” à leurs fabrications.

Les produits électroniques ou systèmes, comme par exemple un module embarqué dans une automobile, ne sont pas confrontés à la même problématique que les circuits intégrés seuls. Il est important de voir que, contrairement aux circuits, les systèmes n’évoluent plus dans un milieu contrôlé. Les décharges sont plus rudes. Les composants embarqués doivent donc supporter des niveaux de stress plus importants pour ne pas être détruits. Dans le cas où les protections intégrées sur les puces ne sont pas suffisantes pour assurer la robustesse, le concepteur du système doit le prévoir et trouver des méthodes pour réduire l’amplitude de la décharge sur la carte électronique.

D’un autre côté, lorsque le système est en fonctionnement, des défaillances de type fonctionnelles peuvent survenir impliquant par exemple des problèmes de “Reset” du système [4, 5]. Ceci est particulièrement critique pour les applications où la sécurité de l’utilisateur est primordiale comme dans le domaine de l’automobile. Pour vérifier l’immunité des systèmes vis à vis des ESD, des tests sont aujourd’hui effectués dans l’industrie suivant les standards IEC 61000-4-2 [6] et ISO 10605 [7] pour l’automobile.

La problématique au niveau du système est qu’il n’existe que très peu d’outil, très peu de méthode, permettant d’analyser ou de prédire le comportement du système lorsqu’une défaillance du produit est révélée par les tests standards. Les concepteurs du système remanient le produit jusqu’à ce que celui-ci remplisse les exigences du standard, sans avoir suffisamment de méthodes d’investigation pour comprendre ce qui se passe durant

la décharge. Ceci peut conduire à de nombreuses itérations avant de trouver une solution qui n'est pas forcément la plus efficace et la plus économique.

Pour répondre à cette problématique, les travaux de ma thèse sont orientés sur le développement de méthodes de modélisation et de caractérisation permettant d'analyser un système et de comprendre les modes de propagation et de défaillance lorsque survient une décharge électrostatique. Le système électronique considéré dans ce document se limitera à la carte électronique ou PCB (Printed Circuit Board) intégrant les composants actifs et passifs.

En ce qui concerne la modélisation, nous avons développé une méthodologie comportementale hiérarchique. Cette méthode est destinée à analyser la propagation du courant de décharge dans un système, depuis un générateur ESD, jusqu'aux phénomènes internes pouvant induire des défaillances à l'intérieur du circuit. En parallèle, nous avons développé des méthodes de caractérisation qui permettent d'une part, de visualiser les courants et tensions circulant dans le système, mais aussi de réaliser des corrélations avec les simulations de nos modèles. Toutes ces méthodes ont été validées au fur et à mesure de leur développement sur différents cas d'étude. Nous avons choisi de séparer et présenter l'état de l'art, la modélisation, les techniques de caractérisations et les cas d'études selon le plan suivant :

Le chapitre 1 fait une synthèse de l'état de l'art des décharges électrostatiques et des moyens de contrôles utilisés pour s'en prémunir. Dans un premier temps, les mécanismes de génération de charges électriques qui conduisent aux phénomènes des décharges électrostatiques et leurs impacts sur l'électronique sont détaillés de manière générale. Ensuite, nous avons voulu mettre en évidence les différences entre « l'aspect ESD composant » et « l'aspect ESD système » afin de mieux cerner la problématique actuelle des ESD. Ainsi, pour chacun de ces aspects, nous présenterons les différents modèles industriels, les tests associés et les protections servant à supprimer ou minimiser les effets des décharges. Enfin, nous aborderons la problématique et les besoins industriels concernant le niveau système.

Le deuxième chapitre décrit une méthodologie de modélisation comportementale destinée à l'analyse de la propagation de la décharge dans le système (sur la carte électronique et dans le circuit intégré), et à la prédiction de son impact. Après avoir énoncé le principe de cette méthodologie, nous présenterons la modélisation des puces. Nous verrons que les informations fournies par le fabricant de semi-conducteur sont très insuffisantes d'un point de vue ESD. Nous avons choisi de modéliser le circuit sur la base d'un modèle existant appelé IBIS (Input/output Buffer Information Specification), développé à l'origine pour effectuer des simulations d'intégrité du signal. Nous présenterons les différentes investiga-

tions réalisées auprès de ce modèle que nous avons adapté à la prédiction des phénomènes ESD. Dans la suite du chapitre, nous détaillerons comment nous avons modélisé le circuit imprimé, notamment les lignes PCB. Pour cela, nous avons repris les travaux de la thèse de Nicolas Lacrampe [8]. Nous détaillerons aussi la modélisation de l’environnement de test, à savoir, les générateurs de décharges et les câbles. Enfin, nous expliquerons comment tous ces modèles sont assemblés pour former le système complet.

Le troisième chapitre se concentre sur la présentation des différentes techniques développées au cours de la thèse permettant l’injection des ESD et la mesure des signaux se propageant dans le système. Dans un premier temps, nous présenterons les différentes techniques de mesure du courant et/ou de tension basées sur la réflectométrie temporelle. D’autres méthodes de mesures ont été développées, comme l’utilisation de pistes PCB couplées, de sondes de champs proche et d’une méthode appelée “ 1Ω ”. Nous développerons particulièrement une technique de cartographie par les champs proches permettant d’obtenir la répartition des champs magnétiques et du courant dans un système. La deuxième partie du chapitre est consacrée à la description des techniques d’injection directes utilisant des générateurs d’impulsion, basés sur des lignes de transmission, ainsi qu’à l’injection indirecte pour effectuer le test de systèmes alimentés en fonctionnement. Enfin, nous présenterons un motif universel reprenant les différentes méthodes proposées dans le chapitre et permettant la réalisation d’une carte de test dédiée à la caractérisation ESD d’un circuit monté dans un système.

Dans le quatrième chapitre, afin de valider les techniques de caractérisations et la méthode de modélisation développées au cours de la thèse, nous avons étudié trois cas d’étude. Nous présenterons dans un premier temps un cas d’étude réalisé pour analyser la propagation du courant dans un système non alimenté. Ensuite, nous avons réalisé une deuxième étude permettant, cette fois-ci, d’étudier la susceptibilité d’un système en fonctionnement. Dans le cadre de la collaboration avec les industriels Freescale et Valéo (Projet ANR VTT E-SAFE : ESD safe automotive Electronic products), nous avons étudié un cas d’étude réel basé autour d’un circuit intégré LIN (Local Interconnect Network) dont les contraintes CEM (Compatibilité ElectroMagnétique) imposent l’ajout d’une capacité sur une des broches directement connectée à l’extérieur.

L’objectif final de la thèse est de prouver que des simulations uniquement comportementales suffisent pour comprendre ce qui se passe dans le système durant une décharge ESD, mais aussi permettent de prédire les défaillances de type robustesse et susceptibilité, au niveau du système.

1 Les décharges électrostatiques : état de l'art des moyens de contrôle, du composant aux systèmes

Ce chapitre a pour but d'introduire, les notions élémentaires des décharges électrostatiques (ESD : ElectroStatic Discharge), leurs effets dans le domaine de l'électronique et de la microélectronique, et les moyens de lutte et de test utilisés pour s'en prémunir. Dans la première partie, nous allons mettre en avant l'origine de la génération de charges électriques qui conduit aux phénomènes de décharges électrostatiques. Nous verrons comment ces phénomènes parasites engendrent des défaillances sur les systèmes électroniques qui vont de la perturbation du fonctionnement d'une carte à la destruction d'un circuit intégré. Dans la deuxième partie de ce chapitre, nous allons décrire les événements ESD qui peuvent survenir au sein des environnements de fabrication ainsi que les tests associés (appliqués directement sur les circuits intégrés). Nous présenterons les protections ESD ajoutées pour préserver le circuit et les différents moyens de caractérisation mis en œuvre. Enfin, dans la troisième partie, nous parlerons des tests permettant de reproduire les perturbations qui surviennent sur le produit final, dans les conditions réelles de fonctionnement. Nous verrons que certains de ces tests, et notamment l'IEC 61000-4-2 sur lequel se focalise ce sujet de thèse, souffrent de nombreuses lacunes et nous définirons les besoins industriels.

1.1 Origine des décharges électrostatiques et leurs impacts

1.1.1 Mécanismes de génération de charges électriques

Avant de parler de décharges électrostatiques, il est intéressant de définir les notions de charge et le phénomène de charge électrique. L'apparition d'une charge électrique sur un corps peut être expliquée en regardant la structure atomique de la matière. Les atomes sont constitués de particules : les neutrons et protons formant le noyau et les électrons gravitant autour de ce noyau. Certaines de ces particules portent une charge

élémentaire $\pm e$ ayant les propriétés de s'attirer dans le cas de charge e de signe contraire ou de se repousser dans le cas de charge e de même signe. Les protons portent une charge élémentaire positive tandis que les électrons portent une charge élémentaire négative. A l'état de repos, l'atome contient autant de protons que d'électrons, les charges positives sont compensées par les charges négatives, l'atome est dit électriquement neutre. Cette neutralité peut être rompue lorsque l'atome gagne ou perd un ou plusieurs électrons. Les atomes, dont le nombre d'électrons n'est plus égal à celui des protons, sont appelés "ions" positifs ou négatifs, suivant qu'ils aient perdus ou gagnés des électrons. Un corps possède une charge électrique lorsque les atomes le constituant ne sont plus en équilibre. Le corps est dit "électrisé" ou "chargé".

Il existe de nombreux phénomènes à l'origine de la génération de ces charges. Les phénomènes les plus répandus dans le monde de la microélectronique étant la génération de charge par triboélectrification, induction et conduction [9].

L'électrisation par triboélectrification correspond à la création de charges par contact puis séparation de deux objets de nature différente. Lorsque les deux objets sont frottés puis séparés, des électrons sont transférés de l'un des matériaux au détriment de l'autre. Ainsi, le matériau ayant perdu des électrons devient électropositif, tandis que l'autre devient électronégatif. La quantité de charges ainsi générée dépend de nombreux facteurs tels que la surface de contact, la vitesse de séparation et l'humidité relative [10]. D'autre part, la polarité des charges électriques générées dépend de la caractéristique des matériaux frottés. Par exemple, la peau d'un être humain a tendance à générer une charge positive tandis que le Téflon ou le silicium ont une tendance négative [11]. Un exemple couramment utilisé pour décrire le phénomène est l'humain qui marche sur une moquette. Lorsque ses chaussures frottent la moquette et se séparent de celle-ci pendant la marche, l'humain peut accumuler une charge allant de 1,5 à 35 kV suivant l'humidité relative de l'air [12].

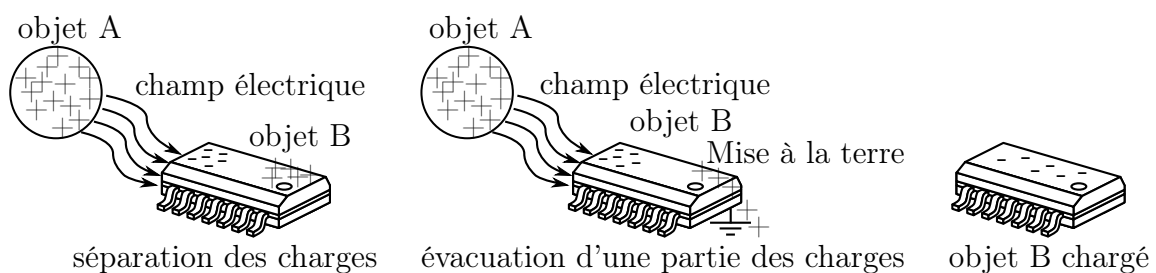


FIGURE 1.1: Illustration de la charge d'un circuit intégré par induction.

La charge par induction, ou influence, a lieu lorsqu'un objet est placé dans le champ électrique d'un autre objet [13] comme illustré par la Figure 1.1. Le champ électrique de l'objet A, électropositif, sépare les charges positives et négatives de l'objet B. Si l'objet

B est momentanément mis à la terre, une partie des charges va être évacuée. Lorsque l'objet n'est plus sous l'influence du champ électrique, il reste chargé. Ce phénomène peut avoir lieu sur les postes de travail près des transformateurs et des écrans cathodiques d'ordinateur.

Enfin, le phénomène de conduction correspond à un transfert de charges par contact [9]. Ce genre de phénomène peut avoir lieu sur une chaîne de production où les composants circulent sur des rails de guidage. Un composant peut accumuler des charges par triboélectrification en glissant sur ces rails. Le composant chargé rentre en contact avec un autre composant et lui transfère une partie de ces charges comme illustré sur la Figure 1.2.

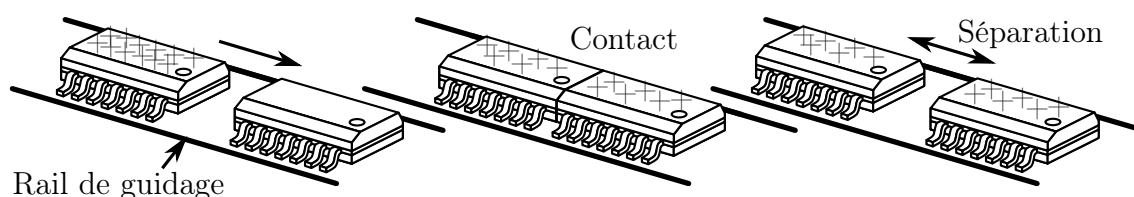


FIGURE 1.2: Illustration de la charge d'un circuit intégré par conduction adaptée de [9].

La répartition des charges à l'intérieur d'un même corps dépend de la nature des matériaux. Un matériau isolant aura tendance à conserver les charges localement où elles ont été générées. Par contre, pour les conducteurs, de part leur résistance plus faible, les charges vont être réparties sur toute la surface et pourront être évacuées facilement si ce dernier entre en contact avec la terre.

1.1.2 Générations des décharges électrostatiques.

Lorsque deux objets ou personnes ayant acquis une quantité extrême de charge électrique entrent en contact, un transfert de charge a lieu entre ces deux objets pour que ceux-ci retrouvent leur neutralité électrique. C'est la décharge électrostatique. Lorsque la différence de potentiel électrique entre les deux objets atteint le potentiel disruptif de l'air, qui est d'environ 3600 V/mm pour un air sec, un arc se forme dans l'air. Cet arc correspond à l'ionisation des molécules dans l'air permettant le passage des électrons d'un objet à l'autre. Le chemin est très peu résistif, ainsi le courant est très intense pouvant atteindre plusieurs ampères, voir quelques dizaines d'ampères, et la durée du transfert des charges est extrêmement courte, inférieure à la microseconde.

Si l'on reprend l'exemple de l'humain qui marche sur la moquette, lorsque celui-ci va saisir la poignée d'une porte, une décharge va avoir lieu permettant l'évacuation des charges accumulées par le corps dans la poignée métallique. L'être humain commence à ressentir les décharges lorsque sa tension de charge est d'environ 3, 4 kV. Il faut savoir qu'en

dessous de ce seuil de perception, un humain génère un grand nombre de décharges sans forcément les ressentir. A partir de 15 kV, les décharges commencent à être douloureuses.

Les décharges électrostatiques émettent des perturbations électromagnétiques [14, 15]. La mesure du rayonnement provoqué par la décharge d'une personne réelle dans un plan métallique a été étudiée par Jiusheng [16]. L'onde électromagnétique captée par une antenne située à proximité est très forte même pour des petites tensions de charge du corps humain (2 kV dans l'expérience de Jiusheng). A quelques centimètres, le champ électrique crête à crête atteint 100 à 1000 V/m et le champ magnétique 10 à 100 A/m. Le spectre du champ électrique est très large, au delà de 4 GHz.

1.1.3 Impact sur l'électronique

Les événements ESD surviennent des procédés de fabrication d'un wafer jusqu'à l'utilisation du composant dans les équipements électroniques, et ce, tout au long de la durée de vie du produit. Les circuits intégrés sont très vulnérables à ces décharges. Durant leurs manipulations, la décharge engendrée par un humain ou une machine dans un circuit met en jeu de fortes densités de courant et des champs électriques très intenses pouvant induire des défaillances. Les densités de courant associées aux ESD sont dissipées directement par la puce en silicium. Cette dissipation de puissance s'effectue dans de faibles volumes et a pour conséquence une augmentation de la température pouvant entraîner des dommages thermiques. Ceux-ci peuvent se traduire par la fusion du silicium entraînant la dégradation de jonction comme illustrée 1.3a. Les champs électriques intenses, générés par les ESD, induisent des fortes tensions aux bornes des circuits. Dans le cas des technologies MOS (Metal Oxyde Semiconductor) cette forte tension peut apparaître aux bornes d'un diélectrique tel que l'oxyde de grille d'un transistor MOS. Un dépassement de la tension de claquage de l'oxyde entraîne sa rupture et crée une défaillance irréversible. Le claquage d'un oxyde de grille liée à une ESD est illustrée Figure 1.3b. Typiquement, les oxydes de grille peuvent supporter des champs électriques de 6 à 10 MV/cm avant qu'ils ne cassent [11]. Ces types de dégradation ne sont pas les seules observables, mais ce sont les plus répandues.

Avec l'évolution des technologies de la micro-électronique, la taille des transistors diminue vers les échelles nanométriques ceci, afin d'augmenter la densité d'intégration ainsi que les performances. Les nouveaux procédés de fabrication tels que les oxydes de grille ultra minces, les jonctions peu profondes, les drains fortement dopés, l'utilisation de nouveaux matériaux pour les interconnexions (cuivre au lieu de l'aluminium) rendent les circuits plus sensibles [17]. L'énergie d'une décharge se trouve dissipée dans des volumes de plus en plus réduits. La finesse des oxydes de grille implique une tension de claquage moins importante. Les interconnexions sont plus fines, la dissipation d'énergie est moins efficace. Les défaillances des circuits surviennent donc pour des niveaux de tension de charge de

plus en plus faibles.

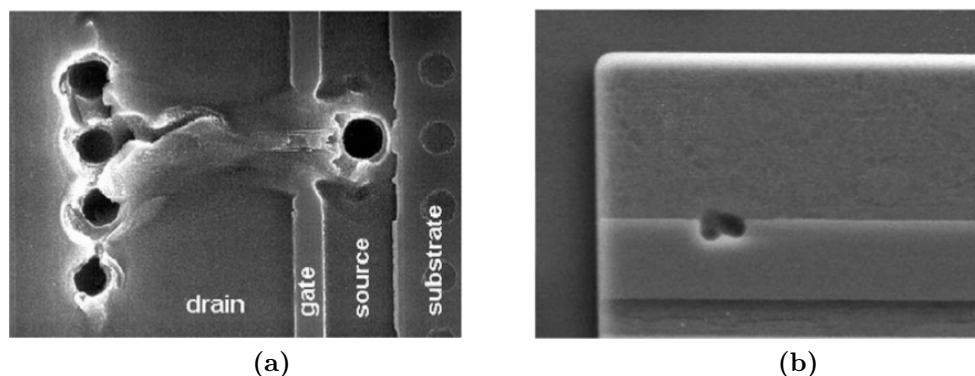


FIGURE 1.3: Exemple de défaillances liées à un stress ESD : (a) destruction thermique par fusion du silicium [18] et (b) rupture d'un isolant, ici l'oxyde de grille [18].

D'un point de vue ESD, lorsque nous parlons de robustesse des composants, nous faisons référence uniquement aux problèmes de destruction du circuit intégré engendrés par une décharge tel que nous venons de le décrire.

Après sa fabrication, le circuit intégré est soudé sur une carte électronique formant l'équipement électronique. Même si cet équipement est mis dans un boîtier, il n'est pas à l'abri des ESD. Une décharge peut survenir, durant l'utilisation ou la maintenance, directement ou par couplage sur un des connecteurs ou câbles reliant l'application au monde extérieur. Le produit électronique étant en fonctionnement, deux types de défaillances peuvent survenir :

- la robustesse : défaillance qui correspond à la perte irréversible de la fonction par destruction
- la susceptibilité : défaillance qui correspond à la perte de fonctionnalité temporaire.

En terme de robustesse, les effets sont les mêmes que cités au début de cette section, les deux principaux mécanismes de destruction étant le claquage thermique et d'oxyde [19].

Pour la susceptibilité, la décharge peut perturber le fonctionnement du système : pertes de cycle d'horloge dans les communications, RESET, modification de données stockées dans des mémoires... Le RESET d'un composant électronique peut être très critique car il place le système dans un état indéterminé [5, 4]. Lorsqu'il s'agit d'un téléphone, cela n'est pas trop grave, il redémarre. Par contre, cela peut avoir de lourdes conséquences dans les applications où la sécurité de l'utilisateur est mise en jeu comme dans l'automobile. Une publication faite par Jean Rivenc [20], illustre le cas du déclenchement intempestif d'un airbag de voiture à cause d'une ESD. Un pull-over chargé est posé sur le tableau de bord de la voiture et charge par induction l'airbag qui se déclenche. Cela a entraîné le rappel de million de véhicules en Europe dans les années 1997-1998.

Comme nous pouvons le constater, ils existent deux domaines distincts dans le monde des ESD. D'une part, "l'aspect composant", s'intéressant essentiellement à la robustesse des circuits durant les phases de fabrication et d'assemblage. De l'autre, "l'aspect système", s'intéressant aussi bien à la robustesse et à la susceptibilité des systèmes électroniques vis à vis des ESD durant leur utilisation. L'aspect composant a été largement étudié, et aujourd'hui, il est relativement bien maîtrisé, même si les évolutions technologiques forcent les concepteurs de circuit à d'énormes précautions et investigations. Comme nous le verrons dans le chapitre qui suit, des normes définissent clairement les tensions que doivent supporter les composants. Cependant, les réductions technologiques poussent à réduire les marges de tensions supportées par les composants. D'un autre côté, l'explosion des nouvelles technologies expose de plus en plus de circuits à l'environnement extérieur, plus sévère. Par conséquent, l'aspect système est une problématique récente dans le sens où, les équipementiers doivent garantir la fiabilité de leurs systèmes qui utilisent des circuits de plus en plus sensibles.

Afin d'amener le lecteur de cette thèse à la problématique que rencontre le concepteur du système vis à vis des décharges, nous avons choisi de séparer et de décrire ces deux aspects, composant et système, dans deux sections distinctes. Pour chaque aspect, nous présenterons les différentes normes et standards applicables ainsi que les moyens et méthodes de prévention existantes.

1.2 Aspect composant :

1.2.1 Zone EPA (Electrostatic discharge Protected Areas)

Afin de limiter les niveaux de décharge qui vont survenir lors de la fabrication et de l'assemblage, les composants vont évoluer dans une zone protégée appelée EPA (ESD Protected Areas). Cette zone a pour objectif de limiter la charge électrique du personnel et des machines en appliquant les précautions de base, telles que le port de bracelets antistatiques, la mise à la terre des équipements et l'utilisation d'emballages aux propriétés anti-ESD [21].

D'autres techniques avancées sont utilisées dans les laboratoires, les zones de tests et les zones de fabrication des wafers, comme que le contrôle de l'humidité et l'ionisation de l'air [9]. Ces zones "avancées" sont en conformité avec les standards ANSI S20.20 [22] et IEC 61340 [23] qui définissent les types de revêtement du sol ainsi que les chaussures portées par le personnel. L'objectif est d'optimiser la résistance du personnel par rapport à la terre, d'un point de vue électrostatique, afin d'en limiter la charge. Des méthodes de contrôle sont détaillées par cette norme [24]. L'objectif du standard est d'atteindre une tension de charge du corps humain (HBM) inférieur à 100 V [21]. Compte tenu de

l'avancement technologique et de l'augmentation de la sensibilité des composants, de plus en plus d'industriels s'orientent vers ses techniques dites "avancées".

Bien que de nombreuses précautions soient prises en compte, les décharges ne sont pas annulées, mais limitées. C'est pour cela que les circuits intègrent des structures visant à protéger le cœur du circuit face aux événements ESD qui pourraient survenir dans la zone EPA. Des modèles et des testeurs ont été développés afin de vérifier la robustesse de ces structures communément appelées "protections ESD". La section suivante détaille les différents modèles de décharges existant ainsi que leurs testeurs associés. Puis la section 1.2.3 décrit les protections ESD typiquement utilisées dans les circuits et leur organisation dans ce dernier.

1.2.2 Modèles de décharges et testeurs industriels

Afin de reproduire les différents événements ESD qui pourraient survenir durant les phases de fabrication et d'assemblage dans la zone EPA, des modèles de décharges ont été développés par différents comités de standardisation. Pour chacun de ces modèles, un testeur est associé, reproduisant l'évènement ESD et permettant d'évaluer la robustesse des circuits. Le but de ces tests est de vérifier que les protections ESD, qui ont été ajoutées dans les circuits, sont suffisamment efficaces pour que le composant survive et ne soit pas détruit durant sa fabrication. Cette section détaille les trois modèles standards qui sont : le HBM (en anglais : Human Body Model), le MM (Machine Model) et le CDM (Charged Device Model), et les testeurs associés. Elle décrit aussi le modèle CBM (Charged Board Model) non standardisé mais qui décrit toutefois un événement ESD qui peut survenir en zone EPA.

1.2.2.1 Modèle et testeur HBM (Human Body Model)

Comme nous avons vu dans la sous-section 1.1.1, le corps humain peut se charger par triboélectrification. Lorsque l'humain chargé va toucher le composant semi-conducteur, une décharge va survenir entre ses doigts et les broches du circuit. Le modèle standard HBM [25, 1, 26] est destiné à simuler cet événement. D'un point de vue électrostatique et en première approximation, le corps humain peut être assimilé à une capacité C , de 100 pF, et une résistance R , de 1500Ω comme illustré Figure 1.4 (a). Le schéma électrique du testeur permettant de reproduire ce modèle est donné Figure 1.4 (b). Autour des éléments modélisant le corps humain, des éléments parasites C_t et C_s sont ajoutés pour reproduire une forme de décharge réelle. C_t est la capacité parasite associée au testeur et L_s permet de régler le temps de montée. La valeur de ces éléments ainsi que la procédure de test sont détaillées dans les standards [25, 1, 26].

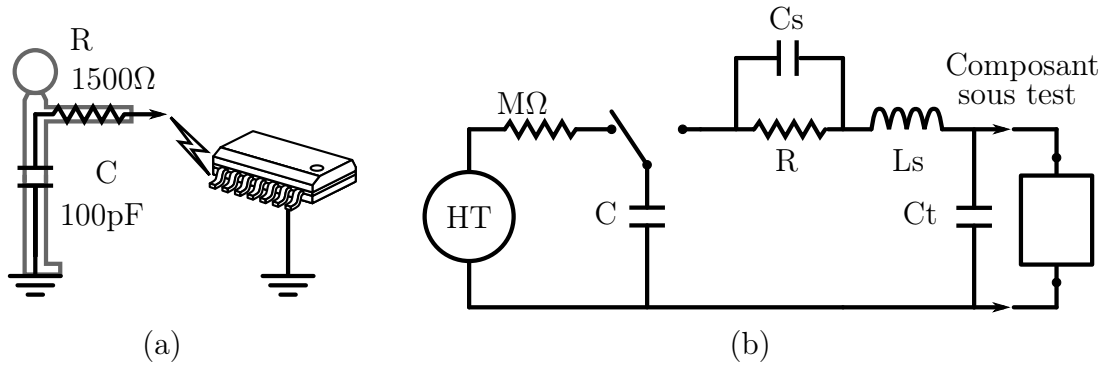


FIGURE 1.4: Modèle du corps humain (HBM) (a) et schéma électrique d'un testeur HBM (b).

Lors des tests, la capacité C , initialement chargée à quelques kilovolts, est déchargée au travers de la résistance R dans le composant sous test à la fermeture du relais. La forme d'onde du courant résultant, obtenue dans un court-circuit, est donnée Figure 1.5. Elle est caractérisée par un temps de montée entre 2 et 10 ns et une durée de 450 ns. L'intensité de la décharge dépend de la tension de charge de la capacité C , 2 kV dans notre cas.

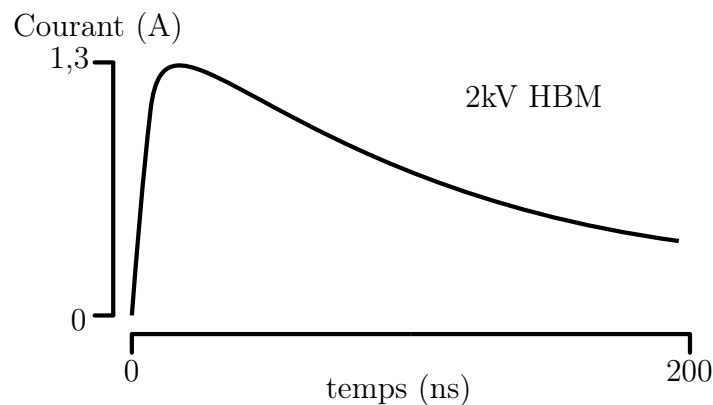


FIGURE 1.5: Forme d'onde du courant de décharge HBM obtenue dans un court-circuit pour une tension de pré-charge de 2 kV.

La tension de pré-charge de la capacité C est prise en compte pour donner une information sur le niveau de robustesse. Si le composant sous test supporte une décharge HBM quand la capacité C est initialement chargée à 2 kV, celui-ci est dit robuste à 2 kV HBM.

Le niveau de robustesse requis pour les circuits est fixé par le cahier des charges, rédigé par les clients des constructeurs de circuit. Cependant, la documentation "industry council" fournie par l'ESDA (ESD Association), préconise que le circuit doit garantir une robustesse de 1 kV HBM minimum pour que celui-ci ne soit pas détruit durant la fabrication [27].

1.2.2.2 Modèle et testeur MM (Machine Model)

Le modèle de décharge standard MM [28, 3] est destiné à reproduire la décharge d'une machine ou d'un humain tenant un objet métallique dans la main. Il diffère du modèle HBM de part sa capacité de charge légèrement plus grande (200 pF), et de part une résistance série quasi nulle représentant l'outil métallique ou le bras manipulateur d'un robot. Ce modèle est représenté Figure 1.6 (a). Le schéma du testeur associé est représenté Figure 1.6 (b). Typiquement, la capacité C est chargée entre 10 et 500 V. Elle est ensuite déchargée dans le composant sous test à la fermeture du relais. La forme d'onde résultante, obtenue dans un court-circuit pour une tension de charge de 200 V, est donnée Figure 1.7. L'absence de résistance produit une oscillation amortie avec une fréquence de 5 à 15 MHz et des temps de montée de quelques dizaines de nanosecondes. L'inductance, L_s , et la capacité, C_s , parasites ont une forte influence sur cette forme d'onde.

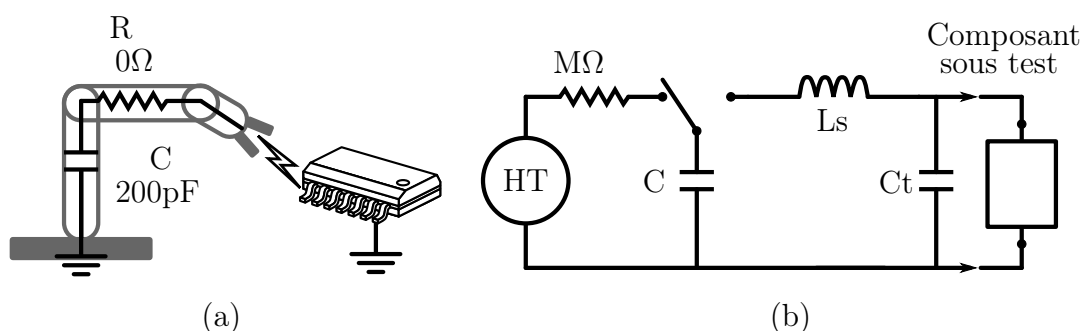


FIGURE 1.6: Modèle d'une machine (MM) (a) et schéma électrique du testeur MM (b).

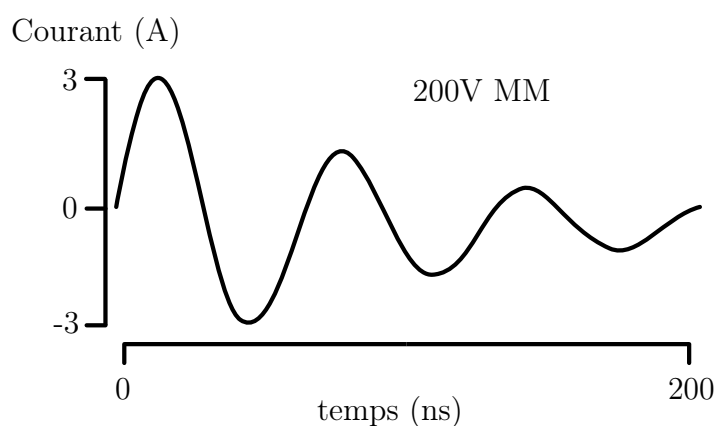


FIGURE 1.7: Forme d'onde du courant de décharge MM obtenue dans un court-circuit pour une tension de charge de 200 V.

Comme pour le HBM, c'est la tension de charge de la capacité C qui est prise en compte comme indication de robustesse. L' "industry council" préconise que le circuit doit être robuste à 30 V MM pour garantir que celui ne sera pas détruit durant la fabrication [27].

1.2.2.3 Modèle et testeur CDM (Charged Device Model)

Comme nous avons pu le voir dans la première partie, un circuit peut accumuler des charges lors de sa manipulation. Le modèle CDM [2, 29] représente la décharge de ce circuit par l'une de ces broches, vers la masse (Figure 1.8 (a)). Ce modèle a été développé afin d'expliquer la rupture de certains oxydes dont l'origine ne peut pas être expliquée par les modèles HBM et MM.

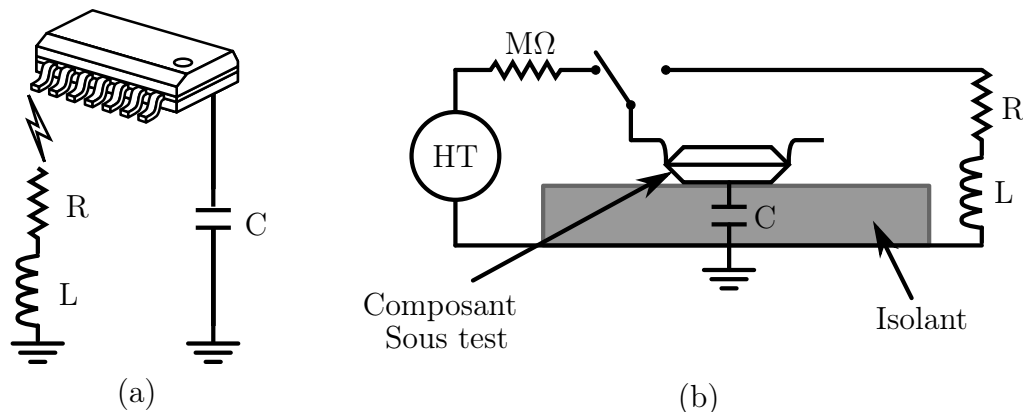


FIGURE 1.8: Modèle du composant chargé (CDM) (a) et schéma représentatif d'un testeur CDM (b).

Un fois que le circuit est assemblé dans un boîtier, celui ci peut accumuler des charges par triboélectrification en glissant sur un rail de guidage. Lorsqu'une de l'une de ses broches est mise à la masse, les charges accumulées sont évacuées par la masse créant des surtensions et des chemins de courant internes pouvant détériorer les oxydes de grilles.

Le testeur permettant de reproduire ce modèle est représenté Figure 1.9 (b). Le circuit sous test est positionné à l'envers sur un support isolé de la terre. La capacité C, correspondant à la capacité du circuit par rapport à la terre, est chargée par une alimentation haute tension au travers d'un résistance de forte valeur. Le composant est ensuite déchargé par l'une de ses broches au travers de R et L, représentant les éléments parasites de la ligne de décharge. Le modèle de décharge CDM est difficile à reproduire car celui-ci est très sensible à ces éléments parasites ainsi qu'à la capacité associée au composant. Les valeurs typiques de la résistance et de l'inductance du modèle sont $R = 10 \Omega$ et $L = 10 \text{ nH}$. La forme de la décharge typique CDM d'un circuit chargé à 100 V dont la capacité C équivalente vaut 10 pF est illustrée Figure 1.9. La forme est caractérisée par des courants de 5 A pic avec des temps de transitions très rapides de l'ordre de 200 ps.

L'industry council préconise un niveau minimum de robustesse de 250 V CDM afin de garantir que le circuit ne sera pas détruit pendant sa fabrication [30].

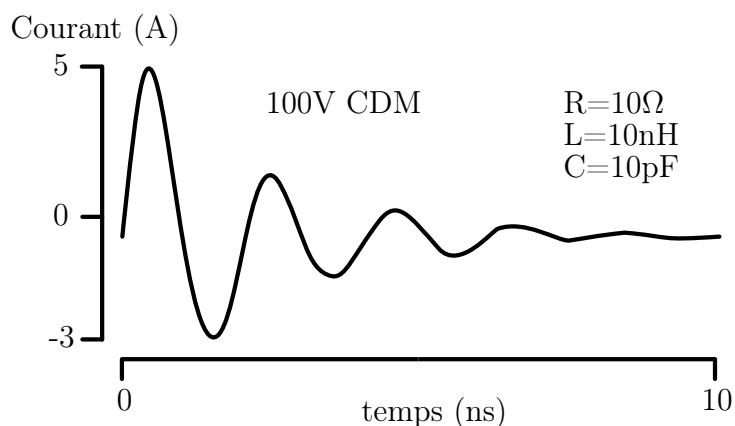


FIGURE 1.9: Forme d'onde typique du courant de décharge CDM obtenue dans un court-circuit pour une tension de charge de 100 V du composant.

1.2.2.4 Modèle non standardisé CBM (Charged Board Model)

Le modèle CBM est un modèle non standardisé similaire au modèle CDM. La différence réside dans le fait que c'est le circuit imprimé qui est chargé et qui se décharge dans le composant. Les dommages CBM sont plus sévères que ceux provoqués par le HBM et le CDM [31]. En effet, les niveaux d'énergie mis en jeu sont plus importants car la capacité d'une carte est bien plus grande que celle d'un circuit intégré. Cette capacité dépend fortement de la taille du circuit imprimé [32].

Une comparaison des formes du courant obtenue avec une décharge CDM et CBM, réalisée par Andrew Olney [33], est donnée Figure 1.10.

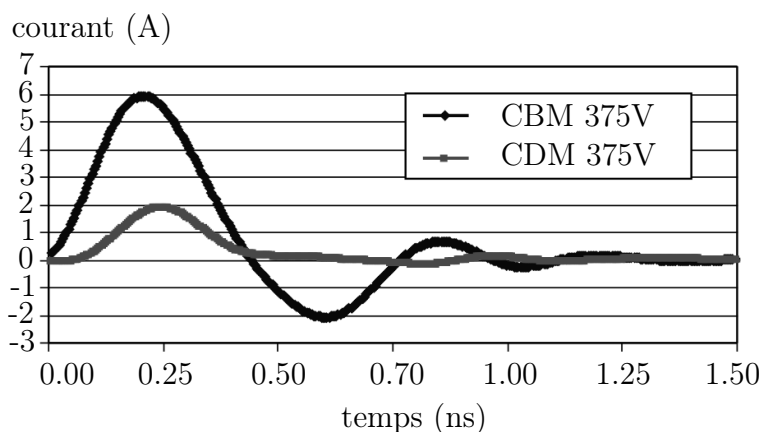


FIGURE 1.10: Comparaison des courants de décharge CDM et CBM pour une tension de charge de 375 V, mesurée sur la broche d'un composant et sur le connecteur d'une carte [33].

La mesure est effectuée respectivement sur la broche d'un composant seul et sur le connecteur d'une carte dédiée sur laquelle est monté ce même circuit. Pour une même

tension de charge, le courant pic est plus important pour le CBM. Ceci est dû au fait que les charges stockées par le circuit imprimé ajoutées à celles du composant sont plus importantes.

Bien que ce modèle de décharge ne soit pas standardisé, il représente un évènement réel de décharge qui peut survenir dans la zone EPA. Les circuits robustes vis à vis des évènements HBM, MM et CDM peuvent être endommagés par les CBM.

1.2.3 Protections intégrées dans les circuits

Afin de dévier les forts courants issus d'une décharge électrostatique qui pourraient survenir entre deux broches d'un circuit intégré, des protections sont ajoutées directement sur la puce. Les quatre sections suivantes détaillent respectivement, le principe de fonctionnement de ces protections, les structures typiques utilisées, comment celles-ci sont organisées dans le circuit et les outils disponibles pour leurs optimisations.

1.2.3.1 Principe de fonctionnement d'une structure de protection

Les structures de protection doivent dévier les forts courants ESD du cœur du circuit pour éviter les dommages thermiques tels que la fusion du silicium. Elles doivent aussi limiter la tension dans le circuit à protéger pour éviter par exemple les claquages d'oxyde de grille d'un transistor MOS (voir sous-section 1.1.3). En fonctionnement normal, la protection est transparente à l'application et se réduit à un interrupteur ouvert avec une impédance infinie comme illustré Figure 1.11. En condition de stress ESD, celle-ci est déclenchée et peut être assimilée à un court circuit dont l'impédance doit être la plus faible possible afin de faire circuler un courant (I) le plus grand possible tout en limitant la tension (V) aux bornes de l'élément à protéger.

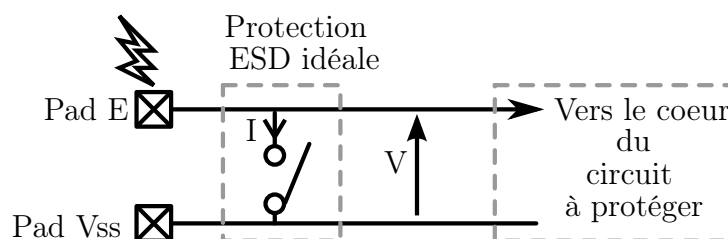


FIGURE 1.11: Schéma illustrant le principe d'une protection ESD assimilée à un interrupteur parfait.

- Cette protection idéale doit répondre à certaines caractéristiques fondamentales [11] :
- Robustesse : la structure doit être capable supporter elle même les énergies très fortes des ESD ;

- **Transparence** : elle ne doit pas se déclencher durant le fonctionnement normal du circuit. Les éléments parasites apportés doivent être faibles pour minimiser la dégradation des performances des entrées et sorties. Son courant de fuite doit être le plus faible possible pour limiter la consommation du circuit ;
- **Rapidité** : elle doit se déclencher sur les événements transitoires des ESD, de l'ordre de la nanoseconde ;
- **Économique** : la surface du silicium est très coûteuse. La protection doit donc consommer la surface la plus faible possible. D'autre part, les étapes technologiques de fabrications sont très coûteuses. Les protections doivent donc respecter les étapes de fabrication de la technologie pour laquelle elles sont dédiées ;
- **Efficacité** : la tension de déclenchement doit être au dessus des tensions de fonctionnements du circuit et présenter une résistance faible pour limiter la tension.

Il est clair qu'une protection ESD ne peut pas avoir toutes ces caractéristiques. Cependant, ces critères fournissent une liste d'optimisation et de compromis qui vont être utilisés en fonction du cahier des charges.

La fenêtre de conception d'une protection ESD est illustrée Figure 1.12 [34]. Elle délimite la caractéristique $I(V)$ de la protection qui permet de visualiser les couples de tensions, courants caractéristiques typiques tels que le déclenchement (V_{t1}, I_{t1}) , le maintien dans le cas de structure avec repliement (V_h, I_h) , la résistance à l'état passant, (R_{ON}) et le second retournement lié au claquage thermique (V_{t2}, I_{t2}) .

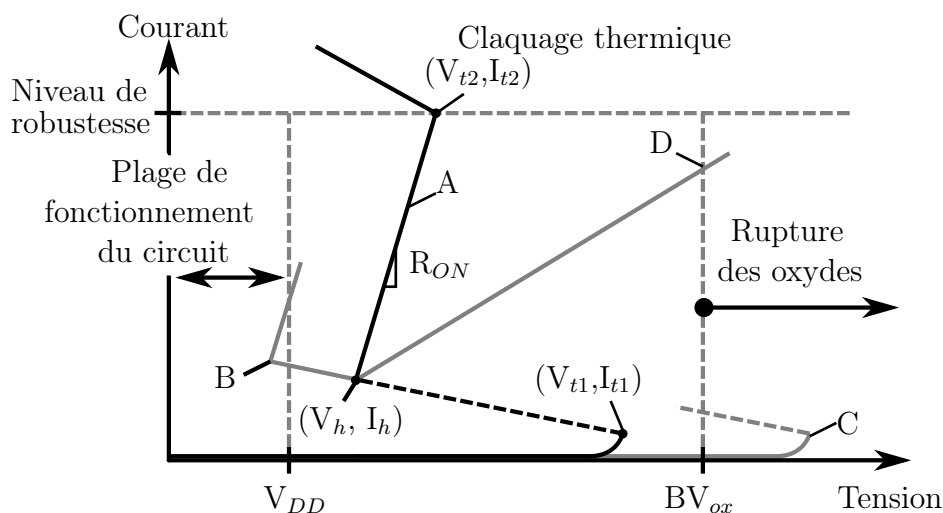


FIGURE 1.12: Fenêtre de conception d'une protection ESD.

Cette fenêtre de conception est délimitée par les marges de conception. Ces marges sont fixées par les valeurs maximales des tensions d'alimentation du circuit V_{DD} , la tension de destruction du circuit Bv (correspondant par exemple à la tension de claquage des oxydes,

la tension de ruptures de jonctions ou encore la tension de déclenchement d'une structure parasite) et le niveau de robustesse souhaité. La caractéristique $I(V)$ de la protection ne doit pas sortir de ces marges comme illustré par le cas A Figure 1.12. Si la tension de déclenchement V_{t1} est trop importante (cas C) ou si la résistance à l'état passant R_{ON} est trop grande et que la tension dépasse la tension BV_{OX} avant le niveau de robustesse souhaité (cas D), on risque les claquages d'oxydes. Si la tension de repliement est inférieure à V_{DD} (cas B), la protection risque de partir en "Latchup" [35, 36], c'est à dire de continuer à faire passer du courant même après l'évènement ESD, car la tension d'alimentation maintient la protection déclenchée. Ces marges de conception tendent à se resserrer compte tenue des tendances technologiques actuelles. La diminution de la taille des transistors font que les tensions d'alimentation baissent et sont actuellement de l'ordre de 1,2 V pour les technologies CMOS 65 nm.

Enfin, il est nécessaire de définir un critère de défaillance qui indique le niveau de robustesse de la protection, c'est à dire quand celle-ci est considérée défaillante. Dans la littérature, les trois principaux critères de défaillances pour les structures de protection ESD sont :

- Le niveau du courant où survient le second retournement dont le dommage est un claquage par effet thermique [37], correspondant au point (V_{t2}, I_{t2}) (Figure 1.12).
- L'augmentation du courant de fuite (appelé I_{dss}) de la structure après le stress ESD [38].
- Un critère en température : vérification que les points chauds au cours de la décharge ne dépassent pas les températures de fusion, 1412°C pour le silicium [39]. Le niveau de courant I_{t2} pris en compte dans ce cas là, correspond au moment où le point chaud dépasse un point de fusion.

1.2.3.2 Les structures de protection typiques :

Dans la littérature, de nombreuses structures de protection ont été développées pour lutter contre les ESD. Voici les structures typiques utilisées.

1.2.3.2.1 Les diodes : les diodes sont des protections statiques. Elle sont typiquement utilisées pour protéger les entrées/sorties (I/O). La diode polarisée en direct peut conduire les courants lorsque la tension appliquée à ses bornes est plus grande que la tension de seuil qui est située normalement autour de 0.5, 0.7 V. A ce niveau de tension, la résistance de la diode est très faible, de l'ordre de l'ohm. En raison de cette faible tension directe et de la faible résistance, la dissipation de puissance et donc la température interne reste basse même pour les fortes injections de courant. La diode en direct supporte des courants de l'ordre de 20 à 50 mA par micromètre [11].

En polarisation inverse, le courant est généré par effet d'avalanche. D'après O. Semenov,

la tension de déclenchement est de l'ordre de 10 à 20 V et la résistance à l'état passant est de 50 à 100 ohm. Ce mode de fonctionnement n'est pas optimisé pour la dissipation de puissance. La diode en inverse supporte des courants de l'ordre 0.5 à 2 mA par micromètre [11].

Dans le cas de jonctions fortement dopées, les diodes se déclenchent par effet Tunnel ou Zener. Ces diodes présentent une tension de déclenchement inverse plus faible qu'une diode classique, de l'ordre de 5 à 7 V et une résistance plus faible. Elles sont utilisées pour réaliser des protections entre les broches d'alimentation qui nécessitent des tensions de déclenchement plus élevées au dessus des tensions de polarisation du circuit [40].

Enfin, pour augmenter les tensions de seuil des diodes en direct et en l'occurrence pour les utiliser comme protections d'alimentation, elle peuvent être associées en série [41]. Chaque tension de seuil est alors ajoutée.

1.2.3.2.2 Le transistor NMOS les transistors MOS (Metal Oxide Semiconductor) sont couramment utilisés comme protection dans les circuits intégrés modernes. Plusieurs déclinaisons de la mise en œuvre du MOS existent faisant intervenir différents régimes de fonctionnement. Associé à un circuit de déclenchement, le MOS est utilisé dans son régime de fonctionnement normal. D'un autre côté, une structure parasite optimisée du transistor MOS (par exemple un NPN), peut être utilisée pour évacuer les courants. Le transistor n'est alors plus utilisé dans son régime de fonctionnement normal. Il existe aussi d'autres structures combinant ces deux techniques. Cette section détaille les principales structures du MOS utilisées comme protection ESD.

Utilisation d'un transistor bipolaire parasite : le ggNMOS (ground-gate NMOS) est un transistor MOS dont la grille et la source sont court-circuitées et reliées au substrat. Le transistor ne fonctionne pas dans son régime normal mais utilise le transistor NPN parasite pour conduire les courants de décharge [42, 43]. La coupe d'un transistor ggNMOS est donnée Figure 1.13 (a). Lorsque cette structure est utilisée comme protection ESD, l'électrode A est connectée au plot ou "pad" d'entrée/sortie à protéger ou au bus d'alimentation et l'électrode B est connectée à la masse.

Pour expliquer son fonctionnement, il faut s'intéresser à ce qui se passe physiquement dans le semi-conducteur. Lorsque le potentiel entre les électrodes A et B augmente et atteint la tension de claquage de la jonction constitué par le Drain N⁺ et le Substrat P, celle-ci est polarisée en inverse par l'effet d'avalanche. Cette jonction va injecter des trous qui vont circuler au travers de la résistance R_{SUB} et créer un courant. La circulation du courant dans la résistance R_{SUB} va faire augmenter le potentiel permettant de polariser la jonction Substrat P et Source N⁺ en direct. Dès que la tension est suffisante, de l'ordre de 0,5 à 0,7 V, le transistor Bipolaire composé de la Source N⁺ du substrat P et du drain N⁺

se déclenche. Les électrons injectés par la source contribuent au mécanisme d'avalanche de la jonction Drain N+ Substrat P permettant la diminution de la tension de Drain nécessaire pour obtenir le courant de trou. La tension de Drain diminue jusqu'à la tension de maintien V_h (entre 3 et 5 V) et un comportement de repliement est observé comme illustré sur la caractéristique idéale Figure 1.13 (b). La représentation schématique de cette structure est donnée Figure 1.14 (a).

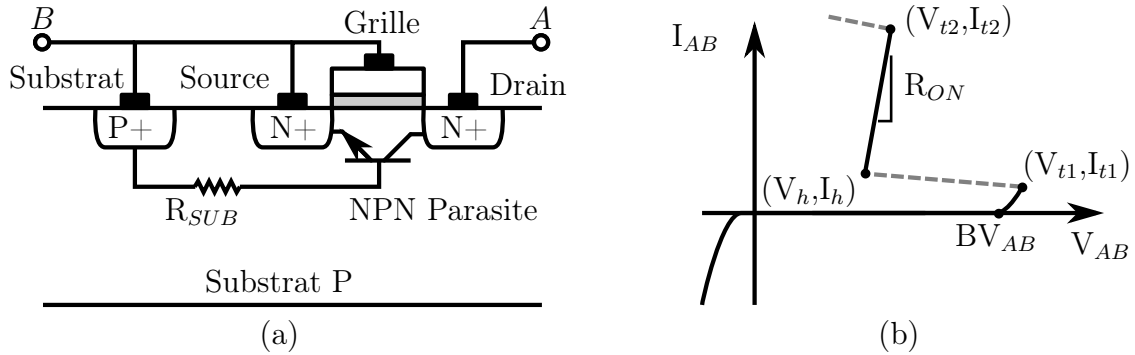


FIGURE 1.13: Vue en coupe du transistor Ground-Gate NMOS (ggNMOS) (a) et sa caractéristique $I_{AB}(V_{AB})$ idéale (b).

Dans le cas où une décharge négative est appliquée sur le Drain par rapport à la Source, la conduction est effectuée par la diode de substrat formée par la jonction Substrat P / Drain N+. La conduction de courant dans ce mode de fonctionnement est favorable telle que décrite dans le paragraphe 1.2.3.2.1.

Le problème d'une telle structure est qu'elle nécessite une tension de déclenchement élevée (entre 8 et 10 V), correspondant à la tension de claquage par avalanche de la jonction Drain N+/Substrat P, ce qui est critique notamment dans les technologies MOS car cette tension est en générale supérieure aux tensions de claquage des oxydes de grille. Pour éviter ce problème, il est possible d'ajouter une structure ou circuit de déclenchement permettant de baisser le niveau de déclenchement de la protection NMOS comme décrit dans le paragraphe suivant.

Utilisation d'un circuit de déclenchement : il existe deux types de déclenchement : les déclenchements statiques et les déclenchements dynamiques :

Le déclenchement statique peut être effectué à l'aide de diode Zener [44] ou de diodes en série [45] et d'une résistance R comme illustré respectivement Figure 1.14 (b) et (c). Dès que la tension de seuil des diodes est atteinte, celles-ci injectent un courant dans la résistance R permettant de polariser la grille du transistor MOS.

Les circuits de déclenchement dynamiques permettent de polariser la grille en détectant les fronts rapides $\frac{dv}{dt}$ des ESD. La technique la plus simple, et couramment utilisée, est le

couplage capacitif représentée Figure 1.14 (d). Ce type de structure s'appelle le gcNMOS [46] (en anglais : gate coupling NMOS). La capacité C correspond soit à la capacité parasite grille/drain du MOS, soit à une capacité rajoutée. Le circuit RC est optimisé de manière à ce que le potentiel sur la grille ne dépasse pas la tension de seuil du transistor NMOS durant les conditions normales d'utilisation. Par contre, sous conditions ESD, le réseau RC couple une partie des charges ESD sur la grille permettant le déclenchement. Bien sûr, il faut s'assurer que la tension délivrée sur la grille ne dépasse pas la tension de claquage de l'oxyde.

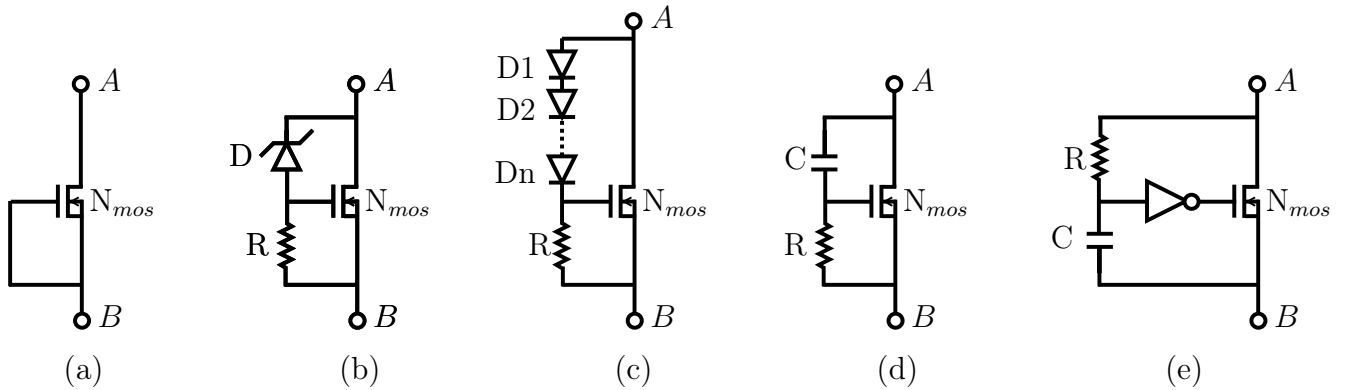


FIGURE 1.14: Représentations schématiques des structures de protections basées sur un transistor NMOS : (a) Gate-Ground NMOS (ggNMOS), (b) déclenchement statique du NMOS par une diode Zener, (c) déclenchement statique du NMOS par des diodes en séries, (d) Gate Coupled NMOS, (e) Déclenchement dynamique par un circuit RC.

Enfin, le déclenchement dynamique de la protection avec un circuit de contrôle RC est illustré Figure 1.14 (e) [47]. Le système est composé d'un circuit RC et d'un inverseur connecté sur la grille du MOS. La constante de temps du circuit RC est d'environ une microseconde pour déclencher et forcer la protection à conduire pendant toute la durée d'une décharge.

1.2.3.2.3 Thyristor L'utilisation du thyristor ou SCR (Silicon Controlled Rectifier) comme protection ESD a été introduit par Avery en 1983 [48]. La vue en coupe d'un thyristor latéral est donné Figure 1.15 (a). La structure utilise l'association de deux transistors bipolaires parasites : un NPN, constitué du puits N / Substrat P / Diffusion N+ de l'électrode B, et un PNP constitué de la Diffusion P+ de l'électrode A / Puits N / Substrat P. Les Diffusion P+ dans le substrat P et N+ dans le puits N correspondent à la prise de contact du substrat dans ces zones respectives. Lorsque cette structure est utilisée comme protection ESD, l'électrode A est connectée au plot d'entrée/sortie à protéger ou au bus d'alimentation et l'électrode B est connectée à la masse. La représentation schématique de cette structure est donnée Figure 1.16 (a). Ce type de structure présente

l'avantage de passer d'un état de forte impédance à une faible impédance de part son fort repliement à l'état passant comme illustré par la caractéristique $I_{AB}(V_{AB})$ Figure 1.16.

D'un point de vue physique, lorsque le potentiel entre les électrodes A et B est supérieur à la tension de claquage par avalanche, la jonction composée par le contact N+ et le substrat P, va se polariser en inverse. Le courant de trous généré par l'avalanche va circuler dans la résistance du Substrat P. Le potentiel monte alors sur la base du transistor NPN. Celui-ci se déclenche et le courant de collecteur génère une chute de tension aux bornes de la résistance du puits N permettant le déclenchement du transistor PNP. Le courant du PNP crée à son tour une chute de tension dans la résistance de Substrat P permettant de maintenir le transistor NPN passant. A ce point, la structure se verrouille et il n'est plus nécessaire pour l'électrode A de maintenir le courant de trous. La tension sur cette électrode décroît jusqu'à la tension de maintien V_h . En comparaison avec le ggNMOS, la caractéristique $I_{AB}(V_{AB})$ est similaire, cependant la tension V_{t1} du thyristor est plus importante, entre 20 et 25 V, et sa tension de repliement est plus faible de l'ordre de 1 à 2 V. La résistance à l'état passant est inférieure à l'ohm, ce qui est très favorable à la dissipation de courant.

Dans le cas où une décharge négative est appliquée sur l'électrode A par rapport à l'électrode B, la conduction est effectuée par la diode de substrat formée par la jonction Substrat P / Puits N. La conduction de courant dans ce mode est favorable comme décrite dans le paragraphe 1.2.3.2.1.

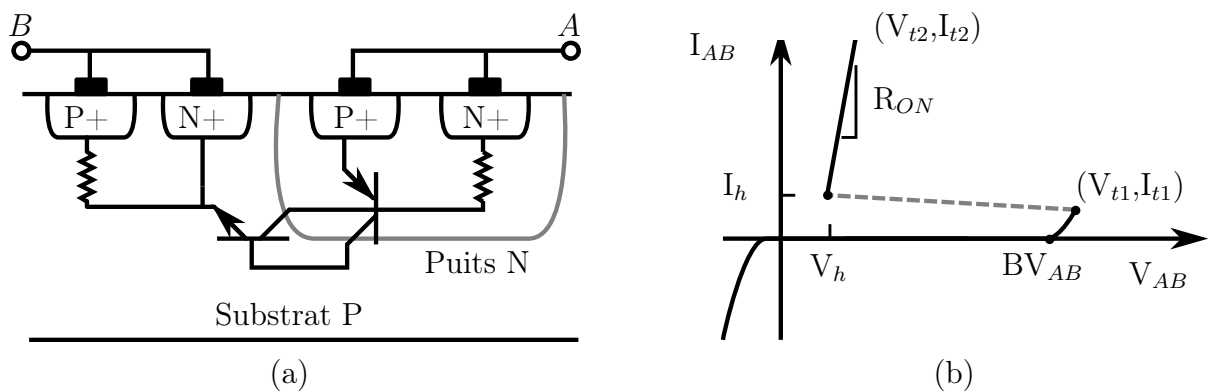


FIGURE 1.15: Vue en coupe du thyristor latéral (a) et sa caractéristique $I_{AB}(V_{AB})$ idéale (b).

Cette structure présente cependant deux inconvénients. Il faut veiller à ce que la tension et le courant de maintien (V_h, I_h) soient supérieurs à l'alimentation du circuit pour éviter que la structure reste enclenchée durant le fonctionnement normal (voir les marges de conceptions dans la sous-sous-section 1.2.3.1). L'autre inconvénient est, comme pour le transistor ggNMOS, qu'elle nécessite une tension V_{t1} importante pour son déclenchement, ce qui n'est pas idéal pour protéger les oxydes de grille dont la tension de rupture BV_{OX}

est bien plus faible.

Pour diminuer la tension V_{t1} , un circuit de déclenchement statique constitué d'un NMOS est ajouté au SCR. Cette structure s'appelle un LVTSCR [49] (Low Voltage Trigger SCR) et sa représentation schématique est donnée Figure 1.16 (b). Le déclenchement de la structure est provoqué par le NMOS dont le fonctionnement correspond au ggNMOS décrit dans le paragraphe 1.2.3.2.2. Comme reporté dans [49], la tension de déclenchement d'un LVTSCR est cinq fois moins importante qu'un SCR standard.

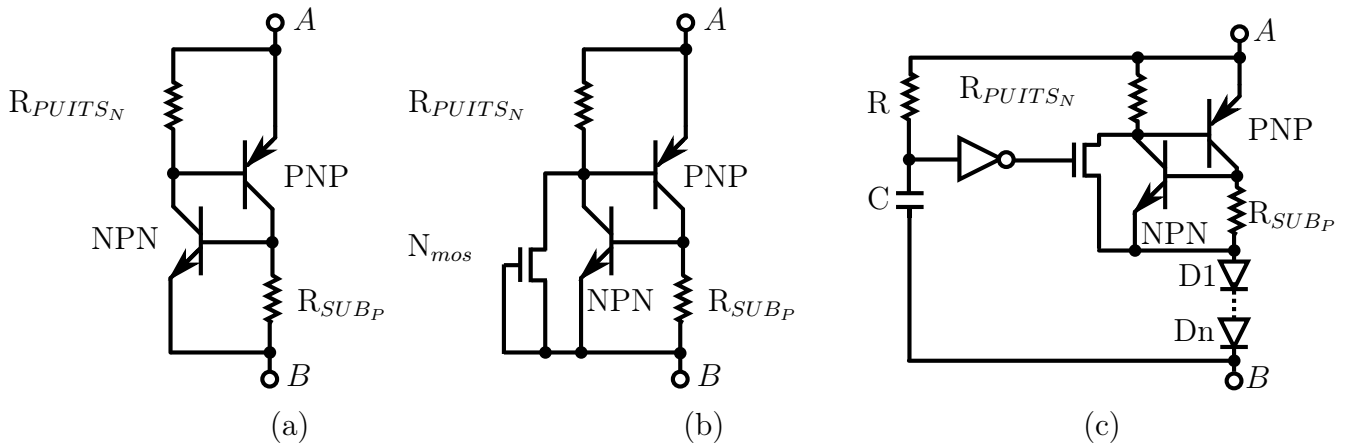


FIGURE 1.16: Représentations schématiques des structures de protections basées sur un thyristor : (a) Thyristor Latéral (LSCR), (b) Low voltage trigger SCR (LVTSCR) représentation d'après [50] et (c) LVTSCR avec des diodes séries et un circuit RC de déclenchement dynamique.

Une structure de déclenchement dynamique d'un LVTSCR proposé par [41] est illustrée Figure 1.16 (c). L'ajout de diodes en série après le SCR permet d'augmenter la tension de maintien V_h au dessus des tensions de fonctionnement du circuit et d'éviter le latchup. Le circuit RC permet de déclencher la structure sur les $\frac{dv}{dt}$ d'un ESD par couplage sur la grille du NMOS comme présenté dans le paragraphe 1.2.3.2.2.

1.2.3.3 Réseaux de protections ESD d'un circuit

Une décharge électrostatique peut survenir entre n'importe quelle broche d'un circuit intégré. Les protections intégrées dans celui-ci doivent être capables d'offrir un chemin de décharge pour détourner le courant du cœur du circuit, quel que soit le couple de broches entre lesquelles survient la décharge. Les structures de base, présentées dans la section précédente, sont organisées en stratégie ou réseau pour protéger le circuit et proposer un chemin d'évacuation dans n'importe quelle configuration.

Il n'existe pas de stratégie de protection donnée, celle-ci va être choisie en fonction de l'application et de la technologie dans laquelle est implémentée le circuit. Chaque application est unique. De plus, avec les multiples fonctions complexes intégrées dans un seul

circuit, à savoir l'analogique, les parties RF (Radio Fréquence), les mémoires, les blocs numériques et les entrées sorties, les circuits requièrent de multiples tensions d'alimentation impliquant un réseau complexe et distribué de bus. Les réseaux de protections ESD deviennent complexes. Dans la suite de cette section, les concepts de base des stratégies de protection vont être détaillés au travers de trois exemples typiques : Le réseaux en Π , la stratégie centralisée et la stratégie distribuée.

La stratégie en Π est un réseau de protection des entrées/sorties relativement bien connu [51]. Celui-ci est représenté Figure 1.17. Il est composé de deux protections séparées par une résistance. Durant un stress ESD, survenant entre un plot et la masse, la protection secondaire se déclenche en premier, la tension aux bornes de la résistance augmente et la protection primaire se déclenche. L'énergie est principalement dissipée par la protection primaire. L'avantage du réseau en Π par rapport à une protection seule est que la tension imposée sur le nœud interne reste très faible.

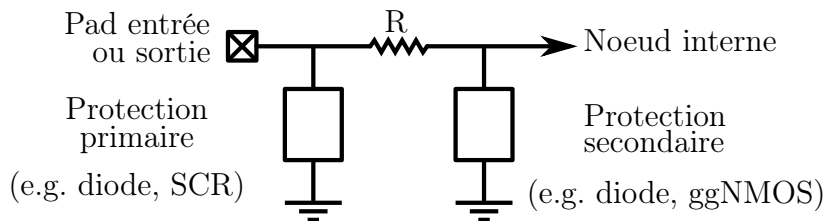


FIGURE 1.17: Représentation schématique d'une stratégie de protection en Π .

Pour les circuits numériques, la stratégie centralisée est très "populaire" d'après [11]. Ce réseau est représenté Figure 1.18. Sur chacune des entrées / sorties, des protections redirigent les courants vers les bus d'alimentation, typiquement le bus de masse V_{SS} et le bus V_{DD} . Une protection centralisée PC (Power Clamp) bidirectionnelle est ajoutée entre les broches d'alimentation et fournit un chemin pour le courant entre les rails V_{DD} et V_{SS} . Quels que soient les pads d'entrées / sorties, où survient la décharge, un chemin existe, le courant est dévié et le cœur du circuit est préservé. Un exemple de chemin de décharge entre la broche d'entrée et de sortie est illustré par un trait gris en pointillé Figure 1.18. Le courant qui se propage de l'entrée vers la sortie va circuler dans la protection 1, le Power Clamp et la protection 3 pour être évacué par la sortie. Typiquement, des diodes sont utilisées pour dévier le courant d'un pad vers un bus et un transistor NMOS (voir paragraphe 1.2.3.2.2) est utilisé comme Power Clamp [52].

La stratégie centralisée, précédemment décrite, présente quelques désavantages et limitations. Le Power Clamp nécessite une grosse place "silicium" sur la puce. Si la mise en place de cette stratégie est effectuée après la conception du circuit, le PC va être positionné à un endroit où il y a suffisamment de place. Ce placement devient en quelque sorte "aléatoire" et ne va pas être optimum pour la stratégie de protection. Ces contraintes de

conception vont être critiques notamment pour les pads d'entrées/sorties les plus éloignés du PC. En effet, la résistance d'accès entre les pads et le PC augmente avec la distance. La tension induite par ces résistances peut être importante lors des passages des forts courants, réduisant la robustesse des pads les plus éloignés. Ceci est notamment le cas des circuits numériques ayant un grand nombre d'entrées sorties. Ainsi, il est nécessaire de prendre en compte, dès la conception d'un nouveau circuit, les contraintes de placement et de dimensionnement du Power Clamp et des résistances des bus dans le but de protéger au mieux [11].

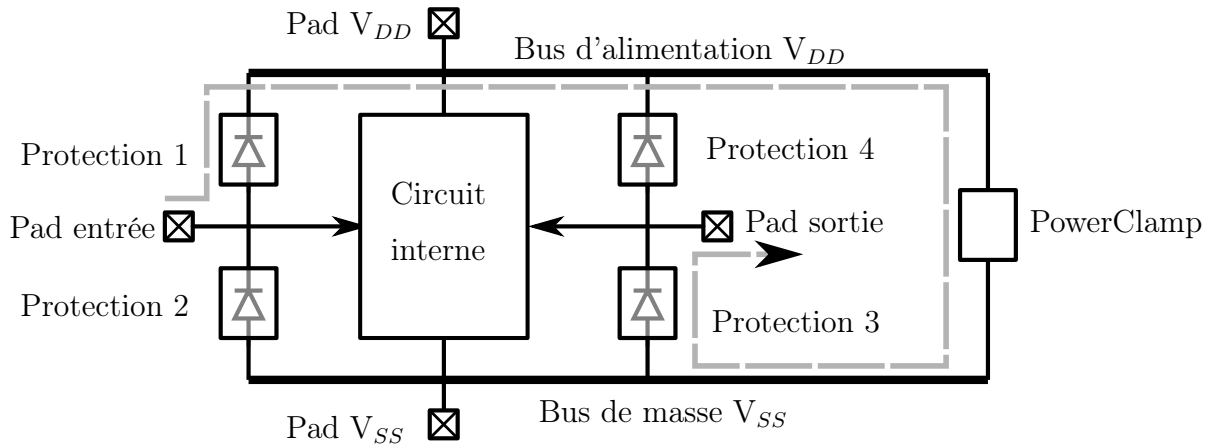


FIGURE 1.18: Représentation schématique d'une stratégie de protection centralisée.

Pour répondre à ces contraintes, des réseaux de protections distribuées ont été développés tels ceux présentés par [53, 54, 55]. Le principe consiste à distribuer toutes les protections au plus proche des plots d'entrées / sorties pour en minimiser la résistance d'accès. Lorsqu'une décharge survient entre deux entrées / sorties, un circuit de déclenchement détecte cette décharge et active toutes les protections des pads du circuit. Le courant va alors se répartir dans toutes les protections. Cela permet d'une part, de maintenir une tension faible sur les bus d'alimentation et d'autre part, l'utilisation de protections plus petites pour avoir une protection complète du circuit.

Un exemple de stratégie de protection distribuée est donnée Figure 1.19. Chaque pad est constitué de trois diodes et d'un transistor NMOS. Le rail "Boost" permet de polariser le circuit de déclenchement situé à droite du schéma. Le rail "ESD" est dédié au passage des forts courants et le rail "déclenchement" permet l'activation de toutes les protections des I/O lors d'un ESD. Le trait gris illustre le chemin du courant lorsqu'une décharge survient entre le pad 1 et 2. Durant cette décharge, la diode D1 polarise le rail de "Boost" permettant la détection de l'ESD par le circuit de déclenchement. Le circuit de déclenchement va à son tour polariser le rail "déclenchement". Le courant se répartit dans les NMOS pour être évacué par le pad 2. La tension sur les rails reste faible.

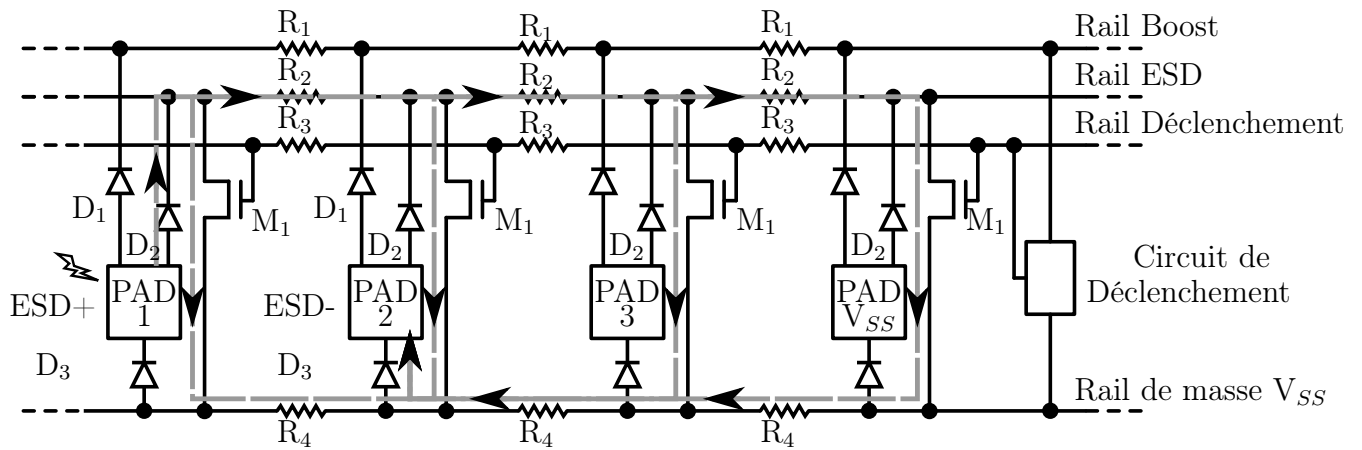


FIGURE 1.19: Représentation schématique d'une stratégie de protection distribuée adaptée de [54].

1.2.3.4 Les outils de caractérisation et d'optimisation des protections

Pour caractériser et optimiser les structures de protection, des outils ont été développés. Parmi les outils de caractérisation, les outils TLP (Transmission Line Pulsing) et VF-TLP (Very Fast TLP) permettent de tracer la caractéristique $I(V)$ d'une protection ESD. D'autre part, des outils de simulation physique et électrique permettent de simuler respectivement le fonctionnement physique d'une protection et la stratégie de protection. Cette section détaille ces outils.

1.2.3.4.1 Les bancs de caractérisation TLP et VF-TLP : la mesure de la caractéristique $I(V)$ d'une protection à partir d'une mesure statique n'est pas possible sans détériorer celle-ci. En effet, une protection n'est conçue que pour dissiper l'énergie transitoire d'une décharge et non une énergie statique. Le banc de mesure TLP, introduit par Tim Maloney en 1985 [56] permet d'extraire la caractéristique $I(V)$ "quasi-statique" à partir de mesures dynamiques.

Le principe consiste à charger une ligne de transmission à une tension haute, puis en fermant un relai, de décharger cette ligne dans le composant sous test. Les mesures du courant et de la tension effectués durant cette décharge permettent de déterminer les points de la caractéristique $I(V)$.

Le schéma de principe d'un banc TLP est illustré Figure 1.20 (a). La ligne, d'une longueur de 10 mètres permet de créer une impulsion rectangulaire d'une durée de 100 ns. Des sondes sont utilisées pour mesurer la tension et le courant afin d'obtenir les formes d'ondes $v(t)$ et $i(t)$ dynamiques illustrées respectivement Figure 1.20 (b) et (c). En prenant en compte les phénomènes de propagation, le premier plateau (1) de ces courbes correspond à l'onde incidente. La longueur du plateau correspond au temps que met l'impulsion TLP

pour se propager et revenir sur les sondes au travers de la ligne de transmission, reliant le générateur TLP au composant sous test. La deuxième partie (2) correspond à l'onde transmise sur le composant. De manière générale, le transmis correspond à la tension incidente plus la tension réfléchie. Le niveau obtenu dépend donc de la rupture d'impédance entre le générateur $50\ \Omega$ et le composant sous test. Des oscillations sont présentes dans cette partie, et correspondent à l'aspect dynamique de la protection, c'est à dire à son déclenchement. Enfin, la dernière partie (3) correspond à la réflexion. En réalisant la moyenne des points sur la partie stable des ondes transmises des mesures du courant et de la tension dynamiques, un point I(V) de la caractéristique est extrait. L'incrément de la tension de charge de la ligne et la mesure correspondante permet d'obtenir un point supplémentaire. Une représentation de la caractéristique "quasi-statique" est donnée Figure 1.20 (d). Chaque point I(V) en noir correspond à une moyenne effectuée sur les mesures dynamiques, d'où l'emploi du terme quasi-statique.

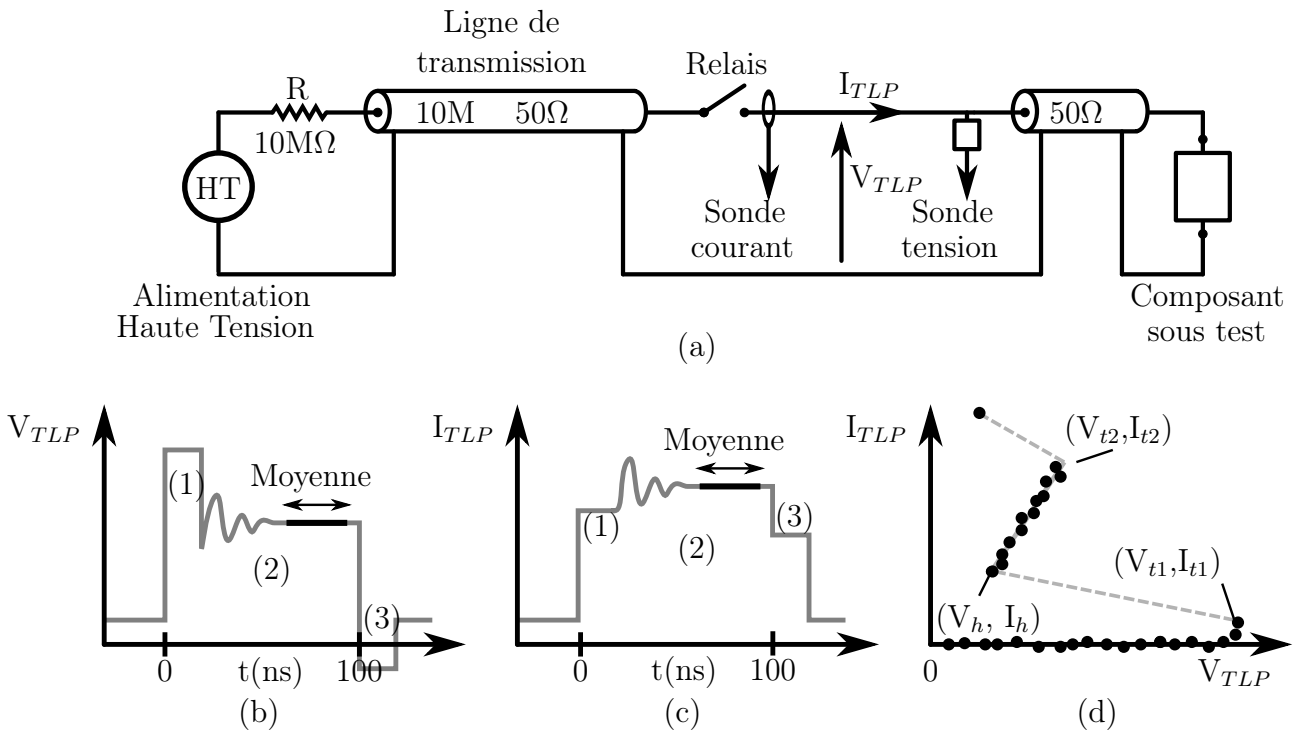


FIGURE 1.20: Représentation schématique d'un banc de caractérisation TLP (a) ; illustration des formes d'ondes dynamiques de la tension (b) et du courant (c) en fonction du temps ; caractéristique I(V) quasi-statique (d)

L'utilisation de ce banc de caractérisation permet d'extraire la caractéristique quasi-statique fort courant sans détériorer la protection. La visualisation des points (V_{t1}, I_{t1}) , (V_h, I_h) , (V_{t2}, I_{t2}) et R_{ON} permet de vérifier le respect de la fenêtre de conception détaillée dans la sous-sous-section 1.2.3.1. D'autre part, une mesure statique à très faible courant peut être effectuée entre chaque impulsion TLP permettant de détecter l'augmentation

de courant consommé et vérifier la destruction de la structure selon le critère donnée dans la sous-sous-section 1.2.3.1.

Le banc VF-TLP a été mis en œuvre par Horst Gieser [57] pour détecter les destructions d'oxydes de grille qui surviennent lors de la décharge d'un composant lui-même chargé (voir évènement CDM dans la sous-sous-section 1.2.2.3). Ce banc de mesure reprend le principe du TLP, cependant la durée de la décharge est inférieure à 10 ns et les temps de transitions sont très rapides de l'ordre de quelques centaines de picosecondes. Dans le VF-TLP, la ligne qui sépare le générateur d'impulsion du composant sous test est suffisamment longue pour séparer les ondes incidentes et réfléchies. A partir de ces mesures et des équations suivantes, les ondes incidentes et réfléchies sont superposées pour obtenir le courant transmis et la tension délivrée aux bornes du composant.

$$V_{transmis} = V_{composant} = V_{incident} + V_{réfléchie} \quad (1.1)$$

$$I_{transmis} = I_{composant} = I_{incident} + I_{réfléchie} \quad (1.2)$$

$$V_{incident} = Z_o \times I_{incident} \quad (1.3)$$

$$V_{réfléchie} = -Z_o \times I_{réfléchie} \quad (1.4)$$

$$I_{transmis} = I_{composant} = (V_{incident} - V_{réfléchie})/Z_o \quad (1.5)$$

Z_o correspond à l'impédance caractéristique de la ligne de transmission 50Ω . L'analyse de la tension $V_{composant}$ calculée permet de détecter les ruptures d'oxydes.

D'autres part, le VF-TLP permet aussi d'obtenir la caractéristique I(V) quasi-statique d'une protection à un plus haut niveau de courant que le banc TLP. En effet, la durée de l'impulsion étant de 10 ns contre 100 ns, le courant envoyé sur le composant est plus important pour une même énergie dissipée.

En 2004, Grund a introduit l'utilisation du VF-TLP pour effectuer des mesures par réflectométrie temporelle TDR (en anglais : Time Domain Reflectometry) [58]. Le principe consiste à envoyer une onde en tension ou courant et à observer dans le domaine temporel les réflexions. L'analyse de l'onde réfléchie permet de connaître les impédances et leur distance par rapport à la source d'émission. Cette méthode permet de tester le composant en analysant les discontinuités d'impédances liées au boîtier.

1.2.3.4.2 Les outils de simulations : il existe différents outils de simulation suivant les niveaux que l'on adresse. Les outils de Conception Assistée par Ordinateurs (CAO) dédiés à la microélectronique tels que les logiciels TCAD (pour Technologie CAD), Sentaurus [59]

et Silvaco [60], sont utilisés pour simuler les procédés de fabrication et le comportement physique des composants. A partir de ces outils, des simulations 2D ou 3D de structures de protection ESD sont effectuées [61] permettant d'analyser le comportement physique.

Un exemple de simulation d'un thyristor, réalisé par [62], est illustré Figure 1.21. La structure 3D du thyristor est donnée Figure 1.21 (a). La simulation 3D-TCAD de cette structure permet de visualiser, par exemple, les densités de courant lors des stress ESD. Un exemple de simulation de la répartition du courant dans cette structure est donné Figure 1.21 (b). Ce sont des outils basés sur des équations physiques du semi-conducteur et nécessitent de grosse puissance de calcul (maillage complexe des structures).

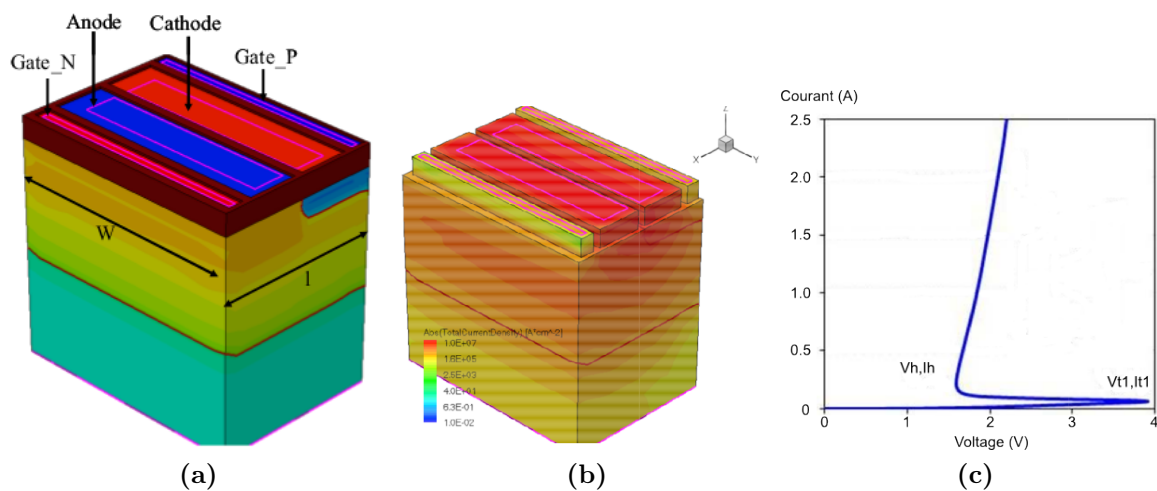


FIGURE 1.21: Simulation 3D d'un thyristor.

D'un autre côté, à l'aide des simulateurs électriques de type SPICE, il est possible de simuler la stratégie de protection et de vérifier si celle-ci est bien optimisée, et que les tensions induites sur les MOS ne dépassent pas les tensions de claquages des oxydes de grille [42, 55].

Une simulation mixte SPICE et Sentaurus peut être effectuée. En reprenant l'exemple Figure 1.21, une simulation SPICE du circuit de déclenchement, associée à la simulation physique, a permis d'extraire la caractéristique I(V) de la protection (Figure 1.21 (c)).

1.3 Aspect système :

Les risques qu'un circuit intégré soit endommagé par une ESD ne s'arrêtent pas aux phases de fabrication et d'assemblage. Des décharges peuvent survenir sur le produit électronique final, se propager à l'intérieur de celui-ci et induire des défaillances. Les circuits intégrés sont désormais soudés sur une carte et mis en boîtier pour former l'application. En première approximation, nous pourrions penser que les circuits sont protégés car ils passent avec succès les tests de robustesse HBM, MM, et CDM. Malheureusement, ce

n'est pas le cas. Pour rappel, ces tests standards, effectués sur le composant, sont destinés à vérifier que le circuit seul peut survivre dans la zone EPA où les décharges sont très limitées. Le système, quant à lui, évolue dans l'environnement final d'utilisation, c'est à dire que les décharges ne sont plus limitées et donc plus fortes. Ainsi, même si le circuit est robuste vis à vis des événements HBM, CDM et MM, il n'est pas garanti que celui-ci survive dans le système [63]. D'après les investigations menées par Wolfgang Stadler dans [19], il n'est pas possible d'obtenir une corrélation entre les tests effectués sur les composants et les tests effectués sur le système.

Quand nous considérons l'aspect système, la robustesse (destruction du composant ou d'une partie des fonctionnalités) n'est pas l'unique défaillance. Les ESD peuvent aussi être à l'origine de défaillances temporelles transitoires créant des dysfonctionnements du système. Nous parlerons alors de susceptibilité aux ESD. Comme illustré dans la Figure 1.22, il est difficile de prévoir comment un événement ESD peut se propager depuis l'extérieur du système (ici une carte PCB) jusqu'au composant. La propagation peut être directe depuis le connecteur jusqu'au composant ; nous parlerons de propagation par conduction. Elle peut se propager aussi de façon indirecte, par rayonnement électromagnétique. Dans les deux cas, les phénomènes de propagation peuvent être complexes, et il est difficile de prévoir l'allure du signal ESD à l'entrée du composant, et de déduire le comportement du circuit ou la défaillance en se référant aux différents standards vu dans les paragraphes précédents.

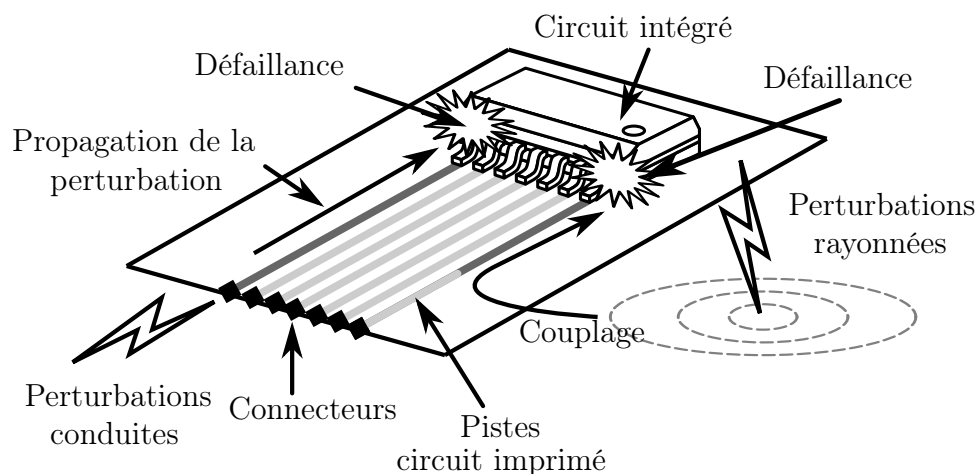


FIGURE 1.22: Illustration des perturbations par conduction ou rayonnement induisant des défaillances dans une carte électronique.

Avant de parler de la problématique des ESD au niveau système, nous allons détailler dans les deux sections suivantes les modèles de décharges et testeurs utilisés pour évaluer le système puis les protections externes mises en œuvre pour protéger ces derniers.

1.3.1 Modèles de décharge et testeurs industriels

Les modèles de décharge système sont destinés à reproduire les événements ESD qui peuvent survenir au cours de l'utilisation ou de la manipulation d'un système électronique. Cette section détaille les deux modèles standards et les testeurs associés qui sont : L'IEC 61000-4-2 et L'ISO 10605. Elle donne aussi des informations sur le modèle CDE (Cable Discharge Event) non standardisé mais qui décrit toutefois un événement ESD réel, et le HMM (Human Metal Model), en cours de standardisation, décrivant une méthode de test système appliquée au composant.

1.3.1.1 Modèle standard IEC 61000-4-2

La norme CEM (Compatibilité ElectroMagnétique), initialement créée en 1984 sous le nom de IEC 801.2, renommée en 1995 IEC 61000-4-2 [6] définit une technique de test permettant de vérifier l'immunité des systèmes électroniques vis à vis des décharges électrostatiques. C'est le standard de test système le plus couramment utilisé. L'objectif est de reproduire la décharge typique d'un corps humain au travers d'un objet métallique dans le produit sous test. Pour reproduire cet événement, la norme spécifie une forme de courant standard qui doit être injectée dans le produit sous test. Elle définit aussi comment construire le matériel et le montage nécessaire pour les essais, les procédures de test et d'étalonnage ainsi que les niveaux de défaillances.

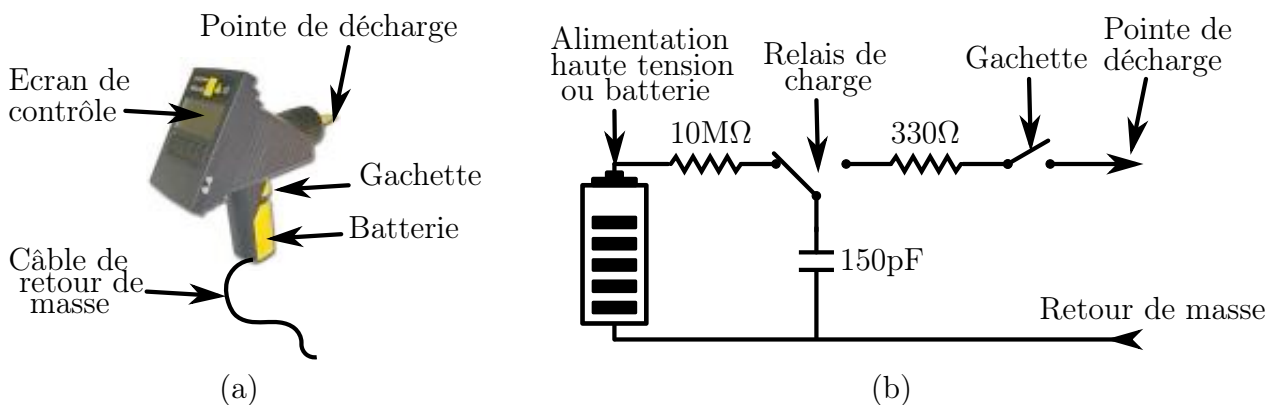


FIGURE 1.23: Photographie d'un pistolet ESD de marque Schaffner (a) représentation schématique du testeur (b).

Afin de tester les produits, un générateur, communément appelé pistolet ESD est utilisé pour reproduire cette décharge. Une photographie d'un pistolet ESD est donnée Figure 1.23 (a). Il est composé d'une batterie, d'un écran de contrôle, d'une gâchette, d'un câble de retour de masse et d'une pointe de décharge représentant le doigt d'un humain. Le produit à tester est disposé sur un support isolant au milieu d'une table d'essai.

La table en bois, non conductrice, est placée sur un plan métallique de référence. Le câble de retour de masse du pistolet est connecté à ce plan.

Pour étalonner le générateur, la décharge du pistolet ESD est mesurée lorsque celui-ci est déchargé dans une cible (appelé en anglais : Pelegriini target) d'impédance équivalente 2Ω , comme illustré Figure 1.24 (a). La forme d'onde typique obtenue se caractérise par un temps de montée très rapide ($0.7 - 1 \text{ ns}$), d'un pic de courant pouvant aller jusqu'à plusieurs dizaines d'ampères et d'un deuxième pic moins intense mais plus long (Figure 1.24 (b)). La forme d'onde du courant produit par le pistolet doit correspondre à la forme de référence Figure 1.24 (b) et aux spécifications données par le Tableau 1.1.

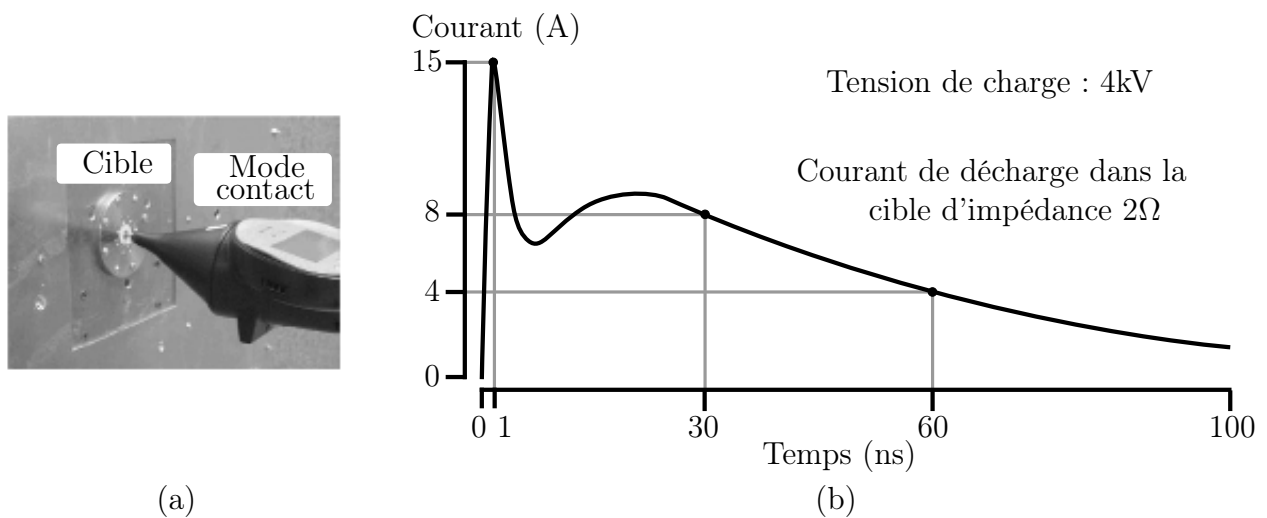


FIGURE 1.24: Cible de calibration du pistolet ESD (a), forme du courant de décharge du pistolet ESD dans une impédance équivalente de 2Ω pour une tension de charge de 4 kV (b).

Tension de charge en (kV)	Courant 1er pic $\pm 10\%$ (A)	Courant à 30ns $\pm 30\%$ (A)	Courant à 60ns $\pm 30\%$ (A)
2	7.5	4	2
4	15	8	4
6	22.5	12	6
8	30	16	8

TABLE 1.1: Paramètres de la forme d'onde de courant de décharge en contact

Le schéma de principe du testeur est donné Figure 1.23 (b). Le condensateur de stockage d'énergie de valeur 150 pF représente la capacité typique d'un corps humain d'un point de vue électrostatique. La résistance de 330Ω peut être assimilée à la résistance de l'homme tenant un objet métallique dans sa main. Avant l'impulsion, une alimentation Haute Tension (HT) ou une batterie charge la capacité de stockage par l'intermédiaire d'une

résistance de 10 MΩ. Lors de la procédure de test, des décharges peuvent être envoyées sur tous les points d'entrées du produit, accessibles par l'utilisateur selon deux modes :

- Le “mode air” : la gâchette du pistolet est enclenchée. Puis celui-ci est approché jusqu'à toucher la surface du produit. Durant cette procédure, une décharge dans l'air a lieu.
- Le “mode contact” : l'électrode du pistolet est placée sur la partie conductrice, c'est à dire un connecteur vers l'extérieur. Puis, la gâchette est enclenchée et une décharge est injectée directement dans le produit.

Dans tous les cas, une seule décharge doit être envoyée à la fois. Le pistolet doit être positionné perpendiculairement au point de test. Pour valider chaque point de test, la décharge est répétée minimum 10 fois avec un intervalle minimum de 1 s.

Niveau IEC 61000-4-2	Tension de décharge en contact (kV)	tension de décharge dans l'air (kV)
1	2	2
2	4	4
3	6	8
4	8	15

TABLE 1.2: Niveau de conformité de la norme IEC61000-4-2.

La norme IEC 61000-4-2 définit 4 niveaux d'essais afin de tester la robustesse du produit, pour les deux modes de décharge (Tableau 1.2). Lorsqu'un écart non désiré des caractéristiques de fonctionnement du dispositif sous test, temporaire ou permanent, est constaté par rapport aux caractéristiques attendues, le produit est considéré comme défaillant.

Une fois les tests effectués, les produits doivent être classés suivant leur robustesse et leur susceptibilité face au niveau défini. Pour cela, la norme spécifie les 4 classes A, B, C et D suivantes :

- A : Fonctionnement normal dans les limites spécifiées par le fabricant, le demandeur de l'essai ou l'acheteur.
- B : Perte temporaire de fonction ou dégradation temporaire du fonctionnement cessant après la disparition de la perturbation ; le matériel soumis à l'essai retrouve alors son fonctionnement normal sans l'intervention d'un opérateur.
- C : Perte temporaire de fonction ou dégradation temporaire du fonctionnement dont la correction nécessite l'intervention d'un opérateur.
- D : Perte de fonction ou dégradation du fonctionnement non récupérable, due à une avarie du matériel ou du logiciel, ou à une perte de données.

1.3.1.1.1 Problèmes de reproductibilités liés à ce standard : Les testeurs réalisés en accord avec le standard IEC61000-4-2 permettent de tester l'immunité des systèmes électroniques vis à vis des décharges électrostatiques. Cependant, ce standard ne spécifie que quatre paramètres (temps de montée, courant à 1 ns, 30 ns et 60 ns) décrivant uniquement la forme d'onde du courant de décharge dans une impédance de deux ohms. Aucune autre information concernant le rayonnement ainsi que le spectre n'est spécifiée. Ainsi, même si les formes de courant générées par des pistolets de marques différentes sont similaires et respectent le standard, leur rayonnement électromagnétique ainsi que leur spectre peuvent varier considérablement. Ces variations peuvent perturber le fonctionnement du système et créer des différences de robustesse impliquant des problèmes de reproductibilité. Les annexes A donnent un état de l'art des problèmes liées au pistolet ESD permettant de justifier ce paragraphe.

1.3.1.2 Modèle standard ISO 10605

L'ISO10605 [7] est un standard automobile basé sur la norme IEC6100-4-2 décrit dans la section précédente. Il s'agit d'une extension qui spécifie les procédures de test dédiées aux modules électroniques intégrés dans l'automobile. Le Tableau 1.3 résume les différents paramètres utilisés par ce standard et le standard IEC 61000-4-2.

Standard	ISO 10605	IEC 61000-4-2
Tension de sortie (mode air)	2-25 kV	2-15 kV
Tension de sortie (mode contact)	2-15kV	2-8 kV
Temps d'intervalle	1 s	1 s
Polarité	Positif et négatif	Positif et négatif
Capacité du pistolet ESD	150 pF/330 pF	150 pF
Résistance du pistolet ESD	2 kohm/330 ohm	330 ohm
Nombre de décharges	3 minimum	10 minimum
Référence du pistolet ESD	Batterie	Terre
Conditions de test	Alimenté/non-alimenté avec batterie	Alimenté

TABLE 1.3: Comparaison des paramètres de test de l'ISO10605 et de l'IEC 61000-4-2 [64].

Les tests sont désormais effectués dans deux conditions : non alimenté et alimenté avec une batterie. Le standard spécifie comment connecter le retour de masse du générateur ESD à un plan de couplage faisant office de masse de batterie ou du châssis du véhicule, contrairement à l'IEC61000-4-2 qui spécifie une connexion à la terre. Le standard automobile définit de plus une modularité plus grande des capacités de charge C, et des résistances de décharge, R. Ceci dans le but d'augmenter la sévérité des tests. Une illustration d'un test effectué sur la poignée d'un porte de voiture est donnée Figure 1.25.

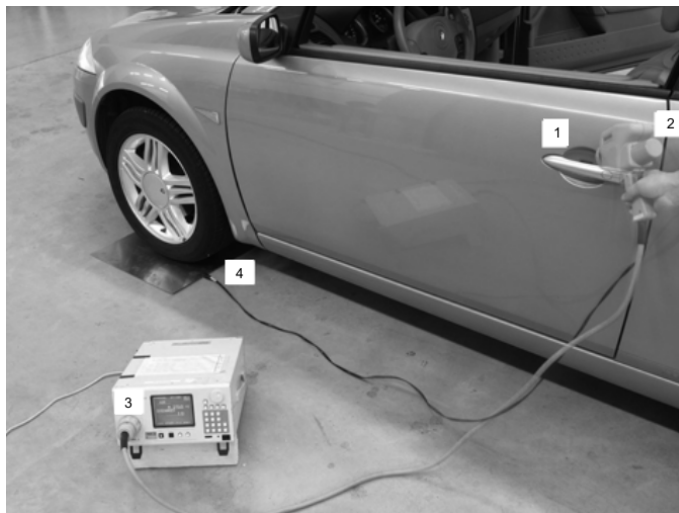


FIGURE 1.25: Photographie illustrant un test effectué sur la poignée d'une porte d'un véhicule [7].

1.3.1.3 Modèle CDE (Cable Discharge Event)

Aujourd'hui, les interfaces électroniques sont indispensables pour les communications entre les systèmes. Les câbles USB, FireWire, Ethernet, etc. sont couramment utilisés dans presque toutes les applications électroniques multimédias. Ces câbles ont généralement une longueur égale ou supérieure au mètre et peuvent accumuler des charges durant leur manipulation. Un événement ESD, appelé CDE (Cable Discharge Event) peut survenir au branchement du câble dans le connecteur par exemple un câble USB dans un appareil photo (Figure 1.26 (a)). Le câble chargé se décharge alors dans l'interface électronique.

La forme du CDE dépend fortement de la longueur de la ligne et de la tension de charge de celle-ci. Une forme d'onde typique est illustrée Figure 1.26. La décharge est constituée d'un pic de courant initial créé par la capacité entre la ligne et la terre. Elle est suivie d'un plateau correspondant à la décharge de la ligne similaire à celle d'une ligne de transmission.

Le type de câble n'a pas d'influence significative sur la forme de décharge. L'effet de décharges consécutives de câbles multiples (tel que l'USB) est actuellement en cours de discussions [65]. Ce modèle n'est pas standardisé mais un groupe de travail (n°14) de l'ESDA (ESD-Association) travaille actuellement sur un standard pour définir des méthodes de test CDE [19].

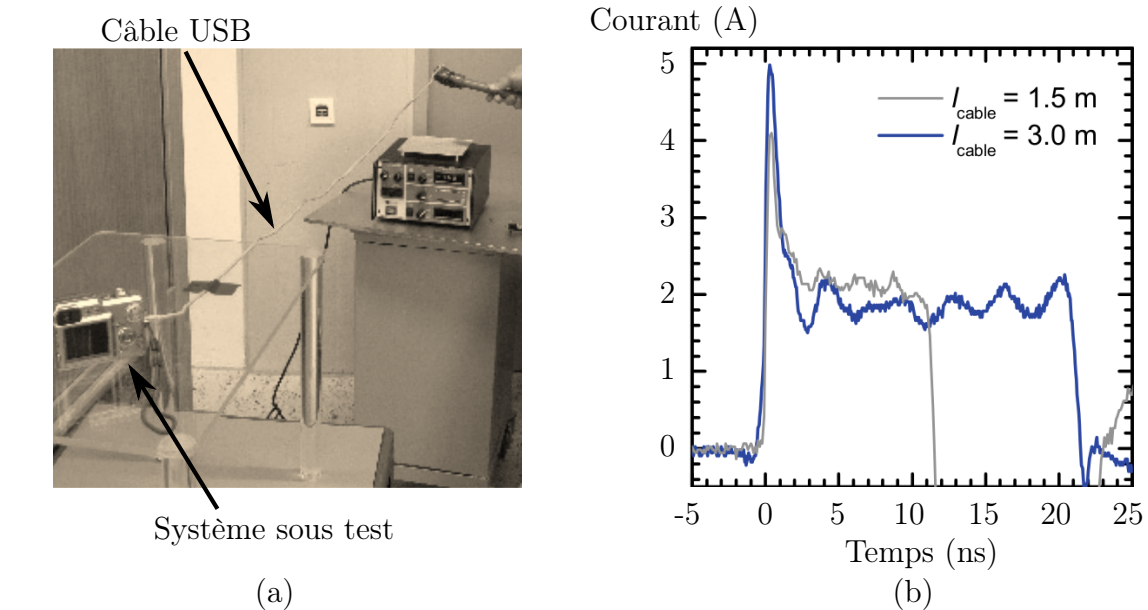


FIGURE 1.26: Raccordement d'un câble USB à un appareil photo (a), forme du courant de décharge du câble correspondant à l'évènement CDE (b).

1.3.1.4 Modèle HMM (Human Metal Model)

Les tests en accord avec le standard IEC 61000-4-2 sont devenus largement utilisés pour tester directement les composants. Même si ce standard est dédié aux systèmes complets, les concepteurs de système (EM : Electronic Manufacturer) demandent de plus en plus à leurs constructeurs de circuit intégré (IDM : Integrated Device Manufacturers) de tester les composants avec ce standard [66]. Les motivations sont multiples. D'une part, les EM souhaitent supprimer les protections externes ajoutées sur le circuit imprimé pour minimiser les coûts de production. D'autre part, dans le domaine de l'automobile, les circuits doivent être de plus en plus robustes compte tenu du nombre croissant de charges inductives en commutation (relais, moteurs, etc...) induisant des perturbations [67]. Ceci est particulièrement demandé pour les circuits de communication CAN (Control Area Network) ou LIN (Local Interconnect Network). Ces circuits, intégrés dans les nombreux modules d'une voiture, ont une ou plusieurs broches reliées directement à un connecteur extérieur. Il sont donc sujet à de très fortes décharges de type système.

L'interprétation et l'implémentation des tests systèmes sur le composant varient inévitablement d'un constructeur à l'autre, posant des problèmes de reproductibilité. A cela s'ajoute les problèmes liés aux pistolets ESD (notamment les rayonnements) décrit dans la sous-sous-section 1.3.1.1 qui influence aussi la reproductibilité. Afin que les EM et IDM puissent comparer leurs données, une standardisation est requise. Pour répondre à ces attentes, une nouvelle méthode de test, appelé HMM est en cours de discussions et un comité

de standardisation (groupe SP5.6 de l'ESD association [68]) travaille actuellement sur sa définition. Son objectif est de définir une méthode de test pour évaluer un composant en utilisant la forme d'onde de l'IEC61000-4-2 (voir Figure 24 (b)).

Le standard émergent du HMM [68] donne quelques informations sur les procédures de tests : une carte universelle pour les tests, appelé TFB (en anglais : Test Fixture Board), a été développée (Figure 1.27). Le circuit électronique est soudé sur cette carte et l'impédance entre les points d'injection du pistolet et le circuit est constante (50Ω). Une des grandes différences par rapport au standard IEC est que le retour de masse du pistolet ESD n'est plus connecté à un plan de couplage mais directement sur la masse du circuit imprimé. Cette configuration permet d'éliminer la capacité entre la carte et la terre, capacité non représentative de la réalité [64].

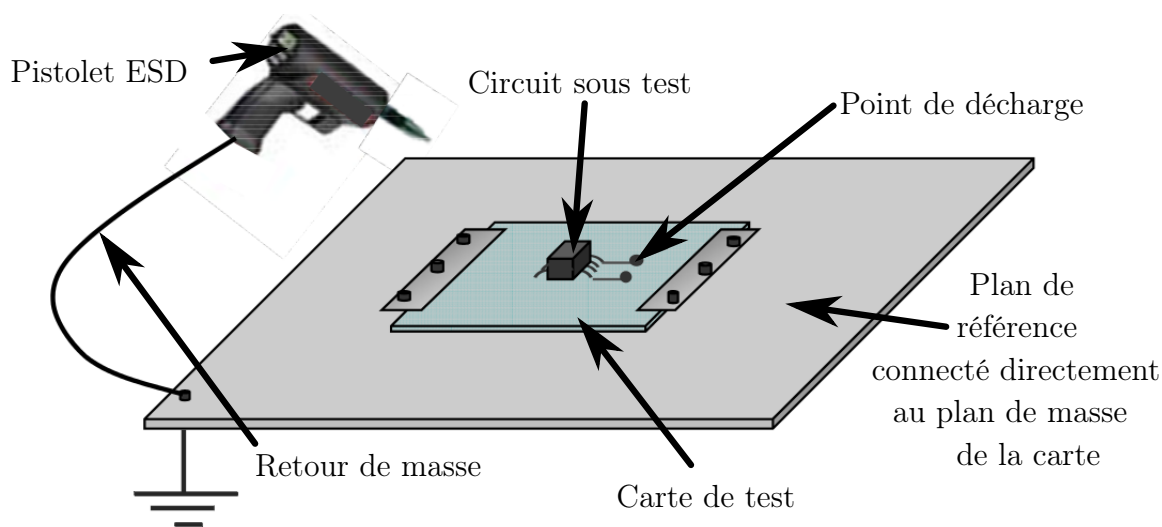


FIGURE 1.27: Schéma simplifié de la configuration de test du HMM [64].

Les tests du HMM sont effectués suivant trois configurations :

- La pointe du pistolet est en contact avec un point situé sur la TFB. Les champs électromagnétiques émis par le pistolet ESD ont une influence sur les résultats.
- La carte TFB est fixée sur une plaque métallique trouée au niveau des points de décharge situés en face arrière de la carte. La pointe du pistolet est passée par un trou et est mise en contact avec un point de décharge de la TFB. La plaque métallique sert de bouclier électromagnétique et les champs rayonnés par le pistolet ne perturbent pas les mesures.
- La troisième configuration utilise un générateur 50Ω à la place du pistolet ESD. Ce générateur est connecté à un point de test à l'aide d'un câble 50Ω . Cela permet de s'affranchir totalement des perturbations électromagnétiques émises par le pistolet.

Des tests ont été initiés par le groupe de travail de l'ESD association dans différents laboratoires dans le monde afin de vérifier la répétabilité et la validité des tests HMM.

1.3.2 Les protections externes

Lorsque un circuit n'est pas capable de fournir une protection suffisante, une solution consiste à ajouter une protection externe comme par exemple une TVS (Transient Voltage Suppressor) [69]. Des TVS de différents types, capables de supporter les stress du niveau système sont connectées sur la carte électronique au niveau des ports d'entrées/sorties [70] comme illustré Figure 1.28. Le but de cette protection est de limiter les surtensions et les surintensités causées par les ESD sur le port d'entrée ou sortie du circuit à protéger.

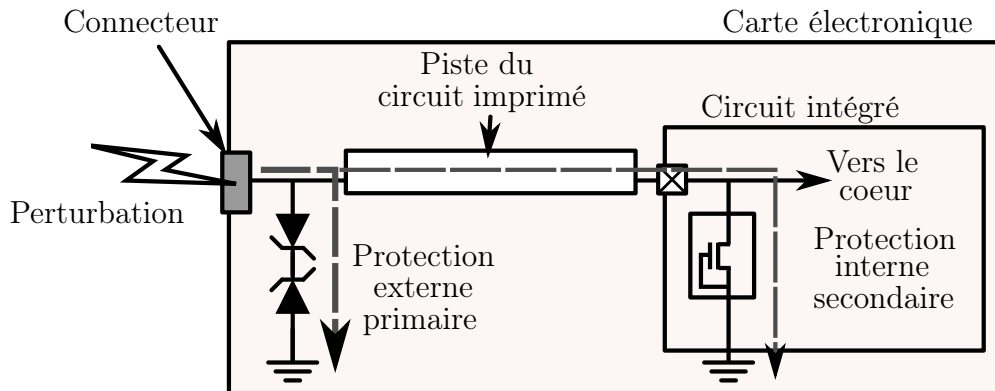


FIGURE 1.28: Ajout d'une protection externe sur une carte électronique pour protéger le système des décharges qui surviennent sur un des connecteurs.

Cependant, le fait qu'une protection externe supporte les stress du niveau système n'implique pas qu'elle protège automatiquement la pin du circuit si celle-ci est connectée en parallèle. Il est nécessaire de tenir compte des caractéristiques de la protection externe, des protections intégrées dans le circuit, mais aussi de l'impédance de la piste du circuit imprimé sous peine de n'apporter aucune protection supplémentaire voir une dégradation. Le rôle de la protection externe, protection primaire Figure 1.28, est de détourner les forts courants vers la masse. Mais comme les niveaux de stress système sont très forts et que les protections externes tels que les TVS ont une forte résistance à l'état passant, la tension induite à leurs bornes est très importante. La protection secondaire, Figure 1.28, est la protection existante à l'intérieur du circuit. Son rôle est de garantir que la broche du circuit puisse tenir une certaine quantité de courant sans subir de dommage. Les niveaux de robustesse de ces protections sont déterminés par les tests HBM, CDM et MM. L'impédance entre la protection primaire et secondaire joue un rôle critique. La tension induite par la protection primaire étant élevée, l'impédance de la ligne doit limiter le courant vers le circuit à une valeur supportable par celui-ci. Prenons l'exemple d'un circuit dont la robustesse est de 1 kV HBM. Le courant supporté par le circuit est de $1000 \text{ V} / 1500 \text{ ohms} = 0.67 \text{ A}$. Si la tension induite par la TVS durant le stress est de 100 V, l'impédance de la ligne doit être supérieure à 150 ohm pour limiter le courant à 0.67A

dans la broche du circuit ($100 \text{ V} / 150 \text{ ohms} = 0.67 \text{ A}$) [70].

D'autre part, il est nécessaire de vérifier les tensions de déclenchement des protections ajoutées en externe vis à vis des protections internes. Les caractéristiques fort courant d'une protection externe superposées à une protection interne dans deux cas (a) et (b) sont représentées Figure 1.29. La protection interne du circuit dans le cas (a) a une plus faible robustesse que dans le cas (b) (voir le niveau de I_{t2} Figure 1.29). Cependant, dans le cas (b), la protection externe ne peut pas protéger le circuit car sa tension de déclenchement est plus haute que celle du circuit. La majorité du courant va circuler par la protection du circuit qui n'est pas conçue pour faire passer les larges quantités d'énergie d'un stress système. Au contraire, dans le cas (a), le circuit a une tension de déclenchement plus importante et peut être protégé par la protection externe. Celle-ci dévie la majorité du courant de décharge[19].

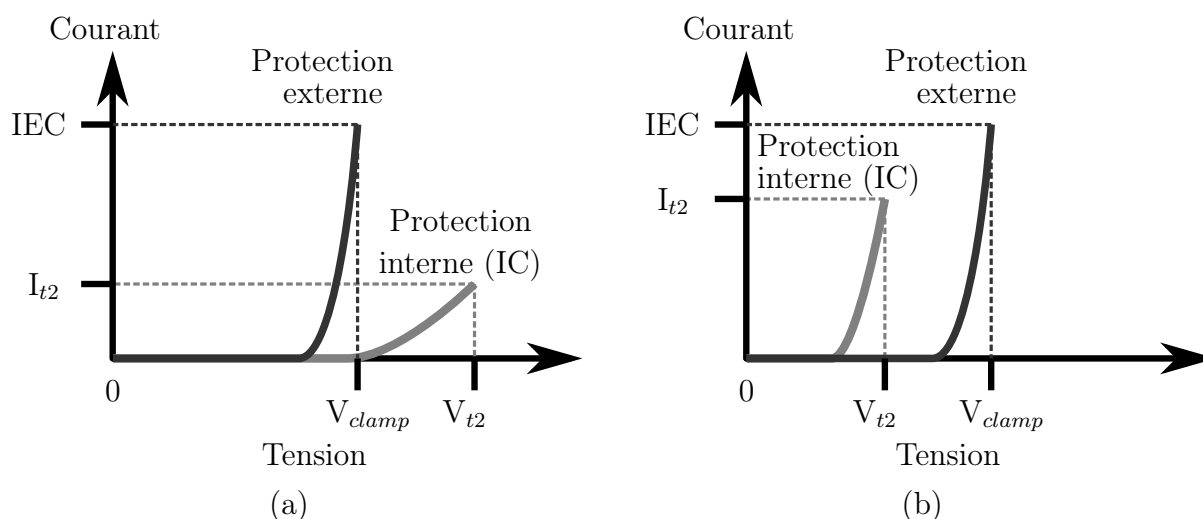


FIGURE 1.29: Caractéristique fort courant d'une protection externe superposée à une protection interne [19].

Bien que ces protections, si elles sont bien conçues, protègent efficacement les ports des circuits, elles restent néanmoins coûteuses. De plus, elles occupent un espace de carte précieuse et ajoutent des éléments parasites (capacités) à la ligne d'entrées / sorties pouvant dégrader les fonctionnalités.

1.3.3 Les problématiques des ESD au niveau système et les besoins industriels

Le standard de test le plus couramment utilisé pour tester les systèmes et équipements électroniques est l'IEC61000-4-2. Lorsque les EM vont évaluer un produit en suivant cette norme, des défaillances de type robustesse et/ou susceptibilité vont être détectées. Une

investigation peut être menée afin de déterminer quels éléments du système provoquent la défaillance. Cependant, la propagation de la décharge générée par le testeur IEC dans le système n'est pas facile à étudier pour les raisons suivantes :

- Le système réel est composé d'une multitude d'éléments ayant des impédances variées : les connecteurs, les pistes du circuit imprimé, les éléments passifs (capacité de découplage), le boîtier du circuit, etc. Lorsque la décharge du pistolet va se propager dans le système, chaque rupture d'impédance va modifier l'allure du signal. A cela s'ajoute les variations de l'impédance des protections ESD externes ou internes aux circuits, qui dans le cas idéal, passent de l'infinie (circuit ouvert) à zéro (circuit fermé) lorsque ces dernières se déclenchent. Leur passage de l'état bloqué à l'état passant peut se faire de façon non linéaire et complexe (cas du SCR), avec des constantes de temps variables. Il est donc très difficile de prévoir les réflexions non contrôlées qui se propagent et se superposent à la forme des ondes transmises dans le cas de transitoires rapides ($\simeq 1 \text{ ns}$).
- Comme exposé dans la sous-sous-section 1.3.1.1, les pistolets souffrent de nombreuses lacunes compromettant la reproductibilité des tests. Il est difficile d'interpréter les résultats lorsque des perturbations électromagnétiques, non reproductibles entre testeurs, se couplent au système. Les ESD étant des perturbations impulsionnelles, l'étalement spectral peut s'étendre jusqu'à plusieurs gigahertz [16]. Les temps de transitions rapides, de l'ordre de quelques centaines de picosecondes à quelques dizaines de nanosecondes, associés aux fortes amplitudes de courant/tension impliquent des bandes de fréquences importantes. Les fortes transitions $\frac{dI}{dt}$ et $\frac{dV}{dt}$ circulant dans les pistes PCB et les câbles induisent des rayonnements électromagnétiques qui se couplent sur les différents éléments et circuits constituant le système.
- Le manque d'information est aussi une des causes de la difficulté d'analyse du système. En effet, les constructeurs de circuit intégré ne fournissent aucune information concernant les protections ESD intégrée dans le circuit par soucis de propriété intellectuelle. L'optimisation d'une protection ESD ajoutée en externe, telle décrite dans la section précédente devient difficile.

Compte tenu de ces effets, la détermination de la forme du courant et de la tension à un endroit donné du système est un vrai challenge. Par exemple, lorsque la destruction d'un circuit intégré est révélée, lors d'un test système, les concepteurs se posent alors les questions suivantes : Quelle est le courant qui arrive sur le circuit lorsqu'une décharge est injectée sur le connecteur ? Comment comprendre le mécanisme à l'origine de la destruction du circuit alors qu'aucune information n'est disponible sur celui-ci ? Les EM se heurtent vite au manque de connaissances, de techniques de mesures et d'informations permettant l'analyse de la pénétration et de la distribution du stress dans le système [19].

Pour résoudre leurs problèmes, les concepteurs de système se tournent donc vers les constructeurs IDM pour leur demander des informations supplémentaires sur le circuit. Les IDM ne fournissent aucune information supplémentaire par soucis de propriété intellectuelle. Ce qui pousse, dans la majorité des cas, les EM à demander une robustesse du composant spécifique, la plupart du temps en accord avec les standards JEDEC/ESDA HBM. Comme l'ESD système est plus sévère [19], le niveau HBM requis pour le circuit, en général 1 kV, est augmenté à une valeur plus importante. Cependant cette augmentation ne garantit pas une meilleure robustesse du circuit dans son application finale. La protection d'un système doit être effectuée par l'ensemble des éléments qui le composent et non uniquement avec le circuit intégré.

Il apparaît donc clairement que les industriels ont besoin de modèles et de méthodes de modélisation tenant compte à la fois du composant et de ces protections, mais aussi de tous les autres éléments inclus sur les cartes électroniques pour anticiper les défaillances. Ces méthodes et techniques sont indispensables pour comprendre les divers phénomènes engendrés par conduction ou par rayonnements.

A ce jour, il existe des outils de simulation qui pourraient être utilisés à cet effet, comme les logiciels de simulation électromagnétique, ou/et les logiciels électriques hautes fréquences. Cependant, leur utilisation est complexe et ils requièrent des temps de calculs importants. Face à la complexité des systèmes à analyser, leur utilisation n'est pas envisageable, compte tenu du nombre de circuits actifs. D'un autre côté, comme nous l'avons précisé, aucune information ESD n'est donnée sur les circuits intégrés. Actuellement, les simulations du système soumis aux ESD sont, par conséquent, difficiles, voire pas possibles.

1.4 Conclusion

La charge électrique d'un objet ou humain est un phénomène naturel. Les décharges électrostatiques résultant d'un fort déséquilibre de charges sont une véritable source de défaillances pour les produits électroniques. Nous avons vu qu'il existe deux domaines distincts dans l'étude des ESD : "l'aspect composant" et "l'aspect système" :

Dans l'aspect composant, les testeurs standards ESD sont destinés à reproduire les événements ESD qui ont lieu durant la fabrication des circuits, c'est-à-dire dans des zones protégées EPA, où les décharges électrostatiques sont très limitées. Des réseaux de protections ESD sont intégrés dans le circuit afin de dévier ces décharges et de nombreux outils de caractérisations et simulations ont été développés pour les optimiser.

D'un point de vue système, les puces sont intégrées sur des cartes électroniques formant le système (téléphone portable, ordinateur, calculateur de voiture) qui évolue dans des conditions réelles de fonctionnement. Dans les environnements extérieurs, les décharges

électrostatiques ne sont plus limitées et exposent les circuits à des conditions d'utilisation de plus en plus critiques de part l'évolution des technologies et l'explosion des systèmes embarqués. Le standard de test IEC61000-4-2 permet d'évaluer l'immunité des produits vis-à-vis des fortes décharges qui ont lieu durant l'utilisation du produit. Ce standard souffre toutefois de nombreuses lacunes qui font que ce test n'est pas reproductible d'un testeur à l'autre. Lorsqu'une défaillance du produit est révélée, il n'existe aucun outil, aucune méthode permettant d'analyser ou de prédire le comportement du système. Les concepteurs doivent remanier le produit jusqu'à ce que celui-ci remplisse les exigences du standard, sans avoir suffisamment de méthodes d'investigation pour comprendre ce qui se passe durant la décharge. Ceci peut conduire à de nombreuses conceptions incorrectes avant de trouver une solution qui n'est pas forcément la plus efficace, ni la plus économique.

Les travaux de ma thèse visent le développement de méthodes de modélisation et de caractérisation permettant d'analyser un système, de comprendre et de prédire les modes de propagation et de défaillance lorsque survient une décharge électrostatique.

2 Méthodologie de modélisation d'un système soumis à des décharges électrostatiques

2.1 Introduction

Ce chapitre décrit une méthode de modélisation comportementale permettant, d'une part d'analyser la propagation du courant issue d'une décharge dans un système depuis un générateur ESD jusqu'aux phénomènes internes aux circuits, d'autre part d'analyser le comportement fonctionnel afin de réaliser des études de susceptibilités du système vis à vis d'une décharge ESD. L'objectif est de développer une méthodologie générique à partir des informations fournies par les constructeurs de composants ou de mesures effectuées qui puisse être utilisable directement par les concepteurs de systèmes. Dans ce chapitre, nous détaillerons comment chaque élément constituant le système est modélisé : les protections ESD, le circuit intégré, les pistes du circuit imprimé, les composants passifs et les générateurs de décharges.

Ce chapitre est dédié à la description de la méthodologie de modélisation du système. Quelques simulations et corrélations de mesures seront données. Cependant, la validation des modèles sera effectuée lors de l'étude de cas par comparaison des mesures et des simulations dans le chapitre 4.

2.2 Principe de modélisation

Un système est composé d'une multitude d'éléments : les circuits intégrés qui incluent leurs protections ESD. Le circuit imprimé qui comprend les pistes PCB et les composants passifs. Et l'environnement extérieur, assimilable dans notre cas à un environnement de stress ESD, qui est composé de câbles, sondes, appareils de mesures et générateur de décharge. Dans notre méthodologie, chacun de ces éléments est modélisé de manière indépendante en utilisant le VHDL-AMS (Very-high-speed integrated circuit Hardware Description Language – Analog and Mixed Signals). Le VHDL-AMS est un langage standardisé selon la norme IEEE1076.1 [71] certifié IEEE (Institute of Electrical and Elec-

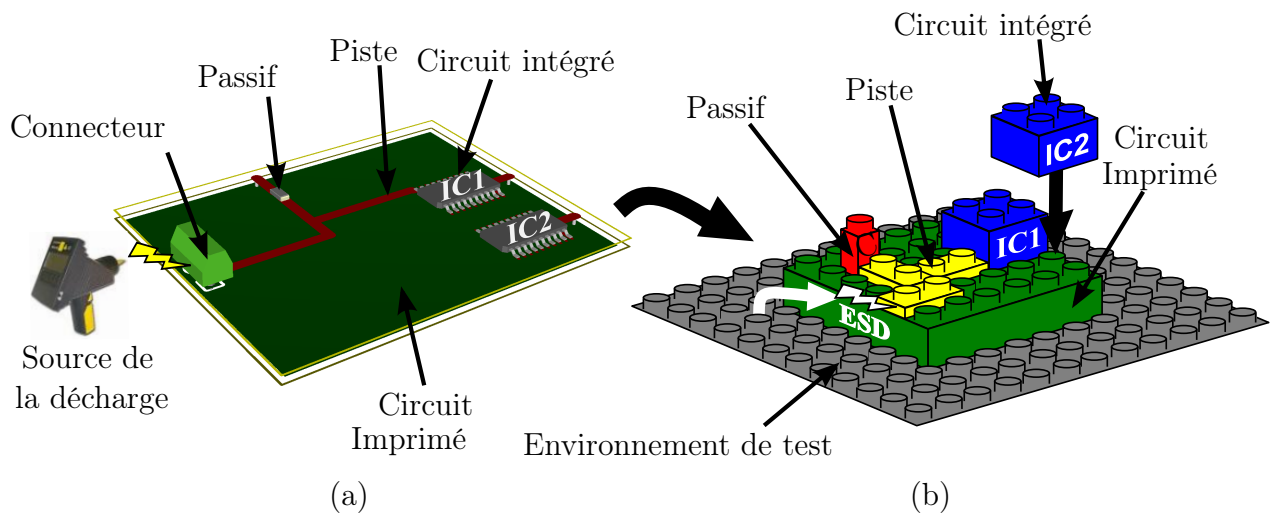


FIGURE 2.1: Principe de modélisation d'un système : vue du système classique (a), assemblage de blocs élémentaires suivant la topologie du système (b).

tronics Engineers). Il permet de décrire les systèmes mixtes analogiques, numériques, hydrauliques, thermiques... avec des modèles multi-abstractions, multi-disciplinaires à temps continu et à évènements discrets [72]. Ce sont ces qualités, et notamment les aspects multi-abstractions qui nous ont poussés à choisir ce langage. Il est utilisé dans notre cas pour faire des descriptions de haut niveau du système au travers de descriptions comportementales et structurelles pour un assemblage hiérarchique, ceci afin d'essayer de résoudre les problèmes de complexité des systèmes. Les interactions entre tous les éléments du système cités en début de ce paragraphe peuvent être très complexes, mais surtout, les industriels ne sont pas prêts à donner des modèles complets permettant la simulation d'évènement ESD, révélant ainsi leurs techniques. Chaque élément est ainsi modélisé en VHDL-AMS, et forme un bloc élémentaire. Le concepteur de système dispose ainsi d'une bibliothèque de blocs qu'il peut assembler de manière hiérarchique pour modéliser le système complet. Le principe de modélisation d'un système est illustré Figure 2.1. Le système est un circuit imprimé sur lequel sont montés des circuits intégrés, des composants passifs et connecteurs reliés entre eux par des pistes métalliques (Figure 2.1 (a)). La simulation doit aussi prendre en compte les éléments liés à la source de la décharge car ces derniers peuvent avoir un impact important comme par exemple les retours de masse entre le générateur et le système. L'assemblage des blocs élémentaires, disponibles dans la bibliothèque, est effectué à la manière de "legos" assemblés sur un plaque suivant la topologie du système, illustré Figure 2.1 (b).

En suivant ce principe, il doit être possible de modéliser n'importe quel système suivant sa topologie, son environnement, ses conditions d'utilisation et de prédire les défaillances qu'une ESD pourra introduire.

Les quatre sections suivantes détaillent respectivement la modélisation du circuit, la modélisation des pistes du circuit imprimé et des éléments passifs, la modélisation des éléments extérieurs tels que les générateurs de décharge et enfin l'assemblage hiérarchique des blocs pour une modélisation complète du système.

2.3 Modélisation du circuit

2.3.1 Informations disponibles pour la modélisation du circuit :

D'un point de vue concepteur de système, la modélisation d'un circuit n'est pas possible sans effectuer des investigations et des mesures. Les concepteurs de circuits ne fournissent aucune information sur les moyens de lutte contre les ESD utilisés par leurs circuits. Un extrait de la documentation technique constructeur d'un circuit numérique CMOS est donné Figure 2.2. Cette documentation donne les niveaux de robustesse du composant : 2 KV HBM (JESD22 A114-A [1]), 100 V MM (JESD22 A115-A [3]), 1 KV CDM (JESD22 C101 [29]). Aucune information n'est disponible concernant les structures ainsi que les stratégies de protection utilisées. Ils ne distribuent pas ces informations pour préserver leurs propriétés intellectuelles.

ESD Protection Exceeds JESD 22
- **2000-V Human-Body Model (A114-A)**
- **200-V Machine Model (A115-A)**
- **1000-V Charged-Device Model (C101)**

FIGURE 2.2: Extrait de la documentation technique du circuit 74LVC04A [73].

Pour les circuits intégrés, il existe un modèle appelé IBIS (Input output Buffer Information Specification) dédié aux simulations de l'intégrité du signal (SI Signal Integrity). Ils sont disponibles sur les sites internet des constructeurs en parallèle de la documentation technique. Ces modèles sont utilisés pour effectuer l'analyse du comportement du circuit et vérifier que le produit final n'est pas sujet à des problèmes d'overshoot, de ruptures d'impédance, de couplages ou autres problèmes liés à la compatibilité électromagnétique. Bien que ces modèles ne soient pas adaptés à des simulations ESD, ils constituent une grande source d'informations nécessaires pour l'implémentation des circuits dans la simulation.

La méthode de modélisation du circuit présentée dans cette section est basée sur la combinaison des informations contenues dans la documentation technique et des modèles IBIS. D'autres informations, notamment sur les structures de protection ESD, seront extraites par mesure directe sur le circuit. Dans les sections suivantes, la modélisation du circuit est illustrée en se basant sur le circuit numérique inverseur 74LVC04A en technologie CMOS 0,25 μ m du constructeur Texas Instruments [73].

2.3.2 Description des modèles IBIS

Lors de la conception d'un système numérique, des simulations de l'intégrité du signal [74, 75, 76] sont effectuées pour vérifier la qualité du signal. Les niveaux numériques sont en fait des niveaux de tensions analogiques qui vont être sujet à des distorsions, des bruits et des pertes. Compte tenu des vitesses de fonctionnements rapides des systèmes numériques et des effets de propagation entre les différents circuits, des effets divers tels que les surtensions, la diaphonie, les ruptures d'impédance... peuvent dégrader le signal électrique provoquant des défaillances du système. L'ingénierie d'intégrité du signal a pour tâche d'analyser et d'atténuer ces effets.

Avant le milieu des années 90, la disponibilité des modèles pour la description du circuit était très limitée et les constructeurs étaient réticents à donner des détails de la structure interne requis par les concepteurs de système pour mener à bien leurs simulations SI. Durant les quinze dernières années, le standard IBIS, aussi connu sous le nom de ANSI/EIA-656 [77] a été développé pour apporter aux concepteurs de systèmes des informations sur le comportement des circuits intégrés. Ces informations permettent d'étudier l'intégrité du signal sans compromettre la propriété intellectuelle des fondeurs.

Au niveau ESD système, le même problème que pour les simulations SI, il y quinze ans, se pose actuellement. Comme nous avons vu dans la section précédente, aucune information ESD n'est donnée par les constructeurs de circuit. Dans notre étude, nous avons donc fait une investigation pour savoir quelles informations disponibles dans IBIS pourraient être utiles et si celles-ci pourraient être adaptés pour notre domaine d'étude.

2.3.2.1 Principe des modèles IBIS

Les modèles IBIS contiennent des informations sur chacune des différentes broches du circuit intégré. Le modèle comprend un fichier portant l'extension *.ibs et dont les données sont générées au format texte ASCII. Les principales informations données dans ce fichier sont :

- Les valeurs des éléments R_{pkg} , C_{pkg} et L_{pkg} correspondant aux éléments parasites du boîtier et des fils de connexions de la puce au boîtier.
- La valeur de la capacité C_{comp} , qui est la capacité équivalente de l'étage d'entrée ou de sortie liée au transistor, au piste métallique de connexion et à la capacité du pad.
- Les tables I(V) des protections ESD "power clamp" et "ground clamp" correspondant aux protections situées entre le pad et respectivement les rails d'alimentations V_{DD} et V_{SS} . Il est à noter que le power clamp, d'un point de vue IBIS, n'est pas la protection entre V_{DD} et V_{SS} telle que nous la connaissons dans la communauté ESD.
- Les tables I(V) intitulé "Pull Up" et "Pull Down" correspondant aux transistors de sorties. Dans le cas d'un circuit en technologie CMOS par exemple, ces courbes cor-

respondent aux PMOS et NMOS de l'étage de sortie. Les caractéristiques $I(V)$ sont obtenues pour $|V_{gs}| = V_{DD}$

- Les quatre tables $V(t)$ qui donnent des informations sur la dynamique des sorties. Ces formes d'ondes correspondent aux transitions de l'état haut à l'état bas et de l'état bas à l'état haut des Pull Up et Pull Down de l'étage de sortie.

Un extrait du fichier IBIS, illustrant l'organisation de ces différentes informations, est donnée Figure 2.3.

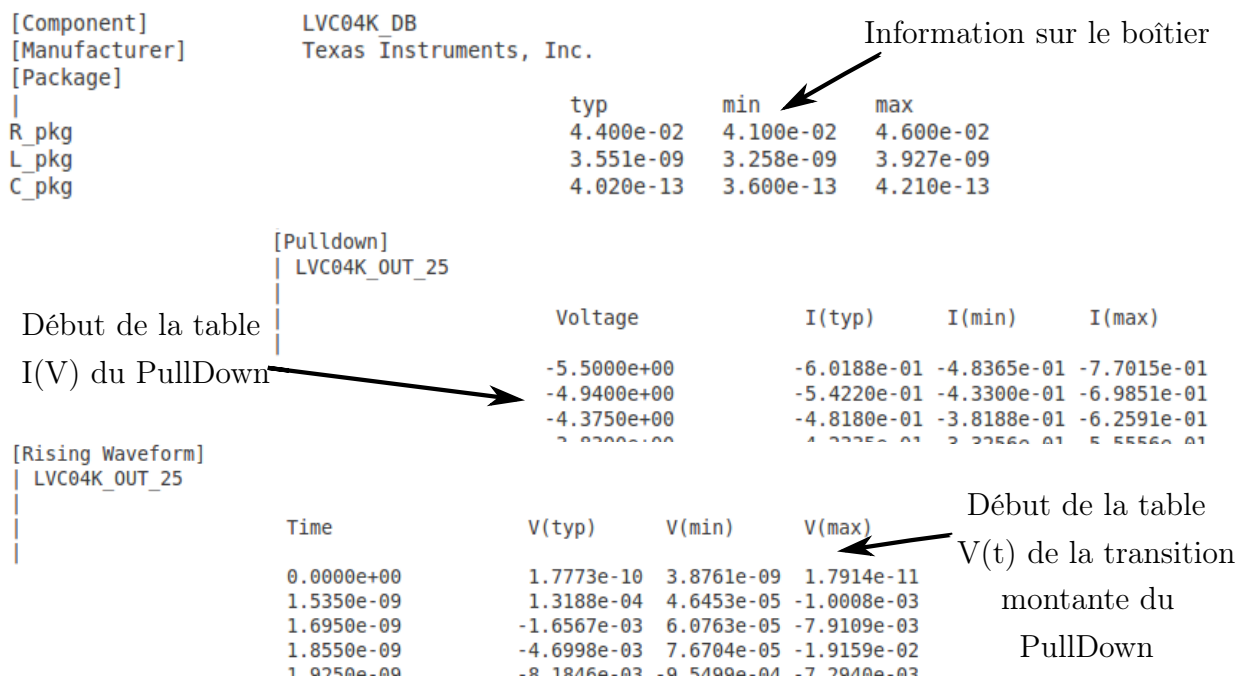


FIGURE 2.3: Extraits du fichier IBIS du circuit 74LVC04A [78].

Toutes les données incluent dans les fichiers IBIS sont extraites à partir de mesures et/ou de simulations Spice. L'extraction des paramètres est expliquée dans le "cookbook IBIS" [79]. Un assemblage typique de ces informations, pour une entrée et une sortie deux états, est illustré Figure 2.4 (a) et (b). Les protections ESD sont représentées par des diodes. Les valeurs des éléments passifs reportées sur le schéma sont celles données dans les fichiers IBIS du circuit 74LVC04A étudié.

L'avantage des modèles IBIS est qu'ils permettent de reproduire de manière purement comportementale le fonctionnement des entrées et sorties sans dévoiler aucune information technologique ni aucun schéma électrique du circuit. La propriété intellectuelle des constructeurs de circuit intégré est ainsi préservée. Les simulations de l'intégrité du signal peuvent être effectuées.

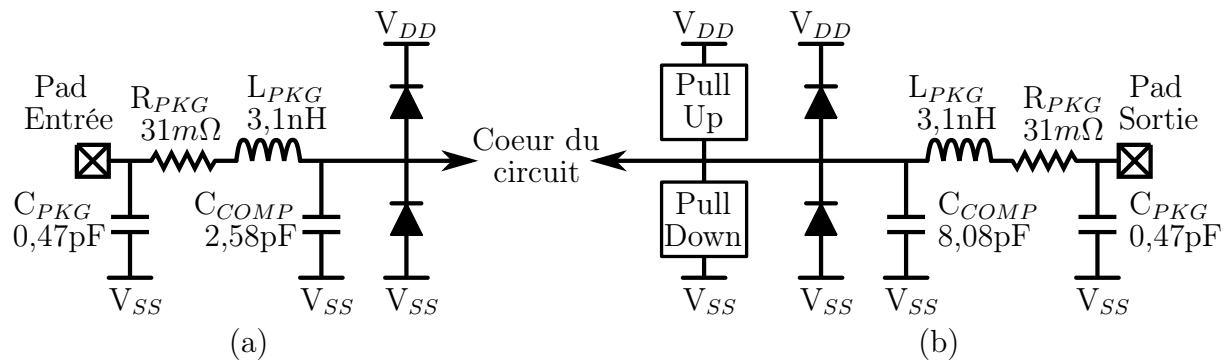


FIGURE 2.4: Représentation schématique des modèles IBIS d'une entrée (a) et d'une sortie (b).

2.3.2.2 Lacunes pour les simulations ESD

Même si les fichiers IBIS sont fonctionnels pour les simulations SI, les informations qu'ils contiennent sur les protections ESD sont insuffisantes.

Tous les chemins de courant ESD ne sont pas considérés. La représentation schématique d'une stratégie de protection centralisée, montrant les protections manquantes non définies par le fichier IBIS du circuit 74LVC04A, est donnée Figure 2.5. Nous pouvons voir que la protection d'alimentation entre les broches V_{DD} et V_{SS} n'est pas définie. Si une décharge survient entre une sortie (*OUT*) et V_{SS} , aucune structure ou chemin ne permettent d'évacuer le courant vers V_{SS} . Or ce chemin existe et doit être pris en compte. Nous pouvons faire la même remarque sur l'entrée. Aucune structure n'est prise en compte pour le passage du courant entre l'entrée et V_{DD} .

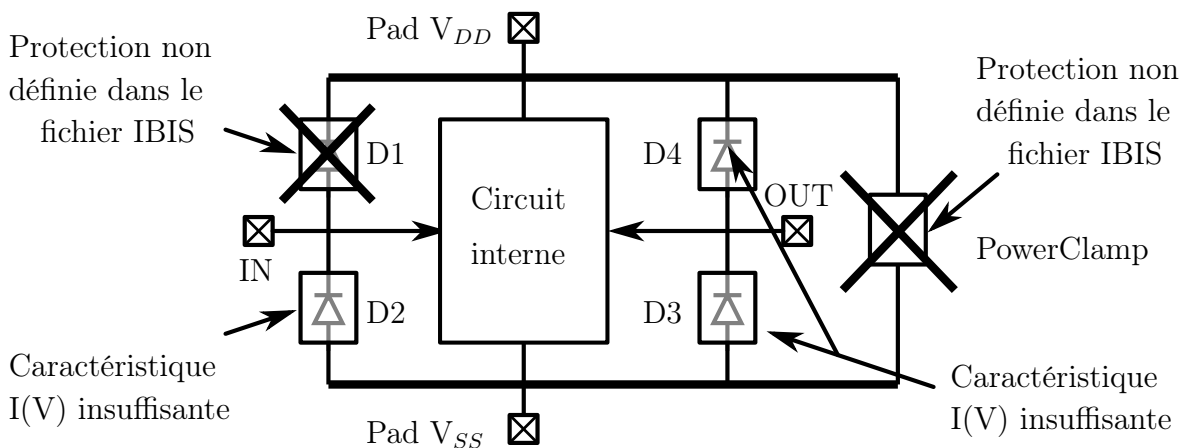


FIGURE 2.5: Mise en évidence des lacunes de IBIS, pour le circuit 74LVC04A, sur la représentation schématique d'une stratégie de protection centralisée typique utilisée dans les technologies CMOS.

D'autre part, les caractéristiques I(V) des protections sont données pour une plage de

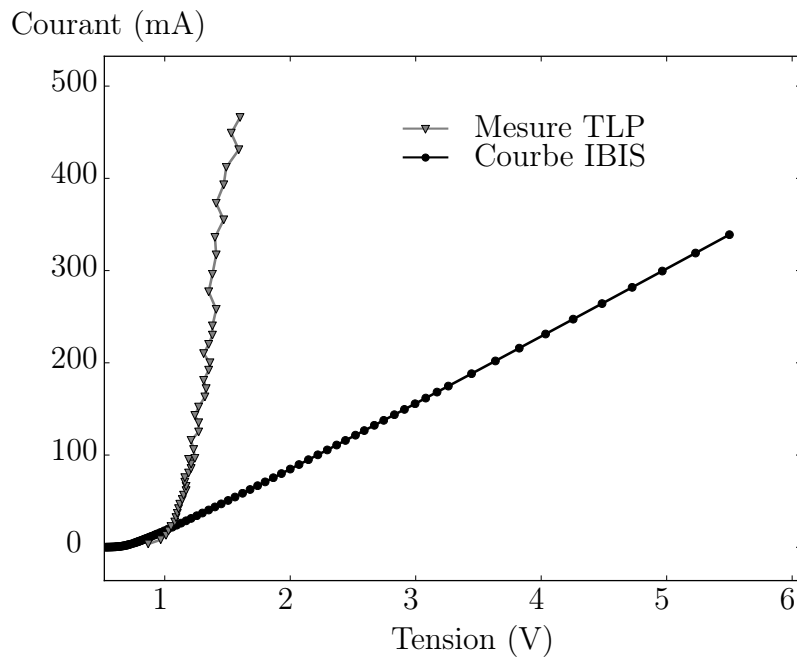


FIGURE 2.6: Comparaison d'une mesure TLP et d'une caractéristique I(V) IBIS de la structure située entre la broche V_{SS} et l'entrée du circuit.

tension allant de $-1 \times V_{DD}$ à $2 \times V_{DD}$. Ceci est très insuffisant pour simuler les forts courants ESD. Un exemple de mesure TLP effectuée entre la broche V_{SS} et l'entrée du circuit superposée à une caractéristique I(V) IBIS est donné Figure 2.6. La résistance à l'état passant est beaucoup trop importante vis à vis de la réalité, la réponse obtenue n'est pas satisfaisante. De plus cette gamme de courant n'est pas assez importante pour représenter les repliements de protections telles que des thyristors ou ggNMOS.

Enfin, les modèles ne prennent pas en compte les éventuels déclenchement dynamiques de certaines protections tels que les gcNMOS ou les structures de protection déclenchées avec des circuits RC.

Le modèle du circuit développé dans la thèse ré-utilise les valeurs des éléments passifs de toutes les pins (R_{PKG} , L_{PKG} et C_{PKG}) ainsi que la capacité équivalente (C_{COMP}) données par IBIS. La modélisation fonctionnelle du circuit ré-utilise les tables I(V) et V(t) des PullUp et PullDown. Celle-ci sera détaillée dans la sous-section 2.3.4. Les modèles de protections ESD issus de IBIS sont remplacés par d'autres modèles décrits dans la section suivante.

2.3.3 Modélisation des protections ESD

Deux techniques de modélisations des protections ont été développées pour remplacer les modèles basés sur les courbes I(V) de IBIS : une technique semi-empirique basée sur le

fonctionnement physique de la structure ESD et une technique purement comportementale. Comme aucune information sur les protections intégrées n'est disponible, des mesures ont été effectuées directement sur le circuit pour extraire des paramètres nécessaires à la modélisation.

2.3.3.1 Extraction d'informations à partir de mesures

Pour extraire des informations sur les protections ESD, des mesures statiques et quasi-statiques (TLP) ont été effectuées entre chacune des broches du circuit. Un ingénieur expérimenté, connaissant l'état de l'art des protections intégrées [11, 80, 40, 81, 82] (voir chapitre 1 dans la sous-sous-section 1.2.3.2) peut identifier le type de structure associée à chaque broche à partir de ces mesures. Dans le cas de l'inverseur étudié ici, trois types de structures ont été identifiées : plusieurs diodes, un NMOS comme protection central (PC) avec un circuit de déclenchement RC et un thyristor, avec une stratégie de protection dédiée comme illustré Figure 2.7 (a) et (b).

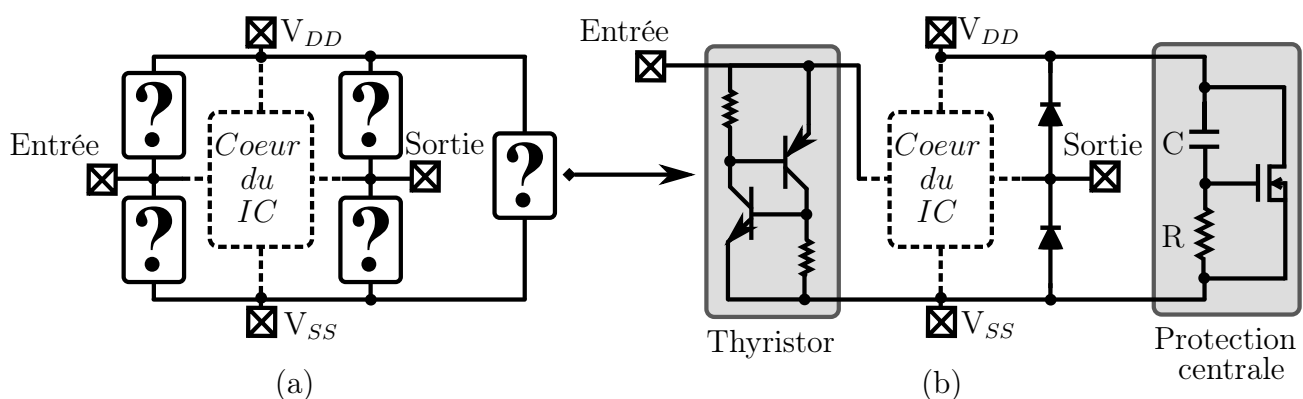


FIGURE 2.7: Stratégie de protection centralisée en technologie CMOS : aucune information sur les protections (a), protections identifiées par la mesure (b).

Les mesures statiques et TLP effectuées entre la broche d'entrée et la broche V_{SS} , permettant d'identifier le thyristor, sont données respectivement Figure 2.8 (a) et (b). La mesure statique est effectuée avec une limitation du courant à $50 \mu A$ pour éviter la destruction du circuit. La mesure TLP est effectuée en ajoutant une résistance de 500Ω en série, limitant le courant et permettant ainsi de tracer finement le repliement de la caractéristique. La structure commence à se déclencher à $12 V$. Lorsque la tension atteint $V_{t1} = 12,8 V$ pour un courant de $I_{t1} = 30 mA$, la caractéristique se replie à une tension et un courant de maintien de $V_h = 2 V$ et $I_h = 110 mA$. La résistance à l'état passant R_{ON} est de l'ordre de l'ohm. Le repliement à $2 V$ est typique pour une structure de type thyristor.

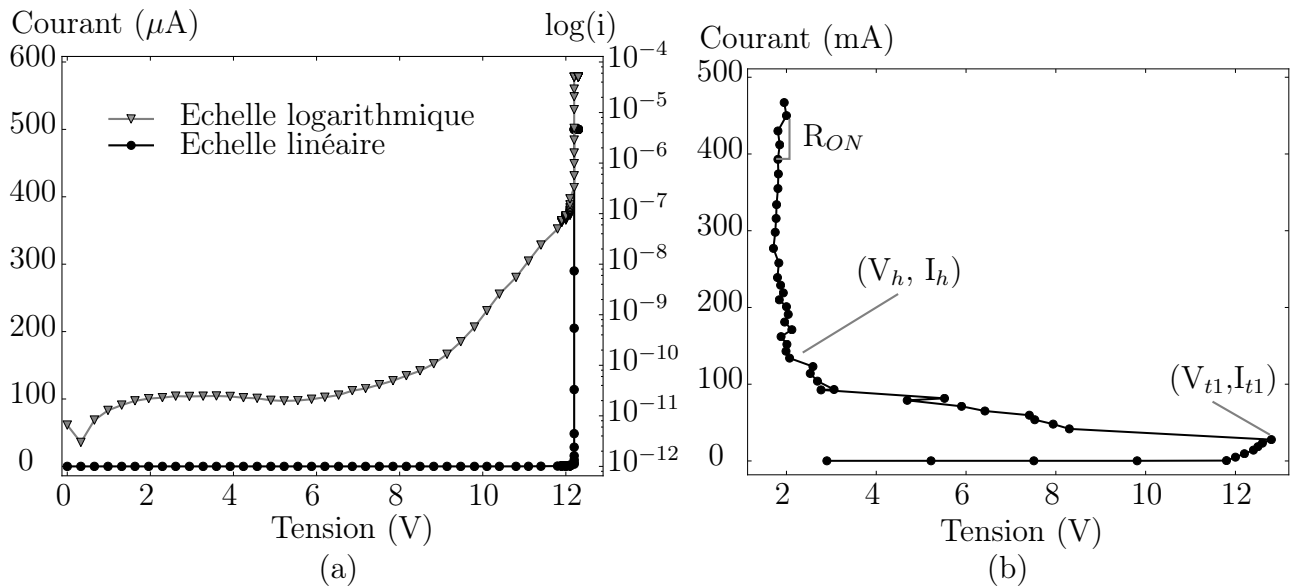


FIGURE 2.8: Mesures statiques (a) et TLP (b) entre la broche d'entrée et V_{SS} du circuit : identification d'un thyristor.

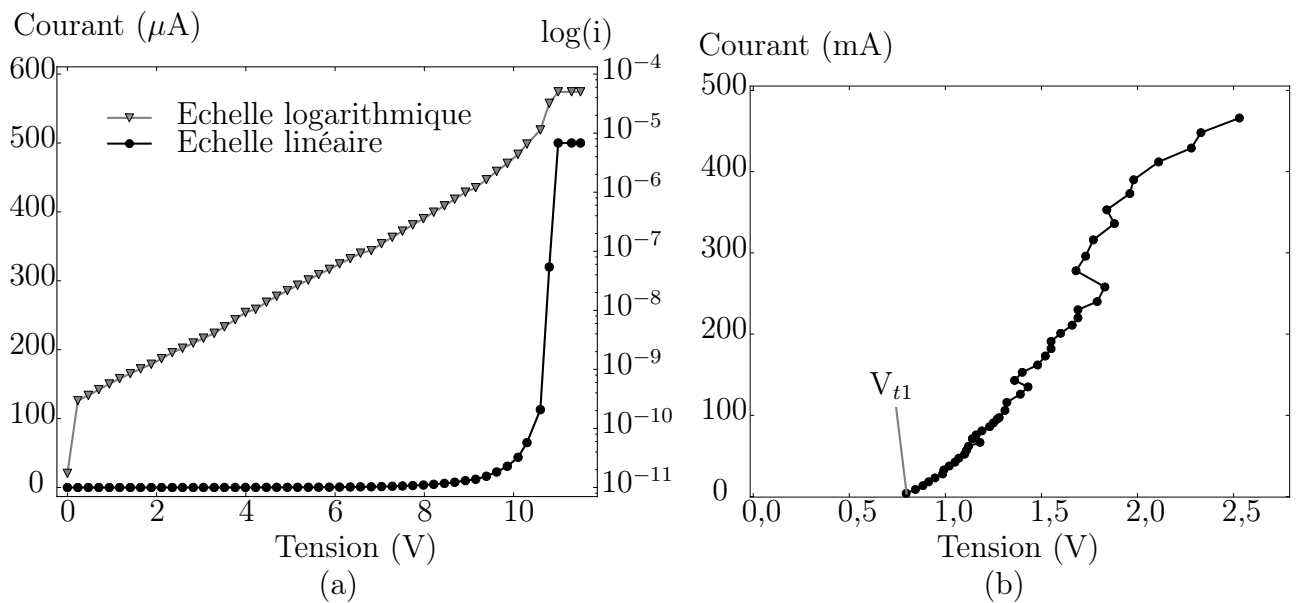


FIGURE 2.9: Mesures statiques (a) et TLP (b) entre la broche VDD et VSS du circuit : identification d'un NMOS avec circuit de déclenchement dynamique RC.

Il est nécessaire d'effectuer les mesures statiques. Elles permettent de déterminer les structures ESD qui utilisent un circuit de déclenchement dynamique calibré sur les transitions rapides des ESD. La mesure statique et TLP effectuées entre la broche V_{DD} et V_{SS} , permettant d'identifier une structure MOS avec déclenchement dynamique, est donnée respectivement Figure 2.9 (a) et (b). Ces mesures ont été effectuées dans les mêmes conditions que pour le thyristor. Lorsque la structure est mesurée en statique, le transistor NMOS est bloqué. La caractéristique obtenue correspond à la diode de drain N/substrat

P polarisée en inverse. Par contre, pour la mesure TLP, les fronts rapides de chaque impulsion déclenchent le transistor NMOS. La mesure obtenue correspond à la caractéristique $id(vgs)$ du transistor NMOS. Le seuil de déclenchement est $V_{t1} = 0,7 V$.

L'identification et l'extraction des paramètres des modèles ESD sont réalisées uniquement par des mesures. Ces mesures peuvent être effectuées par n'importe quel ingénieur qui dispose des outils de caractérisations TLP.

2.3.3.2 Modélisation des protections basée sur le fonctionnement empirique

2.3.3.2.1 Principe de modélisation : cette technique de modélisation consiste à utiliser des équations connues pour représenter correctement le comportement des composants mais aussi connues pour offrir une bonne convergence des simulations. Ces équations basées sur la physique sont simplifiées au maximum pour avoir un minimum de paramètres à régler. Strictement parlant, les paramètres ne sont pas purement physiques, et servent à ajuster le modèle. Les modèles proposés sont donc à mi-chemin entre la physique et le comportemental. Pour la suite, nous les appellerons "semi-empiriques".

Nous considérerons uniquement le comportement quasi-statique des structures de protections (extrait grâce à un TLP). Il est à noter que les effets dynamiques sont déjà pris en compte par la capacité équivalente d'entrées/sorties (C_{COMP}) et le boîtier (R_{PKG} , L_{PKG} et C_{PKG}) du modèle IBIS.

Les modèles sont écrits VHDL-AMS. Deux "ports" a et b correspondant aux électrodes de la structure sont déclarés. Un courant I circulant de a vers b et une tension V aux bornes des ports sont définis (appelé quantité). De part sa flexibilité, le VHDL-AMS permet d'implémenter directement et de manière implicite les équations obtenues liant ainsi le courant I et la tension V . Il est à noter que les modèles du thyristor et de la protection centrale sont décomposés en plusieurs éléments (résistance, capacité, NMOS, PNP, NPN ...) et assemblés de manière structurelle.

2.3.3.2.2 Modélisation des diodes : toutes les diodes sont modélisées en direct à partir de l'expression classique du courant :

$$id = is \times \left[\exp \left(\frac{vd - R_{ON} \times id}{Nf \times Ut} \right) - 1 \right] \quad (2.1)$$

avec is courant de saturation, Ut tension de bruit thermique, Nf coefficient de non idéalité, R_{ON} résistance à l'état passant, vd tension aux bornes de la diode et id courant circulant dans la diode.

Pour ajuster la tension de seuil de la diode, nous jouons sur le courant de saturation is ainsi que sur le facteur de non idéalité Nf . La résistance à l'état passant est directement

réglée avec R_{ON} . Pour construire le modèle, les trois paramètres (i_s , Nf et R_{ON}) sont extraits par ajustement avec les mesures.

La conduction inverse des diodes n'est pas modélisée car ce mode de fonctionnement n'est pas sollicité dans la stratégie de protection du circuit.

2.3.3.2.3 Modélisation du thyristor : le schéma du modèle du thyristor est donné Figure 2.10. Sa modélisation est décomposée en trois parties : modélisation du transistor NPN, modélisation du transistor PNP et association des transistors pour modéliser le thyristor complet. Le fonctionnement du thyristor est expliqué dans le chapitre 1 paragraphe 1.2.3.2.3. La conduction directe qui implique la diode du substrat est modélisée par une diode connectée en parallèle en utilisant le modèle décrit dans le paragraphe précédent.

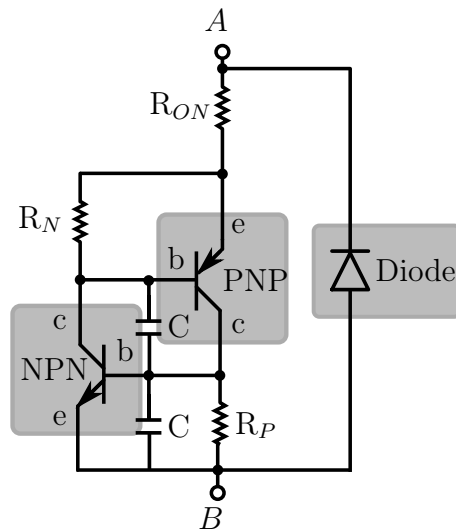


FIGURE 2.10: Schéma électrique du modèle du thyristor.

Le modèle du NPN est construit sur le modèle de transport le plus simple des transistors bipolaires (modèle Gummel-Poon [83] simplifié) comme représenté Figure 2.11. Le transistor bipolaire est une source de courant i_t qui dépend des deux tensions V_{BE} et V_{BC} . Une source de courant est ajoutée entre le collecteur et la base pour modéliser l'effet d'avalanche de la jonction Base/Collecteur pour le déclenchement du thyristor. Les diodes modélisent le comportement des deux jonctions juxtaposées. i_f et i_r sont les courants de diffusion des électrons en direct et en inverse. Respectivement β_f et β_r représentent le gain en courant direct et inverse.

Les courants directs et inverses s'écrivent :

$$i_f = i_s f \times \left[\exp \left(\frac{V_{BE}}{Nf \times Ut} \right) - 1 \right] \quad (2.2)$$

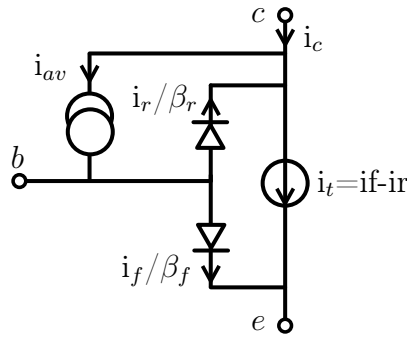


FIGURE 2.11: Modèle du transistor NPN de Gummel-Poon avec une source de courant entre la jonction Base Collecteur pour modéliser l'avalanche.

$$i_r = i_{sr} \times \left[\exp \left(\frac{V_{BC}}{N_r \times U_t} \right) - 1 \right] \quad (2.3)$$

i_{sf} et i_{sr} correspondent aux courants de saturation des diodes. N_f et N_r sont les coefficients de non-idéalité en direct et en inverse.

Le courant d'avalanche i_{av} de la jonction Base/Collecteur polarisée en inverse dépend du courant collecteur i_c et suit la relation [43] :

$$i_{av} = (M - 1) \times i_c \quad (2.4)$$

M correspond au coefficient de multiplication par avalanche des porteurs, donné par la formule empirique de Miller [84] :

$$M = \frac{1}{1 - \left(\frac{V_{CB}}{V_{BV}} \right)^m} \quad (2.5)$$

Avec V_{CB} , la tension aux bornes de la jonction collecteur base, V_{BV} , la tension de déclenchement (en anglais BV : Breakdown Voltage) et $2 < m < 6$, un facteur arbitraire dépendant des caractéristiques de la jonction.

L'inconvénient de cette formule est la singularité de l'expression lorsque la tension de claquage est atteinte [42]. Ainsi, lorsque la tension V_{CB} est proche de V_{BV} , le dénominateur tend vers 0 et le coefficient M varie brusquement et change de signe. Cette variation rapide peut impliquer des problèmes de convergences pour le simulateur et le changement de signe est très mauvais pour la stabilité des calculs.

Afin d'éliminer le changement de signe, l'équation de Miller est approximée par son développement limité [42] :

$$M \approx \sum_{j=0}^{N_b} \left(\frac{V_{CB}}{V_{BV}} \right)^j \quad (2.6)$$

Nb est le nombre de termes. Ce développement correspond à la somme des Nb termes d'une suite géométrique de raison V_{BV} [42] :

$$M = \frac{1 - \left(\frac{V_{CB}}{V_{BV}}\right)^{Nb+1}}{1 - \left(\frac{V_{CB}}{V_{BV}}\right)} \quad (2.7)$$

Cette dernière expression est utilisée comme facteur de multiplication M dans l'Équation 2.4. Le paramètre Nb est le nombre de termes de la série mathématique. Il peut être ajusté à une forte valeur pour une meilleure précision. Une faible valeur réduit la précision, mais conduit à une variation plus souple qui aide à la convergence. Nous avons pris $Nb = 100$ qui constitue un bon compromis. Il est à noter que cette expression de M n'est pas définie pour une tension égale à la tension de seuil (lorsque $\frac{V_{CB}}{V_{BV}} = 1$). Cependant, l'expression est continue autour de ce point et une valeur peut être calculée. La probabilité de tomber sur ce point lors des simulations est très faible.

La modélisation du transistor PNP est effectuée de la même manière que le transistor NPN. Le modèle simple de Gummel-Poon du transistor PNP est représenté Figure 2.12. La source d'avalanche de la jonction Collecteur/Base n'est pas modélisée. Les jonctions Collecteur/Base des transistors NPN et PNP sont les mêmes (voir Figure 2.10). Ainsi la source d'avalanche est déjà modélisée dans le modèle du NPN.

Les courants directs et inverses s'écrivent de la même manière que pour le transistor NPN, Équation 2.2 et Équation 2.3.

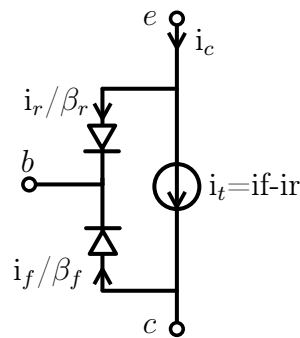


FIGURE 2.12: Modèle du transistor PNP de Gummel-Poon.

Les transistors NPN et PNP, modélisés précédemment, sont assemblés de manière structurale en suivant le schéma électrique Figure 2.10 pour former le modèle du thyristor complet. Les résistances R_N et R_P correspondent aux résistances du substrat N et du puits P. R_{ON} est la résistance à l'état passant. Les capacités C de très faibles valeurs sont nécessaires pour obtenir la convergence du modèle. Le code VHDL-AMS des transistors NPN et PNP est donné dans les annexes B.

Le réglage du thyristor est effectué à l'aide des paramètres suivants :

- La résistance à l'état passant est réglée directement par la valeur de R_{on} .
- La tension de déclenchement V_{t1} est fixée en agissant sur la tension d'avalanche de la jonction puits P substrat N polarisée en inverse. La tension d'avalanche peut être modifiée en jouant sur le coefficient de multiplication par avalanche M à l'aide du paramètre V_{BV} .
- Le courant de repliement I_{t1} est ajusté par les résistances R_N et R_P en suivant la relation suivante [43] :

$$R_N = \frac{V_{BE_{NPN}}}{I_{t1}} \quad \text{et} \quad R_P = \frac{V_{BE_{PNP}}}{I_{t1}} \quad (2.8)$$

V_{BE} est la tension aux bornes des jonctions émetteur-base des transistors NPN et PNP et I_{t1} est le courant de repliement du thyristor.

- La tension de maintien V_h est obtenue en agissant sur les gains en courant β_f et β_r des transistors ainsi que sur le facteur de non idéalité N_f et N_r des jonctions.

Finalement, le modèle comprend neuf paramètres : les gains en courant β_f et β_r , les courants de saturation i_{sf} et i_{sr} , les facteurs de non idéalité N_f et N_r , les résistances R_N et R_P et la résistance R_{ON} . Comme pour le modèle de la diode, ces trois paramètres sont extraits par ajustement avec les mesures.

2.3.3.2.4 Modélisation du transistor NMOS avec circuit de déclenchement dynamique : Le schéma équivalent du power clamp actif est donné Figure 2.13. Il est composé d'un transistor NMOS associé à un circuit de déclenchement RC.

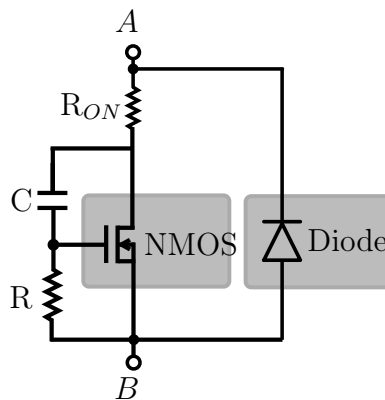


FIGURE 2.13: Schéma électrique du modèle du transistor NMOS avec circuit de déclenchement dynamique RC.

Si une décharge survient entre V_{SS} et V_{DD} , la jonction substrat P drain N est polarisée en direct. La conduction de la structure en direct est effectuée par une diode connectée

en parallèle dont le modèle est décrit dans un paragraphe précédent appelé “modélisation des diodes”.

En polarisation inverse, le circuit RC permet de déclencher le transistor NMOS sur les transitions rapides des décharges :

- En régime établi : la tension d’alimentation (V_{alim}) entre V_{CC} et V_{SS} ne varie pas ou très peu. La tension aux bornes du condensateur C vaut V_{alim} . Aucun courant ne circule dans la résistance R . La tension V_{gs} du transistor MOS vaut zéro, celui ci est en régime bloqué.
- Lors de transitions rapides entre V_{CC} et V_{SS} , la tension aux bornes du condensateur C ne peut pas varier instantanément. La brusque variation de tension sur V_{CC} se reporte sur l’autre armature du condensateur. La tension V_{gs} n’est plus nulle, le transistor est en régime saturé et permet d’évacuer le courant de V_{CC} et V_{SS} .

Le transistor NMOS est modélisé par les équations classiques SPICE level 1 suivantes, représentant les trois régimes de fonctionnement : pas de courant en dessous de la tension de déclenchement (région bloquée), la région linéaire et la région saturée.

- Si $V_{gs} \leq V_t$ alors

$$i_{ds} = 0 \quad (2.9)$$

- Si $V_{gs} > V_t$ et $V_{ds} < (V_{gs} - V_t)$ alors

$$i_{ds} = Size \left[(V_{gs} - V_t)V_{ds} - \frac{V_{ds}^2}{2} \right] \quad (2.10)$$

- Si $V_{gs} \geq V_t$ et $V_{ds} \geq (V_{gs} - V_t)$ alors

$$i_{ds} = \frac{Size}{2} (V_{gs} - V_t)^2 (1 - \lambda_n V_{ds}) \quad (2.11)$$

On néglige l’effet de modulation de la largeur du canal : on prend $\lambda_n = 0$. La source est reliée au substrat : $V_{bs} = 0$ d’où $V_t = V_{t0} + \gamma(\sqrt{\Phi + V_{bs}}) = V_{t0}$. Le paramètre $Size$ correspond à la transconductance $\frac{W}{L}$.

Le transistor NMOS est assemblé avec les éléments passifs et la diode de conduction directe de manière structurelle en suivant le schéma électrique Figure 2.13. Au final le modèle contient quatre paramètres : la transconductance $Size$, le circuit de déclenchement RC et la résistance R_{ON} . Afin de régler le modèle, ces paramètres sont extraits par ajustement avec les mesures.

La validité de tous les modèles présentés dans cette section est vérifiée à l’aide de comparaison des mesures et des simulations de tous les chemins de courant possibles dans le circuit. Cette vérification est donnée dans la suite du chapitre, sous-sous-section 2.3.3.4. Ces modèles seront ensuite comparés dans la sous-sous-section 2.3.3.5 aux modèles réalisés

avec la technique de modélisation comportementale, technique détaillée dans la section suivante.

2.3.3.3 Modélisation des protections basée sur le comportement

2.3.3.3.1 Principe : ce type de modélisation est basé uniquement sur le comportement de la structure à modéliser. Pour expliquer l'aspect comportemental, nous allons prendre l'exemple de modélisation d'une diode polarisée en direct dont la représentation schématique ainsi que sa caractéristique idéale sont données Figure 2.14 (a)(b). En général, une structure ESD, connectée entre deux broches, est utilisée en parallèle. Ainsi, nous allons considérer que la tension V aux bornes de la structure est connue. En fonction de cette tension, nous définissons des conditions de changements d'états. Chacun des états est exprimé par une équation simple liant le courant I en fonction de la tension V .

Le comportement de la diode, représenté par le diagramme d'état (Figure 2.14 (c)), est le suivant : lorsque la tension V aux bornes de la diode est inférieure à la tension de seuil V_{th} , la diode est bloquée (état *OFF*) et aucun courant ne circule au travers. Si maintenant, la tension V est supérieure à V_{th} , la diode est passante (état *ON*). La modélisation comportementale consiste donc à définir des conditions sur la tension V et à basculer le modèle dans l'état *ON* ou *OFF* suivant que la condition soit vrai ou non.

Il est à noter que les effets transitoires des structures ESD ne sont pas pris en compte directement par ce type de modèles mais par les éléments parasites inclus dans les modèles IBIS (voir la sous-sous-section 2.3.2.1). La capacité équivalente C_{comp} , connectée en parallèle, permet de faire varier la tension V aux bornes de la protection, et ainsi de définir les changements d'états. Elle est de plus nécessaire pour obtenir la convergence.

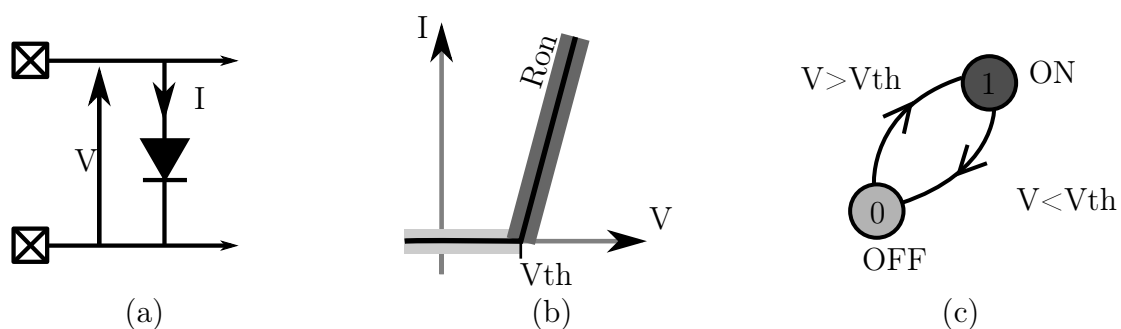


FIGURE 2.14: Représentation schématique (a), caractéristique $I(V)$ idéale d'une diode polarisée en direct (b) et diagramme d'état du comportement de la diode (c).

Ce type de modèle peut facilement être implémenté dans n'importe quel simulateur électrique. Cependant, le basculement brut d'un état à l'autre peut facilement introduire de fortes discontinuités sur le signal ou sa dérivé pouvant impliquer de lourds problèmes

de convergence des simulateurs. Cela est particulièrement vrai dans le cas de simulations ESD ou les transitions de courant sont très rapides (quelques 10A/ns).

Notre approche de modélisation comportementale est basée sur la possibilité d'effectuer des simulations de signaux mixtes du VHDL-AMS [85]. Nous utilisons la puissance du VHDL-AMS qui dispose de deux noyaux (ou cœur) de calcul indépendant : un noyau analogique et un noyau numérique. Dans le noyau analogique, la structure ESD à modéliser est découpée en plusieurs modes par exemple : pas de conduction, conduction inverse, conduction directe, repliement ou autres. A chacun de ces modes est associé une équation. Dans le noyau numérique, une machine d'état définit les conditions de changements permettant de sélectionner les équations du noyau analogique en accord avec le comportement de la structure. La partie numérique permet la définition de conditions de changement d'état complexes qui ne peuvent pas être implémentées dans la partie analogique, ou dans un modèle comportemental classique, telles que les fortes discontinuités induites par les repliements des structures ESD ou les déclenchements sur des transitions. Cette technique de modélisation et les relations entre les deux noyaux du VHDL-AMS sont illustrées par la description de la modélisation du thyristor dans les paragraphes suivants. Il est à noter que toutes les structures présentées dans la modélisation semi-empirique, (section précédente) ont aussi toutes été implémentées de façon comportementale.

2.3.3.3.2 Extraction des paramètres : les informations utiles à la modélisation comportementale sont extraites directement à partir des courbes TLP présentées dans la sous-sous-section 2.3.3.1. La mesure TLP du thyristor est donnée Figure 2.15. Les points d'inflexions de cette caractéristique sont extraits et utilisés comme paramètres. Six paramètres composés d'un couple de courant/tension (V_X , I_X) sont nécessaires pour implémenter le modèle complet du thyristor. Ceux-ci sont reportés dans le Tableau 2.1 et sur la courbe TLP Figure 2.15. Quatre modes, mis en évidence sur la mesure TLP, sont identifiés : pas de conduction (0), conduction inverse avec le repliement (1), repliement (2), conduction directe (3).

Paramètres	1	2	3	4	5	6
Tension (V)	-1.5	-0.7	11.8	12.9	1.9	2.2
Courant (A)	-0.4	0	0	0.05	0.1	0.4

TABLE 2.1: Paramètres du thyristor extraits de la courbe TLP.

2.3.3.3.3 Fonctionnement du modèle VHDL-AMS : dans ce paragraphe, le fonctionnement ainsi que l'implémentation de modèle du thyristor en VHDL-AMS sont décrits. Le paragraphe suivant décrit comment les équations sont définies dans le noyau analogique. Puis, nous détaillerons comment le noyau numérique est utilisé pour coder les conditions

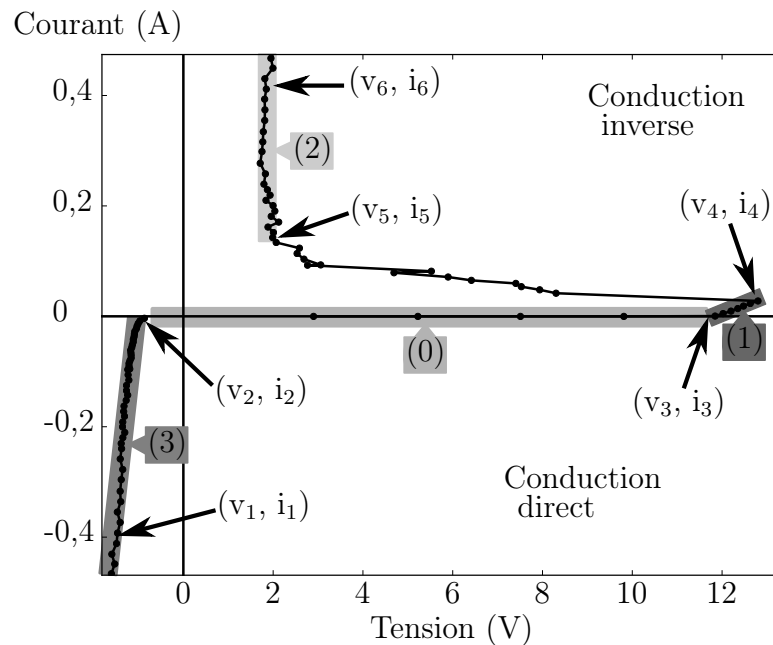


FIGURE 2.15: Mesure TLP entre l'entrée et V_{SS} et les points d'inflexions caractéristiques.

de changement des états. Enfin, nous parlerons de la synchronisation nécessaire des deux noyaux.

Définition des équations dans le noyau analogique : avant de commencer à parler de la définition des équations, il est important de comprendre comment fonctionne le langage utilisé. En VHDL-AMS, une quantité électrique est utilisée pour définir la tension (v) au bornes des deux ports (ou électrode) de la structure et le courant (i) qui circule au travers de ces ports. Cette quantité doit lier la tension et le courant en utilisant une équation. Une équation linéaire est utilisée pour définir chacun des quatre modes de fonctionnement du thyristor. Le coefficient directeur et l'abscisse à l'ordonnée sont calculés à partir des paramètres du Tableau 2.1.

Le critère de solvabilité du VHDL-AMS impose que le nombre d'équation dans le modèle doit correspondre au nombre d'inconnue. Chaque courant déclaré est une inconnue à résoudre. Le modèle du thyristor comprend quatre équations décrivant le comportement d'un seul courant. Afin de répondre au critère de solvabilité, une structure de sélection, appelé en anglais "simultaneous If statement", est utilisée. Celle-ci permet de choisir une des quatre équations simultanées en fonction des conditions que nous lui imposons. A tout instant, une seule équation est sélectionnée pour résoudre le courant (i) (l'inconnue), le modèle peut être résolu.

Les conditions de changement d'équation peuvent être définies de deux manières. Pour les structures simples comme une diode, les conditions peuvent être directement implémentées dans le noyau analogique sur un niveau du courant ou de la tension. Dans ce cas,

seul le noyau analogique est utilisé. Dans le cas d'un thyristor, les conditions uniquement définies dans le noyau analogique ne permettent pas de modéliser la discontinuité induite lors du repliement de la structure (passage de 1 à 2 Figure 2.15). Pour définir des conditions de changement d'état plus complexe, le noyau numérique est utilisé comme expliqué dans le paragraphe suivant.

Utilisation du noyau numérique pour définir les conditions de changement des états : un diagramme d'état est établi pour définir les conditions de sortie des zones de fonctionnement 1, 2, 3 et 4 du thyristor (Figure 2.16). Ce diagramme inclut des conditions simples : par exemple, le passage de l'état 0 à l'état 2 implique que la tension aux bornes de la structure est supérieure à V_3 définie par le paramètre 2 du Tableau 2.1. Réciproquement, le passage de l'état 3 à l'état 0 implique que la tension aux bornes de la structure est inférieure à V_3 . Cependant, des conditions évoluées, à sens unique, peuvent être définies : lorsque la tension est supérieure à V_4 , l'état passe de 1 à 2. Par contre, aucune condition de retour entre l'état 2 et l'état 1 n'est possible. La structure peut sortir de l'état 2 uniquement pour rejoindre l'état 0. Cela permet de modéliser le repliement du thyristor.

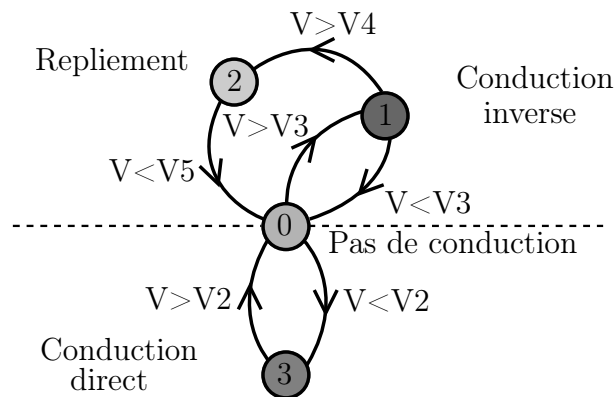


FIGURE 2.16: Diagramme d'état du thyristor.

Le diagramme d'état est retranscrit dans le noyau numérique au travers d'un processus. Ce dernier permet l'exécution séquentielle des lignes de code. L'organigramme correspondant au thyristor est donné Figure 2.17.

A l'exécution du processus, l'état dans lequel se trouve la structure est déterminé. Celui-ci va alors attendre qu'une des conditions de sortie de l'état détecté soit vrai (boucle). Dès qu'une des conditions est vraie, un signal (flag), utilisé comme drapeau, indique le nouvel état du thyristor. Le processus est ré-exécuté et continue à attendre de nouveaux événements. Le drapeau est directement utilisé comme condition dans la structure "If" du noyau analogique permettant de sélectionner les équations.

Il est intéressant de savoir aussi que des conditions sur les dérivés du signal (par exemple $\frac{dv}{dt}$) peuvent aussi être établies. Par exemple, pour modéliser le déclenchement du transistor

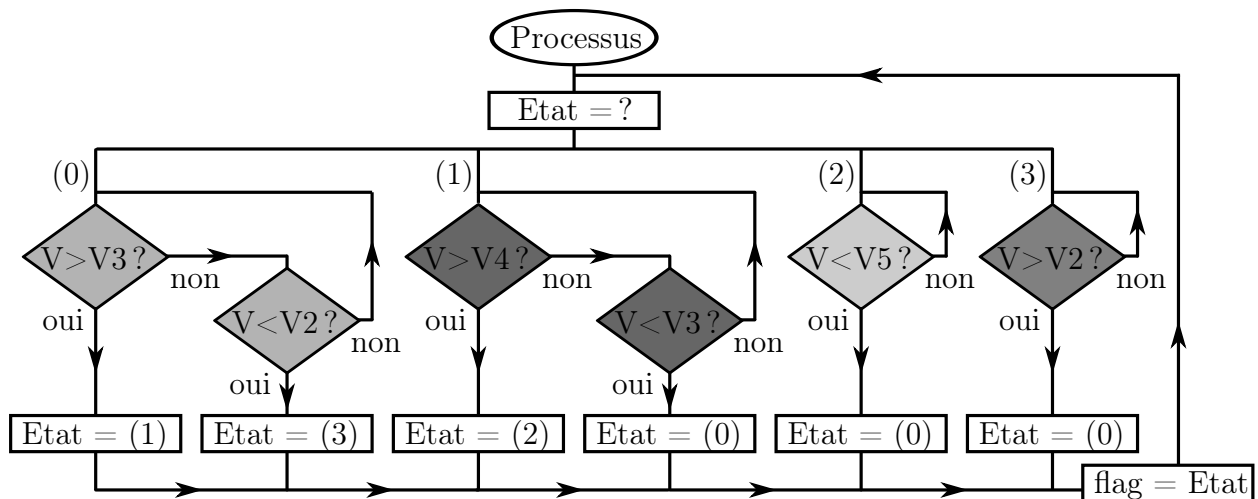


FIGURE 2.17: Organigramme du processus du thyristor.

NMOS dynamique (voir le paragraphe 2.3.3.2.4), nous n'utilisons plus le circuit RC de déclenchement mais une condition sur la dérivé de la tension aux bornes du transistor pour le faire changer d'état.

Synchronisation des noyaux : chaque noyau, numérique et analogique, a une horloge de calcul indépendante [86]. Dans les simulations signaux mixtes, il est nécessaire d'effectuer un synchronisation de ces deux noyaux pour garantir la consistance dans les calculs. Le principe de la synchronisation des cœurs est illustré Figure 2.18. La liaison entre les noyaux est effectuée de la manière suivante :

- *Synchronisation numérique vers analogique* : Les pas de calcul du noyau analogique étant variables, il est peu probable que lors d'un évènement du signal dans le cœur numérique (par exemple un changement du signal "flag"), il y est un point de calcul dans le cœur analogique. Il est nécessaire d'ajouter une instruction appelé "break on S", où S est le signal testé. A chaque évènement de S dans le noyau numérique, un point de calcul est forcé dans le noyau analogique.
- *Synchronisation analogique vers numérique* : un évènement numérique est créé à partir de la quantité en utilisant l'instruction "Q'above(valeur)", où Q est la quantité testée. Lorsque la quantité est plus grande que la valeur indiquée dans les parenthèses, un signal numérique booléen passe à l'état haut créant un évènement dans le noyau numérique.

Le code source VHDL-AMS du thyristor est donnée Figure 2.19. Le principal avantage de cette méthode est qu'il est possible de modéliser des fonctionnalités complexes tels que les discontinuités induites par le repliement de structure. En utilisant seulement quelques informations, à savoir les six points i/v pour le thyristor, il est facile de construire un modèle pour les protections ESD.

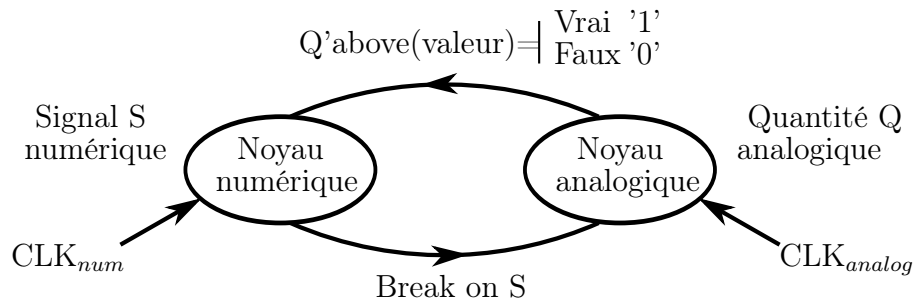


FIGURE 2.18: Principe de synchronisation des noyaux analogiques et numériques du VHDL-AMS.

Toutes les protections incluses dans le circuit 74LVC04A, ont été modélisées en suivant cette technique. Ces modèles sont validés et comparés aux modèles semi-empiriques dans les deux sections suivantes.

```

architecture behav of scr is
  quantity Vscr across Iscr through P to N;
  signal flag: integer range 3 downto 0:=0;
  begin
    process —Partie Numérique
      variable state: integer range 3 downto 0 := 0;
    begin
      flag <= state;
      case state is
        when 0 => wait until Vscr 'Above(v3) or (not Vscr 'Above(-v2));
          if (not Vscr 'Above(-v2)) then state:= 3;
          else state:=1;
          end if;
        when 1 => wait until ((not Vscr 'Above(v3)) or Vscr 'Above(v4));
          if (Vscr 'Above(v4)) then state:= 2;
          else state:=0;
          end if;
        when 2 => wait until not Vscr 'Above(v5);
          state:=0;
        when 3 => wait until Vscr 'Above(-v2);
          state:=0;
        when others => null;
      end case;
    end process;
    —partie analogique
    if (flag = 2) use Iscr==((i6-i5)/(v6-v5))*Vscr+(i6-v6*((i6-i5)/(v6-v5)));
    elsif (flag = 1) use Iscr==((i4-i3)/(v4-v3))*Vscr+(i4-v4*((i4-i3)/(v4-v3)));
    elsif (flag = 3) use Iscr==((i2-i1)/(v2-v1))*Vscr+(i2-v2*((i2-i1)/(v2-v1)));
    else Iscr = 0.0; —etat OFF
    end use;
    break on flag; —link between analog and digital
  end architecture behav;

```

FIGURE 2.19: Code source VHDL-AMS du modèle du thyristor.

2.3.3.4 Vérification des modèles :

La validité des modèles est vérifiée en analysant les chemins de décharge qui impliquent plus d'une protection. Des simulations TLP sont réalisées dans toutes les configurations de décharge possibles sur le circuit étudié (1 entrée, 1 sortie, V_{DD} , V_{SS} soit 12 chemins de décharge possible). Celles-ci sont ensuite superposées aux mesures afin de vérifier la corrélation (Figure 2.20). Il est à noter que les configurations $V_{DD} \rightarrow IN$, $V_{SS} \rightarrow OUT$ ainsi que $IN \rightarrow V_{DD}$ n'apparaissent pas sur la figure par soucis de clarté car celles-ci étaient superposées avec les configurations $V_{DD} \rightarrow OUT$, $V_{SS} \rightarrow IN$ et $IN \rightarrow OUT$. Dans tous les cas, nous constatons une bonne corrélation entre les modèles et les mesures.

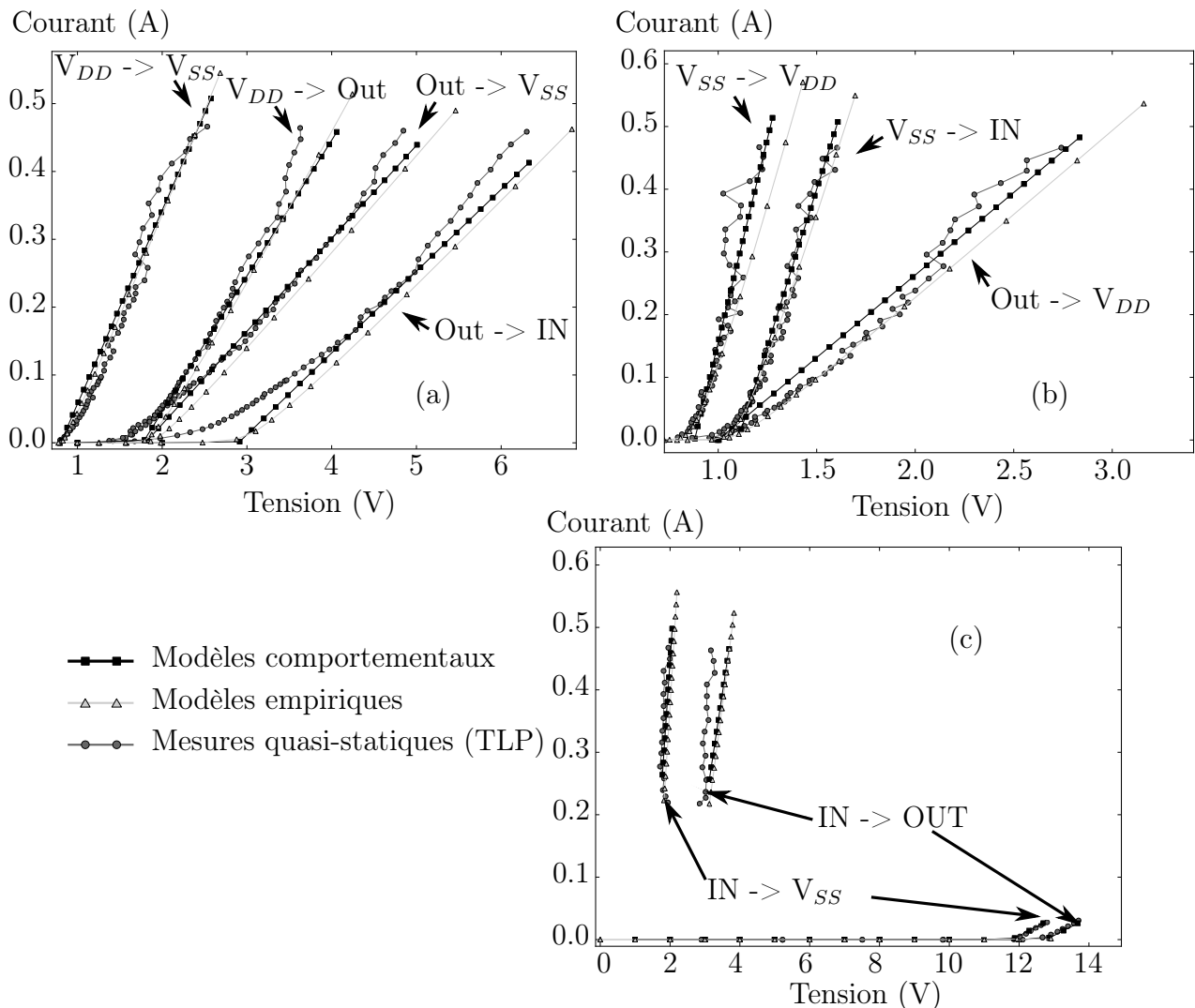


FIGURE 2.20: Superposition des mesures et des simulations de toutes les configurations faisant intervenir le gcNMOS (a), le thyristor (b) et les diodes (c).

L'erreur relative sur la tension introduite par les modèles comportementaux et semi-empiriques est donnée Figure 2.21. Nous avons choisi de représenter cette erreur en tension

et non en courant. En effet, le courant qui circule dans la structure est fixé par le courant de décharge ESD. Seule la tension aux bornes de la structure va varier. L'erreur est calculée pour chaque niveau de courant suivant la relation suivante :

$$erreur = \frac{|tension_{simulée} - tension_{réelle}|}{tension_{simulée}} \quad (2.12)$$

Comme nous pouvons le voir sur la Figure 2.21, dans tous les cas, l'erreur introduite par les modèles est inférieure à 20 %. Nous verrons dans le chapitre 4 que ce pourcentage d'erreur ne pose pas de problème et permet d'obtenir des bonnes corrélations entre les mesures et les simulations temporelles

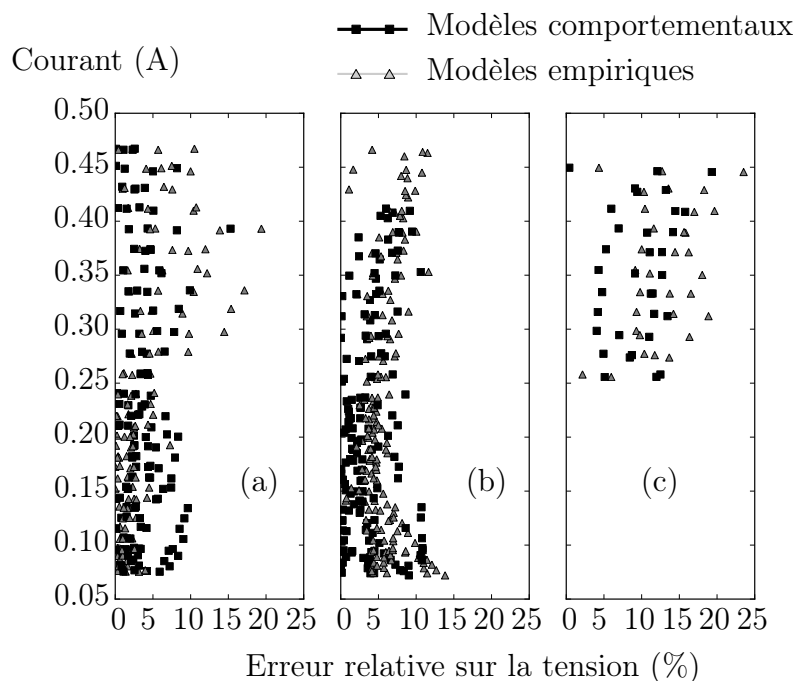


FIGURE 2.21: Erreur relative sur la tension, introduite par les modèles comportementaux (noir) et semi-empiriques (gris) pour les structures : (a) les diodes, (b) le gcNMOS et (c) le thyristor.

2.3.3.5 Comparaison des modèles

Nous avons montré que les modèles empiriques et comportementaux donnaient sensiblement les mêmes résultats lors d'une simulation TLP. Nous nous intéressons maintenant aux performances de ces modèles en terme de temps de calcul. Les structures de bases, Thyristors et NMOS actifs, sur lesquels nous avons envoyé une impulsion TLP dont les transitions de courant varient de 2 à 40 A/ns sont analysées. L'impact du $\frac{di}{dt}$ sur le temps de calcul pour les deux types de modélisation est reporté Tableau 2.2. Lorsque la transition reste faible, il n'y a pas de réelle différence. Par contre, dès que les transitions sont

fortes, le modèle empirique devient gourmand en temps de calcul, avec un rapport largement supérieur à 10 au delà de 20 A/ns pour le thyristor, et largement plus pour le NMOS actif.

Structure ESD	Transition A/ns	Temps de calcul modèles comportementaux	Temps de calcul modèles empiriques
Thyristor	2	951 ms	1,462 s
	10	20,019 s	32,537 s
	20	1 min 54 s	11 min 47s
	40	3 min 23s	< 1 h
NMOS actif	2	901 ms	470 ms
	10	882 ms	491 ms
	20	981 ms	1 min 15 s
	40	1,582 s	4 min 10 s

TABLE 2.2: Temps de calcul des modèles en fonction de la rapidité des transitions.

Le tableau suivant résume les avantages et inconvénients de chacun des modèles.

	Modèles semi-empiriques	Modèles comportementaux
Avantages	Représente l'aspect empirique	Extraction des paramètres simples
		Développement et réglage rapide
		Converge rapidement même pour des transitions rapides
Inconvénients	Modèles difficiles à régler	Représentent uniquement le comportement
	Les paramètres ne sont pas physiques	
	Difficulté à converger pour des transitions extrêmement rapides	

TABLE 2.3: Synthèse des avantages et inconvénients de la modélisation semi-empirique et comportementale.

2.3.4 Modélisation de la fonctionnalité à partir des modèles IBIS

2.3.4.1 Modélisation de l'étage d'entrée

Pour modéliser l'entrée du circuit, les éléments (R_{PKG} , L_{PKG} et C_{PKG}) modélisant le boîtier et la capacité équivalente de l'étage d'entrée C_{COMP} sont récupérés dans le fichier IBIS du circuit. Les tables I(V) "power clamp" et "ground clamp" des protections ESD issues de IBIS ne sont pas prises en compte. Afin de modéliser les protections ESD de l'entrée, une des deux techniques de modélisation présentées dans les sections précédentes est utilisée. Dans notre cas, l'étage d'entrée du circuit comprend uniquement le thyristor.

Ces éléments sont assemblés de manière structurale en suivant le schéma d'une entrée IBIS donné dans la sous-sous-section 2.3.2.1, Figure 2.4. Le schéma du modèle de l'entrée du circuit est donné Figure 2.22.

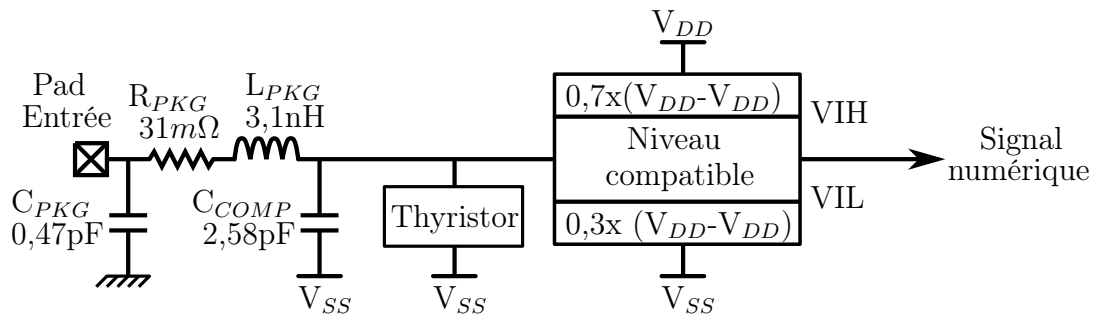


FIGURE 2.22: Schéma du modèle de l'entrée.

Les modèles IBIS donnent aussi une information sur les niveaux compatibles du circuit. Ces niveaux correspondent aux seuils de tension pris en compte par l'étage d'entrée pour reconnaître un état logique haut ou un état logique bas. La tension du niveau haut V_{IH} (High level Input Voltage) est la tension minimum nécessaire pour considérer un '1' logique en entrée. De même que la tension du niveau bas V_{IL} (Low level Input Voltage) est la tension maximum nécessaire pour considérer un '0' logique en entrée. Entre les deux niveaux V_{IH} et V_{IL} , l'état est dit indéterminé.

Les niveaux compatibles donnés dans les fichiers IBIS sont fixes. En réalité, V_{IH} et V_{IL} sont proportionnels aux tensions d'alimentations. Un modèle VHDL-AMS permettant de faire varier les niveaux compatibles en cas de fluctuations d'alimentation est ajouté comme le montre la Figure 2.22. Nous avons pris $V_{IH} = 70\%$ de V_{DD} et $V_{IL} = 30\%$ de V_{DD} tel donné dans la documentation technique constructeur du circuit pour une tension d'alimentation de 2,5 V. Un signal numérique ('0' ou '1') issu du bloc "Niveau compatible" indique au cœur du circuit la détection d'un niveau haut ou d'un niveau bas par l'étage d'entrée. Le code VHDL-AMS de ce bloc est donné dans les annexes D.

2.3.4.2 Modélisation de l'étage d'une sortie deux états

Un étage de sortie deux états en technologie CMOS est composé d'un PMOS et d'un NMOS complémentés respectivement appelés Pull up et Pull down. Les fichiers IBIS donnent les caractéristiques $I(V)$ de ces éléments correspondant à la caractéristique $I_d(v_{ds})$ pour $v_{gs} = |v_{dd}|$.

L'information dynamique de la sortie est donnée au travers de courbes $V(t)$. Ces formes d'ondes correspondent à la tension obtenue sur la sortie lorsque une charge est connectée entre la sortie et la référence du pull up (V_{DD}) ou pull down (V_{SS}), lors des transitions. Les différentes combinaisons possibles de cette résistance par rapport aux références et

l'initialisation du déclenchement d'une transition positive ou négative permet d'extraire deux fois deux courbes $V(t)$ correspondant à l'ouverture et à la fermeture du Pull up et Pull down.

Dans cette section, le principe de connexion de courbes $I(V)$ et $V(t)$ est détaillé pour le pull up et une transition positive. Associé à la caractéristique $I(V)$ du Pull up, les formes d'ondes $V(t)$ permettent de calculer le courant en sortie du circuit en tenant compte de la dynamique. Une illustration de l'association de ces courbes pour une résistance de charge est donnée Figure 2.23 (a). La table $V(t)$ décrit en quelque sorte le passage de l'état de repos du Pull up à un point de polarisation ($V_{out} = 2.41 V$ et $I_{out} = 4.8 mA$) imposé par la charge (500Ω) et la tension d'alimentation ($2.5 V$). En considérant une charge de 100Ω , la sortie va débiter plus de courant. Le système va s'équilibrer automatiquement comme illustré Figure 2.23 (b). Le nouveau point de polarisation est $V_{out} = 2.1 V$ et $I_{out} = 21 mA$.

Le principe d'association reste le même pour la transition négative mais aussi pour le Pull down, seul les références utilisées pour l'extraction des courbes varient.

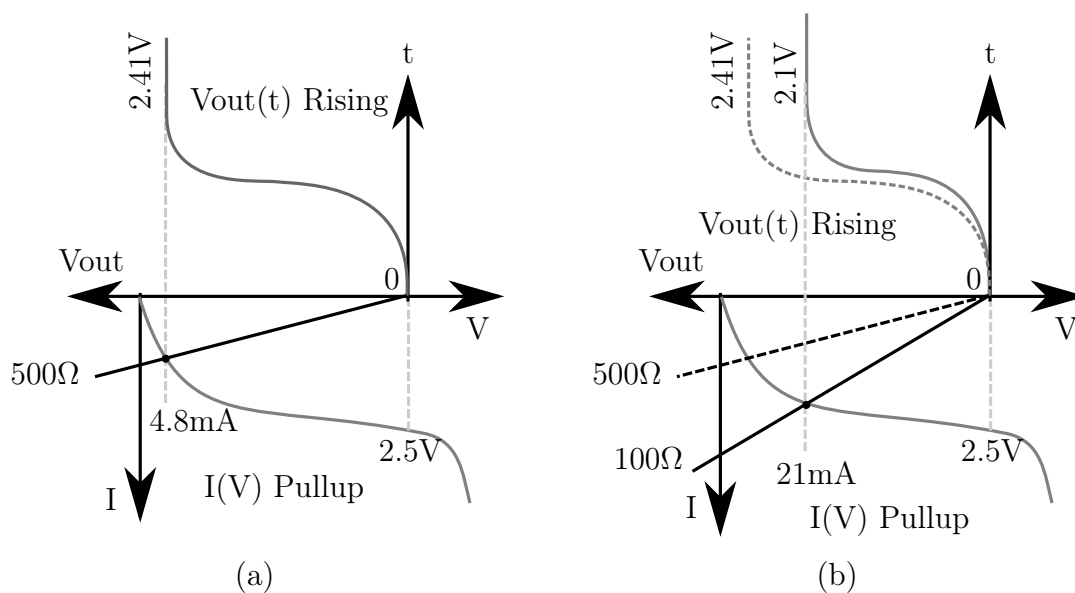


FIGURE 2.23: Liaison entre la table $I(V)$ et $V(t)$ du Pull up pour une transition montante et pour une charge de 500Ω (a) et 100Ω (b) connectée en sortie.

Pour la modélisation en VHDL-AMS, une quantité permettant de décrire le courant circulant au travers du Pull up et la tension à ses bornes est définie. En fonction de la tension aux bornes, le courant de sortie est calculé à partir des tables $I(V)$ et $V(t)$ selon le principe d'association détaillé précédemment. Une entrée numérique "Up" permet d'initier les transitions de la sortie sur un niveau numérique. Un front montant initie une transition positive et un front descendant initie une transition négative. Le code VHDL des modèles du Pull up et Pull down est donné dans les annexes D.

Le modèle du Pull up, du Pull down ainsi que les éléments R_{PKG} , L_{PKG} , C_{PKG} et la capacité de sortie équivalente C_{comp} sont assemblés de manière structurale afin de reproduire le comportement complet de la sortie du circuit. Le schéma de l'étage de sortie est donné Figure 2.24. Les protections ESD, dans le cas du circuit étudié, sont les deux diodes modélisées en utilisant une des deux techniques de modélisation décrite dans la sous-sous-section 2.3.3.2 et sous-sous-section 2.3.3.3.

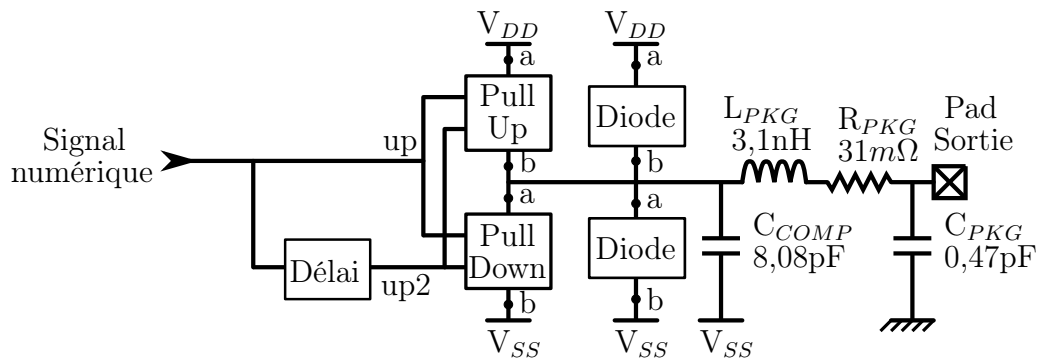


FIGURE 2.24: Schéma du modèle de la sortie deux états.

2.3.4.2.1 Amélioration de l'étage de sortie pour la prise en compte d'évènements courts :

les modèles IBIS ne prennent pas en compte les évènements rapides sur l'entrée. Deux évènements proches sur l'entrée du circuit, par exemple le dépassement de V_{IH} puis, après 1 ns dépassement du niveau V_{IL} provoque une discontinuité comme illustré sur la Figure 2.25 (a). La sortie commence à commuter en suivant la table $V(t)$ montante. Si une nouvelle transition de la sortie a lieu avant la fin de cette table, le modèle bascule directement de la table montante à la table descendante induisant la discontinuité.

Lors de l'étude de la susceptibilité face aux ESD, une impulsion de quelques nanosecondes peut se retrouver par interaction avec le système sur l'entrée d'un circuit, le déclencher et induire des erreurs logiques. Par exemple, lorsque deux pistes du circuit imprimé sont très proches, les transitions rapides de l'impulsion qui transitent sur la piste agressive se retrouvent par diaphonie sur la ligne victime et se propagent jusqu'à l'entrée du circuit [8].

Pour remédier à ce problème, le déclenchement de l'étage de sortie est modifié. Celui-ci est effectué à l'aide de deux signaux numériques. Un signal "Up2" correspondant au signal "Up" décalé d'un temps intrinsèque est ajouté comme illustré sur la Figure 2.24. Ce temps intrinsèque correspond au délai présent dans les tables $V(t)$ montante et descendante, avant que la sortie ne commute.

Le déclenchement de la sortie est effectué de la manière suivante : un évènement a lieu sur l'entrée, le front montant sur "Up" déclenche la sortie. Un nouvel évènement survient sur l'entrée, deux cas de figure se présentent :

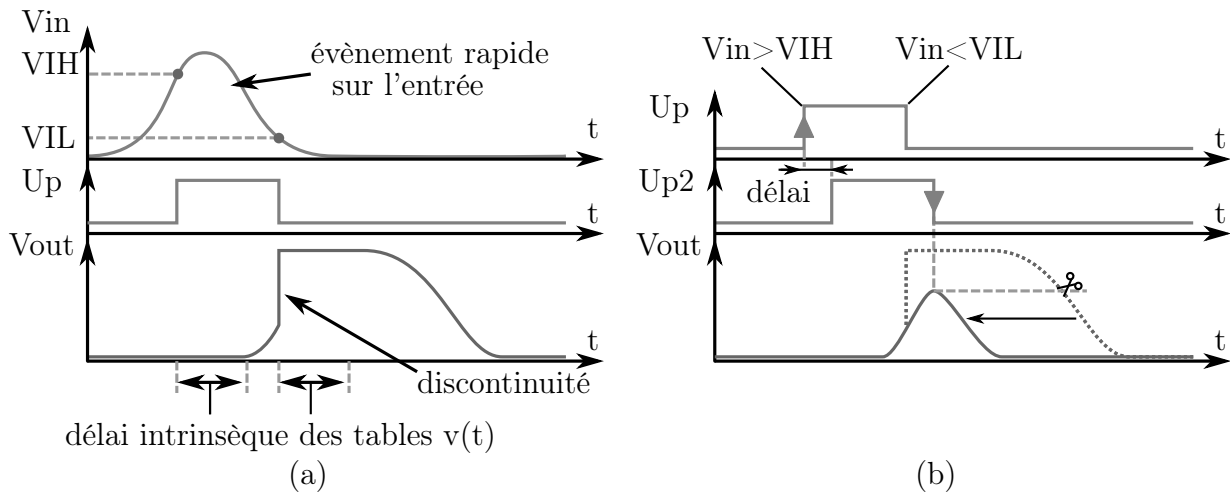


FIGURE 2.25: Discontinuité de la sortie induite par un évènement court sur l'entrée du circuit (a), Modification du modèle de la sortie pour prendre en compte les impulsions de courte durée sur l'entrée (b).

- Si le temps écoulé depuis le dernier évènement est supérieur au temps de transition de la sortie alors nous sommes dans le cas standard. Le front descendant de "Up" déclenche la commutation du circuit.
- Si maintenant le temps depuis le dernier évènement est inférieur au temps de transition de la sortie, le déclenchement de la commutation est effectué sur le front descendant de "Up2" comme illustré Figure 2.25 (b). A cet instant, à partir du point $V(t)$ atteint dans la table par exemple montante, le point $V(t)$ correspondant dans la table descendante est déterminé. La commutation de la sortie est reprise à partir de ce point. Il n'y a plus de discontinuité.

2.3.4.3 Modélisation de la fonction

Un signal numérique est émis par l'étage d'entrée indiquant un dépassement des niveaux compatibles, c'est à dire indiquant si nous sommes dans un état haut ou un état bas. Le basculement de la sortie est effectué par le signal numérique "Up et "Up2". Un modèle codé en VHDL, purement numérique, reproduisant la fonction logique du circuit est ajouté entre l'étage d'entrée et de sortie. Dans le cas du circuit étudié, la fonction "inverseur" est ajoutée. Le délai de propagation doit être ajusté en tenant compte du délai intrinsèque des tables $v(t)$ et du vrai délai de propagation donné par la documentation technique constructeur.

N'importe quel circuit numérique peut être réalisé de cette manière, seule l'équation ou le code VHDL du cœur change.

2.3.5 Validation de la partie fonctionnelle

Il est important, avant de faire des simulations prenant en compte des événements ESD, de valider le bon fonctionnement de nos modèles dans des conditions normales de fonctionnement. Les modèles de l'étage d'entrée, du cœur (fonction) et de la sortie sont connectés de manière structurée afin de modéliser le comportement complet du circuit. La vue d'ensemble du modèle est donnée Figure 2.26. Afin d'en vérifier le fonctionnement, des simulations ont été réalisées et sont présentées dans cette section :

- Vérification de la commutation de la sortie pour différentes charges.
- Simulation d'un événement rapide sur l'entrée.
- Exemple de simulation de l'intégrité du signal.
- Simulation d'un oscillateur astable.

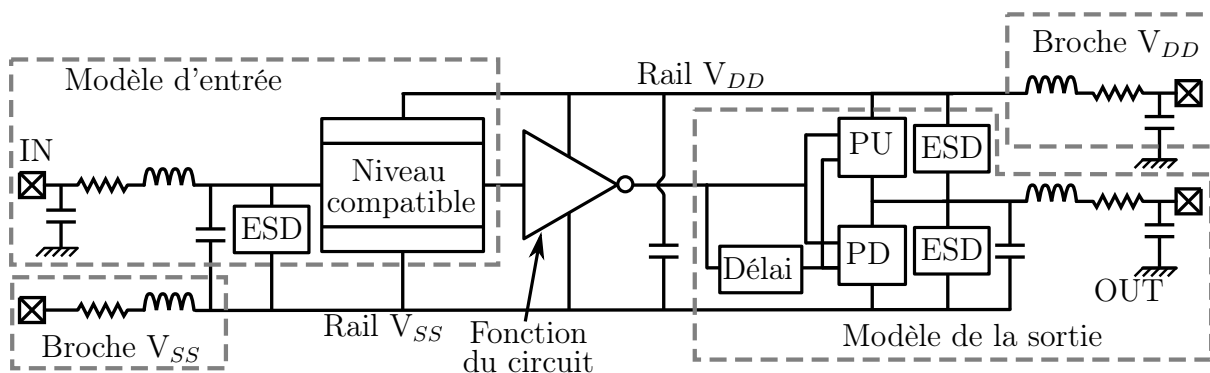


FIGURE 2.26: Vue d'ensemble du modèle du circuit incluant le cœur, l'étage d'entrée et l'étage de sortie.

2.3.5.1 Commutation de la sortie :

Le résultat de simulation de la commutation du circuit pour différentes valeurs de résistances et capacités connectées en charge est donné Figure 2.27 (a) et (b). Le circuit est alimenté en 2,5 V. Le signal sur l'entrée est une transition descendante de 2,5 V à 0 en 1 ns.

Plus la résistance de charge connectée est petite, plus le courant débité par la sortie est grand (Figure 2.27 (a)). La tension de sortie chute afin que la loi d'Ohm imposée par la charge soit respectée.

La connexion d'une capacité comme charge peut être assimilée à la connexion de circuit intégré sur la sortie. Pendant la transition, le courant de sortie va charger les capacités en suivant la loi $i = c \frac{du_c}{dt}$. Plus la capacité est grande, plus le temps de charge est grand et plus le courant débité par la sortie est important.

Dans tous les cas, le modèle du circuit s'adapte à la charge et fonctionne correctement.

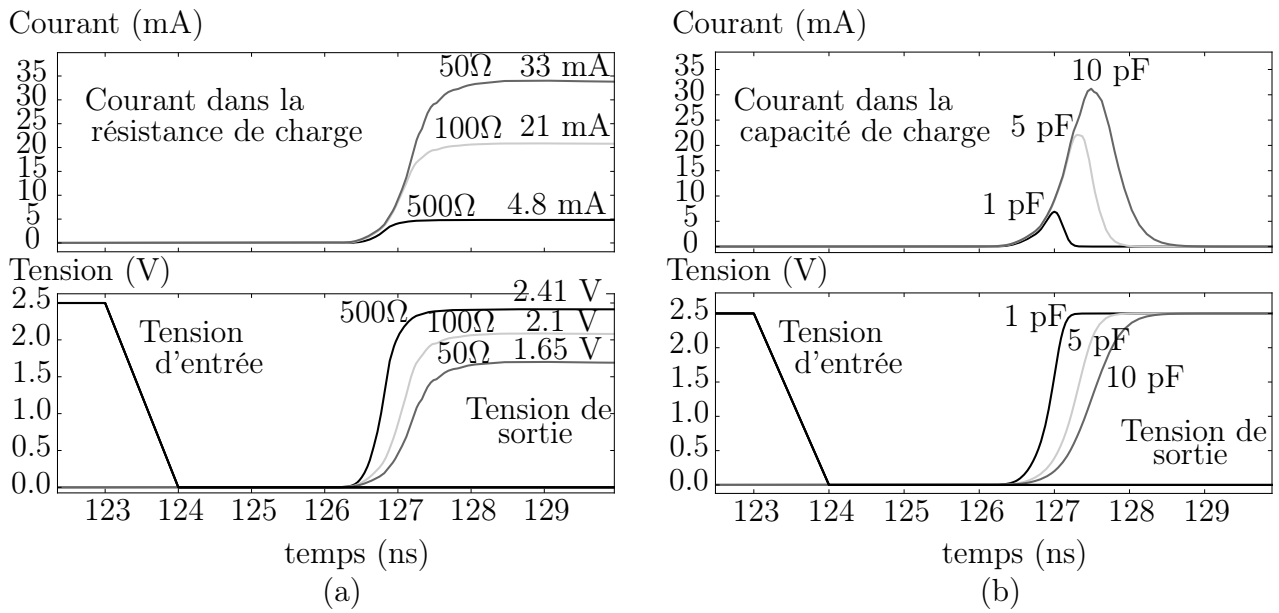


FIGURE 2.27: Simulations de commutations montantes de l'étage de sortie pour différentes résistances (a) et capacités (b) connectées en sortie du circuit.

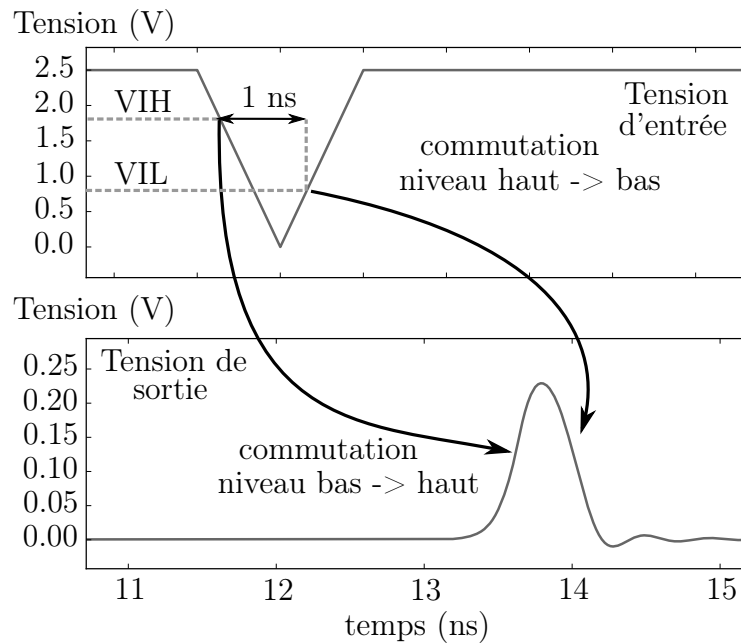


FIGURE 2.28: Résultat de simulation de la commutation de la sortie pour deux événements proches sur l'entrée du circuit.

2.3.5.2 Simulation d'un événement rapide sur l'entrée :

Afin de vérifier la modification apportée sur l'étage de sortie paragraphe 2.3.4.2.1, une simulation d'un événement court sur l'entrée est effectuée et donnée Figure 2.28. Le temps entre les deux niveaux compatibles V_{IH} et V_{IL} sur l'entrée vaut une nanoseconde. Une

capacité de 1 pF est connectée comme charge sur la sortie du circuit. L'évènement court crée un "overshot" sur la sortie comme attendu.

2.3.5.3 Simulation de l'intégrité du signal :

Une ligne de transmission chargée par une capacité de 1 pF est connectée en sortie de notre circuit comme illustré par la Figure 2.29. L'impédance de la ligne est de $50\ \Omega$ et le délai de propagation intrinsèque de la ligne est de 1 ns. Un générateur d'impulsion est connecté sur l'entrée du circuit et fonctionne à une fréquence de 10 MHz.

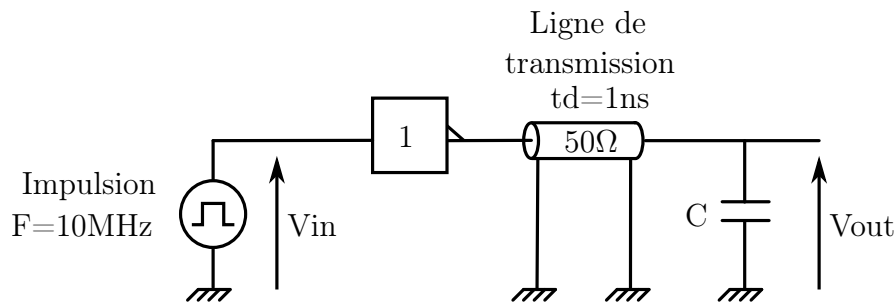


FIGURE 2.29: Exemple de simulation de l'intégrité du signal.

Le résultat de simulation de la tension V_{out} obtenue aux bornes de la capacité connectée au bout de la ligne est donnée Figure 2.30.

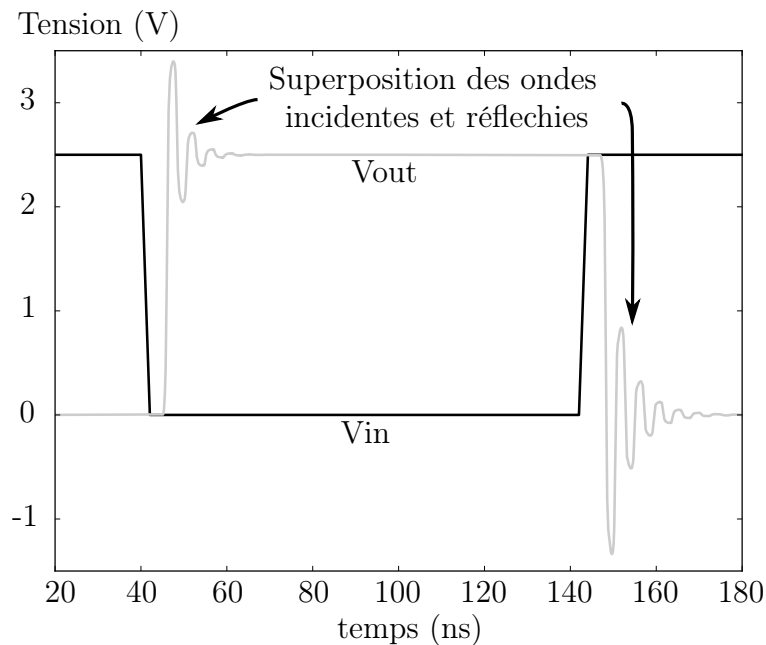


FIGURE 2.30: Résultat de simulation de l'intégrité du signal.

Des oscillations, liées à la propagation de la ligne et aux désadaptations d'impédances entre cette ligne et la capacité de charge ainsi que entre la ligne et le circuit, sont obser-

vées sur la tension de sortie V_{out} . Les désadaptations d'impédances induisent des ondes réfléchies qui vont rebondir dans la ligne entre le circuit et la capacité, et se superposent à l'onde transmise.

2.3.5.4 Simulation d'un oscillateur astable :

L'astable est un montage intéressant car il va nous permettre de vérifier les aspects dynamiques de notre modèle combiné aux seuils de déclenchement.

Une résistance et un condensateur sont connectés autour du circuit afin de réaliser un oscillateur astable fonctionnant à 10 MHz. Le schéma du circuit simulé est donné Figure 2.31. Le circuit va osciller entre deux états quasi-stables. Le système n'a pas besoin de signaux externes pour être déclenché. La tension de charge de la capacité C est initialisée à 0 V.

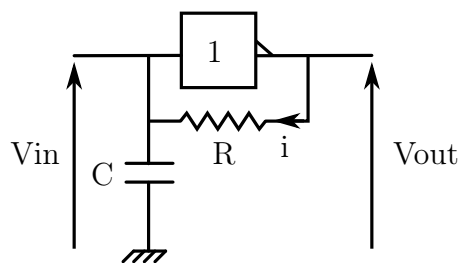


FIGURE 2.31: Schéma de l'oscillateur astable.

Les résultats de simulation de la tension V_{in} superposés à la tension V_{out} ainsi que le courant i circulant dans la résistance R sont donnés Figure 2.32. Initialement, la sortie est à l'état haut et fournit un courant qui circule dans R et charge la capacité C . Lorsque la tension de charge V_{in} atteint la tension de seuil V_{IH} de l'étage d'entrée, la sortie de l'inverseur commute. La sortie est maintenant à l'état bas. La capacité va se décharger au travers de la résistance R dans l'étage de sortie. Lorsque la tension de charge du condensateur atteint le seuil V_{IL} , l'inverseur commute. Le cycle recommence, la tension d'entrée V_{in} va osciller entre les deux états V_{IH} et V_{IL} . La sortie commute à une fréquence de 10 MHz. Le comportement du modèle vis à vis de la théorie est correct.

La technique de modélisation du circuit sera validée dans les cas d'études du chapitre 4, lorsque le système est stressé par décharge ESD :

- L'impact du Pull down sur la propagation du courant ESD injecté entre la broche V_{out} et V_{ss} , dans le cas où le circuit n'est pas alimenté, est étudié dans le chapitre 4 paragraphe 4.2.2.2.3.
- La susceptibilité d'une bascule D soumise à un stress ESD est étudiée dans le chapitre 4 section 4.3. Nous verrons que les niveaux compatibles ont une forte influence sur

les erreurs générées. Ce cas d'étude permet de valider la technique de modélisation fonctionnelle du circuit basée sur IBIS au travers de corrélations des mesures avec les simulations.

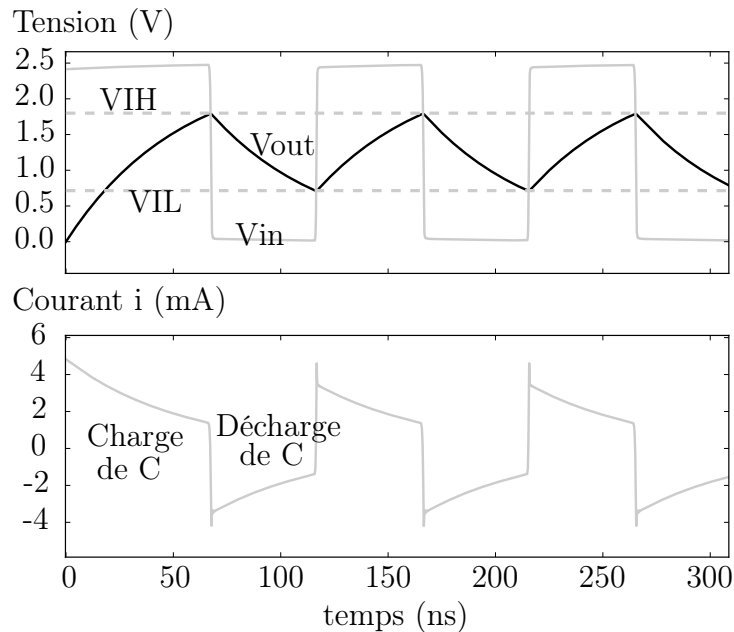


FIGURE 2.32: Résultat de simulation de l'oscillateur astable.

2.4 Modélisation du circuit imprimé

2.4.1 Modélisation de la ligne microruban

Afin de modéliser le circuit imprimé, deux types de modèles de lignes PCB ont été développés pour prendre en compte les effets de propagation et les phénomènes de couplage. Les trois sections suivantes détaillent respectivement la modélisation d'une ligne simple, de deux lignes couplées et la méthode d'assemblage.

2.4.1.1 Ligne microruban simple :

Les pistes des circuits imprimés sont réalisées comme des lignes de transmission, en utilisant des structures microrubans (en anglais : microstrip) représentées Figure 2.33. Une ligne microruban est constituée d'une piste de largeur W et d'épaisseur T . Celle-ci est séparée du plan de masse par un matériau isolant d'épaisseur H . L'isolant est un matériau composite fait d'époxy (G10 ou FR4), ou du PTFE (PolyTétraFluoroÉthylène) pour les applications très hautes fréquences. Il sert de support mécanique mais aussi de support de propagation des champs de par ses caractéristiques électriques qui sont la permittivité

relative du substrat (ϵ_r) et l'épaisseur H . Le plan de masse constitue le chemin de retour du courant.

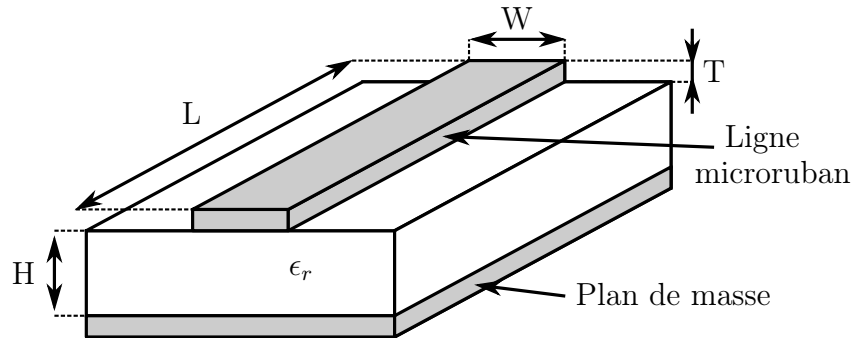


FIGURE 2.33: Représentation d'une ligne de transmission microruban simple.

Pour modéliser cette ligne en tenant compte des phénomènes de propagation, le modèle est discrétisé en une longueur élémentaire δ_x . En général, un tronçon élémentaire d'une ligne de transmission est modélisé par quatre éléments [87] comme illustré Figure 2.34 (a).

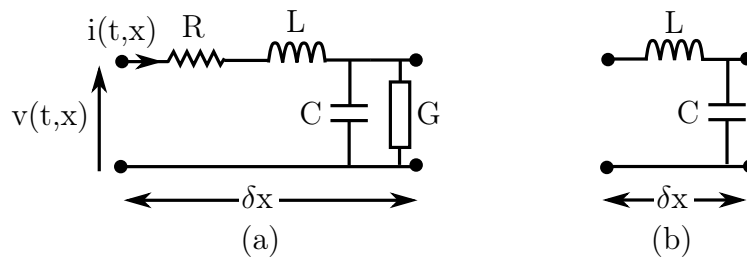


FIGURE 2.34: Modèle du tronçon de ligne élémentaire d'une ligne de transmission (a) et modèle simplifié (b).

R est la résistance série en Ohms, L l'inductance série en Henry, C la capacité de rappel vers la masse en Farads et G la conductance en Siemens. Ces éléments permettent de décrire l'impédance caractéristique, les atténuations dues aux différentes pertes diélectriques et métallique de la ligne, et la vitesse de propagation du signal. A partir de ces paramètres, l'expression de l'impédance de la ligne est établie :

$$Z_C = \left(\frac{R + jL\omega}{G + jC\omega} \right)^{\frac{1}{2}} \quad (2.13)$$

Dans la majorité des cas, l'impédance de la ligne est complexe. Cependant, la très bonne qualité des conducteurs utilisés dans les circuits imprimés (cuivre) et la bonne qualité des substrats font que nous nous plaçons dans les conditions de ligne sans perte. Ceci implique

que $R \ll jL\omega$ et $G \ll jC\omega$. L'impédance caractéristique devient purement réelle :

$$Z_C = \sqrt{\frac{L}{C}} \quad (2.14)$$

Le schéma de la ligne simplifié, où seul les effets de L et C sont pris en compte, est donné Figure 2.34 (b). Ces simplifications ont été validées vis à vis des ESD dans la thèse de Nicolas Lacrampe [8] en utilisant la méthode de réflectométrie (TDR) basée sur le testeur VF-TLP [58]. Les paramètres de la ligne dépendent des dimensions géométriques (L, W, T et H) et de la constante diélectrique ε_r du matériau utilisé pour le circuit imprimé (dans notre cas de FR-4 époxy). Dans les cas des PCB de type FR4, l'inductance L et la capacité C par unité de longueur correspondant à un tronçon élémentaire de longueur δ_x sont déterminées à partir de ces paramètres et des équations suivantes [88] :

$$Z = \frac{87}{\sqrt{\varepsilon_r + 1.41}} \ln \left(\frac{5.98H}{0.8W + T} \right) \quad (ohms) \quad (2.15)$$

$$C = \frac{0.67(\varepsilon_r + 1.41)}{\ln \left(\frac{5.98H}{0.8W + T} \right)} \quad (pF/mm) \quad (2.16)$$

$$L = 10^{-3} \times C \times Z^2 \quad (nF/mm) \quad (2.17)$$

avec comme conditions : $0.1 < \frac{W}{H} < 3.0$ et $1 < \varepsilon_r < 15$

Le Tableau 2.4 (a) et (b) résume les paramètres ainsi que les dimensions typiques des pistes de circuit imprimé utilisées au cours de la thèse. Il est à noter que les valeurs données ne sont qu'un ordre de grandeur et que le calcul de l'impédance est approximatif.

(a)		(b)			
Paramètres	Valeur	Impédance	Largeur	Inductance	Capacité
Constante diélectrique	$\varepsilon_r=4,6$ FR4 époxy	Z (ohms)	W (mm)	L (nH/mm)	C (pF/mm)
Épaisseur H	H=1,6 mm	50	2,8	0,277	0,114
Épaisseur T	T=35 μ m	110	0,5	0,605	0,05

TABLE 2.4: Paramètres de la ligne microruban (a), valeurs des inductances et capacités linéiques pour deux largeurs de lignes (b)

La ligne microruban est discrétisée en n portions élémentaires comme illustré Figure 2.35. Cette discrétisation doit tenir compte de l'approximation quasi-TEM [89] (TEM : Transverse Electrique Magnétique). Les lignes microrubans se comportent comme des guides d'ondes avec des directions privilégiées [90]. En première approximation, le mode de propagation de l'onde le long de la ligne est quasi-transverse, c'est à dire que les champs

électriques et magnétiques sont perpendiculaires à l'axe de la ligne. Dans cette approximation, les variations de phase sont négligées. Ainsi, la longueur l de l'élément élémentaire δx doit répondre à la condition suivante :

$$l \ll \frac{\lambda}{4} \quad \text{avec} \quad \lambda = \frac{\nu}{f} \quad \text{et} \quad \nu = \frac{c}{\sqrt{\epsilon_r}} \quad (2.18)$$

λ est la longueur d'onde, f est la fréquence, ν est la vitesse, et enfin C est la célérité ($C = 3.10^8$ m/s).

Si l'on considère la fréquence de travail à 2 GHz, la longueur d'onde est de 7 cm. La longueur élémentaire δx doit être très inférieure à $\frac{\lambda}{4} \simeq 17,5$ mm. Pour avoir une condition suffisante, nous prenons $dl = \frac{\lambda}{10} \simeq 7$ mm [8].

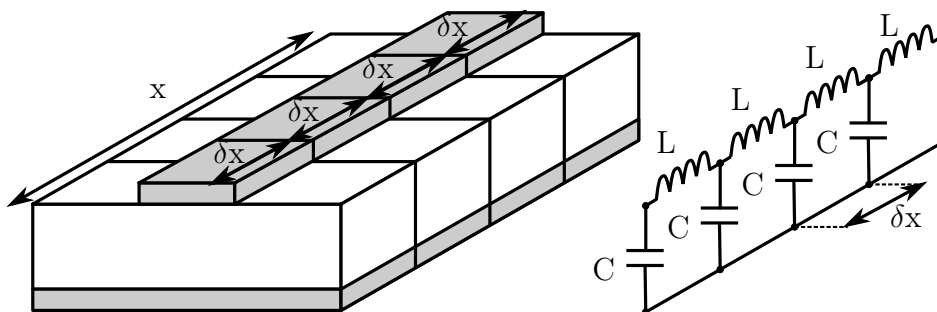


FIGURE 2.35: Discretisation de la piste microruban en tronçons élémentaires δx .

Un module générique développé en VHDL-AMS conserve cette sérialisation d'éléments élémentaires. Les caractéristiques géométriques et le nombre de modules n sont passés en paramètres. Les formules sont directement implémentées en VHDL-AMS et la ligne est automatiquement générée.

2.4.1.2 Modélisation de lignes couplées

Un autre modèle de ligne a été développé pour tenir compte des phénomènes de couplages ou diaphonie entre deux pistes proches [91]. Les couplages qui existent entre deux pistes proches sont essentiellement capacitifs et inductifs :

- *Couplage capacitif* : lorsque deux pistes sont proches, les lignes de champs électriques se regroupent et forment une capacité de couplage comme représenté sur la Figure 2.36 (a). Les fortes variations $\frac{dv}{dt}$ dans la ligne PCB perturbatrice vont induire un courant I_{induit} dans la ligne victime suivant la loi : $I_{induit} = C_{mut} \frac{dv}{dt}$. C_{mut} étant la capacité mutuelle entre les deux pistes.
- *Couplage inductif* : les pistes des circuits imprimés sont inductives. Lors des fortes transitions de courant $\frac{di}{dt}$, la ligne perturbatrice va émettre des champs magnétiques

dont les lignes sont représentées sur la Figure 2.36 (b). Ces lignes de champs qui arrivent sur une autre piste victime située à proximité vont induire une tension V_{induit} suivant la loi : $V_{induit} = M \frac{di}{dt}$. M étant le coefficient de mutuel inductance entre les deux pistes.

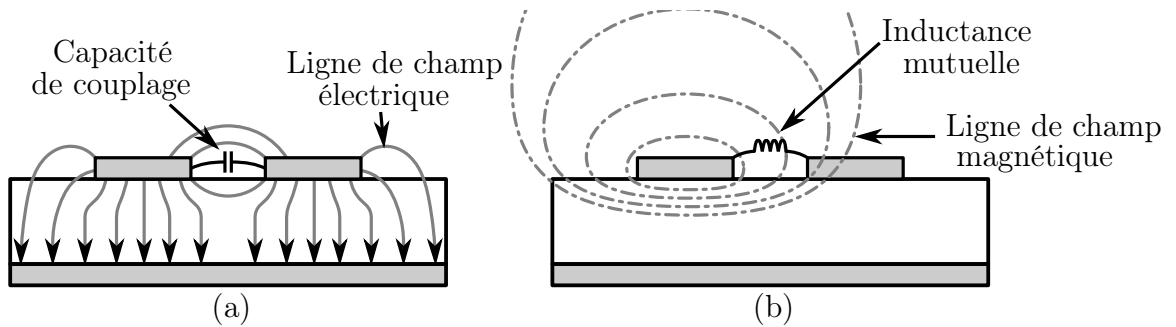


FIGURE 2.36: Couplage capacitif entre deux pistes proches, liées au champ électrique (a), Couplage inductif entre deux pistes proches, liées au champ magnétique (b).

Les effets de couplage sont modélisés en insérant une inductance et une capacité mutuelle par unité de longueur dans chaque tronçon élémentaire de longueur δx représenté par la Figure 2.37. Les éléments L, C, L_m et C_m sont calculés à partir de la géométrie des pistes couplées, de la constante diélectrique du matériau isolant et des équations issues de la littérature [92] ou de simulations électromagnétiques.

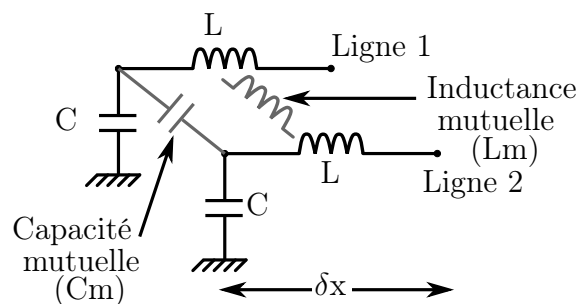


FIGURE 2.37: Modèle du tronçon de ligne élémentaire d'une paire de ligne microruban couplé.

Les courants/tensions induits par ces couplages sont d'autant plus importants que les transitions $\frac{dv}{dt}$ et $\frac{di}{dt}$ sont grandes. Les événements ESD par exemple reproduits par le pistolet ESD (IEC 61000-4-2) ont des transitions ultra rapides de l'ordre de dizaines d'ampères / nanosecondes. Il est nécessaire de tenir compte de ces couplages dans la modélisation.

2.4.2 Assemblage pour la modélisation complète du PCB

Les modèles de lignes simples et des lignes couplées sont assemblés en suivant la topologie du circuit imprimé. Le principe de cet assemblage est illustré Figure 2.38. En fonction de l'interaction entre les lignes, chaque segment est modélisé par un module tenant en compte l'impédance et la longueur et en option du couplage. Dans les portions 1,3,4 et 5, les lignes ne sont pas couplées. Le modèle de la simple ligne est utilisé. Par contre, dans la portion 2, les lignes sont proches, le modèle de lignes couplées est utilisé pour reproduire la diaphonie entre les pistes. Entre les sections 3 et 4 de la piste 2, le modèle d'un condensateur est ajouté.

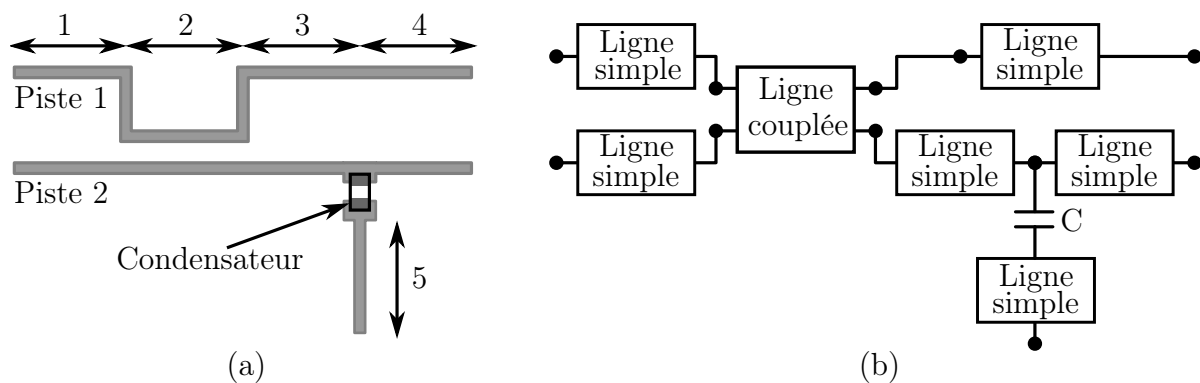


FIGURE 2.38: Topologie du circuit imprimé à modéliser (a), assemblage des blocs élémentaires de la bibliothèque pour modéliser le circuit imprimé (b).

Dans certain cas, comme nous le verrons dans le chapitre 4, il est nécessaire d'introduire des modèles plus complets des composants passifs. La réalisation de ces modèles est détaillée dans la section suivante.

2.4.3 Modélisation des éléments passifs

Les systèmes électroniques incorporent de nombreux éléments passifs : résistance de limitation, capacité de découplage, inductance de filtrage, etc. Compte tenu des fréquences dans lesquelles nous travaillons, il est nécessaire de prendre en compte les éléments parasites liés aux imperfections des composants et à leur boîtier de connections.

Les résistances, condensateurs et inductances sont modélisés avec les modèles "RLC" illustrés Figure 2.39. Les éléments en gris représentent les éléments parasites.

Les paramètres de ces modèles sont extraits directement à l'aide d'un analyseur d'impédance. La mesure l'impédance (module et phase) en fonction de la fréquence d'un condensateur céramique de 47 nF dans un boîtier 1206 CMS (CMS : Composant Monté en Surface) est donnée Figure 2.40. Le changement de phase de -90° à $+90^\circ$ indique que notre condensateur passe d'un comportement capacitif à un comportement inductif à la

fréquence 10 MHz, d'où la nécessité de prendre en compte les éléments parasites.

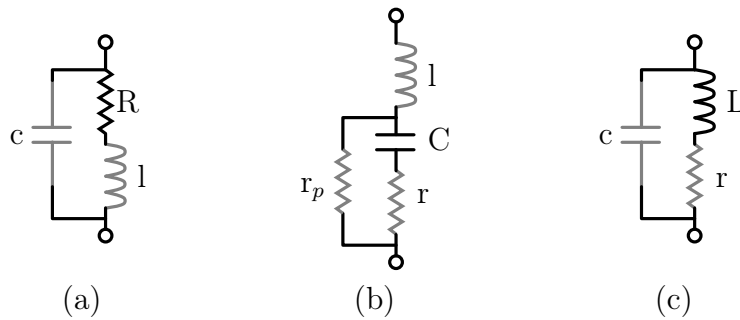


FIGURE 2.39: Modèles réels d'une résistance (a), d'un condensateur (b) et d'une inductance (c).

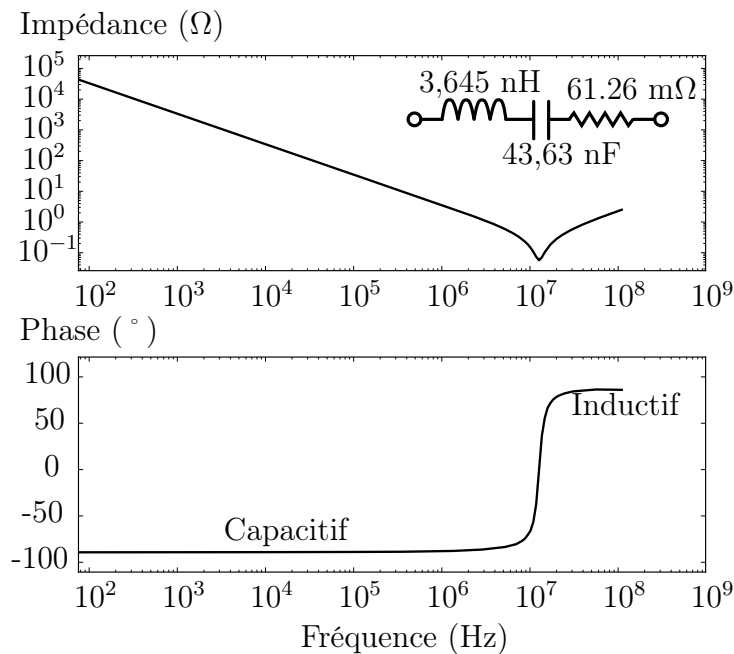


FIGURE 2.40: Mesure et simulation de l'impédance d'un condensateur de 47 nF en fonction de la fréquence.

Une mesure de l'impédance (module et phase) effectuée sur deux condensateurs de valeur identique mais montés dans un boîtier différent est donnée Figure 2.41. L'effet inductif peut varier en fonction du boîtier. L'inductance du modèle passe du simple au double. Cette différence doit être prise en compte pour les simulations ESD. En effet, le moindre effet inductif, même de l'ordre du nH, induit de forte tension lors des fortes transitions du courant de décharge en suivant la loi $u = L \frac{di}{dt}$. En doublant l'inductance, la tension induite aux bornes de l'élément passif est doublée.

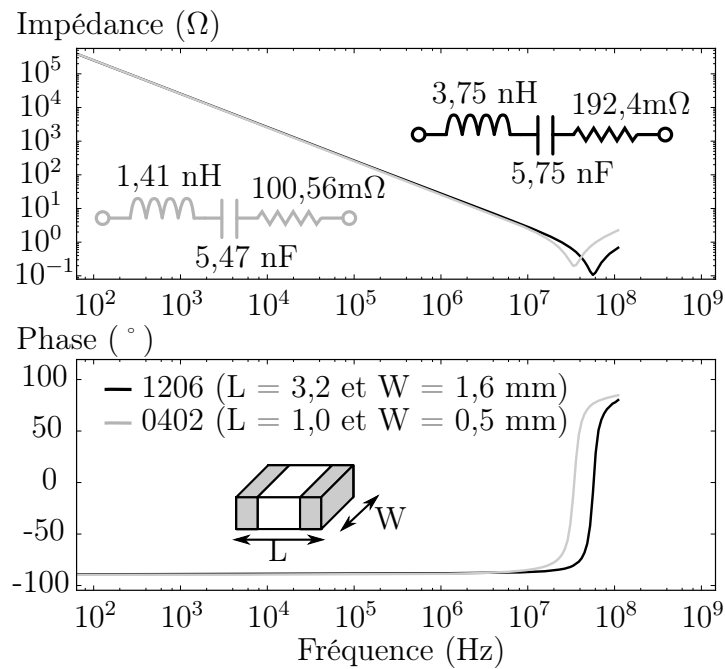


FIGURE 2.41: Mesure de l'impédance d'un condensateur de 6.8 nF pour deux boîtiers différents

Nous verrons dans le paragraphe 4.2.2.3.3 du chapitre 4, une étude où nous avons comparé l'impact d'un modèle parfait et un modèle réel d'un condensateur connecté en parallèle à un thyristor.

2.5 Modélisation de l'environnement de test

2.5.1 Connectique entre le système et les appareils de mesure

Les câbles reliant les générateurs d'impulsion, les appareils de mesures, les sondes, les alimentations aux cartes électroniques sous tests, sont modélisés avec des lignes de transmissions classiques sans pertes. Les deux paramètres à régler sont l'impédance caractéristique et le délai de propagation. L'impédance de tous les câbles utilisés dans nos mesures est 50 Ω . Le délai de propagation de chaque câble est ajusté en fonction des câbles utilisés lors des manipulations. Majoritairement, nous avons utilisé des câbles ayant une vitesse de propagation de $1,94 \cdot 10^8$ m/s, soit une constante de temps de 5 ns/m.

2.5.2 Modélisation des générateurs ESD

2.5.2.1 Pistolet ESD

De nombreux modèles ont été publiés dans la littérature pour prédire par simulation de l'impact d'une décharge ESD de type IEC 61000-4-2. La forme d'onde du pistolet

ESD est générée avec un circuit équivalent utilisant des éléments basiques tels que des condensateurs, des résistances et des inductances. Un schéma électrique simplifié du générateur (circuit RC), tel que nous avons vu dans le chapitre 1 sous-sous-section 1.3.1.1, est donnée par la norme IEC [6]. Celui-ci n'est pas un modèle mais un schéma de principe préconisé pour la réalisation du générateur. Il permet toutefois de bien comprendre le fonctionnement du pistolet ESD. La décharge de ce simple circuit RC permet d'obtenir une approximation de l'énergie envoyée par le pistolet ESD. Cependant, les caractéristiques (temps de montée et forme du courant) obtenues avec ce circuit RC ne correspondent pas à la forme définie par la norme.

Dans la littérature, de nombreux modèles d'approche circuit ont été publiés [93, 94, 95, 96, 97, 98, 99]. Chacun de ces modèles reprend le schéma de base du pistolet ESD composé essentiellement de la capacité de 150 pF et de la résistance de 330 Ω . Les éléments parasites du testeur (capacités de couplages, effets inductifs de la pointe de décharge) et/ou le câble du retour de masse sont pris en compte et ajoutés à ce schéma afin de produire la forme d'onde de référence spécifiée par la norme dans 2 Ω . Tous ces éléments ont un « sens physique » et une influence sur la forme du courant généré.

Dans le cadre des travaux de thèse, nous avons retenu et utilisé le modèle de Chui [96]. Ce modèle prend en compte les éléments parasites du pistolet ESD notamment le retour de masse de 2 m. Chaque élément constituant ce modèle a une influence sur la forme d'onde. Le schéma du modèle est donné Figure 2.42.

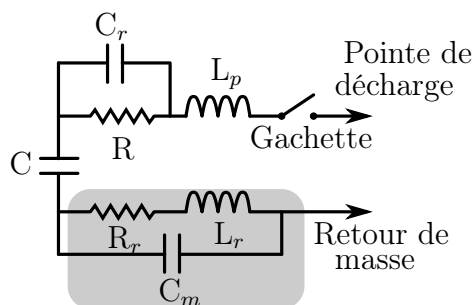


FIGURE 2.42: Schéma équivalent du modèle du pistolet [96].

Les paramètres du modèle sont synthétisés dans le Tableau 2.5 :

Le modèle présenté n'est pas valable si l'on s'intéresse aux perturbations électromagnétiques générées par le pistolet lui-même (voir chapitre 1 sous-sous-section 1.3.1.1). Elles ne peuvent pas être modélisées par un simple modèle de type circuit. Un générateur commercial de marque Noiseken réalisé sous le logiciel de CEM MicroWave Studio (MWS) a été publié par [100]. Chaque élément du générateur : le relais, les bobines, les anneaux de ferrite, la capacité de stockage sont modélisés et vérifiés de manière indépendante. Tous les éléments sont par la suite assemblés pour former le générateur complet.

Éléments	Valeur	Correspondance	influence sur
C	150 pF	Capacité du pistolet	La forme générale de la décharge
R	330 Ω	Résistance du pistolet	
Lr	1,5 μ H	Inductance retour de masse	Le deuxième pic de courant
Rr	130 Ω	Résistance retour de masse	
Lp	75 nH	Inductance de la pointe	Le temps de montée
Cm	18 pF	Capacité vers la masse	Le deuxième pic de courant
Cr	3pF	Capacité parasite	

TABLE 2.5

2.5.2.2 Générateur TLP

Trois modèles de générateurs TLP ont été développés au cours de la thèse. Le premier modèle est un modèle parfait dont le schéma électrique est donné Figure 2.43 (a). Un générateur d'impulsion crée la décharge TLP. La résistance 50 Ω en série permet d'adapter l'impédance. La connexion au système est effectuée par l'intermédiaire d'une ligne de transmission. Le conducteur de la ligne est l'électrode positive du banc (*TLP+*) et le blindage est l'électrode négative (*TLP-*). La durée de l'impulsion (100 ns) et les temps de transitions sont directement réglés dans les paramètres du générateur d'impulsion. L'avantage de ce modèle est qu'il est rapidement mis en œuvre. L'inconvénient est qu'il ne tient pas en compte des réflexions qui existent entre l'alimentation haute tension et la ligne de charge 50 Ω qui ont une influence sur la forme de décharge.

Deux autres modèles ont été développés pour modéliser de manière réaliste les deux bancs TLP disponibles au laboratoire.

Le modèle du banc TLP du Celestron [101] est donné Figure 2.43 (b). L'alimentation HT charge la ligne de charge à haute tension au travers de la résistance de forte valeur 10 $M\Omega$. Un relais est utilisé pour déclencher la décharge. Comme pour le modèle parfait, la connexion au système est effectuée par l'intermédiaire d'une ligne de transmission. Un atténuateur de 6 dB (division par 2), composé de trois résistances, est ajouté au bout de la ligne de charge. Une réflexion issue de la rupture d'impédance ligne de transmission 50 Ω / système sous tests qui se propage vers la ligne de charge va circuler et être atténuée une première fois par l'atténuateur. Cette réflexion continue de se propager vers l'alimentation HT. En raison de la rupture d'impédance entre la ligne de charge 50 Ω et la résistance de 10 $M\Omega$, cette onde va rebondir et se propager dans l'autre sens. Celle-ci va de nouveau être atténuée en passant par l'atténuateur. Les réflexions mesurées par les sondes, issues de l'alimentation, sont donc divisées par quatre. Comme la tension est divisée par deux en sortie de la ligne, il est nécessaire de doubler la tension de pré-charge de la ligne.

Le modèle du banc TLP LAAS développé par Nicolas Mauran est donné Figure 2.43 (c). La ligne de charge est chargée par l'alimentation HT et déchargée à l'aide d'un relais par

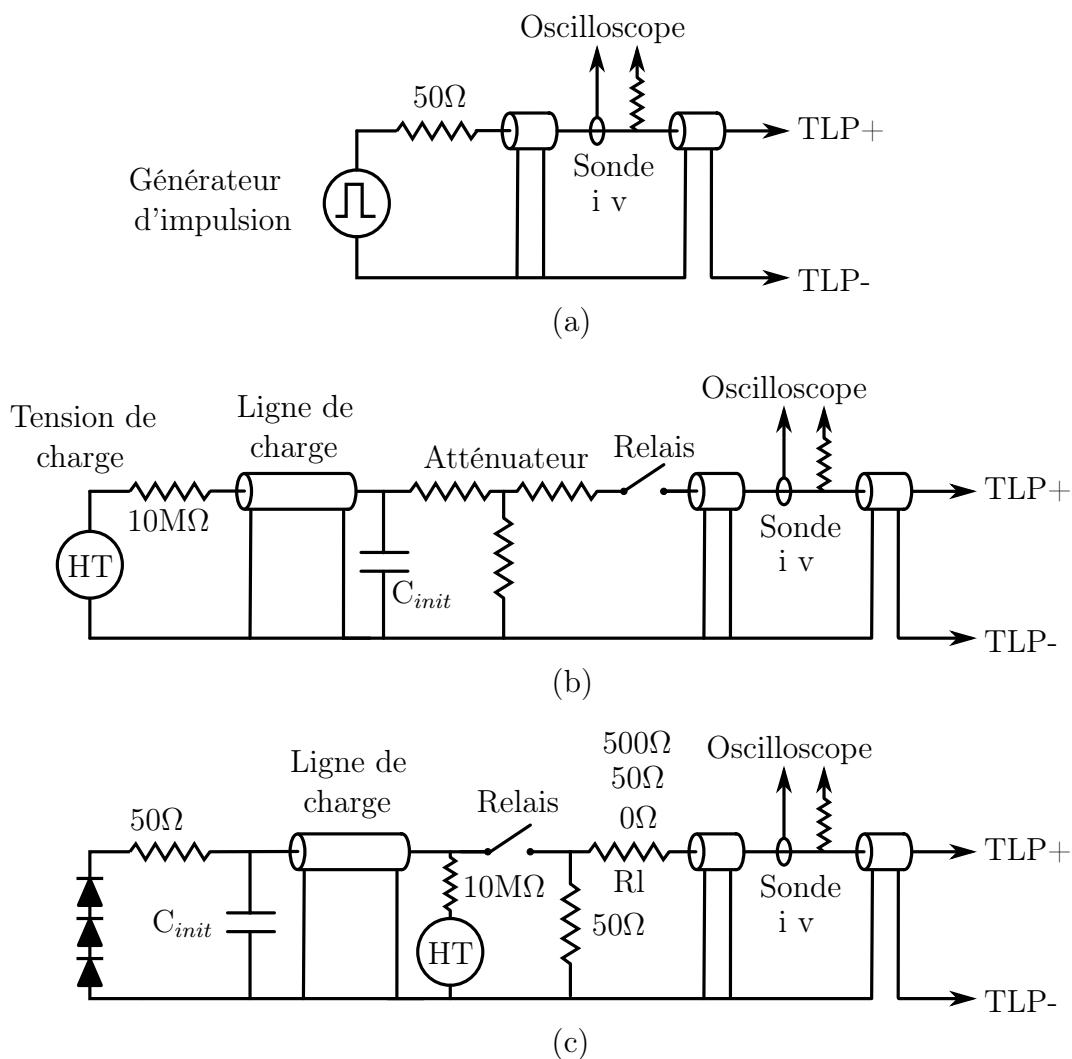


FIGURE 2.43: Modèle d'un générateur TLP parfait (a); Modèle du banc Celestron [101](b); Modèle du banc TLP de Nicolas Mauran [102] (c).

le même côté. La particularité de ce banc est qu'une résistance ($R1$ de 500 ou 50 Ω) peut être connectée en série. Cela permet de limiter le courant et de tracer une caractéristique $I(V)$ plus fine telle que celle présentée dans la sous-sous-section 2.3.3.1 pour le thyristor. Une résistance de 50 Ω est connectée en parallèle à la sortie du relais afin de maintenir une adaptation d'impédance. A l'autre bout de la ligne, des diodes sont ajoutées afin d'absorber les réflexions négatives issues de la rupture d'impédance ligne de transmission 50 Ω / système sous test.

Les deux modèles b et c reproduisent la décharge d'un câble dans le système sous test. Pour éviter l'attente de la charge de la ligne dans la simulation, celle-ci est effectuée lors de l'analyse DC du simulateur. L'analyse DC calcule tous les potentiels initiaux de tous les nœuds avant que la simulation ne soit effectuée. Pour initialiser la ligne lors de cette analyse, une capacité C_{init} de très faible valeur dont la tension initiale est la même que la

tension de l'alimentation HT est positionnée au bout de la ligne de charge comme illustré Figure 2.43 (b) et (c).

2.6 Modélisation du système complet

Nous avons développé une bibliothèque de modèles dédiée à la modélisation d'un système complet soumis à des ESD. Cette bibliothèque comprend les modèles suivants :

- Les modèles de structures de protections ESD typiques (diodes, thyristor, et NMOS avec déclenchement dynamique). Deux techniques de modélisation sont utilisables : la modélisation comportementale et physique. Dans les deux cas, les paramètres sont extraits à partir de mesures. (voir sous-sous-section 2.3.3.2 et sous-sous-section 2.3.3.3)
- Un modèle fonctionnel du circuit basé sur des modèles IBIS modifiées. Les principaux paramètres sont issues des fichiers IBIS (RLC_{pkg} , C_{COMP} , tables $I(V)$ et $V(t)$ des Pull Up et Pull Down) et de la documentation technique constructeur (niveau compatible $V_{IH} = 0,7 \times V_{DD}$ et $V_{IL} = 0,3 \times V_{DD}$ et information sur le fonctionnement pour le cœur). (voir sous-section 2.3.4)
- Deux modèles de lignes microrubans du circuit imprimé. Un modèle simple prenant en compte la propagation et un modèle couplé pour la modélisation de la diaphonie entre deux lignes proches. Les paramètres sont extraits directement de la géométrie des pistes et de la propriété du matériau utilisé comme substrat (FR4). (voir sous-sous-section 2.4.1.1 et sous-sous-section 2.4.1.2)
- Des modèles des composants passifs : résistance, condensateur, inductance. Les éléments parasites correspondant aux effets non linéaires de ces derniers, aux imperfections et aux boîtiers, sont pris en compte. Les paramètres sont extraits à partir d'un analyseur d'impédance. (voir sous-section 2.4.3). Toutefois, il est à noter que ces modèles ne sont pris en compte que dans certains cas, comme nous le verrons dans le chapitre 4.
- Des modèles de ligne de transmission simple dont le délai de propagation est ajusté à partir de mesure sur le câble utilisé lors des expérimentations. (voir sous-section 2.5.1)
- Les modèles des générateurs de décharge : le pistolet ESD et les bancs de mesures TLP utilisés en injection. (voir sous-sous-section 2.5.2.1 et sous-sous-section 2.5.2.2)

Tous les modèles développés sont assemblés de manière structurelle et hiérarchique en suivant la topologie du système à modéliser. Si nous prenons comme image des "legos" tel que nous avons illustré pour le principe de modélisation dans la section 2.2, Figure 2.1 (b), la bibliothèque est assimilable à un coffre à jouet. Les concepteurs du système piochent des briques dans ce coffre et les assemblent sur une plaque. De nombreuses configurations sont possibles et n'importe quel système numérique peut être modélisé en suivant cette

méthode.

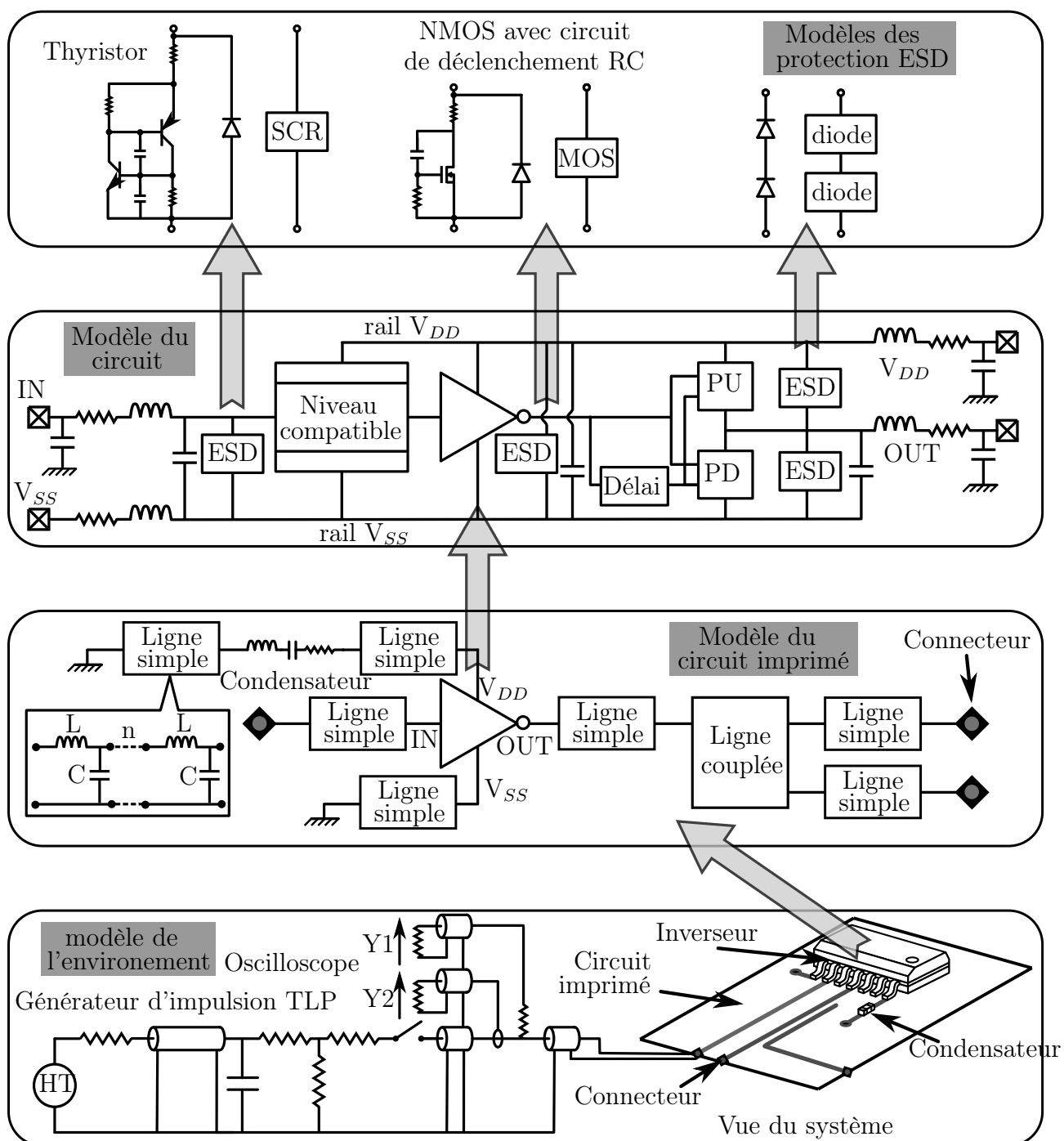


FIGURE 2.44: Assemblage hiérarchique des modèles de la bibliothèque en fonction de la topologie du système

Une illustration d'un assemblage de tous les éléments est donnée Figure 2.44. En bas, le premier rectangle représente l'environnement de test composé d'un banc TLP, des câbles de liaisons et des sondes de courant et tension connectés à l'oscilloscope. Cet environnement de test est connecté à un connecteur de la carte sous test. En descendant d'un niveau

dans la hiérarchie, nous pouvons voir le modèle du circuit imprimé incluant les modèles de lignes, les modèles des composants passifs et le “block” circuit. Le niveau suivant dans la hiérarchie présente le modèle du circuit intégré composé des éléments extraits des modèles IBIS et des “blocks” de protections ESD. Enfin le dernier niveau correspond aux modèles des protections ESD intégrées dans le circuit.

2.7 Précautions et difficultés à prendre en compte dans le montage de la simulation

Un fois le modèle du système assemblé, il ne suffit pas d'appuyer sur un bouton pour lancer la simulation. Il est nécessaire d'effectuer des réglages rigoureux du simulateur afin de pouvoir simuler un évènement ESD durant le fonctionnement d'un système. Un mauvais réglage implique des problèmes de convergence ou / et de fonctionnement non représentatifs de la réalité pouvant induire des erreurs d'interprétation. Cette section détaille comment régler le pas de calcul, l'initialisation DC et les précautions à prendre dans le placement de la masse de référence.

2.7.1 Réglage du pas de calcul

Pour réaliser des simulations dans le domaine temporel, les trois paramètres à régler dans le simulateur sont : le pas maximum (H_{MAX}), le pas minimum (H_{MIN}) et la précision (EPS). Les pas minimum et maximum correspondent aux pas temporels entre deux points de calcul. Le pas s'adapte en fonction de la précision donnée.

Dans le cas de simulations ESD, nous sommes confrontés à un facteur d'échelle temporel. Des phénomènes à la nanoseconde ($\frac{di}{dt}$ des ESD très grands) surviennent dans des simulations de quelques microsecondes (par exemple la simulation du fonctionnement d'un bus CAN dans la voiture à 1 MHz). Le réglage du pas de calcul minimum et de la précision doivent être effectués sur l'évènement le plus rapide dans la simulation. Il faut choisir un compromis entre la finesse nécessaire pour calculer les évènements rapides et le temps de calcul total de la simulation. Une précision et un pas minimum trop fin auront pour conséquence une forte augmentation du temps total de calcul.

D'autre part, les structures ESD telles que des ggNMOS ou thyristors sont couramment utilisées dans les réseaux de protection des circuits intégrés. Elles présentent l'avantage d'avoir une caractéristique qui se replie. Dans la simulation, ce repliement impliquent de fortes discontinuités qui doivent être considérées lors du réglage des pas de calcul pour éviter les problèmes de convergence.

2.7.2 Initialisation DC

Avant de lancer la simulation temporelle, le simulateur va exécuter le solveur analogique. Le solveur va calculer tous les potentiels de tous les nœuds en fonction des conditions initiales des signaux et quantités. Cela permet au simulateur de mener les calculs de l'ensemble des équations différentielles définies par chacun des modèles.

Pour simuler l'aspect fonctionnel d'un système soumis aux ESD, nous allons de nouveau être confronté à des problèmes de facteur d'échelle. Nous souhaitons simuler des systèmes fonctionnant à quelques volts sur lesquels nous connectons des générateurs de décharge chargés à quelques kilovolts. Si aucune précaution n'est prise en compte pour l'initialisation, des potentiels non cohérents vis à vis de la réalité peuvent être calculés. Des kilovolts sur certains nœuds peuvent apparaître à la place de volt. Le simulateur va résoudre les lois de Kirchhoff et initialiser les tensions dans les capacités et les courants dans les inductances en fonction de la loi des mailles. Afin que l'analyse DC soit pertinente, il est nécessaire d'initialiser certains de ces éléments (tension aux bornes d'une capacité et/ou courant circulant dans une inductance) pour aider le simulateur sous peine d'erreur DC et/ou de non convergence du simulateur.

Pour illustrer ce phénomène, un exemple est reporté Figure 2.45. Un générateur HBM initialement chargé à 2 kV, faisant apparaître sa résistance et inductance propre, est connecté à un circuit. Dans les deux cas présentés (a et b), sont reportées les polarisations calculées par le logiciel de simulation (au dessous des schémas), où les N1Nxx correspondent aux tensions initialisées aux différents nœuds. Dans le cas (a), seul le condensa-

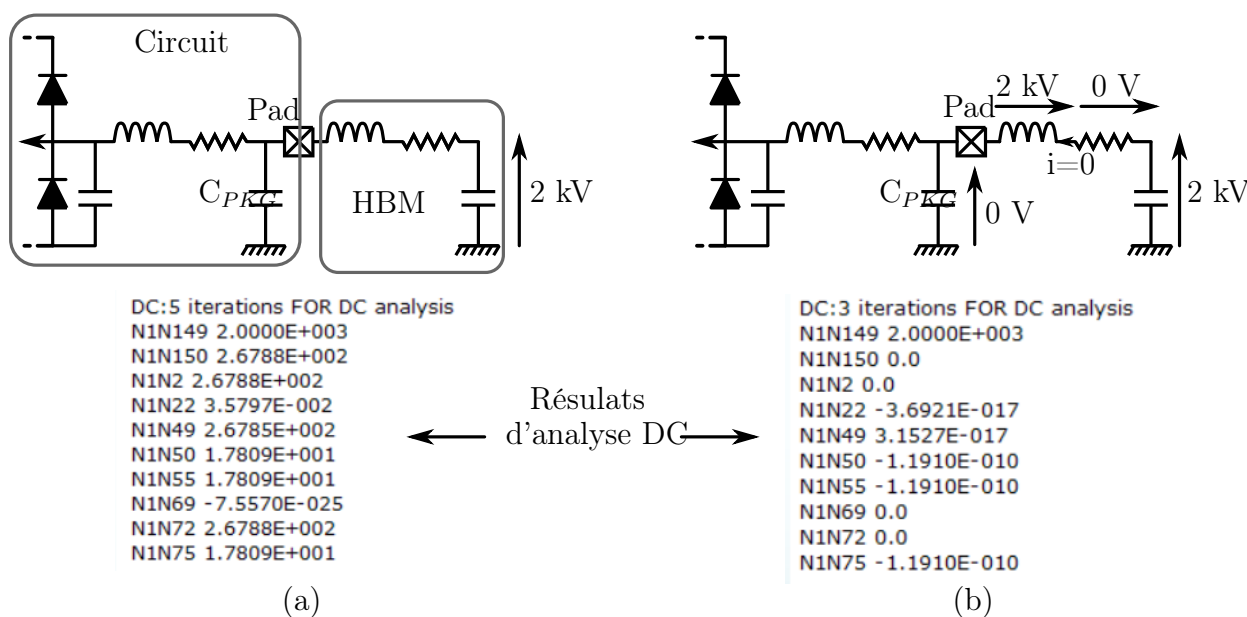


FIGURE 2.45: Mise en évidence des problèmes d'initialisation DC : mauvaise initialisation (a), bonne initialisation (b).

teur HBM est initialisé à 2 KV. Il apparaît que certains nœud ne sont pas initialisés à 0 V, comme prévu, entraînant des problèmes de convergence. Dans le cas (b), nous avons, en plus, initialisé l'inductance du modèle, et la capacité interne du boîtier. Tous les nœuds sont alors initialisés à 0 V et le modèle converge rapidement.

2.7.3 Masse de référence

La placement de la masse du simulateur pour effectuer des simulations ESD est très importante. Il est inconcevable de simuler un système, stressé entre un point accessible de l'extérieur et le plan de masse du circuit imprimé, en connectant cette "masse" partout (sur le générateur, sur les câbles, plan de masse PCB et à l'intérieur du circuit) comme il se fait typiquement dans des simulations électriques. En effet, par exemple, un courant de décharge ESD peut être évacuer par une "masse" mal positionnée à l'intérieur d'un circuit créant un chemin de décharge non représentative de la réalité. La "masse" du simulateur ne doit pas être considérée comme un "0", mais comme une référence pour les calculs. Dans le cas de nos simulations, la masse de référence du simulateur est positionnée en un point du système. Celle-ci est prise sur le plan de masse du PCB, au niveau du connecteur à l'image des appareils de mesure qui prennent leurs références sur le plan de masse par le blindage du câble connectant un oscilloscope à une carte. L'analyse de la simulation se fait alors en différence de potentiel. Ceci est mis en évidence sur la Figure 2.44. Nous pouvons voir que la référence est positionnée uniquement sur le plan de masse du circuit imprimé. Il n'y a aucune référence dans le modèle du circuit mis à part sur les capacités d'entrées/sorties. Ces capacités correspondent aux capacités parasites entre la broche et le plan de masse. La référence de ces capacités est bien au plan de masse du circuit imprimé.

2.8 Conclusion

Pour modéliser un système soumis aux décharges électrostatiques, il est nécessaire de tenir compte de tous les éléments : de l'environnement de test incluant les générateurs de décharge et les câbles jusqu'aux circuits incorporant les protections ESD intégrées. Dans ce chapitre, nous avons détaillé comment modéliser chacun de ces éléments de manière indépendante. Deux techniques de modélisation des structures de protections ont été proposées. L'aspect fonctionnel du circuit est basé sur la modification d'un modèle existant appelé IBIS. Les modèles de lignes PCB sont des modèles discrétisés LC tenant compte des phénomènes de propagation mais aussi de couplages entre les pistes proches. Des modèles de générateur ESD ont été réalisés pour reproduire les perturbations.

Nous avons décrit par la suite comment ces modèles sont interconnectés pour modéliser un système complet et comment le simulateur est réglé afin d'effectuer des simulations de

ce modèle vis à vis des événements ESD.

Dans tous les cas, les paramètres des modèles sont extraits soit à partir d'informations disponibles tel que les modèles IBIS et la documentation technique soit à partir de mesures effectuées directement sur les différents éléments du système (mesures TLP statiques et quasi-statique des protections, mesure à l'analyseur d'impédance des composants passifs, mesures de la géométrie des pistes du circuit imprimé, mesure de propagation des câbles...). Aucune information relative aux technologies n'est utilisée. N'importe quel constructeur de système peut modéliser ses cartes numériques à partir de la méthodologie proposée.

En ce qui concerne la modélisation du circuit, les informations ajoutées respectent les concepts de IBIS. Aucune information sur la propriété intellectuelle n'est révélée. Ainsi, une extension de IBIS, est envisageable afin que les concepteurs de système puissent modéliser les circuits sans avoir à effectuer de mesure.

Dans le chapitre, nous avons présenté quelques résultats de simulations fonctionnelles et des corrélations mesures / simulations TLP des protections ESD. Ces résultats sont insuffisants pour valider le modèle. Cependant, ce chapitre est dédié à la présentation de la méthode de modélisation. De nombreuses simulations corrélées avec des mesures seront détaillées lors de l'étude de cas dans le chapitre 4, permettant la validation des modèles. Avant cela, des techniques de mesures et des méthodes d'injections ont été développées et présentées dans le chapitre 3 pour effectuer des mesures permettant les corrélations avec les simulations du modèles.

3 Techniques de mesure et d'injection

3.1 Introduction

Ce chapitre est dédié à la description de techniques d'injection et de mesure développées au cours de la thèse pour analyser l'impact d'une ESD sur un système électronique en fonctionnement et non alimenté. Ces techniques sont indispensables, d'une part pour obtenir une information de ce qui se passe dans le système durant la décharge, et d'autre part pour vérifier et valider les modèles développés dans le chapitre 2 au travers de corrélations des mesures avec les simulations.

La majorité des techniques présentées dans ce chapitre sont inspirées de la norme de Compatibilité ElectroMagnétique (CEM) IEC 61967 [103] destinée à l'évaluation des émissions radiatives et conduites d'un circuit, et de la norme IEC 62132 [104] dédiée à l'évaluation de l'immunité électromagnétique d'un circuit. Les méthodes de ces normes ont été adaptées et extrapolées pour une utilisation dans les conditions ESD. Les autres techniques proposées sont inspirées de principes d'appareil de mesure existants tels que la technique TDR (en anglais : Time Domain Reflectometry) et le banc de mesure TLP qui ont été utilisés, modifiés ou adaptés pour les études ESD.

Ce chapitre est découpé en trois parties. La première partie détaille les techniques de mesure. La deuxième partie décrit les méthodes d'injection. Enfin la troisième partie présente un motif universel permettant la réalisation d'une carte de test dédiée à la caractérisation ESD d'un circuit monté dans un système.

3.2 Techniques de mesure

3.2.1 Réflectométrie (TDR : Time Domain Reflectometry)

3.2.1.1 Théorie :

Avant de parler de la méthode de réflectométrie temporelle, il est nécessaire de définir les notions de propagation et coefficient de réflexion. Pour cela nous allons prendre le cas d'une ligne de transmission. Comme nous avons vu dans le chapitre 2 sous-section 2.4.1, un tronçon élémentaire de ligne de transmission est généralement représenté par les éléments

R,L,C et G. Ces éléments sont discrétisés en n portions pour modéliser une ligne suivant l'approximation TEM [89] tel représenté Figure 3.1.

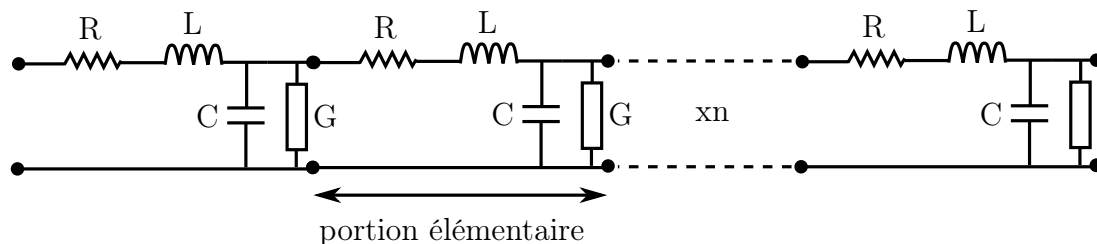


FIGURE 3.1: Modèle classique RLCG d'une ligne de transmission.

Si nous considérons une portion d'une ligne infinie comprise entre x et δx , à partir des équations de Maxwells, les équations de propagation de la tension V est du courant I pour un signal transmis de forme sinusoïdale s'écrivent [105, 106, 107] :

$$\frac{\delta^2 V}{\delta x^2} = \gamma^2 V \quad \text{et} \quad \frac{\delta^2 I}{\delta x^2} = \gamma^2 I \quad (3.1)$$

$$\text{avec} \quad \gamma^2 = (R + jL\omega)(G + jC\omega) \quad (3.2)$$

γ est la constante de propagation. Celle-ci est complexe et peut se mettre sous la forme :

$$\gamma = \alpha + \beta j = ((R + jL\omega)(G + jC\omega))^{\frac{1}{2}} \quad (3.3)$$

La tension introduite par la source en x requiert un temps fini pour traverser la ligne jusqu'à δx . La phase de la tension au point δx sera décalée du facteur β par rapport à la tension source en x . β est exprimée en radian par mètre. De plus, la tension sera atténué du facteur α exprimé en dB par mètre.

Dans le cas de lignes sans pertes, $R = 0$ et $G = 0$, le coefficient d'atténuation vaut $\alpha = 0$. Dans ce cas, la constante de propagation vaut $\gamma = j\omega\sqrt{LC}$ avec le décalage de phase $\beta = \omega\sqrt{LC}$.

La vitesse de phase ou propagation s'écrit :

$$V_\rho = \frac{\omega}{\beta} \quad \text{m/s} \quad (3.4)$$

soit pour les lignes sans pertes [88] :

$$V_\rho = \frac{1}{\sqrt{LC}} \quad \text{m/s} \quad (3.5)$$

La constante de propagation est utilisée pour définir le courant et la tension à n'importe quelle distance x de la source par les relations suivantes (solutions générales des

Équation 3.1) :

$$V_x = V_{incident} \times e^{-\gamma x} \quad \text{et} \quad I_x = I_{incident} \times e^{-\gamma x} \quad (3.6)$$

avec $V_{incident}$ et $I_{incident}$ tension et courant incident. La tension et le courant sont reliés à n'importe quelle position x par l'impédance caractéristique Z_0 de la ligne par l'expression suivante, la référence $x = 0$ étant dans le plan de la charge :

$$Z_x = \frac{V_x}{I_x} = \frac{V_{incident} \times e^{-\gamma x}}{I_{incident} \times e^{-\gamma x}} = \frac{V_{incident}}{I_{incident}} \quad (3.7)$$

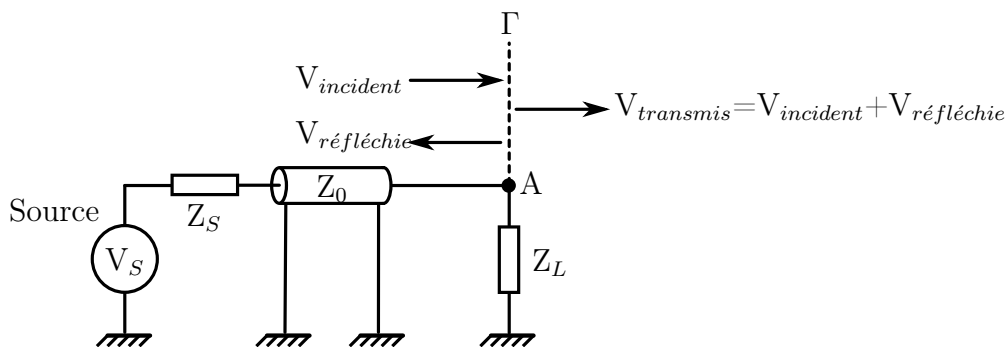


FIGURE 3.2: Exemple de rupture d'impédance : ligne de transmission Z_0 terminée par une impédance Z_L .

Lorsque une ligne de transmission de longueur finie et d'impédance Z_0 est terminée par une charge Z_L (Figure 3.2), deux cas peuvent se présenter :

- La charge est adaptée, c'est à dire que l'impédance caractéristique Z_L est identique à Z_0 . L'Équation 3.7 est satisfaite.
- La charge n'est pas adaptée, l'impédance Z_L est différente de Z_0 . Une partie de l'incident ($V_{incident}$) qui arrive au point A va se réfléchir et se propager de la charge vers la source ($V_{réfléchie}$). L'impédance vue à la rupture en A vaut :

$$Z_L = Z_0 \frac{V_{incident} + V_{réfléchie}}{V_{incident} - V_{réfléchie}} \quad (3.8)$$

La tension appliquée (V_{charge}) à la charge au travers de la ligne vaut :

$$V_{charge} = V_{incident} + V_{réfléchie} \quad (3.9)$$

Le rapport de l'onde réfléchie et de l'onde incidente est appelé coefficient de réflexion Γ et dépend de l'impédance caractéristique de la ligne Z_0 et de la charge Z_L . Il est lié par l'expression [88] :

$$\Gamma = \frac{V_{réfléchie}}{V_{incident}} = \frac{Z_L - Z_0}{Z_L + Z_0} \quad (3.10)$$

La réflectométrie temporelle ou TDR (Time Domain Reflectometry) est une technique de mesure utilisée pour analyser l'impédance et localiser les défauts dans les lignes de transmissions, connecteurs, circuits imprimés et autres chemins électriques [108]. Le principe consiste à envoyer une onde en tension ou en courant et à observer dans le domaine temporel les réflexions. La photographie et un schéma de principe d'un appareil de mesure TDR ou en anglais : "Time Domain Reflectometer" est donné Figure 3.3.

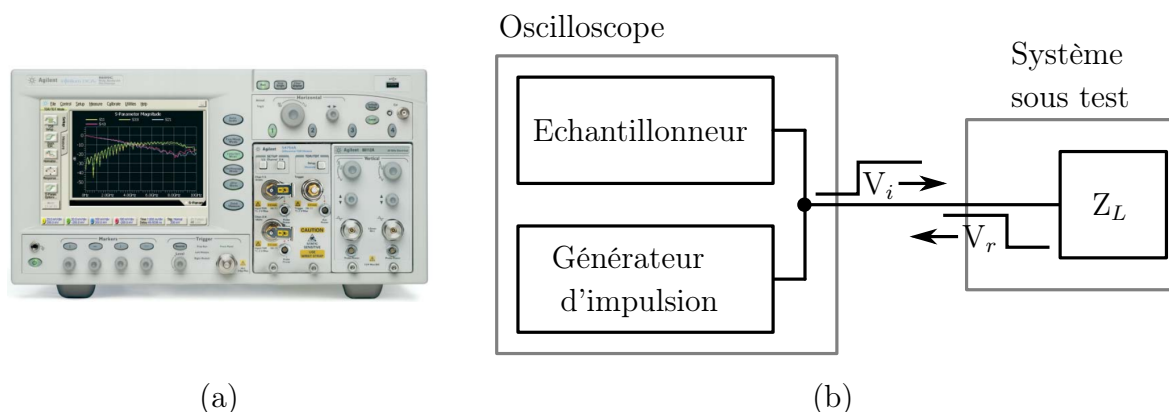


FIGURE 3.3: Photographie (a) et schéma de principe (b) d'un appareil TDR.

L'onde incidente "Vi" se propage suivant la vitesse propagation de la ligne (Équation 3.4 et Équation 3.5) vers la charge Z_L . La moindre discontinuité dans le chemin de propagation de la ligne et du système sous test va réfléchir une partie de l'onde incidente selon le coefficient de réflexion (Équation 3.10). L'onde réfléchie "Vr" se propage vers la source. Ainsi, l'analyse des réflexions permet de détecter toute imperfection ou rupture dans l'impédance et le temps de retour permet sa localisation [8].

Un exemple d'étude TDR est illustré Figure 3.4. Une source V_S d'impédance Z_S est connectée au bout d'une ligne de transmission d'impédance Z_0 et de temps de propagation $T_p = 1ns$. La charge vaut $Z_L = \frac{1}{2} \times Z_0$. Au point A, la rupture d'impédance implique des réflexions dont le coefficient vaut d'après l'Équation 3.10 :

$$\Gamma = \frac{(\frac{1}{2}Z_0) - Z_0}{(\frac{1}{2}Z_0) + Z_0} = -\frac{1}{3} \quad (3.11)$$

La réflexion qui apparaît au temps t_1 Figure 3.4 (b) vaut $V_{réfléchie} = \Gamma \times V_{incident} = -\frac{1}{3} \times V_{incident}$. Le temps entre t_0 et t_1 correspond au temps que met l'onde incidente pour arriver sur la charge et être réfléchie vers la source, soit $2 \times$ temps de propagations de la ligne.

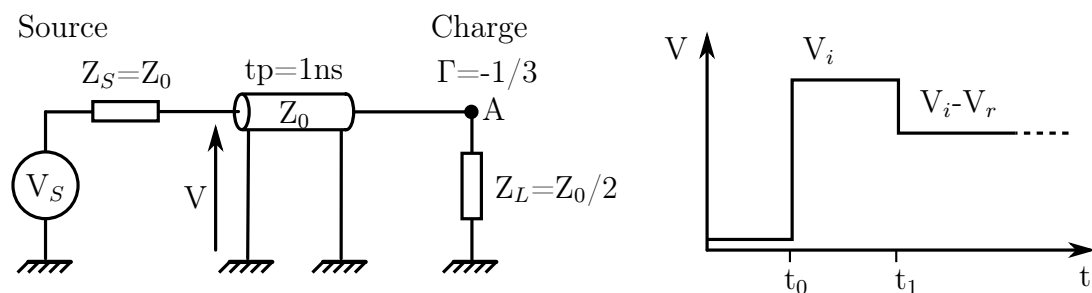


FIGURE 3.4: Exemple d'analyse TDR : représentation schématique (a) et chronogrammes correspondants (b).

3.2.1.2 Application de la méthode TDR aux évènements ESD :

La réflectométrie temporelle permet d'obtenir une information rapide du comportement d'un système soumis à un évènement ESD. Le plus grand avantage de cette méthode est qu'elle met en œuvre uniquement des éléments externes aux systèmes sous test (générateurs, sondes et lignes) et n'a pas besoin de motifs spécifiques intégrés sur les circuits imprimés.

Afin d'avoir une forme simple à analyser, nous avons utilisé un banc TLP comme source d'impulsion rectangulaire. Le pistolet n'a pas été utilisé dans cette méthode de mesure. En effet, d'une part, sa forme est complexe et est difficile à analyser en TDR. D'autre part, nous avons vu dans le chapitre 1 sous-sous-section 1.3.1.1, que celui-ci souffre de nombreux problèmes qui compromettent la reproductibilité des tests. Le schéma de principe du banc de test TDR utilisant le TLP est donné Figure 3.5.

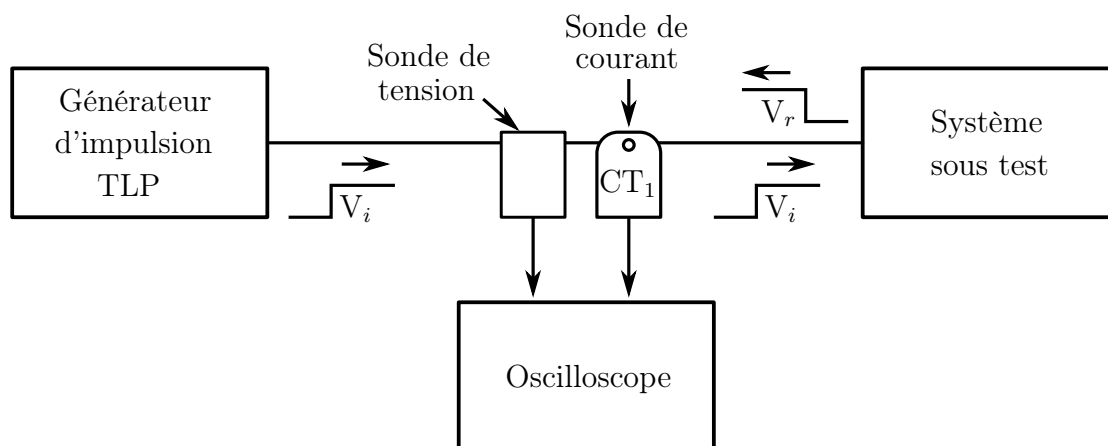


FIGURE 3.5: Schéma de principe du banc TDR utilisant le TLP.

Le banc TDR/TLP reprend exactement le même principe que le banc de mesure TDR, sauf que celui-ci est configuré pour envoyer uniquement une seule impulsion. L'aspect quasi-statique n'est pas utilisé dans ce mode de fonctionnement. Nous nous intéressons

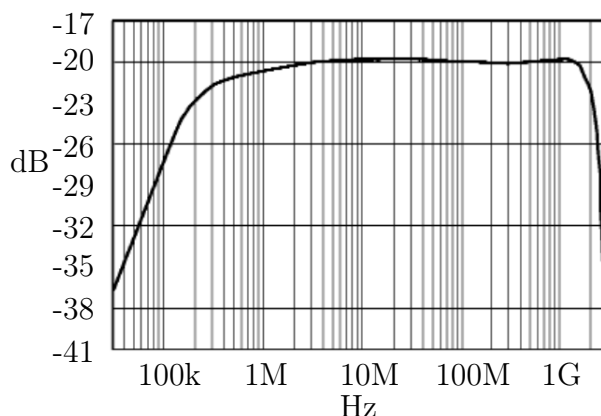
uniquement aux formes dynamiques incidentes (V_i , I_i) et réfléchies (V_r , I_r) mesurées à l'aide des sondes insérées entre le générateur et le système sous test (Figure 3.5).

Les très fortes intensités de courant des décharges et le large spectre induit par les ESD nécessitent l'utilisation ou le développement de sondes spécifiques.

Les sondes de courant utilisées sont les sondes de courant CT1, CT2 ou CT6 de Tektronix [109] dont la photographie est donnée Figure 3.6 (a). Ces sondes sont des boucles de courant. Un trou, visible sur la photographie, permet de faire passer le conducteur à mesurer. La tension induite dans la boucle est directement proportionnelle au courant. La sensibilité, ainsi que les principales caractéristiques, des trois sondes utiles pour les mesures ESD sont résumées dans le Tableau 3.1. Suivant la sonde utilisée, nous pouvons mesurer des courants pic allant de 6 à 36 A. Par contre, la mesure de très forts courants pourra être effectuée au détriment de la bande passante. Un exemple de réponse de la sonde CT6, donné par la documentation constructeur [109], permet de vérifier la linéarité fréquentielle de celle-ci (Figure 3.6(b)). Nous constatons que la sonde est linéaire entre 1 MHz et 2 GHz permettant d'obtenir une bonne mesure des événements ESD.



(a)



(b)

FIGURE 3.6: Photographie des sondes CT de Tektronix (a) et réponse fréquentielle de la sonde CT6 (b).

Caractéristiques	CT1	CT2	CT6
Bande passante	25KHz à 1GHz	1.2KHz à 200MHz	250KHz à 2GHz
Temps de montée	350ps	500ps	200ps
Sensibilité	5mV/mA	1mV/mA	5mV/mA
Courant pic max	12A	36A	6A

TABLE 3.1: Tableau résumant les principales caractéristiques des sondes intéressantes pour effectuer des mesures fort courant ESD.

Pour mesurer la tension, nous avons réalisé une sonde sur un circuit imprimé dont

le layout est illustré Figure 3.7 (a). La sonde est composée de pistes PCB d'impédance $Z_0 = 50 \Omega$ et d'une résistance de $R = 450 \Omega$. Le substrat est de l'époxy FR4 d'épaisseur 0.8 mm. Les connecteurs sont des SMA. La tension mesurée sur le port 2 correspond à la tension qui transite sur le ligne entre le port 1 et 3, atténuée de 20 dB. L'atténuation α est réglée par le rapport suivant :

$$\alpha = \frac{R + Z_0}{Z_0} = \frac{450 + 50}{50} = 10 \quad (3.12)$$

En pratique, nous avons pris une résistance "haute fréquence" de valeur normalisée 470 Ω . L'atténuation obtenue est d'environ 20,3 dB. Une mesure de la réponse fréquentielle de la sonde est donnée Figure 3.7 (b). Cette mesure, effectuée à l'analyseur de spectre, permet de vérifier le coefficient d'atténuation et la linéarité en fréquence. D'après la mesure, nous constatons une très bonne linéarité en fréquence, jusqu'à 5 GHz, ce qui est largement suffisant pour les mesures ESD.

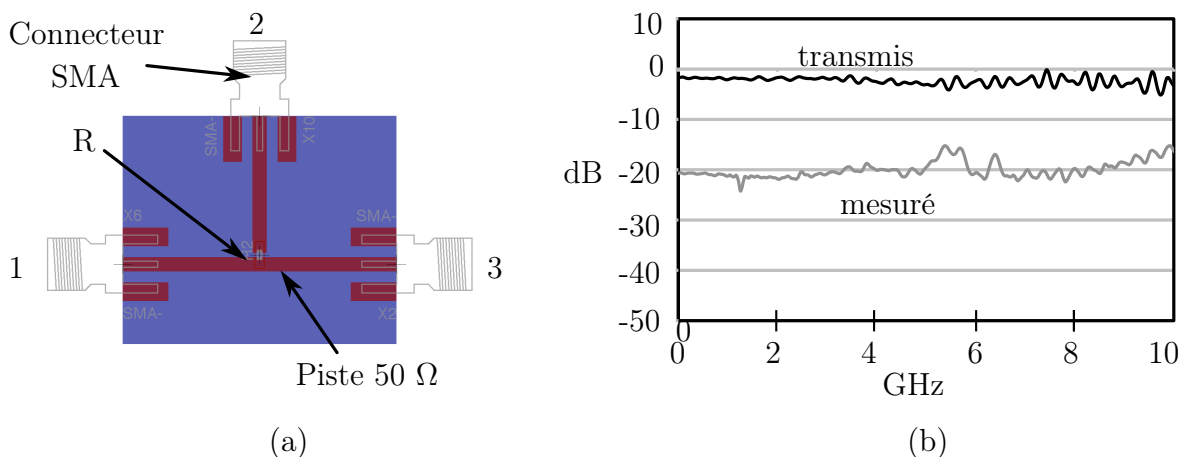


FIGURE 3.7: Routage de la sonde de tension (a) et sa réponse fréquentielle (b).

Un exemple de mesure réalisée par [8] avec le banc TDR/TLP est donné Figure 3.8. Une impulsion de courte durée (1.25 ns) est injectée avec le générateur TLP (50 Ω) dans une ligne PCB de 20 cm et d'impédance 100 Ω terminée par une résistance de 10 Ω . A partir de l'analyse de la courbe mesurée, nous pouvons identifier les ruptures d'impédances entre le générateur et la ligne PCB (point A) mais aussi la rupture entre la ligne PCB et la charge de 10 Ω (point B).

Le banc TDR/TLP a été utilisé pour analyser la réponse dynamique des systèmes et notamment pour valider les réponses transitoires des modèles des protections ESD. Des corrélations mesures et simulations seront présentées et interprétées dans le chapitre 4 paragraphe 4.4.3.1.3 et paragraphe 4.4.3.2.2.

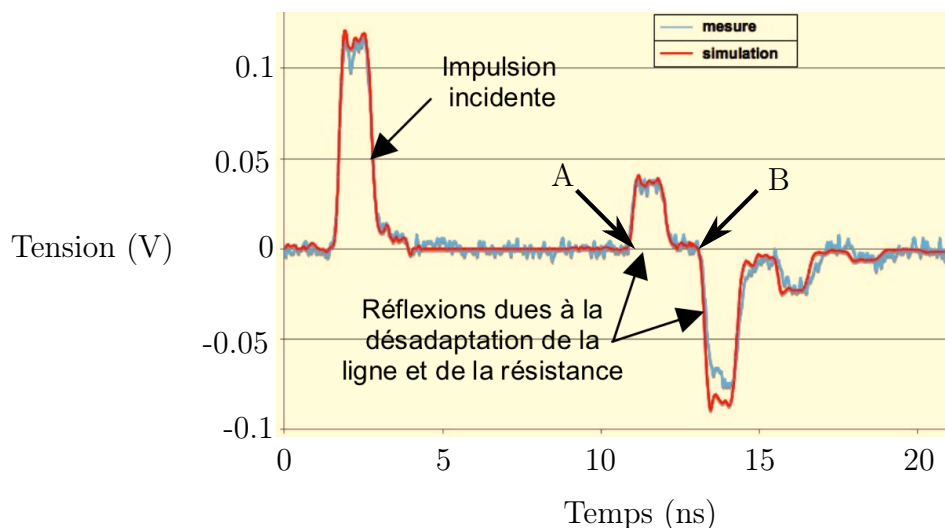


FIGURE 3.8: Exemple de mesure réalisée avec le TDR/TLP : injection avec le TLP 50 Ω dans une ligne PCB 100 Ω terminée par une résistance de 10 Ω [8].

3.2.2 Mesure du courant par diaphonie entre deux pistes proches

Pour mesurer les forts courants ESD qui circulent dans les pistes, nous avons réalisé une sonde qui utilise la diaphonie entre deux pistes proches. Cette section est découpée en quatre parties. Dans un premier temps, la théorie sur le couplage entre deux pistes proches est rappelée. Puis le motif de mesure réalisé sur le circuit imprimé est détaillé. Deux techniques de détermination du courant seront exposées. Enfin, la validation de la méthode effectuée à l'aide de mesures réalisées sur un motif de calibrage est détaillée dans la dernière partie.

3.2.2.1 Théorie

Nous avons vu dans le chapitre 2 sous-sous-section 2.4.1.2, qu'il existe un couplage électromagnétique entre deux lignes proches. Les transitions de courant et de tensions dans une piste perturbatrice génèrent des champs magnétiques et électriques qui se couplent et induisent des perturbations sur une ligne victime. Les décharges ESD étant des sources de courant, les champs magnétiques sont prépondérant par rapport aux champs électriques. Dans les calculs théoriques qui vont suivre, nous avons considéré uniquement le couplage inductif, celui-ci étant le couplage prédominant pour les pistes PCB, FR4.

Le couplage inductif de deux pistes microrubans est représenté Figure 3.9. Le coefficient M est l'inductance mutuelle entre les pistes. V_1 et V_2 est la tension induite respectivement dans les pistes 1 et 2.

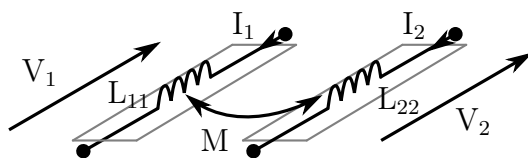


FIGURE 3.9: Schéma de principe du couplage inductif entre deux pistes proches.

Le système composé des deux lignes est un quadripôle dont la matrice des inductances s'écrit [88] :

$$\begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \begin{bmatrix} L_{11} & L_{12} \\ L_{22} & L_{21} \end{bmatrix} \times \begin{bmatrix} \frac{dI_1}{dt} \\ \frac{dI_2}{dt} \end{bmatrix} \quad (3.13)$$

Les inductances L_{11} , L_{22} sont les inductances des lignes, et L_{12} , L_{21} sont les inductances mutuelles entre les pistes. Dans le cas d'un système symétrique, les pistes sont identiques : $L_{11} = L_{22}$ ainsi que $L_{12} = L_{21} = M$ (Figure 3.9).

Le schéma de principe du système de mesure réalisé est illustré Figure 3.10 (a). La piste 1 est utilisée pour relier par exemple un connecteur externe à un circuit. Celle-ci est utilisée comme élément perturbateur. La piste 2 est la piste victime qui va servir, par l'intermédiaire du couplage magnétique, à obtenir une information du courant qui circule dans la piste 1. Nous prendrons en considération dans les calculs les impédances de terminaison des lignes. Le schéma électrique équivalent du système est donné Figure 3.10 (b). La source V_S d'impédance Z_S , assimilable au banc d'impulsion TLP, est connecté à la piste 1. Une impédance de charge Z_L , en bout de ligne représente l'impédance d'une protection ESD. Deux impédances, Z_A et Z_B terminent la piste 2 de mesure. L_1 et L_2 sont les inductances de ligne et pM est la source de force électromagnétique correspondant au couplage.

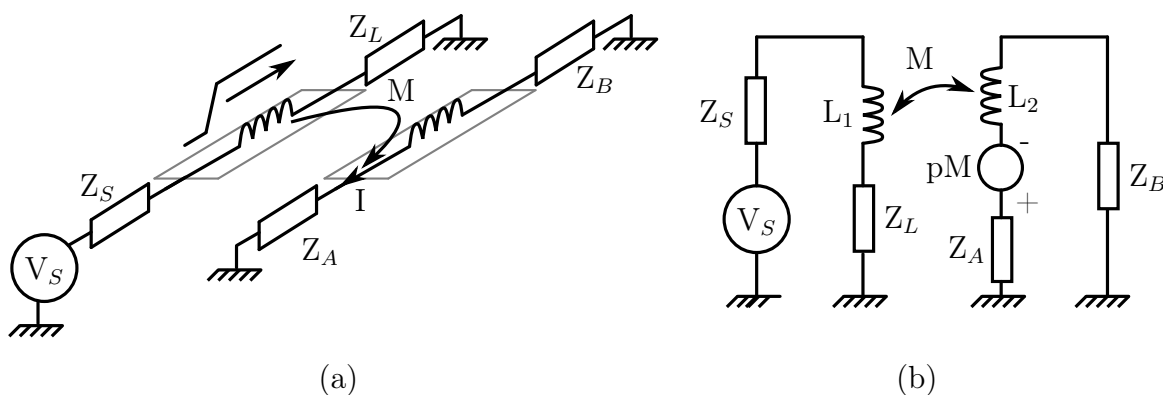


FIGURE 3.10: Représentation schématique du système de mesure (a) Schéma électrique équivalent (b).

Les lois de Kirchhoff et la loi d'ohm nous permettent d'établir les tensions en V_a , V_b et l'expression du courant I_1 :

$$V_a(p) = \frac{Z_a}{Z_a + Z_b + Z_{L2}} \times p \times M \times I_1 \quad \text{et} \quad V_b(p) = \frac{Z_b}{Z_a + Z_b + Z_{L2}} \times p \times M \times I_1 \quad (3.14)$$

$$\text{avec} \quad I_1(p) = \frac{V_S(p)}{Z_S + Z_{L1} + Z_C} \quad (3.15)$$

p est la variable complexe de Laplace. D'après ces équations, la tension induite en a ou b dans la piste victime correspond à la dérivée du courant qui circule dans la piste perturbatrice multipliée par le facteur M . La tension induite est maximale lors des transitions de courant. Dans notre cas, nous souhaitons utiliser ce système pour effectuer des mesures. Afin de maximiser la tension induite au point a, la ligne 2 en b est terminée par un court circuit, c'est à dire $Z_b = 0$ et $V_b = 0$. L'impédance Z_a est assimilable à l'impédance 50Ω de l'oscilloscope.

A partir de l'Équation 3.14 et Équation 3.15, la fonction de transfert du système s'écrit :

$$F(p) = \frac{V_a(p)}{V_s(p)} = \frac{p \times M \times Z_a}{(Z_a + Z_b + Z_{L2}) \times (Z_S + Z_{L2} + Z_C)} \quad (3.16)$$

Le système est symétrique, ainsi les impédances des lignes sont identiques : $Z_{L1} = Z_{L2} = Z_L$. D'autre part, en considérant les terminaisons des lignes purement résistives, la fonction de transfert est mise sous la forme :

$$F(jw) = \frac{j \frac{\omega}{\omega_0}}{(1 + j \frac{\omega}{\omega_1}) \times (1 + j \frac{\omega}{\omega_2})} \quad (3.17)$$

$$\text{avec} \quad \omega_0 = \frac{R_a \times (R_S + R_C)}{M \times R_a} \quad \omega_1 = \frac{R_a}{L} \quad \text{et} \quad \omega_2 = \frac{R_S + R_C}{L} \quad (3.18)$$

Ces dernières expressions permettent de mettre en évidence que le couplage est dépendant des fréquences f_0 , f_1 et f_2 avec $f_x = \frac{\omega_x}{2\pi}$. Les fréquences sont elles-mêmes dépendantes des impédances de terminaison et des impédances des lignes.

3.2.2.2 Motif du système de mesure

Le layout du motif de test est représenté Figure 3.11. Ce motif est directement intégré sur un circuit imprimé. La zone entourée correspond aux lignes couplées. Les pistes utilisées sont de largeur 0.5 mm (impédance 110Ω). Elles sont séparées de 0.25 mm. Le couplage a lieu sur 1 cm. La sonde de tension présentée dans la sous-section 3.2.1 pour la méthode TDR est intégrée au motif (port E). Celle-ci est utilisée lors des opérations de calibrage présentées dans la section suivante.

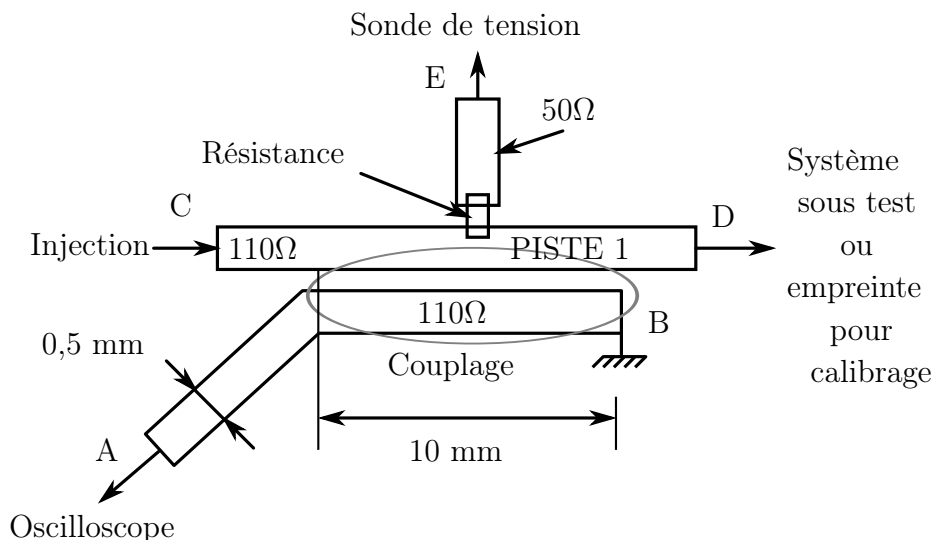


FIGURE 3.11: Motif intégré sur le PCB, permettant la mesure par couplage.

3.2.2.3 Détermination du courant.

Le calcul du courant est effectué selon deux méthodes : une méthode intégrale et une méthode fréquentielle :

3.2.2.3.1 Méthode intégrale : en première approximation, nous considérons le coefficient de couplage linéaire en fréquence (+20dB/Dec). L'Équation 3.14 nous permet d'établir l'expression du courant I_1 suivante :

$$I_1(t) = \frac{(Z_a + Z_{L2})}{Z_a} \times \frac{1}{M} \times \int V_a(t) \times dt \approx \frac{1}{M} \times \int V_a(t) \times dt \text{ en considérant } Z_a \gg Z_{L2} \quad (3.19)$$

Le coefficient $k = \frac{1}{M}$ est déterminé par expérimentation à l'aide d'un motif de calibrage. Le motif de calibrage reprend la même structure que le motif présenté dans la Figure 3.11. Seule une empreinte est ajoutée au bout de la ligne 1 permettant de mettre soit une résistance, soit de faire un court-circuit, soit de laisser en circuit-ouvert. Le calibrage est effectué de la manière suivante :

- Une résistance de 110 Ω est connectée au bout de la ligne 1 (port D Figure 3.11) permettant d'adapter en impédance et d'éviter les réflexions sur la ligne.
- Une impulsion TLP d'une durée de 100 ns avec des temps de transition de 1 ns est injectée sur le port C (Figure 3.11).
- Une mesure de l'onde transmise est effectuée avec la sonde de tension intégrée (port

E Figure 3.11). Le courant qui circule est calculé à partir de l'expression :

$$I(t) = \frac{V_{transmis}(t)}{110} \times \alpha \quad (3.20)$$

α est le coefficient d'atténuation de la sonde de tension intégrée.

- Une mesure de la tension induite dans la piste couplée est effectuée sur le port A.
- Le coefficient de couplage k est déterminé à partir de l'Équation 3.19 et l'Équation 3.20 par l'expression :

$$k = \frac{\sum_{t=t1}^{t2} \left(\frac{V_{transmis}(t)}{110} \right)}{\sum_{t=t1}^{t2} (\int V_{sonde}(t) \times dt)} \quad (3.21)$$

A l'image d'une caractérisation quasi-statique TLP (voir chapitre 1 paragraphe 1.2.3.4.1), le coefficient est obtenu en effectuant la moyenne entre les temps $t1$ et $t2$ correspondant au plateau de l'impulsion TLP envoyée.

Une fois le coefficient de couplage k déterminé, le courant qui circule dans la piste 1 (Figure 3.11) est calculé à partir de la tension mesurée sur le port A (V_a) et de l'Équation 3.19.

3.2.2.3.2 Méthode fréquentielle : comme nous avons vu dans la sous-sous-section 3.2.2.1, le coefficient de couplage dépend de la fréquence. L'approximation par la méthode intégrale n'est valable que pour les basses fréquences. Au delà de certaines fréquences, la réponse fréquentielle de la sonde n'est plus linéaire. C'est pour cela que nous avons développé une autre méthode de calcul du courant dans le domaine fréquentiel permettant de tenir compte cette non-linéarité. Le principe reste le même, un calibrage est nécessaire. Le coefficient de couplage est déterminé en effectuant une convolution avec la mesure fréquentielle.

L'algorithme de la transformée de Fourier rapide [110] (FFT : Fast Fourier Transform) est utilisé pour calculer la transformée discrète de Fourier (DFT : Discrete Fourier Transform). Il permet de passer d'une fonction représentée dans le domaine temporel à une fonction représentée dans le domaine fréquentiel et vice-versa. La transformée de Fourier s'applique pour les signaux périodiques. Dans notre cas, les perturbations envoyées sont impulsionnelles. Pour pouvoir appliquer la FFT, il faut vérifier que les signaux mesurés retournent à 0 afin de les considérer périodiques.

Comme pour la méthode intégrale, le coefficient de couplage est déterminé par expérimentation à l'aide du motif de calibrage :

- Une résistance de 110 Ω est connectée au bout de la ligne 1 (port D Figure 3.11) permettant d'adapter en impédance et d'éviter les réflexions sur la ligne.
- Une impulsion TLP d'une durée de 100 ns avec des temps de transition de 1ns est injectée sur le port C (Figure 3.11).

- Une mesure de l’onde transmise est effectuée avec la sonde de tension intégrée (port E Figure 3.11). Le courant qui circule est calculé à partir de l’expression :

$$I_e(k) = \sum_{n=0}^{N-1} \frac{V_e(n)}{110} \times e^{-\frac{2\pi j}{N}kn} \quad (3.22)$$

$V_e(n)$ est la fonction discrète de $V_e(t)$ mesurée sur le port E (sonde de tension), la TFD comprend des fréquences de k cycles sur N échantillons.

- Une mesure de la tension induite dans la piste couplée est effectuée sur le port A (Figure 3.11). $V_a(n)$ est la fonction discrète de $V_a(t)$

$$V_a(k) = \sum_{n=0}^{N-1} V_a(n) \times e^{-\frac{2\pi j}{N}kn} \quad (3.23)$$

- Le coefficient de couplage est calculé à partir du rapport de $I_e(k)$ et $V_a(k)$:

$$Coe\!f(k) = \frac{I_e(k)}{V_a(k)} \quad (3.24)$$

Une fois le coefficient de couplage $Coe\!f(k)$ déterminé, le courant qui circule dans la piste 1 (Figure 3.11) est calculé à partir du produit de la transformée de Fourier discrète de la tension mesurée en A (V_a) par le coefficient de couplage :

$$I(k) = Coe\!f(k) \times V_a(k) \quad (3.25)$$

La transformée inverse permet de revenir à une représentation dans le domaine temporel :

$$I(n) = \frac{1}{N} \sum_{k=0}^{N-1} I(k) \times e^{\frac{2\pi j}{N}kn} \quad (3.26)$$

Afin de valider les deux méthodes de calcul du courant (“méthode intégrale” et “méthode fréquentielle”), la section suivante présente des expérimentations menées sur le motif de calibrage.

3.2.2.4 Expérimentation des méthodes de reconstitution du courant :

Des expérimentations ont été effectuées sur le motif de calibrage dans deux configurations : lorsque la ligne est terminée par un court-circuit et un circuit-ouvert. Une impulsion d’amplitude 10 V TLP, d’une durée de 100 ns avec des temps de transitions de 1ns est envoyée sur le port C. Le courant est recalculé en utilisant les deux méthodes.

Le tension transmise (mesurée sur le port E Figure 3.11) et la tension induite sur la

sonde (mesurée sur le port A), lorsque la ligne est adaptée, sont données Figure 3.12. C'est à partir de ces mesures de calibrage et des Équation 3.21 et Équation 3.25 que le coefficient de couplage k ou $coef(k)$ est déterminé.

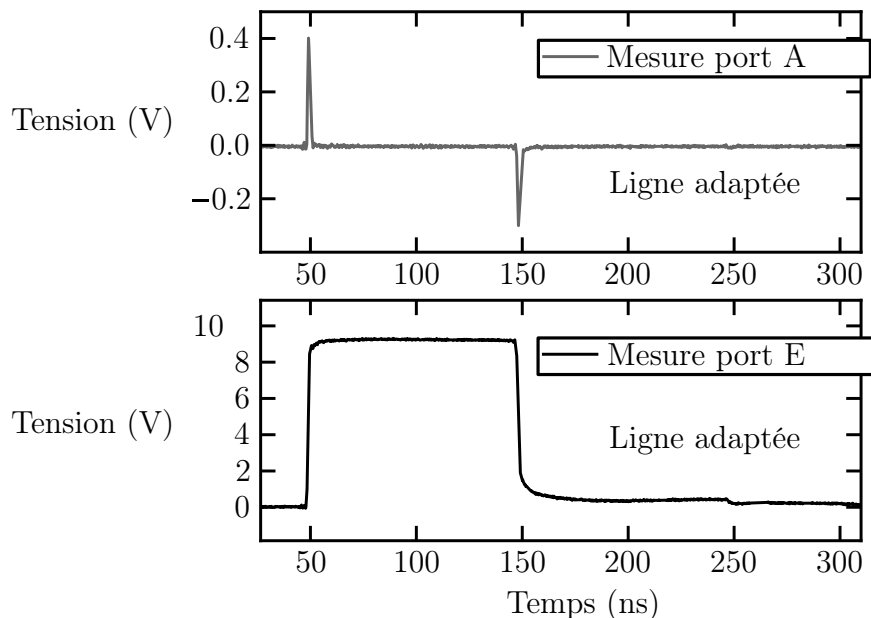


FIGURE 3.12: Tension mesurée sur le port A et le port E du motif de calibrage lorsque la ligne est adaptée.

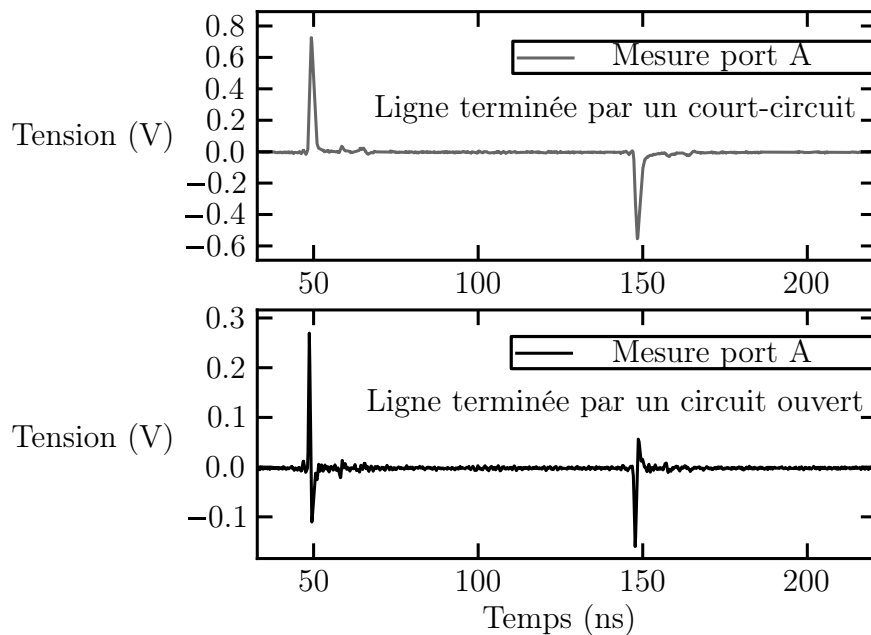


FIGURE 3.13: Tension induite sur la piste couplée, mesurée sur le port A lorsque le ligne est terminée par un circuit ouvert et un court circuit

La tension V_a obtenue sur la sonde (port A) lorsque la ligne est terminée par un court-circuit et un circuit ouvert est donnée Figure 3.12. C'est à partir de ces tensions, des coefficients de couplage précédemment calculés et des Équation 3.19 et Équation 3.25 que le courant qui circule dans la piste est déterminée.

Le résultat du calcul du courant est donnée Figure 3.14. Le courant transmis obtenu par l'intermédiaire de la sonde de tension (port E) est superposé sur cette même figure. Celui-ci vaut environ 90 mA correspondant à la théorie : pour une impulsion de 10 V TLP, le courant injecté vaut $I = \frac{10}{110} \approx 0.09 A$.

Dans le cas du court-circuit, la charge vaut 0, le courant transmis est maximum. Il correspond à l'addition du courant incident plus réfléchi. C'est à dire à deux fois le courant incident ($2 \times 0.09 = 0.18$). Dans le cas d'un circuit-ouvert, le courant vaut zéro dans la "charge". La totalité du courant est réfléchi, celui-ci vaut zéro. Nous constatons sur les résultats de calculs du courant que ce comportement est reproduit.

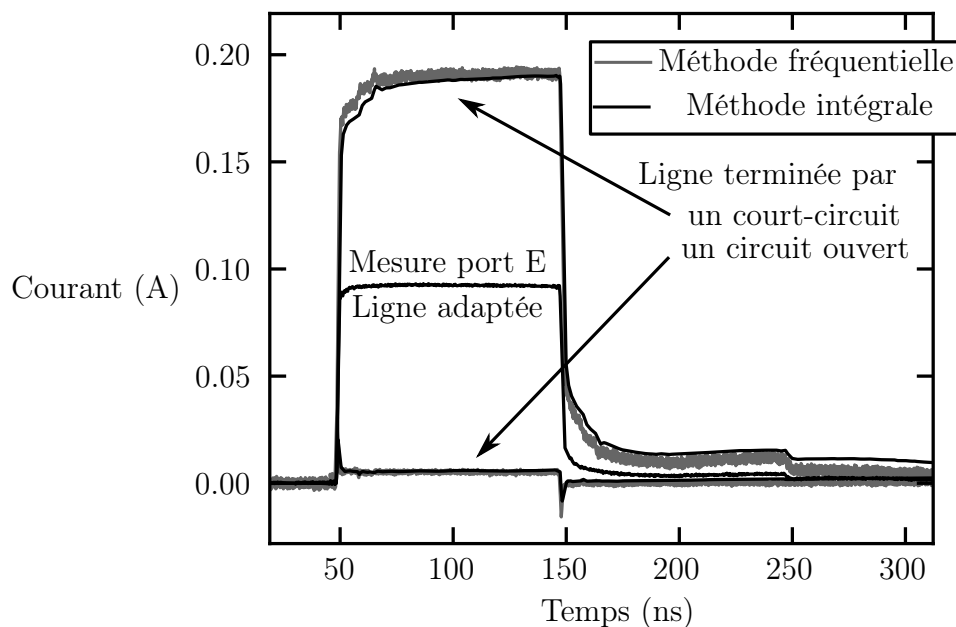


FIGURE 3.14: Courant transmis mesuré sur le port E, et courant circulant dans la ligne PCB calculé avec les méthodes intégrales et fréquentielles.

Il est à noter qu'il est nécessaire de faire une correction que nous appelons correction du zéro, quelle que soit la méthode de calcul (intégrale ou fréquentielle) utilisée. En effet, le "zéro" de l'oscilloscope n'est pas parfait. Un petit offset apparaît correspondant au bruit de mesure. En intégrant cet offset, c'est à dire une constante de quelque mV, le résultat est une droite. Le courant calculé est alors décalé comme illustré sur la Figure 3.15 cas A. Afin de s'affranchir de ce problème, l'offset de l'oscilloscope est déterminé soit en effectuant la moyenne, soit en effectuant un ajustement polynomial par la méthode des moindres carrés sur les premiers points de la mesure (entre 0 et 40 ns Figure 3.15). L'offset est ensuite

retranché pour obtenir le courant illustré Figure 3.15 cas B.

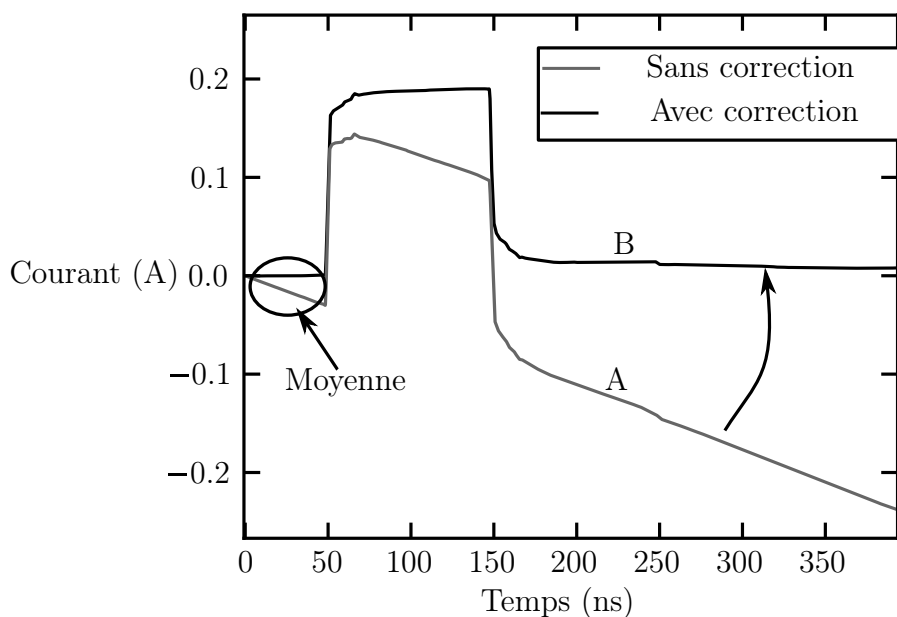


FIGURE 3.15: Correction de l'offset correspondant au bruit de mesure de l'oscilloscope.

La méthode de mesure par diaphonie permet de mesurer les courants ESD qui circulent dans les pistes PCB. Cependant, elle présente l'inconvénient de nécessiter l'intégration d'un motif spécifique dédié au circuit imprimé ainsi qu'un motif de calibrage. Cette méthode est donc utilisable uniquement pour un prototype ou une carte de mesure telle que présentée dans la section 3.4, et non pour un produit électronique final. C'est pour cela que nous avons développé une technique de mesure alternative basée sur des sondes de champ proche. Cette autre méthode est présentée et détaillée dans la section suivante.

3.2.3 Mesure du courant avec des sondes de champ proche.

La méthode de mesure présentée dans cette section reprend le principe de mesure par diaphonie détaillé dans la sous-section 3.2.2. Les champs électromagnétiques ne sont plus mesurés à l'aide d'une piste couplée intégrée au PCB mais avec une antenne, appelée sonde de champ.

3.2.3.1 Condition de champ proche et de champ lointain

Une onde électromagnétique est composée d'un vecteur d'intensité de champ électrique \vec{E} et de champ magnétique \vec{H} . L'onde a une direction de propagation qui est perpendiculaire à ces deux vecteurs de champ [111]. En considérant la propagation de l'onde captée par une antenne suivant une direction radiale, deux zones sont à considérer : une zone de

champ lointain et une zone de champ proche. En général, ces zones sont mises en évidence par l'impédance d'onde qui lie le champ électrique et magnétique par la relation :

$$Z = \frac{E}{H} \quad (3.27)$$

L'impédance d'onde $Z(\Omega)$ dans le vide en fonction de la distance r d'une source électromagnétique est donnée Figure 3.16. La séparation des zones est obtenue à une distance $r = \frac{\lambda}{2\Pi}$, λ étant la longueur d'onde de la source :

- Zone de champ lointain ($r > \frac{\lambda}{2\Pi}$) : les composantes du champ électrique \vec{E} et \vec{H} sont en phase, leur rapport vaut :

$$Z_0 = \frac{E}{H} \approx 120 \times \Pi \approx 377\Omega \quad (3.28)$$

Z_0 est l'impédance d'onde dans le vide.

- Zone de champ proche ($r < \frac{\lambda}{2\Pi}$) : Une composante est prédominante par rapport à l'autre. Ainsi, pour une antenne monopole, la composante du champ électrique est prédominante. Le champ est dit "haute impédance". De même que pour une antenne de type boucle de courant, le champ magnétique est prédominant. Le champ est dit "faible impédance". Les composantes du champ électrique et magnétique ne sont plus en phase, leur relation devient complexe. Cependant, les champs \vec{E} et \vec{H} , dans cette zone peuvent être mesurés de manière indépendante suivant le type d'antenne utilisée.

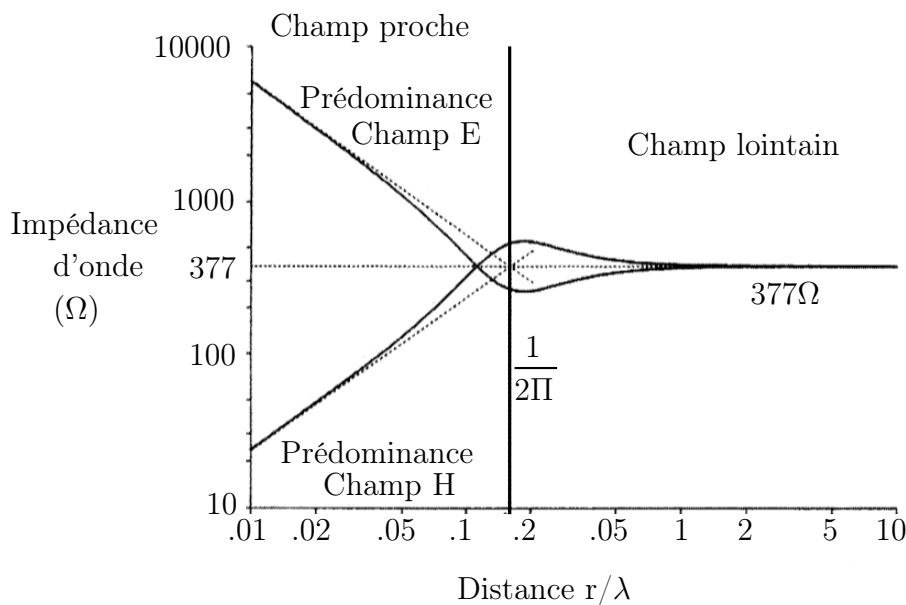


FIGURE 3.16: Impédance d'onde d'une antenne en fonction de la distance de la source dans le vide adapté de [112].

Nous avons donc utilisé les conditions de champ proche pour mesurer, par l'intermédiaire d'une boucle de courant les champs magnétiques émis par les pistes du circuit imprimé. A partir de ces champs mesurés, le courant est recalculé. Les deux sous sections suivantes détaillent respectivement la construction de la sonde et les expérimentations effectuées avec celle-ci.

3.2.3.2 Construction et fonctionnement de la sonde de champ magnétique

Nous avons développé une sonde de champ magnétique passive de type boucle de courant pour mesurer les rayonnements magnétiques émis par les pistes PCB lors de la circulation des courants ESD. La photographie de la sonde est donnée Figure 3.17 (a). Sa construction est effectuée selon les spécifications de la norme IEC 61976-3 [113]. Elle est réalisée à partir d'un câble coaxial de type RG402. Un connecteur SMA est monté à l'une des extrémités du câble. L'autre extrémité est dénudée et le diélectrique du câble est enlevé. L'âme centrale est repliée sur elle même pour former une petite boucle de 3 mm de diamètre soudée au blindage du câble.

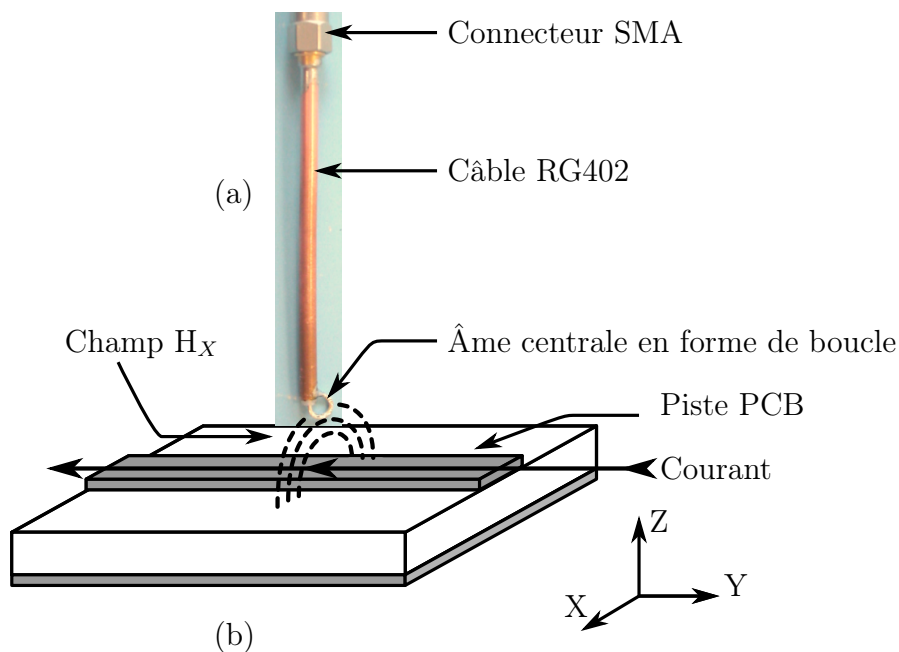


FIGURE 3.17: Photographie de la sonde de champ proche magnétique (a), principe de mesure (b).

Le principe de mesure du champ avec la sonde est illustré Figure 3.17 (b). Le champ magnétique \vec{H} est constitué de trois composantes H_x , H_y et H_z . L'orientation de la boucle permet de mesurer le champ selon une composante privilégiée. La boucle de courant est sensible aux lignes de champs perpendiculaires à sa surface. En prenant l'exemple Figure 3.17 (b), la boucle de courant est dans le plan ZY. Les champs magnétiques émis

par la piste sont perpendiculaires à la boucle. La composante du champ magnétique mesuré est H_x .

Quand le champ traverse la boucle, un courant proportionnel à la valeur du champ est induit dans l'inductance de la boucle créant une différence de potentiel. D'après [114], la tension mesurée avec des petites sondes en fonction de la taille de la boucle s'écrit :

$$V(j\omega) = -j\omega \times \mu_0 \times \frac{\Pi D^2}{8\Pi r} \times I(\omega) \quad (3.29)$$

avec I courant induit dans la boucle, D le diamètre de la boucle, r distance de la boucle par rapport à la piste, $\mu_0 = 4\Pi \times 10^{-7}$ constante magnétique.

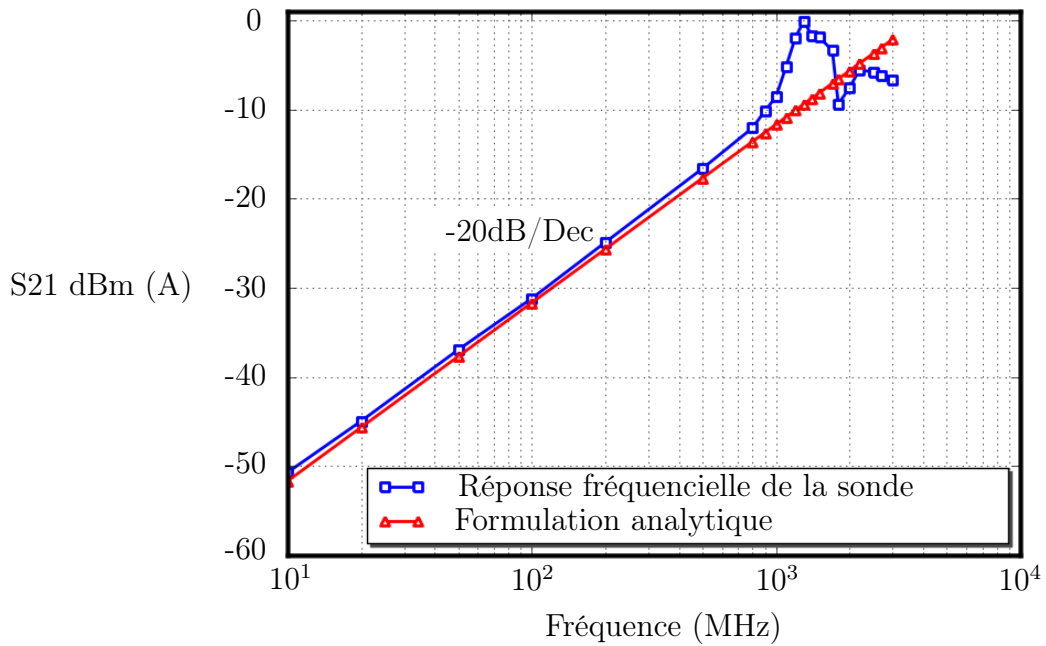


FIGURE 3.18: Mesure de la réponse fréquentielle de la sonde, superposée à une simulation analytique.

Une mesure de la réponse fréquentielle de la sonde est donnée Figure 3.18. Celle-ci est effectuée avec un analyseur de spectre et un générateur sinusoïdal. La sonde de champ proche de 3 mm de diamètre est placée à une distance 0,3 mm d'une piste 50 Ω terminée par une impédance de 50 Ω . L'application de l'Équation 3.29 permet de déterminer le coefficient de couplage M à partir des paramètres utilisés lors de la mesure :

$$M = \mu_0 \times \frac{\Pi D^2}{8\Pi r} = 4\Pi \times 10^{-7} \times \frac{(3)^2}{8 \times 3 \times 10^{-4}} = 4,71 \times 10^{-3} \quad (3.30)$$

Ceci correspond à une atténuation α de :

$$\alpha = 20 \times \log(4,71 \times 10^{-3}) = -46,5dB \quad (3.31)$$

La formulation analytique est reportée sur la Figure 3.18. Nous obtenons une bonne corrélation entre la mesure fréquentielle et simulation analytique jusqu'à 1 GHz. Au delà du gigahertz, la réponse de la sonde n'est plus linéaire.

La formule analytique permet une bonne estimation du coefficient de couplage. Dans le but de faciliter les mesures avec ces sondes, nous avons réalisé une méthode de calibrage permettant de déterminer le coefficient de couplage de la sonde quelque soit l'impédance des pistes, la taille de la boucle et son placement. Le principe du calibrage est détaillé dans la section suivante.

3.2.3.3 Expérimentation avec la sonde de champ

Le principe de détermination du courant à partir de la tension mesurée avec les sondes de champ est exactement le même que la méthode par diaphonie avec des pistes PCB proches décrites dans la sous-section 3.2.2. Le motif de calibrage est identique, la piste PCB couplée est remplacée par la sonde de champ comme illustré Figure 3.19. Les deux méthodes intégrales et fréquentielles sont utilisables.

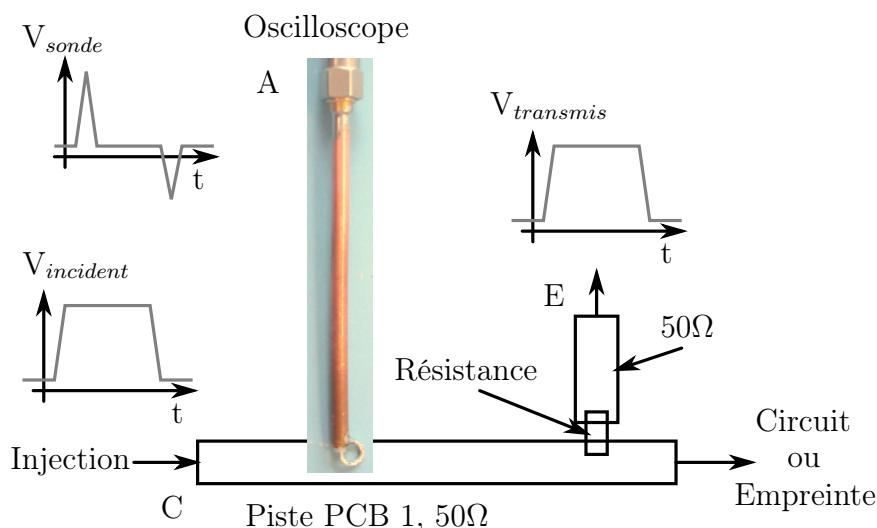


FIGURE 3.19: Motif de calibrage de la sonde de champ proche pour une impédance de ligne 50 Ω.

Des expérimentations ont été effectuées sur ce motif de calibrage (Figure 3.19) dans deux configurations : lorsque la ligne est terminée par un court circuit et un circuit ouvert. La piste étudiée a une impédance de 50 Ω. Une impulsion d'amplitude 10 V TLP, d'une durée de 100 ns avec des temps de transitions de 1 ns est envoyée sur le port C.

Le résultat de calcul du courant est donnée Figure 3.20. Le courant transmis obtenu par l'intermédiaire de la sonde de tension (port E) est superposé sur cette même figure. Celui-ci vaut environ 200 mA, ce qui correspond à la théorie. Pour une impulsion de 10 V TLP, le courant injecté vaut $I = \frac{10}{50} \approx 0.2 A$.

Dans le cas du court-circuit, la charge vaut 0, le courant transmis est maximum. Il correspond à l'addition du courant incident plus réfléchi. C'est à dire à deux fois le courant incident ($2 \times 0.2 = 0.4$). Dans le cas d'un circuit ouvert, le courant vaut zéro dans la "charge". La totalité du courant est réfléchi, et vaut zéro. Nous constatons sur les résultats de calculs du courant que ce comportement est reproduit. La mesure du champ à partir des sondes de champ permet de déterminer le courant qui circule dans une ligne PCB.

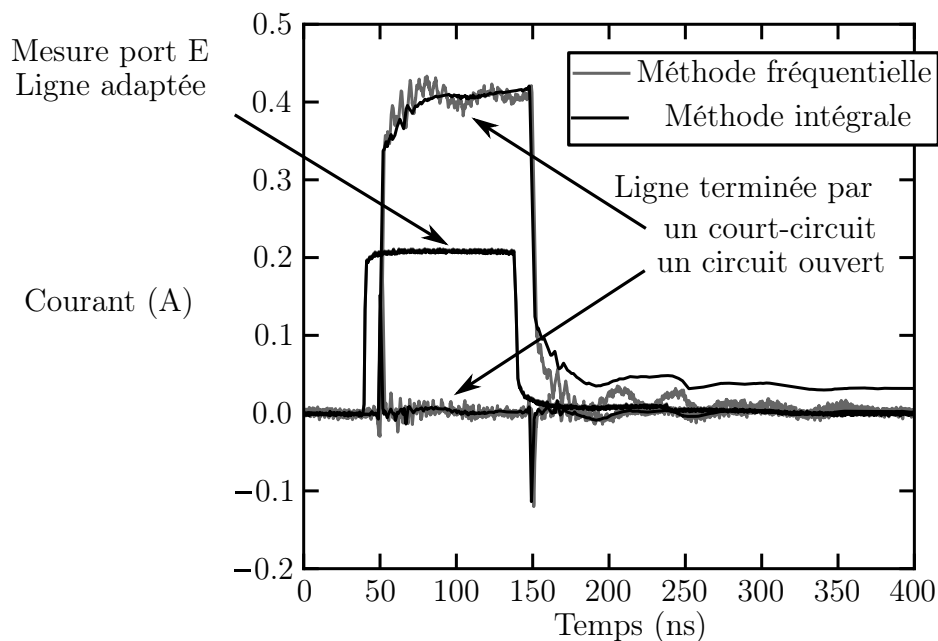


FIGURE 3.20: Courant calculé à partir de la tension induite dans la sonde et circulant dans la ligne PCB.

Afin de valider le fonctionnement de la méthode de détermination du courant à partir de mesure avec des sondes magnétiques en champ proche, une comparaison est effectuée avec la méthode de mesure 1 ohm. Avant de décrire cette comparaison, la méthode de mesure 1 Ω est présentée dans la section suivante. La comparaison sera effectuée dans la sous-section 3.2.5.

3.2.4 Mesure de courant par la méthode de 1 Ω

Une mesure, appelée "mesure 1 Ω " a été mise en œuvre pour mesurer le courant circulant dans un circuit. Cette technique s'inspire de la partie 4 de la norme IEC 61967 [115]. Initialement, ce standard définit une méthode de détermination des émissions électromagnétiques conduites d'un circuit intégré. Cette méthode a été adaptée pour mesurer les décharges électrostatiques.

Le principe de mesure consiste à ajouter une résistance de 1 Ω sur le chemin entre la broche V_{SS} d'un circuit sous test et le plan de masse comme illustré dans la Figure 3.21.

Le courant issu du circuit et circulant vers la masse induit une différence de potentiel aux bornes de cette résistance (tension V). Une sonde formée de la $1\ \Omega$ et d'une résistance de $49\ \Omega$, assurant une adaptation $50\ \Omega$, permet de mesurer cette tension. Le rapport d'impédance du câble $50\ \Omega$ reliant la mesure à l'oscilloscope et l'impédance de la sonde divise par deux le courant.

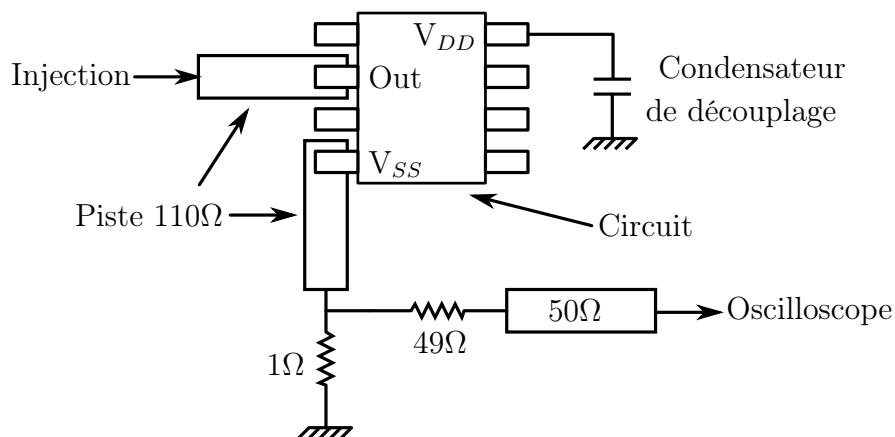


FIGURE 3.21: Représentation schématique du principe de la mesure “1 Ω ”.

Un exemple de mesure du courant réalisée avec cette méthode est donné Figure 3.22. Cet exemple est l'application du schéma de principe donné Figure 3.21. Une impulsion TLP 1 A, 100 ns avec des temps de transition de 1 ns est injectée sur la sortie d'un circuit.

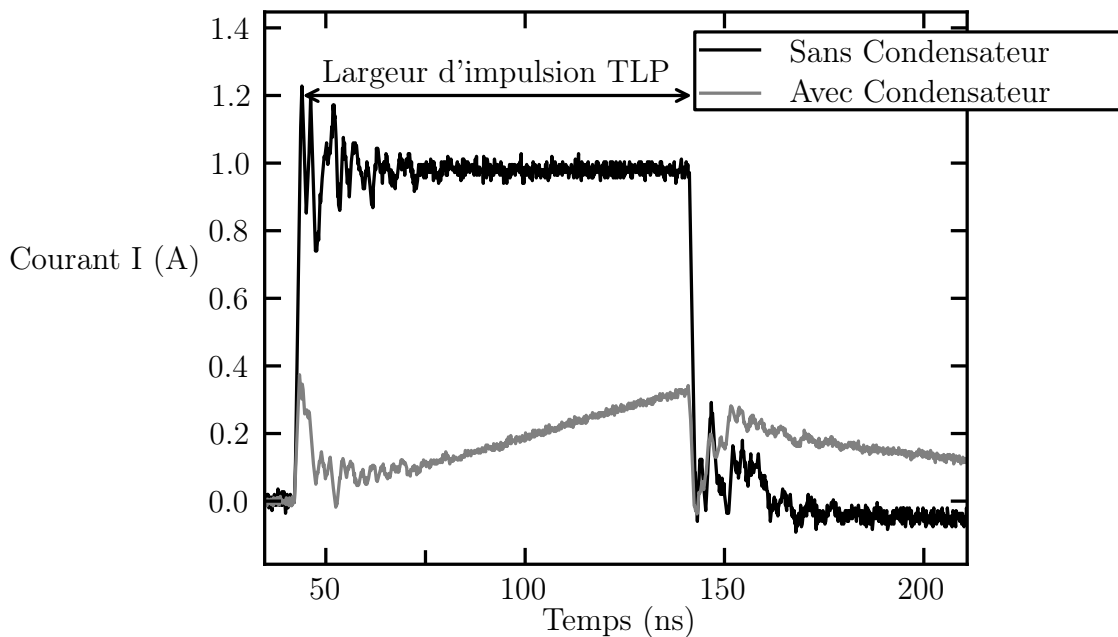


FIGURE 3.22: Mesure du courant circulant dans le circuit par la mesure $1\ \Omega$, comparaison avec et sans condensateur de découplage.

La mesure du courant est effectuée dans deux cas : avec un condensateur de découplage de 50 nF et sans condensateur de découplage connecté entre la broche V_{DD} et le plan de masse. Sans le condensateur de découplage, tout le courant injecté sur la sortie est évacué par broche V_{SS} (cas A Figure 3.22). Par contre, avec le condensateur de découplage, le courant se répartit entre le condensateur et la broche V_{SS} . La forme du courant qui sort par la broche V_{SS} devient complexe (cas B Figure 3.22). Cette forme ainsi que toutes les interactions qui apparaissent entre le condensateur et le circuit ont été interprétées et seront détaillées lors de l'étude de cas dans le chapitre 4 sous-sous-section 4.2.2.2. Une corrélation de cette mesure avec la simulation sera également donnée dans le chapitre 4 paragraphe 4.2.2.3. Comme nous le verrons dans cette partie, la méthode de mesure nous permet de voir des phénomènes transitoires rapides induits par le boîtier du composant. La bande passante de cette méthode est de l'ordre de 1 GHz. Au delà de cette fréquence, les résistances font apparaître des effets non linéaires.

Cette méthode de mesure est à utiliser avec précaution. En effet, celle-ci reste invasive car elle décale le potentiel de référence du circuit. Ce décalage peut créer un chemin de conduction du courant ESD dans la stratégie de protection du circuit non représentatif de la réalité. Par exemple, une diode de protection située entre le rail V_{SS} et une entrée peut se déclencher comme illustré sur la Figure 3.23. L'entrée est reliée à la masse. Si la tension de seuil de la diode de protection ESD est de 0,5 V, un courant de 1 ampère qui circule dans la résistance 1 Ω induit une tension de 1 V sur la broche V_{SS} . La diode est déclenchée, un nouveau chemin est créé, le courant est évacué par les broches IN et V_{SS} vers la masse.

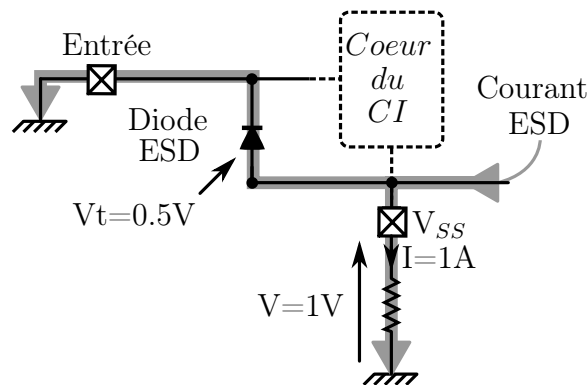


FIGURE 3.23: Schéma montrant l'aspect invasif de la mesure 1 Ω .

Afin de limiter l'excursion en tension sur la broche V_{SS} et compte tenu des forts courants mis en jeu lors des décharges, il est possible d'utiliser une résistance de 0,1 Ω à la place de la résistance de 1 Ω . La résistance de 49 Ω est alors remplacée par une résistance de 49,9 Ω pour maintenir une adaptation d'impédance de 50 Ω .

Une autre solution a été développée consistant à remplacer la résistance 1 Ω par un

sonde de champ proche. Cette solution est décrite dans la section suivante.

3.2.5 Comparaison des méthodes $1\ \Omega$ et champ proche

Cette section décrit la comparaison de la mesure du courant circulant dans une ligne $110\ \Omega$ effectué avec la méthode des sondes de champ proche et la technique de mesure $1\ \Omega$.

Le schéma de principe de la mesure est donné Figure 3.24. La mesure $1\ \Omega$ est effectuée dans les mêmes conditions que citées dans la sous-section 3.2.4. La sonde de champ magnétique est positionnée au dessus de la piste entre le circuit et la résistance de $1\ \Omega$. Une impulsion TLP de $1\ \text{A}$ est injectée sur la sortie du circuit et une mesure du courant est effectuée en même temps en utilisant les deux méthodes.

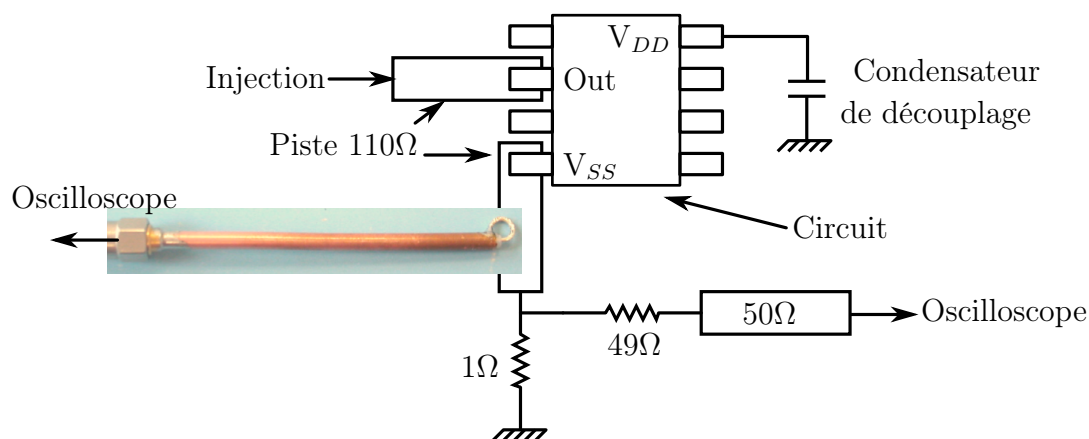


FIGURE 3.24: Représentation schématique de la mesure effectuée pour comparer la méthode de mesure $1\ \Omega$ et la méthode par les sondes de champ proche.

La tension induite sur la sonde de champ est donnée Figure 3.25 (a). La comparaison de courant obtenue par les deux méthodes est donnée Figure 3.25 (b). Nous obtenons une bonne corrélation entre les deux techniques.

La sonde de champ permet de retrouver la forme et de quantifier le courant qui circule dans une piste avec une bonne précision. L'avantage de cette méthode est qu'elle permet d'effectuer la mesure des courants sans avoir à intégrer d'éléments sur le système tels que des pistes couplées ou des éléments invasifs comme la résistance de $1\ \Omega$.

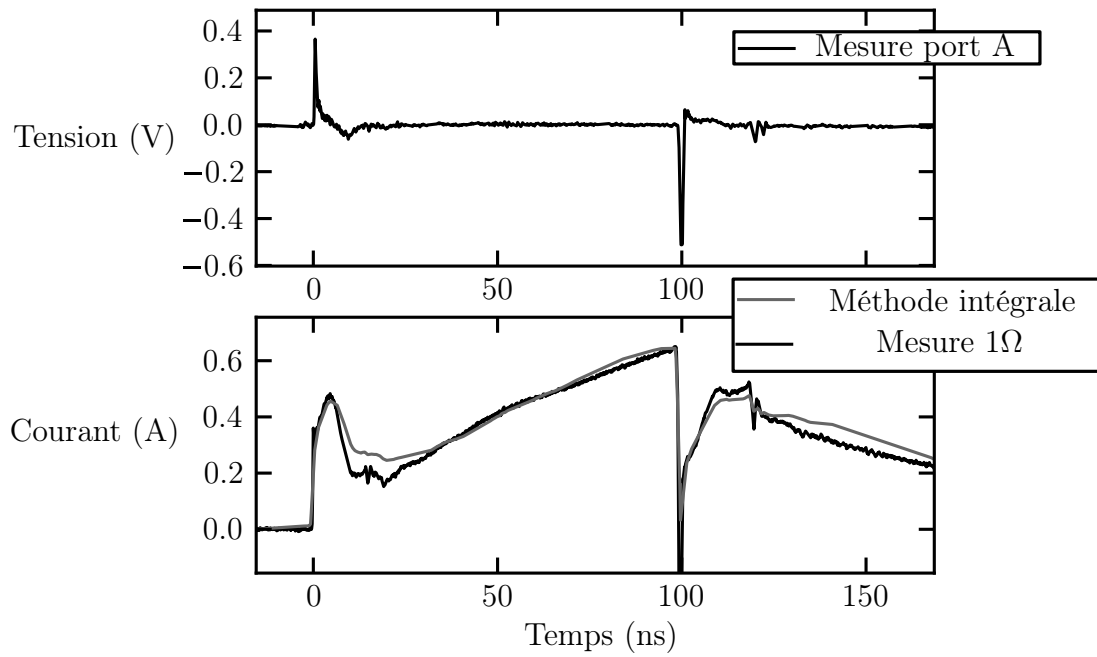


FIGURE 3.25: Comparaison des mesures du courant obtenue avec la mesure $1\ \Omega$ et la méthode de mesure par les sondes de champ proche.

3.2.6 Cartographie de la répartition du courant dans un circuit imprimé

La partie trois de la norme IEC 61967 définit une méthode de mesure des radiations électromagnétiques émises par un circuit en effectuant un scan en champ proche au dessus du boîtier ou de la puce [113]. Une illustration du banc est donnée Figure 3.26. Le circuit

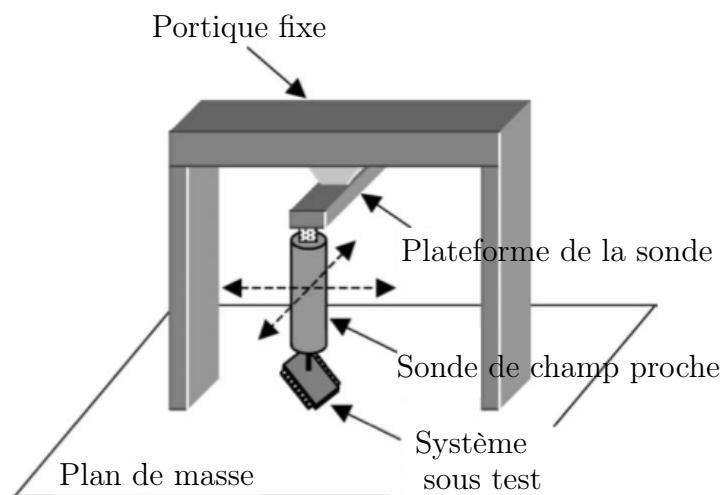


FIGURE 3.26: Principe du banc de scan pour mesurer les émissions radiatives émises par un système.

sous test est monté soit sur une carte de test EMC, soit sur la carte de l'application. Une sonde de champ passive est déplacée au dessus du circuit intégré permettant de réaliser une cartographie de l'émission rayonnée en champ proche. Les mesures et la prédiction des champs rayonnés ont largement été étudiées et publiées dans la littérature [116, 117].

La méthode proposée dans cette section ré-utilise le principe de scan de champ proche défini dans la norme IEC 61967-3 à laquelle nous avons associé la méthode de reconstruction du courant présentée dans la sous-section 3.2.3. L'objectif de cette méthode est de réaliser une cartographie du courant circulant dans un système soumis à un événement ESD à partir des champs mesurés. Des techniques de mesure similaires ont été proposées et publiées dans la littérature en parallèle de la thèse par [118, 119].

3.2.6.1 Développement du banc de mesure de scan en champ proche :

3.2.6.1.1 Construction du banc d'acquisition : la représentation schématique simplifiée du banc de mesure automatique développé au cours de la thèse est donnée Figure 3.27.

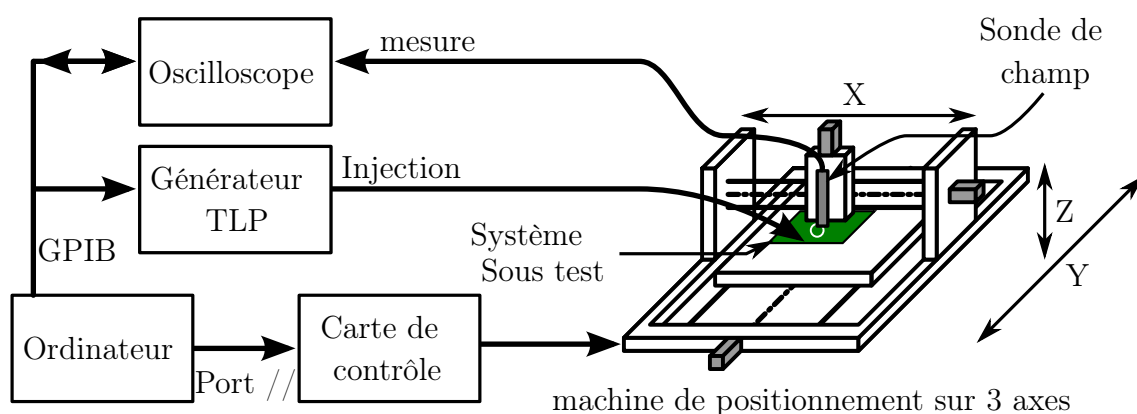


FIGURE 3.27: Représentation schématique simplifiée du banc de caractérisation automatique de scan en champ proche.

Le cœur du système est une machine de positionnement 3 axes. Le prototype de cette machine a été réalisé sur la base d'un kit acheté chez le constructeur Zen Toolworks [120]. Ce kit comprend toute la partie mécanique ainsi que les moteurs pas à pas qui servent à faire avancer les différents axes. Nous avons ensuite réalisé une carte de commande électronique des moteurs. Une photographie du banc de caractérisation prototype du scan de champ proche est donnée Figure 3.28.

Les appareils d'injections (ex : générateur TLP) et de mesures (oscilloscopes) sont connectés respectivement à la carte électronique sous test et à la sonde de champ. Pour automatiser la mesure, ces appareils et la carte de commande de la machine sont commandés avec un ordinateur par le port GPIB (General Purpose Interface Bus) [121] et le

port parallèle. La commande automatique a été réalisée avec un script en langage python [122].

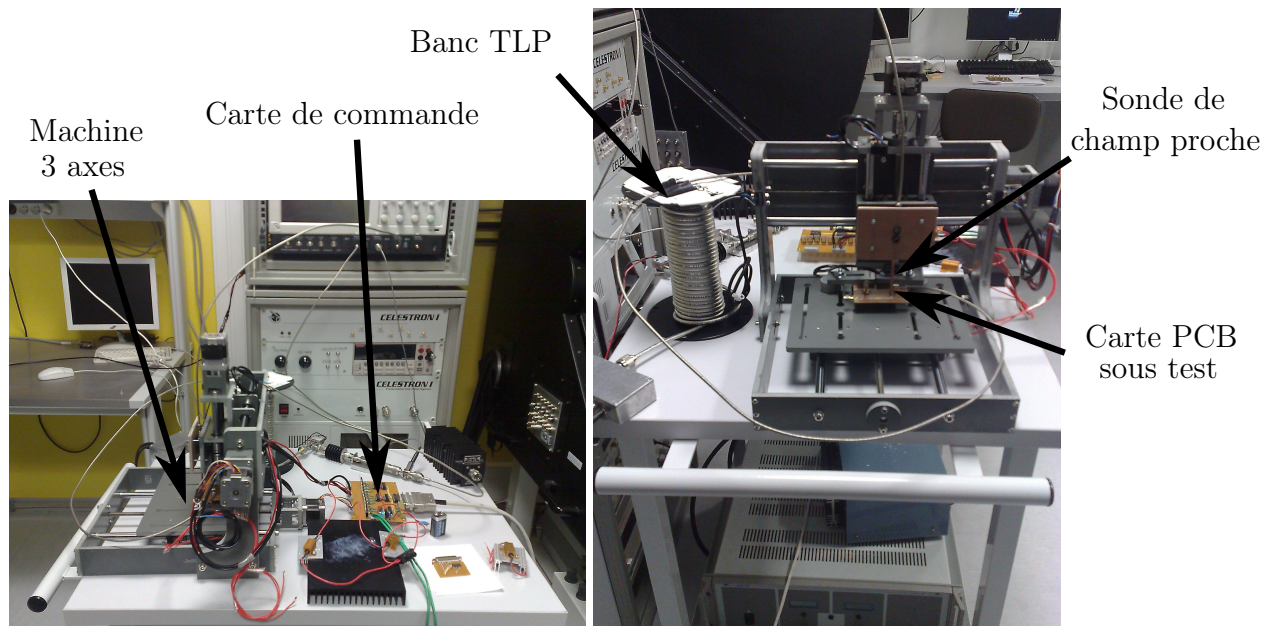


FIGURE 3.28: Photographie du prototype réalisé pour effectuer les mesures de scan en champ proche.

3.2.6.1.2 Principe d'acquisition : les dimensions de la zone d'acquisition ainsi que le pas de mesure sont entrés en paramètres du script de commande. La sonde est positionnée en coordonnée (0,0) de la zone d'acquisition. Le script est ensuite exécuté. A chaque pas de la sonde, l'impulsion TLP envoyée sur la carte sous test est répétée, la tension induite sur la sonde est mesurée et enregistrée dans un fichier. A la fin de l'acquisition, nous avons un fichier au format HDF5 qui contient toutes les mesures.

Un autre script python permet de tracer les cartographies du champ magnétique et du courant comme présenté dans les deux sections suivantes.

3.2.6.2 Expérimentation : cartographie du champ magnétique

3.2.6.2.1 Mesure sur une piste du circuit imprimé : Le schéma de principe de l'expérimentation est donné Figure 3.29. Le générateur TLP est configuré pour envoyer une impulsion TLP d'une durée de 100 ns et des temps de transition de 1ns à une extrémité de la ligne PCB 50 Ω. L'autre extrémité de la ligne est terminée par un bouchon 50Ω pour éviter les réflexions. La zone, où le scan est effectué, est représentée en pointillés sur la Figure 3.29. Le pas de mesure est configuré à 1 mm. Afin de capter la composante H_x du champ magnétique émis par la piste, la boucle de la sonde est parallèle à la piste, c'est à dire dans le plan ZY.

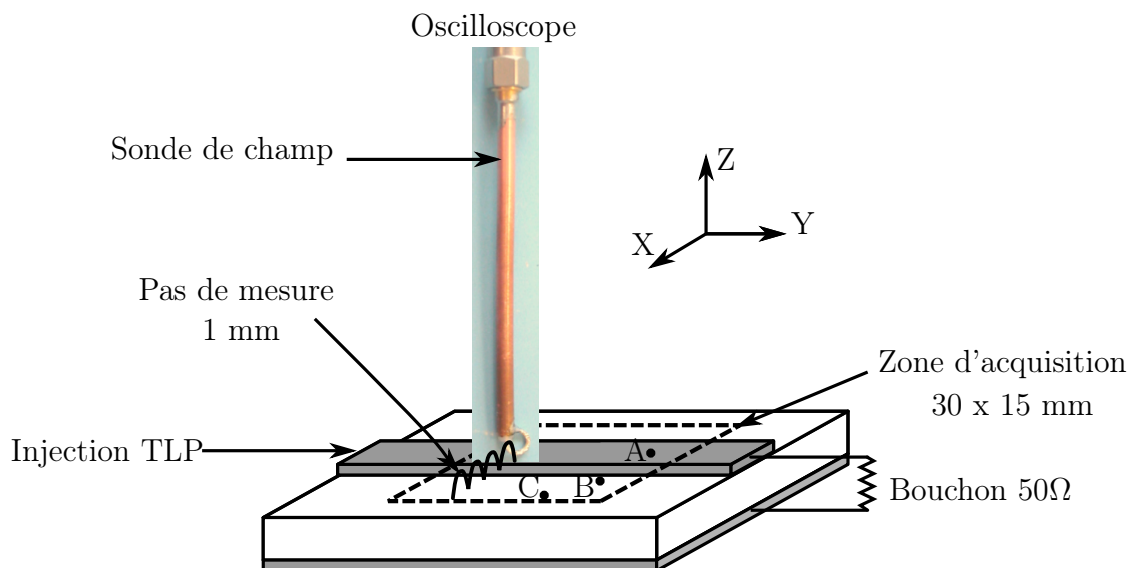


FIGURE 3.29: Schéma de principe de la mesure de scan par champ proche sur une ligne PCB de 50Ω.

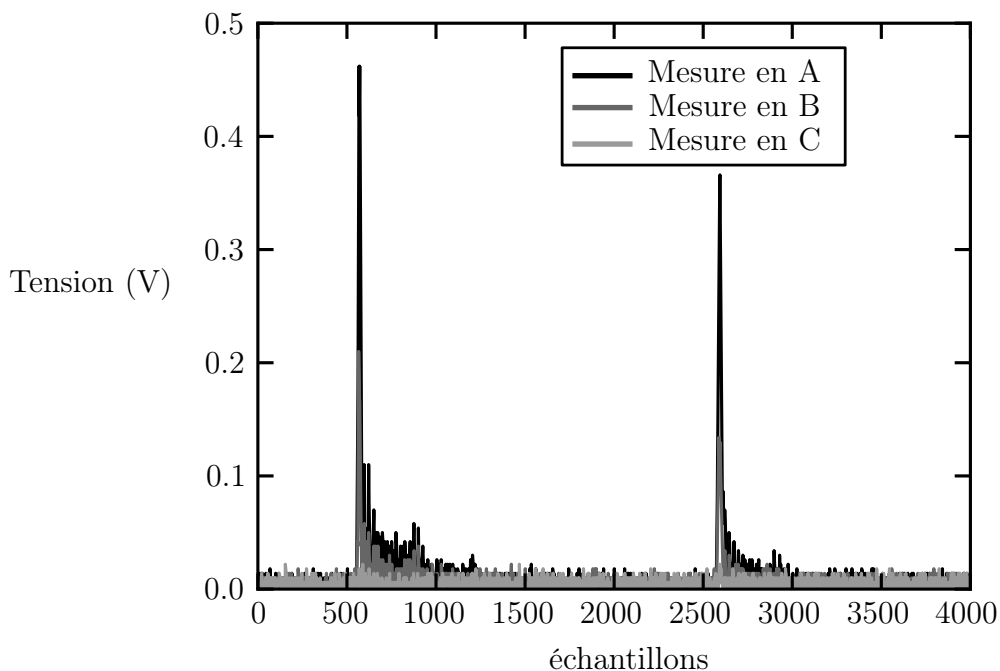


FIGURE 3.30: Valeur absolue des tensions induites sur la sonde pour les points A, B et C.

La tension induite mesurée sur la sonde de champ magnétique est donnée Figure 3.30. L'axe X correspond aux échantillons obtenus sur l'oscilloscope. Il est plus facile pour nous de parler d'échantillons plutôt que du temps car nous travaillons avec des indexes et des tableaux dans les scripts d'analyses en python. Il est cependant possible de retrouver le

temps à partir du taux d'échantillonnage. Dans cet exemple, l'acquisition est effectuée sur une fenêtre de 4000 points avec un taux d'échantillonnage de $0,05 \text{ ns/point}$.

Les tensions présentées Figure 3.30 sont obtenues lorsque la sonde est positionnée au point A, B et C Figure 3.29. La tension C correspond à la tension obtenue en un point de mesure où il n'y a rien. Aucune tension n'est induite donc aucun champ n'est émis. De même que les tensions B et A correspondent respectivement à la tension induite lorsque la sonde se rapproche et se trouve au dessus d'une piste. La tension, donc le champ émis, est maximale lors des transitions de l'impulsion TLP et lorsque la sonde est au milieu d'une piste.

Le champ étant maximum lors de la transition de l'impulsion TLP, la cartographie du champ est tracée pour les échantillons 497, 511, 515 et 520 référencés sur la Figure 3.30. La cartographie pour toutes les coordonnées X,Y de la zone d'acquisition et pour les 4 échantillons est donnée Figure 3.31. Le courant circule du haut vers le bas. La cartographie est donnée en différence de niveau. La couleur bleu correspond au champ minimum et la couleur rouge correspond au champ maximum. Le résultat de mesure permet de mettre en évidence la propagation du champ magnétique du haut vers le bas, durant la transition de courant, s'initiant dans l'image Figure 3.31 (b) et se terminant dans l'image Figure 3.31 (d).

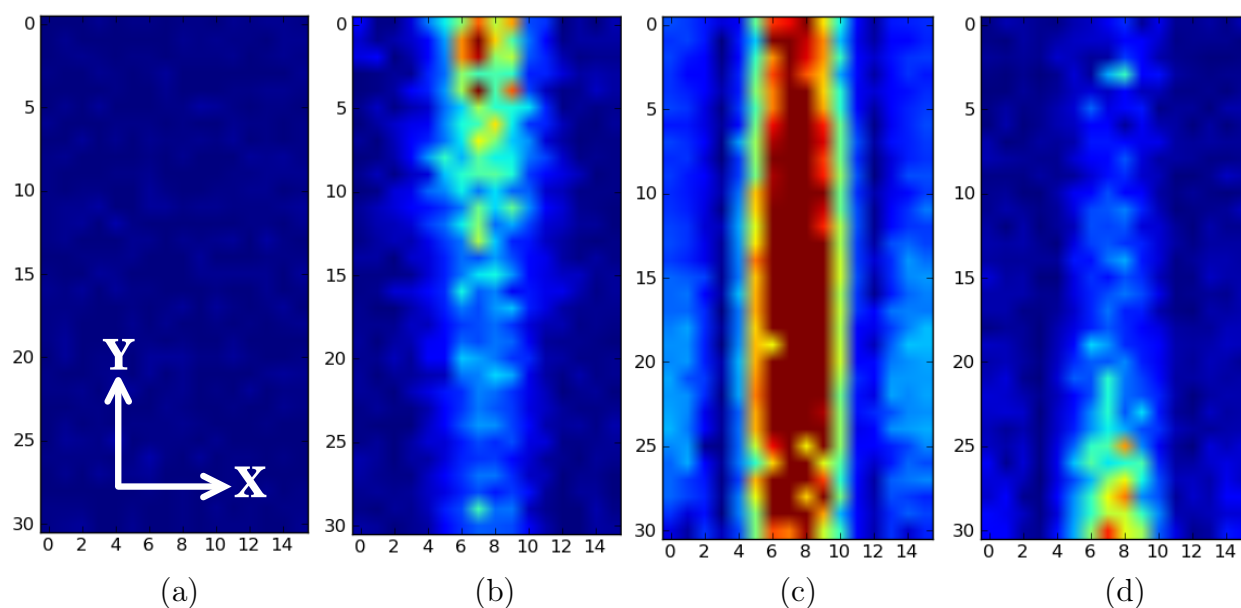


FIGURE 3.31: Cartographie de la répartition du champ magnétique émis pour les échantillons 497 (a), 511 (b), 515 (c) et 520 (d), zone de test $30 \times 15 \text{ mm}^2$.

3.2.6.2.2 Mesure sur une piste coudée du circuit imprimé Pour rappel, la sonde de champ mesure uniquement les champs selon une composante privilégiée, perpendiculaire à la boucle. Dans l'acquisition précédente, le placement de la boucle de la sonde (parallèle

à la ligne) est optimisé pour mesurer les champs émis par la piste. Or le circuit imprimé intègre des pistes qui sont orientées selon différentes directions (typiquement 0° , 45° et 90°).

Nous avons effectué une deuxième expérimentation sur une piste coudée. Cette fois-ci, le scan de la surface est effectué deux fois de suite. Une première fois pour mesurer la composante H_x du champ. Une deuxième fois, la sonde est tournée à 90° pour mesurer la composante H_y du champ. La résolution du scan est de 1mm. La zone d'acquisition est de 30 par 30 points soit 3 cm^2 . L'impulsion envoyée est la même que dans l'expérimentation précédente.

La résultante du champ est obtenue en additionnant les vecteurs de champs H_x et H_y . L'intensité du champ est déterminée pour chaque point d'acquisition en calculant le module suivant la relation [119] :

$$V_{\text{resultante}H_{X,Y}} = \sqrt{V_{\text{mesuré}H_x} + V_{\text{mesuré}H_y}} \quad (3.32)$$

Cette dernière expression nous permet de réaliser une image de l'évolution du champ total émis lors du passage du courant selon les composantes H_x et H_y comme illustré sur la Figure 3.32. Ces images correspondent au champ émis lors de la transition du courant. Les flèches correspondent à la résultant du champ. Le courant dans la piste circule du haut vers la droite dans la piste coudée à 90° . Au début de la transition, échantillon 596, le champ commence à s'établir dans la piste verticale. Pendant la transition, l'échantillon 598 et 600, le champ est maximum et est émis par les deux tronçons de ligne. Enfin à la fin de la transition, le courant est constant et ne varie plus. Le champ n'est plus émis que par la piste horizontale.

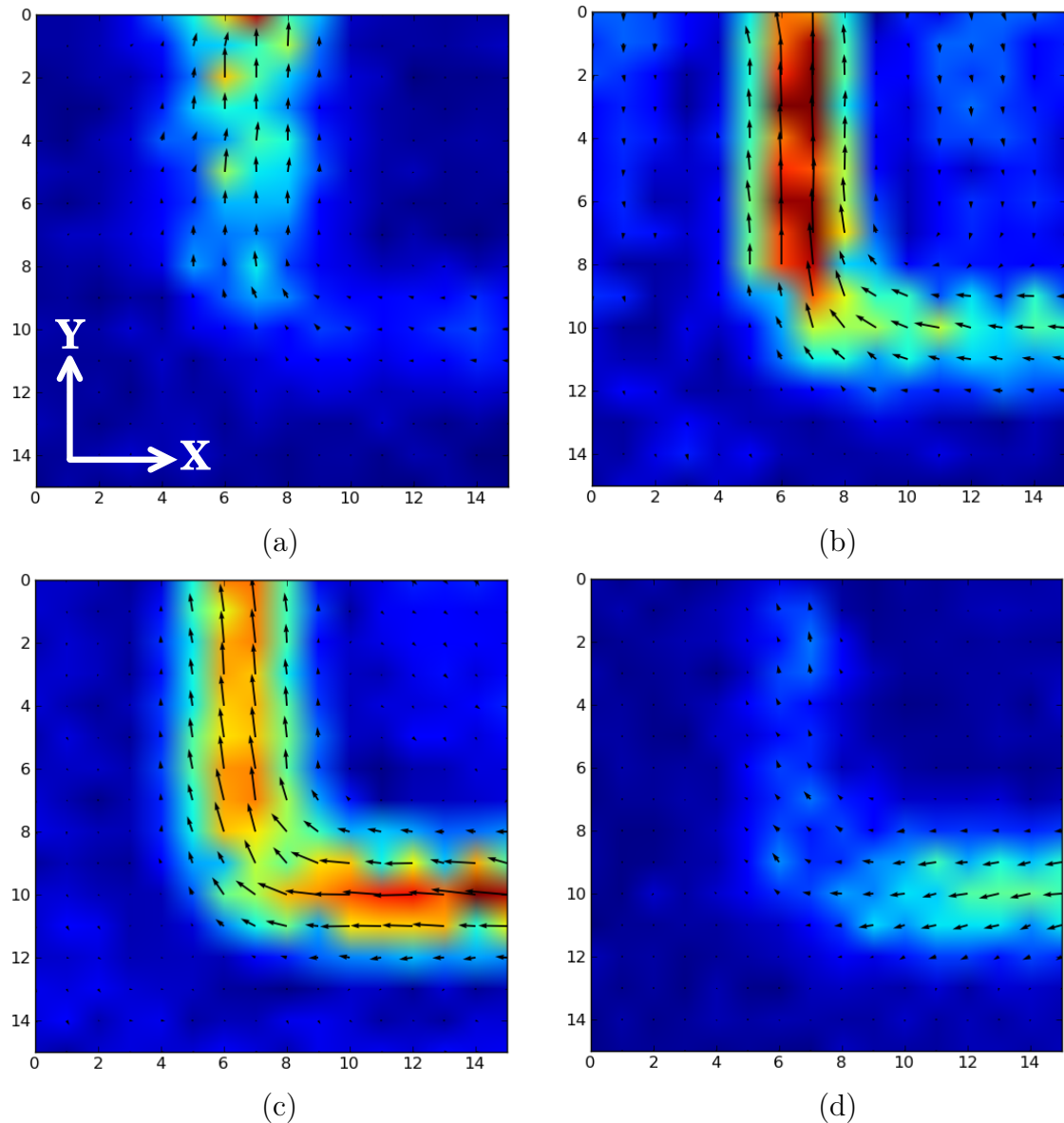


FIGURE 3.32: Cartographie de la répartition du champ magnétique émis pour les échantillons 596 (a), 598 (b), 600 (c) et 604 (d), zone de test $15 \times 15 \text{ mm}^2$.

3.2.6.3 Détermination de la répartition du courant dans le PCB

A partir des champs résultants obtenus sur la sonde selon les composantes H_x et H_y , il est possible de tracer la répartition du courant qui circule dans la piste en reprenant le principe de la méthode intégrale détaillée dans le paragraphe 3.2.2.3.1. Pour chaque couple X,Y de la zone d'acquisition, l'intégrale suivant l'Équation 3.19 est appliquée sans tenir compte du coefficient de couplage. La cartographie du courant est tracée uniquement en différence de niveau. Il est à noter qu'il est nécessaire, pour chaque point (X,Y), de faire la correction du zéro de l'oscilloscope comme décrit dans la sous-sous-section 3.2.2.4.

La cartographie de la répartition du courant pour la piste coudée est donnée Figure 3.33.

Le courant commence à s'établir à la transition de l'impulsion, échantillon 600 (a). Le courant est maximum sur le plateau de l'impulsion TLP 650 (b)

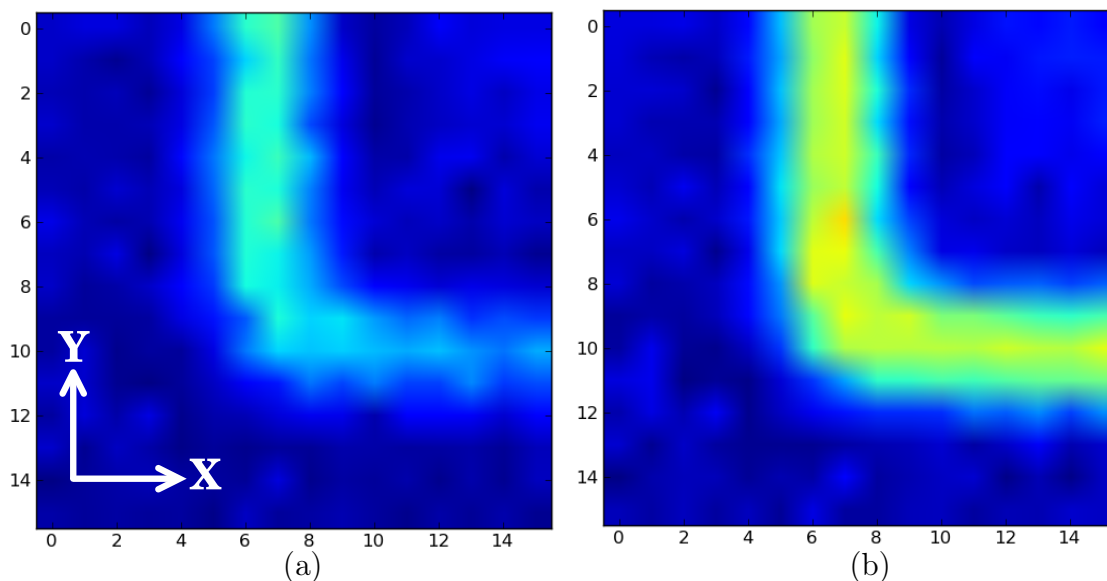


FIGURE 3.33: Répartition du courant dans la piste coudée, échantillon 600 (a), 650 (b), zone de test $15 \times 15 \text{ mm}^2$.

Cette technique de mesure a été mise en œuvre sur un cas d'étude dans le chapitre 4. Le résultat obtenu sera présenté dans le paragraphe 4.2.2.2.4. Comme nous le verrons, cette technique a permis de visualiser la répartition du courant injecté sur la sortie d'un circuit vers un condensateur externe de découplage et le plan de masse du circuit imprimé.

3.3 Techniques d'injections

3.3.1 Introduction

Pour tester les défaillances, il est nécessaire d'injecter des ESD dans les systèmes. Deux problèmes se posent alors, le choix du stress et la façon d'injecter ce dernier en respectant une configuration la plus réaliste possible.

Concernant le choix du stress, l'IEC 61000-4-2 est la seule référence officielle, étant la seule norme. Cependant comme nous l'avons vu dans le chapitre 1 (sous-sous-section 1.3.1.1), le pistolet souffre de nombreux problèmes liés aux rayonnements et à la reproductibilité. D'autre part, la forme générée est relativement complexe et ne permet pas d'investigations permettant de comprendre les phénomènes occurrents dans le système. Nous avons donc préféré l'utilisation du TLP qui génère des signaux carrés, parfaitement contrôlés et paramétrables. Ce dernier a été largement développé dans le premier chapitre. Dans la

même optique, et pour se rapprocher du stress IEC, nous avons développé un générateur double impulsion qui sera présenté un peu plus loin.

L'injection peut se faire par contact, on parlera de mode conduit, ou par rayonnement (mode rayonné).

Dans la littérature ces méthodes d'injection par rayonnement sont utilisées pour générer des perturbations électromagnétiques afin d'étudier la susceptibilité [123, 8].

3.3.2 Injection en mode conduit et rayonné :

3.3.2.1 Méthode d'injection directe (DPI : Direct Power Injection) :

La partie 4 de la norme IEC 62132 [124] définit une méthode d'injection pour évaluer l'immunité d'un circuit face aux perturbations électromagnétiques conduites liées à l'injection d'une tension sur une broche du circuit. Le principe d'injection repose sur l'utilisation d'un condensateur pour transmettre une perturbation HF directement sur la broche d'un circuit en fonctionnement comme illustré Figure 3.34. Le condensateur permet d'isoler le générateur HF du circuit. La méthode, définie par cette norme CEM, consiste à injecter un signal sinusoïdal sur la broche du circuit et à augmenter sa puissance jusqu'à induire une défaillance du circuit, permettant d'estimer son immunité. Une résistance en série peut être ajoutée pour limiter le courant. Des réseaux de découplage sont positionnés sur les signaux d'alimentations pour être sûr que le signal HF envoyé perturbe le circuit sous test et non son alimentation [125]. Le réseau de découplage peut être résistif [126] ou constitué d'un diode et d'une inductance en série [8].

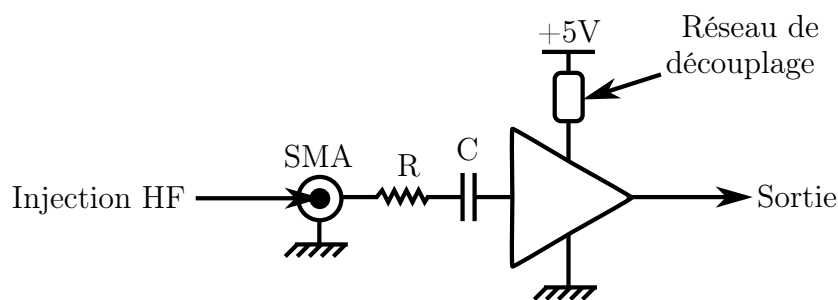


FIGURE 3.34: Principe de la méthode DPI (Direct Power Injection).

Nous avons développé une méthode de mesure reprenant le principe de la DPI, mais pour injecter une perturbation TLP sur un système électronique en fonctionnement. La perturbation TLP est envoyée sur la piste d'alimentation ou sur signal du circuit comme illustré Figure 3.35. Le condensateur permet d'isoler le générateur TLP de l'alimentation DC ou du signal logique. Le réseau de découplage est inséré sur la broche d'alimentation pour que la perturbation stresse uniquement le circuit sous test et non le régulateur.

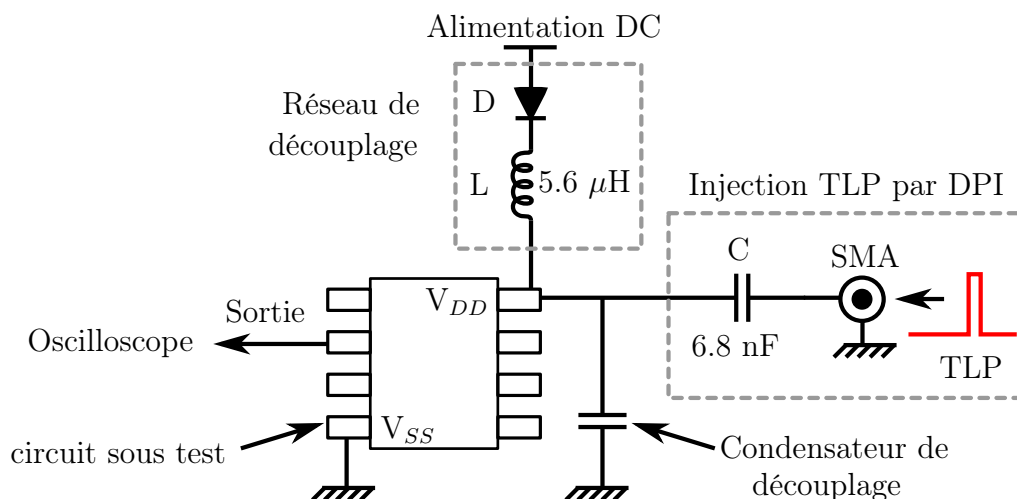


FIGURE 3.35: Schéma représentant la méthode d'injection TLP par DPI, permettant la perturbation d'un circuit en fonctionnement.

Cette technique d'injection a été mise en œuvre et sera détaillée dans le chapitre 4, section 4.3, pour analyser la susceptibilité d'une bascule D montée en diviseur de fréquence. Comme nous le verrons, la perturbation injectée sur la broche d'alimentation peut induire des pertes de cycles d'horloge.

3.3.2.2 Méthode d'injection rayonnée.

Dans la section sous-section 3.2.2, nous avons développé une méthode de mesure par diaphonie effectuée soit avec une piste couplée, soit avec une boucle magnétique. Ces éléments peuvent aussi être utilisés pour injecter le stress localement dans le système. Ces techniques d'injection étant déjà étudiées dans la thèse de Nicolas Lacrampe, nous ne les développerons pas ici. L'utilisation de la sonde de champ proche a l'avantage de pouvoir s'appliquer sur un produit fini. Elles ont notamment été utilisées par [127] et [123] pour réaliser des cartographies de la susceptibilité des cartes électroniques.

3.3.3 Conception d'un banc d'injection TLP double impulsion :

L'objectif est de réaliser un générateur de type TLP permettant de produire deux impulsions consécutives dont l'amplitude correspond aux niveaux de courant définis dans le standard IEC 61000-4-2. La première impulsion, courte, représente le premier pic de courant, la deuxième, plus longue, est calée sur l'amplitude du courant à 30ns (voir Norme IEC chapitre 1, sous-section 1.3.1.1). Le but est de remplacer le pistolet ESD, qui souffre de nombreux problèmes de reproductibilité, par un générateur 50 Ω. Le générateur double impulsion que nous appelons TLP2P, présenté dans cette section, est basé sur le générateur publié par Evan Grund [128]. Celui-ci consiste à charger à haute tension deux

lignes de transmission séparées par une résistance. La décharge de la première ligne permet de générer la première impulsion. Puis la décharge de la deuxième ligne permet de produire une deuxième impulsion dont l'amplitude dépend du rapport d'impédance entre les lignes de transmission et de la résistance.

3.3.3.1 Réalisation du banc TLP2P :

Le schéma simplifié du banc est donné Figure 3.36. Les trois diodes (D1, D2 et D3) et la résistance (R3) en série permettent d'absorber les éventuelles réflexions négatives se propageant du système sous test vers l'alimentation haute tension. Le principal avantage de ce banc réside dans l'utilisation d'un câble RG402U et de fiches F permettant de charger la ligne à très haute tension et de générer des décharges fort courant. La ligne 2 permet de générer le premier pic et la ligne 1 permet de générer la deuxième partie de l'impulsion dont l'amplitude dépend du rapport d'impédance lié à la résistance R1.

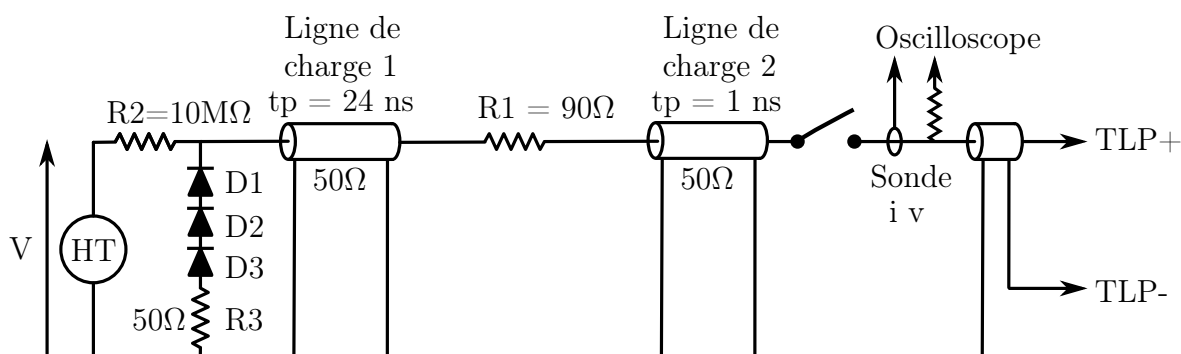


FIGURE 3.36: Représentation schématique du banc d'injection TLP2P.

3.3.3.2 Ajustement des délais :

La largeur des impulsions peut être réglée en ajustant la longueur des lignes. Cette largeur dépend du temps que va mettre la ligne pour se décharger donc du temps de propagation. La largeur de la première impulsion correspond à deux fois le temps de propagation de la ligne 2. De même, la largeur de la deuxième impulsion vaut deux fois le temps de propagation de la ligne 1. Ainsi, si nous prenons en compte les valeurs données sur le schéma Figure 3.36, le premier pic aura pour largeur 2 ns et le second sera de 48 ns.

3.3.3.3 Ajustement de l'amplitude des courants :

Il est possible de régler le niveau des courants en agissant sur la tension de charge V et la résistance R1 (Figure 3.36). Il est nécessaire d'analyser la propagation des ondes pour déterminer ces paramètres.

Réglage du courant I1 : Pour calculer le courant I1, correspondant au 1^{er} pic de courant, nous considérons le schéma équivalent suivant :

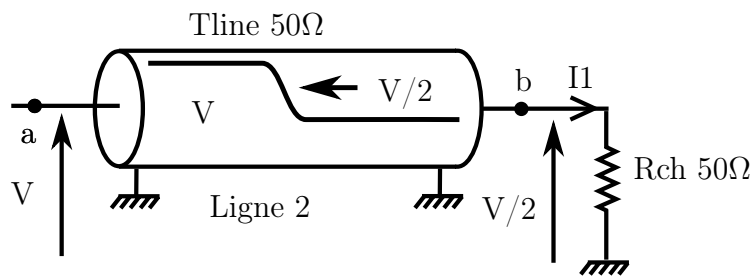


FIGURE 3.37: Schéma équivalent du banc TLP2P utilisé pour extraire une expression permettant le réglage du courant I1.

La ligne de transmission est initialement chargée à la tension V. Lorsque le relais se ferme, la tension au point b, c'est à dire au bout de la ligne, va chuter en suivant rapport d'impédance entre la charge et la ligne :

$$V_b = \frac{Z_{Rch}}{Z_{Ligne} + Z_{Rch}} V \tag{3.33}$$

Le courant dans la charge, d'après la loi d'ohm vaut alors :

$$I_1 = \frac{V}{Z_{Ligne} + Z_{Rch}} \tag{3.34}$$

Réglage du courant I2 : Pour calculer le courant I2, correspondant au 2^{eme} pic de courant, nous considérons le schéma équivalent suivant :

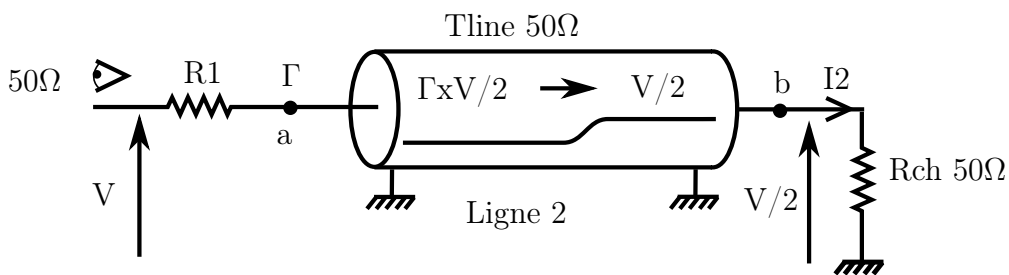


FIGURE 3.38: Schéma équivalent du banc TLP2P utilisé pour extraire une expression permettant le réglage du courant I2.

Lorsque le relais se ferme, le rapport d'impédance entre la ligne et la charge va induire une tension réfléchie V_r qui vaut :

$$V_r = V - \frac{Z_{Rch}}{Z_{Ligne} + Z_{Rch}} V \tag{3.35}$$

Cette onde de tension se propage et va arriver au point a, la rupture d'impédance va induire une nouvelle réflexion suivant le coefficient de réflexion d'après Équation 3.10 vaut :

$$\Gamma = \frac{(Z_{R1} + Z_{Line}) - Z_{Line}}{Z_{R1} + 2 \times Z_{Line}} \quad (3.36)$$

Au final, l'onde réfléchi qui revient au point b vaut :

$$V_b = V_r - \Gamma \times V_r = V_r \times (1 - \Gamma) \quad (3.37)$$

A partir de ces formulations et de la loi d'ohm, l'expression du courant I2 est établie :

$$I_2 = \frac{(V - \frac{Z_{Rch}}{Z_{Ligne} + Z_{Rch}} V) \times (\frac{Z_{R1} + Z_{Line} - Z_{Line}}{Z_{R1} + 2 \times Z_{Line}})}{Z_{Rch}} \quad (3.38)$$

Ce banc d'injection est destiné à reproduire les niveaux de courant définis par la norme IEC 61000-4-2. Ces niveaux sont rappelés dans les trois premières colonnes du Tableau 3.2. A partir de l'Équation 3.33 et l'Équation 3.37, l'application numérique nous permet d'établir les tensions de charge de la ligne et la résistance R1 pour les courants souhaités. Le tableau suivant résume les paramètres calculés :

Paramètres pistolet ESD			Paramètres TLP2P		
Charge 2 Ω			Tension V de Charge de la Ligne TLP (kV)		Résistance
Tension de charge du Pistolet (kV)	Courant I1(A)	Courant I2 (A)	ZRch=50Ω	ZRch=2Ω	R1(Ω)
2	7,5	4	0,75	0,39	87,5
4	15	8	1,5	0,780	87,5
6	22,5	12	2,25	1,117	87,5
8	30	16	3	1,56	87,5

TABLE 3.2: Paramètres du banc TLP2P pour une charge de 50 et 2 Ω permettant d'obtenir les niveaux de courant du pistolet ESD selon la norme IEC61000-4-2.

3.3.3.4 Analyse du fonctionnement du banc :

La simulation du courant généré par le banc TLP2P, comparée au modèle du pistolet ESD de Chui [96] présenté dans la sous-sous-section 2.5.2.1 chapitre 2, est donnée Figure 3.39. Les paramètres utilisés sont ceux permettant d'obtenir la forme du pistolet ESD chargé à 2 kV, dans une impédance de 2Ω (voir tableau précédent).

La résistance R1 induit des réflexions qui se superposent à l'onde transmise. Pour atténuer les réflexions, un atténuateur de 10 dB est ajouté après le relais. L'onde réfléchi issue du DUT va circuler dans cette atténuateur une 1^{ère} fois et être atténuée. La deuxième

réflexion induit par la désadaptation d'impédance entre la ligne 2 (50Ω) et $R1$ (90.9Ω) va se propager vers le DUT et être atténuée de nouveau de 10 dB et ainsi de suite. Ceci permet d'atténuer fortement les réflexions comme le montre la simulation avec l'atténuateur Figure 3.39. Pour compenser l'atténuation, il faut augmenter la tension de charge V de la ligne donnée dans le tableau 3.2 d'un facteur $\alpha = 10 \times \log\left(\frac{3}{20}\right) \approx 3,16$.

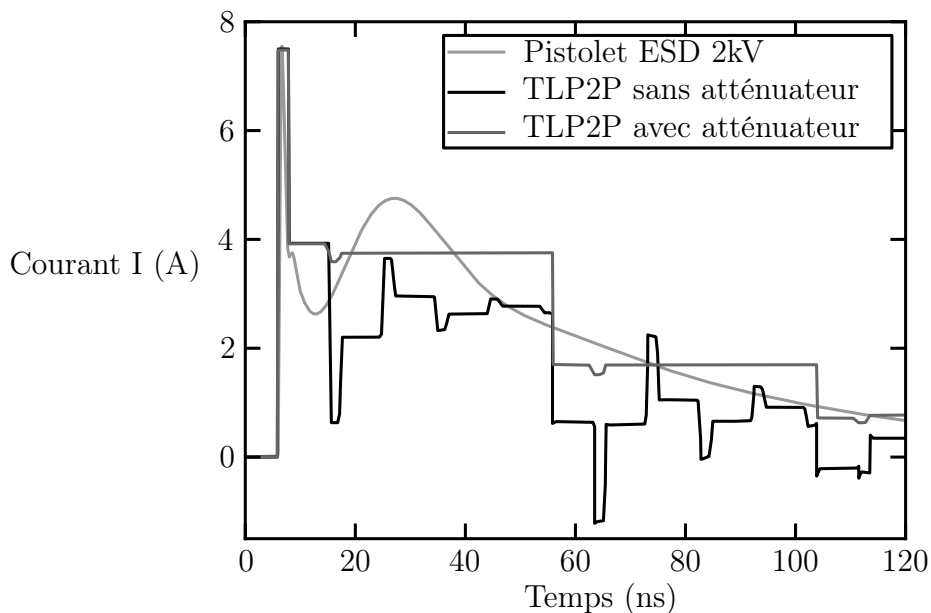


FIGURE 3.39: Simulation du banc TLP2P avec et sans atténuateur comparée à une simulation du pistolet 2kV déchargé dans une impédance de 2Ω .

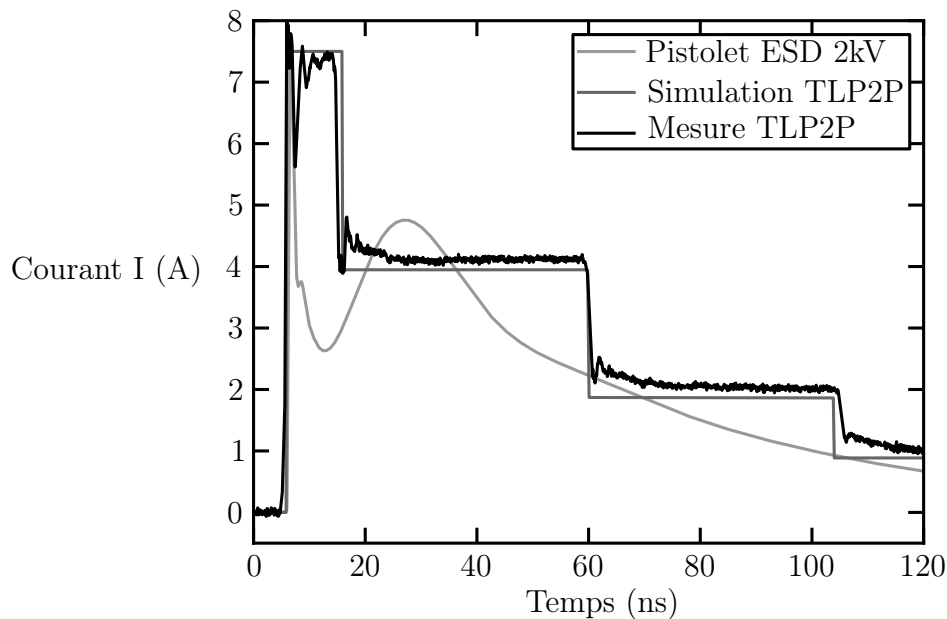


FIGURE 3.40: Superposition d'une mesure et simulation du TLP2P comparée à une simulation du pistolet ESD déchargé dans une impédance de 50Ω .

3.3.3.5 Expérimentation du banc d'injection :

Un comparaison d'une mesure et simulation du banc TLP2P est donnée Figure 3.40. Ce résultat montre que le banc TLP2P fonctionne. Pour cette expérimentation, le délai de propagation de la ligne 2 (Figure 3.36) est de 5 ns au lieu de 1 ns. C'est pour cela que le 1^{er} pic de courant a une largeur de 10 ns.

3.3.3.6 Utilisation du banc :

Pour rappel, lors de la caractérisation TLP classique, le courant et la tension sont mesurés sur la partie stable des formes d'onde dynamiques pour tracer la caractéristique quasi-statique. Nous souhaitons faire de même avec le banc TLP2P. Cependant, en raison des ruptures d'impédance apportées par la résistance R1 et en raison de la propagation qui existe entre les sondes et le DUT, des réflexions se superposent aux signaux mesurés. Il est difficile de déterminer le transmis comme le montre le résultat de simulation du courant Figure 3.41.

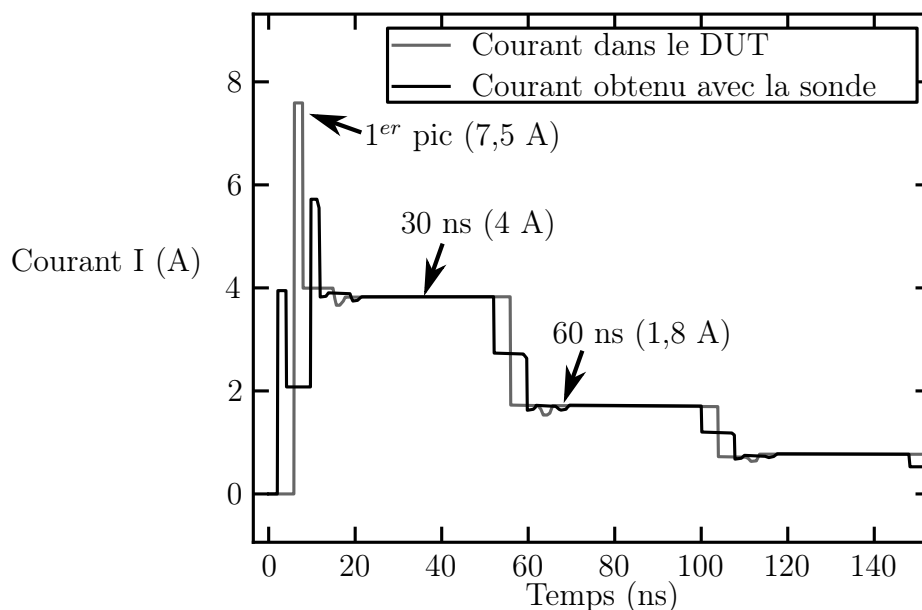


FIGURE 3.41: Simulation montrant la superposition des ondes incidentes et réfléchies du TLP2P déchargé dans une impédance de 2 Ω.

Nous avons recherché dans la littérature, des méthodes de calcul permettant de déterminer l'impulsion transmise. Nous avons trouvé 3 techniques :

La première technique, issue de [129], consiste à déterminer le courant transmis à partir du courant incident et réfléchi mesuré. Le schéma de mesure est illustré Figure 3.42 (a).

Cette technique nécessite un calibrage. Celle-ci est illustrée par les chronogrammes Figure 3.42 (b). Dans un premier temps, une mesure est effectuée lorsque la ligne est

adaptée en impédance permettant d'obtenir uniquement l'onde incidente (A Figure 3.42 (b)). Puis, le banc est connecté au système sous test pour effectuer une mesure classique (B). La soustraction des deux premières mesures permet d'obtenir l'onde réfléchi (C). Enfin, l'addition de l'incident et du réfléchi décalé du temps Δt (voir Figure 3.42 (b)) permet de retrouver le courant transmis.

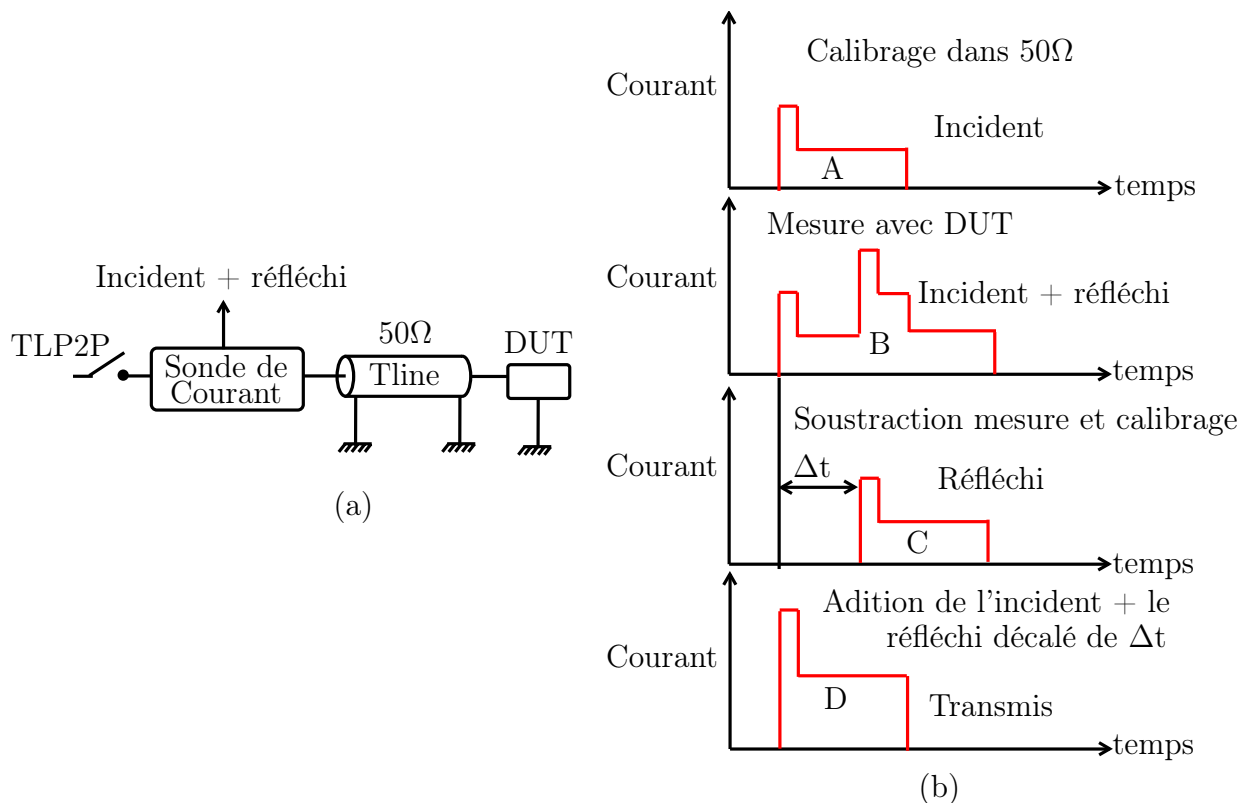


FIGURE 3.42: Schéma de mesure (a), et chronogrammes illustrant le principe de calibrage de la méthode [129] (b).

La deuxième technique, issue de [130], consiste à calculer le courant transmis à partir des mesures (incident + réfléchi) et d'expressions analytiques. Le schéma de mesure est donné Figure 3.43. A partir des mesures de tension et de courant, la tension incidente et réfléchi est déterminée avec les équations suivantes :

$$V_{incident}(t) = V_{mesuré}(t) + 50 \times I_{mesuré}(t) \quad (3.39)$$

$$V_{réfléchi}(t) = V_{mesuré}(t) - 50 \times I_{mesuré}(t) \quad (3.40)$$

Le courant et la tension transmis au DUT sont déterminés par :

$$V_{transmis}(t) = V_{incident}(t) + V_{réfléchi}(t) \quad (3.41)$$

$$I_{transmis}(t) = \frac{I_{incident}(t) + I_{réfléchi}(t)}{50} \quad (3.42)$$

Cette technique nécessite que le courant et la tension mesurés soit parfaitement synchronisés.

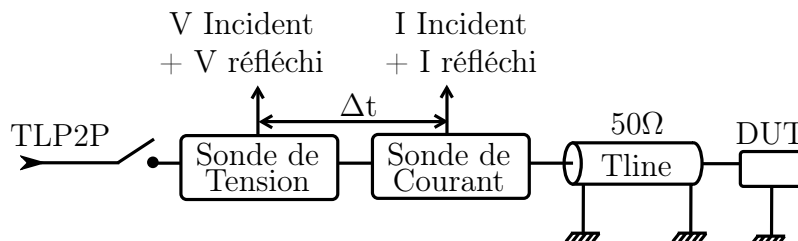


FIGURE 3.43: Schéma de mesure des tensions et courants incidents et réfléchis.

Enfin la dernière technique, proposé par Evan Grund [128], consiste à mesurer le courant sur le retour de masse en ajoutant une résistance de $50\ \Omega$ comme illustré Figure 3.44. L'inconvénient de cette méthode est qu'elle modifie l'impédance vue par le circuit sous test ($100\ \Omega$ au lieu de $50\ \Omega$).

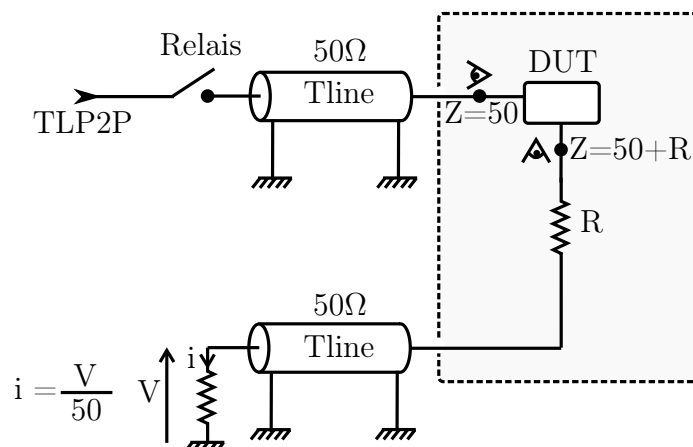


FIGURE 3.44: Schéma de principe de mesure du courant transmis proposé par [128].

Le banc TLP2P est fonctionnel. Malheureusement, nous n'avons pas fait davantage d'investigations. Les techniques de calculs du courant transmis n'ont pas été validées par des expérimentations. Cependant, j'ai tenu à présenter ces travaux de développement dans ma thèse afin que ceux-ci puissent servir à d'autres doctorants qui prendraient la suite de la thèse. Ce banc, double impulsion, fait parti des livrables du projet ANR, E-SAFE. Nous pensons que le premier pic, généré par la décharge de la ligne et représentant le premier pic de la forme du pistolet ESD, est susceptible de déclencher des protections telles que les SCR et faire apparaître des comportements non révélés par le TLP.

3.4 Motif d'injection et de mesure universels :

Nous avons développé un motif d'injection et de mesure, intégrable sur un circuit imprimé, permettant de mettre en œuvre la majorité des méthodes proposées dans ce chapitre. La représentation schématique de ce motif est donnée Figure 3.45 (a). En fonction des composants soudés sur le motif, il est possible de réaliser diverses configurations. La Figure 3.45 (b) et (c) donne deux exemples de configuration réalisables.

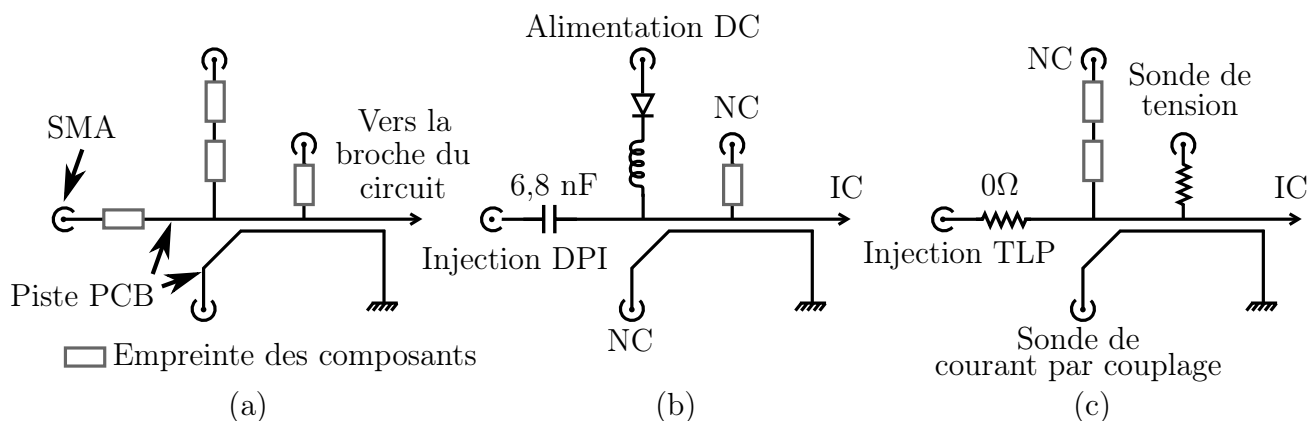


FIGURE 3.45: Représentation schématique du motif d'injection et de mesure (a), configuration en mode DPI (b), configuration en mode TLP (c)

Ce motif a été intégré sur une carte de test dont la photographie est donnée Figure 3.46.

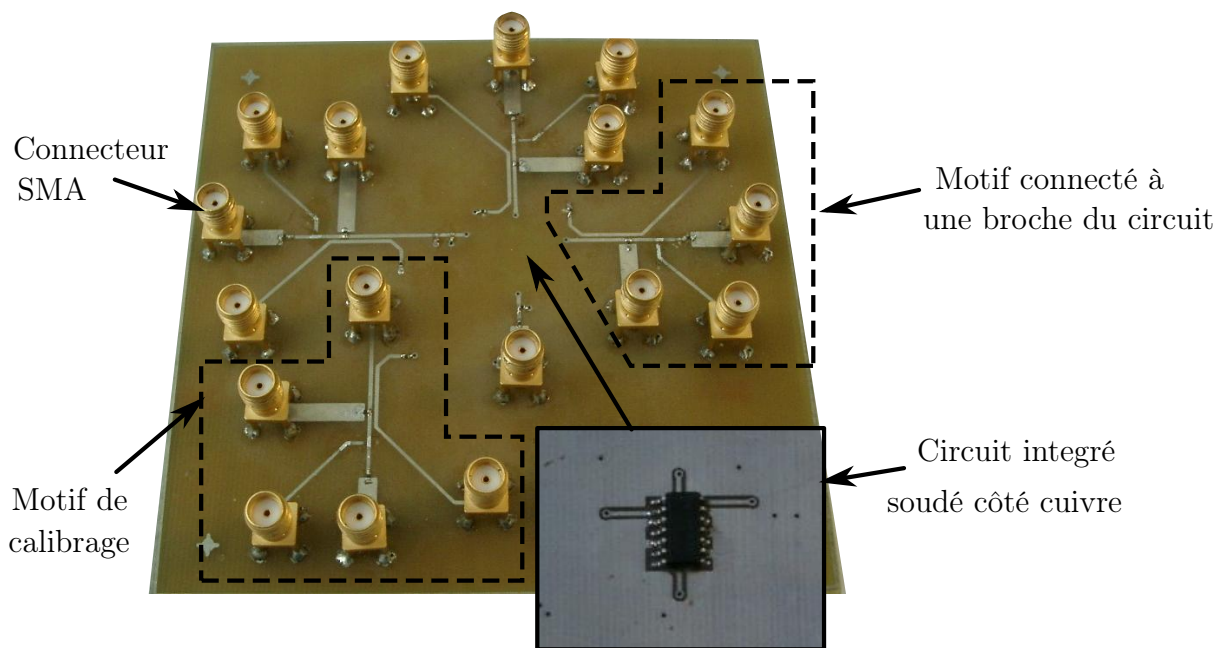


FIGURE 3.46: Photographie de la carte de test utilisant le motif universel.

Le motif, reprenant le même layout, est connecté à trois broches du circuit. Un motif indépendant terminé par un SMA permet les opérations de calibrage.

Cette carte permet la caractérisation ESD d'un circuit monté dans un système. Celle-ci a été utilisée pour la caractérisation du cas d'étude 1 qui sera présenté dans le chapitre 4.

3.5 Conclusion

Le but de ce chapitre a été de présenter les différentes techniques que nous avons développées au cours de la thèse pour injecter des perturbations ESD et effectuer des mesures sur un système électronique. Que le système soit en fonctionnement ou non, ces méthodes permettent de visualiser les formes d'ondes des signaux se propageant sur la carte lors des stress. Ces informations sont cruciales pour analyser le comportement du système et comprendre ce qui se passe durant une décharge. Ces techniques vont être utilisées dans le chapitre 4 pour caractériser les différents cas d'études. Les mesures obtenues permettront d'effectuer des corrélations avec les simulations et de valider ainsi les méthodologies de modélisation présentées dans le chapitre 2.

4 Validation des méthodologies de modélisation et de caractérisation

4.1 Introduction

Dans le chapitre 2, nous avons présenté une méthodologie de modélisation destinée à modéliser un système depuis son environnement de test jusqu'aux protections ESD intégrées dans les circuits. Dans le chapitre 3, nous avons décrit des méthodes d'injections et de mesures permettant de caractériser un système électronique en fonctionnement ou non, soumis à des perturbations ESD. Le chapitre 4 est dédié à la mise en œuvre et à la validation de ces méthodes de simulation et de test au travers de trois cas d'étude.

Un premier cas d'étude a été réalisé autour d'un circuit inverseur pour étudier la propagation du courant issue d'un événement ESD (impulsion TLP) envoyé directement sur un connecteur du système. L'impact de tous les éléments constituant le système (les pistes PCB, les éléments passifs, le boîtier du circuit, la stratégie de protection ESD et les protections ESD) pouvant interagir sur la forme du courant sera analysé et interprété.

Le deuxième cas d'étude a été effectué autour d'un circuit Bascule D pour étudier la susceptibilité d'un système lorsqu'un événement ESD (impulsion TLP) perturbe l'alimentation du circuit. Les mécanismes à l'origine des défaillances révélées lors des tests seront analysés. Une étude de la probabilité de générer des fautes est étudiée, et une formulation analytique de celle-ci est proposée.

Enfin, dans le cadre du contrat ANR - VTT E-SAFE (ESD SAFE automotive products), un troisième cas d'étude mettant en œuvre un composant LIN (en anglais : Local Interconnect Network) dédié aux applications automobiles est présenté. Le prototype analysé est le résultat de discussions avec deux industriels : l'entreprise Freescale basée à Toulouse et l'entreprise Valéo basée à Créteil définissant un cas d'étude concret. L'objectif de cette étude est de valider nos méthodes d'investigation pour analyser le comportement du système lorsque celui-ci est agressé avec le testeur utilisé dans l'industrie, à savoir le pistolet ESD en accord avec les standards ISO10605 [7] et IEC61000-4-2 [6].

Ce chapitre est découpé en quatre parties. Les trois premières parties décrivent respectivement les cas d'études précédemment cités. Et la quatrième partie donne la conclusion.

4.2 Étude de la propagation d'une ESD sur une carte non alimentée

4.2.1 Présentation du cas d'étude

Afin d'étudier la propagation du courant issue d'une décharge électrostatique, nous avons, dans un premier temps, étudié un système simple. Celui-ci est construit autour d'un circuit inverseur et de la carte de caractérisation universelle développée dans le chapitre 3 section 3.4.

4.2.1.1 Description rapide du circuit

L'étude est basée sur le circuit logique inverseur, référence SN74LVC04A, du constructeur Texas Instrument, en technologie CMOS $0,25\ \mu\text{m}$ et mis en boîtier SOIC 14 broches. Le circuit contient six inverseurs. Le schéma de câblage est donné Figure 4.1. Pour cette étude, nous avons utilisé uniquement le circuit n°1 (entre les broches 1 et 2), ainsi que les broches d'alimentations (7 et 14).

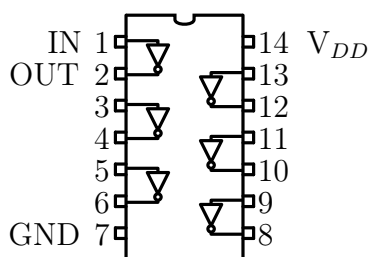


FIGURE 4.1: Schéma de câblage du circuit inverseur 74LVC04A.

4.2.1.2 Configurations de test

Le schéma simplifié des configurations de test du système est donnée Figure 4.2. Le système est composé de l'inverseur, de quelques composants passifs (résistance et condensateur), de lignes PCB, et de l'environnement de test (générateur ESD, câbles et sondes). Le circuit n'est pas alimenté dans cette étude. L'injection est effectuée avec le générateur d'impulsion TLP. D'un point de vue ESD, cela revient à étudier le système soumis à des ESD lors du branchement d'un câble sur le connecteur accessible depuis l'extérieur.

Deux configurations de test sont étudiées :

- Configuration de test n°1 : étude de l'impact du condensateur externe, C1, utilisé comme condensateur de découplage d'alimentation du circuit, lorsqu'une impulsion TLP est envoyée sur la sortie (OUT).
- Configuration de test n°2 : étude de l'impact du condensateur externe, C2, connecté entre l'entrée (IN) et le plan de masse. L'impulsion TLP est envoyée sur l'entrée (IN).

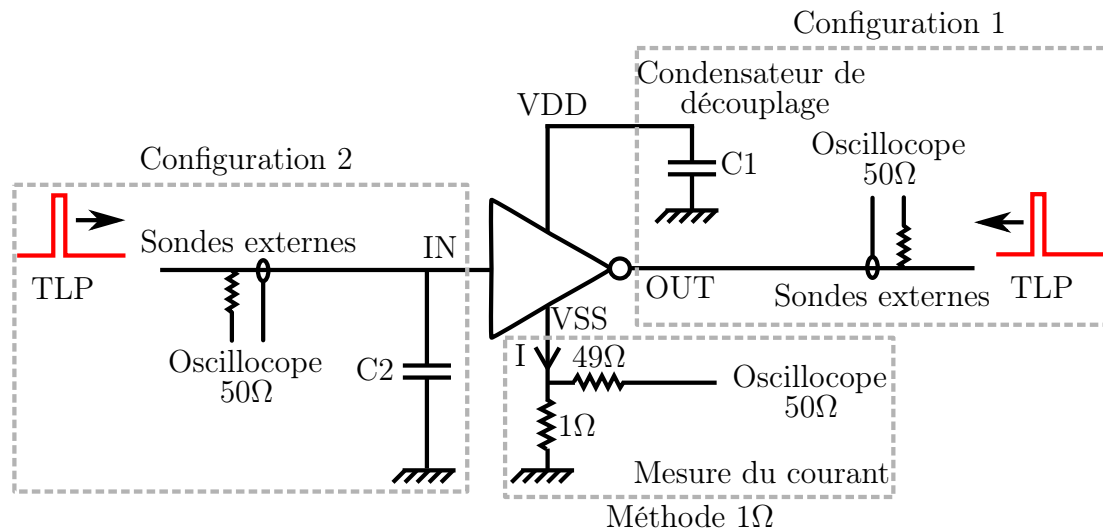


FIGURE 4.2: Schéma simplifié des configurations de tests 1 et 2.

Dans les deux configurations, des mesures TDR/TLP ainsi que des mesures utilisant la technique $1\ \Omega$ ont été réalisées pour analyser le comportement du système durant la décharge. Après une description rapide du modèle de simulation réalisée en suivant la méthodologie détaillée dans le chapitre 2, les formes d'ondes obtenues par mesures, corrélées avec les simulations seront analysées et interprétées pour les configurations n°1 et 2 respectivement dans les sous-sous-section 4.2.2.2 et sous-sous-section 4.2.2.3 suivantes.

4.2.2 Analyse des résultats de simulation et de mesure

4.2.2.1 Modélisation du circuit

Après l'identification des protections ESD intégrées, comme décrit dans le chapitre 2 sous-sous-section 2.3.3.1, nous avons réalisé le modèle du circuit dont le schéma est donné Figure 4.3. Celui-ci comprend un thyristor sur l'entrée, deux diodes sur la sortie, et un PowerClamp actif entre les broches d'alimentation. Pour comparer les différences en terme de performance de simulation des modèles, les protections ont été modélisées en suivant les deux méthodologies : semi-empirique et comportementale.

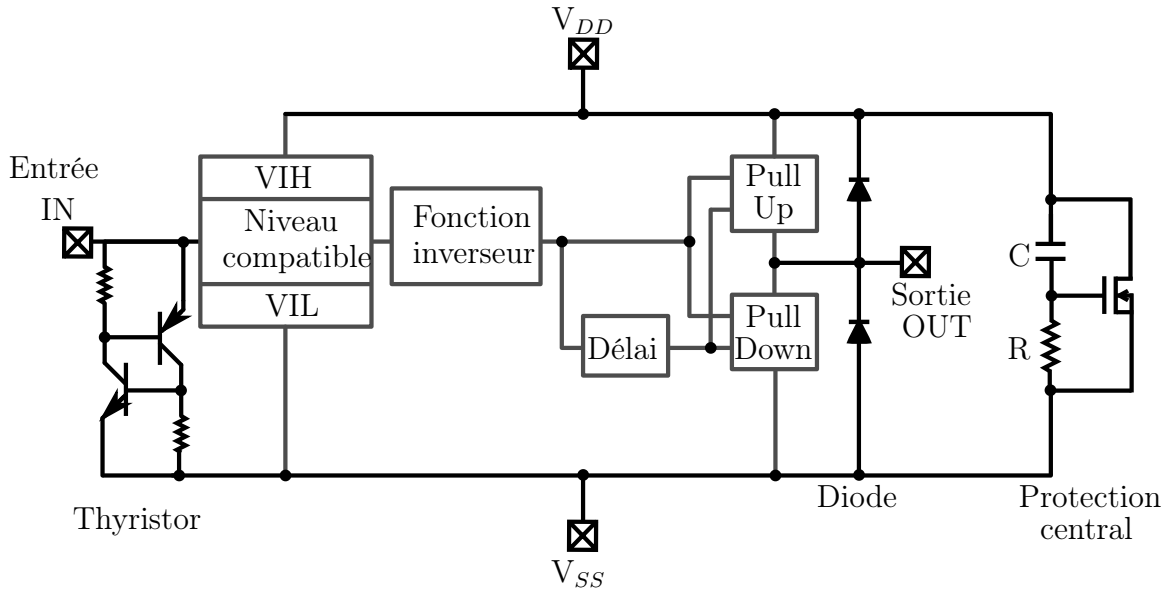


FIGURE 4.3: Modèle du circuit 74LVC04A.

4.2.2.2 Configuration de test n°1

4.2.2.2.1 Modèle de simulation L'application de la méthode de modélisation du système du chapitre 2 nous a permis d'établir le modèle suivant, reproduisant la configuration de test n°1. Le modèle du circuit est celui présenté Figure 4.3. Pour mémoire, les blocs appelés "ligne simple" sont des modèles VHDL-AMS permettant de simuler les phénomènes de propagation dans les lignes PCB, Les blocs appelés "lignes couplées", permettent de décrire les couplages entre lignes PCB proches. Ces blocs sont décrits dans le chapitre 2 sous-sous-section 2.4.1.1 et sous-sous-section 2.4.1.2.

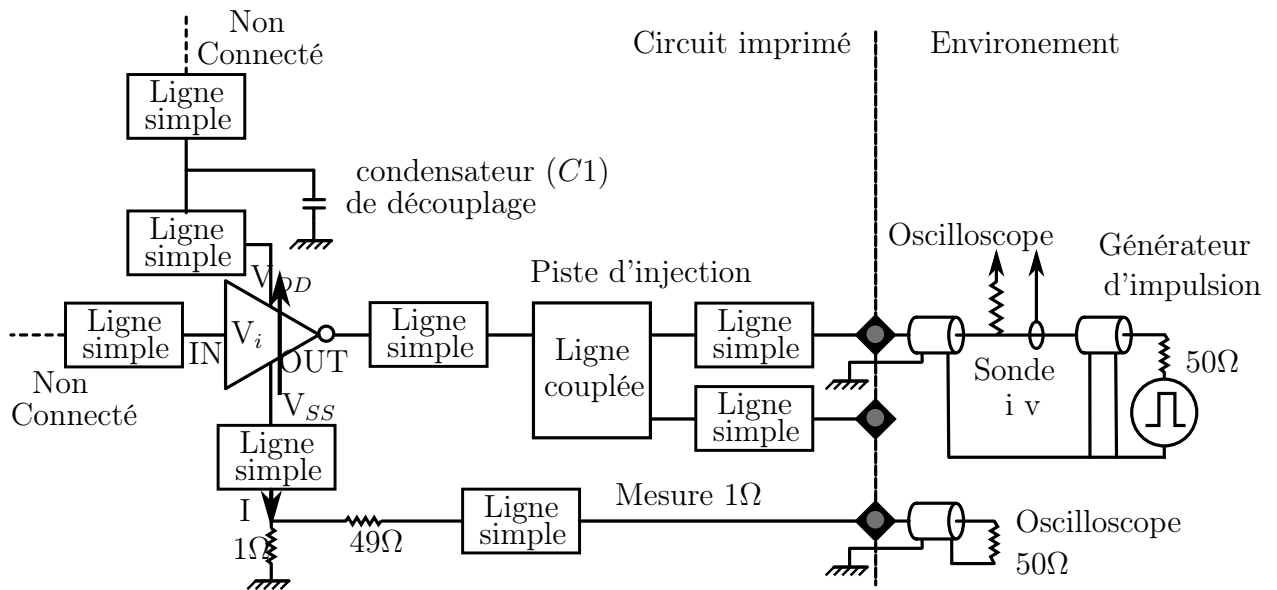


FIGURE 4.4: Modèle du système, intégrant le circuit 74LVC04A, pour la configuration de test n°1.

4.2.2.2 Simulation : Dans ce paragraphe, la simulation de l'ensemble du système est analysée pour différentes valeurs du condensateur de découplage ($C1$) (50 nF, 14 nF et sans capacité). Le générateur TLP, connecté sur la sortie (OUT), est configuré pour générer une impulsion dont les caractéristiques sont les suivantes : amplitude 1 A, largeur d'impulsion 100 ns et temps de transition de 1 ns. Les simulations présentées ont été effectuées dans un premier temps avec les modèles semi-empiriques des protections ESD et sans les Buffers de sorties donnés dans IBIS.

Le résultat de simulation, lorsque aucun condensateur n'est connecté, est donné Figure 4.5. Le courant I correspond au courant qui circule dans la résistance de $1\ \Omega$. V_i est la tension interne du circuit entre les rails V_{DD} et V_{SS} , c'est à dire aux bornes du PowerClamp. Comme nous pouvons le voir sur le résultat de simulation, l'ensemble du courant injecté sur la sortie OUT (rectangle de 1 A pendant 100 ns) circule dans la résistance de $1\ \Omega$. Comme attendu par la stratégie de protection du circuit, le courant est dévié par la diode $D1$ et le PowerClamp en inverse pour être évacué par la broche V_{SS} . La tension qui apparaît en V_i (3,5 V) correspond à la chute de tension aux bornes du PowerClamp imposée par sa caractéristique $I(V)$ pour un courant de 1 A. Un schéma montrant le chemin du courant dans ce cas est donné Figure 4.6.

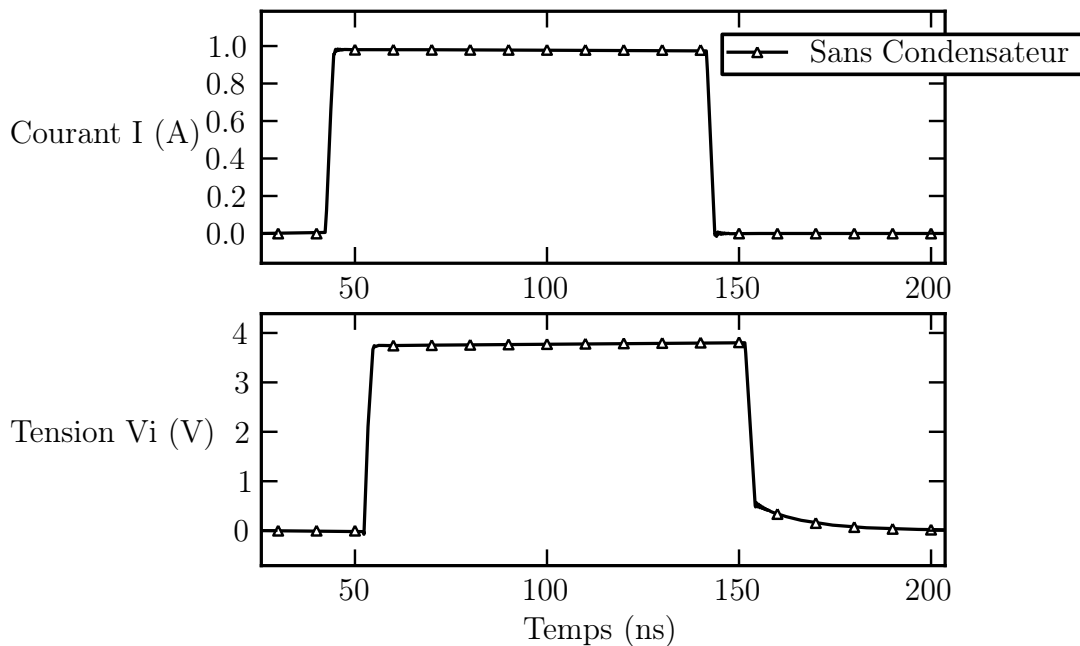


Figure 4.5: Simulations du courant I circulant dans la résistance de $1\ \Omega$ et de la tension interne V_i pour une injection de 1 A, 100 ns, entre la sortie et le plan de masse, sans condensateur de découplage.

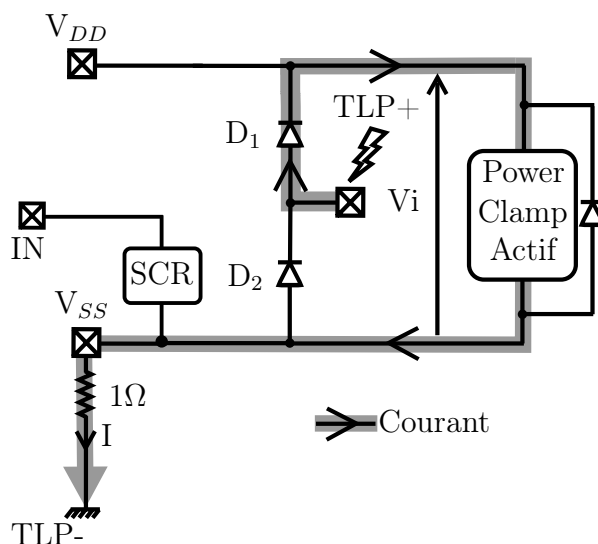


Figure 4.6: Schéma simplifié de la stratégie de protection du circuit montrant le chemin du courant lorsqu'une décharge est envoyée entre la sortie et V_{SS} .

Lorsque nous connectons un condensateur de découplage de 50 nF, la forme du courant I circulant dans la résistance de 1Ω est complètement modifiée comme le montre la Figure 4.7. Des interactions complexes apparaissent entre la puce, son boîtier, les lignes PCB et le condensateur de découplage.

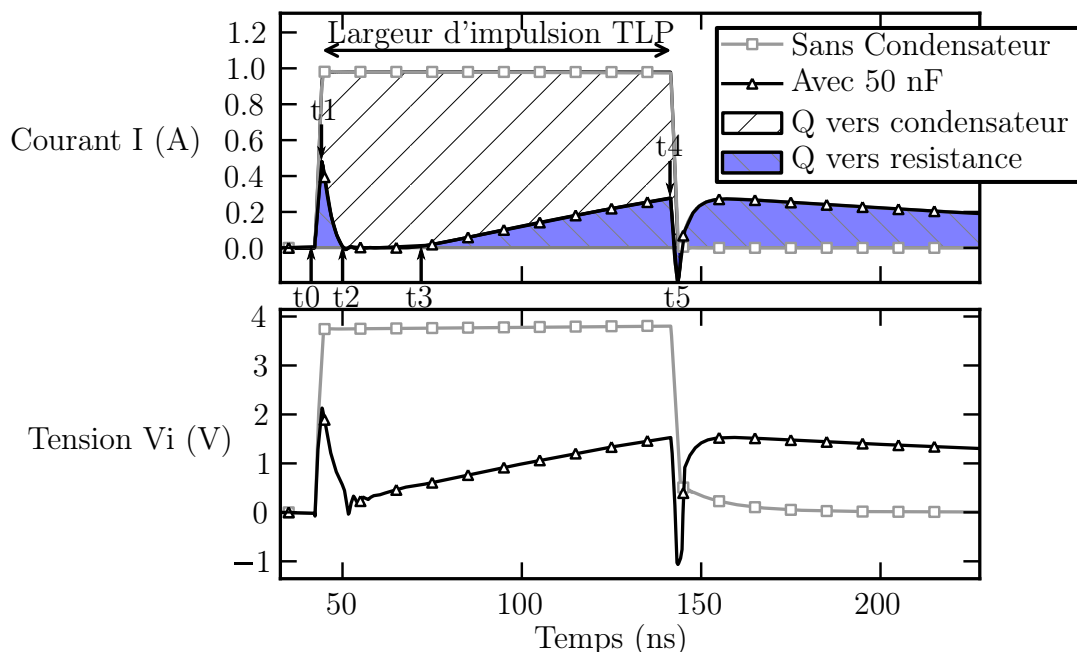


Figure 4.7: Simulations du courant I circulant dans la résistance de 1Ω et de la tension interne V_i pour une injection TLP de 1 A, 100 ns, entre la sortie et le plan de masse, sans condensateur et avec un condensateur de découplage de 50 nF.

A l'état initial, le condensateur n'a accumulé aucune charge. La tension aux bornes de celui-ci, également imposée en V_i , vaut zéro. Le PowerClamp est fermé. Lorsque le

stress TLP arrive sur la broche de sortie, le courant est dévié par la diode D1. Comme le condensateur est directement connecté au plan de masse, le chemin du courant peut être soit dans le PC ou soit vers le condensateur. Dans cette configuration, le condensateur ($C1$), connecté en externe, offre un chemin d'impédance plus faible que le PowerClamp créant un chemin préférentiel pour le courant de décharge.

Le pic de courant I observé sur la résistance, au temps $t1$, nécessite des explications. Durant le front montant rapide du TLP, entre $t0$ et $t1$ Figure 4.7, l'effet inductif du boîtier (inductance de 3,9 nH) va permettre au PC de conduire une partie du courant pendant un laps de temps très court. En effet, l'inductance du boîtier n'est pas capable de faire passer le courant instantanément en raison de l'équation basique $V = L \frac{dI}{dt}$. Ainsi, la tension aux bornes de l'inductance du boîtier V_{DD} va augmenter fortement. La tension de déclenchement du Power Clamp est alors atteinte permettant la conduction du courant. La Figure 4.8 montre le chemin du courant à l'intérieur du circuit pendant la transition montante du TLP.

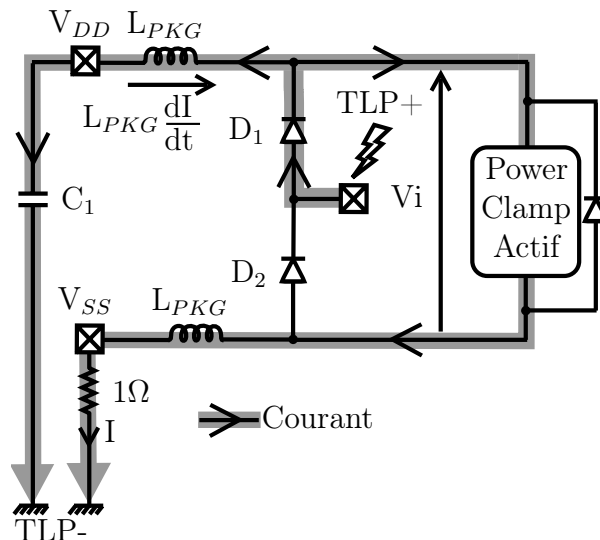


Figure 4.8: Schéma simplifié du circuit montrant le chemin du courant pendant la transition montante du TLP, avec un condensateur de découplage de 50 nF, entre $t0$ et $t1$.

Après la transition montante rapide du TLP, à $t1+\epsilon$, le courant est constant. L'effet inductif du boîtier diminue ainsi que la tension aux bornes de l'inductance du boîtier. La tension de déclenchement du PowerClamp n'est plus atteinte, celui-ci se ferme.

Pendant l'intervalle de temps $t2$ à $t3$, tout le courant injecté sort du circuit par la broche V_{DD} . Le condensateur externe ($C1$) commence à se charger. Aucun courant ne circule au travers de la résistance de 1Ω .

Lorsque la tension de charge du condensateur atteint la tension de déclenchement du PC, au temps $t3$, le PC se déclenche et conduit de plus en plus de courant au fur et à mesure que la charge du condensateur augmente. La quantité de courant circulant dans

le Power Clamp étant fixée par la tension à ces bornes.

Lorsque l'impulsion TLP se coupe (retourne à 0A), nous sommes de nouveau confrontés à une transition rapide descendante, au temps t_4 . Un pic négatif est alors visible sur le résultat de simulation Figure 4.7. Ceci peut être expliqué par ce que nous appelons "l'effet de balance des inductances du boîtier". Le chemin du courant dans le circuit durant la transition négative du TLP est donnée Figure 4.9. Juste avant que l'impulsion TLP se termine, à $t_4-\epsilon$, le courant circule principalement dans l'inductance de la broche V_{DD} (environ 700 mA pour 1 A injecté) et charge le condensateur externe. Lorsque le flux du courant injecté s'arrête, le courant ne peut varier instantanément dans les inductances. Un courant continue à circuler dans l'inductance de la broche V_{DD} forçant le Powerclamp à conduire en direct pour répondre à l'effet de balance des inductances. Le courant remonte de la masse vers la capacité.

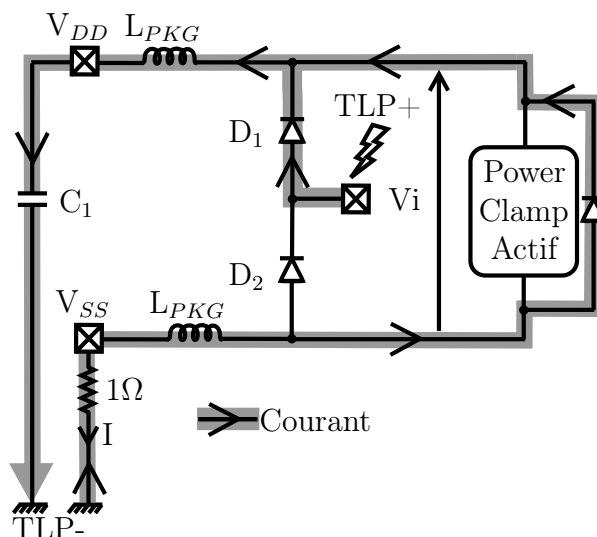


Figure 4.9: Schéma simplifié du circuit montrant le chemin du courant pendant la transition descendante du TLP, avec un condensateur de découplage de 50 nF, au temps t_4 .

Après l'impulsion, au temps $t_5+\epsilon$, le condensateur de découplage se décharge au travers du PowerClamp jusqu'à ce que ce dernier le coupe. Même si le condensateur de découplage absorbe une grande partie de l'énergie, correspondant à la partie grise Figure 4.7, le PowerClamp doit conduire sur un délai beaucoup plus long que la durée du stress pour évacuer les charges accumulées dans le condensateur. Bien que le courant qui circule au travers du PC soit plus faible que l'amplitude de courant injecté, ce dernier continue de conduire après la décharge pendant un temps relativement long.

Un fois le PowerClamp fermé, les charges restantes, accumulées par le condensateur, sont bloquées, maintenant une forte tension entre V_{DD} et V_{SS} . Ceci peut avoir un impact crucial sur la susceptibilité lorsque le circuit est en fonctionnement. Nous avons effectué les mêmes simulations lorsque le système est alimenté à 2,5 V. Les formes d'ondes obtenues

sont exactement les mêmes avec seulement un décalage de la polarisation du condensateur qui peut conduire à des erreurs logiques car après le stress, les tensions d'alimentation restent à la tension de déclenchement de la protection ESD (4V au lieu de 2,5V dans notre cas).

Le résultat de simulation pour un condensateur de découplage de 14 nF est donné Figure 4.10. La forme du courant est similaire au cas précédent. Cependant, le condensateur de 14 nF se charge plus vite pendant l'impulsion de courant TLP. Ainsi, au temps t_3 , la tension aux bornes du condensateur augmente rapidement entraînant un décalage du déclenchement du PC.

Le courant circule exactement par le même chemin que dans le cas d'un condensateur de 50nF excepté au temps t_4 lorsque l'impulsion TLP se termine et retourne à zéro. Au temps $t_4+\epsilon$, le courant circule principalement dans l'inductance de la broche V_{SS} (environ 700 mA), vers la résistance de 1 Ω . Le courant qui charge le condensateur vaut seulement 300 mA. Lorsque l'impulsion s'arrête, le courant continue de circuler dans l'inductance V_{SS} forçant le PowerClamp à conduire dans le même sens pour répondre à "l'effet de balance des inductances". Ceci justifie le fait que le pic de courant circulant dans la résistance 1 ohm au temps t_4 n'est pas négatif.

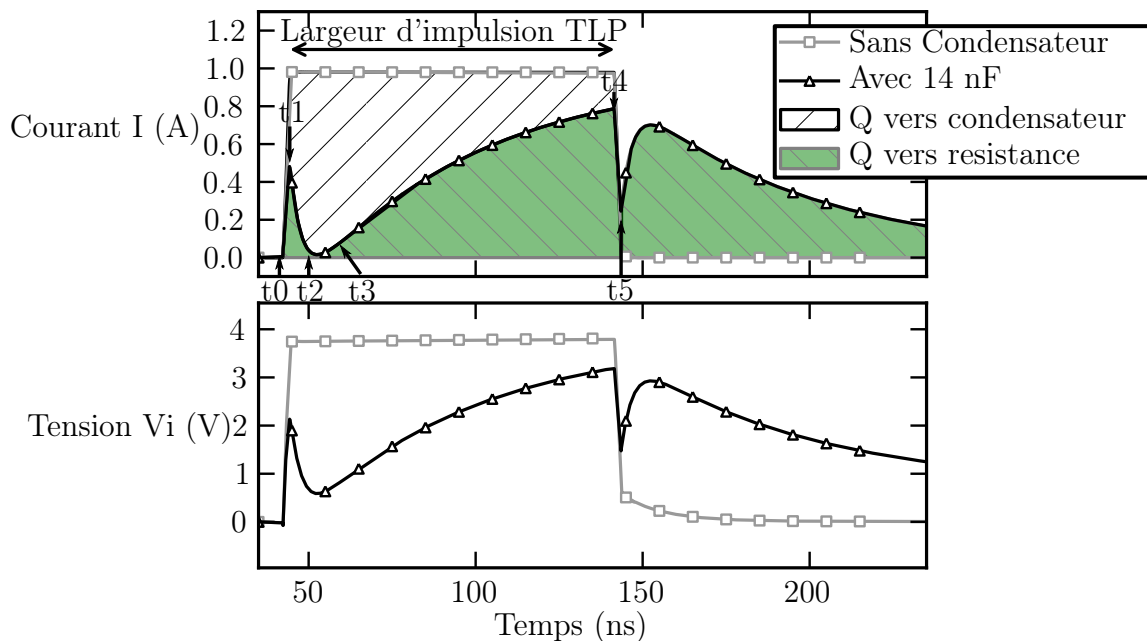


Figure 4.10: Simulations du courant I circulant dans la résistance de 1 Ω et de la tension interne V_i pour une injection TLP de 1 A entre la sortie et le plan de masse, sans condensateur et avec un condensateur de découplage de 14 nF.

4.2.2.2.3 Comparaisons des mesures et des simulations : La comparaison des résultats de simulation avec les mesures $1\ \Omega$ est reportée dans la Figure 4.11. Pour les différentes valeurs du condensateur (50nF, 14nF et sans condensateur), les simulations corrélaient parfaitement avec les mesures $1\ \Omega$. Cependant, entre les temps t_2 et t_3 , un petit courant circule au travers de la résistance de $1\ \Omega$. Initialement, ce courant n'était pas prédit dans les simulations précédentes. Celui-ci correspond à la conduction du transistor N_{MOS} du buffer de sortie du circuit. Durant la décharge, la transition montante de l'impulsion TLP polarise la grille du transistor N_{MOS} par couplage capacitif (drain/grille) permettant la conduction de celui-ci. Le courant circulant dans le transistor est de 100 mA pour un stress de 1 A. Celui-ci ne peut pas être prédit en prenant en compte uniquement les protections ESD dans la simulation.

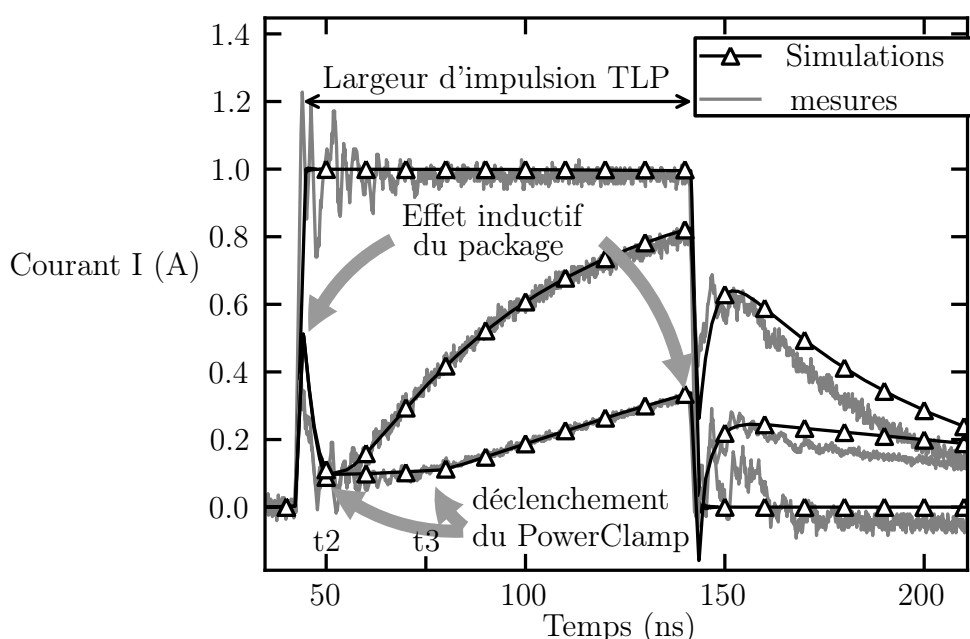


Figure 4.11: Comparaison des mesures et simulations du courant circulant dans la résistance de $1\ \Omega$, pour une injection de 1 A entre la sortie et le plan de masse, sans et avec un condensateur de découplage de 14 nF et 50 nF.

Dans le but de prendre en compte le courant circulant dans le PullDown, nous avons ajouté un modèle plus complexe qui prend en compte les transistors de sortie du circuit. Nous avons testé les deux solutions suivantes :

- Dans un premier temps, nous avons implémenté un modèle SPICE level 1 que nous avons optimisé pour que sa caractéristique corresponde avec celle donnée dans les fichiers IBIS. Ce modèle est ajouté comme illustré Figure 4.12 en parallèle aux modèles semi-physiques des protections ESD. Des condensateurs, représentant les capacités grille source et grille drain ont été ajoutés pour reproduire le couplage. Ce modèle nous a permis d'obtenir le résultat de simulation présenté Figure 4.11 quelque soit la configuration étudiée.

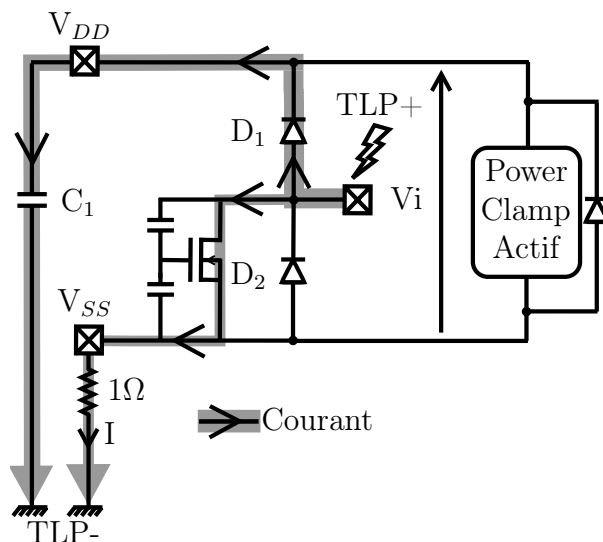


Figure 4.12: Connexion du transistor PullDown de l'étage de sortie pour prendre en compte l'effet de couplage de la grille.

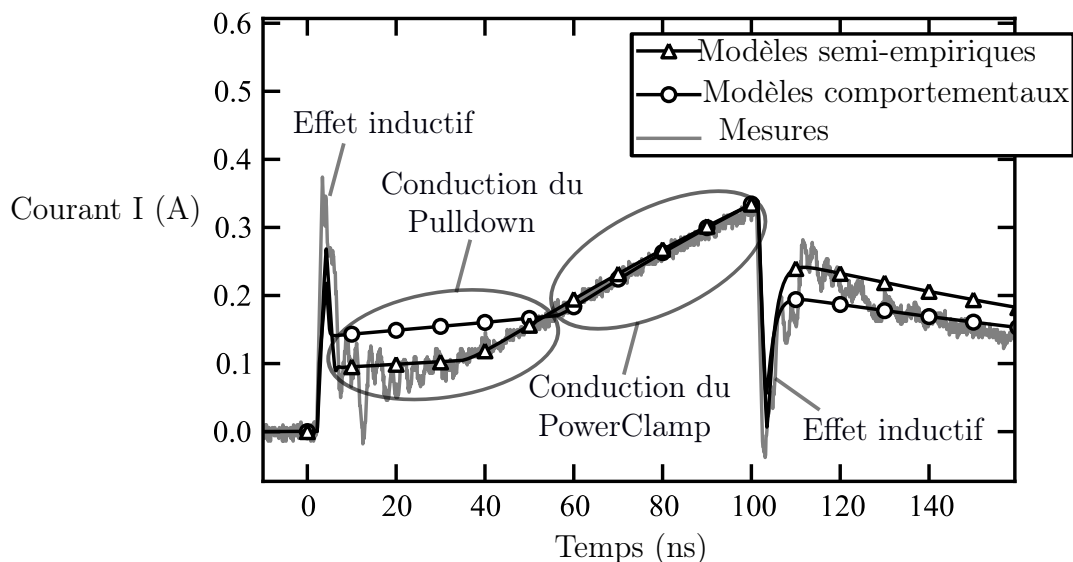


Figure 4.13: Comparaison des mesures et simulations du courant circulant dans la résistance de $1\ \Omega$, pour une injection de $1\ \text{A}$ entre la sortie et le plan de masse, avec un condensateur de découplage de $14\ \text{nF}$ et $50\ \text{nF}$, pour les techniques de modélisation semi-empiriques et comportementales.

- Une simulation purement comportementale a été aussi mise en œuvre. Les modèles IBIS du “Buffer” de sortie sont ajoutés. Les protections ESD ont été modélisées suivant la méthode de modélisation comportementale. Une comparaison de la modélisation semi-empirique et comportementale incluant IBIS est donnée Figure 4.13 dans le cas où un condensateur de $50\ \text{nF}$ est connecté comme condensateur de découplage. Une petite différence de $50\ \text{mA}$ est observée entre les deux modèles mais celle-ci peut être négligée lorsque l'on augmente l'amplitude du stress. Le niveau de courant circulant

dans le PullDown n'est pas lié directement à l'impulsion ESD étant donné que ce dernier sature et reste donc limité. Cependant, s'il part en avalanche, le courant augmente brutalement, et le composant est souvent détruit [131].

Pour une estimation de la robustesse, la tension de claquage des drivers de sortie doit être connue. Des phénomènes de dégradation liés à la conduction d'un MOS par couplage ont été mis en évidence dans la publication de S. Giraldo [131]. Ces informations ne sont pas disponibles dans les modèles IBIS.

4.2.2.2.4 Cartographie par mesure du champ proche : La méthode de scan de champ proche, présentée dans le chapitre 3 sous-section 3.2.6, a été utilisée sur la carte inverseur afin de visualiser la répartition du courant. La Figure 4.14 donne dans un premier temps la répartition du champ magnétique dans le système.

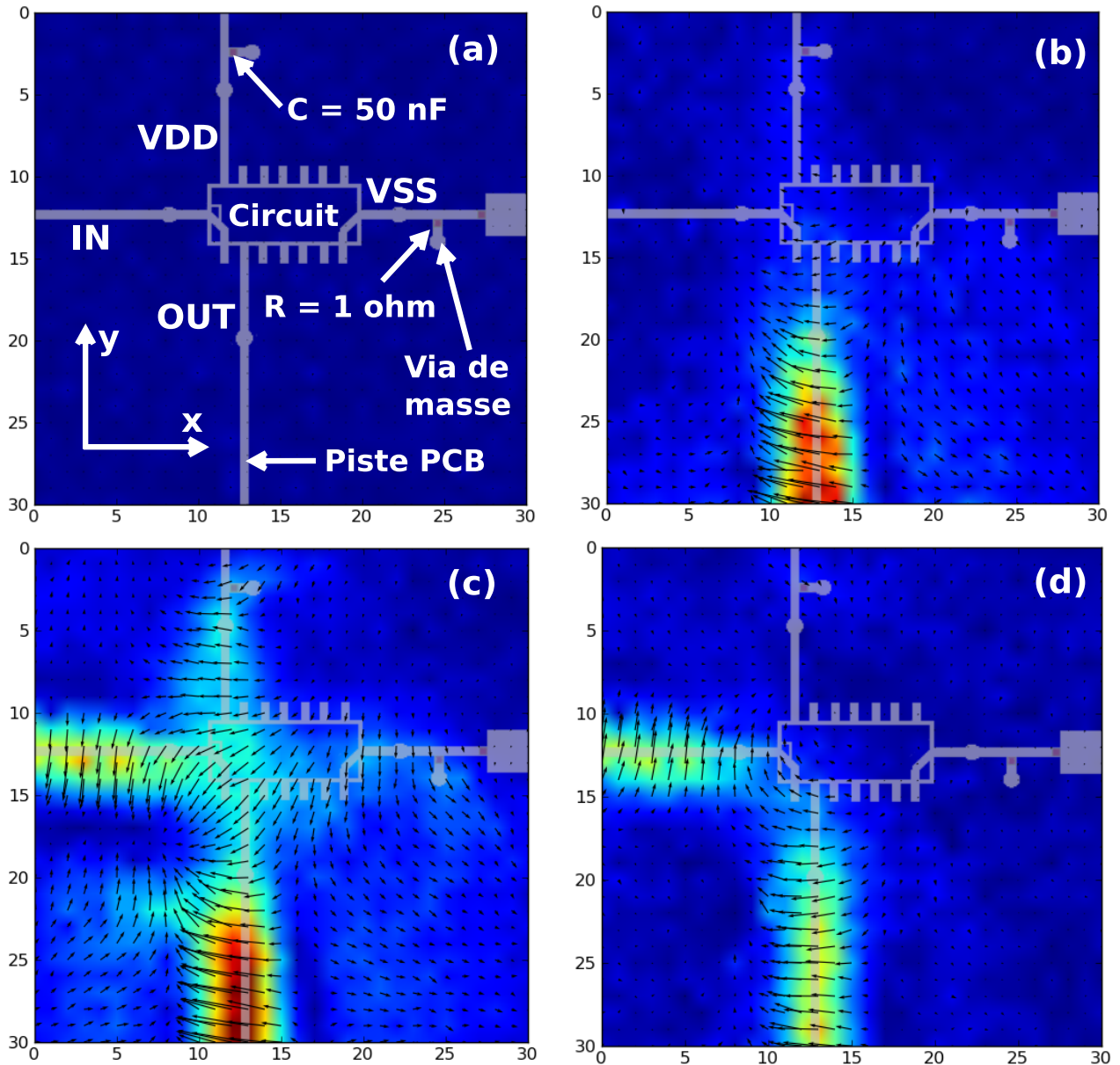


FIGURE 4.14: Cartographie du champ magnétique pendant la transition de l'impulsion TLP de 1A injectée sur la sortie, zone de test $30 \times 30 \text{ mm}^2$.

Le layout de la carte a été superposé aux résultats d'acquisitions. Dans l'acquisition (a), obtenue avant l'envoi de l'impulsion TLP, aucun champ n'est émis. Le champ commence à s'établir dans la piste d'injection (acquisition (b)). La piste située à droite est la piste IN, connectée d'un coté au composant et terminée de l'autre par un circuit ouvert. Aucun courant ne circule dans cette piste. Cependant, il est intéressant de voir qu'un champ

y circule. En observant le sens des flèches sur les deux images (c) et (d), celles-ci sont opposées. Le champ dans cette piste rebondit entre le circuit ouvert et la pin IN du composant et est tantôt positif, tantôt négatif.

La Figure 4.15 montre l'évolution du courant dans le système. Le courant injecté arrive sur la piste OUT (a), puis celui-ci se répartit entre la résistance de 1 ohm et le condensateur de découplage (b) pour enfin être évacué par la masse (c). Sur la troisième image, on peut voir du bruit sur la zone entourée. Ce bruit est en fait lié au retour du courant par le plan de masse qui a lieu entre le via et la masse du connecteur plus bas non visible sur l'image. Cette cartographie permet de valider la répartition du courant comme expliqué précédemment.

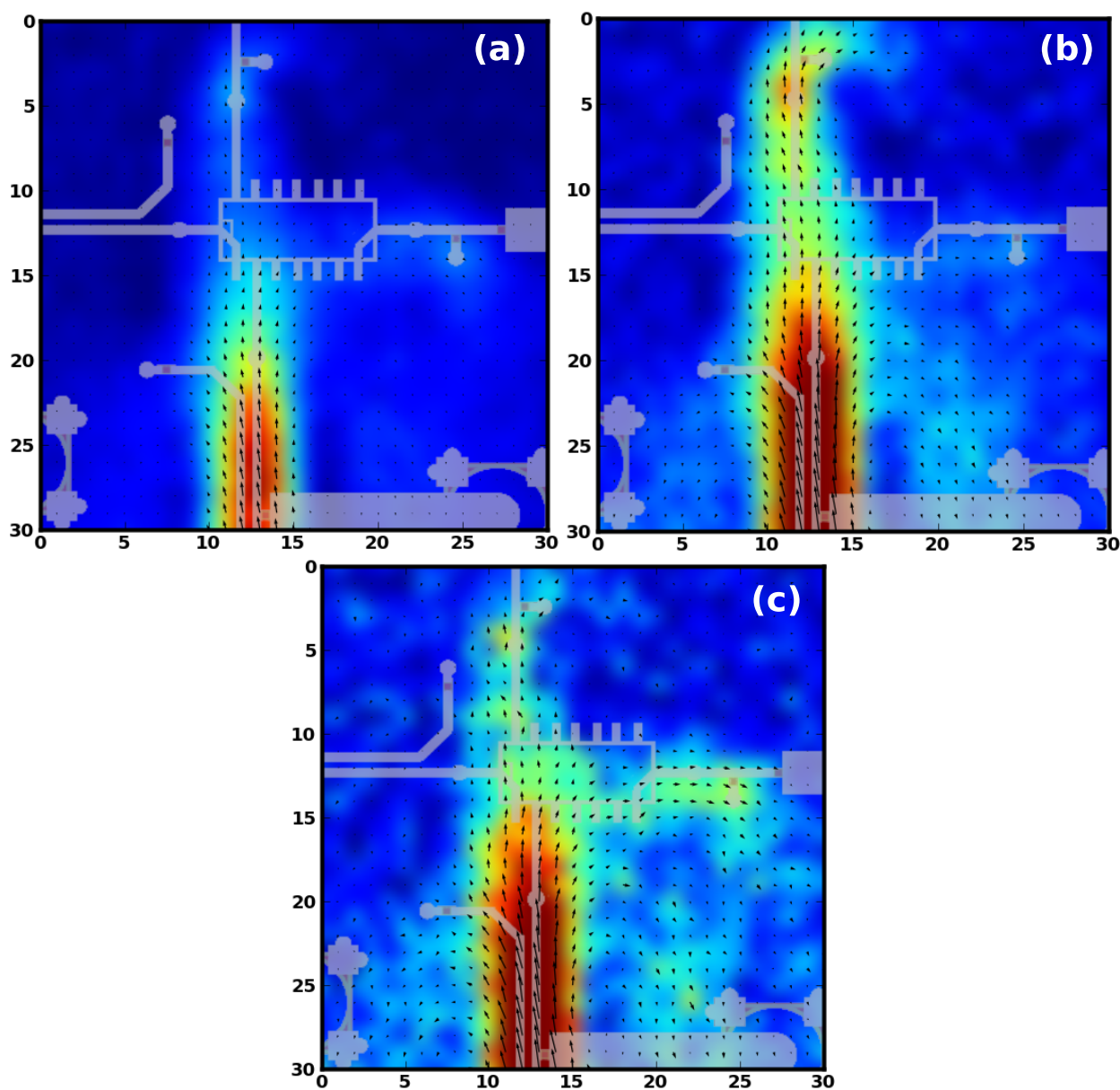


FIGURE 4.15: Cartographie du courant circulant dans le système, zone de test $30 \times 30 \text{ mm}^2$.

4.2.2.2.5 Conclusion de la configuration : Les simulations, corrélées avec les mesures, nous ont permis d'analyser et de comprendre les modes de propagations ainsi que les différents effets complexes qui sont apparus entre les lignes PCB, les effets inductifs des broches de boîtier, et les protections ESD intégrées dans le circuit. Il est important de voir que lorsque le circuit est monté dans le système, la stratégie de protection ne se comporte pas comme attendu. Le chemin du courant n'est pas celui prévu par le réseau de protection du circuit. Les inductances parasites du boîtier, bien que de faibles valeurs, ont une forte influence liée aux fortes transitions des ESD, forçant des chemins de propagation initialement non prévus par la stratégie. Les éléments externes tel que le condensateur de découplage, créent des effets de charge et de décharge, modifiant les niveaux d'énergie et le temps nécessaire à leur évacuation par les protections ESD. Cela met en évidence que la stratégie, à l'origine conçue pour protéger le circuit hors système, ne peut pas être considérée sans tenir compte des éléments ajoutés autour de la puce.

4.2.2.3 Configuration de test n°2

Dans cette configuration, le TLP est connecté entre l'entrée IN et le plan de masse par l'intermédiaire d'un connecteur SMA. Celui-ci est configuré pour envoyer une impulsion d'amplitude 2 A, de largeur 100 ns avec des temps de transition de 1ns. L'impact du condensateur ($C2$) connecté en parallèle de la protection ESD de l'entrée IN (thyristor) est analysé.

4.2.2.3.1 Modèle de simulation L'application de la méthode de modélisation du système développée dans le chapitre 2 nous a permis d'établir le modèle suivant reproduisant la configuration de test n°2. Le modèle du circuit, en gris, est celui présenté Figure 4.3.

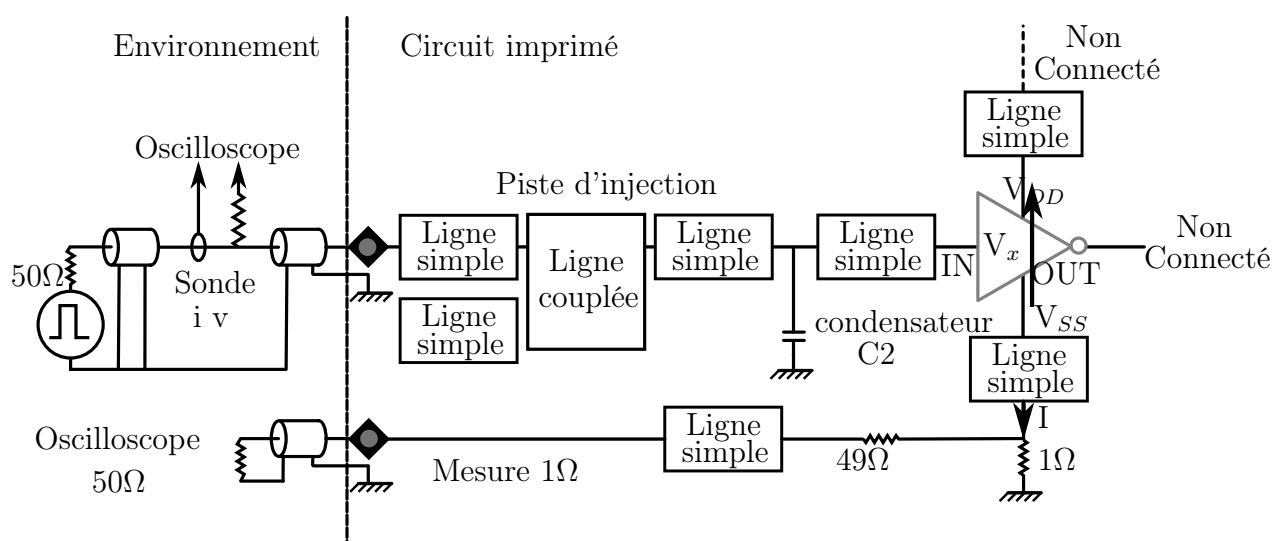


FIGURE 4.16: Modèle du système, intégrant le circuit 74LVC04A, pour la configuration de test n°2.

Le modèle de la protection SCR du composant, comparé à la mesure TLP est reporté Figure 4.17.

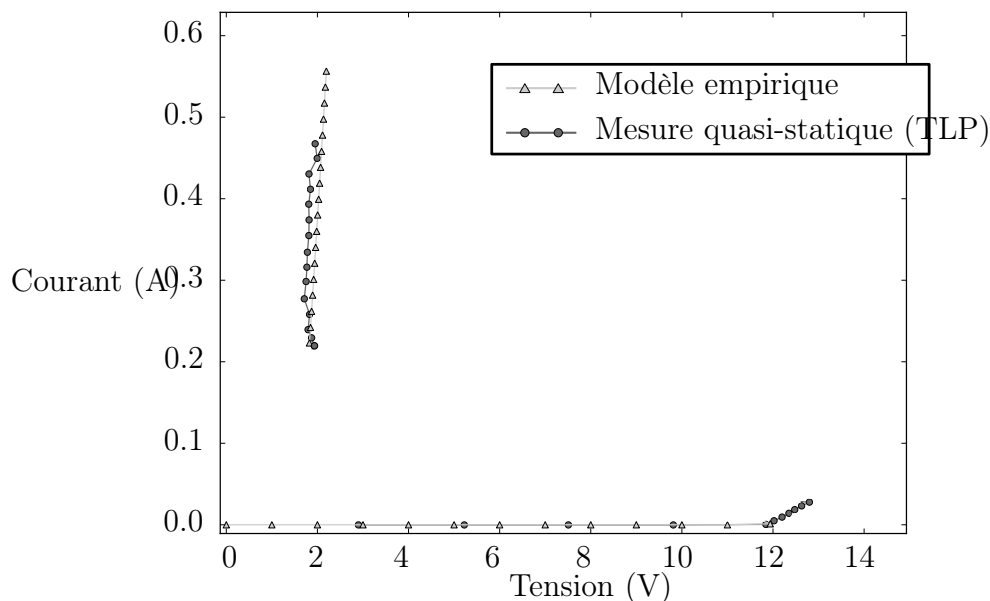


FIGURE 4.17: Comparaison des mesures et simulations TLP de la protection SCR intégrée dans le circuit entre la broche d'entrée et V_{SS} .

4.2.2.3.2 Analyse de la simulation Comme dans le cas précédent, les simulations présentées dans ce paragraphe ont été effectuées dans un premier temps avec les modèles semi-empiriques des protections ESD. Une comparaison avec les modèles comportementaux sera effectuée lors de la comparaison des mesures/simulations.

Les résultats de simulations, lorsque le condensateur $C2$ n'est pas connecté sont donnés Figure 4.18. Le courant I correspond au courant qui circule au travers de la résistance de $1\ \Omega$. V_i est la tension interne aux bornes du thyristor. En raison de la discontinuité entre le générateur $50\ \Omega$ et les lignes $110\ \Omega$, le niveau du courant transmis est d'environ $1,7\ \text{A}$. Comme nous pouvons le voir sur le résultat de simulation, l'ensemble du courant injecté (rectangle) circule dans la résistance $1\ \Omega$. La chute de tension aux bornes du thyristor vaut $3\ \text{V}$. Comme attendu par la stratégie de protection du circuit, le courant passe par le thyristor en inverse.

Lorsque nous ajoutons un condensateur de $6,8\ \text{nF}$ entre l'entrée et le plan de masse, la forme du courant I est modifiée comme le montre le résultat de simulation Figure 4.19. Le condensateur externe impose son potentiel sur l'entrée du circuit suivant la loi des mailles : $V_i = V_{C2} - V_{R1\Omega}$. Initialement, le condensateur est déchargé et aucun courant ne circule dans la résistance de $1\ \Omega$. La tension V_i vaut zéro volt, le thyristor est fermé.

Lorsque le stress survient sur la broche d'entrée, au temps t_0 (Figure 4.19), le courant de décharge est absorbé par le condensateur externe. Le thyristor ne se déclenche pas.

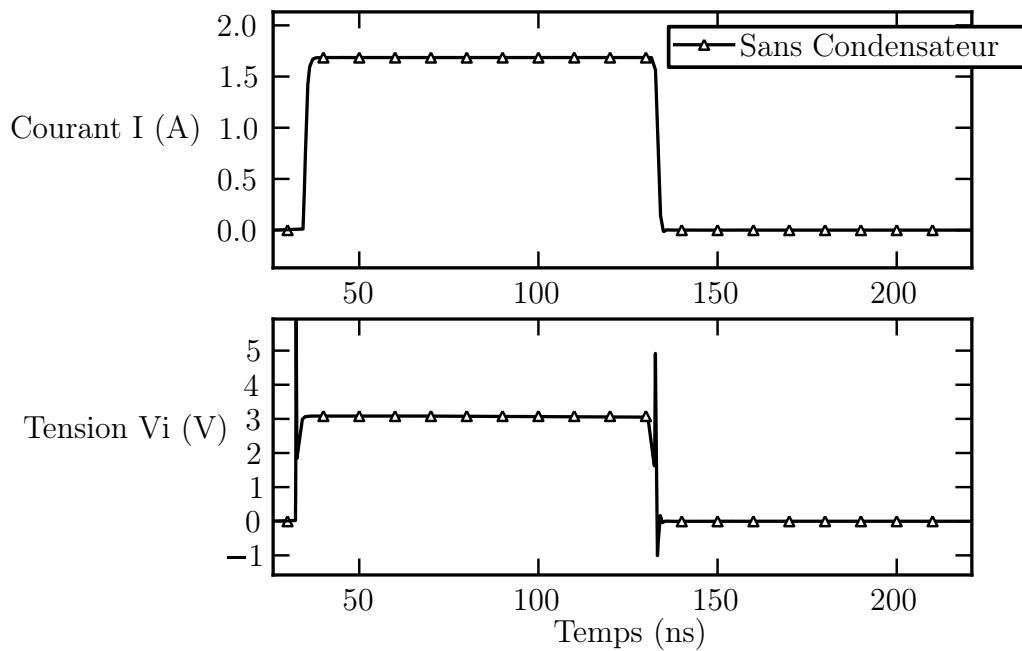


Figure 4.18: Simulations du courant I circulant dans la 1Ω et de la tension V_i aux bornes du Thyristor pour une impulsion TLP de 1,7 A injectée entre l'entrée et le plan de masse, sans condensateur C2.

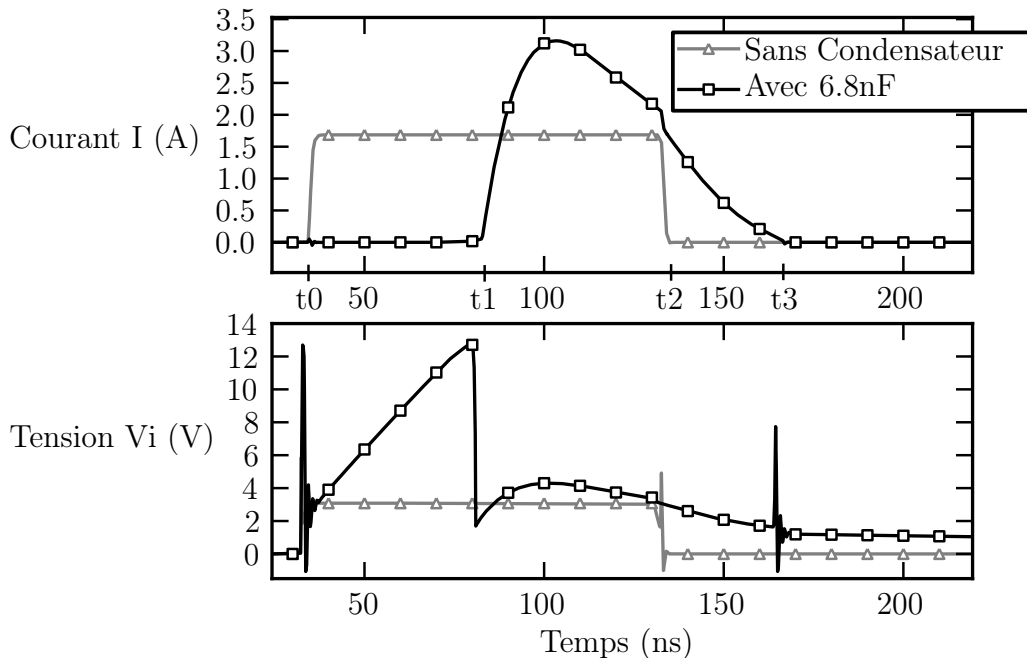


Figure 4.19: Simulations du courant I circulant dans la 1Ω et de la tension V_i aux bornes du Thyristor pour une impulsion TLP de 1,7 A injectée entre l'entrée et le plan de masse, sans et avec un condensateur C2 de 6,8 nF.

Entre t_0 et t_1 , le courant TLP charge le condensateur externe. La tension V_i augmente au fur et à mesure que le condensateur se charge. Lorsque celle-ci atteint la tension de déclenchement du thyristor (environ 13 V), au temps t_1 , celui-ci se déclenche et se replie. La tension à ses bornes chute à 2 V, tension de maintien, et sa résistance devient très faible (de l'ordre de l'ohm). Le thyristor va alors conduire tout le courant injecté par le TLP, plus celui issu du condensateur qui se décharge au travers du thyristor. La Figure 4.20 montre le chemin du courant pendant cette phase (entre t_1 et t_2).

Cet effet de charge et décharge du condensateur, associé au repliement du thyristor crée un pic de courant important comme nous pouvons le voir sur le résultat de simulation Figure 4.19. La différence de tension entre la tension de charge du condensateur (13 V) et la tension aux bornes du thyristor (~ 2 V) est balancée par l'effet inductif de l'inductance parasite de la broche d'entrée permettant le respect de la loi des mailles : $V_{C2} - L_{in} \times \frac{di}{dt} - V_i - V_{R1\Omega} = 0$.

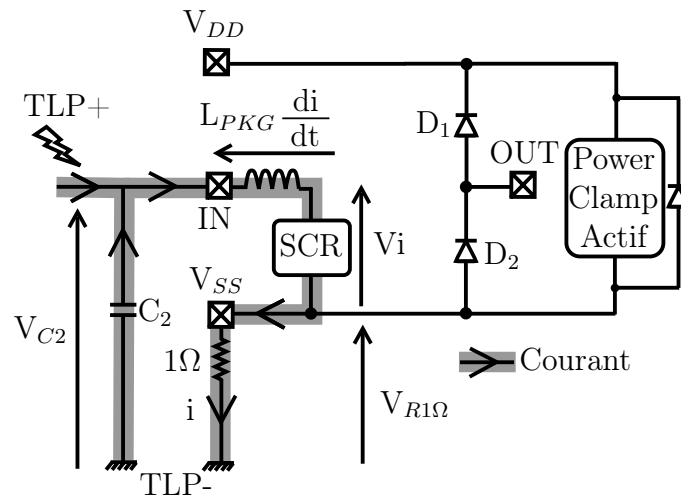


Figure 4.20: Schéma simplifié montrant le chemin du courant dans le circuit entre les temps t_1 et t_2 .

Lorsque l'impulsion TLP se termine, au temps t_2 , le flux du courant de décharge s'arrête créant une variation abrupte sur les résultats de simulation. La tension de charge du condensateur est toujours supérieure à la tension de maintien du thyristor. Celui-ci continue de se décharger au travers du thyristor.

Au temps $t=t_3$, le courant devient inférieur au courant de maintien, le thyristor se coupe. Après cela, plus aucun courant ne circule dans le circuit et le condensateur reste chargé à environ 2 V.

Ces effets de charge et décharge du condensateur externe durant une décharge ESD sur le déclenchement des protections ESD ont été mis en évidence par Patrice Besse dans [5] pour les applications automobiles. Le condensateur connecté en parallèle est utilisé comme filtre EMI (Electromagnetic Interference). Le même effet a aussi été constaté pour un condensateur intégré sur la puce et un PowerClamp dans [132].

4.2.2.3.3 Comparaison des mesures et simulations : Les résultats de simulation superposés aux mesures sont reportés Figure 4.21. Sans condensateur, la simulation corrèle parfaitement avec la mesure. Par contre avec un condensateur de 6,8 nF, une différence d'environ 20% peut être observée entre la simulation et la mesure.

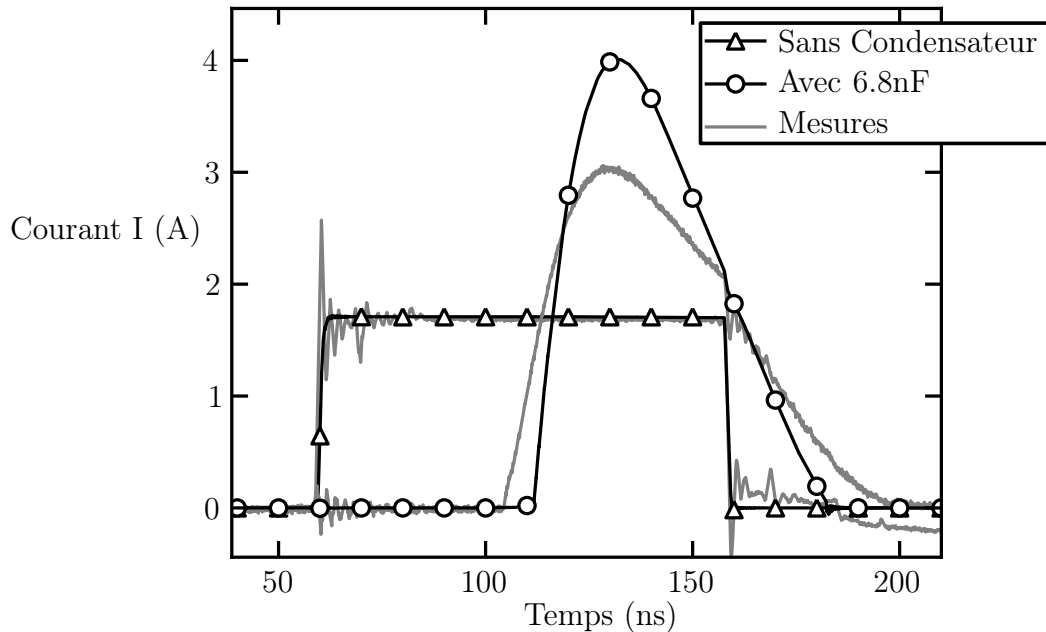


Figure 4.21: Comparaison des mesures et simulations du courant obtenue avec la méthode $1\ \Omega$, pour une impulsion TLP de 1,7 A injectée entre l'entrée et le plan de masse, avec et sans condensateur C2.

Cette différence est principalement liée à la constante de décharge du condensateur. La simulation, dans un premier temps, a été effectuée sans tenir compte des modèles fréquentiels des composants passifs (voir sous-section 2.4.3 chapitre 2) tel que le condensateur C2. Afin d'améliorer la corrélation, nous avons inséré un modèle fréquentiel du condensateur C2 tenant compte des éléments parasites inductif et résistif. La comparaison de la mesure et de la simulation ajustée est donnée Figure 4.22. Nous obtenons désormais une bonne corrélation.

Une autre simulation a été réalisée en utilisant uniquement les modèles purement comportementaux. Cette simulation est ajoutée Figure 4.22. Nous obtenons exactement les mêmes résultats que pour des modèles semi-empiriques.

Pour valider l'aspect dynamique du système, des mesures et simulations utilisant la méthode TDR/TLP ont été réalisées. Les formes d'ondes du courant incident et réfléchi mesurées avec les sondes externes aux systèmes sont données Figure 4.23. Ces résultats ont été réalisés avec et sans condensateur externe. La première partie et la dernière partie correspondent respectivement au courant incident et réfléchi. Le centre correspond au courant transmis.

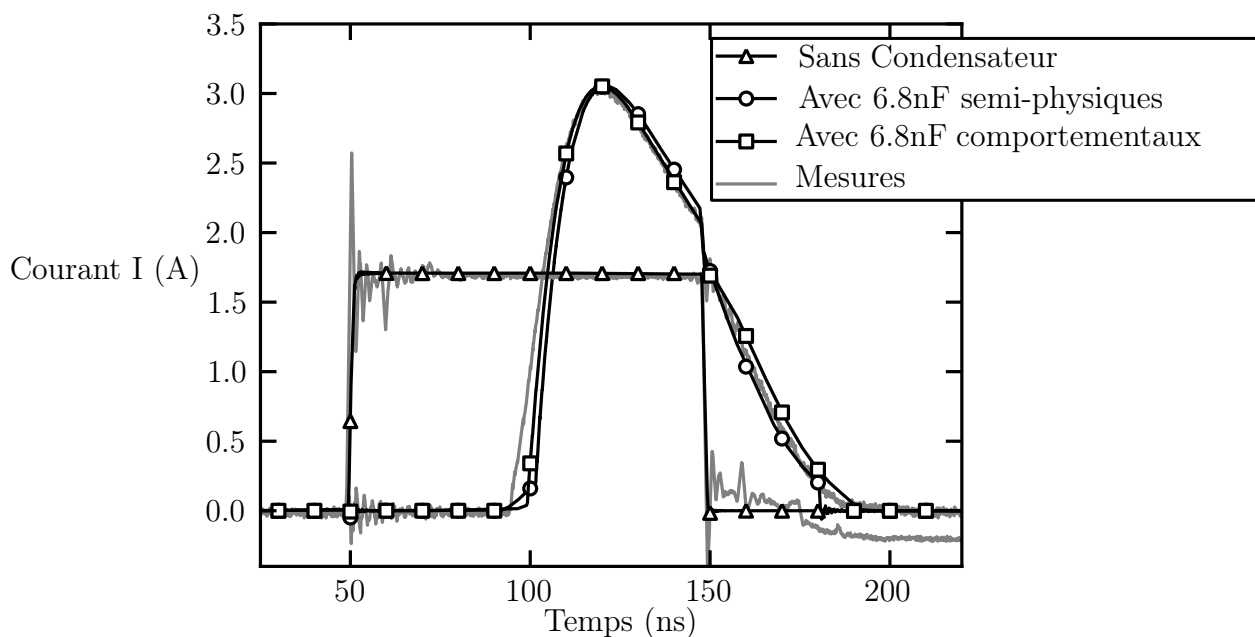


Figure 4.22: Ajustement de la simulation pour les modèles semi-empiriques et comportementaux superposés aux mesures du courant pour une impulsion TLP de 1,7 A injectée entre l'entrée et le plan de masse, sans et avec condensateur C2.

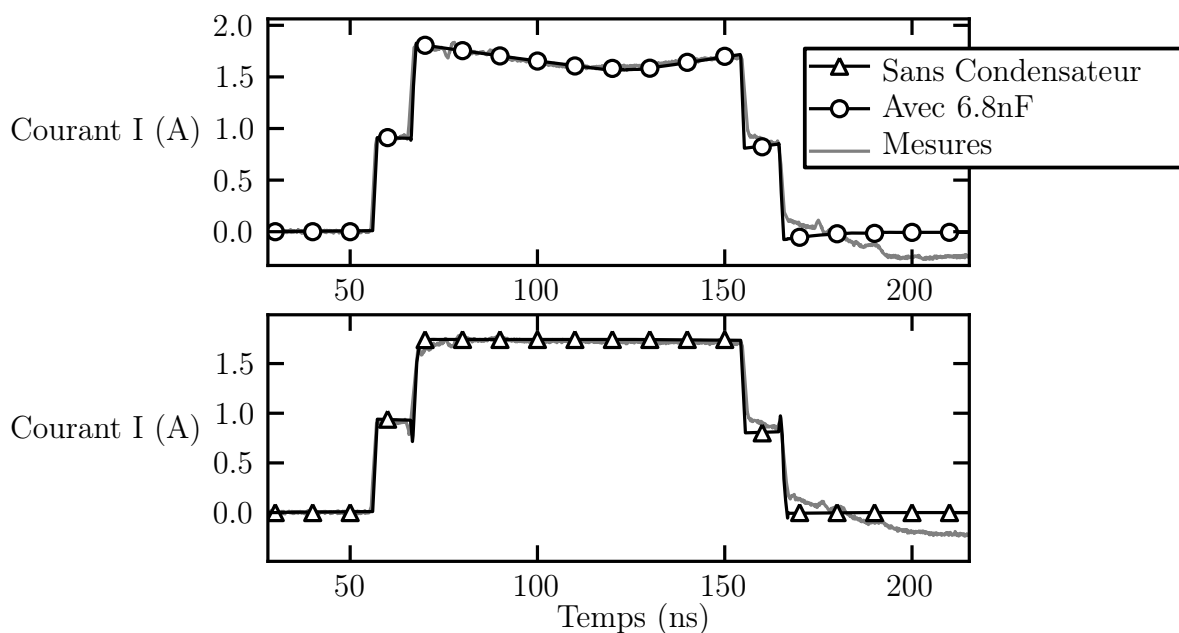


Figure 4.23: Comparaison des mesures et simulations du courant obtenue avec la méthode TDR/TLP, pour une impulsion TLP de 1,7 A injectée entre l'entrée et le plan de masse, avec et sans condensateur C2.

Sans condensateur externe, le point de polarisation du thyristor ne varie pas durant l'impulsion, le courant est constant. Lorsque le condensateur de 6,8 nF est connecté, l'impédance vue par le générateur TLP change durant l'impulsion due aux effets de charge et de décharge du condensateur et à la variation du point de polarisation du thyristor. Il

en résulte que le courant transmis n'est pas constant comme nous pouvons le voir sur le résultat Figure 4.23. Dans les deux cas, la simulation corrèle avec la mesure indiquant la bonne validité des modèles vis à vis de la réponse dynamique du système.

4.2.2.4 Conclusion de la configuration

Les effets de charge et de décharge du condensateur associés à des structures à repliement telles que le thyristor peuvent créer de larges pics de courant à l'intérieur du circuit dont le niveau est supérieur au niveau injecté. Cela montre encore une fois qu'il est nécessaire de tenir compte des éléments ajoutés autour de la puce pour considérer la stratégie de protection lorsque le circuit est en condition système.

L'ajustement pour obtenir une bonne corrélation montre qu'il est nécessaire d'utiliser des modèles fréquentiels de certains éléments passifs. Dans le cas du condensateur connecté en externe, les effets parasites inductifs (3 nH) et résistifs (500 mΩ), devant les fortes transitions et les fort niveaux de courant ESD, ont une forte influence sur l'overshoot observé en simulation.

4.3 Étude de la susceptibilité d'une carte en fonctionnement

4.3.1 Présentation du cas d'étude

Un deuxième cas d'étude a été réalisé pour étudier l'impact d'une décharge électrostatique sur une carte en fonctionnement. Nous souhaitons reproduire par la simulation le fonctionnement du système et prédire les défaillances de susceptibilité lorsque celui ci est soumis à des décharges. Le système est construit autour d'un circuit simple, cette fois ci une bascule D. Cette section donne des informations sur le circuit et détaille la configuration de test.

4.3.1.1 Description du circuit

L'étude est basée sur le circuit logique SN74LVC74A du constructeur Texas Instrument, en technologie CMOS 0,25 μm et en boîtier SOIC 14. Le circuit contient deux bascules D Flip Flop avec entrée de "PRESET" et "CLEAR". Le schéma de câblage est donné Figure 4.24. Pour cette étude, nous avons utilisé uniquement le circuit n°1 (broche 1 à 6), ainsi que les broches d'alimentation (7 et 14).

Dans le cas d'une étude polarisée, il est essentiel de porter attention aux caractérisations électriques du circuit, plus particulièrement aux niveaux compatibles. Les niveaux compatibles typiques du circuit pour une polarisation de 2,5 V, extrait de la documentation

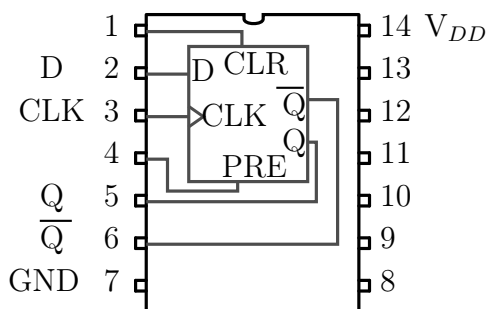


FIGURE 4.24: Schéma de câblage de la bascule D Flip Flop SN74LVC74A.

constructeur, sont illustrés Figure 4.25.

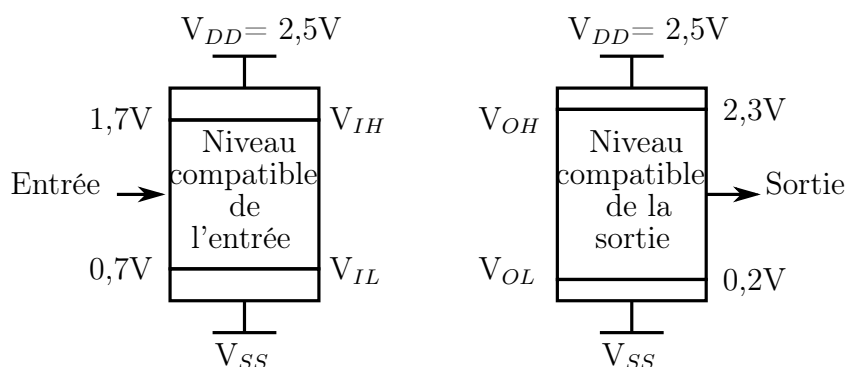


FIGURE 4.25: Niveaux compatibles typiques de la bascule D Flip Flop pour une polarisation de 2,5 V.

Il est à noter que ces valeurs sont des valeurs typiques. Dans le cas des technologies CMOS, les étages d'entrées sont constitués d'un inverseur CMOS. Les tensions compatibles vont être liées aux tensions de saturations des transistors P_{MOS} et N_{MOS} constituant cet étage. Celles-ci vont donc être proportionnelles et vont varier en fonction de la polarisation (Tension $V_{DD} - V_{SS}$). Nous verrons que ces niveaux compatibles, notamment les seuils d'entrée V_{IH} et V_{IL} , ont une forte influence sur la susceptibilité du circuit.

4.3.1.2 Configuration de test

Le schéma simplifié de la configuration de test est donné Figure 4.26. Un générateur de fonction, configuré pour générer un signal carré de quelque MHz, est connecté sur l'entrée CLK pour synchroniser la bascule. La bascule est configurée en diviseur de fréquence : La sortie \bar{Q} est reliée à l'entrée D . A chaque front montant sur l'entrée CLK , la sortie Q change d'état, la fréquence du signal d'entrée est divisée par deux. Les entrées de PRESET et CLEAR ne sont pas utilisées dans notre étude. Actif à l'état bas, elles sont reliées à V_{DD} pour ne pas avoir d'influence sur le fonctionnement. Un régulateur de tension LDO , référence 25DBVTG4 du constructeur Texas instrument, polarise le circuit à 2,5 V. Le courant maximum de sortie du régulateur est de seulement 150 mA. Cela permet

de prévenir les éventuels problèmes de “Latch up” [35] qui peuvent survenir durant les tests ESD. En effet, si un problème de “Latch up” survient, court-circuitant les broches d'alimentation du circuit, un fort courant sera débité sur le régulateur et une chute de la tension sur celui-ci sera visible. Un réseau de découplage constitué d'une inductance de 5,6 μH et d'une diode est inséré entre le régulateur et le circuit pour permettre l'utilisation de la méthode d'injection DPI. Un condensateur de découplage est connecté entre la pin V_{DD} et le plan de masse.

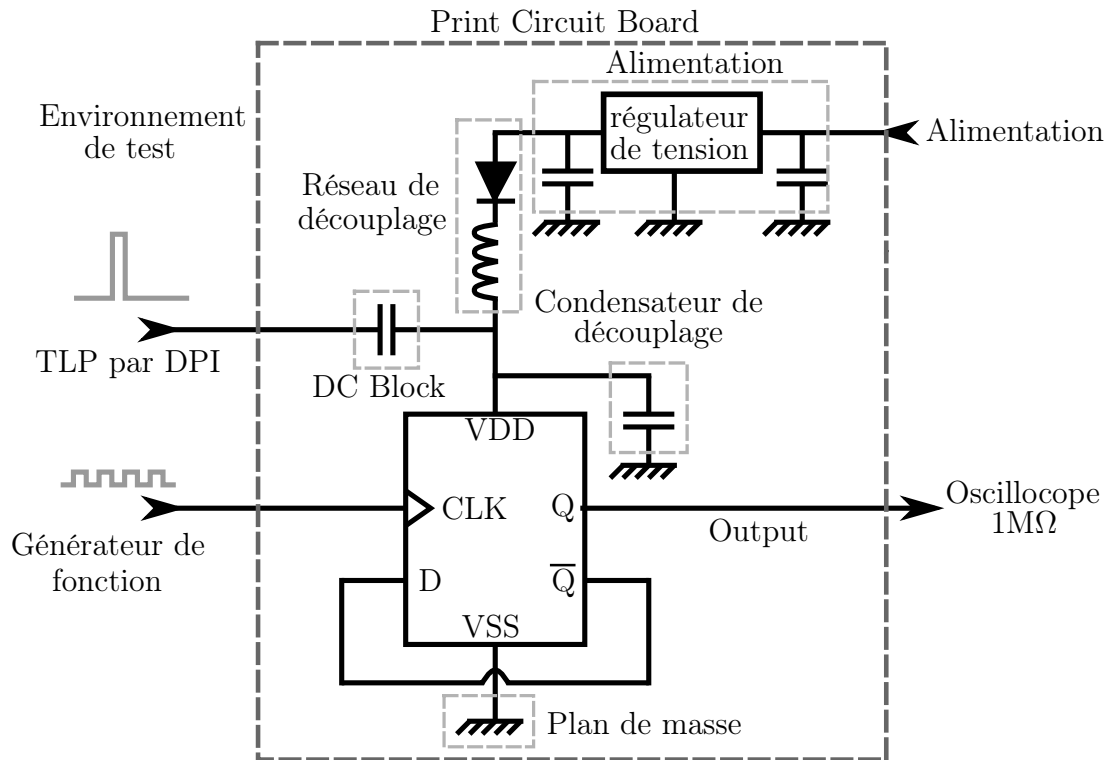


FIGURE 4.26: Schéma simplifié du cas d'étude.

Pour évaluer la susceptibilité, une impulsion TLP est injectée directement sur la piste V_{DD} du circuit en utilisant la méthode DPI décrite dans le chapitre 3 sous-sous-section 3.3.2.1. Le niveau de susceptibilité de la sortie Q est visualisé avec un oscilloscope ayant une impédance de 1 $\text{M}\Omega$. L'utilisation de l'oscilloscope en mode 1 $\text{M}\Omega$ permet d'éviter que la sortie de la bascule D ne débite du courant dans celui-ci. L'oscilloscope est déclenché sur le front montant de l'impulsion TLP à l'aide de la sonde de tension externe. L'impulsion TLP n'est pas synchronisée avec le générateur de fonction, celle-ci est envoyée de manière aléatoire.

Une carte PCB a été spécialement conçue pour cette étude. Le layout ainsi qu'une photographie de la carte de test sont donnés Figure 4.27. Le layout est réalisé avec le logiciel libre Kicad [133]. La carte intègre tous les éléments décrits précédemment. Celle-ci est réalisée sur un substrat FR4, d'épaisseur 1,6 mm en double couche avec des trous métallisés. Les pistes en cuivre d'épaisseur 0,35 μm ont toutes une largeur de 0,5 mm

pour une impédance de 110 ohm ou 2,8 mm pour une impédance de 50 ohm (voir chapitre 2 sous-section 2.4.1.1). Les connecteurs utilisés pour relier les appareils de mesures et d'injections sont des SMA. Tous les composants électroniques sur la carte sont des CMS (Composants montés en Surface). Un motif de calibration a été ajouté au layout, permettant les éventuels calibrage pour la technique de mesure par les sondes en champ proche.

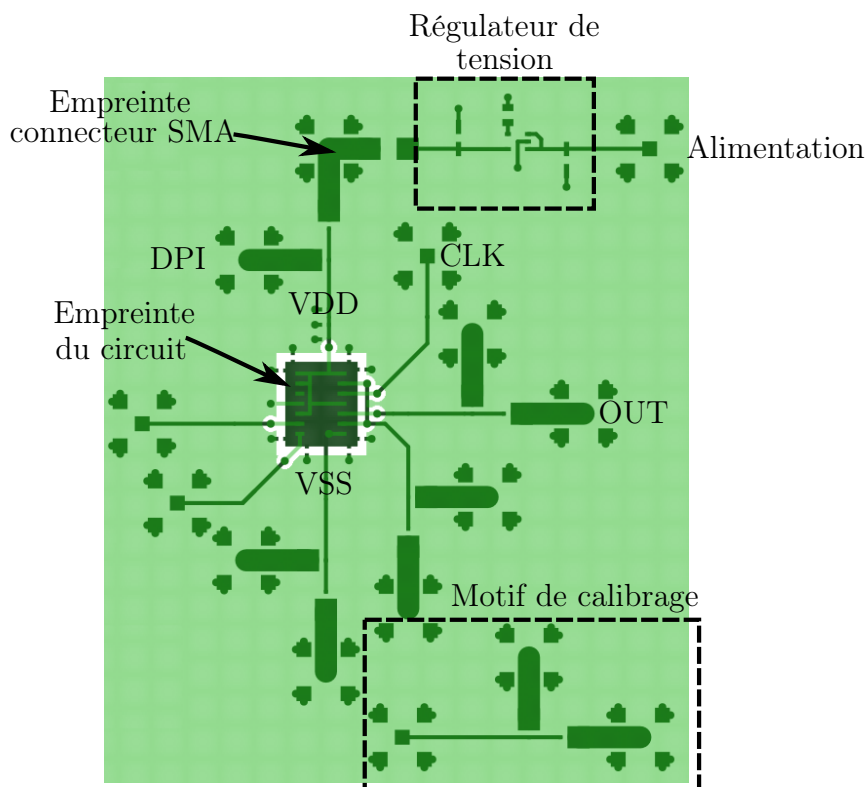


FIGURE 4.27: Layout de la carte dédiée aux tests sur la bascule D.

Dans la section suivante nous allons présenter les résultats décomposés en deux étapes :

- Dans un premier temps, nous avons effectué une injection de 75 V TLP sur la piste d'alimentation. L'objectif est de comprendre, à partir de l'analyse des mesures corrélées aux simulations, le mécanisme de génération des fautes révélées lors des tests.
- Dans un deuxième temps, nous avons effectué une investigation sur la probabilité de générer des fautes en fonction des paramètres suivants : l'amplitude de l'impulsion TLP envoyée sur V_{DD} , la valeur du condensateur de découplage externe et la fréquence de fonctionnement du système. Dans tous les cas, pour mesurer le pourcentage d'erreur, l'impulsion TLP est répétée 100 fois et le nombre d'erreurs générées est compté. Une première approximation d'une loi de probabilité a alors été établie.

4.3.2 Analyse des résultats de simulation et de mesure

Le schéma simplifié du modèle du système utilisé pour effectuer les simulations de cette section est donné Figure 4.28. Il comprend l'environnement de test (Générateur TLP + câble + sonde), le PCB (ligne LC + composant passifs) et le circuit intégré (modèle IBIS + protections ESD).

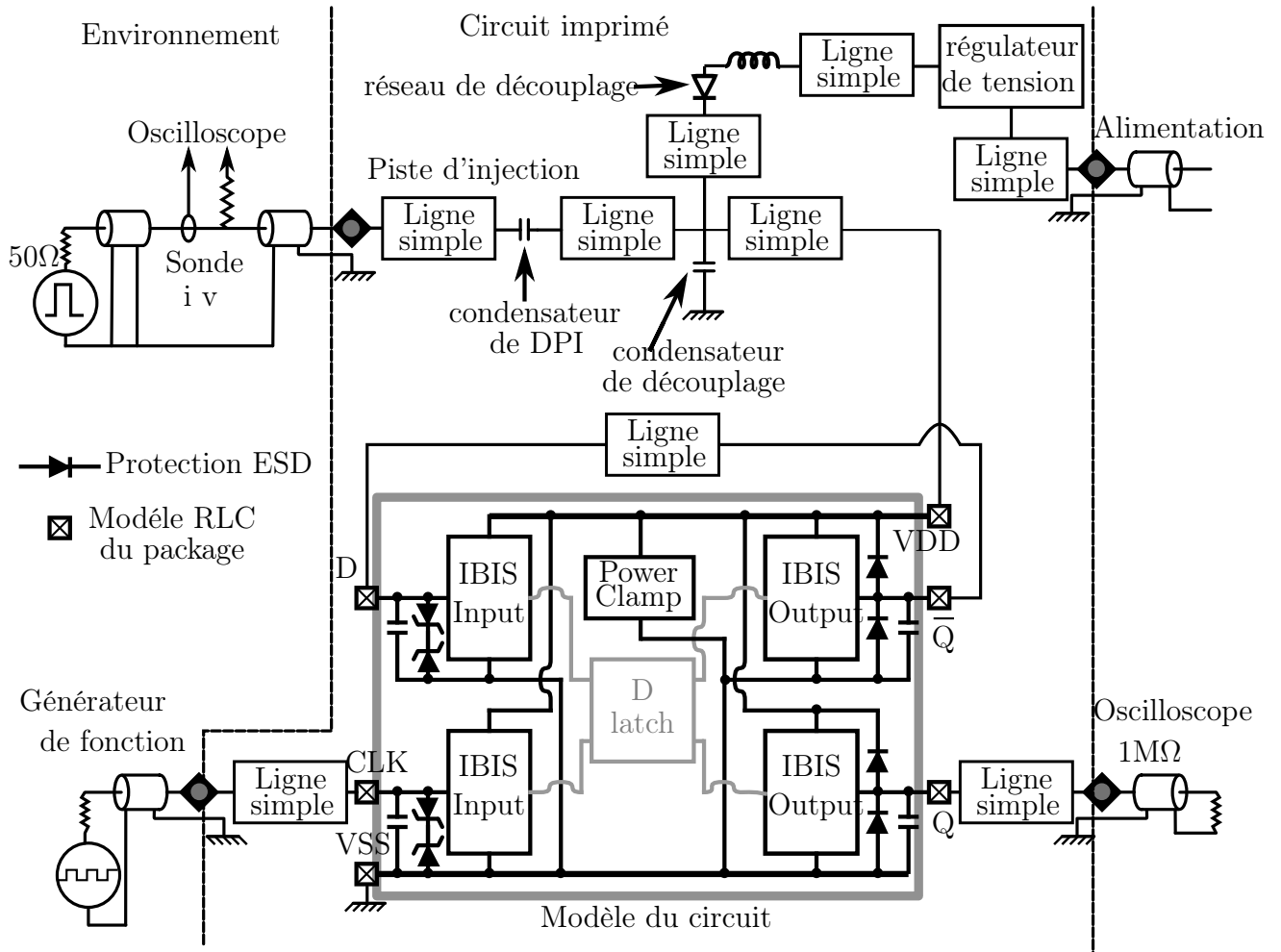


FIGURE 4.28: Modèle du système, intégrant le circuit 74LVC74A, permettant de simuler le fonctionnement du système soumis à une impulsion TLP par DPI.

4.3.2.1 Reproduction des défaillances

Comme décrit dans les papiers [123, 134], quelque soit l'intensité de l'impulsion ESD envoyée sur la piste d'alimentation V_{DD} , la sortie du circuit est perturbée. Ainsi, pour analyser les erreurs générées, il est nécessaire de définir un critère de défaillance. Pour ce cas d'étude, nous avons choisi de manière arbitraire de prendre la perte d'un front d'horloge (du signal d'entrée CLK) comme critère de défaillance.

La comparaison des mesures et simulations du système soumis à une impulsion de

75 V TLP, avec une fréquence d'horloge sur l'entrée de 2 MHz, et un condensateur de découplage de 50 nF est donnée Figure 4.29. La courbe du haut est le signal d'entrée. Comme l'impulsion TLP est envoyée de manière aléatoire, nous avons reporté sur cette figure le signal de sortie observé et simulé dans deux cas différents constatés lors de nos expérimentations : lorsqu'il n'y a pas de perte de front d'horloge, cas (A), et lorsqu'il y a une perte de un front d'horloge, cas (B).

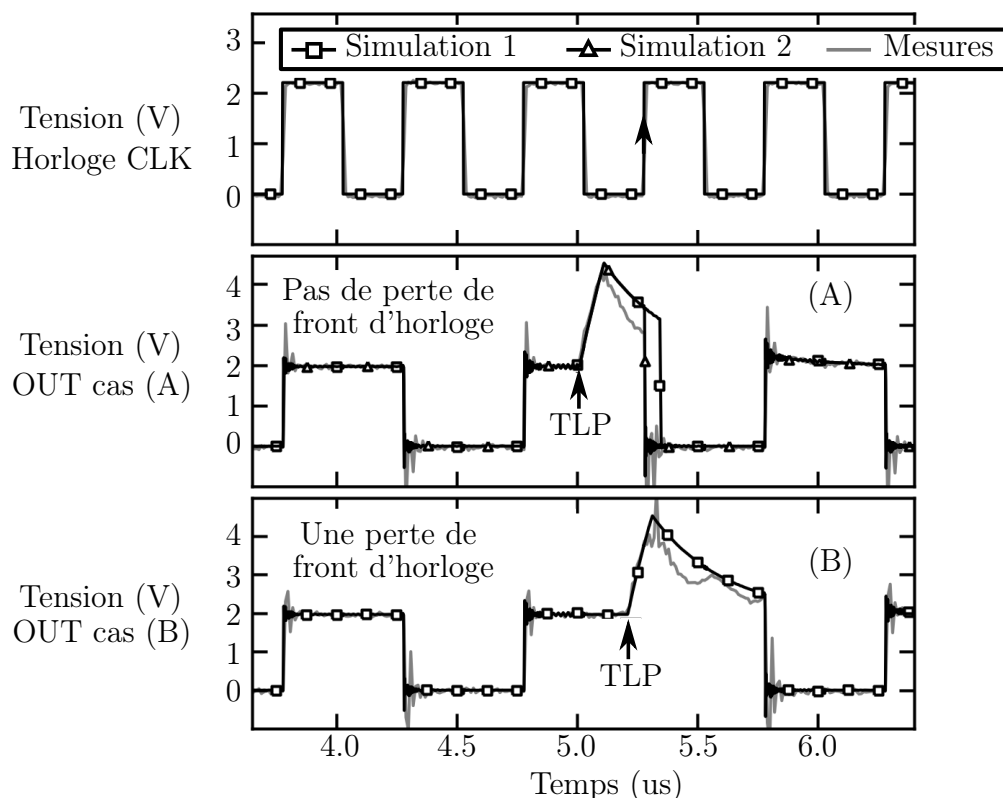


FIGURE 4.29: Comparaison des mesures et simulations de la tension de sortie obtenue dans deux cas : pas de perte de front d'horloge (A) et une perte de front d'horloge (B), pour une fréquence d'horloge de 2 MHz, un condensateur de découplage de 50 nF et une injection TLP par DPI de 75V survenant pendant que la sortie est à l'état haut.

Dans la configuration (A), la perturbation TLP survient au temps $t = 5 \mu\text{s}$, loin du front montant actif du signal d'horloge, lorsque la sortie est à l'état haut. La sortie est perturbée et celle-ci varie de 2 à 4 V. Cependant, il n'y a aucune perte de front d'horloge. Selon le critère de défaillance choisi, cette configuration n'est pas considérée comme défaillante.

Dans la configuration (B), la perturbation TLP survient au temps $t = 5,2 \mu\text{s}$, proche du front montant actif du signal d'horloge, là encore, lorsque la sortie est à l'état haut. La sortie est perturbée et celle-ci varie de 2 à 4 V. Le front montant actif du signal d'entrée, à $t = 5,25 \mu\text{s}$, n'est pas pris en compte par la bascule D. La sortie ne bascule pas vers l'état logique bas. Une période du signal d'entrée est perdue. Une erreur survient en accord avec le critère de défaillance choisi.

4.3.2.1.1 Mécanisme à l'origine de la défaillance : Le mécanisme de défaillance est principalement lié aux niveaux compatibles de l'étage d'entrée. La figure Figure 4.30 donne le schéma simplifié du système (a) et un chronogramme (b) servant de support à l'explication. Durant l'impulsion TLP, le courant de décharge I_{TLP} charge le condensateur de découplage C . La tension sur le bus V_{DD} va croître au fur et à mesure que le condensateur se charge. Après l'impulsion TLP, le condensateur C se décharge, la tension V_{DD} décroît. Pendant le phénomène de charge et décharge, la tension V_{IH} va varier en suivant V_{DD} . Une tension critique (V_{crit}) est alors définie lorsque la tension V_{IH} est plus grande que le niveau de la tension sur l'entrée. Ce niveau permet de mettre en évidence la zone critique illustrée sur le chronogramme Figure 4.30(b). Si un front actif survient dans cette zone, le niveau V_{IH} étant plus grand que le niveau de l'entrée, celui-ci n'est pas pris en compte par la bascule D .

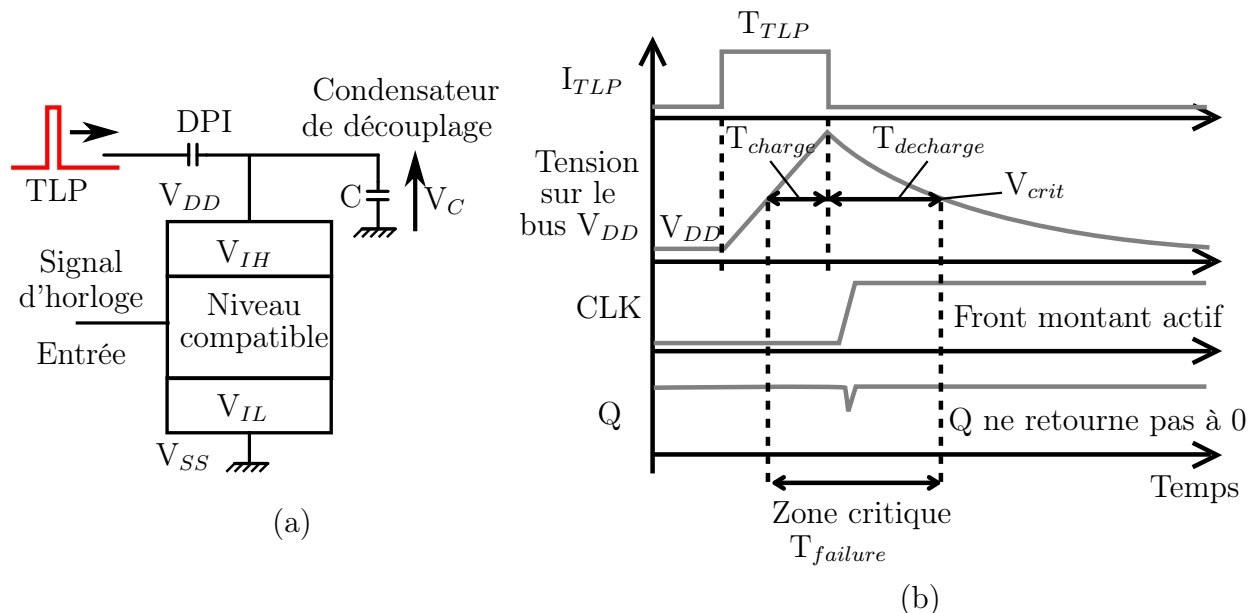


FIGURE 4.30: schéma simplifié du système (a) et chronogrammes montrant le mécanisme à l'origine de la défaillance (b).

4.3.2.1.2 Autre cas de défaillances : Un autre cas de défaillance a été constaté lors des expérimentations. La simulation corrélée à la mesure de ce cas est donnée Figure 4.31. La perturbation TLP survient au temps $t = 5,75 \mu s$, proche du front montant actif du signal d'horloge et lorsque la sortie est à l'état bas. Le modèle de simulation n'est pas capable de reproduire le bruit observé sur la mesure. Par contre la perte du front d'horloge, considérée comme une défaillance selon notre critère, est reproduite par la simulation. Après analyse de la simulation, le mécanisme de génération de cette erreur est exactement le même que décrit dans le paragraphe précédent.

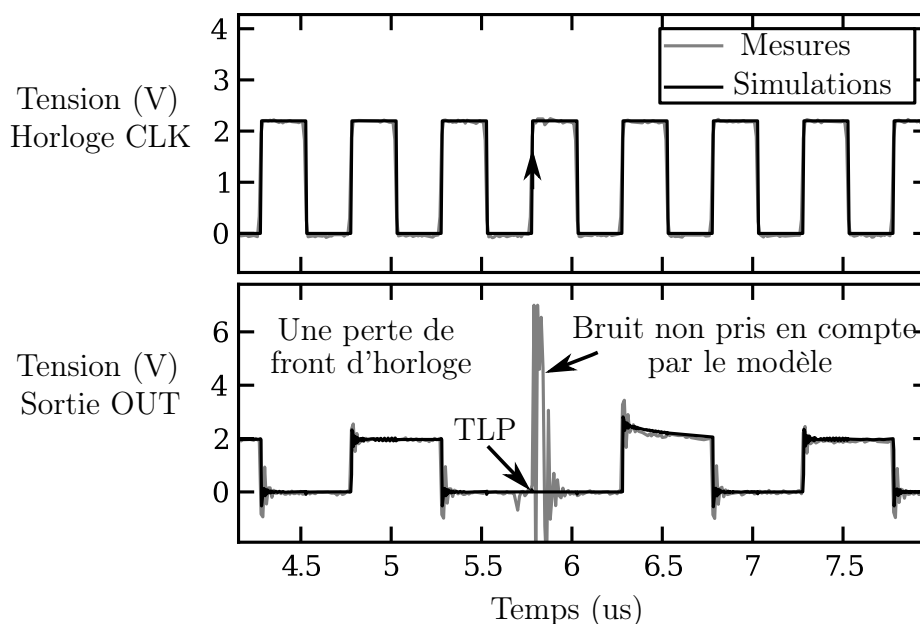


FIGURE 4.31: Comparaison des mesures et simulations de la tension de sortie obtenue pour une fréquence d'horloge de 2 MHz, un condensateur de découplage de 50 nF et une injection TLP par DPI de 75V survenant pendant que la sortie est à l'état bas.

4.3.2.1.3 Influence des protections ESD sur le mécanisme de génération des erreurs :

Le mécanisme précédemment décrit semble tout à fait classique d'un point de vue de l'intégrité de signal, et ne fait pas intervenir les protections ESD. Nous avons effectué des simulations permettant d'étudier l'impact du PowerClamp sur le mécanisme de génération de fautes. Nous avons ajouté au schéma simplifié précédent le PowerClamp connecté entre les broches V_{DD} et V_{SS} ainsi que la représentation de sa caractéristique idéale. Le nouveau schéma est donné Figure 4.32 (a). La Figure 4.32 (b) donne le résultat de simulation du courant I circulant dans le PowerClamp et la tension V aux bornes de celui-ci, pour une injection TLP de 400V. La simulation est effectuée dans deux cas : la première simulation prend en compte le PowerClamp et la seconde est effectuée sans celui-ci.

Durant la décharge, le courant de décharge I_{TLP} charge le condensateur externe de découplage C . La tension V_{DD} augmente au fur et à mesure que le condensateur se charge. Lorsque la tension V_{DD} atteint la tension de déclenchement du PowerClamp, à savoir V_{t1} (Figure 4.32), celui-ci se déclenche. Une partie du courant va alors circuler au travers de ce dernier, ralentissant la charge du condensateur. Le PowerClamp va ainsi absorber une grande partie du courant injecté, jusqu'à 4,5A d'après le résultat de simulation. La tension maximum atteinte en interne est limitée et passe de 16,5V (sans le PC) à 11,6V (avec le PC).

Dans l'étude qui va suivre nous verrons que cet effet a un effet sur la probabilité de générer des erreurs.

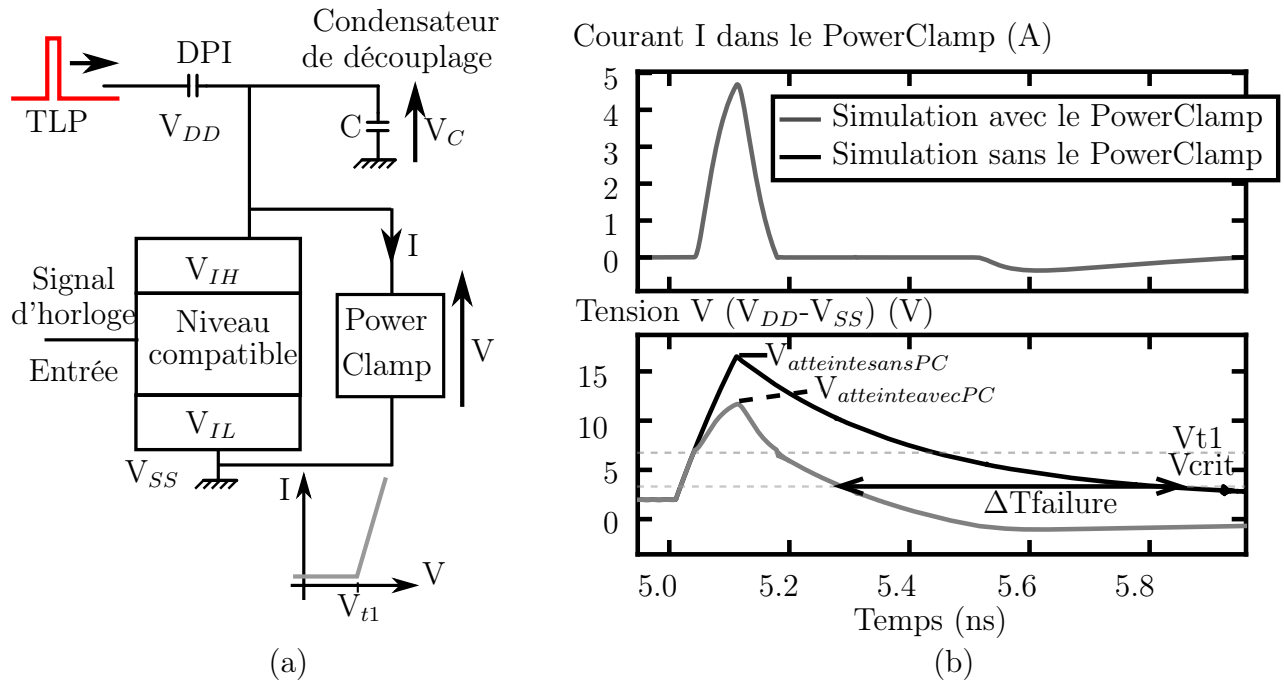


FIGURE 4.32: schéma simplifié du système incorporant le PowerClamp (a) et résultat de simulation d'une injection TLP par DPI de 400V, 8A (b).

4.3.2.2 Investigation de la probabilité de générer des erreurs

La mesure de la probabilité de générer une défaillance a été effectuée en fonction de la valeur du condensateur de découplage (50 nF ou 6,8 nF), de la fréquence de fonctionnement de la bascule D (2, 5 et 10 MHz) et de l'amplitude de l'impulsion TLP envoyée (de 10 V à 200 V). Un banc de test automatique a été développé permettant de répéter l'impulsion envoyée et d'enregistrer à chaque fois les courbes. L'impulsion est répétée, et le nombre de défaillances où survient une perte de front d'horloge est comptabilisé permettant de déterminer un pourcentage de génération d'erreur comme reporté dans la Figure 4.33. Comme nous pouvions nous y attendre, dans tous les cas la probabilité de générer une erreur augmente lorsque l'amplitude du TLP augmente jusqu'à atteindre 100% d'erreur.

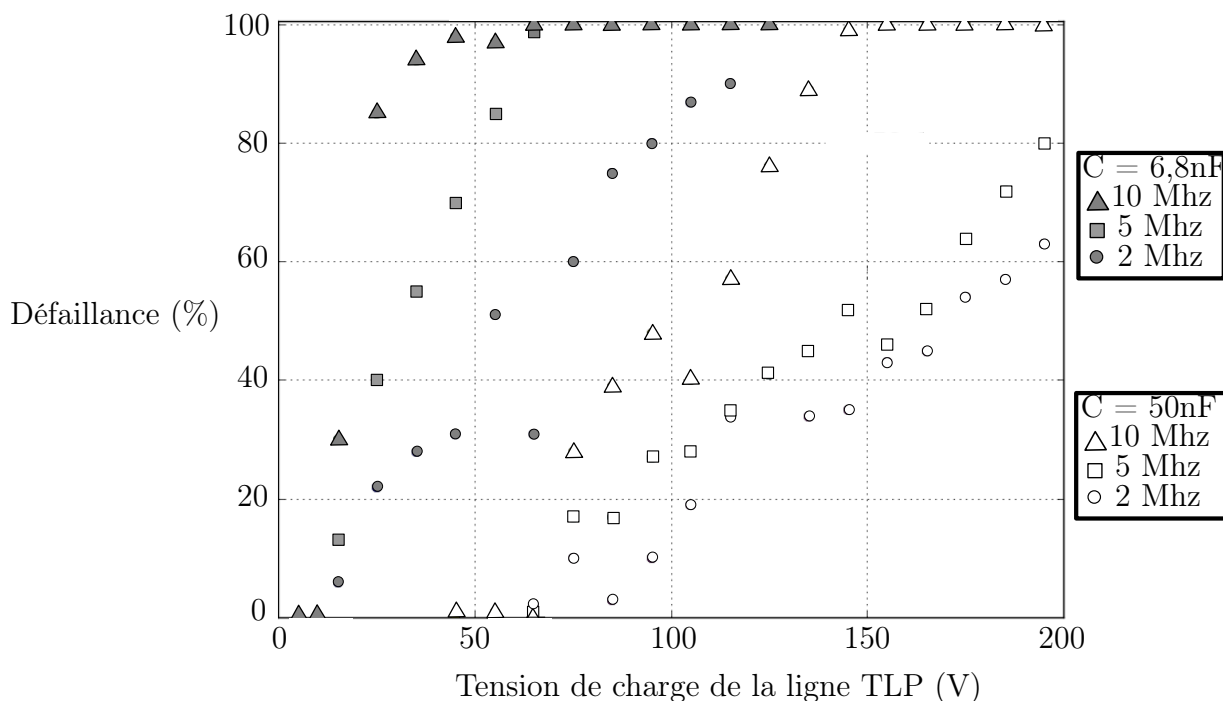


FIGURE 4.33: Évolution de la probabilité de défaillance en fonction de la valeur du condensateur de découplage, de la fréquence de fonctionnement et de l'amplitude de l'impulsion.

4.3.2.2.1 Influence de la fréquence de fonctionnement : Lorsque la fréquence de fonctionnement du système augmente, la probabilité pour qu'un front montant actif du signal d'entrée survienne dans la zone critique (voir Figure 4.30 (b)) est plus importante. La probabilité de générer des pertes de fronts d'horloge est plus grande comme mise en évidence par les lignes Figure 4.34.

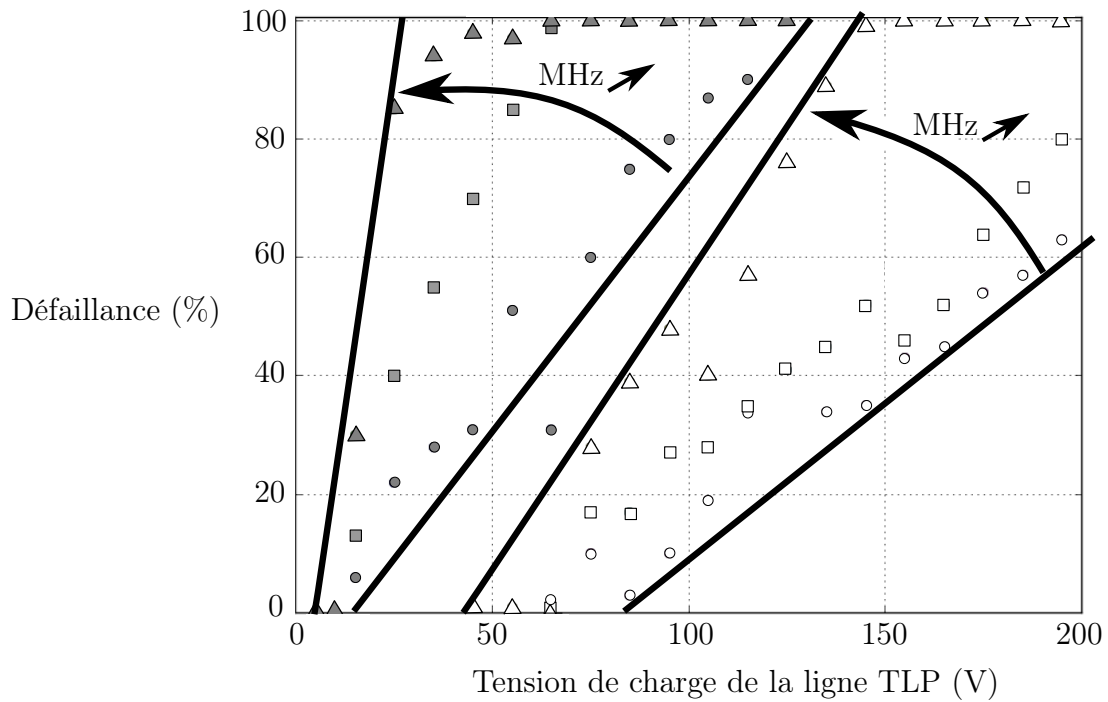


FIGURE 4.34: Influence de la fréquence de fonctionnement sur la probabilité de génération de fautes, extraction des courbes de tendance.

4.3.2.2 Influence de la valeur du condensateur de découplage : Lorsque la valeur du condensateur de découplage diminue (passe de 50 nF à 6,8 nF), la probabilité de générer une perte de fronts d'horloge est plus importante. Ceci est mis en évidence par des cercles sur la Figure 4.35. En effet, le condensateur se charge selon la loi : $I = C \frac{dU_c}{dt}$. Plus la valeur du condensateur C est faible, plus celui se charge rapidement pendant l'impulsion TLP. La tension ainsi atteinte sur le bus V_{DD} est plus importante, le décalage de la tension V_i est de même plus important. Ainsi la zone critique (voir Figure 4.30 (b)) est plus large, la probabilité de défaillance augmente.

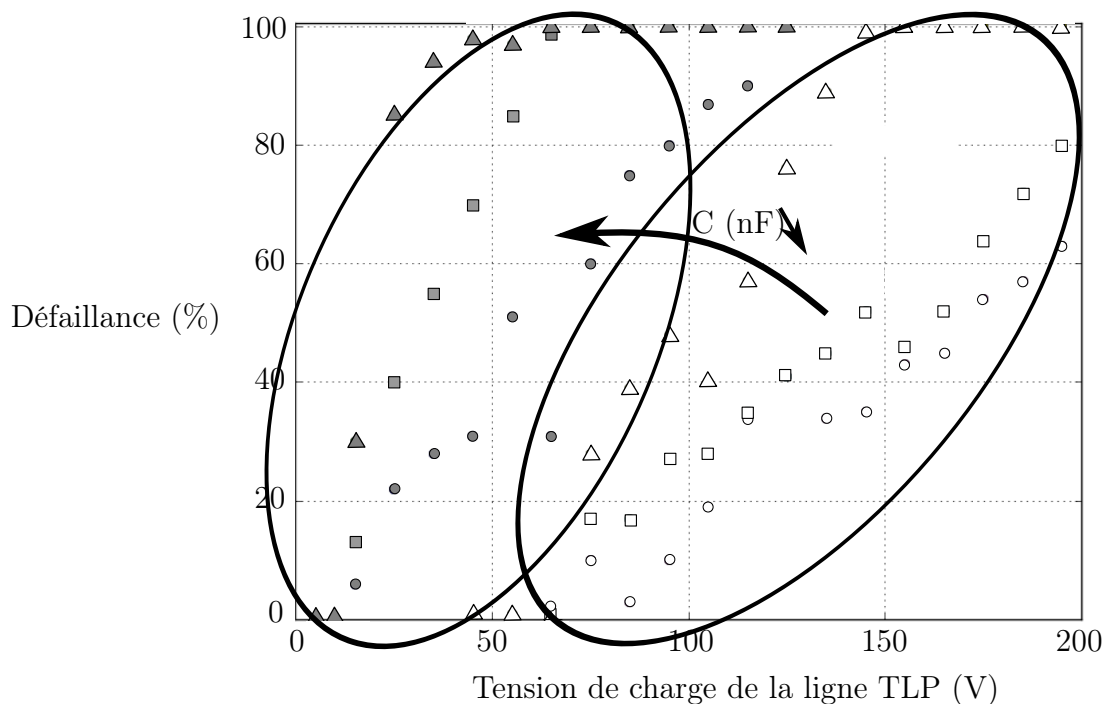


FIGURE 4.35: Influence de la valeur du condensateur de découplage sur la probabilité de génération de fautes, mise en évidence par les cercles.

4.3.2.2.3 Influence du PowerClamp : La Figure 4.36 donne un vue dilatée du pourcentage d'erreurs obtenu lorsque un condensateur de 50 nF est connecté comme condensateur de découplage. Les lignes ajoutées montrent la tendance de la probabilité. Lorsque l'injection est supérieure à environ 100 V, le PowerClamp est déclenché et ralenti la charge du condensateur comme expliqué dans la paragraphe 4.3.2.1.3. Comme nous pouvons le voir sur le résultat de mesure, la tendance est réduite.

Les protections ESD ont une influence sur la génération des erreurs. Dans ce cas d'étude précis, le PowerClamp réduit la probabilité de générer des erreurs.

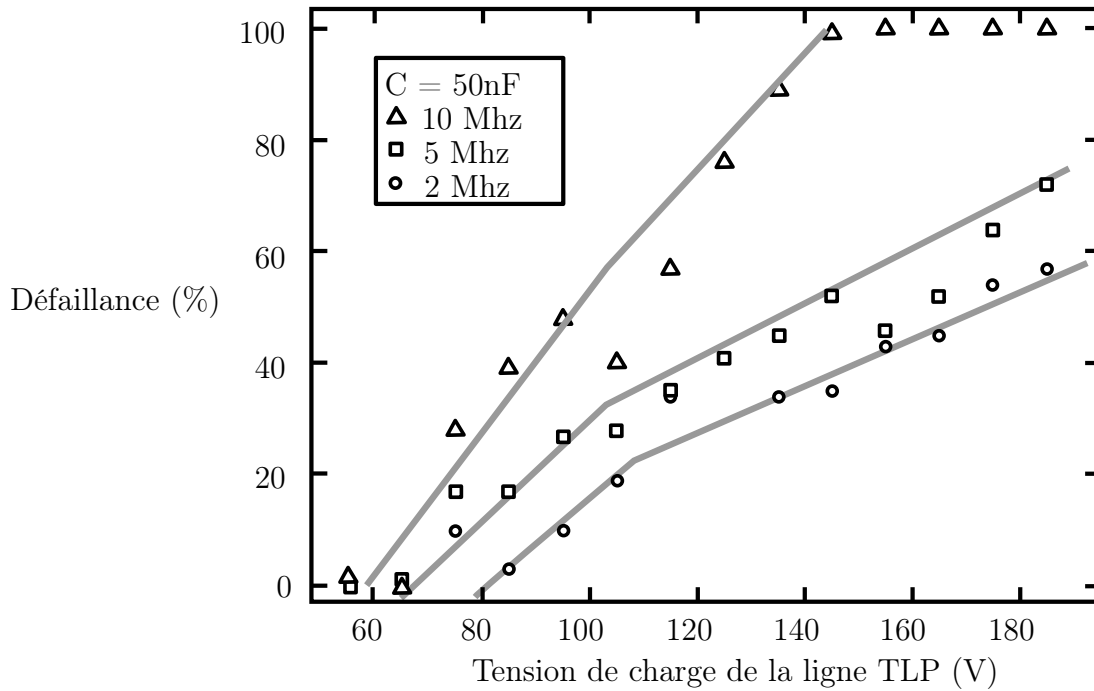


FIGURE 4.36: Influence du PowerClamp sur la probabilité de génération de fautes dont la tendance est mise en évidence par des lignes.

4.3.2.2.4 Approximation d'une première loi de probabilité Comme nous avons vu précédemment, une erreur est générée lorsque la tension sur le bus V_{DD} est supérieure à la tension V_{crit} et si un front d'horloge survient durant la zone critique ($T_{failure}$) comme reporté dans la Figure 4.30 (b). La zone $T_{failure}$ correspond à la somme de T_{charge} et de $T_{décharge}$. Pour rappel, V_{crit} est définie lorsque la tension V_{IH} est supérieure au niveau d'entrée.

En considérant que le décalage de la tension sur le bus V_{DD} est forcé par la tension de charge du condensateur de découplage externe C , nous pouvons utiliser l'équation basique suivante pour établir T_{charge} :

$$I = C \frac{dV}{dt} \quad (4.1)$$

La tension critique V_{crit} est atteinte au temps :

$$t_{crit} = \frac{(V_{crit} - V_{DD}) \times C}{I_{TLP}} \quad (4.2)$$

Si la tension maximum atteinte V_{at} est supérieure à V_{crit} alors

$$T_{charge} = T_{TLP} - T_{crit} \quad (4.3)$$

Où T_{charge} est la durée de charge de la capacité pendant laquelle une défaillance sera observée si le front d'horloge arrive, et où la tension sera supérieure à V_{crit} .

Le temps de décharge est plus complexe à déterminer.

L'évolution de la tension de décharge vaut :

$$V_{décharge}(t) = V_{DD} + (V_{at} - V_{DD})e^{-t/\tau} \quad (4.4)$$

avec τ , produit de la résistance de décharge par C . $T_{décharge}$ vaut :

$$T_{décharge} = -\tau \times \ln \left(\frac{V_{crit} - V_{DD}}{V_{at} - V_{DD}} \right) \quad (4.5)$$

$$T_{décharge} = -\tau \times \ln \left(\frac{(V_{crit} - V_{DD}) \times C}{I_{TLP} \times T_{TLP} - V_{DD} \times C} \right) \quad (4.6)$$

Finalement, la probabilité de générer une erreur dans le cas d'étude est donnée par la relation :

$$P_{failure} = \frac{T_{failure}}{T_{clk}} = \frac{T_{charge} + T_{décharge}}{T_{clk}} \quad (4.7)$$

avec T_{clk} , période du signal d'horloge CLK.

La Figure 4.37 reporte cette équation sur le résultat de probabilité pour le condensateur

de valeur 50 nF. Comme nous pouvons le voir, la loi est correcte pour les faibles injections. Par contre, au delà de 100 V de tension TLP, la loi n'est plus bonne.

Lorsque l'amplitude du TLP est suffisamment forte pour que la tension atteinte sur le bus V_{DD} soit supérieure ou égale à la tension de déclenchement du PowerClamp (environ 7 V), une partie du courant injecté circule dans le PowerClamp. La tension atteinte par le condensateur est réduite, réduisant de ce fait la probabilité. La tension de déclenchement du PowerClamp est atteinte pour :

$$I_{TLP} = \frac{C \times (V_{t1} - V_{DD})}{T_{TLP}} \quad (4.8)$$

avec V_{t1} , tension de déclenchement du PowerClamp

De plus, nous avons observé que lors de la décharge, une partie du courant circulait dans le condensateur d'injection. Ceci devrait influencer le temps de décharge et doit-être pris en compte dans l'estimation de la loi de probabilité.

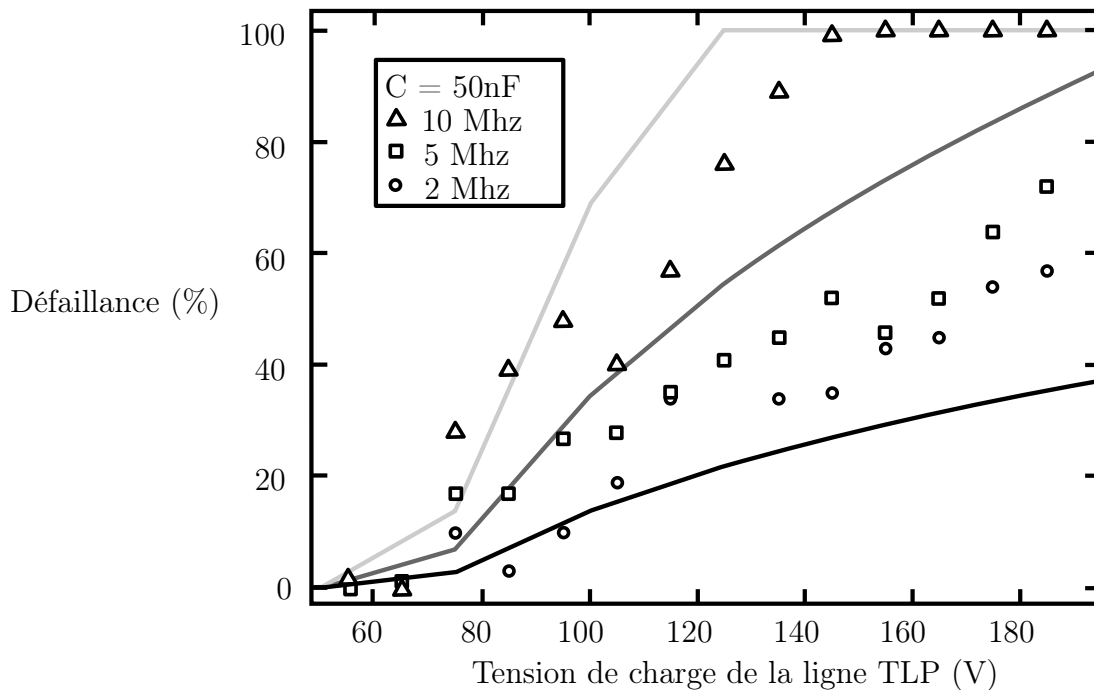


FIGURE 4.37: Superposition de la loi de probabilité avec la mesure de l'évolution de la probabilité de défaillance

4.3.3 Conclusion du cas d'étude n°2

Les simulations de notre modèle permettent d'obtenir une bonne corrélation avec les mesures, avec un temps de calcul très court de l'ordre quelques secondes. Notre approche de modélisation comportementale est suffisante pour prédire avec une bonne précision le comportement du système en fonctionnement durant l'évènement ESD.

A partir de l'analyse de la simulation, nous avons pu déterminer les mécanismes à l'origine de la défaillance qui survient selon le critère que nous avons défini.

Une première étude de probabilité de génération de fautes a permis d'analyser l'impact des différents éléments constituant le système notamment les caractéristiques électriques du circuit et les protections ESD. Malgré le fait que cette loi souffre de lacunes, la simulation prend en compte tous les éléments. Il doit être possible d'obtenir une loi plus réaliste.

4.4 Cas d'étude n°3 : Étude d'une application automobile

4.4.1 Introduction :

Dans le cadre d'un projet ANR, une étude a été menée en collaboration avec un constructeur de circuit intégré, Freescale Toulouse, et un équipementier automobile, VALEO Créteil. Celle-ci se concentre sur une application de l'électronique embarquée pour l'automobile. La collaboration vise à développer des méthodes génériques de mesures et l'extraction de modèles comportementaux ESD pour prédire l'impact des ESD au niveau système. Freescale fournit un circuit intégré pour le cas d'étude, Valéo fournit une carte de mesure EMC/ESD et le laboratoire est chargé de la modélisation. Au delà de la réponse du système vis à vis d'une impulsion TLP, nous souhaitons prédire le comportement du système face aux décharges du pistolet ESD définies par les standards IEC61000-4-2 et ISO10605. Après une présentation du circuit, du PCB et des configurations de test, sous-section 4.4.2, nous analyserons les résultats de simulations lors d'un stress TLP, mais aussi lorsque le système est agressé par le pistolet ESD.

4.4.2 Présentation du cas d'étude

4.4.2.1 Description du circuit LIN

Le système est construit autour du circuit MC33662 fournit par Freescale. Il s'agit d'un composant LIN (en anglais : Local Interconnect Network), dédié aux communications séries dans les réseaux automobiles. Ce réseau LIN permet, par l'intermédiaire d'un seul fil, d'effectuer des communications entre les différents modules de la voiture, mais aussi avec l'ordinateur de Board ECU (Electronic Control Unit). Le circuit intégré, quant à lui, permet de reproduire la couche physique, c'est-à-dire mettre en forme les signaux, pour le respect du protocole de communication LIN 2.1. En raison des normes draconiennes requises dans le domaine de l'automobile, le circuit est optimisé pour passer à la fois les standards EMC DPI [124], BCI [135] (Bulk Current Injection), et les standards de test ESD au niveau système (IEC61000-4-2 et ISO10605).

Le schéma typique d'application, extrait de la documentation technique constructeur [136], est donné Figure 4.38. La broche VSUP correspond à l'alimentation du circuit. Les broches TXD et RXD sont les broches d'interfaces de transmission et de réception. La broche EN permet l'activation du circuit, elle est active à l'état bas. WAKE est utilisé pour gérer le mode "Sleep" (sommeil) du circuit. La broche INH, dans le mode maître, permet de piloter la ligne LIN.

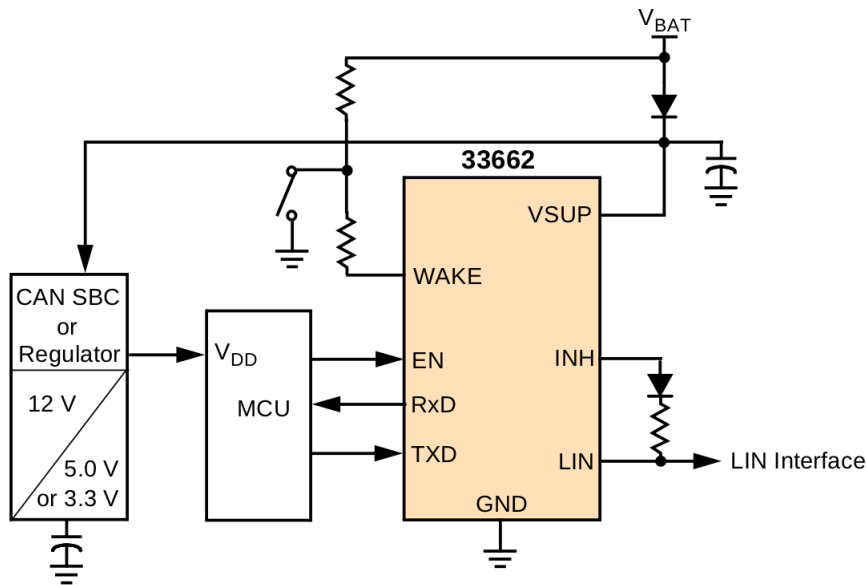


FIGURE 4.38: Schéma block de l'application typique du LIN en mode maître, extrait de la documentation technique du constructeur.

Les informations utiles à la modélisation, que nous avons obtenues sur ce circuit, sont les suivantes :

- Information sur le boîtier du circuit intégré : modèle RLC équivalent.
- Information sur le fonctionnement du circuit : documentation constructeur.
- Mesures TLP entre la broche LIN et GND, ainsi que entre GND et la broche LIN.

4.4.2.1.1 Description du PCB de VALEO Le LIN, en boîtier SOIC 8 broches, est monté sur le circuit imprimé développé et fournit par l'entreprise VALEO. Ce PCB a été conçu pour être générique et modulable afin de tester les circuits en boîtier SOIC jusqu'à 14 broches. Grâce à ce dernier, il est possible de tester dans la même configuration tout type de circuit dont le boîtier est compatible [137].

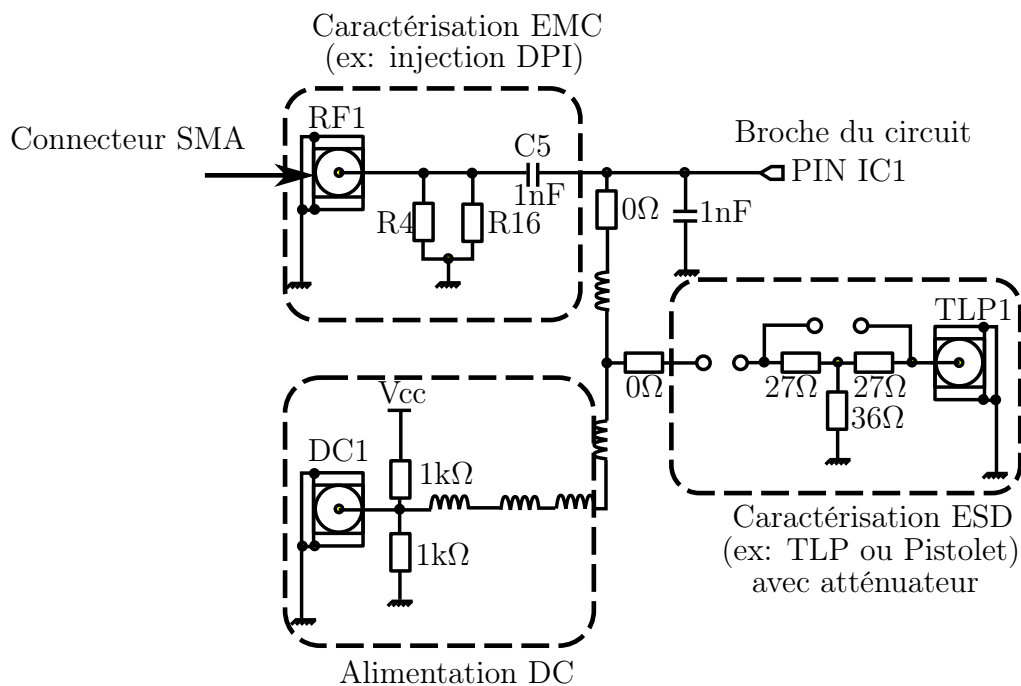
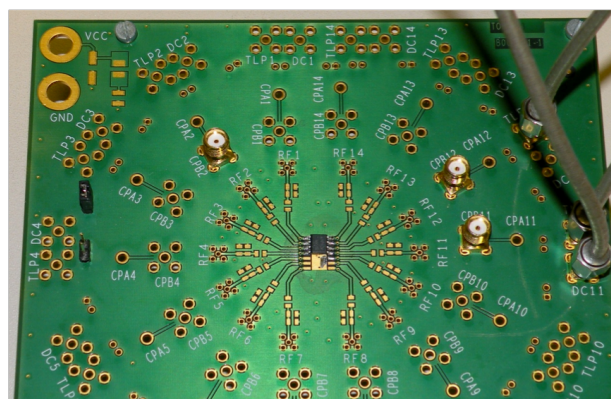
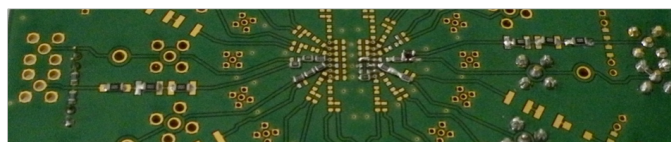


FIGURE 4.39: Schéma des motifs d'injection et de mesure appliqués à chacune des broches du circuit.

Le schéma électrique du motif implémenté sur chacune des broches du circuit est donné Figure 4.39. Ce motif est modulable et permet, en fonction des éléments passifs soudés, d'effectuer des caractérisations de paramètres S, des caractérisations EMC (par injection DPI) et des caractérisations ESD (TLP). Toutes ces techniques sont détaillées dans la thèse de Frédéric Lafon [137].



(a)



(b)

FIGURE 4.40: Photographie du PCB de VALEO côté composant (Top layer) (a) et côté cuivre (Bottom layer) (b)

La photographie du PCB est donnée Figure 4.40(a). Nous pouvons voir que le layout est identique pour chacune des broches du circuit. Tous les composants externes sont des CMS. Un kit, non reporté ici, constitué de motifs CO, CC et 50 ohm permet le calibrage des instruments de mesure (par exemple l'analyseur réseau).

4.4.2.1.2 Configuration de test Le schéma simplifié de la configuration de test est donné Figure 4.41. Le circuit est utilisé dans les mêmes conditions que l'application finale, illustrée Figure 4.38. Un condensateur de 220 pF, utilisé comme filtre EMI (ElectroMagnetic Interference), est connecté sur la broche LIN du circuit. Le circuit inclut, entre la broche LIN et GND, une protection bidirectionnelle (appelée en anglais "back to back") permettant de dévier une ESD quelque soit sa polarité. Les constructeurs de voitures allemands ont écrit une directive, appelée en anglais "LIN Conformance" [138] définissant des exigences OEM sur la broche LIN. En effet, celle-ci est directement connectée au réseau de communication, accessible depuis l'extérieur du module, elle va être particulièrement exposée aux décharges électrostatiques. Cette broche doit résister aux stress envoyés par le pistolet ESD, avec, et sans condensateur externe de 220 pF. Nous nous focaliserons donc sur ce cas d'étude.

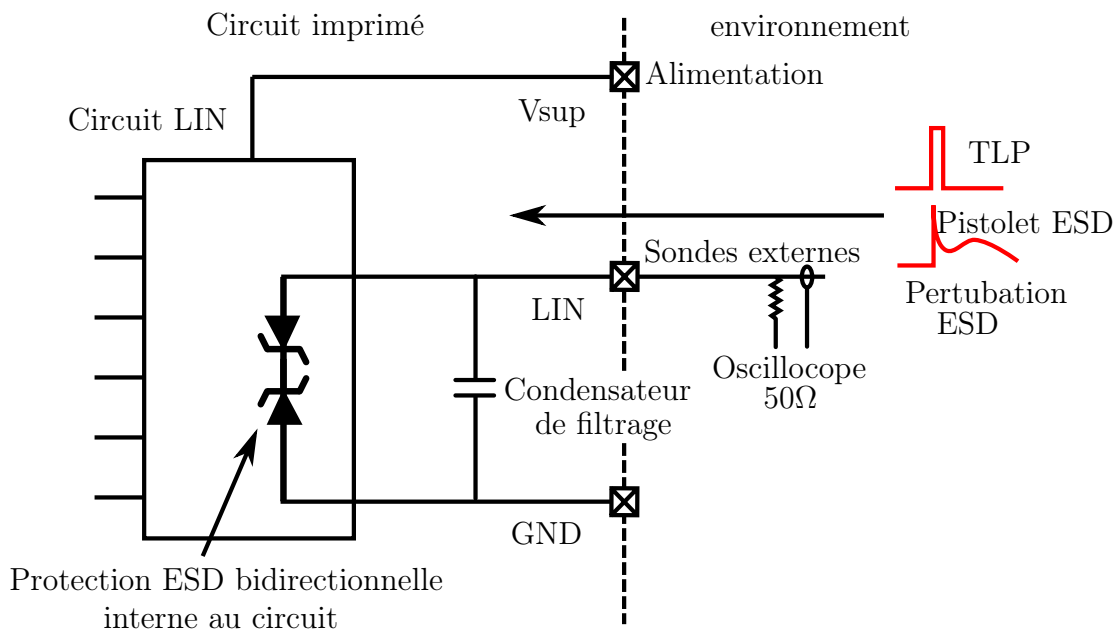


FIGURE 4.41: Schéma simplifié du cas d'étude : injection ESD sur la broche LIN et étude de l'impact de condensateur de filtrage EMI.

Nous avons étudié l'impact du condensateur de 220 pF sur la propagation du courant dans les conditions suivantes :

- Test avec un générateur 50 Ω : un générateur TLP, configuré pour envoyer une impulsion de 5 ampères, d'une durée de 100 ns avec des temps de transitions de 1ns, est utilisé pour stresser la broche LIN. Les mesures sont effectuées suivant la méthode

0,1 Ω et TDR/TLP présenté dans le chapitre 3.

- Test avec un générateur non-50 Ω : un pistolet ESD, pré-chargé à 2kV, est utilisé pour stresser la broche LIN. Dans ce cas, seul le courant injecté est mesuré avec une sonde externe. Cette configuration de test suit les spécifications données dans le standard HMM [68].

4.4.3 Analyse des résultats de simulation et de mesure

Le schéma simplifié du modèle du système utilisé pour effectuer les simulations de cette section est donné Figure 4.42. Il est à noter que par soucis de place, seuls les éléments principaux apparaissent sur la figure.

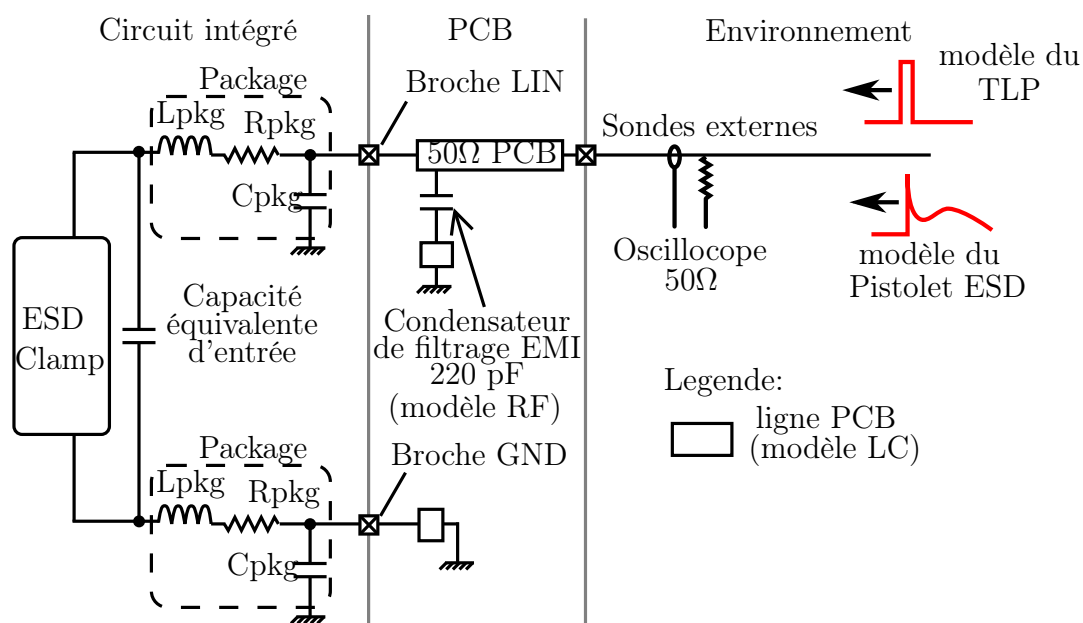


FIGURE 4.42: Schéma du modèle du système montrant les éléments principaux utilisés pour la simulation

La protection ESD bidirectionnelle, intégrée entre la broche LIN et GND du circuit, est modélisée suivant la méthodologie de modélisation comportementale à partir d'une mesure TLP effectuée par Freescale. Une comparaison de mesure et simulation TLP, permettant de valider le modèle, est donnée Figure 4.43. La protection est constituée de deux structures à repliement.

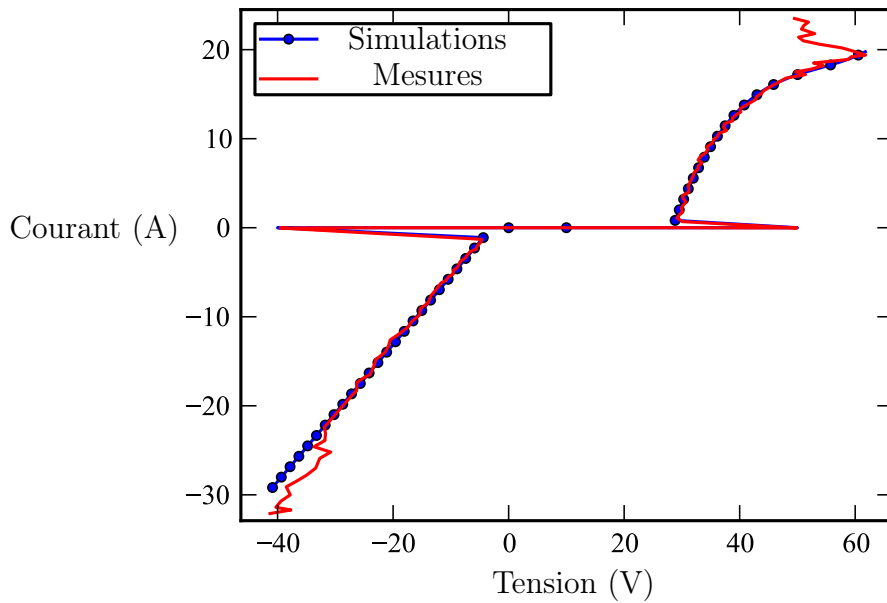


FIGURE 4.43: Comparaison des mesures et des simulations TLP de la protection ESD intégrée entre la broche LIN et GND.

4.4.3.1 Injection TLP 50 Ω

4.4.3.1.1 Mesure 0,1 Ω Nous avons effectué une première caractérisation en utilisant la méthode de mesure 0,1 Ω . Une impulsion de 400V TLP est envoyée sur la broche LIN.

Sans le condensateur, le courant de décharge circule comme prévu par la structure de protection présente sur la broche LIN.

Le résultat de mesure et de simulation du courant, obtenue par la mesure 0.1 Ω lorsque le condensateur est connecté, est donné Figure 4.44. La forme du courant injecté dans le circuit est modifiée significativement. Durant l'impulsion TLP, le condensateur externe absorbe le courant. Le condensateur se charge et la tension à ses bornes augmente. Lorsque celle-ci atteint la tension de seuil de la protection ESD, elle se déclenche et se replie à sa tension de maintien. La structure ESD absorbe alors le courant de décharge TLP plus le courant de décharge du condensateur.

Les résultats de mesure et de simulation présentés Figure 4.44 ont été effectués avec une résistance de 0,1 Ω dans le but de limiter l'excursion en tension sur la broche GND du circuit. Cependant, le PCB de VALEO, n'a pas été conçu, et surtout optimisé, pour s'adapter à cette technique de mesure. Pour pouvoir utiliser cette technique, nous avons dû ajouter de nombreux éléments, piste PCB (de longueur 5 cm), quelques résistances de shunt (0 Ω) sur le retour de masse du circuit. Tous ces éléments sont inductifs et même si l'effet de chaque élément n'est que de quelques nH, leur association, plus leur contribution face aux transitions rapides des décharges devient très importantes. La forme du courant obtenue est correcte mais les pics constatés n'ont pas la bonne amplitude et la fréquence d'oscillation n'est pas la bonne. Pour être efficace, cette technique de mesure doit être

placée au plus proche du boîtier pour éviter d'insérer des inductances parasites.

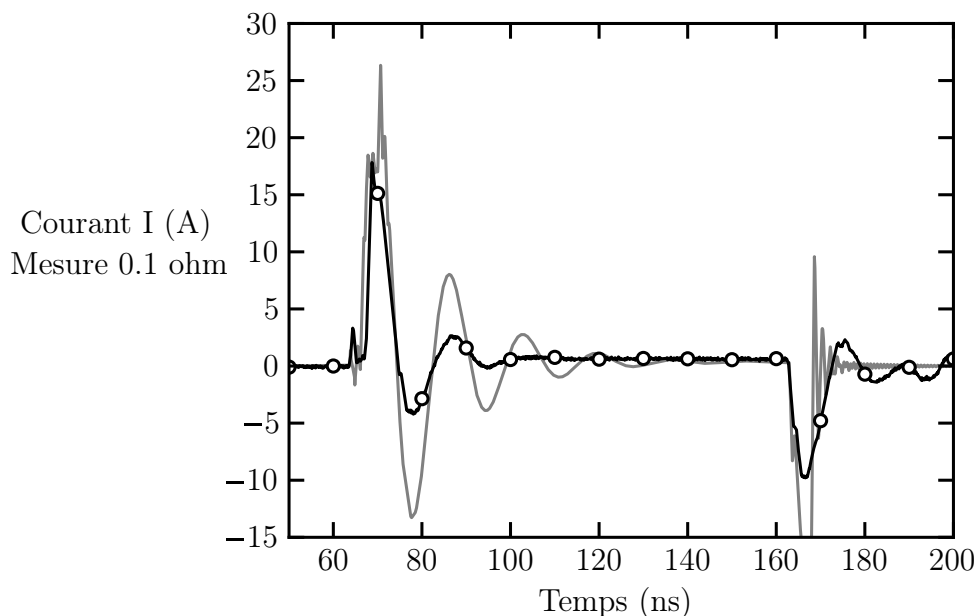


FIGURE 4.44: Résultat de simulation superposé à la mesure du courant circulant dans le circuit, mesure 0,1 Ω , injection de 400V TLP sur la broche LIN.

4.4.3.1.2 Mesure par l'utilisation des sondes de champ proche La configuration du PCB, condensateur en boîtier CMS de taille 0805 soudé au plus proche circuit, le PCB 4 couches, la présence de via, ne nous a pas permis de mesurer des champs propres permettant de déterminer le courant. Tous ces éléments ont une forte contribution sur les champs mesurés. De plus, la taille de la boucle est vraiment grosse par rapport à ces éléments. Nous ne présenterons donc aucun résultat sur les champs pour cette étude.

4.4.3.1.3 Mesure par la méthode de TDR/TLP En raison du layout du PCB, et du fait que le condensateur soit soudé au plus proche du circuit, la mesure directe du courant qui circule dans le circuit est compliquée. Une option serait de déplacer le condensateur externe ou la connexion à la masse du circuit et d'intercaler une sonde externe par exemple une CT1 de Tektronik. Cependant, cette option n'est pas réaliste, car celle-ci ajouterait des éléments parasites modifiant la réponse transitoire de l'ensemble du système comme nous l'avons vu lors de la mesure 0,1 Ω .

Pour valider les modèles, nous avons décidé de réaliser une mesure indirecte avec la méthode TDR/TLP. Une fois le modèle du système (présenté Figure 4.42) validé sur les aspects dynamiques, nous espérons déduire le courant circulant dans le circuit par la simulation.

Les simulations transitoires du courant et de la tension, utilisant le modèle comportemental présenté au début de cette section Figure 4.42, sont données respectivement Figure 4.45 et Figure 4.46.

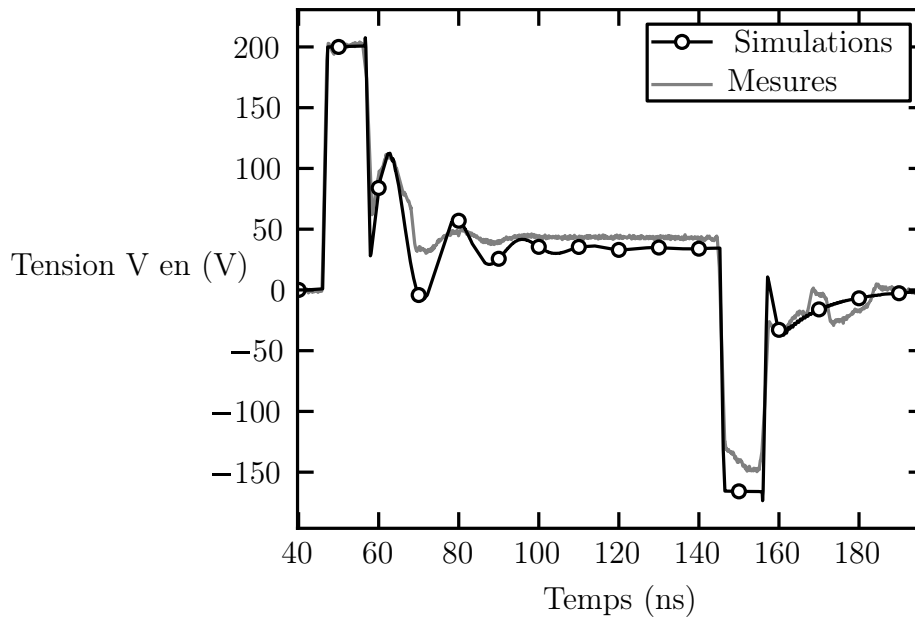


FIGURE 4.45: Comparaison mesure/simulation de la forme d'onde de la tension TLP $V(t)$ mesurée avec la sonde externe pour 200V injectés sur la broche LIN, avec le condensateur de filtrage de 220pF.

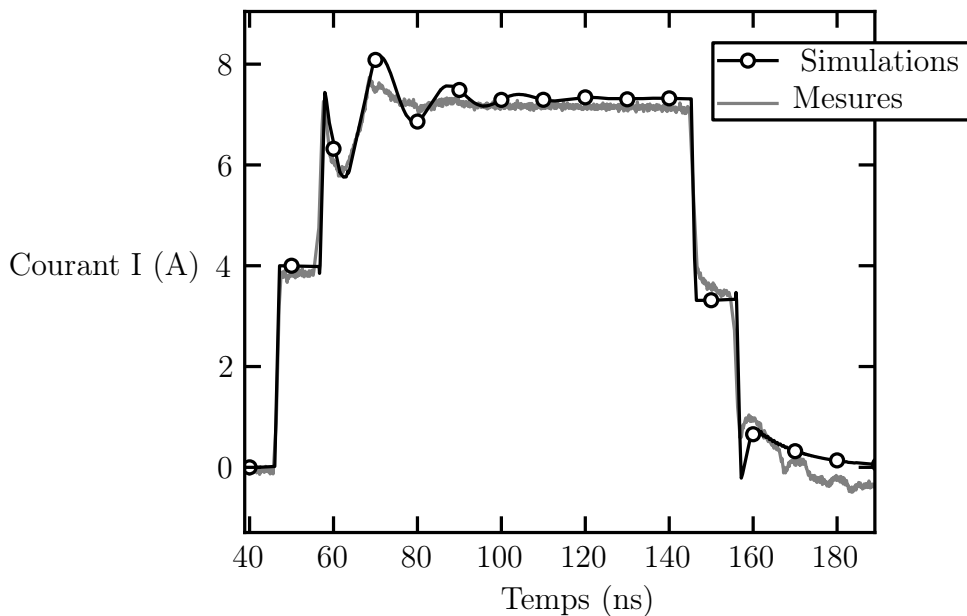


FIGURE 4.46: Comparaison mesure/simulation de la forme d'onde du courant TLP $I(t)$ mesuré avec la sonde externe pour 200V injectés sur la broche LIN, avec le condensateur de filtrage de 220pF.

Les simulations et mesures montrent une bonne corrélation reproduisant les différents pics de courant et de tension au cours du temps. La première partie des courbes, entre 50 et 60 ns, correspond au signal injecté (200V, 4A). Le temps de ce plateau, 10 ns, correspond au temps de propagation aller-retour entre le point de mesure et le circuit soudé sur le PCB. A 60 ns, la forte discontinuité observée est liée à la superposition de l'impulsion

injectée et de l'impulsion réfléchiée. Lorsque la tension atteint la tension de déclenchement de la protection ESD (~ 45 V), le courant atteint approximativement 7,5 A. En moins de 1 ns, la structure ESD se déclenche et crée, de nouveau, une forte discontinuité inversant la pente des courbes $I(t)$ et $V(t)$. Les oscillations qui suivent, correspondent aux effets R,L,C présents sur le chemin de décharge du courant dans la protection ESD. Ces éléments sont directement liés aux éléments parasites rapportés par les broches du boîtier, les pistes PCB et le condensateur. La fréquence des oscillations peut être obtenue par le modèle équivalent RLC de ces éléments parasites. Le premier pic de l'oscillation est parfaitement reproduit par la simulation. La faible différence observée entre la simulation et la mesure (entre 100 et 140 ns) est principalement due à la faible erreur d'approximation de la résistance à l'état passant de la protection ESD. Après 140 ns, l'impulsion TLP est terminée et le signal observé correspond aux réflexions.

Les simulations présentées dans ce paragraphe ont été obtenues sans aucun ajustement du modèle. Nous avons, grâce à notre technique de modélisation, obtenu une simulation précise et une bonne corrélation avec la mesure pour les formes d'onde TLP.

4.4.3.1.4 Simulation du courant qui circule dans le circuit. Les résultats précédents nous permettent de penser que la modélisation du composant est correcte, et nous pouvons déduire le courant circulant dans le composant. Les résultats de simulation, avec et sans condensateur de 220 pF sont donnés Figure 4.47.

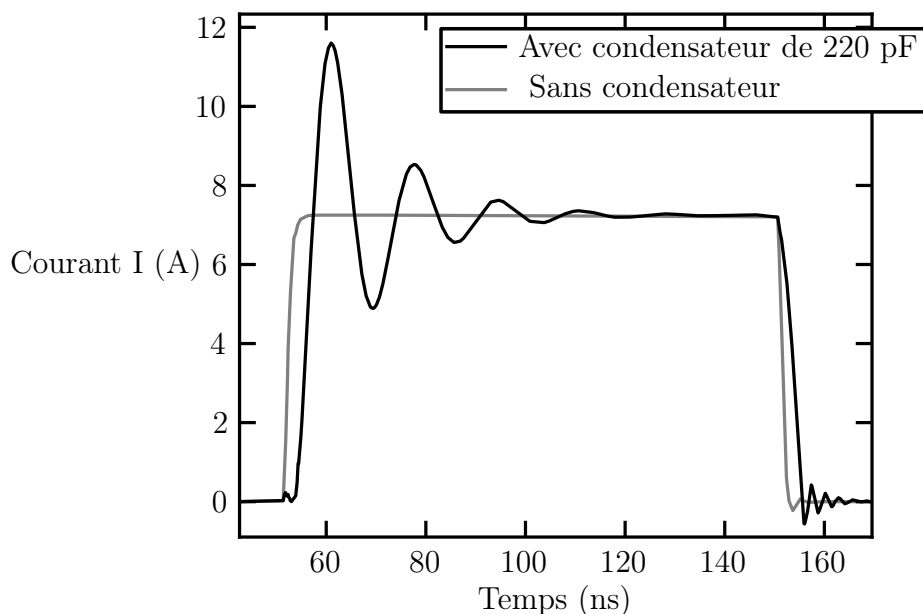


FIGURE 4.47: Simulation du courant circulant dans la protection du LIN durant l'impulsion TLP de 200V, avec et sans condensateur externe de 220 pF.

Le circuit se comporte comme décrit dans l'investigation 0,1 Ω . Le condensateur introduit un pic de courant atteignant environ 11,5 A alors que nous n'injectons qu'une

impulsion de 7,5 A. Les effets de charge puis de décharge du condensateur lorsque la protection se déclenche, créent un pic important lié à l'énergie accumulée et aux oscillations dues au caractère complexe du chemin de décharge. L'ajout de la capacité stresse le circuit de manière plus importante.

Maintenant que nous avons validé la méthode pour le générateur TLP 50Ω , la même étude est menée avec un stress ESD généré par le pistolet ESD.

4.4.3.2 Étude du système soumis à un générateur non 50Ω (pistolet ESD)

4.4.3.2.1 Mise en évidence de la difficulté d'interprétation de la forme complexe du pistolet ESD Les pistolets ESD ne sont pas des générateurs 50Ω . Les pistes du circuit VALEO sont dimensionnées pour correspondre à une impédance de 50Ω . Ainsi, lors des tests, les réflexions liées aux ruptures d'impédance perturbent la mesure ou son interprétation. Il en résulte une forme d'onde complexe très dépendante des impédances et du délai de propagation du système.

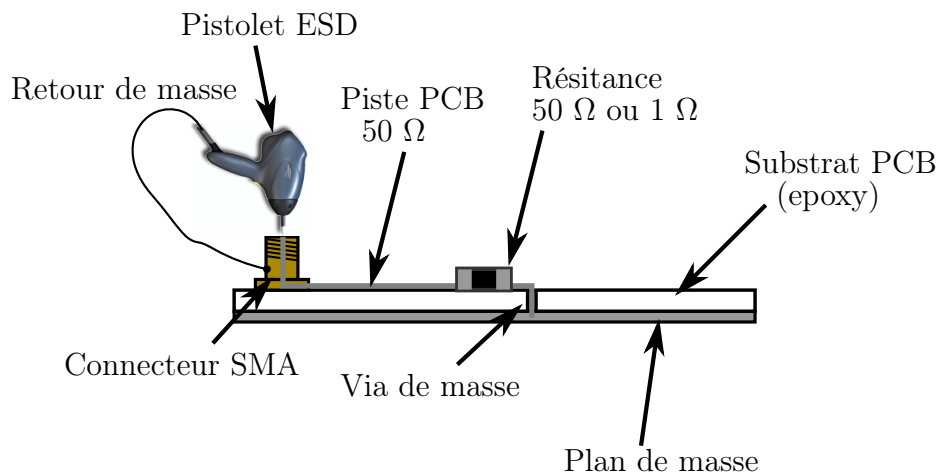


FIGURE 4.48: Représentation schématique de la configuration de test utilisée pour simuler la propagation du pistolet chargé à 2kV, lorsque une résistance de 1Ω ou 50Ω est connectée à la place du circuit LIN

Une simulation simple, dont le schéma simplifié est donné Figure 4.48, a été réalisée pour mettre en évidence ces problèmes. Le modèle du circuit LIN est remplacé par une résistance de 1Ω ou 50Ω . La résistance de 1Ω a été choisie car elle se rapproche de la résistance typique équivalente d'une protection ESD lorsque celle-ci est déclenchée. Une injection est envoyée avec le pistolet ESD lorsque celui-ci est chargé à 2kV. Le modèle du pistolet utilisé dans la simulation est basé sur [96].

Le résultat de simulation du courant qui circule dans la résistance est donné Figure 4.49. Lorsque qu'une résistance de 50Ω est connectée au bout de la ligne, aucune réflexion ne survient entre la piste 50Ω et la résistance. Nous obtenons la forme typique de décharge ESD comme définie dans le standard IEC61000-4-2.

Par contre, lorsque une résistance de $1\ \Omega$ est connectée au bout de la ligne, le premier pic de courant de décharge va rebondir entre la résistance et le générateur au travers de la ligne PCB. Cela crée de fortes oscillations du courant circulant dans la résistance comme nous pouvons le voir sur le résultat de simulation Figure 4.49. Le courant traversant la résistance est ainsi doublé.

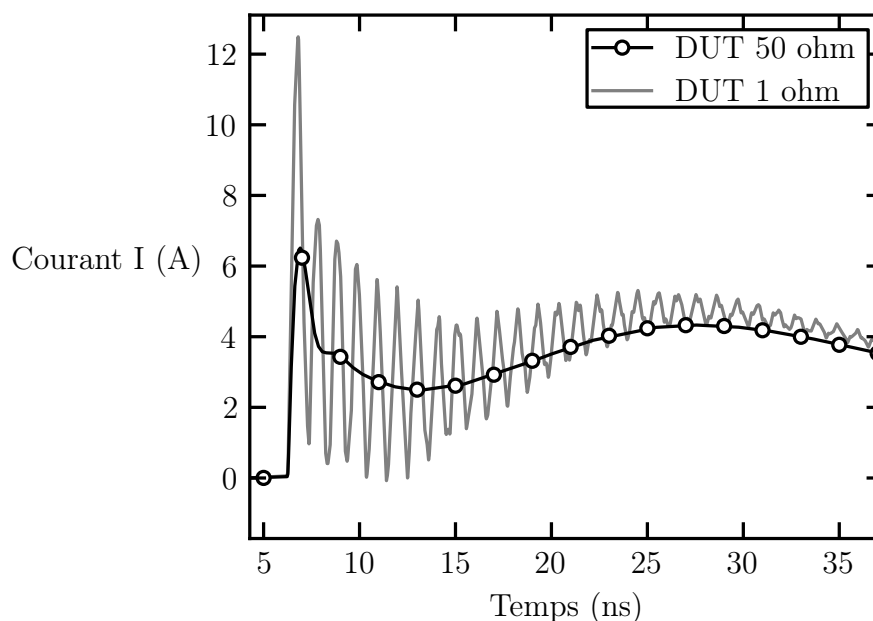


FIGURE 4.49: Simulation du courant circulant dans la résistance de $1\ \Omega$ et $50\ \Omega$, pour une injection au pistolet de $2\ \text{kV}$ ($150\text{pF}/330\text{ohm}$).

Dans les systèmes réels, l'impédance du composant sous test varie de l'état haute impédance à faible impédance ($\sim 1\text{-ohm}$) lorsque la protection ESD se déclenche. Dans ces conditions, il est difficile d'interpréter les formes de courant envoyées dans le circuit uniquement par la mesure. La simulation devient indispensable pour comprendre les désadaptations d'impédances dans le système durant une décharge au pistolet.

4.4.3.2.2 Mesure TDR avec le pistolet ESD. A l'image de l'analyse TDR/TLP que nous avons effectuée dans la section précédente, nous avons étudié la réponse dynamique du système soumis à une décharge du pistolet ESD. Les mesures ont été réalisées par Alain Salles à Freescale Toulouse. La configuration de test utilisée est illustrée Figure 4.50.

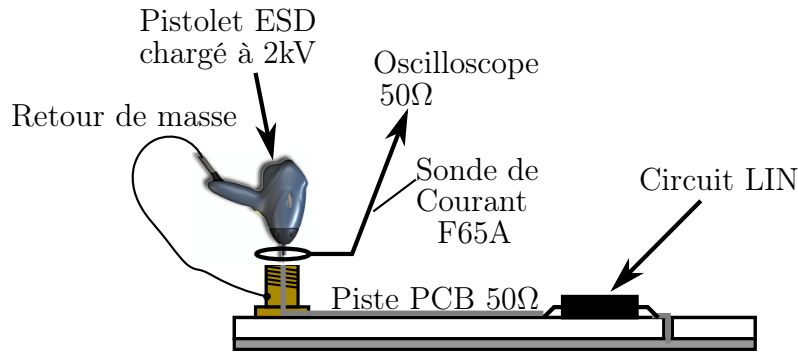


FIGURE 4.50: Représentation schématique de la configuration de test utilisée pour mesurer et simuler le courant injecté par le pistolet ESD 2 kV dans le système incluant le circuit LIN.

Le pistolet est un Noiseken ESS-2000 simulator chargé à 2 kV. La décharge est envoyée dans le système en mode contact directement sur l'âme centrale du connecteur SMA du PCB de VALEO. La référence de masse du pistolet est connectée en accord avec le document du LIN conformance [138] et suivant les recommandations de procédures de test du HMM [68]. Le courant est mesuré en utilisant une sonde Fisher F65A. Il s'agit d'une sonde magnétique qui se positionne autour de la pointe de décharge du pistolet. Celle-ci permet d'obtenir une réponse linéaire du courant entre 100 kHz et 1 GHz.

La simulation du courant et les mesures obtenues avec la sonde Fisher lorsque le condensateur de 220 pF est connecté sont données Figure 4.51.

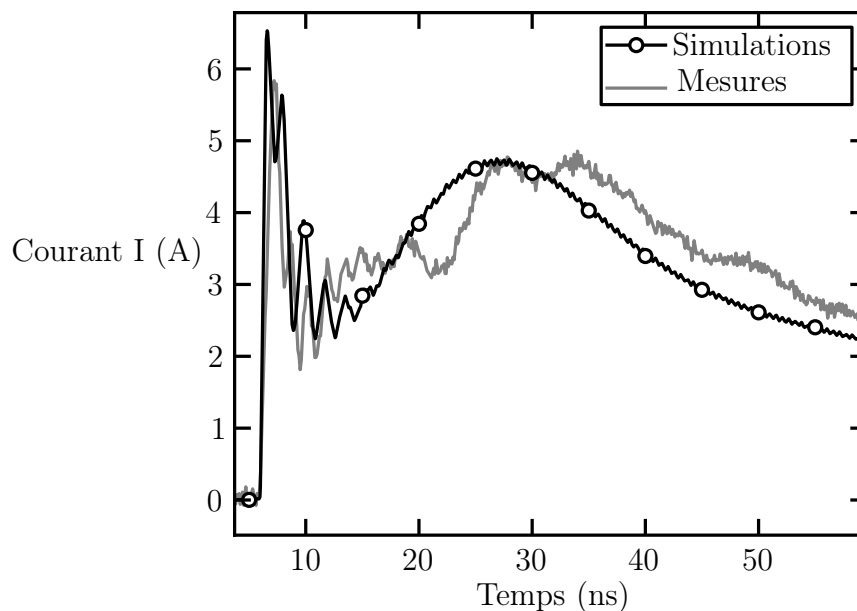


FIGURE 4.51: Comparaison mesure/simulation du courant mesuré avec la sonde Fisher F65A pour une injection au pistolet ESD de 2 kV (150 pF/330 ohm), avec le condensateur externe de 220 pF.

Comme nous pouvons le voir, la simulation du courant injecté permet d'obtenir une

très bonne image du courant mesuré. Le niveau du premier et du deuxième pic de courant, de même que la fréquence des oscillations durant les 15 premières nanosecondes, correspondent correctement à la mesure. Les désaccords que nous pouvons voir sont liés à la forme générée par le pistolet ESD, conforme à la norme, mais qui n'est pas tout à fait la même que celle produit par notre modèle, lui idéal. Nous confirmons ainsi que la méthodologie que nous avons développée peut s'appliquer aussi bien sur des cas simples (adapté 50Ω), que sur des cas complexes, représentatifs des configurations systèmes.

4.4.3.2.3 Simulation du courant dans le DUT Grâce à la simulation de notre modèle, nous pouvons observer le courant circulant dans le circuit intégré avec une bonne confiance. La Figure 4.52 donne les résultats avec (en noir) et sans condensateur (en gris) connecté en externe, pour une décharge de 2 kV du pistolet ESD ($150 \text{ pF} / 330\Omega$).

Sans condensateur externe, nous retrouvons le premier pic de courant (12 A) aussi visible dans la simulation Figure 4.49 lorsqu'une résistance de 1Ω est utilisée à la place du circuit. Les oscillations, correspondant aux réflexions entre le DUT et le pistolet, sont visibles pendant les 15 premières nanosecondes du signal.

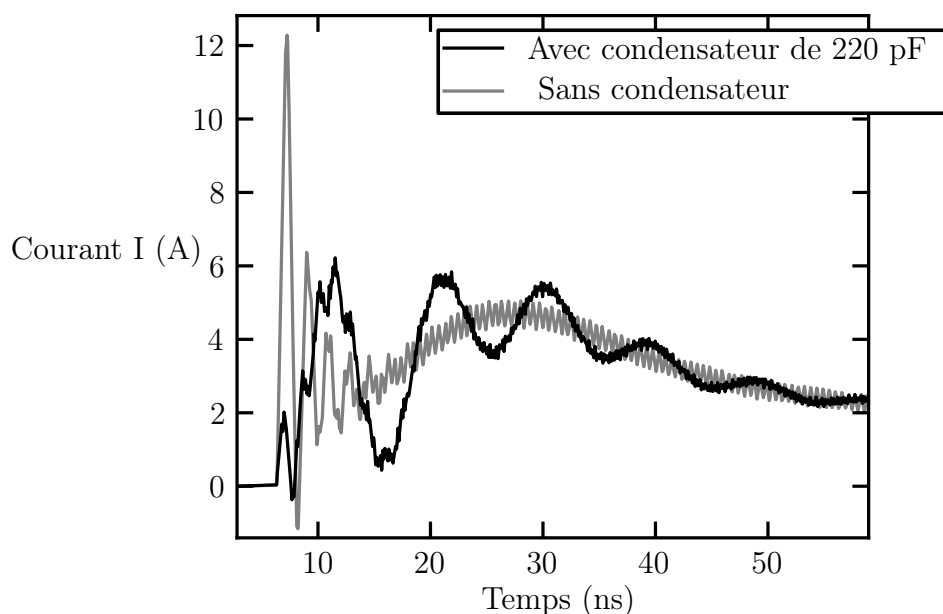


FIGURE 4.52: Simulation du courant qui circule dans la protection ESD du LIN pour une décharge pistolet de 2 kV, injectée sur la broche LIN, avec et sans condensateur externe de 220 pF

Avec le condensateur de 220 pF, le premier pic disparaît. Une oscillation avec une période d'oscillation de 15 ns avec trois pics de courant proche de 6 A est créée.

4.4.4 Conclusion du cas d'étude

A partir de simulations transitoires corrélées aux mesures TDR, nous avons validé le modèle du système que se soit pour une injection avec le TLP 50Ω , ou pour le pistolet ESD suivant les procédures du HMM et du "Lin Conformance". Sans aucun ajustement des paramètres, la simulation a permis d'obtenir une très bonne corrélation avec des mesures externes, montrant qu'en appliquant rigoureusement notre méthodologie, il est possible de prédire le comportement avec une précision relativement bonne.

Après ces étapes de vérification des modèles, nous avons simulé et extrapolé le courant qui circule à l'intérieur du circuit. Comme conclu dans le cas d'étude 1, le condensateur connecté en parallèle d'une protection avec repliement a un fort impact sur le courant qui circule dans le composant.

D'un point de vue CEM, le condensateur de 220 pF, connecté comme filtre EMI, est crucial et permet d'améliorer les performances de l'immunité du circuit. Par contre, d'un point de vue ESD, comme constaté dans [5], ce condensateur externe peut faire baisser les performances "ESD" du système global. Dans cette étude [5], l'auteur présente des résultats de robustesse d'un circuit LIN de quatre constructeurs différents (A, B, C, D), avec et sans condensateur de 220 pF. Les résultats de robustesse des circuits, obtenus en effectuant les tests standards systèmes (voir sous-section 1.3.1) sont donnés Figure 4.53.

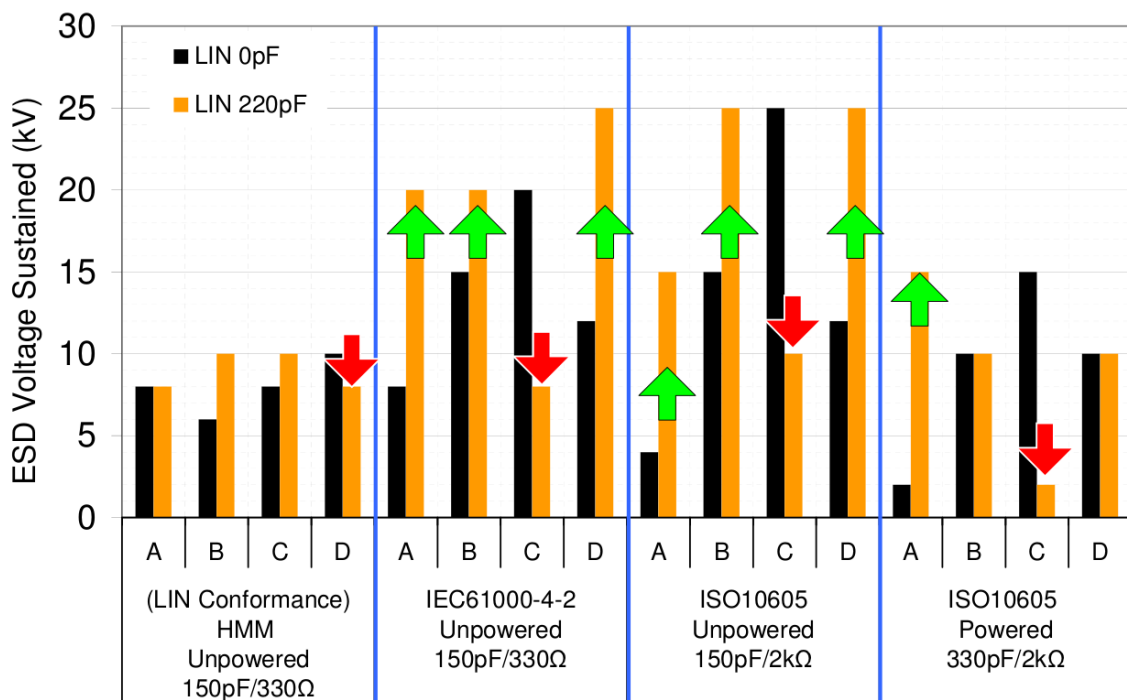


FIGURE 4.53: Comparaison de la robustesse de quatre circuits LIN de constructeurs différents (A, B, C et D), avec et sans condensateurs de 220 pF, évaluée selon les tests HMM, IEC61000-4-2 et ISO10605 [5].

Dans certains cas, le condensateur améliore les performances ESD du circuit (flèche

montante). Par contre, dans d'autres cas, la robustesse est diminuée (flèche descendante). Des simulations comme celles présentées Figure 4.52 ne sont pas considérées durant le développement des protections ESD. Pourtant ces simulations pourraient constituer un bon moyen d'analyse et de compréhension, permettant au concepteur de protections ESD de prendre en considération les interactions de la stratégie ESD avec les éléments constituant le système.

Durant cette étude, nous avons concentré nos efforts sur la validation des modèles et l'étude de la propagation du courant durant des stress transitoires rapides. Nous avons volontairement limité le niveau de décharge pour être sûr que le circuit ne soit pas détruit durant les tests. Il serait intéressant d'augmenter le niveau de stress pour connaître le niveau de destruction du composant. Une première investigation a été menée par l'entreprise VALEO avec la réalisation d'une courbe suivant les modèles de Wunsch & Bell [139]. Ceux-ci consistent à déterminer le niveau de robustesse à partir d'une caractérisation TLP dont la longueur de l'impulsion varie. Une autre étude menée par Freescale sur leur circuit, a montré qu'il existe une relation linéaire entre le niveau de robustesse obtenue par les tests standards systèmes (pistolet ESD) et le niveau de courant I_{t2} obtenue avec une caractérisation TLP fort courant [140]. Ainsi, en considérant la courbe Wunsch et Bell et cette relation linéaire, une amélioration du modèle du circuit est envisageable pour prédire la robustesse vis à vis des tests effectués au pistolet ESD.

4.5 Conclusion

Dans ce chapitre, trois cas d'études ont été mis en œuvre pour étudier la propagation et la susceptibilité d'un système électronique face à des perturbations ESD. A partir des méthodes de modélisation validées à l'aide des techniques de caractérisation, nous avons réussi à interpréter le comportement de systèmes soumis à des décharges électrostatiques. Même si ces systèmes sont composés uniquement d'un circuit imprimé, d'un circuit intégré, et de quelques éléments passifs, de fortes interactions apparaissent rendant les formes du courant mesuré complexes et difficilement interprétables. La simulation se révèle indispensable pour comprendre ces interactions et analyser les phénomènes de propagation dans l'ensemble du système.

Conclusion générale

De nos jours, les décharges électrostatiques sont devenues une problématique majeure dans les systèmes électroniques en raison du manque de connaissances de la pénétration et de la répartition d'un stress à l'intérieur de celui-ci. L'investigation des ESD sur une carte électronique est rendue compliquée par le peu de moyens de simulation et de mesure disponibles. Aujourd'hui, la seule norme ESD appliquée aux systèmes est l'IEC 61000-4-2. Il s'agit d'une méthode de test normalisée, permettant uniquement la détection d'une défaillance en terme de robustesse et/ou de susceptibilité. Lorsque ces tests révèlent des problèmes de défaillances des circuits, un des premier grand challenge rencontré par les concepteurs va être, d'une part de mesurer un courant ou une tension en un point donné du système, et d'autre part d'essayer d'interpréter la forme obtenue si une mesure a pu être effectuée. Il est alors difficile de trouver une solution efficace. C'est pour cela que la demande des équipementiers, vis à vis des IDM, ne cesse d'augmenter les exigences en terme de qualifications face aux ESD.

Pour répondre à ce challenge, nous avons mis en place dans ce manuscrit des méthodes de caractérisations permettant à la fois de stresser un système et de visualiser le courant de décharge qui circule dans celui-ci, jusqu'au circuit. Nous avons également présenté une méthodologie de modélisation permettant l'analyse et la compréhension des phénomènes qui apparaissent sur les cartes sous tests.

Tout d'abord, nous avons présenté l'origine des décharges électrostatiques de façon générale. Nous avons fait l'inventaire des modèles et méthodes de tests existantes, en commençant par les normes de "l'aspect composant" (HBM, MM, CDM) et en finissant par les normes de "l'aspect système" (IEC 61000-4-2 et son extension ISO10605). Nous avons montré, au travers de l'état de l'art, que la norme système utilisant les pistolets ESD souffre de nombreux problèmes compromettant la reproductibilité des tests. A partir de toutes ces informations, nous avons établi la problématique actuelle des ESD au niveau système telle qu'elle est énoncée au début de la conclusion.

Par la suite, nous avons développé une méthode de modélisation hiérarchique, présentée à l'image de legos assemblés sur une plaque. Notre idée est d'avoir une bibliothèque de modèles comportementaux que nous pouvons connecter selon la topologie d'une carte électronique. Il est ainsi possible de modéliser n'importe quel système. L'aspect comporte-

mental proposé ne requiert aucune information sur les schémas internes ou la technologie des composants de façon à garantir la propriété intellectuelle des constructeurs. Pour répondre à ces choix, nous avons basé notre modélisation des circuits sur un modèle existant appelé IBIS qui respecte ce même concept. Les modèles IBIS étant dédiés, à l'origine, aux simulations d'intégrité du signal, nous les avons complétés et améliorés pour étendre leur domaine de validité aux simulations ESD. Tous les éléments nécessaires à la modélisation du circuit sont représentés sur la figure suivante. (Les éléments en gris représentent les évolutions possibles du modèle.)

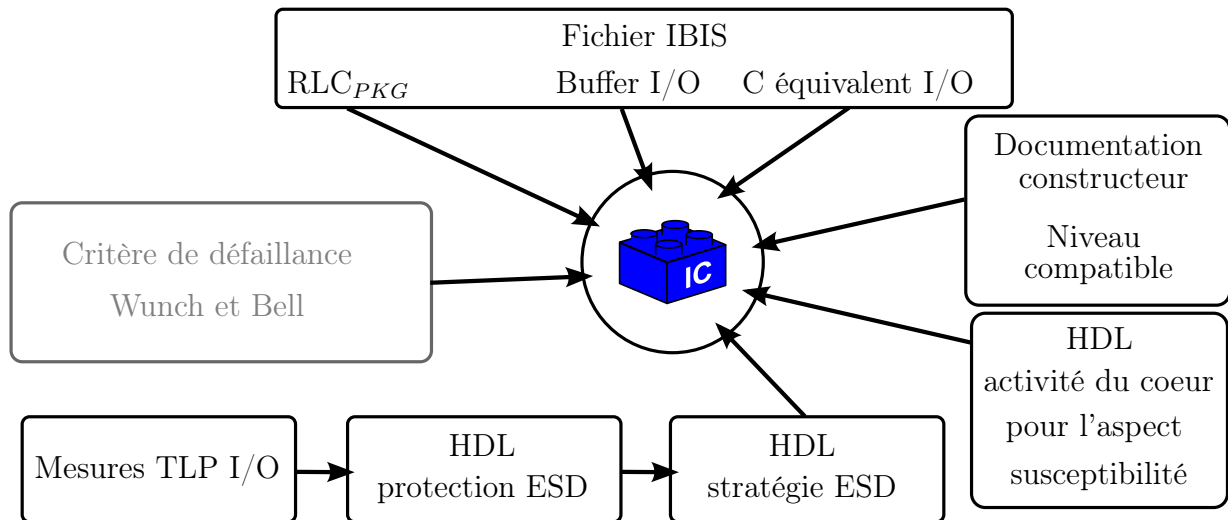


FIGURE 4.54: Éléments nécessaires à la construction du modèle d'un circuit intégré.

Le travail le plus important mené dans la thèse a été le développement et l'ajout de la stratégie de protection. Des modèles comportementaux des structures ESD typiques ont été développés en VHDL-AMS. Pour extraire les paramètres implémentés dans le code, nous avons utilisé les caractérisations statiques et quasi-statiques (TLP). Ces modèles ont été comparés à des descriptions semi-empiriques également développées pendant la thèse. Ces deux types de modélisation donnent les mêmes résultats, la méthode comportementale étant plus performante en terme de temps de calcul (d'un facteur 10 à 100). En ce qui concerne le circuit imprimé, nous avons repris les travaux de Nicolas Lacrampe, qui avait développé et validé des modèles de ligne PCB pour les ESD. Nous avons utilisé et re-codé ceux-ci dans notre méthode de modélisation pour prédire les phénomènes de propagation et de couplage. Nous avons vu que les éléments passifs des systèmes ne sont pas parfaits. Des modèles haute fréquence (HF) ont été élaborés pour prendre en considérations les effets parasites liées au boîtier de ces composants. Dans la première étude, cas B, les éléments parasites et plus particulièrement les effets inductifs se sont révélés très influents sur les résultats de simulation et ont dû être ajoutés aux modèles du système. Au final, les éléments HF ont tous été pris en considération dans la modélisation du cas d'étude N°3

permettant d'obtenir une simulation prédictive sans ajustement. Nous avons également réalisé les modèles des générateurs TLP et pistolet ESD disponibles au laboratoire qui permettent de reproduire l'environnement de test du système en simulation.

En parallèle, nous avons également développé des techniques d'injections et de mesures. Beaucoup de ces techniques sont inspirées des normes CEM ou d'appareils existant. Le pistolet ESD, référence pour le test système, a une forme très complexe et souffre de problèmes de reproductibilité. C'est pour cela que nous avons choisi de développer des méthodes d'injections basées sur la décharge de lignes de transmission (TLP). Ces générateurs ont une forme très simple à analyser et présentent une bonne reproductibilité. Nous avons également développé des techniques de mesures comme celles utilisant les pistes couplées, ou les boucles magnétiques, qui à partir de champs mesurés dans les conditions de champs proches, nous ont permis de mesurer les courants circulant dans les systèmes. Deux algorithmes de reconstitution ont été validés. Cette technique a été utilisée sur un banc de mesure trois axes permettant de cartographier les champs magnétiques émis par le système pendant la décharge et ainsi de tracer la répartition des courants.

Le dernier chapitre met en application et valide des différentes méthodes de modélisation et de caractérisation sur trois cas d'étude. Le premier cas d'étude nous a permis de valider les modèles comportementaux pour deux configurations typiques. Le deuxième cas nous a permis de faire une première investigation sur la susceptibilité d'un composant simple. Enfin, dans le dernier cas analysé, nous avons pu aller jusqu'à la prédiction d'un courant circulant dans un composant LIN soumis à une décharge IEC 61000-4-2 dans une configuration réelle. Lors de l'étude de ces cas, nous avons résolu la plupart des problèmes explicités dans les chapitres 2 et 3.

Nous avons montré que des modèles comportementaux sont suffisants pour faire des simulations prédictives de l'impact d'une décharge électrostatique sur un système en fonctionnement ou non. Les modèles comportementaux des protections ESD ont été réalisés selon les principes de préservation de propriété intellectuelle des modèles IBIS. Une extension des modèles IBIS, définissant les paramètres requis pour les simulations ESD, doit être envisagé. Une amélioration de nos modèles est toutefois nécessaire pour prendre en compte les aspects de robustesse en y ajoutant, par exemple, des modèles Wunsch et Bell. Nous sommes actuellement coordinateur d'un groupe de discussion, de l'ESD Association, visant à identifier les paramètres significatifs des circuits intégrés pour les simulations ESD systèmes.

Au cours de la thèse, nous avons également vu qu'il était difficile d'effectuer des mesures du courant entrant dans un circuit, en raison de configurations non adaptées (condensateur proche de la broche du circuit). La méthode de mesure avec les sondes de champ

proche s'est révélée inadaptée pour ces configurations et nécessite une amélioration. Nous travaillons actuellement avec David Pomeranke, sur la mise en commun de nos travaux respectifs en vue de définir une méthode d'injection, et par la suite, une possible utilisation des sondes pour la reconstitution du courant.

Bibliographie

- [1] JEDEC Standard JESD22-A114F, “Electrostatic Discharge (ESD) Sensitivity Testing Human Body Model (HBM),” *The JEDEC Solid State Technology Association*, December 2008, <http://www.jedec.org>.
- [2] ESD Association Standard Test Method ANSI/ESD STM5.3.1-2009, “Electrostatic Discharge Sensitivity Testing - Charged Device Model (CDM) Component Level,” *Electrostatic Discharge Association*, 2009, <http://www.esda.org>.
- [3] JEDEC Standard JESD22-A115C, “Electrostatic Discharge (ESD) Sensitivity Testing Machine Model (MM),” *The JEDEC Solid State Technology Association*, November 2010, <http://www.jedec.org>.
- [4] P. Besse, K. Abouda, and C. Abouda, “Identifying electrical mechanisms responsible for functional failures during harsh external ESD and EMC aggression,” *Microelectronics Reliability*, vol. 51, no. 9-11, pp. 1597–1601, 2011.
- [5] P. Besse, “ESD/EMC in an automotive environment,” Proceedings of International ESD Workshop (IEW), Seminar, Tutzing, Germany, 2010.
- [6] International Electrotechnical Commission Standard IEC 61000-4-2 Ed.2, “Electromagnetic compatibility (EMC) - Part 4-2 : Testing and measurement techniques - Electrostatic discharge immunity test,” 2008.
- [7] ISO Standard 10605, “Road vehicles, Test methods for electrical disturbances from electrostatic discharge,” July 2008.
- [8] N. Lacrampe, “Méthodologie de modélisation et de caractérisation de l’immunité des cartes électroniques vis à vis des décharges électrostatiques (ESD),” Ph.D. dissertation, INSA de Toulouse, LAAS CNRS, 2008.
- [9] J. Vinson and J. Liou, “Electrostatic discharge in semiconductor devices : an overview,” *Proceedings of the IEEE*, vol. 86, no. 2, pp. 399–420, 1998.
- [10] W. D. Greason, “Generalized model of electrostatic discharge (ESD) for bodies in approach : analyses of multiple discharges and speed of approach,” *Journal of Electrostatics*, vol. 54, no. 1, pp. 23 – 37, 2002. [Online]. Available : <http://www.sciencedirect.com/science/article/pii/S0304388601001474>

- [11] O. Semenov, H. Sarbishaei, and M. Sachdev, *ESD protection device and circuit design for advanced CMOS technologies*. Springer Verlag, 2008, ISBN 978-1-4020-8300-6.
- [12] Amarasekera, A. and Duvvury, C., *ESD in Silicon Integrated Circuits*. New York, NY : John Wiley and Sons, 2002, ISBN 978-0471498711.
- [13] T. Hammi, “Étude de méthodes de mesures et réalisation d’un banc de test pour l’évaluation des propriétés électrostatiques des textiles,” Ph.D. dissertation, Université des Sciences et Technologies de Lille, 2005.
- [14] P. Wilson, M. Ma, and A. Ondrejka, “Fields radiated by electrostatic discharges,” in *Electromagnetic Compatibility, 1988. Symposium Record., IEEE 1988 International Symposium on*, 1988, pp. 179–183.
- [15] M. Honda and Y. Ogura, “Electrostatic spark discharges three factors are critical,” in *Electrical Overstress-Electrostatic Discharge Symposium Proceedings, 1985 : EOS-7*. ESD Association, 1986, p. 149.
- [16] J. Huang, Q. Deng, F. Liu, Z. Chen, and P. Liu, “Electromagnetic field generated by transient electrostatic discharges (ESD) from person charged with low electrostatic voltage,” in *Electrical Overstress/Electrostatic Discharge Symposium, 2001. EOS/ESD '01.*, 2001, pp. 413–416.
- [17] S. Voldman, *ESD : physics and devices*. Wiley, 2004, ISBN 978-0470847534.
- [18] W. Stadler, S. Bargstadt-Franke, T. Brodbeck, R. Gaertner, M. Goroll, H. Gosner, and C. Jensen, “From the ESD robustness of products to the system ESD robustness,” in *Electrical Overstress/Electrostatic Discharge Symposium, 2004. EOS/ESD '04.*, 2004, pp. 1–8.
- [19] W. Stadler, T. Brodbeck, R. Gaertner, and H. Gossner, “Do ESD fails in systems correlate with IC ESD robustness?” *Microelectronics Reliability*, vol. 49, no. 9-11, pp. 1079–1085, Sep. [Online]. Available : <http://www.sciencedirect.com/science/article/B6V47-4WXB56X-6/2/b5df7729dc2b7e69523fcf90fa9f978e>
- [20] J. Rivenc, J. Vazquez-Garcia, P. Matossian, B. el Banani, and A. Agneray, “An overview of the technical policy developed by renault to manage ESD risks in airbags,” in *Industry Applications Conference, 2004. 39th IAS Annual Meeting. Conference Record of the 2004 IEEE*, vol. 2, 2004, pp. 1294–1301.
- [21] Industry Council On ESD Target Levels, “Understanding ESD Control Programs for ICs with various HBM and CDM Sensitivities,” 2011, <http://www.esda.org/>.
- [22] ESD Association Standard ANSI/ESD S20.20-2007, “Protection of Electrical and Electronic Parts, Assemblies and Equipment,” *Electrostatic Discharge Association*, 2007, <http://www.esda.org>.

- [23] International Electrotechnical Commission Standard IEC 61340-5-1, “Electrostatics, Protection of electronic devices from electrostatic phenomena—general requirements,” 2001.
- [24] T. Numaguchi, “Actual static control market situation and how to choose suitable ESD flooring systems for ESD control working areas,” in *Electrical Overstress/ Electrostatic Discharge Symposium (EOS/ESD), 2010 32nd*, 2010, pp. 1–8.
- [25] International Electrotechnical Commission Standard IEC 61340-3-1, “Methods for simulation of electrostatic effects ; Human body model (HBM) ; Component testing,” 2006.
- [26] ESD Association Standard Test Method ANSI/ESD STM5.1-2007, “Electrostatic Discharge Sensitivity Testing - Human Body Model (HBM) Component Level,” *Electrostatic Discharge Association*, 2007, <http://www.esda.org>.
- [27] Industry Council on ESD Target Levels, “White Paper 1 : A Case for Lowering Component Level HBM/MM ESD Specifications and Requirements,” Octobre 2010.
- [28] ESD Association Standard Test Method ANSI/ESD STM5.2-2009, “ESD standard test method for electrostatic discharge sensitivity testing, Machine Model (MM) component level,” *Electrostatic Discharge Association*, 2009, <http://www.esda.org>.
- [29] JEDEC Standard JESD22-C101E, “Field-Induced Charged-Device Model Test Method for Electrostatic Discharge Withstand Thresholds of Microelectronic Components,” *The JEDEC Solid State Technology Association*, December 2009, <http://www.jedec.org>.
- [30] Industry Council on ESD Target Levels, “White Paper 2 : A Case for Lowering Component Level CDM ESD Specifications and Requirements,” Avril 2010.
- [31] A. Olney, B. Gifford, J. Guravage, and A. Righter, “Real-world charged board model (CBM) failures,” in *Electrical Overstress/Electrostatic Discharge Symposium, 2003. EOS/ESD '03.*, 2003, pp. 1–10.
- [32] T. Reinvoio, T. Tarvainen, and T. Viheriakoski, “Simulation and physics of charged board model for ESD,” in *29th Electrical Overstress/Electrostatic Discharge Symposium, 2007. EOS/ESD*, 2007, pp. 5B.3–1–5B.3–5.
- [33] A. Olney, B. Gifford, J. Guravage, and A. Righter, “Real-world printed circuit board ESD failures,” *Microelectronics and Reliability*, vol. 45, no. 2, pp. 287–295, Feb. 2005. [Online]. Available : <http://www.sciencedirect.com/science/article/B6V47-4CTCSH9-2/2/587614d80ab958807d3c7e6a9ee09f39>
- [34] R. Grisel, L. Coyitangiye, A. Doukkali, F. Barbier, P. Descamps, and H. Murray, “An equivalent circuit model for simulation of the ggNMOS transient triggering under ESD operating conditions,” in *Industrial Electronics, 2009. IECON '09. 35th Annual Conference of IEEE*, 2009, pp. 1817–1822.

- [35] S. Voldman, *Latchup*. Wiley, 2007, ISBN 978-0470016428.
- [36] M. Hargrove, S. Voldman, R. Gauthier, J. Brown, K. Duncan, and W. Craig, "Latchup in cmos technology," in *Reliability Physics Symposium Proceedings, 1998. 36th Annual. 1998 IEEE International*. IEEE, 1998, pp. 269–278.
- [37] A. Amerasekera and C. Duvvury, "The impact of technology scaling on ESD robustness and protection circuit design," *Components, Packaging, and Manufacturing Technology, Part A, IEEE Transactions on*, vol. 18, no. 2, pp. 314–320, 1995.
- [38] G. Meneghesso, S. Santirossi, E. Novarini, C. Contiero, and E. Zanoni, "ESD robustness of smart-power protection structures evaluated by means of HBM and TLP tests," in *Reliability Physics Symposium, 2000. Proceedings. 38th Annual 2000 IEEE International*, 2000, pp. 270–275.
- [39] D. Lin, "ESD sensitivity and VLSI technology trends : thermal breakdown and dielectric breakdown," *Journal of Electrostatics*, vol. 33, no. 3, pp. 251–271, Oct. 1994. [Online]. Available : <http://www.sciencedirect.com/science/article/pii/0304388694900345>
- [40] J. Bernier, G. Croft, and W. Young, "A process independent ESD design methodology," in *Circuits and Systems, 1999. ISCAS '99. Proceedings of the 1999 IEEE International Symposium on*, vol. 1, 1999, pp. 218–221.
- [41] M. Ker and W. Lo, "Design on the low-leakage diode string for using in the power-rail ESD clamp circuits in a 0.35 μ m silicide CMOS process," *Solid-State Circuits, IEEE Journal of*, vol. 35, no. 4, pp. 601–611, 2000.
- [42] D. Trémouilles, "Optimisation et modélisation de protection intégrées contre les décharges électrostatique, par l'analyse de la physique mise en jeu," Ph.D. dissertation, Institut National des Sciences Appliquées de Toulouse INSA, LAAS CNRS, 2004.
- [43] G. Bertrand, "Conception et modélisation électrique de structures de protection contre les décharges électrostatiques en technologies bicmos et cmos analogique," Ph.D. dissertation, Institut National des Sciences Appliquées de Toulouse INSA, LAAS CNRS, 2001.
- [44] C. Richier, N. Maene, G. Mabboux, and R. Bellens, "Study of the ESD behavior of different clamp configurations in a 0.35 μ m cmos technology," in *Electrical Overstress/Electrostatic Discharge Symposium, 1997. Proceedings, 1997*, pp. 240–245.
- [45] M. Ker and T. Chen, "Design on the turn-on efficient power-rail ESD clamp circuit with stacked polysilicon diodes," in *Circuits and Systems, 2001. ISCAS 2001. The 2001 IEEE International Symposium on*, vol. 4, 2001, pp. 758–761 vol. 4.
- [46] W. Yuan, J. Song, C. Zhongjian, Z. Ganggang, and J. Lijiu, "A design model of gate-coupling NMOS ESD protection circuit," in *Solid-State and Integrated Circuits*

- Technology, 2004. Proceedings. 7th International Conference on*, vol. 2, 2004, pp. 856–859 vol.2.
- [47] M. Ker and C. Yen, “Investigation and design of On-Chip Power-Rail ESD clamp circuits without suffering Latchup-Like failure during System-Level ESD test,” *Solid-State Circuits, IEEE Journal of*, vol. 43, no. 11, pp. 2533–2545, 2008.
- [48] L. Avery, “Using scr’s as transient protection structures in integrated circuits,” p. 177, 1983, the Electrical Overstress/Electrostatic Discharge Symposium.
- [49] A. Chatterjee and T. Polgreen, “A low-voltage triggering SCR for on-chip ESD protection at output and input pads,” *Electron Device Letters, IEEE*, vol. 12, no. 1, pp. 21–22, 1991.
- [50] O. Semenov, H. Sarbishaei, and M. Sachdev, “Analysis and design of LVTSCR-based EOS/ESD protection circuits for burn-in environment,” in *Quality of Electronic Design, 2005. ISQED 2005. Sixth International Symposium on*, 2005, pp. 427–432.
- [51] J. Huang and G. Wang, “ESD protection design for advanced CMOS,” vol. 4600, pp. 123–131, 2001, proc. SPIE.
- [52] R. Merrill and E. Issaq, “Esd design methodology.” in *the Electrical Overstress/Electrostatic Discharge Symposium*, 1993, pp. 233–237.
- [53] M. Stockinger and J. Miller, “Advanced ESD rail clamp network design for high voltage CMOS applications,” in *Electrical Overstress/Electrostatic Discharge Symposium, 2004. EOS/ESD ’04.*, 2004, pp. 1–9.
- [54] M. Stockinger, J. W. Miller, M. G. Khazhinsky, C. A. Torres, J. C. Weldon, B. D. Preble, M. J. Bayer, M. Akers, and V. G. Kamat, “Advanced rail clamp networks for ESD protection,” *Microelectronics and Reliability*, vol. 45, no. 2, pp. 211–222, Feb. 2005. [Online]. Available : <http://www.sciencedirect.com/science/article/pii/S0026271404001532>
- [55] M. Stockinger, J. Miller, M. Khazhinsky, C. Torres, J. Weldon, B. Preble, M. Bayer, M. Akers, and V. Kamat, “Boosted and distributed rail clamp networks for ESD protection in advanced CMOS technologies,” in *Electrical Overstress/Electrostatic Discharge Symposium, 2003. EOS/ESD ’03.*, 2003, pp. 1–10.
- [56] T. Maloney and N. Khurana, “Transmission line pulsing techniques for circuit modeling of esd phenomena,” in *Electrical Overstress-Electrostatic Discharge Symposium Proceedings, 1985 : EOS-7*. ESD Association, 1985, p. 49.
- [57] H. Gieser and M. Haunschuld, “Very-fast transmission line pulsing of integrated structures and the charged device model,” in *Electrical Overstress/Electrostatic Discharge Symposium, 1996. Proceedings*, 1996, pp. 85–94.

- [58] E. Grund and R. Gauthier, “VF-TLP systems using TDT and TDRT for kelvin wafer measurements and package level testing,” in *Electrical Overstress/Electrostatic Discharge Symposium, 2004. EOS/ESD '04.*, 2004, pp. 1–8.
- [59] T. Sentaurus, “Tools, Synopsys, <http://www.synopsys.com>,” 2007.
- [60] SILVACO, Inc., “ATLAS, ATHENA Manuel d'utilisateur,” <http://www.silvaco.com/>, 2011.
- [61] M. Schenkel, “C2. TCAD for ESD,” in *Electrical Overstress/Electrostatic Discharge Symposium, 2008. EOS/ESD 2008. 30th*, 2008, p. 346.
- [62] J. Bourgeat, C. Entringer, P. Galy, F. Jezequel, and M. Baffleur, “TCAD study of the impact of trigger element and topology on silicon controlled rectifier turn-on behavior,” in *Electrical Overstress/ Electrostatic Discharge Symposium (EOS/ESD), 2010 32nd*, 2010, pp. 1–10.
- [63] H. Hyatt, “ESD : standards, threats and system hardness fallacies,” in *2002 Electrical Overstress/Electrostatic Discharge Symposium, 2002. EOS/ESD '02.*, 2002, pp. 178–185.
- [64] Industry Council on ESD Target Levels, “White Paper 3 System Level ESD Part I : Common Misconceptions and Recommended Basic Approaches,” Décembre 2010.
- [65] W. Stadler, T. Brodbeck, J. Niemesheim, R. Gaertner, and K. Muhonen, “Characterization and simulation of real-world cable discharge events,” in *EOS/ESD Symposium, 2009 31st*. IEEE, 2009, pp. 1–8.
- [66] K. Muhonen, N. Peachey, and A. Testin, “Human metal model (HMM) testing, challenges to using ESD guns,” in *EOS/ESD Symposium, 2009 31st*, 2009, pp. 1–9.
- [67] Y. Cao, D. Johnsson, B. Arndt, and M. Stecher, “A TLP-based human metal model ESD-generator for device qualification according to IEC 61000-4-2,” in *Electromagnetic Compatibility (APEMC), 2010 Asia-Pacific Symposium on*, 2010, pp. 471–474.
- [68] ESD Association, “Draft standard ESD DSP5.6-2009. Human Metal Model (HMM), component level of ESD Association Working Group WG 5.6,” 2009.
- [69] R. Jiang, T. Tseng, C. Chen, and C. Chuang, “Design of on-chip transient voltage suppressor in a silicon-based transceiver IC to meet IEC system-level ESD specification,” in *IC Design & Technology (ICICDT), 2011 IEEE International Conference on*, 2011, pp. 1–4.
- [70] S. Marum, C. Duvvury, J. Park, A. Chadwick, and A. Jahanzeb, “Protecting circuits from the transient voltage suppressor’s residual pulse during IEC 61000-4-2 stress,” in *EOS/ESD Symposium, 2009 31st*, 2009, pp. 1–10.
- [71] IEEE 1076.1, “standard : VHDL Analog and Mixed-Signal,” 1999.

- [72] J. Hamon, “Méthodes et outils de la conception amont pour les systèmes et les micro-systèmes,” Ph.D. dissertation, Institut National Polytechnique (INP) de Toulouse, 2005.
- [73] 74LVC04A TEXAS INSTRUMENTS, “Documentation technique constructeur, <http://www.ti.com/product/sn74lvc04a>.”
- [74] R. Cuny, “SPICE and IBIS modeling kits the basis for signal integrity analyses,” in *Electromagnetic Compatibility, 1996. Symposium Record. IEEE 1996 International Symposium on*, 1996, pp. 204–208.
- [75] S. Hall, H. Heck, and I. Books24x7, *Advanced signal integrity for high-speed digital designs*. Wiley Online Library, 2009, ISBN 0470192356.
- [76] H. Shen, Z. Wang, and W. Zheng, “PCB level SI simulation based on IBIS model for high-speed FPGA system,” in *Electronic Measurement & Instruments, 2009. ICEMI '09. 9th International Conference on*, 2009, pp. 4–74–4–79.
- [77] ANSI/EIA-656B, “IBIS (Input Output Buffer Information Specification), www.eigroup.org/IBIS.”
- [78] TEXAS INSTRUMENTS, “SN74LVC04A IBIS Model (Rev. C), <http://www.ti.com/product/sn74lvc04a>.”
- [79] The IBIS Open Forum, “IBIS MODELING COOKBOOK For IBIS Version 4.0, <http://www.eda.org/ibis/>.”
- [80] O. Semenov and S. Somov, “ESD protection design for I/O libraries in advanced CMOS technologies,” *Solid-State Electronics*, vol. 52, no. 8, pp. 1127–1139, Aug. 2008. [Online]. Available : <http://www.sciencedirect.com/science/article/pii/S0038110108001664>
- [81] S. Voldman, “The state of the art of electrostatic discharge protection : physics, technology, circuits, design, simulation, and scaling,” *Solid-State Circuits, IEEE Journal of*, vol. 34, no. 9, pp. 1272–1282, Sep. 1999.
- [82] —, “The state of the art of electrostatic discharge protection : physics, technology, circuits, design, simulation, and scaling,” *Solid-State Circuits, IEEE Journal of*, vol. 34, no. 9, pp. 1272–1282, 1999.
- [83] H. Gummel and H. Poon, “An integral charge control model of bipolar transistors,” *Bell Syst. Tech. J*, vol. 49, no. 5, pp. 827–852, 1970.
- [84] S. Miller, “Ionization rates for holes and electrons in silicon,” *Physical review*, pp. 105 :1246–1249, février 1957.
- [85] E. Christen, K. Bakalar, A. Dewey, and E. Moser, “Analog and mixed-signal modeling using the vhdl-ams language,” in *36th Design Automation Conference, New Orleans*, 1999.

- [86] P. Ashenden, *The designer's guide to VHDL*. Morgan Kaufmann, 2008, vol. 3, ISBN 978-0-12-088785-9.
- [87] B. Wadell, *Transmission line design handbook*. Artech House Boston (Ma), 1991, ISBN 0890064369.
- [88] H. Bakoglu, "Circuits, Interconnections, and Packaging for VLSI." 1990, ISBN 978-0201060089.
- [89] y. . International Electrotechnical Commission Standard IEC 61000-4-20, "Electromagnetic Compatibility (EMC), Part 4-20 : Testing and measurement techniques, Emission and immunity testing in Transverse Electromagnetic (TEM) waveguides, Basic EMC publication ."
- [90] J. Quinet and A. Petitclerc, *Théorie et pratique des circuits de l'électronique et des amplificateurs*. Dunod, 1968, vol. 2, ASIN B0014QID12.
- [91] M. Fletcher, A. Abel, P. Wahid, and M. Belkerdid, "Modeling of crosstalk in coupled microstrip lines," in *Southeastcon'88., IEEE Conference Proceedings*. IEEE, pp. 506–510.
- [92] Y. Sohn, J. Lee, H. Park, and S. Cho, "Empirical equations on electrical parameters of coupled microstrip lines for crosstalk estimation in printed circuit board," *Advanced Packaging, IEEE Transactions on*, vol. 24, no. 4, pp. 521–527, 2002.
- [93] K. Wang, D. Pommerenke, and R. Chundru, "Numerical modeling of esd-simulators," in *Electromagnetic Compatibility, 2002. EMC 2002. IEEE International Symposium on*, vol. 1. IEEE, 2002, pp. 93–98.
- [94] K. Wang, D. Pommerenke, R. Chundru, T. Van Doren, J. Drewniak, and A. Shashindranath, "Numerical modeling of electrostatic discharge generators," *Electromagnetic Compatibility, IEEE Transactions on*, vol. 45, no. 2, pp. 258–271, 2003.
- [95] D. Pommerenke and M. Aidam, "To what extent do contact-mode and indirect ESD test methods reproduce reality?" in *Electrical Overstress/Electrostatic Discharge Symposium Proceedings, 1995*, 1995, pp. 101–109.
- [96] K. M. Chui, "Simulation and Measurement of ESD Test for Electronics Devices," Ph.D. dissertation, 2003.
- [97] S. Caniggia and F. Maradei, "Circuit and numerical modeling of electrostatic discharge generators," *Industry Applications, IEEE Transactions on*, vol. 42, no. 6, pp. 1350–1357, 2006.
- [98] —, "Circuit and numerical modeling of electrostatic discharge generators," in *Industry Applications Conference, 2005. Fourtieth IAS Annual Meeting. Conference Record of the 2005*, vol. 2, 2005, pp. 1119–1123 Vol. 2.

- [99] H. Tanaka, O. Fujiwara, and Y. Yamanaka, "A circuit approach to simulate discharge current injected in contact with an esd-gun," in *Electromagnetic Compatibility, 2002 3rd International Symposium on*. IEEE, 2002, pp. 486–489.
- [100] D. Liu, A. Nandy, D. Pommerenke, S. J. Kwon, and K. H. Kim, "Full wave model for simulating a noiseken ESD generator," in *Electromagnetic Compatibility, 2009. EMC 2009. IEEE International Symposium on*, 2009, pp. 334–339.
- [101] T. Scientific, "Celestron TLP/VF-TLP test system, <http://www.thermoscientific.com>."
- [102] N. Mauran, "Conception et réalisation d'un banc de caractérisation sous pointes pour mesures impulsionnelles haute énergie," 2003, Mémoire ingénieur C.N.A.M, LAAS CNRS.
- [103] International Electrotechnical Commission Standard IEC 61967, "Electromagnetic compatibility (EMC), Circuits intégrés, Mesure des émissions électromagnétiques, 150 kHz à 1 GHz," 2003.
- [104] International Electrotechnical Commission Standard IEC 62132, "Electromagnetic compatibility (EMC), Circuits intégrés, Mesure de l'immunité électromagnétique, 150 kHz à 1 GHz," 2006.
- [105] S. Charruau, "Electromagnétisme et interconnexions :(outils théoriques avancés pour simulations informatiques)," *Sciences en actes*, 1997, ISBN 9782841340620.
- [106] J. Pérez, R. Carles, and R. Fleckinger, *Electromagnétisme, fondements et applications : avec 300 exercices et problèmes résolus*. Masson, 1996, ISBN 9782100055746.
- [107] R. Clayton, "Introduction to electromagnetic compatibility," *John Willey & Sons Inc., USA, 1992*, pp. 633–665.
- [108] D. Dascher, "Measuring parasitic capacitance and inductance using tdr," *Hewlett Packard Journal*, vol. 47, pp. 83–96, 1996.
- [109] Tektronix, "AC Current Probes, CT1, CT2, CT6 Datasheet," 2006.
- [110] J. Cooley and J. Tukey, "An algorithm for the machine calculation of complex fourier series," *Math. Comput*, vol. 19, no. 90, pp. 297–301, 1965.
- [111] K. Gonschorek and R. Vick, *Electromagnetic compatibility for device design and system integration*. Springer Verlag, 2009, ISBN 978-3642032899.
- [112] J. Mills, *Electro-magnetic interference reduction in electronic systems*. PTR Prentice Hall, 1993.
- [113] International Electrotechnical Commission Standard IEC 61967-3, "Electromagnetic Compatibility (EMC), Integrated circuits, Measurement of electromagnetic emissions, 150kHz to 1GHz - Part 3 : Measurement of radiated emissions - Surface scan method," 2005.

- [114] S. Demarty, “Contribution à l’étude électromagnétique théorique et expérimentale des cartes de circuit imprimé,” Ph.D. dissertation, Université de Limoges, 2006.
- [115] International Electrotechnical Commission Standard IEC 61967-4, “Electromagnetic Compatibility (EMC), Integrated circuits, Measurement of electromagnetic emissions, 150kHz to 1GHz - Part 4 : Measurement of conducted emissions - 1ohm/150ohm direct coupling method,” 2007.
- [116] J. Aime, J. Roudet, E. Clavel, O. Aouine, C. Labarre, F. Costa, and J. Ecrabey, “Prediction and measurement of the magnetic near field of a static converter,” in *Industrial Electronics, 2007. ISIE 2007. IEEE International Symposium on*. IEEE, 2007, pp. 2550–2555.
- [117] O. Aouine, C. Labarre, and F. Costa, “Measurement and modeling of the magnetic near field radiated by a buck chopper,” *Electromagnetic Compatibility, IEEE Transactions on*, vol. 50, no. 2, pp. 445–449, 2008.
- [118] S. Fukui, T. Naoi, and N. Toyama, “Esd current measurement using the near magnetic field,” *SAE transactions*, vol. 113, no. 7, pp. 250–256, 2004.
- [119] W. Huang, D. Liu, J. Xiao, D. Pommerenke, J. Min, and G. Muchaidze, “Probe characterization and data process for current reconstruction by near field scanning method,” in *Electromagnetic Compatibility (APEMC), 2010 Asia-Pacific Symposium on*. IEEE, pp. 467–470.
- [120] ZEN TOOLWORKS, “site du constructeur de machine CNC, <http://www.zentoolworks.com/>,” 2011.
- [121] A. Caristi, *IEEE-488, general purpose instrumentation bus manual*. Academic Press, Inc., 1990, ISBN 978-0121598204.
- [122] PYTHON Language, “Python Programming Language, Official Website, <http://www.python.org/>,” 2011.
- [123] N. Lacrampe, A. Boyer, F. Caignet, “Investigation of effects of an ESD pulse injected by a near-field probe into an oscillator block of a 16-bit microcontroller, IEEE EMC Workshop,” *6th International Workshop on Electromagnetic Compatibility of Integrated Circuits (EMC Compo 2007), Torino (Italie)*, November 2007.
- [124] International Electrotechnical Commission Standard IEC 62132-4, “Electromagnetic Compatibility (EMC), Integrated circuits, Measurement of electromagnetic immunity - 150 kHz to 1 GHz - Part 4 : Direct RF power injection method,” 2006.
- [125] S. Baffreau, “Susceptibilité des micro-contrôleurs aux agressions électromagnétiques,” Ph.D. dissertation, Institut National des Sciences Appliquées de Toulouse INSA, 2003.
- [126] O. Maurice, J. Pigneret, “Susceptibilité des composants numériques, CEM COMPO 1999, pp.40-45,” janvier 1999.

- [127] K. Wang, D. Pommerenke, J. M. Zhang, and R. Chundru, “The pcb level esd immunity study by using 3 dimension esd scan system,” in *Electromagnetic Compatibility, 2004. EMC 2004. 2004 International Symposium on*, vol. 2, aug. 2004, pp. 343 – 348 vol.2.
- [128] E. Grund, K. Muhonen, and N. Peachey, “Delivering iec 61000-4-2 current pulses through transmission lines at 100 and 330 ohm system impedances,” in *Electrical Overstress/Electrostatic Discharge Symposium, 2008. EOS/ESD 2008. 30th.* IEEE, 2008, pp. 132–141.
- [129] A. Delmas, D. Trémouilles, N. Nohier, M. Baffleur, N. Mauran, and A. Gendron, “Accurate transient behavior measurement of high-voltage esd protections based on a very fast transmission-line pulse system,” in *EOS/ESD Symposium, 2009 31st.* IEEE, 2009, pp. 1–8.
- [130] D. Tremouilles, S. Thijs, P. Roussel, M. Natarajan, V. Vassilev, and G. Groeseneken, “Transient voltage overshoot in tlp testing-real or artifact ?” *Microelectronics reliability*, vol. 47, no. 7, pp. 1016–1024, 2007.
- [131] S. Giraldo, C. Salamero, and F. Caignet, “Impact of the power supply on the ESD system level robustness,” in *Electrical Overstress/ Electrostatic Discharge Symposium (EOS/ESD), 2010 32nd*, 2010, pp. 1–8.
- [132] J. Lee, J. Shih, H. Kuan, and K. Wu, “The influence of decoupling capacitor on the discharge behavior of fully silicided power-clamped device under HBM ESD event,” in *Physical and Failure Analysis of Integrated Circuits (IPFA), 2010 17th IEEE International Symposium on the*, 2010, pp. 1–5.
- [133] J. Charras, “Kicad : GPL PCB Suite, http://www.lis.inpg.fr/realise_au_lis/kicad/.”
- [134] N. Lacrampe, A. Alaeldine, F. Caignet, and R. Perdriau, “Investigation on esd transient immunity of integrated circuits,” in *Electromagnetic Compatibility, 2007. EMC 2007. IEEE International Symposium on.* IEEE, 2007, pp. 1–5.
- [135] International Electrotechnical Commission Standard IEC 62132-3, “Electromagnetic Compatibility (EMC), Integrated circuits, Measurement of electromagnetic immunity - 150 kHz to 1 GHz - Part 3 : Bulk current injection (BCI) method,” 2007.
- [136] Freescale Semiconductor, “Datasheet MC33662, LIN 2.1 / SAEJ2602-2, LIN Physical Layer.”
- [137] F. Lafon, “Développement de techniques et de méthodologies pour la prise en compte des contraintes cem dans la conception d’équipements du domaine automobile. etude de l’immunité, du composant à l’équipement.” Ph.D. dissertation, Institut National des Sciences Appliquées (INSA) de Rennes, 2011.
- [138] “LIN Conformance Test Specification for LIN 2.0 Version 1.0,” August 1, 2004.

- [139] D. Wunsch and R. Bell, "Determination of threshold failure levels of semiconductor diodes and transistors due to pulse voltages," *Nuclear Science, IEEE Transactions on*, vol. 15, no. 6, pp. 244–259, 1968.
- [140] P. Besse, J. Laine, A. Salles, and M. Baird, "Correlation between system level and TLP tests applied to stand-alone ESD protections and commercial products," in *Electrical Overstress/ Electrostatic Discharge Symposium (EOS/ESD), 2010 32nd*, 2010, pp. 1–6.
- [141] R. Xiaofen, Z. Xijun, W. Zhancheng, and W. Shuping, "Study on two types of commercial ESD simulators," in *Environmental Electromagnetics, 2003. CEEM 2003. Proceedings. Asia-Pacific Conference on*, 2003, pp. 233–236.
- [142] R. Chundru, D. Pommerenke, K. Wang, T. Van Doren, F. Centola, and J. S. Huang, "Characterization of human Metal ESD reference discharge event and correlation of generator parameters to failure levels-part I : reference event," *Electromagnetic Compatibility, IEEE Transactions on*, vol. 46, no. 4, pp. 498–504, 2004.
- [143] K. Wang, D. Pommerenke, R. Chundru, T. Van Doren, F. Centola, and J. S. Huang, "Characterization of human metal ESD reference discharge event and correlation of generator parameters to failure levels-part II : correlation of generator parameters to failure levels," *Electromagnetic Compatibility, IEEE Transactions on*, vol. 46, no. 4, pp. 505–511, 2004.
- [144] K. Wang, D. Pommerenke, R. Chundru, J. Huang, K. Xiao, P. Ilavarasan, and M. Schaffer, "Impact of ESD generator parameters on failure level in fast CMOS system," in *Electromagnetic Compatibility, 2003 IEEE International Symposium on*, vol. 1, 2003, pp. 52–57 vol.1.
- [145] M. Honda, "Measurement of ESD-gun radiated fields," in *29th Electrical Overstress/Electrostatic Discharge Symposium, 2007. EOS/ESD, 2007*, pp. 5B.4–1–5B.4–5.
- [146] J. Koo, Q. Cai, D. Pommerenke, K. Wang, J. Mass, M. Hirata, and A. Martwick, "The repeatability of system level ESD test and relevant ESD generator parameters," in *Electromagnetic Compatibility, 2008. EMC 2008. IEEE International Symposium on*, 2008, pp. 1–6.
- [147] D. Johnsson, M. Mayerhofer, J. Willemen, U. Glaser, D. Pogany, E. Gornik, and M. Stecher, "Avalanche breakdown delay in High-Voltage p-n junctions caused by Pre-Pulse voltage from IEC 61000-4-2 ESD generators," *Device and Materials Reliability, IEEE Transactions on*, vol. 9, no. 3, pp. 412–418, 2009.
- [148] R. Ashton, B. Weir, G. Weiss, and T. Meuse, "Voltages before and after HBM stress and their effect on dynamically triggered power supply clamps," in *Electrical Overstress/Electrostatic Discharge Symposium, 2004. EOS/ESD '04.*, 2004, pp. 1–7.

- [149] J. Barth, R. Ashton, E. Worley, and J. Richner, “Voltages before and after current in HBM testers and real HBM,” in *Electrical Overstress/Electrostatic Discharge Symposium, 2005. EOS/ESD '05.*, 2005, pp. 1–11.

Liste des publications

Revues :

- "An Accelerated Stress Test Method for Electrostatically Driven MEMS Devices"; J. Ruan; N. Monnereau; D. Trémouilles; N. Mauran; F. Coccetti; N. Nolhier; R. Plana; Instrumentation and Measurement, IEEE Transactions on , vol.PP, no.99, pp.1-6, 0 doi : 10.1109/TIM.2011.2161937.
- "A System-Level Electrostatic-Discharge-Protection Modeling Methodology for Time-Domain Analysis"; N. Monnereau; F. Caignet; D. Trémouilles; N. Nolhier; *M. Baffleur*; Paper ID TEMC-205-2011; acceptée, prévue pour publication dans le journal : *Transactions on Electromagnetic Compatibility*;

Invitées :

- "Building-up of system level ESD modeling : Impact of a decoupling capacitance on ESD Propagation" N. Monnereau; F. Caignet; D. Trémouilles; prévu pour publication dans le journal : *Microelectronics Reliability, special issue on ESD, 2012*
- "Investingating the probability of susceptibility failure within ESD system level consideration" N. Monnereau; F. Caignet; N. Nolhier; D. Trémouilles; prévu pour publication dans le journal : *IEEE Transactions on Device and Materials Reliability, september 2012*

Congrès Internationaux :

Avec acte :

- "Building-up of system level ESD modeling : Impact of a decoupling capacitance on ESD Propagation" N. Monnereau; F. Caignet; D. Trémouilles; *Electrical Overstress / Electrostatic Discharge Symposium (EOS/ESD Symposium 2010), Reno (USA), 3-8 Octobre 2010, pp.127-136., vol., no., pp.1-10.*
- "Investingating the probability of susceptibility failure within ESD system level consideration" N. Monnereau; F. Caignet; N. Nolhier; D. Trémouilles; *Conférence : Electrical Overstress / Electrostatic Discharge Symposium (EOS/ESD Symposium 2011), September 11-16, 2011, Disneyland Hotel, Anaheim, CA., vol., no., pp.1-6.*

- “ESD system level characterization and modeling methods applied to a LIN transceiver,” *P. Besse ; F. Lafon ; N. Monnereau ; F. Caignet ; J.P. Laine ; A. Salles ; S. Rigour ; M. Bafleur ; N. Nolhier ; D. Trémouilles ; Conférence : Electrical Overstress / Electrostatic Discharge Symposium (EOS/ESD Symposium 2011), September 11-16, 2011, Disneyland Hotel, Anaheim, CA., vol., no., pp.1-9.*
- “Behavioral-modeling methodology to predict electrostatic-discharge susceptibility failures at system level : an IBIS improvement” *N. Monnereau ; F. Caignet ; N. Nolhier ; D. Trémouilles ; M. Bafleur ; Conférence : Electromagnetic Compatibility (EMC) Europe, York, Uk, September 26-30, 2011, vol., no., pp.457-463.*

Sans acte :

- “Non-invasive system level ESD current measurement using magnetic field probe” *F. Caignet ; N. Monnereau ; N. Nolhier ; International Electrostatic Discharge Workshop 2010, Tutzing (Allemagne), 10-13 Mai 2010.*
- “Simple ICs-internal-protection models for system level ESD simulation“ *D. Trémouilles ; N. Monnereau ; F. Caignet ; M. Bafleur ; International Electrostatic Discharge Workshop 2010, Tutzing (Allemagne), 10-13 Mai 2010.*
- “Impact of a decoupling capacitance on ESD propagation at system Level : Simulation and Measurement Comparison” *N. Monnereau ; F. Caignet ; D. Trémouilles ; International Electrostatic Discharge Workshop 2010, Tutzing (Allemagne), 10-13 Mai 2010.*
- “Improving IBIS for System Level ESD Simulation” *F. Caignet ; N. Monnereau ; N. Nolhier ; D. Trémouilles ; M. Bafleur ; International Electrostatic Discharge Workshop 2012, Oud Turnhout, Belgium, 14-17 Mai 2012.*

Congrès Nationaux

- “Impact de la capacité de découplage sur la propagation des ESD au niveau système : Comparaison mesure et simulation” *N. Monnereau ; F. Caignet ; D. Trémouilles ; ANADEF (12ème atelier), Port d’Albret (France), 1-4 Juin 2010.*
- “Méthodes d’analyse de l’impact d’une décharge électrostatique survenant sur un système électronique sur puce” *N. Monnereau Journées Ecole Doctoral GEET, Toulouse, 17 Mars 2011.*
- “Méthodes d’analyse de l’impact d’une décharge électrostatique survenant sur un système électronique sur puce” *N. Monnereau Conférence : Journées Nationales du Réseau Doctoral en Microélectronique (JNRDM), Cachan, du 23 au 25 Mai 2011.*

Annexes

Annexe A : Problèmes liées aux pistolets ESD

Le standard IEC61000-4-2 souffre de lacunes dans sa définition en ne spécifiant que la forme temporelle que doit générer les pistolets ESD dans une impédance de 2 ohm. Aucune autre information concernant le rayonnement ainsi que le spectre n'est définie. Cet annexe décrit l'état de l'art des problèmes des pistolets ESD.

Rayonnements des pistolets ESD : La norme IEC61000-4-2 spécifie que les générateurs de décharges doivent être équipés de moyens empêchant les émissions rayonnées ou conduites non désirées afin de ne pas perturber le produit sous test et le matériel d'essai auxiliaire. Malgré cela, de nombreuses études ont montré que les pistolets ESD génèrent de forts champs électriques et magnétiques [141, 142, 143, 144].

Des mesures ont été réalisées par M. Honda pour évaluer les champs transitoires magnétiques et électriques pouvant être couplés sur un système lors de l'application d'une décharge avec un pistolet ESD [145]. Pour évaluer les champs magnétiques, il mesure le courant crête à crête circulant dans une boucle de courant de 1 cm de diamètre placée à quelques centimètres de l'électrode du pistolet, lorsque celui-ci est déchargé en mode contact dans un plan de masse métallique (Figure 4.55). De la même manière, il mesure les champs électriques en remplaçant la boucle de courant par une antenne de 5 mm. Les champs électriques et magnétiques estimés par [145] sont donnés dans le Tableau 4.1 :

Pour des courtes distances (5 cm), le champ magnétique atteint 9 à 90 A/m et le champ électrique atteint 3 à 36 V/m pour des décharges du générateur variant de 700 V à 8 kV. Durant les tests IEC61000-4-2, ces forts champs transitoires se couplent sur les pistes du circuit imprimé ou dans les câbles de connections du produit sous test. Ce couplage va venir perturber le fonctionnement du produit pouvant impliquer des problèmes de reproductibilité des tests.

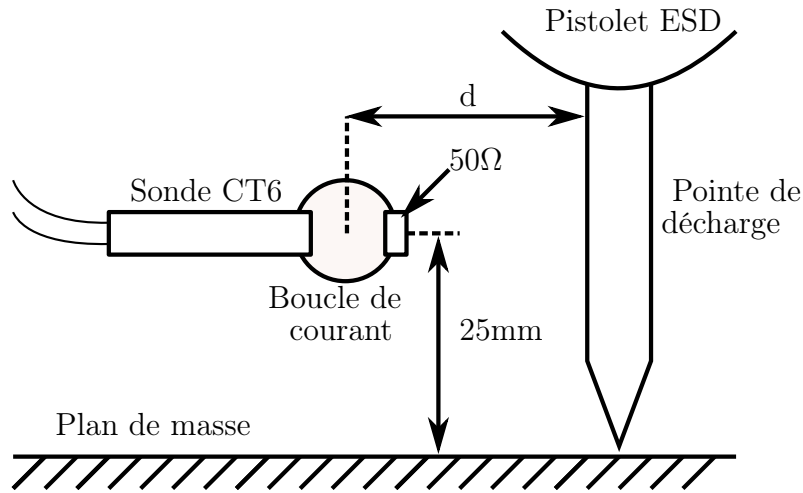


FIGURE 4.55: Schéma illustrant la mesure du rayonnement du pistolet ESD à l'aide d'une boucle de courant [145].

(a)

	Champ magnétique induit en A/m				
ESD(kV)	0.7	1.5	3	5	8
d=5cm	8,35	17,9	35,8	59,7	95,5
d=10cm	2,08	4,47	8,95	14,9	23,8
d=15cm	0,93	1,98	3,98	6,63	10,6
d=30cm	0,23	0,49	0,99	1,65	2,65

(b)

	Champ électrique induit en kV/m				
ESD(kV)	0.7	1.5	3	5	8
d=5cm	3,1	6,75	13,5	22,5	36
d=10cm	0,777	1,68	3,375	5,6	9
d=15cm	0,345	0,75	1,5	2,5	4
d=30cm	0,086	0,187	0,375	0,625	1

TABLE 4.1: (a) Estimation du champ magnétique induit dans la boucle de 1 cm et (b) le champ électrique induit dans une antenne monopole de 5 mm pour différentes tensions de charge du pistolet et différente distance "d" de l'antenne [145].

Les études [141, 142, 143, 144] ont montré que les pistolets ESD génèrent des champs électromagnétiques différents suivant les constructeurs. Jayon Koo a réalisé en collaboration avec différents chercheurs un « tour du monde des tests » en 2006 [146]. Il s'agissait d'une étude menée dans trois laboratoires, deux situées aux États Unis et un au Japon. Dans cette étude, il analyse l'impact des paramètres du courant de décharge ainsi que

les champs transitoires de huit pistolets ESD sur les tests IEC. Il cherche notamment à déterminer quels paramètres influencent la reproductibilité des tests.

Pour évaluer les champs transitoires émis par le pistolet ESD, l'auteur utilise une demi boucle de 28 mm de diamètre connectée à un oscilloscope. Cette sonde est placée à 10 cm du lieu de la décharge sur le plan de masse. La tension induite dans cette demi boucle lors de la décharge du pistolet en mode contact permet d'observer le champ transitoire. L'allure spectrale de la tension mesurée est donnée Figure 4.56. Nous remarquons de fortes variations pour les différents pistolets au delà de 500 MHz. Les différents tests de robustesse effectués dans différents laboratoires ont permis de conclure que les champs transitoires des pistolets contribuent fortement aux problèmes de reproductibilité des tests au niveau système.

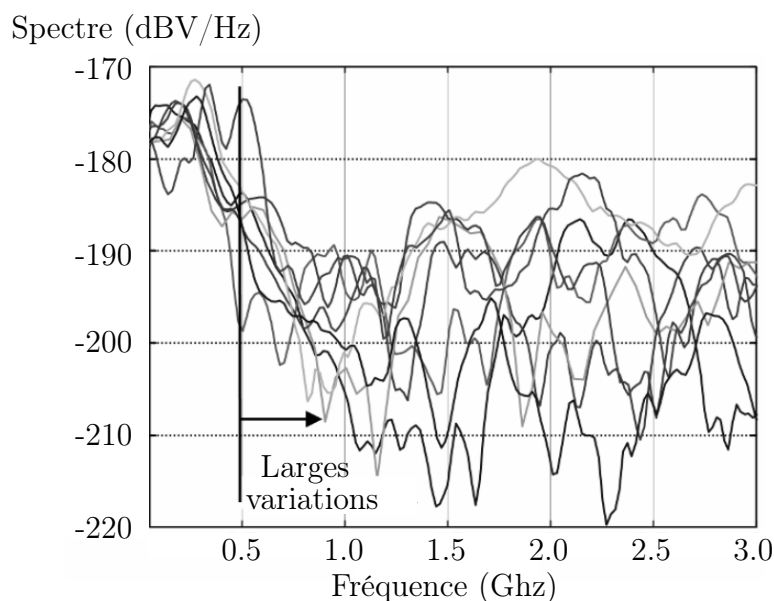


FIGURE 4.56: Spectre de la tension induite dans une boucle de 28mm placée à 10cm de la pointe de décharge pour 8 générateurs différents.

Contenu spectral en mode conduit des pistolets ESD : Le spectre de la perturbation conduite, envoyé dans le système sous test, varie suivant le pistolet ESD utilisé même si ceux-ci respectent les spécifications de la forme du courant. La norme n'impose aucune spécification du spectre conduit. Un problème de reproductibilité des tests IEC61000-4-2 relatif au spectre conduit a été montré par Muhonen sur des composants cellulaires (module de transmission) testés avec 2 pistolets de marque différente [66]. L'énergie totale envoyée par ces deux testeurs est identique. Pourtant, suivant le pistolet ESD utilisé, la robustesse du produit passe de 7 à 12 kV. Dans son étude, Muhonen montre que le problème de défaillance de son produit ne vient pas de l'énergie totale envoyée par le pistolet mais du contenu spectral. La gamme de fréquence utile pour l'application se situe

de 800 MHz à 1 GHz. Afin d'éviter d'endommager le module de transmission lors d'une décharge ESD, la protection est un filtre passe-haut qui atténue fortement les fréquences en dessous de 800 MHz. La densité spectrale de puissance des deux pistolets ESD dans la bande de fréquence de l'application est donnée Figure 4.57. Pour les fréquences de 880 MHz à 940 MHz, le pistolet 1 a une amplitude plus importante (+8 dbm) que le pistolet 2. C'est cette différence d'amplitude dans le spectre qui est à l'origine de la différence de défaillance du produit sous test. Le contenu spectral variant d'un générateur à l'autre peut créer différents niveaux de défaillance même si l'énergie globale envoyée est la même.

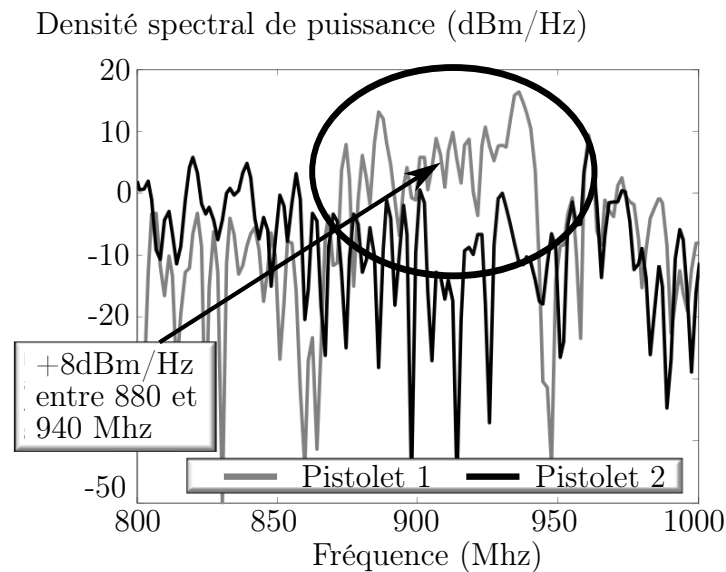


FIGURE 4.57: Comparaison de la densité spectrale de puissance de deux pistolets ESD dans la bande de fréquence de fonctionnement de l'application [66].

Problème de Pré-charge du système lors des tests IEC61000-4-2 : Les générateurs IEC61000-4-2 peuvent charger le système sous test à plusieurs dizaines de volts avant l'envoi de l'impulsion [147]. En effet, un faible courant circule entre le pistolet ESD et le système sous test pouvant charger les petites capacités, avant même l'envoi de l'impulsion ESD. L'existence de ce « pre-pulse » courant a été mis en évidence par Robert Ashton pour les générateurs HBM [148]. L'origine de ce courant est liée à la capacité du relais qui varie lorsque celui ci se ferme [149]. En effet, les électrodes du relais sont deux surfaces en regard formant une capacité. Lorsque le relais va se fermer, la capacité va augmenter au fur et à mesure que les électrodes se rapprochent. Ceci va engendrer un faible courant qui va commencer à circuler dans le système quelques microsecondes avant l'envoi de l'impulsion.

Le même phénomène est présent dans les pistolets ESD. Celui ci est même plus intense compte tenu des tensions de charge plus importantes que le HBM et des relais plus gros pour commuter les forts courants [147]. Johnson a montré que la tension mesurée aux bornes d'une jonction PN (V_{bv} 50 V) commence à augmenter quelques centaines de microsecondes avant que l'impulsion ai lieu. Au moment de la décharge (à 0 s Figure 4.58), la tension atteint 5 à 30 V suivant le testeur utilisé. La jonction est utilisée en mode avalanche pour la protection contre les décharges ESD. Le « pre-pulse » courant va charger la capacité de la jonction et dépléter sa zone de charge d'espace. Au moment de la décharge, l'effet d'avalanche va être retardé car la zone de charge est vide de porteur et ne favorisent pas l'impact par ionisation. Ce retard dans l'avalanche implique un délai de déclenchement plus long, ce qui est critique pour une protection ESD.

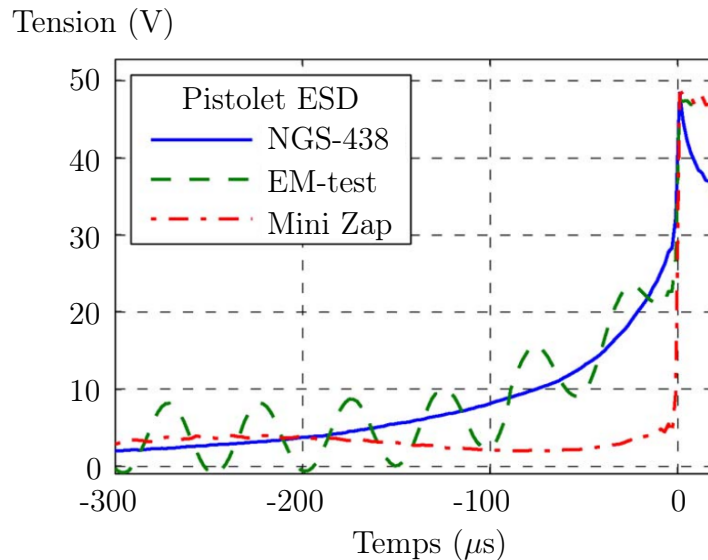


FIGURE 4.58: Tension mesurée aux bornes d’une jonction PN ($V_{bv}=50$ V) avec une sonde passive lors de l’envoi d’une décharge de 5 kV avec 3 générateurs de marque différente [147].

Il est à noter que les tests effectués par Jonhson ont été réalisés sur une seule jonction PN dont la capacité est très faible. Si les tests sont effectués sur un système complet, le « pré-pulse » courant est distribué dans tous les éléments capacitifs du système. Les tensions de charge sont moins importantes rendant le système moins sensible à ce phénomène.

Connexion du retour de masse du pistolet ESD, influence sur la forme de la décharge : Le câble de retour de masse a une grande influence sur la forme d’onde du courant généré par les pistolets. Une étude sur la longueur du câble a été réalisée par Lacrampe [8]. Le câble d’origine de 2 m de long a été remplacé pour un câble de 10 cm. Les résultats ont montré que le premier pic de courant n’est plus présent pour le câble de 10 cm. La forme générale de la décharge est influencée par la longueur du câble de retour de masse. Une autre étude a montrée que suivant le retour de masse (sur le sol ou sur la table d’essai) la forme du courant n’est pas la même [66]. Le 1er pic de courant est réduit et la forme générale est modifiée.

Couplage par la masse : La référence des appareils de mesures peut fluctuer lors de l’envoi d’une impulsion ESD sur une carte. Une expérience, réalisé par Lacrampe [8], met en évidence l’existence de couplage par la masse. Deux cartes indépendantes sont connectées sur le même oscilloscope. Une des cartes est connectée à la voie 1 de l’oscilloscope. L’autre carte, placé à 20 cm de la première, est connectée à la voie 2. Lorsqu’une décharge de 8 kV est envoyée avec le pistolet ESD sur la carte 1, des fluctuations de 3 V crête à crête sont constatées sur la voie 2 de l’oscilloscope. Ces couplages impliquent des

fluctuations des potentiels de référence qui remontent par le blindage des câbles jusqu'aux appareils de mesure.

Conclusion : Les testeurs réalisés en accord avec le standard IEC61000-4-2 permettent de tester l'immunité des systèmes électroniques vis à vis des décharges électrostatiques. Cependant, ce standard ne spécifie que quatre paramètres (temps de montée, courant à 1 ns, 30 ns et 60 ns) décrivant uniquement la forme d'onde du courant de décharge dans une impédance de deux ohms. Aucune autre information concernant le rayonnement ainsi que le spectre n'est spécifiée. Ainsi, même si les formes de courant générées par des pistolets de marques différentes sont similaires et respectent le standard, leur rayonnement électromagnétique ainsi que leur spectre peuvent varier considérablement. Ces variations peuvent perturber le fonctionnement du système et créer des différences de robustesse impliquant des problèmes de reproductibilité. De nouvelles spécifications sont nécessaires pour améliorer la reproductibilité.

Annexes B : modèles semi-empiriques

Code source VHDL-AMS du transistor NPN

```
1 library IEEE;
2 use IEEE.electrical_systems.all;
3 use IEEE.math_real.all;
4 use work.all;
5
6 entity NPN_Erbers_Moll_autop is
7   generic (
8     Is0 : real:=1.0e-14; — courrant de saturation de transport
9     Bf : real :=100.0; — beta direct ideal
10    Nf : real :=1.0; — coefficient d'emission direct
11    Br : real :=1.0; — beta inverse ideal
12    Nr : real :=1.0; — coefficient d'emission inverse
13    Vth: real :=26.0e-3;
14    Vbrk: REAL := 12.0;
15    Nb: REAL := 100.0;
16    k1: REAL := 1.0;      m: real:= 3.0);
17 port (
18   terminal B,C,E : ELECTRICAL);
19 end entity NPN_Erbers_Moll_autop;
20
21 architecture behav of NPN_Erbers_Moll_autop is
```

```

22  quantity Vbc across Ibc through B to C;
23  quantity Vbe across Ibe through B to E;
24  quantity Ice through C to E;
25  quantity Vcb across Icb through C to B;
26  begin
27      — equation de la jonction collecteur
28      Ibc = Is0/Br * (exp( Vbc / ( Nr * Vth ) ) -1.0);
29      — equation de la jonction emetteur
30      Ibe = Is0/Bf * (exp( Vbe / ( Nf * Vth ) ) -1.0);
31      — equation de courant de transport
32      Ice = Ibe * Bf - Ibc * Br;
33      — equation de l'avalanche de la jonction base collecteur
34      Icb = k1*(Ice-Ibc)
35          *(((1.0 - ((Vcb/Vbrk)**m)**(Nb+1.0)))/(1.0 - ((Vcb/Vbrk)**m))) - 1.0);
36 end architecture behav;

```

Code source VHDL-AMS du transistor PNP

```

1  library IEEE;
2  use IEEE.electrical_systems.all;
3  use IEEE.math_real.all;
4  use work.all;
5
6  entity PNP_Erbers_Moll is
7      generic (
8          Is0 : real:=1.0e-14; — courant de saturation de transport
9          Bf : real :=100.0; — beta direct ideal
10         Nf : real :=1.0; — coefficient d'emission direct
11         Br : real :=1.0; — beta inverse ideal
12         Nr : real :=1.0; — coefficient d'emission inverse
13         Vth: real :=26.0e-3);
14  port (
15      terminal B,C,E : ELECTRICAL);
16  end entity PNP_Erbers_Moll;
17
18  architecture behav of PNP_Erbers_Moll is
19      quantity Vcb across Icb through C to B;
20      quantity Veb across Ieb through E to B;
21      quantity Iec through E to C;
22      begin
23          — equation de courant de transport
24          Iec = Ieb * Bf - Icb * Br;
25          — equation de la jonction collecteur
26          Icb = Is0/Br * (exp( Vcb / ( Nr * Vth ) ) -1.0);
27          — equation de la jonction emetteur
28          Ieb = Is0/Bf * (exp( Veb / ( Nf * Vth ) ) -1.0);

```

```
29 end architecture behav;
```

Code source VHDL-AMS des diodes

```
1 entity diode is
2   generic (
3     Ron   : real := 1.0; —resistance etat passant
4     n     : real := 2.0; —coefficient de non idealite
5     Isat  : real := 1.0e-14); —courant de saturation
6   port (
7     terminal A : electrical;
8     terminal C : electrical);
9   end entity diode;
10
11 architecture empirique of diode is
12   quantity Vd across Id through A to C;
13   constant Vth: real:= 26.0e-3; —tension de bruit thermique
14   begin
15     Id = Isat*(exp((Vd-Ron*Id)/(n*Vth)) - 1.0);
16 end architecture empirique;
```

Code source VHDL-AMS du transistor NMOS

```
1 entity nmos is
2   generic (
3     Kp    : real := 6.25e-3; —Transconductance
4     VT    : real := 0.8;    —Tension de seuil
5     W     : real := 10.0e-6; —Largeur du canal
6     L     : real := 0.25e-6); —Longueur du canal
7   port (
8     terminal G,D,S : electrical);
9   end entity nmos;
10
11 architecture behav of nmos is
12   quantity Vds across Ids through D to S;
13   quantity Vgs across G to S;
14   begin
15     — regime boque
16     if ((Vgs <= VT)) use
17       Ids = 0.0;
18     —regime ohmique
19     elsif ((Vgs>VT) and Vds<(Vgs-VT) and (Vds>= 0.0)) use
20       Ids ==((Kp * (W/L) * ((Vgs - VT)-(Vds/2.0))*Vds));
21     —regime sature
22     else Ids ==((Kp/2.0)*(W/L)*((Vgs-VT)*(Vgs-VT)));
23     end use;
24 end architecture behav;
```

Annexes C : modèles comportementaux

Code source VHDL-AMS du transistor NMOS avec déclenchement dynamique

```
1 library IEEE;
2 use IEEE.electrical_systems.all;
3 use IEEE.math_real.all;
4 use work.all;
5
6 entity mos_behav is
7     generic (
8         ron    : REAL := 1.0;
9         transit: REAL := 0.1e9;
10        rond   : REAL := 1.0;
11        vthd   : REAL := 0.7;
12        vth    : REAL := 0.7);
13    port (
14        terminal P : ELECTRICAL;
15        terminal N : ELECTRICAL);
16 end entity mos_behav;
17
18 architecture behav of mos_behav is
19     quantity V across I through P to N;
20     signal flag: integer range 3 downto 0; begin
21     process
22         variable state: integer range 3 downto 0 := 0;
23     begin
24         flag <= state;
25         case state is
26             when 0 => wait until V'dot'Above(transit) or (not V'Above(-vthd));
27                 if (not V'Above(-vthd)) then state:= 3;
28                 else state:=1;
29                 end if;
30             when 1 => wait until V'Above(vth) or (not V'Above(0.0));
31                 if V'Above(vth) then state:= 2;
32                 else state:=0;
33                 end if;
34             when 2 => wait until not V'Above(vth);
35                 state:=0;
36             when 3 => wait until V'Above(-vthd);
37                 state:=0;
38             when others => null;
39         end case;
40     end process;
```

```

41
42     if (flag = 2) use I == (V-vth)/ron;
43     elsif (flag = 3) use I == (V+vthd)/ron;
44     else I == 0.0;
45     end use;
46     break on flag;
47 end architecture behav;

```

Code source VHDL-AMS du la protection du LIN.

```

1 library IEEE;
2 use IEEE.electrical_systems.all;
3 use IEEE.math_real.all;
4 use work.all;
5
6 entity lin2 is
7     generic (
8         v1 : real:=61.0;
9         v2 : real:=63.0;
10        v3 : real:=28.7;
11        v4 : real:=61.8;
12        v5 : real:=51.0;
13        i2 : real:=24.0e-3;
14        i3 : real:=137.0e-3;
15        i4 : real:=19.4;
16        i5 : real:=21.0;
17        a : real := 8.02163861e-4; — coefficient du polynome
18        b : real:=-1.29592693e-1;
19        c : real:=7.16001368;
20        d : real:=-1.17096923e2);
21     port (
22         terminal P,N : ELECTRICAL);
23 end entity lin2;
24
25 architecture behav of lin2 is
26     quantity V across I through P to N;
27     constant m1: REAL := i2/(v2-v1); — coefficient directeur droite 1
28     constant p1: REAL := (i2-(m1*V2));
29     constant m2: REAL := ((i5-(a*v4*v4*v4+b*v4*v4+c*v4+d))/(v5-v4)); — polynome
30     constant p2: REAL := (i5 - (m2*v5));
31     signal flag: integer range 4 downto 0;
32
33     process — partie numerique
34         variable state: integer range 4 downto 0 := 0;
35     begin
36         flag <= state;

```

```

37     case state is
38         when 0 => wait until V'Above(v1);
39             if (V'Above(v2)) then state:= 2;
40             else state:=1;
41             end if;
42         when 1 => wait until ((not V'Above(v1)) or V'Above(v2));
43             if (V'Above(v2)) then state:= 2;
44             else state:=0;
45             end if;
46         when 2 => wait until (not V'Above(28.35));
47             state:=0;
48         when others => null;
49     end case;
50 end process;
51     --partie analogique
52     if (flag = 2) use I == a*V*V*V+b*V*V+c*V+d;
53     elsif (flag = 1) use I == m1*V+p1;
54     else I == 0.0; --etat OFF end use;
55     break on flag; --liaison analogique numerique
56 end architecture behav;

```

Code source VHDL-AMS des diodes.

```

1  library IEEE;
2  use IEEE.electrical_systems.all;
3  use IEEE.math_real.all;
4  use work.all;
5
6  entity diode_behav2 is
7      generic (
8          v1 : real:=0.7;
9          v2 : real:=0.8;
10         i1 : real:=0.0;
11         i2 : real:=2.0);
12     port (
13         terminal P : ELECTRICAL;
14         terminal N : ELECTRICAL);
15 end entity diode_behav2;
16
17 architecture behav of diode_behav2 is
18     quantity Vd across Id through P to N;
19     signal flag: integer range 1 downto 0:=0;
20     begin
21         process --partie numerique
22             variable state: integer range 3 downto 0 := 0;
23             begin

```



```

24         flag <= state;
25     case state is
26         when 0 => wait until Vd' Above(v1);
27             state:=1;
28         when 1 => wait until (not Vd' Above(v1));
29             state:= 0;
30         when others => null;
31     end case;
32 end process;
33
34 process (flag) is
35     begin
36         case flag is
37             when 0 => break Vd=>v1 , Id =>i1 ;
38             when 1 => break Vd=>v1 , Id => i1;
39             when others => null;
40         end case; end process;
41     --partie analogique
42 if (flag = 1) use Id == ((i2-i1)/(v2-v1)) * Vd + (i2-v2*((i2-i1)/(v2-v1))) ;
43 else Id == 0.0; --etat OFF end use;
44 end architecture behav;

```

Code source VHDL-AMS du thyristor.

```

1 library IEEE;
2 use IEEE.electrical_systems.all;
3 use IEEE.math_real.all;
4 use work.all;
5
6 entity scr is
7     generic (
8         v1 : real:=1.7;
9         v2 : real:=0.7;
10        v3 : real:=12.0;
11        v4 : real:=13.0;
12        v5 : real:=2.0;
13        v6 : real:=3.0;
14        i1 : real:=1.0;
15        i2 : real:=0.0;
16        i3 : real:=0.0;
17        i4 : real:=0.2;
18        i5 : real:=0.2;
19        i6 : real:=1.1);
20     port (
21         terminal P,N : ELECTRICAL);
22 end entity scr;

```

```

23
24 architecture behav of scr is
25     quantity Vscr across Iscr through P to N;
26     signal flag: integer range 3 downto 0:=0;
27     signal previous_state: integer range 3 downto 0:=0;
28     begin
29         process —partie numerique
30             variable state: integer range 3 downto 0 := 0;
31             begin
32                 flag <= state;
33                 case state is
34                     when 0 => wait until Vscr'Above(v3) or (not Vscr'Above(-v2));
35                         if (not Vscr'Above(-v2)) then state:= 3;
36                         else state:=1;
37                         end if;
38                         previous_state<=0;
39                     when 1 => wait until ((not Vscr'Above(v3)) or Vscr'Above(v4));
40                         if (Vscr'Above(v4)) then state:= 2;
41                         else state:=0;
42                         end if;
43                         previous_state<=1;
44                     when 2 => wait until not Vscr'Above(v5);
45                         state:=0;
46                         previous_state<=2;
47                     when 3 => wait until Vscr'Above(-v2);
48                         state:=0;
49                         previous_state<=3;
50                     when others => null;
51                     end case;
52             end process;
53
54             process (flag) is
55                 begin
56                     case flag is
57                         when 0 => if (previous_state = 3) then break Vscr=>v2 , Iscr =>i2 ;
58                             elsif (previous_state = 1) then break Vscr=>v3 , Iscr =>i3;
59                             else break Vscr=>v5 , Iscr =>i5;
60                             end if;
61                         when 1 => break Vscr => v3 , Iscr => i3;
62                         when 2 => break Vscr => v4 , Iscr => i4 ;
63                         when 3 => break Vscr => v2 , Iscr => i2 ;
64                         when others => null;
65                     end case; end process;
66
67         —partie analogique
68         if (flag = 2) use Iscr = ((i6-i5)/(v6-v5)) * Vscr + (i6-v6*((i6-i5)/(v6-v5)));

```

```

69 elsif (flag = 1) use Iscr = ((i4-i3)/(v4-v3)) * Vscr + (i4-v4*((i4-i3)/(v4-v3)));
70 elsif (flag = 3) use Iscr = ((i2-i1)/(v2-v1)) * Vscr + (i2-v2*((i2-i1)/(v2-v1)));
71 else Iscr = 0.0; —etat OFF end use;
72 end architecture behav;

```

Annexes D : modèles IBIS améliorés

Code source VHDL-AMS du bloc “Niveau compatible”.

```

1 library ieee;
2 library edulib;
3 use ieee.math_real.all;
4 use ieee.electrical_systems.all;
5 use IEEE.std_logic_1164.all;
6 use work.all;
7
8 entity niveau is
9     generic (
10         Vinl:real:=0.3;
11         Vinh:real:=0.7);
12 port (
13     terminal pad_in, alim,ref : electrical;
14     out_niv: out bit);
15 end entity niveau;
16
17 architecture simple of niveau is
18     quantity vin across pad_in to ref; quantity valim across alim to ref;
19     quantity Vth,Vtl : voltage;
20     begin
21         niveau_comp : process(Vin'above(Vtl),Vin'above(Vth)) is
22             begin
23                 if vin < Vtl then out_niv<='0';
24                 end if;
25                 if vin > Vth then out_niv<='1';
26                 end if;
27             end process niveau_comp;
28
29     Vtl==Vinl*Valim;
30     Vth==Vinh*Valim;
31
32 end architecture simple;

```

Code source VHDL-AMS du PullUp.

```

1 library ieee; library edulib;
2 use ieee.math_real.all;

```

```

3 use ieee.electrical_systems.all;
4 use IEEE.std_logic_1164.all;
5 use work.all;
6   entity current_limiter is
7     generic (
8       vref : real          := 2.5;
9       ipu_tab : real_vector:= (3.6339e-01, 3.2323e-01, ..... -8.3637e-01);
10      vpu_tab : real_vector := (-5.5000e+00, -4.9050e+00, ..... 1.1000e+01);
11      Tf2_tab : real_vector := (0.0000e+00, 1.3500e-09, ..... 2.4995e-08);
12      Vf2_tab : real_vector := (2.4137e+00, 2.4140e+00, ..... 1.9622e-08);
13      Tr1_tab : real_vector := (0.0000e+00, 1.5350e-09, ..... 2.4995e-08);
14      Vr1_tab : real_vector := (1.7773e-10, 1.3188e-04, ..... 2.4137e+00)
15    );
16   port (
17     terminal a, b: electrical;
18     up,up2: IN bit);
19   end entity current_limiter;
20
21 architecture simple of current_limiter is
22   quantity vpu across ipu through a to b;
23   quantity vcom : voltage;
24   quantity k : current;
25   quantity iout1 : current;
26   quantity ipu1 : current:=1.0;
27   signal save_time: real := 0.0;
28   signal delta2,vcomsav: real := 0.0;
29   signal xdicho: integer :=0;
30   signal CI: integer := 0;
31   signal upu: integer := 0;
32
33   function interpolation (x : real; x_dichotomie : integer;
34     x_tab, y_tab : real_vector) return real is
35   variable y,m: real;
36   begin
37     if (x >= x_tab(x_dichotomie)) then
38       m := ((y_tab(x_dichotomie + 1) - y_tab(x_dichotomie))
39         / (x_tab(x_dichotomie + 1) - x_tab(x_dichotomie)));
40       y := m * (x - x_tab(x_dichotomie)) + y_tab(x_dichotomie);
41       return y;
42     else
43       m := ((y_tab(x_dichotomie) - y_tab(x_dichotomie - 1))
44         / (x_tab(x_dichotomie) - x_tab(x_dichotomie - 1)));
45       y := m * (x - x_tab(x_dichotomie - 1)) + y_tab(x_dichotomie - 1);
46       return y;
47     end if;
48   end function interpolation;

```

```

49
50 function dichotomie (x : real; x_tab: real_vector) return integer is
51 variable x_begin, x_dichotomie, x_end: integer;
52   begin
53     x_begin := x_tab'left;  x_end := x_tab'right;
54     dico:   while ((x_end - x_begin) > 1) loop
55         x_dichotomie := x_begin + ((x_end - x_begin) / 2);
56         if (x_tab(x_dichotomie) < x) then x_begin := x_dichotomie;
57         else x_end := x_dichotomie;
58         end if;
59     end loop dico;
60     return x_dichotomie;
61 end function dichotomie;
62
63 function dichotomie2 (x : real; x_tab: real_vector) return integer is
64 variable x_begin, x_dichotomie, x_end: integer;
65   begin
66     x_begin := x_tab'left;  x_end := x_tab'right;
67     dico:   while ((x_end - x_begin) > 1) loop
68         x_dichotomie := x_end + ((x_begin - x_end) / 2);
69         if (x_tab(x_dichotomie) < x) then
70             x_end := x_dichotomie;
71         else x_begin := x_dichotomie;
72         end if;
73     end loop dico;
74     return x_dichotomie;
75 end function dichotomie2;
76
77 begin
78   hold_time : process(Up, Up2) is
79     variable delta: real;
80     begin
81       if domain = quiescent_domain
82       then CI<=0;
83       else
84         if up'event and up='1' then
85             if (save_time'last_event > 5.0e-9) then
86                 save_time<=(now);
87                 upu<=1;
88                 CI<=1;
89             end if;
90         end if;
91         if up'event and up='0' then
92             if (save_time'last_event > 5.0e-9) then
93                 save_time<=(now);
94                 upu<=0;

```

```

95             CI<=1;
96         end if;
97     end if;
98
99     if up2'event and up2='1' then
100         if (upu=0) then
101             delta:=((interpolation(vcom,dichotomie(vcom,Vr1_tab),
102                 Vr1_tab, Tr1_tab)));
103             save_time<=(now-delta);
104             upu<=1;
105         end if;
106     end if;
107
108     if up2'event and up2='0' then
109         if (upu=1) then
110             delta:=((interpolation(vcom,dichotomie2(vcom,Vf2_tab),
111                 Vf2_tab, Tf2_tab)));
112             save_time<=(now-delta);
113             upu<=0;
114         end if;
115     end if;
116 end if;
117 end process hold_time;
118 —pullup turn on:
119 if (CI=1 and (now-save_time) < Tr1_tab(Tr1_tab'right) and upu=1) use
120     vcom==((interpolation((now-save_time), dichotomie ((now-save_time), Tr1_tab),
121         Tr1_tab, Vr1_tab)));
122     iout1== Vcom/500.0;
123     ipu1== -interpolation(Vref-Vcom,dichotomie(Vref-Vcom,Vpu_tab),vpu_tab,ipu_tab);
124     k==iout1/ipu1;
125     ipu == -k*interpolation(vpu, dichotomie (vpu, vpu_tab), vpu_tab, ipu_tab);
126 —pullup turn off:
127 elseif (CI=1 and (now-save_time) < Tf2_tab(Tf2_tab'right) and upu=0) use
128     vcom==((interpolation((now-save_time), dichotomie ((now-save_time), Tf2_tab),
129         Tf2_tab, Vf2_tab)));
130     iout1 == Vcom/500.0; ipu1== -interpolation(Vref-Vcom,
131         dichotomie(Vref-Vcom,Vpu_tab),vpu_tab,ipu_tab);
132     k==iout1/ipu1;
133     ipu == -k*interpolation(vpu, dichotomie (vpu, vpu_tab), vpu_tab, ipu_tab);
134
135 elseif ((CI=0 and Up='1') or (CI=1 and (now-save_time) >= Tr1_tab(Tr1_tab'right)
136     and upu=1)) use
137     vcom== Vr1_tab(Vr1_tab'right); iout1 == Vcom/500.0;
138     ipu1== -interpolation(Vref-Vcom,dichotomie(Vref-Vcom,Vpu_tab),vpu_tab,ipu_tab);
139     k==iout1/ipu1;
140     ipu == -k*interpolation(vpu, dichotomie (vpu, vpu_tab), vpu_tab, ipu_tab);

```

```

141
142 else —off (etat bas)
143     vcom== Vf2_tab(Vf2_tab'right);
144     iout1 == Vcom/500.0; ipu1== -interpolation(Vref-Vcom,
145         dichotomie(Vref-Vcom,Vpu_tab),vpu_tab,ipu_tab);
146     k=iout1/ipu1;
147     ipu = -k*interpolation(vpu, dichotomie (vpu, vpu_tab), vpu_tab, ipu_tab);
148 end use;
149 break on save_time; break on delta2;
150 end architecture simple;

```

Code source VHDL-AMS du PullDown.

```

1 library ieee;
2 library edulib;
3 use ieee.math_real.all;
4 use ieee.electrical_systems.all;
5 use IEEE.std_logic_1164.all;
6 use work.all;
7
8 entity pulldown is
9     generic (
10         vref_pu : real          := 2.5;
11         vref_pd : real          := 0.0;
12         ipd_tab : real_vector :=(-6.0188e-01, -5.4220e-01, ..... 5.0485e-01);
13         vpd_tab : real_vector :=(-5.5000e+00, -4.9400e+00, ..... 1.1000e+01);
14         Tf1_tab : real_vector :=(0.0000e+00, 1.2150e-09, ..... 2.4995e-08);
15         Vf1_tab : real_vector :=(2.5000e+00, 2.4998e+00, ..... 5.7328e-02);
16         Tr2_tab : real_vector :=(0.0000e+00, 1.5350e-09, ..... 2.4995e-08);
17         Vr2_tab : real_vector :=(5.7328e-02, 5.7407e-02, ..... 2.5000e+00)
18     );
19 port (
20     terminal a, b : electrical;
21     up,up2: IN bit);
22 end entity pulldown;
23
24 architecture simple of pulldown is
25     quantity vpd across ipd through a to b;
26     quantity pu_etat: real:=0.0;
27     quantity vcom : voltage;
28     quantity k : current;
29     quantity iout1 : current;
30     quantity ipd1 : current:=1.0;
31     signal save_time: real := 0.0; signal CI: integer := 0; signal upu: integer := 0;
32
33 function interpolation (x : real; x_dichotomie : integer;

```

```

34         x_tab, y_tab : real_vector) return real is
35 variable y,m: real;
36 begin
37     if (x >= x_tab(x_dichotomie)) then
38         m := ((y_tab(x_dichotomie + 1) - y_tab(x_dichotomie))
39             / (x_tab(x_dichotomie + 1) - x_tab(x_dichotomie)));
40         y := m * (x - x_tab(x_dichotomie)) + y_tab(x_dichotomie);
41         return y;
42     else
43         m := ((y_tab(x_dichotomie) - y_tab(x_dichotomie - 1))
44             / (x_tab(x_dichotomie) - x_tab(x_dichotomie - 1)));
45         y := m * (x - x_tab(x_dichotomie - 1)) + y_tab(x_dichotomie - 1);
46         return y;
47     end if;
48 end function interpolation;
49
50 function dichotomie (x : real; x_tab: real_vector) return integer is
51 variable x_begin, x_dichotomie, x_end: integer;
52 begin
53     x_begin := x_tab'left; x_end := x_tab'right;
54     dico: while ((x_end - x_begin) > 1) loop
55         x_dichotomie := x_begin + ((x_end - x_begin) / 2);
56         if (x_tab(x_dichotomie) < x) then
57             x_begin := x_dichotomie;
58         else
59             x_end := x_dichotomie;
60         end if;
61     end loop dico;
62     return x_dichotomie;
63 end function dichotomie;
64
65 function dichotomie2 (x : real; x_tab: real_vector) return integer is
66 variable x_begin, x_dichotomie, x_end: integer;
67 begin
68     x_begin := x_tab'left; x_end := x_tab'right;
69     dico: while ((x_end - x_begin) > 1) loop
70         x_dichotomie := x_end + ((x_begin - x_end) / 2);
71         if (x_tab(x_dichotomie) < x) then
72             x_end := x_dichotomie;
73         else
74             x_begin := x_dichotomie;
75         end if;
76     end loop dico;
77     return x_dichotomie;
78 end function dichotomie2;
79

```



```

80 begin
81   hold_time : process(Up,Up2) is   variable delta: real;
82   begin
83     if domain = quiescent_domain
84       then CI<=0;
85     else
86       if up'event and up='1' then
87         if (save_time'last_event > 5.0e-9) then
88           save_time<=(now);
89           upu<=1;
90           CI<=1;
91         end if;
92       end if;
93       if up'event and up='0' then
94         if (save_time'last_event > 5.0e-9) then
95           save_time<=(now);
96           upu<=0;
97           CI<=1;
98         end if;
99       end if;
100      if up2'event and up2='1' then
101        if (upu=0) then
102          delta:=((interpolation(vcom,
103            dichotomie(vcom,Vr2_tab), Vr2_tab, Tr2_tab)));
104          save_time<=(now-delta);
105          upu<=1;
106        end if;
107      end if;
108
109      if up2'event and up2='0' then
110        if (upu=1) then
111          delta:=((interpolation(vcom,
112            dichotomie2(vcom,Vf1_tab), Vf1_tab, Tf1_tab)));
113          save_time<=(now-delta);
114          upu<=0;
115        end if;
116      end if;
117    end if;
118  end process hold_time;
119  —pulldown turn off
120  if (CI=1 and (now-save_time) < Tr2_tab(Tr2_tab'right) and upu=1) use
121    vcom==((interpolation((now-save_time), dichotomie ((now-save_time), Tr2_tab),
122      Tr2_tab, Vr2_tab)));
123    iout1== (-Vref_pu+Vcom)/500.0;
124    ipd1== interpolation(Vcom-vref_pd,dichotomie(Vcom-vref_pd,Vpd_tab),v
125      pd_tab,ipd_tab);

```

```

126     k==iout1/ipd1;
127     pu_etat == 1.0;
128 --pulldown turn on
129 elsif (CI=1 and (now-save_time) < Tf1_tab(Tf1_tab'right) and upu=0) use
130     vcom==(interpolation((now-save_time), dichotomie ((now-save_time),
131         Tf1_tab), Tf1_tab, Vf1_tab));
132     iout1 == (-Vref_pu+Vcom)/500.0;
133     ipd1== interpolation(Vcom-vref_pd, dichotomie(Vcom-vref_pd, Vpd_tab),
134         vpd_tab, ipd_tab);
135     k==iout1/ipd1;
136     pu_etat == 2.0;
137
138 elsif ((CI=0 and Up='1') or (CI=1 and (now-save_time) >= Tr2_tab(Tr2_tab'right)
139     and upu=1)) use
140     vcom== Vr2_tab(Vr2_tab'right);
141     iout1 == (-Vref_pu+Vcom)/500.0;
142     ipd1== interpolation(Vcom-vref_pd, dichotomie(Vcom-vref_pd, Vpd_tab),
143         vpd_tab, ipd_tab);
144     k==iout1/ipd1;
145     pu_etat == 3.0;
146 else
147     vcom== Vf1_tab(Vf1_tab'right);
148     iout1 == (-Vref_pu+Vcom)/500.0;
149     ipd1== interpolation(Vcom-vref_pd, dichotomie(Vcom-vref_pd, Vpd_tab),
150         vpd_tab, ipd_tab);
151     k==iout1/ipd1;
152     pu_etat == 4.0;
153 end use;
154
155 break on save_time;
156 ipd == k*interpolation(vpd, dichotomie (vpd, vpd_tab), vpd_tab, ipd_tab);
157
158 end architecture simple;

```