



HAL
open science

Bruit électrique basse fréquence comme outil de diagnostic non destructif pour des technologies MOS submicroniques et nanométriques

Bogdan Cretu

► **To cite this version:**

Bogdan Cretu. Bruit électrique basse fréquence comme outil de diagnostic non destructif pour des technologies MOS submicroniques et nanométriques. Electronique. Université de Caen, 2013. tel-01073864

HAL Id: tel-01073864

<https://theses.hal.science/tel-01073864>

Submitted on 10 Oct 2014

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Université de Caen Basse-Normandie

Mémoire

présenté et soutenu le : 10/12/2013

par

Bogdan - Mihail CRETU

pour obtenir l'

Habilitation à Diriger des Recherches

Bruit électrique basse fréquence comme outil de diagnostic non destructif pour des technologies MOS submicroniques et nanométriques

Jury

M. Gérard GHIBAUDO Directeur de Recherche CNRS à l'INP Grenoble, IMEP-LAHC, INPG-MINATEC	(rapporteur)
M. Matteo VALENZA Professeur des universités à l'Université Montpellier 2, IES	(rapporteur)
M. Régis CARIN Professeur des universités à l'Université de Caen, GREYC	(rapporteur)
M. Eddy Simoen Professeur Dr. Ir. à l'Université de Gand, Senior Researcher à l'IMEC	(examineur)
M. Jean-Guy TARTARIN Professeur des universités à l'Université Toulouse 3, LAAS-CNRS	(examineur)
M. Jean-Marc ROUTOURE Professeur des universités à l'Université de Caen, GREYC	(examineur)

TABLE DE MATIERS

AVANT-PROPOS	i
---------------------------	----------

PARTIE I : INTRODUCTION GENERALE

I.1	Bruit basse fréquence - rappels	3
I.2	Théories de bruit intrinsèque dans les transistors MOS en basse fréquence	4
I.2.1	Localisation des sources de bruit intrinsèques	4
I.2.2	Le bruit blanc	6
I.2.3	Bruit de génération – recombinaison.....	6
I.2.4	Bruit de scintillement ou en $1/f$	8
I.2.4.1	<i>Fluctuations du nombre de porteurs</i>	<i>8</i>
I.2.4.2	<i>Fluctuations de la mobilité des porteurs</i>	<i>11</i>
I.2.4.3	<i>Discussion du bruit en $1/f$</i>	<i>11</i>
I.3	Les architectures MOSFETs étudiées	14
I.3.1	Transistors MOSFET partiellement déplétés sur substrat SOI.....	16
I.3.2	Transistors pMOS à canal en germanium	17
I.3.3	Transistors FinFET	17
I.3.4	Transistor UTBOX sur substrat SOI	18
I.4	Méthodologie	19

PARTIE II : ETUDE DU BRUIT EN $1/f$

II.1.	Chapitre 1 : Transistors MOSFET à canal p en germanium sur substrat silicium	25
II.1.1	Fonctionnement à température ambiante	25
II.1.1.1	<i>Origine de bruit en $1/f$</i>	<i>25</i>
II.1.1.2	<i>Corrélation entre le niveau de bruit basse fréquence et la mobilité des porteurs</i>	<i>27</i>
II.1.2	Fonctionnement en fonction de la température	28
II.1.2.1	<i>Origine de bruit en $1/f$ à basse température</i>	<i>28</i>
II.1.2.2	<i>Discussion succincte sur le bruit en $1/f^\gamma$</i>	<i>30</i>

II.2. Chapitre 2 : Impact des techniques de contraintes sur le comportement en bruit basse fréquence des FinFETs.....	32
II.2.1 FinFETs ayant un diélectrique à haute permittivité diélectrique de type HfO ₂	32
II.2.1.1 Spectres de puissance de bruit. Bruit inhabituel observé. Modélisation empirique du bruit inhabituel.	32
II.2.1.2 Analyse du bruit inhabituel.....	34
II.2.1.3 Origine du bruit inhabituel.....	38
II.2.1.4 Origine du bruit en $1/f$ dans le FinFET à HfO ₂	39
II.2.2 FinFETs ayant un diélectrique à haute permittivité diélectrique de type HfSiON	40
II.2.2.1 Spectres de puissance de bruit.....	40
II.2.2.2 Origine du bruit en $1/f$ dans les FinFETs à HfSiON	40
I.2.2.2.1 Fonctionnement à température ambiante.....	40
I.2.2.2.2 Fonctionnement à basse température.....	42
II.3. Chapitre 3 : Etude du bruit dans des transistor UTBOX sur substrat SOI.....	45
II.3.1 Spectres de puissance de bruit.....	45
II.3.2 Couplage entre les interfaces avant et arrière.....	45
II.3.3 Origine du bruit en $1/f$ dans des transistors UTBOX avec une épaisseur de l'oxyde enterré de 8 nm et une épaisseur de film de silicium de 16 nm.....	47
II.3.4 Origine du bruit en $1/f$ dans des transistors UTBOX avec une épaisseur de l'oxyde enterré de 8 nm et une épaisseur du film de silicium de 6 nm.....	48
II.4. Conclusion sur le bruit en $1/f$	51

PARTIE III : ETUDE DU BRUIT LORENTZIEN.....

III.1. Chapitre 1 : Bruit Lorentzien lié à l'effet kink lineaire dans des transistors PD SOI.....	57
III.1.1 Modélisation du bruit lorentzien dû au bruit filtré par un réseau rC	57
III.1.1.1 Description succincte de modèle proposé par Lukyanchikova.....	58
III.1.1.2 Spectres de puissance de bruit lié à l'effet kink à différentes températures (80 K – 300 K) ..	60
III.1.1.3 Modélisation du bruit associé au bruit blanc et au bruit lorentzien dû aux pièges filtrés par le même réseau $r_{eq}C_{eq}$	61
III.1.1.4 Validation du modèle de bruit associé au bruit blanc et au bruit lorentzien dû aux pièges filtrés par le même réseau $r_{eq}C_{eq}$	65

III.2. Chapitre 2 : Spectroscopie du bruit : Application pour l'identification des pièges situés dans la zone de depletion des transistors	68
III.2.1 Méthodologie expérimentale	68
III.2.2 Synthèse des pièges identifiés situés dans le fin des transistors nFinFET ayant une couche de diélectrique à haute permittivité diélectrique de type HfSiON	70
<i>III.2.2.1 Pièges identifiés répertoriés dans la littérature</i>	<i>73</i>
<i>III.2.2.2 Pièges identifiés non répertoriés dans la littérature</i>	<i>74</i>
III.2.3 Synthèse des pièges identifiés situés dans le film des transistors UTBOX sur substrat SOI	75
<i>III.2.3.1 Transistors UTBOX ayant comme diélectrique HK1.....</i>	<i>75</i>
III.2.3.1.1 Pièges identifiés répertoriés dans la littérature	77
III.2.3.1.2 Pièges identifiés non répertoriés dans la littérature	77
<i>III.2.3.2 Transistors UTBOX ayant comme diélectrique HK2.....</i>	<i>78</i>
III.3. CONCLUSION SUR LE BRUIT LORENTZIEN	79
 CONCLUSION GENERALE ET PERSPECTIVES.....	 83
 REFERENCES	 87

AVANT-PROPOS

Les micro- et nano - technologies sont présentes dans la plupart des objets de activités quotidiennes et constituent un élément de base de la plupart des secteurs d'activités économiques : télécommunications, électronique grand public, automatisation industrielle, énergie, automobile, santé. Depuis la réalisation des premiers circuits MOS intégrés en 1959 [Kilby'59, Noyce'59], les circuits électroniques ont acquis une importance considérable dans le domaine de la technologie et de l'industrie, mais également, par leur poids dans l'économie mondiale. En effet le marché des semi-conducteurs, après avoir connu un ralentissement en 2012, devrait s'établir à environ 297,8 milliards de dollars en 2013, soit une croissance de 2,1% par rapport à l'année précédente [Word'2013].

La force motrice du développement de la micro- et nano- électronique reste encore la miniaturisation des composants, conduisant à l'augmentation du nombre de fonctionnalités des circuits électroniques. Parmi les principaux avantages induits par la réduction des dimensions des composants on peut évoquer l'augmentation de la densité d'intégration, la réduction des coûts de fabrication, l'augmentation de la fréquence de commutation du fonctionnement, la réduction de la consommation. Cependant, le dessin, l'optimisation et la fabrication des transistors MOS en technologies fortement submicroniques et nanométriques posent des défis en raison des barrières technologiques et physiques. Pendant plus de quarante ans, le succès de la miniaturisation du transistor MOS a suivi la loi de Moore [Moore'65], selon laquelle le nombre de transistors sur une puce (en anglais « wafer ») double toutes les 18 mois environ (les prévisions de doublement portaient sur 12 mois à l'origine, mais on constate que le doublement s'effectue désormais plutôt en deux ou trois ans). Mais actuellement, les transistors conventionnels réalisés sur le substrat massif en silicium ne peuvent plus suivre facilement les règles de miniaturisation car la réduction des dimensions s'accompagne de phénomènes parasites qui peuvent modifier les caractéristiques de transfert des transistors : “No exponential change of the physical is forever, but ‘forever’ can be delayed” [Moore'2003].

Les facteurs principaux qui limitent les performances du composant via la miniaturisation : les courants de fuite vers la grille, vers la source, drain et substrat, sont directement liés aux éléments technologiques fondamentaux des structures MOS (en éliminant la problématique des interconnexions) : l'architecture et le diélectrique de grille, les extensions source / drain, l'isolation et le dopage de canal. La réalisation des jonctions source / drain ultra fines et l'augmentation du dopage du canal nécessaires pour réduire les courants de fuite vers la source et le drain conduisent à l'augmentation de la capacité de jonction et engendrent le courant de fuite induit par la grille à l'état off (GIDL en anglais pour « gate induced drain current »), à l'augmentation des résistances d'accès et à la réduction de la mobilité des porteurs. Pour l'architecture de la grille, l'utilisation de SiO₂ comme diélectrique de grille a déjà atteint sa limite pour les transistors ultracourts : une épaisseur physique de 5 Å de SiO₂ était requise pour les applications haute performance [ITRS'2004] pour le nœud technologique 22 nm. Rappelant que l'épaisseur physique d'une monocouche de SiO₂ est de l'ordre de 4 Å, il est évident que pour une si fine couche de SiO₂ le courant de fuite tunnel à travers l'oxyde serait très élevé, dégradant ainsi fortement les performances des transistors en termes de fiabilité et consommation électrique.

L'augmentation de la densité d'intégration et l'amélioration des performances des circuits électroniques intégrés sont rendues aujourd'hui possibles par une miniaturisation continue des transistors MOS au sein de technologies renouvelées dont chaque étape peut apparaître à la fois en continuité et en rupture avec la précédente.

Afin de poursuivre la miniaturisation ultime en utilisant la technologie silicium (« More Moore »), il faut développer des nouveaux matériaux à haute permittivité diélectrique (en anglais « high-k ») pour les diélectriques de grille; remplacer la grille en polysilicium par une grille métallique ayant une meilleure compatibilité avec les high-k; il est nécessaire aussi de développer de nouveaux matériaux semi-conducteurs (à haute mobilité des porteurs, substrats sur isolant etc.); d'introduire des nouvelles étapes dans les procédés de fabrication (techniques de contraintes mécaniques globales ou locales pour l'architecture de canal afin d'améliorer la mobilité des porteurs, croissance épitaxiale sélective pour réduire les résistances d'accès); de mettre en œuvre de nouvelles architectures qui fournissent un renforcement du contrôle électrostatique de la grille sur le canal, conduisant à une meilleure immunité contre les effets de canal court, en particulier les architectures de type multigrilles (DGFETs, FinFETs, GAAFETs, etc ..).

Les choix technologiques susmentionnés ont d'importantes conséquences sur le transport de charge, en particulier sur la mobilité des porteurs et sur les fluctuations (bruit) de courant. L'analyse des performances et de la fiabilité, la compréhension du fonctionnement physique des transistors ultimes sont nécessaires.

L'évolution continue des dispositifs semi-conducteurs à des dimensions de plus en plus réduites entraîne également une dégradation du rapport signal sur bruit. Le bruit en basse fréquence devient une préoccupation majeure pour les transistors ultimes, en particulier en raison de sa dépendance inversement proportionnelle à la surface active de la grille. Il pourrait engendrer des sérieuses limitations de la fonctionnalité des circuits analogiques et même numériques. Selon l'ITRS (ITRS pour « The International Technology Roadmap for Semiconductors »), les exigences sur les performances des transistors utilisés pour des applications analogiques / radiofréquences sont moins contraignantes par rapport aux celles imposées pour des applications numériques; en revanche, des contraintes supplémentaires, telles que le bruit en $1/f$ sont imposées : un niveau de bruit de $30 \mu V^2 \mu m^2 / Hz$ pour une longueur de grille de 11 nm est requis pour les transistors à faible consommation à l'état off (LSTP en anglais pour « Low Stand-By-Power ») utilisés pour des applications analogiques / radiofréquences réalisées en technologie CMOS.

Afin de réduire le bruit basse fréquence, plusieurs choix technologiques pourront être envisagés : utiliser des transistors à canal enterré; améliorer la qualité des diélectriques de grille (recuit ou amélioration des méthodes de croissance / dépôt et nettoyage), utiliser des transistors avec une surface active plus large et employer des diélectriques de grille fins (cependant, l'amincissement du diélectrique de grille conduit à l'augmentation du courant de fuite de grille et du bruit qui lui est associé); introduire des techniques de contraintes mécaniques globales; réduire les résistances d'accès source / drain (en raison de la contribution en bruit à fort courant de drain).

Par ailleurs, certains choix technologiques utilisés pour améliorer les performances des transistors pourraient augmenter le bruit en basse fréquence. Parmi ceux-ci on peut citer les technologies qui conduisent à de fortes densités de défauts (en particulier dans l'oxyde de grille et le canal) et à la dégradation de la qualité de l'interface oxyde de grille / canal : utilisation de diélectriques de grille à haute permittivité diélectrique; implémentation de substrats sur isolant, en raison des effets du film flottant (transistors partiellement déplétés) et des effets de couplage entre la grille avant et la grille arrière (transistors complètement déplétés); utilisation des techniques de contraintes

locales ; introduction de transistors à canal en germanium; réduction d'échelle (longueur / largeur de grille du transistor) ; utilisation de structures de dispositifs complexes.

Un aspect important de l'évaluation de la qualité des matériaux et de la fiabilité des composants est l'utilisation des techniques de caractérisation électrique rapides, non destructives et précises pour déterminer les principaux paramètres des transistors. L'étude du bruit en basse fréquence a été proposée dans beaucoup de travaux de recherche comme un outil de diagnostic non destructif pour prédire la qualité et la fiabilité des composants [Fu'72, Katto'75, Maes'85, Jayaraman'89, Meisenheimer'90, Murray'91, Li'92, Scholz'92, Simoen'93, Li'93] : elle renseigne à la fois sur les applications et sur l'optimisation des processus, car elle permet de remonter aux sources physiques des fluctuations et de mieux comprendre certains phénomènes physiques présents dans les transistors MOS. L'analyse du bruit intrinsèque en basse fréquence s'avère donc une étude obligatoire du point de vue de la performance intrinsèque du transistor et de la caractérisation de la qualité du diélectrique de grille et de la zone de déplétion des transistors ; mais c'est aussi un outil qui permet de comparer différentes technologies de réalisation des composants.

Ce mémoire représente une synthèse des travaux de recherche effectués lors des dix dernières années sur l'étude du bruit basse fréquence dans des transistors MOS avancés.

Le premier objectif de ces études est technologique : l'étude du comportement en régime statique de fonctionnement et les mesures du bruit basse fréquence comme outils conjugués de diagnostic non destructif sont utilisés pour la détection des défauts et des erreurs de processus et ainsi permettent de proposer des éléments d'amélioration des procédés de fabrication. Le second objectif est davantage fondamental : une miniaturisation extrême conduit inévitablement à révéler des comportements physiques originaux et inattendus. L'étude du comportement en fonction de la température pourra nous révéler des informations nouvelles menant à une meilleure compréhension des processus de transport et de fluctuations.

Le document se décompose en trois parties. Dans la première partie sont rappelées de façon succincte les notions fondamentales du bruit basse fréquence généralement observées dans les transistors : le bruit blanc, le bruit en $1/f^\gamma$ et le bruit de type lorentzien. Les différentes filières technologiques de transistors analysées seront présentées.

L'origine des sources de bruit en $1/f^\gamma$ dans les transistors étudiés fera l'objet de la deuxième partie, qui se décompose en trois chapitres. Dans le premier chapitre, l'impact de l'empilement diélectrique high-k / grille métallique sur le bruit basse fréquence dans des transistors avec canal de type p en germanium sur substrat silicium est observé. La corrélation entre le niveau du bruit et la mobilité des porteurs dans le canal est étudiée. Le deuxième chapitre est entièrement dédié à l'étude des comportements inhabituels en bruit basse fréquence qui ont été mis en évidence dans des transistors multi-grilles de type FinFET avec une couche de diélectrique à haute permittivité diélectrique de type HfO₂. D'autres résultats originaux sont également obtenus en étudiant le bruit en $1/f^\gamma$ à très basse température (10 K) dans des transistors de type FinFET avec une couche de diélectrique à haute permittivité diélectrique de type HfSiON. Il est observé que les techniques de contrainte mécaniques, utilisées pour « booster » les performances des FinFETs, n'ont pas un effet néfaste sur le niveau du bruit même à très basse température. Le

troisième chapitre est consacré à l'étude du bruit dans des transistors ultrafins totalement déplétés sur substrat sur isolant (FD SOI UTBOX). Il a été observé que les fluctuations du nombre de porteurs sont responsables du bruit en $1/f$, la corrélation entre la densité spectrale de bruit des interfaces avant et arrière a été mise en évidence, permettant ainsi d'estimer la densité des pièges à chaque interface. La corrélation entre le niveau du bruit et la mobilité des porteurs montrent un fort couplage entre les deux interfaces.

Dans la troisième partie, qui se décompose en deux chapitres, les sources de bruit de type lorentzien seront analysées en détail. Dans le premier, un bruit lorentzien lié aux effets de film flottant dans des transistors partiellement déplétés est mis en évidence. Les études en fonction de la température ont permis de valider le modèle du bruit (bruit blanc filtré par un réseau équivalent $r_{eq}C_{eq}$) en fonction de la température de 80 K à 300 K dans les transistors à canal n. Pour les transistors à canal p, un modèle complet a été proposé et validé pour des températures comprises entre 80 K et 300 K, en considérant que le courant de fuite tunnel à travers la grille peut induire non seulement du bruit blanc, mais aussi du bruit lorentzien dû aux pièges qui peuvent être situés dans l'oxyde, à l'interface oxyde / canal d'inversion ou dans le film. Le chapitre suivant est dédié à l'étude du bruit de génération - recombinaison en fonction de la température, permettant ainsi, en utilisant la méthode dite de spectroscopie du bruit, d'identifier des pièges dans la zone de déplétion (film Si enterré) des transistors. Les études systématiques effectuées dans les transistors nFinFETs ont mis en évidence plus de pièges inconnus pour les plus faibles longueurs de canal. Même si ce résultat était déjà connu à partir d'autres types de caractérisation, c'est la première fois que par des mesures électriques du bruit basse fréquence il est observé que la réduction des dimensions du transistor conjuguée avec l'utilisation des techniques de contraintes mécaniques conduit à l'augmentation de la densité des pièges dans le film de silicium. Les résultats de l'application de la méthode de spectroscopie de bruit dans des transistors UTBOX montrent que, même si le nombre de pièges identifiés est relativement important, la densité de pièges est d'au moins un ordre de grandeur inférieure à celles trouvées dans d'autres technologies de transistors totalement déplétés (FinFET avec une largeur de doigt très fine).

La présentation de ce travail renvoie à des articles publiés ou en cours, à des thèses co-encadrées soutenues ou en cours. La liste détaillée de ces publications est donnée à la fin du mon curriculum vitae.

PARTIE I :
INTRODUCTION GENERALE

I.1 BRUIT BASSE FREQUENCE - RAPPELS

La technologie CMOS a fait des progrès remarquables dans le domaine des applications analogiques / radiofréquences, qui était dominé par les transistors bipolaires, créant ainsi de nouvelles demandes et imposant des nouvelles exigences aux transistors MOS, concernant en particulier le bruit électronique. Le bruit électronique dans les composants se manifeste par des fluctuations électriques indésirables (du courant ou de la tension), qui conduisent à une réduction de l'information par parasitage du signal utile. Le bruit électronique est dû à des sources extérieures (connexions et système de conditionnement électronique du composant) et aux sources intrinsèques dans le composant. L'étude du bruit intrinsèque dans les transistors MOS s'avère d'une importance fondamentale car les fluctuations du courant (tension) traversant le canal sont induites par des pièges situés à l'interface canal / diélectrique de grille, dans la profondeur de l'oxyde de grille ou dans la zone de déplétion du transistor ; ces pièges peuvent apparaître pendant les différentes étapes technologiques de fabrication des transistors ou être liées à la qualité des matériaux utilisés ; les études du bruit permettent ainsi d'évaluer la qualité et la fiabilité des composants et également de comprendre certains phénomènes physiques liés au transport des porteurs qui peuvent être observés dans le fonctionnement du transistor MOS. De plus, il peut constituer une figure de mérite permettant ainsi de faire des comparaisons entre différentes technologies. Nos études sont entièrement focalisées sur le bruit intrinsèque à basse fréquence des transistors réalisés dans des technologies avancées.

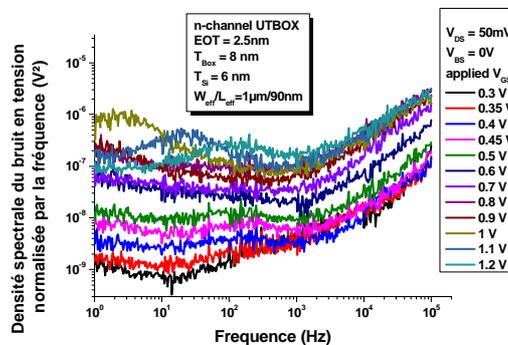


Figure 1.1: Densité spectrale du bruit en tension normalisée par la fréquence pour la grille avant d'une structure *nUTBOX*

Des densités spectrales de puissance typiques du bruit basse fréquence observées expérimentalement dans les transistors étudiés sont représentées sur la figure I.1. On peut remarquer que le bruit basse fréquence contient des contributions de bruit en $1/f^\gamma$ ($\gamma=1$) et de type lorentzien. Afin d'identifier avec précision les paramètres de bruit excédentaire, c'est-à-dire le niveau du bruit en $1/f$ et le plateau et la fréquence caractéristique de chacune des contributions de type lorentzien, une méthode consiste à tenir compte de la dépendance en fréquence des différentes contributions sur la densité spectrale totale de bruit à l'entrée du transistor MOS :

$$S_{V_G}(f) = B + \frac{K_f}{f^\gamma} + \sum_{i=0}^N \frac{A_i}{1 + (f/f_{0i})^2} \quad (I.1)$$

où B représente le niveau du bruit blanc, K_f/f^γ le bruit en $1/f$ ($\gamma \neq 1$ si la densité de pièges n'est pas uniforme dans la profondeur de l'oxyde de grille) et le dernier correspond à une somme de lorentziennes, avec A_i la valeur du plateau et f_{0i} la fréquence caractéristique de chacune des contributions de type lorentzien. En prenant en compte les contributions de ces trois sources du bruit, les spectres de bruit des transistors étudiés peuvent être parfaitement modélisés par l'équation I.1 et les différents paramètres de bruit peuvent être clairement identifiés (figure I.2).

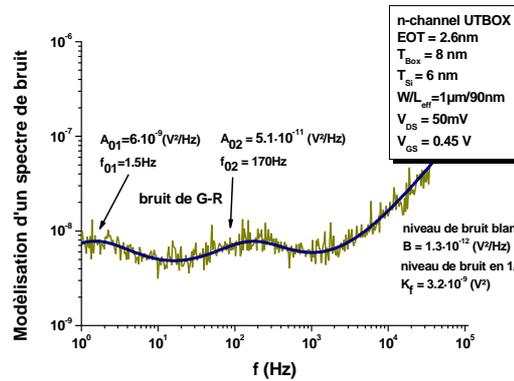


Figure I.2 : Comparaison entre un spectre expérimental de bruit et le modèle de l'équation 1. Bruit blanc, bruit en $1/f$ et deux lorentziennes ont été utilisées pour obtenir le meilleur accord entre le modèle et la mesure expérimentale.

I.2 THEORIES DE BRUIT INTRINSEQUE DANS LES TRANSISTORS MOS EN BASSE FREQUENCE

I.2.1 Localisation des sources de bruit intrinsèques

Le schéma équivalent en petits signaux d'un transistor MOSFET, avec les différentes sources du bruit intrinsèques de bruit basse fréquence, en régime de fonctionnement ohmique, est représenté sur la figure I.3. La transconductance interne associée au canal est notée $g_{m_{int}}$; les résistances dynamiques du canal r_{ch} , d'accès au drain r_D et à la source r_S sont en parallèle avec les sources de courant de bruit $S_{I_{r_{ch}}}$, $S_{I_{r_D}}$ et $S_{I_{r_S}}$ respectivement. L'effet des capacités des jonctions du transistor est négligé, compte tenu de fait que l'analyse expérimentale s'effectue dans une gamme de fréquence inférieure à 100 kHz.

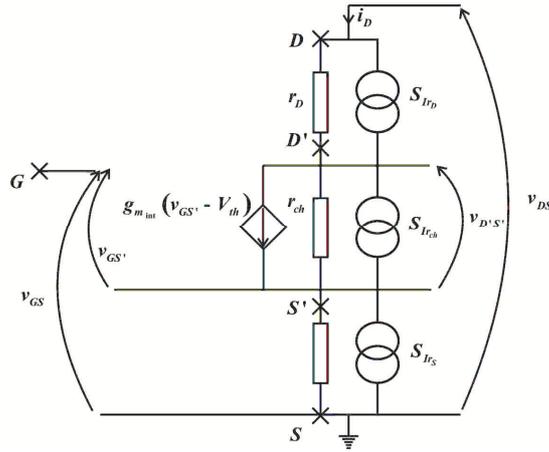


Figure I.3 : Schéma équivalent en petits signaux du transistor MOS en régime linéaire associé aux sources intrinsèques du bruit basse fréquence

Expérimentalement, on mesure une source de courant de bruit totale en sortie du transistor traduisant l'ensemble des fluctuations. Cette source a une densité spectrale de puissance de bruit S_{I_D} qui s'exprime en A^2/Hz (figure I.4a). La densité spectrale totale du courant de bruit du drain peut être ramenée à l'entrée du transistor (figure I.4b) : $S_{V_G} = S_{I_D} / g_m^2$ représente la densité spectrale des fluctuations de tension de bruit

équivalentes sur la grille, g_m étant la transconductance et $r_T = \left(\frac{\partial I_D}{\partial V_{DS}} \right)^{-1} \Big|_{V_{GS} = const.}$ la résistance dynamique totale

entre drain et source du transistor. Les résistances d'accès sont supposées homogènes et pour des raisons de symétrie de réalisation du transistor égales $r_S = r_D = r_{acces} / 2$.

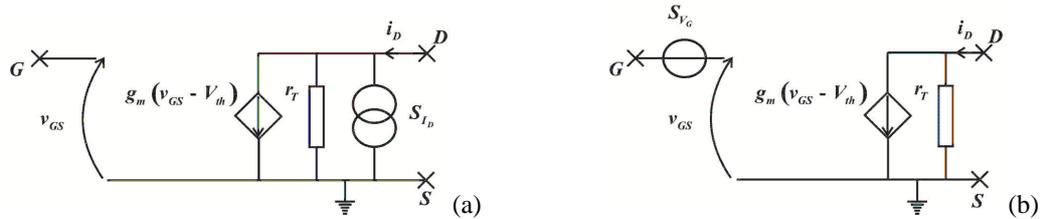


Figure I.4 : Schéma équivalent vue de l'extérieur de transistor : (a) source du bruit en courant en sortie ; (b) source du bruit en tension à l'entrée du transistor

La densité spectrale totale (S_{I_D} ou S_{V_G}) contient les contributions en bruit des résistances d'accès. En supposant que les sources de bruit dans le canal et dans les régions d'accès à la source et au drain sont non-corrélées, la contribution des résistances d'accès sur le bruit basse fréquence peut être obtenue en ajoutant au bruit du canal le bruit provenant des régions d'accès :

$$(r_T)^2 S_{I_D} = (r_T - r_{acces})^2 (S_{I_D})_{ch} + 2 \left(\frac{r_{acces}}{2} \right)^2 (S_{I_D})_{resistances\ d'accès} \tag{I.2}$$

I.2.2 Le bruit blanc

Les deux sources de bruit blanc sont le bruit thermique (ou bruit de Nyquist, ou bruit de Johnson) et le bruit de grenaille (ou bruit de Schottky ou « shot-noise » en anglais).

Le bruit thermique est un bruit fondamental dû à la diffusion thermique des porteurs sur les atomes, les impuretés et les défauts du réseau cristallin. Les interactions et les chocs avec les phonons du réseau conduisent à des perturbations qui affectent les trajectoires des porteurs (mouvement brownien). Le temps de relaxation de ce processus étant de l'ordre de 10^{-12} s, le spectre de ce bruit est blanc pour les basses fréquences. Ce bruit existe même en l'absence de champ électrique appliqué. Le niveau du bruit dépend de l'énergie du réseau, donc de sa température T . La densité spectrale du bruit thermique par rapport au courant (S_{I_R}) ou à la tension (S_{V_R}) est donnée par :

$$S_{I_R} = 4k_B T / R \quad \text{ou} \quad S_{V_R} = 4k_B T R \quad (\text{I.3})$$

où k_B est la constante de Boltzmann et R est la résistance électrique du composant.

Le bruit de grenaille est la conséquence de la nature granulaire du transport de l'électricité, c'est-à-dire de la non-uniformité du courant électrique [Chovet'77]. Il est généré par les porteurs lorsqu'ils traversent une barrière de potentiel de jonction : jonctions p-n, Shottky (metal – semiconducteur), transistors bipolaires. Si l'on néglige l'influence du temps de transit et du champ électrique, la densité spectrale de bruit de grenaille dépend linéairement du courant électrique I :

$$S_{I_R} = 2qI \quad (\text{I.4})$$

où q est la charge électrique élémentaire.

En général, le bruit thermique et le bruit de grenaille présents dans les transistors MOS ont un niveau de bruit inférieur au niveau de bruit excédentaire à basse fréquence.

I.2.3 Bruit de génération – recombinaison

En général, le bruit de type lorentzien provient des fluctuations du nombre de porteurs liées aux processus de piégeage – dépiégeage des porteurs libres par des pièges à constante de temps unique situés dans différentes zones du transistor : soit dans la couche de diélectrique, soit à l'interface canal / diélectrique, soit dans la zone de déplétion. Pour les composants ayant une surface active de la grille inférieure à $1 \mu\text{m}^2$, des signaux télégraphiques aléatoires (RTS), qui sont généralement attribués au piégeage sur un piège unique situé à l'interface peuvent être observés.

Pour les phénomènes de génération – recombinaison (G-R), la densité spectrale de fluctuation du nombre de porteurs $\delta S_N(f)$ pour des pièges d'énergie E_T et de densité volumique N_T , à constante de temps unique τ est décrite par [Sah'64, Reimbold'84] :

$$\delta S_N(f) = N_T(E_T) f_i(E_T) [1 - f_i(E_T)] \frac{4\tau}{1 + (2\pi f \tau)^2} \quad (I.5)$$

où $f_i(E_T)$ est la fonction de probabilité de Fermi-Dirac, $f_i(E_T) [1 - f_i(E_T)]$ exprime que les pièges qui contribuent au bruit G-R sont ceux situés énergétiquement près du niveau d'énergie de Fermi.

Par la suite nous présentons de façon succincte la modélisation du bruit de type lorentzien lié aux pièges localisés dans la zone de déplétion du transistor qui, selon la théorie développée par [Murray'91], conduisent à des lorentziennes dont la fréquence caractéristique ne change pas avec la tension de grille appliquée. Dans ce cas, la densité spectrale totale des fluctuations du nombre de porteurs obtenue par l'intégration de l'équation (I.5) sur la surface active définie par le produit entre la longueur (L) et la largeur (W) effective du canal d'inversion s'écrit :

$$S_N(f) = \frac{\tau N_{eff}}{1 + (2\pi f \tau)^2} WL \quad (I.6)$$

où $N_{eff} = BN_T W_D$, avec B un coefficient estimé à 1/3 pour des transistors à large surface active [Yau'69, Lukyanchikova'2002], $W_D = \sqrt{4\epsilon_0 \epsilon_{Si} k_B T \ln(N_A/n_i) / (q^2 N_A)}$ représente la profondeur de la zone de déplétion, n_i est la concentration intrinsèque des porteurs, N_A est le dopage de substrat, ϵ_0 et ϵ_{Si} sont les permittivités diélectriques du vide et relative de silicium, respectivement. En régime de fonctionnement linéaire du transistor, le courant de drain est proportionnel au nombre de porteurs libres, l'expression de la densité spectrale du bruit en tension sera donnée par la relation :

$$S_{V_{glon}}(f) = \frac{q^2 B W_D N_T \tau_i}{W L C_{ox}^2} \frac{1}{1 + (2\pi f \tau_i)^2} \quad (I.7)$$

Pour chacune des contributions de type lorentzien dans le bruit total observé on peut associer une densité de pièges surfacique (N_{eff}) ou volumique (N_T) et une constante de temps τ_{oi} définie par $\tau_{oi} = 1/(2\pi f_{oi})$. Chaque contribution lorentzienne est également caractérisée par un niveau de plateau A_i défini par :

$$A_i = \frac{q^2 N_{eff}}{W L C_{ox}^2} \tau_i = \frac{q^2 B W_D N_T}{W L C_{ox}^2} \tau_i \quad (I.8)$$

La relation (I.8) indique que pour les pièges situés dans la zone de déplétion de transistor, l'évolution avec la température du niveau de plateau de la lorentzienne A_i en fonction de la constante de temps τ_i (A_i et τ_i associés à la même piège) doit être linéaire.

Selon [Grassi'2001, Camin'2002] l'évolution de la constante de temps caractéristique des lorentziennes en fonction de la température est donnée par :

$$\begin{aligned} \text{si } E_T - E_i > 0 &\Rightarrow \ln(\tau_i T^2) = \frac{E_C - E_T}{k_B T} + \ln\left(\frac{h^3}{4k_B^2 \sigma_n \sqrt{6\pi^3 M_c m_e^{*1/2} m_h^{*3/2}}}\right) \\ \text{si } E_T - E_i < 0 &\Rightarrow \ln(\tau_i T^2) = \frac{E_T - E_V}{k_B T} + \ln\left(\frac{h^3}{4k_B^2 \sigma_p \sqrt{6\pi^3 M_c m_e^{*3/2} m_h^{*1/2}}}\right) \end{aligned} \quad (\text{I.9})$$

où E_i est le niveau de Fermi intrinsèque, h représente la constante de Planck, m_e^* et m_h^* sont les masses effectives pour les électrons et les trous, M_c est le nombre de minima d'énergie dans la bande de conduction, σ_n et σ_p sont les sections efficaces de capture des électrons et des trous.

La pente et l'ordonnée à l'origine y de l'évolution de $\ln(\tau_i T^2)$ en fonction $1/(k_B T)$ (qui représente un diagramme de type Arrhenius), permettent la détermination de la position en énergie du piège dans la bande interdite ainsi que la valeur de sa section efficace de capture.

I.2.4 Bruit de scintillement ou en $1/f$

Le bruit de scintillement ou en $1/f$, qui domine le bruit à basse fréquence des transistors à effet de champ, a suscité de très nombreux travaux de recherche consacrés à l'étude, à la compréhension et à la possibilité de minimiser ce type de bruit dans des composants MOS de dimensions réduites. Néanmoins, des controverses subsistent encore quant à son origine. Les fluctuations de la conductivité électrique liées au bruit en $1/f$ dans les MOSFETs à enrichissement peuvent s'expliquer par deux approches différentes : le modèle de Hooge [Hooge'69] et le modèle de McWhorter [McWhorter'57]. Le modèle empirique de Hooge suggère que le bruit en $1/f$ est causé par des fluctuations de la mobilité des porteurs dans le canal dues à l'interaction électron - phonon. La théorie de McWhorter est basée sur les fluctuations du nombre de porteurs libres dans le canal en inversion, dues au piégeage dynamique (capture et émission) de ces porteurs par des pièges situés à l'interface canal / diélectrique ou dans le volume du diélectrique de grille par effet tunnel.

I.2.4.1 Fluctuations du nombre de porteurs

[Beznamont'37, Surdin'39] ont démontré qu'il est possible mathématiquement que l'addition des spectres provenant des processus de génération - recombinaison dus à la capture des porteurs du canal par des pièges ayant des constantes de temps différentes et réparties selon une certaine loi conduise à une densité spectrale de puissance de bruit en $1/f$. Un modèle physique qui remplit ces conditions mathématiques est donné par [McWhorter'57] et considère que le piégeage - dépiégeage s'effectue par effet tunnel et que la probabilité de réalisation de ce

processus diminue exponentiellement dans l'oxyde. Il est supposé que les pièges sont répartis de façon uniforme dans le volume de l'oxyde et que la distribution des constantes de temps est reliée à la dépendance spatiale par :

$$\tau(z) = \tau_0 \exp(z/\lambda) \quad (I.10)$$

où λ est la longueur d'atténuation tunnel, estimée à 1 Å pour l'interface Si/SiO₂ par la théorie de Wentzel-Kramers-Brillouin (WKB) et la valeur expérimentale de la constante de temps du piège à l'interface τ_0 est de 10⁻¹⁰ s [Christensson'68a]. Il faut noter que les pièges situés à l'interface sont les plus rapides ; ceux situés dans la profondeur de l'oxyde correspondent à des états lents et qui contribuent aux fréquences les plus basses observées dans le bruit en 1/f .

La densité spectrale totale des fluctuations du nombre de porteurs $S_N(f)$ s'obtient par l'intégration de $\delta S_N(f)$ (équation I.5) sur la surface, l'énergie et la distance : $S_N(f) = \iiint_{S E_T z} \delta S_N(f) dS dE_T dz$. Dans l'hypothèse d'une distribution volumique et énergétique uniforme des pièges dans l'oxyde :

$$S_N(f) = \frac{WLN_t(E_F)k_B T \lambda}{f} \quad (I.11)$$

La densité spectrale de fluctuation du courant de drain peut donc être estimée car $\frac{S_N(f)}{N^2} = \frac{S_{I_D}(f)}{I_D^2}$, soit :

$$S_{I_D}(f) = \frac{N_t(E_F)k_B T \lambda}{fWLC_{ox}^2} \frac{I_D^2}{(V_{GS} - V_{th})} \quad (I.12)$$

Dans ce modèle les fluctuations du courant de drain (δI_D) sont attribuées aux fluctuations de la charge d'inversion (δQ_i) due au piégeage – dépiégeage dynamique des porteurs libres dans l'oxyde. L'équation de neutralité globale (conservation de la charge) implique qu'une fluctuation de la charge d'inversion doit s'accompagner d'une fluctuation de la charge d'oxyde (δQ_{ox}). On peut associer la fluctuation de la charge d'oxyde à une fluctuation de la tension de bandes plates δV_{FB} : $\delta V_{FB} = -\delta Q_{ox}/C_{ox}$. En régime linéaire de fonctionnement, le courant de drain peut s'exprimer comme $I_D = (W/L)\mu_{eff}|Q_i|V_{DS}$ [Sze'81, Muller'86]. Dans l'hypothèse où la mobilité effective μ_{eff} des porteurs est indépendante de la charge de l'isolant, on obtient $\delta I_D = -g_m \delta V_{FB}$. Sachant que $\delta V_G = -\delta V_{FB}$, la densité spectrale de puissance de la tension de bruit équivalente ramenée sur la grille de transistor s'écrit :

$$S_{V_G}(f) = S_{V_{FB}}(f) = \frac{S_{I_D}(f)}{g_m^2} = \frac{N_t(E_F)k_B T \lambda}{fWLC_{ox}^2} \frac{I_D^2}{(V_{GS} - V_{th})^2 g_m^2} \quad (I.13)$$

En région de fonctionnement ohmique du transistor, compte tenu qu'en première approximation

$$g_m = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS}=const.} = \frac{I_D}{V_{GS} - V_{th}}, \text{ l'équation (I.13) devient :}$$

$$S_{V_{FB}}(f) = S_{V_G}(f) = \frac{N_t(E_F)k_B T \lambda}{f W L C_{ox}^2} \quad (I.14)$$

La relation (I.14) est obtenue dans l'hypothèse d'une mobilité effective constante avec la tension de grille appliquée (en régime d'inversion faible $\mu_{eff} \approx \mu_0$, cette hypothèse est justifiée au voisinage de la tension de bande plate). Cependant en tenant compte de la dépendance de la mobilité effective avec V_{GS} en inversion forte, $\mu_{eff} = \mu_0 / [1 + \theta(V_{GS} - V_{th})]$, où μ_0 est la mobilité à faible champ électrique et θ est le facteur de réduction de la mobilité, la densité volumique des pièges corrigée devient [Duh'84] :

$$N_t(E_F) = [1 + \theta(V_{GS} - V_{th})]^2 N_t(E_F)|_{apparente} \quad (I.15)$$

où $N_t(E_F)|_{apparente}$ représente la densité volumique des pièges au voisinage de la tension de bande plate qu'on peut déduire de l'équation I.14.

La mesure de la densité de bruit en $1/f$ normalisée par la fréquence $S_{V_G}(f) \cdot f$ permet de déterminer la densité de pièges à l'interface $N_t(E_F)$. Selon la qualité du processus d'oxydation et le choix du diélectrique de grille, la valeur de $N_t(E_F)$ peut varier entre 10^{17} et $10^{21} \text{ cm}^{-3} \text{ eV}^{-1}$. Cette densité des pièges à l'interface peut être utilisée comme facteur de mérite pour comparer différentes technologies.

La théorie de McWhorter considère une distribution uniforme des pièges dans l'oxyde et prédit un bruit en $1/f$. Dans le cas où la densité des pièges n'est pas uniforme dans la profondeur de l'oxyde, la densité spectrale de puissance de bruit ne varie plus en $1/f$, mais en $1/f^\gamma$, avec $\gamma \neq 1$ et la valeur de γ , comprise entre 0,7 et 1,8, dépend des polarisations appliquées [Christensson'68b, Surya'86, Celik'87, Simoen'99, Lukyanchikova'2009, Wei'2009]. Il a déjà été montré que si la distribution de pièges est plus élevée à proximité (respectivement, loin) de l'interface, alors $\gamma < 1$ (respectivement, $\gamma > 1$).

La théorie de McWhorter peut être approfondie, en considérant que la fluctuation de la charge d'isolant peut provoquer une fluctuation du taux de diffusion des porteurs libres par les charges piégées, conduisant à une fluctuation de la mobilité effective des porteurs dans le canal d'inversion. Les fluctuations du courant de drain s'écrivent alors en régime de fonctionnement linéaire du transistor [Ghibaudo'91] : $\delta I_D = -g_m \delta V_{FB} \mp \alpha_C I_D \mu_{eff} \delta Q_{ox}$ (- (respectivement, (+)) si le piège est de type accepteur (respectivement, donneur)), où α_C est le coefficient des interactions coulombiennes. La densité spectrale de puissance de la tension de bruit ramenée à l'entrée est donnée par l'expression suivante [Ghibaudo'91] :

$$S_{V_G}(f) = S_{V_{FB}} \left[1 \pm \alpha_C \mu_{eff} C_{ox} \frac{I_D}{g_m} \right]^2 \quad (I.16)$$

Cette expression montre que le modèle de fluctuations du nombre de porteurs peut s'appliquer de faible jusqu'à forte inversion du canal. La valeur du coefficient des interactions coulombiennes α_c est d'environ 10^4 Vs/C pour les transistors à canal de type n et d'environ 10^5 Vs/C pour ceux à canal de type p [Hung'90, Ghibaudo'2002].

1.2.4.2 Fluctuations de la mobilité des porteurs

Hooge [Hooge'69] a soutenu l'idée que la fluctuation du courant (tension) conduisant à une densité spectrale de puissance de bruit en $1/f$ est un effet de volume qui provient principalement de la fluctuation de la mobilité. Selon ce modèle, dans les transistors à effet de champ les fluctuations du courant de drain sont dues aux fluctuations de mobilité liées aux fluctuations des sections efficaces de diffusion des porteurs au cours des interactions des porteurs avec les phonons du réseau [Hooge'78, Jindal'78].

Dans le cas d'un transistor MOS ayant un canal uniforme et fonctionnant en régime linéaire, la densité spectrale de puissance de bruit du courant de drain normalisée s'écrit :

$$\frac{S_{I_D}}{I_D^2} = \frac{q\alpha_H}{fWLQ_i} \quad (\text{I.17})$$

où Q_i est la charge d'inversion dans le canal par unité de surface et α_H est le paramètre de Hooge. Le paramètre α_H dépend de la qualité cristalline de l'échantillon et sa valeur expérimentale couvre une large gamme de 10^{-7} à 10^{-3} [Vandamme'93, Hooge'94]. En tant que facteur de mérite, il permet donc de comparer différentes technologies. Selon la théorie des transistors MOS, il peut être montré qu'en régime de forte inversion la densité spectrale de tension de bruit ramenée sur la grille est donnée par [Ghibaudo'97] :

$$S_{V_G} = \frac{q\alpha_H}{fWLC_{ox}} (V_{GS} - V_{th}) [1 + \theta(V_{GS} - V_{th})]^2 \quad (\text{I.18})$$

En faible inversion, la densité spectrale de bruit de courant de drain normalisée S_{I_D}/I_D^2 est inversement proportionnelle avec la tension appliquée sur la grille.

1.2.4.3 Discussion du bruit en $1/f$

Le modèle de Hooge basé sur les fluctuations de la mobilité des porteurs explique le comportement du bruit en $1/f$ dans des composants semi-conducteurs homogènes et métaux. Il a été utilisé de manière satisfaisante aussi pour décrire le bruit en $1/f$ dans des composants MOSFET à canal de type p. Il explique toujours le bruit en $1/f$ dans des composants avancés ayant un empilement constitué d'un diélectrique à haute permittivité diélectrique et d'une grille métallique [Srinivasan'2005, Haartman'2006]. Cependant, pour décrire le comportement en bruit des transistors à canal de type n, il peut être parfois utile de supposer que le paramètre de Hooge dépend de la tension appliquée sur la grille selon $[\alpha_H \propto 1/(V_{GS} - V_{th})]$. Le modèle de Hooge est moins pertinent dans la région de

fonctionnement sous le seuil, cela reste un problème non-résolu. L'absence d'explication physique à la base de modèle de Hooge lui a valu des critiques basées sur des points de vue de la physique fondamentale [Weissman'88].

Les critiques visant la théorie de McWhorter portent, à partir des points de vue théoriques, sur l'addition des spectres de type lorentzien, générant un spectre de type $1/f$ [Kampen'87, Hooge'2003, Vliet'2003]. Cependant, le modèle de fluctuations du nombre de porteurs dans le canal d'inversion, basé sur la théorie de McWhorter, montre un excellent accord avec le comportement expérimental du bruit en $1/f$ pour les transistors à canal de type n, pour une gamme de polarisation allant de faible jusqu'à forte inversion. Il est intéressant de noter que pour des composants MOSFET avancés ayant une couche très mince de SiO_2 ($\lesssim 1,5$ nm) ou parfois pour des structures qui utilisent un empilement (diélectrique à haute permittivité diélectrique / grille métallique) pour l'oxyde de grille, ou encore pour des structures de type multigrilles, le modèle de fluctuations du nombre de porteurs permet d'expliquer le bruit en $1/f$ également pour les transistors à canal p [Cretu'2002, Haartman'2005, Guo'2007]. Des critiques ont été évoquées pour le modèle de fluctuations du nombre de porteurs corrélées avec la mobilité des porteurs, car celui-ci considère que le coefficient des interactions coulombiennes α_c est constant quelle que soit la tension appliquée sur la grille. Des modèles [Vandamme'99, Vandamme'2000] prévoient que la valeur de α_c doit diminuer lorsque la tension appliquée sur la grille augmente (conduisant à une augmentation de la charge d'inversion), car la charge d'inversion peut écranter les interactions coulombiennes entre la charge d'oxyde et les porteurs du canal d'inversion.

Le bruit en $1/f$ dans le canal d'inversion du transistor peut donc avoir plusieurs origines : fluctuations du nombre de porteurs, fluctuations du nombre de porteurs corrélées avec la mobilité des porteurs, fluctuations de la mobilité.

Des études ont mis en évidence le bruit en $1/f$ issu des résistances d'accès du transistor MOS. L'impact du bruit en $1/f$ généré par les résistances d'accès est plus important pour les plus faibles longueurs de canal, et sa contribution dans le bruit total en $1/f$ est souvent observée à forte inversion quand la résistance de canal diminue. Le bruit en $1/f$ des résistances d'accès peut être modélisé par la relation [Hooge'94] :

$$\left(S_{I_D} \right)_{\text{résistances d'accès}} = \frac{K_r}{f} I_D^2 \quad (\text{I.19})$$

où K_r est une constante.

En prenant en compte les différentes origines des sources de bruit, la densité spectrale de puissance de la tension de bruit équivalente ramenée sur grille peut s'écrire :

$$\left\{ \begin{array}{l} \Delta N : S_{V_G} = \frac{(r_T - r_{\text{accès}})^2}{r_T^2} S_{V_{FB}} [1 + \alpha_c \mu_0 C_{ox} (V_{GS} - V_{th})]^2 + \frac{K_r}{f} \frac{r_{\text{accès}}^2}{2r_T^2} \frac{I_D^2}{g_m^2} \\ \Delta \mu : S_{V_G} = \frac{(r_T - r_{\text{accès}})^2}{r_T^2} \frac{q\alpha_H}{fWLC_{ox}} (V_{GS} - V_{th}) [1 + \theta(V_{GS} - V_{th})]^2 + \frac{K_r}{f} \frac{r_{\text{accès}}^2}{2r_T^2} \frac{I_D^2}{g_m^2} \end{array} \right. \quad (\text{I.20})$$

L'analyse des résultats expérimentaux confrontés aux évolutions théoriques prévues par les différents modèles de bruit nous permet ainsi d'établir une méthode générale d'identification des sources du bruit dans le transistor MOS.

Le tableau 1 résume les dépendances de la densité spectrale de puissance du bruit en tension (S_{V_G}) et de la densité spectrale de puissance de bruit en courant normalisée (S_{I_D}/I_D^2) en fonction de la de tension appliquée sur la grille dans le régime linéaire de fonctionnement du transistor MOS, compte tenu des relations (I.20), dans l'hypothèse $r_T \gg r_{access}$.

	Localisation des sources du bruit			
	canal d'inversion			zones d'accès de la source et du drain
	Modèle de McWhorter		Modèle de Hooge	
	$\alpha_C \mu_{eff} C_{ox} \frac{I_D}{g_m} \ll 1$	$\alpha_C \mu_{eff} C_{ox} \frac{I_D}{g_m} \gg 1$		
S_{V_G}	const.	$[1 + \alpha_C \mu_0 C_{ox} (V_{GS} - V_{th})]^2$		
S_{I_D}/I_D^2	$\left(\frac{g_m}{I_D}\right)^2$	$\left(\frac{g_m}{I_D}\right)^2 [1 + \alpha_C \mu_0 C_{ox} (V_{GS} - V_{th})]^2$	$\frac{1}{(V_{GS} - V_{th})}$	$1/r_T^2$

Tableau I.1. Evolution des densités de puissance de bruit en courant normalisées ou en tension équivalente ramenée sur la grille de transistor en fonction de la tension effective de grille permettant d'identifier l'origine du bruit de scintillement en régime linéaire.

Les variations avec la polarisation sur la grille peuvent être simplifiées : d'une part, supposant qu'en fonctionnement linéaire du transistor, en première approximation $\frac{\partial I_D}{\partial V_{DS}} \approx \frac{I_D}{V_{DS}}$, le bruit généré par les résistances d'accès domine le bruit total en $1/f$ si les variations de la densité spectrale de puissance de la tension de bruit équivalente ramenée à l'entrée du transistor varient comme I_D^4/g_m^2 ; d'autre part, dans une deuxième approximation $g_m = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS}=const.} = \frac{I_D}{V_{GS} - V_{th}}$, et finalement le bruit généré par les résistances d'accès varie comme $(V_{GS} - V_{th})^4$.

I.3 LES ARCHITECTURES MOSFETS ETUDIEES

La réalisation des transistors n'est pas toujours facile – il existe des lois de réduction d'échelle mais elles ne permettent pas d'atteindre simplement des longueurs de grille fortement submicroniques. La miniaturisation des composants engendre aussi des modifications néfastes de certains paramètres électriques parmi lesquels : la diminution de la mobilité, la dépendance de la tension de seuil avec la longueur de canal, l'augmentation de la conductance de sortie, etc. Ces effets résultent principalement de la distribution bi-dimensionnelle du potentiel dans le canal engendrée par l'influence des jonctions de source et de drain ainsi que par la tension appliquée au drain : l'effet de partage de charge (en anglais « charge sharing effect » ou « roll-off ») et l'effet de partage de charge inverse (en anglais « reverse short channel » ou « roll-on »), l'effet de canal étroit, l'effet d'abaissement de la barrière de potentiel induit par le drain (DIBL en anglais pour « Drain Induced Barrier Lowering »), le perçage du canal d'inversion (en anglais « punchthrough »), l'apparition d'un courant de fuite drain / substrat dans la zone de recouvrement des extensions sous la grille par effet de la polarisation de grille (GIDL en anglais pour « Gate Induced Drain Leakage »), etc. Des phénomènes physiques liés au confinement quantique, à la saturation de la vitesse des porteurs, au transport balistique et à l'effet tunnel peuvent apparaître pour des transistors nanométriques. Des problématiques technologiques peuvent être également évoquées, comme par exemple celle liée au dopage : des difficultés dans la réalisation de profils de dopage complexes (dopage rétrograde, poches et halos, profil de dopage abrupt entre les caissons source-drain fortement dopés et canal faiblement dopé) notamment en termes de reproductibilité des transistors sans aucune dispersion des caractéristiques. Les paramètres extrinsèques résistifs (résistances d'accès au drain et à la source, résistance d'accès à la grille et au substrat) et capacitifs (capacité drain-source : capacité métallique et de proximité ; capacités grille-drain et grille-source : capacités de bord (en anglais « fringe ») et de recouvrement (en anglais « overlap ») ; capacités source-substrat et drain-substrat : métalliques et de jonction ; capacités grille-substrat) ont un impact de plus en plus important dans les caractéristiques de sortie des transistors.

Des solutions technologiques ont dû être trouvées afin de poursuivre la miniaturisation des composants : l'utilisation du dopage rétrograde, des zones halos et des poches, l'utilisation des techniques de contraintes mécaniques sont nécessaires pour les technologies 90 nm et en deçà ; l'utilisation des diélectriques de grille à haute permittivité diélectrique et de grille métallique de type midgap pour des technologies 45 nm, 32 nm et en deçà ; des nouvelles structures de type multi-grilles (FinFETs, double-grille, etc.) semblent impératives pour des technologies 22 nm et en deçà.

La technologie silicium sur isolant (SOI en anglais pour « silicon on insulator »), même si elle est peu utilisée par les industriels, semble s'imposer de plus en plus comme une alternative pour « booster » les performances des transistors ultimes (14 nm et en deçà). L'avantage principal par rapport aux technologies conventionnelles sur silicium massif, connu depuis de nombreuses années, résulte principalement dans le fait que la zone active de silicium est une couche mince d'épaisseur imposée par la technologie employée. Parmi les autres avantages, on peut noter : réduction des courants de fuite et des capacités parasites, déplétion totale (ou partielle) du film de silicium conduisant via des effets de couplage entre les deux interfaces à une amélioration des performances électriques du transistor, meilleur contrôle des effets de canaux courts, obtention d'une faible tension de seuil et

amélioration de la pente sous le seuil, courant de drain en saturation plus important. Cependant, des inconvénients inhérents liés à cette technologie peuvent être évoqués : l'augmentation des résistances d'accès, les effets liés au film flottant (en anglais « floating body effects »), l'effet du transistor bipolaire parasite qui peut empêcher la transition de l'état on à l'état off etc.

Pour les technologies sub-90 nm, l'utilisation de germanium (Ge) a été envisagée car ce semi-conducteur a une largeur de bande interdite plus petite et une mobilité des porteurs plus élevée que le silicium. L'utilisation de Ge pour le substrat s'avère une solution trop chère, son utilisation est réservée pour réaliser la couche active ce qui réalise une solution satisfaisante pour améliorer les performances des transistors.

Pour les technologies sub-32 nm, l'utilisation des structures de type multigrilles (triple-grille de type FinFET, double grille etc.) a été envisagée. La structure FinFET présente un bon contrôle électrostatique sur le canal. En revanche, les régions d'extension entre le canal et les zones de source et de drain sont importantes, conduisant à des valeurs des résistances d'accès parasites très élevées qui entraînent une diminution du courant de drain. L'utilisation d'un diélectrique à haute permittivité diélectrique (de type « high-k ») conduit à une dégradation de la mobilité dans le canal [Lochtefeld'2002, Chau'2004, Bersuker'2004, Doris'2005]. Cette dégradation est augmentée par l'implantation de poches (qui permet de sur-doper le canal à proximité des jonctions et de réduire la zone de déplétion créée par les zones de source et de drain et donc d'améliorer les effets de canaux courts). Afin de « booster » les performances des FinFETs, plusieurs techniques de contraintes mécaniques ont été introduites pour l'architecture du canal et des extensions source / drain.

Les techniques de contraintes mécaniques peuvent être classées en deux catégories : locales (sur un seul axe) et globales (sur deux axes) [Parton'2006, Ortolland'2006]. Dans la méthode dite de « couches d'arrêt à la gravure des contacts » (CESL en anglais pour « Contact Etch Stop Layer ») la contrainte est introduite par dépôt d'une couche de diélectrique (nitrure) directement autour de la grille à la fin des étapes technologiques liées au silicium « front-end-of-line processing ». L'effet est particulièrement important pour une contrainte appliquée dans la direction du canal, permettant d'obtenir de 10 à 30 % d'augmentation des performances des transistors surtout pour les plus faibles longueurs de canal, puisqu'il s'agit d'un effet de bord [Parton'2006]. L'effet de la contrainte est différent pour les électrons et pour les trous : une contrainte extensive (respectivement compressive) doit être utilisée pour les transistors à canal n (respectivement à canal p).

Une technique de contrainte globale consiste à déposer une fine couche de silicium par épitaxie sur une couche tampon de $\text{Si}_{1-x}\text{Ge}_x$ relaxée. Le $\text{Si}_{1-x}\text{Ge}_x$ a une maille cristalline plus grande que celle du silicium, l'alignement de maille entre Si et $\text{Si}_{1-x}\text{Ge}_x$ provoque une contrainte en deux axes dans la couche de silicium. Grâce au procédé « smart cut » la couche tampon peut être enlevée et on peut ainsi obtenir des substrats de silicium contraints directement sur isolant (sSOI en anglais pour « strained silicon on insulator »). Les performances peuvent être améliorées d'environ 70 % pour les transistors à canal n et d'environ 40 % pour ceux à canal p [Ogura'2008].

La croissance épitaxiale sélective (SEG en anglais pour « Selective Epitaxial Growth ») du SiGe ou du SiC dans les régions de la source et du drain induit une réduction des résistances d'accès [Shim'2004, Collaert'2008]. L'accord de maille avec le canal crée une contrainte en compression dans le canal, et peut donc être bénéfique pour les transistors à canal p. Le courant de drain peut être amélioré d'environ 65% pour les transistors à géométrie

conventionnelle (une seule grille) ; en revanche, pour des structures multigrilles cette amélioration est moindre, et se chiffre à environ 25% [Collaert'2007].

Les structures double grille (DG en anglais pour « double gate ») MOSFET présentent un intérêt croissant pour les technologies 16 nm et en deçà. L'utilisation d'une très fine couche de silicium enterré (T_{Si}) permet d'obtenir des canaux totalement déplétés (FD en anglais pour « fully depleted »), conduisant à des performances supérieures pour ces transistors [Ohtou'2008]. L'utilisation d'une très fine couche d'oxyde enterré (T_{BOX}) (BOX en anglais pour « buried oxide thickness ») permet un contrôle supplémentaire sur les effets de canaux courts en raison du couplage électrostatique entre la grille et le canal. De plus, la tension de seuil peut également être contrôlée en appliquant une tension de polarisation inverse sur l'interface arrière. Ce contrôle peut être plus important s'il est combiné avec un plan de masse d'implantation (GP en anglais pour « ground plane »), qui permet de supprimer la zone de déplétion sous le BOX [Doris'2002, Ernst'2003, Fenouillet'2009]. De plus, il a été suggéré que l'utilisation d'une couche très fine de BOX (UTBOX en anglais pour « ultra thin burrier oxide thickness ») est nécessaire pour éviter l'utilisation des tensions de polarisation très élevées au niveau de l'interface arrière [Monfray'2004]. L'utilisation d'un canal non intentionnellement dopé représente un autre aspect intéressant de la technologie FD UTBOX car il offre des avantages en termes de suppression de la variabilité liée aux profils du dopage [Lee'2010]. Une application possible et très intéressante est l'utilisation de ces composants pour des futures mémoires dynamiques à accès aléatoire à 1 transistor (1T-DRAM en anglais pour « 1 transistor dynamic random access memory ») [Nicoletti'2012, Aoulaiche'2012]. L'intérêt provient du fait qu'on peut s'affranchir de l'utilisation d'une capacité externe – difficilement intégrable - car le stockage de l'information peut s'effectuer par l'accumulation surfacique des charges au niveau du BOX, ou par la variation de l'épaisseur des zones de charge d'espace ; la lecture de la donnée étant possible via la mesure de la tension de seuil, dépendante du potentiel de l'interface arrière.

I.3.1 Transistors MOSFET partiellement déplétés sur substrat SOI

Les transistors sur des substrats SOI partiellement déplétés ont été fabriqués à IMEC en technologie UNIBOND 0,13 μm , avec une épaisseur de l'oxyde enterré de 400 nm, une épaisseur de film de silicium de 100 nm, une épaisseur d'oxyde de grille SiO_2 de 2,5 nm. Un premier dopage réalise des structures LDD (« Light Doped Drain ») par des implantations à faible énergie d'arsenic pour les transistors à canal n et bore pour les transistors à canal p. Une implantation supplémentaire des poches (zones « halo ») est effectuée pour mieux contrôler les effets de canaux courts. Les composants n'ayant pas subi cette implantation sont appelées « No Halo ». Des études en régime de fonctionnement statique et de bruit ont été effectuées pour différents transistors ayant une largeur de grille fixe de 10 μm et des longueurs de grille entre 80 nm et 10 μm .

I.3.2 Transistors pMOS à canal en germanium

Les transistors ont été fabriqués sur un substrat de silicium de 200 mm de diamètre dans une couche épitaxiale de 2 μm . La surface de germanium a été nettoyée et ensuite passivée avec une couche interfaciale de silicium d'environ 0,6 nm, qui a été par la suite oxydée, conduisant à une couche d'interface d'oxyde SiO_2 d'environ 0,4 nm. Un film de 4 nm de diélectrique à haute permittivité diélectrique de type HfO_2 a été déposé sur la couche interfaciale de SiO_2 . La grille métallique TaN/TiN consiste en 10 nm de TaN et 70 nm de TiN réalisés par dépôt physique « physical vapor deposition » (PVD). Il en résulte un oxyde de grille avec une épaisseur d'oxyde équivalente (EOT) de 1,3 nm. La structure des transistors à canal p de germanium sur substrat Si est représentée sur la figure I.5.

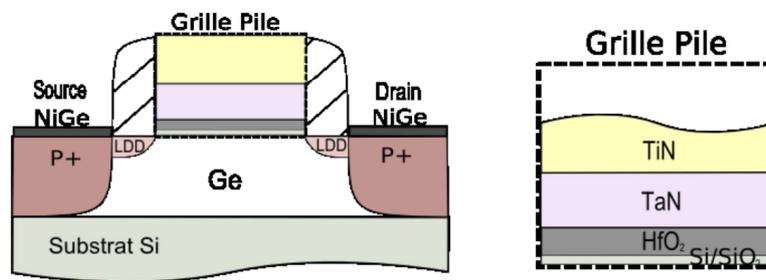


Figure I.5 : Structure d'un transistor à canal en germanium sur substrat en silicium et l'empilement de la grille

Des études de bruit ont été effectuées pour des transistors ayant deux longueurs de grille (0,25 μm et 1 μm) et une largeur de grille fixe de 10 μm .

I.3.3 Transistors FinFET

La structure d'un transistor FinFET sur un substrat SOI est illustrée sur la figure I.6. Le transistor est fabriqué dans une tranche haute et étroite de silicium qui se présente sous une forme de doigt (en anglais « finger »). Pour avoir un courant de drain comparable avec les autres structures de transistors, les transistors FinFET présentent souvent plusieurs doigts en parallèle couverts par la grille. Les paramètres géométriques caractérisant la structure du transistor FinFET sont : H_{Fin} la hauteur du doigt, W_{Fin} la largeur du doigt et N_{Fin} le nombre de doigts en parallèle. La largeur géométrique équivalente totale W pour la grille est définie par $W = (2H_{Fin} + W_{Fin}) N_{Fin}$.

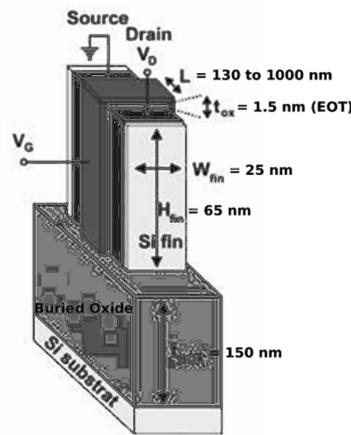


Figure I.6 : Structure FinFET

Les transistors FinFETs étudiés ont été réalisés sur substrat standard SOI et ont subi différentes combinaisons de techniques de contraintes mécaniques (sSOI, CESL, SEG) afin d’augmenter les performances des composants. Ils ont été fabriqués simultanément en utilisant une même technologie mais avec six étapes différentes dans le procédé. La hauteur des doigts H_{Fin} est de 65 nm (respectivement 55 nm) pour le substrat SOI (respectivement sSOI). L’épaisseur d’oxyde enterré est de 130 nm. Les plus faibles largeurs (W_{Fin}) et longueurs (L) disponibles sont de 20 nm. La grille consiste en un empilement diélectrique de type high-k / grille métallique (TiN). Deux diélectriques à hautes permittivités diélectriques sont utilisés, HfO_2 et $HfSiON$, conduisant à une épaisseur équivalente d’oxyde de silicium (EOT) de l’isolant de grille de 1,9 nm et 1,5 nm, respectivement. Dans les études portées, les transistors FinFETs standards sur un substrat SOI sont utilisés comme références. Ont été également étudiés des transistors sur un substrat standard (respectivement contraint sSOI) mais ayant subi différentes techniques de contraintes mécaniques pour l’architecture du canal ou des régions de source et de drain : SOI+SEG, SOI+CESL+SEG (respectivement sSOI+SEG, sSOI+CESL, sSOI+CESL+SEG).

I.3.4 Transistor UTBOX sur substrat SOI

La structure d’un transistor FD UTBOX est représentée sur la figure I.7. Les transistors ultrafins totalement déplétés sur substrat SOI (FD SOI UTBOX) sont issus des lignes technologiques d’IMEC dans des puces électroniques (en anglais « wafers ») de 300 mm ayant un empilement de grille avant constitué d’un diélectrique à haute permittivité diélectrique et une grille métallique (TiN). Le plan de masse (GP) n’est pas réalisé. Sont disponibles des échantillons ayant différents types de diélectrique de type high-k et différentes épaisseurs de la couche interfaciale de SiO_2 ; différentes épaisseurs de l’oxyde enterré (T_{BOX} d’environ 18 nm et 8 nm) et différentes épaisseurs de film de Si enterré (T_{Si} d’environ 16 nm et 6 nm).

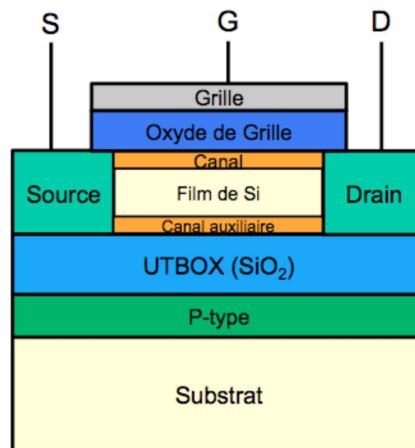


Figure I.7 : Structure d'un transistor UTBOX sur substrat SOI

Deux diélectriques de grille différents, notés HK1 et HK2, ont été étudiés, leurs caractéristiques sont résumées en tableau I.2

	Epaisseur de la couche interfaciale de SiO ₂	Epaisseur et nature de la couche de high-k
HK1	1,5 nm	2 nm HfSiO (60% Hf)
HK2	1 nm	2,5 nm HfSiON

Tableau I.2 : Epaisseurs de la couche interfaciale de SiO₂ et de diélectrique à haute permittivité diélectrique constituant les différents diélectriques de grille des transistors UTBOX étudiés

I.4 METHODOLOGIE

La réduction de l'épaisseur de l'oxyde de grille (t_{ox}) conduit inexorablement à une augmentation du courant de fuite à travers la grille. Cette augmentation pose des problèmes liés à la fiabilité des composants et conduit à une consommation plus importante de l'énergie à l'état off. Dans le bruit en $1/f$ de courant de drain total en sortie peut apparaître une contribution significative du bruit générée par le courant de fuite de grille : cela a été observé pour des technologies 90 nm pour les transistors à canal p, ayant une épaisseur d'oxyde de grille de 1,5 nm [Valenza'2004]. Ainsi, le bruit issu du courant de fuite de grille pourra devenir un problème majeur dans les technologies CMOS futures. Des modèles qui tiennent compte de l'influence du courant de fuite de grille ont été proposées [Contaret'2006].

Un niveau inférieur du bruit en $1/f$, pour des transistors ayant des diélectriques à haute permittivité diélectrique quand une grille métallique est utilisée, a été mis en évidence dans plusieurs travaux de recherche. Cette réduction a été observée pour différents matériaux employés pour la grille : TiN, TaSiN, TaN et NiSi, ce qui

suggère que l'abaissement du bruit est dû à une propriété intrinsèque de la grille métallique. L'atténuation de l'effet de diffusion des phonons sur la mobilité des porteurs, induit par l'utilisation d'une grille métallique est connu. Le même mécanisme est proposé pour expliquer la réduction du bruit en $1/f$, sachant que les fluctuations de mobilité sont généralement associées aux interactions avec les phonons du réseau cristalline. En conséquence, un composant qui utilise un empilement de type diélectrique à haute permittivité diélectrique / grille métallique peut être moins bruyant que s'il présente une grille en Si poly. Par ailleurs, les pièges et les charges à l'interface avec le diélectrique de grille peuvent être mieux écrantés en utilisant une grille métallique [Srinivasan'2005a]. Même si l'on peut noter que l'utilisation d'une grille métallique en combinaison avec un diélectrique high-k conduit à des résultats prometteurs, d'autres études sont néanmoins nécessaires pour identifier l'origine de cette réduction du bruit en $1/f$.

Dans les structures de type FinFET, la conduction du courant s'effectue sur les parois latérales (conduction verticale pour des faibles largeurs W_{Fin}) ce qui peut conduire à une dégradation des performances en bruit $1/f$ [Momose'2003, Gaubert' 2006], principalement parce que la gravure de l'oxyde sur les parois latérales des doigts peut induire une augmentation de la microrugosité et de la densité des pièges à l'interface canal / diélectrique de grille. La surface active de la grille étant faible, des effets de bord peuvent également contribuer à l'augmentation du bruit en $1/f$. Pour des composants de type multigrilles ayant une épaisseur de film de Si inférieure à 10 nm, les effets liés à l'inversion volumique du canal pourraient potentiellement réduire le niveau du bruit [Simoen'96, Claeys'2009]. Il est également important de noter que l'étude des composants de type FD UTBOX ayant des épaisseurs de film de Si inférieures à 10 nm devrait ouvrir la possibilité de détecter des effets quantiques à faible polarisation et à faible température (environ 10 K).

Avec la réduction des dimensions, des signaux de type RTS peuvent apparaître, en particulier pour des composants ayant une surface active de la grille inférieure à $1 \mu\text{m}^2$, et peuvent devenir des facteurs limitants pour des technologies CMOS sub 22 nm compatibles avec les applications analogiques et numériques (circuits SRAM et DRAM).

Les études en fonction de la température, particulièrement à très basse température, sont nécessaires car il existe un certain nombre d'applications spécifiques aux basses températures. Par exemple, l'industrie spatiale est grande consommatrice de cryo électronique puisque la majeure partie de l'électronique embarquée dans les satellites fonctionne aux basses températures régnant dans l'espace. De nombreux satellites et sondes spatiales sont constitués d'une enceinte cryogénique dont le but est de maintenir à température très basse (par exemple 77 K ou 4,2 K) les appareils embarqués. Par ailleurs, un autre aspect favorable aux développements de la micro-électronique basse température est l'augmentation des performances des circuits par rapport au fonctionnement à température ambiante. En effet la réduction de la température s'accompagne d'une augmentation de la mobilité et de la vitesse de saturation des porteurs ainsi que d'une réduction du temps de commutation des transistors [Balestra'94]. Un autre facteur important relatif au fonctionnement cryogénique des transistors est la disparition des effets parasites activés thermiquement. Ainsi le perçage observé dans les transistors de petites dimensions disparaît complètement à basse température. De la même façon, la consommation et le bruit thermique peuvent être réduits. La résistivité des interconnexions est également réduite. Les effets néfastes accompagnant la réduction de la longueur des transistors

ne peuvent être en partie contrôlés qu'en réduisant la température de fonctionnement. Cependant, des inconvénients sont aussi provoqués par le fonctionnement cryogénique. On peut noter les impuretés gelées, l'augmentation des résistances d'accès au canal à faible tension appliquée sur le drain, etc. S'agissant des études du bruit, il est important de connaître le mécanisme responsable du bruit à chaque température et à chaque polarisation. De plus, les mesures du bruit en fonction de la température permettent d'utiliser la méthode dite de spectroscopie du bruit, permettant ainsi l'identification des pièges dans la zone de déplétion du transistor.

Dans notre travail, les mesures du bruit basse fréquence ont été effectuées dans une gamme de fréquences de 0,1 Hz jusqu'à 100 kHz à l'aide d'instruments appropriés qui permettent de mesurer avec précision les fluctuations à très faibles valeurs de courant. L'instrumentation de mesure a été réalisée au sein de l'équipe Electronique du laboratoire GREYC [Routoure'1998] et permet également via des mesures en petits signaux de déterminer la résistance dynamique totale (r_T) et la transconductance (g_m) des transistors étudiés. Une instrumentation appropriée, nécessaire pour mesurer en sortie de transistor le bruit généré par le courant de fuite à travers la grille est un cours de réalisation. Les mesures sont effectuées directement sur « wafer » en utilisant un « Lakeshore TT4 » ayant quatre pointes de test. L'extraction des principaux paramètres électriques en régime linéaire de fonctionnement des transistors s'effectue en utilisant la méthodologie de la fonction $Y = I_D / \sqrt{g_m}$ depuis la température ambiante jusqu'à 80 K [Gibaudo'88, Mourrain'2000] et de la fonction $Y = (I_D)^{2/3} / (g_m)^{1/3}$ à 10 K [Gibaudo'89].

L'origine du bruit en $1/f$ a été analysée. Cette étude nous a donné des informations sur la qualité de la technologie (la densité de pièges à l'interface si les fluctuations de nombre de porteurs sont prédominantes, ou le paramètre de Hooge si les fluctuations de la mobilité sont prédominantes). L'impact éventuel des résistances d'accès a été contrôlé et modélisé. Pour identifier le mécanisme du bruit prédominant à une température fixe, les résultats expérimentaux ont été comparés aux évolutions prédites par les modèles, résumés dans le tableau 1.1. Des précautions doivent être prises en considération : pour des transistors qui ont un fort niveau du courant (réalisés pour les applications « haute performance », comme les transistors à canal en germanium) dans certaines conditions de polarisation, en particulier pour les longueurs de grille les plus faibles, la résistance d'accès peut devenir comparable à la valeur de la résistance de canal. Si la condition $r_T \gg r_{access}$ n'est plus valable, il faut tenir compte des évolutions prédites par la relation I.20. Par exemple, dans le cadre du modèle de fluctuations du nombre de porteurs - une diminution du niveau du bruit en $1/f$ pourra alors être observée d'inversion faible à inversion forte (respectivement modéré) si l'impact en bruit des résistances d'accès n'est pas (respectivement est) constaté ; dans le cas où les fluctuations corrélées du nombre de porteurs et de la mobilité prédominent en inversion modérée, ne pas tenir compte de terme $(r_T - r_{access})^2 / r_T^2$ conduira à une sous-estimation du paramètre α_C . Par ailleurs, même si $r_T \gg r_{access}$, les approximations successives qui finalement montrent des variations en $(V_{GS} - V_{th})^4$ pour le bruit issu des résistances d'accès peuvent ne pas bien modéliser les évolutions du bruit en $1/f$ avec la tension appliquée sur la grille en très forte inversion. En effet, l'approximation $r_T \approx I_D / V_{DS}$ n'est plus valable, en particulier pour des transistors avancés qui ont un fort impact du facteur de réduction de mobilité en forte inversion. Afin de s'affranchir

des incertitudes susmentionnées, dans notre étude nous avons tenu compte de la modélisation de la relation I.20 en utilisant la valeur de la résistance dynamique totale et de la valeur de transconductance mesurées expérimentalement dans les mêmes conditions de polarisation que les mesures du bruit.

Pour des structures nanométriques de type UTBOX, ayant une fine épaisseur de film de silicium, un fort couplage électrostatique entre les deux interfaces existe. Un modèle qui tient compte du couplage entre les interfaces, quand le mécanisme de fluctuation du nombre de porteurs est prédominant, permettant d'estimer la densité des pièges à chaque interface, est présenté en section II.3.2.

La méthode de spectroscopie dite du bruit de génération recombinaison (GR) en régime de faible inversion sera utilisée pour identifier les principaux pièges et leur origine (pièges dans l'oxyde ou centres de génération recombinaison dans la zone de déplétion). La méthodologie utilisée est présentée en section III.2.1.

La finalité de l'ensemble des mesures expérimentales effectuées est de permettre la réalisation des objectifs scientifiques de ces études, qui sont résumées ci-dessous :

- l'analyse de l'impact de certains éléments du procédé de fabrication (techniques globales et locales de contraintes mécaniques pour l'architecture du canal et des extensions source / drain ; substrat à haute mobilité des porteurs pour les transistors de type FinFET ; épaisseur de film de silicium et de l'oxyde enterré pour les transistors de type UTBOX ; diélectriques à haute permittivité diélectrique pour l'architecture de la grille) sur le comportement en bruit et en régime statique de fonctionnement (DC) en fonction de la température ;

- l'identification des sources de bruit et le lien avec les paramètres du procédé de fabrication ;

- l'utilisation de la spectroscopie du bruit de génération recombinaison (GR) en fonction de la température, pour l'identification des principaux défauts et leur localisation (défauts dans l'oxyde de grille, dans le matériau semiconducteur) ;

- la modélisation des comportements inattendus en bruit BF.

PARTIE II :
ETUDE DU BRUIT EN $1/f$

II.1. CHAPITRE 1 : TRANSISTORS MOSFET A CANAL P EN GERMANIUM SUR SUBSTRAT SILICIUM

II.1.1 Fonctionnement à température ambiante

II.1.1.1 Origine de bruit en $1/f$

La figure II.1.1 illustre une densité spectrale de puissance du bruit du courant de drain (S_{I_D}) typique pour les transistors à canal p en germanium sur substrat silicium étudiés ayant le rapport largeur / longueur de canal de $10 \mu\text{m} / 1 \mu\text{m}$. Deux spectres sont représentés, il est important remarquer qu'une mobilité des porteurs élevée peut être associée à un niveau de bruit plus faible. Une déviation de la pente en $1/f$ peut également être observée pour le composant à mobilité faible pour des fréquences inférieures à environ 100 Hz.

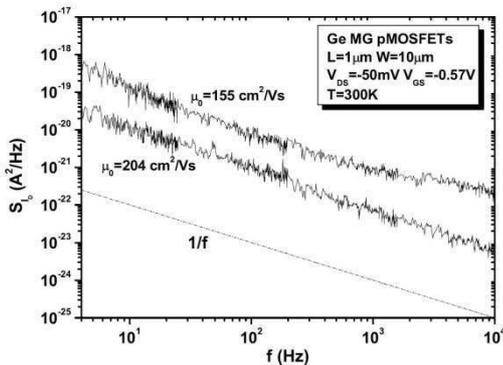


Figure II.1.1 : Densités spectrales de puissance du bruit du courant de drain typiques pour les transistors pMOSFET à canal en Ge avec $W/L=10\mu\text{m}/1\mu\text{m}$. Un niveau de bruit élevée (faible) peut être associée avec une mobilité de porteurs faible (grande).

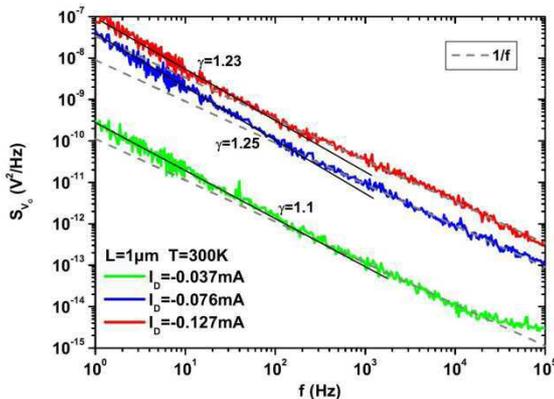


Figure II.1.2 : Densités spectrales de puissance du bruit de tension équivalente ramenées à l'entrée de transistor. Les dépendances en $1/f$ ($1/f^\gamma$) sont représentées par les lignes pointillées (pleines). Une déviation par rapport à la dépendance en $1/f$ peut être observée pour des fréquences inférieures à environ 100 Hz.

Les densités spectrales de puissance de bruit en tension ramenée en entrée du transistor (S_{V_G}) pour un composant de même géométrie ($W/L = 10\mu\text{m}/1\mu\text{m}$) pour différentes polarisations de grille sont représentées sur la figure II.1.2. Le comportement fréquentiel des spectres de puissance du bruit en tension montre que : pour la gamme de fréquences 100 Hz – 100 kHz les spectres correspondent à du bruit en $1/f$. Pour des fréquences inférieures à environ 100 Hz les spectres de bruit suivent une loi en $1/f^\gamma$, avec γ variant avec la tension appliquée sur la grille.

Afin d'étudier l'origine du bruit en $1/f$, la densité spectrale de puissance de bruit sera toujours déterminée à fréquence fixe, dans le domaine de fréquence où le bruit présente une dépendance « pure » en $1/f$. La densité spectrale de puissance de bruit de tension ramenée à l'entrée du transistor en fonction de la tension effective appliquée sur la grille V_{GT} ($V_{GT} = V_{GS} - V_{th}$) est représentée sur la figure II.1.3. En inversion modérée le niveau de bruit reste au niveau de bruit correspondant à la bande plate $S_{V_{FB}}$, indépendamment de la tension appliquée sur la grille. Ceci montre que le bruit en $1/f$ observé peut être associé aux fluctuations du nombre de porteurs (ΔN).

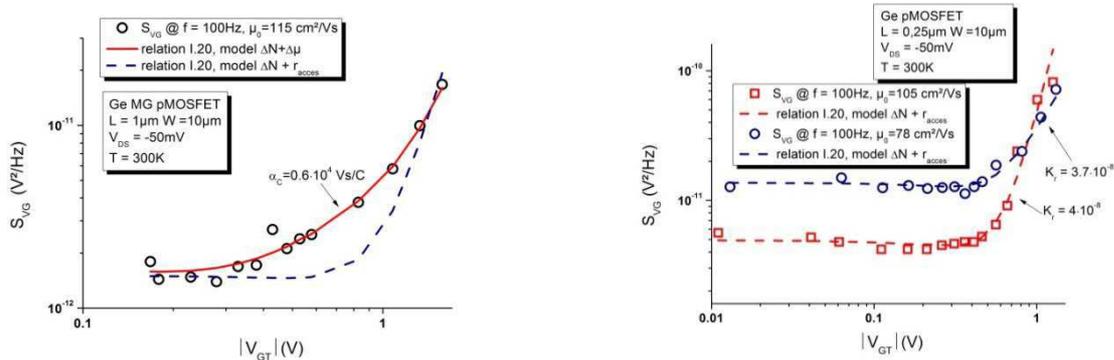


Figure II.1.3 : Densité spectrale de puissance du bruit de tension a) pour un transistor à canal long $L = 1\mu\text{m}$; b) pour deux transistors à canal court $L = 0.25\mu\text{m}$ présentant des mobilités différentes. La ligne continue représente le modèle ΔN de l'équation 1.20 en tenant compte de modèle des fluctuations du nombre de porteurs corrélées avec la mobilité de porteurs (sans la contribution des résistances d'accès). Les lignes pointillées représentent le modèle ΔN de l'équation 1.20 en tenant compte le modèle des fluctuations du nombre de porteurs et de la contribution en bruit des résistances d'accès (sans l'impact des fluctuations de mobilité corrélées).

Une augmentation de niveau du bruit S_{V_G} proportionnelle à $(1 + \alpha_c \mu_0 C_{ox} V_{GT})^2$ peut être observée en inversion forte (ligne continue sur la figure II.1.3a) pour le composant ayant une longueur de canal de $1\mu\text{m}$, ce qui suggère qu'en inversion forte, le bruit en $1/f$ est dû aux fluctuations corrélées du nombre de porteurs et de la mobilité de porteurs ($\Delta N + \Delta \mu$). Les valeurs obtenues pour le coefficient des interactions coulombiennes α_c sont comprises entre $0,5 - 0,9 \cdot 10^4$ Vs/C. Ces valeurs sont inférieures à la valeur typique d'environ 10^5 Vs/C généralement observée pour les transistors à canal p en Si et ayant un diélectrique de grille de type SiO_2 . Une réduction de α_c par rapport à la valeur typique a déjà été rapportée pour des composants à canal n ayant HfO_2 ou

HfSiON comme diélectrique de grille [Claeys'2005, Bennamane'2009, Talmat'2012]. Il a été suggéré que pour les transistors fonctionnant en inversion forte, les interactions coulombiennes ont lieu avec des pièges situés loin dans la profondeur du diélectrique à haute permittivité diélectrique, il en résulte un comportement éloigné des interactions coulombiennes conduisant ainsi à une réduction du coefficient des interactions coulombiennes α_C .

Le bruit généré par les résistances d'accès ne peut pas modéliser le comportement en bruit pour les transistors à canal long (ligne pointillée sur la figure II.1.3a). En revanche, pour des composants ayant une longueur de canal de 0,25 μm , une augmentation de niveau du bruit S_{V_G} proportionnelle à $(I_D/g_m)^2/(r_T)^2$ peut être observée en inversion forte (lignes pointillées sur la figure II.1.3b), ce qui suggère que, dans les transistors à canal court en inversion forte, le mécanisme de bruit en 1/f prédominant est lié aux fluctuations de mobilité dans les résistances d'accès au canal ($\Delta N + r_{\text{accès}}$).

On peut rappeler que le bruit dans les transistors à canal p était généralement expliqué par des fluctuations de la mobilité des porteurs, même pour des transistors ayant une grille à haute permittivité diélectrique [Srinivasan'2005b, Haartman'2006]. Cependant, notre résultat est un accord avec d'autres observations expérimentales obtenues pour des transistors à canal p à géométrie conventionnelle (une seule grille) sur Si, ayant une fine épaisseur de diélectrique SiO₂ ($\lesssim 1,5$ nm) [Cretu'2002] et de type Si_{0,8}Ge_{0,2} ayant un empilement de grille constitué d'un diélectrique à haute permittivité diélectrique et d'une grille métallique de type Al₂O₃/TiN [Haartman'2005].

Le bruit en 1/f étant expliqué par les fluctuations du nombre de porteurs dans le canal d'inversion, en utilisant la théorie de McWhorter, la densité de pièges peut être déterminée à partir de la valeur du niveau de bruit en bandes plates $S_{V_{FB}}$ (relation I.14). On obtient des valeurs de la densité de pièges de l'ordre de grandeur de $6 - 8 \cdot 10^{18} \text{ cm}^{-3} \text{ eV}^{-1}$. Ces valeurs, même s'elles sont d'un facteur environ trois fois supérieures par rapport aux valeurs généralement obtenues dans les transistors MOSFET à géométrie conventionnelle sur silicium, sont en accord avec les valeurs rapportées pour différents transistors à canal en germanium ayant un diélectrique à haute permittivité diélectrique [Haartman'2005, Srinivasan'2005b, Haartman'2006].

II.1.1.2 Corrélation entre le niveau de bruit basse fréquence et la mobilité des porteurs

Dans les figures II.1.1 et II.1.3a on observe que, à la fois pour les composants à canal long et pour ceux à canal court, on peut associer une mobilité de porteurs plus faible à un niveau de bruit plus élevé dans le transistor. Un tel comportement a déjà été évoqué pour les transistors à canal n - il a été observé que les défauts dans l'oxyde induisent un impact sur le bruit en 1/f et aussi sur la mobilité par le mécanisme lié aux interactions par collisions coulombiennes (en anglais « remonte Coulomb scattering »).

Ce comportement a été examiné de façon détaillée pour un grand nombre des composants ayant une longueur de canal de 0,25 μm (figure II.1.4a). Sur la figure II.1.4b est représenté l'inverse de la mobilité à faible champ électrique ($1/\mu_0$) (associée aux niveaux de bruit en 1/f illustrés sur la figure II.1.4a) en fonction de la

densité surfacique des pièges dans l'oxyde. Cette densité a été estimée d'une part, à partir de mesures du bruit basse fréquence (qD_{ot}) ; et d'autre part, à partir de mesures utilisant la technique de pompage de charge (CP en anglais pour « charge pumping ») (qD_{it}). L'incertitude relative est d'environ 25% (respectivement 10%) pour la détermination de qD_{ot} (respectivement qD_{it}). On observe une même tendance linéaire entre l'inverse de la mobilité à faible champ électrique et ces densités surfaciques des pièges. Le paramètre α_{C0} relié au mécanisme des collisions coulombiennes extrait de la pente de $1/\mu_0$ en fonction de qD_{ot} (respectivement qD_{it}) est estimé à une valeur de l'ordre de 10^4 Vs/C, qui correspond aux valeurs de α_C déterminées pour les transistors à canal long, dans lesquels le bruit des fluctuations corrélées du nombre de porteurs et de la mobilité prédomine en inversion forte (entre $0,5 - 0,9 \cdot 10^4$ Vs/C).

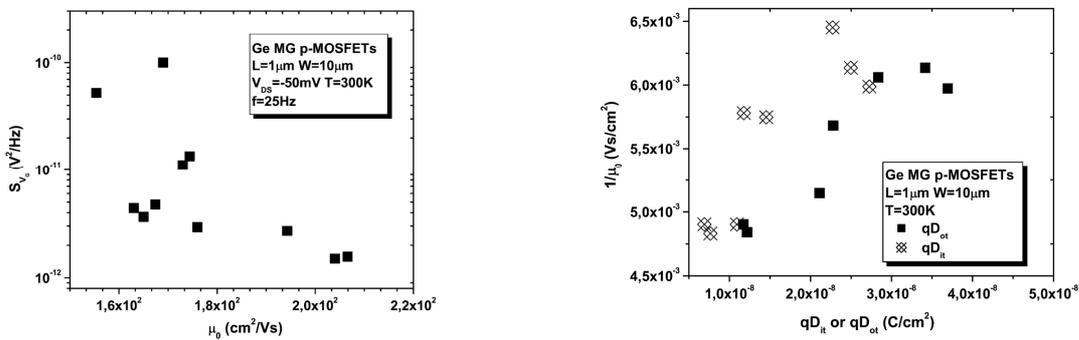


Figure II.1.4 : a) Corrélation entre le niveau du bruit de tension S_{V_g} et la mobilité des porteurs pour les transistors à canal en germanium avec $L = 1\mu m$; b) $1/\mu_0$ en fonction de qD_{it} déterminé par des mesures de pompage de charge en fonction de qD_{ot} extrait par des mesures du bruit en $1/f$ pour les transistors à canal en germanium avec $L = 1\mu m$.

II.1.2 Fonctionnement en fonction de la température

II.1.2.1 Origine de bruit en $1/f$ à basse température

Des mesures du bruit à basse fréquence dans les transistors à canal p en germanium ont été effectuées à différentes températures, de 80 K à 300 K. Les spectres de puissance de bruit montrent toujours une dépendance en $1/f^\gamma$, avec γ proche de 1. Un exemple est donné sur la figure II.1.5, où sont représentés les spectres de puissance de bruit de tension pour deux transistors ayant la même longueur de canal mais présentant des mobilités de porteurs différentes, dans les mêmes conditions de polarisation $|I_D| = 5\mu A$. La corrélation entre le niveau du bruit et la mobilité des porteurs est observée à toutes les températures investiguées.

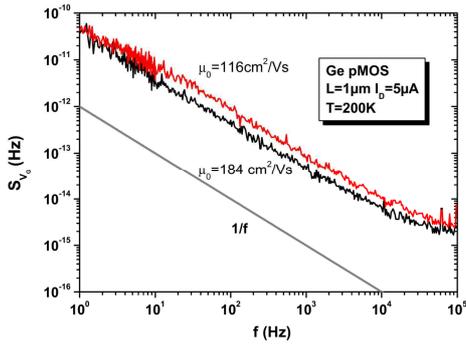


Figure II.1.5 : Densité spectrale de puissance du bruit de tension mesurée dans les mêmes conditions de polarisation pour deux composants de même géométrie, mais présentant des valeurs différentes de la mobilité de porteurs.

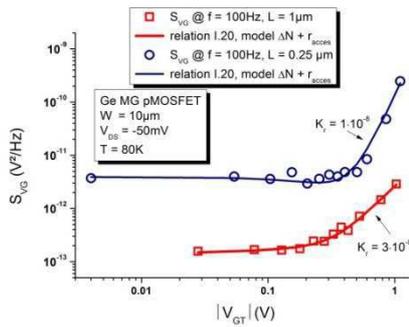


Figure II.1.6 : Densité spectrale de puissance du bruit de tension pour deux transistors (à canal long $L = 1 \mu\text{m}$ et à canal court $L = 0.25 \mu\text{m}$). Les lignes pointillées représentent le modèle ΔN de l'équation I.20 en utilisant le modèle de fluctuations du nombre de porteurs et de la contribution en bruit des résistances d'accès en inversion forte (sans l'impact des fluctuations de mobilité corrélées).

Afin d'étudier l'origine du bruit en $1/f$, pour toutes les températures investiguées, les niveaux du bruit de tension ramené sur la grille, extraits à une fréquence fixe de 100 Hz, sont analysés en fonction de la tension appliquée sur la grille (figure II.1.6). En inversion modérée, le niveau du bruit S_{V_G} ne dépend pas de la polarisation de grille, ce qui suggère que le bruit peut être expliqué par les fluctuations du nombre de porteurs. En inversion forte les dépendances du niveau de bruit en tension S_{V_G} avec la tension appliquée sur la grille sont proportionnelles à $(I_D/g_m)^2 / (r_T)^2$. Ceci est illustré par un bon accord entre les valeurs expérimentales et le modèle $\Delta N + r_{\text{accès}}$ issu de la relation I.20 en tenant en compte de modèle de fluctuations du nombre de porteurs et de la contribution en bruit des résistances d'accès en inversion forte. Cela suggère que le bruit en $1/f$ généré par les résistances parasites d'accès à la source et au drain domine en inversion forte. On remarque que pour les transistors à canal long, le mécanisme du bruit associé aux fluctuations du nombre de porteurs corrélées avec la mobilité n'est plus observé à 80 K. L'interprétation est que le bruit localisé dans les zones d'accès source / drain domine en inversion forte (points carré sur la figure II.1.6).

A partir des mesures du bruit en fonction de la température, en imposant les mêmes conditions de polarisation $|I_D| = 5 \mu\text{A}$ (proche du niveau de bande plate), la densité de pièges N_t à toutes les températures investiguées peut être estimée en utilisant la relation I.14. Les valeurs déterminées pour un composant à canal long ($L = 1 \mu\text{m}$) sont représentées sur la figure II.1.7. On observe que les valeurs de N_t augmentent lorsque la température diminue.

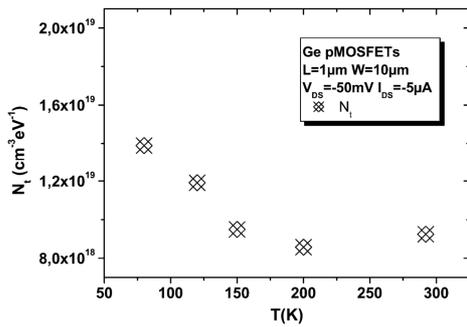


Figure II.1.7 : Densité de pièges estimés à partir de la théorie de McWhorter en supposant que la distribution des pièges dans l'oxyde est uniforme en profondeur.

Avec la réduction de la température, le niveau de Fermi au bord de bande change, en particulier quand les mesures sont effectuées à courant fixe, de sorte qu'avec la réduction de la température on balaye des énergies différentes. La densité des pièges dans l'oxyde peut donc varier avec l'énergie car on peut balayer des pièges de nature différente. Une autre explication envisageable tient compte de la structure du diélectrique de grille qui est constituée par l'empilement d'une couche interfaciale de SiO₂ et d'une couche de diélectrique à haute permittivité diélectrique. Dans le modèle développé par [Morshed'2007, Morshed'2008], basé sur le modèle unifié du bruit [Hung'1990], est supposée l'existence dans le diélectrique de deux barrières correspondent à la couche interfaciale et à la couche « high-k », respectivement. La longueur d'atténuation liée à l'effet tunnel des pièges dépend de la distance par rapport à l'interface avec le canal, elle doit donc être modélisée différemment dans les deux couches considérées. La densité des pièges qui est typiquement considérée comme uniforme en volume et en énergie, est remplacée dans ce modèle par une expression exponentielle dépendant de la position en énergie avec une distribution spatiale des pièges dans la couche « high-k ». Ainsi, en raison de la dépendance en énergie de la densité des pièges, la courbure des bandes d'énergie engendre une non-uniformité supplémentaire dans la distribution spatiale des pièges.

II.1.2.2 Discussion succincte sur le bruit en $1/f^\gamma$

Selon la théorie de McWhorter, la constante de temps τ associée au mécanisme de piégeage dynamique dépend de la distance par rapport à l'interface des pièges situés dans l'oxyde (relation I.10). Le bruit en $1/f^\gamma$, avec $\gamma > 1$ observé en basse fréquence (figure II.1.2) peut être dû aux pièges situés en profondeur dans l'oxyde qui ont des constantes de temps plus élevées par rapport aux pièges situés à l'interface d'oxyde. Des travaux de recherche sur l'étude du bruit basse fréquence dans des transistors ayant un empilement de grille constitué d'une couche interfaciale d'oxyde SiO₂ et un diélectrique à haute permittivité diélectrique ont mis en évidence du bruit en $1/f^\gamma$ - le niveau du bruit étant relié à la composition chimique du diélectrique high-k et inversement proportionnel avec l'épaisseur de la couche interfaciale de SiO₂ [Min'2004, Min'2005]. D'autres études ont mis en évidence que le niveau du bruit dépend de la polarisation de la grille. En régime de bande plate, le bruit en $1/f$ n'est lié qu'au piégeage – dépiégeage avec des pièges situés à l'interface Si/SiO₂ et dans la couche interfaciale SiO₂, car le niveau d'énergie des pièges situés dans le diélectrique de type high-k est situé au niveau de Fermi dans le substrat. Avec

l'augmentation de la tension appliquée sur la grille, le niveau d'énergie des pièges dans HfO_2 est aligné avec le niveau de Fermi dans le film, l'échange de charge devient possible, pouvant conduire à une augmentation du niveau du bruit en $1/f$ [Simoen'2004]. Donc, même si la distribution des pièges est supposée uniforme dans chaque couche d'oxyde, c'est-à-dire dans la couche interfaciale de SiO_2 et dans la couche de HfO_2 , avec l'augmentation de la tension appliquée sur la grille, les pièges situés dans le diélectrique à haute permittivité diélectrique peuvent ajouter une contribution de bruit supplémentaire. De plus, comme les pièges dans HfO_2 sont situés en profondeur dans l'oxyde, leur constante de temps associée est plus grande et en conséquence ils impactent uniquement le bruit à basse fréquence.

Compte tenu de la théorie de McWhorter, le bruit en $1/f^\gamma$, avec $\gamma > 1$ observé pour des fréquences inférieures à environ 100 Hz peut être associé avec une distribution non-uniforme des pièges dans une profondeur de l'oxyde supérieure à 1,6 nm (relation I.10, avec $\lambda = 1\text{\AA}$ [Jayaraman'89]), ce qui suggère que cette non-uniformité des pièges est localisée loin dans la profondeur de la couche de HfO_2 .

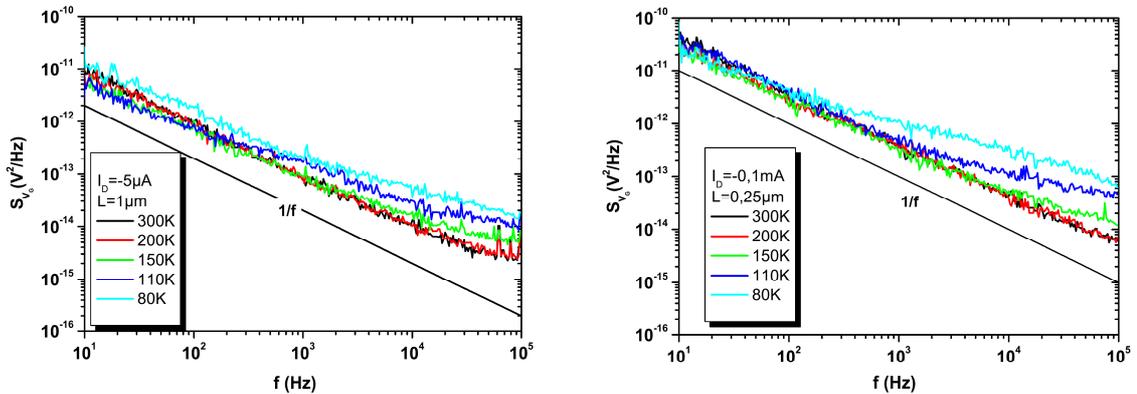


Figure II.1.8 : Densité spectrale de puissance du bruit de tension en fonction de la température pour deux transistors de longueurs différentes.

Cependant, du bruit en $1/f^\gamma$, avec $\gamma < 1$ peut être observé à basse température dans une gamme de fréquence plus élevée pour certains échantillons. Des densités spectrales de puissance de bruit ayant un tel comportement sont présentées sur la figure II.1.8, pour un transistor à canal long ($1\ \mu\text{m}$) polarisé à $|I_D| = 5\ \mu\text{A}$, et un transistor à canal court ($0,25\ \mu\text{m}$) polarisé à $|I_D| = 0,1\ \text{mA}$. Des dépendances en fréquence avec une pente en $1/f^\gamma$, avec $\gamma < 1$ sont observées cette fois-ci pour des fréquences supérieures à 100 Hz. Comme dans le cas précédent ($\gamma > 1$), il a été vérifié que l'allure observée ne peut pas être correctement modélisée par une addition d'une ou plusieurs lorentziennes. Ce comportement, selon la théorie de McWhorter, peut être associé avec une distribution non-uniforme des pièges avec une distance par rapport à l'interface avec le canal comprise entre 0,96 nm et 1,6 nm. Sachant que la couche interfaciale de SiO_2 est de 1 nm pour nos composants, ce résultat suggère que la non-uniformité des pièges est toujours localisée dans la couche de HfO_2 , mais dans la zone proche de l'interface avec SiO_2 .

Le bruit en $1/f^\gamma$, avec $\gamma \neq 1$ peut donc être associé à une non-uniformité des pièges dans la couche de diélectrique à haute permittivité diélectrique de HfO_2 .

II.2. CHAPITRE 2 : IMPACT DES TECHNIQUES DE CONTRAINTES SUR LE COMPORTEMENT EN BRUIT BASSE FREQUENCE DES FINFETS

II.2.1 FinFETs ayant un diélectrique à haute permittivité diélectrique de type HfO₂

II.2.1.1 Spectres de puissance de bruit. Bruit inhabituel observé. Modélisation empirique du bruit inhabituel.

La figure II.2.1 illustre un exemple des spectres de puissance de bruit en courant pour tous les types de FinFET à canal n étudiés en polarisant identiquement les composants dans le régime linéaire à $I_D = 8\mu\text{A}$. Les observations expérimentales montrent que le bruit en $1/f$ prédomine à température ambiante. Cependant, un comportement inhabituel a été mis en évidence pour les composants ayant subi le procédé SEG. Pour les composants à canal n de type SOI+SEG, SOI+SEG+CESL et sSOI+SEG+CESL, les spectres de puissance de bruit présentent une décroissance de la pente en $1/f$ et un deuxième niveau du bruit en $1/f$ peut être observé à très basse fréquence.

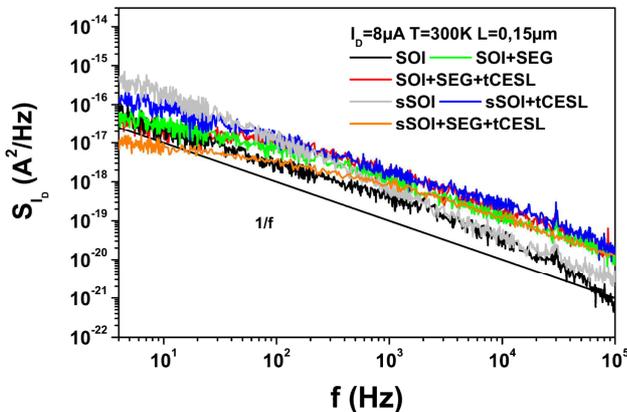


Figure II.2.1 : Densités spectrales de puissance du bruit du courant à température ambiante pour tous les types de FinFET polarisés en mêmes conditions ($I_D = 8\mu\text{A}$) en régime de fonctionnement linéaire.

La diminution de la pente en $1/f$ observée dans les structures qui ont subi SEG peut être plus facilement mise en évidence en multipliant la densité spectrale de puissance de bruit par la fréquence. Dans la figure II.2.2 sont présentés les spectres de puissance du bruit normalisée par la fréquence pour le composant de référence SOI et deux nFinFET qui ont subi le procédé de fabrication SEG. Le spectre de puissance de bruit pour le transistor de référence (SOI) à canal n présente une dépendance en $1/f$ « pur ». Les spectres de puissance du bruit normalisée des transistors FinFET ayant subi le procédé SEG présentent deux domaines de fréquences basses - et respectivement hautes où le bruit en $1/f$ présente deux plateaux bas - respectivement haut et un domaine de fréquence intermédiaire où le niveau de bruit en $1/f$ croît progressivement du plateau bas au plateau haut.

Pour des composants ayant la même géométrie et parcourus par un courant identique ($I_D = 6\mu\text{A}$ sur la figure II.2.2), on remarque que pour les fréquences supérieures à environ 1 kHz, le niveau de bruit dans le FinFET SEG (plateau haut) est le même dans le transistor de référence SOI.

Compte tenu des types de bruits classiquement observés dans les transistors (bruit blanc, bruit en $1/f$, bruit de type lorentzian), les spectres de puissance de bruit peuvent être modélisés par l'équation I.1. Dans la figure II.2.2, le modèle général du bruit basé sur la relation I.1 est tracé. Le spectre de puissance du bruit correspondant au transistor de référence SOI est simplement modélisé en ne prenant en compte qu'une source de bruit en $1/f$. En revanche, les spectres des transistors nFinFET SEG ne peuvent pas être ajustés par une simple combinaison de ces trois types de bruits. Comme déjà dit, ils présentent plutôt un « plateau bas » et « plateau haut » reliés par une transition entre les deux niveaux. Un modèle empirique qui permet d'ajuster le spectre inhabituel a été proposé [Guo'2008] :

$$S_{V_g}(f) = B + \frac{K_1}{f} + \frac{K_2}{f} \frac{1}{1 + \frac{f_1}{f} + \frac{f}{f_2}} \quad (\text{II.1})$$

où le terme K_1/f représente le spectre du bruit en $1/f$ associé au « plateau bas » et le terme commençant par K_2/f représente le spectre du bruit en $1/f$ associé au « plateau haut », K_1 et K_2 étant les coefficients d'amplitude de ces deux plateaux. Le « plateau haut » correspond à un intervalle des fréquences caractéristiques compris entre f_1 et f_2 . La figure II.2.2b illustre le très bon accord entre le modèle empirique proposé et les spectres de puissance mesurés dans deux nFinFET SOI+SEG+CESL ayant des longueurs de canal, des conditions de polarisation appliquée et des températures de fonctionnement différentes.

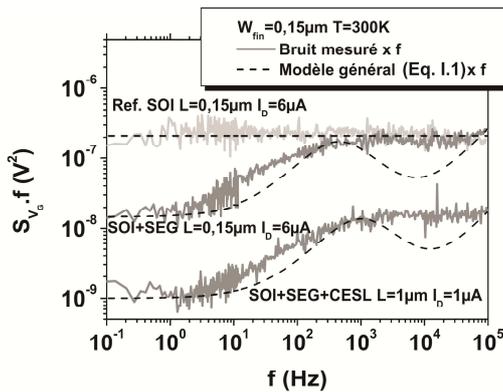


Figure II.2.2a : Mise en évidence du comportement du bruit inhabituel dans un transistor de référence sur substrat SOI et deux transistors ayant subi le procédé SEG.

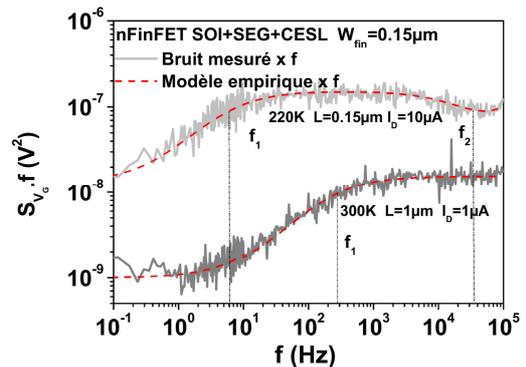


Figure II.2.2b : Un bon accord entre les courbes expérimentales et le modèle empirique (lignés pointillées) peut être observé pour des nFinFETs SOI+SEG+CESL.

Contrairement aux transistors nFinFET, le bruit inhabituel est observé pour toutes les structures à canal p étudiées. Une bonne concordance entre les spectres de bruit expérimental et le modèle empirique proposé dans la

relation II.1 a été observée. La figure II.2.3 illustre cette concordance pour un transistor standard (SOI) ayant une longueur de grille effective de 60 nm, polarisé en inversion faible.

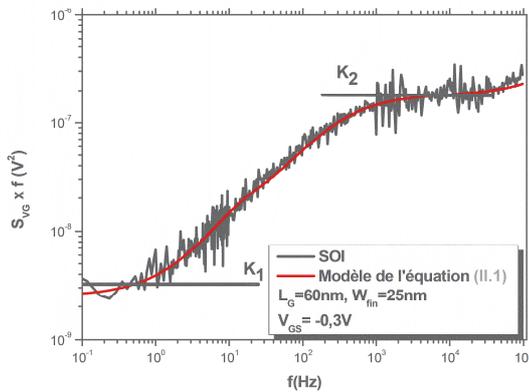


Figure II.2.3 : un bon accord entre les courbes expérimentales et le modèle empirique (lignes pointillées) peut être observé pour des FinFET SOI à canal p.

II.2.1.2 Analyse du bruit inhabituel

La même forme de spectre de bruit a été observée pour des transistors de type n à géométrie conventionnelle fabriqués en technologie 0,1 μm [Lukyanchikova'2000]. Il a été démontré que les deux plateaux du bruit en $1/f$ ont pour origine deux sources indépendantes du bruit : d'une part, le plateau haut a été attribué aux fluctuations du nombre de porteurs dans le canal d'inversion et expliqué par la théorie de McWhorter ; d'autre part, le plateau bas a été associé aux fluctuations de la mobilité dans les zones LDD des résistances d'accès et expliqué par le modèle empirique de Hooge.

Dans notre cas, la présence de deux sources du bruit pourrait aussi être considérée. Avec cette hypothèse de deux sources générant deux niveaux différents de bruit, l'explication pourrait être que ces deux sources soient être reliées à la structure même des FinFET, en raison de l'orientation cristalline différente sur les parois et en hauteur de doigt par exemple. Dans un schéma équivalent en petits signaux qui tient compte des sources ponctuelles réparties sur une surface, un réseau passif comprenant deux sources équivalentes et des condensateurs et des résistances pourrait être utilisé. Il peut être considéré un filtrage dû à un filtre de type RC parasite en basse fréquence, avec un rôle possible de la résistance d'accès. Une autre hypothèse est reliée à l'utilisation d'un empilement des différents diélectriques : une couche interfaciale de SiO_2 et une couche de high-k dans la réalisation de l'architecture de grille. Comme pour les transistors à canal en germanium, un profil non uniforme des pièges dans la profondeur de l'oxyde pourrait être à l'origine de ce bruit inhabituel.

Le bruit inhabituel a été analysé en fonction de la température, de la géométrie et de la polarisation des composants dans une gamme de 6 décades de fréquences, de 0,1 Hz à 100 kHz.

L'étude de la dépendance du bruit avec la température est réalisée dans un premier temps sur un transistor FinFET à canal n de type SOI+SEG+CESL. La densité spectrale de puissance de bruit en tension ramenée sur la grille normalisée par la fréquence mesurée dans une gamme de températures de 150 K à 300 K, avec un pas de 10 K, en imposant la même polarisation ($I_D = 10 \mu\text{A}$), est représentée sur figure II.2.4. On remarque que les deux

plateaux de bruit en $1/f$ sont toujours observés ; la réduction de la température est accompagnée par un déplacement de l'étendue en fréquence du plateau haut. L'évolution des fréquences f_1 et f_2 en fonction de la température est tracée dans la figure II.2.5. On peut observer que les pentes de l'augmentation avec la température semblent identiques pour les deux fréquences caractéristiques, conduisant à un rapport f_2/f_1 quasi-constant (de l'ordre de 10^3). Le fait que l'intervalle de fréquences où le plateau haut est observé est limité, suggère que ce bruit est de type McWhorter, c'est-à-dire dû à des pièges dans l'oxyde avec une gamme limitée de constantes de temps.

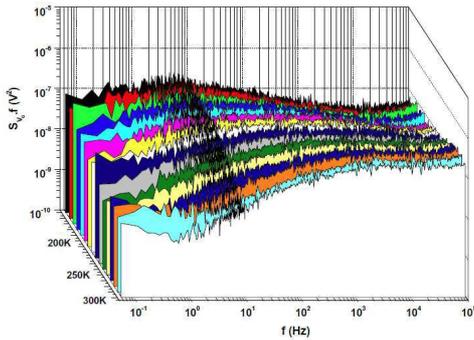


Figure II.2.4 : Dépendance du comportement du bruit inhabituel en fonction de la température.

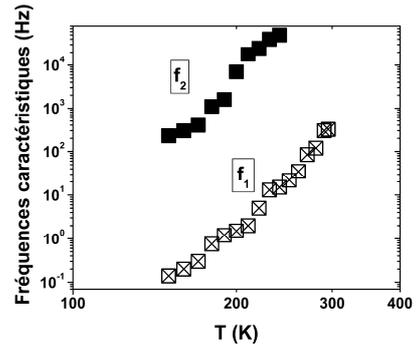
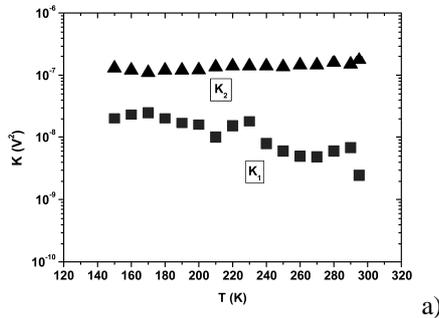
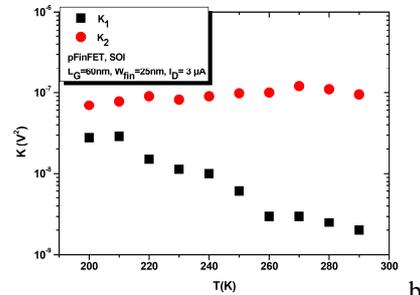


Figure II.2.5 : Evolution des fréquences caractéristiques f_1 et f_2 en fonction de la température.



a)



b)

Figure II.2.6 : Evolution des paramètres K_1 et K_2 en fonction de la température a) estimées à partir de la figure II.2.4 b) FinFET référence à canal p.

La figure II.2.6a) illustre la dépendance en température des coefficients K_1 et K_2 de modèle empirique (équation II.1) estimés à partir de la figure II.2.4. Le paramètre K_2 est indépendant de la température. Quant au paramètre K_1 il apparaît légèrement plus grand à basse température qu'à température ambiante. Les études en fonction de la température (de 200 K à 300 K) pour des transistors FinFET standard à canal p montrent les mêmes tendances : un niveau K_2 quasi-constant et un niveau K_1 qui augmente lorsque la température diminue (Figure II.2.6b). Le fait que la réduction de la température n'ait pas un impact significatif sur le paramètre K_2 est compatible avec une interprétation du plateau haut par la théorie de McWhorter.

Dans la figure II.2.7a la dépendance du bruit inhabituel est étudiée en fonction de la largeur des doigts (de $0,15\mu\text{m}$ à $3\mu\text{m}$) pour des FinFET SOI+SEG+CESL à canal n polarisés identiquement à $I_D = 10\mu\text{A}$. Un bruit lorentzien de type RTS, confirmé par l'observation du courant en créneaux sur le drain dans le domaine temporel, masque vraisemblablement le plateau aux basses fréquences. L'évolution avec la largeur des doigts des coefficients K_1 et K_2 est tracée sur la figure II.2.7b. La dépendance linéaire de paramètres K_1 et K_2 avec l'inverse de la largeur des doigts montre que les deux sources de bruit en $1/f$ ont une distribution homogène dans la largeur des doigts. Une dépendance linéaire en fonction de la longueur de canal a aussi été observée. Cette distribution homogène sur la surface active correspond à une des propriétés du bruit en $1/f$ associé aux fluctuations du nombre de porteurs dans le canal d'inversion.

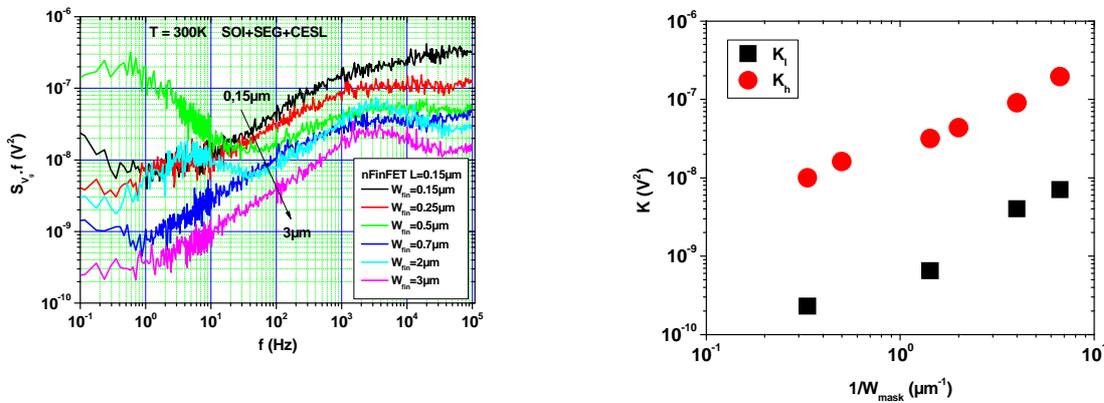


Figure II.2.7 : Dépendance en fonction de la largeur du doigt du FinFET a) du comportement du bruit inhabituel b) des paramètres K_1 et K_2 extraits de II.2.7a).

La figure II.2.8 montre les densités spectrales de puissance de bruit en tension ramenée sur la grille normalisées par la fréquence pour quatre longueurs de transistors FinFETs standard à canal p dans les mêmes conditions de polarisation ($|I_D| = 3\mu\text{A}$). Le courant de $-3\mu\text{A}$ correspond à un régime de fonctionnement en inversion faible pour les petites longueurs et à un régime de fonctionnement en inversion forte pour les grandes longueurs. On remarque que le bruit inhabituel n'est clairement observé que pour les petites longueurs. Ceci peut être expliqué par une contribution des résistances d'accès pour les faibles fréquences – cette contribution est plus importante pour les transistors à canal long par rapport à ceux à canal court. La même étude a été réalisée dans les mêmes conditions de polarisation ($|I_D| = 3\mu\text{A}$) pour des transistors à canal p présentant différentes largeurs des doigts ($0,16\mu\text{m}$ à $3\mu\text{m}$). Une relation linéaire avec l'inverse de la largeur des doigts a été observée pour les grandes largeurs. Pour des largeurs des doigts inférieures à $0,25\mu\text{m}$ le plateau bas ne peut plus être mis en évidence. Sachant que pour les grandes (respectivement faibles) largeurs des doigts le courant de $-3\mu\text{A}$ correspond à un régime de fonctionnement en inversion faible (respectivement forte), ce comportement confirme l'hypothèse de la contribution en bruit des résistances d'accès. En effet, l'impact en bruit des résistances d'accès apparaît en inversion

forte. L'augmentation du coefficient K_1 observée à basse température (figure II.2.6) peut être interprétée par une contribution croissante du bruit basse fréquence des résistances d'accès.

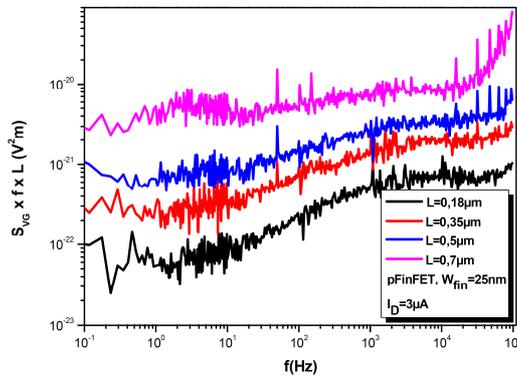


Figure II.2.8 : Densité spectrale de puissance de bruit de tension normalisée par la fréquence et la longueur de grille pour des transistors FinFET à canal p.

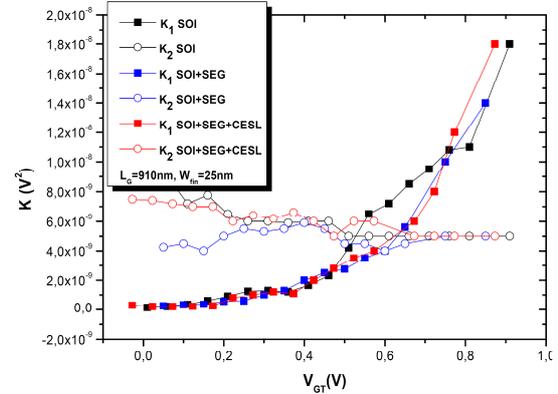


Figure II.2.9 : Evolution des paramètres K_1 et K_2 en fonction de la tension effective appliqué sur la grille pour toutes les structures à canal p étudiées.

Les variations des paramètres K_1 et K_2 en fonction de la tension de grille effective en régime de fonctionnement linéaire pour différentes structures FinFET à canal p sont montrées dans la figure II.2.9. On observe que le paramètre K_2 est quasi-indépendant de la tension appliquée sur la grille. Le paramètre K_1 est lui aussi quasi-constant en inversion faible à modérée. Ces résultats suggèrent que les deux plateaux haut et bas peuvent être associés aux fluctuations du nombre de porteurs. L'augmentation en inversion forte du paramètre K_1 montre une dépendance en V_{GT}^4 ; ceci suggère que le bruit en $1/f$ généré par les résistances parasites d'accès à la source et au drain dominant le bruit de plateau bas en inversion forte.

Les variations de la densité spectrale de puissance de bruit en courant normalisée par la surface efficace du canal et par le courant de drain sont représentées en fonction du courant de drain sur figure II.2.10 pour tous les types de nFinFET analysés. Afin de minimiser l'impact de la décroissance de la pente en $1/f$ observée pour les composants qui ont subi SEG, les niveaux de bruit sont extraits à deux fréquences fixes mais différentes (en haute fréquence et en basse fréquence). La ligne continue sur la figure II.2.2 illustre l'évolution de paramètre $(g_m/I_D)^2$ du composant SOI+SEG+CESL. Le bon accord entre les variations de S_{I_D}/I_D^2 et celles de $(g_m/I_D)^2$ en fonction de I_D suggèrent que le bruit en $1/f$ qui prédomine est celui qui correspond au modèle de fluctuations du nombre de porteurs.

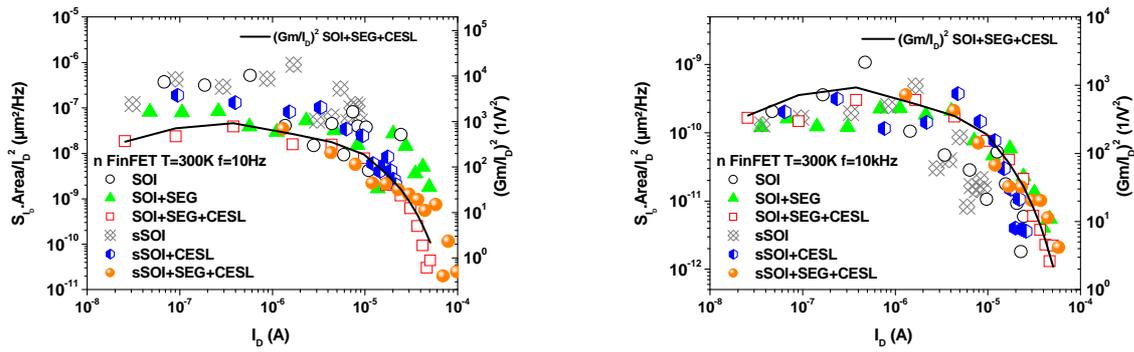


Figure II.2.10 : Densité spectrale de puissance de bruit du courant de drain normalisé par la surface et par le courant de drain en fonction du courant de drain.

Etant donné que pour des composants nFinFET qui ont subi le procédé SEG, ayant la même géométrie et parcourus par un courant identique, le niveau de plateau haut est le même que dans le transistor de référence SOI, cela suggère que l'origine du bruit du plateau haut est le même que pour le bruit en $1/f$ observé dans les transistors de référence, c'est-à-dire les fluctuations du nombre de porteurs dans le canal d'inversion.

II.2.1.3 Origine du bruit inhabituel

Notre analyse montre que les deux sources de bruit produisant le plateau haut et le plateau bas ont la même origine : fluctuations du nombre de porteurs. Le plateau haut est clairement expliqué par les fluctuations du nombre de porteurs dans le canal d'inversion. Dans les composants à canal p, le bruit du plateau bas peut être relié aux fluctuations de mobilité dans les résistances d'accès en régime d'inversion forte. L'hypothèse des deux sources de bruit indépendantes, l'une dans le canal d'inversion et l'autre dans les zones d'accès à la source et au drain ne peut plus être avancée. De même, il faut rejeter l'hypothèse qui associe l'origine du bruit à des sources indépendantes liées à la structure même du FinFET : en effet, les transistors ont été fabriqués avec la même technologie, mais le bruit inhabituel n'a pas pu être mis en évidence pour les nFinFET qui n'ont pas subi SEG. De plus, cette hypothèse impliquerait l'existence d'un réseau RC qui filtrerait le bruit à basse fréquence – or il est impossible d'obtenir une augmentation de bruit normalisé par la fréquence directement proportionnelle à la fréquence, même avec un filtre d'ordre 1.

L'évolution du plateau bas en fonction de la polarisation de grille nous conduit à considérer que le plateau bas est dû également aux fluctuations du nombre de porteurs dans le canal d'inversion. Dans cette hypothèse, le bruit inhabituel pourra s'expliquer par une distribution non-uniforme des pièges lents de l'oxyde, situés dans la profondeur de la couche de diélectrique à haute permittivité diélectrique. Cependant, sachant que les composants ont été fabriqués avec la même technologie, on peut s'interroger pourquoi il n'a pas été observé pour les composants à canal n qui n'ont pas subi SEG. La réponse est vraisemblablement liée à l'observation que le bruit de plateau bas est sensible aux contributions du bruit en $1/f$ des résistances d'accès. Dans les structures à canal n

n'ayant pas subi le procédé SEG, l'impact en bruit en $1/f$ des résistances d'accès est tel qu'il masque le bruit du plateau bas. Pour les structures à canal p, comme l'impact des résistances d'accès est moindre $(r_{acces}/r_{ch})_{canal\ p} < (r_{acces}/r_{ch})_{canal\ n}$, le bruit inhabituel a été observé pour toutes les structures étudiées, contraintes ou pas. Cette interprétation est cohérente avec l'hypothèse déjà exprimé d'un profil non-uniforme des pièges dans la profondeur de l'oxyde high-k de type HfO_2 .

II.2.1.4 Origine du bruit en $1/f$ dans le FinFET à HfO_2

Les évolutions illustrées sur la figure II.2.9 et sur la figure II.2.9 démontrent que le bruit en $1/f$ pour toutes les structures FinFET à canal p ou n est dû aux fluctuations du nombre de porteurs dans le canal d'inversion à température ambiante. Pour les structures à canal n'ayant pas subi le procédé SEG ou pour les structures à canal p le niveau du bruit pris en compte est le niveau de plateau haut.

Selon la théorie de McWhorter, la densité des pièges dans l'oxyde des transistors étudiés peut alors être estimée. Des valeurs autour de $0,9 \cdot 10^{19} - 1,2 \cdot 10^{19} \text{ cm}^{-3} \text{ eV}^{-1}$ sont obtenues pour les structures à canal n. Ces valeurs relativement supérieures par rapport à des valeurs rapportées pour des nFinFET poly [Crupi'2006] peuvent être reliées à l'utilisation d'un empilement de la grille avec une couche de diélectrique à haute permittivité. Pour les structures à canal p les valeurs des densités de pièges sont de $0,42 \cdot 10^{18} - 1 \cdot 10^{18} \text{ cm}^{-3} \text{ eV}^{-1}$. Ces valeurs sont plus élevées que celles obtenues dans des transistors MOSFET planaires ayant le même diélectrique. Il a déjà été montré que le bruit intrinsèque des transistors planaires à canal p est de quelques ordres de grandeur plus faible que le bruit intrinsèque dans les transistors planaires à canal n. Ce comportement semble être maintenu pour les structures 3D de type FinFET, une réduction de la densité de pièges (reliée au niveau du bruit) dans un facteur au moins égal à 10 peut être observée pour les structures à canal p par rapport aux celles à canal n.

Pour les transistors à canal n ou p, ayant comme diélectrique high-k HfO_2 , l'impact des techniques de contraintes mécaniques sur le niveau du bruit en $1/f$ ne semble pas significatif.

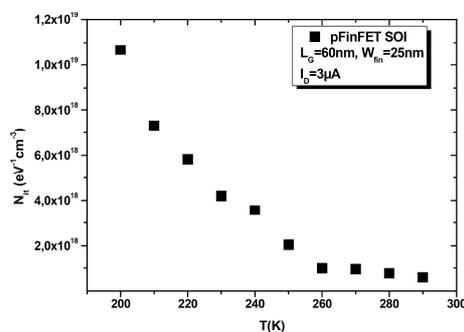


Figure II.2.11 : Densités des pièges estimées à partir de la théorie de McWhorter en supposant que la distribution des pièges dans l'oxyde est uniforme en profondeur

A partir des mesures effectuées en fonction de la température en imposant la même polarisation (proche de la tension de bande plate) les valeurs de la densité des pièges N_t peuvent être extraites en utilisant la relation I.14.

Un exemple pour un transistor standard (SOI) de longueur de 60 nm est illustré sur la figure II.2.11. On peut remarquer qu'avec la réduction de la température, la densité de pièges explorés augmente. Des hypothèses pouvant expliquer cet effet ont été données en section II.1.2.

II.2.2 FinFETs ayant un diélectrique à haute permittivité diélectrique de type HfSiON

II.2.2.1 Spectres de puissance de bruit.

La figure II.2.12 illustre un exemple typique des densités spectrales de puissance de bruit en tension ramenée sur la grille normalisées par la fréquence pour une structure FinFET à canal n de type sSOI + CESL + SEG. On remarque clairement la présence de bruit de type lorentzien. Des contributions du bruit de type lorentzien sont observées pour toutes les structures étudiées (contraintes et standard) et à toutes les températures ; en revanche, le bruit inhabituel ne peut plus être mis en évidence. Les spectres de bruit peuvent être parfaitement modélisés par l'équation I.1, permettant ainsi d'estimer avec justesse les paramètres du bruit. Dans cette section, on ne s'intéresse qu'aux niveaux de bruit en $1/f$, caractérisés par le coefficient K_f (conformément à la relation I.1).

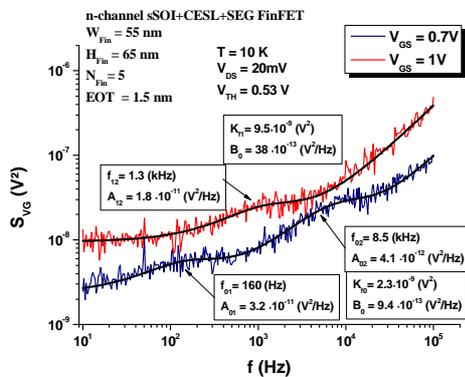


Figure II.2.12 Densités spectrales de puissance de bruit de tension normalisées par la fréquence mesurées à 10 K. Un bon accord entre les courbes expérimentales et le modèle de l'équation I.1 est observé.

II.2.2.2 Origine du bruit en $1/f$ dans les FinFETs à HfSiON

I.2.2.2.1 Fonctionnement à température ambiante.

La figure II.2.13 représente l'évolution des niveaux du bruit de tension K_f en fonction de la tension effective appliquée dans les FinFET à HfSiON. Le paramètre du bruit K_f est indépendant de la tension de grille effective en inversion modérée pour tous les transistors à substrat standard, comme illustré sur la figure II.2.13a. Le mécanisme de fluctuations du nombre de porteurs dans le canal d'inversion prédomine en inversion modérée. La

variation du niveau du bruit en inversion forte suit une dépendance en $(I_D/g_m)^2/(r_T)^2$, ce qui suggère que le mécanisme de fluctuations de la mobilité de porteurs dans les zones d'accès à la source et au drain prédomine en inversion forte ($\Delta N + r_{\text{accès}}$). On remarque que l'introduction du procédé SEG conduit à une réduction de la contribution du bruit issue des résistances d'accès dans le bruit total en $1/f$.

L'augmentation du niveau de bruit en fonction de la tension effective appliquée sur la grille qui peut être observée de l'inversion modérée à l'inversion forte pour les transistors FinFET sur substrat contraint sSOI ne peut pas être modélisée par les fluctuations de mobilité dans les résistances d'accès. L'évolution du niveau de bruit est proportionnelle aux variations de paramètre $[1 + \alpha_c \mu_0 C_{\text{ox}} (V_{GS} - V_{th})]^2$ (figure II.2.13b). Ces résultats suggèrent que le mécanisme de fluctuations corrélées du nombre de porteurs et de la mobilité ($\Delta N + \Delta \mu$) explique le comportement du bruit en $1/f$ de l'inversion modérée à l'inversion forte pour les structures FinFET sur substrat contraint. A température ambiante, et dans tous les transistors sur substrat contraint où le mécanisme ($\Delta N + \Delta \mu$) prédomine, les valeurs obtenues pour le coefficient des interactions coulombiennes α_c sont comprises entre $0,45 - 0,8 \cdot 10^4 \text{Vs/C}$. Ces valeurs sont légèrement inférieures à la valeur typique de $1 \cdot 10^4 \text{Vs/C}$ observée pour les transistors à canal n [Ghibaudo'97]. Cette valeur plus faible de α_c a été associée au caractère éloigné des interactions coulombiennes dans les composants qui ont un diélectrique à haute permittivité diélectrique [Claeys'2005, Bennamane'2009].

Les densités de pièges dans l'oxyde, corrélées aux niveaux de bruit de bande plate, extraites selon la théorie de McWhorter (relation I.14) pour tous les transistors étudiés sont regroupées dans le tableau II.2.1. Ces valeurs, comprises entre $1,1 - 2,7 \cdot 10^{18} \text{cm}^{-3} \text{eV}^{-1}$ sont d'environ un ordre de grandeur plus faibles que celles estimées pour les structures FinFET ayant une couche de HfO_2 dans le diélectrique de grille. Pour les FinFET ayant HfSiON comme diélectrique à haute permittivité diélectrique, les valeurs plus faibles des densités de pièges peuvent être liées à la nitruration de l'oxyde d'hafnium, qui empêche la pénétration des dopants dans l'oxyde [Srinivasan'2006]. Une réduction du niveau du bruit en $1/f$ peut être observé pour les structures sur substrat contraint sSOI par rapport aux structures sur substrat de référence (standard) SOI ; ce résultat est en accord avec des observations qui mettent en évidence une réduction du niveau du bruit en $1/f$ d'un facteur 2 pour les transistors MOSFET planaires sur substrat contraint [Simoen'2006].

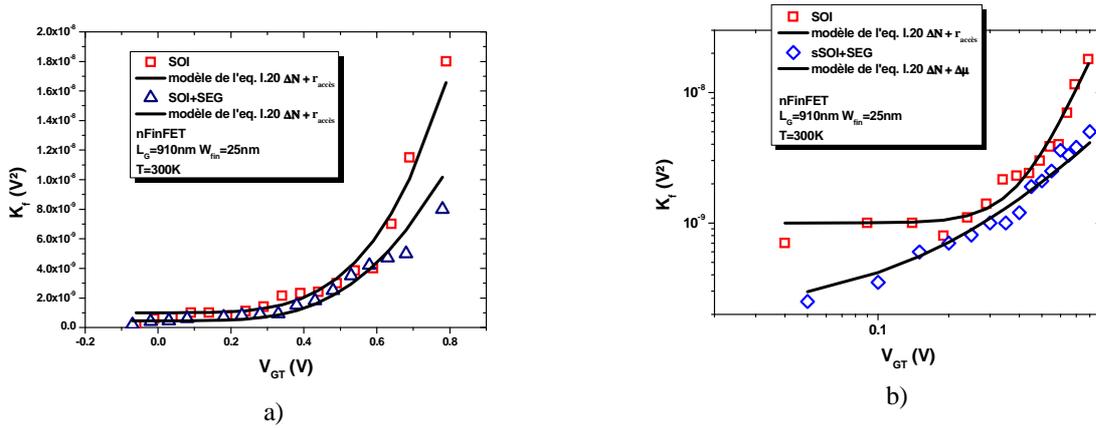


Figure II.2.13 Niveau du bruit de tension K_f en fonction de la polarisation appliquée sur la grille pour différents structures FinFETs : a) SOI et SOI+SEG; b) SOI et sSOI+SEG. Les fluctuations corrélées du nombre de porteurs et de la mobilité doit être pris en compte pour les structures à substrat contraint sSOI+SEG

	SOI	SOI+SEG	SOI+SEG+CESL	sSOI	sSOI+SEG	sSOI+CESL	sSOI+SEG+CESL
$N_t \cdot 10^{18}$ $\text{cm}^{-3}\text{eV}^{-1}$	2,7	2,4	1,7	1,5	1,1	1,3	1,2

Tableau II.2.1 : Densités de pièges dans l'oxyde extraites à partir du bruit en $1/f$ pour toutes les structures FinFET à canal n étudiées.

1.2.2.2.2 Fonctionnement à basse température.

On remarque que même à 100 K le mécanisme du bruit associé aux fluctuations corrélées du nombre de porteurs et de la mobilité explique l'évolution du niveau de bruit avec la tension appliquée sur la grille (figure II.2.14) pour les structures à substrat contraint. Une augmentation du coefficient des interactions coulombiennes α_c de $0,45 \cdot 10^4 \text{Vs/C}$ à température ambiante jusqu'à $0,6 \cdot 10^4 \text{Vs/C}$ à 100 K peut être observée. A basse température, la couche d'inversion doit être plus confinée à l'interface, conduisant à plus d'interactions avec les centres chargés dans l'oxyde et induisant une augmentation de α_c .

Peut être mise en évidence également une augmentation de la densité de pièges à basses températures (de $1,2 \cdot 10^{18} \text{cm}^{-3}\text{eV}^{-3}$ à 300K jusqu'à $6,5 \cdot 10^{18} \text{cm}^{-3}\text{eV}^{-3}$ à 100 K), comme dans le cas des structures FinFET ayant HfO_2 dans l'empilement de diélectrique de grille. Compte tenu que l'extraction des densités des pièges a été effectuée à partir du niveau de bruit en régime de bande plate estimé lors des mesures de bruit en fonction de la tension appliquée sur la grille à une température fixée, ce résultat peut sembler étonnant puisque physiquement la densité de pièges ne présente pas de dépendance avec la température. Cet effet ne peut être relié qu'à la structure du diélectrique de grille, en supposant deux constantes d'effet tunnel associées à la couche interfaciale de SiO_2 et à la couche de diélectrique à haute permittivité diélectrique de HfSiON , respectivement [Morshed'2007, Morshed'2008].

Des mesures de bruit ont été effectuées à très basse température, *i.e.* 10 K. A cette température cryogénique, pour toutes les structures à canal n étudiées, on remarque que le bruit en $1/f$ s'explique par les fluctuations du nombre de porteurs en inversion faible et par les fluctuations de mobilité dans les résistances d'accès en inversion forte. Une bonne correspondance entre le modèle issu de la relation I.20 ($\Delta N + r_{\text{access}}$) et les variations expérimentales du niveau du bruit K_f en fonction de la tension effective appliquée sur la grille est illustrée sur la figure II.2.15. On remarque que le mécanisme du bruit lié aux fluctuations corrélées du nombre de porteurs et de la mobilité, prédominant dans les transistors contraints à 300 K et 80 K, n'est plus observé à 10 K.

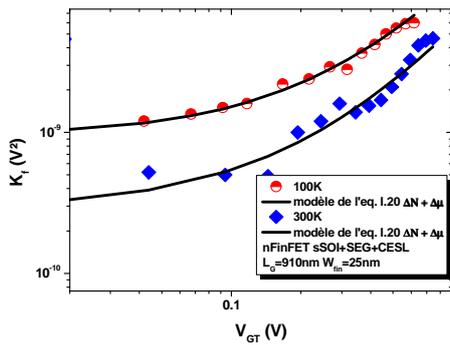


Figure II.2.14 : Niveau du bruit de tension K_f en fonction de la polarisation appliquée sur la grille pour une structure FinFET sSOI+SEG+CESL. Les fluctuations corrélées du nombre de porteurs et de la mobilité doit être prises en compte également à 100 K.

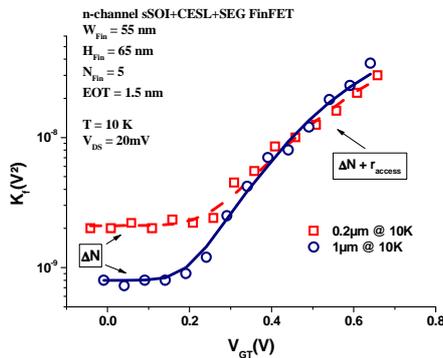


Figure II.2.15 : Niveau du bruit de tension K_f en fonction de la polarisation appliquée sur la grille pour une structure FinFET sSOI+SEG+CESL à canal long et court. Les fluctuations du nombre de porteurs et l'impact des résistances d'accès en inversion forte expliquent le comportement du bruit à 10 K.

L'analyse des structures FinFET à canal est présentée de façon succincte. A 300 K, le bruit observé est en $1/f$ « pure ». En revanche, à 80 K et à 10 K, le bruit observé varie comme $1/f^\gamma$, avec $\gamma < 1$ [Achour'2013]. L'évolution du coefficient K_f montre qu'à 10 K, le bruit est dû aux fluctuations du nombre de porteurs (figure II.2.16). Conformément à la théorie de McWhorter, les valeurs de l'exposant γ inférieures à l'unité suggèrent une distribution non-uniforme des pièges actifs dans l'oxyde, avec une augmentation de la densité des pièges vers l'interface. Comme pour les structures à canal n, aucune contribution de fluctuations corrélées du nombre de porteurs et de la mobilité n'est observée à 10 K. Ceci peut être lié à l'effet nommé « volume inversion », qui consiste en ce que les porteurs de charge se trouvent éloignés de l'interface, vers le centre du doigt [Balestra'87, Claeys'2009]. En inversion forte, l'augmentation du niveau de bruit en $1/f$ est proportionnelle à $(I_D/g_m)^2 / (r_T)^2$ et cela à n'importe quelle fréquence utilisée pour extraire le coefficient K_f (figure II.2.17). Les mêmes tendances sont observées à 80 K. Ces résultats suggèrent qu'en inversion forte les fluctuations des résistances d'accès

prédominant. Cela peut sembler surprenant car les fluctuations des résistances d'accès sont généralement supposées être localisées dans la profondeur des zones LDD, conduisant à un mécanisme de bruit lié aux fluctuations de mobilité [Hooge'69], et ayant en conséquence une dépendance en $1/f$ « pure ». La dépendance en $1/f^\gamma$ du bruit associé aux fluctuations des résistances d'accès, avec $\gamma < 1$, suggère que ce bruit doit avoir une origine liée au piégeage dynamique des porteurs, et que la source de fluctuation est vraisemblablement située dans la région d'espace (« spacer »), où l'oxyde de grille couvre la majeure partie de la zone LDD. En effet, en raison de la structure même du FinFET, en particulier pour un grand nombre de doigts, lorsque la distance entre les doigts est faible ($0,2 \mu\text{m}$ pour nos composants), la région de « spacer » où l'oxyde recouvre la zone LDD est grande. A partir des caractéristiques de transfert des composants, l'extraction des principaux paramètres électriques en régime linéaire de fonctionnement a été effectuée. L'évolution de la tension de seuil avec la longueur du canal montre que l'effet de partage de charge ne présente pas d'amélioration significative à 10 K par rapport à 300 K (figure 6 dans [Achour'2013]). Ce résultat suggère que la région contrôlée par la tension de grille ne change pas de façon significative avec la réduction de la température de 300 K à 10 K. Les zones d'accès à la source et au drain, à cause du dopage, sont des zones dégénérées, où les mécanismes de collisions des porteurs jouent un rôle important. A basse température, à cause de la réduction des interactions sur les phonons, la mobilité des porteurs augmente. En revanche, les mécanismes de collisions coulombiennes sur la rugosité de surface peuvent prédominer à basse température, surtout dans les zones où l'oxyde recouvre l'accès au canal. Nos résultats suggèrent donc que le bruit prédominant des résistances d'accès à très basse température est localisé dans la zone où l'oxyde recouvre l'accès au canal, conduisant à une origine du bruit liée au piégeage – dépiégeage.

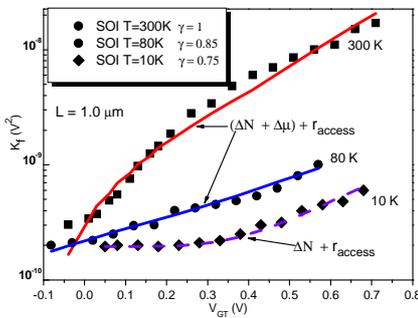


Figure II.2.16 : Evolution du bruit de tension K_f en fonction de la polarisation appliquée sur la grille pour une structure FinFET standard (SOI) à canal p à différentes températures. Les lignes continues représentent le modèle de l'équation 1.20.

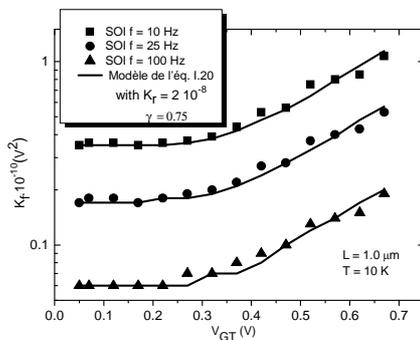


Figure II.2.17 : Niveau du bruit K_f extrait à 10 Hz, 25 Hz et 100 Hz. Les spectres du bruit présentent une dépendance en $1/f^\gamma$. L'évolution du bruit de tension K_f en fonction de la polarisation appliquée sur la grille est bien modélisée avec l'équation 1.20 (lignes continues) à n'importe quelle fréquence. La dépendance proportionnelle à $(I_D/g_m)^2 / (r_T)^2$ en inversion forte suggère la contribution en bruit des résistances d'accès.

II.3. CHAPITRE 3 : ETUDE DU BRUIT DANS DES TRANSISTOR UTBOX SUR SUBSTRAT SOI

II.3.1 Spectres de puissance de bruit.

Des densités spectrales de puissance de bruit en tension ramenée sur la grille normalisées par la fréquence observées dans les transistors UTBOX sont montrées sur la figure I.1 pour un transistor UTBOX à canal n, présentant un diélectrique de grille constitué d'une couche interfaciale de SiO_2 de 1 nm ; une couche de HfSiON de 2,5 nm, conduisant à une épaisseur d'oxyde équivalente égale à 2,6 nm ; une épaisseur d'oxyde enterré de 8 nm ; une épaisseur de film de silicium de 6 nm et une longueur de canal effective de 90 nm. Il faut remarquer que les spectres de bruit peuvent être modélisés en prenant en compte les trois types de bruit généralement observés dans les composants MOSFET (bruit blanc, de scintillement, de type lorentzien) permettant ainsi de déterminer avec précision les paramètres du bruit : le niveau du bruit blanc B , le niveau du bruit en $1/f$ K_f , le niveau du plateau des lorentziennes et les fréquences caractéristiques correspondantes. La structure présentant deux interfaces, le bruit en tension sur l'interface avant (respectivement arrière) est noté $S_{V_{G1}}$ (respectivement $S_{V_{G2}}$) et le paramètre du bruit en $1/f$ correspondant est noté K_{f1} (respectivement K_{f2}). Les résultats sont présentés de façon détaillé sur les transistors qui ont une épaisseur d'oxyde enterré (T_{BOX}) de 8 nm ; et de façon plus succincte pour ceux d'épaisseur (T_{BOX}) de 18 nm.

II.3.2 Couplage entre les interfaces avant et arrière

Des composants ayant une épaisseur de film de silicium de 16 nm et de 6 nm ont été étudiés. Pour des couches de silicium enterré si minces, conduisant à une déplétion totale de la couche de silicium le couplage entre les interfaces avant et arrière doit être pris en considération.

Pour des composants totalement déplétés sur substrat SOI, l'impact de l'interface arrière sur l'interface avant reste une question clé dans la modélisation du bruit à basse fréquence. Il a déjà été montré que les fluctuations du nombre de porteurs peuvent être utilisées pour expliquer le bruit basse fréquence dans des transistors totalement déplétés [Iniguez'97]. Pour des couches de film de silicium épaisses (environ 100 nm), dans de nombreux travaux de recherche [Jomaah'94, Matloubian'94], la formulation basée sur la théorie de McWhorter a été utilisée pour extraire les densités de pièges pour les interfaces avant et arrière en supposant que lorsque le canal d'inversion est formé, par exemple le canal avant, seulement les sources de bruit associées aux pièges situés dans l'oxyde de grille doivent être prises en compte. En effet, à cause de la position du canal d'inversion, celles associées à l'oxyde enterré (BOX) sont négligeables.

Pour des couches fines de silicium enterré le couplage entre les interfaces ne peut plus être négligé [Haendler'2001, Zafari'2007]. Pour des composants totalement déplétés pour lesquels le bruit prédominant est lié aux fluctuations du nombre de porteurs dans le canal d'inversion, il est proposé un modèle analytique [Haendler'2001] qui tient compte du couplage entre les deux interfaces. Ce modèle suppose que les sources de bruit sont liées aux fluctuations de la tension de bande plate aux interfaces avant et arrière, même si un canal d'inversion seulement est activé dans le composant. Il est aussi considéré que lorsqu'un canal est activé, par exemple celui de l'interface avant (respectivement arrière), celui de l'interface arrière (respectivement avant) est en accumulation ou en inversion faible. L'impact du couplage entre les interfaces avant et arrière sur la densité spectrale du bruit en tension ramenée à l'entrée du transistor est décrit par l'expression suivante :

$$\begin{aligned} S_{V_{G1}} &= S_{V_{FB1}} + c_1^2 S_{V_{FB2}} \\ S_{V_{G2}} &= c_2^2 S_{V_{FB1}} + S_{V_{FB2}} \end{aligned} \quad (\text{II.1})$$

où $S_{V_{FB1}}$ (respectivement $S_{V_{FB2}}$) représente la densité spectrale de puissance correspondant à la tension de bande plate pour l'interface avant (respectivement arrière) définie dans l'équation I.14 ; c_1 (respectivement c_2) sont les paramètres de couplage définis par :

$$c_{1,2} = \frac{C_{Si}}{C_{ox_{1,2}} \left(1 + \frac{C_{Si}}{C_{ox_{2,1}}} \right)} \quad (\text{II.2})$$

où C_{Si} , C_{ox_1} et C_{ox_2} sont les capacités des film de silicium, de l'interface avant et de l'interface arrière, respectivement.

Le diélectrique de grille correspondant aux composants présentant une épaisseur du film de silicium (T_{Si}) de 16 nm est constitué d'une couche interfaciale de SiO₂ de 1,5 nm et d'une couche de diélectrique à haute permittivité diélectrique de HfSiO (60% Hf) de 2 nm conduisant à une épaisseur équivalente d'oxyde (EOT) de 2,6 nm (noté HK 1). Le diélectrique de grille correspondant aux composants présentant une épaisseur du film de Si (T_{Si}) de 6 nm est constituée d'une couche interfaciale de SiO₂ de 1 nm et d'une couche de diélectrique à haute permittivité diélectrique de HfSiON de 2,5 nm conduisant à une épaisseur équivalente d'oxyde de 2,6 nm (HK 2). Les valeurs des EOT prises en compte sont issues des mesures C-V réalisées à IMEC.

Les paramètres technologiques correspondant aux échantillons étudiés sont résumés dans Tableau II.1.

	C_{Si} (F/m ²)	C_{ox_1} (F/m ²)	C_{ox_2} (F/m ²)	c_1	c_2
<i>HK1</i>	$6,5 \cdot 10^{-3}$	$13 \cdot 10^{-3}$	$1,9 \cdot 10^{-3}$	<i>0,19</i>	<i>1</i>
<i>HK2</i>	$1,7 \cdot 10^{-2}$	$13 \cdot 10^{-3}$	$4,3 \cdot 10^{-3}$	<i>0,26</i>	<i>1,7</i>

Tableau II.3.1 : Tableau regroupant les paramètres technologiques correspondant aux transistors UTBOX étudiées.

II.3.3 Origine du bruit en $1/f$ dans des transistors UTBOX avec une épaisseur de l'oxyde enterré de 8 nm et une épaisseur de film de silicium de 16 nm.

On peut déduire simplement les valeurs des paramètres du bruit K_{f1} et K_{f2} représentant les densités de bruit en tension $S_{V_{G1}}$ et $S_{V_{G2}}$, respectivement, à une fréquence de 1 Hz. Le paramètre K_{f1} (interface) avant est estimé à partir des mesures de bruit en fonction de la tension effective appliquée sur la grille avant lorsque que la source et le substrat sont mis au potentiel nul (à la masse). Le paramètre K_{f2} (interface arrière) est estimé à partir des mesures du bruit en fonction de la tension effective appliquée sur la grille arrière lorsque que la source et la grille avant sont mises au potentiel nul (à la masse).

Les évolutions des paramètres K_{f1} et K_{f2} des interfaces avant et arrière en fonction de la tension effective appliquée sur la grille avant et arrière, respectivement, sont représentées sur la figure II.3.1.

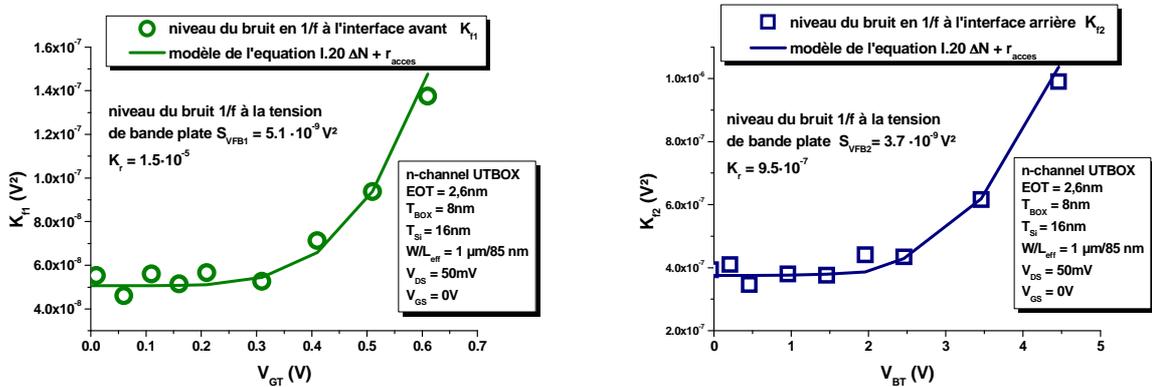


Figure II.3.1 : Les niveaux du bruit en $1/f$ estimés a) à l'interface avant (K_{f1}) en fonction de la tension effective appliqué sur la grille avant ($V_{BS} = 0$ V) b) à l'interface arrière (K_{f2}) en fonction de la tension effective appliquée sur la grille arrière ($V_{GS} = 0$ V).

Un bon accord entre les comportements des paramètres K_{f1} et K_{f2} en fonction des polarisations respectives et le modèle de l'équation I.20 est observé. En inversion modérée, le modèle de fluctuations du nombre de porteurs de charge explique le bruit en $1/f$ tandis qu'en inversion forte, les fluctuations de mobilité dans les résistances d'accès prédominent. On remarque que le niveau de bruit en $1/f$ généré par les résistances d'accès est plus important pour le canal avant ($K_r = 1,5 \cdot 10^{-6}$) que pour le canal arrière ($K_r = 9,5 \cdot 10^{-7}$).

L'extraction de la densité spectrale de puissance de bruit en condition de bande plate correspondant à l'interface avant, respectivement arrière, peut donc être effectuée en utilisant les relations II.1 et II.2 et les paramètres technologiques, résumés dans le tableau II.3.1. Les densités de pièges dans l'oxyde avant N_{i1} et dans l'oxyde arrière N_{i2} estimées à partir de la relation I.14, sont données dans le tableau II.3.2 :

$S_{V_{G_1}}$ (V ²)	$S_{V_{G_2}}$ (V ²)	N_{i1} (cm ⁻³ eV ⁻¹)	N_{i2} (cm ⁻³ eV ⁻¹)
$4,1 \cdot 10^{-8}$	$3,1 \cdot 10^{-7}$	$11 \cdot 10^{18}$	$6 \cdot 10^{18}$

Tableau II.3.2 : Densités des pièges résultant des mesures du bruit montrées sur la figure II.3.1

On remarque que la contribution dans le bruit total des sources de bruit situées à l’interface arrière estimée dans le canal de conduction à l’interface avant est d’environ 14%, tandis que la contribution des sources de bruit situées à l’interface avant estimée dans le canal de conduction à l’interface arrière est d’environ 22%. Des contributions similaires relatives au couplage entre les deux interfaces ont été observées pour tous les transistors ayant une longueur de canal effective de 85 nm. Les densités de pièges à l’interface avant (respectivement arrière) N_{i1} (respectivement N_{i2}) obtenues sont comprises entre $7 - 12 \cdot 10^{18}$ (respectivement $2 - 6 \cdot 10^{18}$) (cm⁻³eV⁻¹).

Pour les composants présentant une épaisseur de film de silicium de 16 nm et une épaisseur de l’oxyde enterré de 18 nm, l’origine du bruit à l’interface avant et arrière est aussi expliquée par le modèle de fluctuations du nombre de porteurs. En utilisant la même démarche, pour des transistors ayant la même longueur de canal effective de 85 nm, les densités des pièges obtenus sont d’environ $1-2 \cdot 10^{19}$ (cm⁻³eV⁻¹) à l’interface avant et d’environ $4-7 \cdot 10^{18}$ (cm⁻³eV⁻¹) à l’interface arrière. On remarque que la densité des pièges au niveau de l’interface arrière est du même ordre de grandeur indépendamment de l’épaisseur d’oxyde enterré. Cela prouve une qualité identique du processus d’oxydation au niveau de l’interface arrière. Pour les transistors avec une épaisseur de film de BOX de 18 nm, la contribution dans le bruit total des sources de bruit situées à l’interface arrière estimée dans le canal de conduction à l’interface avant est d’environ 13% ; en revanche, la contribution des sources de bruit situées à l’interface avant estimée dans le canal de conduction à l’interface arrière est d’environ 14%.

II.3.4 Origine du bruit en $1/f$ dans des transistors UTBOX avec une épaisseur de l’oxyde enterré de 8 nm et une épaisseur du film de silicium de 6 nm.

Deux exemples des comportements du bruit en $1/f$ en fonction des polarisations de la grille avant, respectivement arrière, sont illustrés sur les figures II.3.2 et II.3.3. Un bon accord entre les variations du niveau de bruit à l’interface avant et arrière avec le modèle des fluctuations du nombre de porteurs est observé (relation I.20). En effet, le paramètre K_{f2} ne dépend pas de la tension appliquée sur la grille arrière en inversion modérée, ce qui suggère que les fluctuations du nombre de porteurs prédominent. En inversion forte, l’évolution du niveau du bruit est proportionnelle au paramètre $(I_D/g_m)^2 / (r_T)^2$ et le comportement en bruit s’explique par la prédominance du bruit en $1/f$ issu des résistances d’accès. L’augmentation du niveau de bruit à l’interface avant ne peut être liée qu’au mécanisme des fluctuations corrélées du nombre de porteurs et de la mobilité - de l’inversion modérée à l’inversion forte. Les valeurs du paramètre des interactions coulombiennes α_c sont comprises entre 1,7 et

$3,5 \cdot 10^5$ Vs/C. Ces valeurs sont d'un ordre de grandeur supérieures aux valeurs typiques observées pour les transistors planaires conventionnels (1 grille).

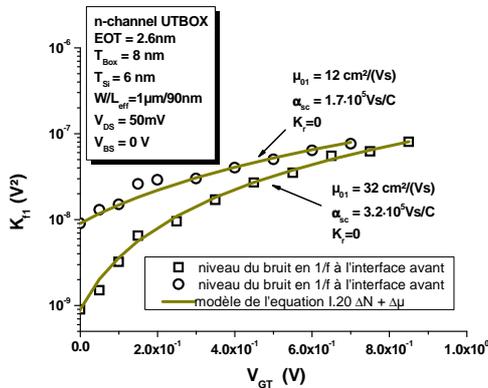


Figure II.3.2 Paramètres du bruit en $1/f$ estimées à l'interface avant (K_{f1}) en fonction de la tension effective appliquée sur la grille avant. On remarque qu'un niveau du bruit élevé peut être associé à une faible mobilité de porteurs dans le canal d'inversion.

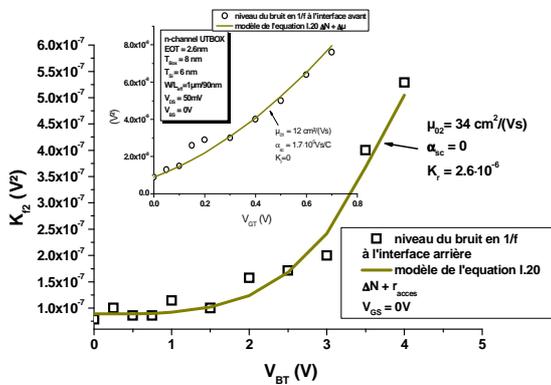


Figure II.3.3 Paramètres du bruit $1/f$ estimé à l'interface arrière (K_{f2}) en fonction de la tension effective appliquée sur la grille arrière. Dans l'encart est illustré le niveau du bruit en $1/f$ estimées à l'interface avant (K_{f1}) en fonction de la tension effective appliquée sur la grille avant. (cercles sur la figure II.3.2)

En utilisant les valeurs de la densité spectrale de puissance correspondant à la tension de bande plate, compte-tenu du couplage entre les interfaces avant et arrière et des paramètres technologiques résumés dans le tableau II.3.1, les densités de pièges aux interfaces avant et arrière peuvent être extraites à partir de la relation I.14. Des valeurs relativement faibles pour la densité des pièges à l'interface avant N_{t1} sont obtenues, de $1,1$ à $9,8 \cdot 10^{17}$ ($\text{cm}^{-3}\text{eV}^{-1}$). Les valeurs de la densité des pièges à l'interface arrière N_{t2} sont comprises entre $1,1$ et $20,4 \cdot 10^{17}$ ($\text{cm}^{-3}\text{eV}^{-1}$). La qualité des processus d'oxydation est mise en évidence par ces valeurs de densités de pièges relativement faibles. On remarque que les densités des pièges sont d'environ un ordre de grandeur plus faibles, qu'il s'agisse de l'interface avant ou de l'interface arrière, par rapport aux valeurs obtenues pour les transistors ayant une épaisseur de film de silicium de 16 nm. Ce résultat est lié aux matériaux utilisés pour les diélectriques à haute permittivité diélectrique, HfSiO et HfSiON, dans le diélectrique de grille. La nitruration de l'oxyde d'hafnium, qui empêche la pénétration des dopants dans l'oxyde [Srinivasan'2006], conduit à une meilleure qualité de l'oxyde avant. Un meilleur contrôle du processus d'oxydation est observé aussi pour l'interface arrière.

Pour tous les transistors étudiés, La contribution dans le bruit total en $1/f$ du canal de conduction à l'interface avant (respectivement arrière) des sources de bruit situées à l'interface arrière (respectivement avant) est estimée à environ 42% - 64% (respectivement 10% – 23%).

A partir de la figure II.3.2, on remarque qu'un niveau de bruit faible peut être associé à une mobilité de porteurs élevée. Un comportement similaire a été observé pour les composants à canal p en germanium et s'explique par l'impact sur le bruit en $1/f$ et sur la mobilité d'un mécanisme lié aux interactions coulombiennes nommé « remote Coulomb scattering ». On peut remarquer sur la figure II.3.4 la corrélation entre le paramètre K_{f1} (lié au bruit en $1/f$ à l'interface avant) et la mobilité à faible champ électrique pour un grand nombre de composants ayant une longueur effective de canal de 90 nm. Plus la mobilité est faible, plus le paramètre K_{f1} est important. Sur la figure II.3.5 est représenté l'inverse de la mobilité à faible champ électrique (correspondant aux valeurs de paramètre K_{f1} illustrés sur la figure II.3.4) et la densité surfacique de pièges à l'interface avant (qD_{it}). A partir de la pente de l'inverse de la mobilité en fonction de la densité surfacique (qD_{it}), le paramètre intrinsèque lié au mécanisme des interactions coulombiennes α_{C0} peut être extrait. La valeur importante de α_{C0} obtenue, de l'ordre de $1 \cdot 10^7$ Vs/C, et les valeurs de α_C peuvent être liées au fort couplage entre les deux interfaces [Theodorou'2012].

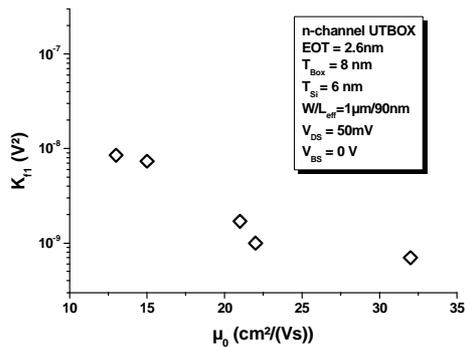


Figure II.3.4 : Corrélation entre le niveau du bruit à l'interface avant et la mobilité des porteurs de charge dans le canal d'inversion.

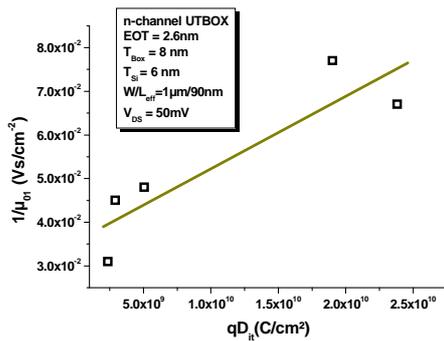


Figure II.3.5 : Une tendance linéaire entre $1/\mu_0$ et qD_{it} peut être observée permettant ainsi l'extraction de coefficient des interactions coulombiennes α_{C0} .

II.4. CONCLUSION SUR LE BRUIT EN $1/f$

L'impact sur le bruit basse fréquence de l'utilisation du germanium pour améliorer la mobilité des porteurs de charge dans le canal d'inversion et d'un diélectrique de grille constitué d'une couche interfaciale de SiO_2 et d'un diélectrique à haute permittivité diélectrique de type HfO_2 associé à une grille métallique de type TiN/TaN a été analysé pour des transistors à canal p. A température ambiante, dans le cas des transistors à canal long, le modèle des fluctuations corrélées du nombre de porteurs et de la mobilité explique le bruit en inversion modérée à forte. Cependant, dans le cas des transistors à canal court, en inversion modérée le bruit en $1/f$ est dû au mécanisme de fluctuation du nombre de porteurs, tandis qu'en inversion forte, une contribution dans le bruit en $1/f$ issue des résistances d'accès a été observée. A basse température (80 K), les fluctuations du nombre de porteurs prédominent dans le bruit en inversion modérée ; l'impact des résistances d'accès, à la fois dans les transistors à canal long et à canal court, est observé en inversion forte.

Pour toutes les températures investiguées, un niveau de bruit en $1/f$ élevé peut être associé à une faible mobilité des porteurs. Cette corrélation peut être liée à l'impact des interactions coulombiennes à la fois sur le niveau de bruit et la mobilité. L'étude de cette corrélation à température ambiante a permis d'estimer le coefficient des interactions coulombiennes. La valeur obtenue est d'un ordre de grandeur plus faible que celle généralement observée pour des transistors à canal p. Cependant, on peut remarquer que la valeur obtenue est très proche des valeurs déterminées dans les transistors à canal long, pour lesquels le bruit de fluctuations corrélées du nombre de porteurs et de la mobilité prédomine.

Les spectres du bruit en $1/f^\gamma$, avec $\gamma \neq 1$ observés en inversion forte, peuvent être associés à une non uniformité des pièges actifs dans la couche de diélectrique à haute permittivité diélectrique de HfO_2 .

Les études du bruit en $1/f$ dans des structures FinFET ayant HfO_2 comme diélectrique à haute permittivité diélectrique montrent que l'utilisation des techniques de contraintes mécaniques introduites pour améliorer la mobilité des porteurs du canal et réduire les résistances d'accès ne conduit pas à un impact significatif du niveau du bruit.

Une forme inhabituelle des spectres de bruit a été observée dans tous les transistors FinFET à canal p et dans les FinFET à canal n ayant subi le procédé SEG. La relation empirique II.1 modélise parfaitement le bruit inhabituel, dont le spectre présente deux plateaux caractérisés par deux paramètres K_{f1} et K_{f2} . Les analyses ont été effectuées à même courant de drain pour déterminer K_{f1} et K_{f2} en fonction de la géométrie et de la température et de la de la tension appliquée sur la grille pour les structures FinFET à canal n et p. Les résultats, suggèrent que le bruit inhabituel est dû aux fluctuations du nombre de porteurs dans le canal d'inversion et doit être associé à une distribution non homogène des pièges dans l'oxyde de grille.

Pour des FinFET ayant HfSiON comme diélectrique à haute permittivité diélectrique le bruit inhabituel n'est plus observé. En inversion modérée, le bruit en $1/f$ s'explique par le mécanisme des fluctuations du nombre de porteurs. Les fluctuations corrélées du nombre de porteurs et de la mobilité ne doivent être prises en compte que pour les transistors à canal n sur substrat contraint (sSOI) et pour les transistors à canal p.

Le coefficient des interactions coulombiennes est inférieur aux valeurs typiques observées dans des transistors MOSFET planaires à température ambiante et augmente lorsque la température diminue de 300 K à 80 K. Ces tendances peuvent s'expliquer à température ambiante par un comportement éloigné des interactions coulombiennes avec des pièges situés loin dans la profondeur du diélectrique à haute permittivité diélectrique et conduisant ainsi à une réduction du coefficient des interactions coulombiennes α_c . A basse température (≥ 80 K), la couche d'inversion est vraisemblablement plus confinée à l'interface, conduisant à plus d'interaction avec les centres chargés dans l'oxyde et induisant une augmentation de α_c .

A très basse température (10 K) aucune fluctuation corrélée du nombre de porteurs et de la mobilité n'est observée dans aucune structure, à canal n ou p. Les fluctuations du nombre de porteurs en inversion faible et la contribution du bruit en $1/f$ des résistances d'accès en inversion forte expliquent les évolutions des niveaux de bruit avec la polarisation de la grille. Pour les transistors à canal p, à une température donnée, l'exposant γ (de $1/f^\gamma$) est indépendant de la géométrie du transistor et de l'utilisation ou pas des techniques de contraintes mécaniques. En revanche, la diminution de γ , de 1 (à 300 K) à 0,75 (à 10 K), indique que la distribution spatiale des pièges actifs dans l'oxyde n'est pas homogène et augmente à proximité de l'interface lorsque la température diminue. La contribution du bruit des résistances d'accès, observée en inversion forte, provient des fluctuations de mobilité à température ambiante et a une origine liée au piégeage – dépiégeage des porteurs à 10 K.

Les densités de pièges extraites à température ambiante sont d'au moins d'un ordre de grandeur plus faibles que celles obtenus pour les FinFETs ayant HfO₂ comme diélectrique à haute permittivité diélectrique. La nitruration de l'oxyde d'hafnium semble empêcher la pénétration des dopants dans l'oxyde conduisant à une meilleure qualité de l'interface. L'introduction des techniques de contraintes globales conduisent à une réduction du niveau de bruit en $1/f$. Avec la réduction de la température, une augmentation de la densité des pièges explorés est observée pour toutes les structures FinFET (HfO₂ et/ou HfSiON), cet effet étant plus probablement lié à la structure du diélectrique de la grille.

Les études sur le bruit en $1/f$ ont été effectuées pour des transistors UTBOX ayant différentes épaisseurs de l'oxyde enterré et différentes épaisseurs du film de silicium. Compte-tenu que le bruit de fluctuation du nombre de porteurs explique le bruit en $1/f$ au niveau des interfaces avant et arrière en inversion modérée pour tous les composants, les densités de pièges aux interfaces avant et arrière ont été extraites en tenant compte du couplage entre les deux interfaces. Une densité plus élevée des pièges à l'interface avant est observée, ce qui est certainement lié à l'utilisation d'une couche de diélectrique à haute permittivité diélectrique dans l'oxyde de grille. La bonne qualité du processus d'oxydation est prouvée par les valeurs relativement faibles des densités de pièges obtenues au

niveau des interfaces avant et arrière. La contribution dans le bruit total en $1/f$ du canal de conduction à l'interface avant (respectivement arrière) des sources de bruit situées à l'interface arrière (respectivement avant) est estimée à environ 22% (respectivement 14%).

Pour des transistors UTBOX ayant un oxyde enterré de 8 nm, une épaisseur de film de 6 nm et une couche de diélectrique à haute permittivité diélectrique de type HfSiON, les évolutions avec les polarisations respectives du bruit au niveau des interfaces avant et arrière ont mis en évidence que : d'une part, à l'interface avant, le bruit est lié au mécanisme des fluctuations corrélées du nombre de porteurs et de la mobilité ; d'autre part, à l'interface arrière, le bruit est dû aux fluctuations du nombre de porteurs en inversion faible, tandis qu'en inversion forte, la contribution du bruit des résistances d'accès prédomine. La nitruration d'hafnium peut conduire à une meilleure qualité de l'oxyde de grille ; les valeurs estimées des densités des pièges à l'interface avant sont du même ordre de grandeur que dans les transistors MOSFET à géométrie conventionnelle (une grille). Une densité de pièges plus importante qu'au niveau de l'interface avant peut être constatée à l'interface arrière. Cependant, elle est inférieure à celle estimée pour les transistors UTBOX ayant une épaisseur de film de 16 nm et utilisant HfSiO. Le couplage entre les interfaces est plus important lorsque l'épaisseur du film de Si est réduite : la contribution dans le bruit total en $1/f$ du canal de conduction à l'interface avant (respectivement arrière) des sources de bruit situées à l'interface arrière (respectivement avant) est estimée à environ 42% - 64% (respectivement 10% - 23%).

Un niveau du bruit faible semble toujours être associé à une mobilité des porteurs importante. Une corrélation entre le niveau du bruit en $1/f$ à l'interface avant et la mobilité a été observée et étudiée à température ambiante. L'étude de cette corrélation a permis d'estimer le coefficient des interactions coulombiennes. La valeur très importante de ce coefficient par rapport à celle généralement observée pour des transistors à géométrie conventionnelles à canal n peut sans doute liée au fort couplage entre les deux interfaces.

Dans la modélisation du comportement du bruit en $1/f$ en inversion forte en fonction de la tension effective appliquée sur la grille, l'incidence du bruit des résistances d'accès a été mise en évidence pour beaucoup de transistors étudiés. Aucune corrélation entre les valeurs des résistances d'accès et les valeurs des coefficients de bruit des résistances d'accès K_r n'a pu être mise en évidence. Cependant, avec la miniaturisation, les valeurs des coefficients de bruit des résistances d'accès augmentent de façon significative à température ambiante : ils sont d'au moins deux ordres de grandeur plus grands dans les technologies FinFET et UTBOX ($K_r \approx 10^{-6}$) que dans les transistors à canal en germanium en technologie 90 nm ($K_r \approx 10^{-8}$).

PARTIE III :
ETUDE DU BRUIT LORENTZIEN

III.1. CHAPITRE 1 : BRUIT LORENTZIEN LIE A L'EFFET KINK LINEAIRE DANS DES TRANSISTORS PD SOI

III.1.1 Modélisation du bruit lorentzien dû au bruit filtré par un réseau rC

Sous l'action du champ électrique longitudinal les porteurs acquièrent de l'énergie et en dissipent une partie dans le réseau cristallin par des collisions sur les phonons acoustiques et optiques. Lorsque le champ électrique longitudinal augmente, les porteurs gagnent plus d'énergie qu'ils n'en dissipent. En utilisant une distribution maxwellienne, on introduit alors deux températures, une température T_p correspondant aux porteurs et la température T_r du réseau, avec $T_p > T_r$, ce qui signifie que porteurs peuvent se comporter comme des porteurs « chauds ». Une des conséquences principales des effets de porteurs chauds est la génération de paires électron-trou. Ce phénomène se produit lorsque les électrons ou les trous ont une énergie suffisante pour ioniser par impact les atomes du réseau. Pour un transistor sur silicium massif, les porteurs du canal d'inversion provoquent l'ionisation primaire, qui produit d'un part, des porteurs minoritaires qui seront collectés par le drain et d'autre part, des porteurs majoritaires qui vont constituer le courant du substrat. Dans un transistor MOSFET sur substrat SOI, comme l'oxyde enterré empêche l'évacuation de la charge électrique vers le substrat, les porteurs majoritaires s'accumulent dans la couche active et finalement induisent un excès de potentiel dans le film. La jonction film / source est une jonction PN normalement bloquée. Quand le potentiel du film est assez grand, les porteurs peuvent traverser la jonction source film provoquant ainsi une diminution de la tension de seuil et conduisant à une augmentation du courant de drain, ce qui est nommé « effet kink » [Cristoloveanu'2004].

Pour des transistors en technologie PD SOI ayant une faible épaisseur d'oxyde (< 5 nm), en régime de fonctionnement linéaire, avec l'augmentation de la tension appliquée sur la grille, un courant de fuite peut traverser la couche d'oxyde vers la grille par un effet tunnel direct des électrons de la bande de valence (EVB en anglais pour « Electron valence band »). Cette injection des porteurs majoritaires de la grille vers le film de silicium conduit à une accumulation des porteurs sur la face arrière du film, conduisant ainsi à l'apparition de l'effet appelé « effet kink linéaire » [Pretet'2002, Mercha'2003]. Le courant de fuite est accompagné d'un bruit blanc et ce bruit est filtré par un réseau $r_{eq} C_{eq}$ équivalent en petits signaux à la structure. Le spectre de puissance de bruit apparaît alors de type lorentzien [Lukyanchikova'2003, Mercha'2003, Simoen'2003].

L'étude du bruit lorentzien associé à l'effet kink linéaire, effectuée de 80 K à 300 K, a permis de mettre en évidence que le bruit lorentzien dû aux courants de fuite peut également s'accompagner du bruit lorentzien dû aux pièges situés à l'interface Si/SiO₂ ou dans la zone de déplétion du transistor. Dans la première partie de ce chapitre sera présenté de façon succincte le modèle du mécanisme de bruit blanc filtré [Lukyanchikova'2003, Lukyanchikova'2004] et dans la deuxième partie le modèle proposé en considérant la contribution supplémentaire du bruit lorentzien lié aux pièges [Guo'2008].

III.1.1.1 Description succincte de modèle proposé par Lukyanchikova

Le schéma qui considère le courant de fuite à travers la grille (I_T) et le courant de la jonction film / source (I_F), générant du bruit blanc, et le réseau en petits signaux du transistor sont représentés sur la figure III.1.1, où C_{ox} est la capacité de la grille, C_{oB} est la capacité de l'oxyde enterré, C_{js} et C_{jd} sont les capacités des jonctions film / source (F/S) et film / drain (F/D), C_d est la capacité de la zone de déplétion, r_T est la résistance équivalente de fuite à travers la grille (F/G) et r_j est la résistance équivalente de jonction F/S.

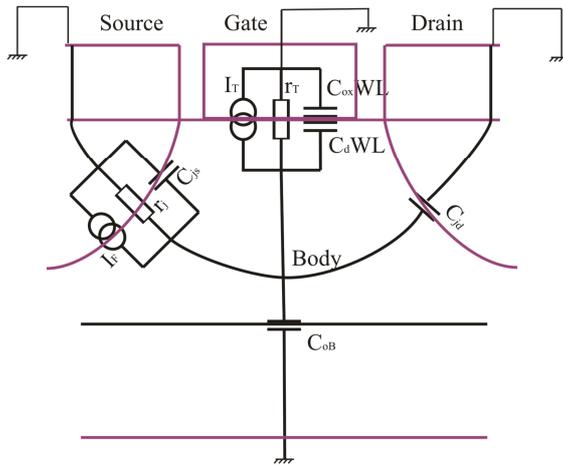


Figure III.1.1 : Schéma représentant les sources du bruit associées à l'effet kink linéaire

Le circuit équivalent en petits signaux pour le mécanisme du bruit blanc filtré par un réseau $r_{eq}C_{eq}$ est représenté sur la figure III.1.2. La capacité équivalente C_{eq} s'exprime par :

$$C_{eq} = \frac{C_d C_{ox}}{C_d + C_{ox}} LW + C_{js} + C_{jd} + C_{oB} \quad (III.1)$$

La couche d'oxyde de grille est de 2,5 nm et la couche d'oxyde enterré est de 400 nm. Par conséquent, on peut supposer que $C_d \ll C_{ox}$ et $C_{oB} \ll C_d WL$. Pour des longueurs de canal inférieures à 0,2 μm , en première approximation, $C_{js} + C_{jd} \ll C_d WL$ [Lukyanchikova'2003]. Avec ces simplifications, la capacité équivalente en petits signaux peut être approximée par :

$$C_{eq} = C_d WL \quad (III.2)$$

Le courant I_T est dû au courant tunnel EVB, il dépend exponentiellement de la tension appliquée sur la grille : $I_T \propto \exp(\alpha_{EVB} V_{GF})$, où α_{EVB} est une constante d'effet tunnel empirique liée à l'effet EVB et où V_{GF} est la tension entre la grille et le film. Le courant I_F est proportionnel à la tension entre le film et la source V_{FS} : $I_F \propto \exp[(qV_{FS})/(mk_B T)]$, où m est le facteur d'idéalité de la jonction F/S, m entre 1 et 2. La résistance dynamique de fuite à travers la grille r_T et la résistance dynamique de jonction F/S r_j peuvent s'exprimer par :

$$\begin{aligned} r_T &= 1/(\alpha_{EVB} I_T) \\ r_j &= (mk_B T)/(qI_F) \end{aligned} \quad (III.3)$$

La résistance équivalente r_{eq} ($r_{eq} = r_T \parallel r_j$) est donc donnée par la relation :

$$r_{eq} = \frac{m' k_B T}{q I_T}, \text{ avec } m' = \left(\frac{1}{m} + \frac{\alpha_{EVB} k_B T}{q} \right)^{-1} \quad (III.4)$$

Les courants I_T et I_F sont identiques : quand l'effet kink linéaire a lieu, pour une tension de grille suffisamment grande, en régime permanent, les porteurs ne s'accumulent plus dans le film car ils traversent la jonction F/S. La densité spectrale de puissance de bruit en courant est donc équivalente à celle de deux sources de bruit blanc identiques de type Schottky non-corrélées et peut s'écrire :

$$S_{I_{eq}} = 2(2qI_T) \quad (III.5)$$

Le schéma équivalent peut être simplifié comme dans la figure III.1.2 :

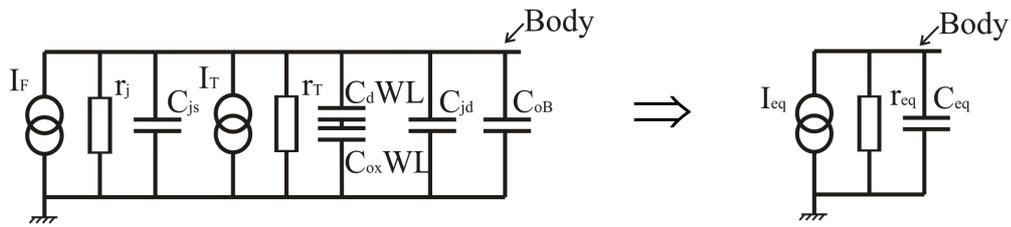


Figure III.1.2 : Circuit équivalent en petits signaux pour le mécanisme du bruit blanc filtré par un réseau $r_{eq} C_{eq}$

La densité spectrale de puissance de bruit en tension équivalente entre le film et la source ($S_{V_{FS}}$) est donnée par :

$$S_{V_{FS}} = \frac{1}{1 + (2\pi\tau f)^2} r_{eq}^2 S_{I_{eq}} = \frac{1}{1 + (2\pi r_{eq} C_{eq} f)^2} r_{eq}^2 S_{I_{eq}} \quad (III.6)$$

où $\tau = r_{eq} C_{eq}$ est la constante de temps associée à la lorentzienne. Les fluctuations au niveau de la jonction film / source induisent des fluctuations du courant de drain :

$$S_{I_D} = \left(\frac{\partial I_D}{\partial V_{th}} \right)^2 \left(\frac{\partial V_{th}}{\partial V_{FS}} \right)^2 S_{V_{FS}} = \frac{S_{I_D}(0)}{1 + (2\pi r_{eq} C_{eq} f)^2} = \frac{4qg_m^2 \gamma^2 r_{eq}^2}{1 + (2\pi r_{eq} C_{eq} f)^2} I_T \quad (III.7)$$

où g_m est la transconductance et γ le facteur de l'effet de film flottant. Les paramètres du bruit lorentzien, le niveau de plateau de la lorentzienne $S_{I_D}(0)$ définie par l'équation III.7 et la constante de temps s'écrivent :

$$S_{I_D}(0) = 4qg_m^2 \gamma^2 r_{eq}^2 I_T = 4qg_m^2 \gamma^2 r_{eq} C_{eq} \frac{r_{eq}}{C_{eq}} I_T = \frac{4m'k_B g_m^2 \gamma^2 T}{C_d WL} \tau \quad (III.8)$$

$$\tau = r_{eq} C_{eq} = \frac{m'k_B T C_d WL}{qI_T} \propto \exp(-\alpha_{EVB} V_{GS})$$

Selon ce modèle, la constante de temps de la lorentzienne (τ) doit décroître exponentiellement avec l'augmentation de la tension appliquée sur la grille ; l'évolution du plateau et de la constante de temps de la lorentzienne avec la tension appliquée sur la grille doit être linéaire ; la pente de cette dépendance (β_{LKE}) est donnée par :

$$\beta_{LKE} = \frac{4m'k_B g_m^2 \gamma^2 T}{C_d WL} \quad (III.9)$$

La dépendance de facteur (β_{LKE}) avec la longueur de canal doit suivre une loi en $\propto L^n$, avec $n \approx 3$, car la transconductance g_m^2 varie avec L^{-2} .

Ce modèle a déjà été validé à température ambiante dans [Lukyanchikova'2003, Lukyanchikova'2004]. Des déviations de facteur n ($n < 3$) ont été observées et expliquées en termes d'impact des effets de canaux courts sur la longueur effective du canal d'inversion.

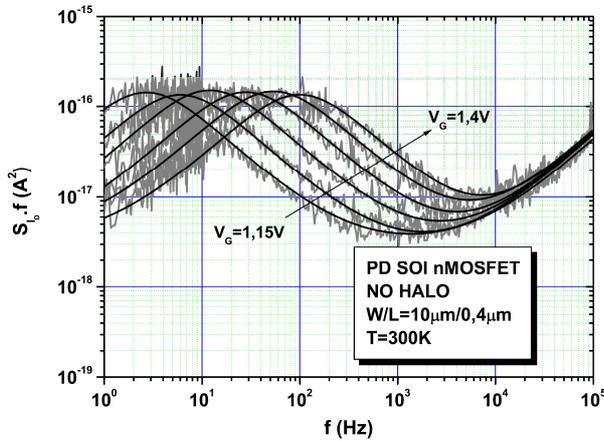


Figure III.1.3 : Spectres de bruit normalisé liés à l'effet kink linéaire observés dans les transistors PD SOI à canal n à température ambiante

III.1.1.2 Spectres de puissance de bruit lié à l'effet kink à différentes températures (80 K – 300 K)

Des spectres de puissance de bruit de type lorentzien liés à l'effet kink linéaire ont été observés dans les transistors PD SOI pour toutes les températures étudiées. Des exemples sont illustrés sur la figure III.1.3 pour des transistors à canal n à température ambiante pour différentes tensions de grille. Les spectres peuvent être parfaitement modélisés en tenant compte d'une combinaison des bruits lorentzien, en $1/f$ et blanc (lignes continues noires sur la figure III.1.3). Une dépendance de la fréquence caractéristique des lorentziennes avec la tension de grille peut être remarquée.

En utilisant le modèle de la relation I.1, les valeurs du plateau ($S_{I_D}(0)$) et de la constante de temps (τ) ont été extraites pour chaque lorentzienne observée et pour toutes les températures investiguées. Les dépendances de τ et de $S_{I_D}(0)$ en fonction de la polarisation sur la grille pour des transistors PD SOI à canal n ayant différentes longueurs à basse température (100 K) sont représentées sur la figure III.1.4a. Comme attendu (voir relation III.8), une dépendance exponentielle de τ et de $S_{I_D}(0)$ en fonction de la tension effective appliquée sur la grille (V_{GT}) est observée (figure III.1.4a). A une température donnée (*i.e.* 100 K), une dépendance linéaire est observée entre $S_{I_D}(0)$ et τ (III.1.4b).

Une très bonne cohérence est trouvée entre les dépendances des paramètres caractéristiques obtenues à partir des résultats expérimentaux et attendues du modèle. Cela confirme bien le modèle de bruit lorentzien dû au bruit blanc filtré par un réseau $r_{eq}C_{eq}$ équivalent pour toutes les températures étudiées.

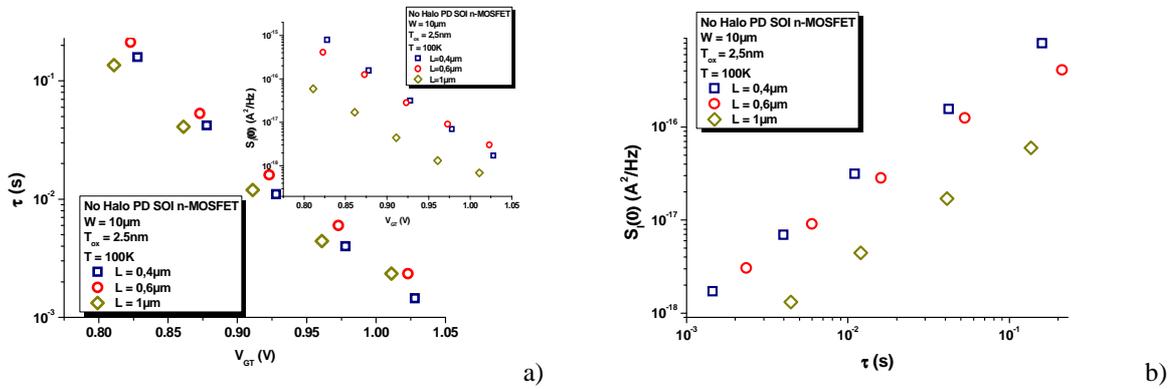


Figure III.1.4 : a) La constante de temps (τ) et le plateau ($S_{I_D}(0)$) de bruit lorentzien en fonction de la tension effective appliquée sur la grille pour des transistors PD SOI avec trois longueurs différentes b) Une dépendance linéaire entre $S_{I_D}(0)$ et τ peut être observée pour toutes les températures ; la figure représente le cas à température $T = 100 \text{ K}$.

III.1.1.3 Modélisation du bruit associé au bruit blanc et au bruit lorentzien dû aux pièges filtrés par le même réseau $r_{eq}C_{eq}$.

Des études du bruit ont été effectuées dans différentes conditions de température, de 80 K à 300 K ; le bruit lorentzien lié à l'effet kink linéaire a été observé dans toute la gamme des températures investiguées. Cependant, pour les transistors à canal p, on observe une allure de type lorentzien, mais avec une densité spectrale qui décroît avec une pente en $1/f^\gamma$, avec $\gamma > 2$ pour les fréquences supérieures à la fréquence caractéristique de la lorentzienne. Un exemple de spectre de puissance de bruit en courant observé à 100 K dans un transistor PD SOI No Halo à canal p et qui présente ce comportement est illustré sur la figure III.1.5. On peut remarquer que le modèle de bruit lorentzien (ligne pointillée noire) ne permet pas de modéliser correctement le spectre de puissance

du bruit mesuré (ligne continue grise). D'autres sources de bruit doivent être identifiées et leur rôle doit être pris en compte afin de modéliser les spectres de puissance de bruit expérimentaux.

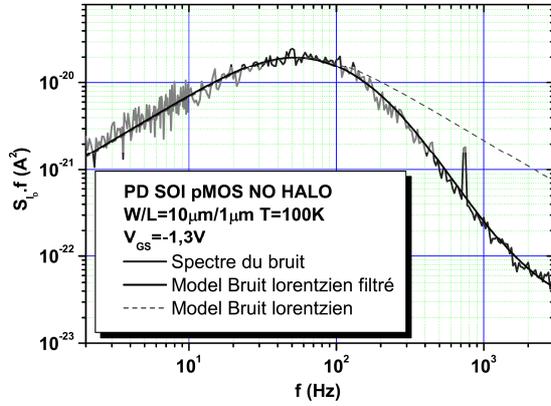


Figure III.1.5 : Densité spectrale de puissance de bruit du courant de drain normalisée par la fréquence pour un transistor à canal p PD SOI à 100 K

Des mesures de densité spectrale de puissance de bruit en fonction de la température, effectuées en régime d'inversion modérée à polarisation constante ($I_D = const.$) inférieure à celle nécessaire pour que l'effet kink linéaire ait lieu, ont permis par la méthode de spectroscopie du bruit d'identifier des pièges localisés dans la zone de déplétion des transistors PD SOI [Lartigau'2004]. Il est donc possible que des pièges, situés dans la zone de déplétion ou à l'interface canal d'inversion / oxyde de grille jouent un rôle même en régime d'inversion forte, quand l'effet LKE a lieu.

En effet, s'il y a des pièges situés dans la zone de déplétion ou à l'interface Si / SiO₂, quand le courant tunnel I_T lié à l'effet EVB traverse l'oxyde de grille, les porteurs qui traversent l'oxyde peuvent être piégés et dépiégés ce qui génère du bruit de type génération – recombinaison. En conséquence, le courant tunnel I_T peut provoquer à la fois du bruit blanc et du bruit lorentzien. Dans ce cas, l'expression de la densité spectrale du bruit en courant équivalent s'exprime par :

$$S_{I_{eq}} = 2(2qI_T) + \frac{S_{I_T}(0)}{1 + (2\pi\tau_T f)^2} \quad (III.10)$$

avec le plateau $S_{I_T}(0)$ et la constante de temps τ_T de la lorentzienne associée à un piège ; $S_{I_T}(0)$ et τ_T dépendent de la nature physique du piège. Si la constante de temps τ_T est indépendante (respectivement varie) avec la tension de grille appliquée, le piège est situé dans la zone de déplétion du transistor (respectivement à l'interface Si / SiO₂).

La densité spectrale de puissance de bruit en courant associée à l'effet kink linéaire devient, en utilisant les relations III.7 et III.10 :

$$S_{I_{eq}} = \frac{g_m^2 \gamma^2 r_{eq}^2}{1 + (2\pi\tau f)^2} \left(4qI_T + \frac{S_{I_T}(0)}{1 + (2\pi\tau_T f)^2} \right) \quad (III.11)$$

A l'aide de l'équation III.11, on peut obtenir différentes évolutions spectrales : d'une part, si $\tau_T \gg \tau$, un spectre de bruit ayant deux lorentziennes séparées peut être observé ; d'autre part, si $\tau_T \ll \tau$, la densité spectrale de puissance de bruit est de la forme d'un bruit lorentzien filtré par un filtre du premier ordre : une pente en $1/f^4$ est obtenue pour des fréquences supérieures à $1/(2\pi\tau_T)$. Ce modèle permet un bon ajustement avec la courbe de bruit mesuré (ligné noire continue sur la figure III.1.5).

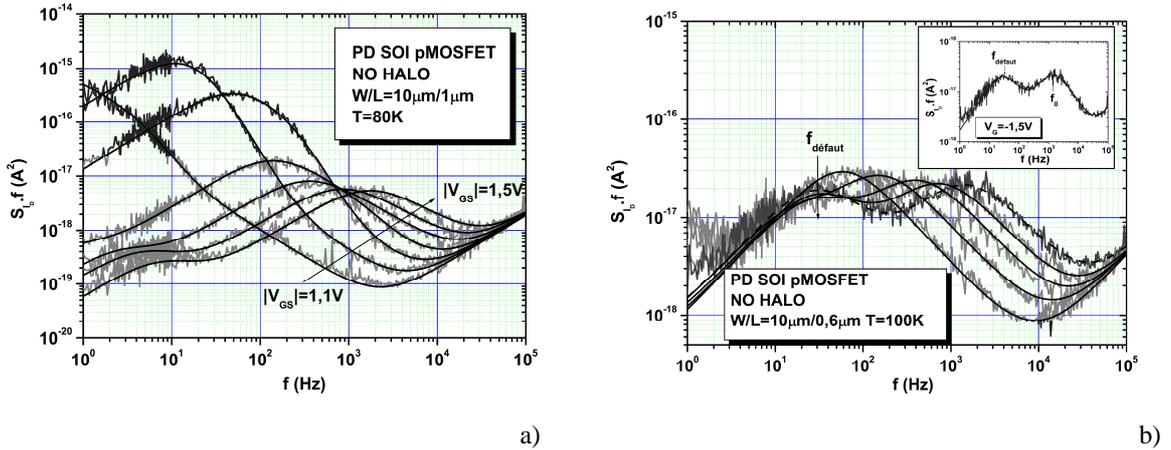


Figure III.1.6 : Densités spectrales de puissance de bruit du courant normalisées par la fréquence. Deux sources du bruit, bruit blanc et bruit lorentzien, filtrés par un réseau $r_{eq}C_{eq}$ équivalent doivent être considérées afin de bien modéliser les courbes expérimentales. a) $\tau_T \ll \tau$ b) $\tau_T \gg \tau$

Les densités spectrales de puissance de bruit du courant en courant normalisées par la fréquence mesurées à différentes tensions appliquées sur la grille pour deux transistors PD SOI à canal p fonctionnant à basse température sont représentées sur la figure III.1.6. Les lignes noires représentent le modèle proposé en relation III.11. Si $\tau_T \ll \tau$, des variations correspondant à du bruit de type lorentzien filtré par un filtre du premier ordre peuvent être mises en évidence (sur la figure III.1.6a). Dans le cas où $\tau_T \gg \tau$, deux spectres de type lorentzien peuvent être observés à $V_{GS} = -1.5$ V. On remarque que l'hypothèse considérant que le courant de fuite à travers l'oxyde de grille peut être accompagné par du bruit blanc et du bruit lorentzien dû aux pièges, et que le bruit total résultant est filtré par un réseau $r_{eq}C_{eq}$ équivalent permet une modélisation parfaite des courbes expérimentales de bruit.

En utilisant le modèle proposée en III.11, pour les deux exemples illustrés sur la figure III.1.6, on peut estimer les valeurs de plateau $S_{I_T}(0)$ et de la constante de temps τ_T associés aux lorentziennes liées aux pièges, et les valeurs de plateau $S_{I_D}(0)$ et de la constante de temps τ associés aux lorentziennes liées au bruit blanc filtré.

Les variations de $S_{I_T}(0)$ et de τ_T en fonction de la tension appliquée sur la grille sont représentées sur la figure III.1.7. On remarque que le piège correspondant aux spectres de puissance du bruit de la figure III.1.6a présente une constante de temps et une valeur de plateau de la lorentzienne qui décroissent exponentiellement avec la tension effective appliquée sur la grille V_{GT} (carrés avec des croix sur la figure III.1.a et b) dans

l'intervalle $-0,75\text{V}$ à $-0,9\text{V}$. Pour $|V_{GT}| > 0,9\text{V}$ la lorentzienne due aux pièges est masquée par la lorentzienne correspondant au bruit blanc filtré. On observe des dépendances de τ_T avec V_{GT} suivant une loi $\exp(-\beta_{GR}V_{GT})$, avec $\beta_{GR} = 33\text{V}^{-1}$. Cette valeur est proche des valeurs rapportées dans la littérature [Lukyanchikova'2002] pour des phénomènes de génération recombinaison à l'interface Si / SiO₂. Les variations de τ_T et $S_{I_T}(0)$ suggèrent que ce piège est localisé à l'interface Si / SiO₂ [Lukyanchikova'2002].

En revanche, les valeurs de $S_{I_T}(0)$ et τ_T liées au piège de la figure III.1.6b sont indépendantes de la tension V_{GT} . Ces résultats suggèrent que le piège est localisé dans la zone de déplétion du transistor [Lukyanchikova'2002].

Les variations de $S_{I_D}(0)$ en fonction de τ extraites sont représentées sur la figure III.1.8 ; elles présentent une dépendance linéaire, caractéristique du bruit lorentzien dû au bruit blanc filtré lié à l'effet kink linéaire.

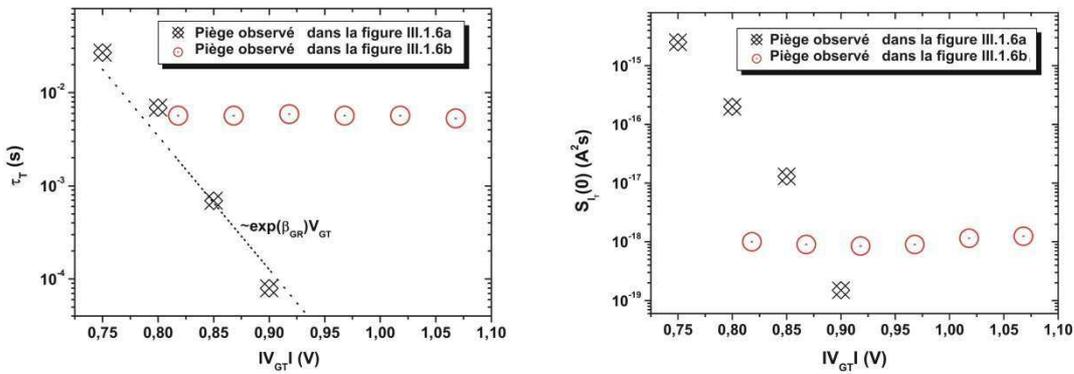


Figure III.1.7 : $S_{I_T}(0)$ et de τ_T estimés à partir des spectres de puissance du bruit de la figure III.1.6 en fonction de la tension effective appliquée sur la grille.

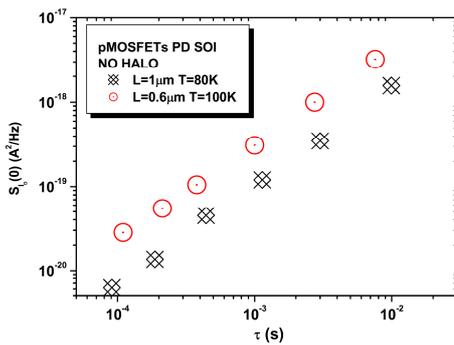


Figure III.1.8 $S_{I_D}(0)$ versus τ pour le bruit lié à l'effet kink linéaire extrait de la figure III.1.6.

III.1.1.4 Validation du modèle de bruit associé au bruit blanc et au bruit lorentzien dû aux pièges filtrés par le même réseau $r_{eq}C_{eq}$

En considérant le modèle de bruit associé au bruit blanc et au bruit lorentzien dû aux pièges filtrés par le même réseau $r_{eq}C_{eq}$ de la relation III.11, les valeurs de plateau $S_{I_D}(0)$ et de la constante de temps τ associées aux lorentziennes liées au bruit blanc filtré et les valeurs de plateau $S_{I_T}(0)$ et de la constante de temps τ_T associées aux lorentziennes liées aux pièges peuvent être estimées à toutes les températures étudiées. Une dépendance exponentielle de $S_{I_D}(0)$ et de τ en fonction de V_{GT} est toujours observée. Les variations de τ en fonction de V_{GT} , conformément à la relation III.8 permettent d'extraire le coefficient α_{EVB} lié à l'effet tunnel EVB. Les valeurs de α_{EVB} obtenues lors de l'étude du bruit dans les transistors PD SOI à canal n et à canal p sont montrées en fonction de la température sur la figure III.1.9. On remarque que la constante α_{EVB} semble ne pas avoir de dépendance avec la géométrie du transistor et elle ne varie pas de façon significative avec la température, ce qui est cohérent avec un processus tunnel. Les valeurs estimées de α_{EVB} , de 14 à 24 V^{-1} pour les transistors à canal n et de 13 à 18 V^{-1} pour les transistors à canal p, sont en accord avec les valeurs obtenues dans d'autres travaux de recherche à température ambiante [Lee'2001, Lukyanchikova'2004]. Ces résultats prouvent que le courant tunnel à travers l'oxyde est à l'origine d'une des composantes du bruit lorentzien observé.

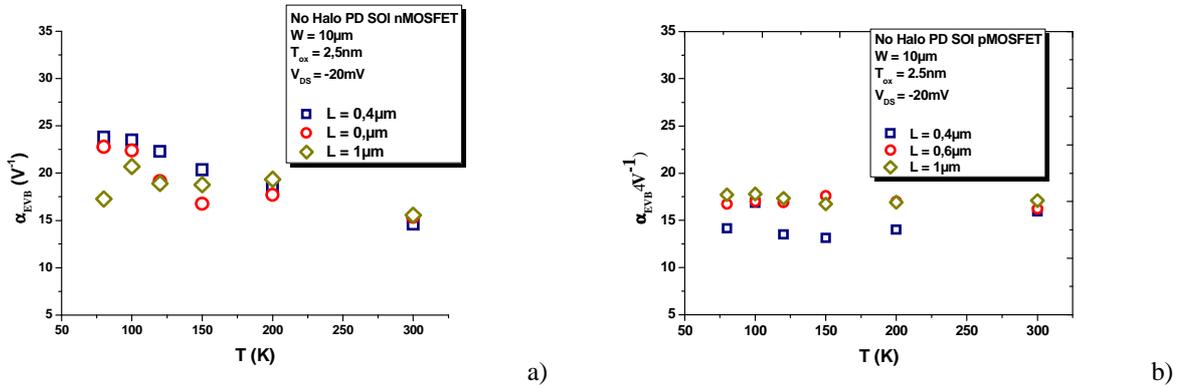


Figure III.1.9: Valeurs du paramètre α_{EVB} lié à l'effet EVB extraites pour les transistors PD SOI MOSFET a) à canal n ; b) à canal p

Comme attendu par le modèle, des variations linéaires entre $S_{I_D}(0)$ et τ peuvent être observées à toutes les températures et pour tous les transistors étudiées (exemple sur les figures III.1.4b et III.1.8). Les droites obtenues ont une pente notée β_{LKE} dont les variations en fonction de la longueur de grille pour différentes températures sont représentées sur la figure III.1.10. Conformément à la relation III.9, β_{LKE} doit exhiber une variation en $\propto L^n$, avec $n \approx 3$. Des valeurs de n d'environ 2,6 à température ambiante jusqu'à 2,9 à 80 K sont obtenues. La valeur $n \approx 2,6$ peut être associée aux effets de canaux courts [Lukyanchikova'2004]. La valeur de n s'approche de la valeur

théorique à 80 K car avec la réduction de la température, une amélioration des effets de canaux courts conduisant à un meilleur contrôle du canal d'inversion par la tension appliquée sur la grille est observée.

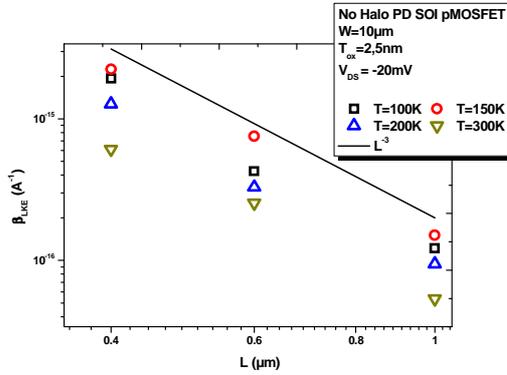


Figure III.1.10 : Evolution du paramètre β_{LKE} en fonction de la longueur de grille à différentes températures pour les transistors à canal p. Une dépendance proportionnelle à L^{-3} est représentée par la ligne noire continue.

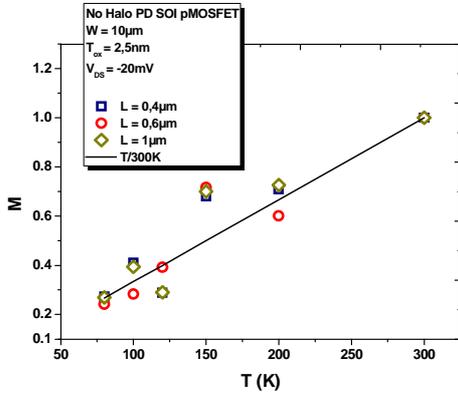


Figure III.1.11 : Evolution du paramètre $M(T)$ avec la température pour trois longueurs différentes de composants à canal p. La ligne noire continue représente une variation proportionnelle à $T/300$.

L'écart de n par rapport à la valeur théorique de 3 s'explique par les variations de la tranconductance avec la longueur effective du canal. Pour s'affranchir des variations de n avec la température, à partir de la relation III.9, on définit le facteur :

$$\frac{\beta_{LKE}(T)L^{n(T)-2}}{g_m^2(T)m'(T)} = \frac{4k_B\gamma^2}{C_dWL} T \tag{III.12}$$

En normalisant la relation III.12 par rapport à la température, on obtient un facteur normalisé $M(T)$ dont l'expression simplifiée s'écrit :

$$M(T) = \frac{\beta_{LKE}(T)L^{n(T)-2}}{g_m^2(T)m'(T)} \frac{1}{\frac{\beta_{LKE}(T=300K)L^{n(T=300K)-2}}{g_m^2(T=300K)m'(T=300K)}} = \frac{T}{300} \tag{III.13}$$

La valeur de la tranconductance peut être mesurée à la même polarisation que celle utilisée pour la mesure du bruit. Les valeurs de n sont obtenues à partir des courbes $\beta_{LKE}(L)$ à une température donnée. $m'(T)$ est calculé à partir des valeurs obtenues pour α_{EVB} à chaque température avec la relation III.4. Les valeurs de $M(T)$ sont estimées expérimentalement pour trois longueurs différentes de composants. Le comportement observé (figure

III.1.11) est en accord avec une variation linéaire avec la température de 80 K à 300 K. Le même comportement a été observé aussi pour les transistors à canal n [Guo'2006].

La cohérence entre les valeurs de α_{EVB} obtenues à partir des mesures et la valeur rapportée par d'autres travaux de recherche [Lukyanchikova'2003, Lukyanchikova'2004] nous permet de valider le modèle à température ambiante. La cohérence des dépendances de facteur normalisé $M(T)$ avec la température permet de valider le modèle proposé dans la gamme de température de 80 K à 300 K pour les transistors PD SOI MOSFET à canal n et p.

III.2. CHAPITRE 2 : SPECTROSCOPIE DU BRUIT : APPLICATION POUR L'IDENTIFICATION DES PIEGES SITUES DANS LA ZONE DE DEPLETION DES TRANSISTORS

III.2.1 Méthodologie expérimentale

Les spectres de puissance de bruit observés peuvent être modélisés en prenant en compte les trois types de bruit : bruit blanc, bruit de scintillement et bruit lorentzien. Les fréquences caractéristiques f_{0i} (ou les constantes de temps associées τ_{0i}) et les plateaux A_{0i} de chacune des lorentziennes observées peuvent être estimés en utilisant la relation I.1, comme déjà illustré sur les figures I.2 et II.2.12 pour des transistors de type UTBOX et FinFET.

Une méthode de caractérisation des matériaux – la spectroscopie du bruit – est effectuée à partir des études en fonction de la température du bruit excédentaire à basse fréquence lié aux mécanismes de génération / recombinaison sur des pièges situés dans l'oxyde de grille, à l'interface avec le canal d'inversion ou dans la zone de déplétion du transistor. La spectroscopie du bruit est effectuée en imposant les mêmes conditions de polarisation pour toutes les températures investiguées, de manière à pouvoir comparer les spectres de puissance de bruit. Imposer une polarisation équivalente pour toutes les températures revient à imposer soit une tension effective équivalente soit à imposer un courant de drain constant. A diverses températures fixées, des mesures en fonction de la tension appliquée sur la grille ont été effectuées. Cela a permis de valider l'origine des mécanismes du bruit en fonction de la température. Ce type d'analyse a déjà été présenté dans la partie II ; le même type d'analyse a été effectué en fonction de la température, de façon systématique pour les transistors FinFET avec HfSiON et à quelques températures caractéristiques pour les UTBOX. Cette investigation nous a permis de mettre en évidence des lorentziennes pour lesquelles les fréquences caractéristiques ne varient pas avec la tension effective appliquée sur la grille. Des exemples de ce type de comportement sont montrés sur la figure III.2.1 pour un transistor de type FinFET SOI+SEG+CESL et pour un transistor UTBOX. Ce comportement typique se retrouve pour tous les composants nFinFET avec HfSiON standard ou contraints et tous les composants UTBOX étudiés, quelle que soit la température, en régime d'inversion modérée (V_{GS} généralement compris entre V_{th} et $V_{th} +$ environ 0,4 V). Selon la théorie développée par [Murray'91] cette constance de la fréquence caractéristique en fonction de la tension de grille permet d'attribuer l'origine des lorentziennes à des pièges situés dans la couche de déplétion (dans le doigt pour les FinFET et dans le film de Si pour les UTBOX). Des lorentziennes de type RTS ont été observées à la fois sous forme des créneaux dans le courant de drain dans le domaine temporel et dans les spectres de bruit dans le domaine fréquentiel, généralement en inversion forte.

Compte-tenu des variations de la mobilité et de la tension de seuil avec la température, imposer un courant de drain constant n'est pas équivalent à maintenir la tension effective de grille constante. Cependant, une fois les modèles validés, compte tenu également du système de mesure du bruit qui permet d'avoir un contrôle direct du courant de drain, il est plus pratique de maintenir I_D constant. La gamme de température investiguée s'étend de

80 K à température ambiante, avec un pas de 10 K. Au vu des études préliminaires effectuées à diverses températures en fonction de la tension de grille, le courant de drain est choisi de façon à ce que le canal soit en inversion modérée dans toute la gamme des températures étudiées. Pour cela, la tension de polarisation de grille se situe légèrement au-dessous du seuil de tension. Sont ainsi étudiées des lorentziennes associées aux pièges localisés dans la zone de déplétion du transistor. Pour ces lorentziennes, la fréquence caractéristique doit varier avec la température [Murray'91]. Un exemple typique est illustré dans la figure III.2.2, pour un transistor de type FinFET.

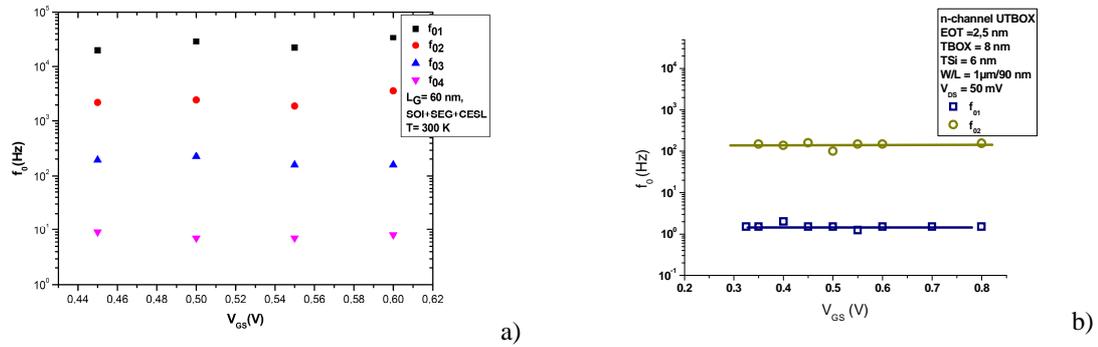


Figure III.2.1 : Mise en évidence des fréquences caractéristiques indépendantes de la tension appliquée sur la grille en inversion modérée dans des transistors a) nFinFET SOI+SEG+CESL avec HfSiON b) nUTBOX

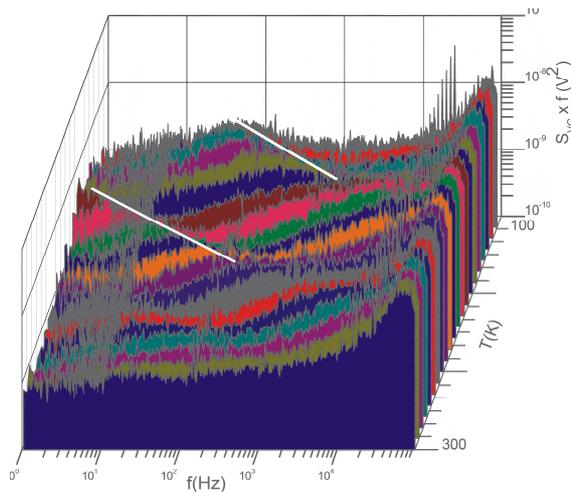


Figure III.2.2 Densités spectrales de puissance de bruit en tension équivalente ramenée sur la grille normalisés par la fréquence pour un transistor nFinFET contraint (SOI+SEG) avec HfSiON, d'une longueur physique de 60 nm. Un courant $I_D = 1\mu A$ à été imposé dans une gamme de températures de 100 K à 300 K ($V_{DS} = 50$ mV). Les lignes blanches représentent des exemples de l'évolution avec la température des fréquences caractéristiques des lorentziennes qui peuvent être attribuées aux pièges situés dans le film de déplétion (dans le fin).

Les lorentziennes considérées satisfont à deux conditions : que la fréquence caractéristique ne varie pas avec la tension effective de la grille à une température donnée et qu'elle varie avec la température en conditions de polarisation constante. Pour chaque lorentzienne, l'extraction des fréquences caractéristiques f_{0i} permet de tracer un diagramme d'Arrhenius représentant les évolutions en fonction de $1/(k_b T)$ de $\ln(\tau_i T^2)$ (où τ_i représente la constante de temps associée à la fréquence caractéristique f_{0i}). Pour les transistors à canal n, l'écart d'énergie ΔE entre la bande de conduction et l'énergie du piège ($\Delta E = E_C - E_T$) et la section efficace de capture σ_n sont extraites à partir de la pente et de l'ordonnée à l'origine respectivement, du diagramme d'Arrhenius, conformément à la relation I.9. La nature physique des pièges est alors identifiée en comparant les valeurs de ΔE et σ_n obtenues expérimentalement avec celles des pièges déjà répertoriés dans la littérature. La méthode d'estimation des valeurs

de ΔE et σ_n par la pente et l'ordonnée à l'origine des droites d'Arrhenius peut introduire des incertitudes non négligeables sur ces paramètres, liées à la précision sur la détermination de la fréquence caractéristique de chaque lorentzienne. Suite à des études statistiques on peut estimer que l'incertitude sur l'estimation de f_{0i} est inférieure dans le pire de cas à 10 %. Cette situation extrême est obtenue lors de la modélisation des spectres qui contiennent quatre lorentziennes dans cinq décades de fréquence [Guillet'2011]. Pour diminuer les incertitudes sur la détermination de la nature du piège, lors des mesures systématiques, des gabarits de diagrammes d'Arrhenius, qui prennent en compte les pièges connus fréquemment observés peuvent être construits à l'aide des valeurs de ΔE et σ_n données dans la littérature. Cela permet ainsi d'identifier plus facilement les pièges par la comparaison entre les diagrammes d'Arrhenius expérimentaux et les gabarits. Les observations ont conduit à la mise en évidence de pièges non répertoriés. Des gabarits pour les pièges inconnus fréquemment observés ont également été construits, rendant leur identification plus facile lors de mesures systématiques.

La densité de chacun des pièges peut s'estimer en utilisant la relation I.8. On remarque qu'on peut déterminer à la fois une densité des pièges volumique N_T , exprimée en cm^{-3} , et une densité surfacique N_{eff} , exprimée en cm^{-2} . Pour déterminer la densité des pièges volumique N_T , on a besoin, en plus des évolutions des niveaux des plateaux A_i en fonction de la constante de temps τ_i (A_i et τ_i associés au même piège), de connaître la largeur de la zone de déplétion W_D et le coefficient B . Les transistors UTBOX sont fabriqués dans une technologie FD SOI, le film de silicium est complètement déplété. Pour les FinFETs, la largeur de la zone de déplétion peut être estimée à $W_D = W_{Fin}/2$, en raison de la faible épaisseur de doigt (*i.e.* 25 nm) et parce que le film n'est pas intentionnellement dopé. Le facteur B n'est estimé à 1/3 que pour des transistors conventionnels à large surface active [Yau'69, Lukyanchikova'2002]. Pour s'affranchir des incertitudes qui peuvent être liées à l'estimation de la zone de déplétion pour les FinFETs et à la valeur du coefficient B , nous avons choisi de n'estimer que la densité des pièges surfacique N_{eff} à la fois dans les structures FinFET et UTBOX.

III.2.2 Synthèse des pièges identifiés situés dans le doigt des transistors nFinFET ayant une couche de diélectrique à haute permittivité diélectrique de type HfSiON

La figure III.2.3 montre le diagramme d'Arrhenius obtenu pour un composant nFinFET SOI+SEG ayant une longueur physique de canal de 910 nm. Par comparaison avec le gabarit des pièges connus on peut clairement connaître la nature de trois des cinq pièges identifiés. Il s'agit du complexe carbone interstitiel – phosphore en substitution (C_iP_s), du complexe bore interstitiel – oxygène interstitiel (B_iO_i) et de la bilacune de type V_2 (-/-).

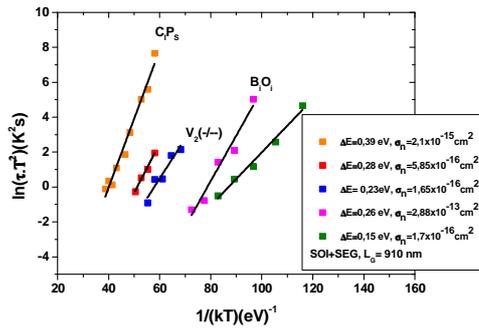


Figure III.2.3 : Diagramme d'Arrhenius obtenu pour un nFinFET sSOI+SEG avec HfSiON

Deux pièges identifiés ne correspondent à aucun piège déjà répertorié dans la littérature. Par comparaison avec le gabarit des pièges fréquemment observés, on peut conclure qu'ils se caractérisent par des écarts d'énergie par rapport à la bande de conduction et des sections efficaces de capture de 0,28 eV et $5,8 \cdot 10^{-16} \text{ cm}^2$ pour le premier et de 0,15 eV et $1,7 \cdot 10^{-16} \text{ cm}^2$ pour le second. Les technologies utilisant l'association des substrats de silicium standard ou contraint avec des techniques de contraintes locales sont récentes, cela peut expliquer le manque des données dans la littérature sur des pièges qui peuvent probablement être associés à l'introduction de ces techniques de contrainte globales et/ou locales.

Le tableau III.2.1 résume la liste des pièges identifiés fréquemment observés dans toutes les structures FinFET étudiées. Parmi eux figurent cinq pièges dont la nature a clairement été identifiée : l'un est lié à l'hydrogène (H1), deux sont la bilacune avec deux configurations possibles $V_2(0/-)$ et $V_2(-/-)$, un quatrième est le complexe carbone interstitiel – phosphore en substitution (C_iP_s) et le dernier est le complexe bore interstitiel – oxygène interstitiel (B_iO_i). Un grand nombre de pièges identifiés dans nos structures ne sont pas répertoriés dans la littérature, leurs énergies et sections efficaces de capture sont montrées dans le tableau III.2.2. [Talmat'2012]

Structures	L_E (nm)	$V_2(0/-)$	$V_2(-/-)$	H1	B_iO_i	C_iP_s	D1	D2	D4	D5	D7	D8	D9	D10
SOI	60		x			x				x	x	x	x	x
	910		x		x	x						x		
SOI + SEG	60	x				x				x		x	x	
	910	x	x			x			x					
SOI+SEG+CESL	60											x	x	
	910	x		x	x	x			x		x			x
sSOI	60		x			x			x			x		
	910		x	x	x			x		x	x	x		
sSOI+SEG	60			x						x	x	x	x	x
	910		x			x			x	x	x	x	x	
sSOI+CESL	60		x	x									x	
	910			x	x						x			
sSOI+SEG+CESL	60	x	x		x		x	x		x		x	x	
	910						x	x			x			x

Tableau III.2.1 : Les pièges fréquemment observés dans toutes les structures FinFET étudiées. Les lignes grises indiquent les structures ayant subi un processus de dépôt de SiC « SiC liner ».

Les évolutions linéaires entre A_i et τ_i associés au même piège permettent l'estimation de la densité surfacique des pièges à partir de la pente de A_i en fonction de τ_i . Deux exemples sont illustrés sur la figure III.2.4, l'un pour un piège de type C_iP_s pour une structure standard et l'autre pour un piège $V_2(-/-)$ pour une structure sur substrat contraint.

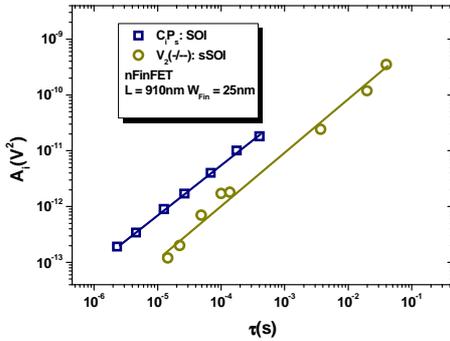


Figure III.2.4 Evolutions typiques linéaires des plateaux des lorentzienne A_i en fonction de la constante de temps du piège τ_i . La densité surfacique des pièges N_{eff} peut être déterminée à partir de la pente A_i versus τ_i associées au même piège.

Les densités surfaciques de pièges N_{eff} déterminées pour toutes les structures FinFET étudiées sont représentées sur la figure III.2.5 pour les transistors à canal long (longueur physique 910 nm) et sur la figure III.2.6 pour les transistors à canal court (longueur physique 60 nm).

On remarque qu'il y a plus de pièges identifiés répertoriés dans la littérature pour les transistors nFinFET à canal long que pour ceux à canal court. De plus, une augmentation du nombre des pièges identifiés non répertoriés peut être observée pour les nFinFET à canal court. Une densité de pièges plus élevée pour les transistors à canal court peut être associée aux pièges induits par la gravure sèche en bord du canal. Par ailleurs, pour les transistors à canal long, la plupart des pièges peuvent être attribués aux étapes technologiques liées à la réalisation de la grille et/ou à celles introduites pour l'optimisation du canal (en particulier les contraintes globales), tandis que pour les transistors à canal court, l'incidence des étapes technologiques liées à la réalisation des régions d'accès au canal (source et drain) et les contraintes locales de type CESL est plus importante. Le fait que la diminution de la longueur de canal puisse conduire à une augmentation du nombre des pièges, surtout pour les technologies avancées, est connu. Cependant, c'est la première fois que cette constatation est mise en évidence à partir de mesures électriques du bruit basse fréquence.

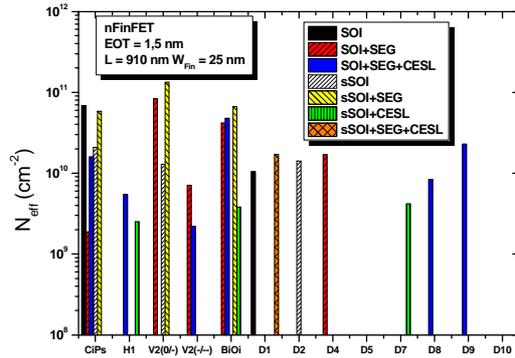


Figure III.2.5 Densités de tous les pièges identifiées dans toutes les structures nFinFET avec HfSiON à canal long

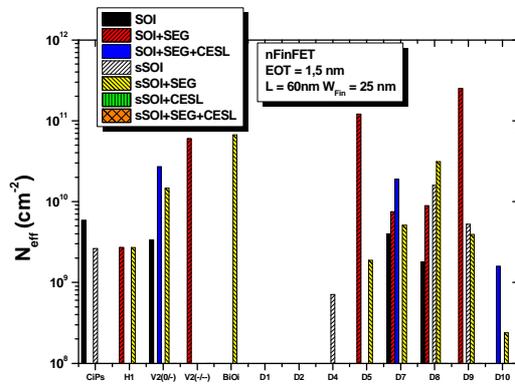


Figure III.2.5 Densités de tous les pièges identifiées dans toutes les structures nFinFET avec HfSiON à canal court

III.2.2.1 Pièges identifiés répertoriés dans la littérature

Deux types de pièges liés à l'hydrogène répertoriés dans la littérature [Tokuda'79, Halen'96, Claey's'2002] ont été observés : VOH ($\Delta E = 0,31$ eV et $\sigma_n = 10^{-15}$ cm²) et V₂H ($\Delta E = 0,45$ eV et $\sigma_n = 10^{-17}$ cm²). Ce dernier n'a été observé qu'une seule fois, contrairement au premier qui a été observé dans les structures SOI+SEG+CESL, sSOI et sSOI+CESL. Les pièges liés à l'hydrogène peuvent être présents à cause de la présence d'hydrogène résiduel après le recuit. L'augmentation de la densité des pièges d'un facteur d'environ 3 pour les structures ayant subi CESL peut être associée également à la couche de nitrure de silicium (SiN_x), utilisée lors du procédé CESL qui met en œuvre une quantité importante d'hydrogène.

Afin de réduire les effets de canaux courts, toutes les structures étudiées ont reçu une implantation « halo » de bore. Ceci peut expliquer la présence du complexe bore interstitiel – oxygène interstitiel (B_iO_i, caractérisé par $\Delta E = 0,26$ eV et $\sigma_n = 10^{-14} - 10^{-15}$ cm²) [Bains'87, Claey's'2002]) dans les structures SOI, SOI+SEG+CESL, sSOI, sSOI+CESL pour les transistors à canal long et sSOI+SEG+CESL pour les transistors à canal court. La valeur relativement élevée de la densité effective de ce piège (jusqu'à environ $9 \cdot 10^{10}$ cm⁻²) peut être liée à sa grande

capacité de diffusion dans le réseau cristallin. On peut noter que dans les structures sSOI et sSOI+CESL (canal court) et SOI+SEG+CESL (canal long) le bore interstitiel $B_i(0/+)$ a été observé également.

Les bilacunes sont des pièges qui ont plusieurs états de charge stables dont les transitions $V_2(-/-)$ et $V_2(0/-)$ correspondent aux niveaux d'énergie $\Delta E = 0,23$ eV et $\Delta E = 0,42$ eV, respectivement. Leurs sections efficaces de capture sont $\sigma_n = 10^{-15} - 10^{-16}$ cm² et $\sigma_n = 10^{-15}$ cm², respectivement [Bains'87, Hallen'96]. La présence des bilacunes pourrait s'expliquer par l'évolution vers un état stable de pièges instables comme les paires de Frenkel, qui sont générées lors de l'implantation ionique [Lopez'88]. La densité de bilacune semble plus élevée pour les transistors à canal long.

Le complexe carbone interstitiel – phosphore en substitution (C_iP_s) a été trouvé dans toutes les structures qui ont subi un dépôt de carbure de silicium (SiC) lors du procédé « SiC liner » (lignes en gris dans le tableau III.2.1). Cette observation suggère une contamination possible par le carbone pendant le procédé « SiC liner », car le carbone a une grande capacité de diffusion à température ambiante.

En plus des pièges précédentes fréquemment observés, d'autres pièges liés au carbone, par exemple le carbone interstitiel $C_i(0/-)$ ou le complexe carbone interstitiel – carbone substitutionnel C_iC_s , ou des pièges liés aux complexes lacune-phosphore V-P et lacune - oxygène V-O(0/-) ont été quelquefois observés.

III.2.2.2 Pièges identifiés non - répertoriés dans la littérature

Dix pièges identifiés, notés D1 à D10 dans le tableau III.2.1, sont fréquemment observés sans être répertoriés dans la littérature. La technologie avancée utilisée dans différentes étapes de fabrication de ces composants peut expliquer ce nombre important de pièges.

Les pièges tels que D7 et D8 sont observés dans toutes les structures étudiées : cela suggère que ces pièges sont liés à la technologie silicium. Etant donné qu'ils ne sont pas répertoriés, ils peuvent être produits par les techniques de contraintes mécaniques pour l'architecture de canal et des zones de source/drain. Cette hypothèse semble confirmée par l'augmentation de la densité surfacique de pièges pour les transistors à canal court ayant subi le procédé SEG par rapport aux transistors sur substrat standard.

<i>Pièges identifiés non - répertoriés</i>	<i>D1</i>	<i>D2</i>	<i>D3</i>	<i>D4</i>	<i>D5</i>	<i>D6</i>	<i>D7</i>	<i>D8</i>	<i>D9</i>	<i>D10</i>
<i>Position de l'énergie du piège (eV)</i>	$E_c - 0,5$	$E_c - 0,41$	$E_c - 0,22$	$E_c - 0,29$	$E_c - 0,29$	$E_c - 0,22$	$E_c - 0,23$	$E_c - 0,19$	$E_c - 0,15$	$E_c - 0,2$
<i>Section de capture (cm²)</i>	$1,3 \cdot 10^{-15}$	$9,5 \cdot 10^{-17}$	$1,3 \cdot 10^{-19}$	$2 \cdot 10^{-17}$	$1,9 \cdot 10^{-19}$	$3,9 \cdot 10^{-20}$	$1,8 \cdot 10^{-17}$	$7,9 \cdot 10^{-18}$	$2,1 \cdot 10^{-18}$	$1,8 \cdot 10^{-15}$

Tableau III.2.2 : Position de l'énergie et la section de capture des pièges identifiés mais non répertoriés dans la littérature

Les pièges tels que D1 et D2 ne sont seulement observés que dans la structure sSOI+SEG+CESL. Cela suggère que les nouvelles étapes technologiques introduites pour améliorer les performances des composants conduisent à la création de pièges dans le film. Cependant, des études approfondies *in situ* sur les procédés technologiques utilisés sont nécessaires pour pouvoir révéler l'origine et les caractéristiques en termes de surface de capture et niveau d'énergie des pièges non répertoriés. Le tableau III.2.2 résume les caractéristiques des pièges non répertoriés fréquemment observés dans les transistors étudiés.

III.2.3 Synthèse des pièges identifiés situés dans le film des transistors UTBOX sur substrat SOI

Les mêmes études ont été effectuées sur des structures FD SOI UTBOX à canal n, avec différents diélectriques de grille (HK1 et HK2, décrits en section II.3.2) et différentes épaisseurs de films de silicium. Les mesures ont été effectuées en adaptant à chaque température la tension de polarisation de la grille avant afin de conserver le même niveau du courant du drain ; les polarisations du drain et de la grille arrière étant maintenues constantes à 50 mV et 0 V, respectivement. On rappelle (cf. I.3.4) que HK1 est constitué d'une couche interfaciale de SiO₂ de 1,5 nm et d'une couche de diélectrique à haute permittivité diélectrique de HfSiO (60% Hf) de 2 nm conduisant à une épaisseur équivalente d'oxyde de 2,6 nm ; tandis que le diélectrique HK2 est constitué d'une couche interfaciale de SiO₂ de 1 nm et d'une couche de diélectrique à haute permittivité diélectrique de HfSiON de 2,5 nm conduisant à une épaisseur équivalente d'oxyde de 2,6 nm.

III.2.3.1 Transistors UTBOX ayant comme diélectrique HK1

Un diagramme d'Arrhenius obtenu pour un transistor UTBOX à canal n ayant le diélectrique HK 1 et une épaisseur de film de silicium T_{Si} de 16 nm est présenté sur la figure III.2.6. Dans cet exemple, huit pièges ont été clairement identifiés : bilacunes $V_2(+/0)$ and $V_2(-/-)$, lacune-phosphore V-P, complexe carbone interstitiel - oxygène interstitiel C_iO_i , complexe bore interstitiel – bore substitutionnel B_iB_s , complexe bore interstitiel - oxygène interstitiel B_iO_i et deux pièges (D1 et D2) qui ne sont pas répertoriés dans la littérature [Strobel'2013].

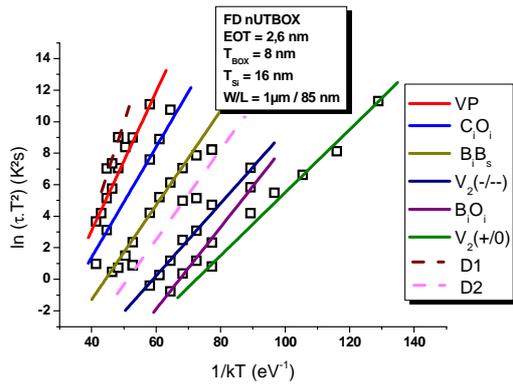


Figure III.II.6 : Exemple d'un diagramme d'Arrhenius pour un transistor avec une longueur effective de 85 nm. Les pièges identifiés sont caractérisés par : $V_2(+/0)$: $\Delta E = 0,20$ eV, $\sigma_n = 10^{-15}$ cm²; $V_2(-/-)$: $\Delta E = 0,23$ eV, $\sigma_n = 10^{-15}-10^{-16}$ cm²; B_iO_i : $\Delta E = 0,26$ eV, $\sigma_n = 10^{-13}-10^{-14}$ cm²; B_iB_s : $\Delta E = 0,3$ eV, $\sigma_n = 3.10^{-16}$ cm². $C_iO_i(0/-)$: $\Delta E = 0,35$ eV, $\sigma_n = 10^{-16}$ cm²; VP : $\Delta E = 0,44$ eV, $\sigma_n = 10^{-14}-10^{-15}$ cm² $D1$: $\Delta E = 0,53$ $\sigma_n = 1,5 \cdot 10^{-14}$ cm²; $D2$: $\Delta E = 0,27$ eV; $\sigma_n = 4,8 \cdot 10^{-16}$ cm².

Les évolutions des plateaux et des fréquences caractéristiques des lorentziennes pour deux pièges identifiés liés au complexe phosphore et au complexe bore interstitiel – bore substitutionnel B_iB_s sont représentés sur la figure II.2.7. L'évolution des plateaux en fonction des constantes de temps des lorentziennes (A_i et τ_i associés au même piège) doivent présenter des variations linéaires. Ce comportement est vérifié pour tous les pièges identifiés, deux exemples pour le complexe lacune - phosphore et la bilacune $V_2(-/-)$ sont montrés sur la figure III.2.8, permettant ainsi l'extraction selon la relation I.8 des densités effectives associées à chacun des pièges identifiés. Les valeurs obtenues sont résumées dans le tableau III.2.3. On remarque que les valeurs obtenues sont d'au moins un ordre de grandeur inférieures aux valeurs obtenues pour d'autres technologies qui ont un dopage non-intentionnel du canal (comme les FinFETs par exemple) [Talmat'2011]. On remarque un grand nombre de pièges identifiés : cela peut provenir de la technologie avancée utilisée pour la fabrication des composants.

Nature du piège	VP	C_iO_i	B_iB_s	$V_2(-/-)$	B_iO_i	$V_2(+/0)$	D1	D2
N_{eff} (10^8 cm ⁻²)	1,1	5,4	21,7	43,4	22,2	23,5	8,1	5,4

Tableau III.2.3 : Densités de tous les pièges identifiés dans toutes les structures FD SOI nUTBOX avec HK 1

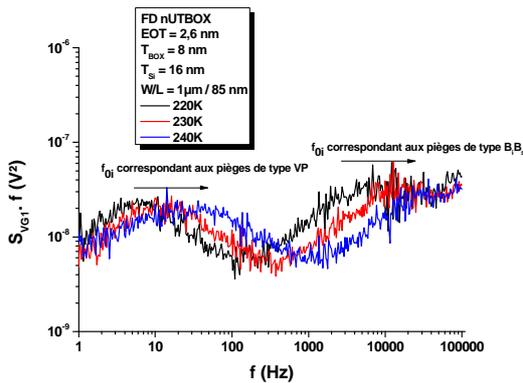


Figure III.2.6 : Exemple des densités spectrales de puissance du bruit en tension ramenées à l'interface avant pour un transistor nUTBOX ayant une longueur effective de 85 nm. L'évolution en température des fréquences caractéristiques des lorentziennes associées aux pièges situées dans le film liés à la lacune de phosphore et au complexe de bore B_iB_s est indiquée par des flèches.

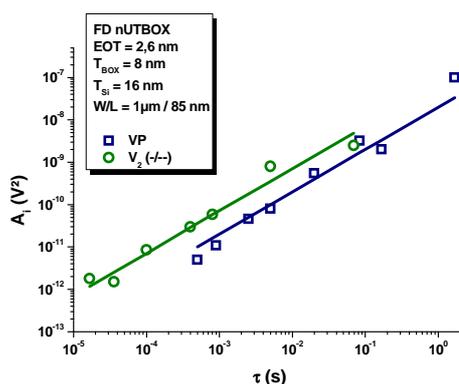


Figure III.2.7 : Evolutions linéaires des plateaux des lorentzienne A_i en fonction de la constante de temps τ_i associées au même piège, permettant par la suite l'estimation de la densité surfacique des pièges N_{eff} .

III.2.3.1.1 Pièges identifiés répertoriés dans la littérature

Pour tous les transistors UTBOX à canal n avec une longueur de canal effective de 85 nm, six pièges identifiés sont répertoriés dans la littérature : bilacunes $V_2(+/0)$ et $V_2(-/-)$, lacune-phosphore V-P, complexe carbone interstitiel - oxygène interstitiel C_iO_i , complexe bore interstitiel – bore substitutionnel B_iB_s , complexe bore interstitiel - oxygène interstitiel B_iO_i .

Les pièges liés au bore (B_iB_s et B_iO_i) peuvent être interprétés comme dus à l'implantation halo avec du bore, nécessaire pour contrecarrer les effets de canaux courts. L'explication sur l'apparition des bilacunes liées à l'implantation a déjà été donnée. Les valeurs des densités de pièges liés au bore et aux bilacunes suggèrent que l'implantation s'avère être la principale cause génératrice de ces pièges. Une possible contamination pendant le procédé « SiC liner » de dépôt de carbone peut expliquer l'apparition des pièges liés au carbone (C_iO_i). Les pièges liés au complexe lacune – phosphore peuvent disparaître avec un recuit de température supérieure à 300 °C, cela peut expliquer leurs faible densité.

III.2.3.1.2 Pièges identifiés non - répertoriés dans la littérature

Deux pièges identifiés mais non répertoriés dans la littérature sont fréquemment observés. Ils sont vraisemblablement liés aux processus de gravure sèche et d'implantation. Comme pour les transistors de type FinFET, des études complémentaires sur les procédés technologiques utilisés lors de la fabrication des composants doivent être effectuées afin de pouvoir révéler l'origine des pièges non répertoriés.

III.2.3.2 Transistors UTBOX ayant comme diélectrique HK2

Un exemple de densité de puissance de bruit en tension ramenée à l'interface avant normalisée par la fréquence d'une structure FD SOI nUTBOX ayant comme diélectrique de grille HK 2 pour un transistor d'une longueur effective de 90 nm est montré sur la figure I.1 à température ambiante. Un exemple de la modélisation des spectres de bruit permettant la détermination des fréquences caractéristiques (f_{oi}) et des plateaux (A_i) des lorentziennes est illustré sur la figure I.2. Le diagramme d'Arrhenius correspondant à l'étude du bruit en fonction de la température est représenté sur la figure II.2.8. Les pièges identifiés ont une position en énergie et une section de

capture de $\Delta E = 0,42 \text{ eV}$ et $\sigma_n = 0,9 \cdot 10^{-15} \text{ cm}^2$ et de $\Delta E = 0,45 \text{ eV}$ et $\sigma_n = 1,47 \cdot 10^{-17} \text{ cm}^2$, respectivement. Par comparaison avec les données de la littérature on remarque que les valeurs obtenues lors de notre étude sont très proches de celles données pour des pièges liés à la bilacune $V_2(O/-)$ ($\Delta E = 0,42 \text{ eV}$ et $\sigma_n = 10^{-15} \text{ cm}^2$) et des pièges liés à l'hydrogène V_2H ($\Delta E = 0,45 \text{ eV}$ et $\sigma_n = 10^{-17} \text{ cm}^2$) [Cretu'2013].

L'origine des pièges liés aux bilacunes a déjà été discutée. La présence des pièges liés à l'hydrogène peut s'expliquer par l'hydrogène incorporé pendant le procédé SEG qui utilise des précurseurs de SiH_4 utilisés pendant le dépôt en phase vapeur.

Un nombre moins important de pièges fréquemment observés est trouvé pour le diélectrique de grille utilisant HfSiON (HK 2) par rapport au diélectrique de grille utilisant HfSiO (HK 1). Ce résultat est corroboré par les constatations sur la meilleure qualité de l'oxyde utilisant HfSiON , en raison de la nitruration de l'oxyde de hafnium qui réduit la pénétration des dopants dans la grille.

Les densités de pièges obtenues, d'environ $6,5 \cdot 10^9 \text{ cm}^{-2}$ et $4,1 \cdot 10^9 \text{ cm}^{-2}$ pour la bilacune et le complexe d'hydrogène, respectivement, sont du même ordre de grandeur que les densités de pièges obtenues dans les FD SOI UTBOX HK1. De plus, elles sont d'au moins un facteur de grandeur plus faibles que dans les FinFETs utilisant le même diélectrique high-k. Ces résultats peuvent s'expliquer par l'accord de maille différent entre le diélectrique de grille avec le silicium orienté $\langle 110 \rangle$ (paroi de doigt) et le silicium orienté (100), (croissance conventionnelle dans les technologies planaires). Cette différence provoque l'augmentation de la microrugosité, la dégradation de la qualité de l'interface film / diélectrique de grille, elle peut donc induire une dégradation de la qualité du film de silicium dans la structure 3D (en particulier lorsque la largeur de doigt est très fine) par rapport à la structure planaire.

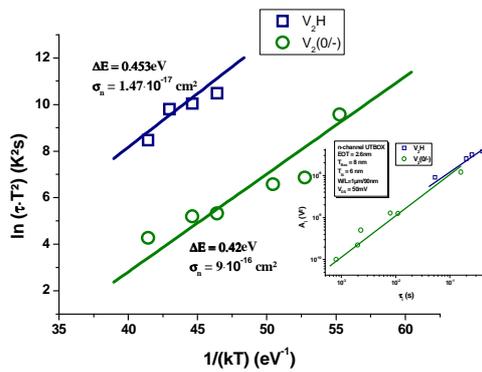


Figure III.2.8 : Diagramme d'Arrhenius pour un transistor FD SOI nUTBOX HK1, ayant une longueur effective de canal de 90 nm. Dans l'encart sont représentées les dépendances linéaires entre des plateaux des lorentziennes A_i en fonction de la constante de temps τ_i associées au même piège.

III.3. CONCLUSION SUR LE BRUIT LORENTZIEN

Le bruit blanc généré par le courant de fuite par effet tunnel EVB à travers la grille et par le courant de jonction du film à la source, peut être filtré par un réseau $r_{eq}C_{eq}$, conduisant ainsi à une densité spectrale de puissance de bruit de type lorentzien. L'étude du bruit lorentzien dû à l'effet kink linéaire en fonction de la température dans des transistors à canal n partiellement déplétés sur substrat SOI a permis de valider ce modèle dans une gamme de température de 80 K à 300 K.

Les mesures à basse température dans les transistors à canal p ont mis en évidence des spectres sous la forme des lorentziennes filtrées. Ce comportement est expliqué par l'existence d'un bruit lorentzien, associé aux pièges situés dans l'oxyde de grille ou dans la zone de déplétion du transistor et activés par le courant de fuite tunnel à travers la grille. Ce bruit lorentzien, comme le bruit blanc, est filtré par le même réseau $r_{eq}C_{eq}$. Un modèle complet a ainsi été proposé et a été validé expérimentalement pour les PD SOI pMOSFET pour des températures comprises entre 80 K et 300 K.

L'étude systématique du bruit basse fréquence en fonction de la température effectuée pour toutes les structures nFinFETs à HfSiON nous a permis d'identifier cinq pièges déjà répertoriés dans la littérature et environ dix pièges non répertoriés. Le nombre des pièges identifiés mais non répertoriés est plus important dans les transistors à canal court, ce qui suggère une incidence plus grande des effets de bord dus à la gravure sèche et à des étapes technologiques liées à la réalisation des zones de source et de drain sur les plus faibles longueurs de canal.

Une augmentation du nombre de pièges identifiés lorsque les dimensions des transistors diminuent a déjà été observée dans les technologies avancées. C'est la première fois en revanche que ce résultat est obtenu à partir des mesures du bruit à basse fréquence. Certains pièges non répertoriés apparaissent dans toutes les structures étudiées, certains n'apparaissent que dans des structures qui ont subi certaines techniques de contraintes mécaniques. Ce résultat suggère que certains pièges sont liés à la technologie silicium et sont provoqués par les mêmes étapes technologiques utilisées pour améliorer les performances des transistors sur des substrats standards SOI. En outre, certains autres pièges doivent être associés aux techniques de contraintes mécaniques. Un faible nombre des pièges identifiés mais non répertoriés a été observé dans les transistors nanométriques de type UTBOX (HK 2). Cela suggère un possible rapport entre la structure 3D, les techniques de contraintes mécaniques et le nombre important des pièges non répertoriés observés dans les FinFET. La densité des pièges identifiés dans les UTBOX est d'au moins un facteur plus faible que dans les FinFET ayant le même diélectrique de grille. Ce résultat peut s'interpréter par la relation entre la qualité de l'interface oxyde / canal d'inversion, la qualité du film déplété et l'orientation cristalline du silicium.

Pour tous les transistors étudiés issus des différentes technologies (FinFET et UTBOX), pour les pièges identifiés et répertoriés dans la littérature, pour lesquels la nature du piège est connue, le lien a été effectué avec l'étape technologique la plus vraisemblablement responsable de la création du piège. Enfin, les étapes

PARTIE III

technologiques liées à la gravure sèche et à l'implantation ionique sont probablement responsables des pièges identifiés mais non répertoriés dans la littérature.

CONCLUSION GENERALE ET PERSPECTIVES

La miniaturisation continue des dimensions des composants électroniques a pour objectif d'accroître les performances des circuits, d'augmenter la densité d'intégration et de réaliser des fonctions de plus en plus complexes. Cette réduction des dimensions est accompagnée inévitablement d'effets parasites néfastes au bon fonctionnement des transistors.

Ce manuscrit présente une étude des propriétés électriques du bruit à basse fréquence des transistors fabriqués avec des technologies fortement submicroniques - le cas des transistors PD SOI MOSFET ou à canal en germanium, et des technologies nanométriques – le cas des technologies FinFET et FD SOI UTBOX.

Les résultats présentés sont originaux car les transistors étudiés sont réalisés en utilisant des procédés intégrant les principales innovations technologiques de ces dernières années ; mais aussi car les études ont été portées sur une large gamme de températures (10 K et de 77 K à 300 K). En plus de l'identification des pièges dans la zone de déplétion du transistor par la méthode de spectroscopie du bruit, ces études du bruit en fonction de la température ont permis de valider plusieurs hypothèses et de mettre en évidence des mécanismes qui n'auraient pas pu être observés si les études avaient été effectuées uniquement à température ambiante.

Plusieurs résultats expérimentaux sont montrés dans ce rapport. Parmi eux, rappelons les plus notables :

- pour toutes les technologies étudiées, le mécanisme des fluctuations du nombre de porteurs explique le bruit en $1/f$ observé, même pour les transistors à canal p. En effet, avec la miniaturisation ultime, la qualité de l'oxyde de grille et de l'interface avec le canal d'inversion jouent un rôle de plus en plus important dans les performances à la fois statiques et dynamiques des transistors.
- à température ambiante, la miniaturisation augmente de façon significative les valeurs des coefficients de bruit des résistances d'accès : ceux-ci sont au moins deux ordres de grandeur plus grands dans les technologies FinFET et UTBOX que dans les transistors à canal en germanium. Par ailleurs, aucune corrélation entre les valeurs des résistances d'accès et les valeurs des coefficients de bruit dû aux résistances d'accès K_r obtenues lors de la modélisation du comportement en bruit $1/f$ en inversion forte n'a pas pu être mise en évidence.
- l'étude du bruit à basse fréquence en fonction de la température a conduit à des résultats originaux :
 - il a permis de mettre en évidence, de modéliser et de valider le comportement des nouvelles sources de bruit apparaissant dans le bruit total lié à l'effet kink linéaire dans les PD SOI MOSFET à canal p ;
 - le comportement inhabituel du bruit observé pour la technologie FINFET avec une couche de HfO_2 dans l'oxyde de grille a pu être modélisé et son origine a été identifiée ;
 - un changement de la localisation des sources de bruit des résistances d'accès a été mis en évidence à 10 K par rapport à la température ambiante dans la technologie FinFET avec une couche de HfSiON dans l'oxyde grille ; est aussi observé un changement du profil de la densité des pièges actives dans l'oxyde lorsque la température diminue ;
 - l'utilisation de la méthode de spectroscopie du bruit permet l'identification des pièges situés dans la zone de déplétion (doigt ou film Si des structures de type FinFET avec HfSiON et FD SOI UTBOX) et les procédés technologiques responsables sont également déterminés. Les pièges observés mais non répertoriés semblent le plus souvent être liés aux processus de gravure sèche et d'implantation ionique ;

- le bruit en $1/f^\gamma$ observé dans les Ge pMOSFET, avec $\gamma \neq 1$ dans différentes gammes de fréquences, peut être associé à une distribution non homogène des pièges dans la profondeur de l'oxyde, notamment dans la couche de diélectrique à haute permittivité diélectrique high-k de type HfO₂.
- l'impact des techniques de contraintes mécaniques utilisées pour l'architecture de canal et des zones d'accès pour améliorer les performances des transistors fournit des observations partagées : dans le cas des FinFET avec HfSiON, le niveau de bruit en $1/f$ est plus faible pour les composants sur substrat contraint (sSOI) par rapport aux structures sur substrat standard (SOI) ; en revanche, pour les FinFET avec HfO₂ aucun impact n'est observée;
- le niveau du bruit intrinsèque est toujours plus faible dans les transistors à canal p, cette tendance est maintenue aussi pour les structures 3D de type FinFET ; une diminution du niveau de bruit à 10 K par rapport à 300 K a été observée pour les FinFET HfSiON à canal p.
- lorsque la température diminue (300 K jusqu'à 80 K) on observe une augmentation de la densité des pièges extraites à partir du niveau du bruit de bande plate. Celle-ci peut s'expliquer en considérant un modèle qui suppose l'existence de deux constantes d'effet tunnel à travers le diélectrique, associées d'une part à la couche interfaciale de SiO₂ et d'autre part à la couche high-k ;
- pour les structures FinFET avec HfSiON sur substrat sSOI, on observe des valeurs du coefficient des interactions coulombiennes obtenues inférieures aux valeurs rapportées pour les transistors planaires conventionnels à température ambiante, ce qui peut s'expliquer par des interactions coulombiennes avec des pièges situées loin dans la profondeur de l'oxyde de type high-k. L'augmentation de coefficient α_c lorsque la température diminue jusqu'à 80 K suggère un confinement des porteurs à l'interface de la couche d'inversion conduisant à plus d'interactions coulombiennes avec les centres chargés dans l'oxyde. A température cryogénique (10 K) le mécanisme des fluctuations corrélées du nombre de porteurs et de la mobilité n'est plus observées, cela peut être liée à l'inversion volumique du canal ;
- une corrélation entre le niveau du bruit et la mobilité des porteurs dans le canal d'inversion a été observée dans les transistors à canal p en germanium et dans les FD SOI UTBOX avec HK2 pour l'oxyde de grille : une mobilité des porteurs grande (respectivement faible) peut être associée avec un niveau du bruit faible (respectivement élevé). Cette corrélation s'explique par l'impact du mécanisme des collisions coulombiennes à la fois sur la mobilité et sur le bruit basse fréquence. En effet, la valeur du coefficient des interactions coulombiennes obtenue à partir de la corrélation bruit - mobilité corrobore celles obtenues lors de la modélisation des évolutions du bruit en $1/f$ avec la tension effective de grille pour les transistors aussi bien pour les transistors Ge pMOSFET à canal long que pour les UTBOX. Par ailleurs, les valeurs observées pour α_c sont inférieures aux valeurs typiques dans le cas des Ge pMOSFET, mais nettement supérieures à la valeur typique obtenue dans le cas des FD SOI nUTBOX. Dans ce dernier cas, cela peut être lié au très fort couplage entre les deux interfaces;
- pour les technologies FD SOI UTBOX, la réduction de l'épaisseur du film de silicium s'accompagne inévitablement d'un couplage plus important entre les interfaces avant et arrière, les différentes contributions

des sources de bruit situées à l'interface avant (respectivement arrière) sur le bruit total mesuré à l'interface arrière (respectivement avant) sont estimés;

L'utilisation d'une couche de diélectrique de grille de type high-k dans l'oxyde de grille conduit à une densité de pièges plus importante par rapport aux valeurs rapportées pour les transistors conventionnels Si / SiO₂; cependant, une très bonne qualité de l'interface avant peut être observée pour les FD SOI UTBOX ayant HfSiON, avec des valeurs des densités de pièges comparables aux technologies conventionnelles Si / SiO₂. Nos études confirment que la nitruration de l'oxyde de hafnium peut conduire à une réduction de la densité de pièges à l'interface et donc que l'utilisation d'un diélectrique à haute permittivité diélectrique de type HfSiON est vraisemblablement préférable à celle de type HfO₂ ou HfSiO.

Les FinFET et les UTBOX sont des structures réalisées dans des technologies où le film de silicium est non intentionnellement dopé. Pour les FinFETs ayant une largeur de doigt très fine la conduction s'effectue sur les parois de doigt ; la gravure de l'oxyde sur les parois latérales peut conduire à l'apparition de microrugosités, à une dégradation de la qualité de l'interface et peut induire des pièges même dans le film de silicium. Cela est démontré par les valeurs des densités de pièges extraites de niveau du bruit en $1/f$. Celles-ci sont au moins un ordre de grandeur plus grande pour les transistors FinFET que pour les FD SOI UTBOX utilisant le même diélectrique high-k. De plus, cette conclusion est corroborée par les valeurs de la densité surfacique des pièges situés dans le film : celles-ci sont inférieures dans les UTBOX comparées aux valeurs obtenues pour les FinFETs.

Ces études montrent que l'étude du bruit basse fréquence s'avère un outil de diagnostic non destructif de caractérisation électrique très fructueux pour avoir une meilleure compréhension des mécanismes de transport de charge régnant dans le canal d'inversion des transistors ; et fournissant un facteur de mérite permettant d'évaluer la fiabilité et d'accompagner la miniaturisation des transistors dans les technologies ultimes.

La structure 3D FinFET sur substrat SOI avec HfSiON associée à des techniques de contraintes mécaniques conduit à l'apparition de nombreux pièges non répertoriés situés dans le film de silicium, en particulier pour les transistors à canal court. Des mesures systématiques additionnelles seront effectuées pour confirmer que dans des transistors FD SOI UTBOX ayant une épaisseur de film de 6 nm et un oxyde enterré de 8 nm, le nombre de pièges identifiés (répertoriés ou pas) est inférieur à celui des FinFETs. Il sera intéressant aussi d'effectuer la spectroscopie du bruit au niveau de l'interface arrière. En effet, dans ce cas, les études de bruit en fonction de la température doivent permettre d'identifier les mêmes pièges, si ceux-ci sont situés dans la zone de déplétion, c'est-à-dire dans le film de silicium.

Des études montrant la corrélation entre les fréquences caractéristiques des spectres de bruit de type lorentzien et le temps de rétention dans les structures UTBOX ont déjà été effectuées à température ambiante. D'autres études seront nécessaires pour confirmer et valider cette corrélation dans une large gamme de température de fonctionnement (77 K – 300 K). Les collaborations existantes avec l'IMEC et l'échange des étudiants dans le cadre de stages de formation doctorales et/ou de thèses en cotutelle avec l'Université de Tizi-Ouzou puis avec l'Université de Sao-Paulo pourront permettre la réalisation de ces études.

CONCLUSION GENERALE ET PERSPECTIVES

La collaboration avec IMEC sur des technologies nanométriques se poursuivra pour mettre en évidence l'impact des effets quantiques à faible polarisation et à faible température à la fois sur les caractéristiques de transfert et sur les spectres de densité de puissance de bruit. L'objectif final serait d'aboutir à des modèles permettant une meilleure compréhension des mécanismes de transport de charge impliqués. Des études du bruit à basse fréquence pourront également accompagner le développement d'autres composants actifs (ou passifs) innovants.

REFERENCES

- [Ahour'2013] Achour H, Talmat R, Cretu B, Routoure J.-M, Benfdila A, Carin R, Collaert N, Mercha A, Simoen E and Claeys C. DC and Noise Performances of SOI FinFET at Very Low Temperature Solid State Electron 2012; 90: 160-165.
- [Aoulaiche'2012] Aoulaiche M, Nicoletti T, Almeida L.M, Simoen E, Veloso A, Blomme P, Groeseneken G and Jurczak M. Junction Field Effect on the Retention Time for One-Transistor Floating-Body RAM, IEEE Trans. Electron Dev. 2012; 59: 2167.
- [Bains'87] Bains S.K and Banbury P.C. AC hopping conductivity and DLTS studies on electron-irradiated boron-doped silicon. Semiconductor Science and Technology 1987; 2 (1): 20-29.
- [Balestra'87] Balestra F, Cristoloveanu S, Benachir M, Brini J and Elewa T. Double-gate siliconon-insulator transistor with volume inversion: a new device with greatly enhanced performance, IEEE Electron. Device Lett. 1987; EDL-8: 410-412.
- [Balestra '94] Balestra F et Ghibaudo G, Brief review of the MOS device physics for low temperature electronics, , Solid-State Electron. 1994; 37 (12): 967-1975.
- [Bennamane'2009] Bennamane K, Boutchacha T, Ghibaudo G, Mouis M, Collaert N. DC and low frequency noise characterization of FinFET devices. Solid State Electron 2009; 53 (12) : 1263 - 1267.
- [Bernamont'37] Bernamont J, Fluctuations in the resistance of thin film, Proceedings of the Physical Society 1937; 49 (4) : 138-139
- [Bersuker'2004] Bersuker G, Barnett J, Moumen N et al. Interfacial Layer-Induced Mobility Degradation in High-k Transistors. Jpn. J. Appl. Phys.2004; 43 (11B) : 7899.
- [Camin'2002] Camin DV, Colombo CF, Grassi V. Low frequency noise versus temperature spectroscopy of Ge JFETs SiJFET's and Si MOSFETY's. Journal de Physique IV 2002 : 37-44
- [Celik'87] Celik-Butler Z, Hsiang T. Y. Spectral dependance of 1/f noise on gate bias in n MOSFETs. Solid State Electron 1987;30(4) : 419-423.
- [Chau'2004] Chau R, Datta S, Doczy M et al. High-k/Metal-Gate Stack and Its MOSFET Characteristics, IEEE Electron. Device Lett. 2004; 25 (6) : 408.
- [Chovet'77] Chovet A et Viktorovitch P. Le bruit électrique (1^{re} partie) : aspect physiques. L'onde électrique, 1977 ; 57 : 669-707.
- [Christensson'68a] Christensson S, Lundström I, and Svensson C. Low-frequency noise in MOS transistors- I theory. Solid State Electron 1968; 11 : 797-812.
- [Christensson'68b] Christensson S, Lundstrom I. Low-frequency noise in MOS transistors- II Experiments. Solid State Electron 1968; 11 : 813-820.
- [Claeys'2002] Claeys C and Simoen E, Radiation effects in Advanced Semiconductor Material and Devices, Spinger Verlag, 2002.
- [Claeys'2005] Claeys C, Simoen E, Mercha A, Pantisano L and Young E. Low-frequency noise study of n-MOSFETs with HfO₂ gate dielectric. Journal of The Electrochemical Society 2005; 152 (9) : F115-F123.
- [Clayes'2009] Claeys C, Put S, Rafi J.M, Pavanello M.A, Martino J.A, Simoen E. Reliability Performance Characterization of SOI FinFETs. 2nd International Workshop on Electron Devices and Semiconductor Technology 2009:1-8.
- [Colaert'2007] Collaert N, Rooyackers R, De Keersgieter A, Leys FE, Cayrefourq I, Ghyselen B, et al. Stress hybridization for multigate devices on supercritical strained-SOI (SC-SSOI). IEEE Electron Dev Letter 2007; 28(7) :646-8.
- [Colaert'2008] Collaert N, Rooyackers R, Hikavy A, Dixit A, Leys F, Verheyen P, Loo R, Jurczak M, Biesemans S, Multi-gate devices for the 32 nm technology node and beyond:Challenges for Selective Epitaxial Growth", Thin Solid Films 2008; 517 : 101-104.

- [Contaret'2006] Contaret T, Romanjek K, Boutchacha T, Ghibaudo G, and Boeuf F. Low frequency noise characterization and modelling in ultrathin oxide MOSFETs, *Solid-State Electron.* 2006; 50, 63-68.
- [Cretu'2002] Cretu B, Fadlallah M, Ghibaudo G, Jomaah J, Balestra F, Guégan G. Thorough characterization of deep-submicron surface and buried channel p-MOSFETs, *Solid-State Electron.* 2002; 42 : 971-975.
- [Cretu'2013] Cretu B, Simoen E, Routoure J.-M, Carin R, Aoulaiche M and Claeys C. Low frequency noise characterization in n-channel UTBOX devices with 6 nm Si film, In Proceedings of ICNF'2013 (IEEE International Conference on Noise and Fluctuations'2013, Montpellier, France, 2013).
- [Cristoloveanu'2004] Cristoloveanu S. New physics mechanisms enabled by advanced SOI CMOS engineering. *Mater Sci Eng B* 2004 ; 114–115: 9–14.
- [Doris'2002] Doris B, Ieong M, Kanarsky T, Zhang Y, Roy R.A, Dokumaci O, Ren Z, Jamin F-F, Shi L, Natzle W, Huang H-J, Mezzapelle Fen-Fen Jamin, Mocuta A, Womack S, Gribelyuk M, Jones E.C, Miller R.J, Wong H.-S.P and Haensch W. Extreme scaling with ultra-thin Si channel MOSFETs. in *IEDM Tech, Dig.*, 2002 : 267-270.
- [Doris'2005] Doris B, Kim Y.H, Linder B.P et al. High Performance FDSOI CMOS Technology with Metal Gate and High-k. *VLSI Tech. Dig.* 2005 : 214.
- [Duh'84] Duh K.H and van der Ziel A, Flicker noise in MOSFETs with gate voltage dependant mobility, *Solid State Electron* 1984 ; 27 (5) : 459.
- [Ernst'2003] Ernst T, Cristoloveanu S, Ghibaudo G, Ouisse T, Horiguchi S, Ono Y, Takahashi Y and K. Murase. Ultimately thin double-gate SOI MOSFETs, *IEEE Trans. Electron Devices* 2003 ; 50 : 830-838.
- [Fenouillet'2009] Fenouillet-Berangera C, Perreau P, Denorme S, Tosti L, Andrieu F, Weber O, Monfray S, Barnola S, Arvet C, Campidelli Y, Haendler S, Beneyton R, Perrot C, de Buttet C, Gros P, Pham-Nguyen L, Leverd F, Gouraud P, Abbate F, Baron F, Torres A, Laviron C, Pinzelli L, Vetier J, Borowiak C, Margain A, Delprat D, Boedt F, Bourdelle K, Nguyen B.-Y, Faynot O and Skotnicki T. Impact of a 10 nm ultra-thin BOX (UTBOX) and ground plane on FDSOI devices for 32 nm node and below. *Solid State Electron* 2009 ; 54 : 849 – 854.
- [Fu'72] Fu H-S and Sah C-T. Theory and experiments on surface 1/f noise. *IEEE Trans. Electron Devices* ED-19 1972; pp. 273-285.
- [Gaubert'2006] Gaubert P, Teramoto A, Hamada T, Yamamoto M, Kotani K and Ohmi ., 1/f noise suppression of pMOSFETs fabricated on Si(110) and Si(100) using an alkali-free cleaning process. *IEEE Trans. Electron Devices* 2006 ; 53 : 851-856.
- [Grassi'2001] Grassi V, Colombo CF, Camin DV. Low frequency noise versus temperature spectroscopy of recently designed Ge JFETs. *IEEE Trans. Electron Devices* 2001, vol.48; pp. 2899- 2905
- [Ghibaudo'89] Ghibaudo G, Balestra F. A method for MOSFET parameter extraction at very low temperature. *Solid State Electron* 1989 ; 32 (3) : 221 - 223.
- [Ghibaudo'91] Ghibaudo G, New method for the extraction of MOSFET parameters, *Electronics Letters* 1988, 24 (9): 543.
- [Ghibaudo'91] Ghibaudo G, Roux O, Nguyen-Duc Ch, Balestra F, Brini J. Improved Analysis of Low Frequency Noise in Field-Effect MOS Transistors. *Physica Status Solidi (a)* 1991; 124: 571.
- [Ghibaudo'1997] Ghibaudo G. Critical MOSFETs operation for low voltages/low power IC's: Ideal characteristics, parameter extraction, electrical noise and RTS fluctuations, *Jpn. J. Appl. Phys.*1997; 39 (11) : 31 - 57.
- [Ghibaudo'2002] Ghibaudo G and Boutchacha T. Electrical noise and RTS fluctuations in advanced CMOS devices, *Microelectronics Reliability* 2002; 573-582.
- [Guillet'2011] Guillet B, Wu S, Cretu B, Talmat R, Achour H, Barone C, Pagano S, Sassier E, Routoure J-M. Uncertainties in the estimation of low frequency noise level extracted from noise spectral density measurements. *AIP Conference Proceeding*; 21th International Conference on Noise and Fluctuations 2011 ; 1129 : 433 - 436.
- [Guo'2006] Guo W, Cretu B, Routoure JM, Carin R, Simoen E, Claeys C. Temperature impact on the Lorentzian noise induced by electron valence band tunneling in partially depleted SOI n-

REFERENCES

- MOSFETs. In: Tang TA, Ru GP, Jiang YL, editors. Proceedings of the ICSICT' 2006, Shanghai: 2006 : 58 – 60.
- [Guo'2007] Guo W, Nicholas G, Kaczer B, Todi R.M, De Jaeger B, Claeys C, Mercha A, Simoen E, Cretu B, Routoure J.-M, Carin R. Low-frequency noise assessment of silicon passivated Ge pMOSFETs with TiN/TaN/HfO₂ gate stack, IEEE Electron. Device Lett. 2007; 28: 288 - 291.
- [Guo'2008] Guo W, Cretu B, Routoure J.-M, Carin R, Simoen E, Mercha A, Collaert N, Put S, Claeys C. Impact of strain and source/drain engineering on the low frequency noise behaviour in n-channel tri-gate FinFETs. Solid State Electron 2008; 52: 12, 1889-1894.
- [Haartman'2005] von Haartman M, Westlinder J, Wu D, Malm B, Hellstro P.-E and Ostling M, Low frequency noise and coulomb scattering in Si_{0.8}Ge_{0.2} surface channel p MOSFET with ALD AL₂O₃ gate dielectrics, Solid State Electron 2005 ; 49 : 907 - 914.
- [Haartman'2006] von Haartman M, Malm B, Ostling M, Comprehensive study on low-frequency noise and mobility in Si and SiGe pMOSFET with high-k gate dielectrics and TiN gate, IEEE Transaction on Electron Devices 2006; 53 : 836 - 843.
- [Haendler'2001] Haendler S, Jommah J, Dieudonne' F, Balestra F. On the 1/f noise in fully depleted SOI transistors. Proc Int Conf Noise Physical Systems 1/f Fluctuations 2001:133 – 6.
- [Hallen'96] Hallen A, Keskitalo N, Masszi F, Nagl V, Lifetime in proton irradiated silicon, Journal of Applied Physics 1996; 79 (8) : 3906 - 3914.
- [Hooge'69] Hooge F.N, 1/f noise is no surface effect, Physics Letters 1969; 29 : 139 – 140.
- [Hooge'78] Hooge F.N and Vandamme L, Lattice scattering causes 1/f noise, Physics Letters A 1978; 6 (4) : p. 315 - 316
- [Hooge'94] Hooge F.N, 1/f noise sources, IEEE Transaction on Electron Devices 1994; 41 : 1926 - 1935.
- [Hooge'2003] Hooge F.N, On the additivity of generation recombination spectra. Part 2: 1/f noise, Physica B 2003; 336 : 236 - 251.
- [Hung'90] Hung K, Ping K, Chenming H, Cheng YC. A unified model for the flicker noise in metal-oxide-semiconductor field-effect transistors. IEEE Trans. Electron Devices 1990; 37 : 654 – 665.
- [Iniguez'1997] Iniguez B et al. Unified 1/f noise SOI MOSFET modelling circuit simulation, Elect. Let. 1997 ; 33 : 1781 - 1782.
- [IRTS'2004] International Technology Roadmap for Semiconductors, 2004
- [Jayaraman'89] Jayaraman R and Sodini CG. A 1/f noise technique to extract the oxide trap density near the conduction band edge of silicon. IEEE Trans. Electron Devices 1989; 36 : 1773 - 1782.
- [Jindal'78] Jindal R and van der Ziel A, Phonon fluctuation model for flicker noise in elemental semiconductors. Journal of Applied Physics 1978 ; 52 : 2884.
- [Jomaah'1994] Jommah J, Balestra F, Ghibaudo G. Experimental investigation and numerical simulation of low-frequency noise in thin film SOI MOSFETs. Phys Status Solidi A 1994 ;142 : 533 – 7.
- [Kampen'87] van Kampen N.G, in Noise in Physical Systems, World Scientific 1978, 3.
- [Katto'75] Katto H, Kamigaki Y, Itoh Y. MOSFET's with reduced low frequency 1/f noise. Jpn. J. Appl. Phys.1975; 44 : 243.
- [Kilby'59] Kilby J.S., US Patent 3138763, filed Feb. 1959, granted 1964.
- [Lartigau'2004] Lartigau I., Mesure et modelisation du bruit de fond électrique basse fréquence dans les transistors intégrés MOS pour l'explorartion des pièges et des défauts dans les technologies SOI récentes. Thèse de doctorat, Université de Caen Basse Normandie 2004.
- [Lee'2010] Lee C, Putra A.T, Shimizu K and Hiramoto T. Threshold Voltage Dependence of Threshold Voltage Variability in Intrinsic Channel Silicon-on-Insulator Metal–Oxide–Semiconductor Field-Effect Transistors with Ultrathin Buried Oxide. Jpn. J. Appl. Phys. 49 04DC01, 2010.
- [Li'92] Li X, Vandamme L. 1/f noise in series resistance of LDD MOSTs. Solid State Electron 1992 ; 35 : 1477.
- [Li'93] Li X, Vandamme L. An explanation of 1/f noise in LDD MOSFETs from the ohmic region to saturation. Solid State Electron 1993 ; 36 : 1515.
- [Lochtefeld'2002] Lochtefeld A, Djomehri I.J, Samudra G and Antoniadis D.A, New insights into carrier transport in nMOSFETs, IBM Journal of Research & Developments 2002, 46, p. 347.

- [Lukyanchikova'2000] Lukyanchikova N, Garba N, Petrichuk M, Simoen E and Claeys C, "Flicker noise in deep submicron nMOS transistors", *Solid State Electron* 2000 ; 44 : 1239 - 1245.
- [Lukyanchikova'2002] Lukyanchikova N. Sources of the Lorentzian Components in the Low-Frequency Noise Spectra of Submicron Spectra of Submicron Metal-Oxide-Semiconductor Field-Effect Transistors, *Noise and Fluctuations Control in Electronic Devices* (2002), edited by A. Balandin American Scientific, Riverside, CA 2002 : 201.
- [Lukyanchikova'2003] Lukyanchikova N, Petrichuk MV, Smolanka A, Garbar NP, Mercha A, Simoen E, et al. Electron Valence-band tunneling-induced Lorentzian noise in deep submicron silicon-on-insulator metal-oxide-semiconductor field-effect transistors. *J Appl Phys* 2003 ; 94 : 4461 – 9.
- [Lukyanchikova'2004] Lukyanchikova N, Garbar N, Smolanka A, Simoen E, Mercha A, Claeys C. Short-channel effects in the Lorentzian noise induced by the EVB tunneling in partially-depleted SOI MOSFETs. *Solid-State Electron* 2004; 48 : 747 – 58.
- [Lukyanchikova'2009] Lukyanchikova N, Garbar N, Kudina V, Smolanka a, Put S, Claeys C, Simoen E. On the 1/f noise of triple-gate field-effect transistors with high-k gate dielectric. *Applied Phys Lett* 2009 ; 95(3) : 032101 - 3.
- [Lopez'88] Agullo-Lopez F, Catlow C.R.A and Townsend P.D, *Point defects in materials*, Academic Press, 1988.
- [Maes'85] Maes H, Usmani S, Groeseneken G. Correlation between 1/f noise and interface state density at the Fermi level in field-effect transistors. *Journal of Applied Physics* 1985 ; 57 : 4811.
- [Matloubian'94] Matloubian M et al, "Low frequency noise in fully depleted SOI PMOSFET's", *IEEE Electron. Device Lett.* 1994 ; 41 (11) : 1977 - 1980.
- [Mercha'2003] Mercha A, Rafi JM, Simoen E, Claeys C. Linear kink effect induced by valence band electron tunneling in ultra-thin gate oxide bulk and SOI MOSFETs. *IEEE Trans Electron Dev* 2003 ; 50 : 1675 – 82.
- [McWhorter'57] McWhorter A.L *Semiconductor Surface Physics*. University of Pennsylvania, Philadelphia 1957, 207- 228.
- [Meisenheimer'96] Meisenheimer TM, Fleetwood DM. et al. Effect of radiation-induced charge on 1/f noise in MOS devices. *IEEE Transactions on Nuclear Science* 1990 ; 37 : 1696.
- [Min'2004] Min B, Devireddy S, Celik-Butler Z, Wang F, Zlotnicka A, Tseng H.-H and Tobin P. Low frequency noise in submicrometer MOSFET with HfO₂, HfO₂/Al₂O₃ and HfAlO_x gate stack. *IEEE Trans. Electron Devices* 2004 ; 51 (8) : 1315 - 1322.
- [Min'2005] Min B, Devireddy S, Celik-Butler Z, Shanware A, Green K, Chambers J, Visokay M.V and Colombo L. Low frequency noise characteristics of HfSiON gate-dielectric metal-oxide-semiconductor-field-effect transistors. *Appl. Phys Lett* 2005 ; 86 : 082192 - 01.
- [Momose'2003] Momose H. S, Ohguro T, Kojima K, Nakamura S.-I and Toyoshima Y. 1.5-nm gate oxide CMOS on (110) surface-oriented Si substrate, *IEEE Trans. Electron Devices* 2003; 50 : 1001 - 1008.
- [Monfray'2004] Monfray S, Skotnicki T, Fenouillet-Beranger C, Carriere N, Chanemougame D, Morand Y, Descombes S, Talbot A, Dutartre D, Jenny C, Mazoyer P, Palla R, Leverd F, Le Friec Y, Pantel R, Borel S, Louis D, Buffet N. "Emerging silicon-on-nothing (SON) devices technology", *Solid State Electron* 2004 ; 48 : 887 - 895.
- [Moore'65] G.E. Moore, Cramming more components onto integrated circuits, *Electronics* 1965 ; 38 : 8.
- [Moore'2003] G.E. Moore, No exponential is forever: but 'forever' can be delayed, *Solid-State Circuits Conference, 2003, Digest of Technical Paper. ISSCC. 2003 IEEE International* 2003 : 20 - 23.
- [Morshed'2007] Morshed T, Devireddy SP, Rahman MS, Çelik-Butler Z, Tseng H, Zlotnicka A, Shanware A, Green K, Chambers JJ, Visokay MR, Quevedo-Lopez MA and Colombo L. A new model for 1/f noise in high-k MOSFETs. in *IEDM Technical Digest* 2007 : 561 – 564.
- [Morshed'2008] Morshed T, Devireddy SP, Çelik-Butler Z, Shanware A, Green K, Chambers JJ, Visokay MR and Colombo L. Physics-based 1/f noise model for MOSFETs with nitrated high-k gate dielectrics. *Solid State Electron* 2008; 52 (5) : 711 – 724.
- [Mourrain'2000] Mourrain C, Cretu B, Ghibaudo G, Cottin P, New method for parameter extraction in deep submicrometer MOSFETs, In *Proceedings of IEEE/ICMTS (International Conference on Microelectronic Test Structures, Monterey, USA (March 2000)*

REFERENCES

- [Muller'86] Muller R.S and Kamins T.I. Device Electronics for Integrated Circuits, Wiley 1986.
- [Murray'91] Murray DC, Evans A, Carter JC. Shallow defects responsible for GR noise in MOSFETs. IEEE Trans. Electron Devices 1991 ; 38 :407.
- [Nicoletti'2012] Nicoletti T, Aoulaiche M, Almeida L.M, dos Santos S.D, Martino J.A, Veloso A, Jurczak M, Simoen E and Claeys C. "The Dependence of Retention Time on Gate Length in UTBOX FBRAM with Different Source/Drain Junction Engineering", IEEE Electron Devic Lett, 2012 ; 33 : 940 - 942.
- [Noyce'59] Noyce R.N. US Patent 2981877, filed July 1959, granted 1961.
- [Parton'2006] Parton E, Verheyen P. Strained silicon – the key to sub-45 nm CMOS. III–Vs review. Adv Semicond Mag 2006; 19 (3).
- [Ogura'2008] Ogura A, Yoshida T, Kosemura D, Kakemura Y, Takei M, Saito H, Shimura T, Koganesawa T, Hirotsawa I, Evaluation of super-critical thickness strained-Si on insulator (sc-SSOI) substrate, Solid State Electron 2008 ; 52 : 1845 - 1848.
- [Pretet'2002] Pretet J, Matsumoto T, Poiroux T, Cristoloveanu C, Gwoziecki R, Raynaud C Roveda A and Brut H, New mechanism of body charging in partially depleted SOI-MOSFETs with ultra-thin gate oxides, in t al. Proc ESSDERC 2002 : 515 - 518.
- [Reimbold'84] Reimbold G, Modified 1/f noise trapping noise theory and experiments in MOS transistors biased from weak to strong inversion – influence of interface states, IEEE Trans. Electron Devices 1984 ; 31 (9) :1190 - 1198.
- [Routoure'98] Routoure J.-M. Etude expérimentale du bruit excédentaire dans les procédés BiCMOS. Thèse de doctorat, Université de Caen Basse Normandie 1998.
- [Sah'64] Sah C. Theory of low-frequency generation noise in junction-gate field transistors, Proceeding of the IEEE 1964 ; 52 (7) : 795 - 814.
- [Scholz'92] Scholz F and Roach J. Low-frequency noise as a tool for characterization of near-band impurities in silicon. Solid State Electron 1992; 35 : 447.
- [Shim'2004] Shim J, Oh H, Choi H, Sakaguchi T, Kurino H, Koyanagi M. SiGe elevated source/drain structure and nickel silicide contact layer for sub 0.1 μm MOSFET fabrication. Applied Surface Science 2004 : 260 - 264.
- [Srinivasan'2005a] Srinivasan P, Simoen E, Pantisano L, Claeys C and Misra D. Impact of gate material on low-frequency noise of nMOSFETs with 1.5 nm SiON gate dielectric: testing the limits of the number fluctuation theory," in Proc. Int. Conf. Noise and Fluctuations (ICNF), 2005 : 231 - 234.
- [Srinivasan'2005b] Srinivasan P, Simoen E, Pantisano L, Claeys C and Misra D, Impact of high- κ gate stack material with metal gates on LF noise in n- and p-MOSFETs, Microelectron. Eng. 2005 ; 80 (6) : 226 - 229.
- [Srinivasan'2006] Srinivasan P, Simoen E, Rittersma Z.M, Deweerdt W, Pantisano L, Claeys C, Misra D, "Effect of nitridation on Low frequency (1/f) noise in n- and p-MOSFETs with HfO₂ gate dielectrics", Journal of the Electrochemical Society 2006 ; 153 : G819 - G825.
- [Simoen'93] Simoen E, Dierickx B, Claeys C. Hot-Carrier degradation of the Random Telegraph Signal amplitude in submicrometer Si MOSTs. Applied Physics A 1993 ; 57 : 283.
- [Simoen'96] Simoen E and Claeys C, The low-frequency noise behaviour of silicon-on-insulator technologies, Solid-State Electron. 1996 ; 39 : 949 - 960.
- [Simoen'99] Simoen E, Claeys C. On the flicker noise in submicron silicon MOSFETs. Solid State Electron 1999 ; 43(5) : 865 - 882.
- [Simoen'2003a] Simoen E, Mercha A, Claeys C, Lukyanchikova N. Low-frequency noise in silicon-on-insulator devices and technologies. Solid-State Electron 2007; 51 : 148 – 69.
- [Simoen'2003b] Simoen E, Mercha A, Rafi JM, Claeys C, Lukyanchikova N, Garbar N. Explaining the parameters of the electron valence band tunnelling related Lorentzian noise in fully depleted SOI MOSFETs. IEEE Electron Dev Lett 2003; 24 : 751– 4.
- [Simoen'2004] Simoen E, Mercha A, Pantisano L, Claeys C and Young E, Low frequency noise behavior of SiO₂/HfO₂ dual-layer gate dielectric nMOSFETs with different interfacial oxide thickness. IEEE Transaction on Electron Devices 2004; 51 (5) : 780 - 784.

-
- [Simoen'2006] Simoen E, Claeys C. Impact of strain-engineering on the low-frequency noise performance of advanced MOSFETs. In: ICSICT'2006 proceeding; 2006 : 120 – 3.
- [Strobel'2013] Strobel V, Cretu B, dos Santos S. D, Simoen E, Routoure J.-M, Carin R, Aoulaiche M, Jurczak M, Martino J.A and Claeys C. Low frequency noise assessment in advanced UTBOX SOI n-channel MOSFETs. In Proceedings of EUROSUI 2013 Conference, Paris, 2013.
- [Surdin'39] Surdin M. Fluctuations de courant thermionique et le “flicker effect”. Journal de Physique et le Radium 1939 ;10 (4) :188 – 189.
- [Surya'86] Surya C and Hsiang T. Theory and experiment on the $1/f^g$ noise in p-channel metal-oxide semiconductor field effect transistors at low drain bias. Physical Reviews B 1986, vol 33 (7) pp.4898-4905.
- [Sze'81] Sze S.M. Physics of semiconductor devices, Wiley, 2nd edition 1981/
- [Sun'80] Sun S.C and Plummer J.D. Electron Mobility in inversion and accumulation layers on thermally oxidized surfaces. IEEE Transaction on Electron Devices 1980; 27 (8) : 1497 - 1508.
- [Talmat'2012] Talmat R, Achour H, Cretu B, Routoure J.-M, Benfdila A, Carin R, Collaert N, Mercha A, Simoen E and Claeys C, Low Frequency Noise Characterization in n channel FinFETs. Solid State Electron 2012, 70 : 20 - 26.
- [Tokuda'79] Tokuda Y, Shimizu and Usami A, Studies of neutron-produced defects in silicon by deep-level transient spectroscopy, Jpn. J. Appl. Phys., 1979, 18 (2), 309-315.
- [Valenza'2004] Valenza M, Hoffmann A, Sodini D, Laigle A, Martinez F and Rigaud D. Overview of the impact of downscaling technology on $1/f$ noise in p-MOSFETs to 90nm. IEE Proc.- Circuits Devices Syst. 2004 ; 151 : 102 - 110.
- [Vandamme'94] Vandamme L.K.J, Li X and Rigaud D, $1/f$ noise in MOS devices, mobility or number fluctuations?, IEEE Trans. Electron Devices 1994 ; 41 : 1936 - 1945.
- [Vandamme'99] Vandamme E. P and Vandamme L. K. J. Unsolved problems on $1/f$ noise in MOSFETs and possible solutions, in Proc. Unsolved Problems of Noise and fluctuations (UPoN), 1999 : 395 - 400.
- [Vandamme'2000] Vandamme E. P and Vandamme L. K. J. Critical discussion on unified $1/f$ noise models for MOSFETs, IEEE Trans. Electron Devices 2000; 47 : 2146 - 2152.
- [Vliet'2003] van Vliet C.M, Electronic noise due to multiple trap levels in homogeneous solids and in space-charge layers, Journal of Applied Physics 2003, 93, 6068-6077.
- [Wei'2009] Wei C, Xiong Y. Investigation of Low-Frequency Noise in N-Channel FinFETs From Weak to Strong Inversion. IEEE Trans Electron Devices 2009 ; 56 (11) : 2800 – 2810.
- [Weissman'88] Weissman M.B, $1/f$ noise and other slow, nonexponential kinetics in condensed matter, Rev. Mod. Phys. 1988; 60 : 537 - 571.
- [World'2013] World Semiconductor Trade Statistics'2013