



**HAL**  
open science

# Conception d'un circuit intégré en SiC appliqué aux convertisseurs de moyenne puissance

Jean-François Mognotte

► **To cite this version:**

Jean-François Mognotte. Conception d'un circuit intégré en SiC appliqué aux convertisseurs de moyenne puissance. Electronique. INSA de Lyon, 2014. Français. NNT : 2014ISAL0004 . tel-01077715

**HAL Id: tel-01077715**

**<https://theses.hal.science/tel-01077715>**

Submitted on 26 Oct 2014

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

INSA DE LYON

N° d'ordre : 2014-ISAL-0004

## **Thèse**

Présentée à

L'Institut National des Sciences Appliquées de Lyon

En vue d'obtenir

LE GRADE DE DOCTEUR

ECOLE DOCTORALE : ELECTRONIQUE ELECTROTECHNIQUE AUTOMATIQUE

FORMATION DOCTORALE : GENIE ELECTRIQUE

par

**Jean-François MOGNIOTTE**  
Ingénieur de l'INSA de Lyon

**Conception d'un circuit intégré en SiC appliqué aux convertisseurs de  
moyenne puissance**

Présentée le 07 Janvier 2014 devant le jury composé de Messieurs :

Pr. Philippe GODIGNON,	Président
Pr. Frédéric MORANCHO,	Rapporteur
CR. Jean-Christophe CREBIER,	Rapporteur
Dr. Mathieu BERVAS,	Examineur
Pr. Dominique PLANSON,	Directeur de thèse
Dr. Dominique TOURNIER,	Co-directeur de thèse

## INSA Direction de la Recherche - Ecoles Doctorales - Quinquennal 2011-2015

SIGLE	ECOLE DOCTORALE	NOM ET COORDONNEES DU RESPONSABLE
<b>CHIMIE</b>	<b>CHIMIE DE LYON</b> <a href="http://www.edchimie-lyon.fr">http://www.edchimie-lyon.fr</a>  Sec : Renée EL MELHEM Bat Blaise Pascal 3 <sup>e</sup> étage Insa : R. GOURDON	<b>M. Jean Marc LANCELIN</b> Université de Lyon – Collège Doctoral Bât ESCPE 43 bd du 11 novembre 1918 69622 VILLEURBANNE Cedex Tél : 04.72.43 13 95 <a href="mailto:directeur@edchimie-lyon.fr">directeur@edchimie-lyon.fr</a>
<b>E.E.A.</b>	<b>ELECTRONIQUE, ELECTROTECHNIQUE, AUTOMATIQUE</b> <a href="http://edeea.ec-lyon.fr">http://edeea.ec-lyon.fr</a>  Secrétariat : M.C. HAVGOUDOUKIAN <a href="mailto:eea@ec-lyon.fr">eea@ec-lyon.fr</a>	<b>M. Gérard SCORLETTI</b> Ecole Centrale de Lyon 36 avenue Guy de Collongue 69134 ECULLY Tél : 04.72.18 60.97 Fax : 04 78 43 37 17 <a href="mailto:Gerard.scorletti@ec-lyon.fr">Gerard.scorletti@ec-lyon.fr</a>
<b>E2M2</b>	<b>EVOLUTION, ECOSYSTEME, MICROBIOLOGIE, MODELISATION</b> <a href="http://e2m2.universite-lyon.fr">http://e2m2.universite-lyon.fr</a>  Insa : H. CHARLES	<b>Mme Gudrun BORNETTE</b> CNRS UMR 5023 LEHNA Université Claude Bernard Lyon 1 Bât Forel 43 bd du 11 novembre 1918 69622 VILLEURBANNE Cédex Tél : 06.07.53.89.13 <a href="mailto:e2m2@univ-lyon1.fr">e2m2@univ-lyon1.fr</a>
<b>EDISS</b>	<b>INTERDISCIPLINAIRE SCIENCES-SANTE</b> <a href="http://www.ediss-lyon.fr">http://www.ediss-lyon.fr</a>  Sec : Insa : M. LAGARDE	<b>Mme Emmanuelle CANET-SOULAS</b> INSERM U1060, CarMeN lab, Univ. Lyon 1 Bâtiment IMBL 11 avenue Jean Capelle INSA de Lyon 696621 Villeurbanne Tél : 04.72.68.49.09 Fax : 04 72 68 49 16 <a href="mailto:Emmanuelle.canet@univ-lyon1.fr">Emmanuelle.canet@univ-lyon1.fr</a>
<b>INFOMATHS</b>	<b>INFORMATIQUE ET MATHÉMATIQUES</b> <a href="http://infomaths.univ-lyon1.fr">http://infomaths.univ-lyon1.fr</a>  Sec : Renée EL MELHEM Bat Blaise Pascal 3 <sup>e</sup> étage <a href="mailto:infomaths@univ-lyon1.fr">infomaths@univ-lyon1.fr</a>	<b>Mme Sylvie CALABRETTO</b> LIRIS – INSA de Lyon Bat Blaise Pascal 7 avenue Jean Capelle 69622 VILLEURBANNE Cedex Tél : 04.72. 43. 80. 46 Fax 04 72 43 16 87 <a href="mailto:Sylvie.calabretto@insa-lyon.fr">Sylvie.calabretto@insa-lyon.fr</a>
<b>Matériaux</b>	<b>MATERIAUX DE LYON</b> <a href="http://ed34.universite-lyon.fr">http://ed34.universite-lyon.fr</a>  Secrétariat : M. LABOUNE PM : 71.70 –Fax : 87.12 Bat. Saint Exupéry <a href="mailto:Ed.materiaux@insa-lyon.fr">Ed.materiaux@insa-lyon.fr</a>	<b>M. Jean-Yves BUFFIERE</b> INSA de Lyon MATEIS Bâtiment Saint Exupéry 7 avenue Jean Capelle 69621 VILLEURBANNE Cedex Tél : 04.72.43 83 18 Fax 04 72 43 85 28 <a href="mailto:Jean-yves.buffiere@insa-lyon.fr">Jean-yves.buffiere@insa-lyon.fr</a>
<b>MEGA</b>	<b>MECANIQUE, ENERGETIQUE, GENIE CIVIL, ACOUSTIQUE</b> <a href="http://mega.universite-lyon.fr">http://mega.universite-lyon.fr</a>  Secrétariat : M. LABOUNE PM : 71.70 –Fax : 87.12 Bat. Saint Exupéry <a href="mailto:mega@insa-lyon.fr">mega@insa-lyon.fr</a>	<b>M. Philippe BOISSE</b> INSA de Lyon Laboratoire LAMCOS Bâtiment Jacquard 25 bis avenue Jean Capelle 69621 VILLEURBANNE Cedex Tél : 04.72. 43.71.70 Fax : 04 72 43 72 37 <a href="mailto:Philippe.boisse@insa-lyon.fr">Philippe.boisse@insa-lyon.fr</a>
<b>ScSo</b>	<b>ScSo*</b> <a href="http://recherche.univ-lyon2.fr/scso/">http://recherche.univ-lyon2.fr/scso/</a>  Sec : Viviane POLSINELLI Brigitte DUBOIS Insa : J.Y. TOUSSAINT	<b>M. OBADIA Lionel</b> Université Lyon 2 86 rue Pasteur 69365 LYON Cedex 07 Tél : 04.78.77.23.86 Fax : 04.37.28.04.48 <a href="mailto:Lionel.Obadia@univ-lyon2.fr">Lionel.Obadia@univ-lyon2.fr</a>

\*ScSo : Histoire, Géographie, Aménagement, Urbanisme, Archéologie, Science politique, Sociologie, Anthropologie

---

*A ma famille, à mes parents et à Maryne*

*"Le Seigneur sera avec toi partout où tu iras." (Josué 1.9)*



---

# Résumé

L'émergence d'interrupteurs de puissance en SiC permet d'envisager des convertisseurs de puissance capables de fonctionner au sein des environnements sévères tels que la haute tension ( $> 10 \text{ kV}$ ) et la haute température ( $> 300 \text{ °C}$ ). Aucune solution de commande spécifique à ces environnements n'existe pour le moment. Le développement de fonctions élémentaires en SiC (comparateur, oscillateur) est une étape préliminaire à la réalisation d'un premier démonstrateur. Plusieurs laboratoires ont développé des fonctions basées sur des transistors bipolaires, MOSFETs ou JFETs. Cependant les recherches ont principalement portées sur la conception de fonctions logiques et non sur l'intégration de drivers de puissance. Le laboratoire AMPERE (INSA de Lyon) et le Centre National de Microélectronique de Barcelone (Espagne) ont conçu un MESFET latéral double grille en SiC. Ce composant élémentaire sera à la base des différentes fonctions intégrées envisagées.

L'objectif de ces recherches est la réalisation d'un convertisseur élévateur de tension "boost" monolithique et de sa commande en SiC. La démarche scientifique a consisté à définir dans un premier temps un modèle de simulation SPICE du MESFET SiC à partir de caractérisations électriques statique et dynamique. En se basant sur ce modèle, des circuits analogiques tels que des amplificateurs, oscillateurs, paires différentielles, trigger de Schmitt ont été conçus pour élaborer le circuit de commande (driver). La conception de ces fonctions s'avère complexe puisqu'il n'existe pas de MESFETs de type P et une polarisation négative de  $-15 \text{ V}$  est nécessaire au blocage des MESFETs SiC. Une structure constituée d'un pont redresseur, d'un boost régulé avec sa commande basée sur ces différentes fonctions a été réalisée et simulée sous SPICE.

L'ensemble de cette structure a été fabriqué au CNM de Barcelone sur un même substrat SiC semi-isolant. L'intégration des éléments passifs n'a pas été envisagée de façon monolithique (mais pourrait être considérée pour les inductances et capacités dans la mesure où les valeurs des composants intégrés sont compatibles avec les processus de réalisation). Le convertisseur a été dimensionné pour délivrer une de puissance de  $2.2 \text{ W}$  pour une surface de  $0.27 \text{ cm}^2$ , soit  $8.14 \text{ W/cm}^2$ .

Les caractérisations électriques des différents composants latéraux (résistances, diodes, transistors) valident la conception, le dimensionnement et le procédé de fabrication de ces structures élémentaires, mais aussi de la majorité des fonctions analogiques.

Les résultats obtenus permettent d'envisager la réalisation d'un driver monolithique de composants Grand Gap. La perspective des travaux porte désormais sur la réalisation complète du démonstrateur et sur l'étude de son comportement en environnement sévère notamment en haute température ( $> 300 \text{ °C}$ ). Des analyses des mécanismes de dégradation et de fiabilité des convertisseurs intégrés devront alors être envisagées.



---

# Abstract

The new SiC power switches is able to consider power converters, which could operate in harsh environments as in "High Voltage" ( $> 10\text{ kV}$ ) and High Temperature ( $> 300\text{ °C}$ ). Currently, there are no specific solutions for controlling these devices in harsh environments. The development of elementary functions in SiC is a preliminary step toward the realization of a first demonstrator for these fields of applications. AMPERE laboratory (France) and the National Center of Microelectronics of Barcelona (Spain) have elaborated an elementary electrical compound, which is a lateral dual gate MESFET in Silicon Carbide (SiC).

The purpose of this research is to conceive a monolithic power converter and its driver in SiC. The scientific approach has consisted of defining in a first time a SPICE model of the elementary MESFET from electric characterizations (fitting). Analog functions as : comparator, ring oscillator, Schmitt's trigger ... have been designed thanks to this SPICE's model. A device based on a bridge rectifier, a regulated "boost" and its driver has been established and simulated with the SPICE Simulator. The converter has been sized for supplying 2.2 W for an area of  $0.27\text{ cm}^2$ .

This device has been fabricated at CNM of Barcelona on semi-insulating SiC substrate. The electrical characterizations of the lateral compounds (resistors, diodes, MESFETs) checked the design, the "sizing" and the manufacturing process of these elementary devices and analog functions.

The experimental results is able to considerer a monolithic driver in Wide Band Gap. The prospects of this research is now to realize a fully integrated power converter in SiC and study its behavior in harsh environments (especially in high temperature  $> 300\text{ °C}$ ). Analysis of degradation mechanisms and reliability of the power converters would be so considerer in the future.





---

# Remerciements

Je tiens en tout premier lieu exprimer mes remerciements M. MORANCHO et M. CREBIER pour avoir accepté de rapporter ce travail de recherche.

Je tiens également à remercier le Centre Nationale de Microélectronique de Barcelone particulièrement José MILLAN et Philippe GODIGNON pour le support technique apporté durant cette thèse ; ainsi que la Direction Générale de l'Armement pour son soutien financier.

Ces travaux de recherche se sont déroulés au laboratoire AMPERE de l'INSA de Lyon sous la co-direction de D. PLANSON et de D. TOURNIER. J'adresse mes remerciement à l'ensemble du personnel notamment Abderrahim, Aude, Benoît, Bruno, Christian, Christophe, Cyril, Farah, Florent, Florian, Gabriel, Hervé, Jean-Yves, Khalil, Luong Viet, Maher, Marie-Guy, Martin, Mihaï, Nicolas, Raphaël, Rémy, Sandrine, Simon, Stanislas, Thibaut, Thomas et Xavier.

Je remercie également le personnel enseignant des départements Génie Electrique et Telecom, Services et Usages de l'INSA de Lyon particulièrement Chantal, François, Olivier, Pascal et Thomas.

J'exprime ma plus grande gratitude et reconnaissance à Olivier BREVET et Jean-Pierre CHANTE sans qui tout cela ne serait peut-être jamais arrivé.

Je tiens également à remercier Pascal BEVILACQUA pour son aide et ses conseils techniques apportés au cours de cette thèse.

Je remercie aussi Pierre BROSELARD pour ses conseils, sa gentillesse, sa disponibilité et le partage de son expérience.

J'adresse mes remerciements à Dominique PLANSON, qui fut mon directeur de thèse. Je le remercie notamment pour sa bonne humeur, sa gentillesse et ses grandes qualités d'encadrement.

Je veux particulièrement remercier mon principal encadrant Dominique TOURNIER pour sa grande disponibilité, son soutien morale et technique, ses nombreux conseils et surtout sa confiance accordée.

Je remercie ma famille et mes amis pour leur soutien constant. Je pense particulièrement à Alain, Amandine, Anthony, Asselin, Carine, Claire, David, Daniel, Eric, Karine, Laurine, Jean-Baptiste, Marie-Antoinette, Marie-Emmanuelle, Michel, Nicole, Patrick, Pauline, Raphaël, Stéphane, Thérèse, Valérie et Vincent.

Enfin, je tiens remercier du plus profond du coeur mes parents et Maryne pour avoir été toujours présents dans les bons moments comme dans les plus difficiles au cours de ces trois années. MERCI !

---

# Lexique

BJT : Bipolar Junction Transistor (Transistor bipolaire)

C : Diamant

CEM : Compatibilité électromagnétique

GaAs : Arseniure de Gallium

GaN : Nitrure de Gallium

IPM : Intelligent Power Module (Module de Puissance Intelligent)

HEMT : High Electron Mobility Transistor

JFET : Junction Field Effect Transistor

MESFET : Metal Semiconductor Field Effect Transistor

MOSFET : Metal Oxide Semiconductor Field Effect Transistor

$Si$  : Silicium

$SiC$  : Carbure de silicium

$V_{di}$  : Potentiel interne d'un semi-conducteur

$V_p$  : Tension de pincement (Pinch-Off)

$V_t$  : Potentiel thermodynamique. Sa valeur est de l'ordre de 26 mV.

$V_{th}$  : Tension de seuil (Threshold)

ZCE : Zone de Charge d'Espace



---

---

# Table des matières

Résumé . . . . .	v
Abstract . . . . .	vii
Remerciements . . . . .	ix
Lexique . . . . .	xi
Table des matières . . . . .	xiii
<b>Introduction</b>	<b>1</b>
<b>1 LES SYSTÈMES INTÉGRÉS DE PUISSANCE : ENJEUX ET ÉTAT DE L'ART</b>	<b>5</b>
1 Les circuits de commande des interrupteurs de puissance . . . . .	5
1.1 Constitution et rôle d'un circuit de commande pour les interrupteurs de puissance . . . . .	6
1.2 L'isolation du circuit de commande dans la chaîne de puissance . . . . .	7
1.3 Les principales solutions d'isolation pour les systèmes de puissance . . . . .	9
1.4 La commande optique des composants de puissance . . . . .	12
1.5 Conclusion . . . . .	14
2 Vers l'intégration d'une chaîne de commande d'interrupteur de puissance . . . . .	15
2.1 Les Modules de Puissance Intelligents (IPMs) . . . . .	16
2.2 Les circuits intégrés de puissance . . . . .	21
2.3 Les technologies d'isolation des circuits de puissance monolithique . . . . .	22
2.4 Intégration des interrupteurs dans les circuits intégrés de puissance . . . . .	24
2.5 Performances et limitations des solutions actuellement proposées . . . . .	26
2.6 Conclusion sur les circuits intégrés de puissance . . . . .	29
3 Les solutions en matériaux Grand Gap . . . . .	29
3.1 Les avantages procurés par les matériaux Grand Gap . . . . .	29
3.2 Les circuits intégrés en technologie Grand-Gap . . . . .	33
3.3 Bilan sur les différentes technologies de circuits intégrés SiC . . . . .	38
3.4 Vers les premiers convertisseurs de puissance intégrés en SiC . . . . .	40
3.5 Une solution pour l'électronique haute température . . . . .	44
4 Conclusion du chapitre . . . . .	47
<b>2 VERS LA CONCEPTION D'UN CIRCUIT INTÉGRÉ DE PUISSANCE EN SiC</b>	<b>49</b>
1 Introduction . . . . .	49
1.1 Présentation de la méthodologie et de la démarche de recherche . . . . .	51
2 Le transistor MESFET : fonctionnement et modélisation . . . . .	54
3 Le MESFET double grille élémentaire . . . . .	58
3.1 Présentation du composant . . . . .	58
4 Caractérisations des différents transistors MESFETs (LOT1) . . . . .	60

4.1	Présentation du champ élémentaire et des différentes architectures de MESFETs . . . . .	61
4.2	Les transistors élémentaires . . . . .	61
4.3	Premières briques de circuits intégrés : mise en parallèle de structures . . . . .	66
4.4	Evaluation des valeurs des capacités inter-électrodes du MESFET double grille (transistor élémentaire) . . . . .	70
5	Modélisation du transistor MESFET . . . . .	73
5.1	Présentation et définition du principe de modélisation d'un composant semi-conducteur . . . . .	73
5.2	Extraction des paramètres . . . . .	76
6	Vers un aspect système : les premières fonctions hybrides . . . . .	81
6.1	Dimensionnement et simulation d'un oscillateur en anneau . . . . .	82
6.2	Caractérisations expérimentales de l'oscillateur en anneau du LOT 1 . . . . .	84
6.3	Mise en oeuvre de la commande d'un convertisseur de puissance à base de composants SiC . . . . .	86
7	Conclusion du chapitre . . . . .	89
<b>3</b>	<b>ETUDE ET DIMENSIONNEMENT D'UN DÉMONSTRATEUR SiC</b>	<b>91</b>
1	Introduction . . . . .	91
2	Cahier des charges du convertisseur de puissance intégré . . . . .	92
2.1	Définition de l'architecture du démonstrateur SiC . . . . .	92
2.2	Dimensionnement du convertisseur de puissance "boost" . . . . .	92
3	Dimensionnement des composants de puissance . . . . .	94
3.1	La diode de puissance $D_1$ . . . . .	94
3.2	Le MESFET de puissance $M_1$ . . . . .	95
3.3	Résultats prévisionnels . . . . .	98
4	Dimensionnement des fonctions du circuit de commande . . . . .	99
4.1	Le circuit de commande du convertisseur de puissance . . . . .	99
4.2	Conception des fonctions analogiques élémentaires . . . . .	102
4.3	Réalisation du circuit de commande à base de MESFETs . . . . .	114
4.4	Application à la régulation du convertisseur : simulations et analyses . . . . .	114
4.5	Conclusion sur le principe de régulation appliquée au système de puissance . . . . .	121
5	Estimation de la quantité d'énergie nécessaire au convertisseur de puissance et à sa commande . . . . .	122
5.1	Bilan en vue de la réalisation du convertisseur de puissance intégré . . . . .	122
5.2	Solutions envisagées . . . . .	122
5.3	Evaluation d'une solution d'alimentation optique . . . . .	123
5.4	Choix d'une solution magnétique . . . . .	134
6	Conclusion du chapitre . . . . .	134
<b>4</b>	<b>CARACTÉRISATION DES CIRCUITS INTÉGRÉS EN SiC</b>	<b>137</b>
1	Elaboration d'une technologie de circuits intégrés en SiC à base de MESFETS double grille . . . . .	137
2	Processus de fabrication, composants et fonctions réalisés . . . . .	139
2.1	Présentation du process-flow . . . . .	139
2.2	Présentation et description du lot dédié aux circuits intégrés . . . . .	141
3	Caractérisation des composants et des fonctions élémentaires . . . . .	142

3.1	Présentation de la démarche de caractérisation . . . . .	142
3.2	Caractérisation des structures de test . . . . .	145
3.3	Les différentes diodes latérales SiC . . . . .	154
3.4	Les transistors MESFETs . . . . .	162
3.5	Synthèse sur la réalisation des différents MESFETs . . . . .	178
3.6	Conclusion sur la fabrication des composants élémentaires latéraux en SiC . . . . .	185
4	Caractérisation de fonctions intégrées en SiC . . . . .	185
4.1	Fabrication et caractérisation de la fonction élémentaire : amplificateur source commune . . . . .	187
4.2	Fabrication et caractérisation de la fonction élémentaire : oscillateur en anneau . . . . .	189
4.3	Le circuit comparateur . . . . .	193
4.4	Synthèse et conclusion des fonctions intégrées en SiC . . . . .	199
5	Conclusion du chapitre . . . . .	200
<b>Conclusion et perspectives</b>		<b>203</b>
<b>Annexes</b>		<b>209</b>
<b>VERS UNE SOLUTION D'ISOLATION OPTIQUE GRAND GAP</b>		<b>209</b>
1	Les alimentations optiques . . . . .	209
1.1	Présentation . . . . .	209
1.2	Quelques démonstrateurs : . . . . .	210
1.3	Conclusion . . . . .	212
2	Les matériaux optiques de type Grand Gap . . . . .	213
2.1	Conclusion . . . . .	215
3	ELABORATION D'UNE CHAÎNE DE TRANSMISSION OPTIQUE GRAND GAP . . . . .	215
3.1	Conclusion . . . . .	218
<b>RÉALISATION DE COMPOSANTS ET DE FONCTIONS INTÉGRÉS EN SiC</b>		<b>219</b>
4	Les modèles SPICE . . . . .	219
4.1	Le modèle SPICE du MESFET de type signal . . . . .	219
4.2	Le modèle SPICE du MESFET de type buffer . . . . .	219
4.3	Le modèle SPICE du MESFET de type puissance . . . . .	219
4.4	L'oscillateur en anneau hybride . . . . .	221
4.5	Le convertisseur de puissance . . . . .	222
5	Les composants élémentaires en SiC . . . . .	223
5.1	Les résistances . . . . .	223
5.2	Les diodes . . . . .	227
5.3	Les MESFETs . . . . .	232
5.4	Les S-MESFETs . . . . .	235
<b>Bibliographie</b>		<b>245</b>





# Introduction

Les enjeux socio-économiques liés à la maîtrise de l'énergie conduisent les entreprises et les laboratoires à mener des travaux de recherches visant à l'optimisation des dispositifs existants et à l'élaboration de solutions innovantes (ex : avion plus électrique, projet SUPERGRID ...). Un des principaux défis consiste à améliorer l'efficacité énergétique des systèmes de puissance.

Les performances proposées par les composants de puissance en silicium sont limitées par la physique de ce matériau [BAL06]. Des semi-conducteurs dit à "Grand Gap" présentent des propriétés supérieures au silicium notamment en terme de résistance à l'état passant ( $R_{on}$ ) [SOO04]. Le 4H-SiC présente par exemple une résistance à l'état passant  $R_{on}$  de  $0.3 \text{ m}\Omega.\text{cm}^2$  à 800 V contre  $100 \text{ m}\Omega.\text{cm}^2$  pour celle du silicium. L'utilisation de ces matériaux à Grand Gap est une solution apte à répondre aux besoins de systèmes actuels comme peut le montrer la figure 1. De nouveaux composants doivent permettre de fournir une solution à des applications à fort potentiel (automobile, domotique, réseau SMART- GRID...) dans les domaines aussi stratégiques que le transport et la distribution d'énergie [HUBD08] [BEH11] [PZDea10].

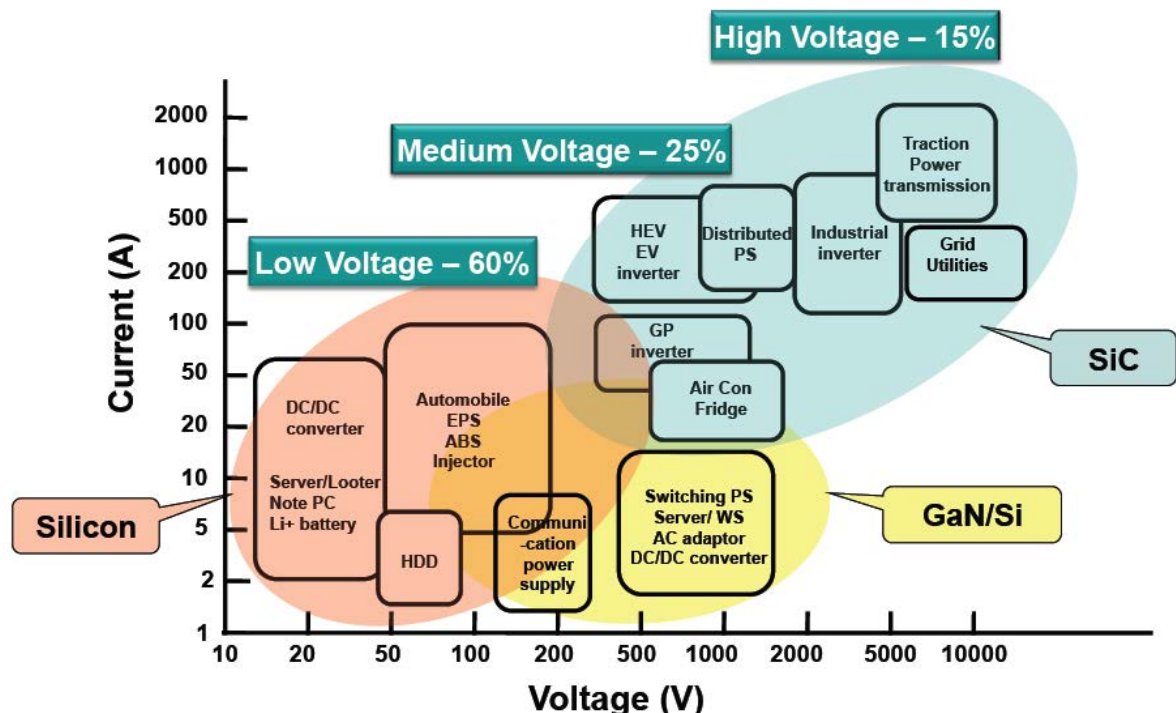


FIGURE 1 – Représentation des matériaux semi-conducteurs utilisés en fonction des gammes de courants et de tensions des applications de puissance [BEH11].

Dans cette perspective, le besoin de composants de puissance et de leur électronique de commande associée en technologie Grand Gap est nécessaire. Ceci s'est résolu pour les modules de puissance en silicium par le développement d'IPMs (Intelligent Power Module), mais cette technologie reste hybride et non monolithique. De plus, les IPMs développés ne permettent pas d'envisager des fonctionnements au sein des environnements sévères tels que la haute tension ( $> 10$  kV) et la haute température ( $> 300$  °C). Le développement de solutions équivalentes en matériaux "Grand Gap" pourrait conférer de nouvelles propriétés aux applications soumises à des environnements contraignants tels que l'aérospatial ou la prospection souterraine [TOU07], [TOU08]. Ces dispositifs pourraient notamment conduire à l'amélioration des performances énergétiques et de la durée de vie de ces systèmes. Des travaux sont actuellement menés dans cette perspective. Ceci se constate dans les études effectuées par exemple à la NASA avec des programmes de recherche sur les circuits intégrés en SiC [NKP09]. La mise au point de tels dispositifs nécessiterait, en contrepartie, l'établissement de solutions d'isolation galvanique spécifiques aux environnements sévères.

Le laboratoire AMPERE mène des travaux sur les dispositifs de puissance en vue d'optimiser les performances des convertisseurs statiques. Les composants de puissance en SiC arrivent à maturité et commencent à être commercialisés (diodes 600 V et 1200 V). Le laboratoire AMPERE et l'Institut Saint-Louis (ISL) développent depuis 1998 une technologie de composants de type thyristor pour des applications impulsives. Ces travaux ont abouti avec la thèse de N. DHEILLY (entre 2007 et 2011) à la conception d'un interrupteur de puissance à commande optique pour des applications impulsives et à la réalisation d'un thyristor de puissance haute-tension (6 kV) en SiC amorçable à partir de radiations UV.

Les activités du laboratoire portent sur le développement de circuits de commande fait partiellement, voire entièrement en SiC en vue d'élaborer des systèmes de puissance autonomes pour les applications haute tension et haute température. Deux programmes ANR ont porté sur le développement de circuits de commande de JFETs (driver) capables de fonctionner à haute température (ANR-JFETSB et ANR-CO-THT). Une thèse a porté (dans le cadre du projet CO-TECH) sur la réalisation d'un circuit de commande en technologie SOI pour des applications fonctionnant à 1.2 kV et 200 °C [FAL12]. Le laboratoire développe également des composants fonctionnant à haute tension tels que des JFETs de 3.3 kV [CHE12] et des diodes de 10 kV [HUA11].

L'objectif des recherches entreprises est la conception d'un circuit de commande spécifique aux environnements sévères capable de déclencher des interrupteurs de forte puissance. Les démonstrateurs ont été réalisés en collaboration avec le CNM (Centre National de Micro-électronique de Barcelone) sur des substrats SiC sur semi-isolant dans le cadre des activités du LIA WIDE-Lab<sup>1</sup> et dans la continuité des activités du laboratoire, avec le soutien de la Direction Générale de l'Armement (DGA).

Un état de l'art sur la commande des interrupteurs de puissance sera exposé au cours du premier chapitre de ce manuscrit. Cette bibliographie permettra d'évaluer les principales caractéristiques de ces systèmes de commande, de présenter les solutions actuellement employées et d'estimer leurs limites technologiques. Les bénéfices apportés par les matériaux Grand Gap seront par la suite positionnés. Une synthèse des différentes technologies en cours de développe-

---

1. Laboratoire International Associé WIDE-Lab : <http://wide-lab.eu>

---

ment permettra d'évaluer leurs performances, leurs contraintes et leurs domaines d'application dans la perspective d'établir une solution potentiellement réalisable avec les moyens du laboratoire AMPERE.

Le chapitre 2 débutera par le positionnement de la solution envisagée par rapport aux activités du laboratoire. L'élaboration d'un tel dispositif implique la mise en place de méthodologies de travail et le développement d'outils spécifiques pour atteindre les objectifs visés. Un des principaux objectifs dans le cadre de cette thèse est d'établir une démarche scientifique en vue de la réalisation d'un circuit de commande en matériaux Grand Gap destiné à opérer dans des environnements sévères. Cette démarche se déroulera en plusieurs phases. La première partie des recherches sera présentée au chapitre 2. Elle consistera à démontrer la faisabilité d'un système de commande constitué par des fonctions analogiques hybrides basées sur des composants MESFETs SiC en mettant au point une méthodologie de conception et de modélisation (embryon d'un "design-kit").

La seconde phase des recherches entreprises visera à réaliser un convertisseur de puissance comportant des interrupteurs de puissance intégrés avec leur circuit de commande rapproché. La conception et le dimensionnement du système de puissance envisagée seront présentés au cours du chapitre 3. La réalisation du démonstrateur nécessitera l'établissement de plusieurs composants élémentaires tels que des résistances, des diodes et des transistors. Ces différentes structures serviront par la suite à la réalisation de diverses fonctions formant le circuit de commande du système de puissance visé.

Enfin, le dernier chapitre de ce manuscrit portera sur la fabrication et la caractérisation des composants et des fonctions élaborés au cours du chapitre 3. Les résultats expérimentaux obtenus suite à la fabrication des composants élémentaires tels que les résistances, les diodes et les MESFETs seront dans un premier temps présentés. Cela sera par la suite suivi par l'évaluation des performances des premières fonctions intégrées réalisées (ex : oscillateur en anneau, comparateur). Les informations obtenues permettront de conclure sur le fonctionnement de ces différentes entités et sur les améliorations à apporter en vue de leur optimisation.

La conclusion de ce manuscrit permettra de résumer les verrous technologiques et les challenges à relever en vue de la réalisation d'un dispositif de commande pour les convertisseurs de puissance en matériaux Grand Gap, afin ensuite, d'envisager la réalisation d'un système de puissance monolithique à plus long terme.



---

# Chapitre 1

## LES SYSTÈMES INTÉGRÉS DE PUISSANCE : ENJEUX ET ÉTAT DE L'ART

### 1 Les circuits de commande des interrupteurs de puissance

L'électronique de puissance est définie selon J. LAROCHE comme une discipline dont l'objet consiste à modifier la "présentation" de l'énergie électrique dans le but de l'utiliser plus rationnellement. Cette gestion de l'énergie est typiquement réalisée au moyen de convertisseurs de puissance. La fonction principale de ce dispositif consiste à transférer l'énergie d'une source électrique à une autre. Le convertisseur de puissance a pour action de modifier la nature des grandeurs électriques (ex : alimentation d'un moteur à courant continu à partir d'un réseau alternatif) ou de régler la puissance d'un système (ex : contrôle d'un moteur à courant continu par un variateur de vitesse) [LAR05]. Des interrupteurs de puissance (généralement des semi-conducteurs) permettent ainsi d'établir et de rompre périodiquement une connexion entre ces deux sources d'énergie. Les composants à semi-conducteur de puissance ont permis l'obtention d'interrupteurs capables de supporter de forte tension et d'établir le passage de courant élevé. Le développement de tels interrupteurs a grandement contribué au développement de l'électronique de puissance dans les applications liées à la maîtrise de l'énergie. L'optimisation des performances des interrupteurs de puissance, liée à celles des architectures de puissance et à celui des ordres de commande (gestion des ordres d'ouverture et/ou fermeture des interrupteurs) a conduit à l'amélioration du gain énergétique des systèmes de puissance. La figure 1.1 présente le synoptique d'un système de gestion d'énergie électrique. Le circuit de commande gère (contrôle, supervision. . .) la transmission de la puissance de la source d'énergie électrique à l'application par l'intermédiaire d'un convertisseur de puissance.

L'élaboration d'un circuit de commande pour les interrupteurs de puissance spécifique aux environnements sévères (haute température, haute tension. . .) pose actuellement de nombreux problèmes technologiques (limites physiques des composants, technologie des interconnexions . . .). Une recherche bibliographique est nécessaire pour appréhender les principales contraintes (isolation galvanique, sensibilité aux ondes électromagnétiques. . .), les limites de fonctionnement des dispositifs actuels et les besoins d'une telle topologie. Une analyse approfondie des résultats obtenus au cours de cette étude devrait alors permettre d'envisager au moins une solution opérationnelle, qui fera l'objet d'un démonstrateur.

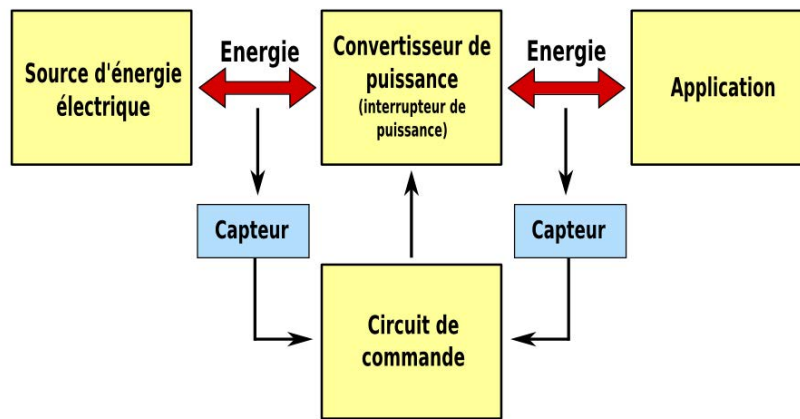


FIGURE 1.1 – Synoptique d'un système de gestion d'énergie électrique. Un convertisseur de puissance permet le transfert d'énergie d'une source électrique à une application. Le circuit de commande permet la gestion de la transmission d'énergie par l'intermédiaire du dispositif de puissance. Les flèches bidirectionnelles représentent des flux bidirectionnels d'énergie [DEV09].

## 1.1 Constitution et rôle d'un circuit de commande pour les interrupteurs de puissance

Le principe de la commande d'un interrupteur de puissance est résumé sur la figure 1.2. L'interrupteur est contrôlé par une chaîne de commande établie par l'association d'un étage de commande éloignée et d'un étage de commande rapprochée. La commande éloignée assure le contrôle de l'interrupteur de puissance et gère le fonctionnement du système. Le contrôle des changements d'état de l'interrupteur implique l'utilisation d'une commande rapprochée dans le but de convertir les signaux logiques provenant de la commande éloignée en signaux électriques, afin de permettre la commutation du composant de puissance. Le circuit de commande rapprochée peut être amené à assurer d'autres fonctions, en plus de l'interfaçage des signaux, telles que la protection du système. Les actions essentielles d'un circuit de commande rapprochée peuvent se résumer au maintien de l'isolation galvanique entre le circuit de commande et de puissance, à l'autoprotection du circuit face aux défauts d'alimentation, à la protection du composant contre les risques de surtension et de surintensité, au diagnostic des défaillances et au maintien de la comptabilité électromagnétique du composant dans son environnement [LM07]. Le tableau 1.1 présente les limites technologiques des solutions utilisées pour la réalisation des différents étages de la chaîne de commande.

N. ROUGER a synthétisé dans son manuscrit de thèse les principales fonctions requises pour l'élaboration d'un circuit de commande [ROU08a] :

- Une isolation galvanique entre la commande éloignée et la commande rapprochée
- Un générateur de signal : un oscillateur local et une électronique associée (ex : dispositif de modulation de largeur d'impulsion (MLI))
- Un système de contrôle permettant la gestion et l'élaboration de loi de commande (ex : circuit logique, microcontrôleur...)
- Un étage d'amplification en puissance pour la commande rapprochée

- Un indicateur de température (ex : une thermistance)
- Un indicateur de tension (ex : un capteur sur l'anode de l'interrupteur de puissance)
- Des dispositifs de protection (ex : évacuation de l'énergie de surtension, limitation du courant de court-circuit...)

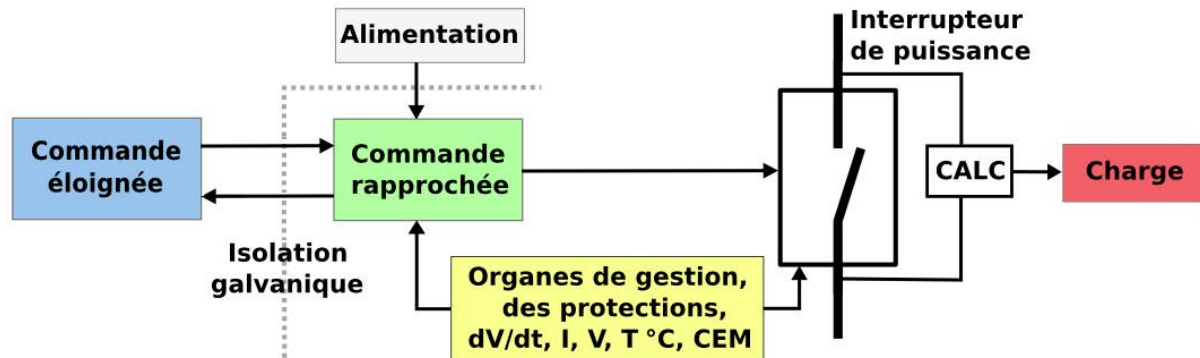


FIGURE 1.2 – *Synoptique du principe de commande d'un interrupteur de puissance. Cette chaîne de contrôle est constituée par deux grands étages de commande, qui sont la commande éloignée et la commande rapprochée. Une isolation généralement galvanique permet l'isolation entre ces deux parties. Le tableau 1.2 présente les limites des différents étages du système de commande (CALC : Circuit Aide à La Commutation) [MIT05].*

	Commande externe	Isolation galvanique	Commande rapprochée	Interrupteur de puissance
<b>Limites technologiques</b>	U : 0/5 V	U : 25 kV	U : +/- 40 V	U < 10 kV
	I : # mA	$dv/dt < 50 \text{ kV}/\mu\text{s}$	I : 3 A	I : # 100 A

TABLEAU 1.1 – *Tableau de synthèse des limites technologiques des principales grandeurs des différents étages constitutifs de la chaîne de commande d'un interrupteur de puissance présentée à la figure 1.2 [LM07] [LM03] [HER08].*

La commande d'un interrupteur de puissance nécessite une architecture de commande particulière basée sur l'association d'un circuit de commande éloignée et d'un circuit de commande rapprochée. Ces dispositifs doivent être en mesure d'assurer une commutation convenable de l'interrupteur de puissance. Parmi les principales fonctions d'un circuit de commande rapprochée, l'isolation occupe un rôle majeur dans la commande d'un interrupteur de puissance. Elle va être présentée plus précisément au cours de la partie suivante.

## 1.2 L'isolation du circuit de commande dans la chaîne de puissance

### a) L'isolation entre la commande éloignée et la commande rapprochée

Le synoptique de la figure 1.2 et le tableau 1.1 mettent en évidence le besoin énergétique des éléments constitutifs de la commande pour assurer leur fonctionnement. L'isolation des niveaux de référence entre les étages implique que les références du circuit de puissance soient flottantes par rapport à celles de la commande extérieure comme a pu le présenter N. ROUGER (figure 1.3) [ROU08b]. Les ordres de commande (transmission d'informations) doivent être



transmis du circuit de commande éloignée au circuit de commande rapprochée tout en étant isolés électriquement. La commande rapprochée nécessite l'ajout d'une source d'alimentation isolée. La puissance de cette alimentation peut-être directement prélevée aux bornes de l'interrupteur de puissance ou transmise à partir de la commande éloignée comme cela est représentée sur la figure 1.3. D'après S. LEFEBVRE et B. MULTON, les circuits "pompe de charge", "bootstrap" ou "l'auto-alimentation" sont différentes topologies d'architecture pour alimenter électriquement cette partie du système sans recourir à l'utilisation d'une alimentation isolée externe [LM03]. Le choix de ce type d'architecture dépend principalement des performances énergétiques requises par le dispositif.

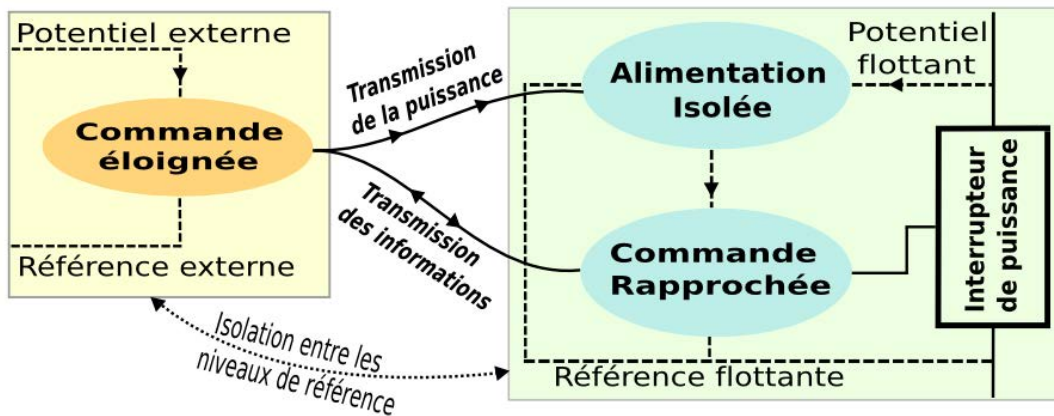


FIGURE 1.3 – Structure générale de la commande d'un interrupteur de puissance mettant en évidence les différents niveaux de référence en tension (thyristor dans cet exemple). La commande éloignée doit être isolée électriquement de la commande rapprochée. Un médium physique doit permettre la transmission de l'information et de la puissance entre les deux blocs de commande [ROU08b].

### b) Le besoin d'une isolation dans le circuit de commande

Une cellule de commutation est composée d'un interrupteur de puissance et d'un circuit de commande. Le passage de l'interrupteur de l'état conducteur à l'état bloqué engendre une forte variation de tension et de courant à ses bornes. Les fortes tensions peuvent engendrer des variations de tension ( $dv/dt$ ) et de courant ( $di/dt$ ) capables de provoquer des dysfonctionnements au sein des systèmes électriques (ex : claquages de composant, couplages capacitifs) par les capacités internes des interrupteurs et/ou des éléments d'isolation (transformateurs) et également inductifs par les éléments d'interconnexions. . .).

Le besoin d'une isolation entre la partie commande et la partie puissance est par conséquent indispensable pour le bon fonctionnement et la sûreté d'un dispositif de puissance. Le principe de commande d'un interrupteur de puissance isolé galvaniquement est présenté à travers la figure 1.3. Les circuits de commande doivent présenter une immunité élevée face aux champs électromagnétiques et garantir une très bonne isolation galvanique vis-à-vis du circuit de puissance. On parle d'isolation galvanique lorsqu'aucun courant ne circule directement entre deux circuits électriques voisins généralement couplés physiquement. L'isolation galvanique permet de protéger la partie commande face aux harmoniques de courant engendrées par les charges non-linéaires, aux surtensions provoquées lors des commutations des semi-conducteurs, mais

aussi à la défaillance de la partie puissance (coupure, court-circuit . . .). P. LEFRANC a montré à la figure 1.4 un exemple d'influence des perturbations électromagnétiques sur un dispositif optoélectronique [LB07]. Ces dernières s'ajoutent au signal de commande analogique et viennent altérer les ordres de commande. Une solution consiste à ajouter des blindages afin de protéger les systèmes contre les perturbations. Ce qui conduit généralement à l'augmentation du poids, du volume et du coût des dispositifs. Il est par conséquent primordial d'assurer une bonne isolation galvanique au sein des systèmes électriques [DEL01]. Les principales solutions d'isolation vont maintenant être présentées.

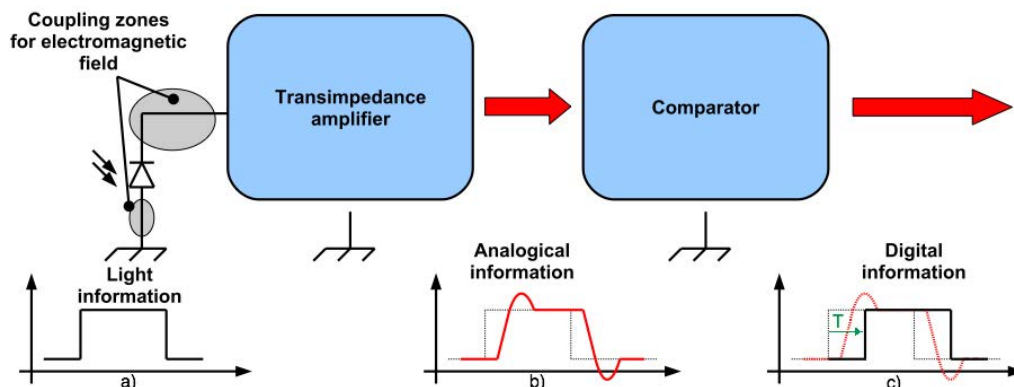


FIGURE 1.4 – Le schéma présente l'altération au sein d'une chaîne électronique d'un signal de commande transmis par voie optique au niveau du récepteur. Le signal issu du récepteur se retrouve altéré par des perturbations électromagnétiques. En sortie de l'amplificateur (transimpédance amplifieur), ce signal soumis aux couplages présente une forme différente (signal rouge en b) de celui attendu (signal pointillé en b). Cette différence conduit à un décalage d'un temps "T" du signal de commande (signal noir en c) par rapport au signal souhaité (signal pointillé en c) [LB07].

### 1.3 Les principales solutions d'isolation pour les systèmes de puissance

P. LEFRANC a présenté au cours de sa thèse une synthèse des différentes solutions d'isolation. Plusieurs supports physiques tels que le magnétisme (transformateur) ou la transmission optique (optocoupleur, fibre optique) permettent l'établissement d'une isolation galvanique [LEF05]. La majorité des solutions utilisées pour assurer cette fonction présente néanmoins certaines limites. Ces dispositifs doivent assurer l'isolation galvanique du système en régime statique, mais aussi en régime dynamique (commutation des interrupteurs de puissance). H. FOCH a montré un exemple prouvant l'importance d'une bonne isolation galvanique en régime dynamique [FFM00]. Pour une capacité parasite de l'ordre de 5 pF, une variation  $dv/dt$  de 5 kV/ $\mu$ s engendre un courant capacitif de 5 mA. Il apparaît que ce courant peut facilement perturber le fonctionnement d'un circuit de commande (électronique basse tension). Les principales limites de ces solutions d'isolation sont exposées dans les paragraphes suivants et le tableau 1.2.

### a) Le transformateur magnétique

Le transformateur magnétique est une solution couramment utilisée dans les systèmes électriques pour la transmission des ordres de commande et de la puissance. Ils sont majoritairement employés comme isolateurs galvaniques dans les systèmes basse et moyenne tension [FFM00] [LM03]. Le transformateur est un circuit magnétique généralement constitué de deux bobinages dénommés "primaire" et "secondaire". Ces deux éléments sont isolés électriquement, mais couplés grâce au phénomène d'induction magnétique. Ces enroulements présentent des inductances de fuite, qui conduisent à des pertes lors du transfert de la puissance magnétique. Lors de l'utilisation d'un transformateur, il faut veiller à ne pas saturer le noyau magnétique. D'une part ceci peut conduire à une augmentation des pertes énergétiques, d'une autre le noyau peut se détériorer. En effet, la saturation du circuit magnétique entraîne l'apparition de courants de Foucault, qui échauffent le dispositif et peuvent causer son endommagement à forte puissance [Can]. Le principal problème lié à l'isolation galvanique des transformateurs provient de ces capacités parasites. Il a tendance à présenter des valeurs non négligeables entre les enroulements primaire secondaire (ex :  $\#nF$  pour les transformateurs de signal), ce qui conduit généralement à l'établissement d'un courant de mode commun. Une solution pour limiter la valeur des capacités parasites consiste à trouver le bon compromis entre le bobinage du transformateur et le choix du matériau magnétique. R. ROBUTEL a montré au cours de sa thèse, que les technologies actuellement utilisées pour la conception des transformateurs ne pouvaient pas fonctionner au-delà de 200 °C [ROB11]. Des solutions alternatives basées sur des transformateurs "coreless" ou des matériaux nano-cristallin sont actuellement en cours de développement au laboratoire AMPERE [HAD12].

### b) L'optocoupleur

L'optocoupleur est un composant utilisé pour le transfert de signaux électriques d'un circuit à l'autre, grâce à l'emploi d'un médium optique [LM03]. Ce support physique garantit l'isolation galvanique entre les deux circuits. Il est constitué par l'association d'un émetteur optique (LED) et d'un photorécepteur (photodiode, phototransistor...). Une description plus détaillée des optocoupleurs, ainsi qu'une étude sur leur fonctionnement en température sont présentées dans la partie du chapitre 3. Il apparaît que ces composants ne peuvent fonctionner au-delà d'une température de 200 °C. Le gap indirect du silicium (présenté à la partie 2 des annexes) ne permet le transfert que d'un faible niveau d'énergie optique inférieur à l'ordre du mW. Pour pallier ses limites, l'optocoupleur nécessite l'emploi d'une alimentation auxiliaire dans le système, qui devient une voie de couplage pour les courants de mode commun et fragilise l'isolation galvanique du dispositif. L'optocoupleur a tendance à présenter des capacités parasites, qui peuvent aller jusqu'à la dizaine de pF. Ce composant est typiquement employé pour transmettre les ordres de commande dans les systèmes de faible et moyenne puissance (< 1 kVA) à faible coût [FFM00].

### c) La fibre optique

La transmission par fibre optique consiste à la manière de l'optocoupleur à transmettre les informations d'un circuit à l'autre par voie optique [LM03]. Cette technique présente de nombreux atouts pour l'isolation galvanique. La constitution physique de la fibre optique présente la propriété d'être immunisée contre les interférences électromagnétiques, ce qui conduit à une excellente isolation entre la partie commande et la partie puissance. Le transport d'information à travers ce type de support physique offre l'avantage de ne pas être une source d'interférence pour les systèmes environnants. Enfin, le contrôle par voie optique offre la possibilité d'éloigner la commande de la partie puissance réduisant l'influence du couplage par induction

mutuelle dans les topologies de forte puissance ( $P > 1$  MVA). L'utilisation d'un coupleur par fibre optique s'avère être onéreux lorsqu'il nécessite le transfert d'une puissance optique permettant le déclenchement d'interrupteur de puissance spécifique (ex : 400 nJ, soit l'application de 40 mW pendant  $10 \mu\text{s}$  sont requis pour déclencher un thyristor optique (Light Triggering Thyristor) [KTST+83]). Un dispositif d'alimentation par fibre optique capable de fournir une puissance de 10 mW a été acheté 1200 € dans le cadre de cette thèse (présenté à la partie 5.3 du chapitre 3). Cela signifie que le coût d'une installation basée sur un système d'isolation par fibre optique s'élève à plusieurs k€ (ex : interrupteur à thyristor dans les High Voltage Direct Current) [FFM00]. Les fibres optiques sont généralement garanties jusqu'à  $150^\circ\text{C}$ . Cette solution n'est pas envisageable pour l'isolation d'un dispositif destiné à fonctionner dans un environnement soumis à la haute température ( $> 300^\circ\text{C}$ ).

S. LEFEBVRE et B. MULTON récapitulent dans le tableau 1.2 les différentes caractéristiques des solutions utilisées pour réaliser une isolation galvanique. Ces données sont complétées par les limites de fonctionnement en température de ces dispositifs. Le tableau 1.3 réalisé par M. MUNZER dresse une comparaison de ces différentes solutions.

Caractéristique	Transformateurs	Opto-coupleur	Fibre optique
$dv/dt$	Jusqu'à $100 \text{ kV}/\mu\text{s}$	Jusqu'à $50 \text{ kV}/\mu\text{s}$	$>100 \text{ kV}/\mu\text{s}$
Tension d'utilisation	$> 10 \text{ kV}$	1200 V	$>10 \text{ kV}$
Capacité parasite	#nF	#pF	-
Temps de propagation	10 ns à 100 ns	10 ns à 100 ns	$< 10 \text{ ns}$
Possibilité d'intégration	Non (circuit hybride)	Oui	Non
Limites en température	$200^\circ\text{C}$	$200^\circ\text{C}$	$150^\circ\text{C}$

TABLEAU 1.2 – Présentation des caractéristiques des solutions d'isolation présentées [LM03].

Caractéristique	Transformateur	Opto-coupleur	Fibre optique
Isolation galvanique	+	O	++
Taux de transfert	+	O	O
Immunité face aux EM*	+	+	++
Stabilité thermique	+	-	O
Robustesse mécanique	+	O	-
Energie consommée	-	O	O
Intégration logique	-	++	-
Transfert d'énergie	+	-	-
Taille	-	+	O
Coût	-	+	-

TABLEAU 1.3 – Tableau comparant les différentes solutions d'isolation. ++ : Très bon, + bon, O : médiocre, - mauvais, - très mauvais (\*EM : émission électromagnétique) [MABK03b].

En conclusion, plusieurs types de solutions existent pour garantir les isolations galvaniques des systèmes. A ce jour, il apparaît que la transmission par fibre optique est le moyen le plus fiable pour assurer une fiabilité quasiment absolue dans les environnements contraignants. La

fibre optique ne présente pas de capacités parasites, ce qui assure une isolation galvanique dynamique entre les circuits lors de la commutation de l'interrupteur de puissance. Elle semble être la solution actuelle la plus viable pour le contrôle haute tension des semi-conducteurs de forte puissance, mais elle reste aussi la plus contraignante (ex : disposition précise des fibres optiques par des spécialistes pour limiter les pertes par couplage) et la plus onéreuse dans le cas où de la puissance doit être transmise par voie optique. Les différents types de commande optique des interrupteurs de puissance vont être présentés plus précisément au cours de la partie suivante. Il est important de préciser qu'aucune de ces solutions ne peut être actuellement utilisée pour établir une isolation galvanique dans un système soumis à la haute température ( $> 300\text{ }^{\circ}\text{C}$ ).

## 1.4 La commande optique des composants de puissance

A l'heure actuelle de nombreuses applications de forte puissance nécessitent des systèmes capables d'opérer dans des conditions environnementales relativement difficiles (haute tension  $> \# \text{ kV}$  [HUBD08], fonctionnant au sein d'environnement explosif [RMF99] ...). Face à de tels besoins et grâce à la démocratisation des composants optoélectroniques, les isolations optiques se sont rapidement imposées dans les systèmes de puissance. Initialement, la transmission optique consistait à transmettre un ordre de commande, qui était par la suite converti en signal électrique dans le but de commander un composant de puissance (commande optique indirecte). Des composants de forte puissance amorçables directement à partir d'un flux optique sont alors apparus (ex : Light Triggering Thyristor (thyristor à commande optique) présenté à la figure 1.5) pour simplifier les topologies de commande des systèmes de forte puissance et/ou de haute tension. Il s'agit de la commande optique directe [III02]. L'utilisation d'un guide de lumière est généralement recommandée entre l'émetteur et le récepteur. Il permet principalement d'éviter les déclenchements non désirés du photorécepteur face aux perturbations engendrées par les parasites environnementaux [LM07].

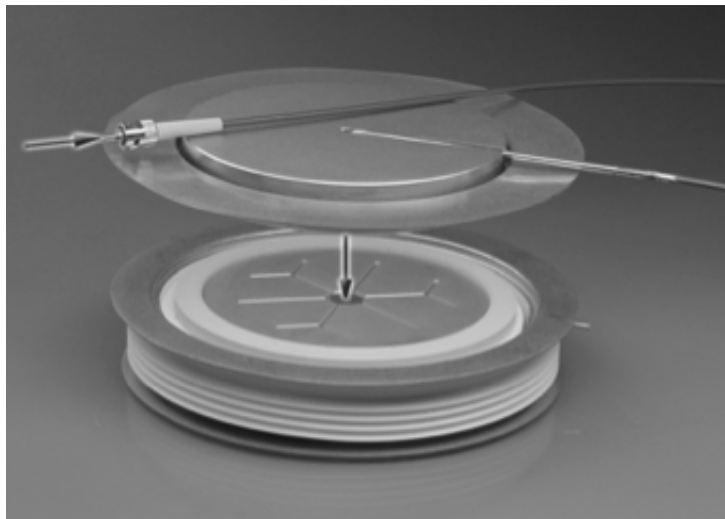


FIGURE 1.5 – *Light Triggering Thyristor (LTT) avec son packaging présentant une tenue en tension de 8 kV et un calibre en courant de 3000 A [NSFca07].*

### a) La commande optique directe

La commande optique directe permet le contrôle d'un interrupteur à semi-conducteur à partir d'un flux lumineux sans système de conversion opto-électrique du dispositif de puissance [SIE10] (figure 1.6). L'avantage de cette solution est l'absence d'une électronique de commande rapprochée. Cette solution offre la possibilité de s'affranchir des problèmes liés aux alimentations isolées, mais elle présente néanmoins certaines limites : l'émetteur optique doit pouvoir fournir une puissance optique suffisante pour permettre à l'émetteur de se déclencher. Par ailleurs, cette commande n'inclut pas de protection active et se limite aux solutions intégrées sur le composant. Pour pallier ces inconvénients, la commande optique indirecte est alors la solution envisagée [LM07].

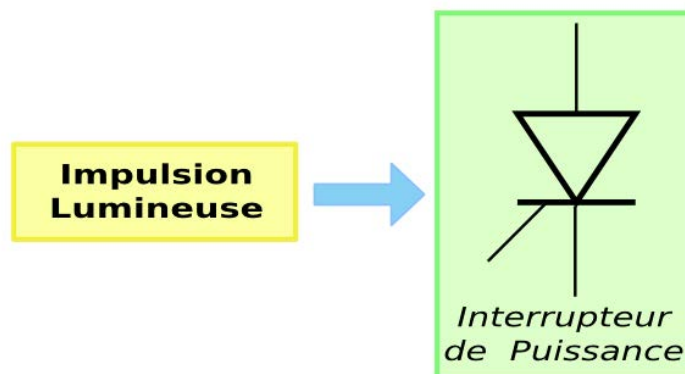


FIGURE 1.6 – Schéma de principe d'une commande optique directe. Une impulsion lumineuse permet le déclenchement d'un interrupteur de puissance (ex : thyristor à commande optique) dont l'électrode de commande est sensible à des ondes électromagnétiques spécifiques (ex : l'infrarouge pour le silicium).

### b) La commande optique indirecte

Le principe de la commande optique indirecte est présentée à la figure 1.7. Cette topologie de commande consiste à contrôler par un flux optique un circuit de commande rapprochée auto-alimenté, qui déclenche électriquement l'interrupteur de puissance [ABB10]. Cette solution présente l'avantage de consommer moins d'énergie optique que la solution précédente. Elle implique, en revanche, la présence d'une logique de commande et d'une alimentation isolée au plus près du semi-conducteur de puissance. L'alimentation du circuit de commande rapprochée nécessite une source d'énergie électriquement isolée de l'émetteur optique. Différentes topologies d'alimentation ont été présentées à la partie 1.2 de ce chapitre. Généralement le circuit auxiliaire est alimenté à partir d'une tension prise aux bornes du composant de puissance. Par conséquent, il faut prévoir un circuit spécifique afin de pouvoir transférer l'énergie de l'interrupteur de puissance à la commande auxiliaire, ce qui implique la plupart du temps la présence d'un transformateur magnétique. Cependant, il a été vu que les transformateurs présentent des capacités parasites non négligeables (ex : # 5 pF pour des transformateurs de signal) qui peuvent perturber le signal de commande lors des phases transitoires. Une solution alternative à ce problème pourrait être l'alimentation du circuit de commande rapprochée par un flux de puissance optique. L'évaluation de ce type de solution sera présentée dans la dernière partie du chapitre 3 de ce manuscrit.

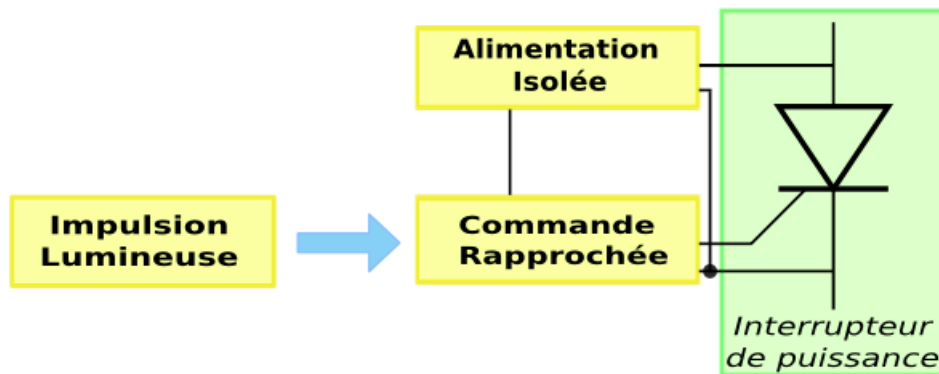


FIGURE 1.7 – Principe d'une commande optique indirecte. Une impulsion lumineuse contrôle un circuit de commande rapprochée auto-alimenté, qui permet par la suite le déclenchement électrique de l'interrupteur de puissance (ex : thyristor à commande optique).

### c) Comparaison des deux types de solution

L'insensibilité de la lumière face aux perturbations électromagnétiques offre l'avantage de pouvoir utiliser les ondes électromagnétiques en tant que flux énergétique au sein des systèmes à la place des liaisons électriques conventionnelles relativement sensibles aux parasites. Les propriétés procurées par de tels vecteurs énergétiques permettent d'établir des isolations galvaniques face à des systèmes engendrant de fortes interférences électromagnétiques (ex : systèmes pulsés de forte puissance) ou au sein des milieux contraignants (forts champs électriques, radiations...). L'utilisation de la puissance optique apparaît alors comme une perspective intéressante en vue de l'alimentation en puissance des systèmes électriques. Toutefois, il est important de préciser qu'un composant à commande optique directe nécessite une quantité d'énergie radiative nettement plus importante qu'un composant optique à commande indirecte. Par exemple, l'amorçage d'un LTT requiert l'application d'un signal optique de 40 mW pendant 10  $\mu$ s, soit une énergie de 400 nJ [KTST<sup>+</sup>83]. À l'inverse, le déclenchement d'un composant à commande optique indirecte nécessite uniquement la transmission optique d'ordre de commande logique puisque l'électrode de commande de l'interrupteur de puissance est alimentée de façon électrique (énergie < # nJ) [ABB10]. Le tableau 1.4 présente les avantages et les inconvénients de ces solutions optiques. Selon V. TEMPLE, les deux topologies de commande présentées procurent des performances équivalentes [TEM81]. Le choix d'une solution par rapport à l'autre s'effectue généralement en fonction des spécificités requises pour une application.

## 1.5 Conclusion

Le contrôle d'un interrupteur de puissance nécessite deux niveaux de commande. Le premier niveau dit "commande éloignée" a le rôle de transmettre les ordres de commutation à l'interrupteur de puissance et de superviser le fonctionnement du système. Le second niveau dénommé "commande rapprochée" a pour principales fonctions d'apporter l'énergie nécessaire pour le déclenchement de l'interrupteur de puissance (conversion des ordres de commande logique en signaux électriques) et d'assurer la sécurité du dispositif. Pour garantir la sûreté de l'installation,

Architecture	Avantage	Inconvénient
Commande directe	Topologie réduite	$E_{OPT-indir} < E_{OPT-dir}^*$
	Mise en oeuvre	Pas de protection active
	Pas d'alimentation isolée	Composant optimisé
	Isolation face aux CEM	
Commande indirecte	$E_{OPT-indir} < E_{OPT-dir}^*$	Alimentation isolée
	Protection active	Commande rapprochée
	Supervision	Sensibilité CEM

TABLEAU 1.4 – Avantages et inconvénients des architectures de commande optique directe et indirecte,  $E_{OPT}^*$  : énergie optique nécessaire pour amorcer l'optocomposant [KTST<sup>+</sup>83] [ABB10] [III02].

une isolation galvanique est nécessaire entre les deux niveaux de commande. Trois grandes solutions sont envisageables. Il s'agit d'un transformateur magnétique, d'un optocoupleur et d'une fibre optique. Cette dernière est actuellement la solution la plus viable pour le contrôle des interrupteurs haute tension de forte puissance. Deux types de commande optique existent : la commande optique directe et la commande indirecte. Les études ont montré que les deux solutions étaient équivalentes en terme de performances et que le choix d'une solution par rapport à l'autre dépendait de l'application. Il est apparu pour ces trois types d'isolation, qu'il n'était pas envisageable de les utiliser pour un fonctionnement du dispositif en haute température ( $> 300$  °C). Une perspective de solution pour la haute température est proposée dans la partie 2 des annexes. Maintenant qu'un bilan sur les différentes topologies d'isolation envisageables en vue de la réalisation d'un circuit de commande pour les environnements sévères a été réalisé, la prochaine partie de ce chapitre va présenter les solutions de commande actuellement utilisées pour le contrôle des interrupteurs de puissance, ainsi que leurs performances et leurs limites de fonctionnement.

## 2 Vers l'intégration d'une chaîne de commande d'interrupteur de puissance

Face aux besoins énergétiques actuels, les systèmes de puissance se doivent de fournir des performances de plus en plus accrues tout en conservant un rendement énergétique optimisé. Les dispositifs d'électronique de puissance sont par conséquent en constante évolution et le sujet de multiples recherches. Les études menées conduisent à de nombreuses innovations. L'accroissement des performances électriques, l'augmentation des fréquences de fonctionnement, l'amélioration du packaging, la réduction du poids, du volume et du coût de fabrication en sont les principales motivations. La partie suivante va présenter les performances et les limites des solutions actuellement employées pour établir une chaîne de commande destinée au contrôle des interrupteurs de puissance.



## 2.1 Les Modules de Puissance Intelligents (IPMs)

### a) Présentation des IPMs

La réponse aux verrous et aux enjeux de l'intégration de puissance s'est technologiquement traduite, dans un premier temps, par l'apparition de "modules de puissance" (boîtier contenant un ou plusieurs interrupteurs de puissance), puis par celle des IPMs (Intelligent Power Module), regroupant cette fois-ci au sein d'un même support la commande rapprochée et les interrupteurs de puissance. Le tableau 1.5 présente de façon non exhaustive quelques exemples de différents modules de puissance et d'IPMs industriels couramment utilisés.

Composant	Référence	Fabriquant	Tenue en tension	Calibre
Module IGBT	Semitrans	Semikron	600 V	50 A
Module Thyristor	TM100SZM	Mitsubischi	400 V	100 A
Module Diode	6RI100G	Fujitsu	1200 V	100 A
IPM	SPM1	Infineon	600 V	30 A
IPM	CiPoS	Infineon	600 V	22 A
IPM	SKiN	Semikron	1200 V	15 A

TABLEAU 1.5 – Présentation de modules de puissance et d'IPMs industriels

Les IPMs ont pour rôle d'assurer la commutation et la protection de la fonction puissance. Ils sont typiquement utilisés pour des applications présentant des puissances allant de 200 W à 150 kW. L'utilisation de ces modules intelligents présente de nombreux avantages par rapport aux solutions classiques [KUM08] [SAN99]. La conception technique des dispositifs est facilitée grâce au regroupement des différentes fonctions. Les topologies sont mieux optimisées, ce qui a pour effet de réduire les pertes et d'améliorer le rendement énergétique. D'après E. MOTTO, l'emploi des circuits intégrés (CI) favorise l'intégration des IPMs. Grâce à ces derniers, le nombre de composants discrets habituellement utilisés est fortement réduit, ce qui contribue à l'amélioration de la fiabilité du dispositif, à la diminution des couplages électromagnétiques, à une réduction des coûts de fabrication et à une meilleure ergonomie puisque le volume et le poids du module sont amoindris [MOT98].

Ces principaux bénéfices ont largement contribué au succès des IPMs au sein des systèmes de puissance. La figure 1.8 présente le positionnement d'un module de puissance et d'un IPM au sein d'une chaîne de commande. L'Integrated Drive Module (IDM) est un niveau d'intégration supérieur à l'IPMs. L'IDM possède toutes les fonctionnalités de l'IPM sauf qu'il contient en plus un microprocesseur, des mémoires, des entrées et sorties numériques et des bus de communications (ex : module EUPEC : 7 kW- 460 V, référence : FS450R12KE3). Dans le cadre de cette thèse, l'étude se limitera aux dispositifs de type IPM.

### b) Les différentes topologies d'IPM

Les IPMs peuvent être de topologie monolithique (ECN3067 de Hitachi) ou hybride (IPM : FSBB20CH60F de Fairchild). La partie "a)" de la figure 1.9 présente une structure de type monolithique, qui intègre sur un même substrat les fonctions de commande rapprochée et de puissance (Smart Power). Les structures intégrées sont utilisées pour des applications de faible puissance (< 5 kW) en raison des techniques d'isolation utilisées, qui limitent la tenue en tension des

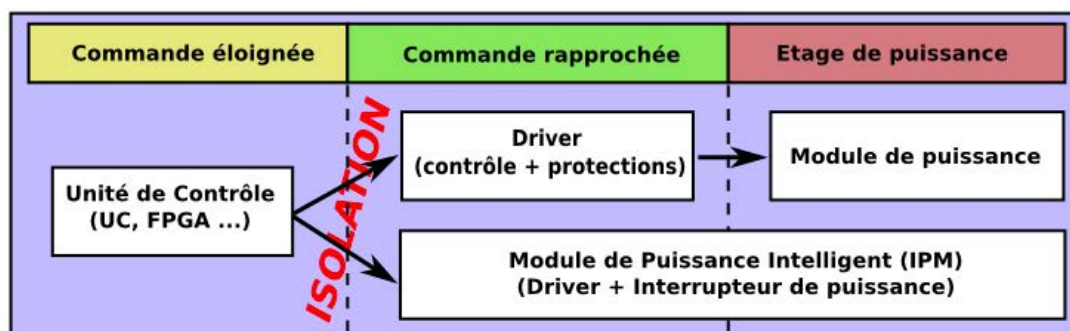


FIGURE 1.8 – Synthèse d'une chaîne de commande d'un interrupteur de puissance. Deux types d'architecture sont envisageables. La première consiste à séparer la commande rapprochée (circuit de commande "driver") et l'étage de puissance (module de puissance). La seconde utilise un IPM, qui intègre le circuit de commande rapprochée et l'étage de puissance dans le même boîtier [GOU12].

dispositifs à quelques centaines de volts. Ces différents procédés d'isolation sont présentés dans la suite du chapitre. Une architecture de type hybride, qui est présentée sur la partie "b)" de la figure 1.9 regroupe des fonctions issues de différentes technologies au sein d'un même module. L'exemple montre un système basé par l'association d'un circuit de commande de type SOI (Silicon On Insulator, [CEL03]) et de différents composants de puissance dont des interrupteurs de type IGBT au niveau de l'onduleur (inverter) sur un substrat DCB (Direct Bond Copper). Ce type de topologie est privilégié pour les domaines relatifs à la moyenne ( $5 \text{ kW} < \dots < 100 \text{ kW}$ ) et à la forte puissance ( $> 100 \text{ kW}$ ) [SAN99]. Le tableau 1.6 présente la synthèse des avantages et des inconvénients apportés par les solutions hybride et monolithique.

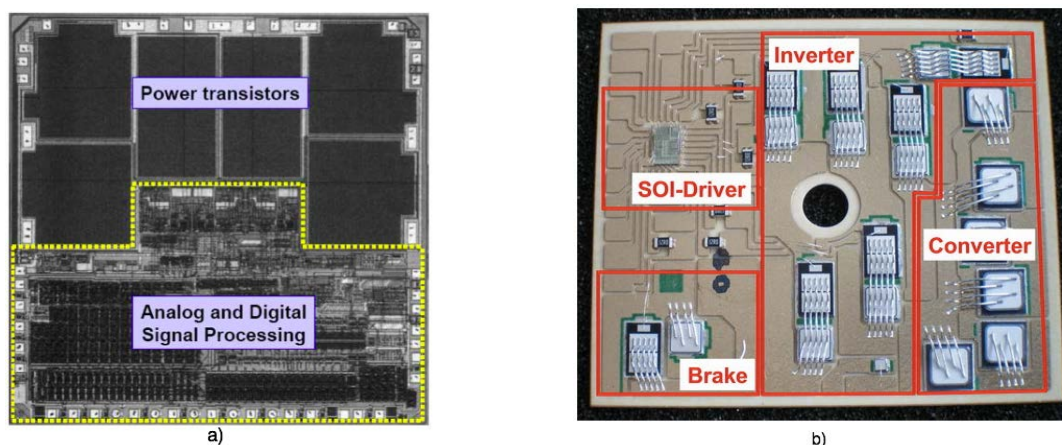


FIGURE 1.9 – a) : vue du lay-out d'une topologie monolithique, b) : vue d'une topologie hybride [GBG<sup>+</sup>12] [SCH09].

Malgré les avantages procurés par les IPMs conventionnels, ces dispositifs restent relativement chers et complexes. De plus, les technologies intégrées sont limitées puisque les ASICs (Application Specific Integrated Circuit) du driver sont restreints à la faible tension ( $\approx 35 \text{ V}$ ). La figure 1.10 présente un synoptique d'un IPM conventionnel. En raison des limites en tension de la technologie des ASICs utilisés, chaque interrupteur est surveillé de façon indépendante

Architecture	Avantages	Inconvénients
<b>Hybride</b>	Implémentation facile	Système plus complexe
	Technologie existante	Sensibilité aux perturbations EM
	Application moyenne et forte puissance	Encombrement
	Faible coût	
	Bonne fiabilité	
	Isolation galvanique	
<b>Monolithique</b>	Compact	Limite technologique
	Améliore la CEM	Coût de développement
	Facilité d'utilisation	Application faible puissance
	Très bonne fiabilité	Pas d'isolation galvanique
	Technologie en constante évolution	

TABLEAU 1.6 – Comparaison des topologies hybride et monolithique utilisées pour la réalisation des IPMs [KUM08] [MOT98].

(figure 1.10). Les fonctions de protection sont peu nombreuses (capteur de température, surintensité...) et gèrent uniquement les électrodes de commande des interrupteurs de puissance. Le système ne possède pas de contre-réaction globale au niveau de la commande rapprochée, ce qui nécessite une gestion au niveau de l'unité de commande (CPU).

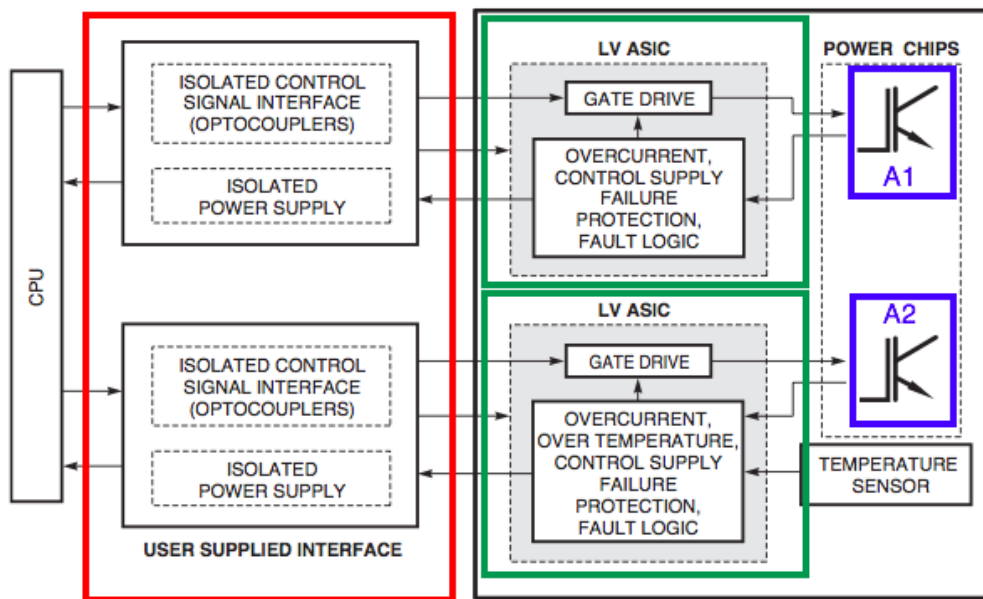


FIGURE 1.10 – Synoptique d'un IPM conventionnel positionné au sein d'une chaîne de commande. La commande intégrée (vert) du "power chip" est réalisée à partir d'une technologie basse tension (LV ASIC). Cela nécessite l'utilisation de structures isolées (rouge : signal et puissance) pour permettre le contrôle respectif des interrupteurs A<sub>1</sub> et A<sub>2</sub> (bleu) [MOT98].

### L'ASIPM : une architecture évoluée des IPMs

L'utilisation d'une technologie d'intégration telle que le HVIC (High Voltage Integrated Circuit) a permis l'élaboration des topologies de type ASIPM (Application Specific Intelligent Power Module), qui sont des IPMs améliorés présentant les caractéristiques d'être plus intégrés, plus performants et orientés système ("a") de la figure 1.11) [MOT98] [PRI96]. La technologie HVIC offre la possibilité de commander des interrupteurs haute tension tout en implémentant de nouvelles fonctionnalités aux IPMs tels que des levelshifter (fonction permettant un décalage en tension) [LM03], des capteurs de courants, des diodes d'anti-saturation... [KUM08]. Ces briques favorisent l'ajout de boucles de contre-réaction, ce qui permet d'agir sur de nombreux degrés de liberté et facilite la régulation du système de commande. La principale innovation reste liée à la tenue en tension supportée par les "levelshifter" (600 V - 1200 V) [YAJ+12] [VMRR10]. Cette fonction a pour rôle d'adapter les signaux logiques de commande pour les transistors dont le potentiel de référence est flottant (dit "high side" ) (ex : le transistor du haut sur un bras d'onduleur). Elle évite l'utilisation de driver isolé spécifique et favorise l'intégration du système. Il n'est plus nécessaire de recourir à une alimentation isolée pour chaque driver de commande. Une topologie de type "bootstrap" est suffisante pour alimenter ce type de structure. S. LEFEBRE et B. MULTON présentent le principe d'une alimentation de type "bootstrap" à la référence [LM03]. Le schéma a de la figure 1.11 montre l'allègement "architecturale" apporté à un IPM standard (figure 1.10) grâce à l'utilisation d'une technologie HVIC. L'utilisation de cette technologie conduit à l'intégration des circuits de commande rapprochée sur le même substrat. Cela signifie que ces différents éléments ne sont pas isolés électriquement. L'utilisation d'un dispositif magnétique ou optique entre l'unité de commande (MCU) et la commande rapprochée est par conséquent primordiale pour garantir l'isolation galvanique de la chaîne de commande ("b") de la figure 1.11).

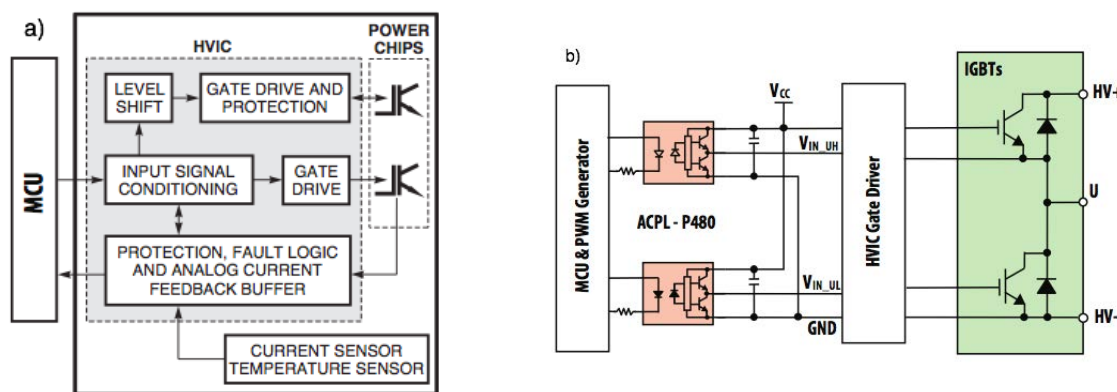


FIGURE 1.11 – La figure a) présente le synoptique d'un ASIPM dont l'architecture se retrouve fortement améliorée par rapport à une topologie IPM standard présentée à la figure 1.10 [MOT98]. La figure b) présente l'insertion dans la chaîne de commande d'une isolation optique (ACPL-P480) entre le MCU (Monitor Control Unit) et l'ASIPM [540].

#### d) Conclusion sur les modules de puissance intelligents

La figure 1.12 présente l'aire d'application des différentes architectures d'intégration utilisées pour la réalisation des IPMs et des modules de puissance. Il apparaît que les différentes solutions présentent une tenue en tension équivalente de l'ordre de 1200 V. En contre-partie, les topologies hybrides possèdent un calibre en courant plus important puisque qu'ils peuvent

fourni jusqu'à 50 A contre 3 A pour les structures monolithiques. Ces performances en courant restent toutefois éloignées des performances proposées par les modules de puissance (tableau 1.5).

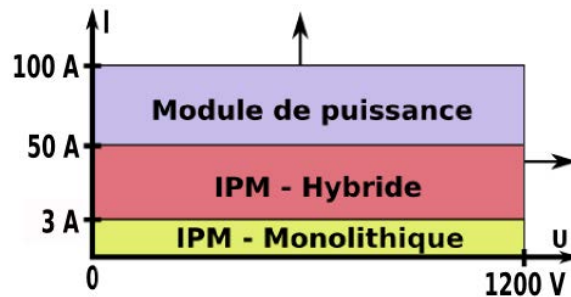


FIGURE 1.12 – Aire d'application des différentes technologies d'intégration [KUM08] [CAR07].

Le tableau 1.7 présente une synthèse des différentes technologies envisageables pour l'élaboration d'un circuit de commande rapprochée basée sur des IPMs au sein d'une chaîne de puissance. Les solutions pour transmettre les ordres de commande (signal) et la puissance (énergie) sont exposées dans ce tableau. La solution monolithique améliore la compacité d'un système par rapport à une topologie de type hybride. Cette caractéristique est principalement liée à l'utilisation d'une fonction nommée "levelshifter", qui permet une meilleure intégration du circuit de commande rapprochée ("a") et "b") de la figure 1.11). Cette fonction ne permet néanmoins plus la mise en place d'une isolation galvanique contrairement aux topologies hybrides. Ces dispositifs utilisent les solutions d'isolation, qui ont été présentées au cours de la partie 1.2 de ce chapitre. Au niveau de l'alimentation énergétique, une topologie de type "bootstrap" suffit à la solution monolithique, alors qu'un convertisseur de puissance est requis pour la topologie hybride.

Type de driver	Isolation galvanique	Signal	Energie
Driver monolithique	Non	Levelshifter	Bootstrap
Driver hybride	Oui	Optocoupleur Transformateur Fibre optique	Convertisseur

TABLEAU 1.7 – Synthèse des différentes solutions utilisées pour transmettre les ordres de commande (signal) et la puissance (énergie) dans les circuits de commande rapprochée basées sur des IPMs [HER10].

Le choix d'une topologie par rapport à une autre va notamment dépendre de l'application visée. Les applications de moyenne (5 kW <...< 100 kW) et forte puissance (> 100 kW) emploient la structure hybride, alors que la topologie intégrée est restreinte aux applications de faible puissance (< 5 kW). La suite de cette partie va se focaliser sur les circuits intégrés de puissance. Elle va notamment présenter plus précisément ces structures, ainsi que les performances et les limites de fonctionnement des différentes solutions actuellement proposées.

## 2.2 Les circuits intégrés de puissance

L'intégration monolithique de systèmes de puissance s'est traduit par l'apparition de semi-conducteurs regroupant sur un même substrat les circuits de contrôle et les interrupteurs de puissance. Ces composants coexistent sous deux formes, le type Smart Power et le type HVIC (High Voltage Integrated Circuit). Dans la première technologie, le semi-conducteur de puissance est soit latéral (ex : LDMOS), soit vertical (ex : DMOS), alors que les spécificités techniques de la seconde imposent une topologie exclusivement latérale (électrodes uniquement en face avant). Les structures HVIC sont principalement utilisés comme des circuits d'interface entre la commande éloignée et la partie puissance. Ils permettent notamment d'adapter les signaux logiques (basse tension) en signaux haute tension requis pour le contrôle des interrupteurs de puissance. Les circuits de type "Smart Power" présentent une intégration fonctionnelle plus poussées. Les systèmes sont constitués de trois parties : un circuit d'interface, un circuit de contrôle dédié au traitement du signal (microprocesseur, Digital Signal Processor) et un élément de puissance. Des circuits de mémoire peuvent aussi être ajoutés. Ce type de solution confère une intelligence au système. Les circuits "Smart Power" présentent des densités de courant pouvant aller jusqu'à 3 A. En revanche, ils présentent des tenues en tension inférieures à celles de la technologie HVIC (  $\approx$  100 V contre 1200 V). En raison des limites technologiques exposées, les solutions "Smart Power" sont limitées aux applications de faible puissance ( $< 5$  kW). Ils sont principalement utilisés dans les domaines liés à l'automobile, aux telecoms et aux applications domotiques (ex : TLE 6230 GP, FA7716R, PEB 4065).

J. L. SANCHEZ et F. MORANCHO ont présenté à la référence [SM07] les différentes fonctions que devaient accomplir les circuits de puissance intégrés. Ils doivent notamment assurer l'interfaçage des signaux logiques issus du contrôleur du poste de commande, la protection du dispositif et la gestion de la puissance du système. Le tableau 1.8 synthétise les actions de ces différentes fonctions. La continuité de cette étude portera uniquement sur les systèmes intégrés latéraux. La réalisation de tels dispositifs nécessite une ou plusieurs technologies d'isolation entre les composants du substrat, qui vont être présentées au cours de la partie suivante.

Interface	Protection	Gestion de la puissance
<i>Communication</i>	<i>Capteur/Diagnostique</i>	<i>Circuit de contrôle</i>
<ul style="list-style-type: none"> <li>● Codage/Décodage</li> <li>● Opérations numériques (circuits logiques)</li> <li>● Supervision</li> </ul>	<ul style="list-style-type: none"> <li>● Surtension</li> <li>● Soustension</li> <li>● Surintensité</li> <li>● Court-circuit</li> <li>● Température</li> </ul>	<ul style="list-style-type: none"> <li>● Commande optimale</li> <li>● Adaptation des potentiels</li> </ul>
		<i>Liaison</i>
<ul style="list-style-type: none"> <li>● Série</li> <li>● Parallèle</li> <li>● Bus</li> </ul>	<ul style="list-style-type: none"> <li>● Temps de réponse critique</li> <li>● Boucle régulation locale</li> </ul>	

TABLEAU 1.8 – Synthèse des fonctions des circuits de puissance intégrés [KUM08] [PRI96].

## 2.3 Les technologies d'isolation des circuits de puissance monolithique

L'isolation entre les différents blocs fonctionnels d'un circuit de puissance intégré est un élément clé dans la fabrication de ces dispositifs. La présence de différents potentiels liés à l'association de composants basse tension et haute tension sur un même substrat a longtemps constitué un verrou technologique au développement de ces circuits. L'isolation doit être à la fois performante sur le plan statique en confinant la haute tension et le passage des charges électriques, tout comme en régime dynamique, puisque le mouvement de ces charges peut conduire à la détérioration d'une partie du circuit de commande. Trois concepts d'isolation sont majoritairement utilisés dans les procédés de fabrication actuels : l'auto-isolation, l'isolation par jonction PN polarisée en inverse et l'isolation par diélectrique (par l'utilisation d'un substrat spécifique : le Silicon On Insulator) [ZIT07] [SM07].

### Auto-isolation

L'auto-isolation est une solution simple à intégrer, mais peu flexible puisqu'elle nécessite une technologie basée sur un processus de fabrication de type CMOS. Elle s'effectue par la polarisation en inverse d'une jonction PN, qui empêche le passage d'un courant entre les différents composants intégrés sur le substrat. La figure 1.13 présente l'exemple de l'auto-isolation de MOSFETs à canal P intégrés sur un substrat de type N. L'auto-isolation s'active lorsque le potentiel du substrat N (polarisé à  $V_{dd}$ ) est supérieur aux potentiels appliqués sur les puits de type P. Ce principe d'isolation est représenté par des diodes sur la figure 1.13. Dans le cas de l'intégration de MOSFETs à canal N, la solution consiste à implanter ces composants dans des caissons de type P. L'auto-isolation est par la suite activée par l'application d'un potentiel négatif sur le caisson P [ZIT07].

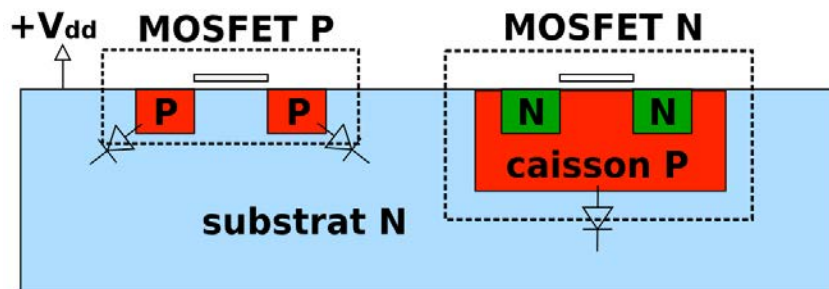


FIGURE 1.13 – Coupe d'un circuit intégré de puissance basé sur l'auto-isolation [ZIT07]. Le schéma présente l'auto-isolation de transistors MOSFETs intégrés dans un substrat de type N.

Cette solution assure une bonne protection en régime statique. En contrepartie, des couplages peuvent se produire lors des phases transitoires et conduire au dysfonctionnement du système. Les dispositifs basés sur ce principe d'isolation peuvent fonctionner sur des gammes de tensions allant jusqu'à 1 kV et opérer jusqu'à des fréquences de 500 kHz. Ils sont principalement utilisés dans les applications automobile et domestique [GON01].

### Isolation par jonction PN polarisée

Cette technique d'isolation (figure 1.14) est réalisée par la séparation de caissons de type N au moyen de jonctions PN polarisées en inverse. Les composants à isoler sont implantés au sein

des différents caissons. Techniquement, le substrat initial est de type P, une couche de type N est par la suite épitaxiée. L'isolation est obtenue par la diffusion de jonctions verticales P (p-iso), qui traversent la couche N (n-epi) et court-circuitent le substrat P. Ces zones verticales polarisées en inverse, garantissent l'isolation entre les composants. Cette technique est une extension de la technologie BiCMOS. Elle propose actuellement le meilleur compromis entre le coût et la flexibilité [ZIT07] [SM07].

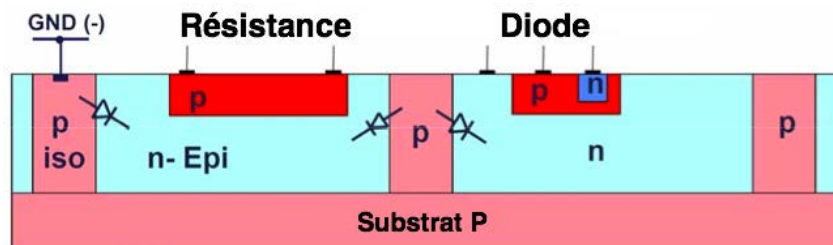


FIGURE 1.14 – Coupe d'un circuit intégré de puissance basé sur une isolation par jonction PN polarisée [ZIT07]. Une résistance de type P et une diode bipolaire sont isolées au moyen de jonctions PN polarisées en inverse.

### Isolation par diélectrique (ou SOI)

La technologie du SOI (figure 1.15) est aujourd'hui la solution la mieux appropriée pour les circuits de puissance intégrés. Les composants à isoler sont localisés dans des caissons séparés entre eux et du substrat par un oxyde. Contrairement aux solutions précédentes, elles ne nécessitent aucune polarisation du substrat de la couche épitaxiée pour être fonctionnelle. Cette technologie présente l'avantage d'avoir de très faibles courants de fuite et de faibles valeurs de capacités associées. En contre-partie, la conductivité thermique de l'oxyde est plus faible que celle du silicium, ce qui augmente la résistance thermique, réduit la dissipation et limite l'intégration des interrupteurs de puissance. L'intégration de l'oxyde reste complexe et nécessite des procédés de type Smart-Cut [CEL03]. Ceci conduit à des coûts de fabrication plus élevés que les solutions précédentes. Dans le cadre des dispositifs de puissance, cette technique d'isolation est utilisée pour des applications soumises à des contraintes spécifiques (ex : haute-température (< 250 °C), interrupteur haute-tension (LDMOS de 1200 V)...) [ZIT07] [SM07].

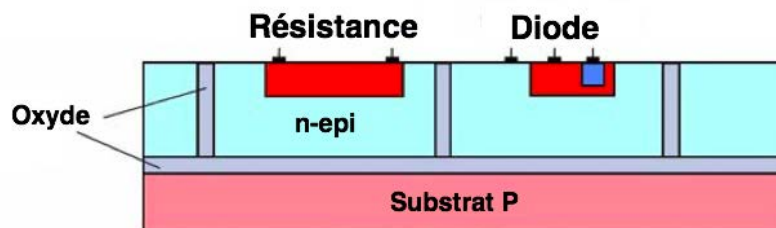


FIGURE 1.15 – Coupe d'un circuit de puissance intégrée basé sur une isolation par diélectrique [ZIT07]. Une résistance de type P et une diode bipolaire sont isolées au moyen d'un oxyde. Cette isolation ne nécessite aucune polarisation pour être active.



## Conclusion sur les technologies d'isolation

L'intégration de plusieurs entités (composants, fonctions) sur un même substrat conduit à la présence de couplages électriques. L'origine de ce phénomène est liée à la structure des composants et se retrouve présent sur l'ensemble des technologies d'intégration (Si, GaAs, GaN, SiC...). La solution consiste alors à utiliser des techniques d'isolation pour supprimer ou réduire l'influence de ces couplages. L'isolation par diélectrique est actuellement la solution la plus optimale pour l'intégration de systèmes de puissance.

## 2.4 Intégration des interrupteurs dans les circuits intégrés de puissance

L'intégration des composants de puissance représente un challenge technologique. Une grande variété de composants de puissance existe (bipolaire, IGBT, MOSFET, JFET, thyristor...). Le choix d'un composant est généralement déterminé par le compromis entre les besoins et les contraintes de l'application visée. Typiquement, les semi-conducteurs de puissance latéraux tels que les LDMOSFETs et les LIGBTs sont préférés aux structures verticales dans les circuits intégrés de puissance pour des tensions allant de 10 V jusqu'à 600 V. La principale raison est liée au fait que la fabrication des composants latéraux est compatible avec celle des circuits intégrés de commande (ex : LDMOS intégrable avec le CMOS et le BiCMOS) et nécessite généralement peu d'étapes supplémentaires. En revanche, pour obtenir des performances équivalentes aux topologies verticales, la conception du composant implique un design spécifique et l'utilisation de techniques particulières (LDMOS LOCOS, LDMOS à deux oxydes...) [SM07]. De nombreuses caractéristiques sont à prendre en compte au niveau statique et dynamique. Le composant doit présenter à l'état bloqué une tenue en tension élevée et un faible courant de fuite. Lors de la phase de conduction, la résistance à l'état passant  $R_{on}$  doit être d'une faible valeur de façon à limiter les pertes en conduction. De plus le composant doit présenter un bon calibre en courant et être capable de bien dissiper la puissance thermique. L'interrupteur de puissance doit pouvoir évacuer rapidement les charges transitoires pour garantir des commutations rapides et limiter au maximum les pertes dynamiques [SAN99] [KUM08].

Une bonne tenue en tension des composants de puissance requiert une couche active épitaxiée épaisse et faiblement dopée. Ce qui conduit, d'une part, à une résistance à l'état passant élevée du semi-conducteur et complexifie, d'autre part, l'intégration de la structure avec les circuits de commande (couche active fortement dopée et fine) [SM07] [KUM08]. La technique RESURF (Reduced Surface Field) élaborée par APPELS et VAES en 1979 permet d'obtenir le meilleur compromis entre la tenue en tension et la résistance à l'état passant des composants latéraux en silicium [LUD00]. La conception d'une structure RESURF est relativement simple et s'avère efficace. Il consiste à utiliser un substrat P le long duquel est réalisée une très fine couche N. Avec des dopages et des géométries adoptés, la polarisation inverse de la jonction NP dépeuplera entièrement la couche N avant que la jonction PN n'atteigne sa tension de claquage par avalanche.

La figure 1.16 présente la différence d'architecture entre un MOSFET latéral classique et un MOSFET latéral de type RESURF. Dans ce dernier, il apparait des différences majeures par rapport à la structure classique puisque le substrat P est plus important, la couche épitaxiée N est réduite et une zone P a été ajoutée sous la zone située entre la source et la grille.

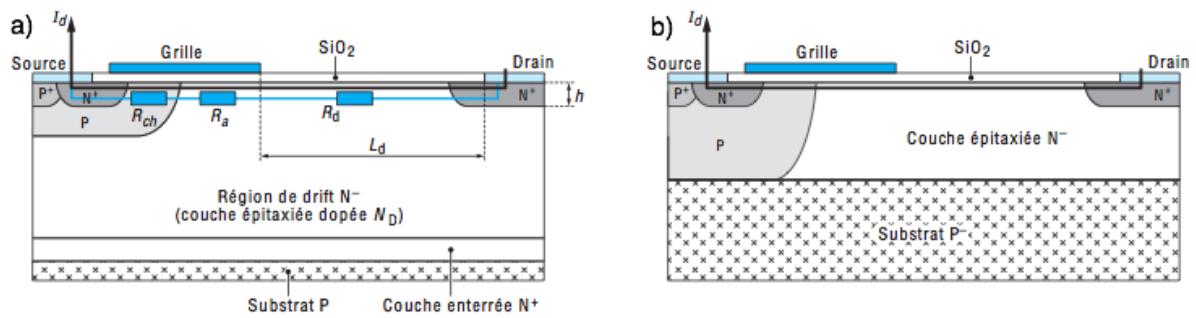


FIGURE 1.16 – a) vue en coupe d'un LDMOSFET conventionnel, b) vue d'un LDMOSFET RESURF [SM07].

Grâce à cette méthode, les composants tels que les LDMOS sont relativement intéressants pour les structures HVIC. Il a été possible de concevoir des composants capables de supporter des tensions de 1200 V avec des résistances à l'état passant ( $R_{on}$ ) de l'ordre de  $100 \text{ m}\Omega\cdot\text{cm}^2$  [ST08] [VMRR10]. D'après la courbe de la figure 1.17, les performances du composant RESURF sont quasiment confondues avec celles du composant vertical et largement supérieures à celles des structures latérales classiques.

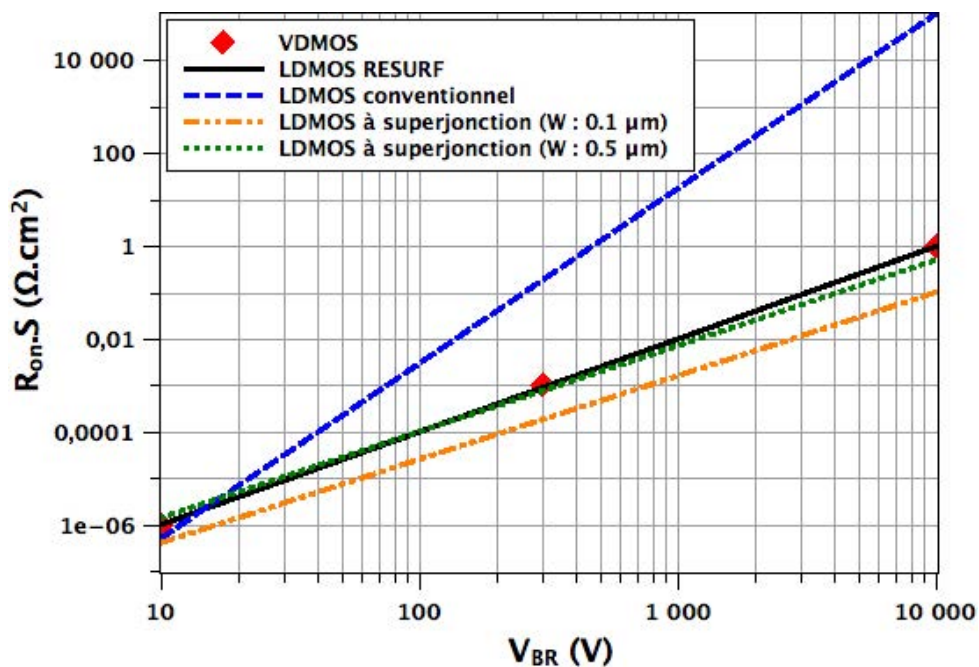


FIGURE 1.17 – Comparaison théorique de la résistance à l'état passant par unité de surface en fonction de la tenue en tension de différents MOSFETs pour une épaisseur de la couche de conduction de  $1 \mu\text{m}$  [SM07] ( $W$  représente la largeur de bande des jonctions des MOSFETs).

Le développement de structures telles que les MOSFETs à superjonction a permis de dépasser les limites des structures conventionnelles en silicium (figure 1.17). Les performances de ces composants sont meilleures que celles des MOSFETs latéraux standards pour les tensions élevées. Pour les valeurs moyennes (500 V), elles sont équivalentes à celles du LDMOS RE-

SURF et elles ne présentent aucun intérêt pour des tensions inférieures à 100 V. En raison des coûts de fabrication dus à la complexité de la structure, ces composants restent majoritairement destinés aux applications haute tension ( $\neq 600$  V) [SM07].

En conclusion, il est possible d'intégrer des composants latéraux haute tension au sein des circuits de puissance. Des composants LDMOS à technologie RESURF permettent d'obtenir des composants capables de tenir des tensions de l'ordre du kV (1200 V [ST08]). Des structures dites à "superjonction" offrent des performances supérieures (figure 1.17). Toutefois ces composants s'avèrent complexes à réaliser et nécessitent des techniques de conception particulières, qui peuvent s'avérer onéreuses par rapport aux bénéfices apportés. Il faut toujours veiller à maintenir le compromis entre les coûts technologiques et les performances souhaitées.

## 2.5 Performances et limitations des solutions actuellement proposées

En raison de leurs performances (tenue en tension de 1200 V et calibre en courant inférieur à 3 A), les circuits de puissance intégrés sont actuellement majoritairement utilisés en tant que circuit de commande rapprochée (driver) pour les transistors MOSFETs ou IGBTs (exemple présenté à la figure 1.18).

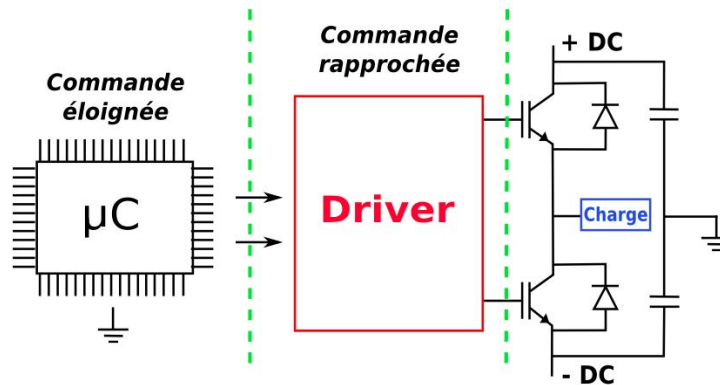


FIGURE 1.18 – Schéma de principe d'une chaîne de contrôle d'un bras d'onduleur à IGBTs. La commande éloignée est réalisée à partir d'une unité intelligente (ex : microcontrôleur), qui transmet les différents ordres de commande au circuit de commande rapprochée (ex : circuit de puissance intégrée) pour permettre la commutation des interrupteurs de puissance.

### Présentation de solutions actuellement disponibles

Le tableau 1.9 présente de façon non exhaustive quelques technologies de circuits commercialisés. La majorité des solutions sont capables de tenir des tensions de l'ordre de 600 V. De plus, leur température de fonctionnement est généralement limitée à 170 °C. Quelques fabricants tels que IRF ou Mitsubishi ont récemment proposé des circuits plus performants. Mitsubishi a par exemple élaboré un driver M81738FP capable de délivrer un courant de sortie de 1 A. Ce circuit possède un étage d'isolation basé sur un levelshifter apte à supporter 1200 V et un courant de fuite inférieur à 10  $\mu$ A (technologie RESURF de seconde génération). Les drivers SOI de Mitsubishi sont capables d'opérer jusqu'à 225 °C [YXYT12].

Fabriquant	Tenue en tension	Calibre en courant	Limite en température	Technologie
ST-Microelectronics	600 V	(+/-) 0.7 A	170 °C	BCD
Fairchild	600 V	+250 mA/-500 mA	170 °C	BCD
IRF	1200 V	+1.7 A/-2 A	170 °C	CMOS
Mitsubishi	1200 V	(+/-) 1 A	225 °C	SOI

TABLEAU 1.9 – *Quelques caractéristiques des technologies de circuits intégrés de puissance disponibles dans le commerce [HER08].*

Infineon a commercialisé un driver innovant basé sur l'intégration d'un transformateur coreless (référence : ED020I12-FI). Ce driver présente une tenue en tension de 1200 V et peut délivrer un courant de sortie de 2 A. Sa température de fonctionnement est limitée à 150 °C. Le transformateur est employé pour isoler la partie "high side" du driver de la partie commande. Cette technologie offre l'avantage de garantir une isolation galvanique au sein du circuit, contrairement aux solutions à base de levelshifters (circuits du tableau 1.9). D'après le fabricant, ce composant peut opérer jusqu'à une fréquence de 200 kHz. Il peut supporter une tension d'isolation allant jusqu'à 2.5 kV et un  $dv/dt$  de +/- 50 kV/ $\mu$ s. Selon les topologies envisagées, l'intégration d'un transformateur coreless permet la simplification des architectures de contrôle [MABK03a] [MABK03b]. L'utilisation de ce type de circuit offre la possibilité de se passer de solutions basées sur des optocoupleurs ou des transformateurs de type impulsionnel entre la commande éloignée et la commande rapprochée pour garantir l'isolation galvanique du système.

La société Semikron a choisi la technologie SOI pour réaliser ces drivers de puissance [MR10] [MR05]. L'isolation par jonction présente de nombreux avantages tels que la réduction des courants de fuite, l'élimination d'effets parasites tels que le "latch up" et la possibilité d'un fonctionnement en température au-delà de 200 °C. En contrepartie, la technologie SOI actuelle n'offre pas la possibilité de bénéficier de levelshifters capables de supporter des potentiels supérieurs à 600 V. Pour concurrencer les drivers 1200 V, une topologie innovante réalisée à partir de cascades et de levelshifters a été établie [VMRR10]. Cependant, la limite physique de la tenue en tension de l'oxyde de grille utilisé dans la technologie SOI oblige à séparer physiquement les parties "high side" et "low side" du driver. Cette solution a pu être testée convenablement jusqu'à 200 °C contrairement aux circuits concurrents, qui n'ont pu opérer au-delà de 150 °C (figure 1.19) [SP05]. Il s'agit d'une solution avancée, qui n'est pour le moment pas encore disponible sur le plan commercial.

### Vers une solution de circuits intégrés de puissance monolithique

Les constructeurs japonais se démarquent néanmoins puisque Mitsubishi (référence : M81500 FP, [Cor07]), Hitachi (référence : ECN 30601, figure 1.20, [HIT]) et Toshiba (référence : TPD 4135K, [TOS10]) ont intégré sur un substrat SOI un onduleur triphasé à base de composants IGBT et son circuit de commande destiné principalement au pilotage des moteurs de moyenne puissance (applications : machine à laver, pompage, ventilation ...). Leurs performances sont limitées puisque les levelshifters supportent au mieux 500 V, mais ils peuvent délivrer un courant allant de 1 A (Mitsubishi) à 3 A (Toshiba). Néanmoins, ces circuits sont compatibles avec

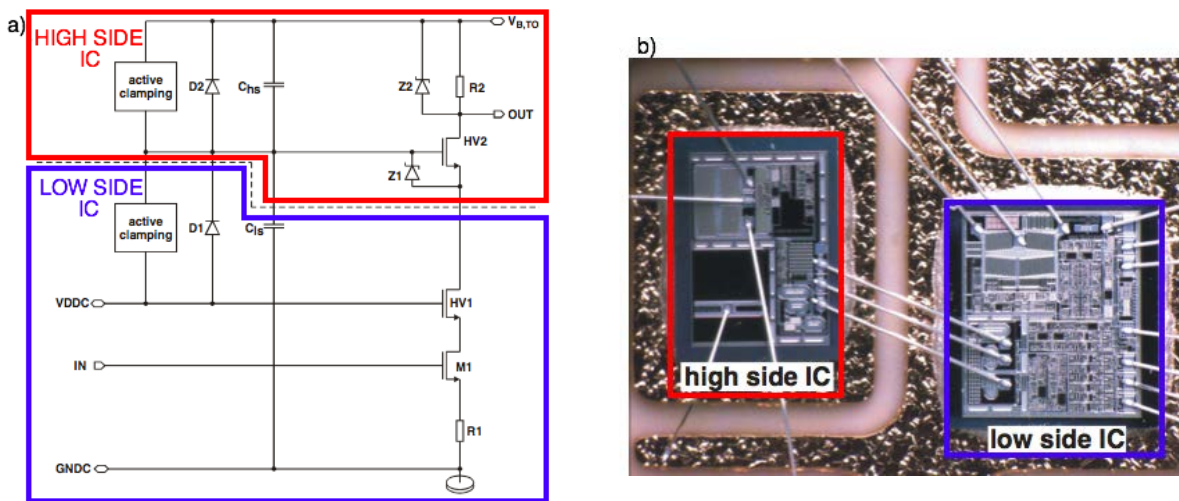


FIGURE 1.19 – Structure d'un circuit de commande basé sur un levelshifter de 1200 V en SOI fabriqué par Semikron (a) : schéma électrique, b) : photographie). La partie "high side" du circuit intégré est représentée en rouge et la partie "low side" est mis en évidence au moyen d'un encadré bleu [HLRV10].

les technologies présentées (Mitsubishi : M81738FP) et des solutions plus performantes sont envisageables (tenue en tension de 1200 V) [ST08].

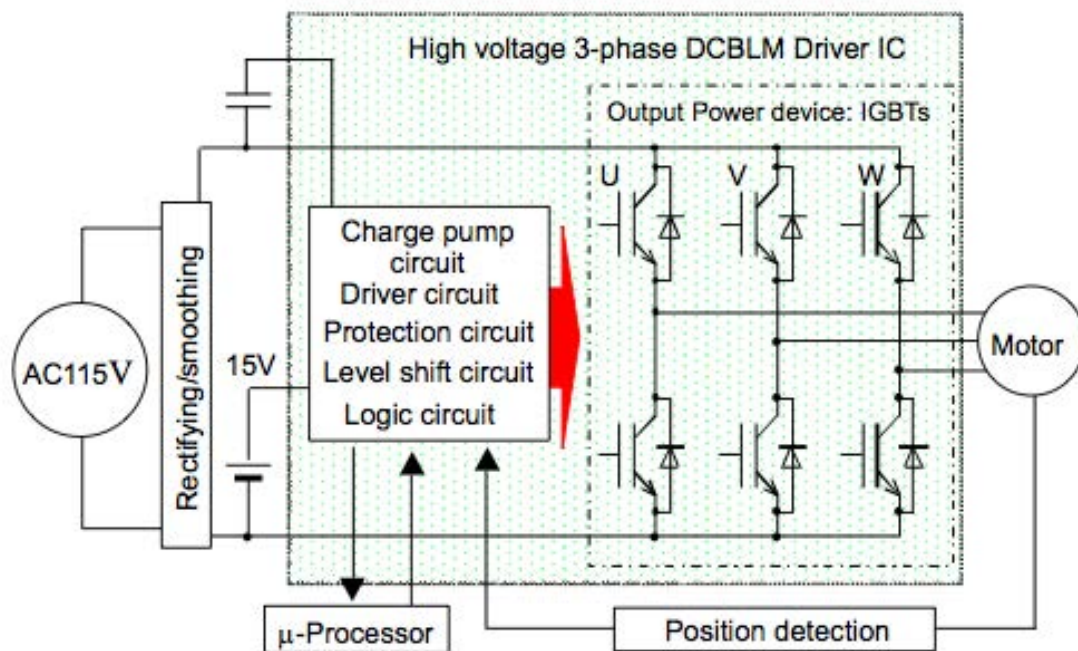


FIGURE 1.20 – Synoptique d'une chaîne de pilotage d'un moteur utilisant un circuit ECN 30601 de Hitachi [HIT].

## 2.6 Conclusion sur les circuits intégrés de puissance

Les circuits de puissance sont couramment utilisés au sein des applications de puissance. Ils favorisent l'intégration des dispositifs d'électronique de puissance grâce à une réduction du nombre de composants, du poids et du volume du système. Cela améliore notamment sa fiabilité, ses performances, sa compatibilité électromagnétique et réduit son coût de fabrication. En contrepartie, les solutions actuellement proposées présentent des limites technologiques (tenue en tension : 1200 V, calibre en courant  $< 1$  A). Ceci implique l'ajout d'étages de puissance supplémentaires pour les applications de moyenne et forte puissance (circuit hybride). Les circuits de puissance intégrés en matériaux Grand Gap pourraient être une solution alternative apte à surmonter les frontières actuelles (tenue en tension de 1200 V, calibre en courant de 2 A, température de fonctionnement de l'ordre 225 °C ...). D'après J. BALIGA, les matériaux à Grand Gap possèdent des propriétés physiques supérieures à celle du silicium [BAL06]. Ces semi-conducteurs devraient permettre de surmonter les frontières des solutions actuellement réalisées en silicium et d'accroître les performances physiques des systèmes électriques. Le paragraphe suivant présente les principales propriétés des matériaux Grand Gap et les premières démonstrations de fonctions intégrées en technologie Grand Gap.

## 3 Les solutions en matériaux Grand Gap

Le silicium est devenu le matériau le plus utilisé dans l'industrie de l'électronique pour la fabrication des composants à semi-conducteur. Il présente des coûts de fabrication relativement faibles puisque ses procédés de fabrication sont largement maîtrisés, mais aussi par le fait que ce matériau est largement répandu sur terre (silice). Ce matériau présente néanmoins des limites physiques et ne peut répondre aux besoins actuels des applications énergétiques. La solution consiste alors à utiliser des matériaux à Grand Gap (bande interdite  $> 1.7$  eV) pour concevoir des circuits ou des composants de puissance capables de fonctionner dans des environnements contraignants de forte puissance (haute tension, haute température, radiation ...). Les propriétés des matériaux Grand Gap offrent de nouvelles opportunités pour contribuer à l'amélioration des performances des systèmes de l'électronique de puissance. La partie suivante présente les principaux avantages conférés par les matériaux Grand Gap pour les systèmes de puissance.

### 3.1 Les avantages procurés par les matériaux Grand Gap

Les matériaux à Grand Gap sont des composants dont la bande interdite est supérieure à 1.7 eV [BAR10]. De nombreux matériaux Grand Gap existent tels que le Nitrure d'aluminium (AlN) ou le Nitrure de bore (BN). Dans le cadre de cette thèse, les trois principaux matériaux dit à "Grand Gap" utilisés pour la fabrication des composants de puissance seront abordés. Il s'agit du diamant (C), du Nitrure de Gallium (GaN) et du Carbure de Silicium (SiC). D'après la figure 1.21, ces semi-conducteurs présentent théoriquement un meilleur comportement en température que le silicium. Par exemple un composant en 2H-GaN d'une tenue en tension  $V_{BR}$  de 1000 V pourra théoriquement fonctionner jusqu'à 1800 K (1526.85 °C) contre 1000 K (726.85 °C) pour un élément en 3C-SiC et 480 K (296.85 °C) pour une structure en silicium.

Les figures 1.21 et 1.22 montrent que le diamant présente les meilleures propriétés physiques. L'utilisation de cette technologie n'est pas envisageable dans le cadre de cette thèse contrairement à celle du GaN ou du SiC. En effet, le dopage n'est pour le moment que de type

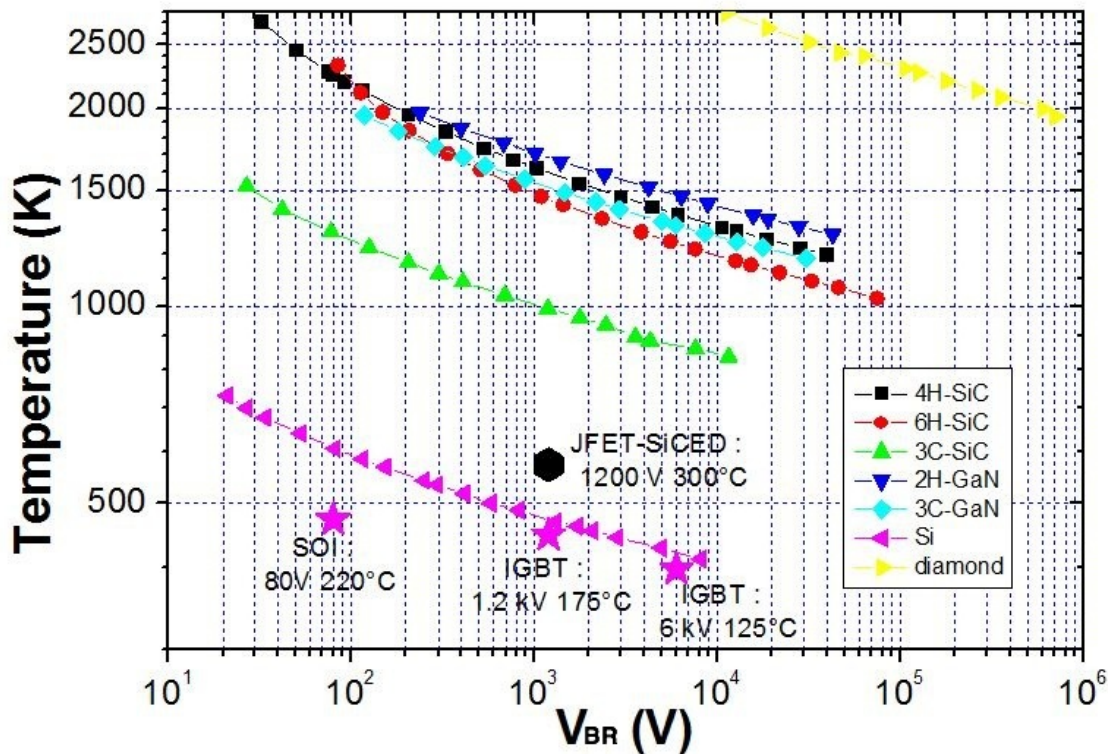


FIGURE 1.21 – Evolution des limites en températures en fonction de la tension de claquage  $V_{BR}$  des semi-conducteurs Si, GaN, SiC et diamant [RTMP10].

P et les substrats sont de faibles tailles ( $< 1 \text{ cm}^2$ ) [CIV09]. Quelques composants tels que des diodes Schottky ont été réalisés par F. THION [THI12]. Aucun démonstrateur en diamant de type circuit ne peut actuellement être envisagé en raison de ces contraintes technologiques.

D'après les figures 1.22 et 1.22, le GaN présente des caractéristiques équivalentes, voire supérieures aux SiC sur certains aspects. La température d'utilisation maximale est par exemple supérieur ( $650 \text{ °C}$  contre  $500 \text{ °C}$ ). Le champ électrique critique  $E_c$  est de  $5 \times 10^6 \text{ V/cm}$  contre  $3 \times 10^6$  pour le SiC. De plus, le GaN contrairement au SiC est réalisable à partir d'une hétérostructure sur silicium. Les propriétés procurées par le GaN permettent d'envisager des solutions intégrées capables d'opérer au sein des environnements sévères (ex : haute température).

Afin d'évaluer les avantages apportés par l'utilisation des matériaux Grand Gap, quelques grandeurs spécifiques vont être comparées entre le GaN, le 4H-SiC et le Si.

Les larges bandes interdites du GaN ( $3.4 \text{ eV}$ ) et du 4H-SiC ( $3.2 \text{ eV}$ ) permettent aux composants de fonctionner dans des environnements de forte température. La densité des porteurs intrinsèques reste inférieure à  $1 \text{ cm}^3$  à  $1000 \text{ K}$  [TOU08]. En effet, il s'avère quasi-impossible que les courants de fuite provoqués par l'agitation thermique des électrons puissent atteindre pour des températures inférieures à  $1000 \text{ K}$  une énergie supérieure à la hauteur de la barrière interdite.

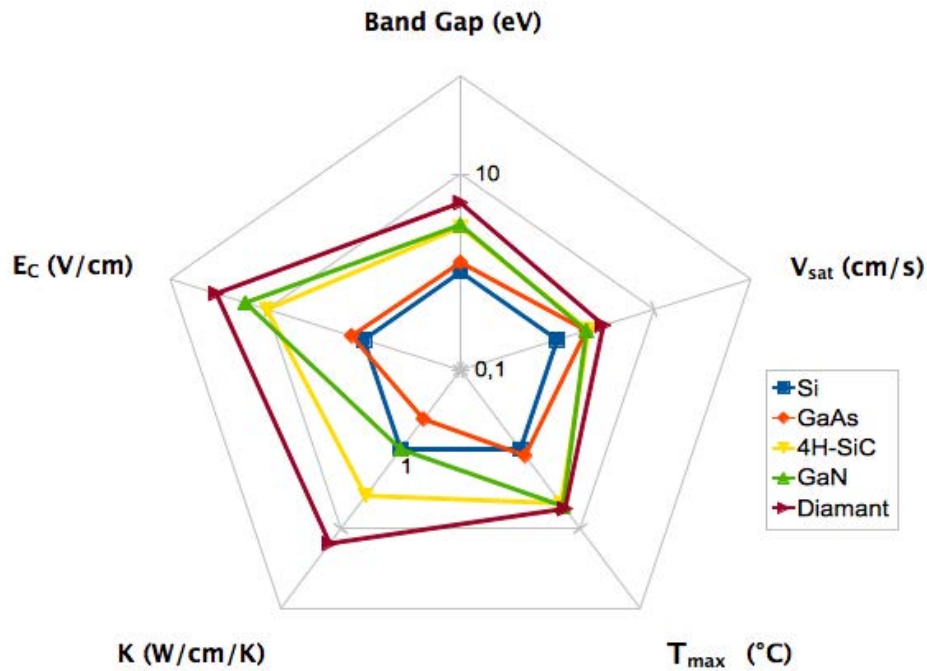


FIGURE 1.22 – Comparaison des paramètres physiques entre le Si, le GaAs, le 4H-SiC, le GaN et le Diamant [MP11].  $E_C$  représente le champ électrique critique.  $V_{sat}$  est la vitesse de saturation des porteurs libres.  $K$  correspond au coefficient de conductivité thermique et  $T_{max}$  est la température d'utilisation maximale.

Le SiC présente une bonne conductivité et une bonne stabilité thermique. Le coefficient de conductivité thermique  $K$  du SiC est supérieur à celui du GaN et du Si ( $5 \text{ W.cm}^{-1}.\text{K}^{-1}$  pour le SiC contre  $1.3 \text{ W.cm}^{-1}.\text{K}^{-1}$  pour le GaN et le Si). Cela permet au matériau de relativement bien évacuer les flux thermiques. En plus d'améliorer les performances électriques des composants, cela offre l'avantage d'alléger les systèmes de forte puissance grâce à la réduction de la taille des dispositifs de refroidissement. En effet, ces derniers occupent un volume important, présentent un poids conséquent, posent de nombreux problèmes de fiabilité, sont très coûteux à installer et à entretenir.

D'après des valeurs théoriques extraites de l'habilitation à diriger des recherches de D. Tournier, la résistance à l'état passant ( $R_{on}$ ) par unité de surface à température ambiante ( $27^\circ\text{C}$ ) pour une tension de claquage  $V_{BR}$  de 1000 V est plus faible pour le GaN et le SiC que pour le Si [TOU13]. Les différentes valeurs sont présentées dans le tableau 1.10. Cette diminution du  $R_{on}$  va conduire à une augmentation théorique du calibre en courant d'un facteur 1666 pour composant GaN et d'un facteur de 1000 pour un composant SiC par rapport à une structure en Si pour une tension  $V_{BR}$  de 1000 V.

Le GaN et le SiC possèdent respectivement un champ électrique critique supérieur à celui du silicium. Selon la formule 1.1 proposée par J. BALIGA, la tension de claquage  $V_{BR}$  d'un composant vertical dépend de son épaisseur " $ep$ " et du champ électrique critique  $E_C$  du matériau utilisé [BAL06]. D'après les propriétés physiques des semi-conducteurs, un composant réalisé



Semi-conducteur (sc)	$R_{on}$ (m $\Omega$ .cm <sup>2</sup> )	$R_{on-si}/R_{on-sc}$
GaN	0.12	1666
SiC	0.20	1000
Si	200	1

TABLEAU 1.10 – Comparatif de la résistance à l'état passant  $R_{on}$  par unité de surface des différents semi-conducteurs (sc) pour une tension de claquage  $V_{BR}$  de 1000 V à température ambiante (27 °C). La colonne de droite présente l'inverse du rapport de la résistance à l'état passant  $R_{on}$  du semi-conducteur (sc) concernée face à la valeur obtenue pour le Si [TOU13].

à partir d'un composant semi-conducteur en GaN ou en SiC présentera une épaisseur " $e_p$ " largement plus faible qu'un composant Si pour une tenue en tension  $V_{BR}$ . Par exemple, un composant en SiC d'une tension  $V_{BR}$  de 1000 V aura une épaisseur " $e_p$ " de 66  $\mu$ m contre 600  $\mu$ m pour un composant en Si. Elle sera de 40  $\mu$ m pour un composant en GaN. Le tableau 1.11 présente des valeurs obtenues pour ces semi-conducteurs. L'utilisation des semi-conducteurs GaN et du SiC favorise donc l'intégration des dispositifs. La forte valeur du champ  $E_C$  permet d'envisager des composants présentant des tenues en tension et des densités de courant supérieures aux composants en silicium. Les performances octroyées par ces semi-conducteurs permettent d'envisager la simplification des architectures de forte puissance (ex : High Voltage Direct Current) grâce à la réduction du nombre de composants utilisés. Par exemple, dix diodes d'une tenue en tension  $V_{BR}$  de 1 kV pourraient être remplacées par une diode SiC de 10 kV [MS09a] [MS09b].

$$V_{BR} = \frac{E_C \cdot e_p}{2} \quad (1.1)$$

- $V_{BR}$  : tension de claquage (V)
- $E_C$  : champ électrique critique ( $\frac{V}{cm^{-1}}$ )
- $e_p$  : épaisseur d'un composant vertical (cm)

Semi-conducteur (sc)	$E_C$ (V.cm <sup>-1</sup> )	" $e_p$ " ( $\mu$ m)	Rapport $ep_{si}/ep_{sc}$
GaN	$5 \times 10^6$	40	15.0
SiC	$3 \times 10^6$	66	0.9
Si	$3 \times 10^5$	600	1

TABLEAU 1.11 – Comparatif du champ électrique critique  $E_C$  de différents semi-conducteurs (sc) pour une tension de claquage  $V_{BR}$  de 1000 V. " $e_p$ " correspond à l'épaisseur d'un composant vertical. Les valeurs de ce paramètre proviennent de la formule 1.1. L'inverse du rapport des épaisseurs pour les différents semi-conducteurs en fonction de celle du silicium sont présentés dans la colonne de droite [BAL06].

Enfin, la vitesse de saturation des porteurs est supérieure à celle du silicium  $2 \times 10^7$  cm.s<sup>-1</sup> (valeur identique pour le GaN et le SiC) contre  $1 \times 10^7$  cm.s<sup>-1</sup>. Cette propriété s'avère particulièrement intéressante pour les applications RF dont les fréquences de fonctionnement sont situées dans le GHz. Dans le cas des applications de puissance en GaN et en SiC, elle ne présente pas un intérêt majeur puisque les fréquences de commutation visées sont de l'ordre du MHz. Toutefois cela signifie que les systèmes ne seront pas "bridés" en fréquence par les limites des semi-conducteurs. Il est important de préciser que plus la fréquence d'un dispositif est élevée et plus la taille des composants passifs employés dans le système se trouve réduite.

Les propriétés des semi-conducteurs "Grand Gap" permettent d'obtenir des dispositifs dont les performances physiques sont supérieures à celles procurées par le silicium. Les premières réalisations de circuits intégrés en technologie Grand Gap (GaN et SiC) vont être présentées à la partie suivante.

### 3.2 Les circuits intégrés en technologie Grand-Gap

#### Les réalisations en technologie GaN

Plusieurs démonstrateurs de circuit intégrés en GaN ont déjà été réalisés. Il s'agit principalement de fonctions logiques et analogiques développées de façon spécifiques pour les applications RF [HMTea03], [CCTC07], [GYC<sup>+</sup>12]. Ces dernières sont basées sur une logique "Direct-Coupled FET (DCFL)" [CCTL06], [CCT<sup>+</sup>05]. Ce type de technologie est, à l'heure actuelle, la solution la plus viable pour la conception de circuits intégrés en GaN. En effet, il n'existe aucun transistor complémentaire de type P et les MOSFETs GaN ne peuvent pour le moment être considérés comme des composants fiables [TOU13].

Y. CAI et son équipe de l'université de HONG KONG ont élaboré un oscillateur en anneau de 17 étages basés sur des cellules DCFL. La fréquence fondamentale de ce circuit a été caractérisée à 193 MHz à 25 °C pour une polarisation  $V_{dd}$  de 2.5 V [CCT<sup>+</sup>05]. Les performances de l'oscillateur ont été testées en température. Ce dernier oscillait à 66 MHz pour une température de 375 °C [CCTC07]. Il s'agit de la première réalisation d'un oscillateur en anneau à partir de cellules DCFL en GaN. T. HUSSAIN avait réalisé un oscillateur en anneau de 31 étages comportant 217 HEMT GaN à déplétion [HMTea03]. Ce circuit oscillait à une fréquence de 93 MHz à température ambiante (25 °C). A. MAN HO KWAN de l'université de HONG KONG a conçu un comparateur à base de AlGaN/ GaN HEMT [KWLC10]. Ce circuit présente un gain supérieur à 31 dB et une bande passante supérieure à 4 MHz jusqu'à une température de 250 °C. Le gain statique de ce circuit a été évalué à 27.1 dB à 400 °C (figure 1.23).

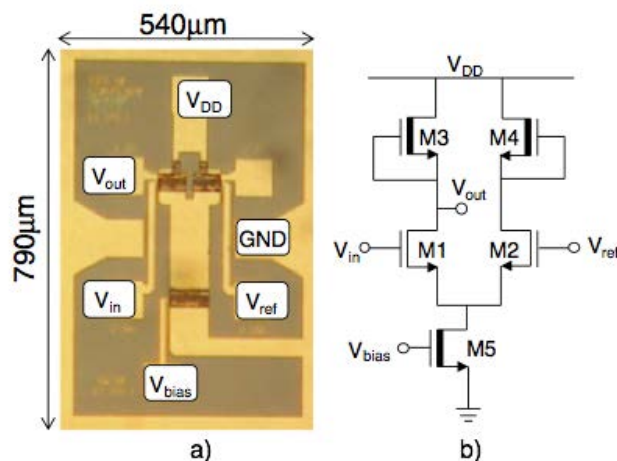


FIGURE 1.23 – Photographie (a) et schéma électrique (b) d'un circuit comparateur à base de AlGaN/GaN HEMT. La taille de la puce est d'approximativement  $0.43 \text{ mm}^2$  [KWLC10].

Des travaux sur la problématique de l'électronique de puissance ont été entrepris. W. CHEN et son équipe de l'université de HONG KONG ont démontré la faisabilité d'intégration d'un

AlGaN/ GaN HEMT "normally off" et d'un L-FER (Integrated lateral field effect rectifier) sur un même substrat (figure 1.24). Ces composants ont été utilisés en tant qu'interrupteurS de puissance dans une topologie de puissance "boost". Le convertisseur de puissance a donné une tension  $V_{out}$  maximale de 75 V pour un  $V_{in}$  de 50 V à 1 MHz avec un rendement énergétique de 68 % [CW09].

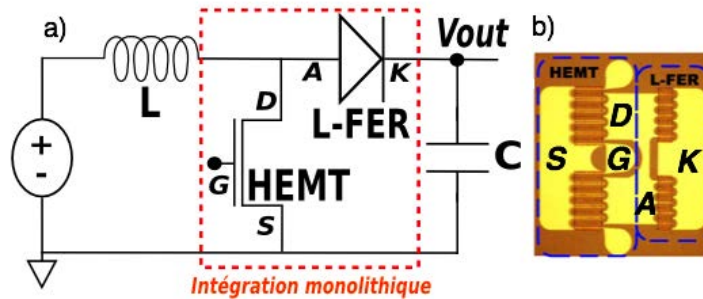


FIGURE 1.24 – Schéma du convertisseur boost (a) et photographie (b) des composants GaN latéraux utilisés en tant qu'interrupteur de puissance. La puce constituée d'un HEMT et d'un L-FER en AlGaN/ GaN présente une aire de  $0.36 \text{ mm}^2$  dont  $0.0625 \text{ mm}^2$  pour la surface active. [CW09].

L'objectif est maintenant d'élaborer des circuits de commande pour contrôler ces interrupteurs de puissance. L'équipe de W. CHEN a par la suite établi une technologie "Smart Power" GaN sur substrat silicium, qui permet d'intégrer sur le même wafer des composants de puissance haute tension et des composants de signaux latéraux (figure 1.25). A partir de cette technologie, plusieurs briques élémentaires dont une source de tension stabilisée ont été fabriquées. Les caractérisations expérimentales ont montré que ce circuit était capable de fournir une tension de référence négative de  $-2.21 \text{ V}$  à  $25 \text{ }^\circ\text{C}$  et de  $-2.13 \text{ V}$  à  $250 \text{ }^\circ\text{C}$ . Le circuit présente des performances thermiques intéressantes puisque sa dérive en température reste inférieure à  $0.5 \text{ mV/ }^\circ\text{C}$ . Dans la perspective d'un circuit "Smart Power" entièrement intégré en GaN, ce type de circuit pourra typiquement être utilisé comme source de référence des différentes entités de la partie intelligente [WCea10].

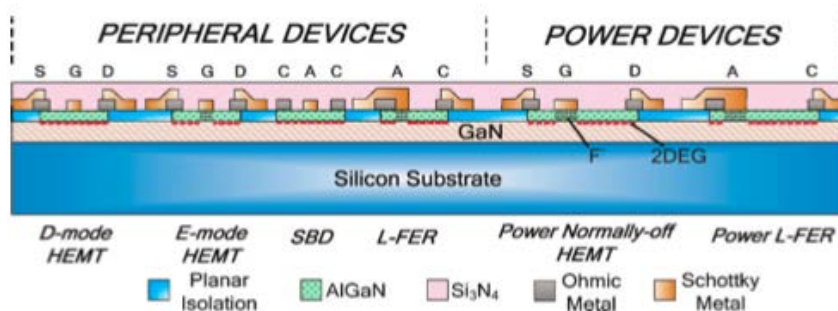


FIGURE 1.25 – Schéma de la technologie d'intégration "Smart Power" GaN élaborée sur un substrat silicium. Une partie du circuit de commande rapproché (peripheral devices) et l'interrupteur de puissance (power devices) sont intégrés sur le même substrat. [WCea10].

Les différents démonstrateurs réalisés en technologie GaN ont montré la viabilité de solutions élaborées pour les environnements sévères (haute température). Toutefois, la majorité des circuits opérationnels sont principalement destinés aux applications RF. Néanmoins, les premiers démonstrateurs de circuits intégrés appliqués au contrôle des interrupteurs de puissance sont en cours de réalisation. Il s'agit d'une technologie relativement jeune, par conséquent peu mature et dont la fiabilité reste à démontrer. L'accès à cette technologie n'est pour le moment pas envisageable dans le cadre de cette thèse. Les travaux de recherche envisagés vont plutôt se porter vers des solutions en SiC. En effet, le laboratoire AMPERE et le CNM de Barcelone ont développé depuis plusieurs années un savoir-faire dans la conception, la fabrication et la caractérisation de composants en SiC. Les travaux menés liés à la thématique des circuits intégrés seront exposés au cours du second chapitre de ce manuscrit. La partie suivante va présenter les démonstrateurs de circuits intégrés en SiC élaborés jusqu'à maintenant.

### Les réalisations en technologie SiC

Quelques laboratoires travaillent sur la thématique des circuits intégrés en SiC. Plusieurs topologies de composants tels que les JFETs, BJT ou MOSFETs sont étudiées. La figure 1.26 présente une synthèse de la répartition des technologies de circuits intégrés en SiC à travers le monde. Les principales réalisations sont présentées dans les paragraphes suivants.

#### a) Les MOSFETs en SiC

Les premiers travaux sur les circuits intégrés en SiC ont débuté aux alentours de l'année 1990. A l'époque, les recherches portaient sur la mise au point de circuits logiques à base de MOSFETs 6H-SiC capables d'opérer à haute température. Ces circuits étaient fortement pénalisés par la faible transconductance des composants, par l'absence d'une technologie CMOS SiC, mais surtout par la précocité de la technologie SiC de l'époque. L'équipe de J. A. COOPER a mis au point un ensemble de portes logiques : NAND, NOR, XNOR, D-Latch, R-S flip-flop, un compteur binaire et un demi-additionneur. Ces circuits ont pu opérer jusqu'à 300 °C [XCM94].

Les premiers circuits intégrés en technologie CMOS sont par la suite apparus (figure 1.27). Un oscillateur en anneau composé de onze étages montés en cascade a permis le contrôle d'un totem-poll NMOS. La fréquence d'oscillation à 10 V était de 1.43 MHz [RKCM97] [RKCM98]. En 1999, un circuit "gate-driver" incluant des fonctions de protections (surtension, détection de court-circuit ...) a été réalisé. Ces différents types de circuits ont pu fonctionner jusqu'à une température de 300 °C [CKR99].

GENERAL ELECTRIC a conçu en 2010 un amplificateur à base de NMOS, qui a opéré jusqu'à 300 °C pendant 100 h [STL<sup>+</sup>11]. Un compteur 4-bits s'est montré stable pendant 500 h à 500 °C [PRT12]. En raison de problèmes liés à l'oxyde de grille (dégradation rapide avec la température), la technologie MOSFET SiC ne peut-être utilisée au-delà de 300 °C [PFMG09] [PRT12] [NKP09] alors que les propriétés du SiC permettent d'envisager des solutions beaucoup plus performantes (600 °C). La société RAYTHEON présente néanmoins une technologie CMOS capable d'opérer jusqu'à 400 °C, mais pour le moment aucun démonstrateur fiable n'a été présenté [RCC<sup>+</sup>12] [TCM<sup>+</sup>11] [YCC<sup>+</sup>12].

Des technologies de composants plus robustes à la haute température ont été élaborées. Deux principales topologies présentent des performances relativement avantageuses à savoir les JFETs [NSC<sup>+</sup>07] et les transistors bipolaires (BJTs) [ZLG<sup>+</sup>12].

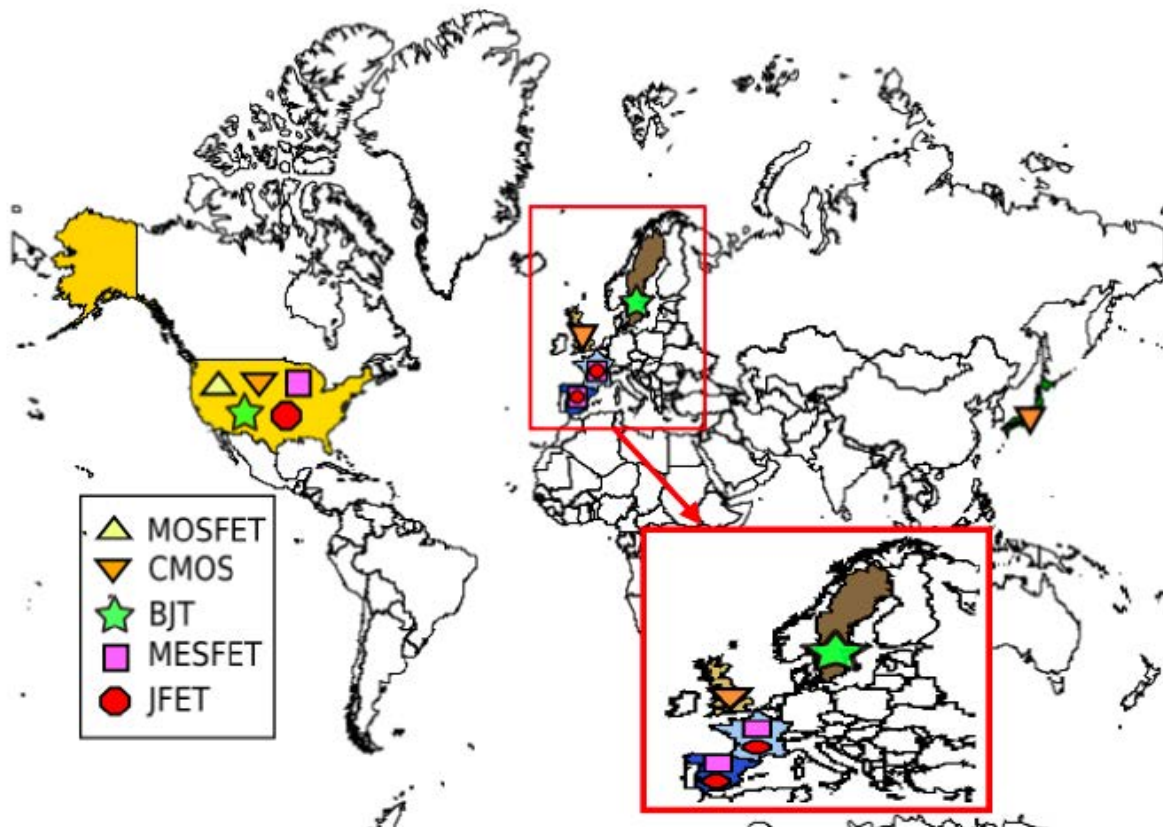


FIGURE 1.26 – Répartition mondiale des différentes technologies de circuits intégrés en SiC. En raison des différentes technologies utilisées SiC dans la zone européenne, un zoom a été établi sur cette partie du monde. MOSFET : [STL<sup>+</sup>11], [PRT12], CMOS : [RKCM98], [CKR99], [YCC<sup>+</sup>12], [OYKO09], BJT : [ZLG<sup>+</sup>12], [LSC08], MESFET : [TGM<sup>+</sup>02], [DTG<sup>+</sup>10], [SNOC04], JFET : [PFMG09], [TGM<sup>+</sup>02], [NKP09].

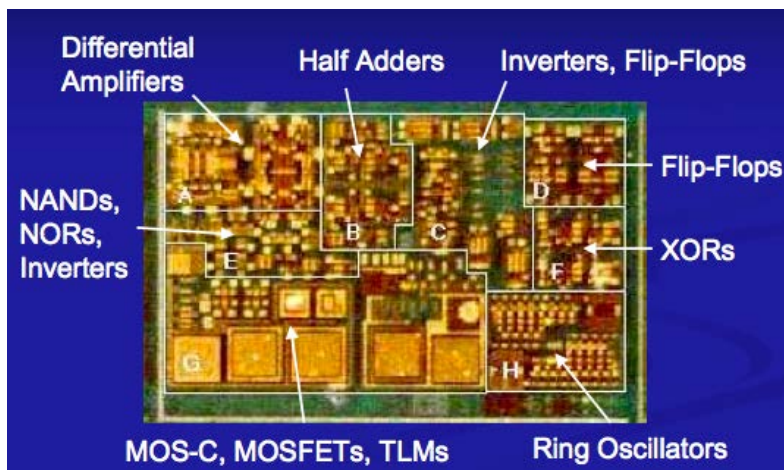


FIGURE 1.27 – Photographie des premiers circuits intégrés CMOS en SiC réalisés en 1994 par l'équipe de J. A. COOPER (Etats-Unis) [COO94].

### b) Les transistors JFETs en SiC

La NASA grâce à l'équipe dirigée par P. NEUDECK fut précurseur de cet axe de recherche. Un MESFET a été conçu et testé 558 h jusqu'à 500 °C [SNOC04]. Les résultats avec ce composant latéral ont été mitigés puisque les performances de ce composant se sont rapidement dégradés au-delà de 558 h. Par la suite, un MESFET packagé pour stabiliser le fonctionnement en haute température a opéré jusqu'à 2457 h à 500 °C [CSN06]. Le principal problème de ce composant est lié à la dégradation du contact de grille Schottky, qui devient ohmique avec l'exposition prolongée du composant à la température [CSN06] [TOU08]. Face à ce problème, un composant JFET a été fabriqué [NSC<sup>+</sup>08b] [NKP09] [SNC<sup>+</sup>09] [BNS12]. Le procédé de fabrication du JFET est relativement proche de celui du MESFET. La différence entre ces composants est liée à la nature de la grille. Cette dernière est de type ohmique dans un JFET (jonction PN) et de type Schottky dans un MESFET. L'inconvénient majeur de la technologie JFET est lié au contact ohmique P de la grille du composant, qui est généralement difficile à réaliser en SiC [NKP09]. Néanmoins, les travaux ont montré qu'un contact semi-ohmique suffisait au bon fonctionnement du composant. La jonction PN est utilisée pour bloquer le composant. Le fait que le contact P ne soit pas utilisé pour le passage du courant explique qu'un contact médiocre soit suffisant pour le JFET. Ce composant d'un calibre en courant de 1.5 mA (@  $V_{GS} : 0$  V et  $V_{DS} : 50$  V) et présentant une résistance à l'état passant de 5 k $\Omega$  (@  $V_{GS} : -1$  V et  $V_{DS} : 20$  V) a parfaitement fonctionné pendant 10000 h à 500 °C [BNS12].

Après avoir conçu des MESFETs et des JFETs en technologie 6H-SiC. La NASA a lancé la réalisation de circuits électroniques basés sur ces composants élémentaires dans l'optique d'un fonctionnement à 500 °C [CSN06] [NEU09]. Comme pour les composants individuels, les circuits ont été soumis à des tests de très longues durées à haute température. Un amplificateur différentiel en JFETs a fonctionné 500 °C durant 6500 h [NSC<sup>+</sup>07] [NSC<sup>+</sup>08b] [BNS12] [KRA12]. Une porte logique NOR a quant à elle opérée 2500 h à 500 °C [BNS12] [NSC<sup>+</sup>08a]. Enfin un oscillateur en anneau a récemment été convenablement testé à 500 °C (aucune durée de temps n'est précisée) [KRA12] [BNS12] [MNPea12]. De nombreuses fonctions analogiques et logiques ont été développées à partir de ces composants normalement passant en 6H-SiC (tableau 1.12).

Analogique	Logique
Amplificateurs différentiels	Bascule D
Drain commun	Inverseur
Oscillateur	NAND
Source commune	NOR
	Oscillateur en anneau

TABLEAU 1.12 – Fonctions SiC à base de JFETs ou MESFETs.

Depuis d'autres universités telles que la "Case Western Reserve University" de Cleveland en Ohio (Etats-Unis) ont entrepris des travaux similaires. A. PATIL a ainsi réalisé plusieurs versions d'amplificateurs différentiels entièrement intégrés à partir de JFETs en 6H-SiC et opérationnels jusqu'à 600 °C (figure 1.28). Par exemple, un amplificateur double étage chargé par une source de courant présentait un gain différentiel de 69 dB à 576 °C. La caractérisation en fréquence de ce circuit a donné une valeur du produit gain bande-passante de 1.4 MHz pour

cette température. Le circuit présente une diminution du gain de 3.6 dB par rapport à celui mesuré à la température ambiante de 25 °C. La variation de ce gain entre 25 °C et 576 °C est de l'ordre de 5%. Ce montage est apte à amplifier des signaux dans les milieux hautement tempérés (576 °C) [PFMG09].

La NASA développe désormais des systèmes intelligents entièrement intégrés en SiC. Les premiers démonstrateurs de microcontrôleurs en SiC sont attendus pour 2016 [KRA12], [BNS12].

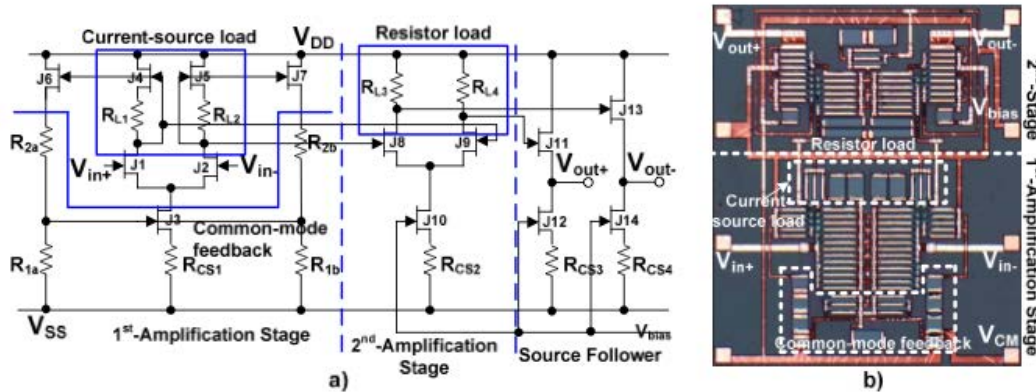


FIGURE 1.28 – Schéma (a) et photographie (b) d'un amplificateur différentiel chargé par une source de courant réalisé à partir de JFETs en SiC [PFMG09].

### c) Les transistors bipolaires (BJTs) en SiC

L'équipe de J. A. COOPER de l'université de PURDUE a réalisé les premiers circuits TTL en SiC. Ces structures ont convenablement opérées jusqu'à 300 °C [LSC08]. En Europe, l'Institut Royal de technologie de Stockholm (KTH) a fait le choix d'axer sa stratégie de recherche sur le développement de circuits intégrés à base de transistors bipolaires en SiC [ZLG<sup>+</sup>12] [LAN12] [LGMZ12]. Les travaux ont abouti à la réalisation de fonctions électroniques telles que des amplificateurs (figure 1.29), des portes logiques, des oscillateurs en anneaux ... Contrairement aux travaux des équipes américaines sur les transistors JFETs, les tests sur les composants bipolaires n'ont pas été poussés au-delà d'une température de 300 °C. En revanche, les résultats obtenus étaient relativement intéressants puisque les circuits logiques présentaient des performances relativement proches de la température ambiante (25 °C) [ZLG<sup>+</sup>12].

L'équipe de C. M. ZETTERLING envisage désormais la réalisation d'un système autonome entièrement conçu à partir de BJTs en SiC capable de fonctionner à haute température [ZLG<sup>+</sup>12]. Les premiers démonstrateurs devraient être présentés prochainement.

## 3.3 Bilan sur les différentes technologies de circuits intégrés SiC

Le tableau 1.13 présente les différentes solutions d'intégration de circuits en SiC. La solution idéale serait l'utilisation de la technologie CMOS en SiC principalement pour faciliter la conception de circuits et de systèmes (design). Les derniers résultats proposés s'avèrent intéressants puisque cette technologie est annoncée comme opérationnelle à 400 °C [RCC<sup>+</sup>12].

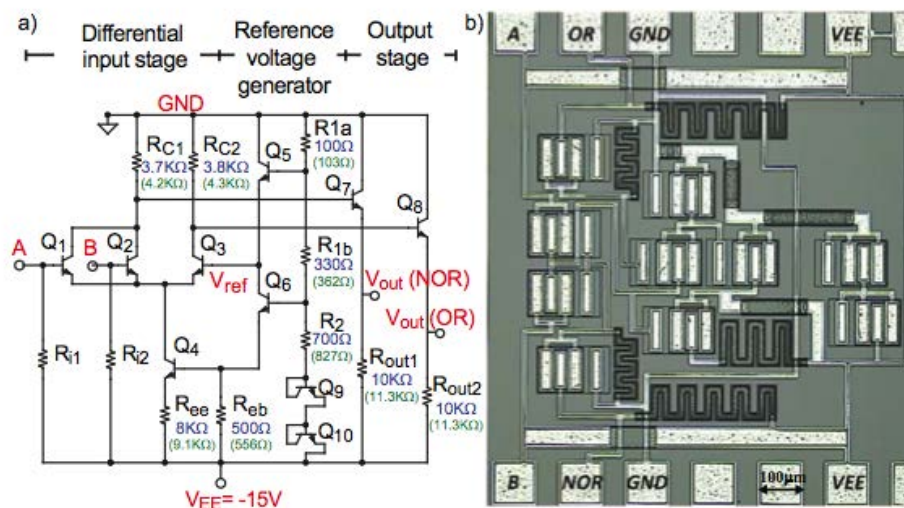


FIGURE 1.29 – Schéma (a) et photographie (b) d'un amplificateur opérationnel à base de transistors bipolaires (BJT) en SiC [ZLG<sup>+</sup>12].

Néanmoins, la levée de nombreux verrous est nécessaire pour obtenir une technologie fiable (avec des temps de fonctionnement  $t > 10000 \text{ h}$  @  $500 \text{ °C}$ ) [NKP09]. En attendant, des technologies telles que les JFETs ou les BJTs donnent d'excellents résultats en température et se montrent relativement fiables (JFET  $> 10000 \text{ h}$ ). Le principal défaut de la première technologie est liée à la difficulté de conception des circuits. En effet, il n'existe que des composants de type N et ils sont de nature "normally-on". Ceci complexifie la réalisation des fonctions et nécessite des polarisations négatives pour leur fonctionnement. Au niveau des BJTs, la difficulté majeure est liée aux procédés de fabrication. La conception de tels composants requiert un processus capable de fournir d'excellents contacts ohmiques P, des technologies d'épitaxie, de gravure et de passivation permettant d'obtenir des gains  $\beta = I_C/I_B$  élevés [NEU09] [ZLG<sup>+</sup>12] [LAN12].

	Température	Fiabilité	Intégration	Références
<b>MOSFET</b>	300 °C	100 h	Type N, <i>passifs</i> : R-C	[STL <sup>+</sup> 11], [PRT12]
<b>CMOS</b>	400 °C	-	Type N-P, <i>passifs</i> : R-C	[TCM <sup>+</sup> 11], [YCC <sup>+</sup> 12]
<b>BJT</b>	300 °C	-	PNP, NPN, <i>passifs</i> : R	[LAN12], [ZLG <sup>+</sup> 12]
<b>MESFET</b>	500 °C	558 h	Type N, <i>passifs</i> : R	[NSC <sup>+</sup> 07], [SNOC04]
<b>JFET</b>	600 °C	10000 h	Type N, <i>passifs</i> : R	[NCC <sup>+</sup> 08], [NSC <sup>+</sup> 08a]

TABEAU 1.13 – Comparaison des technologies de circuits intégrés en SiC.

En conclusion, chaque solution présente des avantages et des inconvénients. Le développement des différentes technologies offre une multitude de solutions pour la réalisation de systèmes capables d'opérer en environnement sévère. La figure 1.30 compare les différentes caractéristiques de chaque technologie d'intégration. La technologie MESFET/JFET sera utilisée pour la réalisation du démonstrateur envisagé dans le cadre de cette thèse. En effet, l'objectif des travaux de recherche entrepris est la conception d'un circuit de commande apte à opérer au sein des environnements sévères dont la haute température ( $> 300 \text{ °C}$ ). Les différentes données ex-



posées ont montré que cette technologie était la mieux adaptée puisqu'elle a permis l'obtention de systèmes capables de fonctionner jusqu'à 600 °C sur de longues périodes ( $t > 10000$  h).

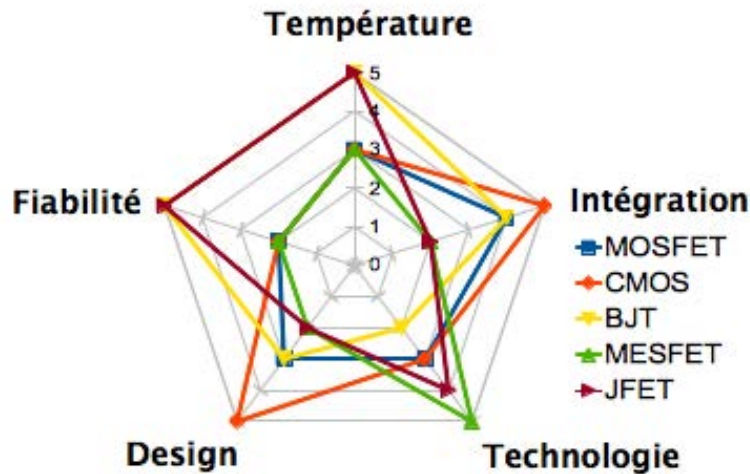


FIGURE 1.30 – Diagramme comparant une synthèse des différentes technologies de circuits intégrés en SiC.

### 3.4 Vers les premiers convertisseurs de puissance intégrés en SiC

Les circuits intégrés présentés dans la partie précédente sont technologiquement conçus pour des applications basse tension. La figure 1.31 présente la résistance à l'état passant ( $R_{on}$ ) en fonction de la tenue en tension  $V_{BR}$  de différents composants en silicium, SOI et SiC. On remarque que les composants en silicium et SOI ont atteint les limites théoriques envisageables à partir de ce matériau. La marge de progression des composants latéraux SiC est encore relativement importante. On constate que ces derniers présentent des résistances à l'état passant  $R_{on}$  plus faibles que les composants en silicium ( $> 200$  V) pour une tension de claquage  $V_{BR}$  équivalente. Enfin, le graphique montre que de nombreux composants latéraux en SiC ont pu atteindre des tenues en tension supérieures à 3000 V, alors que les composants latéraux en silicium ne dépassent pas les 900 V et présentent des valeurs de résistances à l'état passant  $R_{on}$  plus importantes. Par exemple, un MOSFET SOI présente une résistance  $R_{on} = 560 \text{ m}\Omega \cdot \text{cm}^2$  pour une tenue en tension  $V_{BR} = 860 \text{ V}$ , alors qu'un JFET SiC a une résistance  $R_{on} = 390 \text{ m}\Omega \cdot \text{cm}^2$  pour une tension de claquage  $V_{BR} = 3510 \text{ V}$ .

La création de circuit de commande de type HVIC en SiC pourrait s'avérer relativement intéressante. Grâce aux propriétés du SiC, ces circuits intégrés seraient capables de fournir des performances largement supérieures aux solutions actuelles en silicium en termes :

- de densité de courant ( $< 1$  A),
- de tenue en tension (600 V sur un même substrat, 1200 V en architecture hybride),
- de résistance à l'état passant ( $R_{on} = 560 \text{ m}\Omega \cdot \text{cm}^2$  pour une tenue en tension  $V_{BR} = 860 \text{ V}$ ),

et d'obtenir parallèlement des circuits de puissance intégrés capables d'opérer en environnement sévère (haute température  $> 300$  °C).

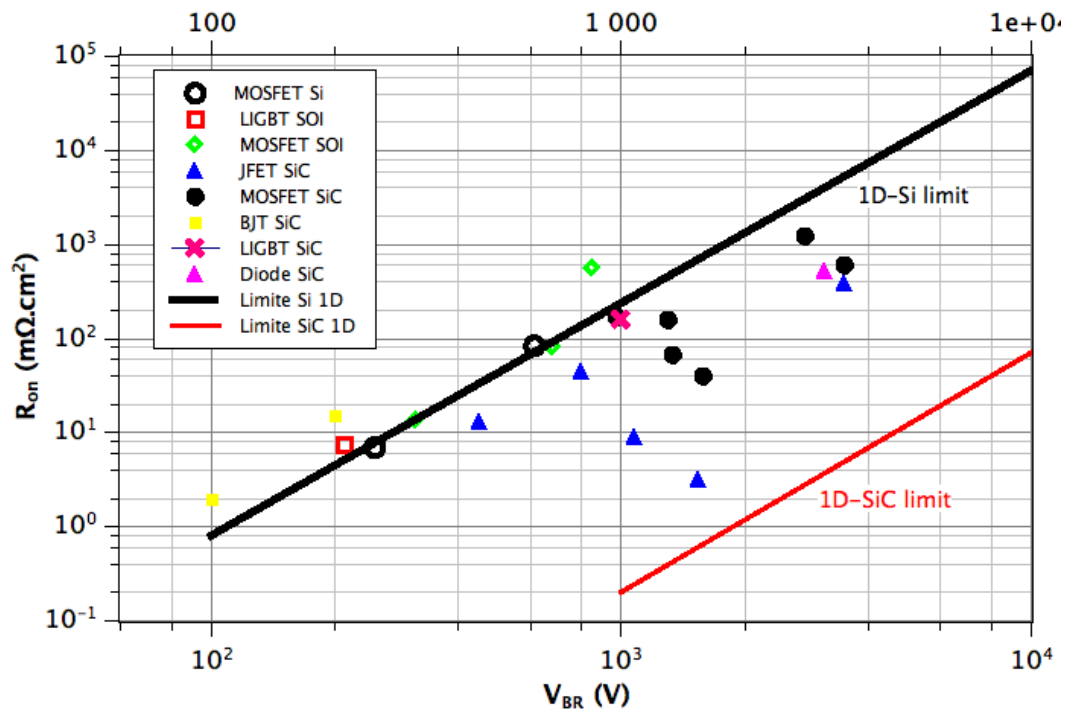


FIGURE 1.31 – Comparaison de la résistance à l'état passant  $R_{on}$  et en fonction de la limite 1D de la tension de claquage  $V_{BR}$  de composants latéraux en silicium, en SOI et en SiC. MOSFET Si : [VCW<sup>+</sup>07], [DU07] LIGBT SOI : [KHSJP12], MOSFET SOI : [ZXC12], [WCHea12], [XBL<sup>+</sup>11], JFET SiC : [ZSS<sup>+</sup>07], [HKW<sup>+</sup>09], [SSL<sup>+</sup>06], [FaTMSH04], [ZSSZ08], MOSFET SiC : [BCG02], [KKS05], [NSK09], [LLea11], [SPI00], [WBCG04] BJT SiC : [LAN12], [?], LIGBT SiC : [CLCea13], Diode SiC : [HKT08].

### Un circuit buffer pour les interrupteurs de puissance en SiC

N. ERICSON a réalisé un circuit de commande à partir de MOSFETs de type N en SiC destiné au contrôle des interrupteurs de puissance en SiC [EFea14]. Le schéma de ce dispositif est présenté en "a)" de la figure 1.32. Il est structuré par la mise en série de deux étages. Le premier étage correspond à l'entrée du circuit. Il s'agit d'un buffer constitué par deux inverseurs. Le second est l'étage de sortie réalisé au moyen d'une structure push-pull. La vue réelle de ce circuit est présentée en "b)". Ce dispositif présente une surface de 7 mm<sup>2</sup> pour une consommation énergétique de 3.79 W. Ce circuit driver possède un étage de commande rapprochée, il ne permet pas la génération de signaux de commande puisqu'un signal PWM (Power Width Modulation) de 0/+15 V est requis pour son contrôle.

### Co-intégration de transistors JFETs de signal et de puissance

Des travaux de co-intégration de composants latéraux de commande et de puissance ont été initiés par l'université du New-Jersey (USA) et présentés en 2008 [SZS<sup>+</sup>08] [ZSSZ08] [YSZ08]. Contrairement aux composants (JFET : "normally-on") utilisés par la NASA et la "Case Western Reserve University" des JFETs latéraux à canal vertical ("normally-off") de signal et de puissance ont été réalisés. La technique dite RESURF a été utilisée pour concevoir le composant de puissance, afin qu'il puisse tenir une tension de blocage d'au moins 1000 V. Par la suite, la caractérisation électrique du LJFET de puissance a montré qu'il tenait une tension

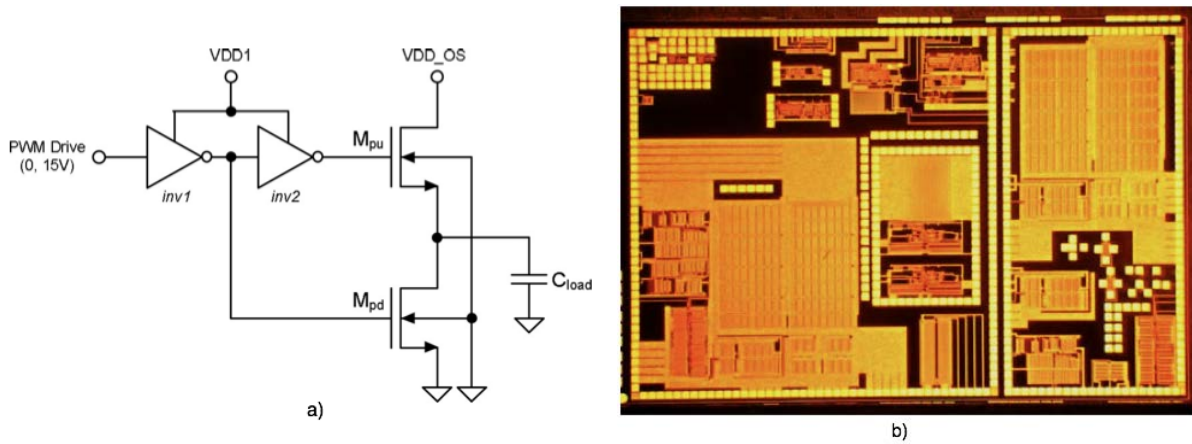


FIGURE 1.32 – Schéma électrique du circuit driver (a) et vue réelle du circuit réalisé d'une surface de 7 mm<sup>2</sup> (b) [EFea14].

de 1060 V, avait une résistance à l'état passant  $R_{on} = 9.5 \text{ m}\Omega \cdot \text{cm}^2$  et pouvait délivrer un courant de 2 A [SZS<sup>+</sup>08] [ZSSZ08]. Ces deux transistors ainsi que des résistances de type N ont été intégrés sur un substrat 4H-SiC (figure 1.33). L'isolation entre ces structures est réalisée par des tranchées de 1.7  $\mu\text{m}$  de profondeur.

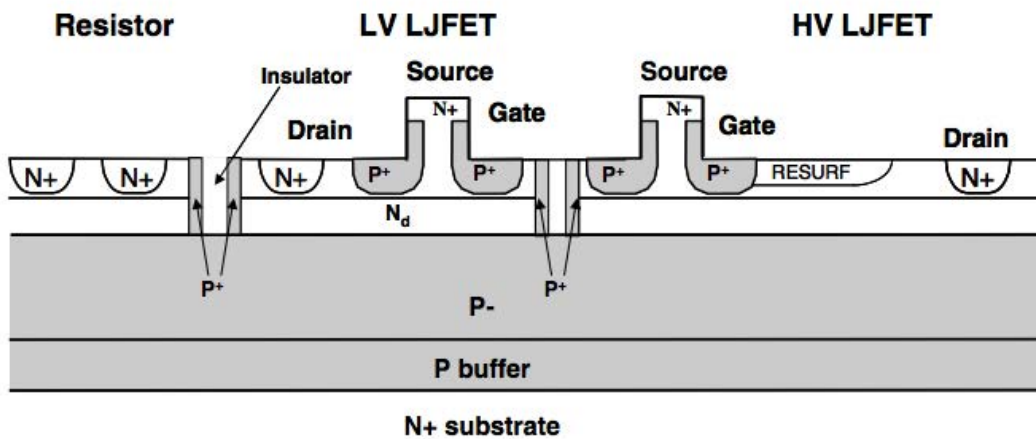


FIGURE 1.33 – Coupe verticale montrant la co-intégration des différents composants latéraux en SiC. Une résistance (resistor), un LV JFET (basse tension pour les transistors de type signal dédiés à la commande) et un HV LJFET (interrupteur de puissance) sont présentés dans cet exemple [SZS<sup>+</sup>08], [ZSSZ08].

Un convertisseur de puissance "boost" basé sur quatre transistors LJFETs de basse tension (quatre largeurs de grille de différentes valeurs) et un LJFET haute tension a été mis au point [SZS<sup>+</sup>08] [ZSSZ08]. Il s'agit du premier démonstrateur SiC intégrant sur un substrat monolithique des composants dédiés à la commande (buffers) et un interrupteur de puissance. Ce circuit a pu fournir une tension  $V_{out}$  de 200 V, un courant de 2 A et commuter à une fréquence de 1 MHz (figure 1.34).

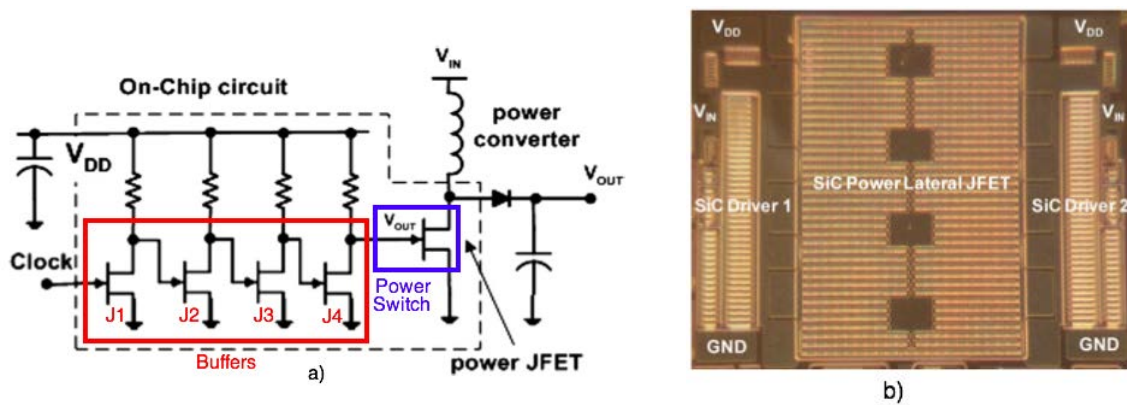


FIGURE 1.34 – Schéma du convertisseur boost (a) et photographie du substrat monolithique utilisé pour le démonstrateur (b). L'encadré rouge de la figure a correspond à la partie "buffer" de la commande. L'encadré bleu de cette même figure montre l'interrupteur de puissance JFET [SZS+08] [ZSSZ08].

Un hacheur élévateur et son circuit de commande contenant des fonctions de contrôle, de génération de signal (horloge) et de protection a été conçu, dimensionné et simulé à partir de ces JFETs. Ce circuit peut fournir une puissance de 1 kW (400 V et 2.5 A) pour une fréquence de découpage de 5 MHz. Pour pallier le handicap lié à l'absence de JFETs de type P, des JFETs "normally-on" ont été ajoutés à cette architecture [YSZ08].

### Le premier convertisseur monolithique de 50 W en SiC

Un consortium entre Cree, CoolCAD, "University of Maryland" et la "Boise State University" s'est fixé l'objectif de réaliser un convertisseur de 50 W en SiC intégré avec sa commande à partir de composants latéraux de type MOSFETs. Le tableau 1.14 présente les performances visées pour ce convertisseur monolithique en SiC [CCEUoM10].

P (W)	F (MHz)	N (%)	T (°C)	D (W/cm <sup>2</sup> )	Boost (V)	Buck (V)
50	5	> 93	> 250	~ 100	12 -> 36/100	100 -> 5 /12

TABEAU 1.14 – Performances du convertisseur en SiC envisagées.

Les avantages induits par le SiC conduisent à une compacité des systèmes de gestion d'énergie. En effet, la réduction de la taille des dispositifs de refroidissement, des composants actifs et passifs permettent de réduire la masse et le volume des systèmes de puissance. Ce qui se traduit par un gain énergétique pour les applications embarquées. Le tableau 1.15 met en évidence ce constat puisqu'il compare le volume et la masse de différentes structures basées sur des composants Si ou SiC.

### Conclusion sur les circuits intégrés en SiC

Les premières études sur les circuits intégrés en SiC se sont montrées relativement difficiles notamment en raison du coût, de la présence des défauts dans le SiC et de la complexité des processus de fabrication. Elles ont néanmoins permis de prouver qu'une topologie MOSFET en SiC n'était pour le moment pas adaptée aux applications haute température (> 300 °C), mais

Élément	Volume ( $cm^2$ )	Masse (g)
Diodes Si	444	1200
Diodes SiC	162	450
MOSFET Si	1554	4200
MOSFET SiC	1554	4200
Convertisseur Si	1998	5400
Convertisseur SiC	606	1650

TABLEAU 1.15 – Comparaison du volume et de la masse de composants en SiC et en Si [TOU07].

qu'il était possible d'envisager la conception, la fabrication et l'utilisation de circuits intégrés en SiC. Les scientifiques se sont alors positionnés sur des structures telles que les JFETs ou les BJTs. A partir de ces composants, divers circuits élémentaires et fonctionnels à haute température (300 °C - 600 °C) ont pu être élaborés. Les efforts portent maintenant sur le développement de systèmes entièrement intégrés en SiC.

Cette revue bibliographique a permis d'évaluer le potentiel technologique des différentes solutions de systèmes de puissance utilisées pour les environnements contraignants haute tension et haute température. Cela permet également de justifier l'intérêt du SiC pour la réalisation de systèmes intégrés de puissance pour les applications haute température.

### 3.5 Une solution pour l'électronique haute température

L'attractivité des composants en SiC conduit à une utilisation de plus en plus accrue de ces dispositifs dans les systèmes de puissance. Trois grands axes d'usage se démarquent : la transmission de forte puissance, l'efficacité énergétique et le fonctionnement dans les environnements sévères (figure 1.35). Les travaux de recherches basés sur la transmission de puissance et l'efficacité énergétique portent principalement sur la mise au point de composants discrets (généralement verticaux) et leur intégration dans un système de puissance. La problématique d'établir des solutions capables de fonctionner en environnement sévère, notamment au sein d'une ambiance haute température a focalisé l'effort des chercheurs sur le développement de composants latéraux dans un premier temps, puis par la suite des premiers circuits intégrés en SiC.

Les principaux champs applicatifs sont l'exploration souterraine (> 300 °C : tête de forage), l'aéronautique (> 250 °C : commandes de vol électrique), l'aérospatial (> 550 °C : sondes spatiales) et l'automobile (> 600 °C : échappement des moteurs) [MAS12]. A l'heure actuelle des solutions à base de silicium existent (SOI), mais elles sont limitées à 250 °C, complexes à concevoir et nécessitent un conditionnement contraignant pour opérer convenablement (packaging, système de refroidissement ...) [GOE98].

D'après le tableau 1.16, aucune solution n'est actuellement disponible pour des systèmes destinés à opérer à plus de 600 °C ou pour des applications de puissance (> 10 kW) à 300 °C. L'objectif des scientifiques est la mise au point de solutions fiables de puissance (convertisseur), mais aussi de mesures (capteur conditionné) capables d'opérer dans une gamme de températures

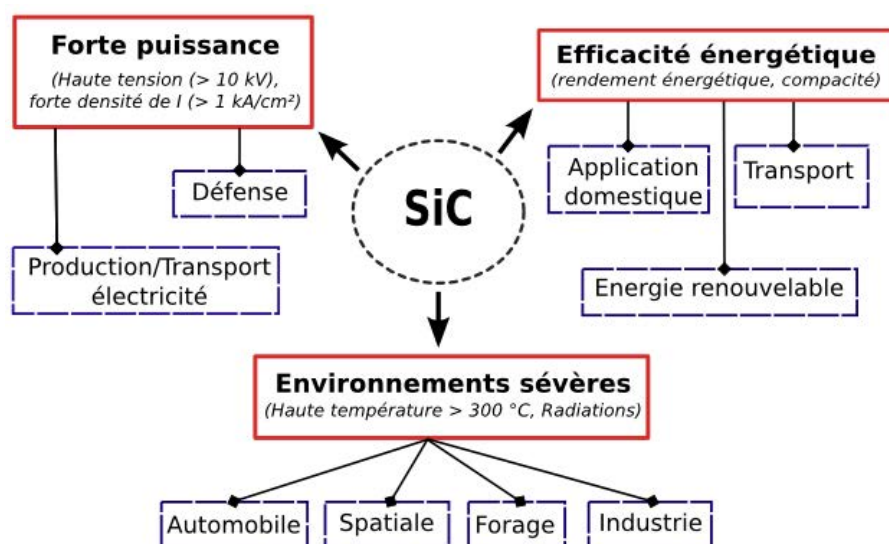


FIGURE 1.35 – Les principaux domaines d'applications des composants en SiC [TOU07] [GOE98].

de 300 °C à 600 °C [GOE98]. Par exemple en aéronautique, les nouvelles générations de moteur visent à intégrer au plus proche des actionneurs l'électronique de commande d'une part pour simplifier l'architecture (réduction de la longueur des câbles, diminution des dispositifs de refroidissement...), de l'autre pour améliorer les performances (meilleure gestion de l'énergie, réduction des pertes, meilleure fiabilité...) [ZLG<sup>+</sup>12].

C. ZETTERLING a présenté sur la figure 1.36 une synthèse des différentes architectures envisageables pour le circuit de commande d'un interrupteur de puissance opérant dans un environnement haute température. Dans le cas classique (A), les interrupteurs de puissance en silicium sont utilisés à faible température. Or les actionneurs nécessitent une densité de courant non négligeable pour opérer (100 A dans l'exemple), ce qui implique un fort taux de pertes dues à la longueur des câbles électriques reliant l'électronique basse température à la haute température. Le remplacement des composants de puissance silicium par ceux en SiC (solution B) permet de réduire les pertes de transmission puisqu'ils sont placés au plus près des actionneurs. Toutefois, la commande rapprochée de ces composants implique toujours des pertes non négligeables dans le système (commande du driver : A dans l'exemple). La solution C consiste à joindre cette commande rapprochée à l'interrupteur de puissance dans l'environnement sévère. L'ajout d'une interface logique permet de limiter le signal de la commande éloigné à l'envoi de quelques impulsions et de réduire au maximum les pertes engendrées par le transport du courant électrique entre le milieu ambiant et le milieu tempéré (solution D). Enfin, la solution E consiste à ajouter une isolation entre la partie commande et la partie puissance du système. L'ajout d'une isolation galvanique n'est pas forcément nécessaire, mais elle peut-être utile à la sécurité du système. Il est important de préciser qu'au-delà de 200 °C, l'utilisation d'un transformateur n'est techniquement pas envisageable [ROB11]. La solution consiste alors à employer un médium optique (ex : optocoupleur). L'intégration de la commande rapprochée au plus près de l'interrupteur de puissance offre ainsi la possibilité de réduire les pertes énergétiques engendrées lors de la transmission des ordres de commande.

Applications	T (°C)	P (kW)	Technologie	Technologie future
<b>Automobile</b>				
●contrôle moteur	150	<1	BS et SOI	BS et SOI
●cylindre/échappement	600	<1	?	WBG - SiC
●suspension/freins	250	>10	BS	WBG - SiC
<b>Turbines</b>				
●capteurs	300	<1	BS et SOI	SOI et WBG - SiC
	600	<1	?	WBG - SiC
●vérins électriques	150	>10	BS et SOI	WBG - SiC
	600	>10	?	WBG - SiC
<b>Aéronautique</b>				
● gestion énergie	150	<1	BS et SOI	WBG - SiC
	300	>10	?	WBG - SiC
● spatial (sondes ...)	550	1	?	WBG - SiC
<b>Exploration souterraine</b>				
●pétrole, gaz	300	<1	SOI	SOI et WBG - SiC
●géothermie	600	<1	?	WBG - SiC

TABLEAU 1.16 – Synthèse des solutions actuelles et futures pour des applications opérant en environnements sévères (BS : substrat silicium, SOI : silicium sur isolant, WBG : semi-conducteur Grand Gap) [GOE98] [TOU07].

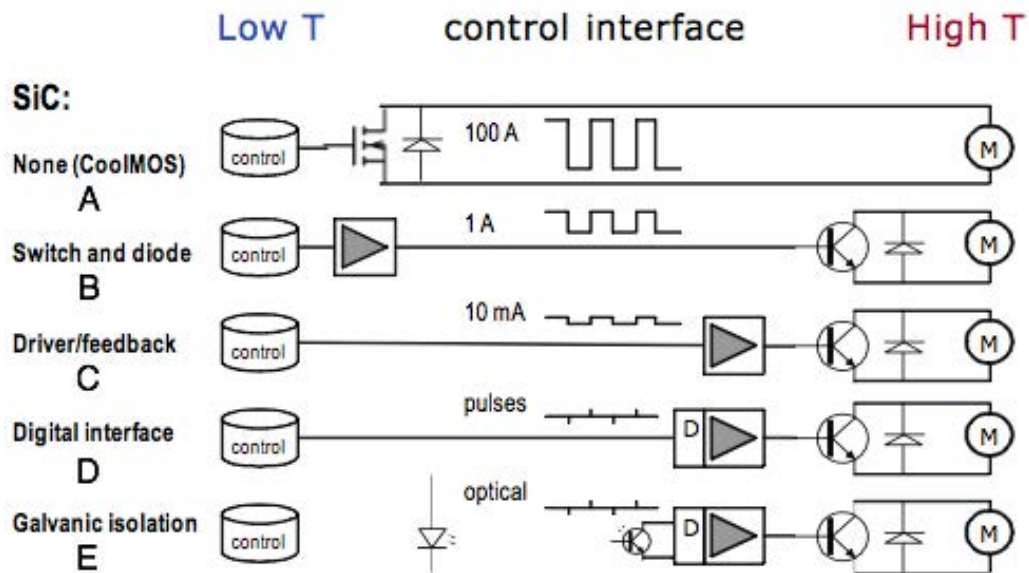


FIGURE 1.36 – Présentation de plusieurs architectures (A à E) d'une chaîne de commande d'un interrupteur de puissance soumis à la haute température (High T sur la figure). La commande D et la commande E sont les architectures les plus avantageuses puisqu'elles impliquent la transmission d'impulsions (électrique (D) ou optique (E)) entre la commande éloignée et la commande rapprochée [ZLG<sup>+</sup>12].

En conclusion, le développement d'une électronique spécifique aux environnements sévères s'avère nécessaire. Des recherches portent sur la thématique du fonctionnement de système à haute température ( $> 250\text{ }^{\circ}\text{C}$ ). La mise au point de topologies basées sur les matériaux Grand Gap dont le SiC permet notamment d'optimiser l'efficacité énergétique des dispositifs par rapport aux solutions actuellement utilisées (réduction des pertes, compacité des dispositifs...). Cet aspect est primordial puisqu'il s'agit généralement d'une contrainte majeure des applications autonomes en énergie (ex : sonde spatiale). L'obtention de solutions aptes à franchir les limites actuelles nécessite au préalable l'établissement de nouvelles technologies de commande. Un axe de recherche porte sur l'utilisation de circuits entièrement intégrés à base de matériaux Grand Gap.

## 4 Conclusion du chapitre

Le chapitre 1 de ce travail de recherche a permis d'évaluer les différentes technologies d'isolation utilisées dans les systèmes de puissance. Il est apparu en conclusion qu'une solution de type optique était le moyen d'isolation le plus viable pour le contrôle haute-tension des semi-conducteurs de forte puissance. Toutefois, elle reste relativement onéreuse et contraignante à utiliser. L'emploi de solutions à base de transformateur magnétique est possible. Néanmoins, il a été démontré, lors de la thèse de R. ROBUTEL, qu'il n'était techniquement pas envisageable d'utiliser ce type d'isolation pour des températures supérieures à  $200\text{ }^{\circ}\text{C}$  [ROB11].

De plus, ce chapitre fut l'occasion de présenter les solutions d'intégration couramment employées dans la chaîne de commande d'un interrupteur de puissance. Les systèmes sont principalement basés sur des technologies de type HVIC en silicium. Ces circuits sont une solution à la majorité des applications de puissance. Ils délivrent des performances intéressantes pour un faible coût. En revanche, ils présentent des limites technologiques (tenue en tension :  $1200\text{ V}$ , calibre en courant  $< 1\text{ A}$ ). Ceci implique l'utilisation d'étages de puissance supplémentaires pour les applications de moyenne et forte puissance (circuits hybrides). L'utilisation d'une solution basée sur des matériaux Grand Gap (SiC) apparaît comme une perspective apte à franchir les frontières physiques actuelles. Le développement de telles solutions se montre relativement complexe en raison des coûts de fabrication et des contraintes technologiques liées au SiC. Les premiers circuits intégrés en SiC réalisés à partir de différentes technologies de composants (MOSFET, JFET, BJT) ont permis d'établir des solutions capables d'opérer en haute température. Les recherches les plus avancées portent sur l'utilisation de circuits logiques à base de composants JFETs. Les démonstrateurs élaborés à partir de ces composants ont pu fonctionner convenablement jusqu'à  $600\text{ }^{\circ}\text{C}$ . Les travaux portent maintenant sur le développement de systèmes entièrement en SiC. Les premiers démonstrateurs de circuits de puissance intégrés en SiC sont actuellement en cours de réalisation.

Depuis plus d'une vingtaine d'années, le laboratoire AMPERE a développé un savoir faire dans la conception, la fabrication et la caractérisation de composants de puissance en SiC. Dans le cadre du Laboratoire International Associé WIDE (<http://wide-lab.eu>), le laboratoire AMPERE et le Centre National de Microélectronique de Barcelone cherchent à concevoir des circuits intégrés en SiC. La mise au point de fonctions élémentaires en SiC est une étape majeure dans la fabrication d'un convertisseur de puissance intégré. La finalité de ces recherches est la réalisation d'un convertisseur de puissance intégré avec sa commande en SiC capable d'opérer au sein des environnements sévères (haute tension ( $> 10\text{ kV}$ ) et haute température ( $> 300\text{ }^{\circ}\text{C}$ )).



Le chapitre 2 présentera la solution de puissance en SiC envisagée, en abordant la démarche de conception, la fabrication et la caractérisation des premières briques élémentaires nécessaires à la réalisation d'une telle topologie.

# Chapitre 2

## VERS LA CONCEPTION D'UN CIRCUIT INTÉGRÉ DE PUISSANCE EN SiC

### 1 Introduction

La bibliographie présentée au cours du chapitre 1 a montré que face aux limites du silicium, les semi-conducteurs dit à "Grand Gap" tels que le SiC ou le GaN étaient aptes à répondre aux exigences des applications destinées à fonctionner dans des environnements contraignants. L'émergence d'interrupteurs de puissance en matériaux Grand Gap permet d'envisager des convertisseurs de puissance capables de fonctionner au sein des environnements sévères tels que la haute tension (> 10 kV) et la haute température (> 300 °C).

A l'heure actuelle, les premiers démonstrateurs faible tension de circuits intégrés en SiC sont peu à peu dévoilés par quelques grands laboratoires de recherche (GE, KTH, NASA ...). Le laboratoire AMPERE en collaboration avec le Centre de Microélectronique de Barcelone fut l'un des premiers centre de recherche européen à travailler sur la problématique des circuits intégrés de puissance au début des années 2000 [TOU03]. La finalité des travaux entrepris est la réalisation d'un convertisseur de puissance (2.2 W) entièrement intégré avec sa commande rapprochée en SiC capable d'opérer en environnement sévère. La figure 2.1 présente le synoptique de la solution envisagée.

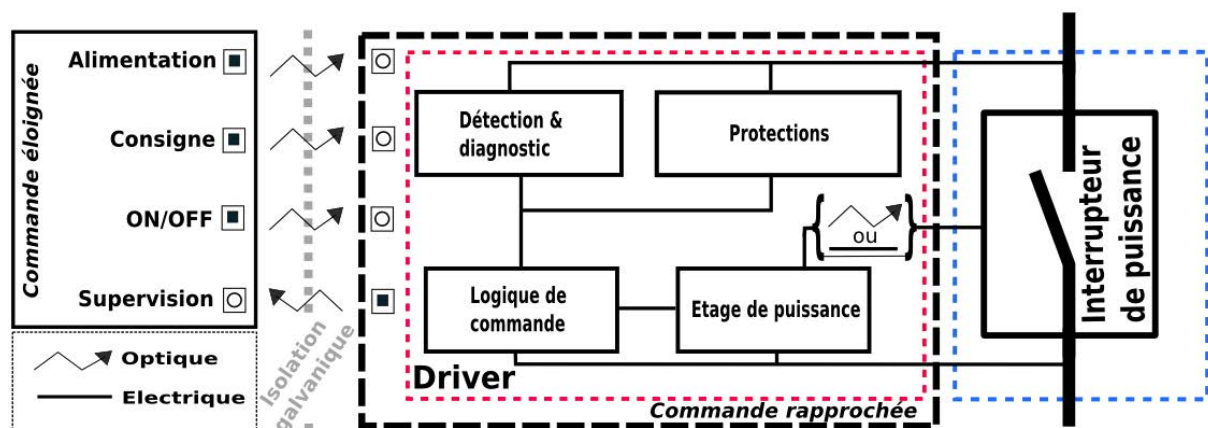


FIGURE 2.1 – Schéma du convertisseur de puissance monolithique SiC envisagé.

L'élaboration d'un convertisseur monolithique en SiC nécessite au préalable l'établissement de briques technologiques élémentaires. La figure 2.2 présente l'ensemble des éléments et fonctions nécessaires à la réalisation d'un convertisseur de puissance en SiC. On y trouve un interrupteur de puissance et son circuit de commande associé (driver de puissance). Plusieurs projets de recherche initiés au laboratoire AMPERE s'inscrivent dans le cadre de la réalisation d'un convertisseur de puissance à base de composants en SiC. Les travaux ont principalement porté sur la conception, la fabrication et la caractérisation de diodes [CHE12] [NGU11] et d'interrupteurs de puissance commandés (des thyristors à gachette électrique [BRO04] ou à déclenchement optique [DHE11] des JFETs [CHE12] et des transistors bipolaires (BJT) [HUA11]). Ces composants de puissance se positionnent au niveau des encadrés bleus sur les figures 2.1 et 2.2. Concernant les circuits de commande, aucune solution à base de SiC n'a pour le moment été proposée (cadres rouges sur les figures 2.1 et 2.2). Plusieurs programmes de recherche, dans lesquels le laboratoire a été partenaire, ont porté sur le développement de circuits de commande de JFETs (driver) capables de fonctionner à haute température en SOI (COTECH, THOR, DG2HT2) et également en SiC (ANR-JFET-SB : onduleur monolithique 600 V, 1 A), (ANR-CO-THT : étage de pré-driver avec co-intégration de N-JFET et de P-JFET). La thèse de K. EL FALAHI [FAL12] a permis la réalisation d'un circuit de commande en technologie SOI pour des JFETs "normally-on" fonctionnant à 1.2 kV et démontrant la fonctionnalité à 200 °C [FDB<sup>+</sup>12]. Des capteurs et composants de protection en SiC ont toutefois été développés. M. BERTHOU a réalisé des composants VDMOS en SiC sur lesquels il a pu intégrer des capteurs de courant et de température [BER12]. D. TOURNIER a conçu au cours de sa thèse un dispositif limiteur de courant en SiC. Le fonctionnement de ce composant a été testé sur une application de faible puissance ( $I_N = 16 \text{ mA}$ ,  $V_N = 240 \text{ V}$ ) pour démontrer sa capacité à limiter un courant de court-circuit durant un temps très faible ( $t < 10 \text{ ms}$ ) [TOU03]. V. BANU du CNM de Barcelone a fabriqué un montage de référence en tension basé sur des diodes Schottky fonctionnelles jusqu'à 300 °C [BBJ<sup>+</sup>10].

Dans l'intention d'élaborer un "system-on-chip" de puissance apte à fonctionner dans des environnements contraignants, les acteurs du LIA cherchent à développer dans un premier temps un "design-kit" de composants et de circuits élémentaires en SiC. Les travaux de recherche ont été répartis de façon à ce que le CNM développe l'axe "numérique" (thèse de M. ALEXANDRU) et AMPERE l'axe "puissance" (objectif de ces travaux de thèse).

D'un point de vue technologique, la conception de circuits de puissance en SiC requiert l'intégration de composants, qui seront soumis à différents niveaux de puissance [ZHA08]. Au cours de sa thèse, D. TOURNIER a démontré, dans un premier temps, qu'il était possible de co-intégrer sur le même substrat SiC des JFETs de puissance verticaux et des MESFETs latéraux de signal (figure 2.3, [TGM<sup>+</sup>02] [TOU03]). L'intégration de MESFETs latéraux de différents niveaux de puissance (signal/puissance) sur le même substrat semi-isolant est désormais visée. Les interrupteurs de puissance latéraux devront pouvoir tenir au minimum une tenue en tension  $V_{BR}$  de 10 V et présenter un calibre en courant de 660 mA. Il faudra par ailleurs veiller à l'isolation entre les différents composants du wafer. Plusieurs techniques telles que la gravure ou l'isolation par jonctions seront testées lors de la fabrication des différents lots réalisés. Les principales solutions d'isolation ont été présentées au cours du chapitre 1.

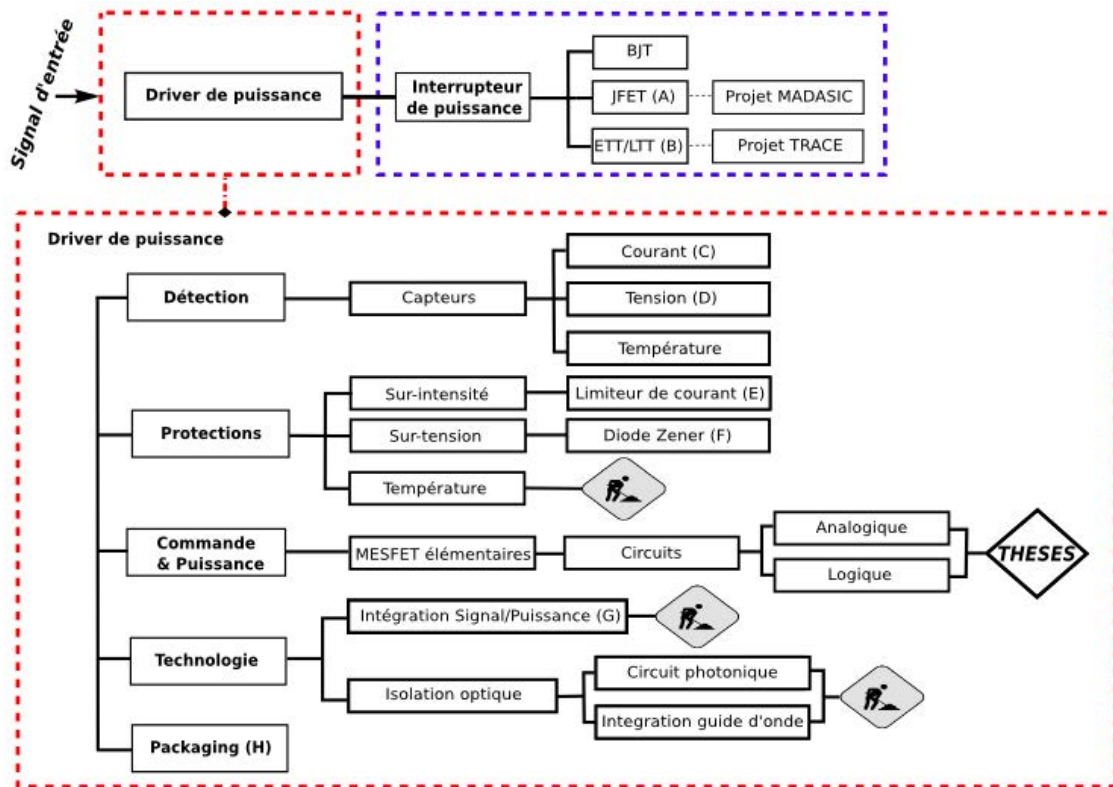


FIGURE 2.2 – Synthèses des briques technologiques élémentaires nécessaires à la conception du convertisseur SiC. A : [CHE12], [GLPea06], [TOU03], B : [BRO04], [DHE11], C : [BER12], D : [BBJ+10], E : [TOU03], F : [BBJ+10], G : [TGM+02], H : [MAS12], [HBP+13].

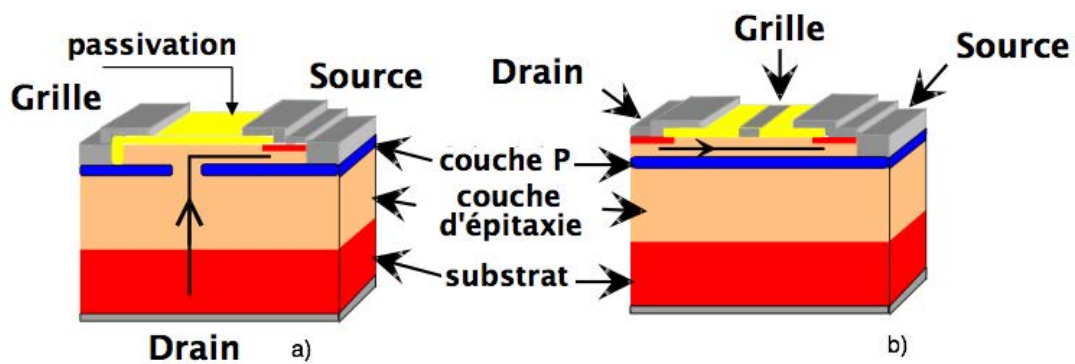


FIGURE 2.3 – a) Coupe d'un transistor VJFET, b) Coupe d'un transistor MESFET [TGM+02].

## 1.1 Présentation de la méthodologie et de la démarche de recherche

La réalisation du démonstrateur de puissance envisagé nécessite l'établissement d'une méthodologie de travail. La mise au point de ce dispositif passe au minimum par la fabrication de trois lots de composants correspondant chacun à une phase précise.

- Phase/LOT 1 : fabrication de fonctions hybrides basées sur des composants discrets
- Phase/LOT 2 : fabrication des premières fonctions de circuits intégrés et des principaux composants élémentaires (ex : les interrupteurs de puissance)
- Phase/LOT 3 : réalisation du convertisseur intégré avec sa commande en SiC

La figure 2.4 illustre la méthodologie de travail. La première phase vise la réalisation de fonctions analogiques hybrides conçues à partir de composants discrets. Ces composants proviendront du premier lot fabriqué (lot 1). Une fois la faisabilité de fonctions hybrides réalisées au moyen de composants SiC établie, la phase d'intégration fonctionnelle sera lancée. L'objectif de cette seconde partie est l'élaboration d'un premier lot de fonctions intégrées entièrement en SiC (lot 2). Cette phase visera aussi l'élaboration des principaux composants élémentaires en vue de la réalisation du convertisseur de puissance tels que les interrupteurs de puissance, les diodes de redressement ou les structures de type "buffer" (pour le circuit de commande rapproché)... Dans l'hypothèse où les résultats de cette seconde phase d'étude répondent aux objectifs attendus, la troisième phase débutera. Elle sera entièrement orientée système et visera la réalisation du convertisseur de puissance intégré avec son électronique de commande (lot 3). Dans le cas contraire, des étapes intermédiaires seront nécessaires pour l'ajustement des différents paramètres en vue de l'intégration système. Chaque phase sera basé sur la démarche scientifique présentée à la figure 2.5.

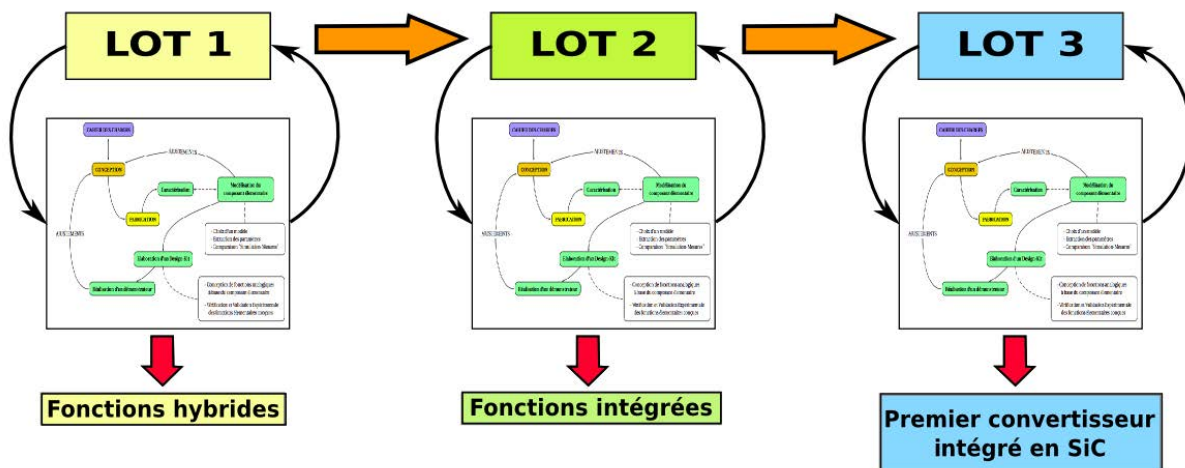


FIGURE 2.4 – Phasage envisagé pour la réalisation du convertisseur de puissance intégré avec son électronique de contrôle. La méthodologie de travail est basée sur trois phases. La première phase consiste à l'élaboration de fonctions hybrides à partir de composants discrets SiC (lot 1). La seconde partie correspond à l'intégration fonctionnelle puisque l'objectif principal est la mise au point des premières fonctions intégrées en SiC (lot 2). La dernière phase vise la réalisation d'un système de puissance entièrement intégré en SiC (lot 3). L'ensemble de ces phases sera basée sur la démarche scientifique présentée à la figure 2.5.

La démarche scientifique de la figure 2.5 est axée sur un cycle constitué de trois grandes étapes : la conception, la fabrication et la caractérisation.

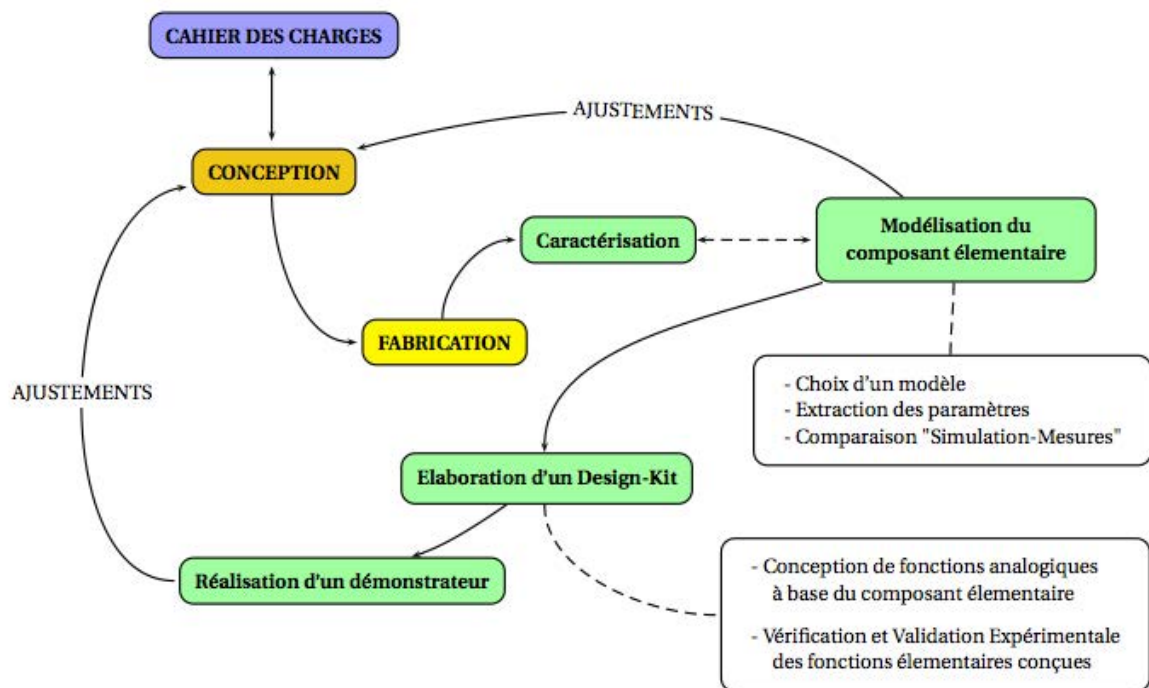


FIGURE 2.5 – Démarche scientifique utilisée pour la conception des circuits intégrés de puissance basée sur trois grandes étapes : la conception (orange), la fabrication (jaune) et la caractérisation (vert). Cette démarche sera utilisée lors de chaque grande phase de la méthodologie de travail.

**La conception** : cette étape a pour objet la définition et le dimensionnement des différentes entités du dispositif envisagé. Les phases d'étude porteront sur la conception de composants élémentaires, de fonctions analogiques et d'un système de puissance. Il s'agira de définir les performances, l'architecture et les spécificités de ces diverses structures par rapport au cahier des charges établi. L'élaboration de ces éléments conduira à l'établissement d'un jeu de masques basé sur plusieurs niveaux. Les niveaux de ce jeu de masques dépendent du processus de fabrication spécifique à la réalisation de composants et de circuits intégrés SiC (process-flow), qui est présenté dans le chapitre 4.

**La fabrication** : la fabrication est une étape purement technologique. Elle vise la réalisation physique des éléments envisagés lors de la phase de conception. Elle se déroulera entièrement au Centre National de Microélectronique de Barcelone. Il est important de préciser que cette phase est complexe pour la réalisation des circuits intégrés en SiC puisqu'elle nécessite cinq niveaux de métallisation. Il s'agit d'une procédure généralement longue à l'échelle d'une thèse puisque la durée de fabrication d'un lot est de l'ordre de six mois.

**La caractérisation** : la phase de caractérisation électrique consiste à évaluer les performances expérimentales des entités réalisées suite à la fabrication du wafer. Elle permet la validation des différentes structures réalisées grâce à la comparaison des données expérimentales et des résultats théoriquement attendus. Les mesures sont généralement moyennées et normalisées en fonction des paramètres géométriques (extraction de paramètres) en vue d'établir un

modèle de simulation des composants fabriqués. La mise au point d'un modèle de simulation facilite la démarche de conception, grâce à l'établissement d'un "design-kit" de composants. L'élaboration de cet outil facilite la conception, la réalisation et la validation des différentes entités. Le processus de fabrication n'est généralement pas optimisé lors des premières réalisations de composants/fonctions. La phase de caractérisation permet l'ajustement des paramètres physiques des structures en vue du prochain cycle de réalisation. Il arrive que des dysfonctionnements et des instabilités soient observés lors des relevés expérimentaux. Une analyse approfondie des différentes données permet généralement d'apporter les améliorations nécessaires au processus de fabrication.

Cette démarche s'insérera donc à chaque étape du processus de réalisation du convertisseur de puissance intégré en SiC. La première phase va consister à démontrer la faisabilité de circuits entièrement basés sur des composants SiC. Un premier lot de MESFETs élémentaires en SiC sera utilisé pour la réalisation des fonctions analogiques hybrides (association de MESFETs SiC discrets). L'objectif de cette étape est la mise au point d'une méthodologie pour la construction d'un design-kit de composants et de fonctions en SiC, en vue de la phase d'intégration fonctionnelle. Cette première phase sera exposée plus précisément suite à la partie présentant le transistor MESFET, qui est le principal composant élémentaire sur lequel est basé le démonstrateur envisagé.

## 2 Le transistor MESFET : fonctionnement et modélisation

Un MESFET (Metal Semiconductor Field Effect Transistor) est un transistor à effet de champ. Ce composant possède trois électrodes : le drain, la grille et la source. Sa structure est proche de celle d'un transistor Junction Field Effect Transistor (JFET) à la différence près que la jonction PN de ce dernier est remplacée par une jonction de type Schottky. Ce composant présente l'avantage d'être unipolaire, cela signifie qu'il ne possède qu'un seul type de porteurs de charge à savoir des électrons (type N) ou des trous (type P), ce qui en fait un composant privilégié pour les applications haute fréquence. La figure 2.6 présente la coupe schématique d'un transistor MESFET de type N. Une fine couche semi-conductrice N dopée est déposée par épitaxie ou par implantation ionique sur un substrat mono-cristallin. Cette couche correspond à la zone active du transistor. Le contact Schottky est réalisé par l'ajout d'un métal spécifique sur la zone active entre le drain et la source. Sous ces deux électrodes, deux zones dopées en  $N^+$  sont ajoutées pour créer des contacts ohmiques avec le semiconducteur et réduire les résistances de contact [LAU97].

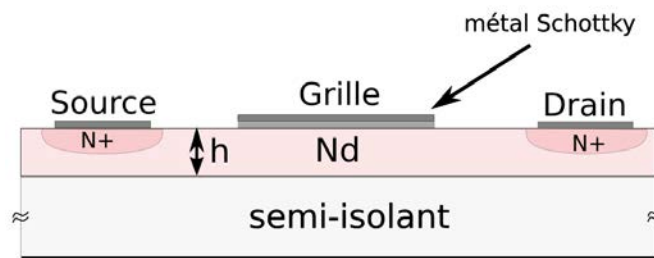


FIGURE 2.6 – Coupe d'un composant MESFET.

Le fonctionnement du MESFET est proche de celui du JFET. La géométrie du canal est modulée par la variation de la hauteur "h" de la zone de charge d'espace. Ce changement est lié à la polarisation de la grille métallique du transistor par rapport à sa source. Le MESFET peut-être considéré comme une résistance pilotée en tension. Pour un composant normalement passant ("normally-on") de type métal semi-conducteur N, l'application d'un potentiel négatif sur la grille va polariser la jonction Schottky en inverse et provoquer l'élargissement de la Zone de Charge d'Espace (ZCE). La résistance interne du canal va s'accroître et empêcher le passage du courant. La figure 2.7 présente une coupe schématique d'un MESFET de type N dont le canal est modulé.

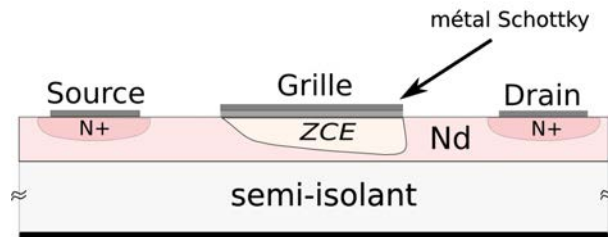


FIGURE 2.7 – Coupe d'un MESFET de type N dont le canal est partiellement déplété.

Ce composant a été conçu pour profiter de la rapidité de transition de la jonction Schottky liée à la non présence de charges minoritaires stockées habituellement dans une jonction PN. L'absence de ces porteurs va conduire à une fréquence de coupure beaucoup plus élevée par rapport aux autres transistors. Ces transistors sont par exemple utilisés dans les applications opérant aux GHz (ex : les radars).

### Les régimes de fonctionnement

Selon la polarisation appliquée entre la grille métallique et la source, les transistors MESFETs peuvent fonctionner sous différents régimes. La conduction est assurée par les porteurs majoritaires présents dans la zone non pincée et sera toujours plus rapide dans un transistor de type N que dans un type P puisque la mobilité des électrons est supérieure à celle des trous. On dénote trois grands régimes : bloqué, linéaire et saturé. Ces régimes sont présentés sur les caractéristiques électriques de la figure 2.8 [KAL02].

**Le régime bloqué dit "cut-off"** : l'application d'une importante tension négative inférieure à la tension de pincement du composant ( $V_p$ ) entre la grille et la source permet d'atteindre le régime bloqué. Dans cet état, la zone de charge d'espace du composant est entièrement déplétée. La résistance du canal est considérée comme très grande et la conduction du courant est théoriquement bloquée (dessin "a") de la figure 2.9).

**Le régime linéaire dit "ohmique"** : lorsqu'une faible tension directe entre le drain et la source est appliquée et que la tension inverse entre la grille et la source n'a pas atteint la tension de pincement, le transistor se comporte comme une résistance et  $I_{DS}$  varie proportionnellement à  $V_{DS}$ . L'accroissement de la polarisation de la grille va augmenter la ZCE et réduire la section du canal au niveau du drain. La transconductance sera par conséquent réduite, ce qui mène à l'augmentation de la résistance du canal et donc sa non-conduction (dessin "b") de la figure 2.9).



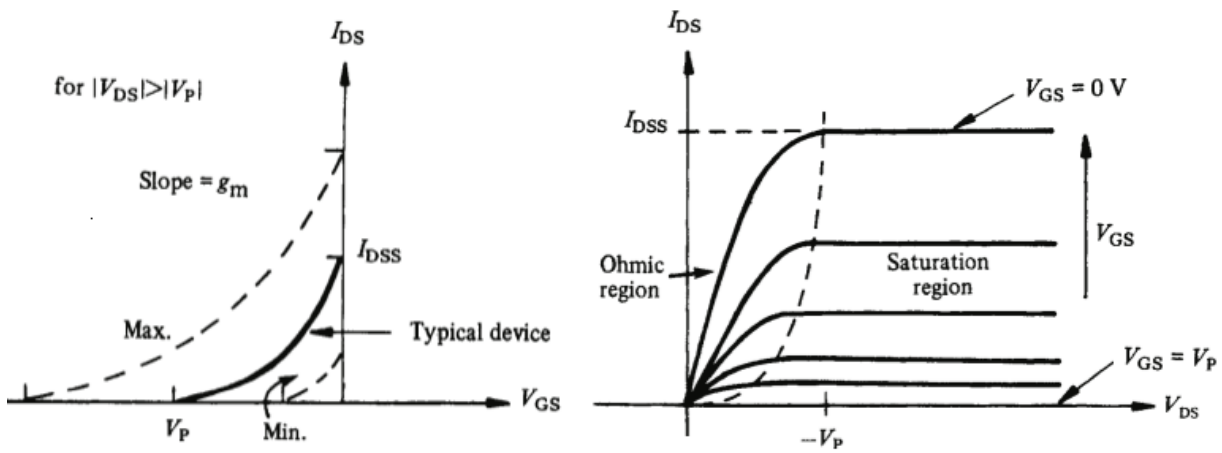


FIGURE 2.8 – Présentation des régimes de fonctionnement ohmique et saturé d'un transistor à effet de champ sur les caractéristiques statique  $I_{DS} = f(V_{GS})$  et  $I_{DS} = f(V_{DS})$  [RIT93].

**Le régime saturé :** lorsque la tension entre le drain et la grille dépasse la tension de pincement ( $V_p$ ), le canal a entièrement disparu au niveau du drain. Néanmoins une différence de potentiel longitudinale existe toujours dans la zone pincée et permet le transport des porteurs par conduction dans le canal. Il est important de noter que si la ZCE est faible devant la longueur du canal, le courant du transistor peut-être considéré comme constant. On peut alors assimiler le transistor à une source de courant (dessin "c)" de la figure 2.9).

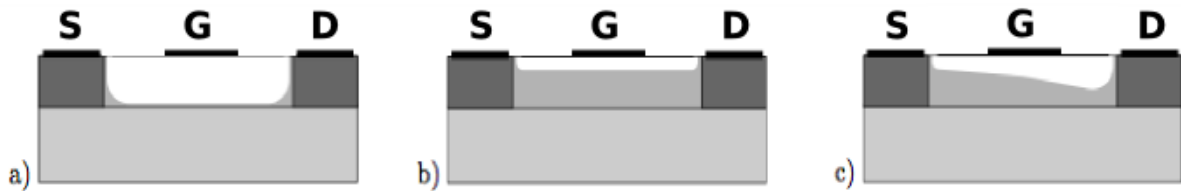


FIGURE 2.9 – Coupe d'un transistor à effet de champ dans différents régimes de fonctionnement. Le schéma a) représente le régime bloqué. b) correspond au régime ohmique. c) montre le schéma du transistor en régime saturé [KAL02].

### Les équations fondamentales du MESFET

Le comportement électrique d'un MESFET peut être déterminé au moyen d'équations analytiques déduites de l'équation de Poisson [MF09]. La figure 2.10 présente le schéma d'une coupe d'une zone active d'un MESFET. La polarisation des électrodes conduit à l'apparition d'une Zone de Charges d'Espace (ZCE), qui va conduire à l'apparition d'un pincement et entraîner le blocage du canal. L'application d'un potentiel supérieur sur l'électrode de drain par rapport à l'électrode de source entraîne une déplétion dissymétrique de la ZCE. La grandeur  $h_d$  (côté drain) est supérieure à  $h_s$  (côté source).

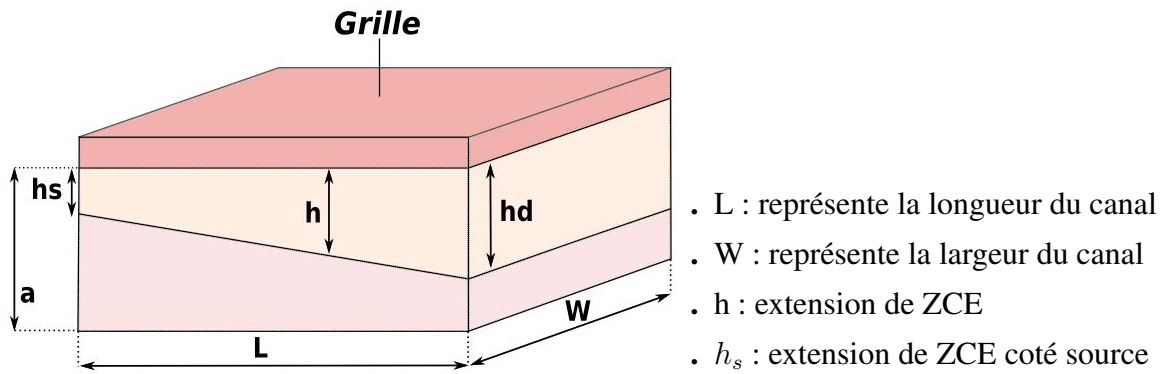


FIGURE 2.10 – Schéma d'une coupe d'une portion de la zone active de conduction dans un MESFET [SOU10]. La polarisation de la grille et des électrodes de drain et de source conduit à l'apparition d'une Zone de Charges d'Espace dissymétrique (ZCE : couleur beige).

La **tension de pincement** ( $V_p$ , pinch-off) correspond au potentiel électrostatique à appliquer à la couche active (couche N dans un MESFET de type N) pour amener la ZCE à occuper la totalité de l'épaisseur "a" de la couche active. Dans le cas d'un MESFET de type N, elle se calcule à partir de la formule 2.1 :

$$V_p = \frac{q \cdot N_d \cdot a^2}{2 \cdot \epsilon_s} \quad (2.1) \quad \begin{array}{l} a : \text{hauteur de la couche active, } q : \text{charge de l'électron} \\ N_d : \text{dopage de la couche N, } \epsilon_s : \text{permittivité du matériau} \end{array}$$

La **tension de seuil** ( $V_{th}$ , threshold) est la tension à appliquer au composant pour amener la ZCE à occuper entièrement l'épaisseur de la couche active. Elle est calculée à partir de la formule 2.2.  $V_{di}$  correspond au potentiel interne du composant. Il s'agit de la tension induite par le contact Schottky [MF09].

$$V_{th} = V_{di} - V_p \quad (2.2) \quad \begin{array}{l} V_p : \text{tension de pincement du composant} \\ V_{di} : \text{potentiel interne du composant} \end{array}$$

La **résistance de drift** correspond à la région ohmique non déplétée de la zone active. La résistance du canal est calculée à partir de la formule 2 [MF09].

$$R_b = \frac{L}{A \cdot q \cdot \mu_n \cdot N_d} \quad (2.3) \quad \begin{array}{l} L : \text{longueur de déplétion, } A : \text{surface de la zone active} \\ \mu_n : \text{mobilité des porteurs, } N_d : \text{dopage de la couche N} \end{array}$$

Les formules 2.4 et 2.5 donnent les équations analytiques du courant  $I_{DS}$  d'un transistor MESFET pour les régimes de fonctionnement linéaire et saturé [SOU10].

#### **Pour un régime de fonctionnement linéaire :**

$$I_{DS} = -\frac{Z \cdot \mu_n \cdot q \cdot N_d \cdot a}{L} \cdot \left( V_{DS} - \frac{2 \cdot V_p}{3} \cdot \left( \left( \frac{V_{di} - V_{GS} + V_{DS}}{V_p} \right)^{3/2} - \left( \frac{V_{di} - V_{GS}}{V_p} \right)^{3/2} \right) \right) \quad (2.4)$$

Pour un régime de fonctionnement saturé :

$$I_{Dsat} = -\frac{Z \cdot \mu_n \cdot q \cdot N_d \cdot a}{L} \cdot \left( \left( \frac{2}{3} \cdot \left( \frac{V_{di} - V_{GS}}{V_p} \right)^{1/2} - 1 \right) \cdot (V_{di} - V_{GS}) + \frac{V_p}{3} \right) \quad (2.5)$$

## 3 Le MESFET double grille élémentaire

### 3.1 Présentation du composant

#### Structure du composant

Des MESFET latéraux à double grille de type N seront la base de nos développements. La figure 2.11 présente le schéma en coupe de ce transistor. Ils ont été fabriqués à partir d'un substrat semi-isolant 4H-SiC au CNM de Barcelone dans le cadre du projet "SPACE- SiC" [DTG<sup>+</sup>10]. La couche  $N_D$  de type N fait  $0.5 \mu m$  d'épaisseur et présente un dopage de  $N_D = 1.10^{17} cm^{-3}$ . La couche  $N_A$  de type P fait  $5 \mu m$  de hauteur pour un dopage  $N_A = 5.10^{15} cm^{-3}$ . Le contact de la grille enterrée  $G_2$  n'est pas situé à la même hauteur que les autres métallisations du composant. Ceci s'explique simplement par le choix d'une technologie d'isolation par gravure pour la réalisation de ce premier lot de composants élémentaires.

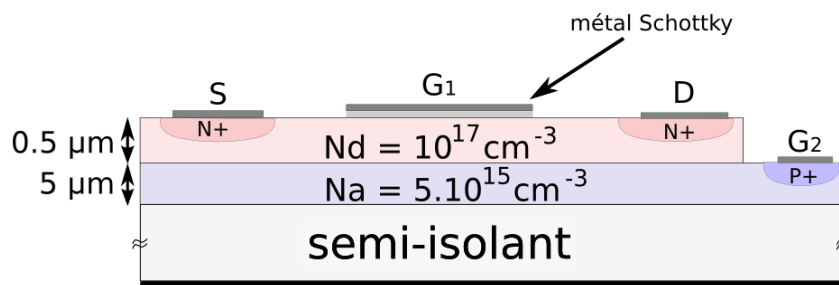


FIGURE 2.11 – Coupe de la structure élémentaire du MESFET de type N double grille.

#### Principe du fonctionnement de la double grille

Les grilles  $G_1$  et  $G_2$  permettent le contrôle du courant dans le composant. Il est possible de bloquer le transistor soit par  $G_1$ , soit par  $G_2$ , soit par  $G_1$  et  $G_2$  simultanément. Le blocage du composant par  $G_1$  correspond au comportement classique d'un transistor MESFET (figure 2.12). L'application d'un potentiel négatif entre l'électrode de la grille  $G_1$  et la source conduit à l'apparition d'une zone de charge d'espace (ZCE). Cette ZCE limite le passage du courant entre le drain et la source. La ZCE varie en fonction du potentiel appliqué sur  $V_{G1S}$ . Lorsque le potentiel de la jonction devient supérieur à la tension  $V_{th}$ , la ZCE bloque entièrement le canal du composant. Le MESFET est alors dans un régime de fonctionnement bloqué.

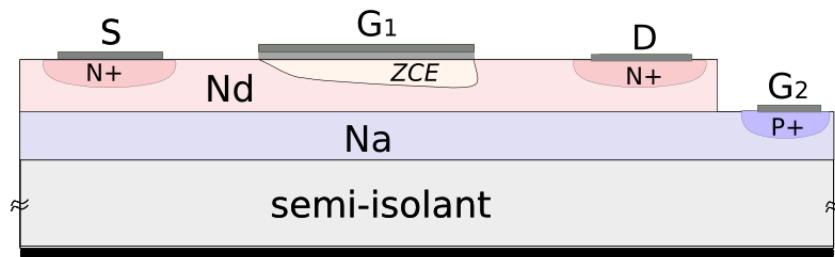


FIGURE 2.12 – Coupe d'un MESFET double grille contrôlé par la grille  $G_1$  avec la grille  $G_2$  flottante.

L'ajout d'une couche enterrée de type P ( $N_A$ ) sous la couche de type N ( $N_D$ ) conduit à la présence d'une jonction bipolaire (PN). L'application d'un potentiel négatif sur l'électrode  $G_2$  par rapport à l'électrode de source permet le blocage du MESFET par effet bipolaire. En effet, cela revient à polariser une jonction PN en inverse. La polarisation de cette jonction conduit à l'apparition d'une ZCE dans la zone active du composant (figure 2.13). Le MESFET peut ainsi être commandé au moyen de la grille  $G_2$ . Le principe du contrôle par l'électrode  $G_2$  est équivalent à celui présenté pour la grille  $G_1$ . La nature du blocage du transistor sera toutefois différente puisque, dans un cas, il s'agira d'un blocage par effet Schottky ( $G_1$ ), alors que, dans l'autre, cela sera un blocage par effet bipolaire ( $G_2$ ).

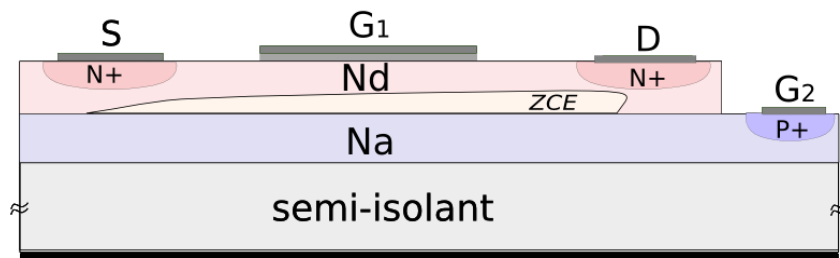


FIGURE 2.13 – Coupe d'un MESFET double grille contrôlé par la grille  $G_2$  avec la grille  $G_1$  flottante.

La figure 2.14 représente la coupe d'un transistor MESFET dans le cas, où les deux grilles sont polarisées négativement par rapport à la source. Dans cette configuration, le composant présente deux ZCE induites par les polarisations des grilles  $G_1$  et  $G_2$ .

Au-delà des différentes stratégies de commande du transistor, la double grille du MESFET accroît les performances du composant. Une comparaison entre les performances d'un MESFET simple grille et double grille sera présentée dans la section suivante. La topologie de ce composant offre ainsi une innovation par rapport aux MESFETs classiques. Il s'avère possible de bloquer le composant par deux électrodes de grille ( $G_1$  et  $G_2$ ) de nature physique différente (Schottky et bipolaire). Le contrôle du transistor par le biais de deux grilles offre ainsi la possibilité d'envisager des nouvelles perspectives d'utilisation de ces composants au sein des systèmes. Un convertisseur de puissance basé sur un interrupteur de puissance à double grille sera présenté au cours du chapitre 3.

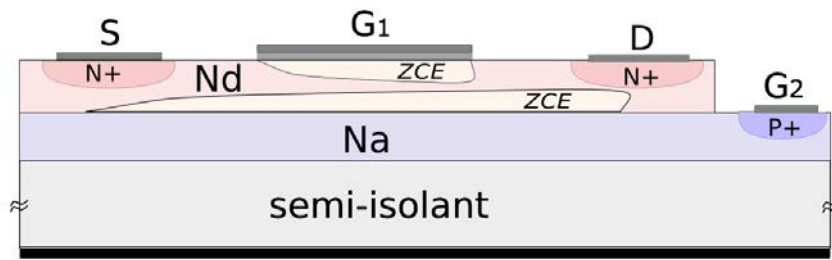


FIGURE 2.14 – Coupe d'un MESFET double grille contrôlé par la grille  $G_1$  et la grille  $G_2$ .

## 4 Caractérisations électriques des différents transistors MESFETs (LOT 1)

Les composants SiC ont été fabriqués au CNM de Barcelone. Suite à leur réalisation, ils ont été caractérisés sous pointes avec l'analyseur B1505A conçu par "Agilent Technologie". La figure 2.15 présente la table de mesure sous pointes du laboratoire AMPERE utilisée pour réaliser ces caractérisations électriques.

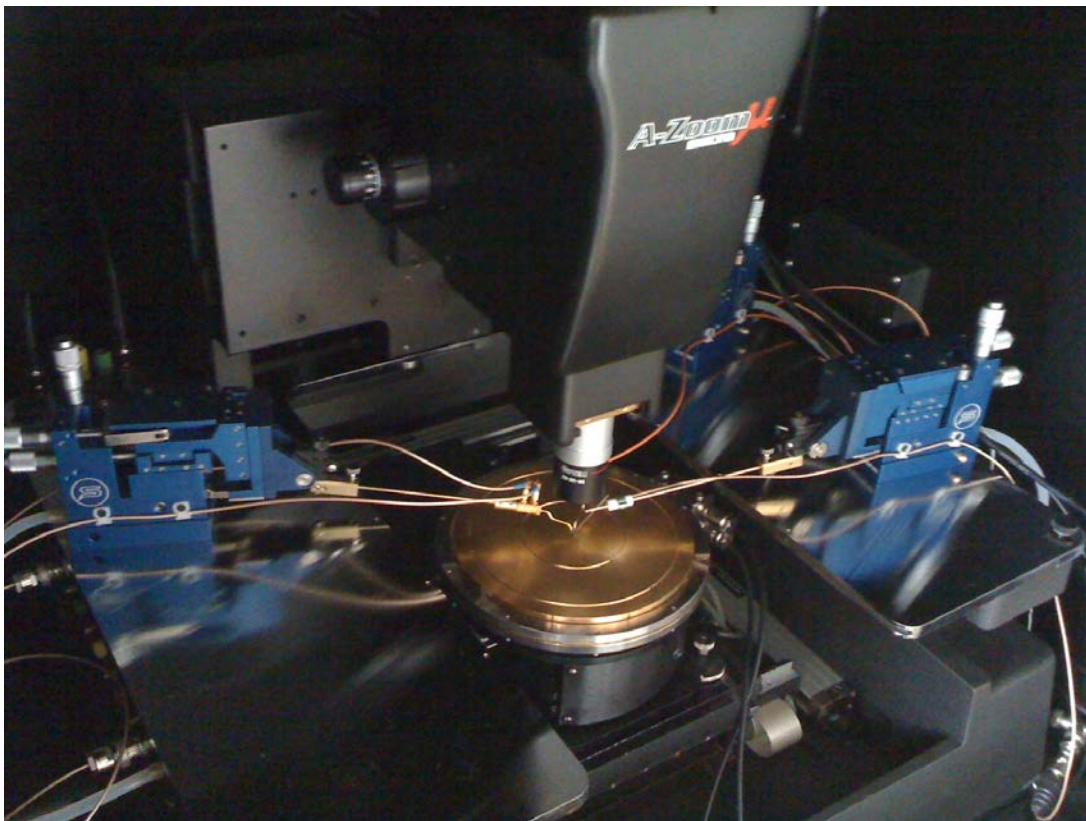


FIGURE 2.15 – Table de mesure sous pointes avec 3 micro-manipulateurs du laboratoire AMPERE utilisé pour effectuer les mesures électriques des différents composants élémentaires.

## 4.1 Présentation du champ élémentaire et des différentes architectures de MESFETs

Plusieurs architectures de composants ont été élaborées à partir de la structure élémentaire présentée précédemment (figure 2.11). La figure 2.16 présente la répartition des différents composants implantés sur un champ du wafer SiC. Les composants MESFETs simple grille et double grille ont été réalisés avec une largeur  $W$  de 400  $\mu\text{m}$  de l'électrode de grille  $G_1$ . Dans cette partie, les caractérisations électriques de ces différents composants (MESFETs simple grille, double grille et "MESFET x4 Bridge) seront présentées.

x5 dual-gate MESFET L-gate = 6 $\mu\text{m}$	x4 Diodes full-bridge	MESFET L-gate = 6 $\mu\text{m}$	MESFET L-gate = 8 $\mu\text{m}$	MESFET DOUBLE GATE L-gate = 6 $\mu\text{m}$
		MESFET L-gate = 6 $\mu\text{m}$	MESFET L-gate = 8 $\mu\text{m}$	MESFET DOUBLE GATE L-gate = 8 $\mu\text{m}$
JFET L-gate = 8 $\mu\text{m}$		JFET L-gate = 8 $\mu\text{m}$	JFET DOUBLE GATE L-gate = 8 $\mu\text{m}$	
MESFET x4 BRIDGE L-gate = 6 $\mu\text{m}$		JFET L-gate = 8 $\mu\text{m}$		JFET L-gate = 8 $\mu\text{m}$
MESFET x4 BRIDGE L-gate = 6 $\mu\text{m}$		JFET SINGLE BRIGDE		MESFET SINGLE BRIGDE
x2 Diodes half-bridge		Diode half-bridge		

FIGURE 2.16 – Disposition des différents composants implantés sur le masque pour une largeur  $W$  de grille  $G_1$  de 400  $\mu\text{m}$  (L-gate : longueur de la grille  $G_1$ ).

## 4.2 Les transistors élémentaires

### Le MESFET simple grille

Le MESFET simple grille est un transistor dont la grille enterrée  $G_2$  est court-circuitée avec l'électrode de source. La figure 2.17 présente la coupe schématique de ce composant.

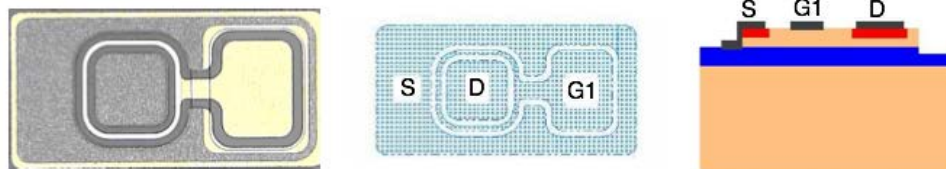


FIGURE 2.17 – Photo, vue du masque et coupe d'un MESFET simple grille [TVG<sup>+</sup>06].

Les caractéristiques statiques  $I_{DS} = f(V_{DS})$  obtenues lors des mesures expérimentales sont exposées à la figure 2.18. Ce transistor présente le comportement électrique attendu pour un

transistor "normally-on". Lorsque la tension appliquée entre les électrodes  $G_1$  et S est nulle, le transistor présente son courant  $I_{DS}$  maximal lorsqu'il est en régime de saturation ( $I_{DS} = 28.5 \text{ mA} @ V_{DS} = 20 \text{ V}; V_{G1S} = 0 \text{ V}$ ). L'application d'un potentiel  $V_{G1S}$  décroissant permet le blocage du composant. Le transistor se retrouve entièrement bloqué pour un  $V_{G1S} = -10 \text{ V}$ .

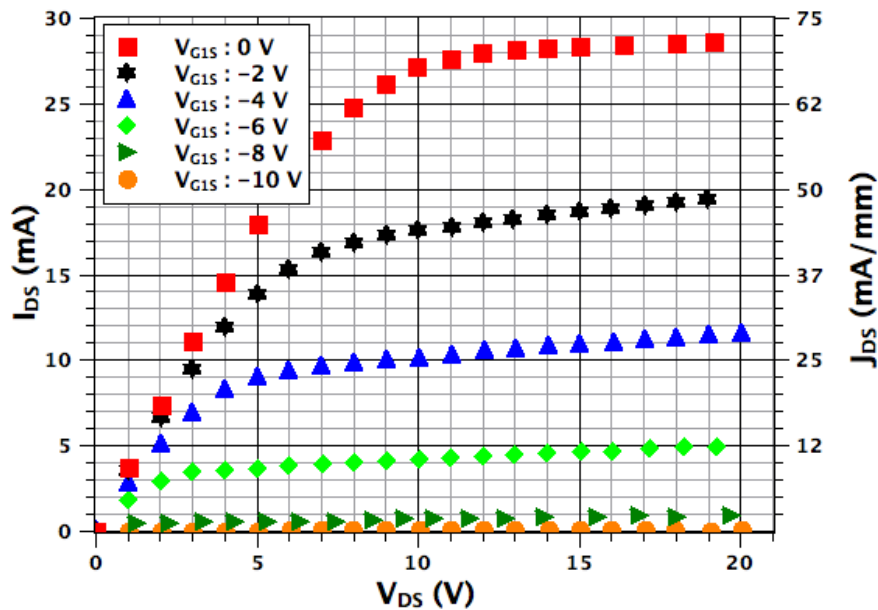


FIGURE 2.18 –  $I_{DS} = f(V_{DS})$  typiques pour différents  $V_{G1S}$  d'un MESFET simple grille d'une largeur  $W$  de  $400 \mu\text{m}$  et d'une longueur de grille  $L$  de  $6 \mu\text{m}$ .

### MESFET double grille

Le MESFET double grille correspond au composant élémentaire de base implanté sur le masque. La figure 2.19 présente la coupe schématique du composant. Elle correspond à celle présentée à la figure 2.11. Les caractérisations électriques du transistor ont été réalisées en laissant la grille enterrée  $G_2$  flottante.

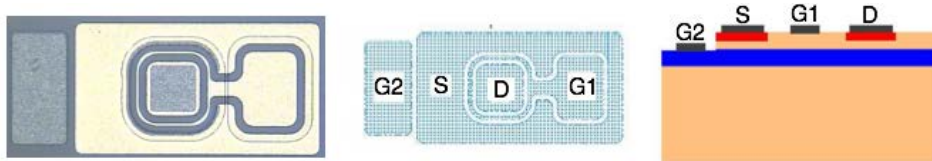


FIGURE 2.19 – Photo, vue du masque et coupe d'un MESFET double grille [TVG<sup>+</sup>06].

La figure 2.20 montre le comportement électrique d'un MESFET double grille. Le composant présente un comportement statique  $I_{DS} = f(V_{DS})$  proche d'un MESFET simple grille. Son courant  $I_{DS}$  pour  $V_{G1S}$  à  $0 \text{ V}$  en régime de saturation ( $V_{DS} = 20 \text{ V}$ ) vaut  $28 \text{ mA}$ . L'application d'un potentiel négatif décroissant entre les électrodes  $G_1$  et S conduit au blocage du MESFET. Le composant est entièrement bloqué pour un  $V_{G1S}$  de  $-10 \text{ V}$ .

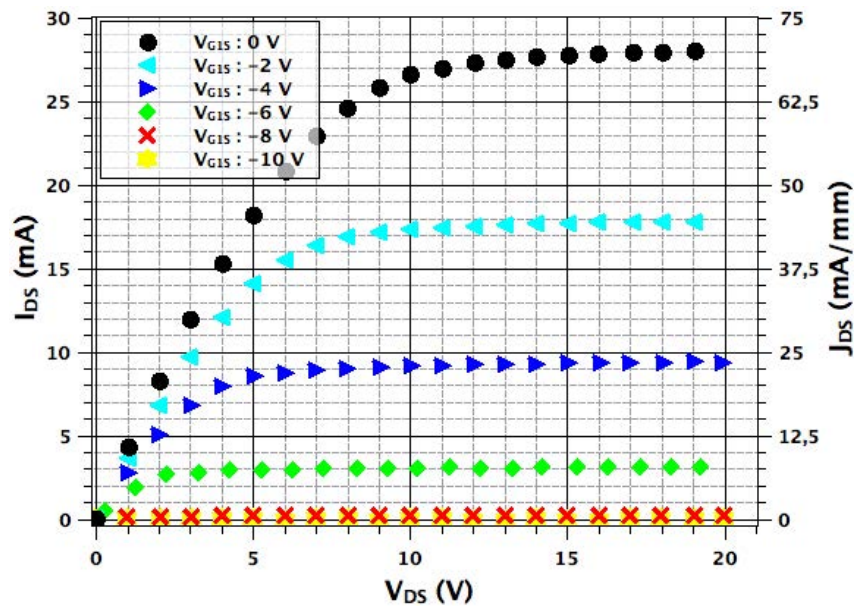


FIGURE 2.20 –  $I_{DS} = f(V_{DS})$  typiques pour différents  $V_{G1S}$  d'un MESFET double grille d'une largeur  $W$  de  $400 \mu\text{m}$  et d'une longueur de grille  $L$  de  $6 \mu\text{m}$  avec l'électrode de la grille  $G_2$  flottante.

La transconductance  $I_{DS} = f(V_{GS})$  du composant double grille (figure 2.21) a été mesurée à travers les différentes grilles ( $G_1$ ,  $G_2$  et  $G_{1-2}$ ). Selon les mesures, la polarisation de la grille enterrée  $G_2$  modifie légèrement le passage du courant  $I_{DS}$  à travers le composant. Ce dernier passe de  $I_{DS} = 41 \text{ mA}$  pour une valeur de  $V_{G2S} = 0 \text{ V}$  à  $I_{DS} = 23 \text{ mA}$  pour une tension  $V_{G2S} = -20 \text{ V}$ . D'après la figure 2.21 et le tableau 2.1, la transconductance présente la plus faible valeur dans la configuration, où les électrodes  $G_1$  et  $G_2$  sont polarisées au même potentiel. L'électrode de grille  $G_1$  s'avère être la seule électrode capable de bloquer entièrement le MESFET. L'emploi de la grille  $G_2$  va toutefois permettre la modulation du courant  $I_{DS}$  à travers le transistor.

Configuration des électrodes de grille	$G_1$	$G_2$	$G_{1-2}$
Transconductance $G_m$ (mS)	2	6.8	1.2
Transconductance $Go_m$ (mS/mm)	5	17	3
Tension de seuil $V_{th}$ (V)	-9	<-40	-7

TABEAU 2.1 – Transconductances  $I_{DS} = f(V_{G1S})$  pour  $V_{G1S} = -5 \text{ V}$  et  $V_{DS} = 20 \text{ V}$  (extraites des mesures présentées à la figure 2.21).

Une comparaison des performances entre un MESFET simple grille et un MESFET double grille a été effectuée. Pour les mesures, un potentiel identique a été appliqué sur les électrodes  $G_1$  et  $G_2$  du MESFET double grille. D'après la figure 2.22, les caractéristiques  $I_{DS} = f(V_{DS})$  présentent un ordre de grandeur équivalent entre les deux structures de composants. En régime linéaire, le comportement électrique des transistors est quasiment identique. Le MESFET double grille possède un meilleur pouvoir de blocage lorsqu'il est en régime saturé. Les mesures montrent que plus le potentiel  $V_{GS}$  appliqué est polarisé négativement et plus l'écart entre les courants  $I_{DS}$  des composants est important. Pour une tension  $V_{GS} = -6 \text{ V}$ , le courant  $I_{DS}$



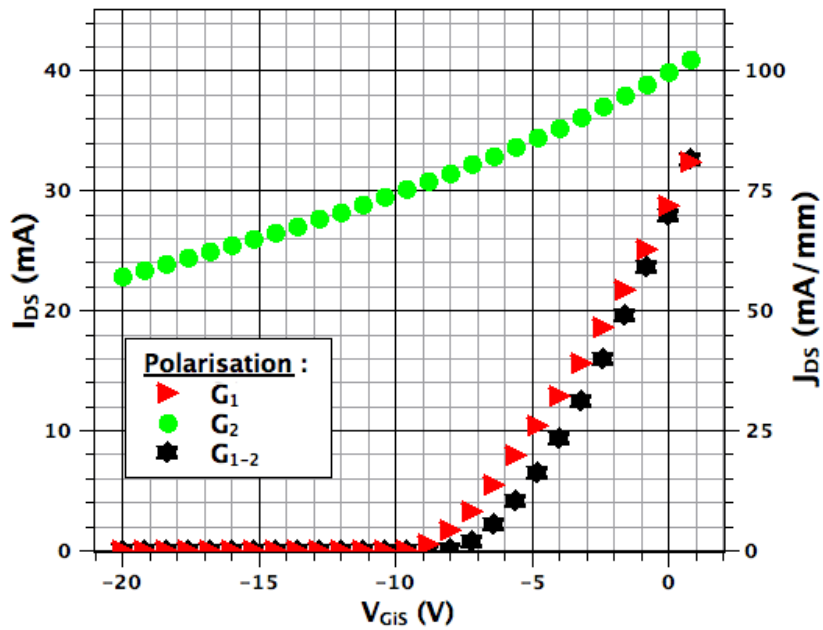


FIGURE 2.21 – Comparaison des transconductances selon la polarisation de  $G_1$  ( $G_2$  : flottant),  $G_2$  ( $G_1$  : flottant) et  $G_{1-2}$  pour un MESFET double grille d'une longueur de grille  $G_1$  de  $6 \mu\text{m}$  et d'une largeur de grille  $G_1$  de  $400 \mu\text{m}$  pour une tension  $V_{DS} = 20 \text{ V}$ .

du transistor double grille présente une différence  $\Delta I_{DS} = 2 \text{ mA}$  par rapport à celui du simple grille. Les composants sont en revanche tous les deux bloqués pour  $V_{GS} = -10 \text{ V}$ .

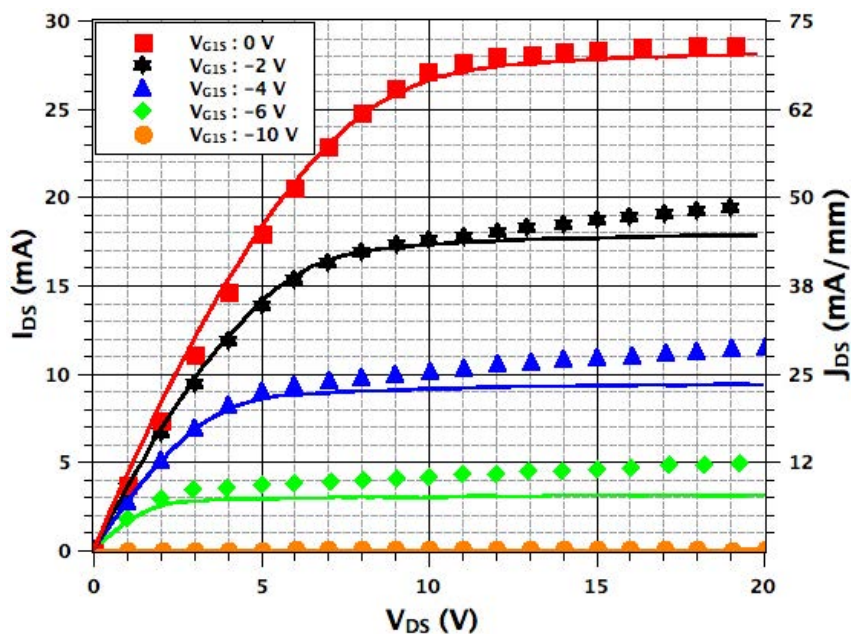


FIGURE 2.22 – Comparaison des caractéristiques statiques  $I_{DS}=(V_{DS})$  pour un MESFET simple grille (symboles) et un MESFET double grille (lignes).

Une étude sur les courants de fuite sur l'électrode de grille pour ces deux types de composants a été effectuée [TVG<sup>+</sup>06]. La figure 2.23 présente la caractéristique statique  $I_{GS} = f(V_{GS})$  des deux MESFETs en régime linéaire "a)" et en régime saturé "b)". Dans le premier cas, le transistor double grille présente un comportement similaire à celui de la simple grille. Pour une tension  $V_{GS} = -21\text{ V}$ , le courant de grille est de l'ordre de  $I_{GS} = -27\text{ }\mu\text{A}$ . En revanche, le comportement des transistors diffère en régime saturé. Le composant en configuration simple grille voit son courant de fuite  $I_{GS}$  s'accroître contrairement à la structure double grille, dès que  $V_{GS}$  dépasse  $-6\text{ V}$ . Son courant  $I_{GS}$  passe de  $I_{GS} = 5\text{ }\mu\text{A}$  pour une tension  $V_{GS} = -6\text{ V}$  à  $I_{GS} = 150\text{ }\mu\text{A}$  pour  $V_{GS} = -15\text{ V}$ . Dans la topologie double grille, ce courant  $I_{GS}$  passe de  $2\text{ }\mu\text{A}$  à  $10\text{ }\mu\text{A}$  pour des polarisations  $V_{GS}$  équivalentes. Le courant  $I_{GS}$  varie d'un rapport 30 pour le MESFET simple grille contre 5 pour la configuration double grille pour une tension de drain  $V_{DS} = 40\text{ V}$ . Ce composant à double électrode permet une réduction significative du courant de fuite  $I_{GS}$ . Cette différence de comportement s'explique par la polarisation en inverse de la jonction PN due à la couche enterrée de type P du MESFET.

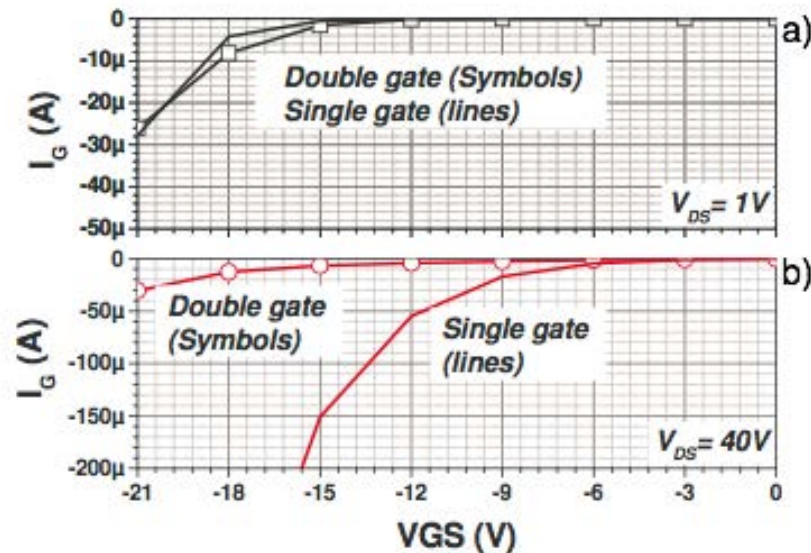


FIGURE 2.23 – Comparaison des caractéristiques statiques  $I_{GS} = f(V_{GS})$  pour un MESFET simple grille (lignes) et un MESFET double grille (symboles) : a) en régime linéaire à  $V_{DS} = 1\text{ V}$ , b) en régime saturé à  $V_{DS} = 40\text{ V}$  [TVG<sup>+</sup>06].

## Conclusion

La comparaison des deux architectures de composant a montré que le MESFET double grille présente de meilleures performances que la topologie simple grille en régime statique. Le transistor à deux électrodes possède un meilleur pouvoir de blocage du courant  $I_{DS}$ , un courant de fuite  $I_{GS}$  beaucoup plus faible tout en conservant une résistance  $R_{on}$  en régime linéaire du même ordre de grandeur que celle du composant simple grille. L'ajout de la grille enterrée  $G_2$  confère des propriétés avantageuses pour l'utilisation en environnement sévère notamment en haute température de ce type de composant.

### 4.3 Premières briques de circuits intégrés : mise en parallèle de structures

#### La structure MESFET avec cinq îlots

Un composant constitué de 5 MESFETs double grille (x5 dual gate MESFET sur la figure 2.16) a été caractérisé au moyen de l'analyseur B1505A dans une configuration où la grille enterrée  $G_2$  restait flottante. La figure 2.25 expose les caractéristiques statiques  $I_{DS} = f(V_{DS})$  mesurées du MESFET  $T_1$ . Les autres composants présentent des allures similaires. Les cinq MESFETs présentent le comportement typique d'un composant normalement passant. Les mesures sont très proches des caractéristiques électriques effectuées sur les MESFETs simple et double grille. La densité de courant  $J_{DS}$  des transistors pour  $V_{G1S}$  à 0 V et  $V_{DS}$  à 20 V est de 62 mA/mm. Ces valeurs sont relativement proches de celles des composants élémentaires (SG : 71 mA/mm - DG : 70 mA/mm). Elles confirment la stabilité du processus de fabrication puisque les valeurs normalisées sont relativement indépendantes des différentes largeurs de grille  $G_{1-5ILOTS} = 808 \mu\text{m}$  contre  $G_{1-ELEMENTAIRE} = 400 \mu\text{m}$ .

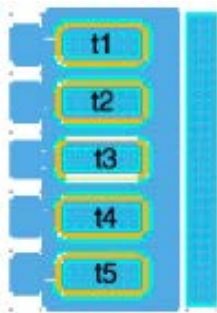


FIGURE 2.24 – Schéma de la structure avec cinq îlots de MESFETs.

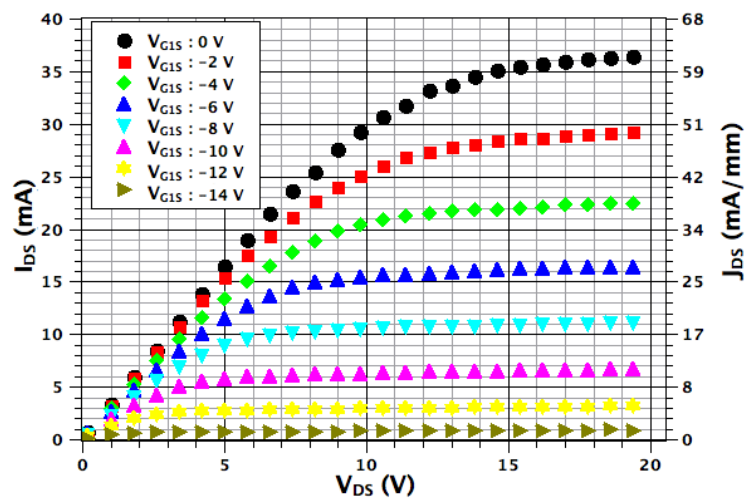


FIGURE 2.25 –  $I_{DS} = f(V_{DS})$  du MESFET double grille  $T_1$  de la structure constituée par cinq îlots de MESFETs pour une largeur de grille  $G_1$  de  $808 \mu\text{m}$ .

#### La structure MESFET avec huit îlots

Une structure constituée de huit MESFETs a été implantée sur le wafer SiC ("MESFET x4 bridge" sur la figure 2.16). Le schéma et la photographie du composant fabriqué sont respectivement présentés sur les figures 2.26 et 2.27. Ce composant présente deux types de transistors MESFETs. Les quatre MESFETs situés sur les extrémités sont à grille longue ( $708 \mu\text{m}$ ) et les autres situés au coeur de la structure sont à grille courte ( $588 \mu\text{m}$ ). Les mesures ont été effectuées en laissant les grilles enterrées  $G_2$  flottantes.

Les caractéristiques  $I_{DS} = f(V_{DS})$  d'une grille longue et d'une grille courte sont respectivement présentées au moyen des figures 2.28 et 2.29. Les composants présentent les caractéristiques attendues pour un transistor de type "normalement passant" (cf : analyse du composant double grille). Les composants à grille longue possèdent un courant  $I_{DS}$  plus important que ceux à grille courte. Le courant  $I_{DS}$  en régime de saturation pour  $V_{DS}$  à 20 V et  $V_{G1S}$  à 0 V

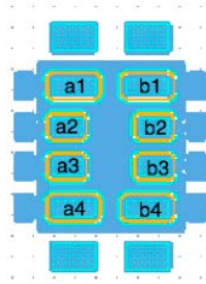


FIGURE 2.26 – Schéma des huit îlots de MESFETs (a1- b1- a4 - b4 ont les grilles longues, a2- b2- a3 - b3 ont les grilles courtes).

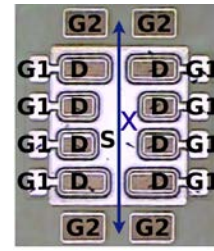


FIGURE 2.27 – Photographie des huit îlots implantés sur le wafer SiC avec le positionnement des électrodes. La distance  $x$  représente 1 mm.

est respectivement de 59.3 mA/mm pour la première architecture et de 61.2 mA/mm pour la seconde. Ces données sont proches des valeurs extraites pour les autres configurations du MESFET. Elles montrent la bonne stabilité du processus de fabrication.

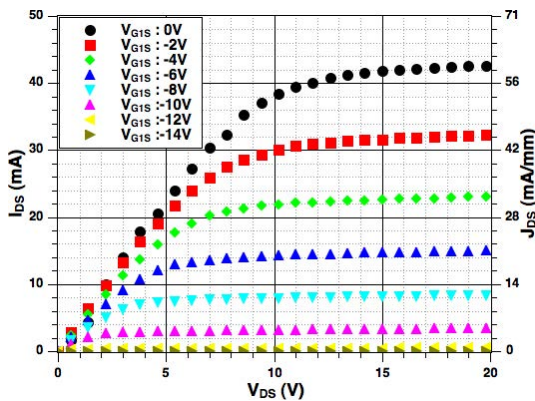


FIGURE 2.28 –  $I_{DS} = f(V_{DS})$  d'un MESFET à grille longue (708  $\mu\text{m}$ ) de l'îlot à huit composants.

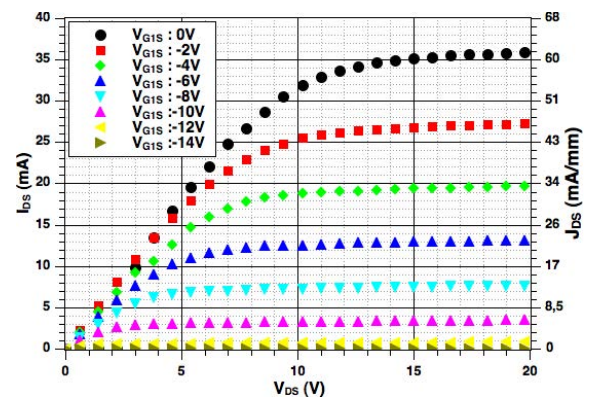


FIGURE 2.29 –  $I_{DS} = f(V_{DS})$  d'un MESFET à grille courte (588  $\mu\text{m}$ ) de l'îlot à huit composants.

L'agencement de ce composant rend la grille enterrée  $G_2$  et la source commune entre les 8 MESFETs. Les différents drains et grilles  $G_1$  des îlots ont respectivement été reliés entre eux par des fils de bonding en or d'un diamètre de 25  $\mu\text{m}$  (figure 2.30). La mise en parallèle des différentes électrodes a permis l'obtention d'un composant d'une plus grande capacité en courant dont la largeur  $W$  de la grille  $G_1$  est équivalente à 5.184 mm.

Les caractéristiques statiques  $I_{DS} = f(V_{DS})$  du composant bondé avec  $G_2$  flottant ont été expérimentalement relevées (figure 2.31). Le courant  $I_{DS}$  atteint une valeur maximale  $I_{DS}$  de 186 mA pour un  $V_{DS}$  de 10 V et un  $V_{G1S} = 0$  V. La valeur théorique du courant équivalent aurait du être de l'ordre de  $I_{DS} = 480$  mA. L'écart entre le courant  $I_{DS}$  mesuré et attendu peut s'expliquer par la défaillance de plusieurs îlots au sein de la structure. La valeur de ce courant  $I_{DS}$  pourrait être liée à une résistance d'accès importante sur l'électrode de source qui ne comporte qu'un seul fil de bonding placé de façon non symétrique sur la structure.

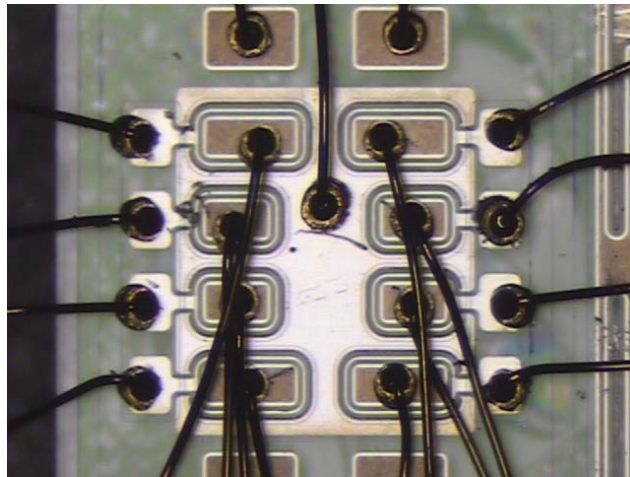


FIGURE 2.30 – Photographie du composant en îlot dont les électrodes de drains, de grilles et de source sont bondées au moyen de fils en or de  $25 \mu\text{m}$  de diamètre.

Le transistor présente toutefois des performances intéressantes. Comme cela a pu l'être évoqué précédemment, il laisse passer une densité de courant  $J_{DS}$  de  $29 \text{ mA/mm}$  pour une tension  $V_{DS} = 10 \text{ V} @ V_{GS} = 0 \text{ V}$ . Le MESFET équivalent est capable de bloquer le passage du courant  $I_{DS}$  lorsque une polarisation de  $-10 \text{ V}$  est appliquée entre les électrodes  $G_1$  et de source. Les caractéristiques statiques  $I_{DS} = f(V_{DS})$  ont tendance à chuter avec l'accroissement de  $V_{DS}$ , ceci peut s'expliquer par deux phénomènes physiques. Le premier est lié à l'auto-échauffement du composant. Le passage du courant  $I_{DS}$  conduit à une élévation interne de la température du MESFET. En raison de la faible surface du composant ( $1.2 \text{ mm}^2$ ), la densité de puissance engendrée ( $\approx 1.8 \text{ W/mm}^2$  pour  $V_{DS} = 10 \text{ V} @ V_{GS} = 0 \text{ V}$ ) par le courant  $I_{DS}$  conduit à une mauvaise évacuation du flux thermique, ce qui provoque la réduction de la durée de vie des porteurs et entraîne la dégradation des performances électriques. La seconde raison est liée à la non polarisation de la grille enterrée  $G_2$ . Cette dernière se retrouve autopolarisée à un potentiel inconnu. Cela entraîne une réduction de la tension de pincement  $V_p$  et engendre par conséquent une diminution du courant  $I_{DS}$  (équation 2.5). L'explication de ce phénomène est présenté plus en détail dans la partie 6.2 de ce chapitre.

## Conclusion

La commande du MESFET équivalent par l'électrode de grille  $G_2$  a été mesurée expérimentalement. La caractéristique statique  $I_{DS} = f(V_{DS})$  du composant a été réalisée en polarisant la grille enterrée  $G_2$  et en laissant flottante la grille en surface  $G_1$  (figure 2.32). Les mesures confirment l'analyse réalisée sur le composant double grille élémentaire. Le composant ne peut être entièrement bloqué qu'au moyen de la grille  $G_1$ . La polarisation par l'électrode  $G_2$  conduit à un blocage partiel du courant  $I_{DS}$  dans le composant (jusqu'à  $130 \text{ mA}$ ). La polarisation de la grille enterrée  $G_2$  offre la possibilité de moduler le courant  $I_{DS}$  à travers le composant.

L'étude de cette structure à huit transistors a montré qu'un MESFET de puissance latéral en SiC était envisageable à partir de la structure double grille. Ce composant a permis le passage d'un courant  $I_{DS}$  de l'ordre  $200 \text{ mA}$ . Il s'est avéré que le transistor équivalent n'était pas optimisé pour opérer avec des courants de cet ordre de grandeur. L'implantation d'un MESFET

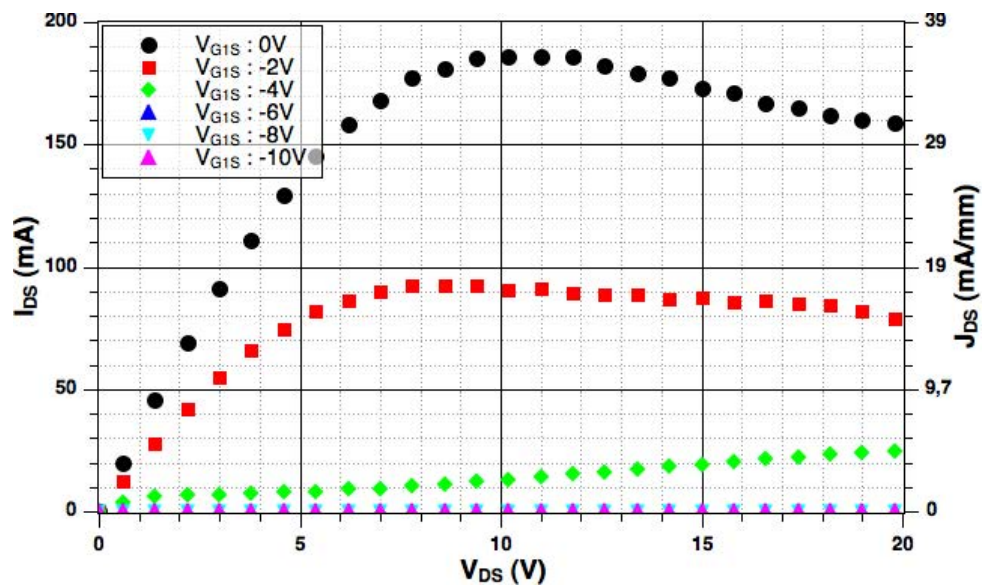


FIGURE 2.31 – Caractéristiques statiques  $I_{DS} = (V_{DS})$  mesurées à partir du composant bondé, qui présente une largeur de grille  $G_1$  équivalente à 5.184 mm et qui a sa grille enterrée  $G_2$  flottante.

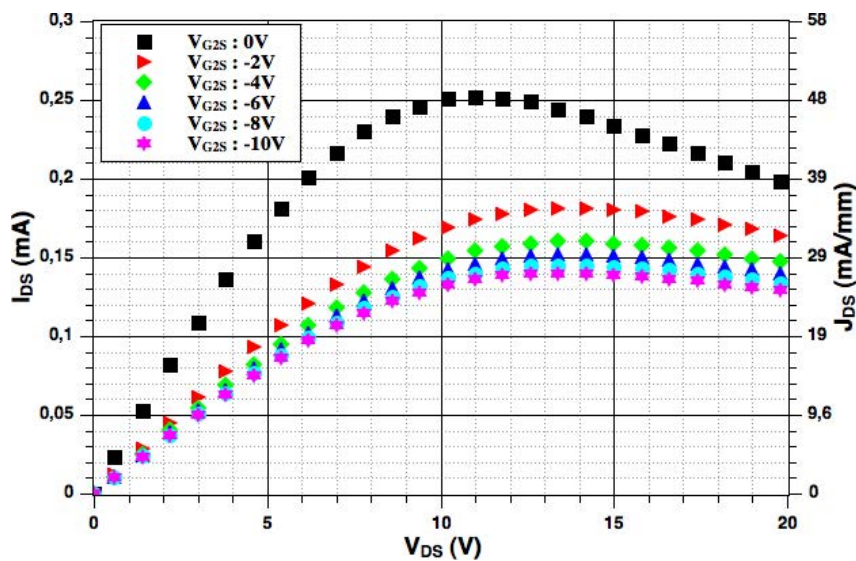


FIGURE 2.32 – Caractéristiques statiques  $I_{DS} = (V_{DS})$  du composant bondé avec une largeur de grille équivalente à 5184  $\mu\text{m}$  pour différentes polarisations de la grille  $G_2$  et avec la grille  $G_1$  flottante.

d'une largeur de grille  $G_1$  d'au moins 5.2 mm dans le prochain lot de composants s'avère être une étape majeure pour la réalisation d'un système de puissance intégré en SiC. Cela permettra d'une part de vérifier la faisabilité d'une structure de puissance latérale à partir de cette technologie d'intégration, d'évaluer ses performances, mais aussi d'évaluer la co-intégration d'un composant de puissance avec des MESFETs élémentaires.

#### 4.4 Evaluation des valeurs des capacités inter-électrodes du MESFET double grille (transistor élémentaire)

Les mesures des capacités inter-électrodes permettent de compléter les relevés des caractérisations statiques. Ces données donnent des informations sur le comportement dynamique des composants. Des capacités ont été mesurées sur les MESFETs double grille à partir d'une platine de test développée au laboratoire et avec le pont de mesure d'impédance HP 4194A [BUT08]. Cet analyseur couvre un spectre de fréquences de 100 Hz à 40 MHz et est limité à une tension de 40 V.

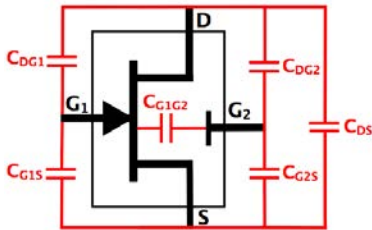


FIGURE 2.33 – Schéma du MESFET double grille représentant les différentes capacités inter-électrodes.

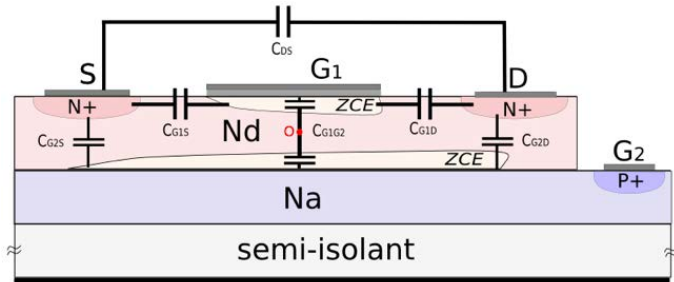


FIGURE 2.34 – Coupe du MESFET double grille représentant les différentes capacités inter-électrodes.

Les figures 2.33 et 2.34 présentent les différentes capacités inter-électrodes du MESFET double grille. Contrairement à un MESFET classique, la présence de la couche enterrée entraîne l'apparition de nombreuses capacités parasites supplémentaires ( $C_{DG2}$ ,  $C_{G2S}$ ,  $C_{G1G2}$ ). La méthodologie de mesure utilisée est décrite dans les références [MOU09] [HAM11]. La figure 2.35 présente un synoptique du montage utilisé pour mesurer une capacité. Un signal sinusoïdal de faible amplitude (entre 10 mV et 100 mV) est appliqué entre les électrodes de la capacité à évaluer ( $C_{dut}$ ). L'amplitude  $V_{AC}$  de la tension appliquée et le courant  $I_{dut}$  sont par la suite mesurés. La formule 2.6 permet d'obtenir la valeur de la capacité  $C_{dut}$  grâce aux données expérimentales obtenues [STA09].

$C_{dut}$  : capacité déduite

$I_{dut}$  : courant mesuré

$$C_{dut} = \frac{I_{dut}}{2 \cdot \pi \cdot f \cdot V_{AC}} \quad (2.6) \quad f : \text{fréquence du signal appliqué}$$

$V_{AC}$  : composante alternative de la tension mesurée

Ces mesures sont réalisées au moyen de l'impédancemètre HP 4194 A. La platine de test développée au laboratoire permet de configurer les électrodes du composant de façon à pouvoir mesurer les capacités inter-électrodes souhaitées. Les mesures ont été effectuées pour des fréquences de 20 kHz et de 1 MHz avec l'application d'une tension sinusoïdale de 100 mV d'amplitude crête à crête. Lorsqu'une grille n'était pas polarisée, elle restait flottante. L'estimation de la capacité  $C_{DS}$  a nécessité le blocage du composant à une polarisation de grille de -10 V. La tableau 2.2 récapitule l'ensemble des valeurs extraites à partir des relevés dynamiques. La polarisation des grilles influence fortement la valeur de certaines capacités.

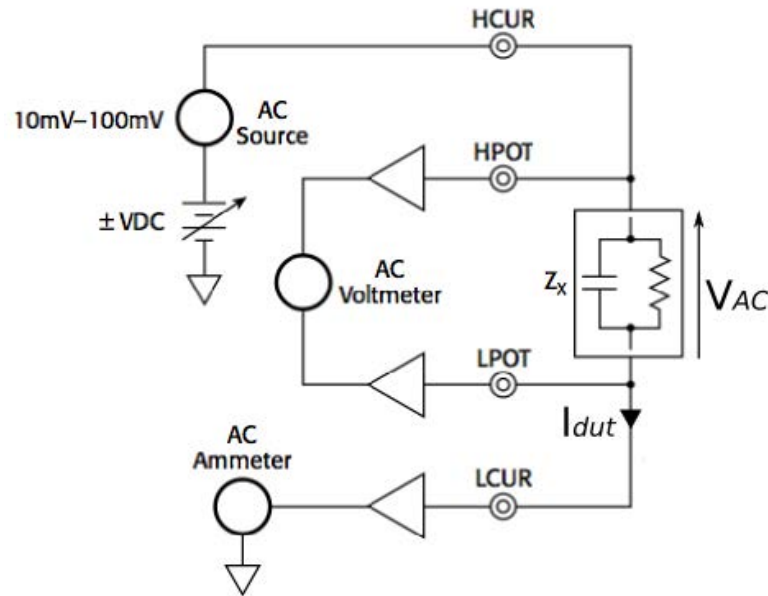


FIGURE 2.35 – Synoptique du montage utilisé pour mesurer les capacités inter-électrodes des MESFETs élémentaires [STA09].

**Remarque** : Les capacités exposées montrent les valeurs d'une capacité entre deux électrodes et non la valeur de la capacité elle-même à l'exception des cas où une grille est flottante. Par exemple, la mesure de la capacité  $C_{DG1}$  (avec  $G_2$  reliée à la source) va donner la valeur de la capacité mesurée entre les électrodes D et  $G_1$  et non la valeur de capacité  $C_{DG1}$  représentée sur les figures 2.33 et 2.34. En effet, d'après ces figures, on constate qu'en mesurant la capacités entre D et  $G_1$  avec  $G_2$  reliée à la source, les capacités  $C_{DG1}$ ,  $C_{DG2}$  sont en parallèle et la capacité mesurée correspond à la capacité équivalente de ces deux valeurs. Dans une autre configuration, si par exemple  $G_2$  est flottante, alors la mesure de la capacité  $C_{DG1}$  donnera la valeur de la capacité  $C_{DG1}$ .

Les mesures présentent une évolution de la capacité  $C_{G1D}$  en fonction de la fréquence. La valeur de cette capacité est du même ordre de grandeur que  $C_{DS}$  pour 1 MHz. La figure 2.36 présente l'évolution de  $C_{G1G2S}$  en fonction de la tension appliquée entre les électrodes de grille et la source pour une fréquence de 100 kHz.

Une augmentation de la tension de polarisation conduit à une chute de la valeur de  $C_{G1G2S}$ . Dans un transistor unipolaire de type N, plus la grille est polarisée en inverse et plus la ZCE est importante. La variation de la tension de grille va moduler la ZCE et par conséquent la valeur de  $C_{G1G2S}$ . Le composant peut-être assimilé à un condensateur où l'isolant correspond à la ZCE, plus la tension de polarisation est faible et moins la ZCE est grande (équivalent à une faible distance entre les armatures d'un condensateur). Un accroissement de la polarisation conduirait à une déplétion plus importante de la ZCE, ce qui équivaldrait à augmenter la distance entre les armatures et donc à réduire la valeur de la capacité. A partir d'une certaine tension, la zone est complètement déplétée. La capacité n'évolue plus en fonction de la tension et elle présente une valeur constante.



Configuration	Capacité	20 kHz	1 MHz
$G_2$ reliée à la source	$C_{G1S}$	12.7 pF	4.9 pF
	$C_{G1D}$	x	x
	$C_{DS}$	x	x
$G_1$ reliée à la source	$C_{G2S}$	51.7 pF	30.6 pF
	$C_{G2D}$	x	x
	$C_{DS}$	x	x
$G_1$ et $G_2$ reliées ensemble	$C_{G1G2S}$	51.7 pF	30.6 pF
	$C_{G1G2D}$	2.9 pF	2.4 pF
	$C_{DS}$	2.8 pF	2.1 pF
$G_1$ flottante	$C_{G2S}$	49.4 pF	13.6 pF
	$C_{G2D}$	5.9 pF	1.8 pF
	$C_{DS}$	x	x
$G_2$ flottante	$C_{G1S}$	4.6 pF	46.2 pF
	$C_{G1D}$	7.4 pF	7.6 pF
	$C_{DS}$	2.3 pF	1.8 pF

TABLEAU 2.2 – Récapitulatif des capacités, qui ont pu être mesurées pour le MESFET double grille selon différentes configurations de polarisation des grilles  $G_1$  et  $G_2$ .

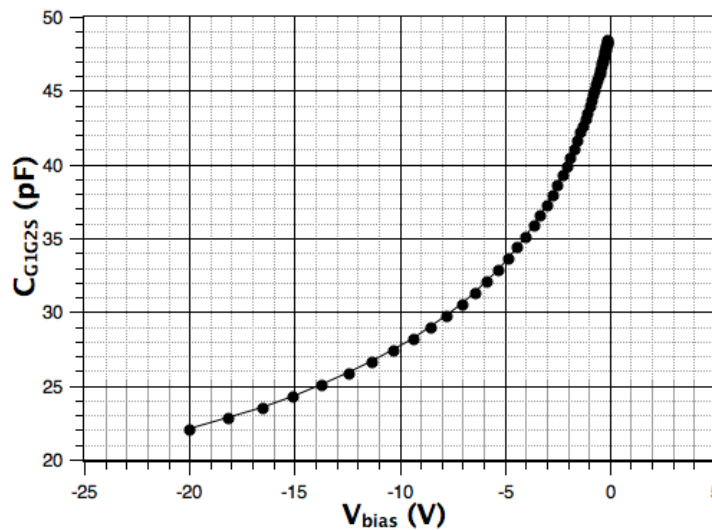


FIGURE 2.36 – Evolution de la capacité  $C_{G1G2S}$  en fonction de la tension pour 100 kHz avec les grilles  $G_1$  et  $G_2$  soumises à un potentiel identique

D’après la figure 2.37, plus la fréquence de fonctionnement du composant est importante et plus la capacité est faible. Ce phénomène est facile à comprendre avec les explications du paragraphe précédent ; à partir d’une fréquence supérieure à 6 MHz, les porteurs du semi-conducteur n’arrivent pas à suivre la cadence de fonctionnement imposée, la ZCE ne varie plus et la capacité reste quasi-constante.

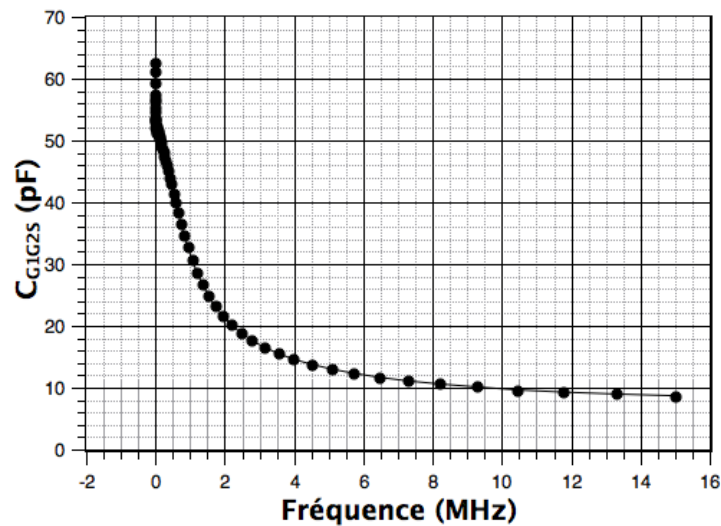


FIGURE 2.37 – Evolution de la capacité  $C_{G_1G_2S}$  en fonction de la fréquence pour une polarisation de 10 mV avec  $G_1$  et  $G_2$  polarisées au même potentiel.

L'objectif de ces caractérisations était l'estimation de l'ordre de grandeur des principales capacités internes des MESFETs dans l'optique d'évaluer par la suite le comportement dynamique du composant en simulation. Les mesures ont permis d'évaluer des capacités de l'ordre du picroFarad. Les techniques de caractérisations statiques et dynamiques basées sur les paramètres S pourraient être une solution apte à donner des valeurs de capacités plus précises [DUB03], [RUM04]. Néanmoins, et comme cela sera présenté dans le paragraphe suivant traitant du modèle dynamique du MESFET (page 80), ces valeurs permettent d'obtenir des paramètres réalistes pour la modulation.

## 5 Modélisation du transistor MESFET

### 5.1 Présentation et définition du principe de modélisation d'un composant semi-conducteur

Le modélisation a pour but de refléter le comportement des transistors en statique et en dynamique lors de la phase de simulation. Le principal challenge consiste à modéliser correctement les phénomènes parasites apparaissant avec les hautes fréquences. Les modèles sont composés par des éléments basiques comme des sources de courant, des diodes, des résistances, des capacités et des inductances. Les résistances représentent les voies empruntées par les porteurs pour se déplacer au sein du composant. Elles représentent physiquement la résistivité des couches et dépendent essentiellement du dopage et des dimensions géométriques. Les capacités permettent de modéliser le comportement des couches pendant les effets de transition et de diffusion des porteurs. Les diodes et les sources de courant correspondent aux courants générés au sein du composant. Deux grands modèles ont été établis : le modèle linéaire et le modèle non-linéaire dit "de grand signal" [AM93].

## Les modèles

### a) Le modèle linéaire

Ce modèle dit de "petits signaux" est valable uniquement autour d'un point de polarisation du régime linéaire et pour des faibles excursions de signal. La figure 2.38 présente le schéma équivalent d'un modèle "petits signaux". Les capacités correspondent aux capacités grille-source, drain-grille et drain-source. La résistance du canal correspond à  $R_C$  et  $G_{DS}$  équivaut à la conductance du drain.  $R_G$  est la résistance de la grille.  $R_S$  et  $R_D$  sont respectivement les résistances de contacts de drain et de source.  $G_m$  correspond à la transconductance entre l'entrée et le courant de sortie.

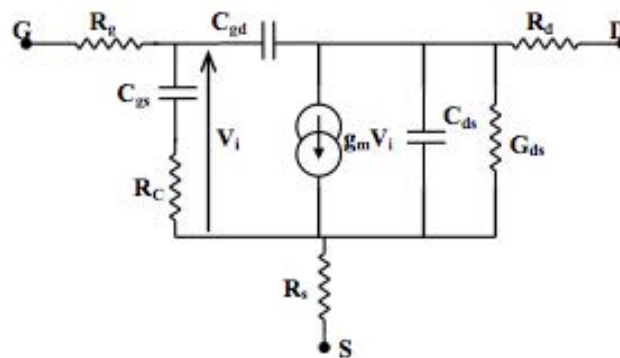


FIGURE 2.38 – Schéma d'un modèle linéaire de transistor à effet de champ [RUM04].

### b) Le modèle non-linéaire

Le modèle non-linéaire dit "de grand signal" représente le composant sur une grande partie de sa gamme de polarisation et peut prendre en compte des phénomènes parasites comme les effets liés à la température ou au bruit. La structure dont le schéma est présenté à la figure 2.39 s'avère plus difficile à modéliser que celle à "petits signaux". Il prend en compte des phénomènes parasites tels que l'influence de la température ou les effets de bruit lorsque le courant  $I_{DS}$  devient important. Des équations analytiques permettent de prendre en compte ces différents éléments au sein du composant. Ces formules mathématiques sont établies à partir de paramètres déduits des courbes de caractérisation et servent à représenter le comportement du transistor. Des éléments du modèle linéaire restent toujours valables comme les résistances d'accès  $R_D$ ,  $R_G$  et  $R_S$ . Les grandeurs linéaires présentent l'avantage de ne pas varier en fonction de la polarisation et sont donc toujours utilisables. Les modèles linéaires ne sont valables que sur certaines gammes de fréquences. Au-delà d'un écart de 10 %, le modèle est considéré comme inutilisable. Différents modèles de transistors à effet de champ ont été conçus. Les modèles de Curtice, de Statz et le TriQuinst Own Model (TOM) sont les modèles les plus répandus [SCH98] [SMI95] [MAA10]. Ils sont valables pour la simulation des transistors MESFETs, mais aussi des structures HEMTs. Il s'agit principalement de modèles empiriques décrivant le comportement des transistors à partir des équations analytiques [AM93].

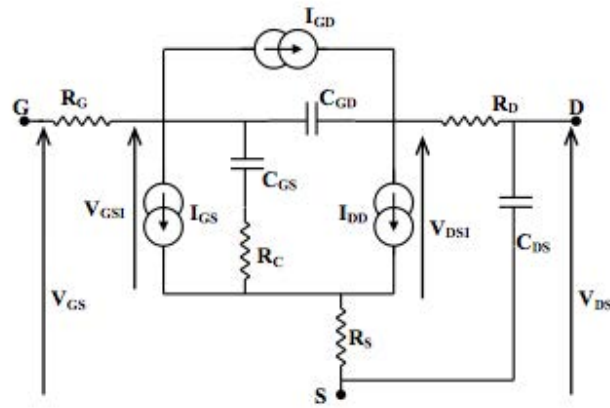


FIGURE 2.39 – Schéma d'un modèle non-linéaire de transistor à effet de champ [RUM04].

## La modélisation SPICE du MESFET

### a) Les simulateurs SPICE

Les simulateurs de circuits électroniques les plus répandus sont ceux de type SPICE. Il existe deux grandes catégories les simulateurs SPICE standards tels que PSpice, Hspice ou smart Spice et les simulateurs dérivés qui contiennent en plus un langage de modélisation comportemental de type code (MAST, VHDL- AMS) tels, que Saber, Eldo, Spectre ou Simplorer. Les logiciels de simulations de base sont des versions gratuites en libre téléchargement sur les sites de leur éditeur. Les programmes comme LtSpice, NgSpice ou MacSpice sont généralement conçus à partir de la compilation d'un micronoyau SPICE offrant les fonctions et les modèles les plus rudimentaires [LAU97].

### b) Le modèle SPICE basique

Le modèle du MESFET est dérivé du modèle de Statz GaAs FET. Les caractéristiques statiques sont définies par les paramètres  $V_{to}$ ,  $\beta$ ,  $\alpha$  et  $\lambda$ .  $\beta$  décrit les variations du courant de drain en fonction de la polarisation de la grille.  $\alpha$  fixe la tension de saturation.  $\lambda$  permet de configurer la conductance  $G_d$ . Ce modèle de MESFET n'a cependant pas été retenu pour la suite de la thèse. En effet, il s'avère que le modèle du JFET est basé sur des équations quasi-similaires. De plus, il présente l'avantage d'évoluer en fonction de la température [AM93].

### c) Le modèle SPICE du JFET

Le modèle du JFET est dérivé des équations de Shichman et Hodges [AM93]. Les caractéristiques statiques sont définies par les paramètres  $V_p$ ,  $\lambda$ ,  $\beta$ ,  $I_s$ . Les capacités  $C_{GS}$  et  $C_{GD}$  sont calculées à partir des charges stockées dans les couches déplétées respectives. Les formules 2.7 et 2.8 présentent les principales équations utilisées pour calculer le courant  $I_{DS}$  du modèle SPICE du JFET [LAU97].

$$I_{DS} = Aire \cdot \beta \cdot (1 + \lambda \cdot V_{DS}) \cdot V_{DS} (2(V_{GS} - V_{th}) - V_{DS}) \text{ en régime linéaire} \quad (2.7)$$

$$I_{DS} = Aire \cdot \beta \cdot (1 + \lambda \cdot V_{DS}) \cdot (V_{GS} - V_{th})^2 \quad \text{en régime saturé} \quad (2.8)$$

Le tableau 2.3 récapitule les différents paramètres du modèle SPICE du transistor JFET. Pour information,  $\alpha$  n'apparaît pas dans la notice SPICE du modèle du JFET, pourtant ce dernier est bien présent dans le logiciel LtSpice.

Nom	Description	Unité	Défaut	Aire
$\beta$	Transconductance	A/V <sup>2</sup>	$1e^{-4}$	*
$C_{GS}$	Capacité de la jonction "grille - source"	F	0	*
$C_{GD}$	Capacité de la jonction "grille - drain"	F	0	*
$F_c$	Coefficient de déplétion de la jonction	-	0.5	
$I_s$	Courant de saturation de la jonction	A	$1e^{-14}$	*
$K_f$	Coefficient de bruit flicker	-	1	
$\lambda$	Paramètre de modulation de largeur du canal	1/V	0	
$P_b$	Potentiel interne de la jonction ( $V_{di}$ )	V	1	
$R_D$	Résistance ohmique de drain	$\Omega$	0	*
$R_S$	Résistance ohmique de source	$\Omega$	0	*
$V_{t0}$	Tension de seuil	V	-2	
$\beta$ -TC	Coefficient de température de $\beta$	%/C	0	
$V_{t0}$ -TC	Coefficient de température de $V_{t0}$	V/C	0	

TABLEAU 2.3 – Les paramètres du JFET basique sous SPICE [AM93].

#### d) Les modèles évolués

Des simulateurs commerciaux tels que ADS, PSpice ou Simplorer permettent l'accès à des modèles beaucoup plus développés du type TOM3, Statz, Curtice, Angelov... ; rendant ainsi la simulation des circuits beaucoup plus proche du comportement expérimental et par conséquent plus efficace. Les prix élevés des packages proposés par les développeurs ont écarté le choix d'un de ces modèles. Pour la suite du travail, le choix s'est porté sur le simulateur LtSpice, qui permet l'implémentation du modèle de JFET présenté précédemment et l'emploi du modèle développé par A. DEVIE [DTG<sup>+</sup>10]. Ce dernier a obtenu, à partir d'une structure NMOS, un comportement statique très approché des transistors MESFETs SiC fabriqués. En revanche, ce modèle ne fonctionne pas dans les régimes transitoires [MOG10]. L'utilisation du modèle du JFET pourrait offrir l'opportunité d'établir un nouveau modèle pouvant éventuellement opérer en simulation lors des régimes statique et dynamique.

## 5.2 Extraction des paramètres

La caractérisation électrique permet de connaître le comportement des composants. De plus, il est possible d'extraire à partir des mesures effectuées les principaux paramètres utilisés pour les modèles de simulation [SAL07] [LAU97].

## Le modèle statique

Dans le cadre de cette thèse, un modèle de JFET a été choisi pour simuler le comportement du MESFET sous SPICE. Les principaux paramètres  $\beta$ ,  $\lambda$  et  $V_{th}$  ( $\# V_{to}$ ) nécessaires à l'établissement du modèle ont facilement pu être extraits grâce à la méthodologie proposée par P. ANTOGNETTI et G. MASSOBRIO [AM93]. Pour faciliter l'extraction des paramètres, un programme a été développé sous MATLAB (figure 2.40). Ce dernier trace dans un premier temps les caractéristiques  $I_{DS} = f(V_{DS})$  et  $I_{DS} = f(V_{GS})$ , puis il détermine et affiche les polynômes calculés à partir des données expérimentales (fitting). Les coefficients polynomiaux sont par la suite stockés dans un fichier texte. Les paramètres sont estimés pour  $V_{GS} = 0 V$ . Les paramètres extraits des mesures expérimentales à partir du programme MATLAB sont présentés dans le tableau 2.4.

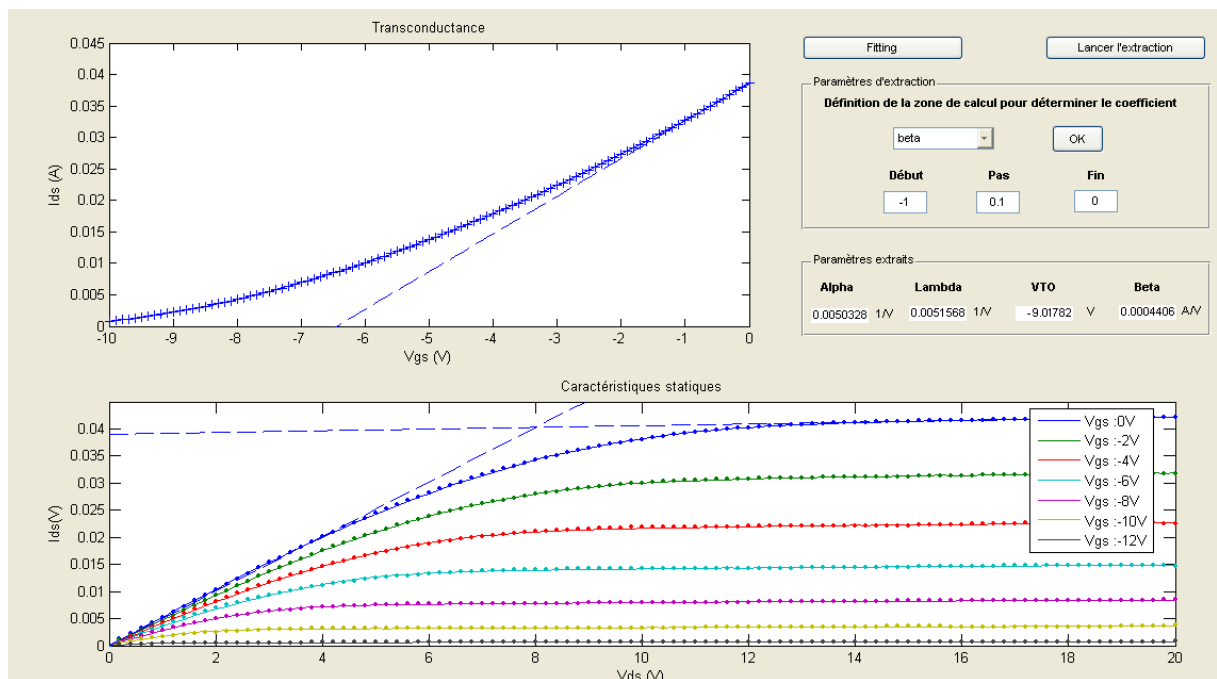


FIGURE 2.40 – Interface du programme d'extraction de paramètres réalisé sous MATLAB.

Paramètres	$\beta$ (A/V)	$\lambda$ (1/V)	$V_{th}$ (V)
Valeurs	$4.41e^{-4}$	$5.16e^{-3}$	-9.02

TABLEAU 2.4 – Synthèse des paramètres extraits à partir de l'interface graphique pour  $V_{G1S} = 0 V$  pour un MESFET à double grille avec l'électrode  $G_2$  flottante.

Ces paramètres ont par la suite été implantés dans le modèle SPICE du JFET sous LtSpice. La figure 2.41 présente la comparaison des comportements entre le modèle de simulation basé sur les paramètres extraits et la caractérisation statique d'un MESFET double grille (grille enterrée flottante). Globalement le modèle de simulation prédit le comportement expérimentale du composant excepté pour  $V_{G1S}$  égale à 0 V. Ceci s'explique par le fait que le modèle SPICE n'intègre pas l'effet d'auto-échauffement engendré dans le composant par le passage du courant

de drain, ce qui provoque la réduction de la mobilité des porteurs et conduit à une diminution de  $I_{DS}$  par rapport au comportement prédit par la simulation. De plus, il est important de préciser que le modèle SPICE utilisé est un modèle simple grille et qu'il ne considère pas l'influence engendrée par une éventuelle auto-polarisation de la couche enterrée de type P, le modèle ne prend pas en compte la polarisation induite par la jonction PN du composant et la grille  $G_2$  n'est pas utilisable lors des simulations avec le modèle développé.

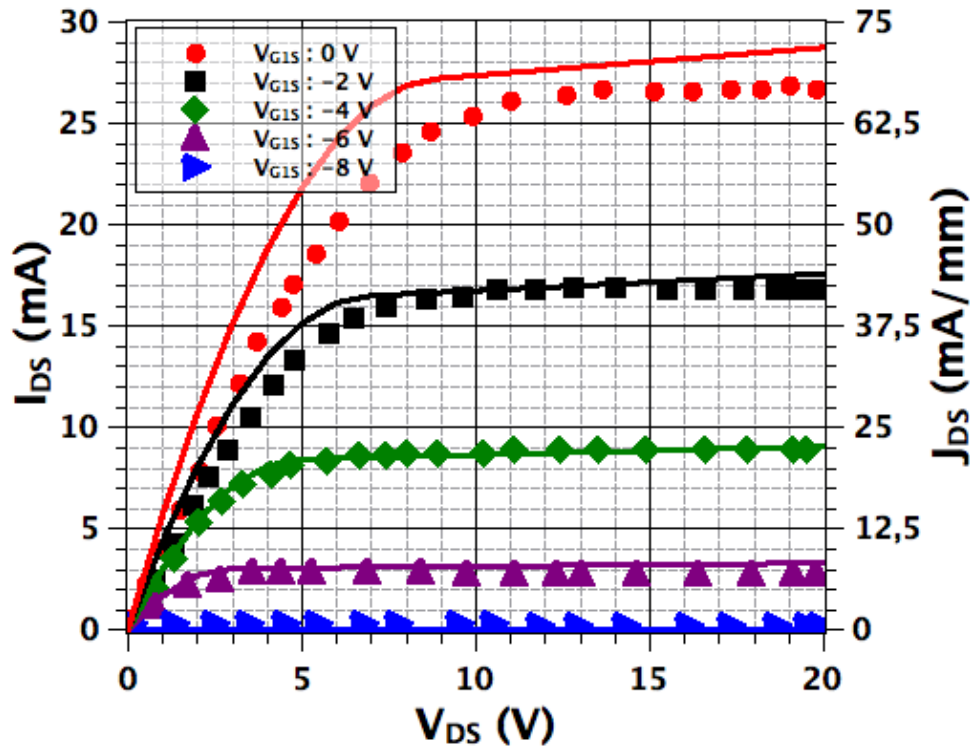


FIGURE 2.41 – Comparaison entre la simulation SPICE (lignes) et des mesures des caractéristiques statiques  $I_{DS} = f(V_{DS})$  (points) avec un pas de tension  $V_{G1S} = -2$  V d'un MESFET double grille (la grille  $G_2$  est flottante).

Malgré les limites présentées, le modèle établi est convenable pour prédire le comportement statique d'un composant double grille (grille enterrée flottante) lors d'une simulation circuit (ex : utilisation du MESFET dans un montage d'amplificateur à source commune). Grâce à l'extraction des capacités, l'établissement d'un modèle dynamique du composant est envisageable. Le modèle dynamique du JFET permet seulement d'inclure les valeurs de  $C_{G1S}$  et  $C_{G1D}$ . Cela ne correspond pas à la structure "exotique" du MESFET double grille (figure 2.34). Cela n'est pas très pénalisant puisque l'objectif est de déterminer une tendance du comportement dynamique du composant. L'ajout au modèle SPICE des capacités mesurées va permettre d'estimer le comportement dynamique du composant au sein d'un système (ex : estimation des pertes dues au composant dans un convertisseur de puissance), mais aussi de connaître les performances de certains circuits en fréquence (ex : fréquence de fonctionnement d'un oscillateur en anneau à base de MESFETs).

### Le modèle dynamique

L'établissement du modèle dynamique s'est basé sur les travaux de thèse présentés par D. RISALETTO [RIS07]. Le modèle SPICE du JFET offre la possibilité de configurer les valeurs de  $C_{GS}$  et  $C_{GD}$ . A partir des mesures effectuées (tableau 2.2),  $C_{GS}$  et  $C_{GD}$  ont respectivement été fixées à 5 pF et 2 pF. Le modèle de capacité ne correspond pas à celui d'un MESFET double grille puisque la grille enterrée entraîne l'apparition d'autres capacités [LAU97]. La configuration de paramètres  $C_{GS}$  et  $C_{GD}$  du modèle SPICE à partir des valeurs mesurées devrait permettre d'évaluer le comportement dynamique du composant.

La validation du modèle dynamique consiste à comparer le comportement simulé du MESFET double grille par rapport au comportement expérimental lors d'une commutation sur une charge R-L. Le montage élaboré est présenté sur la figure 2.42. Il nécessite l'utilisation d'une diode Schottky SiC pour permettre l'évacuation du courant dans le circuit lors du blocage du transistor. Cette diode a été caractérisée en sens direct, en sens inverse et sa capacité interne a été mesurée au moyen de l'Agilent B1505 A [Tec10]. Un modèle SPICE de la diode composant a été établi à partir des différentes caractérisations électriques réalisées. L'équation du modèle SPICE utilisé est : ".model diode-sic-sc D(Is=3.5e-11 Rs=57 Vj=0.79 N=1.4 Cjo=2.75n)". La description complète du modèle d'une diode sous SPICE est présenté dans la référence [AM93].

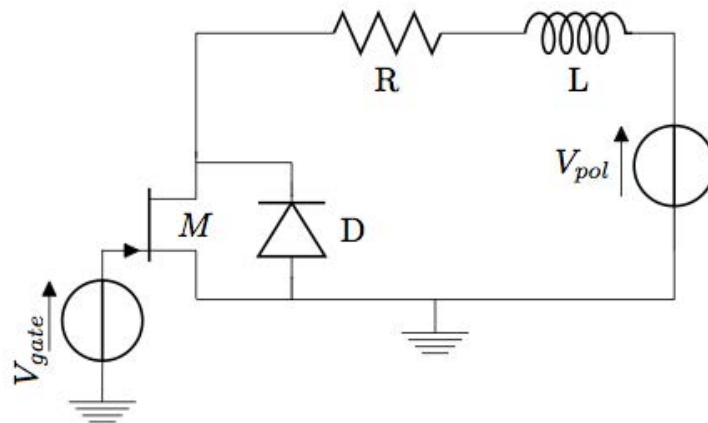


FIGURE 2.42 – Schéma du circuit R-L pour mesurer la commutation du MESFET SiC double grille.  $M$  représente le MESFET SiC.  $D$  est une diode de roue libre en SiC. La résistance  $R$  vaut 1.1 k $\Omega$  et l'inductance  $L$  est à 620  $\mu$ H. La tension  $V_{pol}$  est fixée à 20 V et la grille  $G_2$  du MESFET double grille est laissée flottante.

D'après la figure 2.43, les simulations et les mesures présentent une bonne concordance. Une surtension de 29 V apparaît lors de la transition ouverte-bloquée. Ce pic de surtension est liée au  $di/dt$  de l'inductance du circuit. La polarisation de la diode lors de la phase de blocage explique la présence des ondulations puisque la création d'une ZCE équivaut à la présence d'une capacité parasite non négligeable, qui entraîne l'apparition d'un circuit RLC du second ordre. De plus, lorsque le transistor n'est pas bloqué, il conduit un courant drain-source de l'ordre de 16 mA.  $V_{DS}$  présente un plateau de l'ordre de 4 V (en simulation). La tension à l'état passant du composant est élevée car le transistor n'est pas assez chargé et ne peut pas atteindre une tension  $V_{DS}$  proche de 0 V. Une résistance plus grande serait nécessaire, mais ceci impliquerait un cou-



rant  $I_{DS}$  plus faible, qui ne serait pas mesurable à partir de la sonde utilisée. La charge complète du transistor n'est pas importante puisque l'objectif de la manipulation est l'établissement d'un modèle dynamique (simplifié) du MESFET double grille.

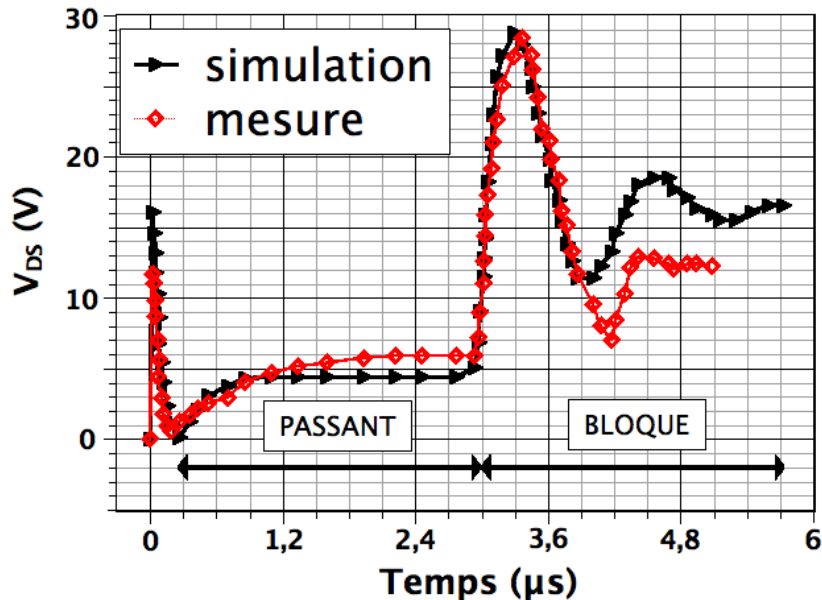


FIGURE 2.43 – Comparaison entre la simulation et la mesure expérimentale d'une commutation du MESFET sur une charge R- L ( $R : 1.1 \text{ k}\Omega$  et  $L : 620 \text{ }\mu\text{H}$ ,  $V_{pol} : 20 \text{ V}$ . Le MESFET est bloqué par l'application d'une tension de  $-10 \text{ V}$  entre sa grille  $G_1$  et sa source. L'électrode de grille  $G_2$  a été laissée flottante.

### Conclusion des modèles statique et dynamique établis

En conclusion, à partir des différentes mesures réalisées, un modèle statique et un modèle dynamique du MESFET double grille ont pu être établis. Il s'agit de modèles simplifiés et limités puisque le modèle statique ne tient pas compte de la grille enterrée et que le modèle dynamique n'est basé que sur deux capacités. Cependant, les comparaisons entre les simulations et les données mesurées montrent une bonne correspondance. Ces modèles empiriques sont par conséquent convenables pour simuler le comportement statique et dynamique du MESFET lors de la simulation de circuit. Ils seront utilisés dans la suite de la thèse pour dimensionner les circuits basés sur le MESFET.

Le modèle SPICE est le suivant : ".model mesfet-signal-40ma NJF ( Beta=0.00044 Betatce=-1 Rd=1 Rs=1 Lambda=0.000516 Vto=-9.02 Cgs=5p Cgd=2p Kf=9.882E-18 Af=1)". Le tableau 19 présenté en 4.1 dans les annexes récapitule les différents paramètres du modèle SPICE établi.

Face aux limites du modèle empirique, des travaux visant l'obtention d'un modèle plus performant ont été initiés. L'objectif principal est la mise au point d'un modèle prenant en compte

l'influence de la grille enterrée P du MESFET. Le CNM de Barcelone a développé un "macro-modèle" basé sur le modèle SPICE du JFET. Ce modèle inclut une source de tension contrôlable, qui permet de prendre en compte lors des simulations le potentiel interne du composant (lié aux jonctions Schottky et bipolaire), ainsi que l'effet de la température de fonctionnement (mais pas l'auto-échauffement).

Les langages VHDL-AMS, MAST et Verilog sont des outils puissants, qui offrent la possibilité de développer des modèles de composants spécifiques. Ceci n'est pas le cas de SPICE puisqu'il permet uniquement de paramétrer et non d'éditer les modèles de simulation. Ces langages permettent d'implanter de nouveaux modèles de composants sur certains simulateurs électriques (Portunus, Simplorer ...). Des travaux sur la modélisation analytique du JFET SiCED double grille ont été entrepris au laboratoire AMPERE par H. MOREL et Y. HAMIEH [HAM11]. Le développement d'un modèle analytique du MESFET SiC, où les grilles  $G_1$  et  $G_2$  seraient indépendamment contrôlables semble être une perspective de solution présentant un fort potentiel en vue de la simulation de circuit.

## 6 Vers un aspect système : les premières fonctions hybrides

La perspective d'obtenir un jour un convertisseur de puissance intégré avec sa commande implique auparavant la conception de fonctions analogiques en carbure de silicium. A partir du MESFET élémentaire double grille, une première série de fonctions a été étudiée. Il faut savoir que la mise au point de circuits analogiques à partir de composants "normally-on" (ex : MESFET, JFET ...) s'avère plus complexe que la conception de structures standards basées sur des composants "normally-off" (ex : MOSFET, BJT ...). En effet, les MESFETs sont des composants normalement passants. Cela signifie qu'ils laissent passer un courant à l'état de repos et qu'ils se bloquent lors de l'application d'un potentiel négatif sur l'électrode de grille  $G_1$  par rapport à l'électrode de source du composant. De plus, à l'heure actuelle, le laboratoire ne possède pas la technologie pour concevoir des MESFETs de type P [LAA13]. Par conséquent, les fonctions analogiques seront conçues uniquement à partir de MESFETs de type N et des tensions négatives seront nécessaires pour le contrôle de composants. Ces contraintes impliquent l'adaptation de l'architecture des fonctions analogiques classiques.

Les études ont porté sur la conception de plusieurs fonctions élémentaires telles qu'un amplificateur à source commune, une paire différentielle, un oscillateur en anneau ou un trigger de Schmitt. Les deux dernières fonctions citées seront présentées dans le chapitre 3 de ce manuscrit. Ces fonctions sont conçues par l'association de MESFETs double grille élémentaires reliés par des fils de bonding en or d'un diamètre de  $25 \mu\text{m}$ . L'objectif est de montrer dans un premier temps la faisabilité de fonctions analogiques basées sur des MESFETs en SiC, puis dans un second temps de prouver la faisabilité d'un système constitué par ce type de composants (ex : un convertisseur de puissance). Un oscillateur en anneau a été simulé, réalisé et testé expérimentalement. Cette fonction va être décrite par la suite. D'autres fonctions telles qu'une paire différentielle ou un trigger de Schmitt ont été simulées. Mais le nombre restreint de composants opérationnels n'a pas permis de vérifier leurs performances expérimentales. Ces fonctions seront détaillées plus précisément au cours du chapitre 3.

## 6.1 Dimensionnement et simulation d'un oscillateur en anneau

### Principe de fonctionnement

Un oscillateur en anneau est constitué par la mise en cascade de plusieurs transistors de même type, où la sortie du dernier est rebouclée sur l'entrée du premier (figure 2.44). La condition d'oscillation dans ce type de circuit doit obéir au critère de Barkhausen [BRE06]. Le circuit entrera en oscillation lorsque l'entrée de la chaîne directe sera déphasée de  $0^\circ$  ou de  $180^\circ$  par rapport à la sortie du montage en boucle ouverte. La condition sera respectée puisque trois composants en cascade conduisent à un déphasage de  $180^\circ$  des signaux entre l'entrée et la sortie (un étage est équivalent à un montage inverseur). Le circuit entrera en oscillation lorsqu'il sera soumis à une polarisation de grille supérieure à  $-8\text{ V}$  et à une tension de polarisation  $V_{pol}$  de  $20\text{ V}$  [RAZ01].

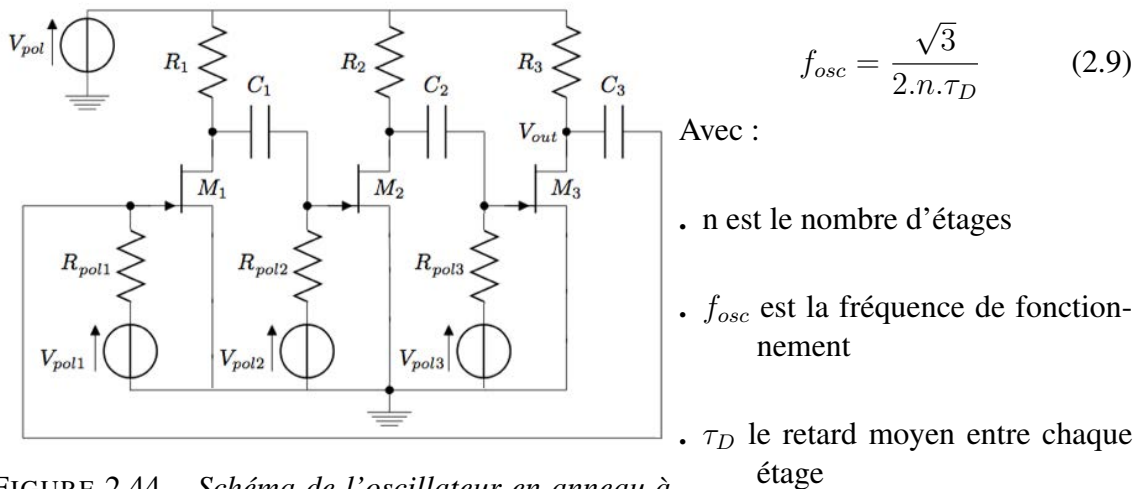


FIGURE 2.44 – Schéma de l'oscillateur en anneau à base de MESFETs.

Le principe des oscillations est présenté à la figure 2.45. Il repose sur la charge et sur la décharge des condensateurs. La charge est réalisée au moyen de la résistance  $R_D$ , qui est associée à la capacité  $C_L$ , ainsi qu'aux capacités parasites du transistor (pour un étage). Le premier MESFET est bloqué par la polarisation statique négative appliquée. Le filtre RC va charger la tension  $V_{GS}$  jusqu'à ce qu'elle atteigne la valeur rendant le composant passant. Le changement d'état du transistor va conduire au chargement du circuit RC de l'étage suivant, qui déblocuera à son tour un autre MESFET, ce qui entrainera le chargement d'un troisième circuit RC et le phénomène se répétera en boucle indéfiniment [RAZ01].

### Dimensionnement

L'oscillateur a été dimensionné pour  $20\text{ kHz}$  et  $1\text{ MHz}$ . Les valeurs ont été estimées à partir de la formule 2.9 et des simulations SPICE effectuées. Le tableau 2.5 récapitule les grandeurs des composants qui permettent d'obtenir ces fréquences d'oscillation.

### Simulation sous SPICE

Le circuit utilisé lors de la simulation est présenté à la référence 4.4 des annexes. La structure du montage est validée puisque d'après la figure 2.46, la fréquence fondamentale est à  $1\text{ MHz}$ .

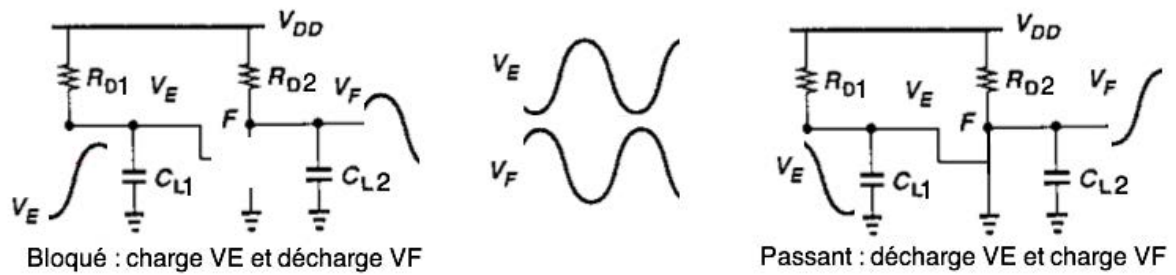


FIGURE 2.45 – Présentation du principe de charge et de décharge pour un étage de l'oscillateur en anneau [RAZ01].

Fréquence	$R_i$	$C_i$	$V_{poli}$	$V_{pol}$
20 kHz	2.7 k $\Omega$	10 nF	-5.5 V	20 V
1 MHz	18 k $\Omega$	33 pF	-8 V	20 V

TABLEAU 2.5 – Synthèse du dimensionnement de l'oscillateur en anneau pour différentes fréquences (valeurs identiques à chaque étage "i").

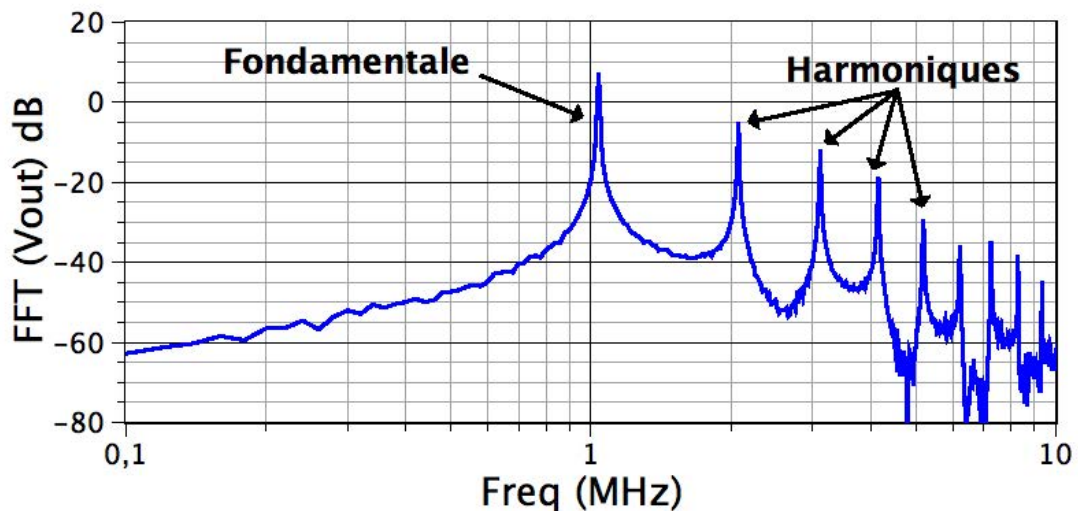


FIGURE 2.46 – Simulation SPICE de la transformée de Fourier rapide (FFT) de l'oscillateur en anneau basé sur les trois MESFETs SIC.

La figure 2.47 présente le déphasage entre les signaux des différents étages de l'oscillateur en anneau. D'après la figure 2.47, les signaux sont déphasés entre eux d'approximativement  $120^\circ$ . La simulation SPICE présentée à la figure 2.48 met relativement bien en valeur les cycles successifs de charge et décharge des filtres RC entre les drains des MESFETs. D'après la simulation  $\tau_d \approx 0.30 \mu s$ , et confirme le dimensionnement de la fréquence d'oscillation  $f_{osc} = 1 MHz$  d'après la formule 2.9.

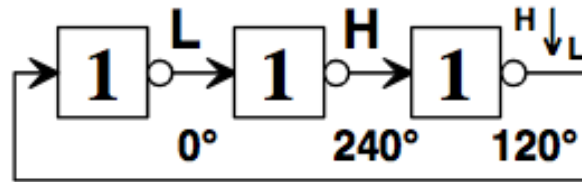


FIGURE 2.47 – Déphasage théorique entre les signaux des différents étages d'un montage oscillateur à trois transistors [GPB03].

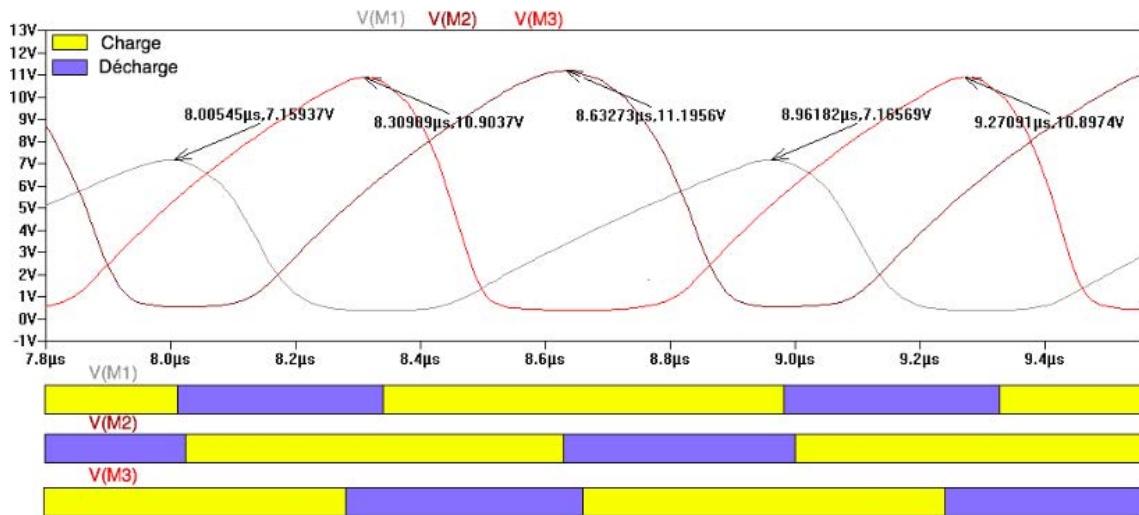


FIGURE 2.48 – Simulation SPICE des cycles de charge et décharge entre les drains  $M_1$ ,  $M_2$  et  $M_3$  des MESFETs de l'oscillateur.

## 6.2 Caractérisations expérimentales de l'oscillateur en anneau du LOT 1

L'ensemble des circuits conçus a donné des résultats convaincants lors de la phase de simulation. Les fonctions telles que le comparateur ou le trigger de Schmitt seront présentées au cours du chapitre 3. La prochaine étape va donc consister à vérifier et à valider le fonctionnement réel d'un montage en vue de la future phase d'intégration.

### Réalisation du démonstrateur de l'oscillateur en anneau

Un oscillateur en anneau basé sur des MESFETs élémentaires double grille en SiC a été réalisé. Il s'agit d'un circuit hybride puisque les résistances et les capacités du montage sont des composants discrets. Le schéma de câblage du dispositif est présenté en 4.4 des annexes. Les mesures ont été faites sur l'oscilloscope DP04032. L'appareil possède une bande passante de 350 MHz et échantillonne à la fréquence de 2.5 Gb/s. Deux sondes TEK P6139A ont été utilisées. Les caractéristiques de ces sondes sont : BP : 500 MHz, C : 8 pF et R : 10 MΩ.

### Analyse des résultats expérimentaux

L'oscillateur en anneau a été expérimentalement testé pour valider la modélisation du MESFET et la conception théorique du montage réalisé. Le circuit a oscillé sur une plage de fréquences comprises entre 490 kHz and 560 kHz en fonction de la tension  $V_{pol}$  appliquée. D'après la figure 2.49, la fréquence d'oscillation varie proportionnellement à la polarisation  $V_{pol}$ . L'oscillateur a convenablement fonctionné pour une plage en tensions de  $V_{pol}$  allant de 19.3 V à 30 V. Des simulations paramétriques en fonction de la capacité  $C_{DS}$  ont parallèlement été effectuées. Il s'avère que la capacité  $C_{DS}$  influence fortement la fréquence d'oscillation du circuit (formule 2.9). La figure 2.49 montre que pour une capacité de 33 pF, la fréquence varie de 740 kHz à 840 kHz ; alors que pour une capacité de 55 pF, elle ne varie qu'entre 470 kHz et 560 kHz. Les paramètres expérimentaux ont été extraits et comparés à ceux obtenus lors de la simulation SPICE ( $\delta\text{Freq}/\delta V_{DS}$ ). Les pentes entre les mesures et de la simulation pour une capacité  $C_{DS}$  de 55 pF sont quasiment similaires.

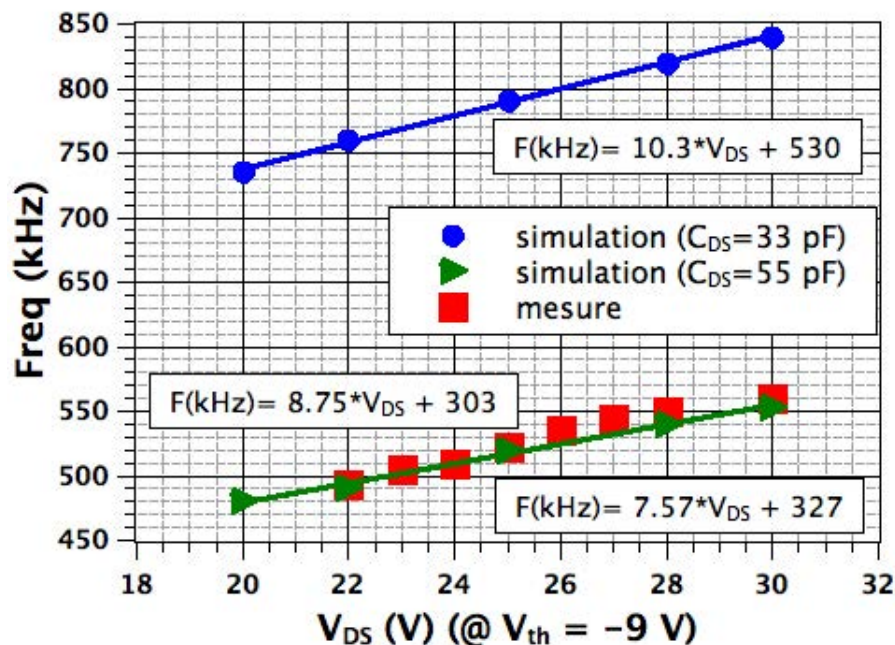


FIGURE 2.49 – Comparaison de la fréquence d'oscillation du circuit en fonction de la polarisation  $V_{DS}$  entre les simulations SPICE et les relevés expérimentaux.

Cette correspondance pourrait expliquer le décalage entre la fréquence théorique de 1 MHz et les résultats mesurés. Le problème pourrait survenir de l'auto-polarisation de la grille enterrée P (figure 2.50), mais aussi d'une estimation approximative des capacités internes du MESFET élémentaire utilisé dans le modèle de simulation. En effet, l'auto-polarisation de la couche enterrée P du MESFET en fonction de la tension de drain appliquée entraîne une modification des caractéristiques du composant (ex : les valeurs de  $I_{DS}$ ,  $V_{th}$ ,  $C_{DS}$  ...) et par conséquent un changement de la fréquence d'oscillation du montage. Lorsque  $G_2$  est polarisée, une ZCE au niveau de la jonction PN apparaît. La présence de cette ZCE réduit la hauteur "h" (a et b de la figure 2.50), ce qui signifie que la tension  $V_{th}$  permettant de bloquer le composant par rapport à  $G_1$  est moins importante que celle qui aurait été nécessaire au blocage du composant sans la polarisation de  $G_2$ .

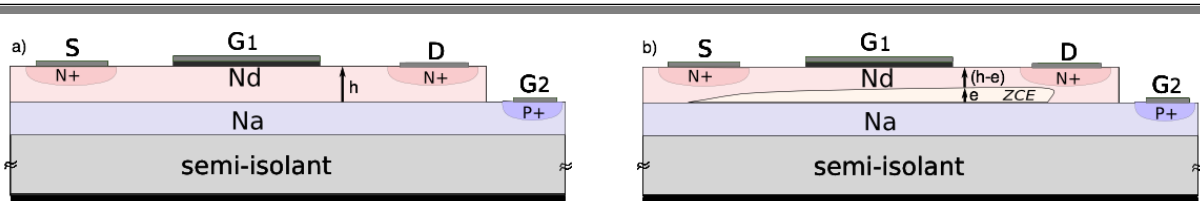


FIGURE 2.50 – Coupe de deux MESFETs double grille montrant l'influence de la couche enterrée de type  $P$  ( $N_A$ ) sur la valeur de la hauteur de la couche de type  $N$  ( $N_d$ ). a) présente un MESFET sans aucune déplétion. b) montre l'auto-polarisation de la couche enterrée, qui conduit à l'apparition d'une ZCE.

La figure 2.50 met en évidence ce phénomène. Sur le composant situé en "a)", la ZCE de la jonction PN n'est pas déplétée. D'après la formule 2.4, la tension  $V_{th}$  dépend de  $V_p$  puisque le potentiel interne  $V_{di}$  est constant. La formule 2.5 montre que  $V_p$  dépend de l'épaisseur " $h$ " de la couche  $N_d$ . Dans le cas du composant en "b)", la ZCE induite par la couche PN diminue la hauteur de la couche active  $N_d$  à une valeur " $(h-e)$ ". Vu que " $(h - e) < h$ ", la tension  $V_p$  nécessaire au blocage du composant de droite par la grille  $G_1$  est inférieure à celle du composant de gauche. Par conséquent, le  $V_{th}$  du composant situé à gauche est plus important que celui du composant de droite.

L'impact de la tension  $V_{th}$  sur la fréquence de fonctionnement de l'oscillateur a été étudié en simulation en modifiant le paramètre  $V_{t0}$  du modèle des MESFETs utilisés. D'après la figure 2.51, une variation de 1 V de  $V_{th}$  associée à la faible précision de la valeur de la capacité  $C_{DS}$  affecte linéairement la valeur de la fréquence d'oscillation du dispositif ( $\Delta Freq/\Delta V_{th} = 275$  kHz/V (noire),  $\Delta Freq/\Delta V_{th} = 212$  kHz/V (rouge)). Cette propriété est finalement relativement intéressante puisque la polarisation de  $G_2$  (variation  $V_{th}$ ) offre la possibilité d'utiliser ce montage comme un VCO ("Voltage Controlled Oscillator").

## Conclusion

La différence entre les simulations et les mesures de l'oscillateur en anneau peut s'expliquer par la polarisation de la couche enterrée (modification de la valeur  $V_{th}$ ) et l'approximation de la valeur des capacités inter-électrodes. Cependant, cette contrainte est compensée par la présence des capacités externes du montage, qui facilitent le réglage de la fréquence d'oscillation du circuit ( $C_1$ ,  $C_2$  et  $C_3$  de la figure 2.44). Enfin, la propriété de modifier la valeur de  $V_{th}$  induite par la double grille du MESFET permet au montage d'être utilisé comme un VCO.

## 6.3 Mise en oeuvre de la commande d'un convertisseur de puissance à base de composants SiC

La finalité des travaux est la réalisation d'un convertisseur de puissance intégré en SiC. Il s'est avéré intéressant de démontrer la faisabilité d'un tel système à partir des composants discrets disponibles. Le synoptique du convertisseur de puissance flyback réalisé est présenté sur la figure 2.52, le tableau 2.6 résume les caractéristiques principales du circuit.

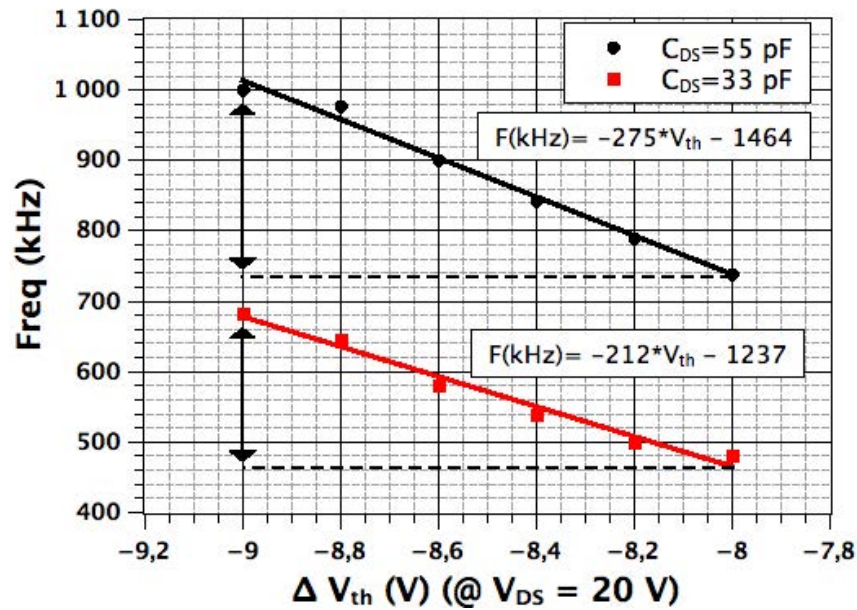


FIGURE 2.51 – Influence de la fréquence d'oscillation en fonction de la variation de la tension  $V_{th}$ .

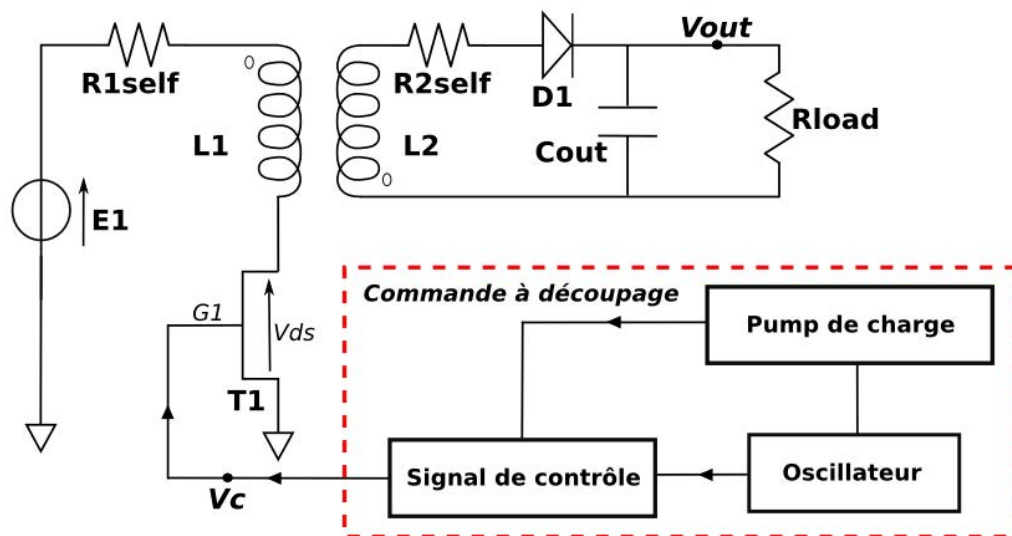


FIGURE 2.52 – Synoptique du convertisseur de puissance flyback réalisé avec sa commande, les fonctions sont réalisées à partir de MESFETs SiC élémentaires du lot 1.

Pour réaliser le convertisseur à partir de composants SiC, un MESFET double grille élémentaire ( $I_{DS-max} = 30$  mA, avec  $G_1$  connectée à  $G_2$ ) a été utilisé pour l'interrupteur  $T_1$ . Un circuit de commande pour l'interrupteur  $T_1$  a été élaboré à partir de MESFETs élémentaires à disposition. En raison de leur faible calibre en courant (les composants de grande taille n'étant pas fonctionnels), le montage flyback n'avait pas la capacité de délivrer des valeurs électriques performantes comme l'illustre la figure 2.53 présentant les résultats de la simulation.



Paramètres	$E_1$	$L_1$	$L_2$	$R_{out}$	$C_{out}$
Valeurs	25 V	80 $\mu$ H	4.8 $\mu$ H	20 $\Omega$	2 $\mu$ F

TABLEAU 2.6 – Tableau de synthèse présentant les valeurs des grandeurs utilisées pour la réalisation du démonstrateur flyback (figure 2.52).

Les courbes expérimentales (figure 2.54) montrent néanmoins son fonctionnement. Le convertisseur fournit une tension continue en sortie  $V_{OUT} = 1$  V pour un courant  $I_{OUT} = 50$  mA. Le signal de commande  $V_c$  varie entre -1 V et -11 V. La variation de la tension de commande  $V_c$  permet le contrôle de l'interrupteur  $T_1$ . ( $V_{GS}$  de  $T_1$  est à -11 V). En revanche, le circuit de commande ne permet pas l'ouverture complète du transistor  $T_1$ . En effet, l'amplitude du signal  $V_c$  ne permet pas d'obtenir l'amplitude en tension permettant atteindre 0 V. Ceci explique le fait que le signal  $V_{DS}$  ne soit pas inférieur à une tension de 5 V sur la figure 2.54. Le démonstrateur réalisé a toutefois permis de démontrer la faisabilité d'un convertisseur de puissance basé sur des interrupteurs SiC et associé à une commande réalisée au moyen de composants SiC.

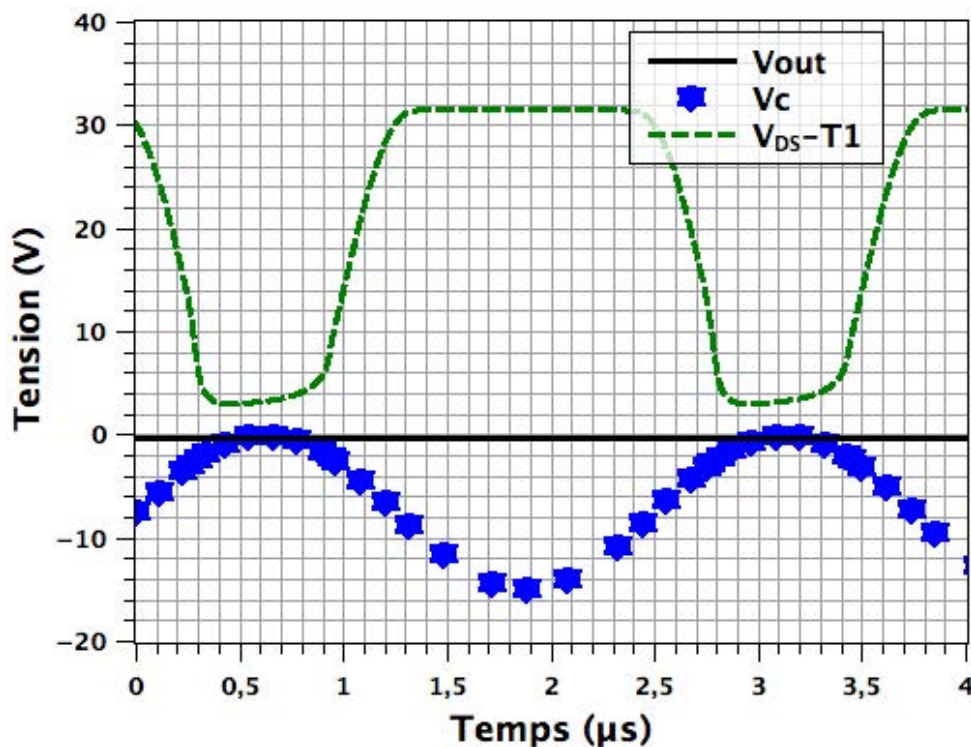


FIGURE 2.53 – Simulation SPICE du signal de commande ( $V_c$ ) et de grandeurs électriques de la partie puissance ( $V_{out}$  et  $V_{DS}$ ) du convertisseur flyback basé sur des MESFETs SiC présenté à la figure 2.52.

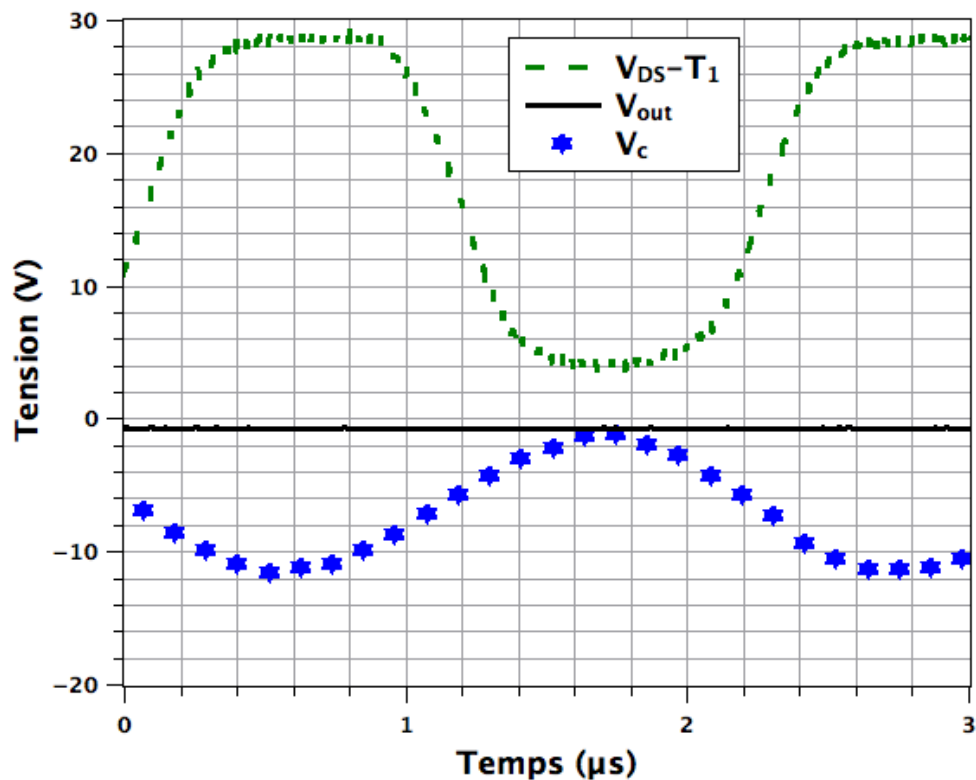


FIGURE 2.54 – Résultats expérimentaux montrant le signal de commande ( $V_c$ ) et les grandeurs électriques de la partie puissance ( $V_{out}$  et  $V_{DS}$ ) du convertisseur flyback de la figure 2.52.

## 7 Conclusion du chapitre

Face aux limitations physiques des dispositifs utilisés pour la commande des systèmes de puissance dédiés aux environnements sévères, le développement d'une technologie d'intégration en SiC est apparu comme une solution potentiellement viable pour répondre aux contraintes actuelles. Le laboratoire AMPERE a entrepris des études sur la réalisation de systèmes de commande et de puissance à partir de composants SiC. La finalité des travaux est la réalisation d'un convertisseur de puissance entièrement intégré avec son électronique de commande en SiC. Trois grandes étapes s'avèrent nécessaires pour l'élaboration d'un tel démonstrateur. La première va consister à concevoir des fonctions hybrides basées sur des composants élémentaires en SiC. La seconde va porter sur l'établissement de fonctions intégrées en SiC. La dernière sera axée sur un aspect système puisque l'objectif sera la réalisation d'un système complet de puissance. Ce second chapitre présente les recherches entreprises pour la première phase d'étude. Il présente les travaux liés au développement de fonctions hybrides analogiques en SiC.

Suite à la réalisation d'un transistor MESFET latéral double grille en SiC lors de la thèse de D. TOURNIER, plusieurs topologies de composants basées sur cette structure ont été élaborées (MESFET simple grille, îlots de huit MESFETs...). Un premier lot regroupant ces divers composants dédiés à la réalisation des premières fonctions hybrides a été fabriqué au CNM de Barcelone. Les résultats électriques obtenus ont permis d'évaluer les performances de ces composants en SiC. Les conclusions sont positives puisque la majorité des composants sont fonctionnels. Il est apparu que l'architecture double grille présentait des propriétés intéressantes pour des appli-

cations en environnement sévère (exemple : haute température). En effet, cette dernière permet notamment de moduler le courant  $I_{DS}$  dans le transistor. Elle présente un meilleur pouvoir de blocage, mais surtout un très faible courant de fuite  $I_{GS}$  par rapport à une structure de MESFET simple grille. La mise en parallèle de plusieurs MESFETs regroupés sur une même structure (MESFETs en huit îlots) a permis de tester l'architecture latérale du transistor en puissance. Il s'est avéré que la disposition de la structure n'était pas optimisée pour ce type d'application. Les résultats ont néanmoins montré que le composant était capable de laisser passer une densité de courant de 29 mA/mm contre 70 mA/mm pour la structure élémentaire, tout en conservant son pouvoir de blocage (bloqué pour  $V_{G1S-off} = -10$  V). Cet écart observé entre les densités de courant (41 %) provient soit du dysfonctionnement d'un ou de plusieurs MESFETs de la structure suite à la connexion par les fils de bonding, soit d'une résistance de contact de l'électrode de source bondée trop élevée. Les résultats issus de la caractérisation du premier lot de composants montrent qu'il est possible d'envisager l'intégration de composants de commande (signal) et de puissance sur un même substrat SiC.

L'objectif de cette première phase de recherche est la réalisation de fonctions hybrides à partir de ces MESFETs élémentaires en SiC. La mise au point d'un modèle de simulation est auparavant nécessaire pour faciliter la conception de ces circuits. Suite aux caractérisations expérimentales, un modèle SPICE du MESFET élémentaire SiC a été élaboré. Ce modèle a permis l'établissement de plusieurs fonctions analogiques telles qu'un amplificateur, un comparateur ou un oscillateur. La démarche entreprise vise à mettre en place un "design-kit" de fonctions analogiques et numériques à partir du MESFET élémentaire en SiC dans la perspective d'établir des systèmes électroniques de commande.

Un oscillateur en anneau basé sur trois MESFETs élémentaires et des passifs discrets (capacités, résistances) a été réalisé. L'oscillateur dimensionné à partir du modèle de simulation s'est avéré opérationnel. Toutefois, la fréquence d'oscillation mesurée (500 kHz) ne correspondait pas à celle calculée théoriquement (1 MHz). Cet écart en fréquence proviendrait de l'auto-polarisation de la couche enterrée P des MESFETs élémentaires. Ce phénomène modifierait les caractéristiques physiques du transistor ( $I_{DS}$ ,  $V_p$ ) et par conséquent les performances de l'oscillateur. En contrepartie, cette couche enterrée confère aussi des propriétés intéressantes puisque les MESFETs disposent de deux électrodes de commande ( $G_1$  et  $G_2$ ). D'après les simulations, l'application d'une polarisation négative sur l'électrode de grille  $G_2$  fait varier linéairement la fréquence d'oscillation du circuit. L'utilisation de la double grille permet de transformer l'oscillateur en anneau en un circuit VCO. Par la suite, un convertisseur flyback et sa commande ont été réalisés. En raison du manque de composants opérationnels, le système établi n'a pas pu être évalué en performances. Le circuit de commande élaboré à partir des fonctions hybrides SiC a toutefois permis le contrôle de l'interrupteur de puissance  $T_1$  du démonstrateur flyback. Il s'agit d'une avancée importante pour le laboratoire AMPERE, puisqu'il a été possible d'établir un système de commande pour un dispositif de puissance à partir des fonctions hybrides basées sur des MESFETs double grille SiC.

Les résultats obtenus valident la faisabilité de fonctions hybrides et de systèmes de contrôle à partir de composants MESFETs élémentaires. Les objectifs de la première phase sont par conséquent atteints. Le troisième chapitre va porter sur les travaux de la seconde phase dédiée à la réalisation de circuits intégrés basés sur la structure du MESFET élémentaire double grille en SiC.

---

# Chapitre 3

## ETUDE ET DIMENSIONNEMENT D'UN DÉMONSTRATEUR SiC : modélisation et conception de premières fonctions intégrées et des éléments périphériques

### 1 Introduction

La faisabilité de circuits électroniques basés sur des composants élémentaires en SiC a pu être démontrée lors la première phase des travaux de recherche (chapitre 2). Les premières études ont abouti à l'établissement d'un premier "design-kit" de MESFETs élémentaires. Cet outil a par la suite permis la conception de plusieurs fonctions analogiques, puis a mené à la fabrication d'un oscillateur en anneau, ainsi qu'à la réalisation d'un convertisseur de puissance Flyback contrôlé par un circuit de commande basé sur ces composants SiC.

La prochaine phase va consister à valider l'intégration de circuits SiC. Les composants issus du premier lot ont permis de démontrer la faisabilité de telles topologies. En revanche, ils n'étaient pas optimisés pour présenter les caractéristiques adéquates en termes de tension de seuil ( $V_{th}$ ), résistance à l'état passant  $R_{on}$  et capacités  $C_{DS}$ . . . en vue d'une intégration future. Une architecture plus appropriée du MESFET élémentaire va pouvoir être établie grâce aux résultats présentés dans le chapitre 2.

Cette seconde étape a pour objectif de valider la technologie de fabrication des circuits intégrés en SiC en réalisant un convertisseur de puissance intégré avec sa commande en SiC. Pour ce démonstrateur, les fonctions analogiques du driver seront conçues indépendamment sous forme de briques élémentaires (ex : comparateur, oscillateur. . .), puis connectées au moyen de fils de bonding. Cette configuration hybride offre l'avantage de pouvoir valider séparément ces entités et d'envisager différentes topologies de drivers et de convertisseurs (boost, flyback. . .).

## 2 Cahier des charges du convertisseur de puissance intégré

### 2.1 Définition de l'architecture du démonstrateur SiC

Le choix du démonstrateur s'est porté sur une topologie AC/DC constituée par l'association d'un pont redresseur et d'un convertisseur "boost". Une architecture de puissance directe (boost) a été préférée à une structure indirecte (flyback) pour éviter, dans un premier temps, les problèmes d'isolation galvanique engendrés par l'utilisation d'un transformateur (ex : isolation de la boucle de contre-réaction de la commande du convertisseur). La figure 3.1 présente le système de puissance envisagé. Ce dernier sera entièrement basé sur des composants latéraux SiC intégrés sur le même substrat (driver et composants de puissance). L'intégration de passifs tels que des inductances ou des condensateurs n'est pour le moment pas envisageable à partir du procédé de fabrication des composants SiC utilisés au laboratoire AMPERE. Des recherches sur l'intégration des inductances sur SiC sont actuellement menées [HAD12]. La réalisation du système impliquera par conséquent l'utilisation de composants passifs discrets.

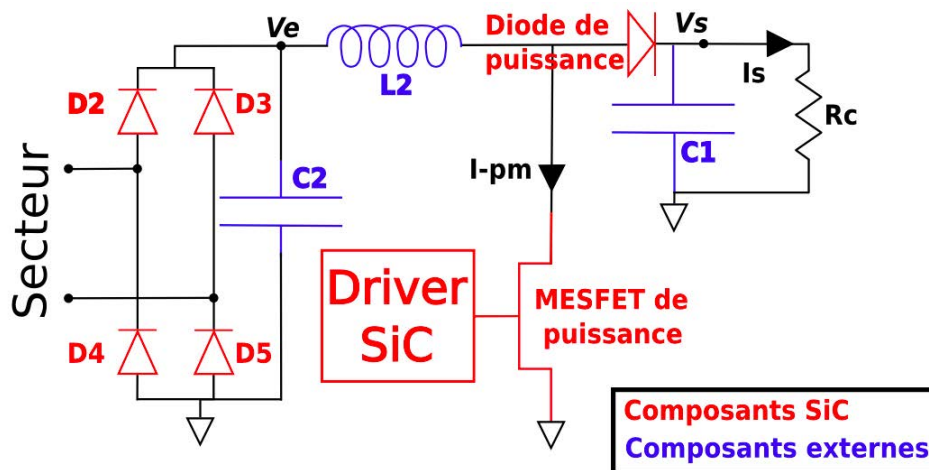


FIGURE 3.1 – Schéma de l'architecture AC/DC envisagée (les tensions  $V_e$  et  $V_s$  sont référencées à la masse). Le système est constitué par la mise en série d'un pont redresseur filtré et d'un convertisseur de puissance "boost". Les composants représentés en rouge seront intégrés sur le même substrat SiC et les composants en bleu seront de type discret.

Les différentes fonctions du driver SiC seront basées sur des résistances, des diodes et des MESFETs double grille. Le composant de puissance  $D_1$  sera une diode Schottky de puissance latérale. L'interrupteur de puissance  $M_1$  sera un MESFET de puissance latéral double grille de puissance .

### 2.2 Dimensionnement du convertisseur de puissance "boost"

Le démonstrateur envisagé a été structuré en deux parties (figure 3.2). La première (en rouge sur la figure) est un pont redresseur filtré qui permettra d'obtenir une tension continue  $V_e$ . La seconde (en bleu) est un hacheur élévateur qui fournira une tension continue  $V_s$  et un courant moyen  $I_s$ . Le circuit de puissance devra fournir un courant  $I_s$  de 250 mA sous une tension  $V_s$  de 10 V pour une tension  $V_e$  de 5 V avec une fréquence de découpage de 1 MHz. Le

tableau 3.1 présente la synthèse des paramètres dimensionnés pour répondre aux spécifications du démonstrateur. La méthodologie de dimensionnement du convertisseur boost est explicitée à la référence [JPF06]. Les paramètres de rapport cyclique ( $\alpha$ ), d'ondulation du courant ( $\Delta I_L$ ) et de la tension de sortie ( $\Delta V_s$ ) ont été fixés et sont présentés dans le tableau 3.1.

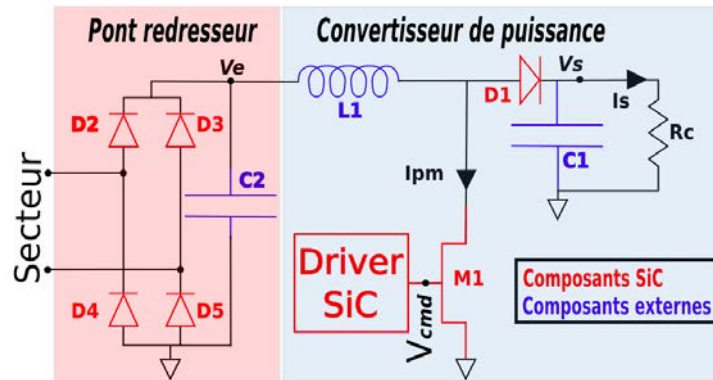


FIGURE 3.2 – Schéma électrique du démonstrateur AC/DC : la partie rouge présente le pont redresseur filtré et la partie bleue le convertisseur de puissance.

<b>Paramètres</b>	$V_e$	$V_s$	$I_s$	$I_{pm}$	$\Delta I_L$	$\Delta V_s$
<b>Valeurs</b>	5 V	10 V	0.25 A	0.66 A	0.33 A	0.0625 V
<b>Paramètres</b>	$R_c$	$L_1$	$C_1$	$\alpha$	F	
<b>Valeurs</b>	40 $\Omega$	7.5 $\mu\text{H}$	2 $\mu\text{F}$	0.5	1 MHz	

TABLEAU 3.1 – Synthèse des principaux paramètres du convertisseur de puissance "boost" présenté dans la partie bleue de la figure 3.2.

Les contraintes imposées aux interrupteurs de puissance  $M_1$  et  $D_1$  ont pu être calculées (tableau 3.2) grâce aux formules 3.1 et 3.2 données à la référence [JPF06]. A partir des valeurs déterminées, les performances du convertisseur de puissance en boucle ouverte ont été évaluées au moyen du logiciel LtSPICE.

<b>Interrupteur</b>	$M_1$		$D_1$	
$V_{imax}$	$V_{Tmax}$	10 V	$V_{Dmax}$	10 V
$I_{imax}$	$I_{Tmax}$	660 mA	$I_{Dmax}$	660 mA

TABLEAU 3.2 – Synthèse des contraintes imposées sur le MESFET de puissance  $M_1$  et la diode de puissance  $D_1$ .

avec :

$$V_{imax} = V_s \quad (3.1) \quad V_s : \text{tension de sortie du convertisseur en V}$$

$\alpha$  : rapport cyclique de la commande

$$I_{imax} = \frac{I_s}{(1 - \alpha)} + \frac{\alpha \cdot V_e}{2 \cdot L_1 \cdot F} \quad (3.2) \quad I_s : \text{courant de sortie du convertisseur en A,}$$

$F$  : fréquence en Hz,  $L_1$  : inductance en H

### 3 Dimensionnement des composants de puissance

#### 3.1 La diode de puissance $D_1$

La diode de puissance sera une diode latérale Schottky en SiC. D'après le tableau 3.2, ce composant devra avoir une tenue en tension d'au moins 10 V et une chute de tension à l'état passant la plus faible possible pour un courant statique moyen de 660 mA.

Pour permettre la simulation du convertisseur de puissance, un modèle a été élaboré à partir du modèle SPICE de la diode utilisée pour les travaux sur la commutation (chapitre 2). Les paramètres  $V_{pk}$  et  $R_s$  ont été modifiés. Le premier correspond à la tenue en tension inverse de la diode. Il a été fixé à "10 V" suite au dimensionnement réalisé. Le second est  $R_s$ , il s'agit de la résistance ohmique à l'état passant du composant. La valeur de ce paramètre pour le modèle du chapitre 2 était de  $57 \Omega$ . Cette valeur s'avère trop importante pour un composant utilisé en tant qu'interrupteur de puissance. Il conduirait à des pertes trop importantes dans le système. Ce paramètre a été comparé avec celui d'un modèle de diode SiC (UPSC600 de microsemi) utilisé dans les convertisseurs de puissance ( $R_s$  à  $0.33 \Omega$ ). Le rapport entre les valeurs de  $R_s$  des deux composants est de 36. La conception d'une diode de puissance latérale est par conséquent nécessaire en vue de la réalisation du hacheur élévateur.

Le comportement  $I_D = f(V_D)$  d'une diode peut-être assimilé à celui d'une résistance au-delà du potentiel de jonction  $V_{di}$  de la diode Schottky. Le modèle SPICE utilisé pour les simulations [AM93] correspond à une source de tension en série avec une résistance (figure 3.3). Le comportement caractéristique du modèle utilisé est représenté sur la figure 3.4.

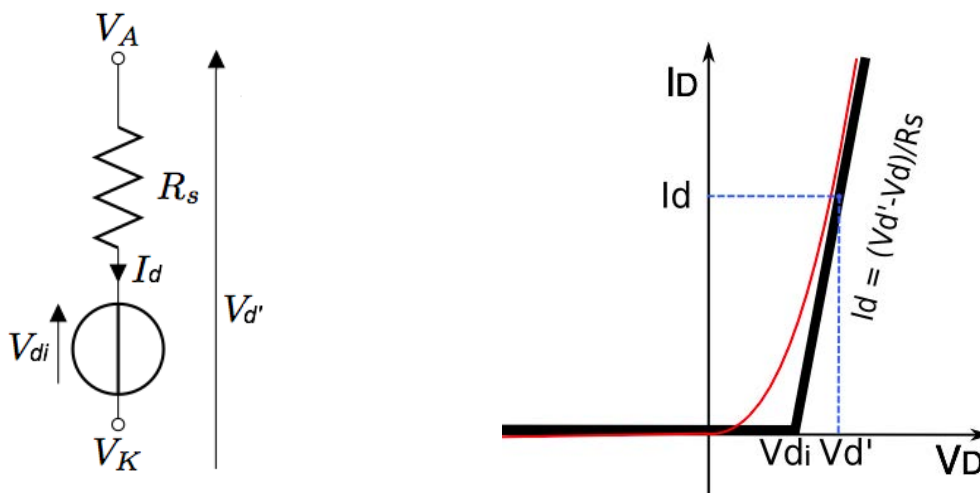


FIGURE 3.3 – Schéma équivalent du modèle SPICE utilisé pour simuler le comportement de la diode en polarisation directe.

FIGURE 3.4 – Comportement ohmique simplifié en polarisation directe d'une diode.

La formule 3.3 permet de déterminer la valeur du potentiel interne  $V_{di}$  d'une diode de type Schottky [PER07]. Les diodes du lot précédent ont été fabriquées au moyen d'une métallisation de type nickel. Le travail de sortie  $\Phi_M$  de ce métal est de 5.4 eV [MF09]. En prenant  $E_g$  à 3.2 eV et  $\Phi_S$  à 3.0 eV pour le 4H-SiC, cela donne un  $V_{di}$  de l'ordre de 0.8 V [BAL06]. s-c dans la légende l'équation 3.3 signifie semi-conducteur.

$$\begin{aligned}
 E_g &: \text{largeur de la bande interdite du s-c (eV)} \\
 V_{di} &: \text{potentiel interne du composant (V)} \\
 \Phi_S &: \text{travail de sortie du s-c (eV)} \\
 q \cdot V_{di} &= q \cdot (E_g + \Phi_S - \Phi_M) \quad (3.3) \quad \Phi_M : \text{travail de sortie du métal (eV)} \\
 q &: \text{charge d'un électron (C)}
 \end{aligned}$$

La diode de puissance va être dimensionnée selon ce modèle. La diode devra présenter une résistance  $R_s$  de  $0.14 \Omega$  pour une tension de  $V = 1.2 V$ . La formule 3.4 permet d'estimer la valeur du courant  $I_D$  pour obtenir la caractéristique souhaitée. En remplaçant  $V_{di}$  par  $0.8 V$ ,  $R_s$  par  $0.14 \Omega$  et  $V_{d'}$  par  $1.2 V$  dans l'équation 3.4; le calcul donne un courant  $I_d$  de  $2.85 A$ . La tension  $V_{d'}$  a été fixé à  $1.2 V$  pour que la diode présente une faible chute de tension à l'état passant.

$$I_d = \frac{V_{d'} - V_{di}}{R_s} \quad (3.4)$$

Pour réaliser les simulations du convertisseur, un modèle de diode a été utilisé. Il sera par la suite réajusté par rapport aux caractéristiques mesurées de la diode de puissance latérale SiC fabriquée. Le modèle SPICE utilisé est : ".model pdiode-sic D ( $I_s=3.5e-11$   $R_s=0.14$   $V_{pk}=10$   $V_j=0.8$   $N=1.4$   $C_{j0}=50p$ )" [AM93].

La diode utilisée dans le chapitre 2 présentait un courant de  $I_D = 4.5 mA @ V_D = 1.2 V$  pour une largeur de jonction de  $1.050 mm$ . Le composant présente une densité de courant  $J_D$  de  $4.28 mA/mm$ . La diode de puissance souhaitée devra permettre le passage d'un courant de  $2.85 A @ 1.2 V$  pour obtenir une valeur de résistance  $R_s = 0.14 \Omega$ . En se basant, sur la densité de courant de la diode latérale SiC du chapitre 2, la diode de puissance devra avoir une largeur de jonction de  $665 mm$ .

### 3.2 Le MESFET de puissance $M_1$

L'interrupteur de puissance  $M_1$  sera un MESFET latéral double grille en SiC. D'après le tableau 3.2, ce transistor devra au moins supporter une tension  $V_{DS} = 10 V$  à l'état bloqué et laisser passer un courant minimum de  $660 mA$  à l'état passant. Pour les transistors à effet de champ, le courant  $I_{DS}$  est par définition proportionnel au rapport  $\frac{W}{L}$ , où  $W$  et  $L$  correspondent respectivement à la largeur et la longueur de la grille du composant (formules 3.5 et 3.6) [MF09].

$$I_{DS} = \frac{W}{L} \cdot f(V_{DS}) \quad (3.5) \quad I_{DS} = \frac{W}{L} \cdot f(V_{GS}) \quad (3.6)$$

D'après le chapitre 2, le MESFET élémentaire présente une densité de courant de  $I_{DS}$  de  $72.5 mA/mm$  avec  $V_{DS}$  à  $20 V$  pour une tension  $V_{GS}$  à  $0 V$ . Le MESFET de puissance a été dimensionné pour rapport au modèle SPICE du MESFET élémentaire présenté au cours du chapitre 2. L'obtention d'un composant capable de fournir un courant de  $660 mA$  implique de multiplier la valeur  $W$  de la grille par "23". Ce qui donnerait une largeur de canal de  $10.120 mm$ . Le composant dimensionné pourra fournir un courant  $I_{DS}$  de  $660 mA$  en régime saturé. Cependant, l'interrupteur de puissance doit présenter une faible résistance  $R_{on}$ , afin de limiter les



pertes à l'état passant au sein du convertisseur de puissance (figure 3.5). Or, il s'avère qu'un transistor utilisé en régime saturé ne peut répondre à cette exigence. Il est par conséquent nécessaire de dimensionner le composant pour que ce dernier présente un courant  $I_{DS}$  de 660 mA en régime ohmique. Ce critère implique une multiplication de la largeur de grille du transistor élémentaire. Le simulateur SPICE a permis de prédimensionner un composant de puissance d'une largeur de grille  $W$  de 99880  $\mu\text{m}$ . Cela correspond à multiplier 227 fois la largeur de la grille du composant élémentaire.

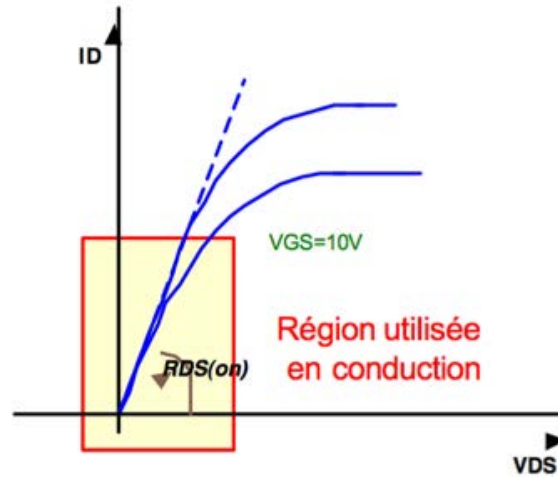


FIGURE 3.5 – Zone des caractéristiques statiques  $I_{DS} = f(V_{DS})$  employée pour un transistor à effet de champ utilisé comme interrupteur de puissance [GON09].

Les équations du modèle SPICE (d'après G. MASSOBRIO [AM93]) du JFET utilisé sont :

$$I_{DS} = 0 \quad (3.7) \quad \text{pour } V_{GS} - V_{T0} \leq 0$$

$$I_{DS} = \beta \cdot (V_{GS} - V_{T0})^2 \cdot (1 + \lambda \cdot V_{DS}) \quad (3.8) \quad \text{pour } 0 < V_{GS} - V_{T0} \leq V_{DS}$$

$$I_{DS} = \beta \cdot V_{DS} \cdot (2 \cdot (V_{GS} - V_{T0}) - V_{DS}) \cdot (1 + \lambda \cdot V_{DS}) \quad (3.9) \quad \text{pour } 0 < V_{DS} \leq V_{GS} - V_{T0}$$

D'après les équations 3.8 et 3.9, le courant  $I_{DS}$  peut s'écrire  $I_{DS} = \beta \cdot f(V_{DS})$ . Le paramètre de transconductance  $\beta$  du modèle SPICE peut se mettre sous la forme  $\beta = A \cdot \beta'$ . La grandeur  $\beta'$  correspond au paramètre de transconductance du MESFET élémentaire ( $\beta' = 0.00044 \text{ A/V}$ ) et  $A$  est un coefficient (227 dans ce cas). Les équations 3.5 et 3.6 deviennent :

$$I_{DS} = A \cdot \beta' \cdot (V_{GS} - V_{T0})^2 \cdot (1 + \lambda \cdot V_{DS}) \quad (3.10)$$

$$I_{DS} = A \cdot \beta' \cdot V_{DS} \cdot (2 \cdot (V_{GS} - V_{T0}) - V_{DS}) \cdot (1 + \lambda \cdot V_{DS}) \quad (3.11)$$

Le prédimensionnement du composant de puissance revient à multiplier le paramètre  $\beta'$  du modèle SPICE par  $A$ . Ce qui donne un  $\beta$  de 0.1 A/V pour le MESFET de puissance. Si le paramètre  $L$  est maintenu à 8  $\mu\text{m}$ , cela se traduit physiquement par une multiplication de la largeur  $W$  de la grille du MESFET élémentaire d'un facteur 227. Le tableau 3.6 récapitule les différentes valeurs prédimensionnées à partir du modèle. Les caractéristiques statiques

$I_{DS} = f(V_{DS})$  simulées du composant de puissance prédimensionné sont présentées à la figure 3.6. D'après la simulation, la résistance à l'état passant du composant pour un courant  $I_{DS} = 660 \text{ mA}$ ;  $V_{GS} = 0 \text{ V}$  est estimé à  $R_{on} = 0.60 \Omega$ . Cette valeur se trouve dans l'ordre de grandeur souhaité, le transistor MESFET prédimensionné peut être utilisé en tant qu'interrupteur de puissance.

Composant	$\beta$ (A/V)	W (mm)	L ( $\mu\text{m}$ )	$C_{GD}$ (pF)	$C_{GS}$ (pF)
MESFET de puissance	0.1	99.880	8	454	1135
MESFET élémentaire	0.00044	0.440	8	2	5

TABLEAU 3.3 – Synthèse des paramètres établis suite au prédimensionnement du MESFET de puissance  $M_1$ .

Les paramètres du modèle SPICE du composant de puissance sont donnés dans le tableau 21 présenté à la partie 4.3 des annexes.

**Remarque :** La largeur de l'électrode de grille du composant de puissance va être 227 fois plus grande que celle du composant élémentaire. Les capacités  $C_{GD}$  et  $C_{GS}$  utilisées pour le modèle SPICE élémentaire ont par conséquent été multipliées par cette donnée pour le modèle de puissance. Comme cela avait pu l'être évoqué au cours du chapitre 2, les capacités ont été estimées à partir de mesures expérimentales. Bien que le modèle SPICE ne représente pas le modèle réel "capacitif" du composant SiC, cela va permettre le dimensionnement du circuit de commande. En effet, pour que le composant de puissance puisse commuter convenablement, la commande doit fournir une quantité de charge suffisante à la grille de l'interrupteur de puissance  $M_1$ .

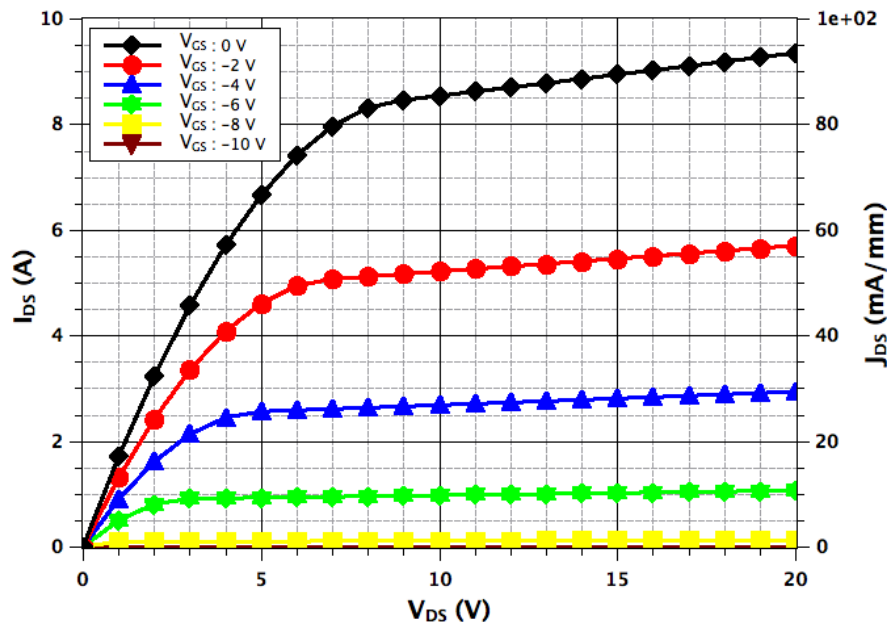


FIGURE 3.6 – Présentation des caractéristiques statiques  $I_{DS} = f(V_{DS})$  simulées pour différents  $V_{GS}$  au moyen du modèle SPICE du MESFET de puissance.

### 3.3 Résultats prévisionnels

La commande de l'interrupteur de puissance  $M_1$  a été simulée au moyen d'une source de tension variable. Le signal  $V_{cmd}$  appliqué est un signal carré présentant une valeur à l'état "ON" de  $V_{cmd-ON} = 0\text{ V}$ , une valeur à l'état "OFF" de  $V_{cmd-OFF} = -15\text{ V}$ , un rapport cyclique de  $\alpha = 50\%$  et une période de  $T = 1\ \mu\text{s}$  (fréquence : 1 MHz). La tension à l'état "OFF" a été fixée à une valeur supérieure à la valeur  $V_{th} = -10\text{ V}$  du MESFET. Il s'agit d'une marge de sécurité dans le cas où les transistors fabriqués lors du prochain lot présenteraient une tension de seuil supérieure à  $-10\text{ V}$ .

Le convertisseur a été simulé sous SPICE. Les résultats obtenus sont présentés dans des figures 3.7 et 3.8. Selon la première figure, le circuit de puissance présente les caractéristiques attendues : la tension  $V_s$  à la sortie du convertisseur en régime établi est de 9.2 V. Le courant de sortie moyen  $I_s$  est à une valeur de 229 mA. La figure 3.8 montre les allures des courants traversant les interrupteurs de puissance  $M_1$  et  $D_1$ , en fonction du signal de commande  $V_{cmd}$  appliqué. La valeur maximale des courants est de 640 mA. Ces résultats sont proches des valeurs présentées dans le tableau 3.1.

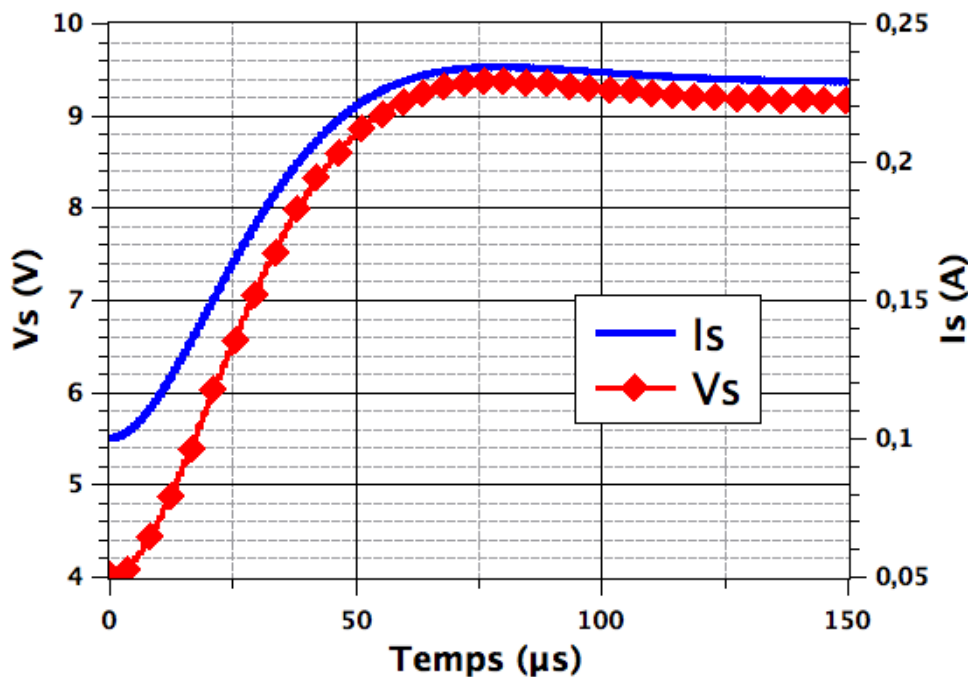


FIGURE 3.7 – Simulation de la phase de démarrage du convertisseur de puissance "boost" en boucle ouverte. La figure présente l'évolution du courant de sortie  $I_s$  (bleu) et celle de la tension  $V_s$  jusqu'au régime établi ( $t > 125\ \mu\text{s}$ ,  $I_s : 229\text{ mA}$  et  $V_s : 9.2\text{ V}$ ).

Le tableau 3.4 synthétise les valeurs des différentes grandeurs du convertisseur obtenues suite à la simulation. Les simulations SPICE valident le dimensionnement du convertisseur de puissance. Les faibles écarts entre le dimensionnement analytique et les simulations SPICE n'engendrent aucun impact sur la suite de la thèse. En effet, l'objectif principal de ces travaux est de prouver la faisabilité d'un convertisseur de puissance intégré avec sa commande sur un substrat SiC.

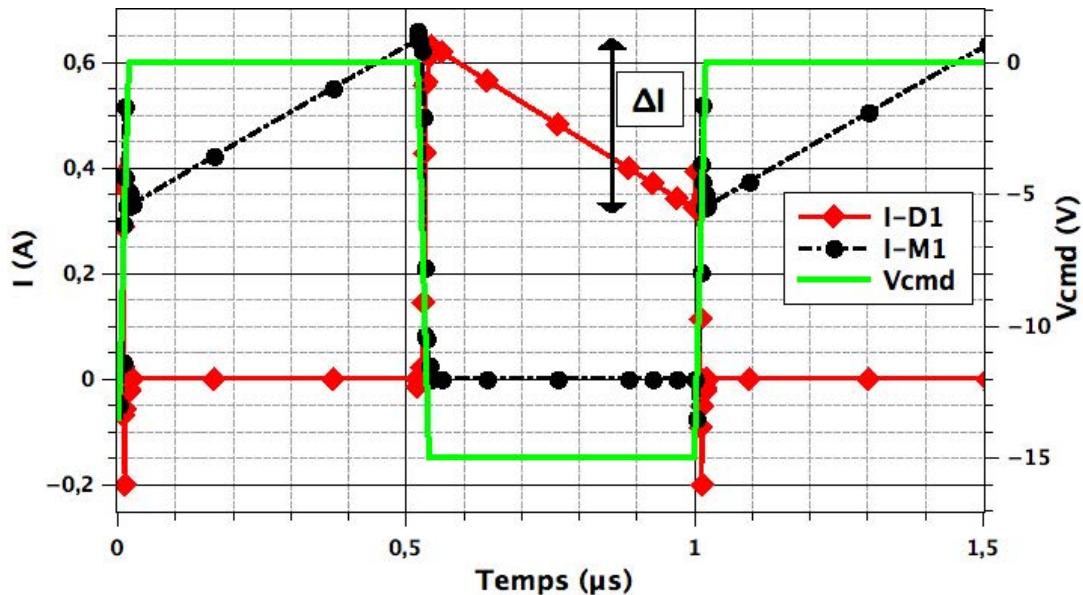


FIGURE 3.8 – Allure des courants  $I_{D1}$ ,  $I_{M1}$  et de la tension de commande  $V_{GS}$  du transistor de puissance  $M_1$  en régime établi ( $t > 125\mu s$ ) permettant d'estimer les ordres de grandeurs des valeurs des tensions et des courants des interrupteurs .

Paramètre	$V_e$	$V_s$	$I_s$	$I_{pm}$	$\Delta I$	$\Delta V_s$
Dimensionnement	5 V	10 V	250 mA	660 mA	0.33 A	0.0625 V
Simulation	5 V	9.2 V	229 mA	640 mA	0.316 A	0.059 V
Ecart	0 V	0.8 V	21 mA	20 mA	0.014 A	0.0035 V

TABLEAU 3.4 – Synthèse des résultats de simulation du convertisseur de puissance.

Les résultats obtenus vont permettre de passer à l'élaboration du driver de puissance (définition et dimensionnement de l'architecture). Les caractéristiques de sortie (signal  $V_{cmd}$ ), que devra fournir le circuit de commande ont été présentées ultérieurement. D'après la simulation présentée à la figure 3.9, le circuit devra être en mesure de fournir 7.5 nC par période à la grille du MESFET de puissance  $M_1$ . Une source de tension variable a été utilisée dans le simulateur SPICE pour simuler le comportement du driver.

## 4 Dimensionnement des fonctions du circuit de commande

### 4.1 Le circuit de commande du convertisseur de puissance

L'originalité de ce système est l'utilisation d'un transistor double grille en tant qu'interrupteur de puissance. La disponibilité de deux grilles  $G_1$  et  $G_2$  offre la possibilité d'envisager une topologie de puissance innovante où le signal découpé serait séparé du signal régulé. Cette topologie serait basée sur une architecture scindée en deux circuits spécifiques. Le premier serait dédié à la fonction découpage via la grille  $G_1$ , le second serait en charge de la régulation via la grille  $G_2$  (figure 3.10).

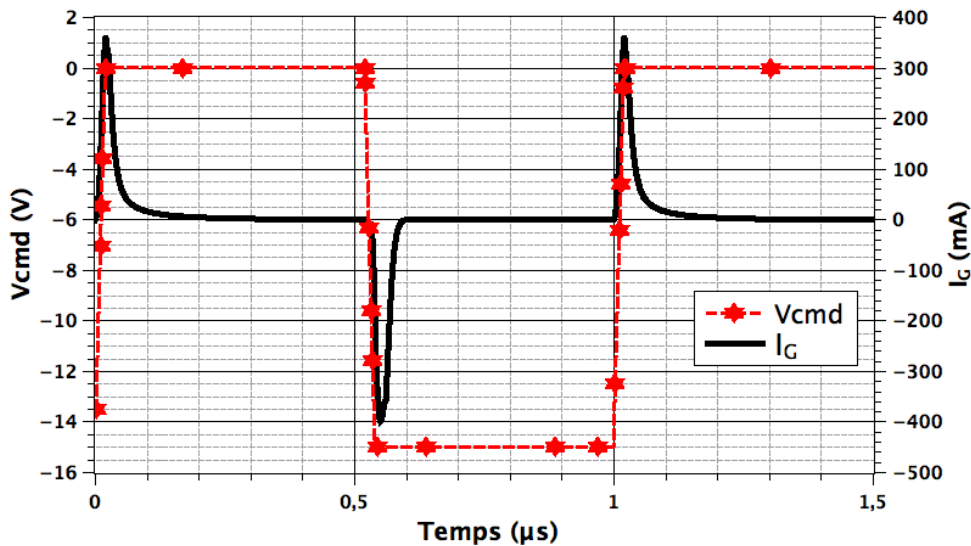


FIGURE 3.9 – Simulation du signal de commande utilisé pour le contrôle de l'interrupteur de puissance  $M_1$ . La courbe rouge représente la tension  $V_{cmd}$ , qui sera appliqué sur la grille du transistor  $M_1$ . La courbe noire montre le courant  $I_G$ , que devra fournir le driver à la grille du MESFET  $M_1$ .

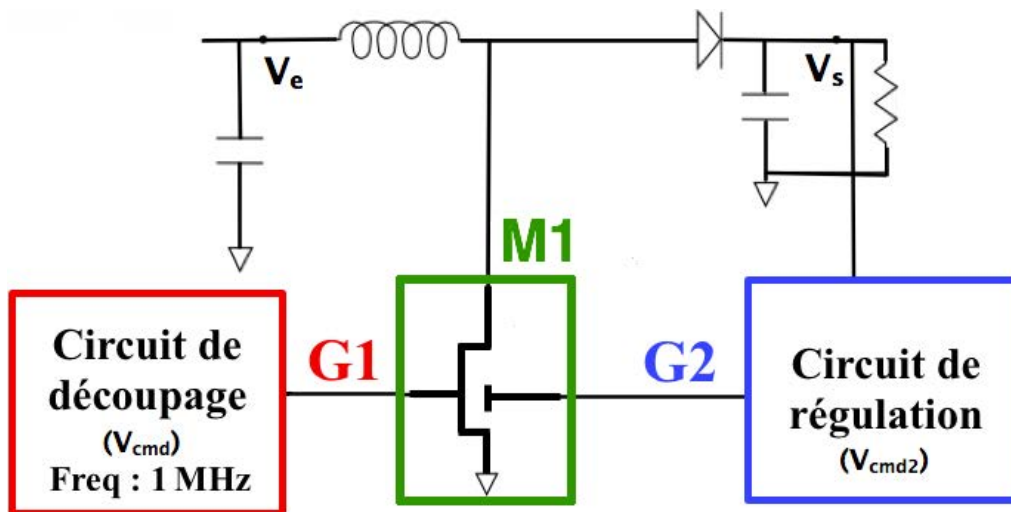


FIGURE 3.10 – Schéma du principe de commande du convertisseur de puissance "boost". L'interrupteur de puissance double grille (vert) permet l'application du signal de découpage  $V_{cmd}$  sur la grille  $G_1$  (rouge) et l'application du signal de régulation  $V_{cmd2}$  sur la grille  $G_2$  (bleu).

La figure 3.11 présente le synoptique du driver élaboré. Cette architecture est entièrement basée sur des composants MESFETs "normalement passants" de type N. La conception du driver a nécessité l'établissement d'un transistor intermédiaire. Il s'agit d'un MESFET "buffer" dont le rôle est de fournir le gain en courant nécessaire à la grille du MESFET de puissance ( $I_G$  : # 400 mA d'après la simulation présentée à la figure 3.9).

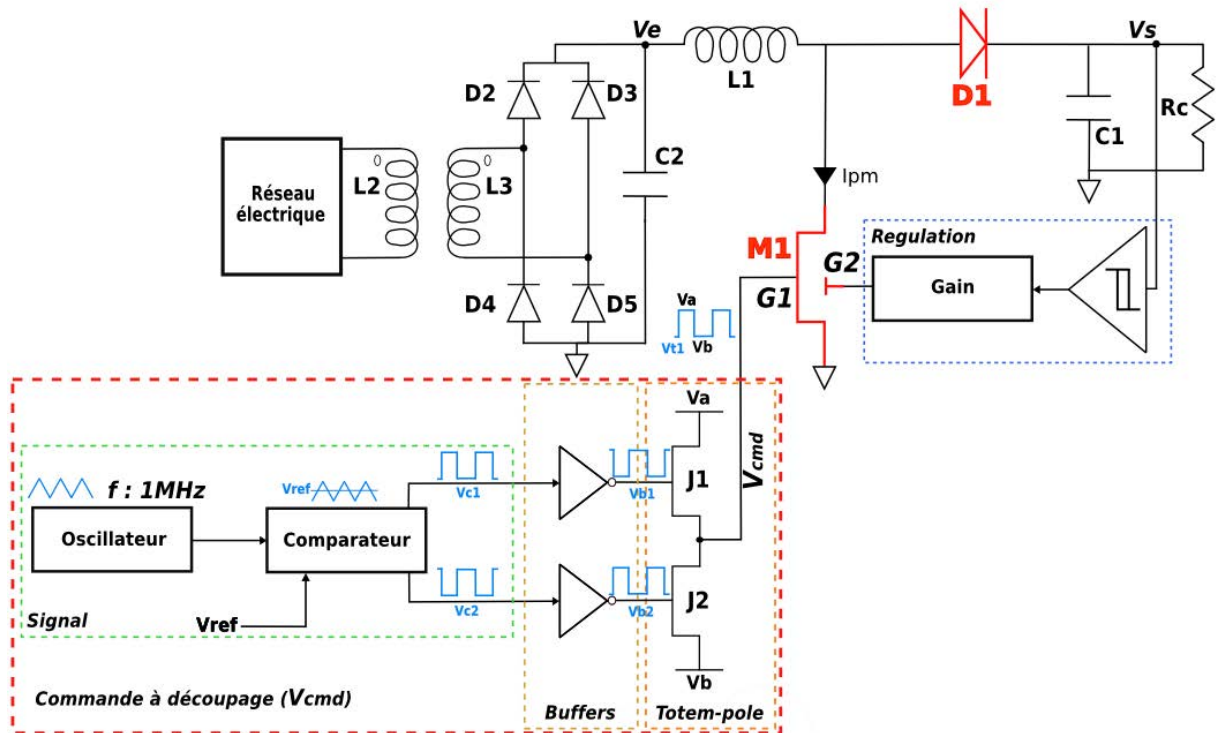


FIGURE 3.11 – *Synoptique de l'architecture du driver élaboré associé au convertisseur de puissance. Les interrupteurs de puissance  $M_1$  et  $D_1$  sont représentés en rouge. Le cadre rouge présente l'architecture du signal de découpage  $V_{cmd}$  et le cadre bleu celle du signal de régulation.*

La génération du signal de découpage de la grille  $G_1$  est présentée à travers le synoptique de la figure 3.11. Un signal d'horloge de 1 MHz est généré à partir d'un oscillateur, puis comparé à un signal de référence  $V_{ref}$ . Cette opération permet l'obtention d'un signal carré de rapport cyclique fixe ( $V_{c1}$ ) en sortie du comparateur. Le signal  $V_{cmd}$  a la tâche de contrôler l'interrupteur de puissance  $M_1$ . Toutefois, le driver doit être en mesure de fournir suffisamment de courant pour permettre la commutation du MESFET de puissance  $M_1$ . Cette contrainte nécessite l'utilisation d'une structure totem-pole, qui permet d'une part l'apport du courant  $I_G$  requis, d'une autre d'adapter le signal de contrôle  $V_{cmd}$  aux tensions appropriées ( $V_a$  : pour l'état ON de  $M_1$ ,  $V_b$  : pour l'état OFF de  $M_1$ ). Tout comme  $M_1$ , les grilles des transistors  $J_1$  et  $J_2$  du totem-pole requièrent un apport en courant. Une succession de buffers contrôlés par les signaux  $V_{c1}$  et  $V_{c2}$  va ainsi permettre la transmission de la quantité de charges nécessaire au bon fonctionnement du montage. Ces signaux vont contrôler les différents circuits de type "buffer" jusqu'à la génération des signaux  $V_{b1}$  et  $V_{b2}$ , qui vont commander le totem-pole.

**Remarque :** La dualité des signaux est utilisée pour éviter les court-circuits entre les transistors d'un même étage d'amplification en courant (topologie équivalente à un circuit inverseur). Si  $V_1$  est à l'état haut alors  $V_2$  est à l'état bas et inversement. Cela signifie que lorsque  $V_1$  est à l'état haut alors le transistor A est fermé et par conséquent le transistor B est ouvert. La réciproque est équivalente (figure 3.12). La gestion du temps mort peut se faire par l'ajout de portes logiques. Cela n'a pas été envisagé dans le cadre de ces travaux.

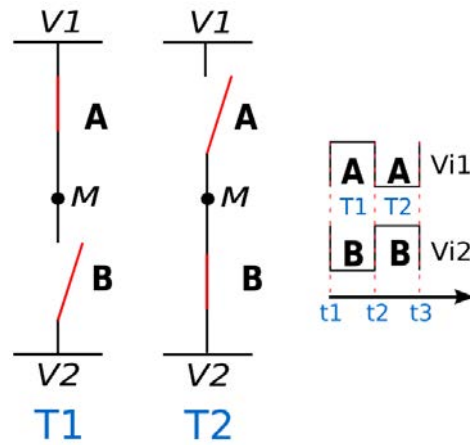


FIGURE 3.12 – Présentation de l'intérêt des signaux duaux dans un montage de type inverseur. La dualité des signaux permet d'éviter les court-circuits entre les transistors A et B. Lorsque l'interrupteur A est ON, le B est théoriquement OFF et inversement.

Le signal de régulation dépend de la sortie  $V_s$  du montage. Cette sortie est appliquée à un circuit spécifique, qui va conditionner le signal pour l'appliquer à la grille  $G_2$  du MESFET  $M_1$  (ex : un trigger de Schmitt). La régulation sera présentée plus précisément au cours de ce chapitre.

## 4.2 Conception des fonctions analogiques élémentaires

Différentes fonctions analogiques élémentaires à base de MESFETs ont été conçues en vue de la réalisation du circuit de commande. Le tableau 3.5 présente la synthèse des fonctions nécessaires à la réalisation du circuit de commande du convertisseur "boost".

Fonctions analogiques	Rôle au sein du convertisseur
Comparateur	Règle la durée du signal de commande
Oscillateur	Génère l'horloge de commande du système
Amplificateur totem-pole	Gain en courant pour le MESFET de puissance
Trigger de Schmitt	Régule le courant et la tension de sortie
MESFET de puissance	Gère l'énergie circulant dans le convertisseur

TABLEAU 3.5 – Synthèse des fonctions basées sur des transistors MESFETs présentes dans l'architecture du circuit de commande.

La difficulté de conception des fonctions élaborées à partir de MESFETs est liée à la spécificité de ce composant. Ce dernier n'est disponible qu'en type N et sa nature « normally-on » implique l'utilisation de polarisations négatives sur la grille des MESFETs. La réalisation de ces fonctions nécessite le développement de fonctions adaptées aux structures "normally-on". Les topologies de ces fonctions diffèrent des solutions classiques basées sur les transistors "normally-off" (ex : MOSFET).

La partie suivante va présenter la conception et le dimensionnement de quelques fonctions basées sur les MESFETs élémentaires telles que le le totem-pole, la paire différentielle ou le trigger de Schmitt.

### L'amplificateur totem-pole

L'amplificateur totem-pole est une fonction équivalente à l'architecture push-pull à la différence près que les transistors utilisés sont du même type (N ou P) (figure 3.13). Cette fonction sera le dernier étage de la commande à découpage  $V_{cmd}$ . Elle aura pour rôle de fournir la quantité de courant nécessaire à la grille du MESFET de puissance  $M_1$ .

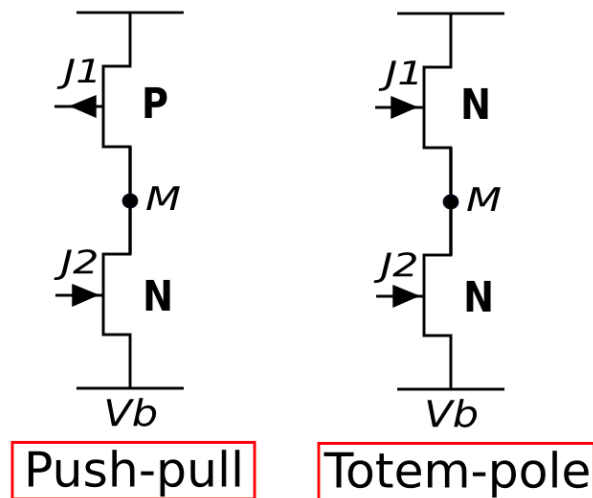


FIGURE 3.13 – Présentation du schéma électrique d'une structure Push-pull et de celui d'un circuit totem-pole.

L'utilisation de cette fonction nécessite la réalisation d'un MESFET intermédiaire capable de fournir un courant "pic" de 400 mA (figure 3.9). La largeur W de la grille de ce transistor a été calculée au moyen de la méthodologie définie pour dimensionner l'interrupteur de puissance. La largeur de W a été fixée à 4.994 mm pour que le composant puissance délivrer un courant maximum de 500 mA. Cette différence de 100 mA est une marge de sécurité liée à l'estimation des capacités du MESFET de puissance. Le tableau 3.6 récapitule les différents paramètres de ce nouveau transistor. Les paramètres du modèle SPICE utilisé sont présentés dans le tableau 20 dans le partie 4.2 des annexes.

Composant	$\beta$ (A/V)	W (mm)	L ( $\mu$ m)	$C_{GD}$ (pF)	$C_{GS}$ (pF)
MESFET "buffer"	0.005	4.994	8	34	57

TABEAU 3.6 – Synthèse des paramètres établis suite au prédimensionnement du MESFET "buffer".

D'après les caractéristiques statiques  $I_{DS} = f(V_{DS})$  exposées à la figure 3.14 et obtenues à partir du modèle SPICE établi, le MESFET de type "buffer" présente l'ordre de grandeur du courant  $I_{DS}$  attendu pour  $V_{GS}$  à 0 V (470 mA).



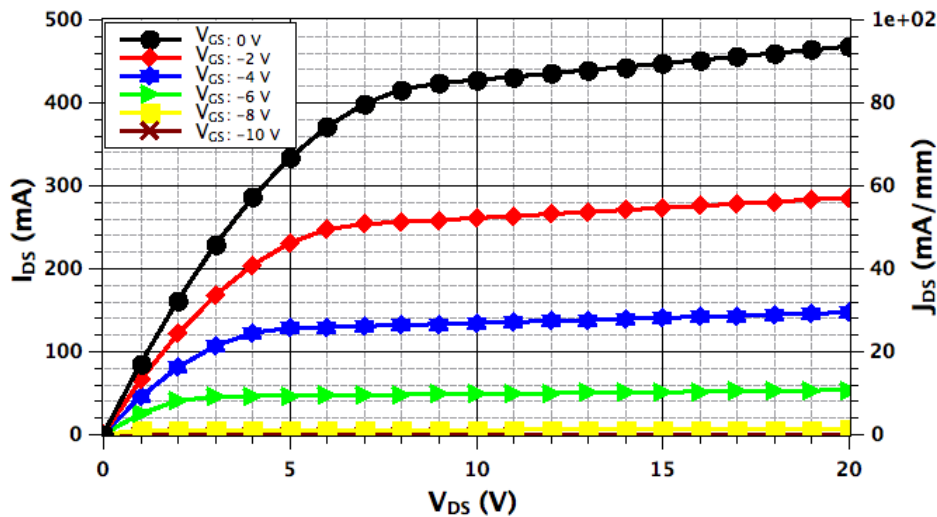


FIGURE 3.14 – Simulation des caractéristiques statiques  $I_{DS} = f(V_{DS})$  du MESFET "buffer" pour différentes valeurs de  $V_{GS}$ .

L'étage de sortie (totem-pole) du circuit de commande a été évalué en simulation suite au dimensionnement du transistor "buffer". Le schéma électrique du dispositif simulé est présenté sur la figure 3.15). La fonction totem-pole doit être en mesure de fournir le courant  $I_G$  et les tensions requises (ON : 0 V et OFF : -15 V) pour permettre la commutation de l'interrupteur de puissance  $M_1$ . Le contrôle des grilles des transistors  $J_1$  et  $J_2$  se fera à partir de sources de tensions paramétrables (V1 et V2). Cela permettra d'estimer la quantité de charge nécessaire aux grilles des MESFETs du totem-pole (méthode équivalente à celle utilisée précédemment pour le MESFET de puissance).

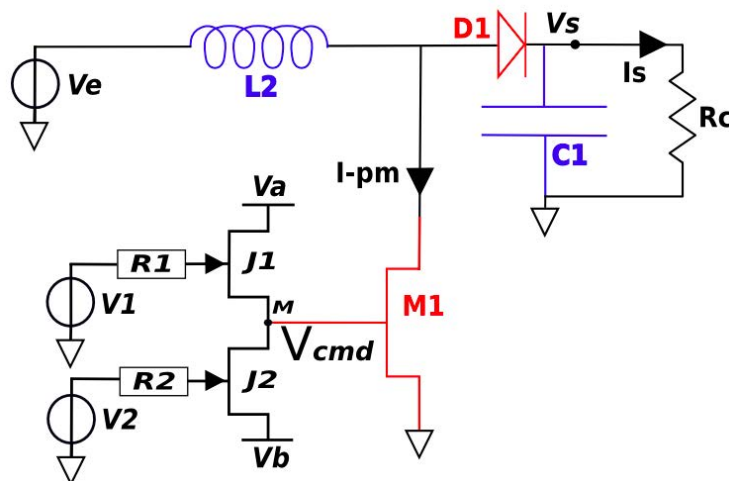


FIGURE 3.15 – Schéma du circuit simulé sous SPICE pour évaluer l'étage de sortie du driver de commande. Les transistors  $J_1$  et  $J_2$  sont des transistors de type "buffer" utilisé pour réaliser la fonction "totem-pole".

**Remarque :** Des résistances ( $R_1$  et  $R_2$ ) de  $150 \Omega$  ont été ajoutées pour protéger les grilles des transistors  $J_1$  et  $J_2$ . La valeur a été fixée de façon à limiter le courant de grille à 50 mA tout en conservant un temps de commutation correct ( $< 100$  ns, soit 10 % de la période du signal de découpage).

D'après le chapitre 2, le blocage d'un MESFET SiC nécessite l'application d'un potentiel de -10 V sur sa grille par rapport à sa source. Cela signifie que si un MESFET a sa source connectée à la masse, il faudra envoyer un signal de -10 V pour le bloquer et de 0 V pour le rendre de nouveau passant. Suite à la marge de sécurité de -15 V fixée précédemment, la tension de seuil ( $V_{th}$ ) des MESFETs sera à partir de maintenant considérée à -15 V au lieu de -10 V.

La conception de la commande de l'interrupteur  $J_2$  est relativement simple puisque sa source est référencée à -15 V. Cela signifie que la tension de commande du transistor sera comprise entre -15 V et -30 V ( $\Delta$  du blocage -15 V). En revanche, la commande du transistor  $J_1$  s'avère être plus délicate puisque le potentiel M est flottant. Classiquement, la commande d'une structure totem-pole (ou push-pull) nécessite l'isolation de la commande de la partie "high-side" (ex : pompe de charge) pour pouvoir appliquer le potentiel convenable au blocage sans risquer d'endommager le composant (claquage). Les MESFETs SiC conçus (premier lot) ont la particularité de présenter une tenue en tension à l'état bloqué ( $V_{DS}$ ) supérieure à 200 V. Cette propriété permet de faciliter la conception de l'architecture de commande de la structure totem-pole. En effet, grâce à cette tenue en tension, le signal de commande de  $J_1$  ne sera pas dimensionné par rapport au  $\Delta$  du blocage de -15 V, mais par rapport à un  $\Delta$  entre les alimentations 0 V et -30 V puisque le transistor de commande (en amont) pourra supporter un  $\Delta$  de 30 V. Il faudra cependant veiller à ce que les transistors  $J_1$  et  $J_2$  ne conduisent pas simultanément pour éviter tout risque de court-circuit. Le tableau 3.7 récapitule les états des différents niveaux de contrôles des transistors  $J_1$  et  $J_2$ .

Transistor	Signal de commande	Etat : OFF	Etat : ON
$M_1$	Vm	-15 V	0 V
$J_1$	V1	-30 V	0 V
$J_2$	V2	-30 V	-15 V

TABLEAU 3.7 – Synthèse des signaux de commande pour les MESFETs de type "buffers" et celui de puissance.

Le circuit de la figure 3.15 a été simulé sous SPICE avec les caractéristiques présentées dans le tableau 3.7. La figure 3.16 présente la tension issue du point M ( $V_{cmd}$ ) par rapport aux ordres de commande appliqués sur les transistors  $J_1$  (V1) et  $J_2$  (V2). Les sources de tensions paramétrables V1 et V2 ont permis de générer le signal  $V_{cmd}$  attendu compris en 0 V et -15 V (courbe noire). Les caractéristiques de ce signal seront détaillées plus précisément dans la partie consacrée au driver complet.

La simulation a permis d'estimer la quantité de courant à fournir aux grilles des transistors  $J_1$  et  $J_2$ . Le comportement de ces courants sont représentés sur la figure 3.17. La quantité de charge électrique nécessaire aux transistors n'est pas symétrique. Le transistor  $J_1$  requiert 4 nC contre 1.5 nC pour le MESFET  $J_2$  sur une période. Il apparaît que le transistor  $J_1$  a besoin

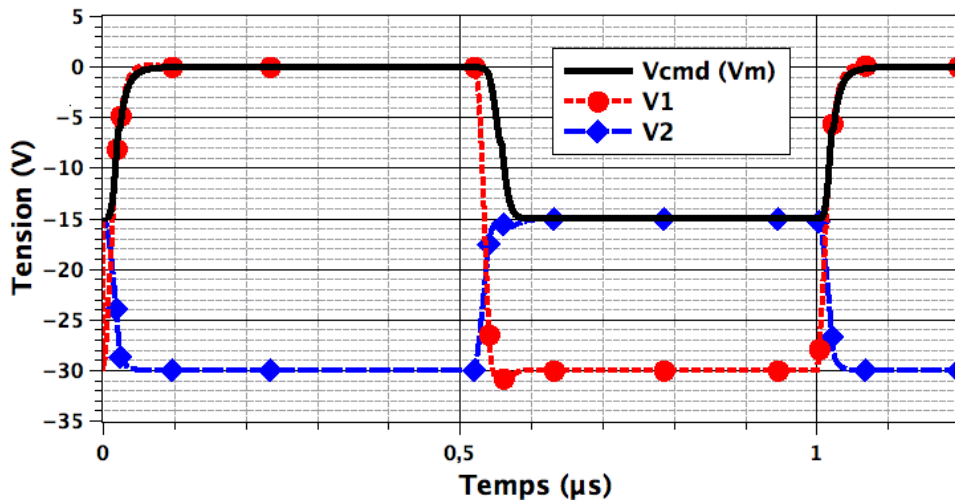


FIGURE 3.16 – Simulation SPICE des tensions de commande des transistors  $J_1$ ,  $J_2$  et  $M_1$ . La courbe noire présente le signal  $V_{cmd}$  retrouvé à la sortie  $M$  du de l'étage de sortie du driver de puissance. Les courbes rouge et bleue correspondent respectivement aux signaux de commande appliqués sur les grilles de transistors de type "buffer"  $J_1$  et  $J_2$ .

d'une quantité de charges supérieure à  $J_2$ . Ceci est logique puisque le MESFET  $J_1$  a un signal de commande compris entre 0 V et -30 V contrairement à  $J_2$ , qui ne varie que de -15 V à -30 V. Ces écarts entre les tensions des signaux de commande des transistors  $J_1$  et  $J_2$  donnent des  $dv/dt$ , qui engendrent les différences de charges observées.

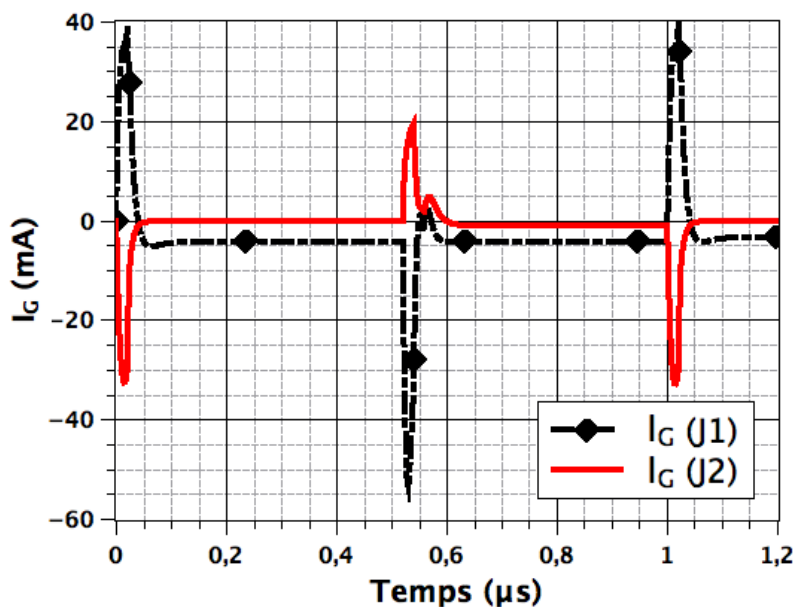


FIGURE 3.17 – Simulation SPICE des courants de grilles des MESFETs "buffer"  $J_1$  et  $J_2$ . La courbe noire présente l'allure du courant  $I_G$  entrant dans l'électrode de grille de  $J_1$ . La courbe rouge présente celui du transistor  $J_2$ .

Les transistors de type "signal" seront utilisés pour alimenter les grilles des MESFETs "buffer" du circuit de commande du convertisseur de puissance. Ce choix signifie que le démonstrateur sera entièrement basé sur trois types de transistors : le MESFET signal, le MESFET buffer et le MESFET de puissance. Leurs caractéristiques sont récapitulées dans le tableau 3.8.

Composant	$\beta$ (A/V)	W (mm)	L ( $\mu\text{m}$ )	$C_{GD}$ (pF)	$C_{GS}$ (pF)
MESFET élémentaire	0.00044	0.440	8	2	5
MESFET "buffer"	0.005	4.994	8	34	57
MESFET de puissance	0.1	99.880	8	454	1135

TABLEAU 3.8 – Synthèse des différentes grandeurs établies suite au prédimensionnement des MESFETs.

## La fonction comparateur

### a) Le principe de la paire différentielle

Une paire différentielle est constituée de deux transistors reliés à une source de courant (figure 3.18). Les transistors sont généralement polarisés avec une tension statique  $V_{Gi}$  symétrique ( $V_{G1} = V_{G2}$  sur la figure 3.18). Le fonctionnement du circuit est basé sur le principe des vases communicants grâce à l'intensité imposée par la source de courant. Lorsque la tension appliquée sur la grille d'un des deux transistors est supérieure à la polarisation statique, le transistor concerné laisse passer plus de courant. Cette augmentation de courant implique une diminution de la valeur de  $V_{DS}$  (équations 3.12, 3.13 et 3.14). La source de courant étant constante, cela signifie qu'une augmentation du courant dans une branche de la paire différentielle entraîne une diminution de ce dernier et un accroissement de la tension  $V_{DS}$  dans l'autre branche. L'application d'un signal inférieur à la tension de polarisation conduit logiquement au phénomène inverse (augmentation de  $V_{DS}$ ).

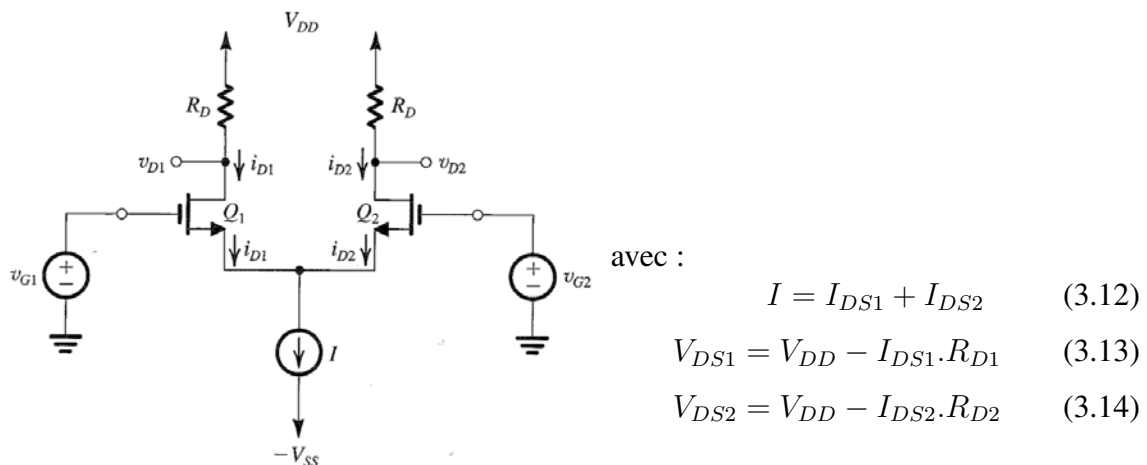


FIGURE 3.18 – Schéma d'une paire différentielle constituée de transistors à effet de champ [SS04].

### b) L'utilisation de la paire différentielle en application comparateur

Une polarisation particulière de la paire différentielle permet d'utiliser cette architecture en tant que comparateur. Une paire différentielle basée sur des transistors de type MESFET est présentée à la figure 3.19. La source de courant est réalisée au moyen d'une structure auto-polarisée (transistor  $M_3$  et résistance  $R_3$ ). Cette topologie maintient constante la tension  $V_{GS}$  du transistor. Le courant  $I$  induit est constant, ce qui est primordial pour le bon fonctionnement de la structure. L'emploi de MESFETs nécessite l'utilisation de polarisations  $V_{in}$  et  $V_{ref}$  négatives. Ce circuit permet uniquement la comparaison de tensions négatives. Il est toutefois possible de comparer des tensions positives, mais l'ajout d'un circuit spécifique tel qu'un level-shifter est nécessaire pour traduire les signaux dans la gamme de tension appropriée au comparateur.

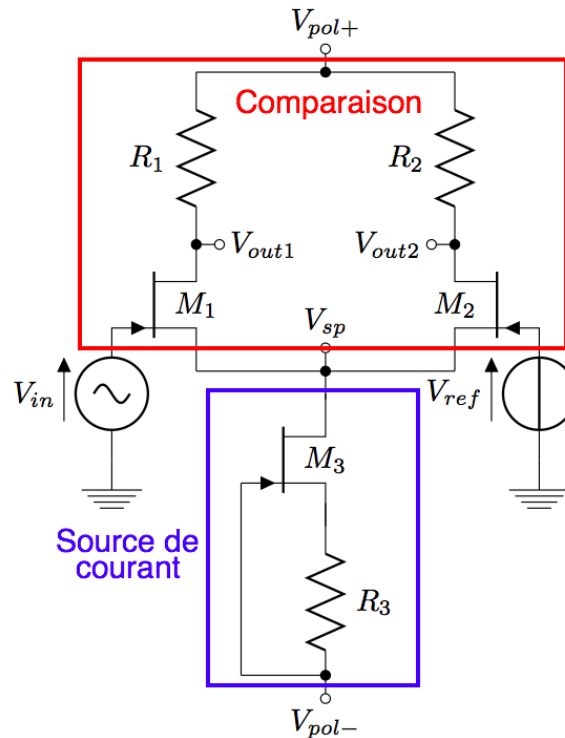


FIGURE 3.19 – Schéma du circuit comparateur réalisé à partir de transistors MESFETs. Le cadre rouge montre la structure de comparaison et l'encadré bleu présente la topologie de la source de courant.

La fonction de transfert  $V_{DS} = f(V_{in})$  a été simulée sous SPICE à partir du modèle précédemment présenté. La figure 3.20 présente la fonction de transfert spécifique du comparateur pour une polarisation statique des transistors à  $-3$  V ( $V_{in}$  et  $V_{ref}$  sont polarisées à une composante continue de  $-3$  V). Pour cette valeur de tension, les transistors  $M_1$  et  $M_2$  présentent un courant de drain identique, si les résistances de drain  $R_1$  et  $R_2$  sont de la même valeur. Dans cette configuration, les grandeurs  $V_{out1}$  et  $V_{out2}$  présentent le même niveau de tension ( $-15$  V). Cette courbe permet de connaître les tensions à appliquer à l'entrée du circuit pour opérer dans le mode comparateur (saturé/bloqué). Dans cette configuration, l'écart de tension appliqué  $\Delta V_{in}$  doit être supérieur à  $3$  V pour que les sorties  $V_{out1}$  et  $V_{out2}$  des transistors soient aux tensions souhaitées ( $10$  V ou  $20$  V). Par exemple, si  $V_{in} = -5$  V, alors  $V_{out1} = 20$  V et  $V_{out2} = 10$  V.

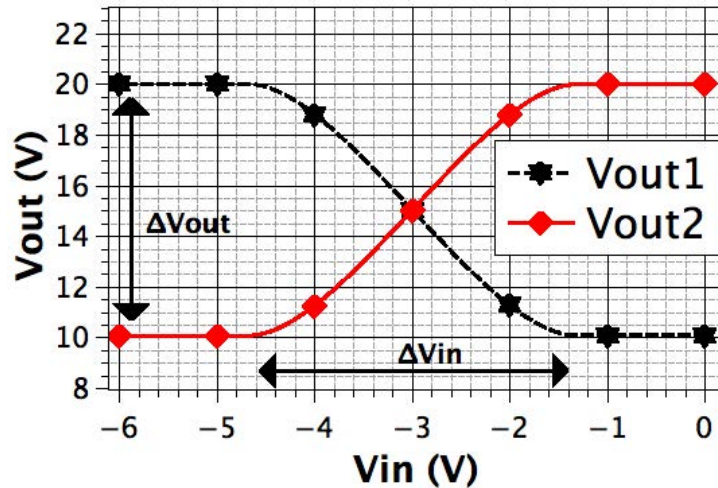


FIGURE 3.20 – Simulation de la fonction de transfert  $V_{DS}=f(V_{in})$  du comparateur à MESFETs pour  $V_{ref} = -3$  V. La courbe noire présente le comportement de la tension de sortie  $V_{out1}$  (branche de  $M_1$ ). La courbe rouge montre celui de la tension de sortie  $V_{out2}$  (branche de  $M_2$ ).

Une simulation du fonctionnement du circuit est présentée sur la figure 3.21. Un signal sinusoïdal (DC : -5 V, AC : 10 V et F : 300 kHz) appliqué sur l'entrée  $V_{in}$  est comparé à une tension  $V_{ref}$  de -3 V. Si  $V_{in}$  est supérieure à  $V_{ref}$ , alors la tension  $V_{out1}$  est à l'état bas (10 V) et la tension  $V_{out2}$  est à l'état haut (20 V). Réciproquement, lorsque  $V_{in}$  est inférieure à  $V_{ref}$ , alors la tension  $V_{out1}$  est à l'état haut (20 V) et  $V_{out2}$  est à l'état bas (10 V). La valeur de l'état haut correspond à  $V_{pol+}$ . En effet, le transistor est bloqué et  $I_{DS}$  ne peut le traverser. D'après la formule 3.13,  $V_{DS} = V_{pol+}$  soit la valeur 20 V. La valeur à l'état bas est liée à la polarisation du circuit. Dans cette configuration, le transistor se retrouve polarisé en régime saturé. La valeur de la résistance  $R_d$  pour obtenir une tension  $V_{DS} = 10$  V se déduit de l'équation 3.13 en remplaçant  $I_{DS1}$  par la valeur  $I$  de la source de courant. En effet d'après la configuration du circuit, si un transistor est en régime saturé l'autre est en régime bloqué. Cela signifie que tout le courant du circuit passe dans le transistor saturé. Les valeurs utilisées pour réaliser la simulation du comparateur sont présentées dans le tableau 3.9.

$V_{pol+}$	$V_{pol-}$	$V_{ref}$	$I$	$R_1$	$R_2$	$R_3$
20 V	-15 V	-3 V	360 $\mu$ A	46 k $\Omega$	46 k $\Omega$	46 k $\Omega$

TABLEAU 3.9 – Synthèse des grandeurs dimensionnées pour la réalisation du comparateur.

### La fonction trigger de Schmitt

Un circuit trigger de Schmitt a été conçu à partir de la structure du comparateur (figure 3.19). La sortie  $V_{trigger}$  a été connectée à la grille du MESFET  $M_2$ . Ce rebouclage est une contre-réaction, qui transforme le circuit en comparateur à hystérésis. Cette propriété engendre deux seuils de basculement  $V_{tr-}$  et  $V_{tr+}$  dans le montage. Contrairement aux circuits trigger de Schmitt classiques, la polarisation de la contre-réaction doit être négative, suite à l'utilisation

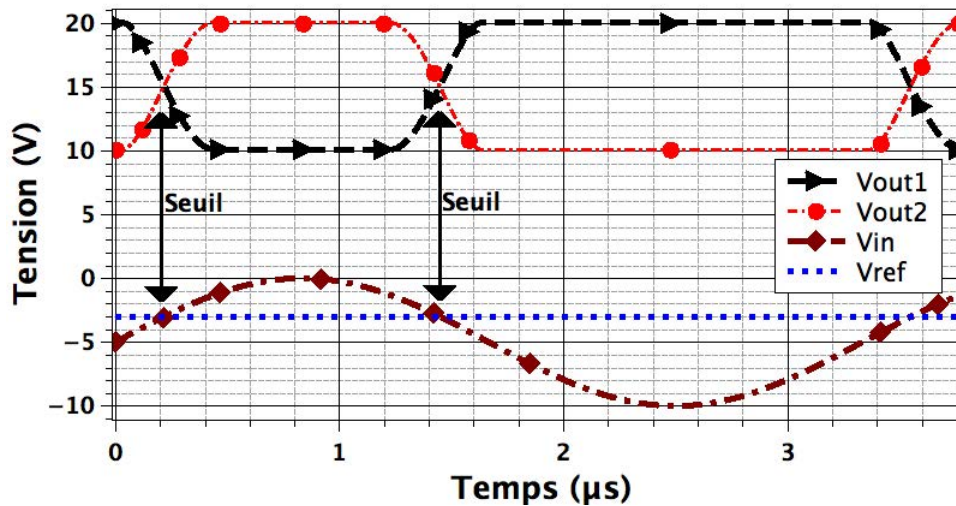


FIGURE 3.21 – Simulation SPICE de l'application sur l'entrée  $V_{in}$  du comparateur d'un signal sinusoïdale (marron) face à une tension de référence  $V_{ref}$  de -3 V (bleue). La simulation montre les commutations des sorties  $V_{out1}$  (noire) et  $V_{out2}$  (rouge) du comparateur suite à l'évolution temporelle du signal sinusoïdale.

des MESFETs. Vu que la tension de la sortie  $V_{trigger}$  s'avère positive, une source de tension négative  $V_{ex}$  a été ajoutée au montage pour traduire les potentiels de la boucle de contre-réaction à la gamme de tensions appropriées (partie bleue de la figure 3.22).

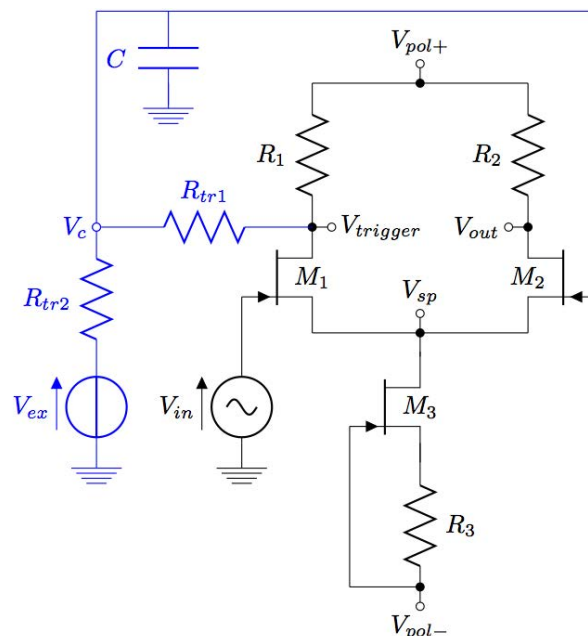


FIGURE 3.22 – Schéma du circuit trigger de Schmitt à base de MESFETs SiC. Cette fonction diffère du comparateur par l'ajout d'une contre réaction (partie bleue sur la figure).

Les sorties  $V_{out}$  et  $V_{trigger}$  ont été dimensionnées similairement à celles du circuit comparateur (configuration identique). Les seuils de basculement  $V_{tr-}$  et  $V_{tr+}$  ont respectivement été fixés aux valeurs de  $-5.95$  V et  $-3.90$  V à partir de  $R_{tr1}$ ,  $R_{tr2}$  et  $V_{ex}$ , d'après les équations 3.15 et 3.16 (avec  $V_{trigger}$  à l'état haut pour  $V_{tr+}$  (20 V) et  $V_{trigger}$  à l'état bas pour  $V_{tr-}$  (10 V)). Le tableau 3.10 synthétise les différentes valeurs des grandeurs utilisées pour dimensionner la fonction trigger de Schmitt. La simulation de la fonction de transfert du trigger de Schmitt est présentée à la figure 3.23. Les résultats obtenus confirme le dimensionnement théorique du circuit.

$$V_{tr+} = \frac{V_{trigger} \cdot R_{tr2}}{R_{tr1} + R_{tr2}} + \frac{V_{ex} \cdot R_{tr1}}{R_{tr1} + R_{tr2}} \quad (3.15)$$

$$V_{tr-} = \frac{V_{trigger} \cdot R_{tr2}}{R_{tr1} + R_{tr2}} + \frac{V_{ex} \cdot R_{tr1}}{R_{tr1} + R_{tr2}} \quad (3.16)$$

$V_{pol+}$	$V_{pol-}$	$V_{ref}$	$R_1$	$R_2$	$R_3$	$R_{tr1}$	$R_{tr2}$	$V_{ex}$
20 V	-15 V	-3 V	46 k $\Omega$	46 k $\Omega$	46 k $\Omega$	20 M $\Omega$	4 M $\Omega$	-10 V

TABLEAU 3.10 – Synthèse des valeurs utilisées pour configurer la fonction trigger de Schmitt.

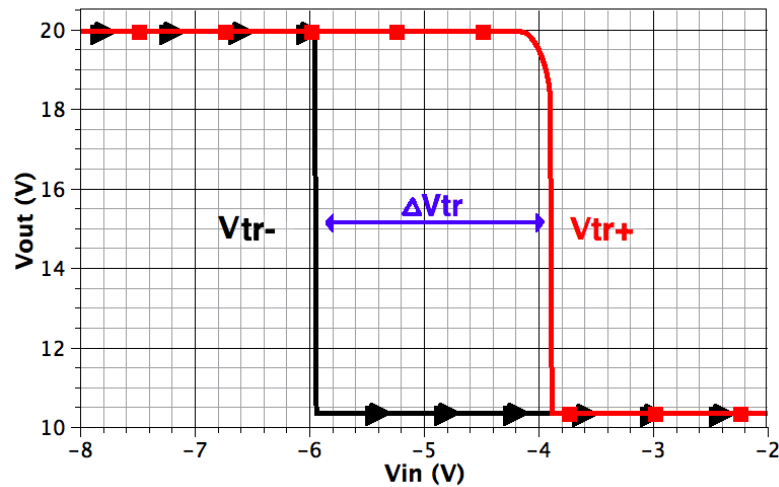


FIGURE 3.23 – Simulation SPICE de la fonction de transfert  $V_{out} = f(V_{in})$  du trigger de Schmitt. La courbe rouge présente le basculement du trigger de Schmitt au niveau du seuil  $V_{tr+}$  de  $-3.9$  V. La courbe noire montre celui du seuil  $V_{tr-}$  à  $-5.9$  V. Le  $\Delta V_{tr}$  représente le cycle d'hystérésis du trigger de Schmitt (écart entre  $V_{tr+}$  et  $V_{tr-}$ ).

L'ajout d'une capacité  $C$  à la boucle de contre-réaction offre la possibilité d'ajuster la valeur  $\Delta V_{tr}$  de l'hystérésis ( $\Delta V_{tr} = V_{tr+} - V_{tr-}$ ). Une simulation de la fonction de transfert  $V_{out} = f(V_{in})$  a été réalisée sous SPICE (figure 3.24). Les simulations ont montré dans un premier temps que plus la valeur de la capacité augmentait, plus le  $\Delta V_{tr}$  du cycle d'hystérésis diminuait. L'ajout de la capacité dans la boucle de contre-réaction conduit à l'apparition d'un



filtre moyennneur, qui tend à annuler la différence entre les deux tensions de seuil et par conséquent à réduire la valeur de  $\Delta V_{tr}$  à 0. De plus, il s'est avéré que la valeur du  $\Delta V_{tr}$  dépendait aussi de la fréquence du signal d'entrée  $V_e$ . Les figures 3.24 et 3.25 présentent les simulations du trigger du Schmitt pour des fréquences de 15 kHz et de 800 kHz. Les courbes montrent que plus la fréquence augmente, plus la valeur du  $\Delta V_{tr}$  se réduit. Par exemple, le  $\Delta V_{tr}$  lié à la capacité 10 pF vaut 2 V pour une fréquence de 15 kHz, puis il passe à une valeur de 0.01 V pour une fréquence de 800 kHz. A cette fréquence, les courbes tendent quasiment toutes vers un comportement identique à seuil unique.

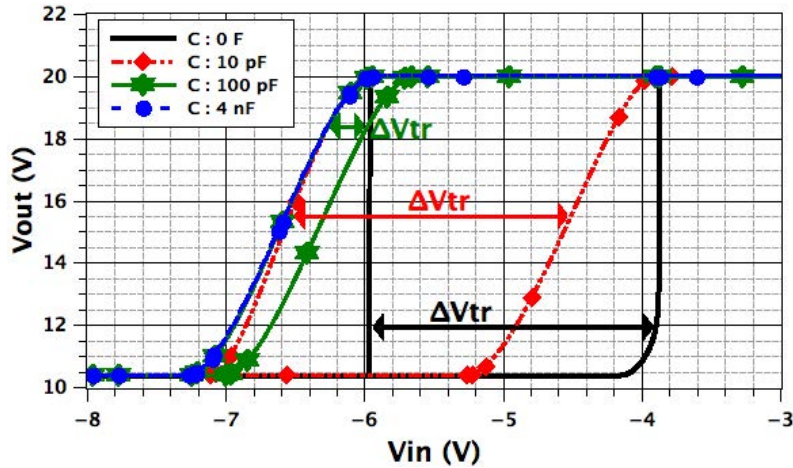


FIGURE 3.24 – Simulation SPICE de la fonction de transfert  $V_{out} = f(V_{in})$  pour différentes valeurs de la capacité  $C$  à 15 kHz. Le  $\Delta V_{tr}$  présente la largeur du cycle l'hystérésis du trigger de Schmitt pour chaque capacité  $C$  simulée.

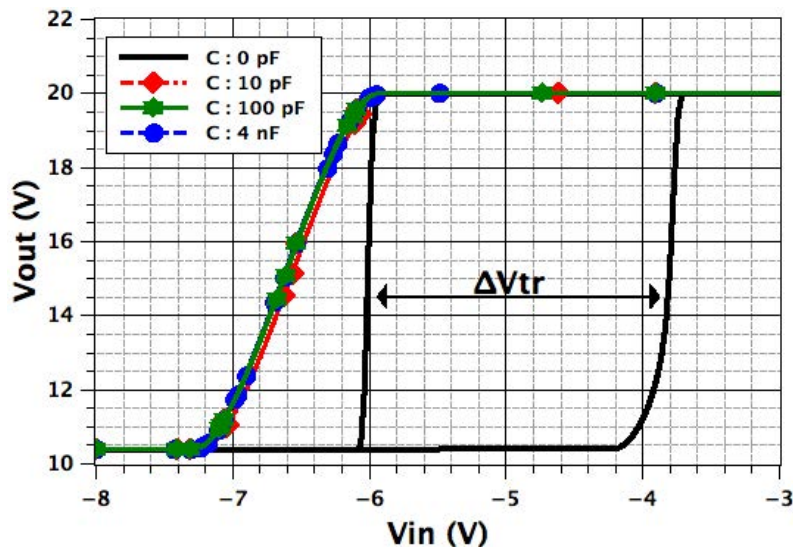


FIGURE 3.25 – Simulation SPICE de la fonction de transfert  $V_{out} = f(V_{in})$  pour différentes valeurs de la capacité  $C$  à 800 kHz. Le  $\Delta V_{tr}$  présente la largeur du cycle l'hystérésis du trigger de Schmitt pour chaque capacité  $C$  simulée.

Une simulation fréquentielle du circuit a permis d'expliquer les variations du  $\Delta V_{tr}$  observées précédemment. Le diagramme de Bode présenté à la figure 3.26 montre le comportement fréquentiel de la tension  $V_c$  (figure 3.22) selon la valeur de la capacité  $C$ . Plus la capacité est importante, plus la fréquence de coupure du montage est petite. Par exemple, d'après les simulations, un montage basé sur une capacité  $C$  de valeur 10 pF présente une atténuation du signal de 20 dB entre une fréquence de 15 kHz et 800 kHz. Cette atténuation conduit à un filtrage du signal, ce qui rend la tension  $V_{tr}$  quasi-constante sur la boucle de réaction du circuit et conduit donc à la quasi-annulation du  $\Delta V_{tr}$  d'après les équations 3.15 et 3.16.

Le circuit trigger de Schmitt capacitif est une solution envisageable pour la réalisation du circuit de régulation du convertisseur de puissance (cadre bleu de la figure 3.11). La figure 3.26 montre que le trigger de Schmitt filtre son signal d'entrée  $V_{in}$  selon la capacité  $C$  fixée. Dans le cadre d'une utilisation de ce dispositif dans le circuit de régulation, une partie du signal de sortie  $V_s$  du convertisseur de puissance appliquée à l'entrée du trigger sera filtrée. Cela signifie que les perturbations possédant des fréquences supérieures à la fréquence de coupure du trigger de Schmitt ne seront pas forcément prises en compte par le système de régulation.

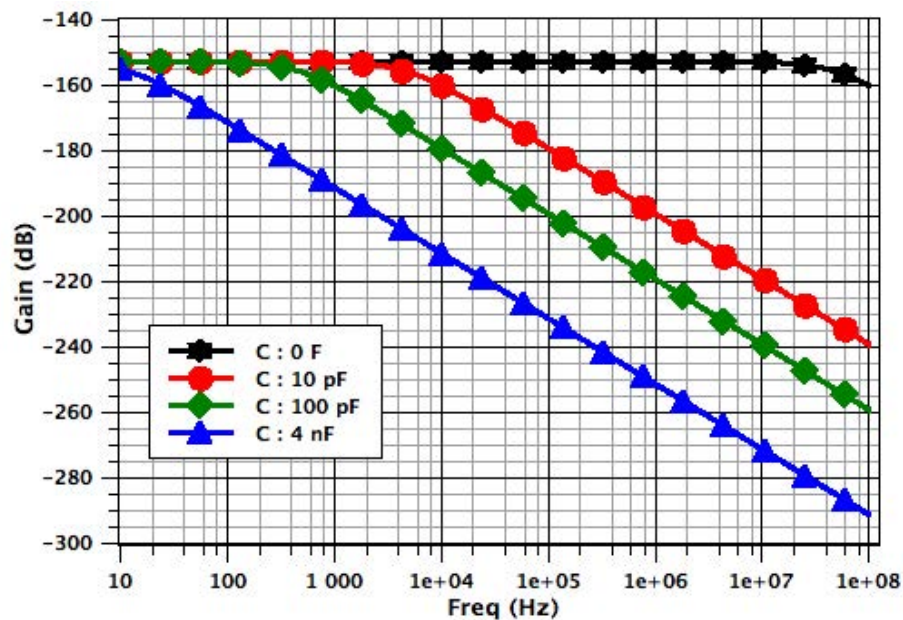


FIGURE 3.26 – Simulation SPICE fréquentielle de la fonction de transfert  $V_c = f(V_{in})$  pour différentes valeurs de la capacité  $C$ .

D'après la figure 3.24, le circuit peut présenter une propriété de linéarité entre -3.3 V et -4.5 V à partir d'une valeur de 4 nF de la capacité  $C$  (courbe bleue). Cette particularité de la structure s'avère être un avantage relativement intéressant pour la régulation du convertisseur de puissance. En effet, cela signifie qu'il est possible d'envisager plusieurs moyens de régulation à partir de cet unique circuit. Une solution de type hystérésis pourrait être établie avec l'utilisation de la structure classique du trigger de Schmitt. Une solution de régulation linéaire basée sur un moyenneur à valeur proportionnelle d'après la figure 3.24 pourrait être envisagée grâce à l'ajout d'une capacité  $C$  au comparateur à hystérésis [PRO10].

### 4.3 Réalisation du circuit de commande à base de MESFETs

Le driver a pu être entièrement élaboré à partir des différentes fonctions constituées des MESFETs SiC. La figure 92 présentée dans la partie 4.5 des annexes présente le schéma électrique complet du convertisseur de puissance et de sa commande. Il est constitué de deux grandes parties. La première est dédiée au découpage du signal de commande et l'autre à sa régulation. En raison de la nature "normally-on" des MESFETs, plusieurs sources de tensions majoritairement négatives sont nécessaires pour le fonctionnement du montage. Le tableau 3.11 récapitule les sources des tensions du dispositif. Les solutions envisagées pour générer ces potentiels sont présentées dans la dernière partie de ce chapitre.

$V_2$	$V_3$	$V_4$	$V_5$	$V_6$
-15 V	-30 V	-60 V	-8.91 V	20 V

TABLEAU 3.11 – Synthèse des alimentations du driver de puissance présenté à la figure 92 dans la partie 4.5 des annexes.

#### Le signal de découpage $V_{cmd}$

Le driver doit être capable de fournir un signal compris entre -15 V et 0 V à une fréquence de 1 MHz avec un rapport cyclique de 50 %, mais aussi un courant pic d'au moins 400 mA à la grille du MESFET  $M_1$ . La figure 3.27 présente la simulation du signal de commande obtenu à la sortie du driver (à la grille  $G_1$  de l'interrupteur de puissance  $M_1$ ). Les résultats sont satisfaisants puisque le signal présente les caractéristiques souhaitées. Le tableau 3.12 récapitule les différentes caractéristiques simulées du signal. Le signal s'avère correct puisqu'il présente la fréquence, l'état "ON" et l'état "OFF" souhaités. En revanche, les temps de commutation sont trop importants. Ils représentent 22 % de la période. Ce pourcentage s'avère trop important. En général, le temps de commutation représentent au maximum 10 % de la période du signal de découpage. Ce problème est lié aux commutations des buffers qui sont trop longues (charge des capacités inter-électrodes). Il s'agit toutefois d'un premier démonstrateur, le signal est convenable pour permettre la commutation de l'interrupteur  $M_1$ . L'étude de l'optimisation des temps de commutations s'avérera relativement intéressante pour des versions plus évoluées du démonstrateur.

Signal	$E_h$	$E_b$	$R_c$	Fr	$T_{Eh}$	$T_{Eb}$	$T_m$	$T_d$
Vm	0 V	-15 V	55 %	1 MHz	389 ns	385 ns	65 ns	69 ns

TABLEAU 3.12 – Synthèse des caractéristiques du signal simulé sous SPICE ( $E_h$  : état ON,  $E_b$  : état OFF,  $R_c$  : rapport cyclique, Fr : fréquence,  $T_{Eh}$  : durée état ON,  $T_{Eb}$  : durée état OFF,  $T_m$  : temps de montée à 95 % et  $T_d$  : temps de descente à 95 %).

### 4.4 Application à la régulation du convertisseur : simulations et analyses

#### Simulation du comportement en boucle ouverte à partir de ce driver

Le tableau 3.13 présente les résultats de la simulation SPICE du convertisseur en boucle ouverte commandé à partir du driver complet. La simulation présente des écarts par rapport au

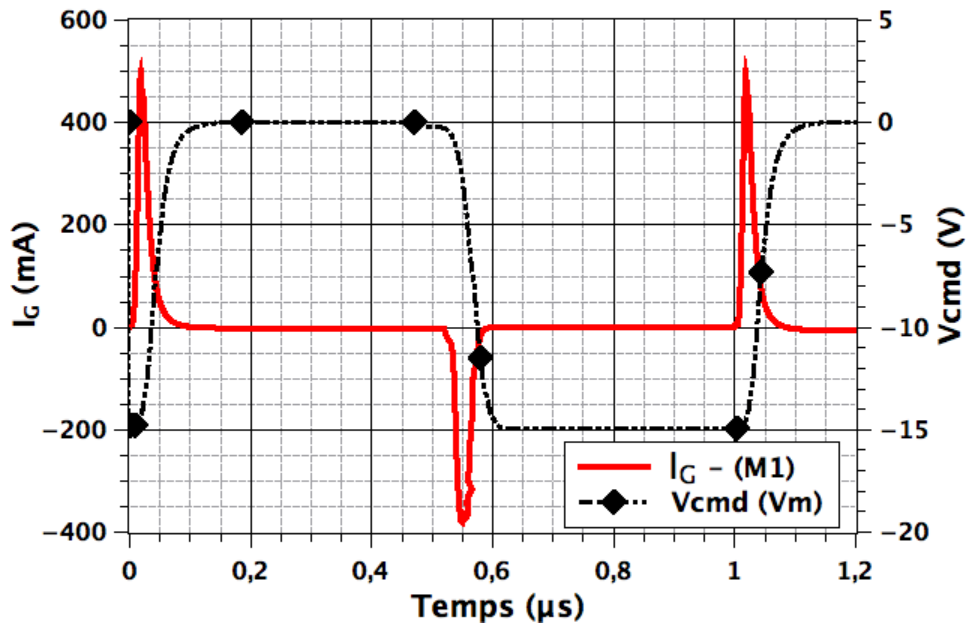


FIGURE 3.27 – Simulation SPICE du signal de commande de l'interrupteur  $M_1$ .  $V_{cmd}$  (noire) représente la tension de commande appliquée à la grille  $G_1$  du transistor  $M_1$ .  $I_G$  (rouge) correspond au courant de grille transmis à la grille du MESFET de puissance  $M_1$ .

dimensionnement théorique. Ces écarts sont principalement engendrés par les interrupteurs de puissance  $M_1$  et  $D_1$ . De plus, il est important de préciser que les résultats de la simulation du convertisseur avec le driver à base de MESFETs sont différents de ceux obtenus avec un signal  $V_{cmd}$  généré par une source de tension (tableau 3.4). Ces variations sont liées aux différences entre les deux signaux de commande  $V_{cmd}$ . Par exemple, le signal élaboré à partir des MESFETs présente un rapport cyclique de 55 % contre 50 % pour l'autre. L'ensemble des écarts relatifs restent inférieurs à 10 %. Le dimensionnement du système est donc validé pour la réalisation de ce premier démonstrateur.

Paramètre	$V_e$	$V_s$	$I_s$	$I_{pm}$	$\Delta I$	$\Delta V_s$
<b>Dimensionnement</b>	5 V	10 V	250 mA	660 mA	333 mA	62.5 mV
<b>Simulation</b>	5 V	9.2 V	237 mA	657 mA	324 mA	61.2 mV
<b>Ecart en tension</b>	0 V	0.8 V	13 mA	3 mA	0.014 A	0.0035 V
<b>Ecart relatif</b>	0 %	8 %	8 %	0.5 %	2.7 %	2 %

TABLEAU 3.13 – Synthèse des résultats de simulation du convertisseur de puissance obtenus à partir du circuit de commande élaboré.

### Simulation du comportement en boucle fermée

Le convertisseur de puissance présente la particularité d'avoir un interrupteur de puissance double grille. Cette spécificité permet de dédier la grille  $G_2$  uniquement à la tâche de la régulation. Le circuit de régulation est principalement basé sur un circuit trigger de Schmitt et d'une électronique d'adaptation pour rendre les signaux convenables au contrôle de la grille  $G_2$ . Le

signal de commande appliqué sur la grille  $G_2$  sera nommé  $V_{cmd2}$ . Dans le cadre de la thèse, le principe de la régulation par double grille a été démontré dans un premier temps à partir d'un circuit régulé au moyen d'un trigger de Schmitt, puis dans un second temps grâce à un trigger de Schmitt capacitif.

Les simulations de la régulation ont été effectuées au moyen d'un modèle approché du MESFET double grille. Le modèle SPICE du MESFET ne possède pas de double grille, celle-ci est simulée par la mise en série de deux transistors [DK07]. Le signal de commande à découpage  $V_{cmd}$  est appliqué sur la grille. Il est important de préciser que le simulateur rencontre des difficultés lorsque le driver de la commande  $V_{cmd}$  et le signal de régulation  $V_{cmd2}$  sont associées. Une solution consiste à remplacer le driver de la commande à découpage par une source de tension paramétrable pour alléger les calculs de la simulation. Les paramètres de dimensionnement du convertisseur de puissance ont été modifiés pour mettre en valeur le principe de régulation (augmentation de la tension d'entrée  $V_e$ , qui passe de 5 V à 20 V). Ils sont récapitulés dans le tableau 3.14.

Paramètre	$V_e$	$V_s$	$I_s$	$I_{pm}$	$\Delta I$	$\Delta V_s$
Simulation	20 V	34.7 V	870 mA	4.45 A	4.45 A	270 mV

TABLEAU 3.14 – Synthèse des principales grandeurs du convertisseur de puissance obtenues par simulation suite aux modifications apportées pour visualiser convenablement le principe de régulation.

### La régulation par le trigger de Schmitt

Le principe de régulation par hystérésis s'avère être une technique relativement simple contrairement à une régulation classique. Le système est basé sur deux signaux de commande. La commande en boucle ouverte est fixe et délivre en permanence un signal de 1 MHz à la grille  $G_1$ . La commande de la grille enterrée  $G_2$  est en revanche variable. Elle dépend des perturbations détectées sur la sortie  $V_s$ . Cette dernière va influencer le temps de conduction du MESFET  $M_1$ . Lorsque la tension  $V_s$  sera supérieure au  $V_{tr+}$  du Trigger de Schmitt, celui-ci va générer une tension de -15 V qui va bloquer la conduction du transistor. Cet état va empêcher le passage du courant et faire chuter la tension  $V_s$  jusqu'à ce qu'elle atteigne le seuil de basculement  $V_{tr-}$  du Trigger de Schmitt, qui rendra le MESFET de nouveau passant. A partir de cet instant, le circuit de puissance pourra de nouveau se charger en courant et tendre vers la valeur dimensionnée de  $V_s$  grâce à la commande à découpage appliquée sur  $G_1$ . Si la perturbation est toujours présente, le cycle se répétera jusqu'à sa disparition. La régulation par hystérésis conduit à un fonctionnement dont le comportement ressemble à celui d'un circuit astable de type NE555 avec des cycles de charges et de décharges. Il faut veiller à fixer les seuils de déclenchement du trigger de Schmitt ( $V_{tr-}$  et  $V_{tr+}$ ) de façon à ce qu'ils soient supérieurs à l'ondulation de la tension  $\Delta V_s$  liée au filtre de sortie  $C_1-R_c$  du convertisseur. Cette solution s'apparente plus à une limitation qu'à une régulation à proprement parler. A terme, elle pourrait être remplacée par un contrôle du rapport cyclique du signal de commande  $V_{cmd}$ .

La figure 3.28 présente la simulation du comportement du système soumis à une perturbation de la charge. La perturbation correspond à une variation de la charge qui passe d'une valeur de  $30 \Omega$  à  $60 \Omega$  pendant  $200 \mu s$ . Les valeurs des tensions de seuil du trigger de Schmitt

ont respectivement été fixées à  $V_{tr-} = -5.95 \text{ V}$  et  $V_{tr+} = -3.95 \text{ V}$  (configuration du trigger sans capacité). L'apparition d'une perturbation ( $t = 35 \mu\text{s}$ ) sur la tension de sortie  $V_s$  du convertisseur (figure 3.11) va conduire à la mise en oeuvre de système de régulation. A  $35 \mu\text{s}$ , la perturbation conduit à une augmentation de la tension  $V_s$  jusqu'à la valeur de  $36 \text{ V}$  ( $V_{s+}$ ). A partir de cette valeur, la tension ramenée à l'entrée du trigger de Schmitt ( $V_{ts}$ ) atteint le seuil de déclenchement  $V_{tr+}$  du trigger de Schmitt (courbe rouge). A cet instant, le signal de régulation transmet un signal de blocage au transistor de puissance  $M_1$  (-15 V). Le courant  $I_{pm}$  ne peut plus traverser le MESFET  $M_1$ . Le courant  $I_s$  et la tension de sortie  $V_s$  vont diminuer jusqu'à ce que la tension  $V_s$  atteigne à  $t = 50 \mu\text{s}$  la valeur de  $31.9 \text{ V}$  ( $V_{s-}$ ) et conduire au déclenchement du seuil  $V_{tr-}$ . L'électronique de régulation va alors envoyer un signal à  $0 \text{ V}$ , qui va rendre l'interrupteur de puissance de nouveau passant. Le signal de découpage  $V_{cmd}$  (bleue) (figure 3.28) va alors permettre l'augmentation de la tension  $V_s$  et du courant  $I_s$  grâce au passage du courant  $I_{pm}$ . Ce cycle se répétera jusqu'à la disparition de la perturbation sur la charge ( $150 \mu\text{s}$ ). Ce système protège le circuit puisqu'il n'est pas possible de dépasser une tension de sortie de  $V_{s+}$  et un courant de sortie  $I_s = \frac{V_{s-}}{R_c}$ .

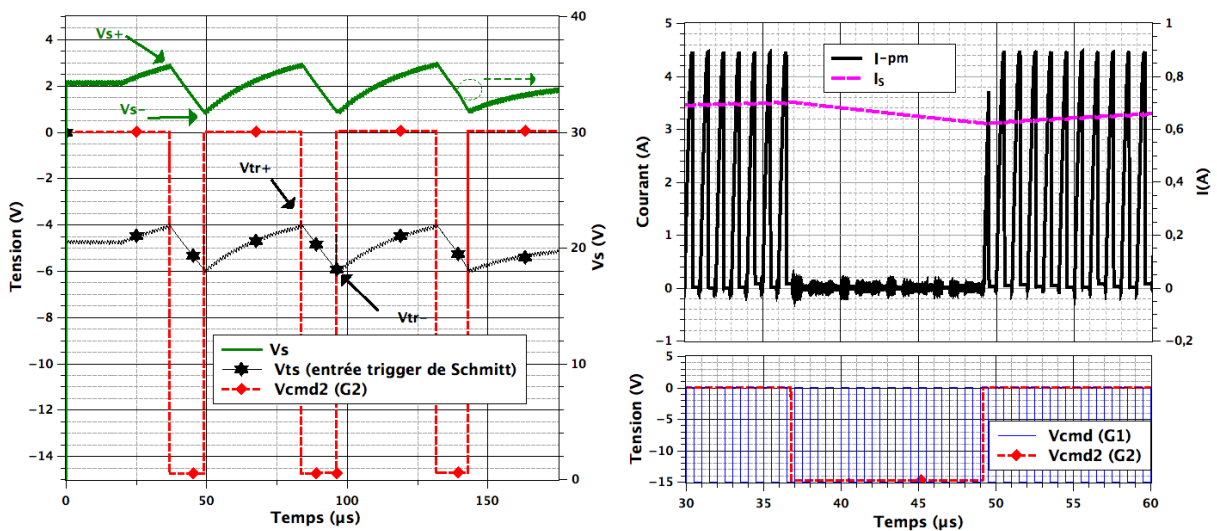


FIGURE 3.28 – Simulation SPICE de l'impact d'une perturbation de la charge d'un convertisseur basé sur une régulation par trigger de Schmitt. La figure de gauche présente l'évolution temporelle de la tension de sortie  $V_s$  (vert), de la tension de commande  $V_{cmd2}$  (rouge) et de la tension  $V_{ts}$  (noire) ramenée à l'entrée du trigger utilisé pour réaliser la régulation. La figure supérieure de droite expose la variation du courant de sortie  $I_s$  (rose) et du courant  $I_{pm}$  (noire) traversante l'interrupteur de puissance  $M_1$ . La figure basse de droite présente l'évolution des signaux présents sur les grilles  $G_1$  (bleue) et  $G_2$  (rouge) du transistor de puissance  $M_1$ . Les données présentées sur les courbes de droite proviennent de la même simulation que celle de gauche. Elles sont toutefois représentées sur une plage temporelle comprise entre  $30 \mu\text{s}$  et  $60 \mu\text{s}$  pour montrer plus précisément l'influence du système de régulation suite à l'apparition d'une perturbation sur la charge.

### La régulation par le trigger de Schmitt capacitif

La figure 3.29 présente la simulation SPICE du comportement du système non régulé soumis à une perturbation de la charge ( $t_{emps} = 40 \mu s$ ). Ce défaut conduit à une diminution du courant  $I_s$  et donc à une augmentation de la tension  $V_s$ .

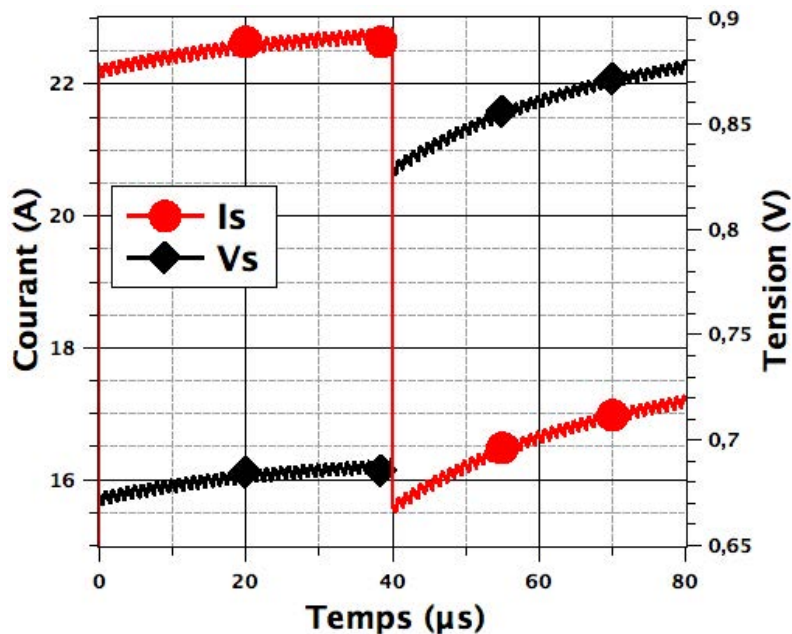


FIGURE 3.29 – Simulation SPICE temporelle de l'impact d'une perturbation ( $t_{emps} = 40 \mu s$ ) sur la charge d'un convertisseur non régulé. Le courant de sortie  $I_s$  du convertisseur correspond à la courbe rouge et la tension de sortie  $V_s$  est représentée en noire sur le graphique. Les ondulations visibles sur les courbes proviennent du filtre de sortie R-C du système de puissance.

La figure 3.30 montre une simulation du convertisseur de puissance régulé au moyen d'une structure hystérésis associée à une capacité (figure 3.22). Cette structure a été présentée plus précisément dans la partie "fonction". Cette topologie permet de passer d'une régulation de type "tout ou rien" à un type "moyenné filtré" grâce à l'ajout de la capacité C.

Une perturbation sur la charge (variation de la charge de  $30 \Omega$  à  $60 \Omega$ ) va provoquer à une réduction du courant  $I_s$  (temps :  $40 \mu s$ ), mais à l'inverse du cas précédent la tension de sortie  $V_s$  va être maintenue quasi constante par le système. Lors de la perturbation, le système de régulation va adapter le comportement de la tension  $V_{cmd2}$  appliquée sur la grille  $G_2$  du MESFET de façon à s'opposer au passage du courant dans le système pour maintenir la tension  $V_s$  à sa valeur nominale. Un "zoom" est présenté sur la figure 3.31. Au moment de la perturbation, la durée de blocage imposée par  $V_{cmd2}$  est allongée. Elle passe d'une durée  $t_1$  ( $3 \mu s$ ) à une durée  $t_2$  ( $4 \mu s$ ). Les ondulations  $\Delta 1$  et  $\Delta 2$  sont du même ordre de grandeur, mais la perturbation conduit à une translation de  $0.2 V$  entre les deux  $\Delta$ .

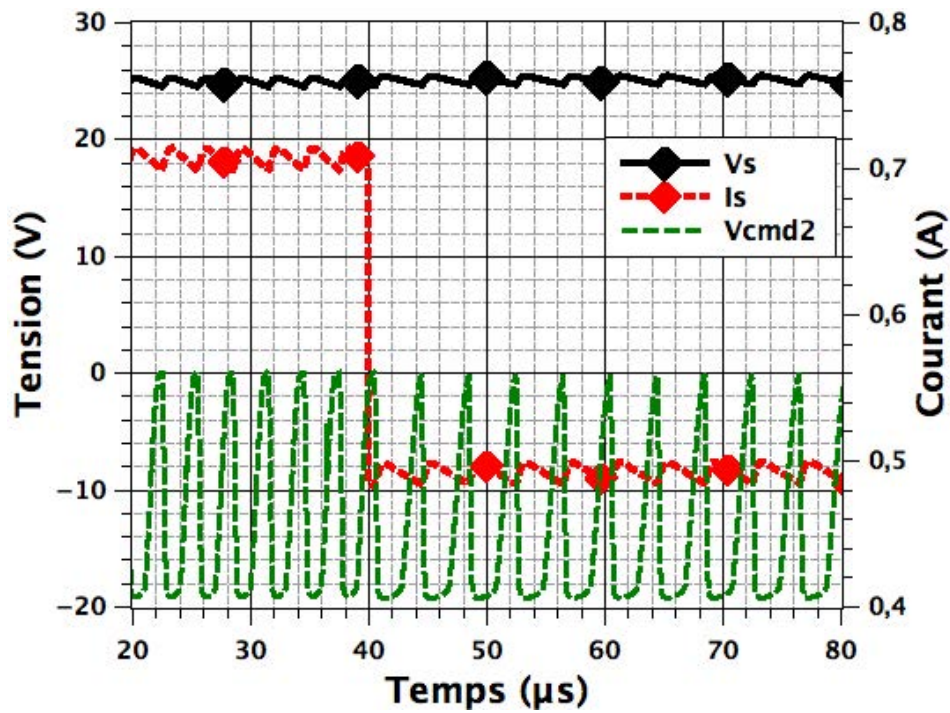


FIGURE 3.30 – Simulation SPICE de l'impact d'une perturbation (temps = 40  $\mu$ s) sur la charge d'un convertisseur régulé au moyen d'un trigger de Schmitt capacitif. La figure montre l'évolution temporelle de la tension  $V_s$  (noire), du courant  $I_s$  (rouge) et de la commande  $V_{cmd2}$  (verte) appliquée sur la grille  $G_2$  du MESFET de puissance  $M_1$ .

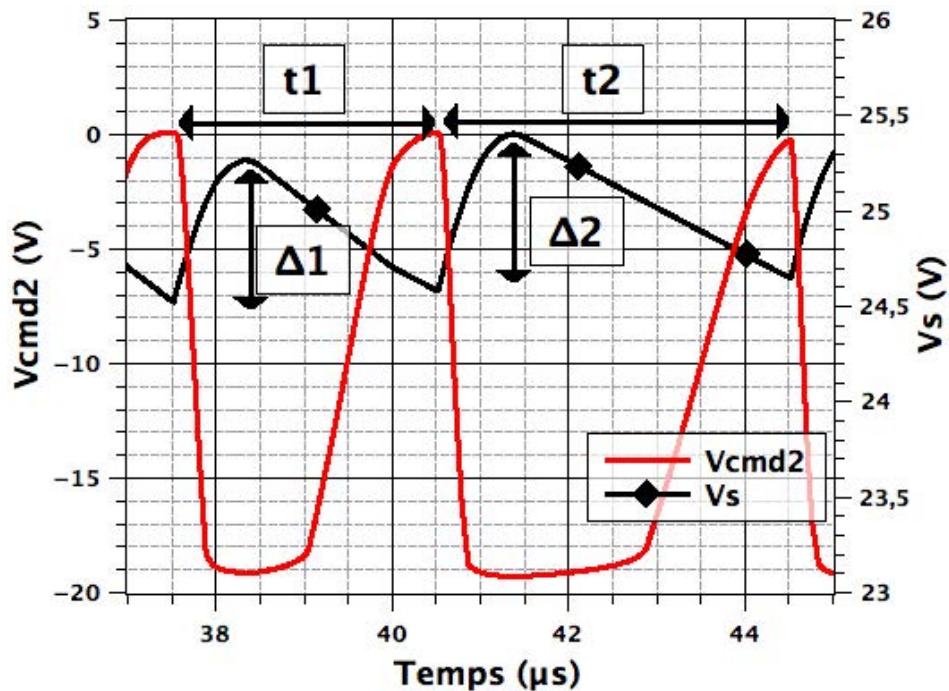


FIGURE 3.31 – Zoom temporel compris entre 37  $\mu$ s et 40  $\mu$ s de la commande  $V_{cmd2}$  et de la tension de sortie  $V_s$  présentées à la figure 3.30.



### Limite de la régulation par le dispositif trigger de Schmitt

Dans le cadre de cette thèse, la structure de régulation du convertisseur de puissance a été établie au moyen d'une topologie basée sur une fonction trigger de Schmitt. Deux types de régulation sont envisageables à partir de cette architecture. La première consiste à utiliser une structure classique pour réaliser une régulation de type "tout ou rien" (Bang-bang). La seconde consiste à rajouter une capacité  $C$  sur la contre-réaction du trigger de Schmitt pour mettre en oeuvre un régulateur de type moyenné-filtré. Une simulation SPICE présentée à la figure 3.32 a permis d'évaluer les limites de fonctionnement de la régulation du système de puissance. Cette figure présente l'évolution de la tension de sortie  $V_s$  du convertisseur de puissance "boost" suite à l'apparition d'une perturbation pour différentes valeurs de la capacité  $C$  du trigger de Schmitt. La perturbation est de variation de la charge de  $30 \Omega$  à  $60 \Omega$  (plage B :  $200 \mu s$  à  $320 \mu s$ ). Trois cas sont présentés. Le premier montre la variation de  $V_s$  pour une régulation basée sur un trigger de Schmitt classique ( $C = 0 pF$ , couleur rouge sur la figure). Les deux autres montrent le comportement de  $V_s$  pour une régulation de type capacitive avec des valeurs de  $C$  de  $5 pF$  (couleur verte) et de  $20 pF$  (couleur bleue).

La figure 3.32 est divisée en trois parties : A, B et C. La phase A correspond au démarrage du système de puissance jusqu'à l'établissement du régime établi ( $200 \mu s$ ). La simulation montre que dans les cas où  $C$  est  $0 pF$  et  $5 pF$ , la tension de sortie  $V_s$  présente le même comportement. En revanche, elle présente une différence de comportement pour la plus grande capacité. L'observation de la tension de commande  $V_{cmd2}$  appliquée sur la grille  $G_2$  du transistor de puissance  $M_1$  met en évidence le déclenchement de la régulation pour une valeur de capacité de  $20 pF$  (bleue) sans la présence d'une perturbation. La mise en oeuvre du système de régulation pour cette valeur de capacité ne présente pas de réel impact sur le système. En effet, la tension  $V_s$  se trouve ralentie (entre  $30 \mu s$  et  $80 \mu s$ ) par rapport aux autres tensions  $V_s$ , mais elle atteint sans difficulté le régime établi. Au niveau de la plage B, qui correspond à la zone perturbée, la régulation réalisée par le trigger de Schmitt classique présente le comportement typique présenté ultérieurement. Lors de l'apparition de la perturbation, le système applique son signal de régulation  $V_{cmd2}$  sur la grille  $G_2$  du transistor de puissance. Il en est de même pour la solution basée sur le système capacitif puisque les signaux  $V_s$  présentent un comportement quasiment similaire (bleue et vert). L'observation des signaux de commande  $V_{cmd2}$  (bleu et vert) montre que le système possédant la plus grande capacité a tendance à appliquer un signal de régulation légèrement avant le cas où  $C$  vaut  $5 pF$  ( $220 \mu s$  contre  $230 \mu s$ ). Ce petit écart provient d'une différence de polarisation du circuit de régulation (polarisation du trigger de Schmitt et de son électronique associée) due à la différence de capacité. Au niveau de la zone C (temps  $> 320 \mu s$ ), les signaux  $V_s$  retrouvent ( $\approx 370 \mu s$ ) le régime établi.

Cette simulation a permis de visualiser les limites du système capacitif. La régulation s'avère fonctionnelle dans les différents cas étudiés. En revanche, le système devient plus lent lorsque la valeur de la capacité  $C$  augmente ( $C = 20 pF$ ) puisqu'il se retrouve en limite de gabarit par rapport au point de fonctionnement établi suite à la réalisation du trigger de Schmitt (polarisation de l'électronique de régulation). Dans le cadre d'un "design", la capacité  $C$  sera fixée à une valeur optimale. La réalisation du système de régulation va nécessiter un compromis entre la précision et la dynamique. Une optimisation entre la capacité  $C$  et des tensions de polarisation de l'électronique de la commande  $V_{cmd2}$  devrait permettre de trouver une configuration optimale entre la performance de la commande et la consommation du système.

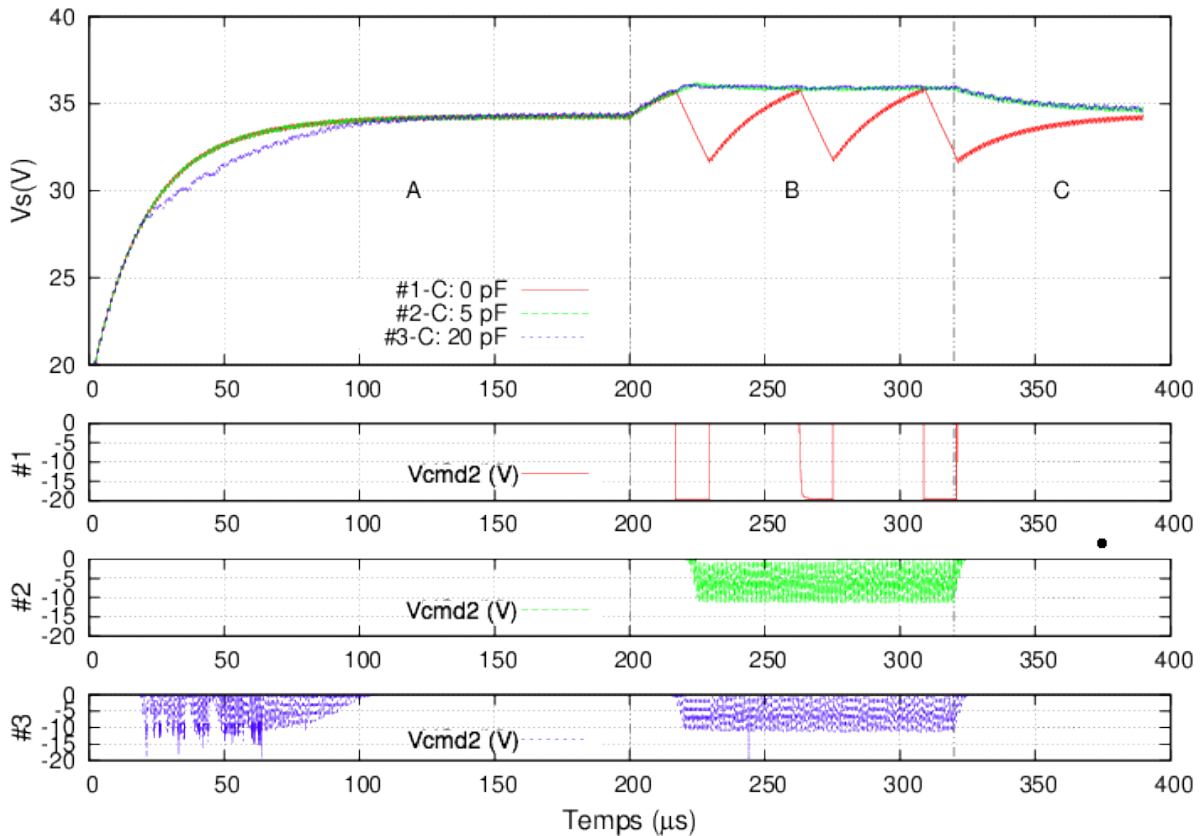


FIGURE 3.32 – Simulation SPICE montrant les limites du système de régulation réalisé au moyen du trigger de Schmitt capacitif suite à une perturbation de la charge (variation de la charge de  $30 \Omega$  à  $60 \Omega$ ). Le courbe du haut présente la variation temporelle de la tension de sortie  $V_s$  du convertisseur de puissance pour différentes valeurs de capacités utilisées dans le circuit de régulation. Les couleurs rouge, verte et bleue symbolisent respectivement les circuits dont les capacités  $C$  sont fixées à  $0 \text{ pF}$ ,  $5 \text{ pF}$  et  $20 \text{ pF}$ . Le système dont la capacité  $C$  est nulle (rouge) correspond à une régulation par un simple trigger, qui a été présentée à la figure 3.28. La lettre "A" représente le démarrage du convertisseur de puissance jusqu'au régime établi. "B" expose la zone perturbée et "C" un retour du système à la normale. Les trois courbes situées sous le graphique  $V_s = f(\text{Temps})$  correspondent à la tension  $V_{cmd2}$  appliquée sur la grille  $G_2$  du MESFET de puissance  $M_1$ . Le signal de commande  $V_{cmd2}$  est présenté indépendamment pour chaque valeur de capacité. Les couleurs du signal  $V_{cmd2}$  correspondent à celles des tensions de sortie  $V_s$ .

#### 4.5 Conclusion sur le principe de régulation appliquée au système de puissance

La structure double grille de l'interrupteur de puissance offre ainsi la possibilité d'envisager plusieurs modes de régulation tels que le "tout ou rien" et le linéaire. Actuellement, les principes de fonctionnement de ces modes ont pu être démontrés sur le système de puissance envisagé à travers des simulations SPICE. Des études plus approfondies sont nécessaires pour tirer des conclusions plus précises sur les performances de ce type de régulation. La réalisation de ces études nécessite auparavant la mise au point d'un modèle de simulation plus élaboré du MESFET SiC de puissance (prise en compte du contrôle de la grille enterrée  $G_2$ ).

## 5 Estimation de la quantité d'énergie nécessaire au convertisseur de puissance et à sa commande

### 5.1 Bilan en vue de la réalisation du convertisseur de puissance intégré

La réalisation du convertisseur de puissance avec sa commande va nécessiter l'intégration de différents types de composants tels que des résistances, des diodes, et des MESFETs sur le même substrat SiC. Les capacités et les inductances ne seront pour le moment pas intégrées dans la technologie des circuits intégrés SiC. Des composants discrets passifs seront par conséquent utilisés. Le tableau 3.15 récapitule les différents composants à intégrer en vue de la réalisation du système de puissance.

Composants	Type	Quantité	Caractéristique
MESFET	Signal	13	Largeur de canal W : 0.440 mm
MESFET	Buffer	2	Largeur de canal W : 4.994 mm
MESFET	Puissance	2	Largeur de canal W : 99.880 mm
Diode	Puissance	1	Largeur de jonction : 665 mm
Résistance		23	Valeurs : de 40 $\Omega$ à 1 M $\Omega$

TABLEAU 3.15 – Synthèse des différents composants latéraux à intégrer sur le wafer SiC, en vue de la réalisation du convertisseur de puissance et de son circuit de commande.

La réalisation du démonstrateur implique le développement d'une technologie de circuits intégrés en SiC. Le premier lot de composants fabriqués visait la conception de fonctions hybrides. Ces composants étaient indépendants sur le wafer. Pour ce deuxième lot, l'élaboration des circuits intégrés conduit à la mise au point d'interconnexions entre les composants. Différents niveaux de métallisation et l'utilisation d'oxydes inter-niveaux s'avèrent nécessaires pour connecter les entités entre elles. De plus, il faudra veiller à la co-intégration des composants de signal avec les composants de puissance. La technologie des circuits intégrés en SiC mise au point dans le cadre de cette thèse est présentée dans le chapitre 4 de ce manuscrit.

Les simulations SPICE ont permis de quantifier les consommations énergétiques théoriques de chaque partie du système de puissance. Le tableau 3.16 synthétise l'ensemble des résultats obtenus. D'après les données, il apparaît que le système de commande représente une faible part de la consommation énergétique du système ( $\approx 5\%$ ). Cela signifie que le circuit de puissance consomme la majorité de l'énergie transmise au dispositif.

La dernière partie de ce chapitre va présenter les différentes solutions envisagées pour alimenter le convertisseur de puissance envisagé et son circuit de commande.

### 5.2 Solutions envisagées

La bibliographie présentée au chapitre 1 a montré le besoin d'alimentations isolées pour les interrupteurs de puissance. Le démonstrateur a besoin de plusieurs alimentations isolées pour

Consommation	Circuit signal	Circuit buffer	Circuit puissance	Circuit de commande	Système complet
<b>Puissance</b>	0.12 W	0.72 W	15 W	<b>0.84 W</b>	<b>15.84 W</b>
<b>Courant</b>	4 mA	40 mA	3 A	<b>44 mA</b>	<b>3.04 A</b>
<b>Répartition</b>	0.75 %	4.55 %	94.70 %	<b>5.30 %</b>	<b>100 %</b>

TABLEAU 3.16 – Synthèse des consommations énergétiques des différentes parties du système de puissance présentées à la figure 3.11 et à la figure 92 (annexes) pour une période de découpage de 1 MHz. Le circuit commande regroupe les parties "signal" et "buffer". Le système complet est la consommation complète du dispositif envisagé incluant la commande et la puissance.

opérer correctement. Le tableau 3.11 présenté dans le chapitre 3 récapitule les différentes alimentations nécessaires à la réalisation du convertisseur de puissance. Le tableau 3.16 récapitule la consommation énergétique des différentes parties du convertisseur de puissance et de son dispositif de commande. D'après la bibliographie, deux solutions sont envisageables. La première piste serait une solution basée sur des composants optiques [IF09] (partie 1.2 dans les annexes). La seconde piste consisterait à employer un transformateur multi-enroulements pour générer les différents niveaux de tensions requis. Selon le chapitre 1, l'utilisation d'une solution optique permettrait potentiellement de s'affranchir des contraintes liées aux environnements sévères. En effet, un transformateur magnétique ne peut pour le moment pas être utilisé au-delà de 220 °C selon R. ROBUTEL [ROB11]. Cette partie va principalement présenter des travaux basés sur l'alimentation d'un système électrique à partir d'un flux optique.

### 5.3 Evaluation d'une solution d'alimentation optique

Les études ont porté sur deux points précis. Une première partie a consisté à estimer la quantité d'énergie transmissible à un système électrique par voie optique à base de laser. La seconde a évalué les limites de fonctionnement d'un optocoupleur industriel en température.

#### Premier aspect : caractérisation d'une alimentation par liaison optique

L'objectif des travaux a consisté à évaluer la quantité d'énergie transmissible par voie optique. L'étude a porté sur la caractérisation d'une liaison optique constituée d'une diode laser, d'une fibre optique et d'un photorécepteur [CB07] [NOT06].

#### a) Conception de la solution d'alimentation optique

Les composants photoélectriques utilisés proviennent de la société JDSU. Le tableau 3.17 présente les références des composants employés pour la caractérisation de la liaison optique.

Composant	Nom	Référence
Diode laser	2486-L4 series	[JDSb]
Photorécepteur	PPC-12E	[JDSa]

TABLEAU 3.17 – Tableau de synthèse des composants optiques utilisés pour le test de l'alimentation d'un système de puissance par flux optique.

Lors des essais, il est apparu que la photorécepteur ne fonctionnait qu'en mode impulsional, se qui écartait l'utilisation d'une alimentation continue de la diode laser. Deux montages ont été utilisés pour commander la diode. Le premier était basé sur le contrôle du composant au moyen d'un convertisseur à découpage réalisé au laboratoire, le second sur l'utilisation d'un transistor en commutation pour tester les limites de transmission de la liaison optique. La figure 3.33 présente le synoptique de la transmission optique envisagée.

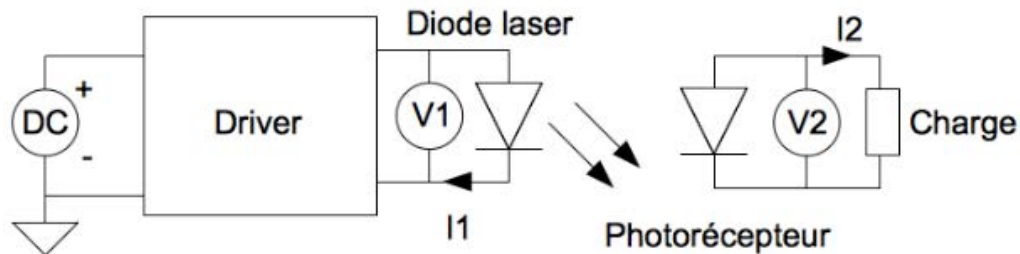


FIGURE 3.33 – Schéma du dispositif envisagé pour caractériser la transmission optique. La partie émettrice est constituée d'une diode pilotée. La partie réceptrice est constituée d'un photorécepteur alimentant un charge de type résistive. Les références des composants sont présentées dans le tableau 3.17.

#### b) Caractérisation de la liaison optique avec l'alimentation à découpage

Une alimentation à découpage a été fabriquée au laboratoire pour "piloter" la diode laser. Cette dernière fournissait un courant moyen  $I_1$  de 485 mA pour une tension de sortie de  $V_1$  de 1.4 V. De plus, sa conception permettait de doubler la valeur du courant  $I_1$ , grâce à l'utilisation d'un shunt. Cela donnait un courant  $I_1$  de 820 mA pour une tension  $V_1$  de 1.6 V. La figure 3.34 présente le schéma du montage utilisé pour effectuer les différents relevés expérimentaux.

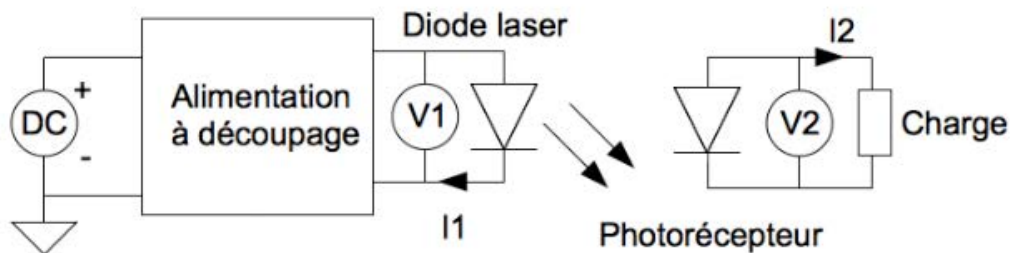


FIGURE 3.34 – Schéma du montage utilisé pour caractériser la transmission optique avec l'alimentation à découpage.

La tableau 3.18 présente les différentes mesures issues des relevés expérimentaux pour un courant moyen  $I_1$  de 485 mA. La tableau 3.19 présente les différentes mesures issues des relevés expérimentaux pour un courant moyen  $I_1$  de 820 mA.  $N$  correspond au rendement de la transmission optique ( $N = \frac{V_2 \cdot I_2}{V_1 \cdot I_1}$ ).

Résistance ( $\Omega$ )	$I_2$	$V_2$	P (W)	N (%)
39 k $\Omega$	$800 \times 10^{-6}$	12	$9.60 \times 10^{-3}$	14
22 k $\Omega$	$1.04 \times 10^{-3}$	12	$1.25 \times 10^{-2}$	1.80
10 k $\Omega$	$2.01 \times 10^{-3}$	12	$2.40 \times 10^{-2}$	3.50
2.2 k $\Omega$	$2.54 \times 10^{-3}$	10	$2.54 \times 10^{-2}$	3.70
820 $\Omega$	$4.41 \times 10^{-3}$	5	$2.23 \times 10^{-2}$	3.20
560 $\Omega$	$4.45 \times 10^{-3}$	3	$1.33 \times 10^{-2}$	1.90
270 $\Omega$	$4.45 \times 10^{-3}$	2	$8.90 \times 10^{-2}$	1.20
12 $\Omega$	$4.45 \times 10^{-3}$	0.5	$2.23 \times 10^{-3}$	0.3

TABLEAU 3.18 – Synthèse des mesures réalisées avec l'alimentation à découpage avec  $I_1$  à 485 mA.

Résistance ( $\Omega$ )	$I_2$	$V_2$	P (W)	N (%)
39 k $\Omega$	$800 \times 10^{-6}$	12	$9.60 \times 10^{-3}$	0.7
22 k $\Omega$	$1.24 \times 10^{-3}$	12	$1.49 \times 10^{-2}$	1
10 k $\Omega$	$2.12 \times 10^{-3}$	12	$2.54 \times 10^{-2}$	1.90
2.2 k $\Omega$	$6.6 \times 10^{-3}$	12	$7.92 \times 10^{-2}$	6
820 $\Omega$	$15 \times 10^{-3}$	12	$1.80 \times 10^{-1}$	1.30
560 $\Omega$	$17 \times 10^{-3}$	10	$1.79 \times 10^{-1}$	1.36
270 $\Omega$	$17.95 \times 10^{-3}$	5	$8.98 \times 10^{-2}$	6.80
12 $\Omega$	$18.43 \times 10^{-3}$	0.5	$9.2 \times 10^{-3}$	0.7

TABLEAU 3.19 – Synthèse des mesures réalisées avec l'alimentation à découpage avec  $I_1$  à 820 mA.

D'après les résultats présentés dans les tableaux 3.18 et 3.19, la transmission d'énergie par voie optique s'effectue correctement entre les deux composants. En effet, une tension  $V_2$  et un courant  $I_2$  sont générés au niveau du photorecepteur. Toutefois, le rendement N s'avère être faible ( $\#N < 7\%$ ). Le contrôle de la diode laser par le convertisseur à découpage ne permet pas au dispositif de fournir suffisamment de courant (18 mA) pour évaluer les limites de la transmission optique. Pour cette raison, un second montage basé sur un transistor à commutation a été utilisé pour la suite de l'étude.

### c) Caractérisation de la liaison optique au moyen d'un transistor en commutation

Afin d'obtenir un flux optique plus important que dans le montage précédent, un transistor en commutation a été utilisé pour commander la diode laser. Le composant laissait passer un courant de 2 A durant 400  $\mu$ s (impulsion), afin de limiter l'échauffement des composants. Le montage utilisé est présenté à la figure 3.35.

Par rapport à la protection du composant, le courant moyen  $I_1$  a été limité à 1.2 A, ce qui donnait une tension  $V_1$  de 1.8 V aux bornes de la diode laser. Le tableau 3.20 présente les différents résultats tirés des mesures.

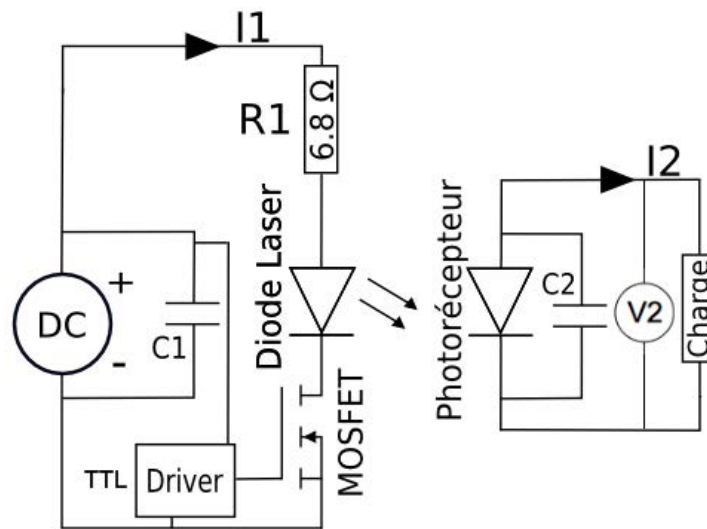


FIGURE 3.35 – Schéma du montage utilisé pour évaluer les limites du système de transmission optique au moyen d'un transistor en commutation.

Résistance ( $\Omega$ )	$I_2$	$V_2$	P (W)	N (%)
860 $\Omega$	$16 \times 10^{-3}$	13.7	$2.19 \times 10^{-1}$	1.00
500 $\Omega$	$22 \times 10^{-3}$	13.3	$2.93 \times 10^{-1}$	1.30
220 $\Omega$	$29 \times 10^{-3}$	7	$2.03 \times 10^{-1}$	9.40
100 $\Omega$	$29 \times 10^{-3}$	3	$8.7 \times 10^{-2}$	4.00
68 $\Omega$	$29 \times 10^{-3}$	2	$5.8 \times 10^{-2}$	2.60

TABLEAU 3.20 – Synthèse des mesures réalisées au moyen du dispositif basé sur le transistor en commutation.

#### d) Analyses des résultats et conclusions

D'après les figures 3.36 et 3.37, la transmission optique fonctionne. Les relevés montrent que plus le flux optique de la diode est important, plus le courant photogénéré est grand. Le maximum de courant est transmis lorsque  $I_2$  est à 29 mA et  $V_2$  à 13.7 V. Cela correspond à un rendement de 9.4 % pour une puissance d'entrée de 2.16 W.

En conclusion, la transmission optique est une solution opérationnelle. Il s'avère possible d'alimenter un système électrique à partir d'un flux optique. En revanche, elle ne permet pas d'obtenir un courant  $I_2$  supérieur à 30 mA. D'après le tableau 3.16, le circuit de commande du système envisagé consomme un courant de 44 mA. L'alimentation complète d'un système de contrôle (driver) en SiC ne semble pas envisageable avec ce type de solution sauf pour la partie commande en re-dimensionnant les MESFETs élémentaires pour diminuer la consommation énergétique. Un autre type de solution doit être envisagé pour l'alimentation de la partie puissance ( $P = 15$  W). Une architecture basée sur des transformateurs magnétiques semble être à ce jour la solution la plus viable.

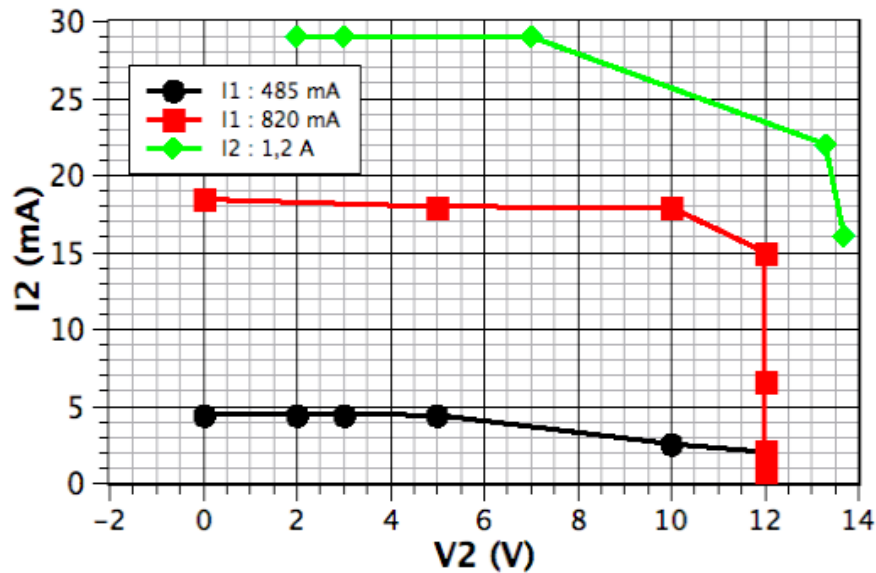


FIGURE 3.36 – Représentation du courant  $I_2$  transmis à la charge en fonction de la tension  $V_2$  générée par le photorécepteur pour différentes valeurs du flux optique.

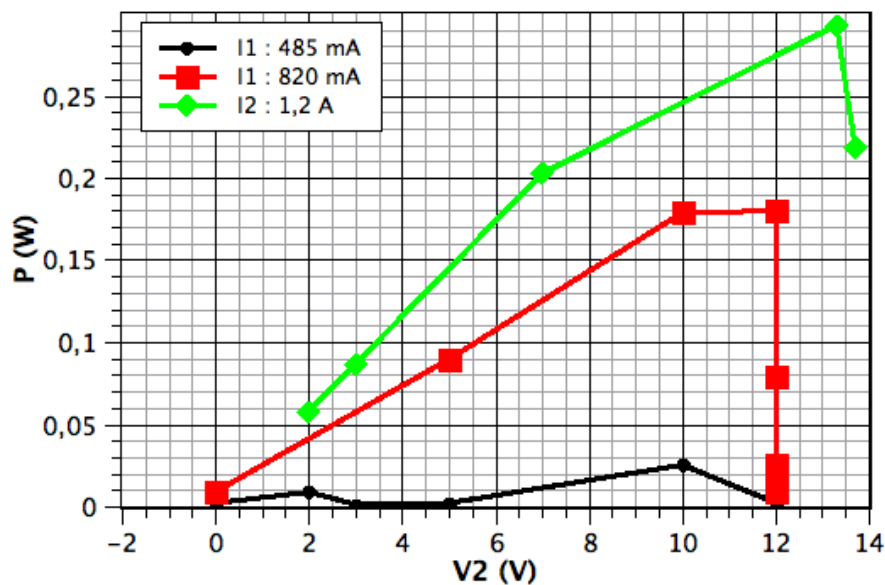


FIGURE 3.37 – Représentation de la puissance  $P$  transmise à la charge en fonction de la tension  $V_2$  générée par le photorécepteur pour différentes valeurs du flux optique.

### Second aspect : caractérisation d'un optocoupleur en température

Suite à des recherches bibliographiques, il s'est avéré que peu d'études sur les performances des optocoupleurs en température avaient été réalisées. Dans la perspective d'établir un système d'isolation capable d'opérer dans les environnements sévères dont la haute température, les performances sous contrainte thermique d'un optocoupleur discret ont été étudiées.



**a) Présentation des différents tests expérimentaux**

Les différentes caractérisations ont été réalisées sur un optocoupleur commercial « CNY17-2 ». Elles visent à évaluer le comportement de ce type de composant sous l'influence de la température et à estimer l'origine des dysfonctionnements. L'optocoupleur est constitué par l'association d'une LED et d'un phototransistor [CB07]. La figure 3.38 présente les différents paramètres utilisés pour la caractérisation de l'optocoupleur.

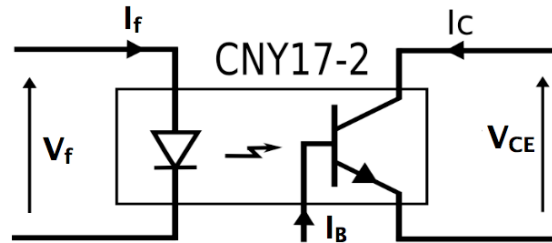


FIGURE 3.38 – Schéma électrique présentant les principaux paramètres de l'optocoupleur « CNY17-2 ».

Un phototransistor est l'équivalent d'un transistor bipolaire à la différence que la base est accessible aux radiations lumineuses. La jonction collecteur-base polarisée en inverse se comporte comme une photodiode. Le courant produit par la photodiode subit l'effet transistor et crée un courant amplifié par un facteur  $\beta$  entre le collecteur et l'émetteur (équation 5.3). Le courant collecteur  $I_C$  est proportionnel au flux optique  $\Phi_b$  imposé sur la base. Ce flux optique est l'équivalent du courant de base  $i_B$  d'un transistor bipolaire (équation 5.3). Les modèles développés pour les transistors bipolaires restent valables. La figure 3.39 présente le modèle d'un phototransistor [CB07].

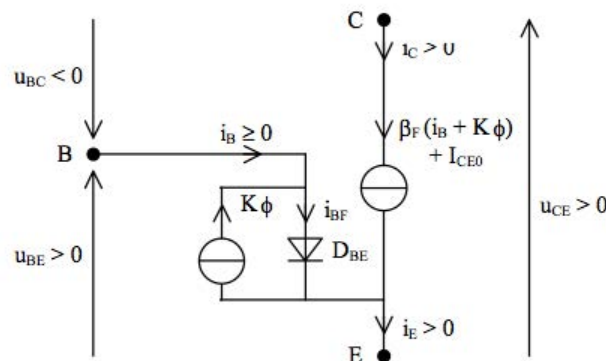


FIGURE 3.39 – Présentation d'un modèle typique de phototransistor et de ses principaux paramètres [CB07].

$$I_C = \beta \cdot (I_B + \Phi_b) + I_{CE0} \quad (3.17)$$

$$I_C = \beta \cdot I_B \quad (3.18)$$

$I_C$  : courant collecteur (A)  
 $I_C$  : courant de base (A)  
 $\Phi_b$  : flux optique (W)  
 $\beta$  : gain du transistor  
 $K$  : sensibilité (A/W)  
 $I_{CE0}$  : courant d'obscurité (A)

Plusieurs tests ont été effectués sur l'optocoupleur en fonction des températures. Les paramètres de l'optocoupleur sont présentés sur la figure 3.38. Les manipulations ont été réalisées pour différents paliers de température. Les gradients de température étaient appliqués sur l'optocoupleur au moyen d'une souffleuse thermique régulée en température ("girafe"). Les relevés expérimentaux étaient effectués après l'application de la contrainte thermique sur le composant au moyen des SMUs de l'Agilent B1505A. Il s'agit de mesures pulsées de 500  $\mu$ s pour la HP SMU et de 300  $\mu$ s pour la HC SMU.

**b) Caractérisation de l'optocoupleur  $I_C = f(I_f)$**

Le montage 3.40 a permis la caractérisation de l'optocoupleur ( $I_C = f(I_f)$ ). Le principe de ce test est de déterminer la caractéristique en courant du composant ( $I_C$ ) en fonction du courant d'entrée  $I_f$ . Ce montage a aussi permis de relever la caractéristique directe de la diode  $I_f = f(V_f)$ .

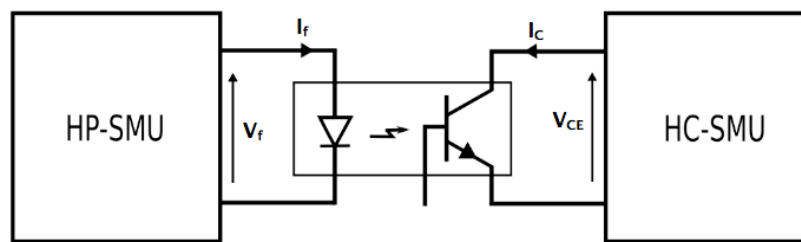


FIGURE 3.40 – Schéma de la configuration utilisée pour mesurer  $I_C = f(I_f)$ .

La figure 3.41 présente l'évolution du taux de transfert : CTR (Current Transfert Ratio,  $CTR = I_C/I_f$ , [KM11]) en fonction de la température pour différents courants d'entrée  $I_f$ . Les relevés montrent que plus le courant  $I_f$  augmente et plus le CTR diminue. De plus l'augmentation du potentiel de température appliquée conduit lui aussi à la réduction de cette valeur. Le CTR permet d'évaluer la quantité de flux optique transmis entre la LED et le phototransistor. Cette évolution du comportement du CTR signifie que ces deux paramètres influencent la quantité d'énergie optique reçue au niveau du phototransistor. La corrélation de ces mesures avec d'autres relevés expérimentaux devrait permettre de déduire les causes, qui sont à l'origine de cette variation.

La structure de l'optocoupleur « CNY17-2 » rend la base du phototransistor accessible. Cela signifie qu'il est possible de caractériser électriquement le composant sans passer par le flux

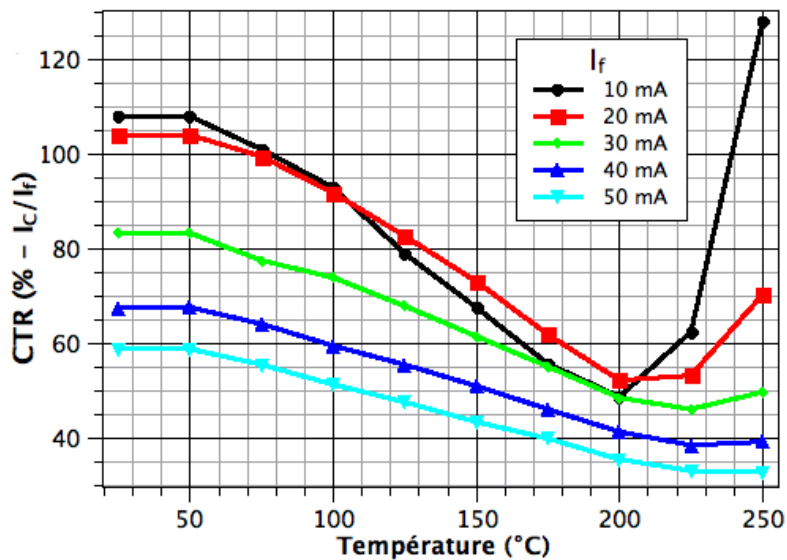


FIGURE 3.41 – Evolution du CTR de l’optocoupleur en fonction de la température pour différentes valeurs de courants  $I_f$ .

optique émis par la LED. Le montage de la figure 3.42 montre la configuration utilisée pour caractériser le transistor.

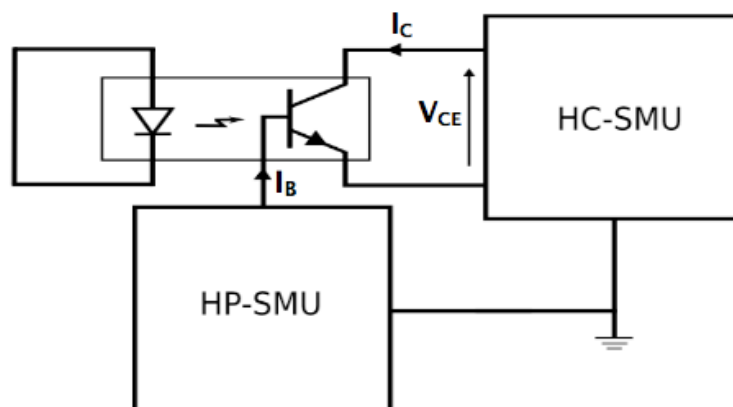


FIGURE 3.42 – Schéma de la configuration utilisée pour mesurer  $I_C = f(I_B)$ .

La figure 3.43 montre l’évolution du  $\beta$  évalué du phototransistor. Les courbes mettent en évidence que le  $\beta$  diminue en fonction du  $I_B$  appliqué. En revanche, la température ne présente aucune influence puisque, pour un même courant  $I_B$ , le  $\beta$  reste quasi constant. Ceci donne une première réponse à l’évolution du CTR. Une des causes de diminution de ce facteur est liée à la nature physique du transistor (silicium). En effet, sur la figure 3.41 pour une même température, il est mis en évidence que, plus le courant  $I_f$  est grand, plus le CTR est faible. Cette diminution du CTR et donc courant du courant  $I_C$  s’explique par une diminution intrinsèque du gain du phototransistor. Néanmoins, d’après cette même figure, le CTR diminue aussi en fonction de la température. Cela signifie que ce paramètre est aussi influencé par ce paramètre.

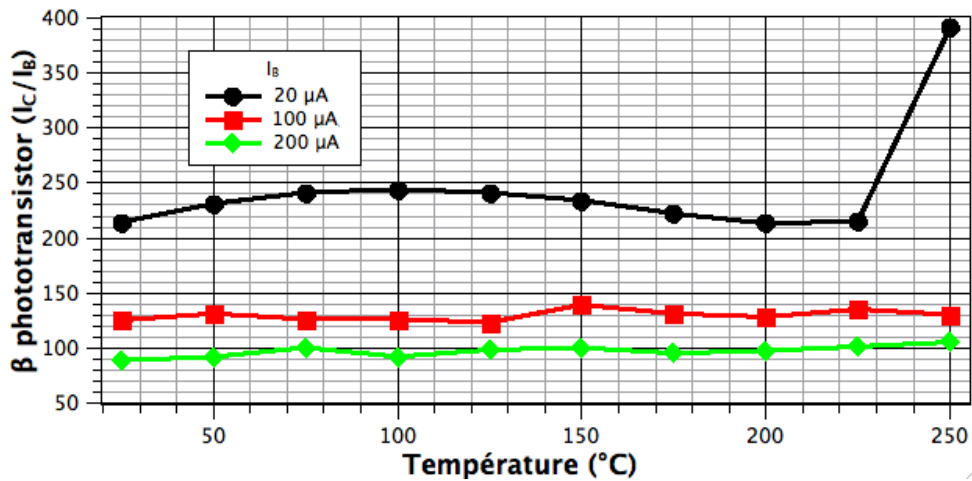


FIGURE 3.43 –  $\beta$  ( $I_C/I_B$ ) mesuré du phototransistor en fonction de la température pour différentes valeurs de  $I_B$ .

Les expérimentations effectuées ont permis de connaître le CTR et le  $\beta$  du transistor. Les différents relevés expérimentaux permettent de connaître le paramètre  $\alpha$  qui est le rapport entre  $\Phi_b/I_B$ . La figure 3.44 présente le comportement de ce paramètre en fonction de la température pour différents  $I_C$ . Les courbes expérimentales montrent que  $\alpha$  augmente avec la température. Cela signifie, d'après les formules, que  $\Phi_b$  et  $I_B$  n'influencent pas le courant  $I_C$  de la même manière. Le paramètre  $\Phi_b$  est sensible à la température et provoque une augmentation de  $\alpha$  en fonction de la température. L'origine de ce phénomène peut soit être liée à l'oxyde, soit aux propriétés physiques du phototransistor (silicium). L'étude de la résistance d'isolation va permettre de vérifier l'influence de la température sur l'oxyde.

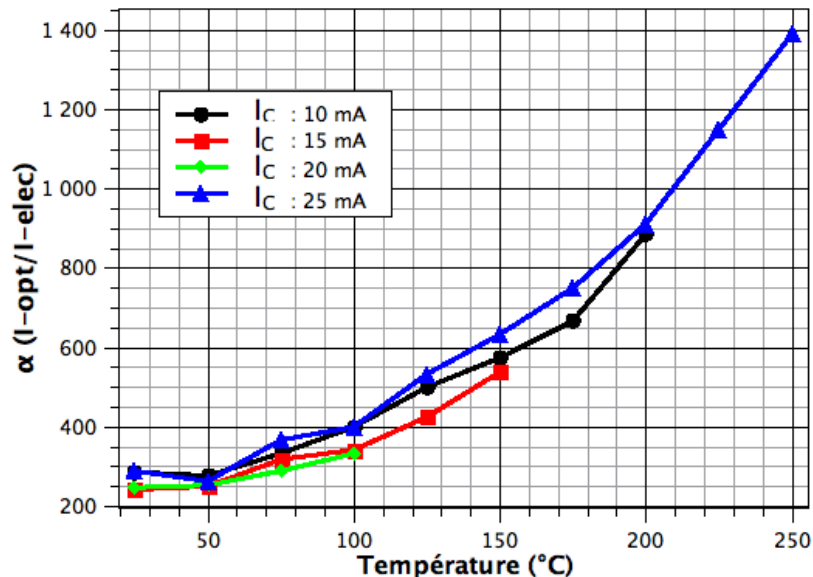


FIGURE 3.44 –  $\alpha$  ( $\Phi_b/I_B$ ) en fonction de la température pour différentes valeurs de  $I_C$ .

### c) Etude de la résistance d'isolation $R_j$

Le médium de transmission optique utilisé pour l'isolation peut présenter des fuites à partir de l'application d'un certain potentiel. Il s'agit d'un oxyde entre la LED et le phototransistor, qui va laisser passer un courant  $I_j$ . Le montage de la figure 3.45 permet d'évaluer le courant d'isolation  $I_j$  en fonction de la tension appliquée et de déduire la valeur de la résistance d'isolation  $R_j$  de l'oxyde.

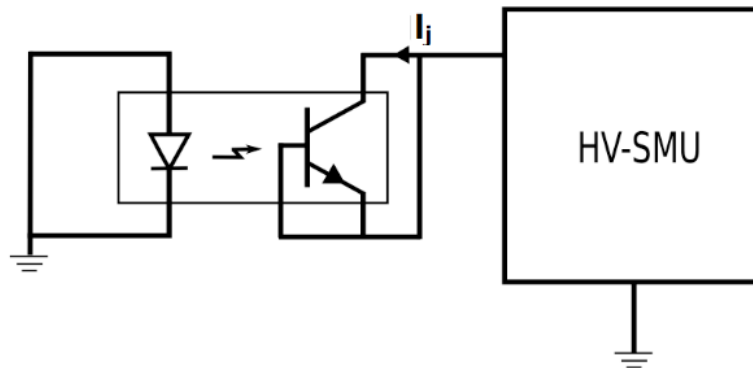


FIGURE 3.45 – Schéma de la configuration utilisée pour mesurer le courant d'isolation  $I_j$ .

La figure 3.46 montre que le courant  $I_j$  de fuite évolue en fonction de la température. De plus, il s'avère que, plus la tension appliquée est importante, plus le courant  $I_j$  est grand. Ceci est logique d'après la loi d'Ohm ( $U = R_j \times I_j$ ). Le comportement de la résistance d'isolation  $R_j$  a été déduit de ces données (figure 3.47). Cette dernière décroît avec la température, mais est toujours valide à 200 °C puisque le courant de fuite reste faible ( $< 100 \mu\text{A}$ ). La température ne présente pas de réelle influence sur l'oxyde. D'après les hypothèses précédentes, cela signifie que la variation du CTR est liée à la nature physique du phototransistor (propriétés du silicium).

### d) Conclusion sur le comportement de l'optocoupleur en température

D'après les différentes études, le phototransistor présente certaines limites en température, qui empêche l'emploi d'une isolation de type optique pour les fonctionnements en température ( $> 200 \text{ °C}$ ). De plus, d'après les relevés expérimentaux, les oxydes semblent être utilisables en température (200 °C). Cela signifie que le principal problème de la non-utilisation des optocoupleurs est lié aux propriétés physiques du silicium.

### Conclusion sur l'utilisation d'une solution optique utilisée en tant qu'alimentation isolée

Les expérimentations d'une alimentation au moyen d'un médium optique ont prouvé la possibilité d'une telle topologie. Toutefois, ce type de solution est limité en puissance. Le système ne peut délivrer plus de 30 mA et fournir une tension supérieure à 12 V. Ce dispositif s'avère intéressant pour le contrôle des applications de signal et non de puissance. L'étude d'un optocoupleur discret a montré, que les propriétés physiques des composants silicium limitaient les performances du dispositif en température. Une solution envisageable et innovante serait la conception d'un optocoupleur à base de matériaux Grand Gap. Une synthèse bibliographique sur la faisabilité d'une telle structure est présentée dans la partie 2 des annexes.

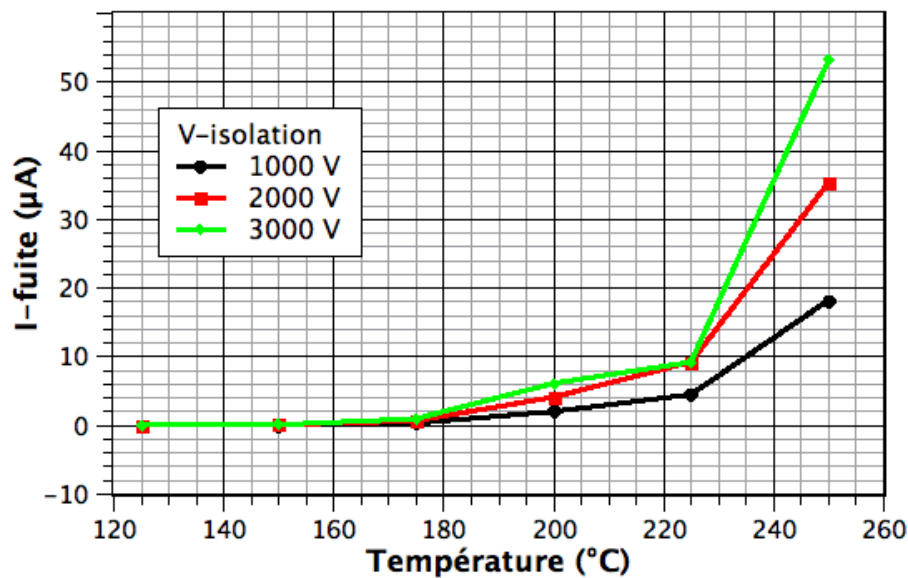


FIGURE 3.46 – Evolution du comportement de  $I_j$  en fonction de la température pour différentes tensions appliquées.

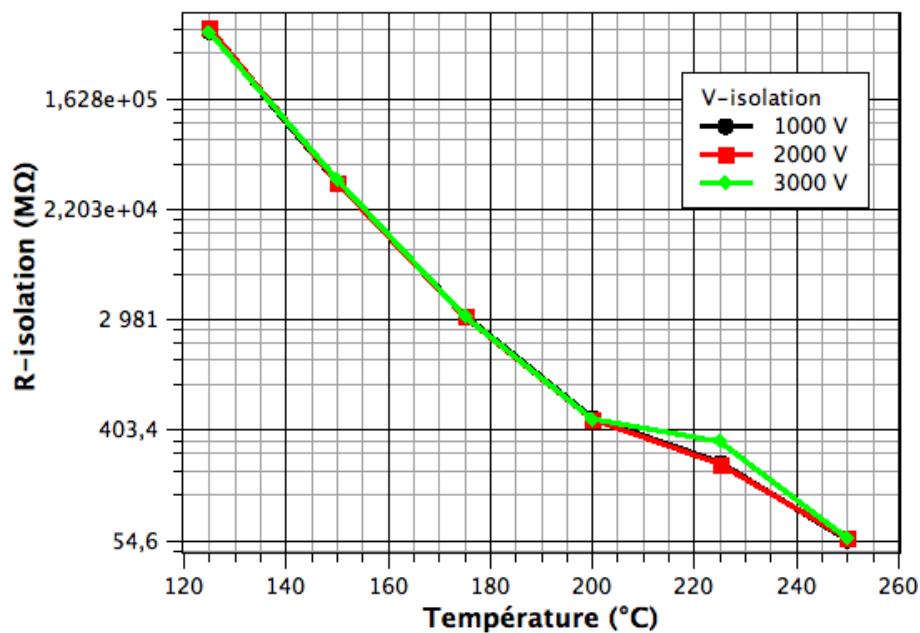


FIGURE 3.47 – Evolution du comportement de  $R_j$  en fonction de la température pour différentes tensions appliquées.

L'étude a montré que l'emploi d'une solution optique n'était pour le moment pas possible pour générer les alimentations nécessaires à la réalisation du démonstrateur. Toutefois, l'alimentation de la partie commande par un flux optique est envisageable. Elle nécessite au préalable une optimisation de l'architecture du circuit de commande. Dans le cadre de cette thèse, les différentes parties seront alimentées au moyen de structures basées sur des solutions magnétiques.

## 5.4 Choix d'une solution magnétique

La solution magnétique va consister à utiliser un transformateur multi-enroulements. Chaque enroulement secondaire correspondra à une tension d'alimentation du système. Cette solution permettra de fournir la quantité d'énergie requise par le convertisseur de puissance.

Les différentes alimentations du système vont être générées au moyen d'un transformateur multi-enroulements. La topologie de redressement AC/DC présentée à la figure 3.48 sera utilisée pour la réalisation des différentes alimentations nécessaire au fonctionnement du convertisseur de puissance. Il s'agit d'une structure de redressement monophasé filtrée couramment utilisée dans les systèmes de puissance. Ces structures de conversion nécessitent des diodes de redressement, qui seront intégrées sur le circuit intégré SiC. Les dimensions de différentes diodes nécessaires à la génération des différentes tensions d'alimentation ont été déterminées en fonction de la consommation des différentes parties du système présentées dans le tableau 3.16 et selon la méthode présentée page 94.

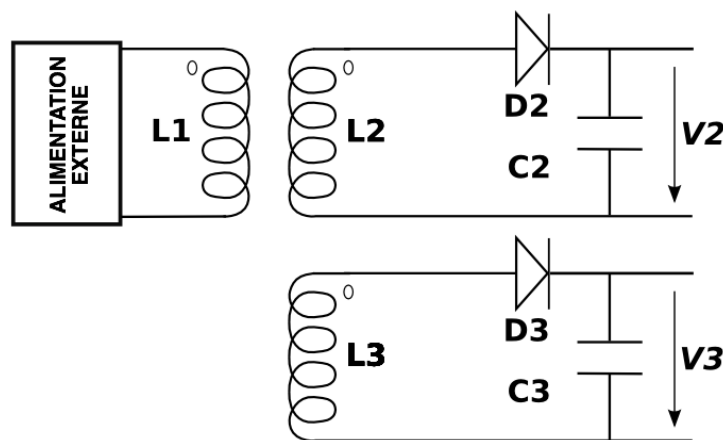


FIGURE 3.48 – Synoptique des alimentations isolées pour le convertisseur au moyen d'un transformateur multi-enroulements.

## 6 Conclusion du chapitre

La finalité des travaux de recherche entrepris est la réalisation d'un convertisseur de puissance intégré avec sa commande en SiC destiné aux environnements sévères. La mise au point d'un tel dispositif implique au minimum trois phases d'études. La première phase a été présentée lors du chapitre 2. Son objectif était de prouver la faisabilité de fonctions hybrides au moyen de composants latéraux en SiC. Le chapitre 3 traite de la seconde phase, qui vise la fabrication de circuits intégrés en SiC. Ce chapitre a principalement présenté la conception et le dimensionnement d'un convertisseur de puissance associé à son driver.

Le démonstrateur visé est un hacheur élévateur de 2.2 W. Ce système de puissance est principalement constitué de MESFETs latéraux en SiC. Le développement des architectures de commande et de puissance conduit à l'utilisation de trois types de MESFETs. La fabrication de transistors latéraux "normally on" de types signal, buffer et puissance s'avère nécessaire pour

la réalisation du démonstrateur. L'architecture du driver du convertisseur de puissance implique le développement de plusieurs fonctions analogiques élémentaires telles qu'un oscillateur en anneau, un comparateur, un trigger de Schmitt ou un totem-pole. Ces différentes entités seront développées sous forme de fonctions et permettront l'évaluation des premières structures intégrées en SiC. La spécificité de l'interrupteur de puissance  $M_1$  basé sur un MESFET double grille permet d'envisager une nouvelle méthode de régulation. L'architecture du composant permet de dissocier la commande à découpage ( $V_{cmd}$ ) de la commande de régulation ( $V_{cmd2}$ ). Chaque signal de contrôle est associée à une grille de l'interrupteur  $M_1$  ( $V_{cmd}$  avec  $G_1$  et  $V_{cmd2}$  avec  $G_2$ ). La simulation de cette méthode de régulation a prouvé la faisabilité de cette solution. Les résultats de simulation paraissent intéressants puisque la tension de sortie  $V_s$  reste constante malgré la présence d'une perturbation sur la charge. A l'heure actuelle, les études s'avèrent trop précoces pour tirer de quelconques conclusions sur cette méthode de régulation. Des travaux plus approfondies sont nécessaires pour évaluer les performances d'une telle solution.

Le convertisseur de puissance nécessite l'emploi d'alimentations isolées. Selon le chapitre 1, une alimentation par voie optique pourrait être une solution relativement intéressante pour les dispositifs destinés à opérer dans les environnements sévères. Une étude a permis d'évaluer les performances d'une chaîne de transmission optique. Les résultats ont montré que cette solution n'était pas envisageable dans le cas de cette thèse. En effet, elle ne permet pas de générer une forte puissance ( $I_{max} = 30 \text{ mA}$ ,  $V_{max} = 12 \text{ V}$  soit  $P_{max} = 0.36 \text{ W}$ ). De plus, les solutions actuellement commercialisées (optocoupleur industriel) sont limitées en température en raison des propriétés physiques du silicium. L'unique solution techniquement envisageable à l'heure actuelle est l'emploi d'un transformateur multi-enroulements. Cette solution permettra de générer les tensions et les courants nécessaires au convertisseur de puissance. D'après le chapitre 1, il est important de préciser que cette solution n'est pas forcément la mieux adaptée pour les applications visées. A l'heure actuelle, les transformateurs sont limités en température et ne sont pas les solutions les plus efficaces pour la commande des dispositifs haute tension. Des travaux sont à mener pour approfondir cette thématique. Une solution potentielle à ce problème serait le développement d'une structure optique basée sur des matériaux Grand Gap.

La réalisation du démonstrateur implique l'intégration de composants tels que des MESFETs, des diodes et des résistances sur le même substrat SiC. La mise au point d'un tel dispositif nécessite le développement d'une technologie d'intégration SiC. Cette technologie implique l'utilisation de plusieurs niveaux de métallisation, d'oxydes d'intermétallisation et la co-intégration de composants de signal et de puissance. La présentation de cette technologie sera effectuée au cours du chapitre 4. Durant ce chapitre, les résultats expérimentaux des composants élémentaires et des premières structures intégrées en SiC seront présentées.





---

# Chapitre 4

## Caractérisation électrique de la technologie de circuits intégrés en SiC à base de MESFETs

La mise au point des premiers démonstrateurs de circuits intégrés SiC nécessite l'élaboration d'une technologie spécifique. Le procédé technologique utilisé lors de la première phase de conception (lot 1, chapitre 2) a permis la réalisation de composants élémentaires (MESFETs). Les travaux ultérieurement initiés dans le cadre du laboratoire international associé ont permis d'acquérir suffisamment de connaissances pour envisager l'interconnexion et l'isolation de ces composants SiC sur un même substrat. Ce chapitre va principalement présenter les résultats expérimentaux obtenus à partir de la seconde phase d'étude, qui vise l'intégration de fonctions en SiC (lot 2). Deux wafers ont été fabriqués pour le lot 2, mais seulement les résultats du deuxième wafer seront présentés puisque le premier wafer a rencontré des problèmes de fuite liés aux oxydes d'intermétallisation.

### 1 Elaboration d'une technologie de circuits intégrés en SiC à base de MESFETS double grille

Dans la perspective d'établir à terme un processus de fabrication spécifique aux circuits intégrés en SiC, une isolation des composants par des caissons de type " $P^+$ " a été testée à la place d'une gravure de type MESA (utilisée pour les composants du lot 1). Cette technologie d'isolation par caisson de type " $P^+$ " offre l'avantage de rendre le composant "planar". En effet, une isolation de type MESA entraîne des discontinuités à la surface des composants. Dans le cadre d'une conception de circuits intégrés, la non planarité handicape fortement la connexion des différents niveaux de métallisation des entités. Cette technologie ne s'avère, par conséquent, pas appropriée à la réalisation des circuits intégrés. Il s'agit de la première tentative d'une isolation par jonction PN sur des circuits intégrés en SiC. La figure 4.1 présente une vue en coupe d'un composant élémentaire du lot 2. Le composant présente une forme "planar", les électrodes  $G_1$ ,  $G_2$ , D et S sont situées sur le même plan.

Les figures 4.2 et 4.3 présentent respectivement l'ancienne et la nouvelle vue du dessus du MESFET double grille élémentaire. La structure du composant élémentaire a été entièrement revue. La géométrie de la grille est passée d'une forme circulaire à une forme rectangulaire. L'idée est d'établir une structure de base facilement évolutive (changement de la largeur Z de la

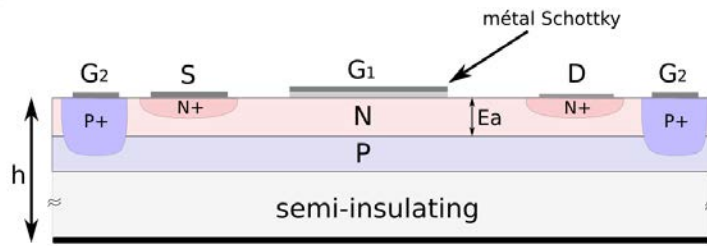


FIGURE 4.1 – Schéma de la vue en coupe du MESFET double grille élémentaire du lot 2.

grille car le courant  $I_{DS}$  est proportionnel au facteur géométrique  $\frac{Z}{d}$  et, où  $d$  représente la longueur du canal). Cela permettrait d'obtenir sur un même wafer un panel de transistors, tout en conservant une topologie commune pour faciliter la conception. Chaque transistor présenterait un calibre en courant  $I_{DS}$  spécifique à une gamme d'applications (ex : transistor pour l'électronique de type signal, transistor pour les interrupteurs de puissance ...). La forme rectangulaire est apparue être la solution la plus viable pour répondre à cette problématique. Le tableau 4.1 présente les principaux paramètres de ces deux versions du MESFET.

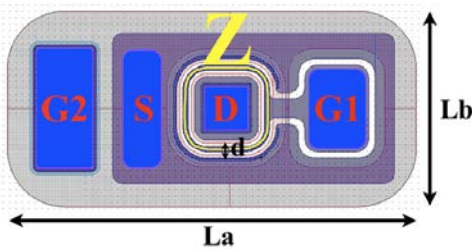


FIGURE 4.2 – Vue du dessus de l'ancien MESFET double grille élémentaire (lot 1).

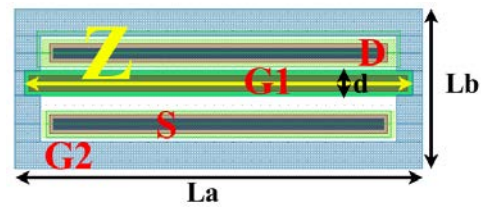


FIGURE 4.3 – Vue du dessus du nouveau MESFET double grille élémentaire (lot 2).

Composants	Z	d	$L_a$	$L_b$	$E_a$
$MESFET_{(lot1)}$	440 $\mu\text{m}$	8 $\mu\text{m}$	640 $\mu\text{m}$	305 $\mu\text{m}$	0.5 $\mu\text{m}$
$MESFET_{(lot2)}$	56 $\mu\text{m}$	8 $\mu\text{m}$	83 $\mu\text{m}$	38 $\mu\text{m}$	0.5 $\mu\text{m}$

TABEAU 4.1 – Tableau de synthèse des principaux paramètres des MESFETs élémentaires présentés sur les figures 4.2 et 4.3.  $E_a$  correspond à l'épaisseur de la zone active de type N ( $N_d$ ).  $L_a$  et  $L_b$  représentent la longueur et la largeur d'une cellule élémentaire. Z et d sont respectivement la largeur et la longueur du canal du MESFET.

## 2 Processus de fabrication et description des composants et des fonctions intégrés sur le wafer SiC

### 2.1 Présentation du process-flow

La réalisation d'un convertisseur de puissance intégré en SiC implique la mise au point d'un procédé de fabrication spécifique. A partir des résultats obtenus des travaux antérieurs, le laboratoire AMPERE a élaboré en collaboration avec le CNM de Barcelone un processus pour la fabrication de circuits intégrés en SiC. Ce procédé va permettre de tester la technologie d'isolation des composants évoquée précédemment au moyen d'un caisson P. Ce processus est basé sur dix étapes dont cinq spécifiques à la métallisation. Les niveaux de métallisation permettent d'interconnecter les composants sur le wafer. La figure 4.4 présente un exemple d'une structure élémentaire incluse sur le wafer. Il s'agit d'un amplificateur source commune où une résistance "N" est associée en série avec un MESFET de type N. Les différentes étapes nécessaires à la réalisation de cette structure sont présentées dans le tableau 4.2.

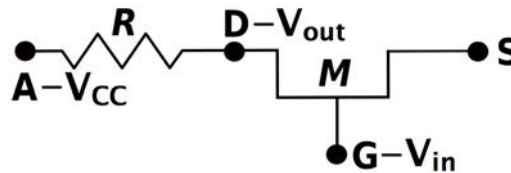
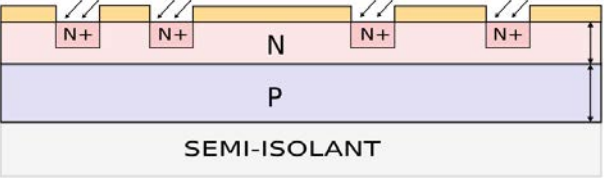
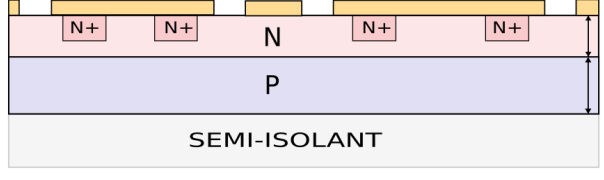
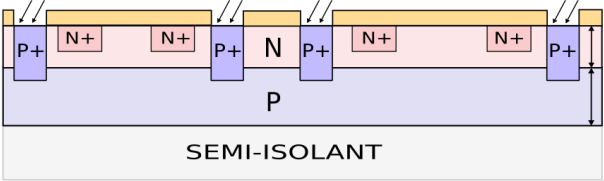
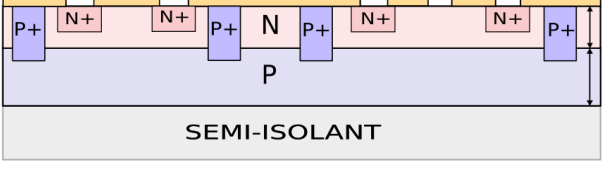
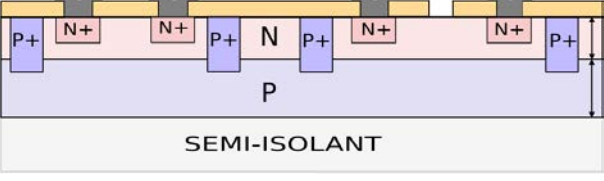
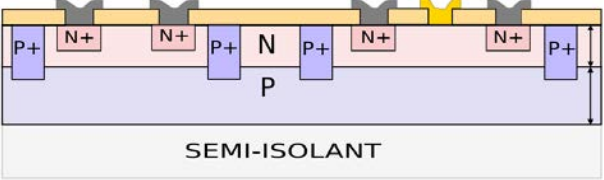
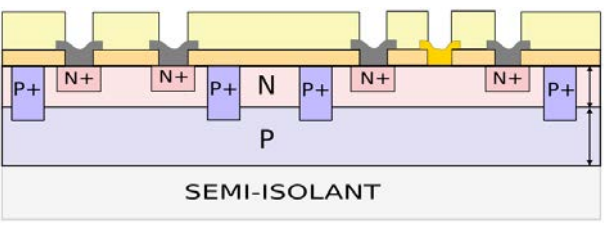
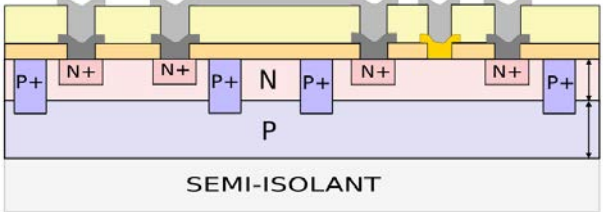
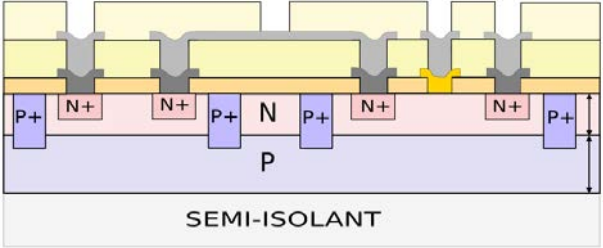
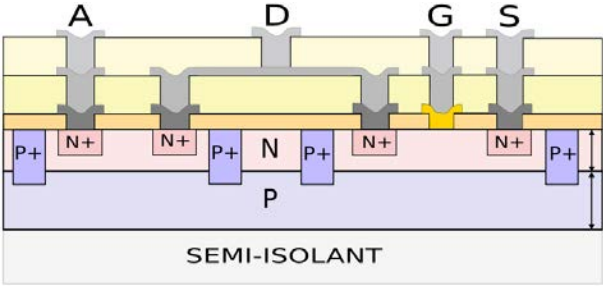


FIGURE 4.4 – Schéma électrique d'un amplificateur source commune implanté sur le wafer. Cette structure est constituée par la mise en série d'une résistance de type N (R : entre A et D) et d'un transistor MESFET (M : entre D et S). G représente l'électrode de la grille du transistor.

Etapes	Schéma de visualisation
$E_1$ : Gravure d'une épaisseur "a" de la couche $N_d$ .	
$E_2$ : Ouverture des fenêtres pour l'implantation de type $N^+$ .	

<p><math>E_3</math> : Implantation des dopants de type <math>N^+</math>.</p>	
<p><math>E_4</math> : Ouverture des fenêtres pour l'implantation de type <math>P^+</math>.</p>	
<p><math>E_5</math> : Implantation des dopants de type <math>P^+</math>.</p>	
<p><math>E_6</math> : Ouverture des fenêtres de contact.</p>	
<p><math>E_7</math> : Métallisation des contacts ohmiques.</p>	
<p><math>E_8</math> : Métallisation des contacts Schottky.</p>	
<p><math>E_9</math> : Ouverture des contacts de métallisation à travers un oxyde d'intermétallisation (Via-1).</p>	

<p><math>E_{10}</math> : Métallisation de niveau 1, élaboration de l'interconnexion des composants.</p>	
<p><math>E_{11}</math> : Ouverture des contacts de métallisation à travers un oxyde d'intermétallisation (Via-2).</p>	
<p><math>E_{12}</math> : Métallisation de niveau 2, élaboration de la métallisation des électrodes à la surface de la structure (A, D, G, S).</p>	

TABEAU 4.2 – Présentation des différentes étapes du processus de fabrication élaboré pour la réalisation des circuits intégrés en SiC. La structure correspond à un amplificateur source commune exposé à la figure 4.4.

## 2.2 Présentation et description du lot dédié aux circuits intégrés

La réalisation du démonstrateur de puissance a nécessité la conception de plusieurs types de composants élémentaires tels que des transistors, des diodes et des résistances (chapitre 3). Les différentes structures réalisées pour ce second lot sont synthétisées dans le tableau 4.3. Les composants élémentaires de ce lot seront caractérisés électriquement d'une manière similaire à ceux du chapitre 2 au moyen de l'Agilent B1505A. Des cartes à pointes spécifiques seront employées pour évaluer les performances expérimentales des fonctions analogiques amplificateur, comparateur et oscillateur.

Différents composants élémentaires tels que des diodes, des transistors ou des résistances ont été dessinés sur un jeu de masques en vue de la fabrication du démonstrateur. Des fonctions de type analogique ont été dimensionnées à partir de ces différents composants. Les principales fonctions (ex : comparateur, oscillateur ...) ont été présentées au cours des chapitres 2 et 3 de ce document. Les éléments ont été fabriqués sur un wafer de trois pouces au CNM de Barcelone. Une moitié du champ est dédiée à la partie "logique" pour la thèse de M. ALEXANDRU [ALE13], l'autre à la partie "analogique" en vue de ces travaux de recherche (figure 4.5).

La zone AMPERE (analogique) est structurée en deux parties. Le côté gauche est principalement dédié aux composants de signal en vue de la réalisation des circuits de commande. Le côté droit contient les structures de puissance. Le masque présente la particularité d'intégrer sur un même substrat des composants de signal et de puissance latéraux. Le tableau 4.3 récapitule l'ensemble des composants et fonctions dédiés à l'aspect analogique. La figure 4.6 présente la répartition des différentes structures recensées dans le tableau 4.3 sur un champ élémentaire consacré à la partie analogique.

**Remarque** : Dans le chapitre 2, plusieurs fonctions ont été réalisées au moyen de MESFETs SiC (phase 1). Il s'agissait de démonstrateurs hybrides, où plusieurs MESFETs SiC discrets étaient associés pour l'agencement des fonctions (ex : oscillateur en anneau). L'objectif de la phase 2 est l'intégration de composants élémentaires et de fonctions sur un substrat SiC. Pour éviter tout risque de court-circuit en raison du développement en parallèle du procédé technologique, certaines connexions au niveau des fonctions n'ont pas été incluses afin de protéger les composants d'un éventuel défaut de fabrication lié aux étapes de métallisation. Pour ce second lot, les transistors concernés seront reliés au moyen de fils de bonding. Les composants et les fonctions seront à terme connectés dès leur fabrication, cela nécessitera au minimum l'ajout d'un niveau de métallisation supplémentaire et d'un oxyde d'intermétallisation (phase 3).

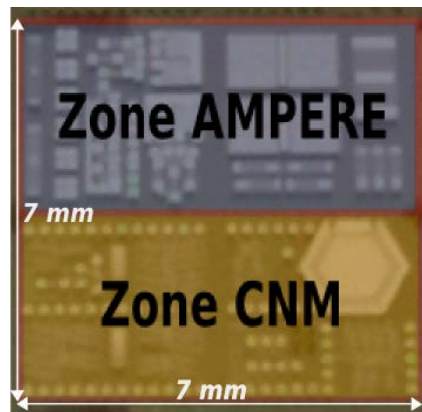


FIGURE 4.5 – Présentation des différentes zones d'un champ élémentaire du wafer SiC. La "zone CNM" est dédiée à la mise au point de circuits SiC de type numérique. La "zone AMPERE" est consacrée à la réalisation de fonctions analogiques en SiC. Cette zone est présentée plus précisément à la figure 4.6.

### 3 Caractérisation électrique des composants et des fonctions élémentaires

#### 3.1 Présentation de la démarche de caractérisation

Le wafer présenté à la figure 4.7 contient 1520 transistors MESFETs, 836 diodes et 1748 résistances. La plaquette a été segmentée en plusieurs champs élémentaires pour faciliter la réalisation d'une cartographie expérimentale des composants (figure 4.7). L'objectif est d'étudier pour chaque type de composants la dispersion des caractéristiques, d'identifier les blocs

Nom	Type	Nature	Application	Nombre
D1	Diode Zener	Composant	Signal	94
D2	Diode bipolaire	Composant	Signal	94
M1-M4	S-MESFET 1 (Zener sur la source)	Composant	Signal	188
M2-M5	S-MESFET 2 (Schottky sur le drain)	Composant	Signal	188
M3-M6	S-MESFET 3 (Zener sur le drain)	Composant	Signal	188
Pont	Pont à diodes Schottky	Composant	Puissance	94
DS	Diode Schottky	Composant	Signal	94
DSP	Diode Schottky de puissance	Composant	Puissance	94
MPG-MPD	MESFET de puissance 1	Composant	Puissance	94
R	Résistances de test	Test	Test	376
Rosc	Oscillateur en anneau	Fonction	Signal	94
Cp1	Paire différentielle V1	Fonction	Signal	94
Cp2	Paire différentielle V2	Fonction	Signal	94
Tp1-Tp2	Totem-pole	Fonction	Puissance	188

TABLEAU 4.3 – Synthèse des composants élémentaires et fonctions inclus sur le masque du second lot pour la partie analogique. La colonne "nombre" équivaut à la quantité de structures présentes sur l'ensemble du wafer trois pouces. Les fonctions de type signal sont toutes élaborées à partir des MESFETs de signal.

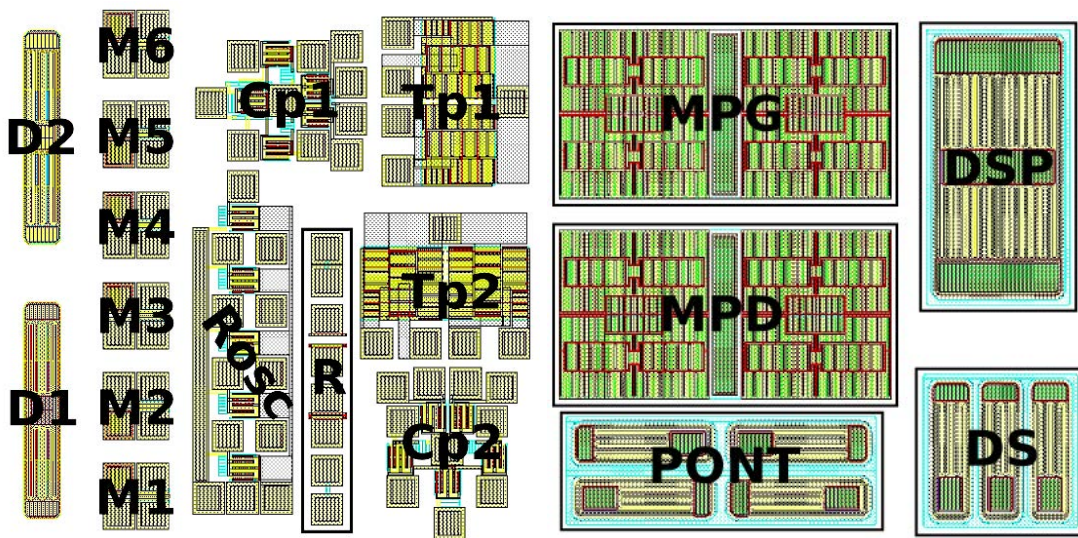


FIGURE 4.6 – Vue du jeu de masques de la partie analogique avec la partie "commande" (gauche) et la partie puissance (droite) présentant l'implantation des composants (diode, MESFET de signal...), des fonctions (comparateurs, oscillateur...), et des interrupteurs de puissance (diode et MESFET de puissance).

fonctionnels, de mettre en évidence l'impact du processus de fabrication sur les caractéristiques (courant de fuite, uniformité des tensions de seuil...). Cette démarche permettra de valider le choix de la topologie du MESFET élémentaire d'une part, et d'identifier les composants permettant de réaliser le démonstrateur présenté au cours du chapitre précédent. Les caractéristiques



de ces composants seront présentées plus précisément au cours des prochains paragraphes.

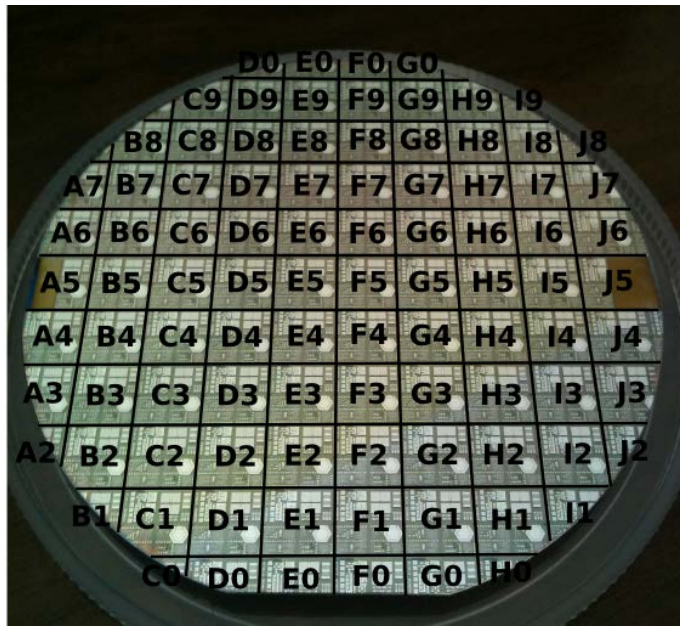


FIGURE 4.7 – Vue du wafer SiC de trois pouces cartographié en 94 champs élémentaires.

L'ensemble des composants intégrés sur le wafer a été caractérisé au moyen de l'Agilent B1505A et de la table de mesure semi-automatique du laboratoire AMPERE. Les différentes valeurs issues des statistiques (ex : moyenne) sont calculées sur des composants conformes. Les composants considérés comme inutilisables tels que des composants court-circuités n'ont pas été pris en compte pour les différents calculs. Le code couleur de la légende des cartographies est représenté sur la figure 4.8. Le symbole  $\sigma$  sera utilisé pour représenter l'écart-type.

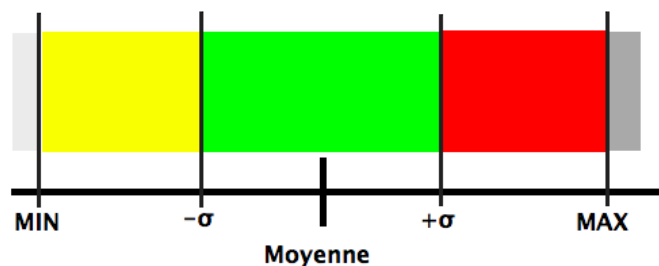


FIGURE 4.8 – Légende des couleurs utilisées pour représenter la cartographie des composants caractérisés sur le wafer. Le paramètre  $\sigma$  correspond à l'écart-type obtenu suite aux statistiques effectuées sur les mesures expérimentales. La couleur noire n'est pas représentée, mais elle signifie que le composant n'est pas fonctionnel.

### 3.2 Caractérisation des structures de test

Les structures de test sont quatre résistances  $R_{N-1T}$ ,  $R_{P-2T}$ ,  $R_{P-3T}$  et  $R_{N-4T}$ , qui ont été implantées sur chaque champ élémentaire du wafer (référence "R" sur la figure 4.6 et le tableau 4.3). Le tableau 4.4 détaille les caractéristiques de ces différentes structures. Les positions des paramètres géométriques  $L_a$ ,  $H_a$  sont présentées sur les figures 4.9, 4.10, 4.11 et 4.12. Deux résistances  $R_{N-1T}$  et  $R_{N-4T}$  sont de type N.  $R_{P-2T}$  et  $R_{P-3T}$  sont des résistances de type P. Les caractérisations électriques permettront la comparaison du comportement de ces deux types de résistances.

Nom	Type	$L_a$	$H_a$	Valeur	Epaisseur
$R_{N-1T}$	N	44 $\mu\text{m}$	15 $\mu\text{m}$	6 k $\Omega$	0.5 $\mu\text{m}$
$R_{P-2T}$	P	5.4 $\mu\text{m}$	240 $\mu\text{m}$	45.9 $\Omega$	0.5 $\mu\text{m}$
$R_{P-3T}$	P	54 $\mu\text{m}$	240 $\mu\text{m}$	459 $\Omega$	0.5 $\mu\text{m}$
$R_{N-4T}$	N	4.4 $\mu\text{m}$	15 $\mu\text{m}$	600 $\Omega$	0.5 $\mu\text{m}$

TABLEAU 4.4 – Tableau récapitulant les caractéristiques des résistances de type N et P. Les valeurs théoriques ont été calculées pour un dopage  $N_d$  de  $10^{17} \text{ cm}^{-3}$  et un dopage  $N_a$  de  $5 \times 10^{15} \text{ cm}^{-3}$ .

Les figures 4.9 et 4.10 présentent respectivement le jeu de masques et la coupe d'une résistance de type N incluse sur le wafer. Ce type de résistance a une structure proche des transistors MESFETs à la différence qu'aucune électrode de grille  $G_1$  n'est placée entre les deux électrodes de contact. La figure 4.9 met en évidence le caisson P (couleur verte) utilisé pour isoler les composants.  $R_{N1}$  et  $R_{N2}$  représentent les électrodes de contact externes du composant ( $0.04 \text{ mm}^2$ ). La surface des électrodes est uniforme pour l'ensemble des composants intégrés sur le wafer. Cette valeur a été choisie de façon à pouvoir positionner aisément les fils de "bonding" de 50  $\mu\text{m}$  de diamètre pour la suite des travaux. La coupe de la résistance de type N présente le composant avec la métallisation des contacts ohmiques, mais sans les autres niveaux de métaux (niveaux 2 et 3). Les électrodes de contact externes ne sont pas représentées sur cette figure.

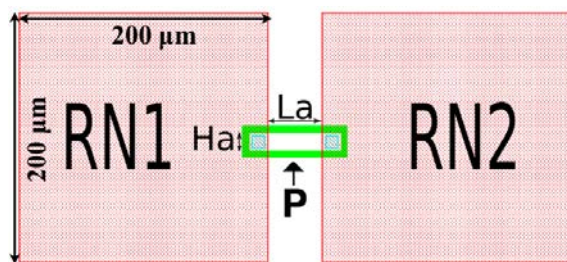


FIGURE 4.9 – Dessin du jeu de masques de la résistance de type N

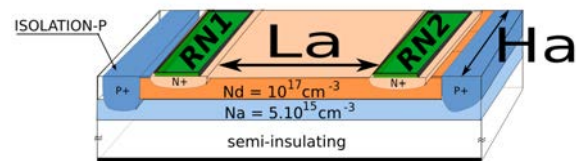


FIGURE 4.10 – Schéma d'une coupe d'une résistance de type N. Les paramètres géométriques sont donnés dans le tableau 4.4.

Les figures 4.11 et 4.12 présentent respectivement le jeu de masques et la coupe d'une résistance de type P intégrée sur la plaquette SiC. La résistance de type P est conçue sur une topologie similaire à la couche N. Cette résistance est élaborée de façon à utiliser la couche P enterrée (zone bleue sur la figure 4.12). Les plots de connexion sont positionnés de façon à faire passer le courant d'une électrode à l'autre à travers la couche semi-conductrice de type P.

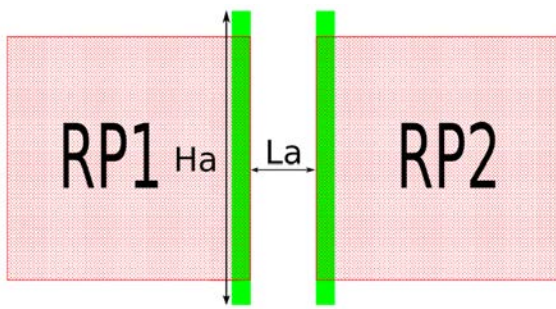


FIGURE 4.11 – Dessin du jeu de masques de la résistance de type P.

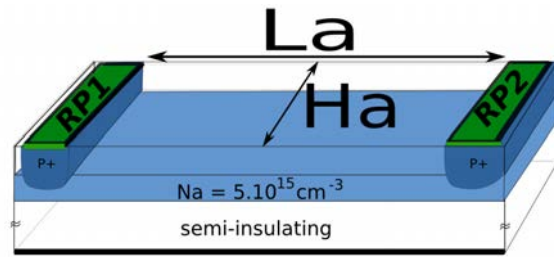


FIGURE 4.12 – Schéma d'une coupe d'une résistance de type P. Les paramètres géométriques sont donnés dans le tableau 4.4.

### Caractérisation des résistances $R_{N-1T}$ de type N

#### a) La résistance $R_{N-1T}$

Les figures 4.13 et 4.14 présentent les comportements expérimentaux  $I = f(V)$  et  $R = f(V)$  de la résistance  $R_{N-1T}$ . La grille enterrée de type P a été laissée flottante pour les caractérisations réalisées. Les résistances  $R_{N-1T}$  paraissent linéaires entre -8 V et +8 V en fonction de la tension appliquée entre leurs électrodes. Au-delà de ces valeurs, les courants s'aplatissent et donnent des comportements proches des effets de saturation.

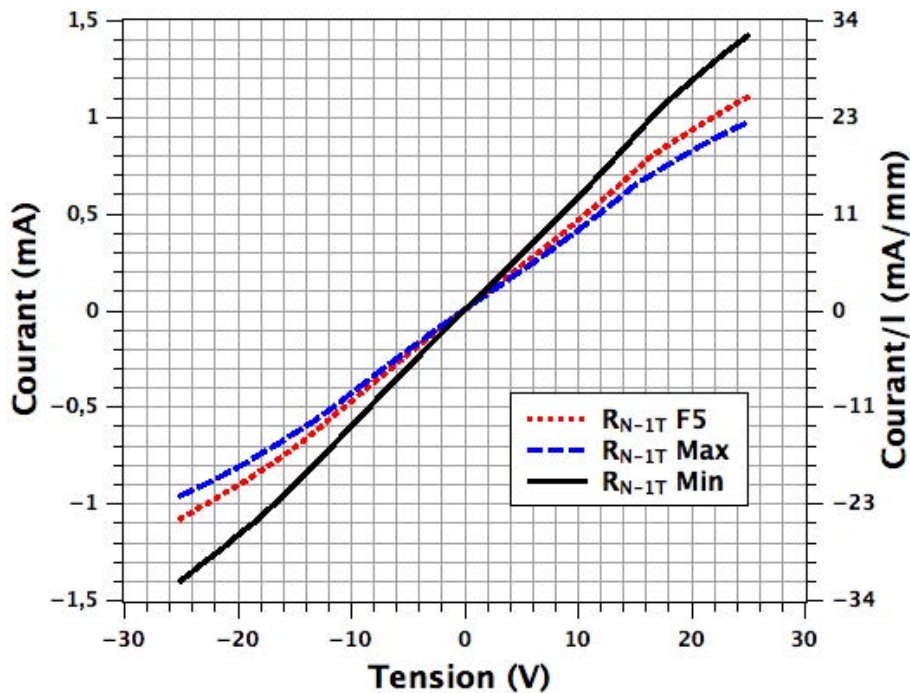


FIGURE 4.13 – Caractéristiques électriques  $I = f(V)$  de 3 résistances  $R_{N-1T}$  de type N d'une largeur de  $44 \mu\text{m}$ . Les notations "Max" et "Min" correspondent respectivement aux résistances fonctionnelles présentant la plus grande valeur moyenne et la plus petite valeur moyenne. Les résistances présentent un comportement non-linéaire au-delà de la plage -8 V – +8 V.

D'après les mesures, la valeur d'une résistance mesurée (exemple : champ F5) entre -8 V et 8 V peut-être moyennée à  $21.7 \text{ k}\Omega$  grâce la méthode des moindres carrés (extraction du rapport

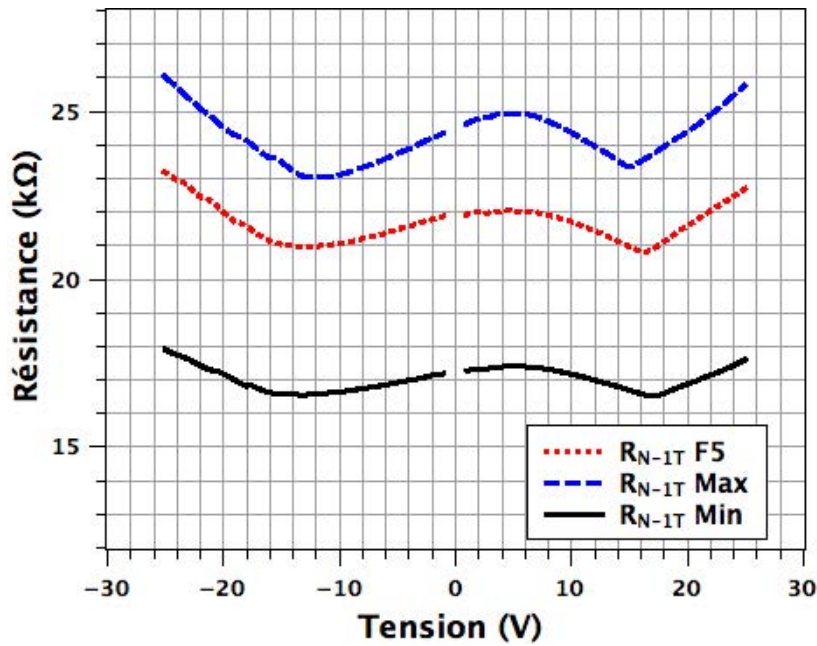


FIGURE 4.14 – Caractéristiques électriques  $R = f(V)$  de 3 résistances  $R_{N-1T}$  d'une largeur de  $44 \mu\text{m}$ . Les notations "Max" et "Min" correspondent respectivement aux résistances fonctionnelles présentant la plus grande valeur moyenne et la plus petite valeur moyenne. Les résistances présentent un comportement non-linéaire au-delà de la plage  $-8 \text{ V} - +8 \text{ V}$  en raison de la présence d'un pincement au niveau de la couche N (couche  $N_d$  sur la figure 4.12).

$U/I$  de la figure 4.13 sur la zone linéaire comprise entre  $-8 \text{ V}$  et  $8 \text{ V}$ ). La méthode des moindres carrés a été utilisée pour déterminer la valeur moyenne de chaque résistance caractérisée. Elle est présentée par F. FILBET à la référence [FIL13]. Cette méthode a été appliquée aux résistances  $R_{N-1T}$ ,  $R_{P-2T}$ ,  $R_{P-3T}$  et  $R_{N-4T}$ . Sur la plage de tension  $-25 \text{ V} - +25 \text{ V}$ , la résistance  $R_{N-1T}$  présente au plus un écart de  $6 \%$  par rapport à sa valeur moyenne. Les résistances  $R_{N-1T}$  mesurées apparaissent assez stables avec un écart de l'ordre de  $5 \%$  par rapport à leur valeur moyenne pour des tensions comprises entre  $-20 \text{ V}$  et  $+20 \text{ V}$ . La figure 4.15 présente la cartographie réalisée pour la résistance  $R_{N-1T}$ . 70 résistances sont fonctionnelles. 58 résistances sont de couleur verte. 2 résistances situées au centre présentent des valeurs plus importantes (rouge) et 10 résistances à la périphérie du wafer ont des valeurs plus faibles (jaune). La prédominance de la couleur verte met en évidence une bonne uniformité du dopage de type N sur l'ensemble du wafer.

D'après la formule théorique 4.1, plusieurs paramètres peuvent expliquer les écarts observés entre les valeurs de résistances [MF09]. Le premier facteur peut provenir de la valeur de la mobilité des porteurs de charge de la couche N ( $\mu_n$ ), qui peut varier de  $\pm 20 \%$  d'après le fabricant du wafer SiC (CREE). De plus, le dopage  $N_d$  de la couche N pourrait ne pas être entièrement uniforme pour l'ensemble des composants. Pour une mobilité  $\mu_n$  constante ( $490 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ ), il apparaît que plus le dopage est important et plus la valeur de la résistance est faible. En prenant compte de cette hypothèse, le dopage serait plus important à la périphérie que dans la zone centrale du wafer selon la cartographie réalisée. Enfin, la dernière cause de variation pourrait être liée aux paramètres géométriques de la résistance notamment à l'épaisseur  $E_a$  de la couche

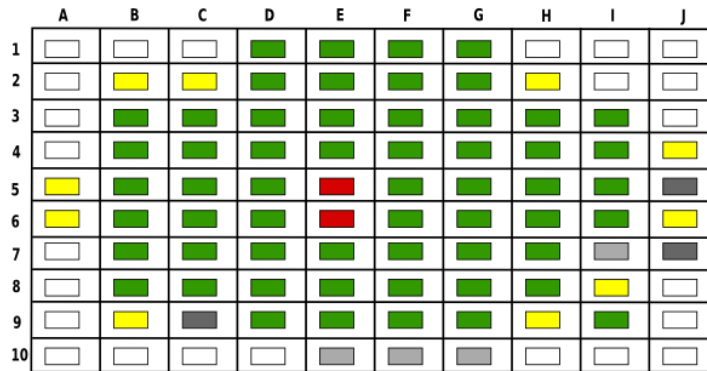


FIGURE 4.15 – Cartographie de 77 résistances  $R_{N-1T}$  de type N pour une longueur  $l$  de  $44 \mu\text{m}$ . La signification de la légende est donnée à la figure 4.8. La moyenne est de  $22.5 \text{ k}\Omega$ . L'écart type  $\sigma$  est de  $1.7 \text{ k}\Omega$ . Les valeurs MAX et MIN sont respectivement de  $24.4 \text{ k}\Omega$  et de  $16.5 \text{ k}\Omega$ .

de type N, qui est réalisée au moyen d'une épitaxie. Ce procédé pourrait donner une couche N non-uniforme sur le wafer. Selon les résultats expérimentaux, elle serait moins épaisse au centre qu'à la périphérie du wafer. Il est actuellement difficile de conclure sur la principale origine des différences observées entre les valeurs de ces résistances. Une corrélation entre les hypothèses évoquées est tout à fait envisageable. Une analyse physico-chimique de type SIMS permettrait l'obtention de données complémentaires telles que la valeur du dopage de la couche semi-conductrice de type N.

$$R = \frac{1}{(N_i \cdot \mu_i \cdot q)} \cdot \frac{L_a}{(H_a \cdot E_a)} \quad (4.1)$$

- $R$  : résistance ( $\Omega$ )
- $N_i$  : dopage du semi-conducteur ( $\text{cm}^{-3}$ )
- $\mu_i$  : mobilité des porteurs de charge du semi-conducteur ( $\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ )
- $q$  : charge de l'électron (C)
- $L_a$  : longueur de la résistance (cm)
- $H_a$  : largeur de la résistance (cm)
- $E_a$  : épaisseur de la résistance (cm)

Les résultats de la résistance  $R_{N-4T}$  sont équivalents à ceux de la résistance  $R_{N-1T}$ . Ils sont présentés à la partie 5.1 des annexes.

### b) Une hypothèse sur l'origine de la non-linéarité

L'hypothèse la plus vraisemblable face à la non linéarité des résistances semble être l'apparition d'un pincement de la couche de type N. Une simulation par éléments finis a permis de visualiser l'évolution de différents paramètres à l'intérieur de la structure. La figure 4.16 présente la répartition des potentiels électrostatiques sur une coupe verticale de la résistance suite à l'application d'un potentiel de 20 V sur l'électrode  $R_{N1}$ . Les simulations mettent en évidence la présence d'un pincement de la couche de type N au niveau de l'électrode  $R_{N1}$ . Ce pincement semble être à l'origine de la non-linéarité observée sur les caractérisations électriques. Il semblerait qu'à partir d'un certain potentiel (exemple : 10 V pour la résistance  $R_{N-1T}$  et 2 V pour la résistance  $R_{N-4T}$ ), le pincement du canal gêne le passage des électrons et engendre les effets de non-linéarité visualisés.

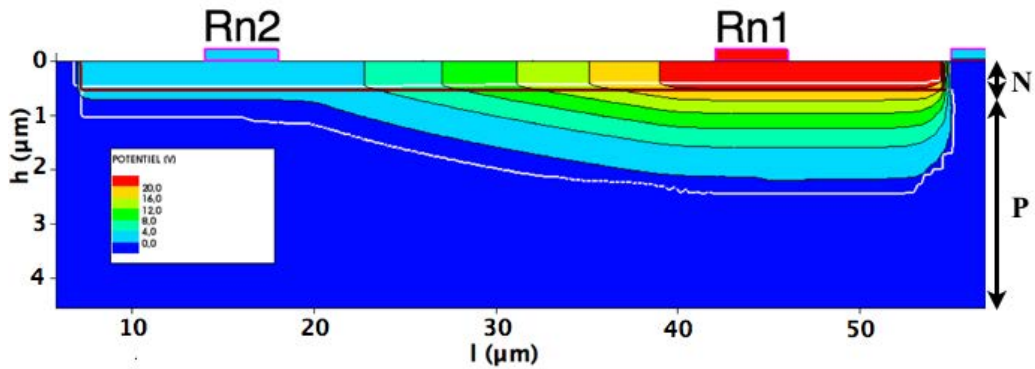


FIGURE 4.16 – Simulation "éléments finis" d'une coupe verticale d'une résistance de type N représentant la répartition du potentiel électrostatique à l'intérieur de la structure suite à l'application d'un potentiel sur l'électrode  $R_{N1}$ .

### Caractérisation des résistances $R_{P-2T}$ de type P

#### a) La résistance $R_{P-2T}$

Les figures 4.17 et 4.18 présentent les comportements électriques  $I = f(V)$  et  $R = f(V)$  des résistances  $R_{P-2T}$ . Ces composants présentent un comportement non-linéaire. La valeur de la résistance diminue entre 0 V et +/- 5 V, puis se met à croître pour des polarisations supérieures. Par exemple pour la résistance du champ F4, la valeur la plus importante atteint 6.2 k $\Omega$  à une tension de -25 V. La valeur moyenne de la résistance  $R_{P-2T}$  est de 6.0 k $\Omega$ . Cela donne un taux de variation de 3 % entre les deux valeurs. La résistance  $R_{P-2T}$  présente une certaine stabilité puisque le taux de variation reste inférieur à 5 %.

La figure 93 présentée dans la partie 5.1 des annexes montre la cartographie réalisée pour la résistance  $R_{P-2T}$ . 65 résistances sont fonctionnelles. 11 résistances situées dans la zone centrale du wafer ont les valeurs les plus élevées (rouge) et 15 composants positionnés à la périphérie présentent les grandeurs les plus faibles (jaune). Les différences de valeurs observées pour ces résistances sont équivalentes à celles présentées pour les résistances de type N. D'après la formule 4.1, les hypothèses émises pour les composants  $R_{N-1T}$  et  $R_{N-4T}$  s'appliquent aux résistances  $R_{P-2T}$ .

Les résultats de la résistance  $R_{P-3T}$  sont équivalents à ceux de  $R_{P-2T}$ . Ils sont présentés dans la partie 5.1 des annexes.

#### b) Une hypothèse sur l'origine de la non-linéarité

Une explication viable du phénomène de non-linéarité serait une conduction périphérique du courant, qui aurait tendance à réduire le courant présent dans la couche semi-conductrice active" et à conduire à une augmentation de la valeur de la résistance. La figure 4.19 montre le schéma de la conduction périphérique du courant à travers une résistance de type P.

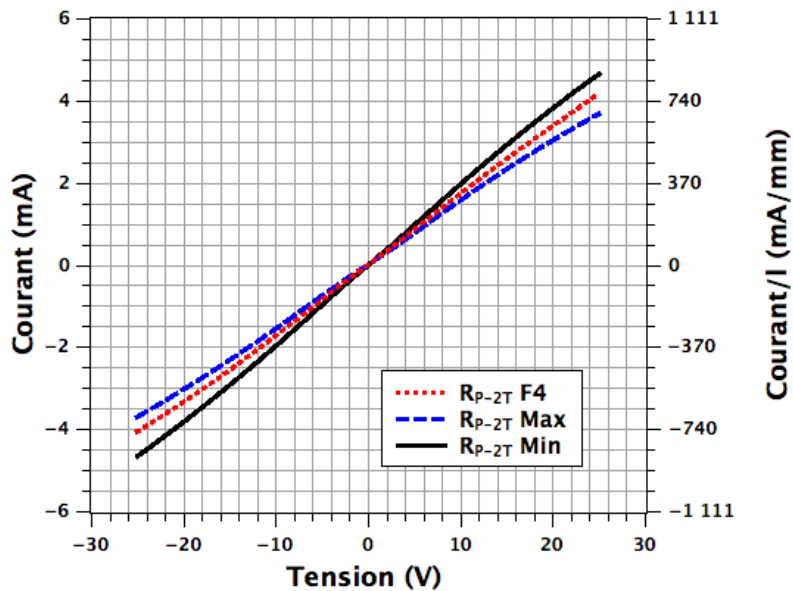


FIGURE 4.17 – Caractéristiques électriques  $I = f(V)$  de 3 résistances  $R_{P-2T}$  de type P d'une largeur de  $5.4 \mu\text{m}$ . La forme du courant des résistances met en évidence la non-linéarité des composants mesurés. Les notations "Max" et "Min" correspondent respectivement aux résistances fonctionnelles présentant la plus grande et la plus petite valeur moyenne.

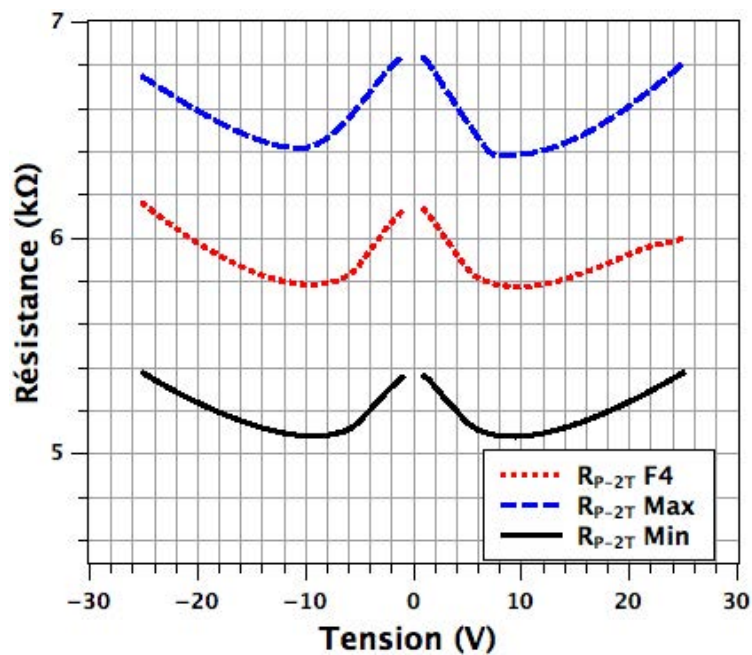


FIGURE 4.18 – Caractéristiques électriques  $R = f(V)$  de 3 résistances  $R_{P-2T}$  d'une largeur de  $5.4 \mu\text{m}$ . Les résistances présentent un comportement non-linéaire. Elles ont tendance à diminuer sur la plage 0 V - +/- 5 V et à augmenter jusqu'à +/- 25 V. Les notations "Max" et "Min" correspondent respectivement aux résistances fonctionnelles présentant la plus grande valeur moyenne et la plus petite valeur moyenne.

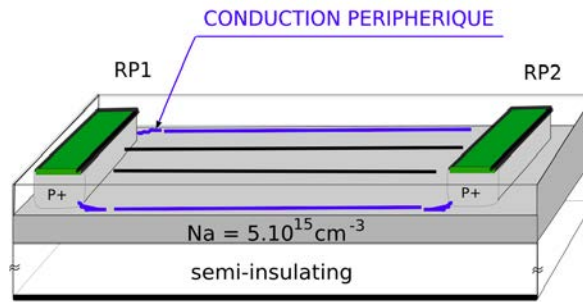


FIGURE 4.19 – Schéma d'une coupe d'une résistance de type P (couche enterrée de couleur grise) présentant le phénomène de conduction périphérique (couleur bleue) à l'origine des effets de non-linéarité visualisés.

### Analyse des résultats expérimentaux des résistances de type N et P

#### a) Synthèse des mesures expérimentales

Des paramètres ont pu être extraits à partir des différentes caractéristiques expérimentales réalisées. Les valeurs des résistances moyennes ont été estimées grâce à la méthode des moindres carrées et sont présentées à la ligne " $R_{moy}$  wafer 2" dans le tableau 4.5. Des mesures sur les résistances du premier wafer fabriqué pour le lot 2 sont présentées à la ligne " $R_{moy}$  wafer 1" dans le tableau 4.5. Les données présentées à la ligne " $R_{moy}$  wafer 2" proviennent du second wafer. Les caractérisations électriques des résistances, des diodes et des transistors présentées dans ce chapitre sont issues de ce second wafer.

	$R_{N-1T}$	$R_{P-2T}$	$R_{P-3T}$	$R_{N-4T}$
$R_{moy}$ (wafer 1)	46.00 k $\Omega$	8.11 k $\Omega$	19.00 k $\Omega$	3.54 k $\Omega$
$R_{moy}$ (wafer 2)	22.59 k $\Omega$	5.99 k $\Omega$	18.47 k $\Omega$	4.73 k $\Omega$
Ecart (moy)	50 %	26 %	2.8 %	25 %

TABLEAU 4.5 – Synthèse des moyennes des résistances mesurées sur les deux wafers.

Les moyennes des résistances présentent des écarts importants entre les deux wafers. Par exemple, la valeur de  $R_{N-1T}$  présente une différence de valeur de 50 % entre les deux wafers. Les résistances du wafer 1 ont uniquement été mesurées sur la ligne 0 du wafer 1 contrairement à celles du wafer 2, qui ont été évaluées sur l'ensemble de la plaquette SiC. Les résultats sont donc à relativiser. De plus, la non-uniformité du dopage et de l'épaisseur de l'épitaxie sont à prendre en compte dans l'analyse de ces résultats.

#### b) Comparaison des valeurs de résistances

Les analyses des résultats ont montré que les composants présentaient généralement un comportement stable sur le wafer. Le tableau 4.6 expose une synthèse des valeurs théoriques et expérimentales (valeur moyenne) des quatre résistances. Le rapport entre les résistances théoriques et mesurées de même type (N et P) est également présenté. A la première lecture du tableau, il apparaît que les mesures sont éloignées des valeurs théoriques. Ces écarts proviennent



des phénomènes physiques présentés, de la non-uniformité de paramètres physiques (dopage, épaisseur ...), mais peuvent aussi dépendre de problèmes liés aux résistances de contact.

	$R_{N-1T}$	$R_{P-2T}$	$R_{P-3T}$	$R_{N-4T}$	$R_{N-1T}/R_{N-4T}$	$R_{P-3T}/R_{P-2T}$
<b>Théorique</b>	6.00 k $\Omega$	0.04 k $\Omega$	0.45 $\Omega$	0.60 k $\Omega$	10	10
<b>Wafer 1</b>	46.00 k $\Omega$	8.11 k $\Omega$	19.00 k $\Omega$	3.54 k $\Omega$	13	5
<b>Wafer 2</b>	22.59 k $\Omega$	5.99 k $\Omega$	18.47 k $\Omega$	4.73 k $\Omega$	2	3
<b>Type</b>	N	P	P	N	N	P

TABLEAU 4.6 – Comparaison de la valeur théorique et des mesures expérimentales pour les différentes résistances intégrées.

### Estimation des résistances de contact

Les résistances de contact vont être extraites à partir de différentes mesures réalisées sur les structures de test. L'utilisation d'une structure TLM (Transmission Line Model) aurait été mieux appropriées pour déterminer ces paramètres [CIV09]. Cela signifie qu'il faudra penser à ajouter ce type de structures de test lors de la prochaine phase de conception. La méthodologie d'extraction des TLMs va tout de même être utilisée pour estimer un ordre de grandeur des résistances de contact. Les figures 4.20 et 4.21 présentent respectivement les droites tracées pour les résistances de type N et de type P (wafer 1 et wafer 2).

La valeur de la résistance de contact déduite du premier wafer pour les composants de type N n'est pas envisageable (figure 4.20). Elle présente une valeur de "-1.19 k $\Omega$ ", ce qui n'est physiquement pas possible. La valeur extraite pour le second wafer semble plus réaliste puisqu'elle est de 2.75 k $\Omega$ . Les valeurs extraites pour les résistances de type P donnent une valeur de 4.57 k $\Omega$  pour le wafer 1 et de 7.68 k $\Omega$  pour le wafer 2.

Les résultats obtenus montrent que les composants de type N et de type P présentent d'importantes résistances de contact. A l'heure actuelle, les structures de test intégrées ne permettent pas d'obtenir les valeurs exactes de ces éléments. Toutefois, l'extraction des paramètres montre que les résistances de contact sont au minimum de l'ordre du k $\Omega$ . Ces dernières sont supérieures aux valeurs souhaitées des résistances  $R_{P-2T}$ ,  $R_{P-3T}$  et  $R_{N-4T}$ . Cet effet est à l'origine de la différence observée entre les valeurs dimensionnées et les résultats mesurés.

Les résistances de contact devront être optimisées dans les prochains lots de composants. Lors de la prochaine phase de conception, il faudra prévoir des structures de test permettant d'extraire les résistances de ces différents niveaux de métallisation (métal 1, via 1, métal 2...). L'extraction de ces valeurs permettra de comprendre l'origine de ce problème, puis d'optimiser par la suite les contacts ohmiques.

### Conclusion sur les structures de test

La caractérisation de structures de test a permis l'obtention de nombreuses informations par rapport à la technologie des circuits intégrés en SiC en cours d'élaboration. Il est apparu qu'il est possible d'obtenir des résistances latérales de type N et P. Il est apparu que les composants

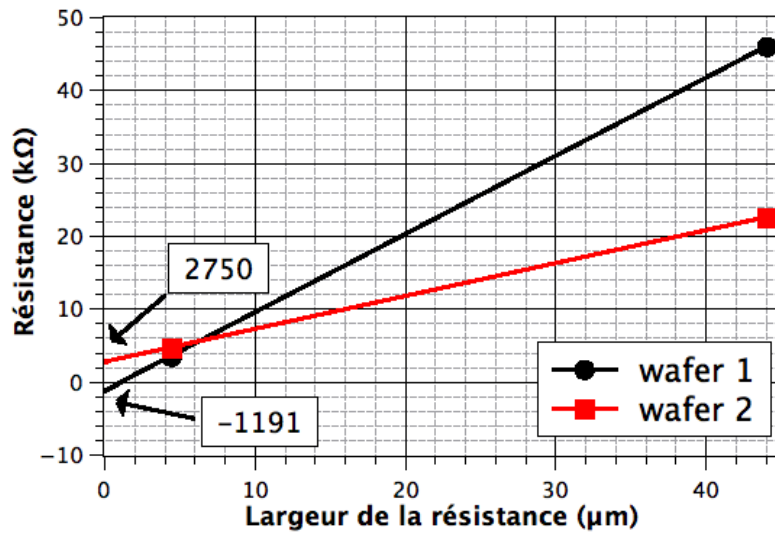


FIGURE 4.20 – Comparaison des résistances de contact des résistances  $R_{N-1T}$  et  $R_{N-4T}$  de type N mesurées sur le wafer 1 et le wafer 2.

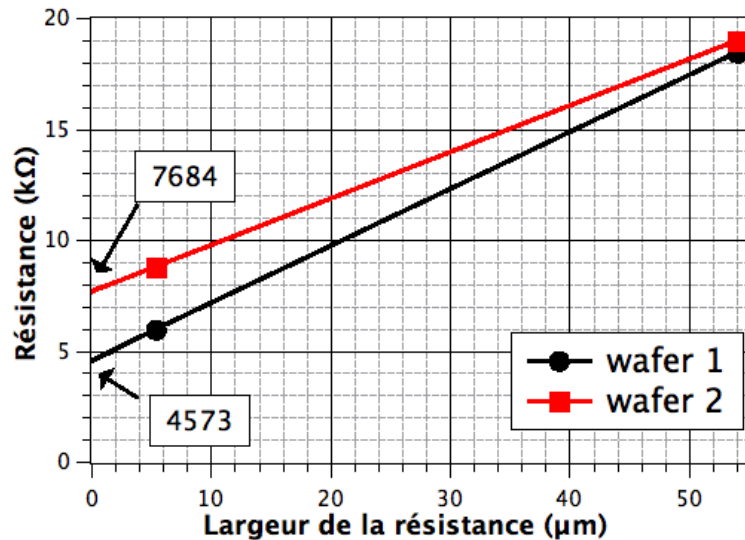


FIGURE 4.21 – Comparaison des résistances de contact des résistances  $R_{P-2T}$  et  $R_{P-3T}$  de type P mesurées sur le wafer 1 et le wafer 2.

de test n'avaient pas les valeurs souhaitées lors du dimensionnement en raison de fortes résistances de contact. Les structures des résistances de type N et P conduisent à des phénomènes de non-linéarité. Pour la résistance N, ce phénomène est induit par l'apparition d'un pincement au niveau de la couche semi-conductrice N. Pour le composant de type P, le problème serait lié à une conduction périphérique du courant. Ces problèmes ne paraissent pas pénalisants pour la réalisation du démonstrateur. Les résistances utilisées sont de l'ordre du kΩ. L'étude de la résistance  $R_{N-1T}$  de type N a montré que les effets de non-linéarité étaient inférieurs à 5 %. La majorité des circuits de la commande sont configurés pour opérer dans un mode de fonctionnement "bloqué/saturé". Cet effet de non-linéarité ne devrait présenter qu'un faible impact sur les

performances du dispositif. Il en est de même pour l'influence des fortes résistances de contact. Leur optimisation sera un point essentiel de la prochaine phase de conception.

### 3.3 Les différents diodes latérales SiC

Quatre structures de diodes ont été implantées sur le wafer (figure 4.6). Ces différentes diodes sont récapitulées dans le tableau 4.3. Les diodes Schottky de redressement et de puissance seront utilisées pour la réalisation du démonstrateur envisagé au cours des précédents chapitres. Les caractérisations de ces deux diodes vont être présentées plus précisément dans la suite de ce chapitre. La diode bipolaire sera exposée dans la partie 5.2 des annexes. Une erreur de conception a rendu inutilisable la diode de type Zener. Il s'est avéré qu'aucune ouverture de contact n'avait été prévue sur dans le jeu de masques pour ce composant.

#### La diodes Schottky de redressement

##### a) Présentation de la diode de redressement

7 diodes Schottky latérales de redressement ont été implantées par champ élémentaire sur le jeu de masque du wafer. Elles correspondent à "PONT" et à "DS" sur le tableau 4.3 et la figure 4.6. Il s'agit d'un composant où l'anode (A) est constituée d'un semi-conducteur de type N et la cathode (K) un contact Schottky basé sur une métallisation en nickel. La figure 4.22 montre le schéma d'une vue en coupe d'une diode Schottky intégrée sur le jeu de masques. La figure 4.23 présente le composant fabriqué sur le wafer. La largeur de jonction du composant est de 3.347 mm.

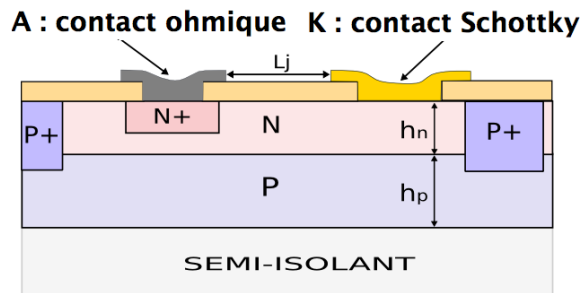


FIGURE 4.22 – Schéma d'une vue en coupe d'une diode Schottky. A et K représentent respectivement l'anode et la cathode.  $h_n$  et  $h_p$  sont respectivement l'épaisseur de la couche de type N ( $0.5 \mu\text{m}$ ) et l'épaisseur de la couche de type P ( $5 \mu\text{m}$ ).  $L_j$  correspond à la longueur de jonction.

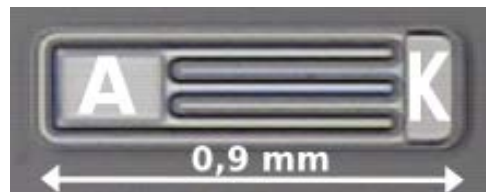


FIGURE 4.23 – Vue d'une diode Schottky latérale avec une largeur de jonction de 3.34 mm et d'une longueur de jonction de  $10 \mu\text{m}$  ( $L_j$ ) fabriquée sur le wafer SiC.

### b) Caractérisation électrique de la diode de redressement

Le protocole de caractérisation est similaire à celui des précédentes campagnes de caractérisation. La figure 4.24 présente la caractéristique statique  $I_A = f(V_{AK})$  en sens direct d'une diode de redressement.

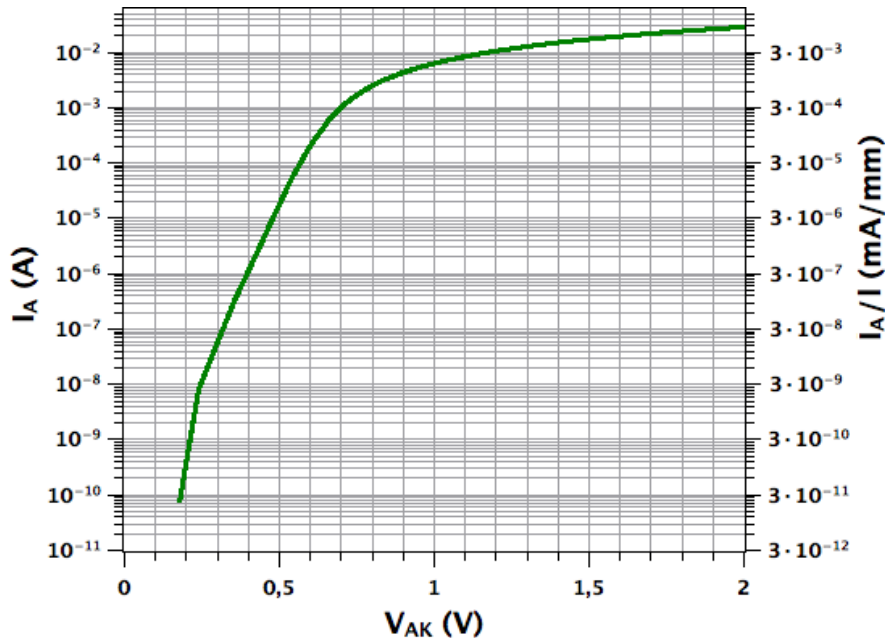


FIGURE 4.24 – Caractéristique statique expérimentale  $I_A = f(V_{AK})$  en sens direct d'une diode Schottky de redressement d'une largeur de jonction de 3.34 mm.

La figure 4.25 présente la caractéristiques statique  $I_A = f(V_{AK})$  en sens inverse d'un diode de redressement. Ces diodes peuvent être utilisées jusqu'à une tension inverse de 310 V ( $I_{fuite} : \# 10 \mu\text{A}/\text{mm}$ ), au-delà de cette tension le courant de fuite augmente fortement pour atteindre une valeur de 0.3 mA/mm à 354 V.

### c) Analyse des résultats expérimentaux de la diode de redressement

D'après les mesures, les diodes sont fonctionnelles. La réalisation d'une cartographie a permis l'extraction des principaux paramètres d'une diode à savoir le potentiel interne  $V_{di}$ , la résistance à l'état passant ( $R_{on}$ ) et le courant de fuite ( $I_{fuite}$ ). La méthodologie d'extraction des paramètres  $V_{di}$  et  $R_{on}$  est présentée à la référence [AM93]. Les résultats obtenus pour ces diodes Schottky sont exposés dans le tableau 4.7.

Les diodes de redressement fonctionnent. Elles laissent passer le courant en sens direct et le bloquent en sens inverse. Elles présentent une tension  $V_{di}$  de l'ordre de 0.79 V. Cela montre qu'il s'agit bien d'une diode de type Schottky ( $V_{di} : \#$  de 0.8 V d'après la formule 3.3 (partie 3.1 dans le chapitre 3)). La valeur théorique présente une différence de 1.25% par rapport à la valeur mesurée. Des diodes possèdent un potentiel interne  $V_{di}$  équivalent à la mesure théorique puisque cette valeur est incluse dans l'intervalle des données présentées dans le tableau 4.7.

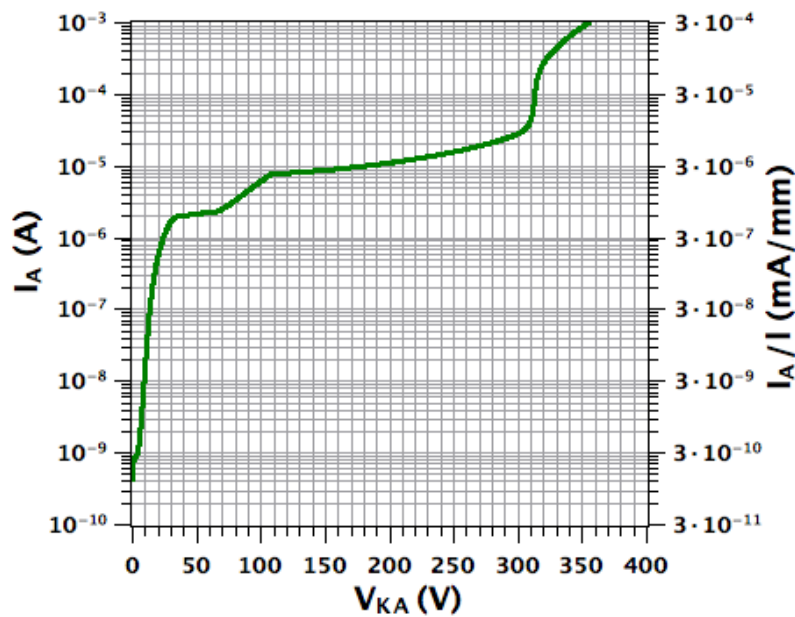


FIGURE 4.25 – Caractéristique statique expérimentale  $I_A = f(V_{AK})$  en sens inverse d'une diode Schottky de redressement d'une largeur de jonction de 3.34 mm.

Variable	Moyenne	$\sigma$	$\sigma$ -bas	$\sigma$ -haut
$V_{di}$ (V)	0.79	0.08	0.71	0.88
$R_{on}/l$ ( $\Omega/\text{mm}$ )	2.63	0.16	2.47	2.79
$I_{fuite}/l$ @ -50 V ( $\mu\text{A}/\text{mm}$ )	0.40	0.13	0.27	0.53

TABLEAU 4.7 – Tableau synthétique représentant les résultats expérimentaux issus de la cartographie du wafer pour la diode Schottky de redressement d'une largeur de jonction  $l$  de 3.34 mm.

D'après les relevés expérimentaux, il apparaît que les diodes présentent une valeur de résistance à l'état  $R_{on}$  par unité de longueur élevée. Ces résultats mettent en évidence les problèmes de résistances de contact observés sur les structures de test. D'après le tableau 4.7 et la cartographie de la figure 4.26, 72 diodes présentent des courants de fuite de l'ordre de  $0.40 \mu\text{A}/\text{mm}$  sur le wafer pour une polarisation inverse de 50 V. 12 diodes situées en périphérie notamment sur le bas quart droit ne sont pas fonctionnelles et ont des courants de fuite plus élevés (couleur grise). Les cartographies du potentiel interne  $V_{di}$  et de la résistance à l'état passant ( $R_{on}$ ) par unité de longueur sont présentées dans la partie 5.2 des annexes.

#### d) Conclusion sur la diode Schottky de redressement

En conclusion, la diode Schottky de redressement est valide. Elle tient une tension en sens inverse de 310 V pour un courant de fuite de l'ordre de  $10 \mu\text{A}/\text{mm}$ . Lors de la prochaine phase de conception, la résistance à l'état passant  $R_{on}$  devra être optimisée pour permettre le passage d'un courant en direct plus important. Le processus de fabrication de diodes de redressement s'avère relativement bon puisque 86 % des composants sont valides. Une étude similaire a été réalisée pour la diode de puissance. Les résultats sont présentées dans la partie suivante.

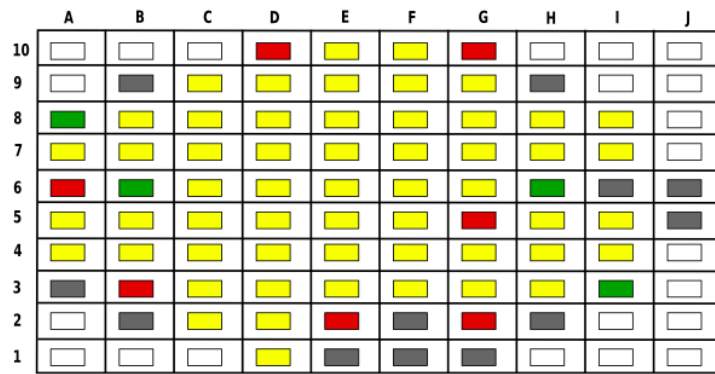


FIGURE 4.26 – Cartographie du  $I_{fuite}/l$  @ -50 V de 83 diodes Schottky du wafer d'une largeur  $l$  de 3347  $\mu\text{m}$ . La signification de la légende est donnée à la figure 4.8. La moyenne est de 0.40  $\mu\text{A}/\text{mm}$ . L'écart type  $\sigma$  est de 0.13  $\mu\text{A}/\text{mm}$ . Les valeurs MAX et MIN sont respectivement de 0.62  $\mu\text{A}/\text{mm}$  et de 0.23  $\mu\text{A}/\text{mm}$ .

### La diode Schottky de puissance

#### a) Présentation de la diode de puissance

Une diode Schottky de puissance latérale a été implantée sur le masque du wafer ("DSP" sur la figure 4.6). Ce composant est basé sur une topologie similaire à celle de la Schottky de redressement. Pour permettre le passage d'un courant plus important la surface des électrodes de contact a été augmentée et une seconde électrode de cathode a été ajoutée. Cela équivaut à la mise en parallèle de deux diodes (figure 4.27) soumises à des potentiels identiques. Le composant fabriqué est présenté sur la figure 4.28.

Le dimensionnement du composant réalisé au chapitre 3 a montré qu'il fallait concevoir une diode d'une largeur de jonction de 665  $\mu\text{m}$ . Un composant présentant cette largeur de jonction occuperait une surface de l'ordre de 45  $\text{mm}^2$  pour un champ élémentaire. Dans le cadre de cette thèse, la valeur a arbitrairement été réduite d'un facteur 32 pour permettre l'intégration d'autres composants. L'objectif est de montrer dans un premier temps la faisabilité d'une telle topologie latérale. La diode a été élaborée avec une largeur de jonction de 21.670  $\mu\text{m}$  et d'une longueur de jonction de 10  $\mu\text{m}$ . Cela représente une surface de 1.5  $\text{mm}^2$ .

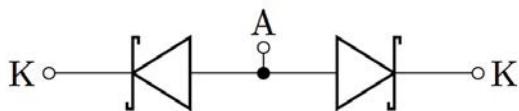


FIGURE 4.27 – Schéma de la diode de puissance Schottky. A représente l'Anode et K la cathode.

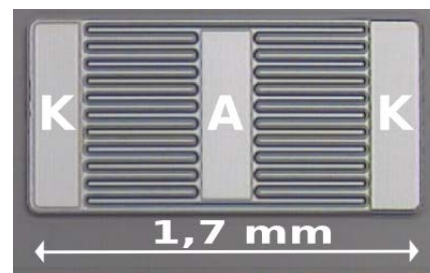


FIGURE 4.28 – Vue sur le wafer d'une diode de puissance Schottky en SiC d'une largeur de 21.7  $\mu\text{m}$  et d'une longueur de jonction de 10  $\mu\text{m}$  ( $L_j$ ).

**b) Caractérisation électrique de la diode de puissance**

La diode a été caractérisée d'une façon identique à la diode de redressement. La figure 4.29 présente la caractéristique statique en sens direct  $I_A = f(V_{AK})$  d'une diode Schottky de puissance.

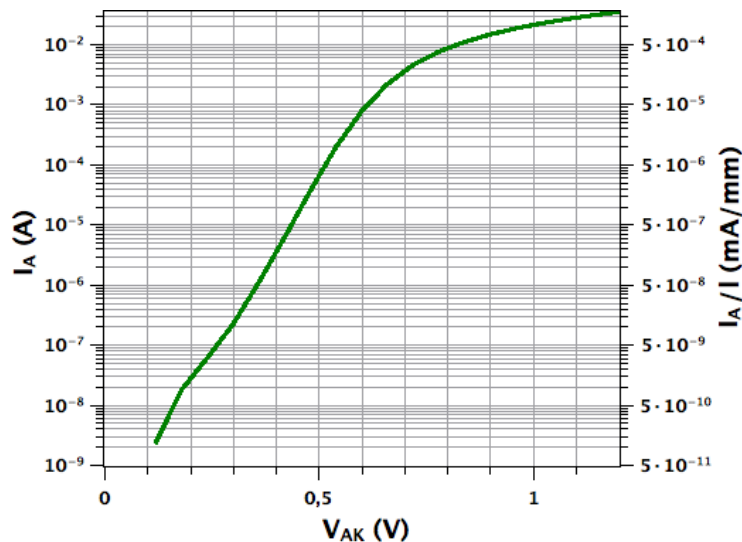


FIGURE 4.29 – Caractéristique statique expérimentale  $I_A = f(V_{AK})$  en sens direct d'une diode Schottky de puissance d'une largeur de jonction de 21.7 mm.

La figure 4.30 présente la caractéristiques statique  $I_A = f(V_{AK})$  en sens inverse de ces diodes. Les diodes de puissance sont utilisables pour une tension inverse allant jusqu'à 250 V ( $I_{fuite} : \# 5 \mu\text{A}/\text{mm}$ ), au-delà de cette tension le courant de fuite s'accroît rapidement puisqu'il atteint  $50 \mu\text{A}/\text{mm}$  à 327 V.

**c) Analyse des résultats expérimentaux de la diode de puissance**

Le tableau 4.8 présente une synthèse des principaux paramètres extraits sur 8 diodes de puissance opérationnelles sur le wafer.

Variable	Moyenne	$\sigma$	$\sigma$ -bas	$\sigma$ -haut
$V_{di}$ (V)	0.70	0.04	0.66	0.75
$R_{on}/l$ (m $\Omega$ /mm)	626	36	590	660
$I_{fuite}/l$ @ -50 V ( $\mu\text{A}/\text{mm}$ )	0.75	0.16	0.59	0.91

TABLEAU 4.8 – Tableau synthétique représentant les résultats expérimentaux issus de la cartographie du wafer pour la diode Schottky de puissance d'une largeur de jonction de 21.7 mm.

La diode de puissance présente un potentiel interne  $V_{di}$  de l'ordre de 0.7 V, un courant de 30 mA à 1 V et tient une tension inverse de 250 V pour un courant de fuite de l'ordre de  $5 \mu\text{A}/\text{mm}$ . La valeur théorique du  $V_{di}$  est de 0.8 V, ce qui fait une présente une différence de 14.28 % par rapport à la valeur expérimentale. Les cartographies du potentiel interne  $V_{di}$  et de

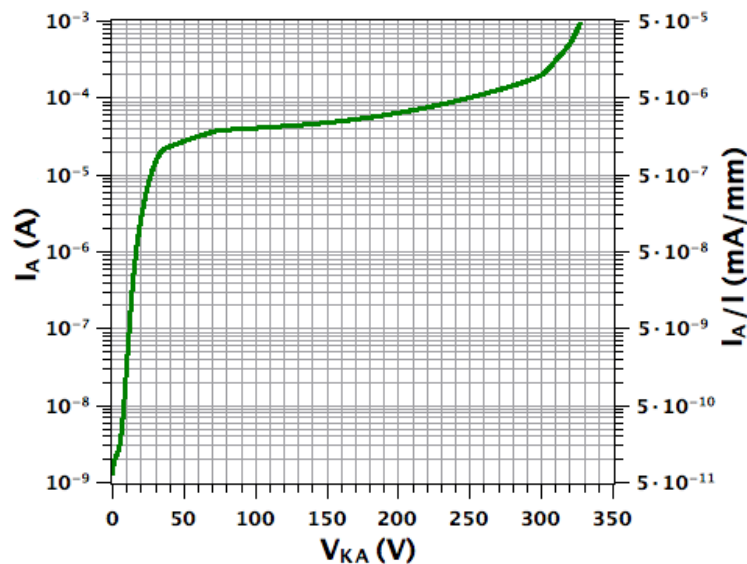


FIGURE 4.30 – Caractéristique statique expérimentale  $I_A = f(V_{AK})$  en sens inverse d'une diode Schottky de puissance d'une largeur de jonction de 21.7 mm.

la résistance à l'état passant  $R_{on}$  par unité de longueur et des courants de fuite sont présentées dans la partie 5.2 des annexes. La cartographie présentée à la figure 104 montre que 41 diodes, soit 51 % des composants sont opérationnels. En revanche 34 diodes situées sur l'anneau extérieur et sur la partie droite du wafer présentent un courant de fuite plus important de l'ordre de  $9 \mu\text{A}/\text{mm}$  pour une tension inverse de 50 V. Plusieurs hypothèses concernant l'origine de ce problème sont émises dans la partie de ce chapitre traitant de la caractérisation des MESFETs.

De plus, la résistance à l'état passant ( $R_{on}$ ) par unité de longueur ( $626 \text{ m}\Omega/\text{mm}$ ) des diodes de puissance s'avère être importante. Il apparaît néanmoins que ce paramètre est quatre fois moins grand que celui de la diode de redressement ( $2.63 \Omega/\text{mm}$ ). Ces fortes valeurs de  $R_{on}$  sont liées aux fortes résistances de contact, qui ont été observées sur les structures de test. En raison de cette grandeur, les performances attendues en courant ne correspondent pas. Pour la réalisation de l'interrupteur de puissance, la densité de courant aurait théoriquement dû être de  $4.28 \text{ mA}/\text{mm}$  à 1.2 V. Elle s'avère d'être de  $1.60 \text{ mA}/\text{mm}$  à 1.2 V d'après les mesures expérimentales.

#### d) Conclusion sur la diode Schottky de puissance

En conclusion, la diode de puissance est fonctionnelle. Les composants présentent les comportements attendus pour des diodes de type Schottky. Les diodes peuvent être utilisées jusqu'à une tension inverse de 250 V pour un courant de fuite de l'ordre de  $5 \mu\text{A}/\text{mm}$ . En revanche, la présence de fortes résistances de contact engendre des courants plus faibles que les valeurs théoriquement attendues. 42 composants sur 81 sont opérationnels (51 %). Ces composants présentent un courant de fuite moyen de  $0.75 \mu\text{A}/\text{mm}$  pour une tension inverse de 50 V. Les composants non valides ne sont pas fonctionnels en raison d'un courant de fuite trop élevé de l'ordre de  $9 \mu\text{A}/\text{mm}$  pour un niveau de tension équivalent. Plusieurs hypothèses sont envisageables, elles seront détaillées plus précisément dans la partie basée sur les MESFETs.



### Effet de la polarisation de la métallisation de la face arrière du substrat SiC sur la tenue en tension inverse d'une diode Schottky

Le comportement en sens inverse d'une diode Schottky de redressement a été mesuré dans trois configurations C1, C2 et C3. La configuration C1 est présentée à la figure 4.31. La cathode du composant est relié à la métallisation de la face arrière du substrat. La configuration C2 est exposée correspond au cas où le substrat est flottant. Cette configuration a été utilisé pour l'ensemble des mesures présentées dans ce manuscrit de thèse. La configuration C3 exposée à la figure 4.32 correspond au cas où l'anode de la diode est connectée à la face arrière.

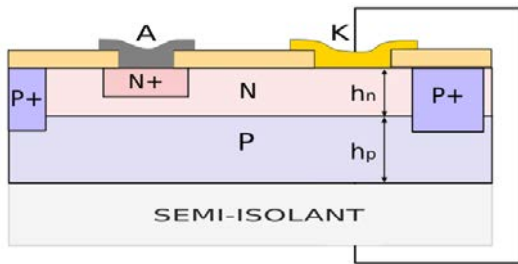


FIGURE 4.31 – Schéma de principe de la configuration C1 utilisée pour mesurer la tenue en tension inverse de la diode Schottky. La cathode (K) est connectée à la métallisation de la face arrière.

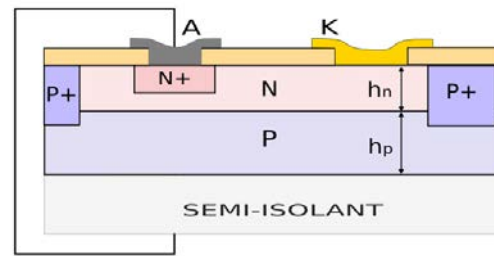


FIGURE 4.32 – Schéma de principe de la configuration C3 utilisée pour mesurer la tenue en tension inverse de la diode Schottky. L'anode (A) est connectée à la métallisation de la face arrière.

La figure 4.33 présente les résultats expérimentaux de la tenue en tension inverse de la diode de redressement. Il apparaît que la polarisation de la métallisation de la face arrière influence le comportement en courant de la diode. Le cas C1 donne la caractéristiques la moins intéressante. La diode atteint 1 mA à 290 V contre 50  $\mu$ A dans la configuration C2 et 40  $\mu$ A dans le cas C3. Dans la disposition C2, le substrat s'autopolarise. Le courant de fuite de la diode atteint 1 mA pour une tension inverse de 320 V. Enfin la configuration C3 donne le meilleur résultat puisque la diode présente un courant de fuite de 1 mA pour une tension de 335 V. W. S. LEE a montré dans sa revue présentée à la référence [LCH<sup>+</sup>12] qu'une augmentation de l'épaisseur  $h_p$  de la couche P de 5  $\mu$ m à 20  $\mu$ m permettait d'accroître la tension de claquage  $V_{BR}$  de 600 V à 2.4 kV. Les configurations C2 et C3 montrent la présence d'un plateau en 30 V et 70 V, suivie d'une forte augmentation du courant entre 70 V et 100 V. Une hypothèse envisagée associerait ces allures à une déplétion progressive de la zone de charge d'espace, qui se ferait plus rapidement dans le cas C1. Une analyse de la diode par des simulations à éléments finis est nécessaire pour une compréhension plus précise des comportements observés. Une étude de la structure par des simulations à éléments finis et une augmentation de l'épaisseur  $h_p$  de la couche de type P devraient permettre d'optimiser la tenue en tension inverse de la diode.

### Conclusion sur la technologie des diodes latérales SiC

La technologie des diodes latérales SiC est entièrement validée puisque des diodes de redressement et de puissance sont fonctionnelles. Ces diodes Schottky présentent des potentiels internes relativement proches d'après les tableaux 4.7 et 4.8 ( $0.7 \text{ V} < V_{di-moy} < 0.8 \text{ V}$ ). Elles sont capables de tenir une tension inverse d'au minimum 250 V. La polarisation de la face arrière du wafer a montré que la tenue en tension inverse d'une diode pouvait être améliorée en reliant le potentiel le plus bas à la métallisation de la face arrière. Une étude

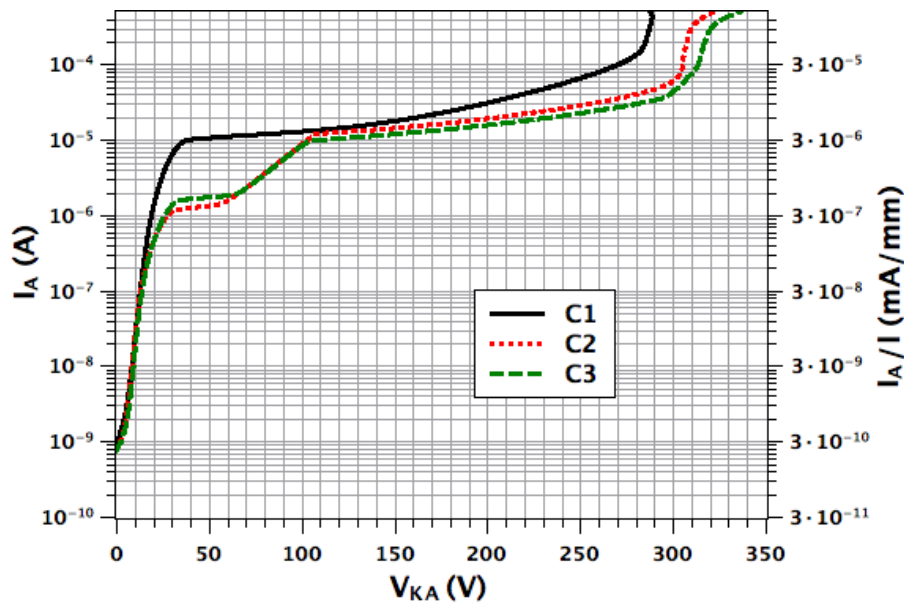


FIGURE 4.33 – Caractéristiques statiques du courant en fonction de la tension inverse d'une diode latérale SiC de redressement Schottky dans trois configurations C1, C2 et C3.

approfondie par des simulations à éléments finis de la structure du composant devrait permettre d'optimiser la valeur de la tenue en tension inverse de la diode. Les diodes de redressement et de puissance présentent respectivement un courant de fuite de  $0.40 \mu\text{A}/\text{mm}$  et de  $0.75 \mu\text{A}/\text{mm}$  pour une tension inverse de 50 V. La structure de puissance d'une superficie de  $1.52 \text{ mm}^2$  présente un courant de fuite 1.87 plus grand que la diode de redressement d'une superficie de  $0.3 \text{ mm}^2$ . Il apparaît que le courant de fuite des deux diodes est quasiment du même ordre de grandeur, alors que la surface de ces deux composants varie d'un facteur 5. Les cartographies ont montré que la taille des composants influençait le nombre de composants fonctionnels. Les diodes de redressement sont à 86 % opérationnelles contre 51 % pour les diodes de puissance. La principale cause de non-fonctionnalité est liée à des courants de fuite élevés de l'ordre de  $9 \mu\text{A}/\text{mm}$ . Plusieurs hypothèses sur l'origine de ce problème sont détaillées dans la partie de ce chapitre basée sur les MESFETs. Enfin, les caractéristiques statiques ont montré que les diodes présentent une résistances à l'état passant  $R_{on}$  par largeur de jonction relativement élevée. La diode de puissance présente une valeur expérimentale de  $626 \text{ m}\Omega/\text{mm}$  contre  $0.2 \text{ m}\Omega/\text{mm}$  théorique (dimensionnement présenté dans la partie 3 du chapitre 3). Cette différence est liée aux importantes résistances de contact, qui ont été observées lors de la caractérisation de structures de test. Une optimisation de ces éléments permettra une amélioration de la valeur de la résistance à l'état passant.

En conclusion, les différentes diodes sont fonctionnelles. Des paramètres telles que les résistances de contact sont à ajuster pour optimiser le comportement électriques des composants en vue de la réalisation d'un démonstrateur de puissance. La prochaine partie va présenter la caractérisation des composants de type MESFET.

### 3.4 Les transistors MESFETs

D'après le chapitre 3, trois transistors sont nécessaires pour réaliser le démonstrateur de puissance envisagé. Ces trois composants sont le MESFET de type "signal" d'une largeur de canal de 0.44 mm, le MESFET de type "buffer" d'une largeur de canal de 4.99 mm et le MESFET de type "puissance" d'une largeur de canal de 99.88 mm. Les caractéristiques électriques de ces transistors vont être détaillées au cours de la partie suivante.

#### Le MESFET de "signal"

##### a) Description de la géométrie du composant

La première phase présentée dans le chapitre 2 a permis l'élaboration d'un modèle de simulation SPICE à partir des caractéristiques électriques d'un composant MESFET double grille provenant du lot 1 (figure 2.11). Ce transistor a été utilisé pour concevoir plusieurs fonctions analogiques (comparateur, oscillateur en anneau... ). Il s'agit du composant de base utilisé pour la réalisation des circuits de "signal" dans le cadre de ces travaux de recherche. Ce MESFET a été dimensionné pour fournir un courant  $I_{DS}$  de l'ordre de 30 mA avec une largeur de grille de  $440 \mu\text{m}$  pour  $V_{G1S}$  à 0 V et  $V_{DS}$  à 12 V.

La largeur de grille de la nouvelle cellule de base est de  $56 \mu\text{m}$ . L'obtention d'un composant de "signal" d'un ordre de grandeur équivalent impose une multiplication par huit de cette largeur. La figure 4.34 présente la topologie du composant de signal, qui sera utilisé pour la phase d'intégration. Le composant est constitué par l'association de huit cellules élémentaires en parallèle. Cet agencement permet d'optimiser la structure du composant et de diminuer sa résistance à l'état passant ( $R_{on}$ ) d'un facteur de un huitième par rapport à celui d'une cellule élémentaire d'une largeur de canal de l'ordre de  $440 \mu\text{m}$ .

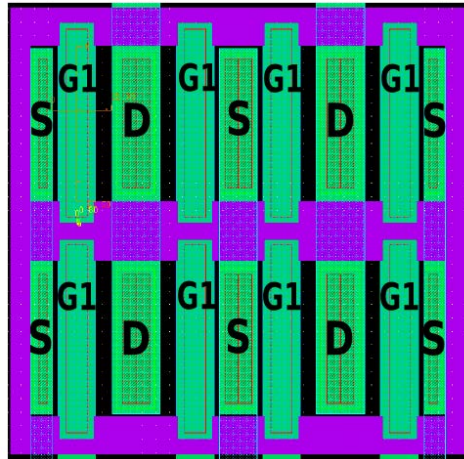


FIGURE 4.34 – Vue du jeu de masques d'un MESFET de type "signal" d'une largeur de canal de  $440 \mu\text{m}$  sans les métallisations de contact. Cette structure est composée par l'association en parallèle de huit transistors MESFETs d'une largeur de canal de  $56 \mu\text{m}$ . D,  $G_1$  et S représentent les électrodes de ces transistors.

### b) Caractérisation électrique du MESFET de signal

Les transistors SiC ont été caractérisés d'une façon similaire aux composants présentés ultérieurement. La figure 4.35 présente le comportement expérimental typique d'un MESFET de signal présent sur le wafer. Il n'a pas été possible de réaliser une cartographie complète pour ce type de composants puisque les mesures ont été effectuées sur les transistors des fonctions élémentaires (ex : oscillateur en anneau). Pour protéger une partie des fonctions élémentaires d'éventuelles dégradations, il a été choisi de ne pas mesurer l'ensemble des transistors de signal du wafer.

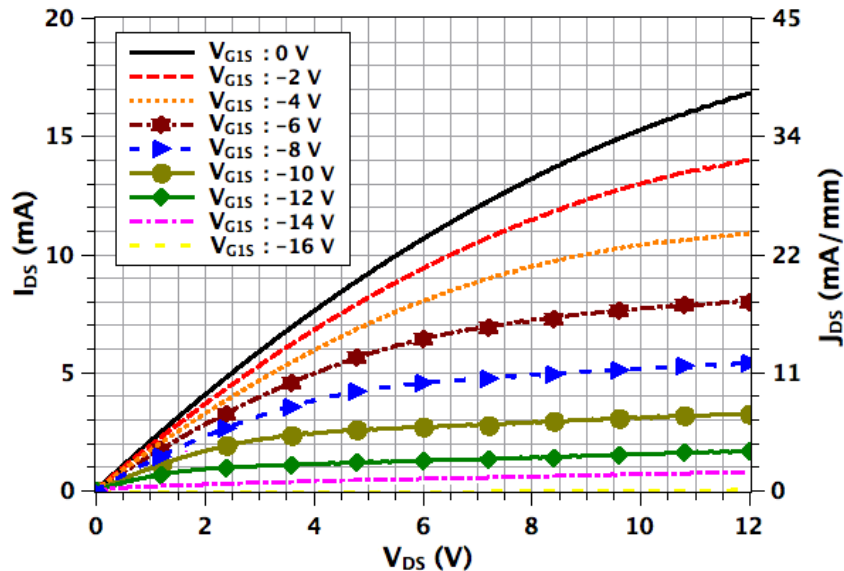


FIGURE 4.35 – Caractéristiques statiques  $I_{DS} = f(V_{DS})$  expérimentales d'un MESFET signal pour différentes polarisations de la grille  $G_1$  avec l'électrode de grille  $G_2$  flottante. Le composant présente un courant  $I_{DS}$  de 17 mA pour un  $V_{G1S}$  de 0 V à une tension  $V_{DS}$  égale à 12 V. Le MESFET présente un courant  $I_{DS}$  inférieur à 1 mA pour  $V_{G1S}$  de -16 V.

Les mesures montrent le comportement attendu pour le MESFET de signal. Le composant se bloque lors de l'application d'un potentiel négatif par rapport à la source. Plus la différence du potentiel entre les électrodes de grille et de source est importante et plus le MESFET limite le passage du courant  $I_{DS}$  à travers son canal. Le transistor présente un courant  $I_{DS}$  de 17 mA pour  $V_{DS}$  à 12 V,  $V_{G1S}$  à 0 V et la grille  $G_2$  flottante. Cette valeur ne correspond pas à la valeur attendu suite au dimensionnement (17 mA au lieu de 25 mA), mais présente néanmoins un ordre de grandeur équivalent. Le graphique "a)" de la figure 4.36 présente la caractéristique  $I_{DS} = (V_{G1S})$  pour un  $V_{DS}$  de 10 V. La corrélation des graphiques présentés sur les figures 4.35 et 4.36 montre que le MESFET est considéré comme bloqué lorsque le potentiel  $V_{G1S}$  atteint une tension de -15.3 V. D'après les données de la figure 4.36, le courant  $I_{DS}$  vaut 250  $\mu$ A pour un  $V_{G1S}$  de -20 V et un  $V_{DS}$  de 10 V. Le graphique "b)" de la figure 4.36 montre la caractéristique  $I_{G1S} = (V_{G1S})$  pour un  $V_{DS}$  de 10 V. Le composant présente un courant de fuite sur la grille inférieur à 0.7  $\mu$ A, soit 416 fois plus petit que le courant de fuite  $I_{DS}$ .

Le blocage d'un transistor de type signal par l'électrode  $G_2$  a été évalué expérimentalement. La figure 4.37 présente les résultats des mesures obtenus. L'application d'un potentiel

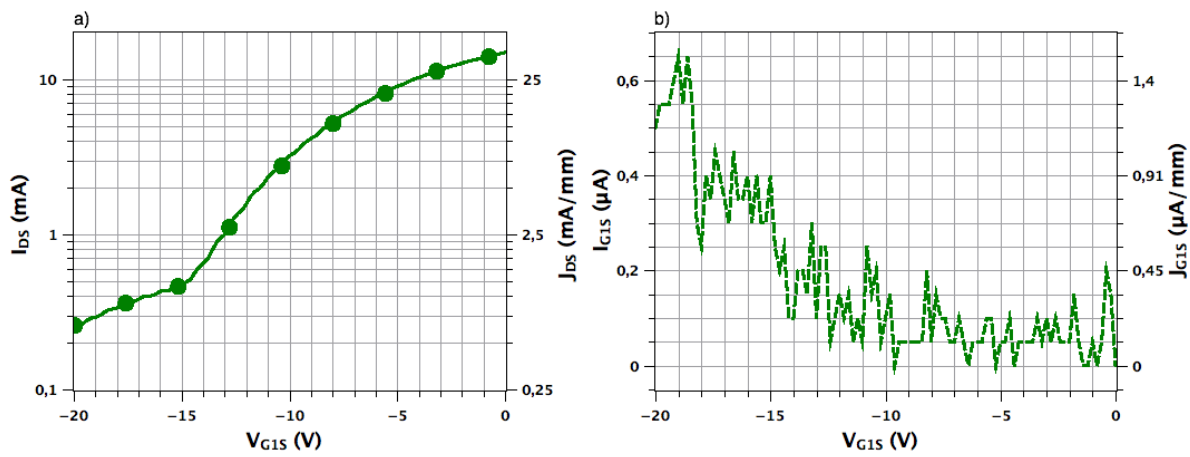


FIGURE 4.36 – Le graphique a) présente la caractéristique  $I_{DS} = f(V_{G1S})$  expérimentale d'un MESFET de signal. La graphique b) montre la caractéristique  $I_{G1S} = f(V_{G1S})$  mesurée pour ce même type de composant. Les mesures ont été établies pour une tension  $V_{DS}$  de 10 V avec l'électrode de grille  $G_2$  flottante.

sur l'électrode de grille  $G_2$  ne permet pas de bloquer entièrement le composant contrairement à l'application d'un potentiel sur  $G_1$ . La polarisation de la grille  $G_2$  permet une modulation de 9 % du courant  $I_{DS}$  à travers le canal du transistor. Le courant varie de 14.3 mA pour un  $V_{G2S}$  de 0 V à 13 mA pour un  $V_{G2S}$  de -52 V.

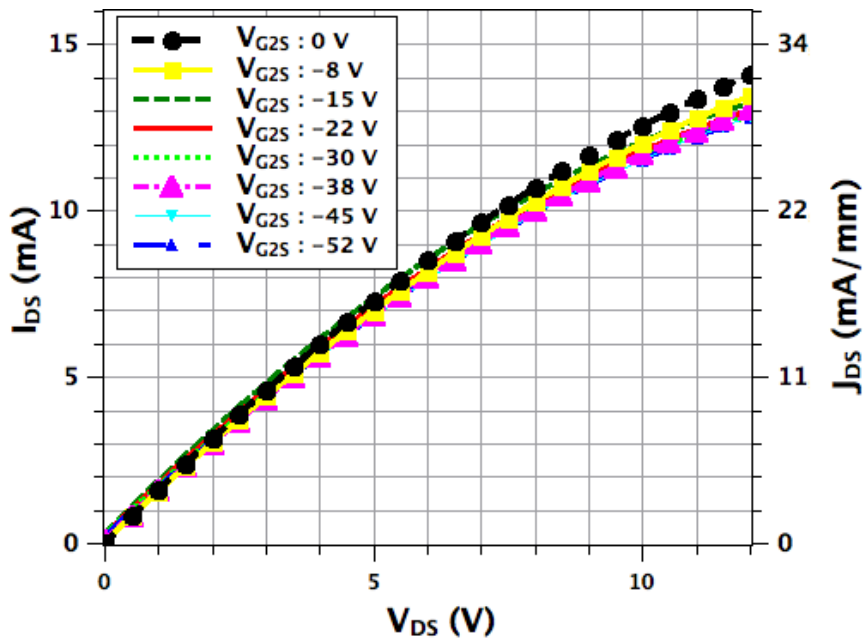


FIGURE 4.37 – Caractéristiques statiques  $I_{DS} = f(V_{DS})$  expérimentales d'un MESFET de signal commandé à partir de l'électrode de grille  $G_2$  et où  $G_1$  est reliée au même potentiel que la source. Le courant  $I_{DS}$  varie de 9 % pour un  $V_{G2S}$  compris entre 0 V et -52 V.

Le MESFET de signal a été caractérisé en reliant les grilles  $G_1$  et  $G_2$  au même potentiel. La figure 4.38 présente la comparaison entre les caractéristiques statiques  $I_{DS} = f(V_{DS})$  pour une configuration où  $G_2$  est flottante (symbole), puis au même potentiel que  $G_1$  (trait continu). Les données expérimentales sont dans la continuité des résultats présentés au cours du chapitre 2. L'application du même potentiel entre les grilles  $G_1$  et  $G_2$  donne un courant  $I_{DS}$  à l'état passant du même ordre grandeur que celui d'un composant dont l'électrode  $G_2$  est flottante. Toutefois, il apparaît que plus le potentiel appliqué est négatif et plus la différence entre les courants mesurés est grande. La structure, qui a les deux grilles polarisées au même potentiel limite avec une meilleure efficacité le passage du courant  $I_{DS}$  à travers le canal du transistor. Par exemple, pour un  $V_{G12S}$  ( $G_1$  et  $G_2$  au même potentiel) de -8 V, le courant  $I_{DS}$  à  $V_{DS}$  égale 8 V est de 3.5 mA contre 6 mA pour la configuration où  $G_2$  est flottante. Le transistor de signal polarisé dans la configuration où les deux électrodes de grille sont soumises au même potentiel ( $V_{G12S}$ ) se bloque pour des tensions "grille-source" de module plus importantes. D'après les courbes, le composant est quasiment bloqué pour un  $V_{G12S}$  de -12 V contre un  $V_{G1S}$  de -16 V pour la configuration où la grille  $G_2$  est flottante.

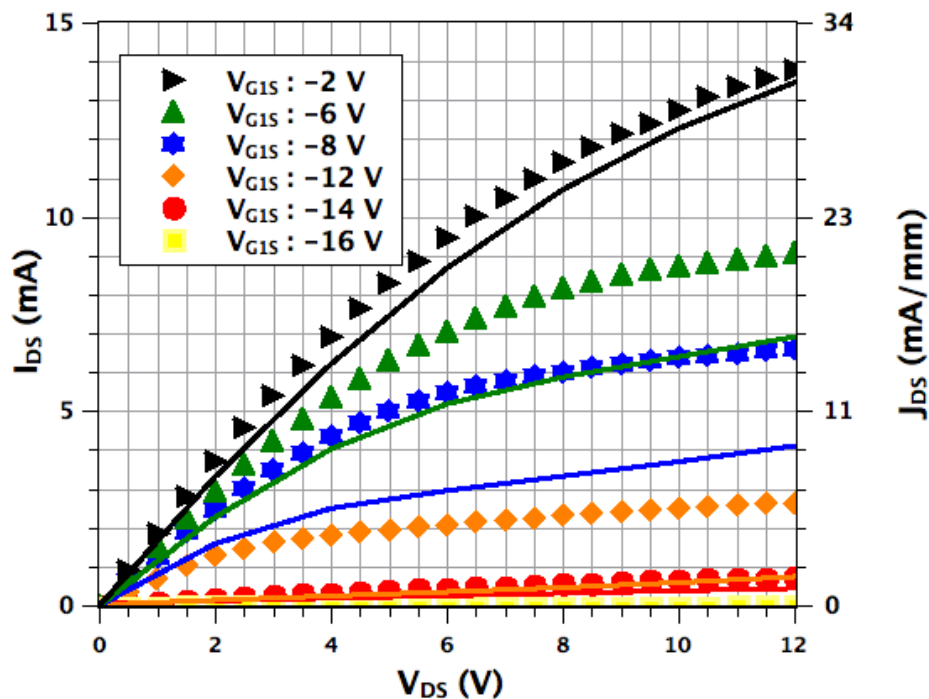


FIGURE 4.38 – Comparaison entre les caractéristiques statiques  $I_{DS} = f(V_{DS})$  expérimentales d'un MESFET signal avec l'électrode de grille  $G_2$  flottante dans un cas ( $V_{G1S}$ -symbole) et reliée au même potentiel que  $G_1$  dans l'autre cas ( $V_{G1S} = V_{G12S}$  - trait continu). Le graphique met en évidence un meilleur blocage du courant  $I_{DS}$  dans la seconde configuration ( $G_1$  et  $G_2$  reliées).

Cette comparaison entre les caractéristiques expérimentales montre l'importance de la polarisation de la grille enterrée  $G_2$  des transistors MESFETs. L'utilisation de la couche enterrée P par le biais de la polarisation de la grille  $G_2$  améliore les performances du composant en terme de blocage.

### c) Extraction et analyse des principaux paramètres du MESFET signal

Les mesures réalisées ont permis l'extraction des principaux paramètres du transistor de si-

gnal présentés dans le tableau 4.9. Pour les différents tableaux présentés par la suite, la moyenne a été effectuée sur les composants fonctionnels.

Grandeur	Moyenne	$\sigma$	$\sigma$ -haut	$\sigma$ -bas
$V_{th}$ (V)	-15	1.3	-13.7	-16
$R_{on}$ (k $\Omega$ /mm)	1.05	0.33	1.35	0.76
$J_{DS-max}$ (mA/mm)	44.24	6.02	50.42	38.38
$J_{DS-fuite}$ ( $\mu$ A/mm)	568	108	676	460
$J_{G1S-max}$ ( $\mu$ A/mm)	1.62	0.23	1.85	1.39

TABLEAU 4.9 – Synthèse de l'extraction des paramètres effectuée sur 40 MESFETs de signal ( $R_{on}$  @  $V_{DS} : 0.12$  V et  $V_{G1S} : 0$  V,  $J_{DS-max}$  @  $V_{DS} : 12$  V et  $V_{G1S} : 0$  V,  $J_{DS-fuite}$  @  $V_{DS} : 10$  V et  $V_{G1S} : -20$  V,  $J_{G1S-max}$  @  $V_{DS} : 10$  V et  $V_{G1S} : -20$  V).

Le MESFET de type signal est fonctionnel. Ce dernier présente le comportement souhaité et une valeur de courant  $I_{DS}$  dans l'ordre de grandeur attendu. Des différences de comportements sont toutefois identifiées par rapport à l'ancienne structure. La figure 4.39 présente la comparaison des caractéristiques statiques  $I_{DS} = f(V_{DS})$  entre le modèle de simulation utilisé pour dimensionner le MESFET de signal et les mesures obtenues à partir d'un composant provenant du wafer.

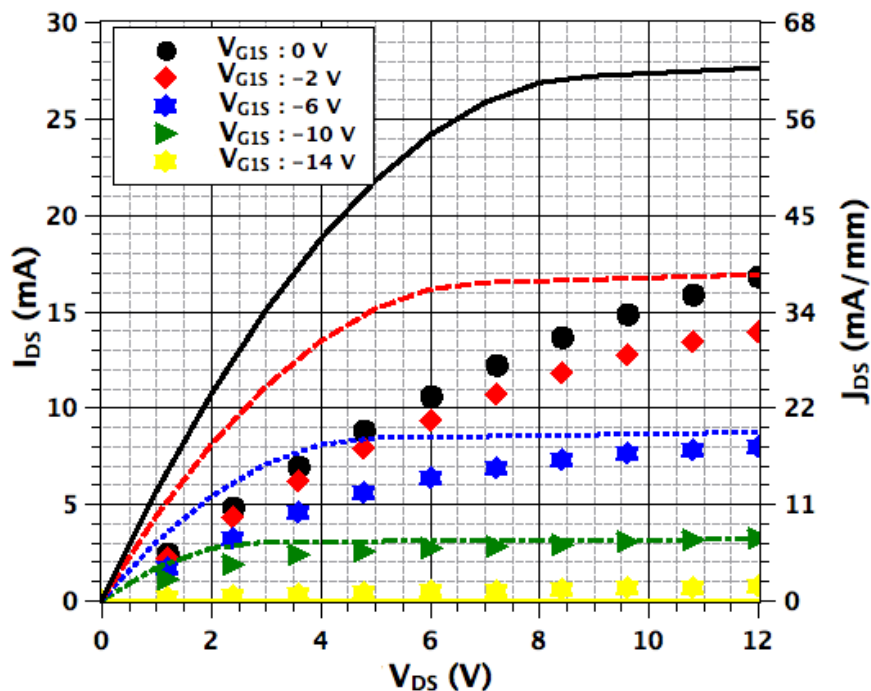


FIGURE 4.39 – Comparaison entre les caractéristiques statiques  $I_{DS} = f(V_{DS})$  expérimentales (symbole) d'un MESFET signal avec l'électrode de grille  $G_2$  flottante et le modèle de simulation (trait) utilisé pour dimensionner le transistor de signal. Le graphique met en évidence des écarts importants entre la simulation et les données expérimentales.

Un potentiel  $V_{G1S}$  de  $-15.3$  V est nécessaire pour bloquer le composant contre  $-10$  V pour ceux l'ancienne génération (lot 1). L'origine de cette différence est théoriquement liée d'après la formule 2.1 (chapitre 2), soit à un dopage plus important du canal de type N, soit à une épaisseur "a" plus importante de la couche semi-conductrice de type N (figure 4.1). L'utilisation de la grille  $G_2$  pourrait être une solution pour le blocage des MESFETs de seconde génération, suite aux analyses précédentes. Les caractérisations électriques des autres types de transistors permettront de déduire par la suite des informations plus précises sur l'origine des différences de blocages observées par rapport à la première topologie du MESFET. De plus, le courant  $I_{DS}$  pour  $V_{DS}$  à  $12$  V et  $V_{G1S}$  à  $0$  V s'avère être de  $17$  mA au lieu de  $27$  mA. Cet écart entre les courants  $I_{DS}$  provient des résistances de contact du composant. Ce phénomène a été observé lors de la caractérisation des résistances de test et des diodes. La figure 4.40 compare les caractéristiques statiques  $I_{DS} = f(V_{DS})$  expérimentales du composant avec celles du modèle de simulation modifié par l'ajout de résistances de contact prenant en compte les valeurs extraites précédemment. Les paramètres SPICE  $R_d$  et  $R_s$  du modèle de JFET ont été fixés à  $500 \Omega$  (présenté dans le chapitre 2). L'extraction des résistances de contact pour les structures de test a montré que leur valeur était de l'ordre du k $\Omega$ . Cette valeur a été fixée pour observer l'influence de ce paramètre sur les caractéristiques statiques  $I_{DS} = f(V_{DS})$  du transistor de signal. Il s'agit d'une valeur approchée du fait de l'approximation faite sur les résistances de contact. L'ajout des résistances de contact donne un modèle de simulation relativement proche des caractérisations statiques obtenues. Cela confirme que l'aplatissement des caractéristiques statiques et la différence du courant  $I_{DS}$  par rapport au dimensionnement attendu sont liés aux valeurs élevées des résistances de contact.

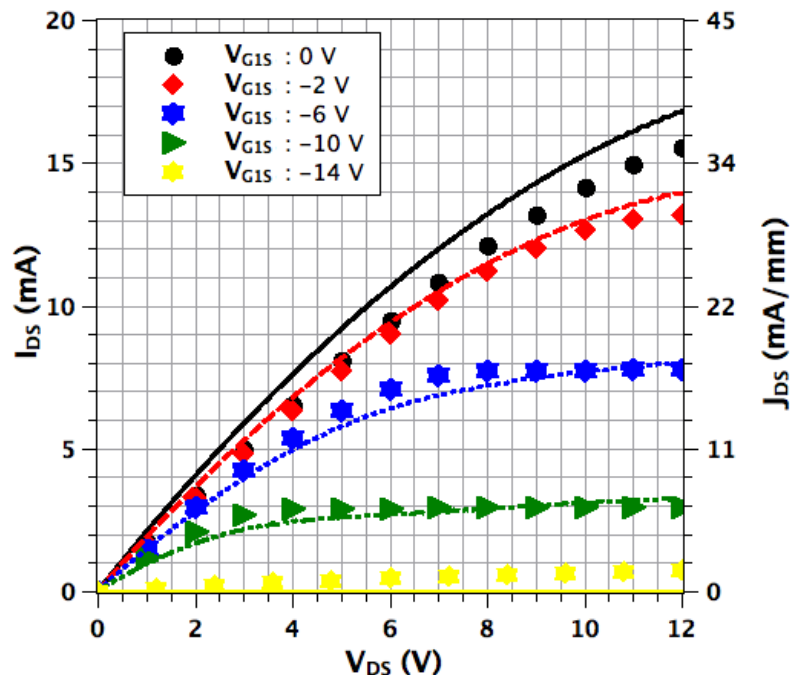


FIGURE 4.40 – Comparaison entre les caractéristiques statiques  $I_{DS} = f(V_{DS})$  expérimentales (trait) d'un MESFET signal avec l'électrode de grille  $G_2$  flottante et le modèle de simulation (symbole) dont les résistances de contact  $R_d$  et  $R_s$  ont respectivement été ajustées à une valeur de  $500 \Omega$ . L'ajout des résistances de contact au modèle SPICE donne des caractéristiques électriques relativement proche entre la simulation et les mesures expérimentales.



#### d) Conclusion sur la réalisation du MESFET de signal

Un MESFET de signal de seconde génération a été élaboré au moyen du modèle de simulation SPICE établi pour la première génération de transistor "normalement passant" (lot 1, chapitre 2). Les mesures ont montré que le composant était fonctionnel et qu'il présentait le comportement attendu. Les courants de fuite  $I_{DS}$  et  $I_{G1S}$  du transistor de type signal sont très satisfaisants. Ils présentent respectivement des valeurs inférieures à  $300 \mu\text{A}$  et à  $0.7 \mu\text{A}$ . Des différences ont été observées entre les caractéristiques électriques de la première (lot 1) et seconde (lot 2) génération du MESFET. Le premier problème est lié à la tension de blocage  $V_{th}$ . L'application d'une différence de potentiel de  $-10 \text{ V}$  entre  $G_1$  et la source suffisait au blocage du transistor de la première génération (lot 1) contre  $-15.3 \text{ V}$  pour la structure actuelle. De plus, le courant  $I_{DS}$  du nouveau composant présente de forts écarts par rapport à la structure du premier lot. Une analyse a montré que les différences observées provenaient de la valeur élevée des résistances de contact du transistor. En conclusion, le composant est considéré comme valide, mais des ajustements technologiques sont nécessaires pour obtenir une structure optimisée en vue de la conception du système de puissance.

#### Le MESFET de type "buffer"

##### a) Description de la géométrie du composant

Lors de la phase de conception du convertisseur de puissance, un transistor buffer a été dimensionné. Ce composant est un transistor intermédiaire d'une largeur de grille de  $4994 \mu\text{m}$  utilisé par les fonctions Totem-pole pour fournir la quantité nécessaire à la grille du MESFET de puissance. La largeur du canal d'une cellule de base d'un MESFET de type buffer est de  $512 \mu\text{m}$ . Un composant est constitué par la mise en parallèle de douze cellules, ce qui fait une largeur totale de canal de  $6144 \mu\text{m}$ . Cette largeur est plus importante que celle dimensionnée lors des simulations ( $4994 \mu\text{m}$ ). Une marge de sécurité a en fait été prise pour s'assurer du bon fonctionnement du composant. En effet, ce transistor est un élément majeur du système de contrôle. Son dimensionnement est basé sur une estimation du courant à transmettre à la grille de l'interrupteur de puissance. Cette marge est une mesure préventive pour permettre au composant de pouvoir fournir un courant de grille plus important au transistor de puissance. Cette valeur sera ajustée lors des prochains lots fabriqués.

En raison du nombre important de composants et de fonctions à intégrer sur le wafer, aucun MESFET de type buffer élémentaire n'a été envisagé. Ces transistors ont été directement utilisés pour réaliser la fonction totem-pole. L'agencement de cette structure offre la possibilité de tester chaque transistor indépendamment. Il est important de préciser que pour des raisons de compacité, il a été choisi de ne pas attribuer d'électrode à la grille  $G_2$  aux MESFETs de la fonction totem-pole. Cette dernière sera considérée comme flottante lors des différents tests expérimentaux. Cette grille pourra toutefois être facilement ajoutée lors de la réalisation des prochains jeux de masques de circuits intégrés. Deux fonctions totem-pole identiques sont présentes dans ce second lot. Elles portent respectivement le nom de Tp1 et Tp2 (figure 4.6 et tableau 4.3). Chaque fonction est constituée de deux transistors "buffer". Les figures 4.41 et 4.42 présentent respectivement le schéma électrique et la photographie de la fonction totem-pole fabriquée.

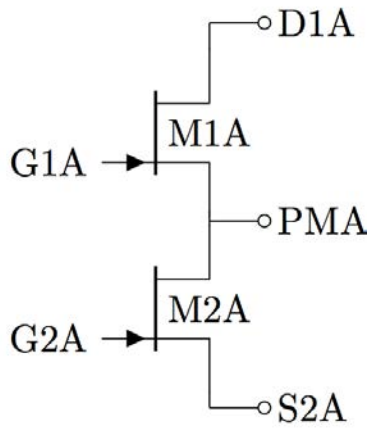


FIGURE 4.41 – Schéma électrique de la fonction totem-pole constituée de deux MESFETs de type buffer ( $M_{1A}$  et  $M_{2A}$ ).

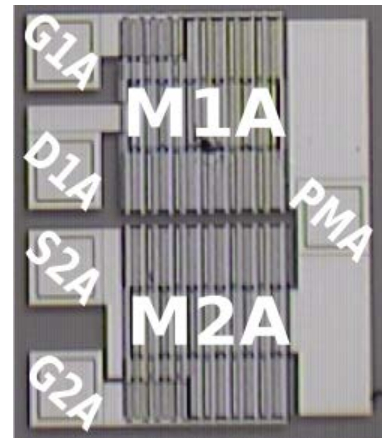


FIGURE 4.42 – Vue de la fonction totem-pole intégrée sur le wafer SiC. La distance de  $G_{1A}$  à  $G_{2A}$  est de 680 μm.

### b) Caractérisation électrique du MESFET "buffer"

Les transistors de type "buffer" ont pu être caractérisés expérimentalement de façon indépendante. La méthodologie utilisée reste identique à celle des autres composants. La figure 4.43 présente les caractéristiques statiques  $I_{DS} = f(V_{DS})$  typique des MESFETs buffer implantés sur le wafer.

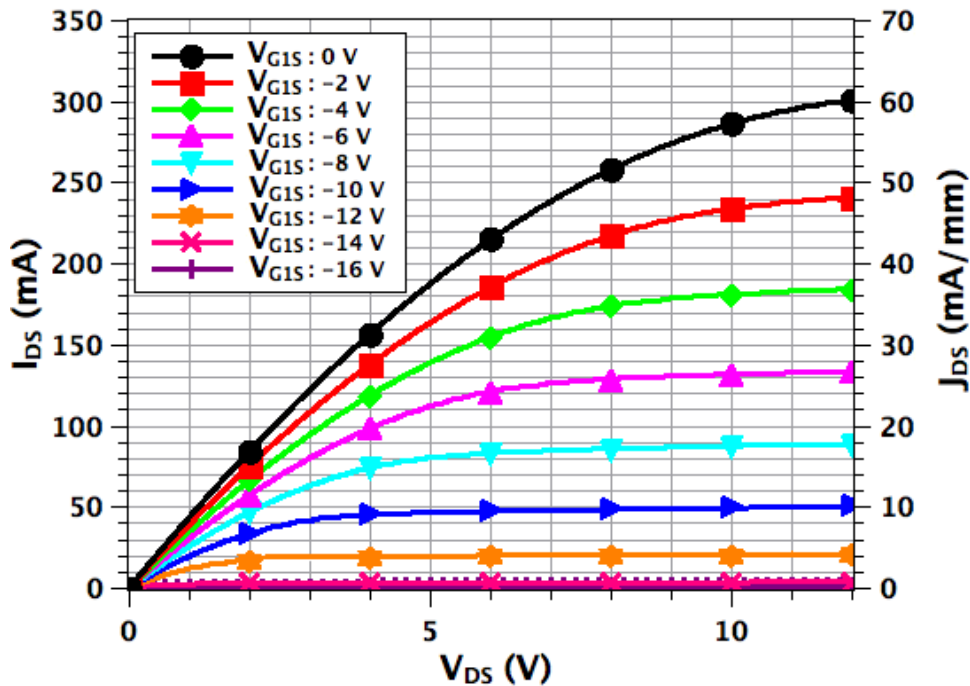


FIGURE 4.43 – Caractéristiques statiques  $I_{DS} = f(V_{DS})$  expérimentales d'un MESFET de type "buffer" d'une largeur de canal de 6144 μm pour différentes valeurs de  $V_{G1S}$ . Le courant  $I_{DS}$  vaut 300 mA pour un  $V_{DS}$  de 12 V et un  $V_{G1S}$  de 0 V. Il présente un courant  $I_{DS}$  de l'ordre de 700 μA pour un  $V_{G1S}$  de -16 V.

Le MESFET présente le comportement attendu. Il est capable de conduire un courant  $I_{DS}$  de 300 mA et se bloque à l'application d'une tension  $V_{G1S}$  de l'ordre de -15 V. Tout comme le transistor de signal, le courant  $I_{DS}$  s'avère être néanmoins plus faible que la valeur dimensionnée (400 mA). Cette différence provient principalement des fortes résistances de contact du composant. Il s'agit du même phénomène, qui a été observé sur les autres composants caractérisés précédemment. Une optimisation de la valeur des contacts est nécessaire pour obtenir les performances attendues. Une autre solution peut consister à ajuster la largeur du canal pour avoir le courant souhaité.

Le graphique "a)" de la figure 4.44 montre la caractéristique  $I_{DS} = (V_{G1S})$  pour un  $V_{DS}$  de 10 V. Une comparaison des données expérimentales montre que le MESFET peut-être considéré comme bloqué lors de l'application d'une tension  $V_{G1S}$  de -14.5 V. Le MESFET de type "buffer" présente un courant de fuite  $I_{DS}$  de 300  $\mu$ A pour une tension  $V_{G1S}$  de -20 V et un  $V_{DS}$  de 10 V. Le graphique "b)" de la figure 4.44 expose la caractéristique  $I_{G1S} = (V_{G1S})$  pour un  $V_{DS}$  de 10 V. Le composant présente un courant de fuite sur la grille inférieur à 7  $\mu$ A. Ce courant de fuite est 42 fois plus faible que le courant de fuite  $I_{DS}$ .

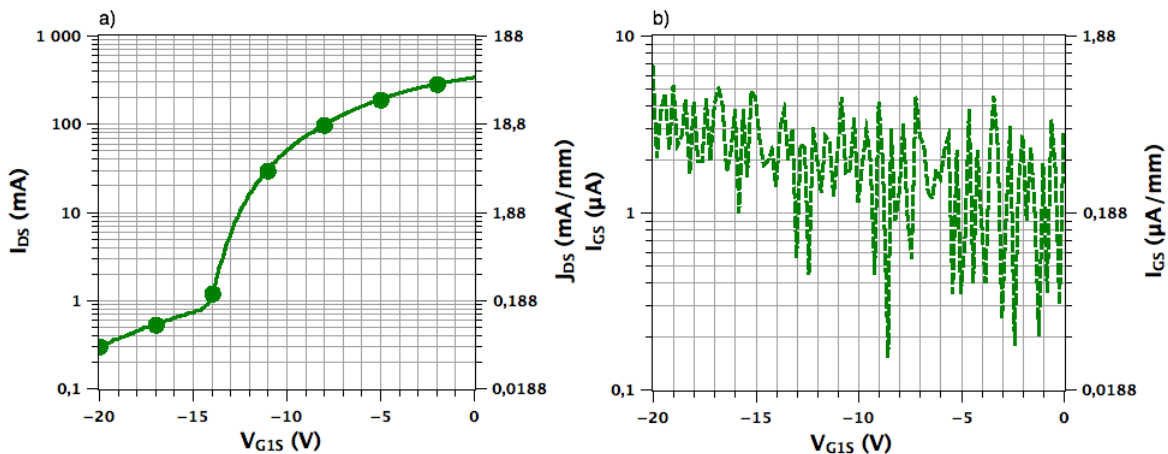


FIGURE 4.44 – Le graphique a) présente la caractéristique  $I_{DS} = (V_{G1S})$  expérimentale d'un MESFET de type buffer. La graphique b) montre la caractéristique  $I_{G1S} = (V_{G1S})$  mesurée pour ce même type de composant. Les mesures ont été établies pour une tension  $V_{DS}$  de 10 V.

### c) Extraction et analyse des principaux paramètres du MESFET "buffer"

La figure 4.45 présente la cartographie partielle réalisée des courants de fuite  $J_{G1S}$  par unité de longueur réalisée sur 140 MESFETs de type buffer. D'après la cartographie 51 composants sont opérationnels (37 %). Ils sont majoritairement situés sur la zone centrale gauche du wafer. Les composants non-fonctionnels présentent des courants  $J_{G1S}$  supérieures à 100  $\mu$ A/mm contre un courant  $J_{G1S}$  inférieur à 10  $\mu$ A/mm pour les composants valides. Ce problème pourrait provenir de la non-uniformité du dopage de type N, qui modifierait la valeur de la hauteur de barrière Schottky. Une diminution du dopage réduirait la hauteur de la barrière et conduirait à l'augmentation du courant de fuite  $I_{G1S}$  [MF09]. D'après P. G. NEUDECK, la présence de défauts cristallin dans le matériau SiC pourrait expliquer ce problème [NEU00]. Le MESFET buffer présente une surface 7 fois plus importante (0.22 mm<sup>2</sup>) que le MESFET de si-

gnal ( $0.03 \text{ mm}^2$ ). Ce composant a par conséquent une probabilité plus importante d'être soumis à un défaut cristallin du wafer SiC pouvant conduire à l'augmentation des courants  $J_{G1S}$  ( $> 100 \mu\text{A}/\text{mm}$ ).

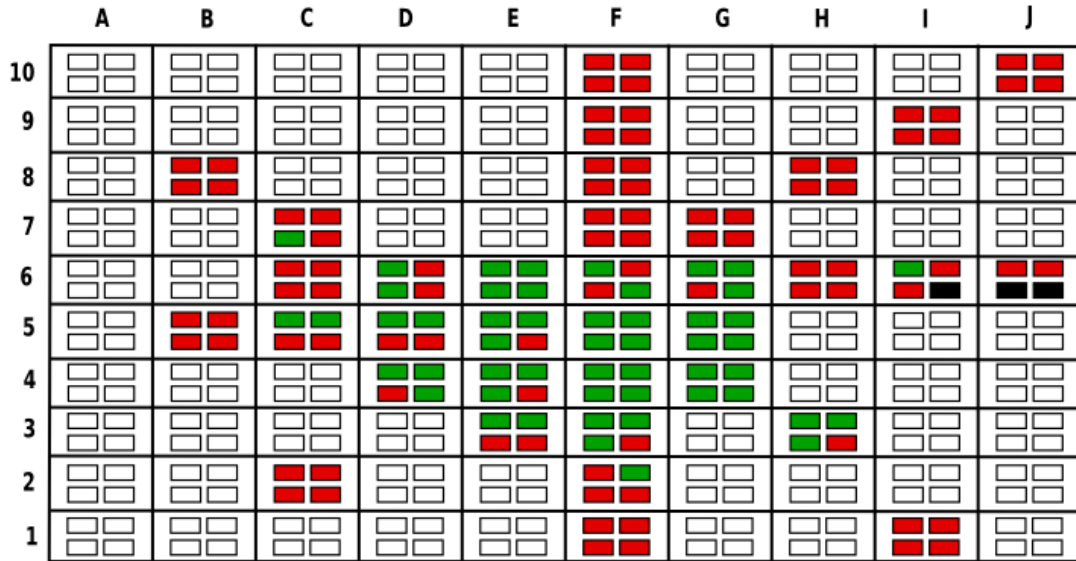


FIGURE 4.45 – Cartographie du courant de fuite  $J_{G1S}$  par unité de longueur @  $-50 \text{ V}$  de 140 MESFETs de type "buffer" mesurés sur le wafer SiC. Le vert représente les composants dont le courant de fuite  $J_{G1S}$  est inférieur à  $10 \mu\text{A}/\text{mm}$ . Le rouge montre ceux, qui possèdent un courant de fuite  $J_{G1S}$  supérieur à  $100 \mu\text{A}/\text{mm}$ .

Les données expérimentales vont permettre la comparaison des principales caractéristiques des différents MESFETs SiC, que ce soit en terme de résistance à l'état passant ( $R_{on}$ ), de courant de fuite au niveau de la grille  $G_1$  ou de tension de seuil  $V_{th}$ . Le tableau 4.10 présente la synthèse des résultats obtenus suite à une cartographie partiel. La cartographie de la tension de seuil  $V_{th}$  des MESFETs de type "buffer" est présentée dans la partie 5.3 des annexes.

Grandeur	Moyenne	$\sigma$	$\sigma$ -haut	$\sigma$ -bas
$V_{th}$ (V)	-14.24	0.81	-13.40	-15.10
$R_{on}$ ( $\Omega/\text{mm}$ )	5.01	0.59	5.59	5.42
$J_{DS-max}$ (mA/mm)	56.23	2.90	59.12	53.33
$J_{DS-fuite}$ ( $\mu\text{A}/\text{mm}$ )	51	13	64	38
$J_{G1S-max}$ ( $\mu\text{A}/\text{mm}$ )	1.38	0.36	1.73	1.02

TABLEAU 4.10 – Synthèse des principaux paramètres extraits suite à la cartographie partiels de 140 MESFETs de type buffer. Les valeurs  $J_{DS-fuite}$  et  $J_{G1S-max}$  sont données pour les 51 MESFETs fonctionnels ( $R_{on}$  @  $V_{DS} : 0.12 \text{ V}$  et  $V_{G1S} : 0 \text{ V}$ ,  $J_{DS-max}$  @  $V_{DS} : 12 \text{ V}$  et  $V_{G1S} : 0 \text{ V}$ ,  $J_{DS-fuite}$  @  $V_{DS} : 10 \text{ V}$  et  $V_{G1S} : -20 \text{ V}$ ,  $J_{G1S-max}$  @  $V_{DS} : 10 \text{ V}$  et  $V_{G1S} : -20 \text{ V}$ ).

#### d) Conclusion sur la réalisation du MESFET "buffer"

En conclusion, le transistor MESFET de type "buffer" est fonctionnel. Les résultats expérimentaux valident la conception de la structure du MESFET de type "buffer". Les principales différences comportementales sont liées aux fortes résistances de contact des composants et à une tension de seuil  $V_{th}$  plus importante que celle du transistor MESFET de première génération (lot 1). Ce dernier paramètre présente une caractéristique similaire à celle du transistor de signal. Cela confirme l'hypothèse d'une origine liée au processus de fabrication. 37 % des MESFETs fonctionnent et présentent des courants de fuite  $J_{G1S}$  inférieurs à  $10 \mu\text{A}/\text{mm}$ . Certaines zones du wafer (moitié haute et partie droite) ont des courants de fuite plus élevés (supérieurs à  $100 \mu\text{A}/\text{mm}$ ). L'origine de ce problème pourrait être liée à la qualité du matériau utilisé puisque cette structure de  $0.22 \text{ mm}^2$  a une probabilité plus importante de rencontrer des défauts qu'un composant de signal ( $0.03 \text{ mm}^2$ ). 16 fonctions Totem-pole caractérisées sont opérationnelles sur ce wafer.

### Le MESFET de puissance

#### a) Description de la géométrie du composant

Le MESFET de puissance a été dimensionné lors de la conception du convertisseur de puissance au cours du chapitre 2. Afin d'obtenir un composant fonctionnel sur le wafer, le transistor de puissance a été divisé en deux îlots "MPG" et "MPD" (figure 4.6 et tableau 4.3). Chaque îlot a par la suite été divisé en quatre sous-parties de même largeur de canal. Cet agencement a été choisi pour éviter que d'éventuels court-circuits entre les métallisations rendent le composant inutilisable. Chaque sous-partie est constituée d'un MESFET défini par la mise en parallèle de 24 cellules de base dont la largeur de canal vaut  $512 \mu\text{m}$ . Cela correspond à une largeur de canal de 1.2 cm. La mise en parallèle des huit transistors donne la largeur de canal dimensionnée, soit 9.9 cm.

La figure 4.46 présente la structure du composant de puissance fabriqué. Les îlots ont la particularité d'avoir une électrode  $G_2$  disposée au centre du composant permettant de contrôler la grille enterrée des transistors. La grille  $G_2$  du MESFET de puissance sera laissée flottante pour les différentes caractérisations présentées dans les parties suivantes. La topologie du composant permet de tester les huit transistors indépendamment, mais aussi par îlot (quatre transistors) et globalement (huit transistors). La connexion entre les composants opérationnels sera effectuée au moyen de fils de bonding. Les transistors ont respectivement été nommés M11L, M12L, M21L, M22L, M11R, M12R, M21R et M22R.

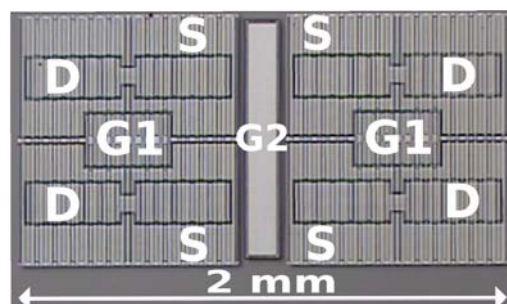


FIGURE 4.46 – Vue d'un îlot de quatre MESFETs de puissance fabriqués sur la wafer SiC (MPG).

### b) Caractérisation électrique du MESFET de puissance

Chaque sous-partie du MESFET de puissance a été testée indépendamment avec la grille enterrée ( $G_2$ ) flottante. La figure 4.47 présente le comportement typique d'une sous-partie fonctionnelle.

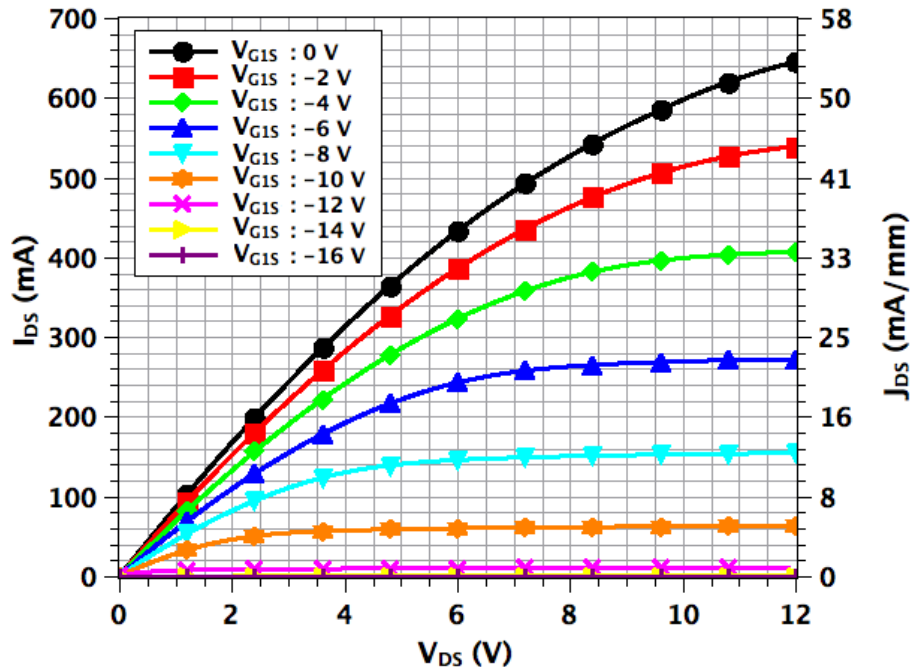


FIGURE 4.47 – Caractéristiques statiques  $I_{DS} = f(V_{DS})$  expérimentales d'une sous-partie d'un îlot du MESFET de puissance (M11L) d'une largeur de canal de 1.2 cm, pour différentes valeurs de  $V_{G1S}$  avec l'électrode de grille  $G_2$  flottante.

Le composant de puissance est opérationnel. Il bloque le courant  $I_{DS}$  lors de l'application d'un potentiel négatif de l'ordre de -15 V. Le MESFET présente un courant  $I_{DS}$  de 600 mA pour un  $V_{DS}$  de 10 V avec  $V_{G1S}$  à 0 V pour l'électrode  $G_2$  flottante. Les fortes résistances de contact conduisent à un courant  $I_{DS}$  de 600 mA contre 1 A attendu théoriquement. Cette différence va entraîner un courant  $I_{DS}$  de 4.8 A contre 8.5 A pour le MESFET de puissance complet. Cette valeur du courant  $I_{DS}$  ne devrait poser aucun problème pour la réalisation du démonstrateur puisque le transistor de puissance (mise en parallèle des différentes sous-parties) devrait pouvoir fournir un courant  $I_{DS}$  de 660 mA en régime linéaire.

Le graphique "a)" de la figure 4.48 présente la caractéristiques  $I_{DS} = f(V_{G1S})$  pour une tension  $V_{DS}$  de 10 V avec l'électrode de grille  $G_2$  flottante. Il apparaît que le composant est considéré comme bloqué à -15.5 V. Un courant de fuite  $I_{DS}$  résiduel est observée sur le graphique. Ce courant est à une valeur de 1 mA pour une tension  $V_{G1S}$  de -20 V. Le graphique "b)" de la figure 4.48 montre la caractéristique  $I_{G1S} = f(V_{G1S})$  pour une tension  $V_{DS}$  de 10 V. Il apparaît d'après les données expérimentales que le courant de fuite  $I_{G1S}$  de la grille  $G_1$  présente une valeur maximale de 100  $\mu$ A pour une tension  $V_{G1S}$  de -20 V. Le courant de fuite  $I_{G1S}$  représente un dixième du courant de fuite  $I_{D1S}$ .

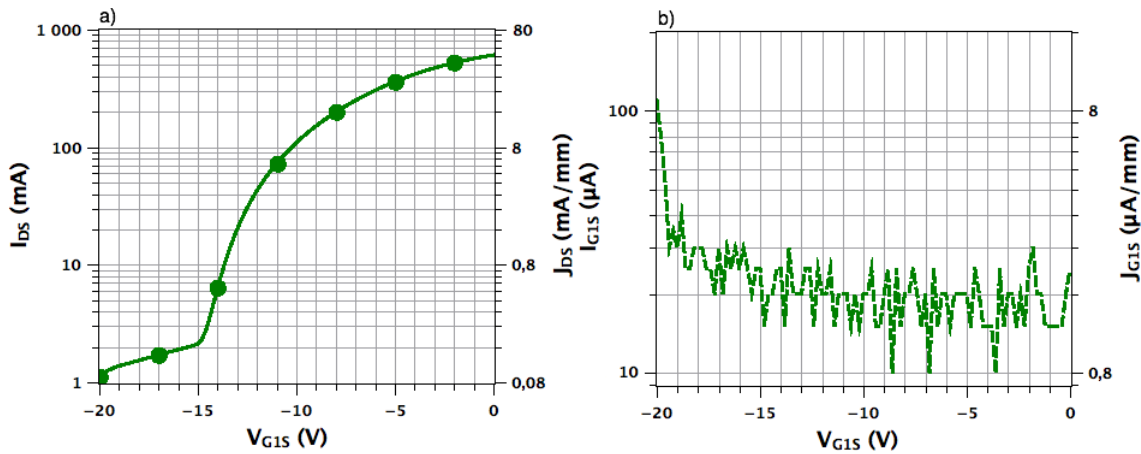


FIGURE 4.48 – Le graphique a) présente la caractéristique  $I_{DS} = f(V_{G1S})$  expérimentale d'un MESFET de type puissance. La graphique b) montre la caractéristique  $I_{G1S} = f(V_{G1S})$  mesurée pour ce même type de composant. Les mesures ont été établies pour une tension  $V_{DS}$  de 10 V avec l'électrode de grille  $G_2$  flottante.

### c) Extraction et analyse des principaux paramètres du MESFET de puissance

Suite à la réalisation des cartographies, il s'avère que 22 sous-parties du MESFET de puissance sont fonctionnelles sur les 224 mesurées (10 %). Les composants valides présentent un courant de fuite  $J_{G1S}$  par unité de longueur de l'ordre de  $10 \mu\text{A}/\text{mm}$ . Les transistors inutilisables présentent, soit des court-circuits, soit des courants de fuite  $J_{G1S}$  élevés ( $> 1 \text{ mA}/\text{mm}$ ). Les MESFETs de puissance opérationnels sont principalement situés sur la partie centrale du quart bas droit du wafer. Le problème lié aux forts courants  $J_{G1S}$  est similaire à celui, qui a été présenté pour les MESFETs de type "buffer". Les deux hypothèses énumérées pour le MESFET buffer sont envisageables. Toutefois, il apparaît que le transistor de puissance est la structure, qui présente la plus grande surface sur le wafer ( $4.08 \text{ mm}^2$ ), ainsi que le nombre le plus élevé de composants non-fonctionnels. Ce constat semblerait confirmer l'hypothèse liée à la qualité du matériau puisque en raison de sa superficie ce type de MESFET a une probabilité élevée d'être soumis à des défauts cristallins pouvant engendrer l'augmentation des courants  $J_{G1S}$ . Le tableau 4.11 synthétise les différentes données expérimentales des 22 MESFETs fonctionnels. Les cartographies du MESFET de puissance sont présentées dans la partie 5.3 des annexes.

### d) Conclusion sur la réalisation du MESFET de puissance

En conclusion, le MESFET de puissance est validé. Le transistor présente le comportement électrique attendu. Les performances ( $I_{DS}$  à 600 mA contre 1 A) du composant sont toutefois impactées en raison de la présence de fortes résistances de contact. 10 % des transistors sont opérationnels. Le problème de la non-fonctionnalité d'une majorité de composants est lié à l'importante surface occupée par le composant ( $4.08 \text{ mm}^2$ ). Le MESFET de puissance a une probabilité plus importante par rapport aux structures de dimensions plus réduites d'être soumis aux défauts structurels du matériau SiC.

Grandeur	Moyenne	$\sigma$	$\sigma$ -haut	$\sigma$ -bas
$V_{th}$ (V)	-14.59	1.37	-13.40	-15.40
$R_{on}$ ( $\Omega$ /mm)	1.03	0.20	1.23	0.82
$J_{DS-max}$ (mA/mm)	54.97	1.2	56.17	53.77
$J_{DS-fuite}$ ( $\mu$ A/mm)	83	20	103	63
$J_{G1S-max}$ ( $\mu$ A/mm)	8.3	1.6	9.9	6.7

TABLEAU 4.11 – Synthèse des principaux paramètres extraits suite à la cartographie partiels de 224 composants d’une largeur de canal de 1.2 cm. Les densités de courant  $J_{DS-fuite}$  et  $J_{G1S-max}$  sont données pour les 22 MESFETs fonctionnels. ( $R_{on}$  @  $V_{DS} : 0.12$  V et  $V_{G1S} : 0$  V,  $J_{DS-max}$  @  $V_{DS} : 12$  V et  $V_{G1S} : 0$  V,  $J_{DS-fuite}$  @  $V_{DS} : 10$  V et  $V_{G1S} : -20$  V,  $J_{G1S-max}$  @  $V_{DS} : 10$  V et  $V_{G1S} : -20$  V).

### Les S-MESFETs

#### a) Présentation des topologies des S-MESFETs

Trois MESFETs innovants dit S-MESFET ont été implantés sur le jeu de masques (figure 4.6 et tableau 4.3). Ces MESFETs présentent la particularité d’avoir une diode associée à une de leurs électrodes (drain ou source). Ces transistors sont tous élaborés pour une largeur de canal de 190  $\mu$ m. Les composants ont été conçus avec quatre électrodes : le drain (D), la source (S), la grille ( $G_1$ ) et la grille enterrée ( $G_2$ ). Le S-MESFET 1 est constitué d’une diode Zener sur l’électrode de source (figure 115 dans la partie 5.4 des annexes). Le S-MESFET 2 possède une diode Schottky sur l’électrode de drain (figure 4.49). Le S-MESFET 3 présente une diode Schottky sur l’électrode de source (figure 116 dans la partie 5.4 des annexes). Dans la suite de cette partie, le S-MESFET 2 sera présenté plus précisément. La vue en coupe du S-MESFET 2 est présentée à la figure 4.49. La figure met en évidence l’ajout d’une métallisation de type Schottky sur le drain du composant. Ce composant présente la particularité d’avoir une diode Schottky intégrée au sein de sa structure. La figure 4.50 présente le schéma électrique équivalent du S-MESFET 2. Les coupes des deux autres composants sont présentées dans la partie 5.4 des annexes. Les S-MESFETs n’ont pas été utilisés pour la réalisation de la commande du démonstrateur. Ces composants ont été implantés pour tester des nouvelles architectures de MESFETs. L’intégration d’une diode dans la structure du composant confère certaines propriétés à ce dernier. La principale motivation est la mise au point de dispositifs présentant des protections directement intégrées dans la structure du composant.

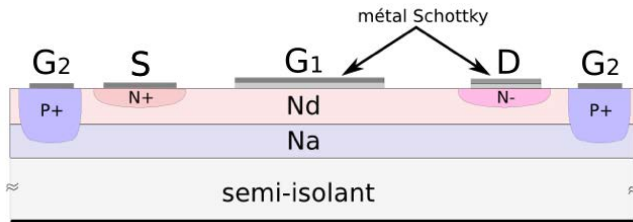


FIGURE 4.49 – Vue en coupe du S-MESFET 2. Le transistor présente la particularité d’avoir une métallisation de type Schottky sur son électrode de drain.

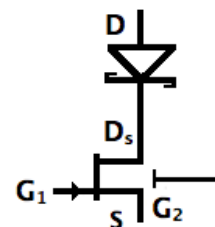


FIGURE 4.50 – Schéma électrique équivalent d’un S-MESFET 2, qui intègre une diode Schottky au niveau de son drain.



### b) Caractérisation électrique du S-MESFET 2

Les caractéristiques  $I_{DS} = f(V_{DS})$  pour différents  $V_{G1S}$  avec la grille  $G_2$  flottante sont présentées à la figure 4.51. La diode Schottky intégrée confère une forme particulière aux caractéristiques  $I_{DS} = f(V_{DS})$  puisque le courant  $I_{DS}$  devient passant lorsque la tension  $V_{DS}$  devient supérieure au potentiel interne de la diode ( $\approx 0.7$  V). Au-delà de cette tension, le transistor se comporte comme un MESFET classique. Le composant est fonctionnel. Il laisse passer un courant de 13 mA pour une tension  $V_{G1S}$  de 0 V et une tension  $V_{DS}$  de 12 V. L'augmentation de la tension  $V_{G1S}$  conduit à la limitation du courant  $I_{DS}$ . Le composant est considéré bloqué pour une tension  $V_{G1S}$  de l'ordre de -16 V. La diode intégrée de ce composant est un dispositif de protection puisque le courant  $I_{DS}$  ne pourra circuler que dans le sens drain-source. Ceci est mis en évidence à la figure 4.52 puisque le courant  $I_{DS}$  ne circule pas dans le sens source drain ( $\approx 5 \mu\text{A}$ ). Les caractéristiques statiques  $I_{DS} = f(V_{DS})$  des S-MESFETs 1 et 3 sont présentées dans la partie 5.4 des annexes.

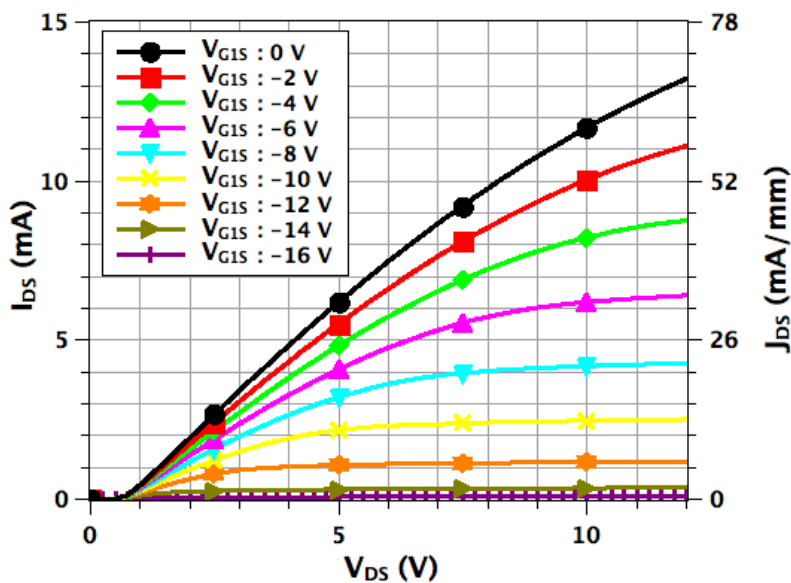


FIGURE 4.51 – Caractéristiques statiques  $I_{DS} = f(V_{DS})$  d'un S-MESFET 2 pour différents  $V_{G1S}$  avec l'électrode de grille  $G_2$  flottante. Le S-MESFET 2 présente la particularité d'avoir une diode Schottky intégrée au niveau de son drain. Cette diode confère une forme particulière aux caractéristiques statiques  $I_{DS} = f(V_{DS})$  puisque le courant ne peut circuler dans le composant que lorsque la tension  $V_{DS}$  est supérieure au potentiel interne de la diode ( $\approx 0.7$  V). Pour des tensions  $V_{DS}$  supérieures, le composant se comporte comme un MESFET normal. Cette diode est un dispositif de protection, elle ne permet le passage du courant que dans le sens drain-source.

### c) Extraction et analyse des principaux paramètres du S-MESFET 2

Les cartographies de la tension de seuil  $V_{th}$ , de la résistance à l'état passant  $R_{on}$ , de la densité de courant  $J_{DS-max}$  et du courant de fuite  $J_{G1S}$  par unité de longueur pour les trois types de S-MESFETs sont présentées dans la partie 5.4 des annexes. 44 composants sur 76 sont fonctionnels (58 %). Le tableau 4.12 synthétise les résultats expérimentaux des 140 S-MESFETs 2 opérationnels. Les résultats pour les S-MESFETs 1 et les S-MESFETs 3 sont récapitulés dans les tableaux 23 et 24 dans la partie 5.4 des annexes.

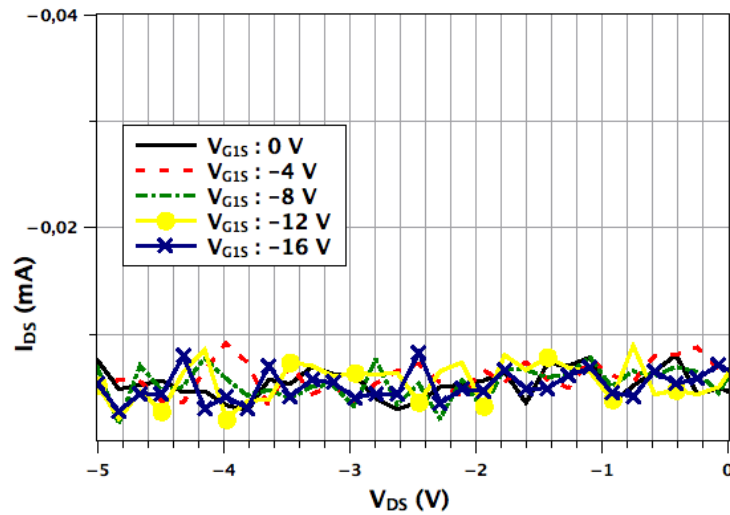


FIGURE 4.52 – Caractéristiques statiques  $I_{DS} = f(V_{DS})$  d'un S-MESFET 2 pour différents  $V_{G1S}$  avec l'électrode de grille  $G_2$  flottante avec des tensions  $V_{DS}$  comprises entre -5 V et 0 V. Il apparaît que le courant  $I_{DS}$  ne peut pas circuler dans le sens source drain ( $\approx 5 \mu\text{A}$ ).

Grandeur	Moyenne	$\sigma$	$\sigma$ -haut	$\sigma$ -bas
$V_{th}$ (V)	-15.95	2.32	-13.63	-18.28
$R_{on}$ (k $\Omega$ /mm)	6.84	0.23	7.07	6.61
$J_{DS-max}$ (mA/mm)	60.68	8.26	68.94	52.42
$J_{DS-fuite}$ ( $\mu\text{A}$ /mm)	116	45	137	95
$J_{G1S-max}$ ( $\mu\text{A}$ /mm)	2.68	1.23	3.91	1.45

TABLEAU 4.12 – Synthèse des principaux paramètres extraits suite à la cartographie de 76 S-MESFETs 2 d'une largeur de canal de 190  $\mu\text{m}$ . Les densités de courant  $J_{DS-fuite}$  et  $J_{G1S-max}$  sont données pour les 44 S-MESFETs fonctionnels. ( $R_{on}$  @  $V_{DS} : 1.65$  V et  $V_{G1S} : 0$  V,  $J_{DS-max}$  @  $V_{DS} : 12$  V et  $V_{G1S} : 0$  V,  $J_{DS-fuite}$  @  $V_{DS} : 10$  V et  $V_{G1S} : -20$  V,  $J_{G1S-max}$  @  $V_{DS} : 10$  V et  $V_{G1S} : -20$  V).

#### d) Conclusion sur la réalisation des S-MESFETs

Les S-MESFETs sont des structures innovantes, qui vont par exemple permettre l'intégration de dispositif de protection au sein des transistors. Les résultats expérimentaux ont montré que les composants étaient valides. Cette partie a présenté plus précisément un S-MESFET dont la particularité était d'intégrer une diode Schottky au niveau de son drain. Son comportement électrique est proche d'un MESFET de type signal. Il diffère légèrement pour les tensions  $V_{DS}$  inférieures au potentiel interne de la diode ( $\approx 0.7$  V) puisqu'il ne laisse pas passer le courant  $I_{DS}$ . L'ajout de la diode Schottky permet uniquement le passage du courant  $I_{DS}$  dans le sens drain source, ce qui peut-être un dispositif de protection relativement intéressant pour protéger un système de puissance.

### 3.5 Synthèse sur la réalisation des différents MESFETs

La réalisation du démonstrateur visé nécessite la réalisation de trois types de MESFETs à savoir le signal, le buffer et le puissance. De plus des transistors innovants prénommés S-MESFETs ont été implantés sur le wafer. Les S-MESFETs n'ont pas été utilisés pour la réalisation de la commande du convertisseur de puissance envisagée. Ces composants d'une largeur de canal de  $190 \mu\text{m}$  ont été fabriqués pour tester des nouvelles architectures de MESFETs.

#### Présentation du diagramme en boîte

Les campagnes de mesures ont permis l'extraction de nombreux paramètres. Les outils statistiques ont permis les calculs des moyennes et des écarts-types des principales caractéristiques électriques. Les diagrammes en boîte permettent de comparer un caractère commun entre plusieurs populations de différentes tailles [LEC12]. La figure 4.53 présente les différents paramètres d'un diagramme en boîte. Le paramètre  $Q_2$  correspond à la médiane de la population.  $Q_1$  et  $Q_3$  représentent respectivement le premier et le troisième quartile de la population.  $F_a$  et  $F_b$  présentent les frontières haute et basse de la série. La frontière haute  $F_a$  est calculée au moyen de la formule 4.2. La frontière basse  $F_b$  est réciproquement déterminée au moyen de la formule 4.3. Les valeurs atypiques dépassant ces frontières sont représentées par des croix ( $a_1$  et  $a_2$ ).

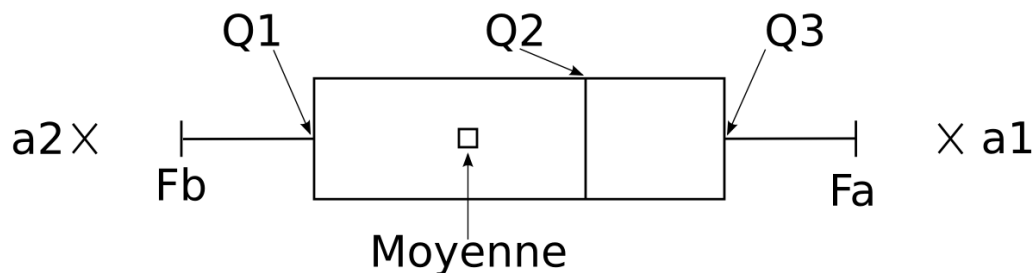


FIGURE 4.53 – Présentation du schéma d'un diagramme en boîte.  $Q_2$  correspond à la médiane.  $Q_1$  et  $Q_3$  sont respectivement le premier et le troisième quartile.  $F_a$  et  $F_b$  sont respectivement les frontières haute et basse.  $a_1$  et  $a_2$  représentent des valeurs atypiques.

$$F_a = Q_3 + 1,5.(Q_3 - Q_1) \quad (4.2) \quad F_b = Q_1 - 1,5.(Q_3 - Q_1) \quad (4.3)$$

Les principaux paramètres ont été représentés au moyen des diagrammes en boîte. Cet outil a permis de comparer la répartition des valeurs extraites sur les composants fonctionnels du wafer.

#### La tension de seuil $V_{th}$

La figure 4.54 présente la répartition statistique de la tension de seuil  $V_{th}$  de différents MESFETs présents sur le wafer. Le graphique montre une certaine stabilité de la tension de seuil des

composants MESFETs. La moyenne de la tension de seuil  $V_{th}$  pour les trois types de composants présentés est située entre -14 V et -15 V. La dispersion des composants fonctionnels s'avère être située entre -13.5 V et -16 V. Les S-MESFETs présentent des tensions de pincement légèrement plus importantes puisque la tension  $V_{th}$  moyenne est de -16.5 V. Cette valeur plus élevée est liée au potentiel interne induit par la topologie du composant, qui intègre une jonction PN ou Schottky au niveau de l'électrode de drain ou de source. Globalement, il apparaît que ce paramètre est relativement stable dans le procédé de fabrication. Toutefois, dans la première génération de composant (lot 1), la tension de seuil  $V_{th}$  était de -10 V. Elle est passée aux alentours de -15 V pour l'ensemble des MESFETs du lot 2. Cela signifie que la différence observée est liée au processus de fabrication puisque ce paramètre est stable et qu'ils touchent l'ensemble des composants. D'après la formule 2.2 théorique, l'hypothèse la plus envisageable est une épaisseur "a" plus importante de la couche de type N du MESFET réalisée par épitaxie. Ce paramètre peut facilement être modifié dans le processus de fabrication puisqu'il est technologiquement possible de contrôler l'épaisseur d'une couche d'épitaxie. La dispersion des différentes valeurs de la tension  $V_{th}$  pourrait s'expliquer d'une part à la non-uniformité de l'épaisseur du wafer, mais aussi à la non-uniformité du dopage au sein de la couche N. De plus, l'ajout d'une étape de gravure après l'étape d'épitaxie pourrait être une solution alternative pour uniformiser les tensions  $V_{th}$  ou pour obtenir des transistors avec différentes valeurs de la tension de seuil  $V_{th}$  selon les secteurs géographiques du wafer.

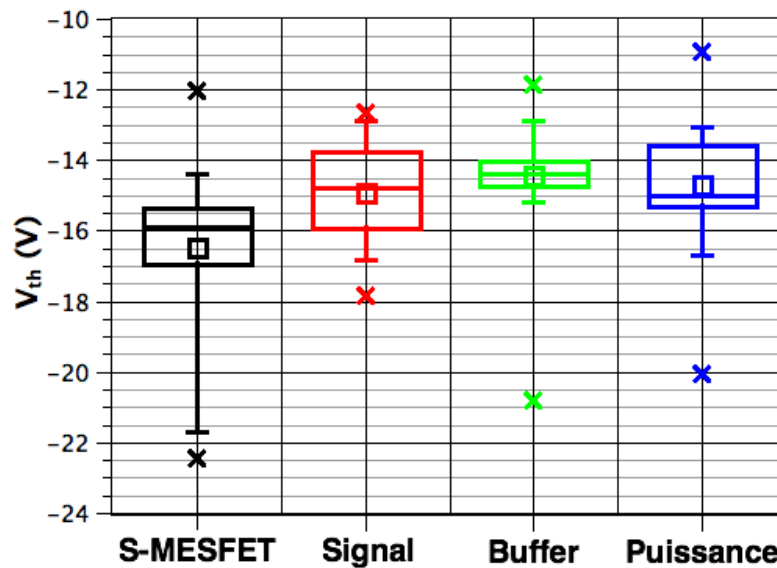


FIGURE 4.54 – Comparaison des diagrammes en boîtes représentant la répartition de la tension de seuil  $V_{th}$  mesurée expérimentalement sur les différents MESFETs implantés sur le wafer.

### La densité de courant $J_{DS}$ des différents MESFETs

La diagramme de la figure 4.55 montre que les MESFETs présentent en régime saturé pour  $V_{DS}$  à 12 V et  $V_{GS}$  à 0 V des densités de courants  $J_{DS}$  d'un ordre de grandeur équivalent (en moyenne 55 mA/mm). Cette valeur est éloignée du résultat théorique attendu de 90 mA/mm.

Toutefois, cette valeur montre une stabilité au niveau de la conception des MESFETs puisque les composants présentent une valeur quasiment similaire. Ces écarts sont liés aux fortes résistances de contact évoquées précédemment.

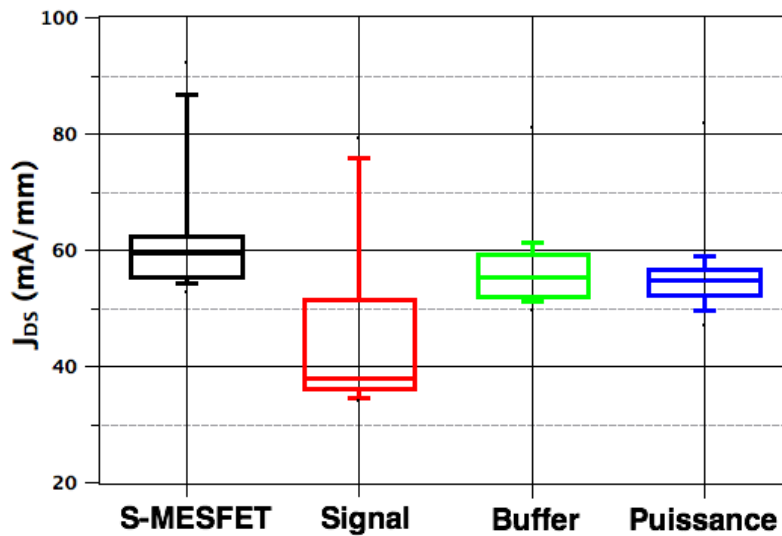


FIGURE 4.55 – Comparaison des diagrammes en boîtes représentant la répartition de la densité de courant  $J_{DS}$  par unité de longueur de canal à  $V_{DS}$  à 12 V et  $V_{G1S}$  à 0 V avec  $G_2$  flottant.

### La résistance à l'état passant des MESFETs ( $R_{on}$ )

La figure 4.56 expose les différents diagrammes en boîte présentant la répartition du  $R_{on}$  des composants présents sur le wafer ramené à une largeur de canal de 1 mm. Les mesures ont été réalisées pour une tension  $V_{DS}$  de 0.12 V et une tension  $V_{G1S}$  à 0 V avec l'électrode  $G_2$  flottante.

Il apparaît que plus la largeur du canal du composant est grande et plus la résistance à l'état passant  $R_{on}$  est petite. Ce constat donne un résultat différent par rapport à ce qui a été observé pour la densité de courant  $J_{DS}$  des composants, qui était du même ordre de grandeur pour les composants. La différence entre ces deux mesures est liée au régime de fonctionnement. Dans le cas précédent, la densité de courant a été mesurée en régime saturé, alors que la résistance  $R_{on}$  est mesurée en régime linéaire. Dans ce régime, il semblerait que les résistances de contact impactent fortement le passage du courant à travers les électrodes du composant. Cette différence observée entre les structures des MESFETs provient de la géométrie des composants. En effet, il apparaît que les MESFETs signal, buffer et puissance sont constitués par la mise en parallèle de plusieurs cellules de base (figures 4.34, 4.42 et 4.46). Le tableau 4.13 synthétise le nombre de cellules de bases placées en parallèle pour chaque composant. Il apparaît que plus le MESFET a une largeur de canal importante, plus le nombre de cellules mises en parallèle est important et plus le  $R_{on}$  en régime linéaire est faible (figure 4.55). Cette observation est importante et montre qu'il est possible de réduire l'impact des résistances de contact sur les composants. Une optimisation des contacts ohmiques et de la géométrie des composants lors de la prochaine phase de conception permettra d'améliorer la valeur de la résistance à l'état passant  $R_{on}$ .

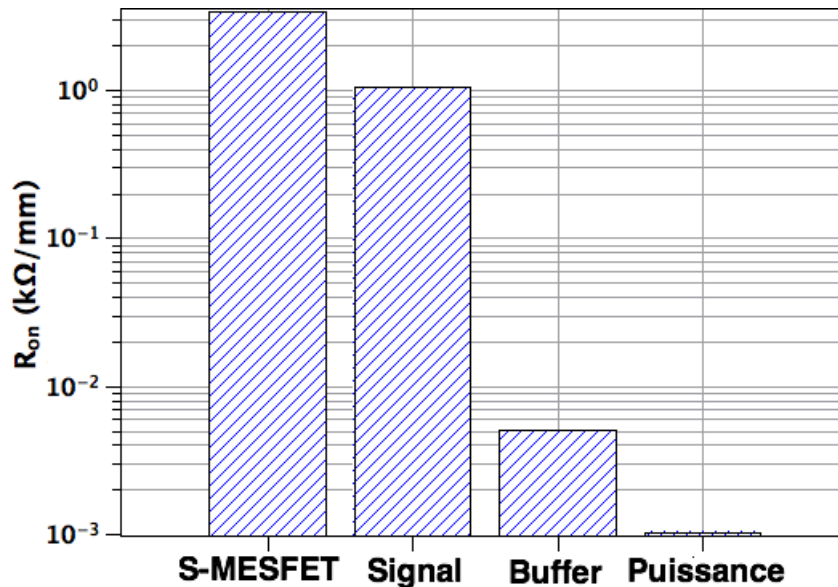


FIGURE 4.56 – Comparaison des diagrammes en boîtes représentant la répartition de la résistance à l'état passant  $R_{on}$  par unité de longueur à  $V_{DS}$  à 0.12 V et  $V_{G1S}$  à 0 V avec  $G_2$  flottant. La résistance à l'état passant moyenne par unité de longueur vaut 3.40 kΩ/mm pour le S-MESFET, 1.05 kΩ/mm pour le MESFET de signal, 5.01 Ω/mm du MESFET buffer et 1.03 Ω/mm pour le MESFET de puissance.

### Le courant de fuite $J_{DS}$ par unité de longueur

Le tableau 4.14 présente le courant de fuite par unité de longueur des différents types de MESFETs. Le courant de fuite présente des différences selon le type de composants. La valeur la plus importante provient des MESFETs de type signal (568  $\mu\text{A}/\text{mm}$ ) et la plus faible concerne les MESFETs de type buffer (51  $\mu\text{A}/\text{mm}$ ). Il est difficile de conclure sur l'impact de la largeur de grille d'un MESFET par rapport à la valeur du courant de fuite  $J_{DS}$  résiduel. Toutefois, il apparaît que la valeur du courant est supérieur à 200  $\mu\text{A}/\text{mm}$  pour le MESFET de type signal et les S-MESFETs, qui ont des longueurs de grille inférieure à 500  $\mu\text{m}$ . A l'inverse, les MESFETs de type buffer et de puissance ont un courant de fuite  $J_{DS}$  inférieur à 90  $\mu\text{A}/\text{mm}$  pour une grille supérieure à 6 mm. Ce courant de fuite provient de la structure du MESFET de seconde génération présentée à la figure 4.57. Deux zones situées aux extrémités du composant ne sont pas directement soumises aux électrodes de drain et de source. La figure 4.57 présente une vue du dessus d'un MESFET élémentaire.  $Z_g$  correspond à la zone située à l'extrémité gauche de la grille  $G_1$ , qui n'est pas soumise aux électrodes de drain et de source. Lors du blocage du canal du composant, un courant peut circuler entre le drain et la source via cette zone d'une largeur de 1  $\mu\text{m}$ . Un composant de type signal est établi par la mise en parallèle de 8 cellules élémentaires. L'architecture d'un MESFET de signal conduit à une zone non soumise au blocage du canal d'une largeur minimale de 8  $\mu\text{m}$ . En prenant un  $J_{DS}$  de 44 mA/mm pour 440  $\mu\text{m}$  (performance du MESFET signal pour  $V_{G1S}$  à 0 V et  $V_{DS}$  à 12 V avec la grille  $G_2$  flottante), cela donne un courant de fuite moyen de 800  $\mu\text{m}$ . Cette estimation est proche du courant de fuite  $J_{DS}$  mesuré pour un MESFET de type signal (568  $\mu\text{m}$ ). Il apparaît qu'une optimisation de la structure des différents MESFET permettra de réduire la valeur de ce courant de fuite.

Composant	$L_c$	Cellules en parallèle	$L_c$ de la cellule de base
S-MESFET	190 $\mu\text{m}$	1	190 $\mu\text{m}$
MESFET de signal	440 $\mu\text{m}$	8	56 $\mu\text{m}$
MESFET buffer	6.14 mm	12	512 $\mu\text{m}$
MESFET de puissance	1.20 cm	24	512 $\mu\text{m}$

TABLEAU 4.13 – Tableau de synthèse présentant le nombre de cellules de base nécessaire à la conception des différents MESFETs et leur largeur de canal associée ( $L_c$ ). Le MESFET de puissance a été mesuré pour chaque quart d'îlot. Son canal correspond au huitième de sa valeur totale.

MESFET	S-MESFET	Signal	Buffer	Puissance
$J_{DS-max}$ ( $\mu\text{A}/\text{mm}$ )	200	568	51	83

TABLEAU 4.14 – Synthèse des courants de fuite moyen  $J_{DS-max}$  par unité de longueur mesurés @  $V_{DS} : 10\text{ V}$  et  $V_{G1S} : -20\text{ V}$  avec l'électrode  $G_2$  flottante pour les 4 type de MESFETs : S-MESFETs (190  $\mu\text{m}$ ), MESFETs signal (440  $\mu\text{m}$ ), MESFET buffer (6.1 mm), îlots de MESFETs de puissance (1.2 cm).

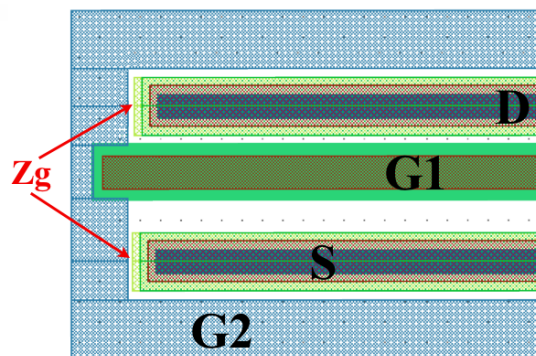


FIGURE 4.57 – Schéma d'une vue du dessus d'un MESFET de signal de seconde génération (lot 2).  $Z_g$  montre la zone qui n'est pas bloquée par la déplétion du canal sur l'extrémité gauche de la grille  $G_1$ . Ces deux zones permettent le passage d'un courant de fuite  $I_{DS}$  entre le drain et la source lors du blocage du canal du MESFET.

### Le courants de fuite $J_{G1S}$ par unité de longueur

Les différents type de MESFETs présentent des courants de fuite  $J_{G1S}$  par unité de longueur inférieurs à 10  $\mu\text{A}/\text{mm}$  ( $J_{G1S}$ ). Les valeurs moyennes de ces courants sont présentées dans le tableau 4.15. La longueur de la grille ne semble pas influencer la valeur du courant de fuite  $J_{G1S}$  puisque cette valeur est du même ordre de grandeur pour les MESFETs de type signal, de type buffer et les S-MESFETs ( $< 2\ \mu\text{A}/\text{mm}$ ). Le composant de puissance présente un courant de fuite  $J_{G1S}$  5 fois plus important que celui d'un MESFET de type signal pour une surface 17 fois plus importante. Cet écart du courant  $J_{G1S}$  par rapport aux autres types de MESFET ne semble pas lié à la longueur de la grille, mais plutôt à l'architecture du composant. Les transistors présentant des courants de cet ordre de grandeur sont des composants valides. Il est apparu

que plus la surface de la structure était importante et plus le nombre de composants fonctionnels se réduisait. Une majorité des composants non-fonctionnels présentait un courant de fuite  $J_{G1S}$  supérieur à  $10 \mu\text{A}/\text{mm}$ . Une première hypothèse pourrait provenir de la non-uniformité du dopage de type N, ce qui modifierait la valeur de la hauteur de barrière Schottky. Un dopage plus faible conduirait à un abaissement de la barrière Schottky et à une augmentation du courant de fuite  $I_{G1S}$ . Une autre hypothèse pourrait être liée à la qualité du matériau SiC d'après P. G. NEUDECK [NEU00]. Selon ses travaux de recherche, la présence de défauts cristallins dans un composant SiC conduit à l'augmentation de son courant de fuite. Par conséquent, un composant d'une grande superficie (ex : MESFET de puissance) a une probabilité plus importante de rencontrer des défauts cristallins et de ne pas fonctionner qu'un composant de plus petite dimension (ex : MESFET de signal). Le processus de fabrication est parfaitement adapté à la fabrication de composants de petite surface ( $\approx 0.03 \text{ mm}^2$ ). L'achat d'un matériau d'une meilleure qualité permettrait d'augmenter le nombre de composants fonctionnels de plus grande surface.

MESFET	S-MESFET	Signal	Buffer	Puissance
$J_{G1S-max} (\mu\text{A}/\text{mm})$	2.4	1.62	1.38	8.3

TABLEAU 4.15 – Synthèse des courants de fuite moyen  $J_{G1S-max}$  par unité de longueur mesuré @ -50 V pour les 4 type de MESFETs. La moyenne a été calculé sur les composants opérationnels. Cela représente 158 S-MESFETs (190  $\mu\text{m}$ ), 40 MESFETs signal (440  $\mu\text{m}$ ), 51 MESFET buffer (6.1 mm), 22 îlots de MESFETs de puissance (1.2 cm).

### La transconductance $g_m$ des MESFETs

Les transconductances  $g_m$  par unité de longueur des MESFETs de type signal, buffer et de puissance sont présentées sur la figure 4.58. Ces grandeurs proviennent des caractéristiques  $I_{DS} = f(V_{G1S})$  pour une tension  $V_{DS}$  de 10 V avec  $G_2$  flottant. Le comportement des transconductances est relativement similaire pour les trois types de composants. La transconductance est quasiment nulle pour des tensions  $V_{G1S}$  comprises entre -20 V et -15 V. Elle se met par la suite à croître jusqu'à une tension  $V_{G1S}$  située aux alentours de -5 V (+/- 1 V), puis décroît jusqu'à 0 V. La valeur est la plus faible pour le composant de type signal (3 mS/mm pour  $V_{G1S}$  de -5 V) et la plus forte est pour le MESFET de type buffer (4.8 mS/mm pour  $V_{G1S}$  de -4.7 V). L'écart maximal entre les transconductances des trois composants est de 37 %. Ce paramètre est un indicateur montrant la réussite de la réalisation des trois MESFETs élémentaires envisagés pour le démonstrateur.

### Conclusion sur la réalisation de différents MESFETs SiC

L'étape de caractérisation a permis la validation des 4 types de MESFETs (signal, buffer, puissance et S-MESFET). Ces composants sont tous basés sur la topologie double grille présentée à la figure 4.1. Ces composants présentent les comportements attendus puisqu'ils sont notamment capables de passer un courant  $I_{DS}$  proches de la valeur dimensionnée, de bloquer le passage de ce courant par l'application d'une tension de l'ordre de -15 V entre la grille  $G_1$  et la source et leur courant de fuite  $I_{G1S}$  est inférieur à  $10 \mu\text{A}$ . Plusieurs aspects sont à améliorer. Le premier est lié à une tension de seuil  $V_{th}$ , qui est plus élevée (-16 V), que la valeur initialement attendue (-10 V). Cette grandeur peut facilement être corrigée dans le processus



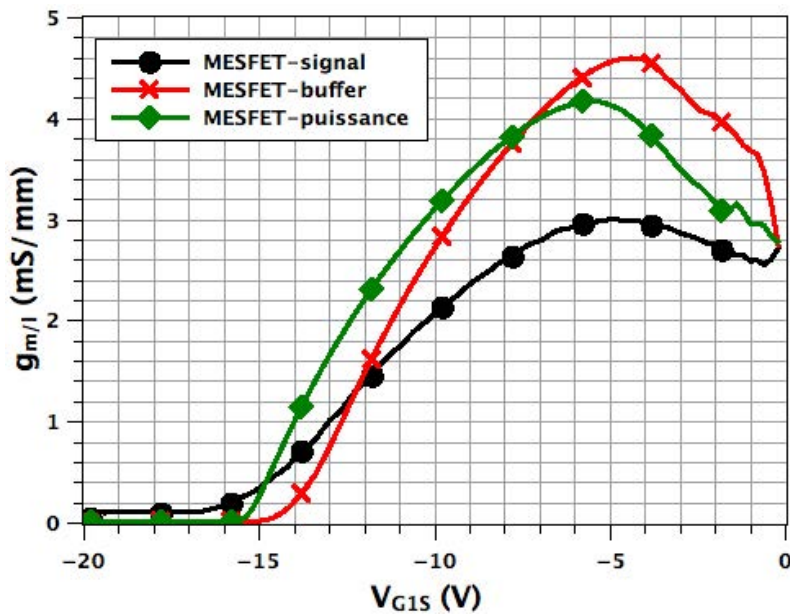


FIGURE 4.58 – Comparaison des transconductances  $g_m$  des MESFETs de type signal (noir), buffer (rouge) et de puissance (vert). Ces données ont été déterminées à partir des caractéristiques  $I_{DS} = f(V_{G1S})$  pour une tension  $V_{DS}$  de 10 V avec  $G_2$  flottant.

de fabrication par l'ajout d'une étape de gravure. De plus, les composants présentent une résistance à l'état passant  $R_{on}$  élevée. Cette valeur est liée à la présence de résistances de contact de l'ordre du  $\#$  k $\Omega$  sur l'ensemble des composants. Cela conduit à des différences entre les valeurs du courant  $I_{DS}$  dimensionnées et mesurées. Toutefois, les valeurs obtenues restent dans l'ordre de grandeur établi lors de l'étape de conception. Plusieurs solutions sont envisageables pour régler ce problème. La première serait d'optimiser la valeur des contacts ohmiques lors de la fabrication des prochains lots de composants. La seconde consisterait à ajuster la largeur de canal des transistors pour obtenir les courants  $I_{DS}$  requis pour la réalisation du démonstrateur. Enfin, il est apparu qu'un certain nombre de composants s'avéraient non-fonctionnels en raison d'un courant de fuite  $I_{G1S}$  élevé ( $> 100 \mu\text{A}/\text{mm}$ ). Les cartographies ont montré que plus la surface du composant était importante et plus le nombre d'entités non-fonctionnels augmentait. Plusieurs hypothèses sont envisageables. La première hypothèse serait liée à la non-uniformité du dopage de type N, qui réduirait la valeur de la barrière Schottky et conduirait à l'augmentation de la valeur du courant de fuite  $I_{G1S}$  dans les zones concernées. La seconde hypothèse serait liée à la qualité du matériau SiC. Plus la surface du composant est importante et plus ce dernier a une probabilité élevée de rencontrer un défaut, qui va détériorer ses performances (ex : augmentation du courant de fuite  $I_{G1S}$ ). Ce problème touche majoritairement les MESFETs de type buffer et de puissance, qui ont des superficies supérieures à  $0.22 \text{ mm}^2$ . La solution consisterait à utiliser un matériau d'une meilleure qualité cristalline.

En conclusion, la technologie des MESFETs latéraux SiC double grille est validée. Les composants sont fonctionnels. Certains paramètres physiques liés à la fabrication du wafer sont à améliorer pour réaliser un convertisseur de puissance et sa commande présentant des performances énergétiques optimisées.

### 3.6 Conclusion sur la fabrication des composants élémentaires latéraux en SiC

Les résultats expérimentaux ont montré que les résistances, les diodes et les MESFETs sont des composants valides. Les composants présentent les comportements attendus. Deux points sont à améliorer. Le premier est lié à la présence de résistances de contact de l'ordre du  $k\Omega$ . Ces valeurs de résistances limitent les performances électriques des composants. Le second aspect concerne la non-fonctionnalité de ces dispositifs. Il est apparu que plus la surface d'un composant était importante et plus la quantité d'entités non-fonctionnelles était élevée en raison de courants de fuite élevés. Ce phénomène pourrait être lié à la présence de défauts cristallins au sein du matériau SiC, qui toucherait plus facilement les structures de grandes dimensions telles que la diode de puissance, les MESFETs de type buffer ou de type puissance. Le tableau 4.17 présente une synthèse sur les composants élémentaires intégrés sur le wafer SiC. En conclusion, la technologie de composants élémentaires latéraux établie est opérationnelle, mais elle nécessite l'optimisation de plusieurs paramètres physiques pour permettre la réalisation du démonstrateur envisagé.

Composant	Etat	Amélioration	Stabilisation
Résistance	✓	-Résistances de contact	
Diode Schottky de redressement	✓	-Résistances de contact	
Diode Schottky de puissance	✓	-Résistances de contact	-Courant de fuite
Diode bipolaire	✓	-Résistances de contact	-Courant de fuite
Diode Zener	X		
MESFET de signal	✓	-Résistances de contact -Tension $V_{th}$	
MESFET de buffer	✓	-Résistances de contact -Tension $V_{th}$	-Courant de fuite $I_{G1S}$
MESFET de puissance	✓	-Résistances de contact -Tension $V_{th}$	-Courant de fuite $I_{G1S}$
S-MESFET	✓	-Résistances de contact -Tension $V_{th}$	

TABLEAU 4.16 – *Tableau de synthèses des différents composants élémentaires de la technologie des circuits intégrés en SiC élaborée au laboratoire AMPERE.*

## 4 Caractérisation de fonctions intégrées en SiC

La première partie de ce chapitre a montré que la majorité des composants élémentaires intégrés sur le wafer s'avéraient valides. Plusieurs fonctions intégrées ont été incluses sur le wafer en vue de la réalisation du circuit de commande du convertisseur de puissance envisagé. Ces différentes architectures sont basées sur des MESFETs de type signal et des résistances de type N. Cette partie va présenter la fabrication et la caractérisation des fonctions intégrées en SiC. Trois fonctions dont deux présentées au cours des chapitre 2 et 3 de ce manuscrit seront mises

en évidence au cours de cette prochaine partie. Il s'agit d'un amplificateur source commune, de l'oscillateur en anneau et d'un comparateur. La figure 4.59 présente une photographie de quelques fonctions implantées sur le wafer.

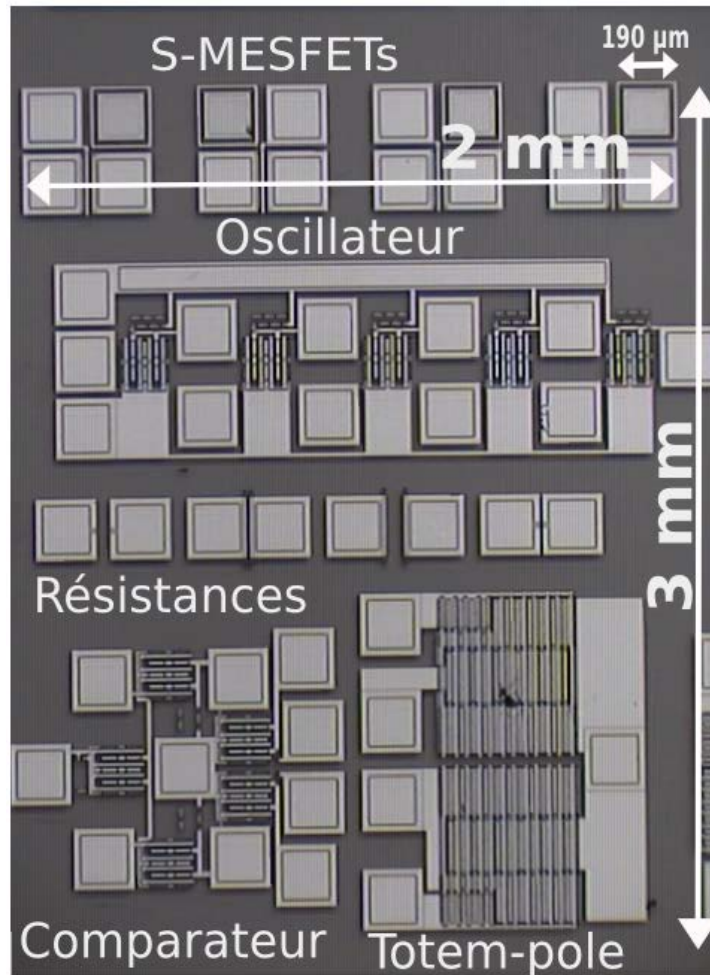
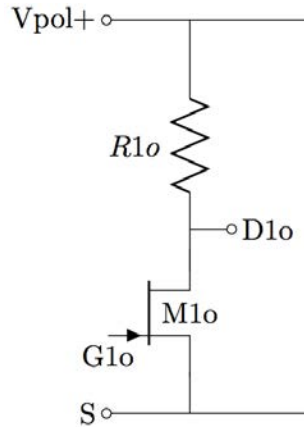


FIGURE 4.59 – Photographie des fonctions intégrées SiC : oscillateur, comparateur et totem-pole.

Au cours du chapitre 2, plusieurs fonctions ont été réalisées à partir de circuits hybrides au moyen de plusieurs MESFETs élémentaires de première génération (lot 1). Dans ces premiers démonstrateurs, les transistors étaient indépendants. Les composants passifs tels que les résistances et les capacités étaient externes et par conséquent de nature discrète. L'objectif est maintenant de prouver la faisabilité de telles fonctions à partir de composants co-intégrés. Les démonstrateurs des fonctions réalisées intégreront différents MESFETs et des résistances associées. Il s'agit d'une étape majeure pour la réalisation de circuits intégrés en SiC puisque cela nécessite l'utilisation de plusieurs niveaux de métallisation pour interconnecter les composants entre eux. La technologie de fabrication a été présentée dans la première partie du chapitre 4 (tableau 4.2). Elle présente l'interconnexion d'un MESFET avec une résistance.

#### 4.1 Fabrication et caractérisation de la fonction élémentaire : amplificateur source commune

L'amplificateur source commune est basé sur la topologie présentée à la figure 4.60. La caractérisation de ce montage va permettre d'évaluer les performances des circuits intégrés en SiC. En effet, le procédé technologique d'intégration de plusieurs composants SiC au moyen des niveaux de métallisation s'avérera validé si l'amplificateur est fonctionnel.



Le montage de la figure 4.60 utilise une partie de la structure de l'oscillateur en anneau, qui sera présentée dans la suite chapitre. L'amplificateur source commune est basé sur l'association d'un MESFET de signal  $M_{1o}$  et d'une résistance  $R_{1o}$  de type N d'une valeur théorique de 18 k $\Omega$ .

FIGURE 4.60 – Schéma d'un amplificateur source commune intégré sur le wafer SiC.

La figure 4.61 présente les signaux obtenus suite à l'application d'une tension alternative négative sur la grille  $G_{1o}$  du composant au moyen d'un GBF. D'après les différentes caractérisations réalisées sur le wafer, il apparaît que les résultats expérimentaux obtenus varient par rapport aux valeurs théoriquement attendues. L'amplificateur a été dimensionné pour fournir une amplitude en tension de 10 V (gain de 10) pour l'application d'un signal d'une amplitude de 1 V et dont la composante continue était fixée à -9 V. Il est apparu que ces écarts provenaient de la présence de fortes résistances de contact, d'un comportement non linéaire lors de l'application d'une polarisation trop importante (partie : caractérisation des structures de test) et d'une tension de seuil  $V_{th}$  plus importante que celle du MESFET de première génération (-14 V au lieu de -10 V). Cela signifie que le montage va présenter des caractéristiques différentes par rapport au montage obtenu avec une simulation SPICE (figure 4.62). Les tests expérimentaux présentés à la figure 4.61 confirme cette tendance. Le circuit s'avère toutefois fonctionnel puisque une amplification est observée au niveau du drain ( $D_{1o}$ ) du MESFET. Cela signifie que la technologie d'intégration est valide et que les niveaux de métallisations utilisés pour réaliser les interconnexions entre les composants intégrés sont fonctionnels. Toutefois, le signal obtenu présente un gain de 0.2. Il n'est pas possible de comparer ce résultat par rapport à la simulation puisque d'après la figure 4.62, le circuit ne peut pas fonctionner en amplificateur linéaire dans le gamme de tensions utilisée (0 V : -6 V) lors de la phase d'expérimentation.

En conclusion, le circuit d'amplification linéaire est fonctionnel. Un gain de 0.2 est appliqué au signal sinusoïdale de 4 kHz appliqué à l'entrée du dispositif. Dans la lignée des composants élémentaires des ajustements au niveau des paramètres ( $V_{th}$ , résistances de contact ...) sont nécessaires pour obtenir le comportement souhaité. Le fonctionnement du montage valide toutefois la technologie d'interconnexion des circuits intégrés.

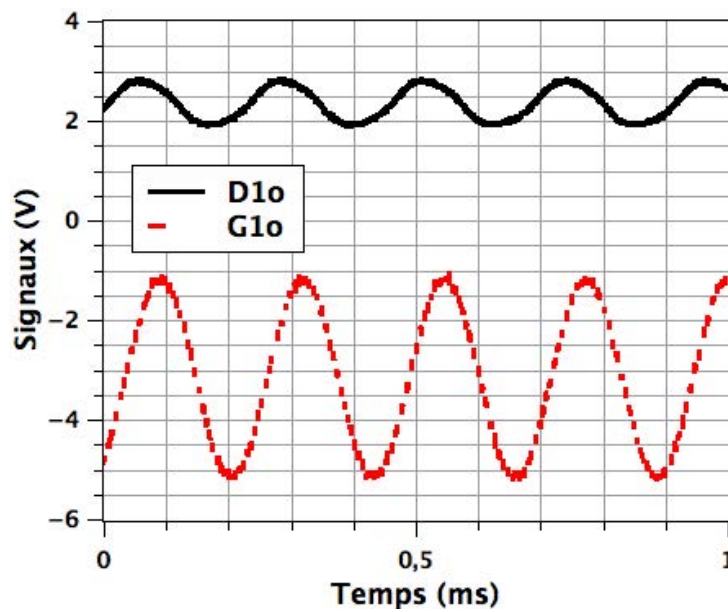


FIGURE 4.61 – Mesures expérimentales de l'amplificateur en source commune obtenues suite à l'application d'un signal généré par un GBF sur la grille  $G_{1o}$  du MESFET. Le signal rouge (pointillé) représente la tension issue du GBF et appliquée sur l'entrée  $G_{1o}$  du transistor. Il s'agit d'un signal sinusoïdale de 4 kHz avec une composante continue de -3 V et une amplitude de 2 V. Le signal noir (trait) correspond au signal de sortie de l'amplificateur relevé à l'entrée  $D_{1o}$ . Le gain entre les signaux  $D_{1o}$  et  $G_{1o}$  est de 0.2.

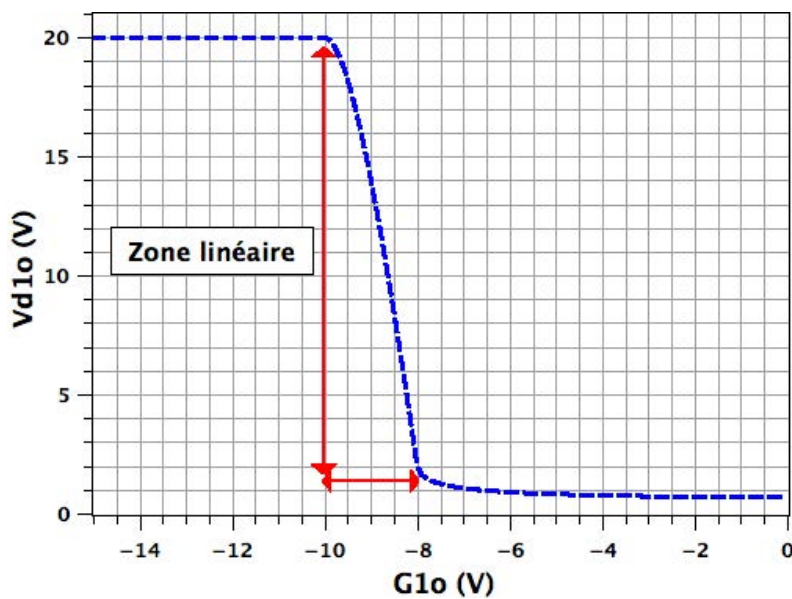


FIGURE 4.62 – Simulation SPICE de l'amplificateur source commune utilisé lors de la phase de dimensionnement. Il présente le signal  $V_{d1o}$  pour une résistance  $R_{1o}$  de 18 k $\Omega$  en fonction de la polarisation appliquée sur la grille  $G_{1o}$ . La zone linéaire est comprise entre une tension  $G_{1o}$  de -8 V et de -10 V.

## 4.2 Fabrication et caractérisation de la fonction élémentaire : oscillateur en anneau

### Réalisation de l'oscillateur en anneau

Le circuit de l'oscillateur en anneau fabriqué est basé sur la même architecture que celui réalisé au cours du chapitre 2 (figure 2.44 et tableau 2.5). Il doit théoriquement osciller à une fréquence de 1 MHz. La figure 4.63 montre le schéma de la fonction intégrée sur la plaquette SiC. L'oscillateur est basé sur une structure de cinq MESFETs de signal. Le circuit nécessite l'utilisation de trois transistors, mais par mesure de sécurité cinq composants ont été inclus en cas de dysfonctionnement.

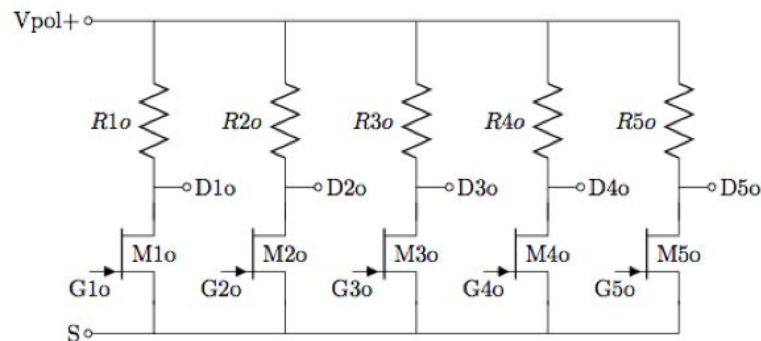


FIGURE 4.63 – Schéma de la fonction "oscillateur" intégrée sur le wafer SiC contenant 5 MESFETs de type signal et des résistances de 18 k $\Omega$ .

Un champ élémentaire contenant une fonction oscillateur a été découpée, bondée, puis collée sur un support DIL24 avec de la laque d'argent dans la perspective d'évaluer ses performances expérimentales (figure 4.64). La photographie du démonstrateur ainsi réalisé est présentée à la figure 4.65.

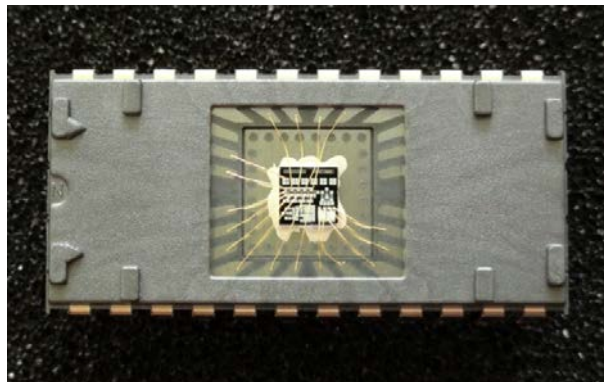


FIGURE 4.64 – Photographie du circuit oscillateur bondé avec des fils en or de 50  $\mu\text{m}$  de diamètre et collé avec de la laque d'argent sur un support DIL24.

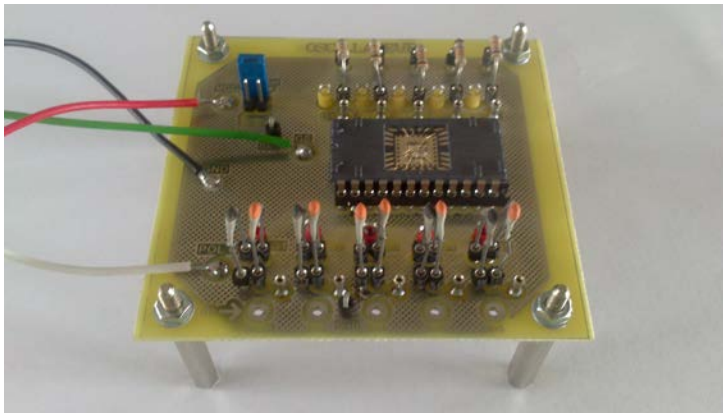


FIGURE 4.65 – Photographie du démonstrateur de l'oscillateur en anneau réalisé au moyen d'un support DIL 24. L'architecture offre deux modes de configuration. La première offre la possibilité de le tester au moyen de résistances de polarisation externes. L'autre permet de tester le circuit au moyen des polarisations internes. Les capacités sont dans toutes les configurations des composants discrets (figure 4.64).

### Caractérisation de l'oscillateur en anneau

Le démonstrateur réalisé va permettre d'évaluer les performances de l'oscillateur en anneau. Les études réalisées vont permettre de comparer et de vérifier les différents résultats obtenus lors de la réalisation de l'oscillateur avec les composants du premier lot fabriqué. Le démonstrateur a été conçu pour permettre deux configurations. La première est identique à celle de l'oscillateur réalisé au cours du chapitre 2. Il utilise les MESFETs intégrés et des résistances externes. La seconde configuration permet de tester directement la structure intégrée. C'est à dire les MESFETs et les résistances intégrées sur le wafer.

L'oscillateur dans la configuration utilisant les résistances externes fonctionne à la fréquence dimensionnée de 1 MHz (4.66). La conception du circuit est par conséquent validé. Ce circuit oscille à 1 MHz pour des polarisations de 20 V pour  $V_{pol}$ , de -10.6 V pour  $V_{1s}$  et de -8.8 V pour  $V_2$ . De plus, il s'agit d'une avancée par rapport au premier démonstrateur. Ce dernier n'oscillait qu'à une fréquence de 500 kHz alors qu'il avait été dimensionné pour opérer à 1 MHz. L'hypothèse de cet écart en fréquence était liée à la non polarisation de la couche enterrée  $G_2$ .

En contre partie, la seconde configuration du montage utilisant les résistances intégrées ne fonctionne pas puisque le circuit ne présente aucune oscillation. L'étude de l'amplificateur source commune a montré que la technologie d'interconnexion entre les composants étaient opérationnelles. Cela signifie que le problème se situe au niveau des résistances. Les résistances ont été mesurées à une valeur moyenne de 8.6 k $\Omega$  au lieu de 18 k $\Omega$  (figure 4.67). Il s'est avéré qu'une erreur de dimensionnement des résistances sur le masque a été commise. Les résistances ont été réalisées pour une valeur de 8 k $\Omega$  au lieu de 18 k $\Omega$ . De plus, elles présentent le comportement non-linéaire, qui a été observée lors de la caractérisation des structures de test. Plusieurs hypothèses sont envisageables. Le circuit a correctement fonctionné avec l'utilisation de résistances externes de 8 k $\Omega$ . Cela laisse penser que le problème est lié à la conception des résistances et sans doute aux effets de non-linéarité observés, ainsi qu'aux fortes résistances de contact. Ces différents éléments pourraient conduire au non-déclenchement des oscillations dans le circuit.

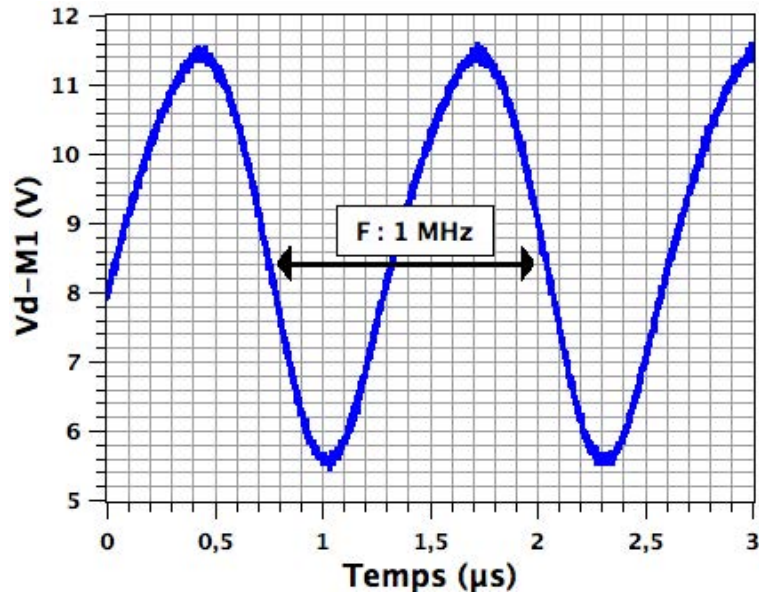


FIGURE 4.66 – Relevés expérimentaux de la fréquence d'oscillation à 1 MHz de l'oscillateur en anneau avec des polarisations de  $-10.6$  V pour  $V_{1s}$  et de  $-8.8$  V pour  $V_2$ .

Ceci montre qu'il est primordial de réfléchir à une nouvelle topologie de conception pour les résistances des circuits intégrés. Les différentes mesures exposées par la suite ont été réalisées au moyen de la première configuration de l'oscillateur avec des résistances externes de  $18$  k $\Omega$ .

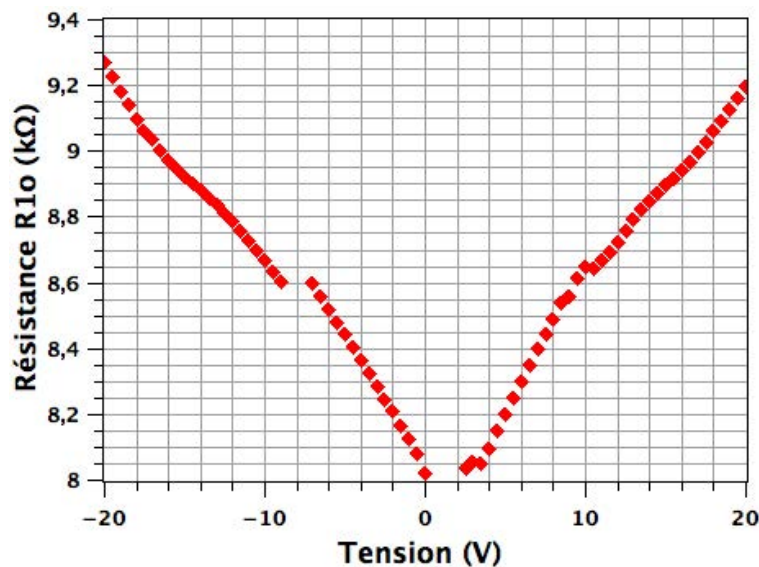


FIGURE 4.67 – Caractéristique statique mesurée  $R = f(V)$  d'une résistance intégrée  $R_{1o}$  d'une valeur théorique de  $8$  k $\Omega$  et d'une valeur moyenne de  $8.6$  k $\Omega$ . La résistance présente un comportement non-linéaire lié à la présence d'un pincement au niveau de la couche de type N (explication présentée en 3.2).



De plus, plusieurs degrés de liberté permettent de modifier la valeur de cette fréquence. Au chapitre 2, il avait été montré que la tension de polarisation pouvait modifier la valeur de la fréquence. Ce comportement a de nouveau été observé au cours de l'expérimentation du circuit (figure 2.49). La fréquence varie d'une façon linéaire par rapport à la polarisation appliquée sur le circuit. Ceci confère une propriété proche d'un fonctionnement VCO. L'utilisation de cette propriété nécessiterait l'élaboration d'un système où la tension de polarisation pourrait varier au sein du système.

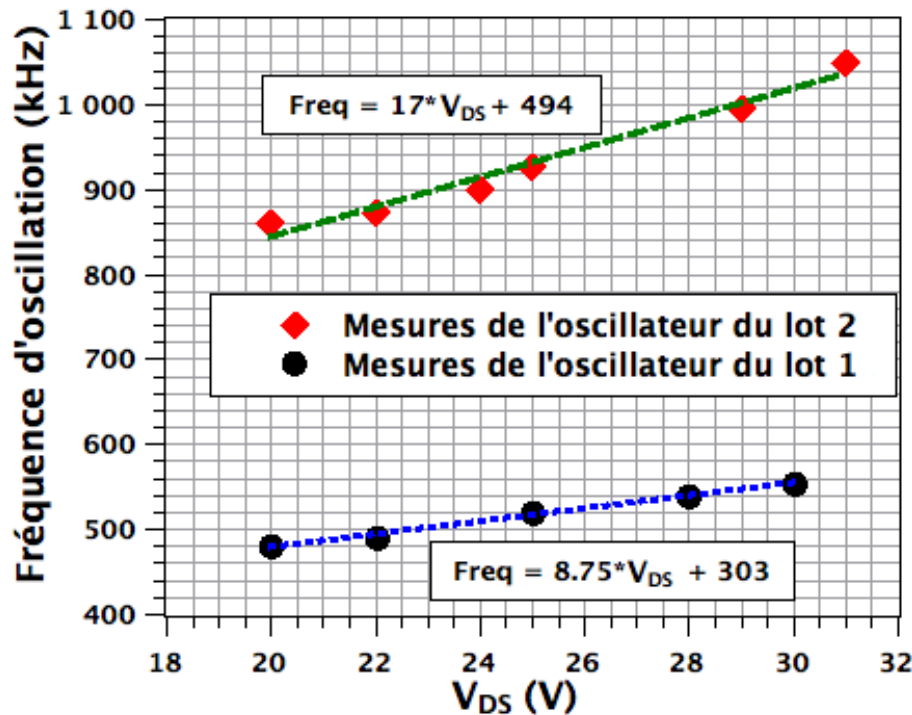


FIGURE 4.68 – Comparaison de la variation de la fréquence d'oscillation ( $V_{G1S} : -11$  V et  $V_{G2S} : -8$  V) en fonction de la tension de polarisation appliquées sur les circuits conçus à partir des deux lots de composants. Les droites représentent les courbes de tendance avec leurs équations associées.

Dans le chapitre 2, des simulations avait montré qu'il était possible d'utiliser l'oscillateur en tant que VCO en polarisant la grille enterrée  $G_2$ . Cette propriété a été vérifiée expérimentalement (figure 2.51). La variation du potentiel appliqué sur la grille enterrée  $G_2$  modifie la fréquence d'oscillation de façon quasi linéaire entre 750 kHz et 1 MHz. D'après les courbes de la figure 2.51 et celles de la figure 4.69, il apparaît un comportement similaire. Plus l'écart entre la tension appliquée sur la grille est proche ( $\Delta V_{th}$  tend vers 0) et plus la fréquence d'oscillation diminue. Ceci est logique puisque la diminution du  $\Delta V_{th}$  réduit le temps nécessaire au blocage des transistors, ce qui induit une diminution de la fréquence. L'explication sur le fonctionnement de l'oscillateur en anneau est présenté dans la partie 6.1 du chapitre 2.

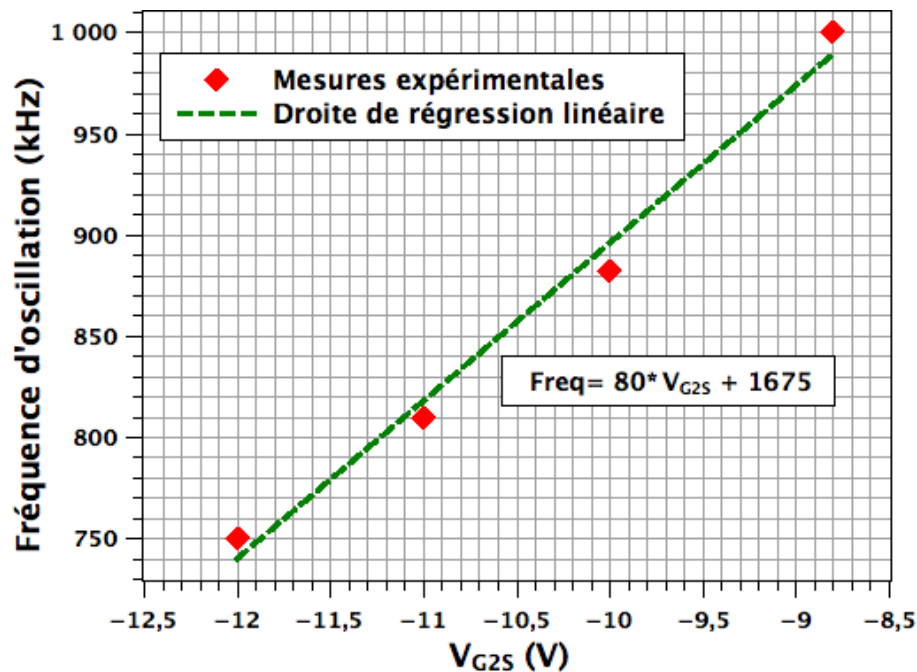


FIGURE 4.69 – Variation de la fréquence d'oscillation du montage en fonction de la polarisation appliquée sur la grille  $G_2$ . Le montage oscillateur en anneau est utilisé en VCO par application de ce potentiel sur la grille enterrée  $G_2$  des MESFETs du circuit. La formule correspond à l'équation de la courbe de tendance.

### Conclusion sur la fonction intégrée "oscillateur"

En conclusion, la fonction oscillateur est validée puisque le circuit fonctionne à la fréquence souhaitée de 1 MHz. De plus, les hypothèses avancées au cours du chapitre 2 ont été vérifiées. L'oscillateur en anneau peut-être utilisé en tant que VCO par la polarisation de sa grille enterrée  $G_2$ . Le circuit fonctionne actuellement pour une version hybride associant les MESFETs à des résistances externes de 18 k $\Omega$ . Il s'est avéré que les résistances internes ne permettaient pas la mise en oscillation du dispositif plusieurs hypothèses s'avèrent plausibles. Il semblerait que le problème soit principalement lié à la structure des résistances de type N. La fonction est par conséquent valide, mais elle nécessite l'optimisation des résistances internes de type N, voire la mise au point d'une nouvelle topologie pour les résistances afin envisager le fonctionnement d'une version intégrée.

### 4.3 Le circuit comparateur

Le circuit comparateur est basé sur la structure de la paire différentielle présentée au cours du chapitre 3. Les figures 4.70 et 4.71 exposent respectivement le schéma et le jeu de masques de la fonction comparateur. Le circuit est basé sur des transistors de type signals et des résistances de type N (tableau 3.9).

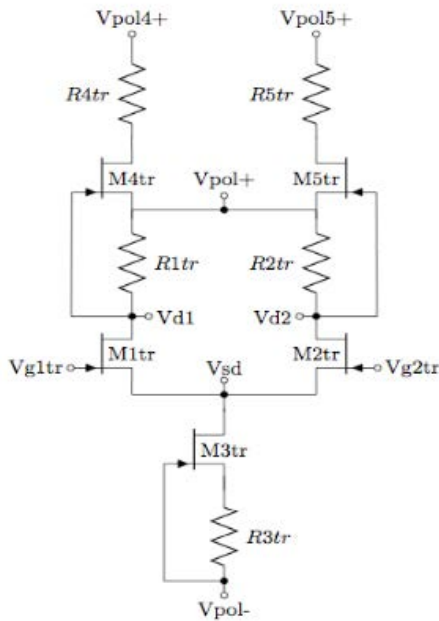


FIGURE 4.70 – Schéma de la fonction comparateur intégrée sur le wafer SiC contenant 5 MESFETs de type signal et des résistances de 10 kΩ.

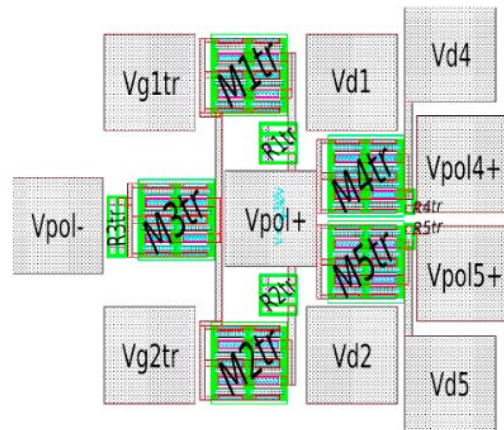


FIGURE 4.71 – Dessin du masque de la fonction "oscillateur" intégrée sur le wafer SiC contenant cinq MESFETs de type signal et cinq résistances de type N.

### Caractérisation du circuit comparateur

La caractérisation de cette fonction a nécessité l'utilisation d'une carte à pointes spécifique et d'un circuit d'interfacage, afin de pouvoir connecter les différentes sources d'énergie, de test et de mesure. La figure 4.72 présente le plan de manipulation utilisé pour réaliser les différentes mesures expérimentales. La figure 4.73 montre une vue du circuit comparateur fabriqué avec le positionnement des différentes points de la carte.

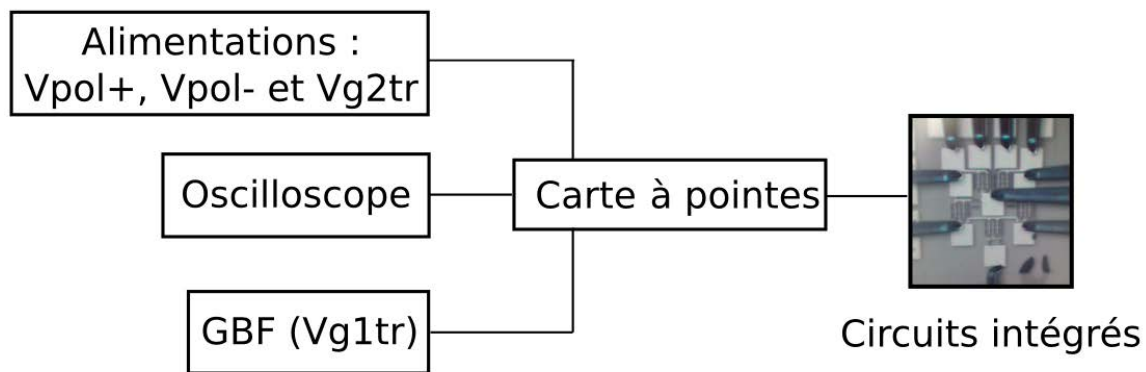


FIGURE 4.72 – Synoptique du plan de manipulation de l'installation utilisée pour caractériser la fonction comparateur. Les différents appareils d'alimentation et de mesure sont reliés à la carte à pointes, qui est connectée aux différents "pads" du circuit comparateur.

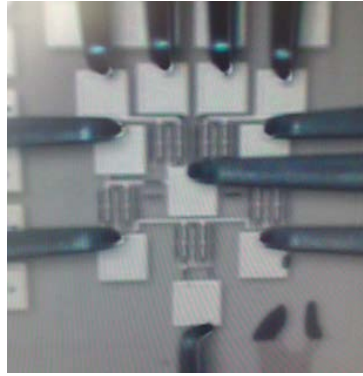


FIGURE 4.73 – Vue de la fonction comparateur intégrée sur la wafer SiC et de la position des différentes pointes de la carte élaborée pour les mesures expérimentales du dispositif.

La figure 4.74 présente la simulation SPICE du comparateur établi lors de la phase de dimensionnement. L'analyse de cette simulation a été détaillée à la partie 4.2 du chapitre 3. La caractérisation expérimentale du composant est présentée à la figure 4.75. Les tensions  $V_{pol+}$ ,  $V_{pol-}$  et  $V_{g2tr}$  ont respectivement été fixées à 20 V, -15 V et -6.5 V. Il apparaît que la fonction comparateur ne donne pas le comportement attendu lors de la phase de dimensionnement. Les résultats expérimentaux mettent néanmoins en avant la présence d'une comparaison entre les tensions  $V_{g1tr}$  et  $V_{g2tr}$ . En effet, les signaux  $V_{d1}$  et  $V_{d2}$  basculent lorsque le signal  $V_{g1tr}$  devient supérieur (ou inférieur) à  $V_{g2tr}$ .

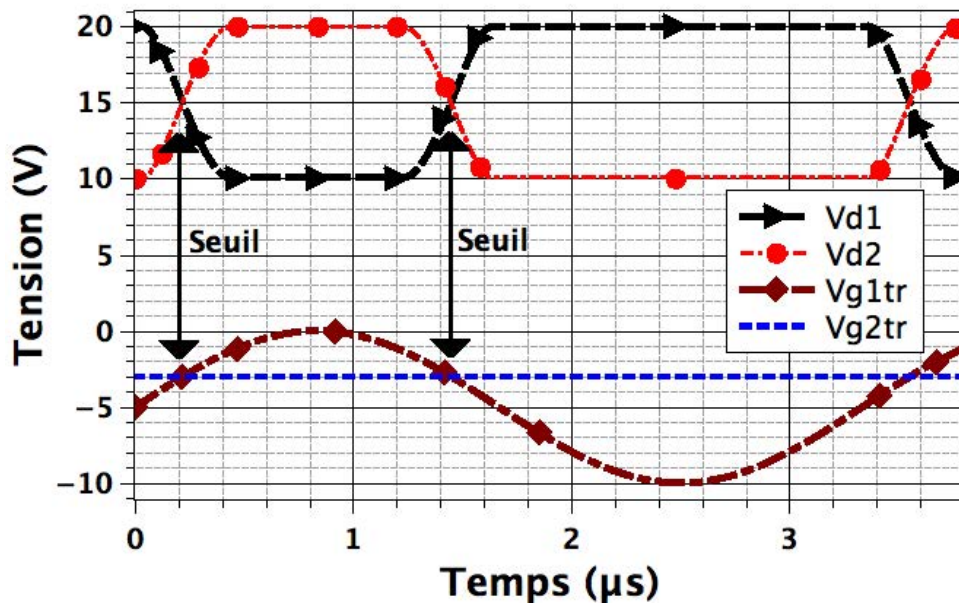


FIGURE 4.74 – Simulation SPICE de l'application sur l'entrée  $V_{g1tr}$  du comparateur d'un signal sinusoïdale (marron) face à une tension de référence  $V_{g2tr}$  de -3 V (bleue). La simulation montre les commutations des sorties  $V_{d1}$  (noire) et  $V_{d2}$  (rouge) du comparateur suite à l'évolution temporelle du signal sinusoïdale.

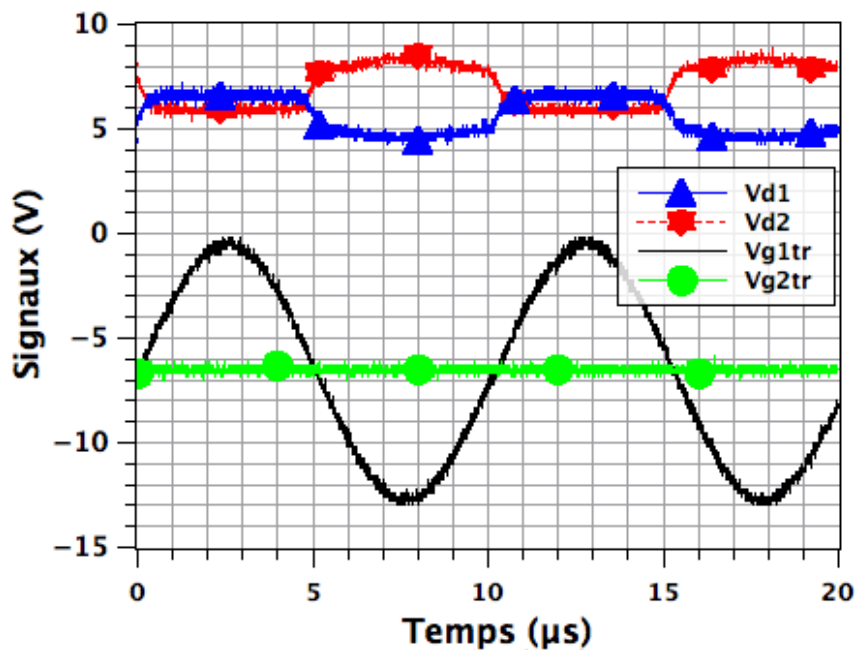


FIGURE 4.75 – Caractérisation expérimentale de la fonction intégrée comparateur avec l'application d'un signal sinusoïdale généré par un GBF sur l'entrée  $V_{g1tr}$  (trait noir) avec la grille enterrée  $G_2$  flottante. La tension de référence a été fixée à  $-6.5\text{ V}$  ( $V_{g2tr}$ ). Les sorties du comparateur sont  $V_{d1}$  et  $V_{d2}$ . Elles sont respectivement représentées en bleue et en rouge.

### Analyse des résultats expérimentaux

A partir des données présentées à la figure 4.75, il apparaît que la fonction soit capable de comparer des signaux, mais qu'elle ne donne pas les comportements attendus par rapport à la phase de dimensionnement. Plusieurs hypothèses sont envisageables pour expliquer cette différence au niveau des signaux de tension.

La principale cause serait liée à la tension de seuil  $V_{th}$  des MESFETs. En effet, la structure a été conçue à partir des MESFETs de la première génération, qui possèdent un  $V_{th}$  de  $-10\text{ V}$ . Les différentes caractérisations ont montré que la tension  $V_{th}$  des MESFETs de seconde génération était plutôt de  $-15\text{ V}$ . Cela signifie que dans cette structure les MESFETs ne se bloquent pas totalement lors de l'application des différents potentiels. Cette explication semble confirmée par une simulation SPICE. L'architecture utilisée pour concevoir la fonction a été simulée avec des MESFETs possédant une tension de seuil de  $-15\text{ V}$ . Il apparaît à la figure 4.76, que la simulation ont un comportement relativement proche des mesures expérimentales.

De plus, le problème pourrait provenir de la source de courant (figure 4.77). Pour vérifier ceci, cette dernière a été caractérisée indépendamment. La figure 4.78 montre que la source de courant délivre un courant  $I$ , qui n'est pas constant. La tension  $V_{diff}$  moyenne est de l'ordre de  $-11.2\text{ V}$ . Cela donne d'après la loi d'Ohm un courant  $I$  moyen de  $224\text{ }\mu\text{A}$  contre  $360\text{ }\mu\text{A}$  théorique pour une résistance  $R_i$  de  $50\text{ k}\Omega$ .

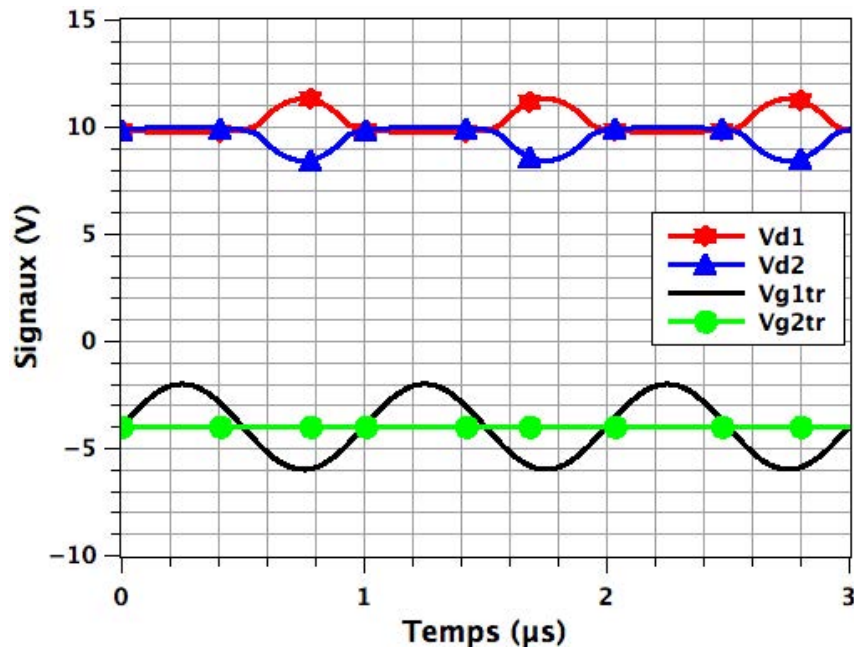


FIGURE 4.76 – Simulation SPICE de la fonction comparateur où la tension de seuil  $V_{th}$  de  $-10\text{ V}$  des MESFETs a été remplacé par une valeur de  $-15\text{ V}$  pour vérifier l'impact d'un changement de la tension  $V_{th}$  sur le circuit. Le code couleur est identique à celui de la figure 4.75.

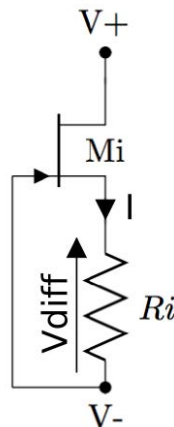


FIGURE 4.77 – Schéma de la source de courant utilisée pour la fonction comparateur basée sur l'association d'un MESFET et d'une résistance  $R_i$ . Cette résistance est intégrée à la structure. Il s'agit de  $R_{3tr}$  sur la figure 4.70. Les grandeurs  $V_+$ ,  $V_-$  et  $R_i$  ont été dimensionnées à  $20\text{ V}$ ,  $-15\text{ V}$  et  $50\text{ k}\Omega$ .

Les résultats obtenus sur la source de courant confirment que cette dernière contribue à la forme des signaux observés sur le comparateur. Elle délivre une courant  $I$  plus faible de  $224\text{ }\mu\text{A}$  contre  $360\text{ }\mu\text{A}$  attendu. Ceci peut facilement être modifié en jouant sur la valeur de la résistance  $R_i$ . En revanche, il s'avère qu'elle ne délivre pas un courant  $I$  constant. Ceci pose problème puisqu'il s'agit d'une condition nécessaire pour équilibrer les courants  $I_{d1}$  et  $I_{d2}$  dans les branches du comparateur. Une étude plus approfondie de l'architecture de la source de courant s'avèrera

nécessaire lors de la conception des prochains circuits. Une solution envisagée pourrait être l'utilisation d'une structure de type cascode. En effet, ce circuit présente une forte impédance. Sa topologie pourrait permettre l'obtention d'un courant  $I$  constant au sein du comparateur.

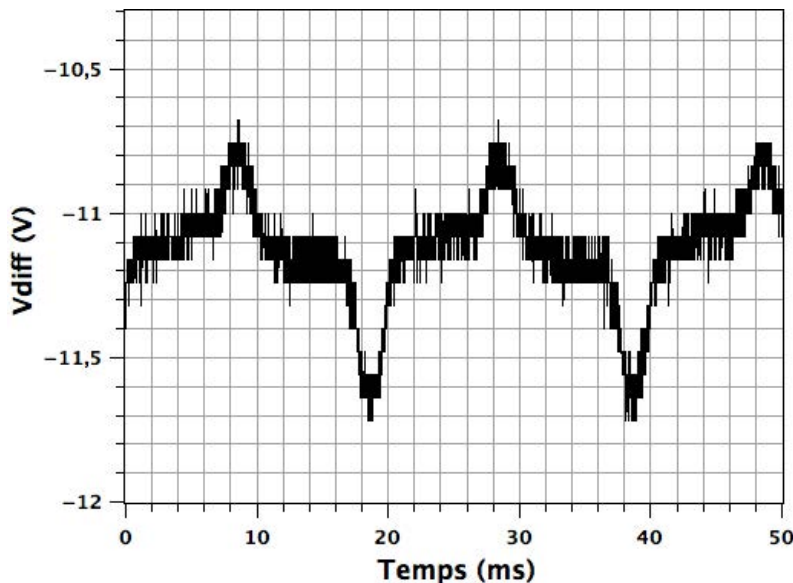


FIGURE 4.78 – *Mesure expérimentale de la source de courant utilisée pour la fonction comparateur avec une résistance  $R_i$  de  $50\text{ k}\Omega$  avec la grille enterrée  $G_2$  flottante.*

### Conclusion sur la fonction comparateur

En conclusion, la fonction comparateur n'est pas entièrement validée expérimentalement. Le circuit est capable de comparer deux signaux. Les tensions obtenues diffèrent des valeurs attendues pour plusieurs raisons. La première est liée à une différence de la tension de seuil  $V_{th}$  entre les MESFETs utilisés pour le dimensionnement et ceux présents sur le wafer. Les MESFETs employés pour concevoir le structure du comparateur étaient basés sur les composants de la première génération avec une tension de seuil  $V_{th}$  de -10 V. Il s'est avéré que les MESFETs fabriqués lors du lot 2 présentaient une tension  $V_{th}$  de -15 V. Cette différence entre les tensions  $V_{th}$  conduit à un non blocage des MESFETs au sein du comparateur du wafer. De plus, la source de courant implantée ne fournit pas un courant  $I$  constant au circuit. Ceci est relativement contraignant pour le circuit comparateur puisqu'il s'agit d'une condition primordiale à l'équilibre des courants  $I_{d1}$  et  $I_{d2}$ . L'étude approfondie de la source de courant est nécessaire pour envisager la mise au point d'un circuit comparateur fonctionnel. Une solution envisagée serait l'emploi d'une architecture de type cascode. Au cours de la phase de caractérisation, il est apparu que les résistances de type N présentaient un comportement non-linéaire. Ce phénomène pourrait poser des problèmes au comparateur puisque la non-linéarité des résistances pourraient créer un déséquilibre au sein du circuit. Il s'agit toutefois d'une supposition puisque ceci n'a pas pu être vérifié au cours des expérimentations.

#### 4.4 Synthèse et conclusion des fonctions intégrées en SiC

Les différentes caractérisations réalisées sur le wafer permettent d'établir un bilan sur les premières fonctions intégrées. La synthèse des résultats est présentée dans le tableau 4.17.

Composant	Etat	Amélioration	Stabilisation
Amplificateur source commune	✓	Résistances	
Oscillateur en anneau	✓	Résistances	
Comparateur	-	Résistances Tension $V_{th}$	Source de courant
Totem-pole	✓	Résistances de contact	Courant de fuite $I_{G1S}$

TABLEAU 4.17 – *Tableau de synthèses des différents fonctions élémentaires de la technologie des circuits intégrés en SiC élaborée au laboratoire AMPERE.*

La majorité des fonctions intégrées sont opérationnelles. Les principaux concepts envisagés lors de la phase de dimensionnement tels que l'établissement d'un amplificateur source commune, d'un oscillateur de 1 MHz ou d'un totem-pole ont été validés. Les fonctions présentent des différences entre leurs comportements théoriques et expérimentaux. Ces écarts s'expliquent grâce à la caractérisation des composants élémentaires présentés dans la seconde partie de ce chapitre. Un ajustement de certains paramètres physiques des composants élémentaires s'avère nécessaire pour réaliser le démonstrateur de puissance envisagé à partir de ces différentes fonctions.

Plusieurs aspects sont à améliorer. En effet, il est apparu que les structures de type N avaient d'une part de fortes résistances de contact, d'une autre qu'elles présentaient un comportement non-linéaire au-delà d'une certaine tension (la valeur varie selon la longueur de la résistance). Ces différents phénomènes ont influencé le comportement de certaines fonctions telles que l'amplificateur source commune ou l'oscillateur en anneau. Il apparaît que les résistances de type N ne sont pas forcément la meilleure solution pour la conception des circuits intégrés en SiC. Une optimisation de ces dernières pourrait permettre d'améliorer leurs caractéristiques lors des prochaines générations de circuits. Les caractérisations ont montré que les résistances de types P étaient fonctionnelles. Ces composants peuvent être une solution alternative. La réalisation de résistances au moyen de polysilicium pourrait être une perspective intéressante pour les circuits intégrés destinés aux applications en température.

Parallèlement à ceci des fonctions comme le comparateur ou le trigger nécessite la stabilisation et l'amélioration de plusieurs éléments. Il est apparu que les MESFETs utilisés avaient une tension de seuil  $V_{th}$  différente de la valeur théorique utilisée pour la conception des différentes fonctions. Ceci a posé quelques difficultés puisque les transistors ne pouvaient pas se bloquer avec la configuration mise en place. Néanmoins ce problème est facilement rectifiable puisqu'il suffit soit de graver plus profondément la couche épitaxiée N des MESFETs pour obtenir la tension  $V_{th}$  de -10 V, soit de redéfinir l'architecture des structures pour une tension de seuil de -15 V. De plus, les mesures expérimentales ont montré que la source de courant utilisée ne présentait pas un courant  $I$  stable. Ce paramètre est primordiale au bon fonctionnement d'une structure comparateur. L'architecture de la source de courant doit être améliorée pour permettre



la stabilisation de son courant. Une piste serait l'ajout d'une structure cascode à l'architecture actuelle. En effet, un circuit cascode possède une forte impédance. Ce paramètre pourrait conduire à une stabilisation du courant fournit par la source.

En conclusion, les résultats obtenus pour les différents circuits intégrés en SiC sont très encourageants. Une grande partie des fonctions analogiques s'avèrent être opérationnelles. Toutefois des paramètres dans la technologie de fabrication sont à améliorer pour obtenir les comportements théoriquement attendus.

## 5 Conclusion du chapitre

La réalisation d'un convertisseur de puissance apte à opérer au sein des environnements sévères (haute température :  $> 300\text{ °C}$ , haute tension  $> 10\text{ kV}$ ) nécessite l'élaboration d'une technologie spécifique. Le choix s'est porté sur une solution en SiC. L'élaboration d'un tel dispositif requiert au minimum trois phases d'étude. La première étape consistait à prouver la faisabilité de circuits hybrides basés sur des transistors SiC. Les travaux menés sur cette partie ont été présentés dans le chapitre 2 de ce manuscrit. La validation de cette partie a conduit au lancement de la seconde phase d'étude. L'objectif était de montrer la faisabilité de structures élémentaires latérales en SiC (composants de puissance latéraux et circuits intégrés). Le chapitre 3 a présenté la conception et le dimensionnement des divers topologies envisagées en vue de l'élaboration du démonstrateur de puissance. La réalisation de cette solution nécessite auparavant la mise au point d'une technologie spécifique aux circuits intégrés en SiC. Les principaux résultats obtenus à partir de cette étude ont été présentés au cours de ce chapitre.

La solution envisagée en vue de l'élaboration du démonstrateur implique la mise au point de composants élémentaires latéraux de signal et de puissance. Au cours de la première phase des MESFETs latéraux double grille avaient été réalisés et validés. Les composants envisagés pour cette seconde phase d'étude ont été basés sur la structure du MESFET de la première génération. Des résistances, des diodes, mais aussi des MESFETs de signal, de "buffer" et de puissance ont ainsi été élaborés à partir de cette structure élémentaire. Les caractérisations effectuées ont validé la majorité des composants de la seconde génération (lot 2). Les composants sont opérationnels et présentent globalement les comportements attendus. Toutefois, il s'est avéré que ces derniers présentaient des écarts entre les performances théoriques et mesurées. L'analyse des résultats expérimentaux a montré la présence de résistances de contact élevées sur l'ensemble des composants implantés sur le wafer. Ces éléments entraînent une limitation du courant à l'état passant des différents composants. Une optimisation des résistances de contact sera nécessaire lors des prochains lots pour améliorer la performances des différents composants SiC. De plus, les cartographies réalisées ont montré que les composants non-fonctionnels présentaient un courant de fuite élevé. Il est apparu que plus la surface d'un composant était grande et plus le nombre de composant non-fonctionnel était important. Une hypothèse laisserait présager que ce problème serait lié à qualité du matériau SiC. L'ensemble des composants est considéré valide, mais des paramètres liés au procédé de fabrication sont à optimiser pour obtenir les performances attendues.

En plus des composants élémentaires, des circuits intégrés ont été implantés sur le wafer. Ces différentes fonctions ont été basées sur le MESFET de type signal et des résistances de type

N. Le principal défi dans la fabrication des circuits intégrés était la mise au point d'une technologie d'interconnexion entre les composants élémentaires puisque ceci n'avait auparavant jamais été réalisé dans le cadre des travaux entrepris par le LIA. La phase de caractérisation entreprise a permis de valider ce processus de fabrication puisque une grande partie des fonctions intégrées se sont avérées opérationnelles. Il s'agit d'un processus de fabrication complexe basé sur douze étapes dont cinq dédiées aux étapes de métallisation. Les circuits intégrés fonctionnels présentent les comportements attendus. Mais à l'image des composants élémentaires, les valeurs mesurées diffèrent légèrement par rapport à la théorie. Ces différences observées proviennent majoritairement des structures élémentaires. Les résistances de contact élevées affectent fortement les fonctions intégrées puisque les performances des composants sont altérées. De plus les MESFETs ont des tensions de seuil  $V_{th}$  plus importantes que celles des composants utilisés pour le dimensionnement des fonctions (-15 V contre -10 V). Cette caractéristique n'a pas permis la validation globale de la fonction comparateur puisque les composants ne sont jamais entièrement bloqués. Enfin, les résistances de type N ont montré un comportement non-linéaire lors des mesures. Ceci pourrait affecter les performances de quelques fonctions sensibles telles que le comparateur. L'étude d'une nouvelle topologie de résistances pourrait être intéressante lors de la conception du prochain lot de composants. Trois solutions sont envisageables. La première consisterait à optimiser la structure des résistances de type N de façon à limiter les effets de non-linéarité. La seconde impliquerait l'utilisation des résistances de type P, qui se sont montrées fonctionnelles lors des caractérisations des structures de test. La dernière viserait la réalisation de résistances en polysilicium. Les fonctions intégrées sont par conséquent majoritairement valides.

En conclusion, cette seconde phase d'étude a permis l'obtention des premiers circuits intégrés en SiC dans le cadre des travaux menés par le LIA. Le processus de fabrication élaboré a permis de valider la technologie d'interconnexion, mais aussi de montrer la co-intégration de structures SiC de signal et de puissance sur un même wafer. Les composants élémentaires et les fonctions intégrées implantées sur le wafer sont en majorité validés. Des améliorations de ce procédé de fabrication sont nécessaires pour optimiser les performances des composants notamment au niveau des résistances de contact et des courants de fuite. A l'heure actuelle, les résultats obtenus ne permettent pas la réalisation du démonstrateur envisagé. Des études complémentaires sont à mener sur les composants et les fonctions élémentaires avant de pouvoir envisager la troisième phase des recherches, qui est basée sur la réalisation d'un système intégré.



---

# Conclusion et perspectives

## Conclusion

L'objectif principal des travaux de recherche entrepris est la conception d'un circuit de commande spécifique aux environnements sévères tels que la haute tension ( $> 10$  kV) et la haute température ( $> 300$  °C) capable d'amorcer des interrupteurs de forte puissance. A la suite d'une étude bibliographique présentée au cours du chapitre 1, la réalisation d'un dispositif en SiC est apparue comme la solution la plus viable pour répondre aux différentes contraintes imposées par les domaines d'applications visées. De plus, la "large bande interdite" du SiC confère à ce semi-conducteur des propriétés physiques capables d'améliorer les performances des systèmes de puissance actuels, notamment en terme de tenue en tension, de calibre en courant et de rendement énergétique.

Le démonstrateur visé est un dispositif de puissance monolithique basé sur un convertisseur de type "boost" intégré avec son circuit de commande. Concrètement, le dispositif envisagé est principalement basé sur des MESFETs SiC latéraux double grille. Le choix de cette technologie a été fait en fonction des différentes solutions possibles et des moyens du laboratoire AMPERE. Ce composant présente la particularité de pouvoir être contrôlé au moyen de ses deux grilles  $G_1$  et  $G_2$ . L'élaboration d'un tel prototype a nécessité auparavant l'établissement d'une méthodologie de travail et d'une démarche scientifique. La méthodologie est basée sur trois grandes phases d'étude. La première partie consiste à prouver la faisabilité d'une telle solution par la réalisation de circuits hybrides basés sur des MESFETs élémentaires en SiC. La seconde étape a pour objectif d'établir des fonctions intégrées en SiC dédiées au circuit de commande d'un convertisseur de puissance. La dernière phase vise la réalisation d'un système de puissance intégré en SiC. La démarche scientifique utilisée lors de chaque phase d'étude s'est appuyée sur trois grandes étapes : la conception, la fabrication et la caractérisation. La conception a permis l'établissement et le dimensionnement des différents composants, fonctions et systèmes présentés au cours de ce manuscrit. Cela a conduit à la réalisation de deux jeux de masques et à la fabrication de deux lots de composants sur des wafers de trois pouces (lot 1 et lot 2). Les étapes de fabrication se sont intégralement déroulées au CNM de Barcelone. Les phases de caractérisation ont permis d'évaluer les performances des solutions envisagées lors de la phase de conception. Les résultats expérimentaux obtenus permettent ainsi de conclure sur la validité des différentes entités et d'envisager les améliorations à apporter en vue de leur bon fonctionnement ou de leur optimisation.

Suite à la réalisation du premier lot de composants, les caractérisations électriques ont montré que les MESFETs latéraux double grille en SiC étaient fonctionnels. Cette topologie présentent des avantages par rapport à une structure simple grille. Elle possède un meilleur pouvoir de blocage du courant  $I_{DS}$ , ainsi qu'un meilleur courant de fuite  $I_{GS}$ , que les MESFETs simple

grille. Un modèle de simulation SPICE statique et dynamique du MESFET SiC a été établi suite à l'extraction de différents paramètres issus des données expérimentales. Ce modèle présente une bonne correspondance. Ce dernier n'intègre pas les effets de polarisation liés à la présence de la couche enterrée de type P, ni l'emploi de la seconde grille de contrôle  $G_2$ , ainsi que les effets d'auto-échauffement. L'utilisation de ce modèle a permis la réalisation de fonctions hybrides basées sur des MESFETs SiC élémentaires. Un oscillateur en anneau dimensionné pour 1 MHz a oscillé à une fréquence de 500 kHz. L'auto-polarisation de la couche enterrée de type P est à l'origine de l'écart observé entre la simulation et la mesure expérimentale. La fonctionnalité de l'oscillateur en anneau prouve la faisabilité de solutions de commande entièrement basées sur des composants latéraux SiC. Les études menées au cours de cette phase de recherche ont permis l'établissement d'un premier "design-kit" de composants et de fonctions dans la perspective d'élaborer un système de puissance spécifique aux environnements sévères.

La seconde phase des recherches a porté sur la conception, le dimensionnement et la réalisation d'un système de puissance en vue d'établir un premier démonstrateur. Le système envisagé est basé sur un convertisseur de puissance régulé de 2.2 W capable de fournir une tension de 10 V et un courant de 225 mA. Le système requiert des résistances, des diodes de redressement et de puissance, ainsi que des transistors de type signal, buffer et de puissance. Ces transistors ont été élaborés à partir de la structure double grille établie lors de la première phase. Ils présentent respectivement une longueur de grille  $G_1$  de 440  $\mu$ , de 6.1 mm et de 9.9 cm. Un nouveau mode de régulation du dispositif de puissance a été démontré à partir des simulations SPICE. La structure double grille de l'interrupteur de puissance SiC permet l'établissement d'une topologie où le signal de découpage est appliqué sur la grille de type Schottky ( $G_1$ ) et le signal de régulation sur l'électrode de commande de type PN ( $G_2$ ).

La réalisation du démonstrateur envisagé a nécessité l'élaboration d'un processus technologique approprié à la réalisation de circuits intégrés en SiC. Ce procédé présente la particularité de co-intégrer des structures de signal et de puissance sur le même substrat. De plus, il utilise des caissons de type P pour isoler les entités entre elles. Il s'agit d'un processus d'une durée relativement longue (6 mois), mais aussi complexe puisqu'il est basé sur 12 étapes technologiques dont 5 associées aux phases de métallisation.

La majorité des composants et des fonctions intégrés issue du second lot s'est avérée opérationnelle. La technologie de fabrication des résistances, des diodes et des transistors a été validée suite à la campagne de caractérisation. Les différentes entités fabriquées ont présenté les comportements électriques attendus. Des paramètres liés au processus technologique dont les résistances de contact et les tensions de seuil  $V_{th}$  des MESFETs sont à optimiser pour obtenir les performances souhaitées lors de la phase de conception. L'ensemble des composants présente des résistances de contact de l'ordre du k $\Omega$ , qui conduisent à un écart entre la valeur du courant théoriquement attendue et la valeur expérimentalement mesurée. De plus, les transistors présentent une tension de seuil  $V_{th}$  de l'ordre de -15 V au lieu de -10 V, ce qui pourrait conduire à une modification de la structure du système de puissance. Enfin, il est apparu que plus la surface d'une entité était importante et plus le nombre de composants opérationnels était faible. La majorité des composants de grande taille non-fonctionnels présentaient des courants de fuite relativement élevés par rapport à leur valeur nominale. Ceci pourrait être liée à la présence de défauts cristallins dans le matériau SiC, qui aurait une probabilité plus importante de toucher un composant de grande taille. Au niveau des circuits, un oscillateur en anneau basé sur la structure employée lors de la première phase a notamment été réalisé. Cette fonction présente

les performances attendues puisqu'il oscille à la fréquence dimensionnée de 1 MHz, de plus l'utilisation de la grille  $G_2$  des MESFETs confère à cette fonction une propriété de VCO. Les mesures expérimentales valident la méthodologie de conception établie, ainsi que le processus de fabrication des circuits intégrés en SiC.

L'objectif principal de la seconde phase de recherche est atteint puisque les résultats expérimentaux ont permis de démontrer le fonctionnement des circuits intégrés en SiC. Les performances de ces fonctions sont toutefois à optimiser pour pouvoir réaliser le démonstrateur envisagé dans le chapitre 3 à partir des différentes briques établies.

## Perspectives

Les résultats obtenus lors de ces travaux laissent entrevoir de nombreuses perspectives de recherche.

Ces travaux devraient être prolongés dans le cadre des activités du LIA WIDE-Lab. Ces poursuites concernent l'optimisation des structures élémentaires notamment par l'amélioration des résistances de contact ohmique. D'après les conclusions du chapitre 4, la fonctionnalité des circuits intégrés passe par celle des composants élémentaires. L'optimisation de ces entités lors du prochain lot fabriqué devrait donner les performances électriques attendues en vue de la réalisation d'un démonstrateur système. Dans cette continuité, un convertisseur de puissance intégré avec sa commande en SiC pourrait être réalisé d'ici un, voire deux lots (phase 3). Les travaux porteront par la suite sur l'étude du comportement de ce système en environnement sévère notamment en haute température ( $> 300\text{ }^\circ\text{C}$ ).

L'élaboration de nouvelles topologies telle qu'un miroir de courant contribuerait à l'enrichissement du "design-kit" SiC établi. Cela pourrait permettre la mise au point de systèmes de supervision et de protection pour le système visé. Parallèlement à ceci, le développement de composants complémentaires de type P ou de nature "normally on" pourrait permettre la réalisation de nouvelles fonctions et la simplification de l'architecture de commande du système.

A l'heure actuelle, l'intégration des composants passifs tels que les inductances et les condensateurs n'a pas été envisagée dans le cadre de ce projet. Des travaux au laboratoire AMPERE portent actuellement sur l'intégration de ce type de composants sur des substrats SiC [HAD12]. L'association des différentes recherches entreprises pourrait permettre l'obtention de systèmes entièrement intégrés. Cela permettrait par exemple d'envisager à terme l'intégration des capacités de l'oscillateur en anneau.

Le modèle de simulation SPICE du MESFET ne tient pas compte des effets de polarisation engendrés par la couche enterrée de type P, ainsi que de l'électrode de commande  $G_2$ . Durant la thèse, la réalisation d'un modèle analytique du MESFET a été entrepris en se basant sur les travaux de H. MOREL et Y.HAMIEH [HAM11]. Le modèle obtenu permet le contrôle du composant au moyen des électrodes  $G_1$  et  $G_2$ , mais ne donnaient pas les valeurs attendues. De plus l'implantation des équations du modèle en VDHL-AMS posaient certains problèmes de convergence liés à la présence de puissance de type réel (ex :  $a^{-0,75}$ ). L'obtention d'un modèle analytique du MESFET est envisageable, mais nécessite un temps de recherche plus approfondi.

Lors de la phase de conception du système de puissance un nouveau mode de régulation a été présenté. Cette solution a été évaluée lors de la phase de simulation à l'aide d'un modèle hybride du MESFET double grille. L'élaboration d'un modèle analytique pourrait permettre une simulation plus précise du système régulé, ainsi que l'établissement des conditions optimales de fonctionnement. Si la viabilité de cette solution n'a pas pu être évaluée expérimentalement, elle pourrait constituer une solution originale de régulation dans un futur circuit intégré de puissance.

Enfin, l'élaboration d'une solution d'isolation optique du système pourrait être une perspective de recherche envisageable. Au cours du chapitre 3, il a été montré qu'une alimentation isolée de nature optique pouvait transmettre une puissance de l'ordre de 0.36 W. L'utilisation de cette alimentation n'est pas envisageable dans le cadre de cette thèse. Une optimisation des composants et de l'architecture de commande du système de puissance pourrait permettre l'utilisation de ce type d'alimentation. De plus, il est apparu que les optocoupleurs présentaient des limites en température en raison de la nature physique du silicium. Suite aux informations présentées dans la partie 2 des annexes, la réalisation d'un optocoupleur en matériaux Grand Gap pourrait être une solution d'isolation prometteuse pour le dispositif de commande envisagé.

---

# Annexes





---

# Vers une solution d'isolation optique en matériaux Grand Gap

Au cours du chapitre 1, différentes technologies d'isolation telles que le magnétisme ou l'optique ont été présentées. Le développement d'une solution d'isolation optique associée aux circuits intégrés Grand Gap paraît être une perspective intéressante en vue de la réalisation d'un système destiné à opérer au sein des environnements contraignants.

## 1 Les alimentations optiques

### 1.1 Présentation

L'insensibilité de la lumière face aux perturbations électromagnétiques offre l'avantage de pouvoir utiliser les ondes lumineuses en tant que flux énergétique au sein des systèmes à la place des liaisons électriques conventionnelles relativement sensibles aux parasites. Les propriétés procurées par de tels vecteurs énergétiques permettent d'établir des isolations galvaniques opérationnelles face à des systèmes engendrant de forte interférence électromagnétique (systèmes pulsés de forte puissance) ou dans des milieux contraignants (explosifs, champ électrique élevé, forte radiation). L'utilisation de la puissance optique est une perspective intéressante en vue de l'alimentation en puissance des systèmes électriques. Des chercheurs de l'université de Lancaster à Hong Kong ont comparé les performances d'une transmission électrique et d'une transmission optique face aux perturbations électromagnétiques engendrées par des équipements haute tension dans le but d'alimenter des circuits NE 555 à partir de quatre photodiodes montées en série [LHea03]. Les résultats présentés à la figure 79 montrent clairement l'immunité d'une transmission optique par rapport à une transmission électrique vis-à-vis des bruits environnementaux. La fibre optique présente en plus l'avantage d'être utilisable sur de grande distance, d'être plus robuste face à la corrosion et aux moisissures, que les liaisons cuivrées. Les fibres optiques sont en revanche plus complexes à connecter et nécessitent une main-d'œuvre qualifiée.

A l'heure actuelle, la majorité des applications basées sur la transmission d'énergie optique sont principalement liées à la télémétrie, aux réseaux et au médical. Les faibles puissances disponibles en réception limitent généralement l'utilisation des flux lumineux aux opérations peu coûteuses en énergie (ex : transfert de données). L'alimentation d'un système est envisageable si l'énergie requise peut-être intégralement fournie à partir des radiations.

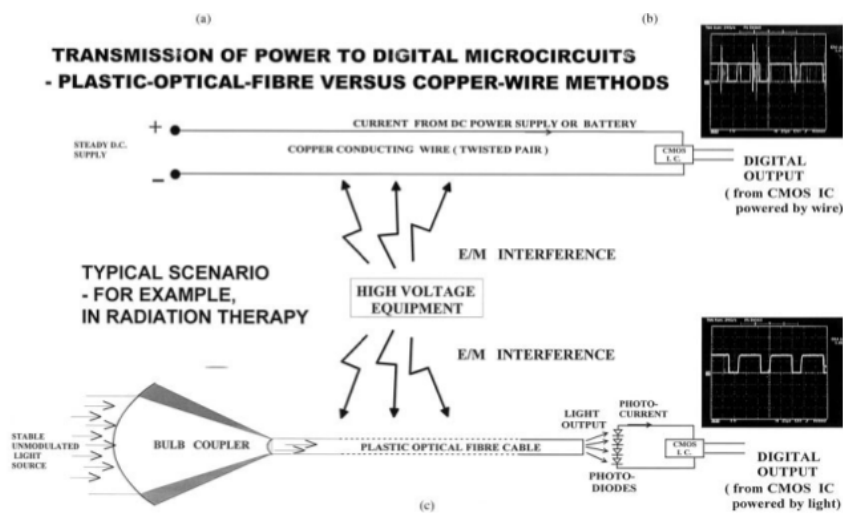


FIGURE 79 – Comparaison des transmissions optiques et électriques destinées à alimenter en énergie des NE 555 [LHea03].

## 1.2 Quelques démonstrateurs :

Un système d'alimentation capable de fournir 2 W en continu à partir d'une transmission optique a été conçu par T. YASUI et ses collaborateurs japonais [YOMS00]. Ce système est destiné à alimenter des capteurs utilisés dans des environnements à forts champs électriques. Une diode laser d'un  $\lambda$  de 808 nm et d'une puissance de 3 W alimentée à partir d'une source de tensions externe fournit un flux lumineux à une récepteur photovoltaïque en GaAs à partir d'une fibre optique de 200 m (figure 80). Une unité est capable de fournir une puissance de 430 mW, soit approximativement 2 W par la mise en parallèle de cinq cellules de type photovoltaïque. En cas de défaillance, une sécurité assurée à partir d'une contre réaction optique est capable d'arrêter l'alimentation énergétique du système en coupant l'émission de la diode laser.

La figure 81 présente les rendements des différents composants de l'alimentation et met en évidence les limites impliquées par les photocomposants évoqués précédemment.

H. FUJITA de l'université technologique de Tokyo a conçu un driver (figure 82) capable de commuter rapidement des composants de puissance de fortes densités [IF09]. Le système présente la particularité de commander et d'alimenter le driver de puissance uniquement à partir des flux radiatifs. La puissance optique transmise permet de générer des tensions de 12 V, ainsi que le passage d'un photocourant de 5 mA via une chaîne de transmission du type : diode laser, fibre optique et photodiode. Le photocourant induit est suffisant pour polariser la grille d'un MOSFET ou d'un IGBT dont l'impédance est théoriquement infinie. Pour information, la topologie résonnante utilisée pour le driver a permis de réduire d'un facteur 5 les pertes lors des phases de commutation. Le tableau 18 présente les différentes caractéristiques des composants utilisés pour la réalisation du driver à commande optique.

Les applications réalisées ont permis de démontrer la possibilité d'alimenter un système électrique à partir d'un flux d'émission optique puissances provenant d'un photoémetteur. Les limites technologiques actuelles ne permettent cependant pas de pouvoir bénéficier d'une puis-

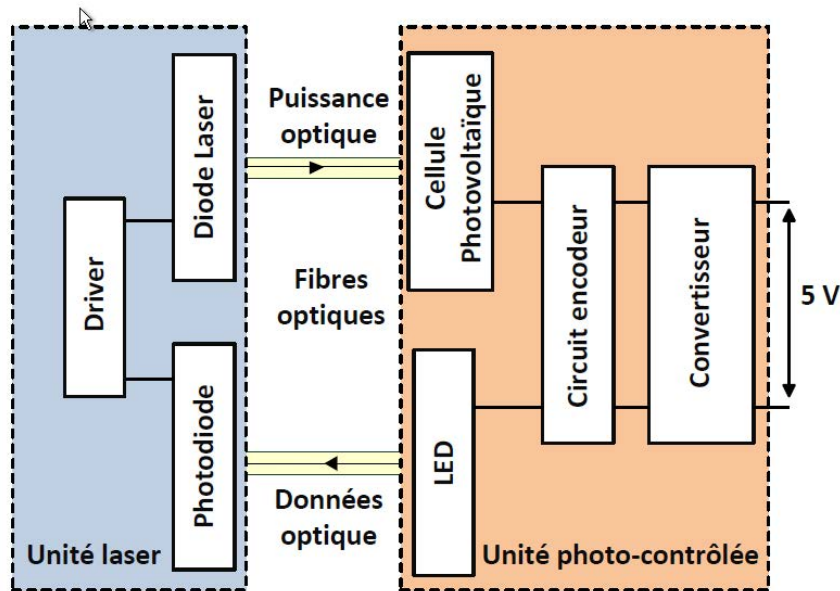


FIGURE 80 – Schéma du système à alimentation optique développé [YOMS00].

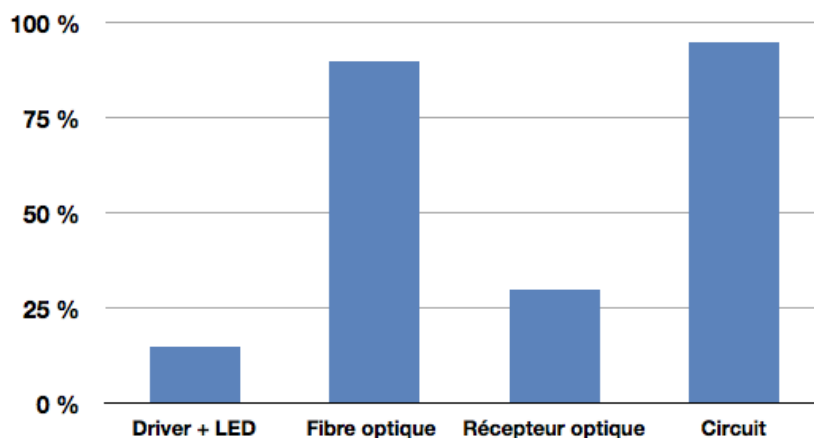


FIGURE 81 – Rendement des composants utilisés dans le système à alimentation optique [YOMS00].

sance électrique généralement supérieure à 0.5 W. Plusieurs facteurs permettent d'expliquer le faible taux du transfert de puissance. La principale cause reste le faible rendement des composants optoélectroniques puisque les photorécepteurs ne permettent actuellement pas d'obtenir des taux de rendements généralement supérieurs à 25 %. L'illumination partielle des surfaces des composants contribue aussi à augmenter les résistances des photorécepteurs. De plus, lorsque des photorécepteurs sont placés en série le photocourant est imposé dans le circuit par le composant le moins illuminé (la résistance la plus grande impose le photocourant). Enfin les flux lumineux perdus contribuent à l'augmentation des pertes puisqu'ils sont générés sans pouvoir être bénéfiques puisqu'ils n'éclairent aucun composant et ne sont par conséquent d'aucune utilité.

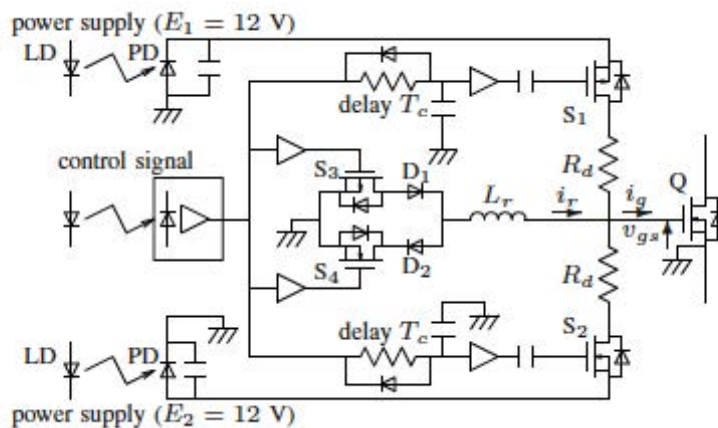


FIGURE 82 – Driver optique utilisé pour commander un MOSFET de puissance [IF09].

Composants	Caractéristiques
Diode : $D_1$ et $D_2$	$V_f : 0.2 \text{ V}$
MOSFET	$R_{on} : 30 \text{ m}\Omega$
Interface optique de la logique	50 Mb/s
Diode laser LD	SDL-L2 (JDSU ) 400 mW
Photodiode	PPC-12E (JDSU) 12 V – 70 mW

TABLEAU 18 – Caractéristiques des composants utilisés.

### 1.3 Conclusion

La commande des composants de puissance par voie optique semble être actuellement la solution la plus envisageable pour les systèmes destinés à fonctionner dans des environnements contraignants. Les propriétés apportées par les radiations lumineuses permettent notamment d'assurer une immunité contre les perturbations électromagnétiques et une très bonne isolation galvanique. Afin de garantir une totale isolation entre les modules de commande et de puissance, le circuit de commande doit être connecté à une alimentation isolée de la de puissance. Les chercheurs et les industriels cherchent par conséquent à développer des applications capables d'être alimentées à partir des ondes lumineuses. Actuellement la puissance électromagnétique transmissible par voie optique ne permet pas d'envisager l'alimentation de systèmes consommant plus de 2 W. Cette solution est généralement utilisée pour alimenter des capteurs ou alors fournir des ordres de commande à des systèmes dont la puissance est fournie par des alimentations de nature électrique.

## 2 Les matériaux optiques de type Grand Gap

Le SiC comme le silicium est un matériau à gap indirect contrairement au GaAs ou au GaN [DUB99]. Cette différence de nature de gap est relativement importante car les transitions optiques à gap direct s'effectue avec le même vecteur onde et ne nécessite pas de consommation d'énergie supplémentaire comme cela peut-être le cas pour les gaps de nature indirect. Le SiC peut émettre des longueurs d'ondes de couleur bleue de faible puissance (rendement électro-optique <1 %) et absorber des radiations situées dans de fréquences de l'ultraviolet (UV). Le gap indirect nécessite l'intervention d'un phonon, ce qui conduit à un mauvais rendement énergétique lors des d'échanges radiatifs (figure 83). Les semi-conducteurs à gap direct (GaAs, GaN ...) sont par conséquent mieux adaptés aux applications optoélectroniques.

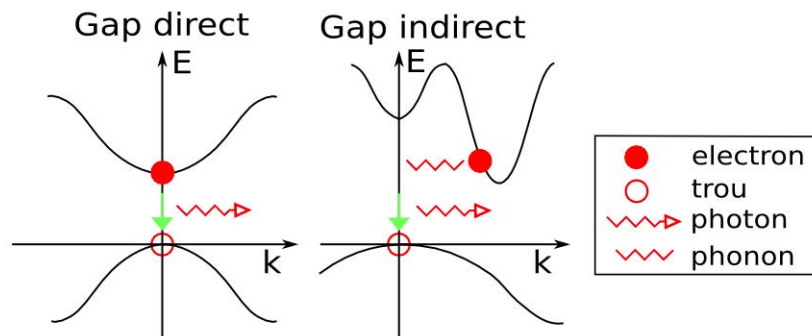


FIGURE 83 – Schéma de principe d'un semi-conducteur à gap direct et d'un semi-conducteur à gap indirect [PEL13].

De nombreuses recherches sont effectuées pour réaliser des composants de puissance en matériaux Grand Gap directement amorçables à partir des ondes lumineuses [MS09a] [MAZ06]. Le SiC possède un mauvais coefficient d'absorption optique, qui conduit à un mauvais rendement énergétique [ZHA10]. La solution idéale consisterait à réaliser des composants de puissance à base de matériaux à gap direct spécifiques pour les applications optoélectroniques. A l'heure actuelle, les premiers démonstrateurs de puissance à commande électrique en GaN sont en cours de réalisation. Si les résultats sont satisfaisants, la réalisation de composants de puissance à commande optique pourrait être entreprise. Il faut cependant savoir que le GaN est un matériaux rare contrairement au SiC et que les procédés technologiques de fabrication ne sont pas aussi mature. L'utilisation du GaN pourrait être la solution la plus intéressante pour la conception d'optocomposant dans le futur.

Une solution alternative proposée par S. MAZUMDER [MS09a] consiste à concevoir un composant hybride dans lequel l'étage sensible aux rayons lumineux serait fait à partir d'un matériaux à gap direct tel que le GaAs ou le GaN, qui viendrait par la suite commander un composant de puissance peu adapté à l'optique tel que le SiC (figure 84). Ce couplage permettrait aux composants de puissance en SiC à commande optique d'améliorer le rendements énergétiques. L'utilisation d'une structure GaN-SiC permettrait la mise au point de composants de puissance à commande optique capable de fonctionner dans des environnements contraignants tout en optimisant le rendement de conversion optoélectrique et l'énergie consommée dans le système.

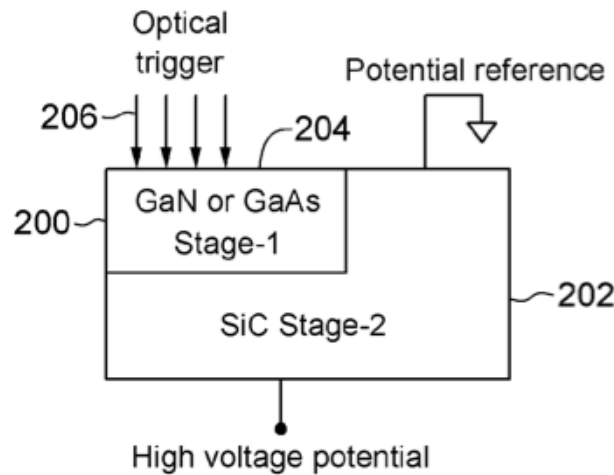


FIGURE 84 – Topologie du composant développé par S. MAZUMDER [MAZ06].

Ce type d'hétérostructure est en cours d'évaluation au laboratoire AMPERE dans le cadre de l'ANR VLOC. Le projet porte sur la croissance localisée de SiC/C, AlN/C et de GaN/SiC. S. MAZUMDER a réalisé un transistor de puissance bipolaire à partir d'une structure hybride GaAs-SiC [MS09b]. Le composant présente une tenue en tension de 5 kV et permet le passage de 1 kA.

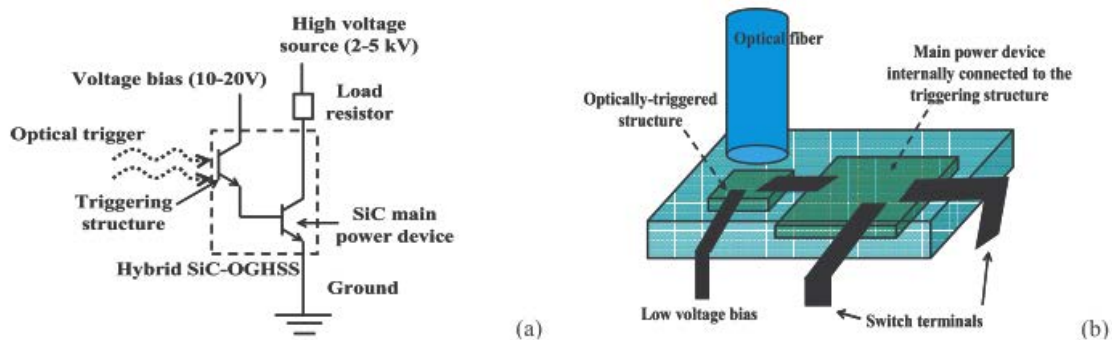


FIGURE 85 – Transistor bipolaire à commande optique de structure hybride GaAs-SiC [MS09b].

Le GaAs est sensible aux radiations transmises par les fibres optiques standards, ce qui facilite la conception de la structure de commande et permet de s'affranchir des problèmes liés aux UV. Le GaAs nécessite une densité de puissance optique largement inférieure au SiC pour amorcer la structure ( $2000 \text{ W/cm}^2$  contre  $40000 \text{ W/cm}^2$ ) grâce à son très bon coefficient d'absorption ( $120 \text{ cm}^{-1}$  contre  $10000 \text{ cm}^{-1}$ ). Cette topologie est avantageuse pour la commande directe de l'interrupteur de puissance puisqu'il permet de réduire la consommation d'énergie nécessaire à l'amorçage du semi-conducteur. En revanche, les composants réalisés ne comportent actuellement pas les fonctions attendues d'un circuit de commande rapprochée (diagnostique, contrôle ...).

Ce type de composant est relativement attrayant pour les applications de forte puissance telles que les High Voltage Direct Current. Il permet à partir d'une commande optique suffisamment puissante de contrôler le composant de puissance en matériaux Grand Gap à partir d'un dispositif standard (fibre optique et composants optoelectroniques classiques), tout en permettant une mise en série des composants de puissance pour accroître la tenue en tension, ainsi que la mise en parallèle pour augmenter la densité de courant (figure 86).

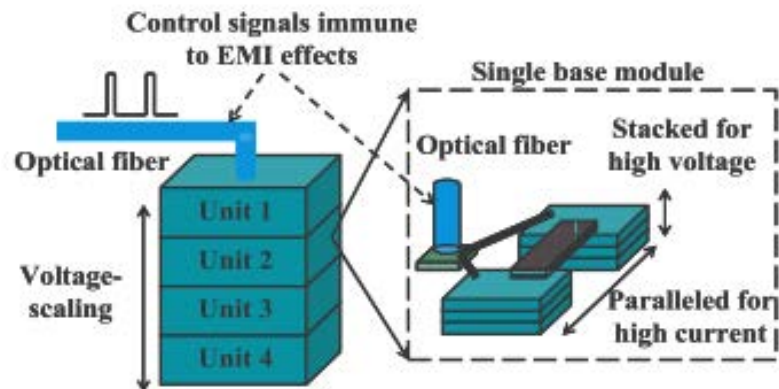


FIGURE 86 – Schéma présentant les différentes topologies envisagées pour améliorer les performances des systèmes de puissances [MS09b].

## 2.1 Conclusion

Les interrupteurs de puissance à commande optique fabriqués sont encore au stade du développement au sein des laboratoires de recherche. Les premiers composants ont donné des performances relativement prometteuses. La nature du matériau utilisé influence fortement l'énergie nécessaire à l'amorçage par voie optique d'un semi-conducteur. Cette contrainte peut poser certains problèmes lors de la réalisation de drivers optiques en matériau Grand Gap (disponibilité et performances des composants optiques). Des chercheurs comme S. MAZUMDER essaient de mettre au point des solutions avec l'intention d'optimiser les performances énergétiques des chaînes de transmission.

## 3 Elaboration d'une chaîne de transmission optique à partir de matériaux Grand Gap

La conception d'une chaîne de commande optique en matériaux Grand Gap nécessite un émetteur UV, un médium de transmission spécifique aux UV et un récepteur UV. La liaison doit pouvoir transmettre le maximum de puissance, ce qui nécessite l'emploi de composants et de topologies optimisées. Suite aux résultats de N. DHEILLY, des photorécepteurs de puissance en SiC sont à disposition au laboratoire AMPERE. L'élaboration de la chaîne implique par conséquent la disponibilité d'émetteurs et de médiums capables d'opérer dans la gamme



320-350 nm. D'après la figure 87, il apparaît que le SiC est sensible aux radiations comprises entre 320 nm et 350 nm. De plus, ce dernier ne peut émettre qu'entre 450 nm et 500 nm. Cela signifie que l'utilisation d'un autre type de matériau s'avère nécessaire. La figure 87 montre que le GaN est capable d'émettre dans la gamme de fréquences souhaitée.

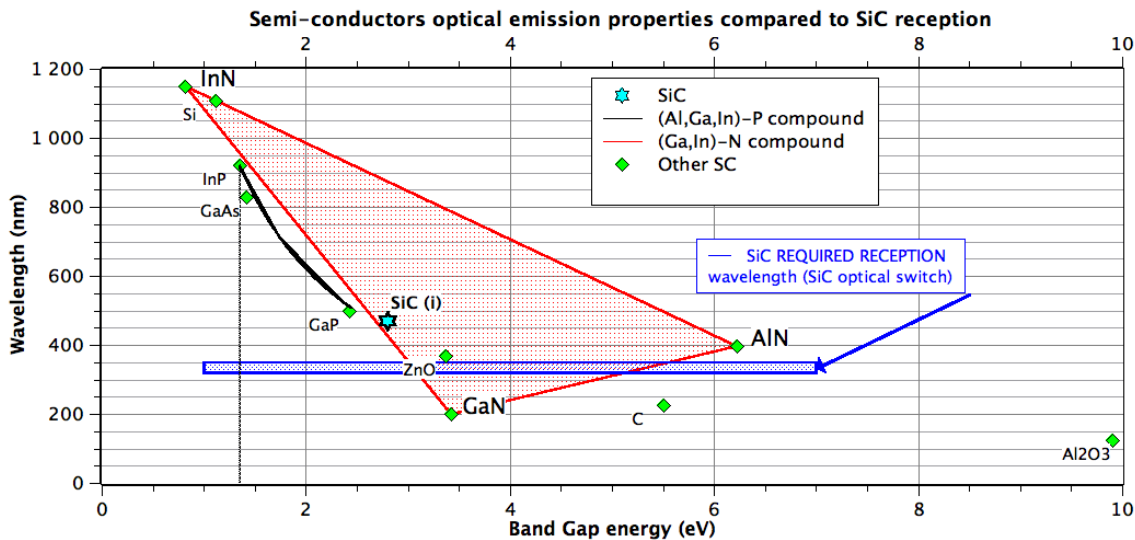


FIGURE 87 – Spectre des longueurs d'onde montrant la plage de sensibilités en réception du SiC et la compatibilité des longueurs d'onde émises de différents semi-conducteurs.

La conception d'une LED spécifique au cours de la thèse n'est pas envisageable et la solution consiste à utiliser une LED commercialisée ou en développement au sein d'un laboratoire de recherche (ex : CREA). Pour informations, la société EPI-light est actuellement une des rares sociétés à proposer des LEDs UV opérant à la longueur d'onde souhaitée (# 340 nm) et capable de fournir jusqu'à 5 W de puissance optique.

L'établissement d'une transmission optique à base de matériaux GaN et SiC implique l'utilisation d'un support pour acheminer les ondes lumineuses sur de longues distances entre l'émetteur et le récepteur. Les fibres optiques standards possèdent trois fenêtres de transmission (figure 88). D'après la figure 88, elles ne transmettent pas les UV et ont tendance à se photonoircir en présence de ce type de radiations [JOI13].

Les UV favorisent l'apparition de centres colorés au sein de la fibre optique. Il s'agit de défauts absorbants créés par des contraintes extérieures. Le photonoirçissement entraîne des modifications du gap optique (indices optiques varient dans le matériau) et crée des différences de structures au sein de la fibre optique. Selon la constitution de la fibre, les conséquences peuvent conduire à un accroissement de l'atténuation linéique, la présence des pièges énergétiques (centres colorés absorbant certaines raies du spectre lumineux). Le photonoirçissement est induit par le pompage des matériaux dopant constituant le coeur de la fibre optique. Des recherches sont actuellement entreprises pour connaître l'origine de ce phénomène, dans la perspective de proposer des solutions à ces problèmes aux fibres optiques standards [TOR08].

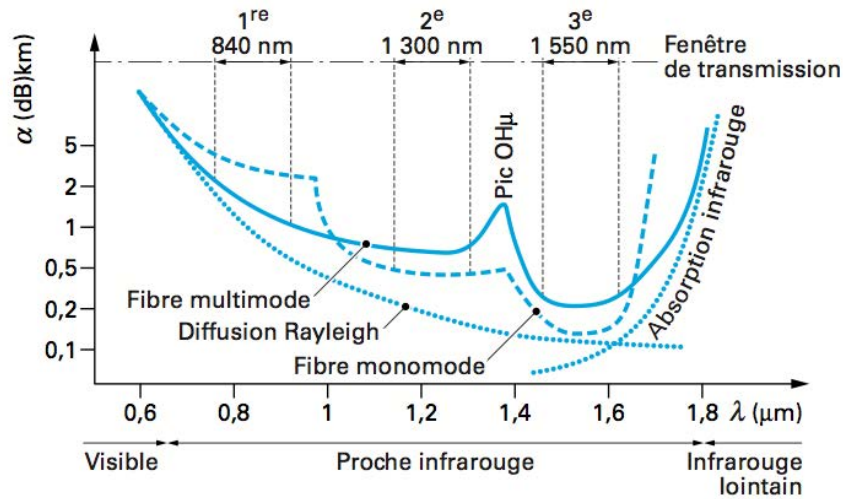


FIGURE 88 – Plages des longueurs d'onde transmissibles par une fibre optique classique [JO113].

L'emploi de fibres optiques spécifiques aux UV est alors une solution alternative pour la transmission de ces radiations [Tec05]. Ces fibres optiques sont relativement intéressantes pour la transmissions des UV-A, auxquelles réagissent les composants SiC. La courbe présente sur la figure 89 montre que ce type de fibres optiques n'atténuent quasiment pas les longueurs d'onde utilisées pour amorcer des semi-conducteurs en SiC.

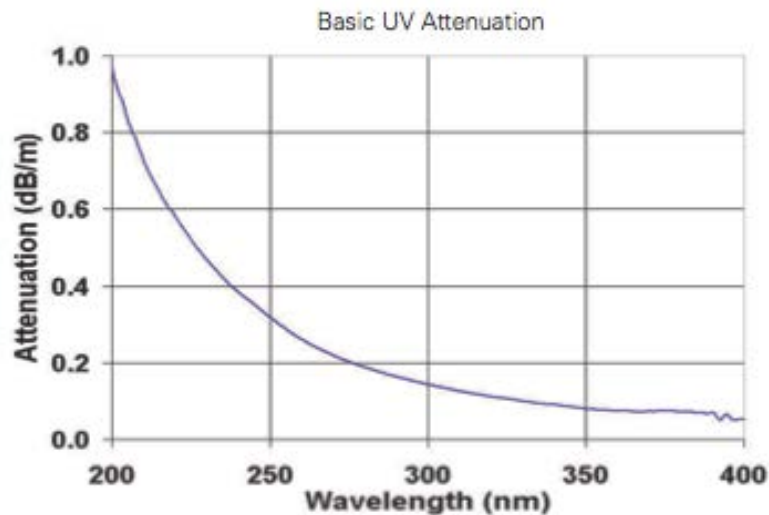


FIGURE 89 – Sensibilité de la fibre optique spécifiques aux UV [Tec05].

### 3.1 Conclusion

En conclusion, il paraît difficile à l'heure actuelle d'envisager une solution optique entièrement élaborée à partir de matériaux Grand Gap. En effet, le SiC est sensible aux radiations comprises dans la plage 320 nm - 350 nm. Ce matériau ne peut émettre des longueurs d'onde comprises dans la plage 450 nm - 500 nm (bleu). La mise au point d'une chaîne de transmission entièrement en SiC n'est physiquement pas possible. La solution consiste à employer un émetteur optique en GaN pour émettre les radiations permettant le déclenchement des interrupteurs de puissance en SiC. Pour parvenir à la réalisation de ce type de solutions, de nombreux verrous technologiques sont à lever dont la faisabilité d'une chaîne de transmission optique à partir de matériaux Grand Gap.

## Conclusion sur l'élaboration d'une isolation optique Grand Gap

Des solutions d'alimentations optiques sont actuellement utilisées. Toutefois, elles ne permettent pour le moment pas d'envisager des transferts de puissance supérieurs à 2 W. Une solution optique à base de matériaux Grand Gap convierait des propriétés intéressantes au niveau de l'isolations des systèmes de puissance. En effet, cela permettrait de simplifier la structure des interrupteurs de puissance, d'améliorer leurs capacités en terme de tenue en tension et de calibre en courant et de réduire l'impact des perturbations électromagnétiques au sein des systèmes. Cependant, la mise au point d'une telle solution paraît relativement complexe à l'heure actuelle puisqu'il n'est pas possible d'envisager un dispositif complètement intégré en SiC. La solution va consister à intégrer sur un même substrat un émetteur capable d'émettre des radiations dans une gamme de longueurs d'ondes où est sensible le SiC.

---

# B Réalisation de composants et de fonctions intégrés en SiC

## 4 Les modèles SPICE

### 4.1 Le modèle SPICE du MESFET de type signal

Le tableau 19 présente les paramètres SPICE utilisés pour la simulation du MESFET de type signal. La structure utilisée est celle du JFET de niveau 1 (NJF, level 1).

Paramètre	Valeur	Unité
$V_{t0}$	-9.02	V
$\beta$	0.00044	A/V <sup>2</sup>
$\lambda$	0.000516	1/V
$R_D$	1	$\Omega$
$R_S$	1	$\Omega$
$C_{GS}$	5 p	F
$C_{GD}$	2 p	F

TABLEAU 19 – *Tableau de synthèse des paramètres utilisés pour la simulation d'un MESFET de type signal. Le tableau 2.3 présente les différents paramètres SPICE.*

### 4.2 Le modèle SPICE du MESFET de type buffer

Le tableau 20 présente les paramètres SPICE utilisés pour la simulation du MESFET de type buffer. La structure utilisée est celle du JFET de niveau 1 (NJF, level 1).

### 4.3 Le modèle SPICE du MESFET de type puissance

Le tableau 21 présente les paramètres SPICE utilisé pour la simulation du MESFET de type puissance. La structure utilisée est celle du JFET de niveau 1 (NJF, level 1).

Paramètre	Valeur	Unité
$V_{t0}$	-9.02	V
$\beta$	0.005	A/V <sup>2</sup>
$\lambda$	0.005	1/V
$R_D$	1	$\Omega$
$R_S$	1	$\Omega$
$C_{GS}$	57 p	F
$C_{GD}$	34 p	F

TABLEAU 20 – Tableau de synthèse des paramètres utilisés pour la simulation d'un MESFET de type buffer. Le tableau 2.3 présente les différents paramètres SPICE.

Paramètre	Valeur	Unité
$V_{t0}$	-9.02	V
$\beta$	0.1	A/V <sup>2</sup>
$\lambda$	0.005	1/V
$R_D$	1	$\Omega$
$R_S$	1	$\Omega$
$C_{GS}$	1135 p	F
$C_{GD}$	454 p	F

TABLEAU 21 – Tableau de synthèse des paramètres utilisés pour la simulation d'un MESFET de type puissance. Le tableau 2.3 présente les différents paramètres SPICE.

#### 4.4 L'oscillateur en anneau hybride

La figure 90 présente le circuit de simulation utilisé pour la conception de l'oscillateur anneau du second chapitre de ce manuscrit.

```
.model mesfet-signal-40ma NJF ( Beta=0.00044 Betatce=-1 Rd=1 Rs=1 Lambda=0.005 Vto=-9 Alpha= 0.000455 Kf=9.882E-18 Af=1)
```

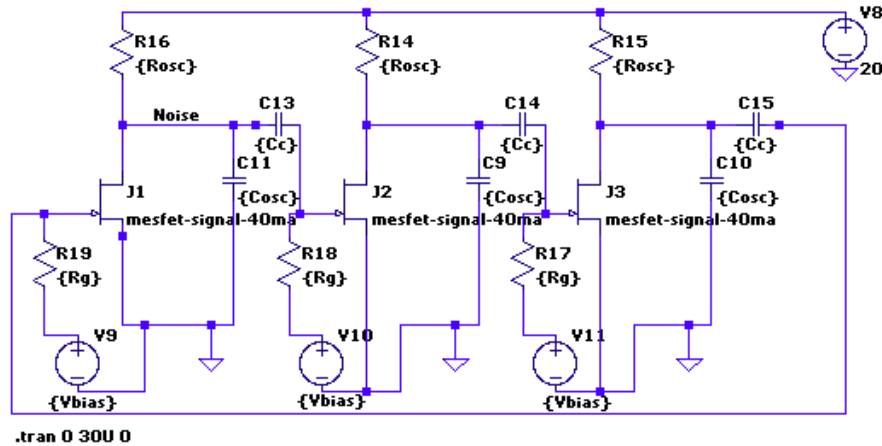


FIGURE 90 – Schéma de simulation SPICE du circuit oscillateur en anneau.

La figure 91 présente le circuit utilisé pour réaliser l'oscillateur en anneau caractérisé au cours du chapitre 2.

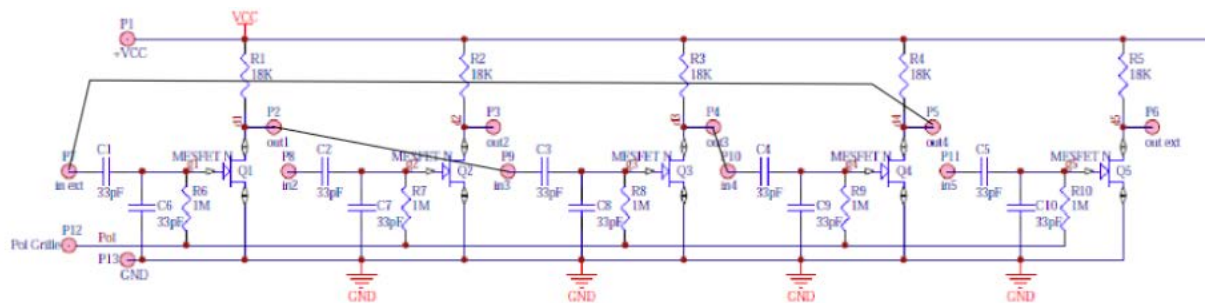


FIGURE 91 – Schéma du montage réalisé pour caractériser l'oscillateur en anneau.

## 4.5 Le convertisseur de puissance

La figure 92 présente le schéma complet du convertisseur de puissance et de sa commande simulé sous SPICE.

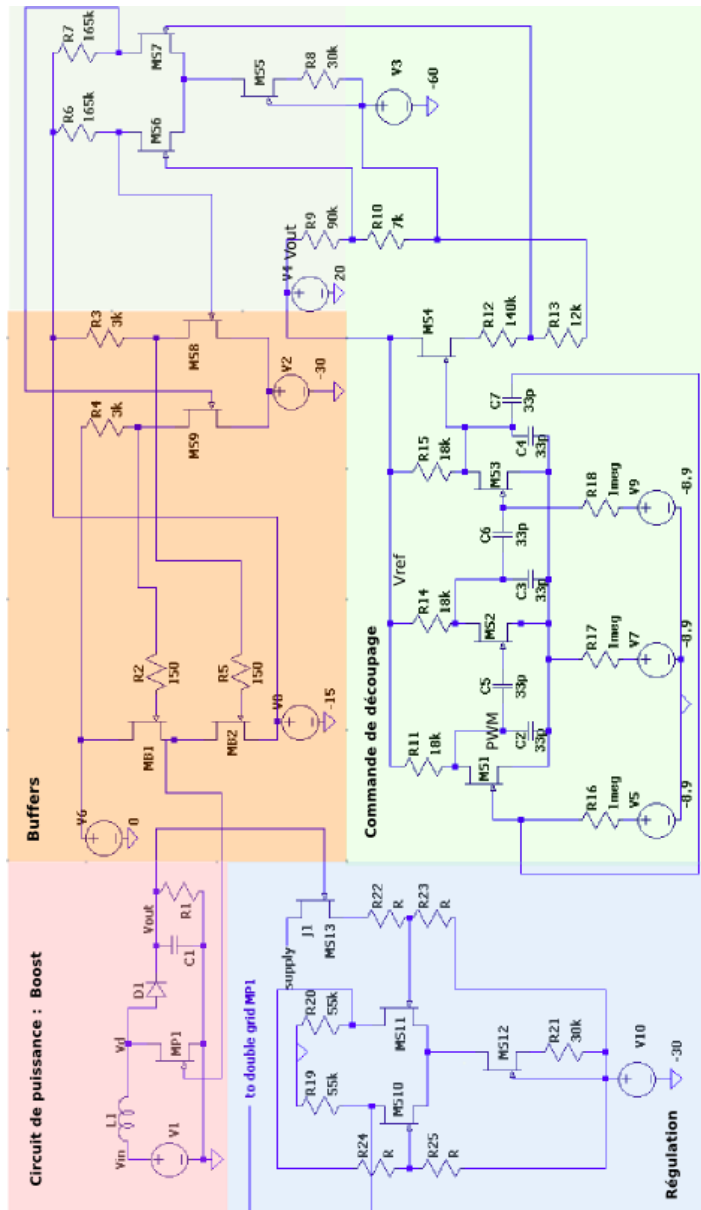


FIGURE 92 – Schéma complet du convertisseur de puissance avec sa commande régulé au moyen d'un trigger de Schmitt.

## 5 Les composants élémentaires en SiC

Cette partie des annexes va présenter la résultats de caractérisation de différents composants élémentaires intégrés sur le wafer. Le code couleur des cartographies est présenté à la figure 4.8.

### 5.1 Les résistances

#### La résistance $R_{P-2T}$

La figure 93 présente la cartographie réalisée sur 77 des résistances du wafer.

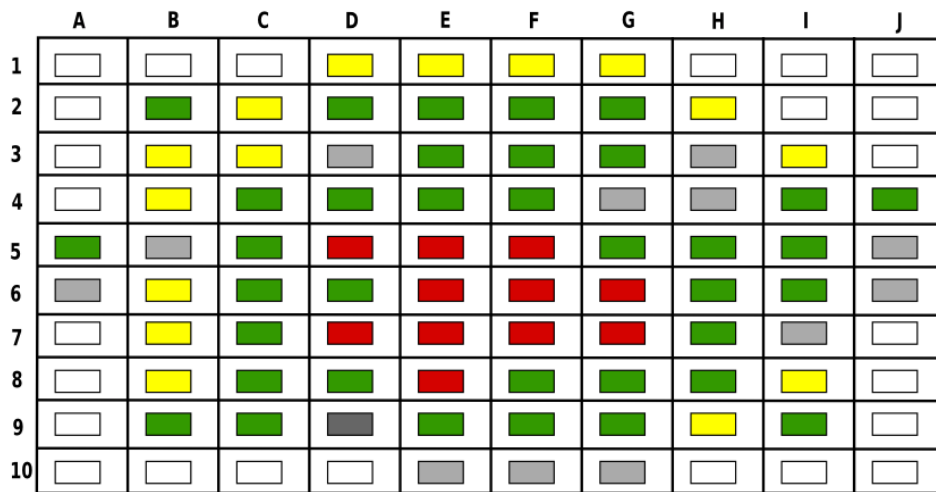


FIGURE 93 – Cartographie de 77 résistances  $R_{P-2T}$  d'une longueur  $l$  de  $5.4 \mu\text{m}$ . La signification de la légende est donnée à la figure 4.8. La moyenne est de  $5.9 \text{ k}\Omega$ . L'écart type  $\sigma$  est de  $0.8 \text{ k}\Omega$ . Les valeurs MAX et MIN sont respectivement de  $6.5 \text{ k}\Omega$  et de  $5.3 \text{ k}\Omega$ .

#### La résistance $R_{P-3T}$

La figure 94 présente la caractéristique  $I = f(V)$  de différentes résistances  $R_{P-3T}$ . La figure 95 présente la caractéristique  $R = f(V)$  de plusieurs résistances  $R_{P-3T}$ . La figure 96 présente la cartographie réalisée sur 77 résistances du wafer.

La résistance  $R_{P-3T}$  présente un comportement proche de  $R_{P-2T}$ . La valeur maximale d'une résistance du champ E8 est de  $19.1 \text{ k}\Omega$  pour une tension de  $-25 \text{ V}$ . La valeur moyenne est estimée à  $16.9 \text{ k}\Omega$  par la méthode des moindres carrés. Cet écart entre les valeurs donne un taux de variation de  $11 \%$ . La résistance  $R_{P-3T}$  ont un taux de variation non négligeable contrairement à  $R_{P-2T}$ . Toutefois, cette résistance est utilisable, mais il faudrait surveiller l'application du point de polarisation pour éviter les effets de non-linéarité. La cartographie présentée à la partie 5.1 des annexes donne des résultats équivalents à ceux observés pour les résistances  $R_{P-2T}$ .



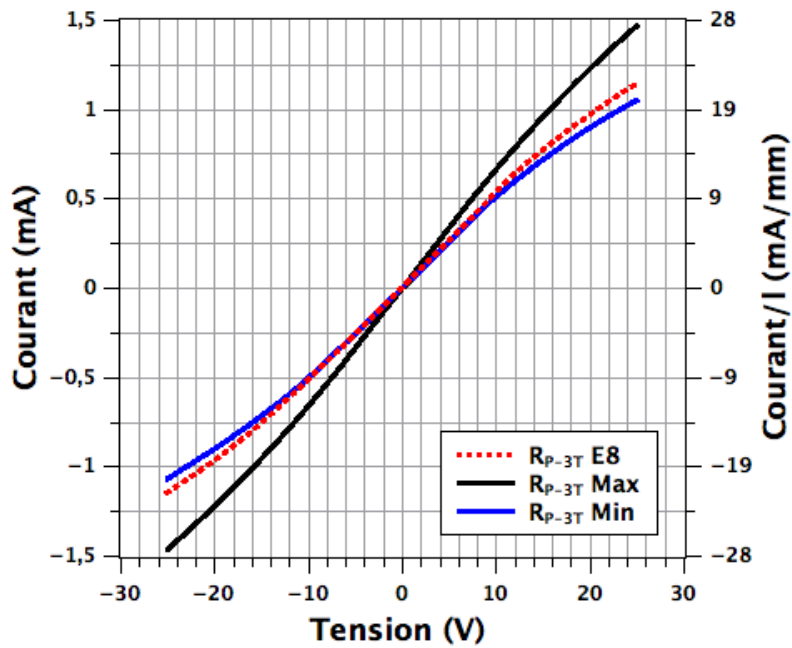


FIGURE 94 – Caractéristiques statiques  $I = f(V)$  réalisées sur une résistance  $R_{P-3T}$  de type N. Les notations "Max" et "Min" représentent respectivement les résistances fonctionnelles présentant la plus grande valeur moyenne et la plus petite valeur moyenne.

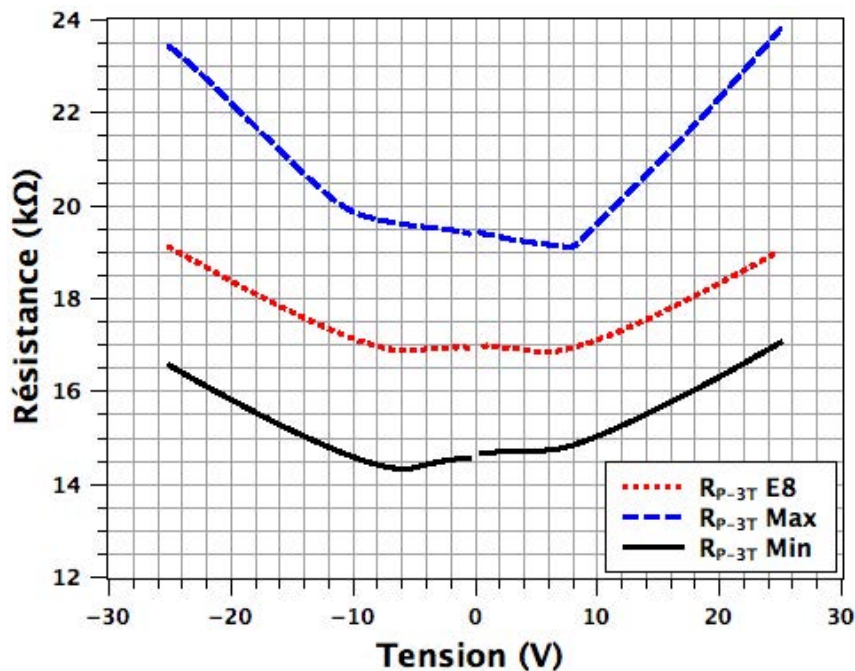


FIGURE 95 – Caractéristiques statiques  $R = f(V)$  réalisées sur une résistance  $R_{P-3T}$  de type P. Les notations "Max" et "Min" représentent respectivement les résistances fonctionnelles présentant la plus grande valeur moyenne et la plus petite valeur moyenne.

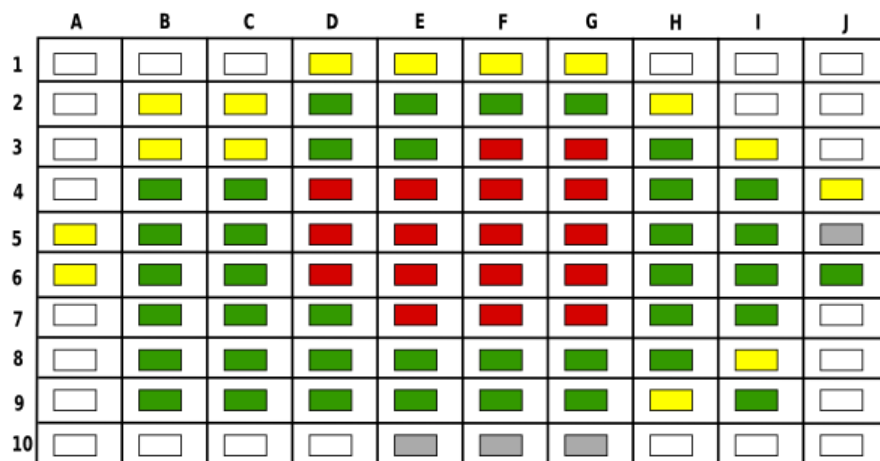


FIGURE 96 – Cartographie réalisée sur 77 des résistance  $R_{P-3T}$  de type P du wafer. La signification de la légende est donnée à la figure 4.8. La moyenne est de  $18.2 \text{ k}\Omega$ . L'écart type  $\sigma$  est de  $1.4 \text{ k}\Omega$ . Les valeurs MAX et MIN sont respectivement de  $21.2 \text{ k}\Omega$  et de  $15.5 \text{ k}\Omega$ .

### La résistance $R_{N-4T}$

La figure 97 présente la caractéristique  $I = f(V)$  des différentes résistances  $R_{N-4T}$ . La figure 101 présente la caractéristique  $R = f(V)$  de plusieurs résistances  $R_{N-4T}$ . La figure 99 présente la cartographie réalisée sur 77 résistances du wafer.

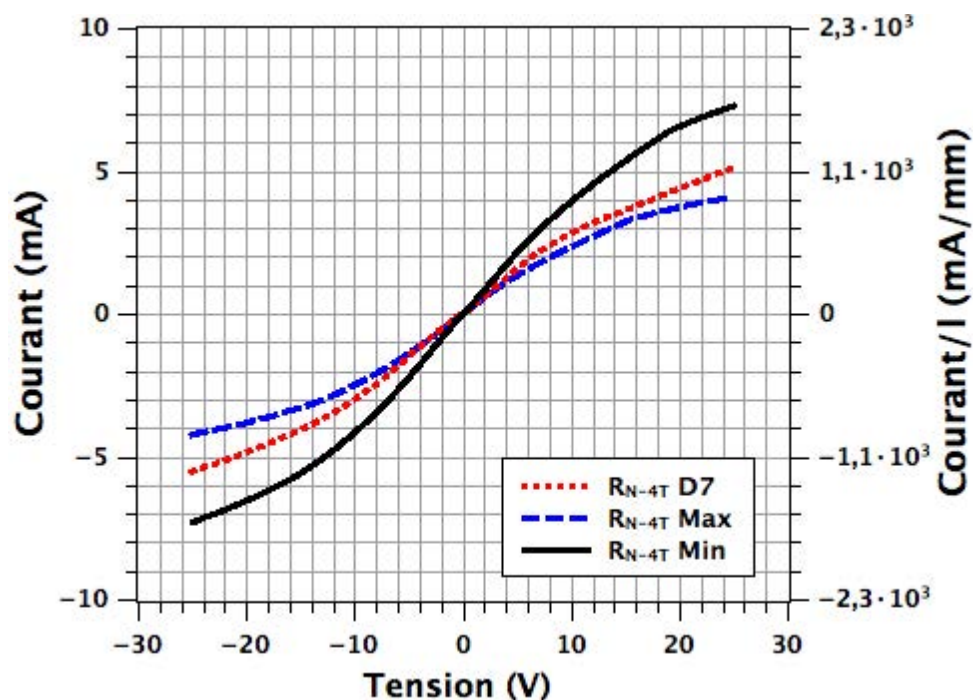


FIGURE 97 – Caractéristiques statiques  $I = f(V)$  réalisée sur une résistance  $R_{N-4T}$  de type N. Les notations "Max" et "Min" représentent respectivement les résistances fonctionnelles présentant la plus grande valeur moyenne et la plus petite valeur moyenne.

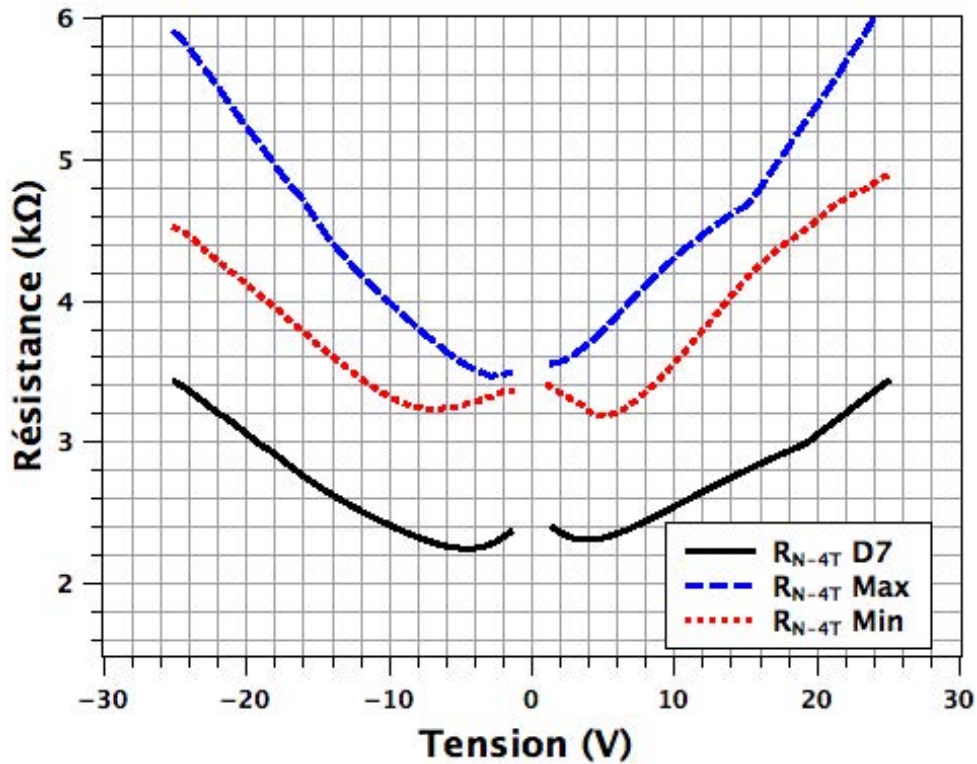


FIGURE 98 – Caractéristiques statiques  $R = f(V)$  réalisée sur une résistance  $R_{N-4T}$  de type N. Les notations "Max" et "Min" représentent respectivement les résistances fonctionnelles présentant la plus grande valeur moyenne et la plus petite valeur moyenne.

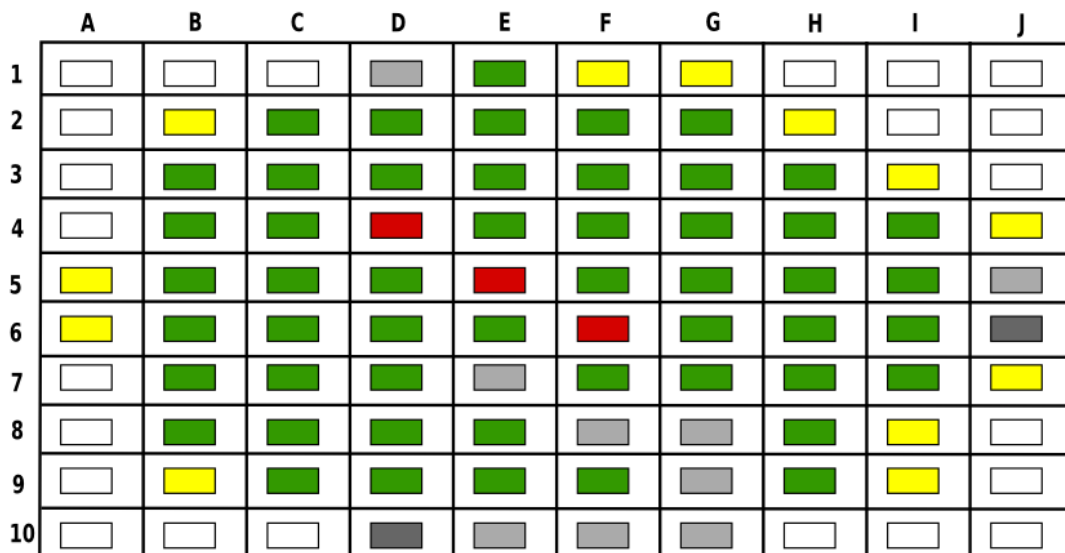


FIGURE 99 – Cartographie réalisée sur 77 des résistance  $R_{N-4T}$  de type N du wafer. La signification de la légende est donnée à la figure 4.8. La moyenne est de 4.3 kΩ. L'écart type  $\sigma$  est de 0.5 kΩ. Les valeurs MAX et MIN sont respectivement de 5.1 kΩ et de 2.9 kΩ.

Le comportement de la résistance  $R_{N-4T}$  est quasiment similaire à celui de la résistance  $R_{N-1T}$  à l'exception, que la plage linéaire de la résistance est plus faible puisqu'elle est située entre -2 V et +2 V. Cette résistance est en revanche moins stable. En prenant une valeur de résistance entre -2 V et +2 V (exemple : champ D7), la valeur moyenne est de 3.3 k $\Omega$  contre 4.4 k $\Omega$  pour la valeur maximale. La résistance présente un taux de variation de l'ordre de 25 % selon la polarisation appliquée. Ce comportement non-linéaire risque de poser certains problèmes lors de l'utilisation des circuits intégrés. La cartographie présentée dans les annexes montre que les résistances sont relativement uniformes. Elles présentent des valeurs beaucoup plus faibles en périphérie que dans la zone centrale du wafer. Les différences de valeurs observées entre les résistances  $R_{N-4T}$  du wafer correspondent à celles observées pour la résistance  $R_{N-1T}$ .

## 5.2 Les diodes

### La diode Schottky de redressement

La figure 100 présente la cartographie du potentiel interne  $V_{di}$  des diodes de redressement. La figure 101 présente la cartographie de la résistance à l'état passant  $R_{on}$  par unité de longueur des diodes Schottky de redressement.

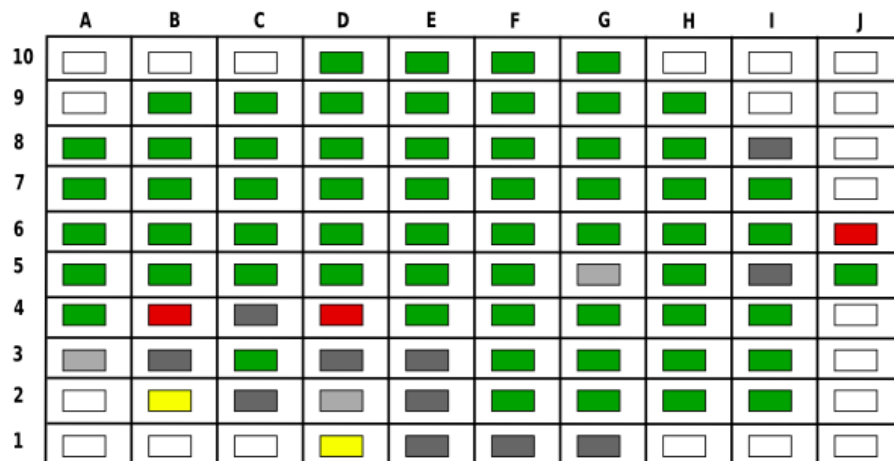


FIGURE 100 – Cartographie du potentiel interne  $V_{di}$  de 83 diodes Schottky de redressement. La signification de la légende est donnée à la figure 4.8. La moyenne est de 0.79 V. L'écart type  $\sigma$  est de 0.08 V. Les valeurs MAX et MIN sont respectivement de 0.95 V et de 0.14 V.

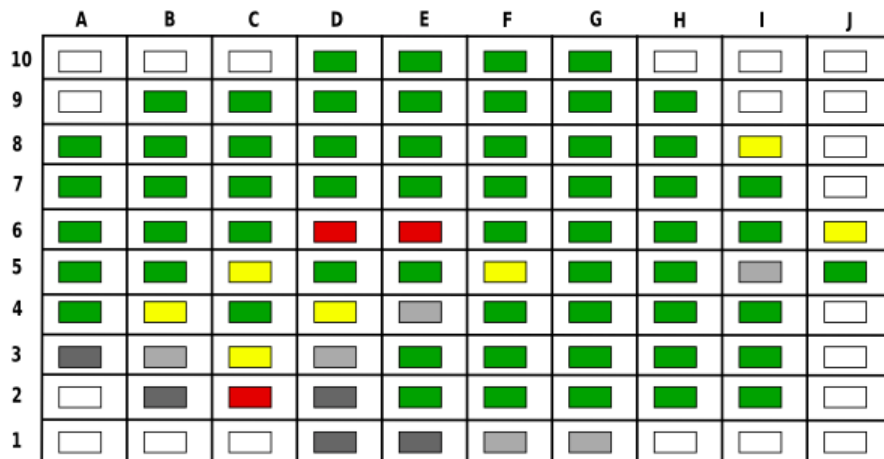


FIGURE 101 – Cartographie de la résistance à l'état passant  $R_{on}$  par unité de longueur de 83 diodes Schottky de redressement d'une largeur de jonction de  $3347 \mu\text{m}$ . La signification de la légende est donnée à la figure 4.8. La moyenne est de  $3.69 \times 10^{-4} \Omega/\mu\text{m}$ . L'écart type  $\sigma$  est de  $0.14 \times 10^{-4} \Omega/\mu\text{m}$ . Les valeurs MAX et MIN sont respectivement de  $3.84 \times 10^{-4} \Omega/\mu\text{m}$  et de  $3.06 \times 10^{-4} \Omega/\mu\text{m}$ .

### La diode Schottky de puissance

La figure 102 présente la cartographie du potentiel interne  $V_{di}$  des diodes de puissance. La figure 103 présente la cartographie du  $R_{on}$  par unité de longueur des diodes Schottky de puissance.

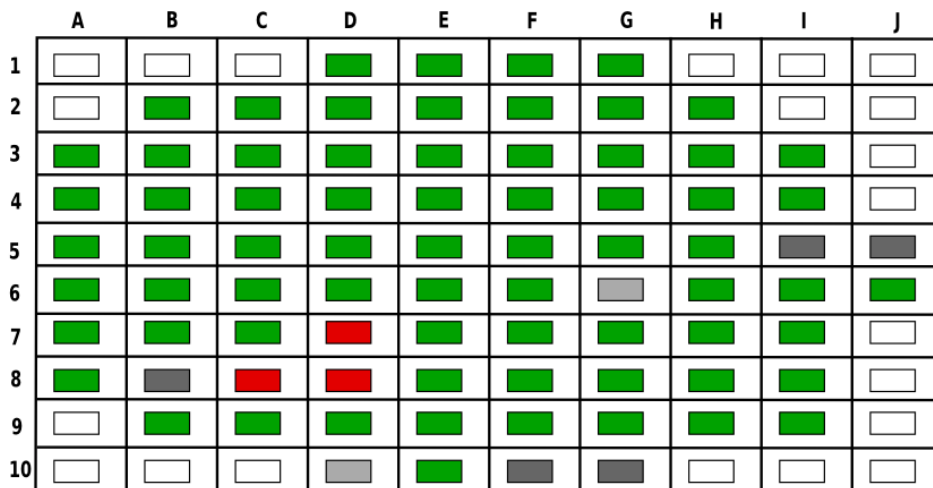


FIGURE 102 – Cartographie du potentiel interne  $V_{di}$  de 81 diodes Schottky de puissance. La signification de la légende est donnée à la figure 4.8. La moyenne est de  $0.70 \text{ V}$ . L'écart type  $\sigma$  est de  $0.04 \text{ V}$ . Les valeurs MAX et MIN sont respectivement de  $0.99 \text{ V}$  et de  $0.66 \text{ V}$ .

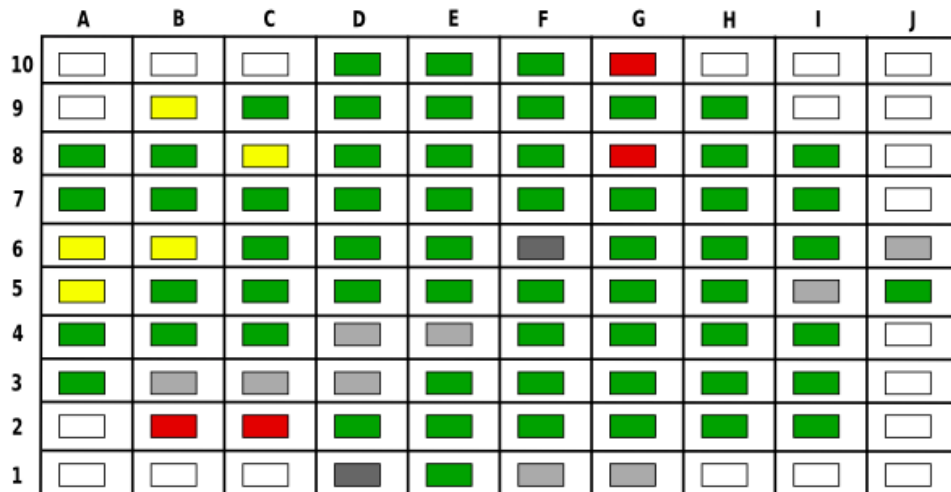


FIGURE 103 – Cartographie de la résistance à l'état passant  $R_{on}$  par unité de longueur de 81 diodes Schottky de puissance d'une largeur de  $21670 \mu\text{m}$ . La signification de la légende est donnée à la figure 4.8. La moyenne est de  $6.61 \times 10^{-5} \Omega/\mu\text{m}$ . L'écart type  $\sigma$  est de  $0.06 \times 10^{-5} \Omega/\mu\text{m}$ . Les valeurs MAX et MIN sont respectivement de  $6.96 \times 10^{-5} \Omega/\mu\text{m}$  et de  $6.47 \times 10^{-5} \Omega/\mu\text{m}$ .

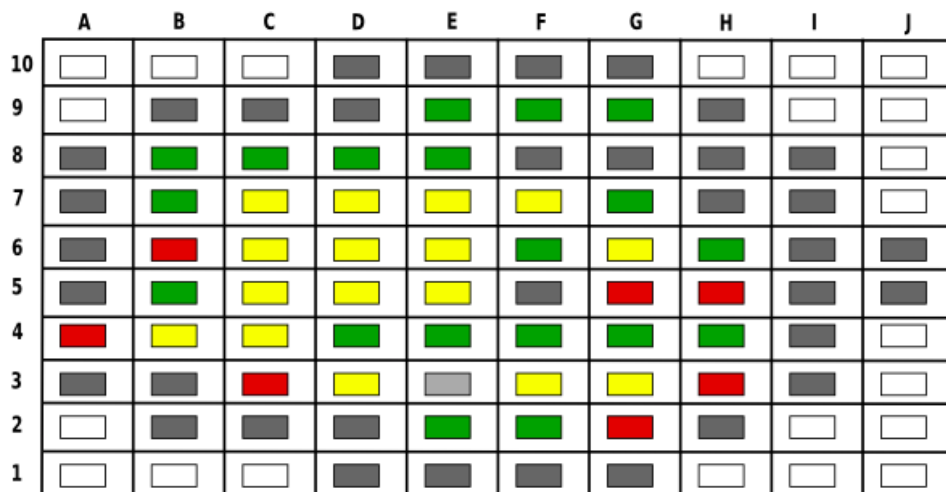


FIGURE 104 – Cartographie du  $I_{fuite}/l$  @ -50 V de 81 diodes de puissance du wafer d'une largeur  $l$  de 21 mm. La signification de la légende est donnée à la figure 4.8. La moyenne est de  $0.74 \mu\text{A}/\text{mm}$ . L'écart type  $\sigma$  est de  $0.16 \mu\text{A}/\text{mm}$ . Les valeurs MAX et MIN sont respectivement de  $0.98 \mu\text{A}/\text{mm}$  et de  $0.55 \mu\text{A}/\text{mm}$ .

### La diode bipolaire

Une diode bipolaire latérale a été implantée sur le masque (P : Anode, N : Cathode). Tout comme la diode de puissance, le composant est réalisé par la mise en parallèle de deux diodes. La figure 105 présente une vue sur le wafer du composant bipolaire fabriqué.



FIGURE 105 – Vue sur le wafer d'une diode bipolaire de largeur de jonction de 6.070 mm. K représente la cathode et A correspond à l'anode.

79 diodes bipolaire du wafer ont été caractérisées au moyen de l'agilent B1505A et de la table sous pointe. La figure 106 présente la caractéristique statique  $I_A = f(V_{AK})$  de la diode dans le sens direct. Le tableau 22 présente une synthèse des paramètres extraits de la diode latérale bipolaire suite à la phase de caractérisation.

Variable	Moyenne	$E_c$	$E_c$ -bas	$E_c$ -haut
$V_{di}$ (V)	3.44	0.3	3.75	3.13
$R_{on}/l$ ( $\Omega$ /mm)	8.89	0.61	9.50	8.28
$I_{fuite}/l$ @ -50 V (nA/mm)	0.53	0.21	0.74	0.22

TABLEAU 22 – Tableau synthétique représentant les résultats de mesures de la cartographie du wafer pour la diode bipolaire de largeur de jonction de 6070 mm.

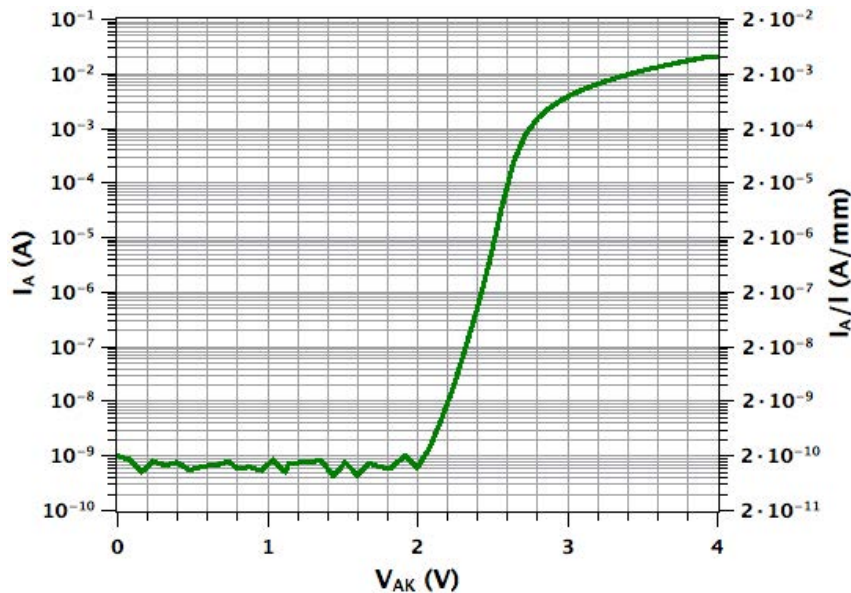


FIGURE 106 – Caractéristique statique  $I_A = f(V_{AK})$  dans le sens direct d'une diode bipolaire de largeur de jonction de 6.07 mm.

D'après les mesures expérimentales, la diode bipolaire est validée. Elle présente un seuil  $V_{di}$  de l'ordre de 2.7 V. Une cartographie va permettre une analyse plus approfondie de l'ensemble

de ces résultats. Les figures 107, 108 et 109 présentent les cartographie réalisées sur l'ensemble des diodes de type bipolaire montrant le  $V_{di}$ , le  $R_{on}/l$  et le  $I_{fuite}/l$  pour une largeur de jonction  $l$  de 6.07 mm.



FIGURE 107 – Cartographie du potentiel interne  $V_{di}$  de 79 diodes bipolaires du wafer. La signification de la légende est donnée à la figure 4.8. La moyenne est de 3.44 V. L'écart type  $\sigma$  est de 0.31 V. Les valeurs MAX et MIN sont respectivement de 4.09 V et de 3.13 V.



FIGURE 108 – Cartographie de la résistance à l'état passant  $R_{on}/l$  pour 79 diodes bipolaires du wafer d'une largeur de jonction  $l$  de 6070  $\mu\text{m}$ . La signification de la légende est donnée à la figure 4.8. La moyenne est de 8.89  $\Omega/\text{mm}$ . L'écart type  $\sigma$  est de 0.61  $\Omega/\text{mm}$ . Les valeurs MAX et MIN sont respectivement de 10.32  $\Omega/\text{mm}$  et de 7.47  $\Omega/\text{mm}$ .



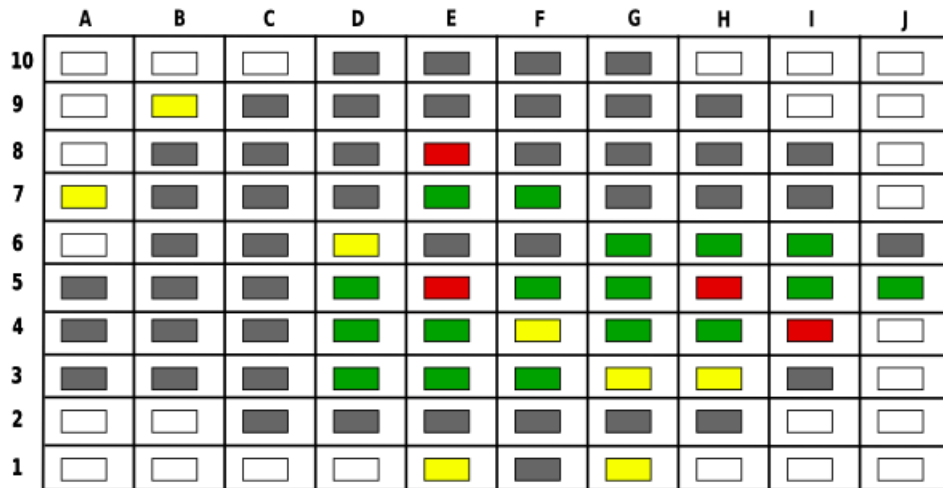


FIGURE 109 – Cartographie du  $I_{fuite}/l$  de 79 diodes bipolaires du wafer d'une largeur de jonction  $l$  de  $6070 \mu\text{m}$ . La signification de la légende est donnée à la figure 4.8. La moyenne est de  $0.53 \text{ nA/mm}$ . L'écart type  $\sigma$  est de  $0.21 \text{ nA/mm}$ . Les valeurs MAX et MIN sont respectivement de  $0.84 \text{ nA/mm}$  et de  $0.12 \text{ nA/mm}$ .

### 5.3 Les MESFETs

#### Le MESFET buffer

La figure 110 présente la cartographie du  $V_{th}$  mesuré sur les MESFETs de type buffer.

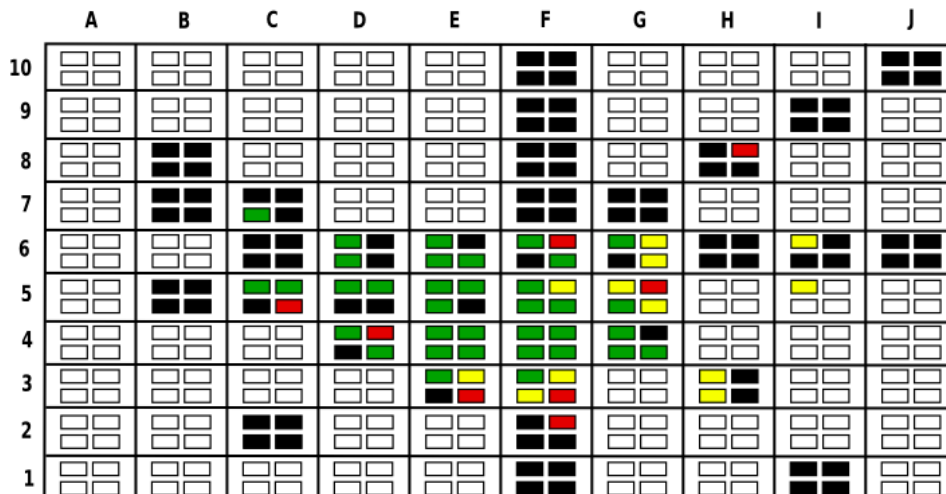


FIGURE 110 – Cartographie montrant la tension de pincement  $V_{th}$  mesurée de 140 MESFETs de type buffer. La signification de la légende est donnée à la figure 4.8. La moyenne est de  $-14.5 \text{ V}$ . L'écart type  $\sigma$  est de  $0.50 \text{ V}$ . Les valeurs MAX et MIN sont respectivement de  $-17 \text{ V}$  et de  $-11 \text{ V}$ .

**Le MESFET de puissance**

Les figures 111 et 112 présentent respectivement les cartographies de la tension de pincement  $V_{th}$  mesurée pour les MESFETs de puissance MPG et MPD.

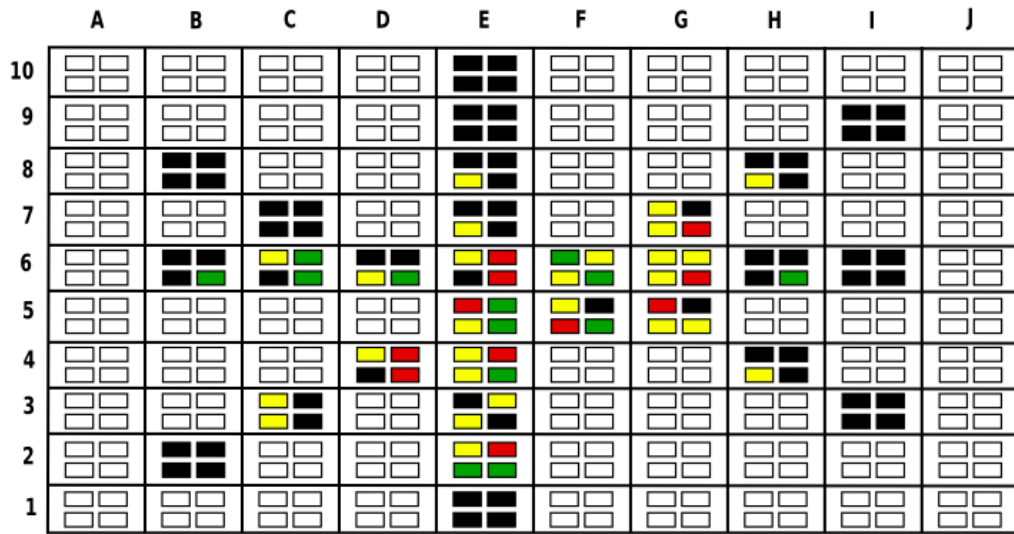


FIGURE 111 – Cartographie montrant la tension de pincement  $V_{th}$  mesurée de 112 MESFETs de puissance MPG. La signification de la légende est donnée à la figure 4.8. La moyenne est de -14.5 V. L'écart type  $\sigma$  est de 0.50 V. Les valeurs MAX et MIN sont respectivement de -17 V et de -11 V.

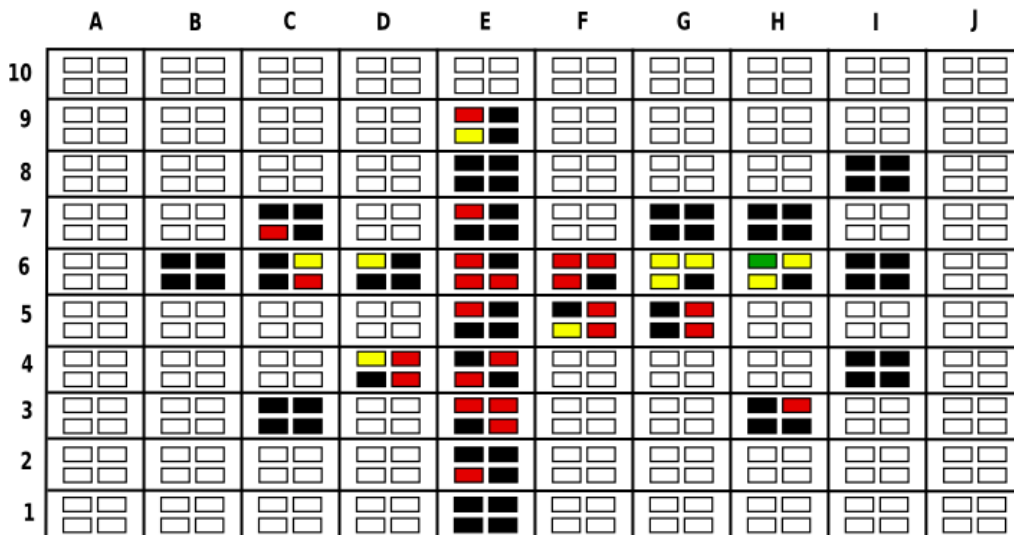


FIGURE 112 – Cartographie montrant la tension de pincement  $V_{th}$  mesurée de 112 MESFETs de puissance MPD. La signification de la légende est donnée à la figure 4.8. La moyenne est de -14.5 V. L'écart type  $\sigma$  est de 0.50 V. Les valeurs MAX et MIN sont respectivement de -17 V et de -11 V.

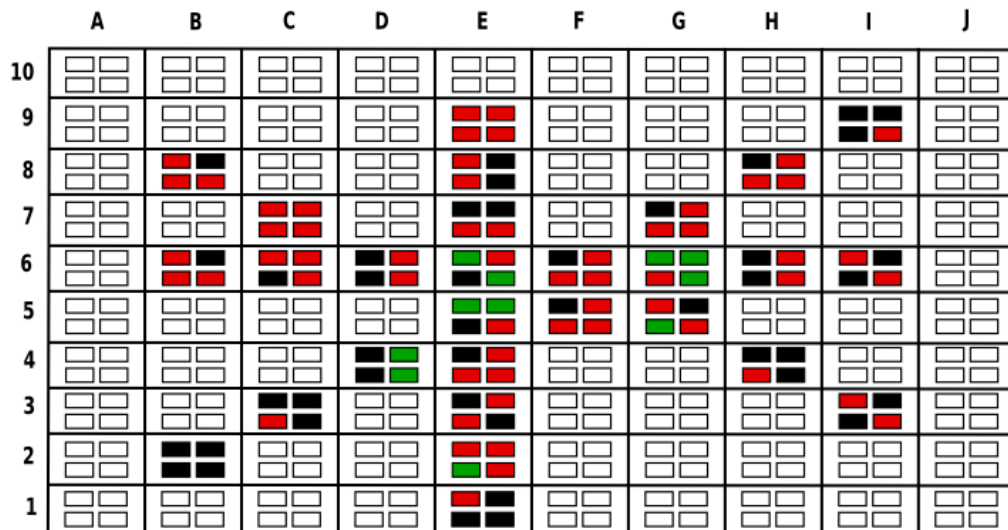


FIGURE 113 – Cartographie du courant de fuite  $J_{G1S}$  par unité de longueur @ -50 V de 112 MESFETs de puissance de l'îlot de gauche "MPG" mesuré sur le wafer SiC. Le vert représente les composants dont le courant de fuite  $J_{G1S}$  est inférieur à  $50 \mu\text{A/mm}$ . Le rouge montre ceux, qui possèdent un courant de fuite  $J_{G1S}$  supérieur à  $1 \text{mA/mm}$ .

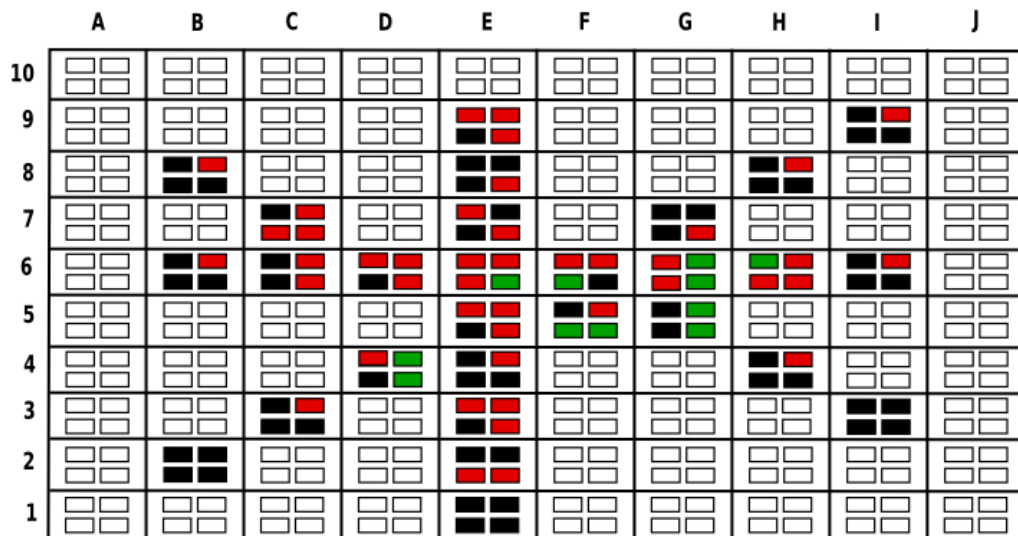


FIGURE 114 – Cartographie du courant de fuite  $J_{G1S}$  par unité de longueur @ -50 V de 112 MESFETs de puissance de l'îlot de droite "MPD" mesuré sur le wafer SiC. Le vert représente les composants dont le courant de fuite  $J_{G1S}$  est inférieur à  $50 \mu\text{A/mm}$ . Le rouge montre ceux, qui possèdent un courant de fuite  $J_{G1S}$  supérieur à  $1 \text{mA/mm}$ .

## 5.4 Les S-MESFETs

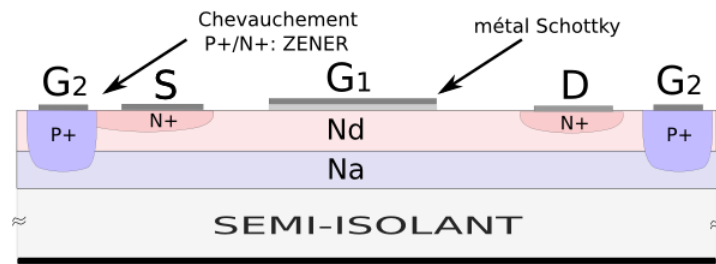


FIGURE 115 – Coupe d'un S-MESFET 1 avec une diode Zener sur la source .

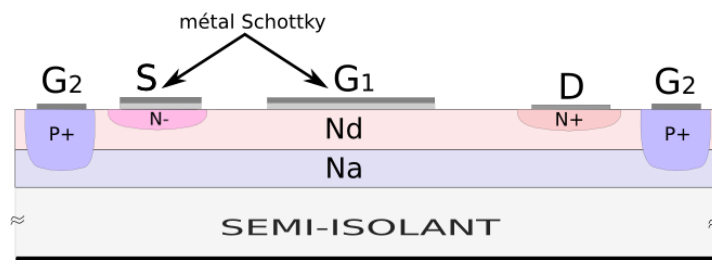


FIGURE 116 – Coupe d'un S-MESFET 3 avec une diode Zener sur le drain.

### Caractérisations des S-MESFETs

Les figures 117, 4.51 et 118 présentent les caractéristiques statiques  $I_{DS} = f(V_{DS})$  des S-MESFETs. La grille enterrée  $G_2$  a été laissée flottante.

### Extraction des paramètres

Les tableaux 23 et 24 présentent les paramètres extraits des mesures expérimentales pour les S-MESFETs 1 et S-MESFETs 3. 45 S-MESFETs 1 sont opérationnels sur 76, soit 59 %. 69 S-MESFETs 3 sur 76 sont fonctionnels, soit 90 %.

### Cartographie des S-MESFETs

Les figures 119, 120, 121 et 122 présentent les diverses cartographies réalisées sur les S-MESFETs 1 avec une diode Zener sur la source. Les figures 123, 124, 125 et 126 présentent les diverses cartographies réalisées sur les S-MESFETs 2 avec une diode Schottky sur le drain. Les figures 127, 128, 129 et 130 présentent les diverses cartographies réalisées sur les S-MESFETs 3 avec une diode Zener sur le drain. La grille enterrée  $G_2$  a été laissée flottante pour toutes les caractérisations présentées.

Grandeur	Moyenne	$\sigma$	$\sigma$ -haut	$\sigma$ -bas
$V_{th}$ (V)	-16 V	3 V	-13 V	-19 V
$R_{on}$ (k $\Omega$ /mm)	3.61	0.40	4.01	3.21
$J_{DS-max}$ (mA/mm)	61.31	8.84	70.15	52.47
$J_{DS-fuite}$ ( $\mu$ A/mm)	120	38	158	82
$J_{G1S-max}$ ( $\mu$ A/mm)	2.23	1.32	3.55	0.09

TABLEAU 23 – Synthèse des principaux paramètres extraits suite à la cartographie de 76 S-MESFETs 1 d'une largeur de canal de 190  $\mu$ m. Les densités de courant  $J_{DS-fuite}$  et  $J_{G1S-max}$  sont données pour les 45 S-MESFETs fonctionnels. ( $R_{on}$  @  $V_{DS} : 0.12$  V et  $V_{G1S} : -2$  V,  $J_{DS-max}$  @  $V_{DS} : 12$  V et  $V_{G1S} : -2$  V,  $J_{DS-fuite}$  @  $V_{DS} : 10$  V et  $V_{G1S} : -20$  V,  $J_{G1S-max}$  @  $V_{DS} : 10$  V et  $V_{G1S} : -20$  V).

Grandeur	Moyenne	$\sigma$	$\sigma$ -haut	$\sigma$ -bas
$V_{th}$ (V)	-15 V	3 V	-12 V	-18 V
$R_{on}$ (k $\Omega$ /mm)	5.52	0.23	5.75	5.29
$J_{DS-max}$ (mA/mm)	60.42	7.36	67.78	53.06
$J_{DS-fuite}$ ( $\mu$ A/mm)	362	45	407	317
$J_{G1S-max}$ ( $\mu$ A/mm)	2.38	1.07	3.45	1.31

TABLEAU 24 – Synthèse des principaux paramètres extraits suite à la cartographie de 76 S-MESFETs 2 d'une largeur de canal de 190  $\mu$ m. Les densités de courant  $J_{DS-fuite}$  et  $J_{G1S-max}$  sont données pour les 69 S-MESFETs fonctionnels. ( $R_{on}$  @  $V_{DS} : 0.12$  V et  $V_{G1S} : -2$  V,  $J_{DS-max}$  @  $V_{DS} : 12$  V et  $V_{G1S} : -2$  V,  $J_{DS-fuite}$  @  $V_{DS} : 10$  V et  $V_{G1S} : -20$  V,  $J_{G1S-max}$  @  $V_{DS} : 10$  V et  $V_{G1S} : -20$  V).

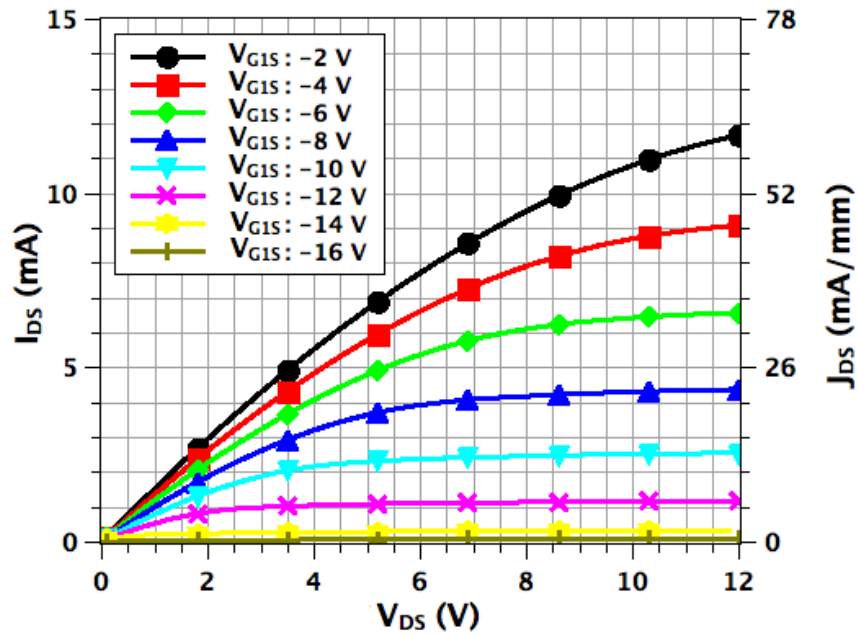


FIGURE 117 – Caractéristiques statiques  $I_{DS} = f(V_{DS})$  pour un S-MESFET avec une diode Zener sur la source.

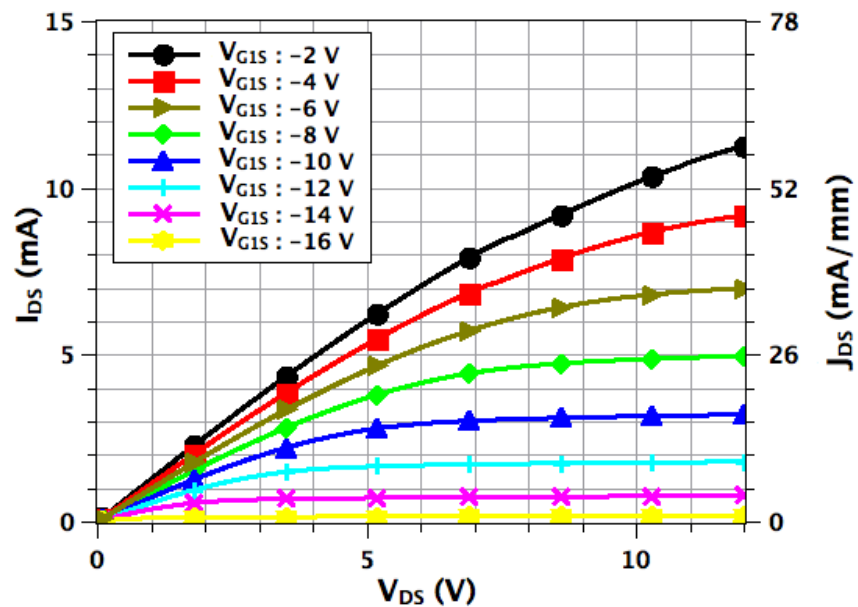


FIGURE 118 – Caractéristiques statiques  $I_{DS} = f(V_{DS})$  pour un S-MESFET avec une diode Zener sur le drain.

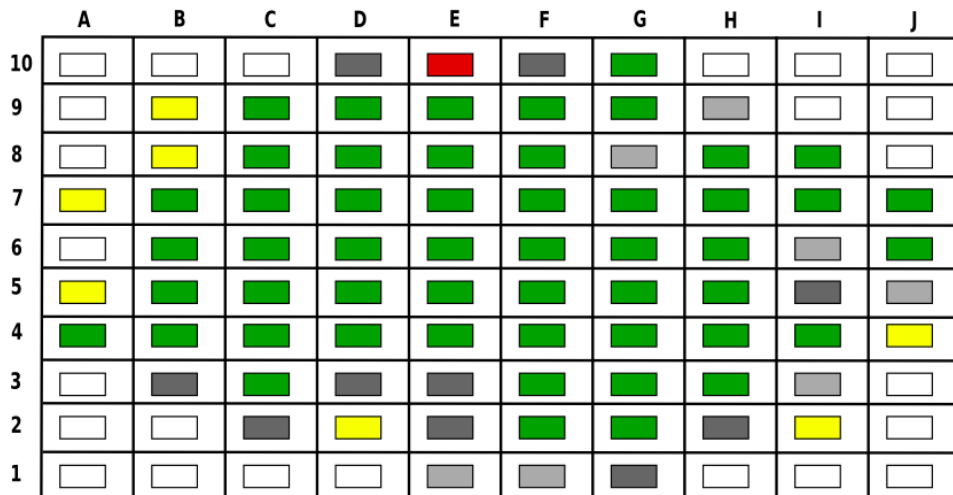


FIGURE 119 – Cartographie de la tension de pincement  $V_{th}$  mesurée sur 76 S-MESFETs 1 du wafer avec une diode Zener sur la source. La signification de la légende est donnée à la figure 4.8. La moyenne est de -16 V. L'écart type  $\sigma$  est de 3 V. Les valeurs MAX et MIN sont respectivement de -12 V et de -19 V.

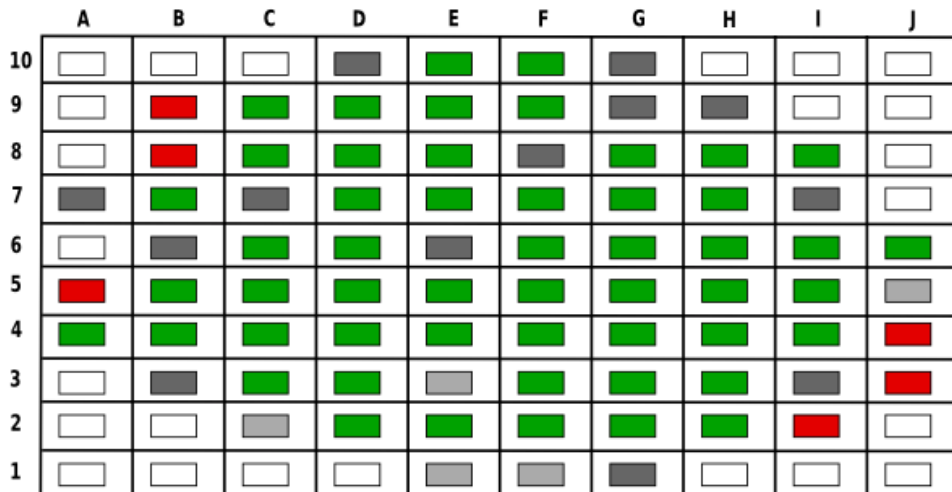


FIGURE 120 – Cartographie des  $J_{ds,max}$  mesurées sur 76 S-MESFETs 1 du wafer avec une diode Zener sur la source pour un  $V_{DS}$  de 12 V et un  $V_{G1S}$  de -2 V. La signification de la légende est donnée à la figure 4.8. La moyenne est de 61.31 mA/mm. L'écart type  $\sigma$  est de 8.84 mA/mm. Les valeurs MAX et MIN sont respectivement de 92.05 mA/mm et de 52.36 mA/mm.

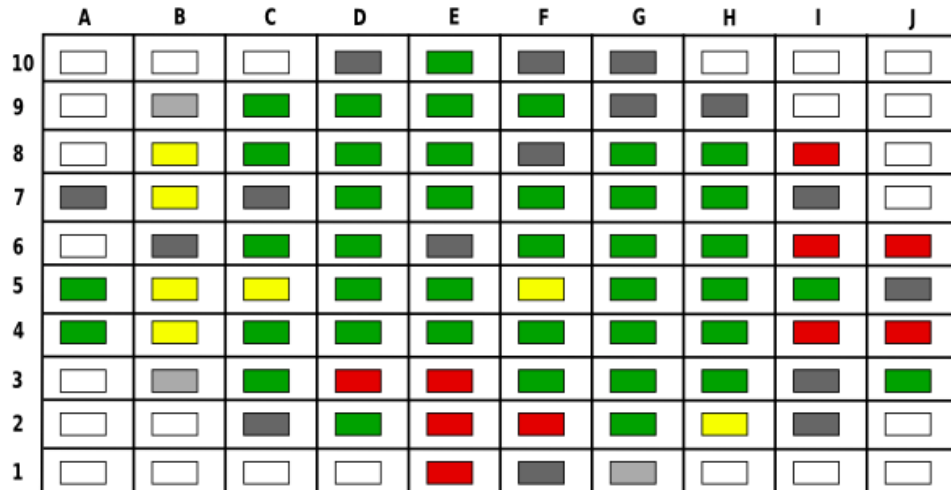


FIGURE 121 – Cartographie de la résistance à l'état passant  $R_{on}$  mesurée sur 76 S-MESFETs 1 du wafer avec une diode Zener sur la source pour un  $V_{DS}$  de 0.12 V et un  $V_{G1S}$  de -2 V. La signification de la légende est donnée à la figure 4.8. La moyenne est de 3.61 k $\Omega$ /mm. L'écart type  $\sigma$  est de 0.40 k $\Omega$ /mm. Les valeurs MAX et MIN sont respectivement de 5.16 k $\Omega$ /mm et de 2.25 k $\Omega$ /mm.

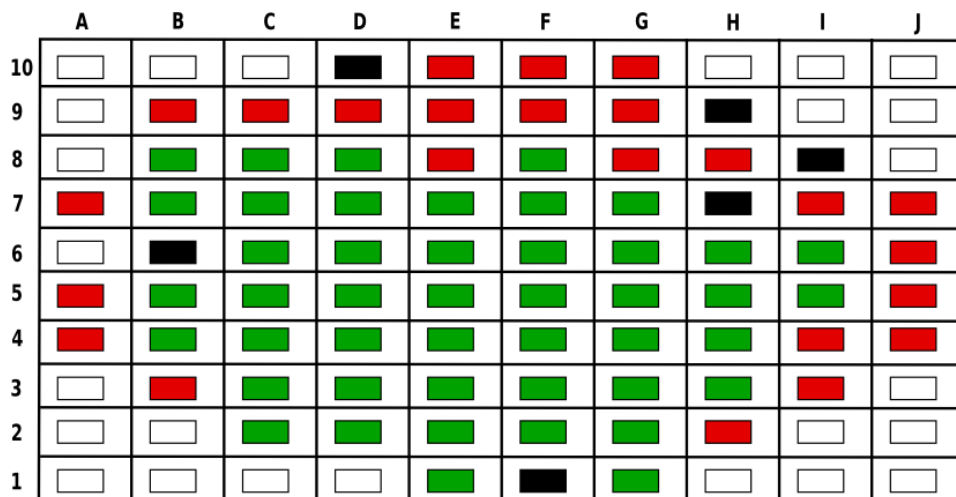


FIGURE 122 – Cartographie des courants de fuite  $I_{GS}$  mesurés sur 76 S-MESFETs 1 du wafer avec une diode Zener sur la source. Le vert représente les composants dont le courant de fuite  $I_{G1S}$  est inférieur à 25  $\mu$ A/mm (en valeur absolue). Le rouge montre ceux, qui possèdent un courant de fuite  $I_{G1S}$  supérieur à 2.50 mA/mm.



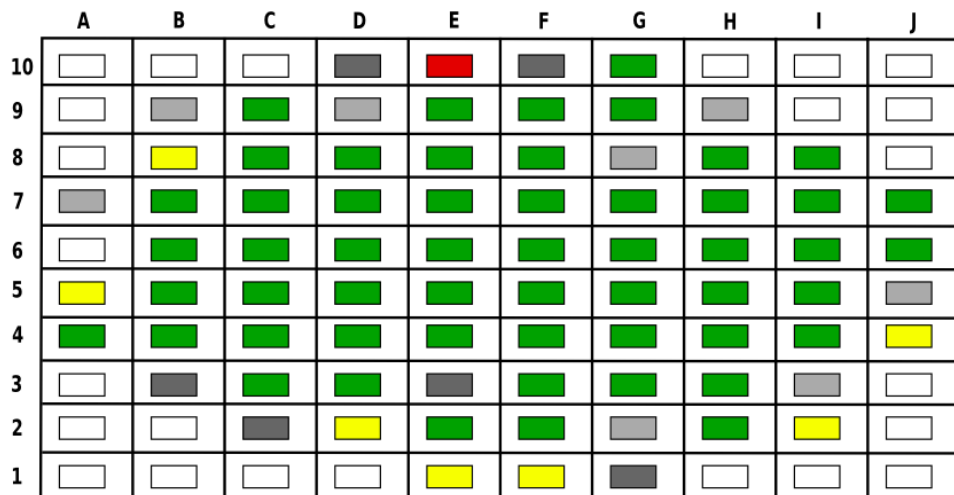


FIGURE 123 – Cartographie de la tension de pincement  $V_{th}$  mesurée sur 76 S-MESFETs 2 du wafer avec une diode Schottky sur le drain. La signification de la légende est donnée à la figure 4.8. La moyenne est de -15.95 V. L'écart type  $\sigma$  est de 2.32 V. Les valeurs MAX et MIN sont respectivement de -11 V et de -29 V.

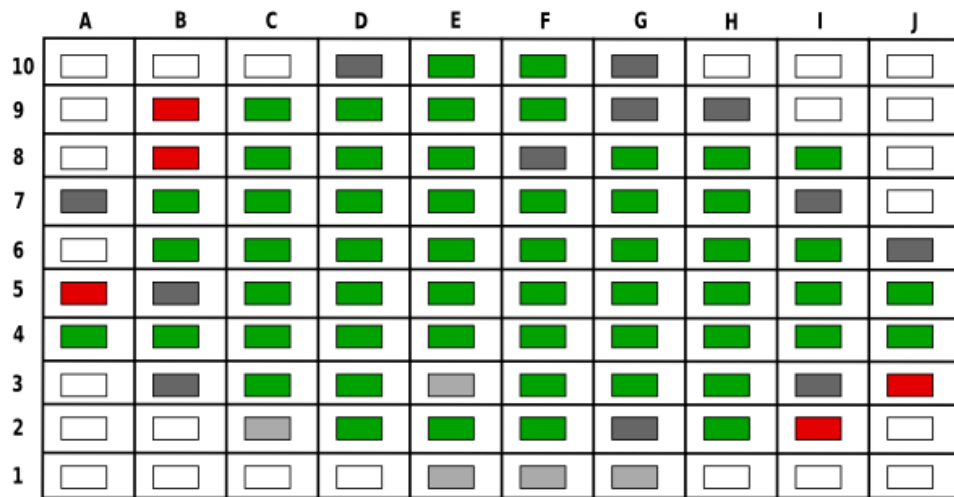


FIGURE 124 – Cartographie des  $J_{DSmax}$  mesurées sur 76 S-MESFETs 2 du wafer avec une diode Schottky sur le drain pour un  $V_{DS}$  de 12 V et un  $V_{G1S}$  de 0 V. La signification de la légende est donnée à la figure 4.8. La moyenne est de 60.68 mA/mm . L'écart type  $\sigma$  est de 8.26 mA/mm. Les valeurs MAX et MIN sont respectivement de 111 mA/mm et de 48 mA/mm.

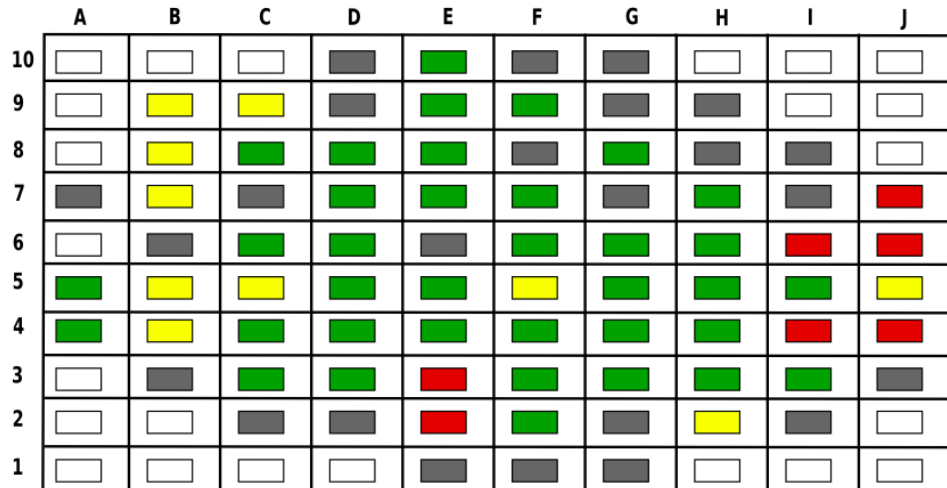


FIGURE 125 – Cartographie de la résistance à l'état passant  $R_{on}$  mesurée sur 76 S-MESFETs 2 du wafer avec une diode Schottky sur le drain pour un  $V_{DS}$  de 1.65 V et un  $V_{G1S}$  de 0 V. La signification de la légende est donnée à la figure 4.8. La moyenne est de 6.8 k $\Omega$ /mm. L'écart type  $\sigma$  est de 0.2 k $\Omega$ /mm. Les valeurs MAX et MIN sont respectivement de 9.0 k $\Omega$ /mm et de 4.1 k $\Omega$ /mm.

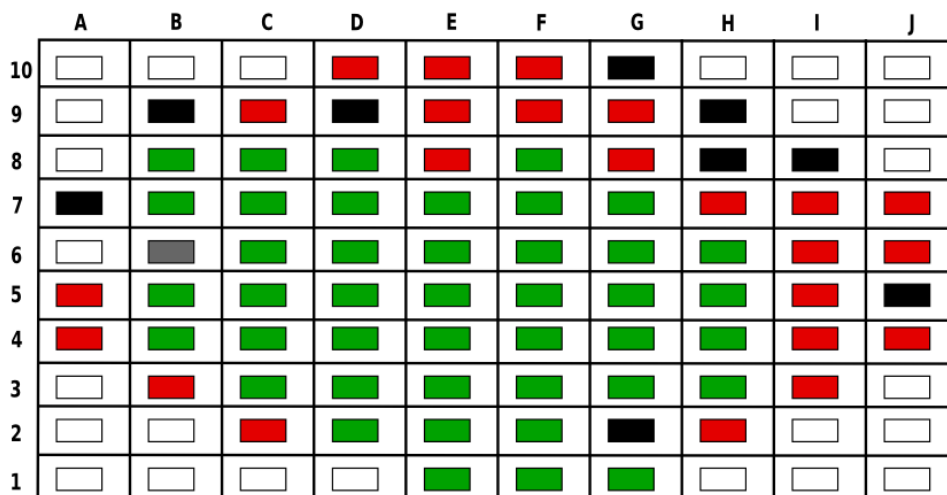


FIGURE 126 – Cartographie des courants de fuite  $I_{G1S}$  mesurés sur 76 S-MESFETs 2 du wafer avec pour une diode Schottky sur le drain. Le vert représente les composants dont le courant de fuite  $I_{G1S}$  est inférieur à 25  $\mu$ A/mm (en valeur absolue). Le rouge montre ceux, qui possèdent un courant de fuite  $I_{G1S}$  supérieur à 2.50 mA/mm..

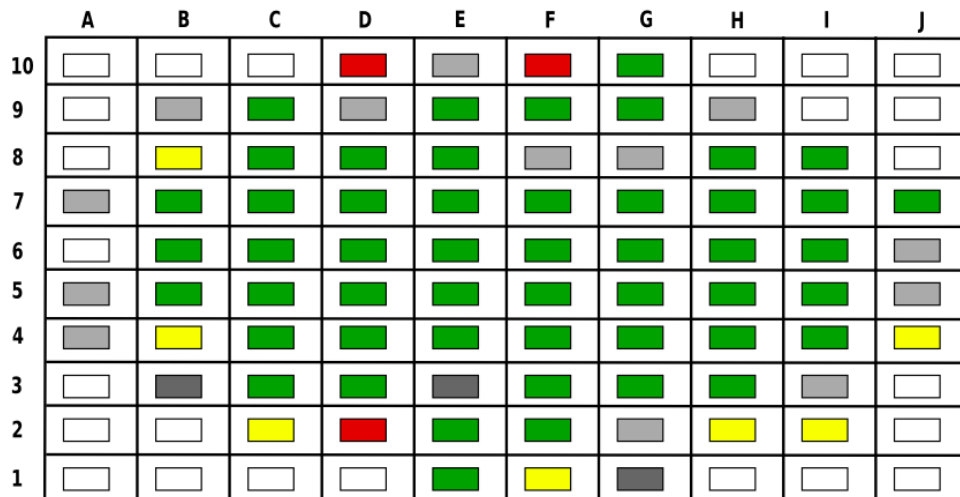


FIGURE 127 – Cartographie de la tension de pincement  $V_{th}$  mesurée 76 les S-MESFETs 3 du wafer avec une diode Zener sur le drain. La signification de la légende est donnée à la figure 4.8. La moyenne est de -15 V. L'écart type  $\sigma$  est de 3 V. Les valeurs MAX et MIN sont respectivement de -6 V et de -24 V.

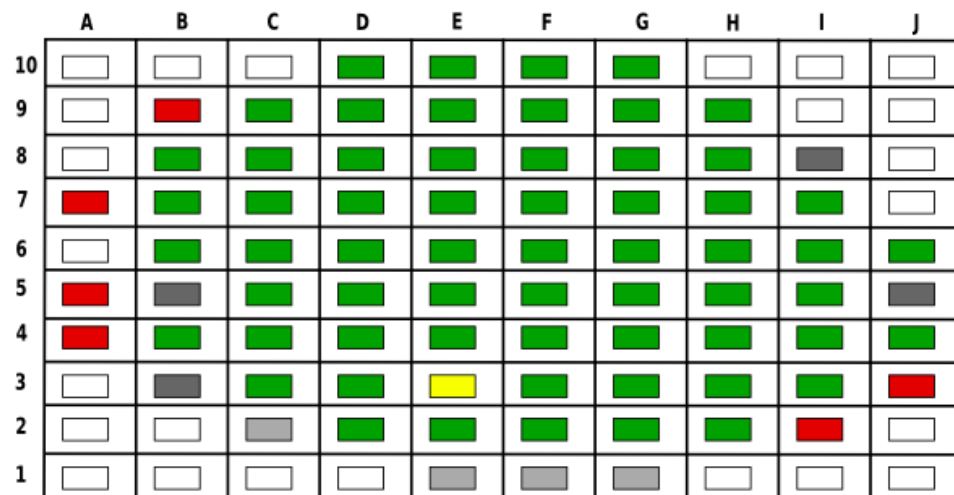


FIGURE 128 – Cartographie des  $J_{DSmax}$  mesurées sur 76 S-MESFETs 3 du wafer avec une diode Zener sur le drain pour un  $V_{DS}$  de 12 V et un  $V_{G1S}$  de -2 V. La signification de la légende est donnée à la figure 4.8. La moyenne est de 60.42 mA/mm. L'écart type  $\sigma$  est de 7.36 mA/mm. Les valeurs MAX et MIN sont respectivement de  $91.72 \times 10^{-3}$  mA/mm et de  $52.89 \times 10^{-3}$  A.

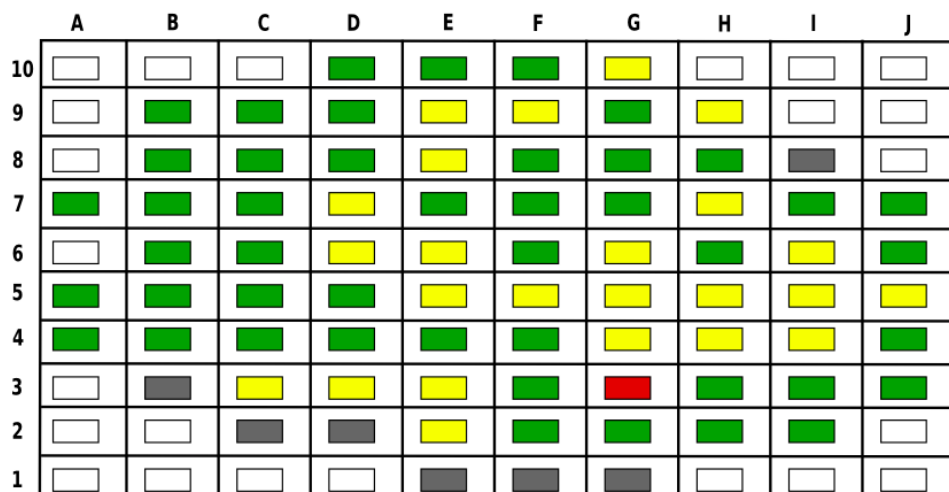


FIGURE 129 – Cartographie de la résistance à l'état passant  $R_{on}$  mesurée sur 76 S-MESFETs 3 du wafer avec une diode Zener sur le drain pour un  $V_{DS}$  de 0.12 V et un  $V_{G1S}$  de -2 V. La signification de la légende est donnée à la figure 4.8. La moyenne est de 5.52 k $\Omega$ /mm. L'écart type  $\sigma$  est de 0.23 k $\Omega$ /mm. Les valeurs MAX et MIN sont respectivement de 6.31 k $\Omega$ /mm et de 3.68 k $\Omega$ /mm.

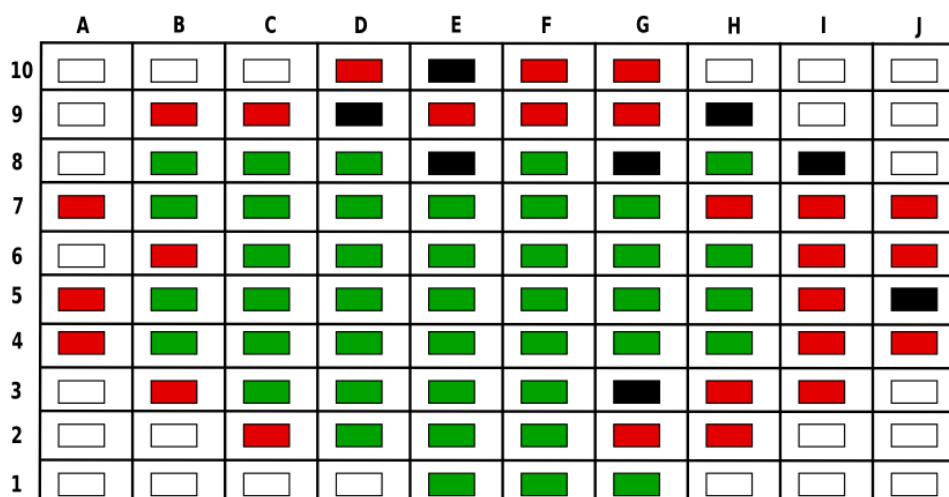


FIGURE 130 – Cartographie des courants de fuite  $I_{GS}$  mesurés sur 76 S-MESFETs 3 du wafer avec une diode Zener sur le drain. Le vert représente les composants dont le courant de fuite  $I_{G1S}$  est inférieur à 25  $\mu$ A/mm (en valeur absolue). Le rouge montre ceux, qui possèdent un courant de fuite  $I_{G1S}$  supérieur à 2.50 mA/mm.



---

---

# Bibliographie

- [540] AVAGO : Application Note 5401. Optocoupler isolation circuits for Intelligent Power Modules (IPM) and gate drivers. Rapport technique, AVAGO Technologies.
- [ABB10] ABB. ETT vs LTT for thyristor triggering in HVDC applications. Rapport technique, ABB Group, 2010.
- [ALE13] M. ALEXANDRU. *4H-SiC Integrated Circuits for High Temperature and Harsh Environment Applications*. PhD thesis, Université de Barcelone (ESPAGNE), 174 p., 2013.
- [AM93] P. ANTOGNETTI and G. MASSOBRIO. *Semiconductor Device Modeling with SPICE*. ISBN-10 : 0071349553. Mc Graw Hill, 479 p., 1993.
- [BAL06] J. BALIGA. *Silicon Carbide Power Devices*. ISBN-10 : 981-256-605-8. World Scientific Publishing Co. Pte. Ltd., 503 p., 2006.
- [BAR10] D. BARBIER. La physique des semi-conducteurs. Cours de master 2, INSA de Lyon, 2010.
- [BBJ<sup>+</sup>10] V. BANU, P. BROSELARD, X. JORDA, P. GODIGNON, and J. MILLAN. Demonstration of high temperature bandgap voltage reference feasibility on SiC material. In *Materials Science Forum*, volume 645-648, pages 1131–1134, 2010.
- [BCG02] S. BANERJEE, T. P. CHOW, and R. J. GUTMANN. 1300 V 6H-SiC lateral MOSFETs with two RESURF zones. *IEEE Electron Device Letters*, 23(10) :624–626, 2002.
- [BEH11] M. BEHET. SiC advances for power electronic application. Présentation technique à cseurope, DOW CORNING, Francfort (ALLEMAGNE), 2011.
- [BER12] M. BERTHOU. *Conception et Réalisation de Composants Unipolaires en Carbone de Silicium*. Thèse de doctorat, INSA de Lyon, 153 p., 2012.
- [BNS12] G. BEHEIM, P. G. NEUDECK, and D. J. SPRY. High temperature SiC electronics : Update and outlook. Rapport technique, National Aeronautic and Space Administration (NASA), 2012.
- [BRE06] O. BREVET. Electronique : les Oscillateurs. Cours : EN 23 (2nd année), IUT de Saint-Etienne, 2006.
- [BRO04] P. BROSELARD. *Conception, Réalisation et Caractérisation d'interrupteurs (thyristors et JFETs) haute tension (5 kV) en carbure de silicium*. Thèse de doctorat, INSA de Lyon, 169 p., 2004.
- [BUT08] C. BUTTAY. Support de test pour mesures capacitives sur JFET SiC. Notice technique, INSA de Lyon, 2008.

- 
- [Can] Météo Spatiale Canada. Effets géomagnétiques sur les réseaux électriques. <http://www.spaceweather.gc.ca/tech/se-pow-fra.php> (consulté le 09/09/2013).
- [CAR07] C. CAMEL. *Nouvelles fonctions interrupteurs intégrées pour la conversion d'énergie*. Thèse de doctorat, Université Paul SABATIER de Toulouse, 184 p., 2007.
- [CB07] G. CHATEIGNER and D. BOUIX. *MANUEL DE GÉNIE ÉLECTRIQUE*. ISBN : 978-2-10-048499-7. DUNOD, 610 p., 2007.
- [CCEUoM10] CREE, COOLCAD-Electronics, BOISE-STATE University, and University of Maryland. Modeling, Design and Fabrication of 50 W single-Chip Integrated Silicon Carbide Power Converters. Rapport technique, (ETATS-UNIS), 2010.
- [CCT+05] Y. CAI, Z. CHENG, W. C. WAH TANG, K. J. CHEN, and K. MAY LAU. Monolithic integration of enhancement-and depletion-mode AlGaIn/GaN HEMTs for GaN digital integrated circuits. In *Electron Devices Meeting, (IEDM) Technical Digest. IEEE Internationalg*, pages 774–778, 2005.
- [CCTC07] Y. CAI, Z. CHENG, W. C. WAH TANG, and K. J. CHEN. High-Temperature Operation of AlGaIn/GaN HEMTs Direct-Coupled Fet Logic (DCFL) Integrated Circuits. *IEEE ELECTRON DEVICE LETTERS*, 28(5) :328–331, 2007.
- [CCTL06] Y. CAI, Z. CHENG, W. C. WAH TANG, and K. MAY LAU. Monolithically Integrated Enhancement/Depletion-Mode AlGaIn/GaN HEMT Inverters and Ring Oscillators Using CF<sub>4</sub> Plasma Treatment. *IEEE TRANSACTIONS ON ELECTRON DEVICE*, 53(9) :2223–2230, 2006.
- [CEL03] G. CELLER. Smart Cut : A guide to the technology, the process, the products. Rapport technique, SOITEC, 2003.
- [CHE12] F. CHEVALIER. *Conception, fabrication et caractérisation de transistors à effet de champ haute tension en carbure de silicium et de leur diode associée*. Thèse de doctorat, INSA de Lyon, 113 p., 2012.
- [CIV09] G. CIVRAC. *Vers la réalisation de composants haute tension, forte puissance sur diamant CVD. Développement des technologies associées*. Thèse de doctorat, Institut National Polytechnique de Toulouse, 139 p., 2009.
- [CKR99] J. S. CHEN, K. T. KORNEGAY, and S. H. RUY. A Silicon Carbide CMOS Intelligent Gate Driver Circuit with Stable Operation over a Wide Temperature Range. *IEEE Journal of Solid-State Circuits*, 34(2) :192–204, 1999.
- [CLCea13] K.W CHU, S. W. LEE, C. Y. CHENG, and C. F. HUANG et al. Demonstration of Lateral IGBTs in 4H-SiC. *IEEE Electron Device Letters*, 34(2) :286–288, 2013.
- [COO94] J. A. COOPER. Development of a SiC-Based Electronics Technology for Extreme Environments. Rapport technique, Purdue University, 1994.
- [Cor07] MITSUBISHI Electric Corporation. Single chip inverter SOI IC in SMD package. Power Electronics Europe, issue 7, 2007.
- [CSN06] L. Y. CHEN, D. SPRY, and P. G. NEUDECK. Demonstration of 500 °C AC amplifier based on SiC MESFET and ceramic packaging. In *IMAPS International High Temperature Electronics Conference (HiTEC)*, Santa Fé (ETATS-UNIS), 2006.

- [CW09] W. CHEN and K. Y. WONG. Single-Chip boost Converter Using Monolithically Integrated AlGaIn/GaN Lateral Field-Effect Rectifier and Normally Off HEMT. *IEEE ELECTRON DEVICE LETTERS*, 30(5) :430–432, 2009.
- [DEL01] J. DELABALLE. La CEM : la compatibilité électromagnétique. Rapport technique (cahier technique n° 149), Schneider Electric, 2001.
- [DEV09] A. DEVIE. Circuits en carbure de silicium (SiC) pour l'électronique embarquée haute température. Rapport bibliographique, INSA de Lyon, 2009.
- [DHE11] N. DHEILLY. *Conception et optimisation de composants de puissance en SiC pour des applications impulsives*. Thèse de doctorat, INSA de Lyon, 123 p., 2011.
- [DK07] H. DJELTI and M. KAMECHE. Etude comparative des paramètres géométriques et électriques du transistor MESFET bigrille en GaAs et en 4H-SiC. In *4th International Conference : Science of Electronic, Technologies of Information and Telecommunications (SETIT)*, Hammamet (TUNISIE), 2007.
- [DTG<sup>+</sup>10] A. DEVIE, D. TOURNIER, P. GODIGNON, M. VELLVEHI, J. MONTSERRAT, and X. JORDA. Fabrication and testing of 4H-SiC MESFETs for analog functions circuits. In *Materials Science Forum*, volume 645-648, pages 1159–1162, 2010.
- [DU07] G. DEBOY and F. UDREA. Superjunction devices and technologies - benefits and limitations of a revolutionary step in power electronics. In *European Power Electronics and Applications (EPE)*, Aalborg (DANEMARK), 2007.
- [DUB99] J. Y. DUBOZ. Matériaux à grand gap III-V à base de GaN. Techniques de l'ingénieur, Centre de Recherche sur l'Hétéro-Epitaxie et ses Applications, 1999.
- [DUB03] N. DUBUC. *Modélisation électrothermique de transistors MESFET SiC et optimisation d'une architecture doherty pour l'amplification de puissance à haut rendement*. Thèse de doctorat, Université de Limoges, 163 p., 2003.
- [EFea14] N. ERICSON, S. FRANCK, and C. BRITTON et al. A 4H Silicon Carbide Buffer for Integrated Power Systems. *IEEE TRANSACTIONS ON POWER ELECTRONICS*, 29(2), 2014.
- [FAL12] K. EL FALAHI. *Contribution à la conception de driver en technologie CMOS SOI pour la commande de transistors JFET SiC pour un environnement de haute température*. Thèse de doctorat, INSA de Lyon, 145 p., 2012.
- [FaTMSH04] K. FUJIKAWA, K. SHIBATA and T. MASUDA, T. SHIKATA, and H. HAYASHI. 800 V 4H-SiC RESURF-type lateral JFETs. *IEEE Electron Device Letters*, 25(12) :790–791, 2004.
- [FDB<sup>+</sup>12] K. EL FALAHI, F. DUBOIS, B. BERGOGNE, L. V. PHUNG, C. BUTTAY, and B. ALLARD. High temperature anti short circuit function for normally-on SiC JFET in an inverter leg configuration. In *IMAPS International High Temperature Electronics Conference (HiTEC)*, Albuquerque (ETATS-UNIS), 2012.
- [FFM00] H. FOCH, F. FOREST, and T. MEYNARD. Onduleur de tension. Techniques de l'ingénieur, Ecole Nationale Supérieure de Cachan et Institut National Polytechnique de Toulouse, 2000.
- [FIL13] F. FILBET. *Analyse numérique : Algorithmes et étude mathématique*. ISBN : 978-2-10-059910-3. DUNOD, 309 p., 2013.



- [GBG<sup>+</sup>12] C. GINESTE, T. BOUCHET, O. GATTI, J. C. CREBIER, P. AUSTIN, and N. ROUGER et al. Vers une filière et un support de conception eda (electronic design automation) des fonctions de coupure spécifiques. In *Electronique de Puissance du Futur (EPF)*, Bordeaux (FRANCE), 2012.
- [GLPea06] J. GIE, M. LAZAR, D. PLANSON, and D. BERGOGNE et al. Towards an integrated inverter based on lateral JFET SiC. In *Integrated Power Electronics Systems (CIPS), 4th International Conference on*, pages 1–6, 2006.
- [GOE98] J. GOETZ. High temperature electronics for sensor interface and data acquisition. In *Sensors Expo*, San José (ETATS-UNIS), 1998.
- [GON01] O. GONNARD. *EFFICACITE D'ISOLATION DANS LES CIRCUITS INTEGRES DE PUISSANCE ISOLEES PAR JONCTION*. Thèse de doctorat, Université Paul SABATIER de Toulouse, 122 p., 2001.
- [GON09] L. GONTHIER. *Electronique : les MOSFETs*. Cours : département ingénieur, STMicroelectronics - Polytech TOURS, 2009.
- [GOU12] B. L. GOUIC. Inverter technology trends and market expectations. Technical report, Yole developement, 2012.
- [GPB03] M. GROZING, B. PHILIPP, and M. BERROTH. CMOS Ring Oscillator with Quadrature Outputs and 100 MHz to 3.5 GHz Tuning Range. In *Solid-State Circuits Conference. ESSCIRC'03. Proceedings of the 29th European. IEEE*, Estoril (PORTUGAL), 2003.
- [GYC<sup>+</sup>12] U. P. GOMES, Y. K. YADAV, S. CHOWDHURRY, K. RANJAN, S. RATHI, and D. BISWAS. Prospects of III-V for logic applications. *Journal of Nano and Electronic Physics*, 4(2) :02009, 2012.
- [HAD12] E. HADDAD. *Conception, réalisation et caractérisation d'inductances intégrées haute fréquence*. Thèse de doctorat, INSA de Lyon, 143 p., 2012.
- [HAM11] Y. HAMIEH. *Caractérisation et modélisation du transistor JFET en SiC à haute température*. Thèse de doctorat, INSA de Lyon, 152 p., 2011.
- [HBP<sup>+</sup>13] S. HASCOET, C. BUTTAY, D. PLANSON, R. CHIRIAC, and A. MASSON. Pressureless silver sintering die-attach for SiC power devices. In *Materials Science Forum*, volume 740-742, pages 851–854, 2013.
- [HER08] R. HERZER. Smart power devices and technologies- system integration. Technical report, European Center for Power Electronics (ECPE) : Power Semiconductor, Devices and Technologies, Nuremberg (ALLEMAGNE), 2008.
- [HER10] R. HERZER. Integrated gate driver circuit solutions. In *Integrated Power Electronics Systems (CIPS), 6th International Conference on*, pages 1–10, Nuremberg (ALLEMAGNE), 2010.
- [HIT] HITACHI. Single Chip Inverter IC : Application guide. Rapport technique IC-SP-06027-R1, HITACHI.
- [HKT08] C. F. HUANG, J. R. KUO, and C. C. TSAI. High Voltage (3130 V) 4H-SiC Lateral P-N Diodes on a Semi-insulating Substrate. *IEEE Electron Device Letters*, 29(1) :83–85, 2008.
- [HKW<sup>+</sup>09] C. F. HUANG, C. L. KAN, T. L. WU, M. C. LEE, and Y. Z. LIU. 3510 V 390 mΩ.cm<sup>2</sup> 4H-SiC lateral JFET on a semi-insulating substrate. *IEEE Electron Device Letters*, 30(9) :957, 2009.

- [HLRV10] R. HERZER, J. LEHMANN, M. ROSSBER, and B. VOGLER. IGBT Gate Driver Solutions for Low and Medium Power Applications. *Power Electronics Europe*, Issue 6, 2010.
- [HMTea03] T. HUSSAIN, M. MICOVIC, T.TSEN, and M.DELANEY et al. GaN hfet digital circuit technology for harsh environments. *Electronics Letters*, 39(24) :1708–1709, 2003.
- [HUA11] R. HUANG. *Conception, suivi de fabrication et caractérisation électrique de composants haute tension en SiC*. Thèse de doctorat, INSA de Lyon, 111 p., 2011.
- [HUBD08] H. HUANG, M. UDER, R. BARTHELMESS, and J. DORN. Application of high power thyristors in HVDC and FACTS systems. In *17th Conference of Electric Power Supply Industry (CEPSI)*, Macau (JAPON), 2008.
- [IF09] M. ISHIGAKI and H. FUJITA. A resonant gate-drive circuit for fast high-voltage power semiconductor devices with optical isolation of both control signal and power supply. *IEEE Transactions on Industry Applications*, 129(3) :303–310, 2009.
- [III02] F. P. WAHL III. Firing series SCRs at medium voltage : understanding the topologies ensures the optimum gate drive selection. In *Power Systems World Conference*, Chicago (ETATS-UNIS), 2002.
- [JDSa] JDSU. Convertisseur photovoltaïque 12 V. <http://www.jdsu.com/ProductLiterature/ppc12e-ds-pp-ae.pdf> (consulté le 12/07/2013).
- [JDSb] JDSU. Diode-laser : 2486-14. <http://www.jdsu.com/en-us/Lasers/Products/A-Z-Product-List/Pages/2486-14.aspx> (consulté le 12/07/2013).
- [JOI13] M. JOINDOT. Système de transmission par fibre optique. Technical report, Technique de l'ingénieur, 2013.
- [JPF06] F. FOREST J. P. FERRIEUX. *Alimentations à découpage convertisseurs à résonance*. ISBN-10 : 2-10-050539-4. DUNOD, 316 p., 2006.
- [KAL02] A. KALLIO. *MESFET models in the APLAC circuit simulator*. Thèse de doctorat, HELSINKI UNIVERSITY OF TECHNOLOGY (FINLANDE), 56 p., 2002.
- [KHSJP12] E. C. T. KHO, A. D. HOELKE, and W. A. W. Z. ABIDIN et al. S. J. PILKINGTON, D. K. PAL. 200-V Lateral Superjunction LIGBT on Partial SOI. *IEEE Electron Device Letters*, 33(9) :1291–1293, 2012.
- [KKS05] T. KIMOTO, H. KAWANO, and J. SUDA. 1330 V, 67 mΩ.cm<sup>2</sup> 4H-SiC(0001) RESURF MOSFET. *IEEE Electron Device Letters*, 26(9) :649–651, 2005.
- [KM11] M. KHOSROANJOM and S. MOSLEHI. A novel approach to analog signal isolation through digital opto-coupler (youtab). *Modern Applied Science*, 5(3) :225, 2011.
- [KRA12] M. KRASOWSKI. High temperature electronics : Reapplying a lost art. Rapport technique, National Aeronautic and Space Administration (NASA), 2012.
- [KTST+83] S. KOBAYASHI, T. TAKAHASI, T. YOSHINO S. TANABE, T.HORIUCHI, and T. SENDA. Performance of high voltage light-triggered thyristor valve. *IEEE Transactions on Power Apparatus and System*, 102(8) :2784–2792, 1983.

- [KUM08] A. KUMAR. *Electronique : Smart power*. Cours : département ingénieur, Université de Erlangen (ALLEMAGNE), 2008.
- [KWLC10] A. MAN HO KWAN, K. Y. WONG, X. LIU, and K. J. CHEN. High-gain and High-Bandwidth AlGaN/GaN High Electron Mobility Transistor Comparator with High-Temperature Operation. *Japanese Journal of Applied Physics*, 50(4) :04DF02, 2010.
- [LAA13] F. LAARIEDH. *Technologie d'intégration monolithique des JFET latéraux*. Thèse de doctorat, INSA de Lyon, 231 p., 2013.
- [LAN12] L. LANNI. *Silicon Carbide Bipolar Integrated Circuits for High Temperature Applications*. Thèse de doctorat, Royal Institute of Technology (SUEDE), 57 p., 2012.
- [LAR05] J. LAROCHE. *Electronique de puissance : Convertisseurs*. ISBN : 2100072528. DUNOD, 333 p., 2005.
- [LAU97] M. C. LAU. *Small signal equivalent circuit extraction from a gallium arsenide MESFET device*. Thèse de doctorat, Faculty of the Virginia Polytechnic Institute and State University (ETATS-UNIS), 132 p., 1997.
- [LB07] P. LEFRANC and D. BERGOGNE. State of the art of dv/dt and di/dt control of insulated gate power switches. In *Proceedings of the Conference Captech IAPI, Power Supply and Energy Management for Defence Applications*, Bruxelles (BELGIQUE), 2007.
- [LCH<sup>+</sup>12] W. S. LEE, K. W. CHU, C. F. HUANG, L. S. LEE, M. J. TSAI, K. Y. LEE, and F. ZHAO. Design and fabrication of 4h-sic lateral high-voltage devices on a semi-insulating substrate. *IEEE TRANSACTIONS ON ELECTRON DEVICES*, 59(3) :754–760, 2012.
- [LEC12] J. P. LECOUTRE. *Statistique et probabilités*. ISBN : 2100578901. DUNOD, 320 p., 2012.
- [LEF05] P. LEFRANC. *Etude, conception et réalisation de circuits de commande d'IGBT de forte puissance*. Thèse de doctorat, INSA de Lyon, 212 p., 2005.
- [LGMZ12] L. LANNI, R. GHANDI, B. GUNNAR MALM, and C. M. ZETTERLING. Design and Characterization of High-Temperature ECL-Based Bipolar Integrated Circuits in 4H-SiC. *IEEE TRANSACTIONS ON ELECTRON DEVICES*, 59(4) :1076–1083, 2012.
- [LHea03] J. LAZARUS, S. HOLT, and M. GILTROW et al. Interference-free optical power delivery for electronics modules. *Microwave and optical technology letters*, 37(5) :361–364, 2003.
- [LLea11] W. S. LEE, C. W. LIN, and M. H. YANG et al. Demonstration of 3500 V 4H-SiC lateral MOSFETs. *IEEE ELECTRON DEVICE LETTERS*, 32(3) :360–362, 2011.
- [LM03] S. LEFEBVRE and B. MULTON. *MOSFET et igt : circuits de commande*. Techniques de l'ingénieur, Conservatoire National des Arts et Métiers et Ecole Nationale Supérieure de Cachan, 2003.
- [LM07] S. LEFEBVRE and B. MULTON. *Commande des semi-conducteurs de puissance : principes*. Techniques de l'ingénieur, Conservatoire National des Arts et Métiers et Ecole Nationale Supérieure de Cachan, 2007.

- [LSC08] J. Y. LEE, S. SINGH, and J. A. COOPER. Demonstration and characterization of bipolar monolithic integrated circuits in 4h-SiC. *IEEE TRANSACTIONS ON ELECTRON DEVICES*, 55(8) :1946–1953, 2008.
- [LUD00] A. W. LUDIKHUIZE. A review of resurf technology. In *Power Semiconductor Devices and ICs (ISPSD). Proceedings. The 12th International Symposium on. IEEE*, Toulouse (FRANCE), 2000.
- [MAA10] S. MAAS. Fixing the Curtice FET MODEL. Technical report, Applied Wave Research, 2010.
- [MABK03a] M. MUNZER, W. ADEMMER, B.STRZALKOWSKI, and K. T. KASCHANI. Coreless transformer, a new technology for half bridge driver ICs. *POWER CONVERSION CONFERENCE & INTELLIGENT MOTION (PCIM)*, 2003.
- [MABK03b] M. MUNZER, W. ADEMMER, B.STRZALKOWSKI, and K. T. KASCHANI. Insulated signal transfer in a half bridge driver IC based on coreless transformer technology. In *Power Electronics and Drive Systems, 2003. PEDS 2003. The Fifth International Conference on*, volume 1, pages 93–96, 2003.
- [MAS12] A. MASSON. *Mise en oeuvre de techniques d'attaches de puces alternatives aux brasures pour des applications haute température*. Thèse de doctorat, INSA de Lyon, 152 p., 2012.
- [MAZ06] M. MAZZOLA. Optically controlled silicon carbide and related wide-bandgap transistors and thyristors. Brevet : Us 8193537 b2, publié le 5 juin 2012, University of Illinois, Chicago (UIC), 2006.
- [MF09] H. MATHIEU and H. FANET. *Physique des semiconducteurs et des composants électroniques*. ISBN : 978-2-10-051643-8. Dunod, 6ème édition, 2009.
- [MIT05] R. MITOVA. *Intégration de l'alimentation de la commande rapprochée d'un interrupteur de puissance à potentiel flottant*. Thèse de doctorat, Institut Polytechnique de Grenoble, 222. p, 2005.
- [MNPea12] R. D. MEREDITH, P. G. NEUDECK, G. E. PONCHAK, and G. M. BEHEIM et al. High temperature capacitive pressure sensor employing a SiC based ring oscillator. *Materials Science Forum*, 717-720 :1215–1218, 2012.
- [MOG10] J. F. MOGNIOTTE. Etude de la faisabilité d'un circuit en SiC pour des applications spatiales. Rapport de master 2, INSA de Lyon, 114 p., 2010.
- [MOT98] E. MOTTO. Application specific intelligent power modules - a novel approach to system integration in low power drives. In *POWER CONVERSION CONFERENCE & INTELLIGENT MOTION*, Hong Kong (CHINE), 1998.
- [MOU09] R. MOUSA. *Caractérisation, modélisation et intégration de JFET de puissance en carbure de silicium dans des convertisseurs haute température et haute tension*. Thèse de doctorat, INSA de Lyon, 169 p., 2009.
- [MP11] F. MORANCHO and D. PLANSON. GaN versus SiC, or GaN with SiC ? Potentialités de développement. Journées GDR SEEDS - ENS Cachan, Juin 2011.
- [MR05] R. HERZER M. ROSSBERG, B. VOGLER. Latch-up free 600 V SOI Gate Driver IC for Medium Power and High Temperature Applications. In *European Power Electronics and Applications (EPE) (EPE)*, Toulouse (FRANCE), 2005.
- [MR10] R. HERZER M. ROSSBERG, B. VOGLER. 600 V SOI gate driver IC with advanced level shifter concepts for medium and high power applications. In

- 
- Power Semiconductor Devices & IC's (ISPSD), 22nd International Symposium on*, Hiroschima (JAPAN), 2010.
- [MS09a] S. MAZUMDER and T. SARKAR. Optically-triggered multi-stage power system and devices. Brevet : Us 12/157 -694, publié le 11 juin 2008, University of Illinois, Chicago (UIC), 2009.
- [MS09b] S. MAZUMDER and T. SARKAR. SiC based optically-gated high-power solid-state switch for pulsed-power application. In *Materials Science Forum*, volume 600-603, pages 1195–1198, 2009.
- [NCC<sup>+</sup>08] P. G. NEUDECK, L. Y. CHEN, C. W. CHANG, G. M. BEHEIM, R. MEREDITH, and M. J. KRASOWSKI. 6H-SiC transistor integrated circuits demonstrating prolonged operation at 500 °C. In *IMAPS International High Temperature Electronics Conference (HiTEC)*, Albuquerque (ETATS-UNIS), 2008.
- [NEU00] P. G. NEUDECK. Electrical Impact of SiC Structural Crystal Defects on High Electrical Field Devices. In *Materials Science Forum*, volume 338-343, pages 1161–116, 200.
- [NEU09] P. G. NEUDECK. Extreme temperature 6H-SiC JFET integrated circuit technology. *Physica Status Solidi A*, 206(10) :2329–2345, 2009.
- [NGU11] D. M. NGUYEN. *Conception et caractérisation de diodes en SiC pour la détermination des coefficients d'ionisations*. Thèse de doctorat, INSA de Lyon, 139 p., 2011.
- [NKP09] P. G. NEUDECK, M. J. KRASOWSKI, and N. F. PROKOP. Assessment of Durable SiC JFET Technology for +600 °C to -125 °C Integrated Circuit Operation. Rapport technique, National Aeronautic and Space Administration (NASA), 2009.
- [NOT06] MOTOROLA SEMICONDUCTOR APPLICATION NOTE. Isolation techniques using optical couplers. Rapport technique, MOTOROLA, 2006.
- [NSC<sup>+</sup>07] P. G. NEUDECK, D. J. SPRY, L. Y. CHEN, R. S. OKOJIE, G. M. BEHEIM, R. MEREDITH, and T. FERRIER. SiC field effect transistor technology demonstrating prolonged stable operation at 500 °C. In *Materials Science Forum*, volume 556-557, pages 831–834, 2007.
- [NSC<sup>+</sup>08a] P. G. NEUDECK, D. J. SPRY, L. Y. CHEN, G. M. BEHEIM, R. S. OKOJIE, and C. W. CHANG. Long-term characterization of 6H-SiC transistor integrated circuit technology operating at 500 °. In *Materials Research Society*, volume 1069, 2008.
- [NSC<sup>+</sup>08b] P. G. NEUDECK, D. J. SPRY, L. Y. CHEN, G. M. BEHEIM, R. S. OKOJIE, and C. W. CHANG et al. Stable electrical operation of 6H-SiC JFETs and ICs for thousands of hours at 500 °C. *IEEE ELECTRON DEVICE LETTERS*, 29(05) :456–459, 2008.
- [NSFea07] F. J. NIEDERNOSTHEIDE, H. J. SCHULZE, H. P. FELSL, and T. LASKA et al. Thyristors and IGBTs with integrated self-protection functions. *IET Circuits, Devices & Systems*, 1(5) :315–320, 2007.
- [NSK09] M. NOBORIO, J. SUDA, and T. KIMOTO. 1580 V 40 mΩ.cm<sup>2</sup> double-RESURF MOSFETs on 4H-SiC (0001). *IEEE Electron Device Letters*, 30(8) :831–833, 2009.

- [OYKO09] M. OKAMOTO, T. YATSUO, K. FUKUDA, and H. OKUMURA. Electrical properties of 4H-silicon carbide complementary metal–oxide–semiconductor devices with wet-processed gate oxide. *Japanese Journal of Applied Physics*, 48(4) :04C087–04C087, 2009.
- [PEL13] I. PELANT. Nanocrystalline Silicon for Nanophotonics. Technical report, Institute of Physics of the Academy of Sciences of the Czech Republic, <http://nanotech.fzu.cz/26/index.php?file=4>, Consulté le 13 juin 2013.
- [PER07] D. PERRONE. *Process and characterization techniques on 4H-Silicon Carbide*. PhD thesis, Ecole polytechnique de Turin (ITALIE), 133 p., 2007.
- [PFMG09] A. C. PATIL, X. FU, M. MEHREGANY, and S. L. GARVERICK. Fully-monolithic, 600 °C differential amplifiers in 6H-SiC JFET IC technology. In *Custom Intergrated Circuits Conference (CICC'09)*, IEEE, San José (ETATS-UNIS), 2009.
- [PRI96] W. PRIBYL. Integrated smart power circuits technology, design and application. In *Solid-State Circuits Conference (ESSCIRC '96). Proceedings of the 22nd European*, pages 19–26, Neuchâtel (SUISSE), 1996.
- [PRO10] P. PROUVOST. *Automatique - Contrôle et régulation*. Collection : Sciences sup, ISBN-10 : 2-10-007617-5. DUNOD, 320 p., 2010.
- [PRT12] A. PATIL, N. RAO, and V. TILAK. 300 °C Capable Digital Integrated Circuits in SiC technology. In *Materials Science Forum*, volume 717-720, pages 1261–1264, 2012.
- [PZDea10] J. W. PALMOUR, J. Q. ZHANG, M. DAS, and R. CALLANAN et al. SiC power devices for smart grid systems. In *International Power Electronics Conference (IPEC2010)*, IEEE, pages 1006–1013, Sapporo (JAPON), 2010.
- [RAZ01] B. RAZAVI. *Design of analog CMOS integrated circuits*. ISBN-10 : 0072380322. Mc Graw Hill, 684 p., 2001.
- [RCC<sup>+</sup>12] E. P. RAMSAY, D. T. CLARK, J. D. CORMACK, A. E. MURPHY, D. A. SMITH, and R.F. THOMPSON. Digital and Analogue Integrated Circuits in Silicon Carbide for High Temperature Operation. In *IMAPS International High Temperature Electronics Conference (HiTEC)*, Albuquerque (ETATS-UNIS), 2012.
- [RIS07] D. RISALETTO. *Caractérisation électrique en commutation de diodes haute tension en carbure de silicium*. Thèse de doctorat, INSA de Lyon, 129 p., 2007.
- [RIT93] G. J. RITCHIE. *Transistor Circuit Technique : Discrete and integrated*. ISBN : 0412464705. CHAPMAN & HALL/CRC, 220 p., 1993.
- [RKCM97] S. RUY, K. T. KORNEGAY, J. A. COOPER, and M. R. MELLOCH. Monolithic CMOS Digital Integrated Circuits in 6H-SiC Using an Implanted P-Well Process. *IEEE ELECTRON DEVICE LETTERS*, 18(5) :194–196, 1997.
- [RKCM98] S. RUY, K. T. KORNEGAY, J. A. COOPER, and M. R. MELLOCH. Digital CMOS IC's in 6H-SiC Operating on a 5-V Power Supply. *IEEE ELECTRON DEVICE LETTERS*, 45(1) :45–53, 1998.
- [RMF99] K. ROTTNER and MOU. D et al. M. FRISCHHOLZ, T. MYRTVEIT. SiC power devices for high voltage applications. *Materials Science and Engineering*, 61-62 :330–338, 1999.

- 
- [ROB11] R. ROBUTEL. *Etude des composants passifs pour l'électronique de puissance à "haute température" : application au filtre CEM d'entrée*. Thèse de doctorat, INSA de Lyon, 290 p., 2011.
- [ROU08a] N. ROUGER. *Intégration monolithique des fonctions d'interface au sein de composants de puissance à structure verticale*. Thèse de doctorat, Institut Polytechnique de Grenoble, 193 p., 2008.
- [ROU08b] N. ROUGER. Intégration monolithique d'un récepteur optique au sein de transistors de puissance : Enjeux et possibilités. In *Electronique de Puissance du Futur (EPF)*, Tours (France), 2008.
- [RTMP10] C. RAYNAUD, D. TOURNIER, H. MOREL, and D. PLANSON. Comparison of high voltage and high temperature performances of wide bandgap semiconductors for vertical power devices. *Diamond and Related Materials*, 19(1) :1–6, 2010.
- [RUM04] C. RUMELHARD. MMIC : Composants. Techniques de l'ingénieur, Conservatoire National des Arts et Métiers, 2004.
- [SAL07] T. BEN SALAH. *Contribution à la conception des dispositifs de puissance en SiC : études et extraction des paramètres*. Thèse de doctorat, INSA de Lyon, 164 p., 2007.
- [SAN99] J. L. SANCHER. State of the art and trends in power integration. In *Modeling and simulation of Microsystem (MSM)*, pages 20–29, San Juan (PORTO RICO), 1999.
- [SCH98] N. SCHEINBERG. A low-frequency GaAs MESFET circuit model. *IEEE Journal of Solid-State Circuits*, 23(2) :605–608, 1998.
- [SCH09] U. SCHEUERMANN. Advanced Module Architecture Satisfies Medium-Power Requirements. Rapport technique, SEMIKRON, 2009.
- [SIE10] SIEMENS. SVC Systems with Light Triggered. Rapport technique, SIEMENS, 2010.
- [SM07] J. L. SANCHER and F. MORANCHO. Composants semi-conducteurs : Intégration de puissance monolithique. Techniques de l'ingénieur, Laboratoire d'Analyse et d'Architecture des Systèmes, 2007.
- [SMI95] D. H. SMITH. Tom2 - MESFET. Rapport technique, TriQuint Semiconductor, 1995.
- [SNC<sup>+</sup>09] D. J. SPRY, P. G. NEUDECK, L. Y. CHEN, G. M. BEHEIM, and R. S. OKOJIE. Fabrication and testing of 6H-SiC JFETs for prolonged 500 °C operation in air ambient. In *Materials Science Forum*, volume 600-603, pages 1079–1082, 2009.
- [SNOC04] D. SPRY, P. NEUDECK, R. OKOJIE, and L. Y. CHEN. Electrical Operation of 6H-SiC MESFET at 500 °C for 500 Hours in Air Ambient. In *IMAPS International High Temperature Electronics Conference (HiTEC)*, Albuquerque (ETATS-UNIS), 2004.
- [SOO04] W. SAITO, I. OMURA, and H. OHASHI. Theoretical limit estimation of lateral wide bandgap semiconductor power-switching device. *Solid-State Electronics*, 48(9) :1555–1562, 2004.

- [SOU10] A. SOUIFI. *Electronique : les MESFETs - JFETs*. Cours : département ingénieur, INSA de Lyon, 2010.
- [SP05] R. HERZER S. PAWEL, M. ROSSBERG. 600 V SOI Gate Drive hvIC for Medium Power Applications Operating up to 200 °C. In *Power Semiconductor Devices and ICs. Proceedings. ISPSD '05. The 17th International Symposium on*, Santa Barbara (ETATS-UNIS), 2005.
- [SPI00] J. SPITZ. 2.7 kV epitaxial lateral power DMOSFETs in 4H-SiC. In *Device Research Conference, Conference Digest. 58th DRC. IEEE*, pages 127–128, Denver (ETATS-UNIS), 2000.
- [SS04] A. SEDRA and K. C. SMITH. *Microelectronic circuits 5th*. Oxford University Press, 1283 p., 2004.
- [SSL<sup>+</sup>06] M. SU, K. SHENG, Y. LI, Y. ZHANG, and all. 430 V, 12.4 mΩ.cm<sup>2</sup> Normally-OFF 4H-SiC lateral JFET. *IEEE Electron Device Letters*, 27 :834–836, 2006.
- [ST08] K. SHIMIZU and T. TERASHIMA. The 2nd Generation divided RESURF structure for High Voltage ICs. In *Power Semiconductor Devices and IC's, 2008. ISPSD'08. 20th International Symposium on. IEEE*, 2008.
- [STA09] L. STAUFFER. *Fundamentals of Semiconductor C-V Measurements*. Rapport technique, KEITHLEY, 2009.
- [STL<sup>+</sup>11] Z. STUM, V. TILAK, P. LOSEE, E. ANDARAWIS, and C. CHEN. 300 °C silicon carbide integrated circuits. In *Materials Science Forum*, volume 679-680, pages 730–733, 2011.
- [SZS<sup>+</sup>08] K. SHENG, Y. ZHANG, M. SU, J. H. ZHAO, X. LI, P.ALEXANDROV, and L. FURSIN. Demonstration of the first SiC power integrated circuit. *Solid-State Electronics*, 52(10) :1636–1646, 2008.
- [TCM<sup>+</sup>11] R. F. THOMPSON, D. T. CLARK, A. E. MURPHY, E. P. RAMSAY, D. A. SMITH, and all. Digital and analogue integrated circuits in silicon carbide for high temperature operation. In *Proceedings of the High Temperature Electronics Network conference (HiTEN)*, Oxford (ROYAUME-UNI), 2011.
- [Tec05] Polymicro Technologies. Datasheet silica optical fiber UV. <https://www.polymicroorders.com/mm5/merchant.mvc> (consulté le 05/07/2013), 2005.
- [Tec10] Agilent Technologies. Manuel : Agilent b1505a, power device analyzer, curve tracer. Notice technique d'utilisation, Agilent Technologies, 2010.
- [TEM81] V. TEMPLE. Comparison of light triggered and electrically triggered thyristor turn-on. *IEEE Transactions on Electron Devices*, 28(7) :860–865, 1981.
- [TGM<sup>+</sup>02] D. TOURNIER, P. GODIGNON, J. MONTSERRAT, D. PLANSON, J .P. CHANTE, and F. SARRUS. Compatibility of VJFET technology with MES-FET fabrication and its interest for system integration : Fabrication of 6H and 4H-SiC 110 V lateral MESFET. In *Materials Science Forum*, volume 389-393, pages 1403–1406, 2002.
- [THI12] F. THION. *Conception de protections périphériques applicables aux diodes Schottky réalisées*. Thèse de doctorat, INSA de Lyon, 130 p., 2012.
- [TOR08] B. TORTECH. *Effets des radiations sur les fibres optiques dopées erbium : influence de la composition*. Thèse de doctorat, Université de Saint-Etienne, 147 p., 2008.



- [TOS10] TOSHIBA. High Voltage Single Chip Inverter. Technical report, TOSHIBA corporation, 2010.
- [TOU03] D. TOURNIER. *Conception, Réalisation et Caractérisation d'un composant limiteur de courant commandé en carbure de silicium et son intégration système*. Thèse de doctorat, INSA de Lyon, 188 p., 2003.
- [TOU07] D. TOURNIER. Composants de puissance en SiC : applications. Techniques de l'ingénieur, INSA de Lyon, 2007.
- [TOU08] D. TOURNIER. Composants de puissance en SiC : technologie. Techniques de l'ingénieur, INSA de Lyon, 2008.
- [TOU13] D. TOURNIER. *Des composants de puissance aux systèmes intégrés haute température en technologie Grand-Gap*. Habilitation à diriger des recherches, INSA de Lyon, 202 p., 2013.
- [TVG<sup>+</sup>06] D. TOURNIER, M. VELLVEHI, P. GODIGNON, X. JORDA, and J. MILLAN. Double gate 180 V - 128 mA/mm SiC - MESFET for Power Switch Applications. In *Materials Science Forum*, volume 527-529, pages 1243 – 1246, 2006.
- [VCW<sup>+</sup>07] K. R. VARADARAJAN, T. P. CHOW, J. WANG, R. LIU, and F. GONZALEZ. 250 V integrable silicon lateral trench power MOSFETs with superior specific ON-resistance. In *Power Semiconductor Devices & IC's (ISPSD), 19th International Symposium on*, Séoul (COREE DU SUD), 2007.
- [VMRR10] B. VOGLER, M. ROSSBERG, R. HERZER, and L. REUSSER. Integration of 1200V SOI gate driver ICs into a medium power IGBT module package. In *Power Semiconductor Devices & IC's (ISPSD), 22nd International Symposium on*, pages 97–100, San Diego (ETATS-UNIS), 2010.
- [WBCG04] W. WANG, S. BANERJEE, T. P. CHOW, and R. J. GUTMANN. 930 V 170 mΩ.cm<sup>2</sup> lateral two-zone RESURF MOSFETs in 4H-SiC with no annealing. *IEEE Electron Device Letters*, 25(4) :185– 187, 2004.
- [WCea10] K. Y. WONG, W. CHEN, and X. LIU et al. GaN smart power IC technology. *PhySiCa Status Solidi B*, 7(247) :1732–1734, 2010.
- [WCHea12] Z. WANG, X. CHENG, D. HE, and C. XIA et al. Realization of 850 V breakdown voltage LDMOS on Simbond SOI. *Microelectronic Engineering*, 91 :102–105, 2012.
- [XBL<sup>+</sup>11] H. XIARONG, Z. BO, L. XIARONG, Y. GUOLIANG, and C. XI and L. ZHAOJI. A new high voltage SOI LDMOS with triple RESURF structure. *Journal of Semiconductors*, 32(7) :074006, 2011.
- [XCM94] W. XIE, J. A. COOPER, and R. MELLOCH. Monolithic NMOS Digital Integrated Circuits in 6H-SiC. *IEEE ELECTRON DEVICE LETTERS*, 15(11) :455–457, 1994.
- [YAJ<sup>+</sup>12] M. YAMAJI, K. ABE, A. JONISHI, H. TAKAHASHI, and H. SUMIDA. New Level-Shift LDMOS Structure for a 600 V HVIC on Thick SOI. *Journal of Energy and Power Engineering*, 6(9) :1515–1520, 2012.
- [YCC<sup>+</sup>12] R. A. R. YOUNG, D. T. CLARK, J. D. CORMACK, A. E. MURPHY, D. A. SMITH, R. F. THOMPSON, E. P. RAMSAY, and S. FINNEY. High temperature digital and analogue integrated circuits in silicon carbide. In *The 9th European Conference on Silicon Carbide and Related Materials (ECSCRM)*, Saint Pétersbourg (RUSSIE), 2012.

- [YOMS00] T. YASUI, J. OHWAKI, J. MINO, and T. SAKAI. A stable 2 W supply optical-powering system. In *Photovoltaic Specialists Conference, Conference Record of the Twenty-Eighth IEEE*, pages 1614–1617, 2000.
- [YSZ08] L.C. YU, K. SHENG, and J.H. ZHAO. Modeling and design of a monolithically integrated power converter on SiC. *Solid-State Electronics*, 52(10) :1625–1630, 2008.
- [YXYT12] M. YAMAMOTO, L. XIAOGUAN, M. YOSHINO, and T.TAKEUCHI. High reliability for 1200v high voltage integrated circuit for half bridge applications. Rapport technique, Bodos Power Systems, 2012.
- [ZHA08] Y. ZHANG. *Development of 4H-SiC JFET based power integrated circuits*. Thèse de doctorat, University of New-Jersey, 140 p., 2008.
- [ZHA10] F. ZHAO. SiC and related wide bandgap based optically controlled power switching devices. Brevet : Us 20100276699, publié le 05 juin 2010, University of Illinois, Chicago (ETATS-UNIS), 2010.
- [ZIT07] H. ZITTA. Smart power IC-entwicklung für die automobiltechnik. Rapport technique, INFINEON Technologies, 2007.
- [ZLG<sup>+</sup>12] C. M. ZETTERLING, L. LANNI, R. GHANDI, B. G. MALM, and M. ÖSTLING. Future high temperature applications for SiC integrated circuits. *Physica Status Solidi C*, 9(7) :1647 – 1650, 2012.
- [ZSS<sup>+</sup>07] Y. ZHANG, K. SHENG, M. SU, J. H. ZHAO, P.ALEXANDROV, and L. FURSIN. 1000 v 9.1 m $\Omega$ .cm<sup>2</sup> normally off 4H-SiC lateral resurf JFET for power integrated circuit applications. *IEEE Electron Device Letters*, 28(5) :404–407, 2007.
- [ZSSZ08] Y. ZHANG, K. SHENG, M. SU, and S. J. ZHAO. Development of 4H-SiC LJFET-Based Power IC. *IEEE TRANSACTIONS ON ELECTRON DEVICES*, 55(8) :1934–1945, 2008.
- [ZXC12] W. ZHONGJIAN, C. XINHONG, and X. CHAO. A 680 V LDMOS on a thin SOI with an improved field oxide structure and dual field plate. *Journal of Semiconductors*, 33(5) :054003, 2012.

## FOLIO ADMINISTRATIF

### THESE SOUTENUE DEVANT L'INSTITUT NATIONAL DES SCIENCES APPLIQUEES DE LYON

NOM : MOGNIOTTE

DATE de SOUTENANCE : 07/01/2014

Prénoms : Jean-François

TITRE : Conception d'un circuit intégré en SiC appliqué aux convertisseurs de moyenne puissance

NATURE : Doctorat

Numéro d'ordre : 2014-ISAL-0004

Ecole doctorale : Electronique, Electrotechnique et Automatique

Spécialité : Dispositifs de l'électronique intégrée

RESUME : L'émergence d'interrupteurs de puissance en SiC permet d'envisager des convertisseurs de puissance capables de fonctionner au sein des environnements sévères tels que la haute tension ( $> 10$  kV) et la haute température ( $> 300$  °C). Aucune solution de commande spécifique à ces environnements n'existe pour le moment. Le développement de fonctions élémentaires en SiC (comparateur, oscillateur) est une étape préliminaire à la réalisation d'un premier démonstrateur. Plusieurs laboratoires ont développé des fonctions basées sur des transistors bipolaires, MOSFETs ou JFETs. Cependant les recherches ont principalement portées sur la conception de fonctions logiques et non sur l'intégration de drivers de puissance. Le laboratoire AMPERE (INSA de Lyon) et le Centre National de Microélectronique de Barcelone (Espagne) ont conçu un MESFET latéral double grille en SiC. Ce composant élémentaire sera à la base des différentes fonctions intégrées envisagées. L'objectif de ces recherches est la réalisation d'un convertisseur élévateur de tension "boost" monolithique et de sa commande en SiC. La démarche scientifique a consisté à définir dans un premier temps un modèle de simulation SPICE du MESFET SiC à partir de caractérisations électriques statique et dynamique. En se basant sur ce modèle, des circuits analogiques tels que des amplificateurs, oscillateurs, paires différentielles, trigger de Schmitt ont été conçus pour élaborer le circuit de commande (driver). La conception de ces fonctions s'avère complexe puisqu'il n'existe pas de MESFETs de type P et une polarisation négative de  $-15$  V est nécessaire au blocage des MESFETs SiC. Une structure constituée d'un pont redresseur, d'un boost régulé avec sa commande basée sur ces différentes fonctions a été réalisée et simulée sous SPICE. L'ensemble de cette structure a été fabriqué au CNM de Barcelone sur un même substrat SiC semi-isolant. L'intégration des éléments passifs n'a pas été envisagée de façon monolithique (mais pourrait être considérée pour les inductances et capacités dans la mesure où les valeurs des composants intégrés sont compatibles avec les processus de réalisation). Le convertisseur a été dimensionné pour délivrer une de puissance de  $2.2$  W pour une surface de  $0.27$  cm<sup>2</sup>, soit  $8.14$  W/cm<sup>2</sup>. Les caractérisations électriques des différents composants latéraux (résistances, diodes, transistors) valident la conception, le dimensionnement et le procédé de fabrication de ces structures élémentaires, mais aussi de la majorité des fonctions analogiques. Les résultats obtenus permettent d'envisager la réalisation d'un driver monolithique de composants Grand Gap. La perspective des travaux porte désormais sur la réalisation complète du démonstrateur et sur l'étude de son comportement en environnement sévère notamment en haute température ( $>300$  °C). Des analyses des mécanismes de dégradation et de fiabilité des convertisseurs intégrés devront alors être envisagées.

MOTS-CLES : Alimentation optique, boost, Carbone de Silicium, circuits intégrés, convertisseur de puissance, démarche, driver, diode, environnements sévères, énergie, Grand Gap, haute température, haute tension, interrupteur de puissance, IPM, isolation, JFET, MESFET, modélisation, moyenne puissance, optocoupleur, oscillateur, semi-isolant, SiC, SOI, SPICE, système intégré de puissance

Laboratoire de recherche : Laboratoire AMPERE

Directeurs de thèse: Dominique PLANSON et Dominique TOURNIER

Président de jury : P. GODIGNON

Composition du jury : M. BERVAS, J. C. CREBIER, P. GODIGNON, F. MORANCHO., D. PLANSON, D.TOURNIER