



Conversion Analogique / Numérique versatile dans un environnement avionique contraint.

Antoine Canu

► To cite this version:

Antoine Canu. Conversion Analogique / Numérique versatile dans un environnement avionique contraint.. Autre. Supélec, 2013. Français. NNT : 2013SUPL0004 . tel-01080414

HAL Id: tel-01080414

<https://theses.hal.science/tel-01080414>

Submitted on 5 Nov 2014

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



THALES

STIT2
ECOLE DOCTORALE

N° d'ordre : 2013-04-TH

THÈSE DE DOCTORAT

DOMAINE : STIC
Spécialité : Électronique

École Doctorale « Sciences et Technologies de l'Information des
Télécommunications et des Systèmes »

Présentée par :

Antoine CANU

Sujet :

Conversion Analogique/Numérique versatile dans un
environnement avionique contraint

Soutenue le lundi 25 février 2013

devant les membres du jury :

P^r Philippe BÉNABÈS	Supélec	Directeur de thèse
P^r Samir BOUAZIZ	Université Paris Sud	Examineur
D^r Renaud BRIAND	ESTIA	Examineur
P^r Dominique DALLET	IMS Bordeaux	Rapporteur
D^r Marc GATTI	Thales Avionics	Encadrant
D^r Jean-François NAVINER	Télécom Paris Tech	Rapporteur
D^r Guillaume TERRASSON	ESTIA	Invité

Remerciements

Parce qu'une thèse ne se fait pas toute seule, c'est avec émotion que je tiens à remercier après ces trois années tous ceux qui de près ou de loin, m'ont supporté dans la réalisation de ce projet.

En premier lieu, je tiens à remercier Philippe Bénabès, mon directeur de thèse, pour le temps et la confiance qu'il m'a accordés, et pour avoir su me remotiver dans mes moments de doute. J'ai beaucoup appris à ses côtés et je l'en remercie.

Je remercie chaleureusement Marc Gatti et Patrice Toillon, mes co-encadrants, pour le temps conséquent qu'ils m'ont accordé malgré leurs nombreuses charges. Je les remercie pour leurs idées novatrices, et leur implication dans la réussite de cette thèse.

Merci à Olivier Leborgne, qui a été pour beaucoup dans la concrétisation de ce projet. Il a su le premier comprendre l'intérêt de ce projet, et en faire comprendre les enjeux à tous, moi le premier.

J'adresse mes plus vifs remerciements à Philippe Buisson, Philippe Bieth, Philippe Vinci et Claude Bresson pour leur expertise et leur franchise. Tous ont su me transmettre une partie de leurs connaissances et la passion de leur métier.

J'adresse toute ma gratitude à l'ensemble des personnes avec qui j'ai pu collaborer au sein de Thales : David Faura, Martin Rayrolle, Yveline Glehello, Jean-Philippe Borel, Xavier Moreau, Francine Pierre, et toute l'équipe des études amonts avec qui j'ai eu plaisir à échanger. Je voudrais exprimer particulièrement toute mon amitié à Michaël Lafaye, Xavier Jean, Sébastien Thomas et Hicham Agrou, sans qui ces trois années n'auraient pas eu la même saveur.

Je remercie également toutes les personnes formidables que j'ai rencontrées à Supélec, notamment l'équipe du département SSE : Stéphane Font, Alexandra Siebert, Karine Bernard, Luc Batalie, Huu Hung Vuong, Julien Blancard, Julien Bect, José Picheral, Emmanuel Vasquez, Émilie Avignon, Alain Bonnoit, Hani Hamdan et Laurent Le Brusquet. Tous m'ont chaleureusement accueilli et je les en remercie. Merci tout particulièrement à Jérôme Juillard, Laurent Bourgois (même s'il triche indubitablement), Daniel Poulton, Caroline Lelandais-Perrault, Philippe Porquet, Elisabeth Lahalle, Morgan Roger et Arthur Tenenhaus, pour leur gentillesse, leur humour, mais surtout pour m'avoir appris à annoncer l'enzyme et à être (un peu) moins pleutre.

Merci mélodique à Francis Trelin, pour avoir sacrifié un week end pour le marathon du routage, ainsi que pour avoir partagé avec moi ses découvertes musicales.

Enfin, les mots les plus simples étant souvent les plus forts, j'adresse toute mon affection à ma famille, en particulier à mes parents, qui ont toujours su me pousser à me dépasser, et qui m'ont soutenu de bien des manières depuis de très nombreuses années. Promis, Tanguy, c'est fini ! Merci à Xavier, Anne-Sophie et Nicolas, pour tous les moments de détente de de franche rigolade passés et à venir. Merci pour votre tendresse, votre affection et votre amour qui me portent tous les jours et ont fait de moi ce que je suis aujourd'hui.

Pour conclure, du fond du cœur, je te remercie toi, Alexandra, qui m'a porté, soutenu, encouragé, pendant toutes ces années. J'espère pouvoir te rendre au centuple tout ce que tu m'as déjà donné :-)

Résumé

Les systèmes électroniques embarqués à bord des aéronefs rassemblent des informations sur l'environnement qui les entourent au moyen de différents types de capteurs. À l'heure actuelle, l'acquisition des signaux générés par ces capteurs se fait au moyen de circuits électroniques d'interfaçage dédiés à un type de capteur en particulier, ce qui limite les possibilités d'évolution des calculateurs de bord.

Nos travaux visent à remplacer ces circuits d'interfaçage par une interface dite versatile, capable de faire l'acquisition de signaux issus de différents types de capteurs. L'environnement dans lequel les systèmes avioniques sont amenés à fonctionner est particulièrement difficile, notamment par la présence de modes communs parasites importants, supérieures à plusieurs dizaines de volts.

Après une exploration détaillée de cet environnement, nous proposons une architecture d'interface versatile, basée sur un ASIC mixte et un FPGA. L'ASIC est chargé du conditionnement analogique des signaux et de leur conversion dans le domaine numérique, et peut-être configuré à plusieurs niveaux (gains, offsets, impédances...). Le FPGA comprend les différents traitements numériques nécessaires à l'extraction de l'information contenue dans les signaux.

Nous proposons de plus une méthode mixte permettant de corriger les imprécisions analogiques, telles que les défauts d'appairage, souvent critiques dans l'acquisition de signaux différentiels.

Un circuit de test a été réalisé dans une technologie CMOS *High Voltage* $0.35\mu\text{m}$ afin de valider les différents principes proposés dans nos travaux.

Mots-clés: interface configurable, haute tension, interrupteur analogique, avionique, capteur intelligent, circuit mixte, correction d'erreur

Abstract

Avionic embedded systems sense their environment through the use of various sensors. Currently, the electrical signals generated by these sensors are acquired by dedicated interface circuits, which limits the functionalities that can be implemented in the computer and slows down their evolution.

Our work aims at replacing these interfacing circuits by a more flexible interface, called versatile interface, which has the ability to acquire different kind of signals. Avionic embedded systems usually operate in a pretty harsh environment, in which important common mode voltages of more than thirty volts can superimpose to useful signals.

After a thorough exploration of this environment and its specificities, we propose an architecture of the versatile interface, based on a mixed signal ASIC and a FPGA. The ASIC includes a programmable analog signal conditioning stage which is able to withstand the high voltages present in the harsh avionic environment. The FPGA processes the different signals and extract the useful information from them.

We also propose method which allows to correct the analog imprecisions due to mismatch or temperature drifts. This method uses analog and digital processing, and allow our versatile interface to be immune to process or temperature variations.

A test circuit has been realized in a high voltage $0.35\mu\text{m}$ CMOS technology, in order to validate the different principles that we propose in this work.

Keywords: configurable interface, high voltage, analog switch, avionics, smart sensor, mixed circuit, error correction

Table des matières

1	Introduction	1
2	Contexte aéronautique	5
2.1	Introduction	6
2.2	Description d'une architecture avionique	6
2.2.1	Avionique analogique	6
2.2.2	Architecture avionique fédérée	7
2.2.3	Architecture avionique modulaire	7
2.3	Description des capteurs et des signaux aéronautiques	9
2.3.1	Caractéristiques propres à l'environnement aéronautique	10
2.3.2	Signaux numériques	13
2.3.3	Signaux analogiques différentiels	20
2.3.4	Conclusion partielle	23
2.4	Circuits reconfigurables	24
2.4.1	Circuits intégrés programmables	25
2.4.2	Interfaces reconfigurables	28
2.4.3	Conclusion partielle	30
2.5	Synthèse	30
3	Commutation de hautes tensions	33
3.1	Introduction	34
3.2	Fonctionnement des interrupteurs analogiques	35
3.2.1	Fonctionnement basique d'un transistor en commutation	35
3.2.2	Fonctionnement idéal d'un interrupteur analogique parallèle	36
3.2.3	Limites des interrupteurs analogiques	38
3.2.4	Fonctionnement réel d'un interrupteur analogique parallèle	40
3.2.5	Conclusion partielle	43

3.3	Augmentation de la dynamique d'entrée des interrupteurs analogiques	43
3.3.1	Augmentation des tensions de commande	44
3.3.2	Augmentation des tensions de claquage	45
3.3.3	Éviter le clamp des transistors	45
3.4	Fonctionnement d'un interrupteur « série »	47
3.4.1	Interrupteur série commandé en ouverture	47
3.4.2	Interrupteur série commandé en fermeture	49
3.5	Synthèse	50
4	Interface avionique versatile	51
4.1	Introduction	52
4.1.1	Propositions préliminaires	52
4.2	Architecture de l'interface avionique versatile	58
4.2.1	Étages d'adaptation de niveau et d'impédance	58
4.2.2	Étage suiveur et correction d'offset	59
4.2.3	Étage différentiel	60
4.2.4	Multiplexeur	60
4.2.5	Convertisseur analogique/numérique	61
4.2.6	Traitements numériques	61
4.3	Détail des différents modes de fonctionnement	62
4.3.1	Acquisition d'un capteur discret DSI+	62
4.3.2	Acquisition d'un capteur discret DSI-	65
4.3.3	Acquisition de tension différentielle simple :	67
4.3.4	Correction d'erreurs dynamique	72
4.3.5	Acquisition d'un capteur inductif de déplacement	85
4.3.6	Acquisition d'un signal ARINC429	93
4.4	Fonctionnement en haute tension	95
4.4.1	Interrupteurs « basse tension » Sw	95
4.4.2	Interrupteur « haute tension » HVSw	96
4.4.3	Interrupteur de polarisation PSw	98
5	Implémentation et réalisation	99
5.1	Implémentation de l'interface	100
5.2	Réalisation du circuit mixte de test	101
5.2.1	Spécificité de la technologie CMOS <i>High Voltage</i>	103

5.2.2	Réalisation des étages d'adaptation	104
5.2.3	Réalisation du multiplexeur	108
5.2.4	Implémentation du convertisseur analogique numérique	109
5.2.5	Synthèse	111
5.3	Implémentation des traitements numériques	113
5.3.1	Description des modules de traitement	113
5.3.2	Architecture générale du FPGA	115
5.4	Description du banc de test	116
6	Validation et résultats expérimentaux	119
6.1	Introduction	120
6.2	Fonctionnement des différents interrupteurs	120
6.3	Performances en mode entrée discrète DSI+	121
6.3.1	Caractéristiques analogiques	121
6.3.2	Fonctionnement de la chaîne complète	122
6.4	Performances en mode entrée discrète DSI-	123
6.4.1	Caractéristiques analogiques	123
6.4.2	Fonctionnement de la chaîne complète	125
6.5	Fonctionnement en mode ARINC429 ou VDT	125
6.6	Fonctionnement en mode acquisition de tension différentielle	126
6.6.1	Caractéristiques analogiques	126
6.6.2	Performances de la correction d'erreur	129
6.7	Synthèse	132
7	Conclusions et Perspectives	135
7.1	Bilan	136
7.1.1	Contributions	137
7.1.2	Limites	138
7.2	Perspectives	139
 Annexes		
 A Modes de fonctionnement de l'interface reconfigurable		
 B Configuration de l'interface pour l'algorithme de correction d'erreurs		
B.1 Correction des erreurs de gain des étages d'adaptation		143
		144

Table des matières

B.2 Correction des erreurs de gain de l'étage différentiel	145
B.3 Correction des erreurs d'offset	146
C Datasheet du circuit mixte de conversion	147
Liste des publications	149
Bibliographie	151

Liste des illustrations

2.1	Comparaison des différentes architectures avioniques	8
2.2	Différences de masses entre un capteur et son circuit d'acquisition . .	12
2.3	Communication ARINC429 <i>full duplex</i>	14
2.4	Forme d'onde de l'ARINC429	15
2.5	Schéma de principe d'un récepteur ARINC429	16
2.6	Capteur DSI+ et son circuit d'acquisition	17
2.7	Schéma de principe d'un circuit DSI+	18
2.8	Capteur DSI- et son circuit d'acquisition	19
2.9	Schéma de principe d'un circuit DSI-	19
2.10	Circuit d'acquisition de tension différentielle	20
2.11	Capteur VDT et son circuit d'acquisition	21
2.12	Circuit d'acquisition d'un capteur VDT	23
3.1	Schéma d'un potentiomètre numérique	34
3.2	Caractéristique statique simplifiée de Znmos	35
3.3	Utilisation d'un transistor N-MOSFET en commutation	36
3.4	Schéma d'un interrupteur analogique parallèle	36
3.5	Utilisation d'un interrupteur analogique	37
3.6	Changement d'état intempestif d'un interrupteur parallèle	38
3.7	Clamping dans un transistor N-MOSFET	39
3.8	Impédance d'un transistor N-MOSFET en situation de « clamping » . .	40
3.9	Impédance d'un interrupteur parallèle ouvert	41
3.10	Modes de fonctionnement d'un interrupteur parallèle ouvert	42
3.11	Impédance d'un interrupteur parallèle fermé	42
3.12	Modes de fonctionnement d'un interrupteur parallèle fermé	43
3.13	Circuit <i>bootstrap</i> appliqué à un interrupteur analogique	44
3.14	Méthodes de protections pour interrupteurs	46
3.15	Mise en série des transistors dans un interrupteur analogique	47

3.16 Impédance d'un interrupteur « série » ouvert	48
3.17 Modes de fonctionnement d'un interrupteur série ouvert	48
3.18 Impédance d'un interrupteur « série » fermé	49
3.19 Modes de fonctionnement d'un interrupteur série fermé	50
4.1 Adaptation des niveaux de tension	53
4.2 Circuit d'acquisition générique obtenu par concaténation de sous-circuits	53
4.3 Circuit d'adaptation utilisant des potentiomètres numériques	54
4.4 Introduction du concept d'interface versatile	57
4.5 Architecture de l'interface reconfigurable	58
4.6 Circuit d'adaptation d'impédance et de tension	59
4.7 Circuit de correction d'offset	60
4.8 Circuit différentiel	60
4.9 Multiplexeur	61
4.10 Interface configurée pour un signal DSI+	62
4.11 Étage d'adaptation configuré en mode DSI+	63
4.12 Traitement numérique d'un signal discret	64
4.13 Interface configurée pour un signal DSI-	65
4.14 Étage d'adaptation configuré en mode DSI-	66
4.15 Interface configurée pour l'acquisition d'une tension différentielle	67
4.16 Étage d'adaptation configuré pour l'acquisition d'un signal différentiel .	68
4.17 Étage d'adaptation configuré pour les mesures M_1 et M_2	73
4.18 Algorithme de correction d'erreur simplifié	74
4.19 Étages suiveurs configurés pour les mesures M_8 à M_{10}	76
4.20 Tensions différentielle et de mode communs utilisées comme stimuli .	80
4.21 Tension V_{in_A} appliquée à la voie A	80
4.22 Estimation des paramètres de l'interface	81
4.23 Estimation de la tension différentielle $V_{in_{diff}}^*$	82
4.24 Erreur résultante après estimation des paramètres	83
4.25 Algorithme de correction d'erreur complet	84
4.26 Interface configurée pour l'acquisition d'un capteur VDT	85
4.27 Algorithme de démodulation VDT	89
4.28 Estimation du paramètre λ	90
4.29 Estimation du déplacement x^*	91
4.30 Erreur effectuée sur l'estimation x^*	91
4.31 Interface configurée pour un signal ARINC429	93

4.32	Traitement numérique d'un signal ARINC429	94
4.33	Architecture des interrupteurs basse tension Sw	96
4.34	Architecture des interrupteurs haute tension HVSw	98
5.1	Décomposition de l'interface en deux composants	101
5.2	Description du circuit mixte de test	102
5.3	Transistors basse tension en caissons isolés	103
5.4	Implémentation de l'étage d'adaptation	104
5.5	Implémentation de l'interrupteur HVSw	105
5.6	Circuit d'adaptation de niveaux logiques	105
5.7	Masques de l'interrupteur haute tension HVSw	106
5.8	Implémentation de l'interrupteur de polarisation PSw	107
5.9	Masques de l'interrupteur de polarisation PSw	107
5.10	Implémentation des interrupteurs analogiques basse tension Sw	108
5.11	Masques des interrupteurs basse tension Sw	108
5.12	Masques des interrupteurs basse tension Sw	109
5.13	État de l'art actuel des différents types de CAN	111
5.14	Masques du convertisseur analogique numérique SAR	112
5.15	Circuit de test complet	112
5.16	Vue d'un module de traitement des données	113
5.17	Exemple d'application : implémentation du module de traitement d'un signal DSI-	115
5.18	Vue globale de l'implémentation des traitements numériques	115
5.19	Photographie de la carte de test de l'ASIC	117
5.20	Photographie de la carte de test du FPGA	117
6.1	Fonctions de transfert en mode DSI+	121
6.2	Impédance d'entrée de l'interface en mode DSI+	122
6.3	Courant généré par l'interface en mode DSI-	123
6.4	Fonctions de transfert en mode DSI-	124
6.5	Fonctions de transfert des modes ARINC429 ou VDT	126
6.6	Fonctions de transfert en mode acquisition différentielle	127
6.7	Gains G_A de six circuits différents	127
6.8	Dérives analogiques en fonction de la température	128
6.9	Estimation du gain G_A	129
6.10	Estimation de la tension d'entrée V_{inA}	130
6.11	Erreur résultante après estimation	130

6.12 Validation et simulation des différents éléments de l'interface	133
B.1 Interface configurée pour les mesures M_1 à M_4	144
B.2 Interface configurée pour les mesures M_5 à M_7	145
B.3 Interface configurée pour les mesures M_8 à M_{10}	146

Liste des tableaux

2.1	Temps caractéristiques de l'ARINC429	14
2.2	Niveaux de tensions caractéristiques de l'ARINC429	14
2.3	Caractéristiques des différents signaux d'entrée	24
4.1	Paramètres de simulation de l'algorithme de correction d'erreurs	81
5.1	Exemple de vecteur de configuration	114
6.1	Erreurs de gain dues au procédé de fabrication	128
A.1	Table de configuration du circuit mixte de conversion	142

Glossaire

A429 : Arinc429 ; bus de communication utilisé comme bus de terrain dans l'aéronautique	IMA : Integrated Modular Avionics ; avionique modulaire intégrée
AC : Alternative Current ; courant alternatif	LSB : Least Significant Bit ; bit de poids faible
ASIC : Application Specific Integrated Circuit ; circuit intégré spécialisé	LVDT : Linear Variable Differential Transformer ; capteur inductif de déplacement linéaire
CAN ou ADC : Convertisseur Analogique Numérique	MSB : Most Significant Bit ; bit de poids fort
CEM : Compatibilité électro-magnétique	MOSFET : Metal Oxide Semiconductor Field Effect Transistor ; transistor à effet de champ à grille isolée
CMOS : Complementary Metal Oxide Semiconductor	RVDT : Linear Variable Differential Transformer ; capteur inductif de déplacement rotationnel
CNA ou DAC : Convertisseur Numérique Analogique	SAR : Successive Approximation Register ; registre à approximations successives
CPLD : Complex Programmable Logic Device ; circuit logique programmable complexe	SOI : Silicon On Insulator ; silicium sur isolant
DC : Direct Current ; courant continu	SPS : Samples per Second ; échantillons par secondes
DSI : Discrete Input ; entrée discrète	TRMC : Taux de réjection de mode commun
DSI- : Discrete Input Ground ; entrée discrète polarisée à la masse	VDT : Variable Differential Transformer ; capteur inductif de déplacement
DSI+ : Discrete Input Positive ; entrée discrète à polarisation positive	
DSP : Digital Signal Processor ; processeur de signal numérique	
FPA : Field Programmable Analog Array ; réseau analogique programmable	
FPGA : Field Programmable Gate Array ; réseau de portes programmables	

Conventions de notation

X^{th} : valeur théorique de X

X^* : valeur estimée de X

X^f : valeur filtrée de X

X_{min} : valeur minimale de X

X_{max} : valeur maximale de X

X_A : se rapporte à la voie A

X_B : se rapporte à la voie B

$V(t)$: signal analogique

$V[k]$: signal numérique

Chapitre 1

Introduction

Depuis une trentaine d'année, le monde des transports évolue toujours plus rapidement. Grâce à des réseaux routiers, ferroviaires et aériens toujours plus denses, les distances se réduisent considérablement. Le temps où nous pourrions aller d'un bout à l'autre de la terre en quelques heures n'est maintenant plus très loin.

Ainsi, afin de pouvoir transporter toujours plus de passagers, le nombre d'avions sillonnant la planète augmente de manière exponentielle. Les attentes des passagers ont-elles aussi évolué : un voyage en avion doit-être confortable, peu éprouvant, distrayant, et bien entendu, sûr.

Pour répondre à ces différentes attentes, les avions sont progressivement devenus de formidables machines volantes. Il y cent ans, Louis Blériot réalisait un exploit en traversant la Manche à bord d'un aéronef de son invention. Aujourd'hui, les avions modernes peuvent transporter des centaines de passagers sur des milliers de kilomètres, avec une fiabilité meilleure que tout autre mode de transport. Ils se pilotent sans effort, du bout de la main, anticipant les erreurs des pilotes et évitant les dangers.

Cette évolution a notamment été permise par l'intégration à bord de systèmes électroniques complexes, appelés systèmes avioniques. L'avionique constitue aujourd'hui le système nerveux mais aussi les organes sensoriels des aéronefs : elle permet aux avions et aux pilotes de tout connaître de l'environnement dans lequel ils évoluent ou de communiquer avec l'extérieur.

Afin de pouvoir acquérir toutes ces informations, les avions modernes font appel à plusieurs centaines de capteurs, disséminés dans la cabine, dans les ailes et dans toutes les zones de l'appareil. Ces capteurs fournissent des données, qui sont alors traitées par des ordinateurs de bord, appelés calculateurs. Une fois traitées, ces informations sont envoyées sur des actionneurs pour appliquer le résultat du traitement :

mouvement d'une gouverne ou d'un aileron, activation du freinage, distribution du carburant etc.

À l'heure actuelle, des circuits électroniques spécialisés « traduisent » les informations fournies par les capteurs en données utilisables par les calculateurs.

Ces circuits d'interfaçage sont aujourd'hui l'un des principaux freins à l'augmentation de la complexité des calculateurs.

Nos travaux de thèse visent à proposer une solution alternative à ces circuits d'interfaçage spécialisés, qui autoriserait la poursuite de l'évolution des systèmes avioniques, en offrant plus de flexibilité aux calculateurs. Dans ce cadre, nous souhaitons introduire le concept de versatilité dans les circuits d'interfaçage. Un circuit versatile est un circuit capable de changer sa fonctionnalité, et donc capable de traduire les informations provenant de différents types de capteurs.

Dans le chapitre 2, nous nous intéresserons tout d'abord au contexte dans lequel nos travaux s'inscrivent. Le domaine de l'avionique est complexe, de par sa criticité : une défaillance d'un système avionique peut en effet avoir des conséquences désastreuses et mettre en péril la vie de plusieurs personnes. Il est donc absolument essentiel de comprendre en détail ce milieu et ses contraintes.

À cet effet, nous présenterons brièvement les architectures des systèmes avioniques. Nous nous intéresserons ensuite plus en détail aux signaux électriques que nous sommes susceptibles de rencontrer le plus couramment dans les aéronefs. Nous verrons notamment que les signaux aéronautiques ont une caractéristique commune : tous s'étendent sur des plages de tensions supérieures à quelques dizaines de volts. Ces tensions peuvent être considérées comme élevées dans le milieu de l'électronique, et plus particulièrement de la microélectronique. Nous verrons tout au long de ce mémoire que cette caractéristique particulière influera sur un nombre important de décisions.

Nous terminerons ce chapitre en présentant différents types de circuits qui possèdent la capacité de changer certaines de leurs fonctionnalités. Ces circuits pourraient être utilisées pour la réalisation d'une interface versatile destinées aux signaux aéronautiques. Cependant, nous verrons qu'en règle générale, ces circuits mettent en œuvre le principe de la commutation, principe malheureusement incompatible avec les hautes tensions présentes dans les signaux avioniques.

Nous analyserons en détail les causes de cette incompatibilité dans le chapitre 3. Ce chapitre reviendra tout d'abord sur le fonctionnement des transistors en commutation, et sur leur utilisation dans le cadre de la réalisation d'interrupteurs analogiques. Nous étudierons notamment les différents modes de fonctionnement de ces interrup-

teurs dans leur zone de fonctionnement nominal, mais aussi lorsqu'ils sont utilisés au delà de leurs spécifications, comme c'est le cas lors de l'application de tensions importantes.

À la lumière de ces deux chapitres, nous exposerons dans le chapitre 4 le principe d'une interface versatile destinée aux signaux avioniques. Nous proposerons une architecture de cette interface, et décrirons chacun des blocs fonctionnels qui la composent. Nous expliquerons alors comment notre interface versatile peut être reconfigurée, et détaillerons son fonctionnement pour l'acquisition de chaque signal aéronautique.

Ce chapitre sera aussi pour nous l'occasion de mettre en exergue une limitation propre à tous les circuits microélectroniques : la difficulté à concevoir des fonctions analogiques précises, et les conséquences de ces imprécisions sur les mesures. Nous proposerons alors une méthode de correction d'erreur, mettant en œuvre des principes d'électronique analogique et numérique, permettant de limiter l'impact des imprécisions des composants analogiques. Nous cloturerons ce chapitre en résumant comment parvenir à concilier versatilité, faibles précisions analogiques et hautes tensions.

Notre interface versatile fait appel à des mécanismes parfois complexes. Ainsi, afin de valider les principes proposés, nous avons réalisé un circuit de test. Le chapitre 5 décrira comment nous avons implémenté les différentes fonctionnalités de l'interface versatile, et comment a été réalisé le circuit de test.

Enfin, le chapitre 6 comparera les résultats obtenus de manière expérimentales, à ceux attendus en théorie. Ce chapitre nous permettra notamment de valider certains principes et méthodes que nous avons mis en place au cours de nos travaux, mais aussi d'en connaître les limitations.

Nos travaux nous ont menés à identifier plusieurs points importants sur lesquels peu de réponses existent à l'heure actuelle, tels que la difficulté à commuter un composant, à reconfigurer un circuit, à prendre en compte des défauts analogiques, le tout dans des conditions de hautes tensions. Dans ce mémoire, nous espérons apporter un début de réponse à ces différentes problématiques, et à un plus haut niveau, à la complexification des systèmes avioniques embarqués qui feront voler les avions de demain.

Chapitre 2

Contexte aéronautique

SOMMAIRE

2.1 INTRODUCTION	6
2.2 DESCRIPTION D'UNE ARCHITECTURE AVIONIQUE	6
2.2.1 Avionique analogique	6
2.2.2 Architecture avionique fédérée	7
2.2.3 Architecture avionique modulaire	7
2.3 DESCRIPTION DES CAPTEURS ET DES SIGNAUX AÉRONAUTIQUES	9
2.3.1 Caractéristiques propres à l'environnement aéronautique	10
2.3.2 Signaux numériques	13
2.3.3 Signaux analogiques différentiels	20
2.3.4 Conclusion partielle	23
2.4 CIRCUITS RECONFIGURABLES	24
2.4.1 Circuits intégrés programmables	25
2.4.2 Interfaces reconfigurables	28
2.4.3 Conclusion partielle	30
2.5 SYNTHÈSE	30

2.1 Introduction

Depuis plusieurs dizaines d'années, le monde des transports, et plus particulièrement celui de l'aéronautique, est en perpétuelle évolution. A tout instant, plus d'un demi-million de passagers sillonnent la planète à bord de plus de 80000 avions. Les prévisions d'augmentation du trafic aérien montrent que ces chiffres devraient être multipliés par un facteur de 2.5 dans les vingt prochaines années [1]. Ces prévisions soulèvent ainsi d'importantes questions : comment peut-on transporter des millions de personnes en leur assurant un confort accru, tout en limitant l'impact environnemental de leurs déplacements, et cela bien entendu en toute sécurité ?

Ces différents challenges ont été, sont aujourd'hui et seront demain les principaux acteurs de l'évolution de l'industrie aéronautique, et plus particulièrement de l'avionique. L'avionique représente l'ensemble des équipements électroniques, électriques et informatiques nécessaires au fonctionnement d'un aéronef . Parmi ces équipements embarqués, on retrouve entre autre l'ensemble des capteurs qui permettent à l'aéronef d'analyser l'environnement qui l'entoure, des actionneurs, permettant d'agir sur cet environnement, et enfin des ordinateurs de bord, ou calculateurs, responsables de l'analyse, du traitement et de l'exploitation des données fournies par les capteurs ou à transmettre aux actionneurs.

La complexité grandissante des systèmes avioniques, notamment l'introduction des commandes de vol électriques, a provoqué plusieurs évolutions majeures dans l'architecture des systèmes.

2.2 Description d'une architecture avionique

2.2.1 Avionique analogique

La première véritable suite avionique à destination d'aéronefs commerciaux a été testée et exploitée dans le Concorde, au début des années 1970. Le Concorde est aussi le premier avion civil sur lequel les commandes de vol ont perdu toute liaison mécanique entre le manche des pilotes et les gouvernes au profit de commandes de vol électriques. L'avion comprenait alors différents équipements électroniques, chargés chacun d'une unique fonction particulière : freinage, gestion des gouvernes ou gestion du carburant par exemple. Tous ces équipements étaient alors entièrement analogiques, et ne communiquaient pas ou peu entre eux.

2.2.2 Architecture avionique fédérée

L'apparition des premiers véritables calculateurs numériques à la fin des années 1980 a été la première révolution dans le monde de l'avionique. La capacité de calcul de ces nouveaux équipements a permis de changer radicalement la manière dont se pilote un avion : dorénavant, le pilote ne commande plus directement les éléments séparés de l'avion (réacteurs, ailerons, volets), mais commande l'avion à un « plus haut niveau d'abstraction ». Le pilote va, par exemple, demander une certaine poussée, un cap précis, et laisse aux calculateurs le soin de gérer et d'asservir les actionneurs afin de répondre au mieux à ses ordres.

Dans ce type d'architecture, les calculateurs gèrent alors une seule fonction complexe, ou un seul aspect du vol : un ordinateur est dédié aux commandes de vol, un autre à la gestion du carburant, un dernier enfin à la navigation. Selon sa fonction, chacun de ces ordinateurs interagit avec un certain nombre de capteurs et d'actionneurs, au moyen de circuits électroniques d'acquisition et de commandes spécifiques. Ainsi, chaque ordinateur comprend des moyens d'interaction avec le monde extérieur qui dépendent de sa fonctionnalité.

Depuis la généralisation de l'architecture fédérée, l'avionique n'a cessé d'évoluer en fonction des besoins opérationnels des avions, toujours plus complexes. Cette complexité grandissante a entraîné une importante augmentation du nombre de fonctions applicatives à gérer au sein d'un avion. De ce fait, le nombre de calculateurs dédiés à la gestion de ces fonctions a lui aussi fortement augmenté.

2.2.3 Architecture avionique modulaire

Les dernières générations d'avions carbone tels que l'Airbus A380, le Boeing 787, ou plus récemment l'Airbus A350, ont mené à l'accroissement accéléré du nombre de fonctions applicatives. Cette augmentation a été telle qu'elle ne pouvait plus être absorbée par une simple augmentation du nombre de calculateurs.

En effet, la surface et la masse occupées par tous ces équipements électroniques auraient alors été beaucoup trop importantes. Il a donc été nécessaire d'introduire une rupture majeure dans le but de limiter voire de réduire le nombre de calculateurs nécessaires à l'exécution de toutes les fonctions. Cette rupture porte le nom d'architecture avionique modulaire intégrée, ou IMA (de l'anglais *Integrated Modular Avionics*).

Le principe de l'IMA consiste à « banaliser » l'organe de calcul d'une part, et à augmenter suffisamment sa puissance de calcul pour permettre d'héberger sur un

seul calculateur plusieurs fonctions avioniques. La FIGURE 2.1 illustre sommairement les différences entre ces différentes architectures.

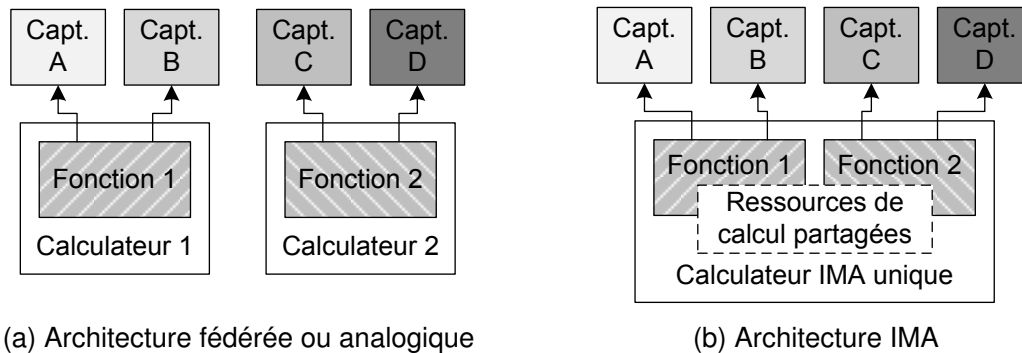


FIGURE 2.1 – Comparaison des différentes architectures avioniques

L'IMA a introduit de nouveaux concepts : là où un calculateur supportait autrefois une seule fonction et disposait de l'ensemble des interconnexions nécessaires avec les capteurs et actionneurs dédiés à cette fonction, il a été nécessaire d'introduire des mécanismes permettant de partager les ressources de calcul d'une part ; mais également les interconnexions vers les différents capteurs et actionneurs requis par toutes les fonctions hébergées sur le calculateur. L'IMA a donc permis de limiter le nombre de calculateurs à embarquer dans un avion, mais au prix d'une complexification des nouveaux calculateurs multi-fonctions.

Afin de répondre à cette complexification, les calculateurs se sont progressivement « spécialisés » dans un domaine, en fonction du type de capteurs qu'ils ont à gérer. C'est ainsi qu'en parallèle de l'IMA ont été introduits différents types de calculateurs :

Les concentrateurs de données, ou RDC (*Remote Data Concentrator*) n'effectuent pas ou peu de calculs. Ils ont pour fonction de s'interconnecter à un maximum de capteurs, et de concentrer les données en un seul lieu, afin de les renvoyer vers des calculateurs dédiés eux au calcul.

Les calculateurs « Core Processing » reçoivent les données directement des concentrateurs, via un réseau avionique dédié ou des bus de terrain. Des applications logicielles, hébergées par le calculateur, traitent alors ces données.

Les calculateurs processeurs d'entrées et sorties se situent à mi-chemin entre les concentrateurs de données et les calculateurs « core processing » : ils font eux-mêmes l'acquisition des capteurs dont ils ont besoin pour les applications qu'ils hébergent.

Les calculateurs spécifiques enfin, sont dédiés à une tâche en particulier, à la manière d'un calculateur d'architecture fédérée. Les calculateurs de commandes

de vol par exemple, gèrent les gouvernes, les ailerons ou le manche du pilote, alors que les régulateurs de moteurs (FADEC), gèrent tous les paramètres de commande des turbomachines. Ce type de calculateur possède sa propre interconnexion aux capteurs et actionneurs nécessaires à l'unique fonction qu'ils hébergent.

Au delà des fonctions qu'ils embarquent, ces différents types de calculateurs diffèrent essentiellement par le type de capteurs qu'ils doivent gérer : un calculateur de commandes de vol devra faire l'acquisition de capteurs de déplacement ou d'angle, alors qu'un concentrateur de données fait l'acquisition de capteurs discrets essentiellement. Chaque calculateur aura donc une interconnexion bien spécifique.

En conséquent, malgré la volonté première de limiter le nombre de calculateurs, le nombre grandissant de fonctions à héberger dans les avions modernes a empêché une véritable « généricité » des calculateurs IMA, notamment en raison de ces différentes interconnexions.

L'évolution de l'avionique laisse à penser que l'électronique embarquée dans les avions sera de plus en plus complexe. Ceci pose donc une importante problématique, et un nouveau challenge à relever : comment rendre les calculateurs réellement « universels », malgré des besoins d'interconnexion variés ?

Pour pouvoir répondre à cette question, il convient tout d'abord de s'intéresser plus précisément aux capteurs les plus utilisés aujourd'hui dans les calculateurs, et aux caractéristiques des signaux qu'ils génèrent. C'est l'objectif de la section suivante.

2.3 Description des capteurs et des signaux utilisés dans un calculateur aéronautique

Les ordinateurs de bord sont aujourd'hui conçus pour traiter un grand nombre de données provenant de toutes parts de l'avion.

Ces données peuvent par exemple être fournies par différents capteurs. Elles sont alors représentatives d'une grandeur physique, telle que la température extérieure, le déplacement d'une gouverne, ou la vitesse relative de l'avion. Les capteurs fournissent alors un signal, souvent analogique, qui porte cette donnée.

Les données traitées par le calculateur peuvent aussi provenir d'un autre calculateur. Elles sont alors portées par un bus numérique.

Ces signaux, qu'ils soient issus d'un capteur ou portés par un bus, ne sont pas nécessairement directement exploitables par le calculateur, et doivent donc être « tra-

duits ». Cette traduction est faite au moyen d'un circuit électronique, appelé circuit d'interfaçage ou interface.

La section suivante expose tout d'abord quelques caractéristiques spécifiques à l'environnement aéronautique. Elle décrit ensuite les signaux que l'on retrouve le plus fréquemment à bord des avions actuels, ainsi que les caractéristiques des circuits électroniques d'interfaçage qui permettent leur acquisition.

2.3.1 Caractéristiques globales propres à l'environnement aéronautique

L'électronique embarquée à bord d'un avion peut-être mise à rude épreuve, notamment par l'environnement particulièrement hostile et difficile dans lequel les équipements sont amenés à fonctionner. Dans le milieu aéronautique, une simple panne électrique, non critique au sol, peut mettre en danger la sécurité d'un vol et les vies de ses passagers. Afin d'assurer le fonctionnement même dans des situations extrêmes, tous les composants de l'avion, qu'il s'agisse d'un simple rivet ou d'un moteur complet, doivent être validés, qualifiés et certifiés. Des normes sévères [2] décrivent avec précision un certain nombre de situations, dans lesquels il faut pouvoir assurer le fonctionnement des composants si l'on veut obtenir cette certification.

Les paragraphes suivants décrivent les principales caractéristiques de cet environnement si particulier, ainsi que certaines perturbations ayant un impact direct sur les circuits électroniques embarqués.

2.3.1.1 Plage de température étendue

Un avion peut être amené à décoller d'un aéroport situé au milieu du désert, puis à atterrir en plein blizzard. Ainsi, au cours d'un vol, l'appareil est soumis à des gradients de température très importants. Les ordinateurs de bord ne profitent pas nécessairement du confort de la cabine, et peuvent donc eux aussi être soumis à ces importantes variations de température. De plus, le refroidissement des composants électroniques est en général limité par le faible volume disponible. Ainsi, la température moyenne au sein d'un calculateur en fonctionnement peut atteindre 80°C.

Les normes spécifient donc que les composants électroniques doivent parfaitement fonctionner sur la plage de température [-40°C ; +80°C]. L'électronique analogique est en général particulièrement sensible aux variations de température, et peut-être amenée à dériver fortement sur cette plage de température. Cette contrainte a

donc un impact particulièrement important sur nos travaux, et doit donc être prise en compte dès le début de la conception.

La section 6.6.1.2 démontre concrètement l'effet que peut avoir une telle variation de température.

2.3.1.2 Durée de fonctionnement

Une autre caractéristique propre au domaine aéronautique ou aérospatial concerne la durée de vie exceptionnellement longue des équipements. En effet, un calculateur aéronautique est utilisé en moyenne 20 heures sur 24, et ce, pendant plus de 30 ans. À l'heure où les appareils électroniques que nous utilisons au quotidien (télévisions, *smartphones*) deviennent obsolètes, voire tombent en panne au bout de quelques années au maximum, concevoir un système électronique capable de fonctionner plusieurs dizaines d'années n'est pas du tout trivial, et implique notamment de choisir avec précaution les technologies utilisées pour la réalisation de circuits intégrés.

De plus, le vieillissement, tout comme la température, est à l'origine de dérives non négligeables sur les composants analogiques [3]. Même si ces dérives ne seront pas observables immédiatement, il est important de les prendre en compte dans nos travaux.

2.3.1.3 Courts-circuits à la masse

Les circuits électroniques doivent être robustes à diverses causes de pannes, notamment celles résultant de mauvaises manipulations. Ainsi, tout circuit électrique doit pouvoir supporter indéfiniment la mise à la masse de ses entrées ou sorties, sans que cela n'occasionne de dommages.

2.3.1.4 Courts-circuits aux alimentations

Différentes tensions sont générées dans les avions, afin d'alimenter tous les appareils électriques à bord. Généralement, on trouve notamment un réseau continu, de tension nominale égale à 28V DC. Les circuits électroniques, et notamment les circuits d'interfaçage, doivent pouvoir supporter l'application de cette tension d'alimentation à leurs bornes sans dommages.

2.3.1.5 Fluctuation de la masse

Cette perturbation est relativement récente, puisqu'elle n'existait pas sur les anciens modèles d'avions. Jusqu'à aujourd'hui, l'intégralité des avions étaient construits autour d'un fuselage métallique. Cette carcasse métallique servait notamment de masse pour tous les appareils électriques. Aujourd'hui, de plus en plus de fuselages sont constitués d'un feuilletage de matériaux composites (type carbone), plus légers, mais aussi moins bons conducteurs électriques que les fuselages métalliques.

Ce changement est à l'origine du phénomène de fluctuation des masses, qui a un impact non négligeable sur la conception des équipements avioniques. Le fuselage de l'avion n'étant plus aussi bon conducteur, il n'est plus possible de le considérer comme une masse parfaite. D'un bout à l'autre de l'avion, deux points du fuselage, considérés chacun comme une masse locale, peuvent être à des potentiels différents. Ainsi, comme le montre la FIGURE 2.2, un capteur, situé à un endroit de l'avion peut être référencé à une première masse A. Son circuit d'acquisition peut lui être situé dans un tout autre endroit, et donc référencé à un autre point de masse B. Le phénomène de fluctuation des masses se manifeste alors par l'apparition d'une source de tension V_{gnd} entre les différentes masses A et B.

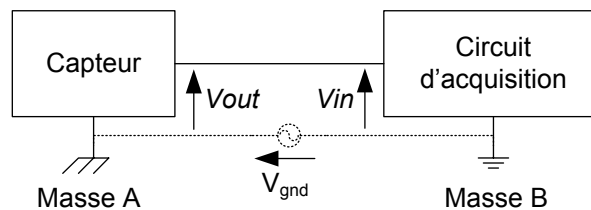


FIGURE 2.2 – Différences de masses entre un capteur et son circuit d'acquisition

Cette fluctuation peut poser de graves problèmes, puisque la tension V_{out} fournie par le capteur n'est alors pas la même que la tension V_{in} reçue par le circuit d'acquisition. Cette différence peut mener à une lecture erronée du capteur si elle n'est pas prise en compte.

Nous traitons donc cette problématique de différentes manières, suivant le type de signaux :

- Pour les signaux *single ended* (portés par un fil unique), cette perturbation se modélise par une source de tension V_{gnd} en série avec la tension fournie par le capteur.
- Dans le cas de signaux différentiels (portés par une paire torsadée), cette perturbation est une perturbation de mode commun. Nous superposons donc la

tension de mode commun V_{gnd} à la tension différentielle V_{indiff} fournie par le capteur.

Les caractéristiques de cette fluctuation V_{gnd} sont détaillées par les avionneurs [4]. Tous les circuits électroniques doivent pouvoir fonctionner avec une fluctuation de masse continue ($V_{gnd} = \pm 4V_{DC}$) ou alternative ($V_{gnd} = 16V_{rms}$, de fréquence comprise entre 100Hz et 400Hz).

2.3.2 Signaux numériques

Les ordinateurs de bord utilisent différents types de signaux numériques pour communiquer entre eux. Les paragraphes suivants décrivent ces différents signaux.

2.3.2.1 Bus avionique ARINC429

Le bus ARINC429 (A429) est l'un des bus informatiques les plus utilisés dans les systèmes avioniques actuels. Sa simplicité d'utilisation, son déterminisme, sa maturité ainsi que sa robustesse en font un incontournable pour la transmission de faibles volumes de données numériques. Cependant, son débit limité, ainsi que le poids des équipements nécessaires à sa mise en œuvre font qu'il n'est plus ou peu utilisé pour les fonctions de réseau avionique, mais réservé aux fonctions de bus de terrain.

Caractéristiques d'un signal ARINC429 : Le bus A429 est un bus de communication unidirectionnel. Ainsi, deux bus sont nécessaires pour réaliser une communication bidirectionnelle (*full duplex*). Un seul émetteur peut émettre des données, et jusqu'à vingt récepteurs peuvent être connectés en simultané sur le bus. L'information est portée par un signal différentiel transporté par une paire torsadée blindée.

Les données numériques sont codées dans un format bipolaire, avec retour à zéro. Ainsi, l'information est codée sur trois niveaux (*HIGH*, *LOW* et *NULL*). Un « un » logique est constitué d'un état *HIGH* suivi d'un état *NULL*, et un « zéro » logique est constitué d'un état *LOW* suivi d'un état *NULL*. Les pentes des fronts sont incurvées afin de limiter le rayonnement électromagnétique et d'assurer la compatibilité électromagnétique (CEM), donnant au signal une forme trapézoïdale caractéristique visible sur la FIGURE 2.4.

Le bus A429 peut fonctionner à deux vitesses, 100 kbps ou 12.5 kbps. La forme d'onde du signal comprend différentes phases, dont les durées doivent être respectées afin d'assurer l'intégrité du bit. Ainsi, pour chacune des deux vitesses de fonc-

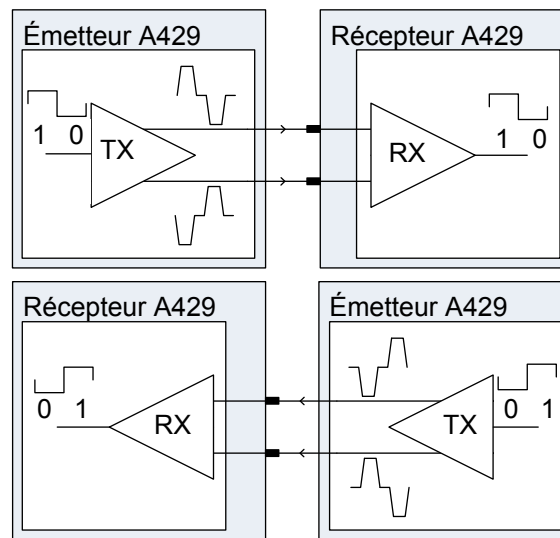


FIGURE 2.3 – Communication ARINC429 *full duplex*

tionnement, des temps de montée, de descente, de bit et de demi-bit sont précisés. Ces temps caractéristiques sont résumés par le TABLEAU 2.1.

	High speed	Low speed
Bit Rate	100 <i>kbps</i> $\pm$ 1%	12.5 <i>kbps</i> $\pm$ 1%
$T_{\text{rise}}, T_{\text{fall}}$	1.5 μs $\pm$ 0.5 μs	10 μs $\pm$ 5 μs
$T_{1/2 \text{ bit}}$	5 μs $\pm$ 0.25 μs	40 μs $\pm$ 2 μs
T_{bit}	10 μs $\pm$ 0.25 μs	80 μs $\pm$ 2 μs

TABLE 2.1 – Temps caractéristiques de l'ARINC429

À chacun des niveaux ARINC429 correspond un niveau de tension parfaitement défini par la norme du bus [5]. De plus, cette norme spécifie qu'au signal ARINC429 peut être superposé une tension de mode commun importante (dans le cas de masses fluctuantes par exemple). Ainsi, il est possible de définir la dynamique en tension maximale que l'on pourra trouver à tout moment sur chacune des deux lignes du bus. Ces différentes dynamiques sont résumées par le TABLEAU 2.2.

Niveaux ARINC429	Dynamique différentielle	Dynamique de mode commun	Dynamique par ligne
<i>HIGH</i>	[+6.5V; +13V]	[−22V; +22V]	[−18.75V; +28.5V]
<i>NULL</i>	[−2.5V; +2.5V]	[−22V; +22V]	[−23.25V; +23.25V]
<i>LOW</i>	[−13V; −6.5V]	[−22V; +22V]	[−28.5V; +18.75V]

TABLE 2.2 – Niveaux de tensions caractéristiques de l'ARINC429

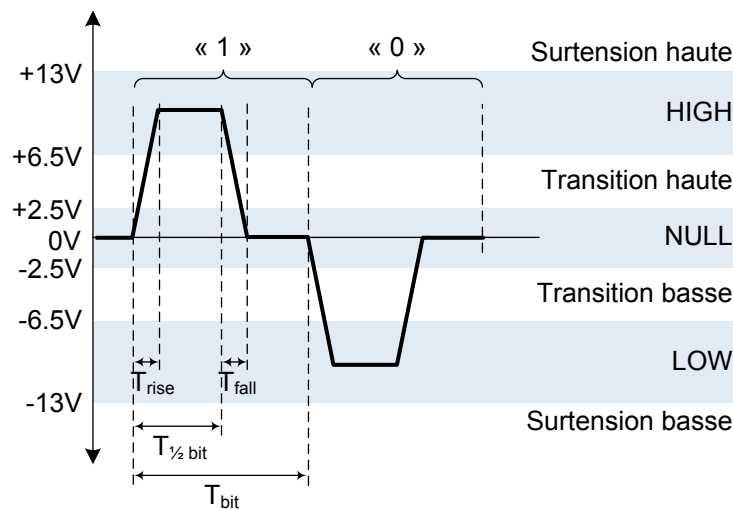


FIGURE 2.4 – Forme d'onde de l'ARINC429

Fonctionnalités et caractéristiques d'un récepteur ARINC429 : La fonction première d'un récepteur ARINC429 consiste à décoder les séquences correspondant à un bit ARINC429 pour en faire une « traduction », dans un autre codage intelligible (par exemple un codage binaire classique) par le système numérique auxquelles les données sont destinées.

Pour cela le récepteur doit tout d'abord faire l'acquisition du signal, au sens analogique du terme. Ceci implique de mesurer la tension différentielle présente sur le bus, et de la comparer à différents seuils, afin de retrouver l'état (*HIGH*, *LOW* ou *NULL*) dans lequel se trouve le bus.

Une fois cet état défini, le récepteur peut enfin détecter les séquences particulières correspondant soit au bit « 0 », soit au bit « 1 ». Bit après bit, la trame de données est ainsi reconstituée.

En parallèle de cette fonction primaire, le récepteur peut accessoirement procéder à divers contrôles. Ces contrôles permettent de vérifier par exemple que le bit respecte bien la forme d'onde donnée par la norme, aussi bien au niveau temporel par un contrôle des temps caractéristiques du bit ; qu'en termes de tensions, en vérifiant que les niveaux de tension soit respectés. Ainsi, le récepteur peut à tout moment détecter si l'intégrité du signal est remise en cause, par une surtension par exemple.

Comme nous l'avons vu précédemment, jusqu'à vingt récepteurs peuvent être connectés en parallèle, sur le même récepteur. Afin que tous les récepteurs ne se perturbent pas les uns les autres, la norme spécifie qu'ils doivent présenter une impédance d'entrée Z_{in} supérieure à $100k\Omega$.

Représentation d'un circuit d'acquisition ARINC429 : La FIGURE 2.5 propose une solution très basique permettant d'acquérir un signal ARINC429.

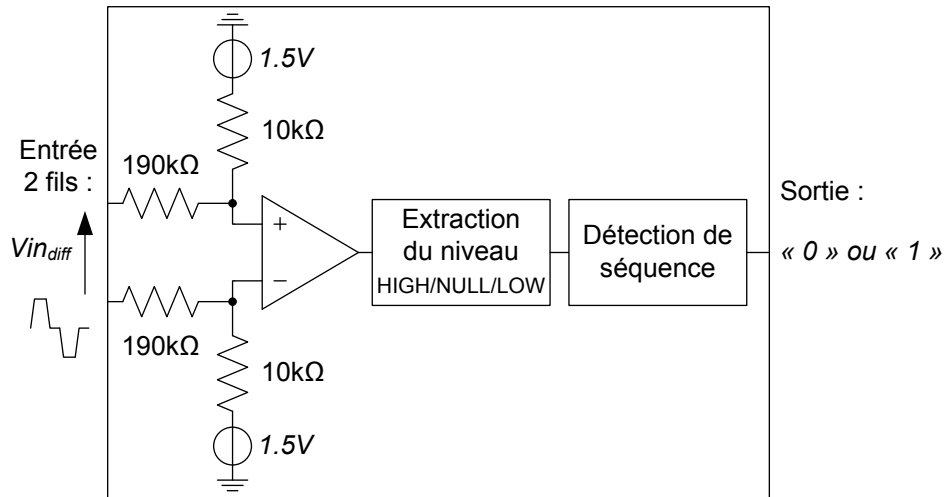


FIGURE 2.5 – Schéma de principe d'un récepteur ARINC429

Un premier étage passif est chargé de diminuer l'amplitude relativement importante du signal d'entrée, afin de le ramener dans les tensions d'alimentation d'un second étage qui lui est actif. Dans cet exemple, l'étage résistif proposé permet de ramener systématiquement les tensions appliquées sur chacune des lignes à un intervalle compris entre $0V$ et $3.3V$, alimentations relativement courantes dans les applications aéronautiques. De plus, l'impédance d'entrée, égale à $200k\Omega$ est ici compatible avec la norme ARINC429.

Une fois les tensions d'entrée abaissées, un amplificateur différentiel rejete l'éventuel mode commun superposé au signal utile. De cette tension différentielle peut ensuite être extrait l'état de la ligne différentielle, par une comparaison analogique ou numérique. Un détecteur de séquence enfin, constitué de machines à état par exemple, finit par détecter une suite « *HIGH - NULL* », et traduit cette séquence par une sortie à 1 ; ou une suite « *LOW - NULL* », traduite par une sortie à 0. Le récepteur a donc finalement traduit une forme d'onde ARINC429 en une sortie binaire facilement interprétable.

2.3.2.2 Signaux discrets

Les capteurs discrets font partie des premiers capteurs à avoir été utilisés dans l'électronique embarquée à bord des avions. Ils sont aujourd'hui encore très largement utilisés pour des fonctions simples, telles que la lecture de l'état d'un interrupteur

à deux positions, ou pour des fonctions nécessitant une robustesse accrue. Les capteurs discrets, comme leur noms l'indiquent, codent une information sur deux états.

Historiquement, les capteurs discrets comprenaient un relais électromagnétique. L'état ouvert ou fermé de ce relais correspondait alors à l'information — 0 ou 1 — délivrée par le capteur. Aujourd'hui, ces relais sont le plus souvent remplacés par un composant purement électronique, tel qu'un contacteur statique (SSR) ou un transistor.

Les capteurs discrets sont interfacés par un circuit d'acquisition dédié, dont le rôle est de retrouver l'état de l'élément commutant du capteur, et de le traduire en une sortie numérique binaire. Ces circuits d'acquisition sont communément appelés entrées discrètes, ou DSI, de l'anglais *discrete input*.

Il existe deux types de capteurs discrets, et donc deux types de circuits d'acquisition discrets, que nous détaillons dans les deux paragraphes suivants.

Caractéristiques d'un circuit d'acquisition de type DSI+ : Le premier type de capteur discret est constitué d'un composant de commutation polarisé par une source de tension, comme le montre la FIGURE 2.6. Cette polarisation est une source de tension continue V_{DSO} générée dans l'avion, généralement comprise entre +15V et +50V. Le circuit qui en fait l'acquisition est appelé « DSI+ ». Ce dernier est directement connecté au capteur, au moyen d'un fil unique : les signaux discrets sont donc de type *single ended*.

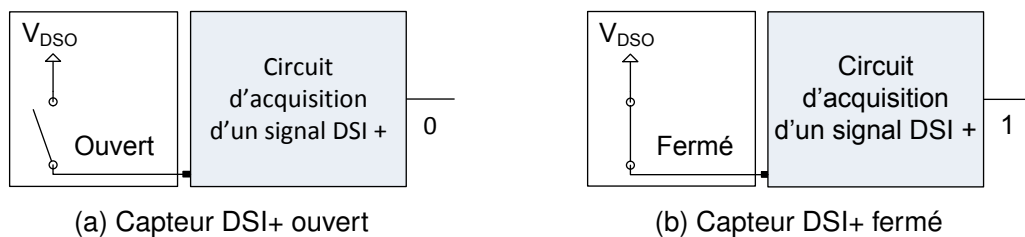


FIGURE 2.6 – Capteur discret polarisé à une source de tension V_{DSO} et son circuit d'acquisition

Ce circuit d'acquisition doit présenter des caractéristiques précises, notamment électriques, qui sont spécifiées par différents avionneurs. Les circuits DSI+ doivent par exemple pouvoir fonctionner quelle que soit la tension de polarisation du capteur, comprise entre +10V et +50V. De plus, l'impédance d'entrée d'un circuit DSI+ doit être environ égale à $30\text{k}\Omega \pm 3\text{k}\Omega$. Cette exigence vient de la nature des capteurs discrets d'ancienne génération utilisant des relais électromagnétiques. Lorsque ce relais est fermé, l'impédance d'entrée du circuit DSI+ permet la circulation d'un courant

de l'ordre d'un milliampère au travers du relais. Ce courant permet aux contacts du relais de s'autonettoyer, en évitant la formation d'une couche de corrosion, ce qui augmente sensiblement sa durée de vie [6]. Les nouveaux calculateurs devant assurer une rétro-compatibilité avec des architectures avioniques plus anciennes, cette spécification reste aujourd'hui d'actualité.

Un circuit DSI+ doit aussi présenter certaines caractéristiques concernant le traitement à appliquer au signal discret, notamment celui permettant de déterminer l'état ouvert ou fermé du capteur : cet état est déterminé par une comparaison à hystérésis effectuée sur une tension appliquée à l'entrée discrète. Cette hystérésis agit comme un filtre permettant de limiter les effets de rebonds éventuels. Les valeurs des seuils de cette comparaison sont spécifiés par les différents avionneurs, et peuvent varier d'un modèle d'avion à un autre. Enfin, chaque constructeur impose aussi la mise en place d'un filtre passe-bas d'ordre un, dont la fréquence de coupure très faible de l'ordre de la dizaine voire centaine de hertz permet un filtrage définitif des commutations parasites éventuelles du capteur.

La FIGURE 2.7 propose un schéma de principe d'un circuit permettant ce type d'acquisition.

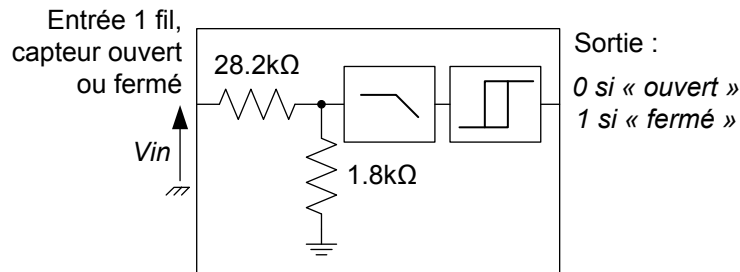


FIGURE 2.7 – Schéma de principe d'un circuit d'acquisition de signaux discrets, de type DSI+

Un premier étage passif, dont l'impédance vaut $30\text{k}\Omega$, permet de réduire la tension V_{in} issue du capteur à une tension plus basse. La tension résultante est ensuite filtrée à l'aide d'un filtre passe bas, dont la fréquence de coupure est donnée par le constructeur, puis cette tension est comparée à deux seuils, eux aussi dépendant du constructeur [7]. En sortie de ce comparateur, le circuit DSI+ fournit finalement une sortie numérique binaire, représentative de l'état du capteur.

Caractéristiques d'un circuit d'acquisition de type DSI- : Le second type de capteur discret est similaire à celui présenté précédemment, à l'exception qu'il est main-

tenant polarisé à la masse, comme le montre la FIGURE 2.8. Le circuit d'acquisition correspondant est appelé « DSI- ».

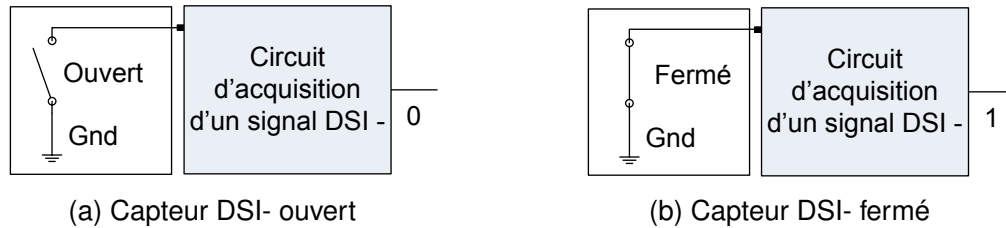


FIGURE 2.8 – Capteur discret polarisé à la masse et son circuit d'acquisition

Le rôle du circuit d'acquisition DSI- est identique au circuit DSI+ : déterminer l'état du composant de commutation du capteur. Néanmoins, la polarisation à la masse interdit maintenant d'utiliser le même type de solution que celle présentée sur la FIGURE 2.7. En effet, ce circuit ne pourrait pas faire la différence entre les deux états du capteur. Un schéma de principe permettant une acquisition correcte est montrée sur la FIGURE 2.9

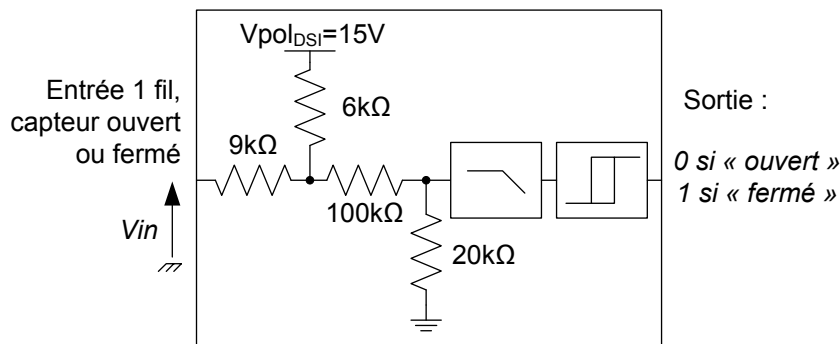


FIGURE 2.9 – Schéma de principe d'un circuit d'acquisition de signaux discrets, de type DSI-

Dans cette solution, une polarisation a une source de tension ($V_{pol_{DSI}}$) a cette fois-ci été ajoutée dans le circuit d'interfaçage. Un premier étage passif conçu autour de cette polarisation est toujours chargé de ramener les tensions d'entrées à des valeurs plus faibles, puis un filtre passe-bas suivi d'un comparateur à hystérésis génèrent une sortie numérique représentative de l'état du capteur, tout comme le circuit DSI+ du paragraphe précédent. Les caractéristiques électriques du circuit sont toutefois légèrement différentes : l'impédance d'entrée n'est plus spécifiée, mais dans le cas où le capteur est fermé, le circuit DSI- doit générer un courant de l'ordre d'un milliampère . De plus les fréquences de coupure ainsi que les seuils de comparaison du comparateur peuvent aussi différer [7].

2.3.3 Signaux analogiques différentiels

Certains capteurs couramment utilisés ne délivrent pas un signal numérique ou discrétisé, mais un signal analogique. Les paragraphes suivants décrivent deux types de signaux analogiques fréquemment rencontrés dans le domaine de l'aéronautique.

2.3.3.1 Source de tension différentielle

Un grand nombre de capteurs délivrent une tension différentielle continue. Indépendamment de la grandeur physique qu'ils mesurent, nous pourrions donc les considérer ici simplement comme des sources de tensions différentielles. Ces tensions ont une dynamique symétrique, comprise entre -10V et +10V. À cette tension différentielle peut se superposer une tension de mode commun importante, variant entre -25V et +25V. La bande passante de ces signaux est très faible, et s'étale du continu (0Hz), à environ 100Hz.

Caractéristiques d'un circuit d'acquisition de tensions différentielles : Le circuit d'interfaçage dédié à ce type de signaux doit donc parvenir à estimer la tension différentielle qui lui est appliquée. La précision de cette mesure est donnée par les avionneurs [4] [8], et vaut 0.15% de la pleine échelle du signal, soit $\pm 30\text{mV}$. Afin de ne pas perturber le capteur, le circuit d'interfaçage doit présenter une impédance d'entrée Z_{in} supérieure à $100\text{k}\Omega$. Enfin, le circuit doit évidemment être capable de faire l'acquisition de cette tension différentielle, et ce même en présence de mode commun.

Représentation d'un circuit d'acquisition de tension différentielle : La FIGURE 2.10 montre un exemple fonctionnel d'un tel circuit d'acquisition.

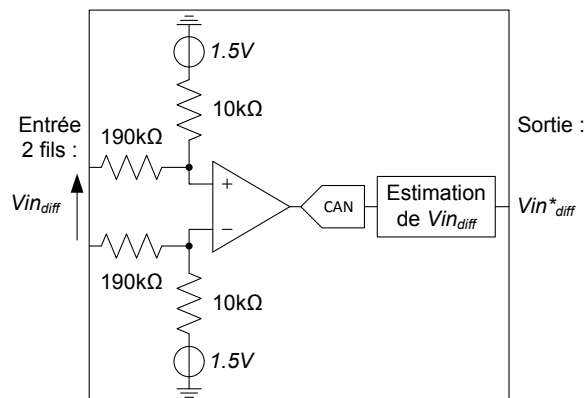


FIGURE 2.10 – Circuit d'acquisition de tension différentielle

Ce circuit est similaire au récepteur ARINC429 proposé page 16 : un étage passif réduit les tensions d'entrée, puis un étage différentiel rejette le mode commun. Le circuit d'acquisition numérise alors la tension différentielle résultante, puis estime la tension différentielle d'entrée. Il fournit finalement une estimation numérique $V_{in_{diff}}^*$, de la tension analogique d'entrée.

2.3.3.2 Capteur inductif de déplacement

Les capteurs de déplacement à différence d'induction variable sont très largement utilisés pour des mesures impliquant le déplacement de pièces mécaniques, et sont notamment une composante essentielle des commandes de vol électriques équipant les avions actuels. Ces capteurs peuvent être utilisés pour mesurer un déplacement linéaire, on parle alors de capteur LVDT (*Linear Variable Differential Transformer*). Ils peuvent aussi être utilisés pour mesurer un angle, il s'agit dès lors de capteurs RVDT (*Rotary Variable Differential Transformer*). Leur principe de fonctionnement étant similaire, nous parlerons par la suite plus généralement de capteurs VDT.

Les capteurs inductifs de déplacement sont constitués de trois enroulements et d'un noyau ferromagnétique mobile, solidaire de l'élément dont on veut connaître le déplacement : ailerons ou course d'un vérin par exemple. Une tension d'excitation alternative V_{exc} est appliquée aux bornes de l'enroulement primaire. Deux tensions $V_{in_{diff1}}$ et $V_{in_{diff2}}$ sont induites aux bornes des enroulements secondaires, comme le montre la FIGURE 2.11.

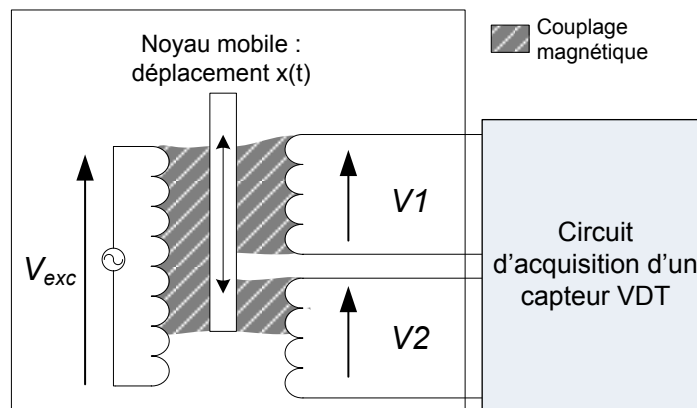


FIGURE 2.11 – Capteur VDT et son circuit d'acquisition

La bobine primaire du capteur VDT est généralement excitée par une tension sinusoïdale V_{exc} , de fréquence f_{exc} et d'amplitude U_{exc} :

$$V_{exc}(t) = U_{exc} \cdot \sin(\omega t) \quad (2.1)$$

où $\omega = 2\pi \cdot f_{exc}$.

Les tensions $V_{indiff1}$ et $V_{indiff2}$ induites aux bornes des enroulements secondaires sont donc elles aussi sinusoïdales, à la même fréquence f_{exc} que la tension d'excitation.

Le déplacement du noyau mobile est exprimé par une variable $x(t)$, comprise entre -1 et 1. Pour $x = 0$, le noyau mobile est en position centrale, au repos. Les deux positions extrêmes du noyau sont elles symbolisées par $x = 1$ ou $x = -1$.

Le déplacement du noyau mobile modifie le couplage entre la bobine primaire et les bobines secondaires. Ainsi, le coefficient de couplage entre la bobine primaire et chacune des bobines secondaires est dépendant de x . Si l'une des bobines secondaires a un fort coefficient de couplage avec la bobine primaire, elle induit alors à ses bornes une tension sinusoïdale de forte amplitude. À contrario, un faible coefficient de couplage induit une tension de plus faible amplitude.

La variation de x va donc indirectement moduler l'amplitude de $V_{indiff1}$ et $V_{indiff2}$:

$$V_{indiff1} = (1 + x) \times U_{exc} \cdot \sin(\omega t) = U_1 \cdot \sin(\omega t) \quad (2.2)$$

$$V_{indiff2} = (1 - x) \times U_{exc} \cdot \sin(\omega t) = U_2 \cdot \sin(\omega t) \quad (2.3)$$

Il est alors possible de retrouver la valeur x du déplacement à partir de ces deux amplitudes U_1 et U_2 .

Fonctionnalités et caractéristiques d'un circuit d'interfaçage pour capteur VDT :

Le circuit d'interfaçage d'un capteur VDT doit être capable d'estimer correctement la valeur x du déplacement du noyau. Cette estimation doit se faire dans les conditions spécifiées par l'avionneur [4] [9] :

- la fréquence d'excitation f_{exc} de la bobine primaire peut varier entre 1kHz et 5kHz ;
- la fréquence de variation du déplacement x est inférieure à 100Hz ;
- la précision sur l'estimation de x doit être meilleure que 0.005 ;
- un déphasage entre les deux tensions $V_{indiff1}$ et $V_{indiff2}$ compris entre -3° et $+3^\circ$ ne doit pas perturber cette estimation ;
- les tensions induites $V_{indiff1}$ et $V_{indiff2}$ varient entre -10V et +10V différentiels. Une tension de mode commun comprise entre -25V et +25V peut être superposée aux tensions différentielles ;
- enfin, l'impédance d'entrée du circuit d'acquisition doit être supérieure à 100k Ω .

Représentation d'un circuit d'acquisition VDT : La FIGURE 2.12 présente un exemple de circuit d'acquisition pour un capteur VDT.

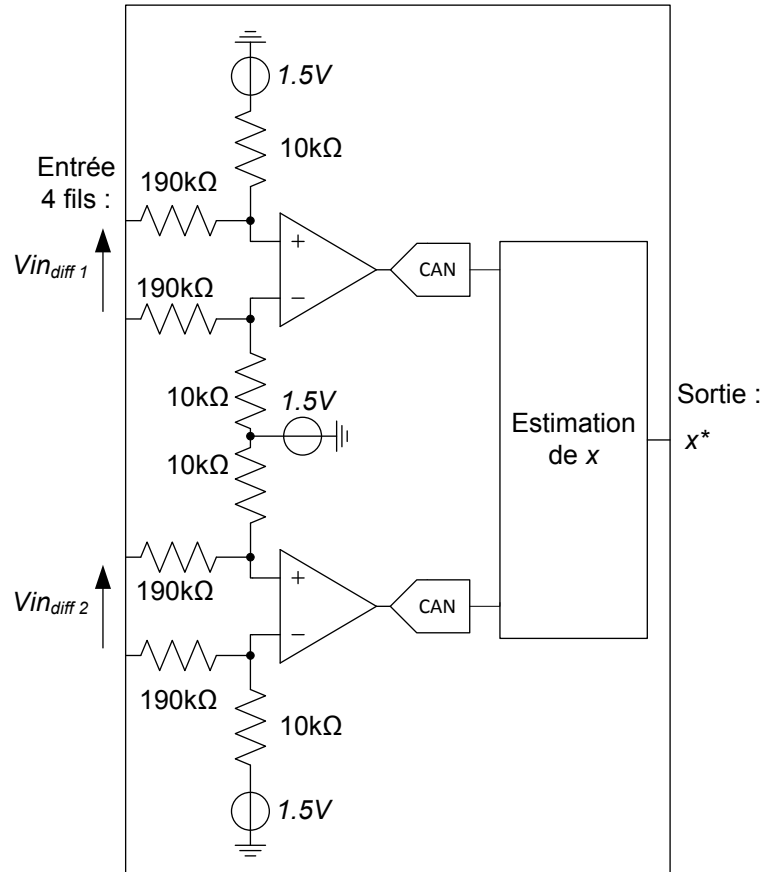


FIGURE 2.12 – Circuit d'acquisition d'un capteur VDT

Comme dans les exemples précédents, ce circuit comprend un premier étage passif qui diminue les tensions d'entrées et rejette le mode commun. Chacune de ces tensions est ensuite numérisée puis estimée. La valeur de l'amplitude de chacune des deux sinusoïdes est déterminée à partir de ces estimations, et enfin la valeur de x est extraite à partir de la démodulation suivante :

$$x^* = \frac{U_1 - U_2}{U_1 + U_2} = \frac{U_{exc} \times (1 + x - 1 + x)}{U_{exc} \times (1 + x + 1 - x)} \approx x \quad (2.4)$$

2.3.4 Conclusion partielle

Les signaux présentés dans cette section représentent la grande majorité des signaux traités par les calculateurs actuels. Nous avons pu voir néanmoins que ces signaux sont tous différents, sur bien des aspects :

- certains signaux sont transmis sur un fil et référencés à la masse, d'autres sont différentiels ;
- certains signaux sont purement analogiques, d'autres sont des signaux numériques, déjà discrétisés ;
- les dynamiques des signaux diffèrent ;
- les circuits d'interfaçage ne présentent pas la même impédance d'entrée ;
- l'information à extraire des signaux n'est pas la même, ainsi que le traitement à leur appliquer.

Ces différences sont résumées dans le TABLEAU 2.3.

Nom du signal	Type de signal et support	V_{in}^{min}	V_{in}^{max}	Z_{in}/I_{in}	Information à extraire
DSI-	Discret, <i>single ended</i>	-22V	+22V	1mA @ 0V	État ouvert ou fermé
DSI+	Discret, <i>single ended</i>	0V	+50V	30k Ω	État ouvert ou fermé
ARINC429	Numérique, paire différentielle	-30V	+30V	>100k Ω	Trame ARINC429
Tension diff.	Analogique, paire différentielle	-30V	+30V	>100k Ω	Estimation $V_{in_{diff}}^*$
VDT	Analogique, 2 paires différentielles	-30V	+30V	>100k Ω	Déplacement x^*

TABLE 2.3 – Caractéristiques des différents signaux d'entrée

Les FIGURES 2.9, 2.7, 2.5, 2.10 et 2.12 montrent pour chacun des signaux avioniques une solution permettant d'en faire l'acquisition. À un type de signal correspond un seul et unique circuit d'interfaçage. La réciproque est vraie : chaque circuit d'interfaçage proposé est ici dédié à un signal unique.

Ainsi, il n'est évidemment pas possible d'utiliser par exemple un récepteur ARINC 429 pour faire l'acquisition d'un capteur VDT.

Notre problématique vise donc à étudier des solutions qui permettraient de simplifier la gestion des différents signaux dans les calculateurs aéronautiques, tout en respectant les caractéristiques propres à chaque signal, le tout dans une surface plus faible que les solutions dédiées existantes aujourd'hui.

Nous nous sommes donc intéressés dans un premier temps aux solutions déjà existantes aujourd'hui, qui pourraient permettre de concevoir un circuit d'interfaçage plus souple pour les signaux aéronautiques. Ces solutions font l'objet de la section suivante.

2.4 Circuits reconfigurables

En observant les solutions de circuits d'interfaçage dédiés proposés précédemment, nous nous apercevons que l'acquisition d'un signal se fait en deux étapes : une

première étape de conditionnement analogique, qui consiste à formater le signal afin de pouvoir le numériser, puis une deuxième étape de traitement du signal proprement dit, visant à extraire une information utile. Suivant les signaux, ces deux étapes diffèrent.

Pour pouvoir acquérir des signaux de nature différentes, une interface doit donc être capable de changer ses caractéristiques internes.

Certains circuits dits configurables ou reconfigurables possèdent cette faculté de pouvoir faire varier certaines de leurs caractéristiques. Ces circuits représentent donc des solutions potentielles pouvant répondre à notre problématique. Nous les étudions dans les paragraphes suivants.

2.4.1 Circuits intégrés programmables

La première piste pour la réalisation de circuits d'interfaçage universels consiste à utiliser des circuits intégrés du commerce dont certains paramètres peuvent être programmés.

2.4.1.1 Circuits numériques programmables

Les plus connus parmi ces circuits sont les circuits logiques programmables, regroupant entre autres les CPLD et les FPGA. Apparus au début des années 1970 [10], ces circuits comprenaient autrefois une douzaine de portes logiques. L'interconnexion entre les portes pouvait être faite sur mesure, au moment de la fabrication des masques de métallisation. Cette interconnexion variable pouvait donc octroyer au composant différentes fonctions logiques.

Aujourd'hui, les FPGA comprennent plusieurs millions de portes, et offrent surtout la possibilité d'être configurés et *re*-configurés à loisir : en quelques secondes, la fonctionnalité du composant peut-être radicalement modifiée. Cette flexibilité en fait un composant de choix pour l'implémentation de fonctions numériques complexes, puisqu'elle permet notamment un prototypage aisé.

Les FPGA sont donc tout à fait indiqués pour des applications de traitement du signal. Cependant, ils sont conçus pour traiter des signaux numériques uniquement. Ils ne permettent donc pas d'effectuer l'étape de conditionnement analogique nécessaire à l'acquisition de nos signaux avioniques.

2.4.1.2 Circuits analogiques programmables

Un autre type de circuits programmables s'annonce quant à lui prometteur pour ce conditionnement analogique. Sivilotti [11] propose en 1988 une architecture configurable pour le prototypage de circuits analogiques. Cette architecture comprend différentes fonctions analogiques de base (paires différentielles, miroirs de courants), interconnectés par des interrupteurs analogiques. Ses travaux inspirent Lee [12] qui ajoute à cette architecture une mémoire, chargée de conserver l'état des interrupteurs, et donc de stocker la configuration du circuit. Le réseau analogique programmable (FPAA) est né, et s'annonce avec 20 ans de retard comme le parfait équivalent analogique des FPGA, promettant forte capacité d'intégration et flexibilité, autorisant la mise en œuvre de fonctions analogiques complexes. Ce type d'architecture, basée sur des « briques » analogiques connectées par une matrice d'interconnexion, représente la première branche de FPAA : les FPAA à temps continu.

En parallèle, un deuxième type d'architecture fait son apparition [13] [14] : les FPAA à temps discret, dont les FPAA à capacités commutées sont les principaux représentants.

Au milieu des années 1990, Gulak [15] pressent certaines limites des FPAA : la surface occupée par des composants analogiques — notamment les condensateurs utilisés dans les FPAA à temps discret — sera toujours élevée, et limitera l'intégrabilité des composants. De plus, obtenir une bande passante élevée, supérieure à 1MHz avec ce type de composants semble à l'époque difficile. Néanmoins, Gulak envisage un avenir prometteur et un développement rapide du marché des FPAA.

Effectivement, différents industriels se lancent sur le marché du prototypage analogique rapide [16], et proposent des composants analogiques programmables. L'essentiel de l'offre se concentre autour des FPAA à temps discret, mais les performances, en terme de bande passante autant que de fonctionnalités, peinent à convaincre, et le marché s'effrite assez rapidement. À l'heure actuelle, seul Anadigm [17] propose encore des composants analogiques programmables, dédiés essentiellement aux applications de filtrage analogique complexe. Jariwala [18] propose l'utilisation d'un tel composant pour faire l'acquisition de thermocouples et de thermistors et fait état de bonnes performances en terme de linéarité notamment, mais soulève le fait que peu de fonctions peuvent être implémentées simultanément.

Quelques tentatives ont été faites afin de lever les limitations des FPAA. Hall et Anderson [19] [20] proposent notamment d'utiliser des transistors à grille flottantes comme élément de base du FPAA. Ils parviennent ainsi à augmenter grandement la

capacité d'intégration, et donc les fonctionnalités du FPAA. Néanmoins, l'engouement suscité autrefois par le domaine de l'analogique programmable semble aujourd'hui hélas en perte de vitesse.

Les FPAA représentent donc des solutions intéressantes pour la mise au point de fonctions analogiques simples (additions, soustractions de signaux) ou très spécifiques (filtrage). Néanmoins, outre leur avenir relativement incertain, une autre limitation importante nous retient aujourd'hui de les utiliser comme base d'une interface aéronautique.

Nous avons vu en effet dans le chapitre précédent que l'environnement avionique était par nature fortement contraint. Une des caractéristiques principales de nos signaux, est qu'ils possèdent tous une dynamique en tension élevée, comme le montre le TABLEAU 2.3. Tous les FPAA, à temps continu comme à temps discret, font intervenir des transistors utilisés comme interrupteurs analogiques. Or, l'utilisation d'interrupteurs analogiques est par essence incompatible avec l'acquisition de tensions importantes, comme nous le verrons dans le chapitre 3. Pour cette raison, s'il ne fallait en citer qu'une, les FPAA, malgré leur potentiel intéressant, ne peuvent donc pas convenir à la réalisation d'une interface universelle pour signaux avioniques.

2.4.1.3 Circuits mixtes programmables

À mi chemin entre FPGA et FPAA, les milieux académiques [21] autant qu'industriels [22] proposent des circuits programmables incluant éléments analogiques *et* numériques.

Microsemi notamment propose un FPGA comprenant des fonctionnalités analogiques programmables [22]. Ce composant intègre des fonctionnalités de conditionnement du signal (convertisseurs analogiques numériques, acquisition de tensions différentielles, mesure de courant et de température) proches de nos exigences. De plus, ce composant possède la capacité de faire l'acquisition de tensions relativement élevées, puisqu'il admet des tensions de -11.5V à +14V. Bien qu'inférieures aux tensions que l'on trouve dans le milieu aéronautique, cette caractéristique fait que ce composant répond quasiment à toutes nos exigences. Néanmoins, ce composant est avant tout destiné à des applications numériques, et ne comprend donc que trois entrées analogiques. Cette faible capacité d'intégration est très largement insuffisante pour envisager une implémentation dans un ordinateur aéronautique gérant plusieurs centaines de signaux.

2.4.2 Interfaces reconfigurables

Aujourd'hui, les circuits programmables ne répondent globalement pas à toutes les exigences pour être utilisés comme de nouvelles interfaces d'acquisitions avioniques. Nous étudions donc dans les paragraphes suivants d'autres solutions de circuits conçus pour faire l'acquisition de plusieurs signaux.

2.4.2.1 Interfaces avioniques

Il est bien évidemment opportun d'étudier l'état de l'art des circuits d'interfaçage dédiés aux signaux avioniques, afin de savoir notamment si certains d'entre eux ont la capacité d'acquérir différents types de signaux.

Cette problématique comportant une forte composante industrielle, les informations, lorsqu'elles sont publiques, sont bien plus souvent disponibles sous la forme de brevets que sous la forme d'articles.

Genrich et coll. [23][24] proposent une architecture dite « interface générique » dédiée au traitement d'informations concernant l'environnement météorologique dans lequel l'avion évolue (températures, pression...). Dans cette interface, la généricité réside dans le traitement numérique, qui fait appel à la flexibilité d'un FPGA. Le conditionnement analogique quant à lui, consiste en de la modularité plus que dans de la configurabilité, puisqu'il est effectué par des composants discrets montés sur une carte électronique fille. La « configuration » du conditionnement analogique se fait alors en changeant physiquement le module analogique, et en le remplaçant par une autre carte fille. Aujourd'hui, la plupart des interfaces dédiées aux signaux avioniques se disant « génériques » sont en réalité des architectures *modulaires* plus que configurables, occupant donc une surface importante.

Avritch et coll. [25] ainsi que Mitra [26] proposent eux aussi une interface avionique reconfigurable. Ici, le traitement numérique est effectué par un DSP. Le conditionnement analogique permet une certaine flexibilité, car il permet de choisir soit une conversion analogique-numérique, ou une conversion numérique-analogique. Ainsi, ces interfaces peuvent être utilisés pour acquérir des signaux, mais aussi pour en générer. Cependant, l'interface proposée n'effectue pas de conditionnement analogique. Par conséquent, elle ne peut donc faire l'acquisition que de signaux de faibles dynamiques, et ne peut pas non plus faire d'adaptation d'impédance.

En règle générale, les interfaces dédiées à l'avionique se focalisent donc sur le traitement numérique des signaux, en faisant appel soit à des solutions intégrées disponibles sur étagère, soit à des solutions basées sur des composants discrets. Le

conditionnement analogique n'admet quant à lui que peu de flexibilité, et cette flexibilité s'acquiert généralement au prix d'une surface largement supérieure à celle d'une interface dédiée à un seul type de signal.

2.4.2.2 Autres interfaces configurables

Il est donc intéressant d'étudier d'autres interfaces configurables, conçues pour traiter des signaux de tous types, et pas nécessairement des signaux aéronautiques.

Un grand nombre d'interfaces dites reconfigurables sont en réalité dédiées à des applications entièrement numériques. Muukki [27] par exemple propose une interface permettant de traiter des trames vidéo encodées dans différents formats. Aibe et Yasunaga [28] proposent eux une interface basée sur un FPGA permettant de traiter des signaux numériques provenant de différents types de périphériques d'ordinateur : USB, PS/2, VGA. Bien que se rapprochant sur le fond de notre application, ce type d'interface ne fait aucun traitement analogique.

D'autres travaux se focalisent quant à eux sur la programmation de certains paramètres analogiques, permettant un conditionnement analogique flexible.

On retrouve par exemple un nombre important de travaux faisant état de méthodes permettant de changer le gain d'un amplificateur. Outre le montage classique à trois amplificateurs [29][30], dans lequel une simple résistance modifie le gain global de l'amplificateur d'instrumentation ainsi réalisé, Yang [31] propose de remplacer la résistance de gain par un convertisseur numérique-analogique pour gagner encore en flexibilité, en permettant une réelle programmation logicielle de ce gain là ou un remplacement matériel étant nécessaire auparavant. Crooke et Horst [32] focalisent quant à eux leurs travaux sur les filtres analogiques programmable, en proposant une architecture de filtre dont le type, l'ordre et la fonction de transfert peut être modifiée. Klein [33] enfin propose un circuit permettant l'ajustement de la tension d'offset d'un signal analogique.

Ces différents éléments, pris séparément, ne constituent pas à proprement parler un circuit d'interfaçage. Néanmoins, en assemblant gains programmables et tensions d'offsets ajustables par exemple, il est possible d'obtenir *in fine* un circuit capable d'interfacer des signaux de différente nature, tout en assurant pour chacun un conditionnement analogique personnalisé. C'est la solution initiée par Catunda et coll. [34].

Ces derniers focalisent leurs travaux sur le fait qu'apporter de la flexibilité dans le conditionnement analogique implique de devoir faire des concessions sur la précision et la résolution de la mesure [35]. Ces travaux mènent à une réalisation basée sur un

micro-contrôleur [36], puis Souza [37] et Belfort [38] proposent une implémentation en circuit intégré.

Les travaux de Souza aboutissent à une interface reconfigurable dédiée à l'acquisition de signaux spécifiques au monde médical. Cette application fait appel à du conditionnement analogique programmable, à des méthodes de calibration et à des traitements numériques variables, et est aujourd'hui l'application la plus proche de nos travaux.

Néanmoins, ici encore, elle s'adresse à des signaux de dynamique très faible, et les principes mis en œuvre (commutation de résistances et de capacités), ne peuvent pas être réutilisés pour notre propre application, en raison des tensions trop élevées auxquelles nous sommes confrontés.

2.4.3 Conclusion partielle

Il existe donc plusieurs solutions permettant de faire varier des caractéristiques analogiques ou numériques, qui pourraient être réutilisées dans la conception d'un circuit d'interfaçage offrant plus de possibilités. Cependant, l'intégralité de ces solutions est incompatible avec l'acquisition de signaux ayant une forte dynamique en tension.

2.5 Synthèse

Dans ce chapitre, nous avons donc pu voir que malgré une réelle volonté de simplifier l'ensemble de l'avionique, l'augmentation constante de la complexité des avions a malgré tout entraîné une nouvelle spécialisation des calculateurs.

Nous avons vu de plus que cette spécialisation prenait sa source au niveau des interfaces de capteurs, qui sont nombreuses et dont les caractéristiques sont extrêmement différentes les une des autres.

Nous avons finalement passé en revue différentes solutions, dédiées à l'avionique ou non, qui semblaient permettre de changer leurs caractéristiques, et donc qui auraient pu se présenter comme des candidats intéressants à la réalisation d'un nouveau type d'interface de capteurs, plus génériques. Néanmoins, ces solutions ne sont pas compatibles avec les dynamiques des signaux que l'on retrouve dans l'aéronautique.

Ceci est dû au fait que dans l'immense majorité des cas, ces solutions, qu'elles soient basées sur des FPGA, FPAA, ou des composants discrets, font intervenir à un moment ou un autre une commutation [39]. Matrices d'interrupteurs, multiplexeurs,

capacités commutées, portes de transmission... tous ces éléments font au final usage d'interrupteurs analogiques.

Or, les interrupteurs analogiques, s'ils sont relativement simples à utiliser avec de faibles tensions, s'avèrent bien plus complexes dès lors que des tensions plus élevées sont mises en jeu. La commutation de composant s'avère donc en réalité profondément incompatible avec l'utilisation de hautes tensions, comme nous allons maintenant le voir dans le prochain chapitre.

Chapitre 3

Commutation de hautes tensions

SOMMAIRE

3.1 INTRODUCTION	34
3.2 FONCTIONNEMENT DES INTERRUPTEURS ANALOGIQUES	35
3.2.1 Fonctionnement basique d'un transistor en commutation	35
3.2.2 Fonctionnement idéal d'un interrupteur analogique parallèle	36
3.2.3 Limites des interrupteurs analogiques	38
3.2.4 Fonctionnement réel d'un interrupteur analogique parallèle	40
3.2.5 Conclusion partielle	43
3.3 AUGMENTATION DE LA DYNAMIQUE D'ENTRÉE DES INTERRUPTEURS ANALOGIQUES	43
3.3.1 Augmentation des tensions de commande	44
3.3.2 Augmentation des tensions de claquage	45
3.3.3 Éviter le clamp des transistors	45
3.4 FONCTIONNEMENT D'UN INTERRUPTEUR « SÉRIE »	47
3.4.1 Interrupteur série commandé en ouverture	47
3.4.2 Interrupteur série commandé en fermeture	49
3.5 SYNTHÈSE	50

3.1 Introduction

Les progrès des technologies de fabrication de circuit intégrés ont permis dans les années 2000 d'intégrer des éléments d'électronique analogique et d'électronique numérique sur le même substrat. Les interrupteurs analogiques jouent un rôle essentiel dans bon nombre de ces circuits électroniques mixtes, puisqu'ils constituent bien souvent l'élément de base permettant d'interfacer les sous circuits analogiques avec les sous circuits numériques [40][41][42]. Les convertisseurs analogique/numérique ou numérique/analogique, les circuits d'échantillonnage, les circuits faisant appel aux capacités commutées sont autant d'exemples de circuits mixtes nécessitant l'usage d'interrupteurs analogiques commandés par des signaux numériques.

Les interrupteurs analogiques sont de plus très largement utilisés pour des applications nécessitant la « programmation » d'éléments analogiques, telles que les potentiomètres numériques (cf. FIGURE 3.1), les circuits d'amplification à gain programmable [29], ou la plupart des circuits analogiques programmables tels ceux présentés dans la section 2.4.1. Ce dernier type d'utilisation montre rapidement ses limites, notamment concernant la dynamique d'entrée des interrupteurs, un point crucial dans une application dédiée à un environnement sévère tel que l'avionique.

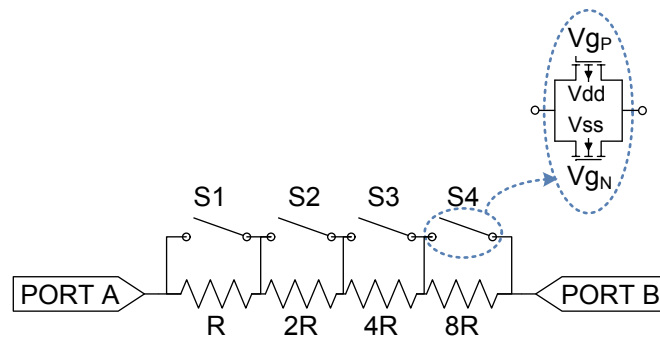


FIGURE 3.1 – Schéma d'un potentiomètre numérique

Ce chapitre vise donc à présenter dans un premier temps le fonctionnement de base d'un interrupteur en se focalisant sur l'aspect dynamique d'entrée. La deuxième partie du chapitre sera dédiée aux solutions existantes pour aller au delà de ces limitations. Dans le domaine de la commutation analogique, les problématiques liées aux temps de commutation et à l'injection de charge [43] sont souvent soulevées. N'étant pas critiques pour notre application, elles ne seront pas traitées ici.

3.2 Fonctionnement et limitess des interrupteurs analogiques

3.2.1 Fonctionnement basique d'un transistor N-MOSFET en commutation

Revenons pour commencer sur le fonctionnement de base d'un transistor N-MOSFET en commutation. Le fonctionnement du transistor P-MOSFET pourra-être retrouvé en inversant toutes les polarités.

La différence de potentiel V_{gs} entre la grille et la source permet de faire varier la résistance Z_{nmos} du canal (cf. FIGURE 3.2), et donc le mode de fonctionnement du transistor. Pour $V_{gs} < V_{th}$, la résistance du canal est très grande, et le transistor est bloqué. Pour $V_{gs} = V_{th}$, tension de seuil du transistor, un canal conducteur constitué de porteurs minoritaires apparaît sous la grille, entre le drain et la source. Pour $V_{gs} > V_{th}$, la résistance Z_{nmos} de ce canal diminue de plus en plus : le transistor conduit alors.

Dans les utilisations classiques d'un transistor N-MOSFET en commutation, telle que représentée sur la FIGURE 3.3, source et substrats sont connectés à la masse, et une tension positive — par exemple l'alimentation positive V_{DD} du circuit — est appliquée sur le drain au travers d'une résistance de charge R_{load} . La source étant connecté à la masse, la tension V_{gs} est alors simplement égale au potentiel de grille V_g . Connaissant ce potentiel V_g , il est donc aisé de connaître l'état du transistor.

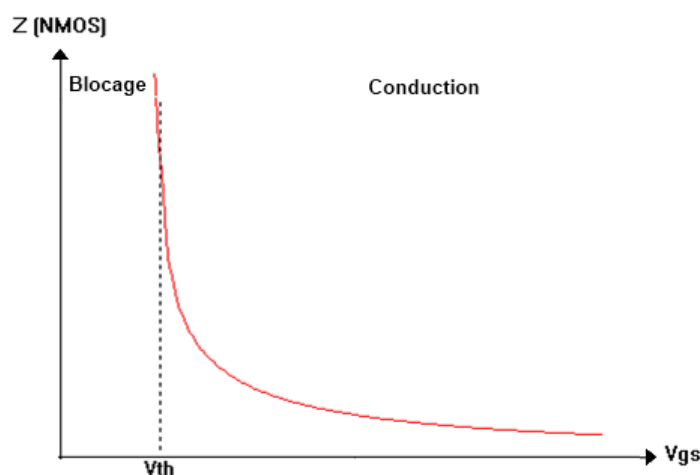


FIGURE 3.2 – Caractéristique statique simplifiée de Z_{nmos} en fonction de la tension V_{gs}

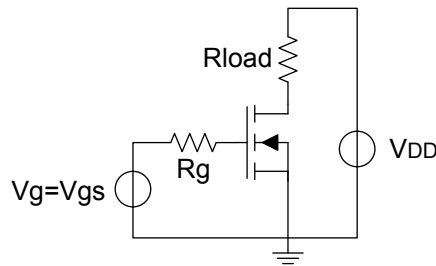


FIGURE 3.3 – Utilisation d'un transistor N-MOSFET en commutation

3.2.2 Fonctionnement idéal d'un interrupteur analogique parallèle

Dans le cadre d'une utilisation pour un interrupteur analogique classique, le mode de fonctionnement des transistors est bien moins évident à déterminer. Un tel interrupteur, que nous appellerons par la suite « interrupteur parallèle », est constitué d'un transistor N-MOSFET et d'un transistor P-MOSFET, connectés en parallèle. Chacun de ces transistors est symétrique : par construction, leur drain et leur source sont identiques. De plus, ces transistors sont dimensionnés de sorte que les impédances Z_{nmos} et Z_{pmos} soient égales, de manière à garantir une impédance sensiblement constante sur l'intégralité de la plage de fonctionnement de l'interrupteur. L'interrupteur ainsi constitué comporte deux terminaux TA et TB identiques, deux tensions de commande V_{gN} et V_{gP} , et deux tensions d'alimentation V_{SS} et V_{DD} , comme le montre la FIGURE 3.4.

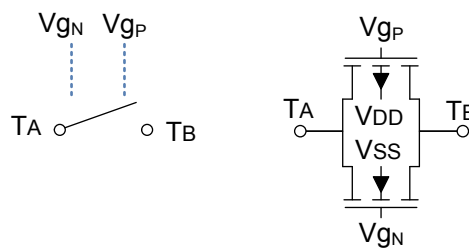


FIGURE 3.4 – Schéma d'un interrupteur analogique parallèle

L'impédance de l'interrupteur $Z_{switch\ par.}$ est égale aux impédances des transistors N-MOSFET et P-MOSFET en parallèle, soit :

$$Z_{switch\ par.} = \frac{1}{\frac{1}{Z_{nmos}} + \frac{1}{Z_{pmos}}}$$

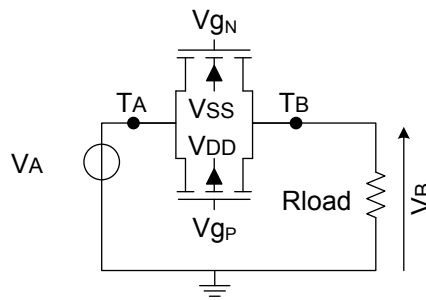


FIGURE 3.5 – Utilisation d'un interrupteur analogique

Pour que l'interrupteur soit ouvert (haute impédance), il faut alors que les deux transistors soient simultanément bloqués. En revanche, pour que l'interrupteur soit fermé, il suffit qu'un seul des transistors soit passant.

Un tel interrupteur est généralement utilisé avec l'un de ses terminaux connecté à une charge R_{load} , et son second terminal connecté à une source de tension V_A , tel que représenté sur la FIGURE 3.5. Ceci correspond par exemple à l'utilisation classique d'un interrupteur analogique comme canal d'un multiplexeur analogique. L'interrupteur a alors deux modes de fonctionnement :

- Interrupteur fermé : ce mode de fonctionnement est obtenu pour $V_{gN} \geq V_{th_{nmos}} + V_A$ ou $V_{gP} \leq V_{th_{pmos}} + V_A$. L'interrupteur « transmet » alors de manière aussi transparente que possible la tension d'entrée V_A du terminal TA au terminal TB. Afin de garantir une chute de tension négligeable aux bornes de l'interrupteur, l'impédance R_{on} de l'interrupteur doit être la plus faible possible devant R_{load} .
- Interrupteur ouvert : ce mode de fonctionnement est obtenu lorsque $V_{gN} < V_{th_{nmos}} + V_A$ et $V_{gP} > V_{th_{pmos}} + V_A$. L'interrupteur assure alors l'isolation entre les terminaux TA et TB, caractérisée par l'impédance à l'état ouvert R_{off} , ou encore par le rapport $\frac{R_{on}}{R_{off}}$, généralement exprimé en dB.

Un interrupteur idéal doit être capable de fonctionner correctement dans chacun de ces deux modes quelque soit la tension d'entrée qui lui est appliquée. En d'autres termes, si nous décidons de fermer un interrupteur, celui-ci doit rester fermé, indépendamment des tensions appliquées sur ses terminaux. De même, si nous décidons d'ouvrir l'interrupteur, celui-ci doit rester ouvert !

En pratique, il n'en est rien : les interrupteurs analogiques ont une dynamique d'entrée limitée. Nous pouvons identifier trois phénomènes qui peuvent être responsables de cette limitation.

3.2.3 Limites des interrupteurs analogiques

3.2.3.1 Dépassement des tensions de commandes

Le premier de ce phénomène se manifeste lorsque la tension d'entrée V_A approche l'une ou l'autre des tensions de commande V_{gN} ou V_{gP} . Dans le fonctionnement en commutation (section 3.2.1), le potentiel de source était fixé, par exemple à V_{SS} pour un transistor N-MOSFET, ou à V_{DD} pour un transistor P-MOSFET. Dans un interrupteur, ce potentiel de source est maintenant lié à une tension V_A variable. Cette tension est totalement indépendante des tensions de commande V_{gN} ou V_{gP} . Par conséquent, les différences de potentiel V_{gsNMOS} et V_{gsPMOS} sont fonctions de la tension d'entrée V_A .

Or, l'état des transistors dépend directement des tensions V_{gs} . Ainsi, même en appliquant des tensions de commande V_{gN} et V_{gP} fixées sur les grilles des deux transistors, l'état de l'interrupteur peut être amené à changer selon la tension appliquée sur l'entrée. Il s'agit là d'un effet indésirable : en effet, pour une commande donnée, l'interrupteur doit théoriquement resté dans l'état imposé par la commande (passant ou bloqué), et ce quelque soit la tension appliquée sur ses terminaux.

Ce phénomène est observable sur la FIGURE 3.6. Cette courbe représente l'impédance d'un interrupteur parallèle, commandé à l'état ouvert : une tension V_{gN} égale à -10V est appliquée sur la grille du transistor N-MOSFET, et une tension V_{gP} de +10V est appliquée sur la grille du P-MOSFET.

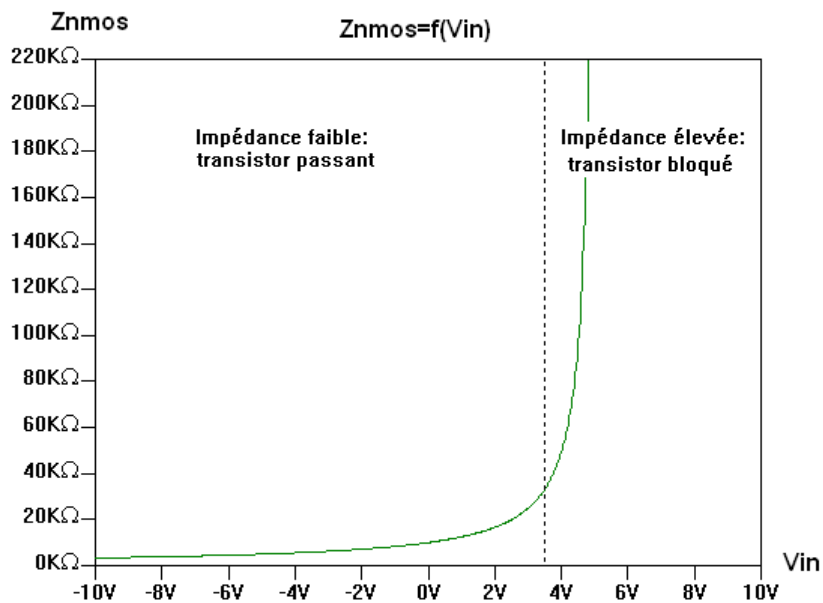


FIGURE 3.6 – Changement d'état intempestif d'un interrupteur parallèle

Pour une tension d'entrée V_A comprise entre ces tensions de commande, l'impédance de l'interrupteur est très élevée, ce qui est caractéristique d'un état ouvert.

Cependant, pour $V_A \geq 10V + V_{th_N}$, le transistor P-MOSFET se met à conduire. L'impédance de l'interrupteur chute alors très rapidement, et ce dernier se comporte alors comme un interrupteur fermé, malgré une consigne contraire. Le même phénomène s'observe pour des tensions négatives, où c'est alors le transistor N-MOSFET qui devient passant.

3.2.3.2 Phénomène de clamping

La deuxième phénomène apparaît lorsque la tension d'entrée V_A dépasse les tensions de polarisation V_{SS} et V_{DD} , appliquées sur les substrats des transistors N-MOSFET et P-MOSFET.

Par construction, les transistors N-MOSFET et P-MOSFET comprennent différents éléments parasites, dont deux jonctions PN, de tension de seuil $V_{th_{diode}}$, présentes entre la source et le substrat, ou entre le drain et le substrat. Prenons l'exemple d'un transistor N-MOSFET, représenté sur la FIGURE 3.7.

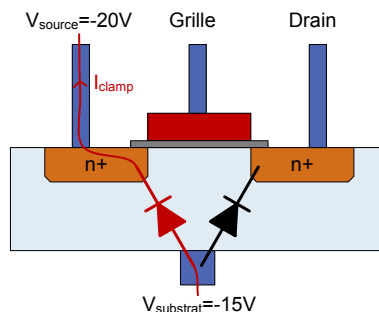


FIGURE 3.7 – Mise en conduction (*clamping*) d'une des diodes parasites présentes dans un transistor N-MOSFET

Si $V_A \leq V_{substrat_{nmos}} - V_{th_{diode}}$, les jonctions PN présentes aux interfaces source/substrat ou drain/substrat deviennent alors passantes. Cette mise en conduction parasite, appelée communément *clamping*, a pour effet de présenter un chemin d'impédance extrêmement faible entre source et substrat, ou drain et substrat. Les conséquences sont une chute importante de l'impédance du transistor (cf. FIGURE 3.8) — et ce, quelque soit sa tension de grille — ainsi qu'un échauffement très important dû au courant s'écoulant au travers de cette diode parasite, pouvant mener à la destruction du transistor.

De la même manière, un transistor P-MOSFET peut aussi être en situation de *clamp* si $V_A > V_{substrat_{pmos}} - V_{th_{diode}}$

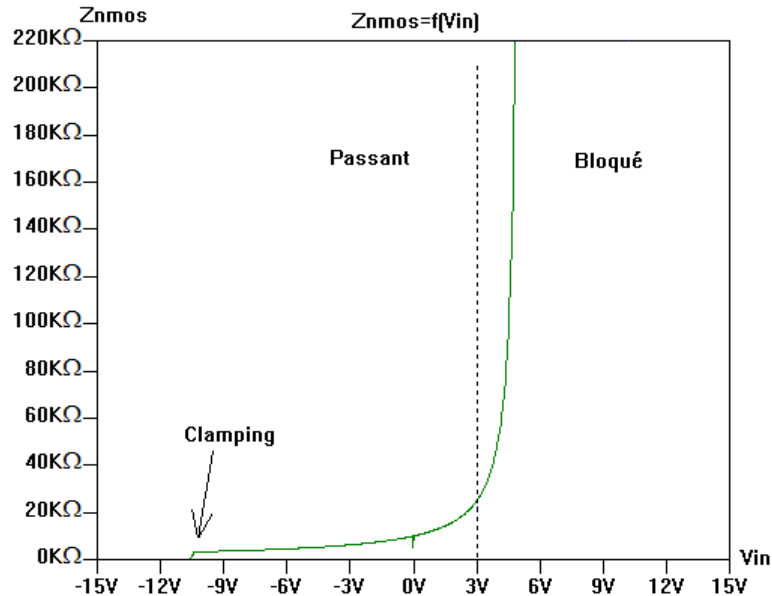


FIGURE 3.8 – Impédance d'un transistor N-MOSFET en situation de « clamping »

3.2.3.3 Limite technologique

Enfin, les tensions admissibles par un interrupteur sont bien entendues limitées par la technologie de circuit intégré employée. Les champs électriques intenses générés par des tensions importantes peuvent aisément dégrader les transistors, par des phénomènes de claquage d'oxide [44][45]. Pour éviter ces destructions, les fondeurs de circuits intégrés spécifient des tensions maximales à ne pas dépasser, sous peine de destruction.

3.2.4 Fonctionnement réel d'un interrupteur analogique parallèle

Les trois phénomènes décrits précédemment sont en général difficiles à identifier, car ils sont très souvent étroitement liés. En effet, généralement, les tensions V_{SS} et V_{DD} utilisées pour polariser les caissons des transistors sont aussi utilisées comme tensions de commandes V_{gN} et V_{gP} . Dans ce cas, les phénomènes de *clamping* et de mise en conduction parasite apparaissent simultanément.

Afin de mieux visualiser tous ces phénomènes, nous avons modélisé un interrupteur analogique dont les transistors sont commandés avec des tensions V_{gN} et V_{gP} de $\pm 10V$, et polarisés par des tensions V_{SS} et V_{DD} égales à $-25V$ et $+25V$.

3.2.4.1 Interrupteur parallèle commandé en ouverture

La FIGURE 3.9 illustre les différents modes de fonctionnement d'un interrupteur parallèle, que l'on commande avec des tensions $V_{gN} = -10V$ et $V_{gP} = +10V$. Dans ces conditions, l'interrupteur est censé être ouvert, c'est à dire présenter une forte impédance.

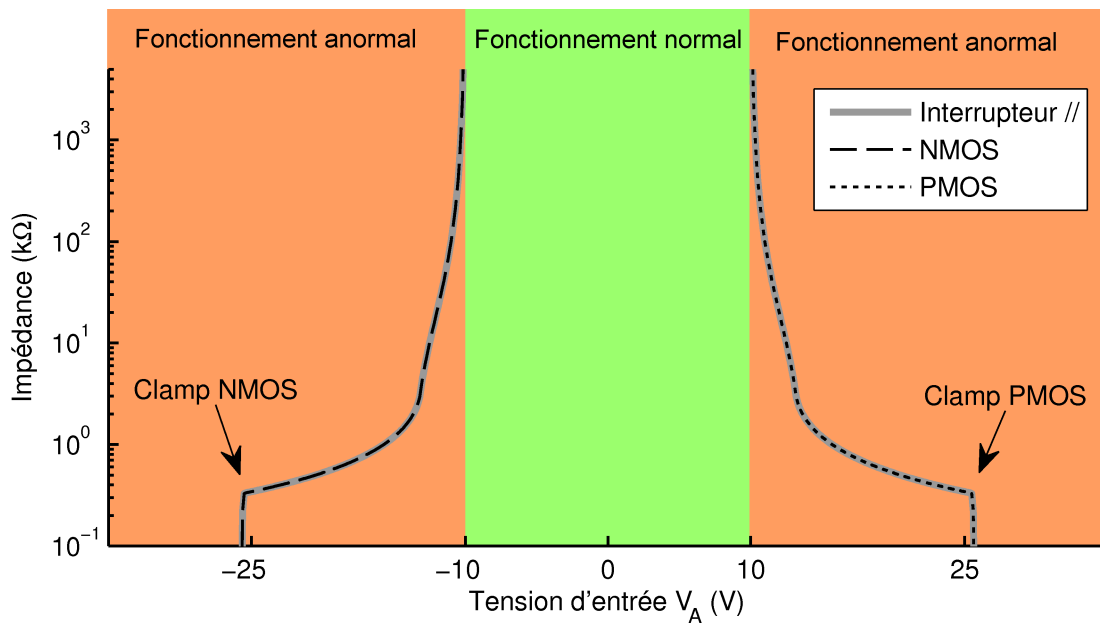


FIGURE 3.9 – Impédance d'un interrupteur parallèle ouvert
 $V_{gN} = -10V$, $V_{gP} = +10V$, $V_{DD} = +25V$, $V_{SS} = -25V$

À l'application d'une tension d'entrée comprise entre V_{gN} et V_{gP} , les deux transistors sont bloqués, et l'interrupteur est donc bien ouvert.

Lorsque la tension d'entrée augmente, l'impédance de l'interrupteur chute rapidement car l'un des deux transistors devient passant. L'interrupteur se ferme alors : il s'agit d'une situation de faute, car l'interrupteur n'a pas l'état voulu.

Enfin, au delà de V_{SS} ou V_{DD} , les phénomènes de *clamping* puis de claquage détruisent l'interrupteur.

Ces différents modes de fonctionnement sont résumés par la FIGURE 3.10

Fonctionnement normal

Fonctionnement anormal

Destruction

Claquage

Polarisation
 $V_{SS}=-25V$

Commande
 $V_{gN}=-10V$

0V

Commande
 $V_{gP}=+10V$

Polarisation
 $V_{DD}=+25V$

Claquage

Tension
d'entrée V_A

NMOS

Claquage

Clamping

Basse impédance

Haute impédance

Haute impédance

Clamping

Claquage

PMOS

Claquage

Clamping

Haute impédance

Haute impédance

Basse impédance

Clamping

Claquage

Interrupteur
« Parallèle »

Claquage

Clamping

Basse impédance
→ Interrupteur fermé

Haute impédance
→ Interrupteur ouvert

Basse impédance
→ Interrupteur fermé

Clamping

Claquage

FIGURE 3.10 – Modes de fonctionnement d'un interrupteur parallèle ouvert

3.2.4.2 Interrupteur parallèle commandé en fermeture

La FIGURE 3.11 illustre de la même manière le comportement d'un interrupteur dont les tensions V_{gN} et V_{gP} sont censées commander un état fermé ($V_{gN} = +10V$ et $V_{gP} = -10V$).

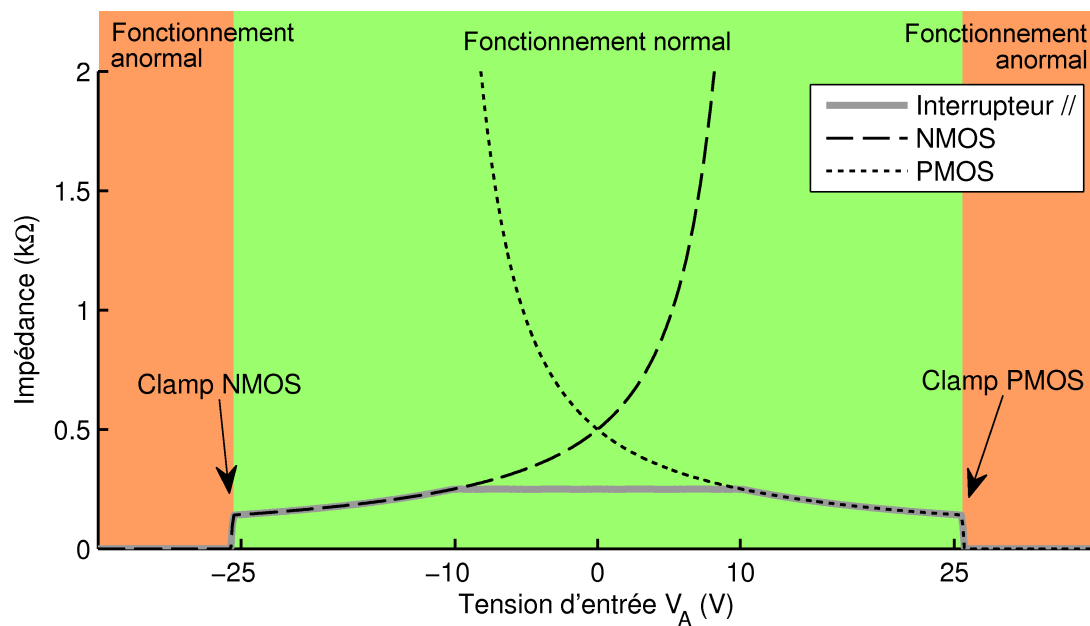


FIGURE 3.11 – Impédance d'un interrupteur parallèle fermé
 $V_{gN} = +10V$, $V_{gP} = -10V$, $V_{DD} = +25V$, $V_{SS} = -25V$

L'interrupteur fonctionne convenablement (faible impédance) pour une tension d'entrée V_A comprise entre V_{SS} et V_{DD} . Pour des tensions d'entrée supérieures, les phénomènes de *clamping* puis de claquage détruisent l'interrupteur.

3.3. Augmentation de la dynamique d'entrée des interrupteurs analogiques

Ces modes de fonctionnement sont résumés sur la FIGURE 3.12.

	Claquage	Polarisation $V_{SS}=-25V$	Commande $V_{gP}=-10V$	0V	Commande $V_{gN}=+10V$	Polarisation $V_{DD}=+25V$	Claquage	Tension d'entrée V_A
NMOS	Claquage	Clamping	Basse impédance	Basse impédance	Haute impédance	Clamping	Claquage	
PMOS	Claquage	Clamping	Haute impédance	Basse impédance	Basse impédance	Clamping	Claquage	
Interrupteur « Parallèle »	Claquage	Clamping	Basse impédance → Interrupteur fermé	Basse impédance → Interrupteur fermé	Basse impédance → Interrupteur fermé	Clamping	Claquage	

FIGURE 3.12 – Modes de fonctionnement d'un interrupteur parallèle fermé

3.2.5 Conclusion partielle

La plupart des applications utilisant des interrupteurs analogiques font usage de ces interrupteurs « parallèles ». Ce type d'interrupteur est donc conçu pour ne fonctionner qu'avec une tension d'entrée V_A strictement comprise entre les tensions de commande de l'interrupteur. L'application d'une tension d'entrée plus élevée est considérée comme une situation de faute. En effet, elle mène dans un premier temps à un dysfonctionnement de l'interrupteur puis à une destruction du composant si les tensions d'alimentation ou de claquage sont dépassées.

Ainsi, à moins de pouvoir commander et alimenter ces interrupteurs avec des tensions très élevées, il n'est pas possible de les utiliser tels quels pour transmettre ou bloquer des tensions importantes.

3.3 Augmentation de la dynamique d'entrée des interrupteurs analogiques

Nous avons pu voir dans la section précédente que la dynamique d'entrée des interrupteurs analogiques est limitée par :

- le dépassement des tensions de commande V_{gN} et V_{gP} , qui peut mener à une chute de l'isolation de l'interrupteur à l'état ouvert ;
- le dépassement des tensions d'alimentation V_{DD} et V_{SS} de l'interrupteur, qui mène au phénomène de clamping ;

- les limitations matérielles imposées par la technologie choisie (tensions de claquage des transistors).

Différentes solutions permettent de repousser une ou plusieurs des trois limites décrites précédemment. En appliquant certaines de ces méthodes simultanément, nous espérons parvenir à étendre la dynamique d'entrée des interrupteurs, afin de les rendre compatibles avec nos exigences. Les paragraphes suivants décrivent donc certaines de ces solutions.

3.3.1 Augmentation des tensions de commande

Pour s'affranchir de la chute d'impédance de l'interrupteur lors du dépassement des tensions de commandes, la solution la plus simple consiste simplement à augmenter ces tensions de commandes. Cependant, en pratique, des tensions plus élevées ne sont pas nécessairement disponibles.

Il peut donc être judicieux de générer localement des tensions de commandes de manière à ce qu'elles soient toujours supérieures à la tension d'entrée. C'est la solution proposée par Dessouky [46], qui propose de générer une tension de commande à partir de la tension d'entrée V_A , sur le principe des capacités commutées ou des doubleurs de tensions. Ce type de circuit appelé *bootstrap*, est illustré par la FIGURE 3.13. Il permet d'assurer un V_{gs} fixé et constant quelle que soit la tension d'entrée.

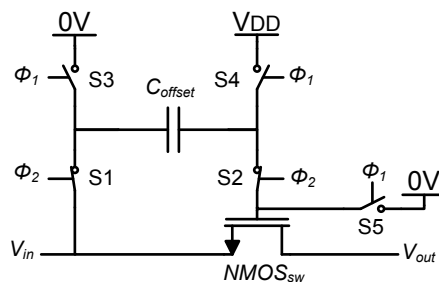


FIGURE 3.13 – Circuit *bootstrap* appliqué à une tension de commande d'un interrupteur analogique

Durant une première phase Φ_1 , le condensateur C_{offset} est chargé au potentiel V_{DD} au travers des interrupteurs S3 et S4. Durant la phase Φ_2 , les interrupteurs S1 et S2 connectent le condensateur chargé en série avec la source de tension d'entrée V_{in} . On retrouve donc sur la grille du transistor NMOS_{sw} le potentiel $V_{in} + V_{DD}$. La tension grille-source du transistor est alors égale à V_{DD} , assurant que le transistor sera bien passant, quelle que soit l'entrée V_{in} . S5 permet d'assurer le blocage du transistor NMOS_{sw} pendant la phase Φ_2 en ramenant son potentiel de grille à la masse.

Ce circuit permet donc d'assurer une tension grille-source fixée, et indépendante de la tension d'entrée, évitant la mise en conduction intempestive de l'interrupteur que nous décrivions dans la section 3.2.3.1. Brandt [47], Krouglov [48] ou Wang [49] proposent différentes réalisations et variantes de cet interrupteur *bootstrap*, permettant de bloquer efficacement des tensions dépassant les tensions de commande de l'interrupteur.

De manière un peu similaire, l'entreprise Maxim [50] suggère l'utilisation de circuits à pompes de charges pour augmenter localement les tensions appliquées sur les grilles des transistors.

3.3.2 Augmentation des tensions de claquage

Les composants des technologies CMOS classiques, et notamment des transistors, possèdent des tensions de claquage relativement faibles. En règle générale, l'élément des transistors le plus sensible au claquage est l'oxide de grille. Cette affirmation est d'autant plus vraie que le nœud technologique est fin, puisque la diminution des dimensions des transistors est associée à une diminution de l'épaisseur de l'oxide, le rendant ainsi plus vulnérable aux phénomènes de *tunneling* ou de *punchthrough* [51], les deux principaux phénomènes physiques responsables du claquage et de la destruction des transistors.

Afin d'étendre le fonctionnement des transistors à des tensions ou courants plus importants, il est possible par exemple d'augmenter l'épaisseur de l'oxide de grille [52], au prix d'une augmentation de la tension de seuil du transistor, ou d'utiliser des architectures de transistors moins conventionnelles, tels que les MOS verticaux (VMOS [53]), à double diffusion (DMOS [54][55]), ou encore à source étendue [56]. Ces architectures se retrouvent souvent dans les technologies dites BCD (BIPOLAR, CMOS, DMOS)[54], largement utilisées dans les applications nécessitant de la puissance, telles que l'automobile ou l'amplification.

3.3.3 Éviter le clamp des transistors

Pour empêcher le clamp du transistor, il faut empêcher la mise en conduction parasites des jonctions drain/substrat ou source/substrat. Pour ce faire, différentes solutions peuvent être mises en œuvre. Ces solutions sont en général décrites comme des méthodes de « protection de fautes » (*fault protection* en anglais) par les principaux fabricants d'interrupteurs analogiques.

Vishay [57], Intersil [58] et Maxim Inc. [59] suggèrent par exemple l'utilisation d'une diode, montée tête-bêche sur les caissons des transistors, afin d'éviter qu'un courant trop important ne puisse circuler dans les jonctions drain/substrat ou source/substrat. Analog Devices [60] propose d'empêcher toute circulation de courant, en laissant les caissons des transistors à un potentiel flottant. Cette dernière solution ne peut en revanche être réalisée que dans des technologies permettant une parfaite isolation des caissons, telles que les technologies de circuits intégrés de type silicium sur isolant (SOI).

Ces solutions sont présentées sur la FIGURE 3.14.



FIGURE 3.14 – Méthodes de protections pour les interrupteurs analogiques

En combinant toutes ces méthodes, nous pouvons donc parvenir en théorie à étendre la dynamique d'un interrupteur analogique, au delà de ses tensions de commande et d'alimentation. Néanmoins, les méthodes proposées dans la section 3.3.1 font appel à des méthodes de commutation de charges, nécessitant des condensateurs d'importantes capacités, généralement incompatibles avec les technologies intégrées, et d'autre part.

Nous nous sommes donc intéressés à un dernier type d'interrupteur, que nous présentons dans la section suivante.

3.4 Fonctionnement et limitations d'un interrupteur « série » à dynamique étendue

Un autre moyen d'éviter que l'interrupteur ne se mette à conduire intempestivement lorsqu'il est bloqué consiste à connecter les transistors en série, plutôt qu'en parallèle [59].

Les transistors constituant un interrupteur série sont similaires à ceux constituant un interrupteur parallèle, et ont donc le même fonctionnement (conduction pour $V_{gs} \geq V_{th}$, blocage pour $V_{gs} < V_{th}$). De plus, sans protection supplémentaire, le phénomène de clamping décrit précédemment est toujours présent. Pour ces raisons, l'interrupteur que nous étudions ici possède une protection, en l'occurrence apportée par l'ajout d'une diode sur les caissons des transistors.

L'interrupteur « série » finalement proposé est visible sur la FIGURE 3.15.

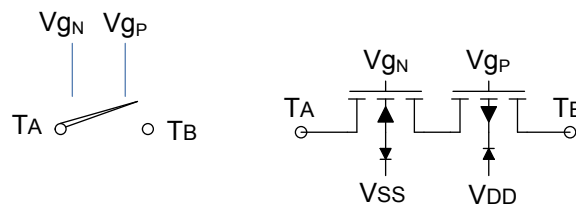


FIGURE 3.15 – Mise en série des transistors dans un interrupteur analogique

La mise en série des transistors change radicalement les caractéristiques de l'interrupteur, puisque son impédance vaut maintenant :

$$Z_{switch\ sér.} = Z_{nmos} + Z_{pmos} \quad (3.1)$$

Ainsi, pour que l'interrupteur soit ouvert (haute impédance), il suffit maintenant qu'un seul des deux transistors soit bloqué. En revanche, pour que l'interrupteur soit fermé (faible impédance), il faut maintenant que les transistors qui le constituent soit tous passant en même temps.

3.4.1 Interrupteur série commandé en ouverture

À l'état ouvert, le dépassement des tensions de commande des transistors provoque toujours la mise en conduction parasite de l'un des transistors. Cependant, l'équation (3.1) nous montre que ceci ne suffit pas à faire chuter l'impédance de l'in-

terrupteur. Ce dernier reste donc finalement ouvert, comme le montre la FIGURE 3.16

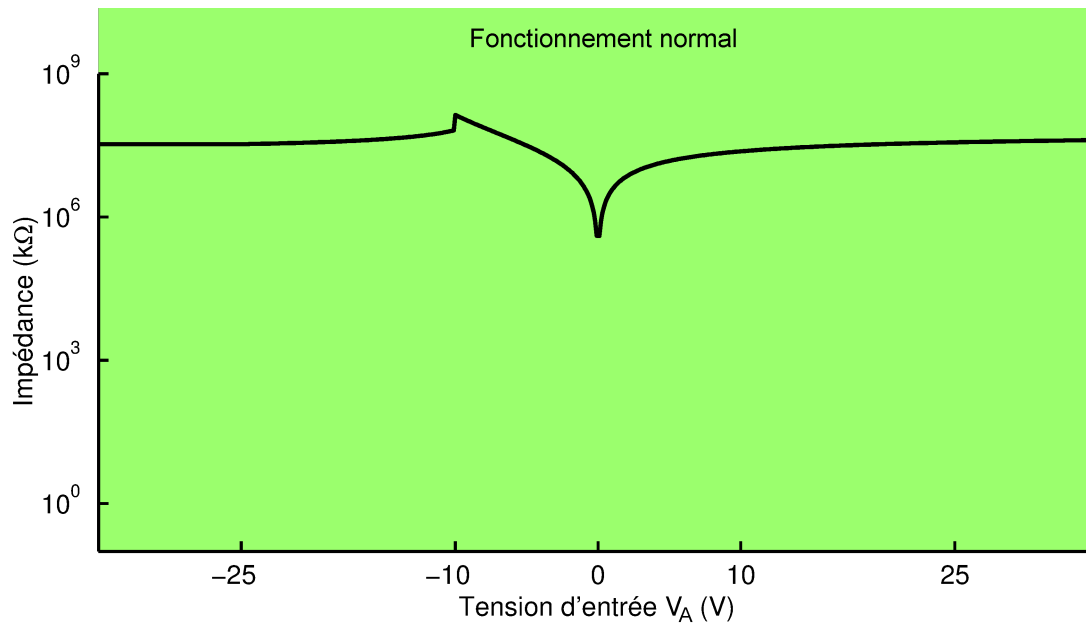


FIGURE 3.16 – Impédance d'un interrupteur « série » ouvert.

$$V_{gN} = -10V, V_{gP} = +10V, V_{DD} = +25V, V_{SS} = -25V$$

Sur ce graphe, nous pouvons voir que l'impédance de l'interrupteur reste supérieure au gigaohm sur une large dynamique. Les diodes de protection permettent d'éviter le *clamp* des transistors aux alentours de -25V et +25V. Ainsi, l'interrupteur « série » proposé ici reste donc théoriquement ouvert, et offre une excellente isolation sur une plage de tensions d'entrées s'étendant jusqu'aux tensions de claquage des transistors.

Ceci est résumé par la FIGURE 3.17.

	Claquage	Polarisation $V_{SS} = -25V$	Commande $V_{gN} = -10V$	0V	Commande $V_{gP} = +10V$	Polarisation $V_{DD} = +25V$	Claquage	Tension d'entrée V_A
NMOS	Claquage	Basse impédance	Basse impédance	Haute impédance	Haute impédance	Haute impédance	Claquage	
PMOS	Claquage	Haute impédance	Haute impédance	Haute impédance	Basse impédance	Basse impédance	Claquage	
Interrupteur « Série »	Claquage	Haute impédance → Interrupteur ouvert	Haute impédance → Interrupteur ouvert	Haute impédance → Interrupteur ouvert	Haute impédance → Interrupteur ouvert	Haute impédance → Interrupteur ouvert	Claquage	

FIGURE 3.17 – Modes de fonctionnement d'un interrupteur série ouvert

3.4.2 Interrupteur série commandé en fermeture

À l'état fermé cependant, la mise en série des transistors a des conséquences plutôt gênantes, comme nous pouvons le voir sur la FIGURE 3.18.

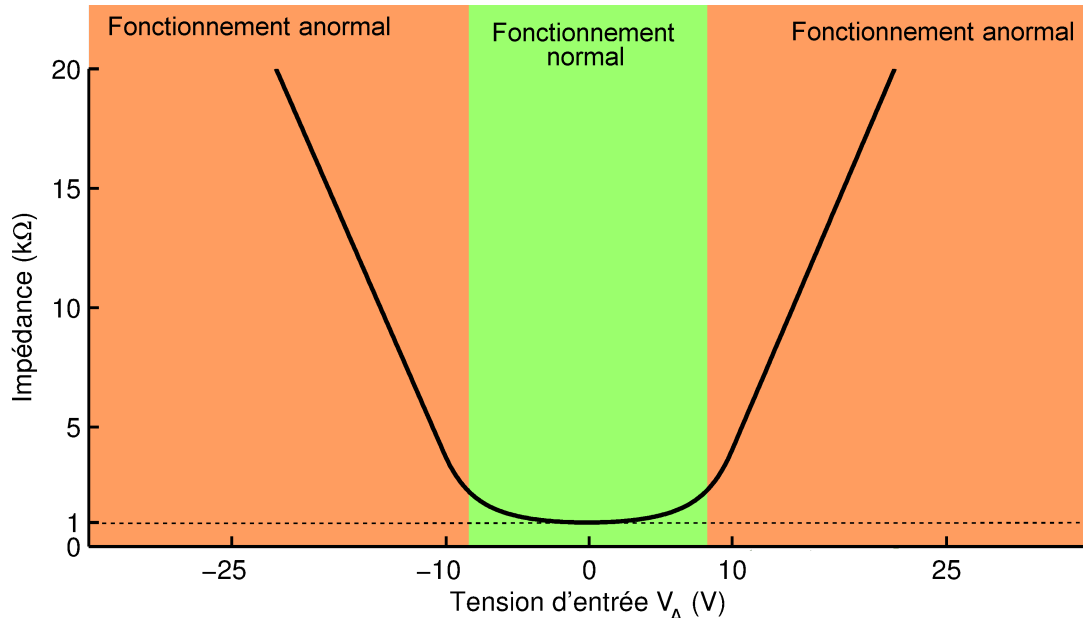


FIGURE 3.18 – Impédance d'un interrupteur « série » fermé. $V_{gN} = +10V$, $V_{gP} = -10V$, $V_{DD} = +25V$, $V_{SS} = -25V$

Si une tension s'approchant des tensions de commande V_{gN} ou V_{gP} est appliquée sur l'un des terminaux de l'interrupteur, alors l'un des transistors se bloque, ce qui suffit, d'après l'équation (3.1), à ouvrir l'interrupteur. Ainsi, la plage de fonctionnement en mode fermé de cet interrupteur a été très fortement réduite, puisqu'elle se limite maintenant à l'intervalle $[V_{gP} + V_{thP}; V_{gN} - V_{thN}]$. Ce phénomène est résumé par la FIGURE 3.19.

De plus, il est remarquable, que dans ce faible intervalle de fonctionnement, l'impédance de l'interrupteur est loin d'être constante, et qu'elle est aussi quatre fois supérieure à l'impédance d'un interrupteur parallèle équivalent, ce qui peut nuire à des applications nécessitant de la précision.

Le fait de connecter en série les transistors a donc déplacé le problème, puisque désormais, l'interrupteur « série » est capable de bloquer parfaitement des tensions importantes, mais plus de les transmettre. Ce sont à cause de ces mauvaises performances en mode passant que l'intégralité des interrupteurs analogiques disponibles sur étagère sont en fait des interrupteurs « parallèle » et non pas « série ».

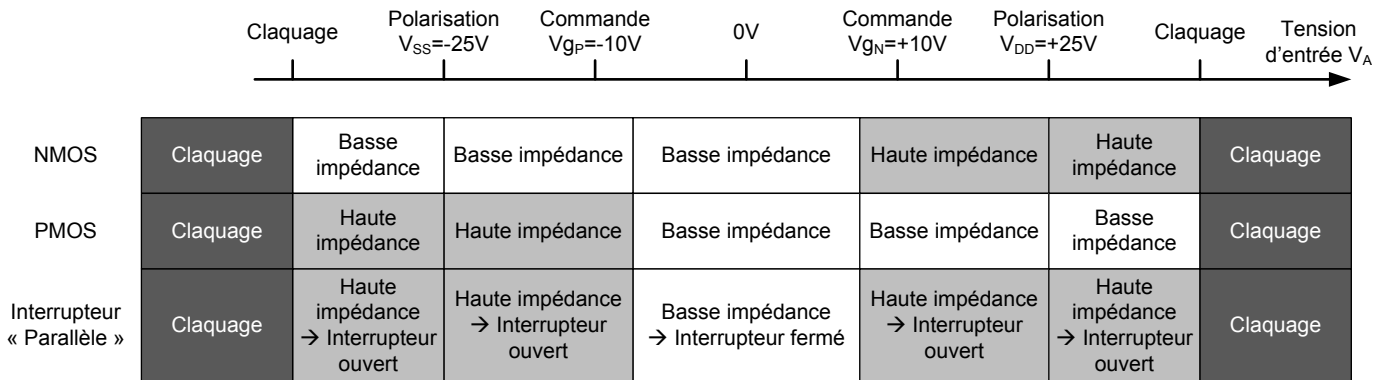


FIGURE 3.19 – Modes de fonctionnement d'un interrupteur série fermé

3.5 Synthèse

Dans cette section, nous avons pu voir que les interrupteurs analogiques sont en général constitués de deux transistors N-MOSFET et P-MOSFET, connectés en parallèle.

Ce type d'interrupteur présente d'excellentes caractéristiques, notamment une faible impédance relativement constante sur son intervalle de fonctionnement nominal. Néanmoins, nous avons vu que différents phénomènes se manifestent et induisent un fonctionnement anormal dès lors que l'on cherche à utiliser ces interrupteurs avec des tensions importantes.

Nous avons identifié ces différents phénomènes, et avons exposé quelques méthodes pour repousser les limites des interrupteurs.

Nous avons de plus proposé un autre type d'interrupteur, dont les performances en mode passant sont bien moins bonnes que celles d'un interrupteur classique, mais qui présente en revanche d'excellentes performances dès lors qu'il s'agit de bloquer une tension élevée.

Ce chapitre nous a donc montré pourquoi le principe de la commutation est incompatible avec les hautes tensions que nous serions amenés à rencontrer avec nos signaux aéronautiques : à l'heure actuelle, il n'existe pas, à notre connaissance, d'architectures d'interrupteurs analogiques *intégrés*, qui peuvent allier une faible impédance à l'état passant, une forte impédance à l'état bloqué, le tout sur une plage de tension très étendue.

Chapitre 4

Interface avionique versatile

SOMMAIRE

4.1 INTRODUCTION	52
4.1.1 Propositions préliminaires	52
4.2 ARCHITECTURE DE L'INTERFACE AVIONIQUE VERSATILE	58
4.2.1 Étages d'adaptation de niveau et d'impédance	58
4.2.2 Étage suiveur et correction d'offset	59
4.2.3 Étage différentiel	60
4.2.4 Multiplexeur	60
4.2.5 Convertisseur analogique/numérique	61
4.2.6 Traitements numériques	61
4.3 DÉTAIL DES DIFFÉRENTS MODES DE FONCTIONNEMENT	62
4.3.1 Acquisition d'un capteur discret DSI+	62
4.3.2 Acquisition d'un capteur discret DSI-	65
4.3.3 Acquisition de tension différentielle simple :	67
4.3.4 Correction d'erreurs dynamique	72
4.3.5 Acquisition d'un capteur inductif de déplacement	85
4.3.6 Acquisition d'un signal ARINC429	93
4.4 FONCTIONNEMENT EN HAUTE TENSION	95
4.4.1 Interrupteurs « basse tension » Sw	95
4.4.2 Interrupteur « haute tension » HVSw	96
4.4.3 Interrupteur de polarisation PSw	98

4.1 Introduction

Au cours du chapitre 2, nous avons pu voir que les calculateurs vont être amenés à interagir avec un nombre grandissant de capteurs. Tous ces capteurs produisent des signaux dont les caractéristiques varient, et les calculateurs intègrent donc des circuits d'interfaçage dédiés, qui apparaissent aujourd'hui clairement comme les facteurs limitants des fonctionnalités des calculateurs.

Ainsi, si des circuits d'interfaçages plus souples, dont les caractéristiques permettraient d'acquérir différents types de signaux existaient, ils permettraient de répondre aux besoins actuels et futurs de l'avionique, et lèveraient cette limitation matérielle qui grève aujourd'hui les calculateurs.

Cependant, nous avons vu que les solutions existantes qui permettent de changer les caractéristiques analogiques d'un circuit ne peuvent pas être appliquées aux signaux avioniques, en raison de leur dynamique en tension trop importantes.

Cette limitation est essentiellement due au fait que la « reprogrammabilité » des composants est en général basée sur le principe de la commutation, et que ce principe est très rapidement limité dès lors que des tensions importantes sont mises en jeu, comme nous l'avons vu dans le chapitre 3.

Dans ce chapitre, nous cherchons donc à proposer une interface d'acquisition nouvelle, qui soit capable de faire l'acquisition des différents signaux avioniques que nous avons décrits précédemment.

4.1.1 Propositions préliminaires

Afin de poser les bases de ce nouveau type d'interface, observons plus attentivement comment sont conçues les circuits d'interfaçage dédiés à un seul signal que nous avons introduits précédemment.

Tous peuvent globalement être décomposées en deux étages :

- un étage passif tout d'abord, dont la fonction est de ramener les tensions d'entrées V_{in} comprises dans l'intervalle $[V_{in}^{min}; V_{in}^{max}]$, à une valeur comprise dans la plage d'alimentation $[V_{SS}; V_{DD}]$ des étages suivants. Cet étage consiste globalement à appliquer à la tension V_{in} un gain G , une tension d'offset V_{off} , tout en présentant l'impédance Z_{in} requise par le capteur. Nous avons vu au chapitre 2.4 que bien souvent les applications de mesure et d'instrumentation nécessitent l'amplification d'un signal de faible amplitude (quelques millivolts par exemple). Il est remarquable que dans notre cas, les signaux avioniques ont

des dynamiques bien plus étendues que l'intervalle $[0; 3V]$. Ainsi, cet étage a une fonction de *réduction* d'amplitude ($G \leq 1$), ce qui permet un fonctionnement passif ;

- un étage actif ensuite, chargé du traitement des signaux proprement dit. Cet étage est alimenté en « basse tension », avec une tension $V_{SS} = 0V$ et une tension $V_{DD} = 3V$ par exemple.

Ces fonctionnalités sont résumées par la FIGURE 4.1.

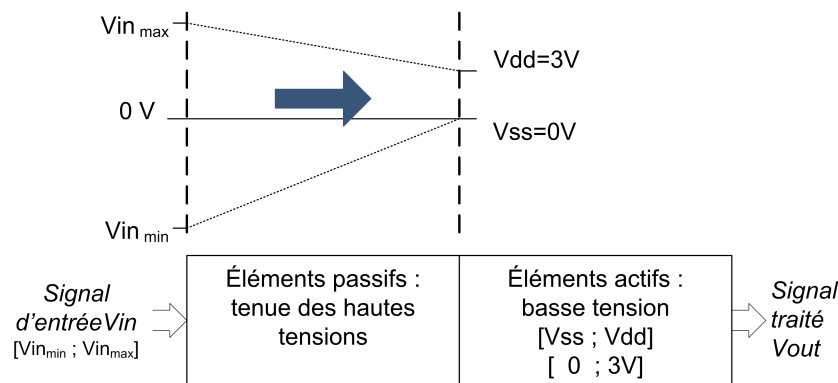


FIGURE 4.1 – Adaptation des niveaux de tension

Une solution permettant d'obtenir les capacités d'acquisition et de traitement de chacun des circuits d'interfaçage dédiés serait de tous les regrouper, comme le montre la FIGURE 4.2.

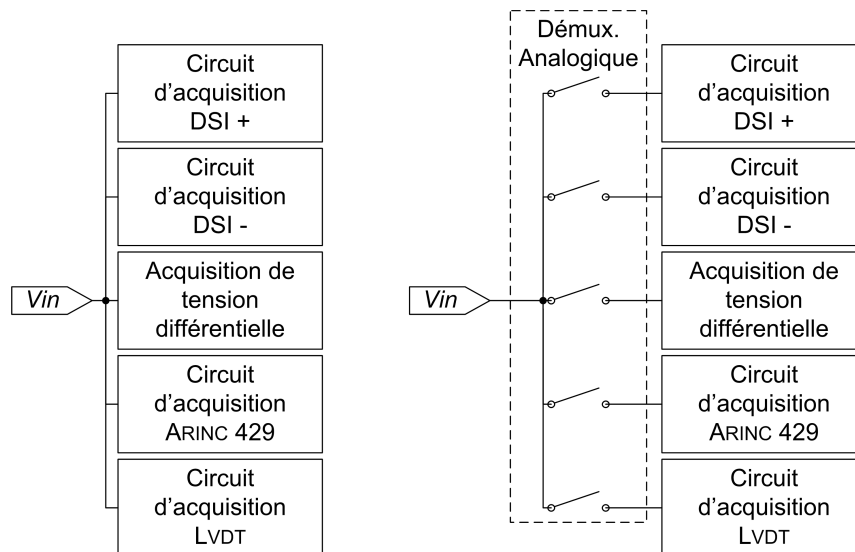


FIGURE 4.2 – Circuit d'acquisition générique obtenu par concaténation de sous-circuits d'acquisition dédiés

Le signal d'entrée V_{in} est alors appliqué sur tous les sous-circuits dédiés à chaque type de signal. En observant comment sont conçus ces différents sous-circuits, nous nous rendons compte que ce type de circuit ne peut pas fonctionner en l'état. Les étages de réduction de chaque sous-circuit étant constitués d'éléments passifs, leur mise en parallèle modifie leurs caractéristiques. Pour éviter cela, chaque sous-circuit doit pouvoir être isolé des autres.

À cette fin, il est possible de placer en amont de ces différents circuits un ensemble d'interrupteurs jouant le rôle de démultiplexeur : en fonction du type de signal à acquérir, l'un de ces interrupteurs se ferme et route le signal V_{in} vers le circuit spécifique requis.

Bien que séduisant en théorie, ce type de montage se heurte à une limitation importante : les interrupteurs constituant le démultiplexeur analogique sont soumis directement aux tensions des signaux V_{in} , et sont donc susceptibles de subir la pleine dynamique de tous les signaux. Or, nous l'avons vu au chapitre 3, les interrupteurs analogiques ne sont pas capables de fonctionner avec des tensions dépassant leurs tensions d'alimentation.

Pour ces raisons, la conception d'un circuit générique ne peut donc pas se résumer à la simple concaténation de sous-circuits d'acquisition dédiés.

Une deuxième solution qui répondrait elle aussi à nos besoins est représentée sur la FIGURE 4.3.

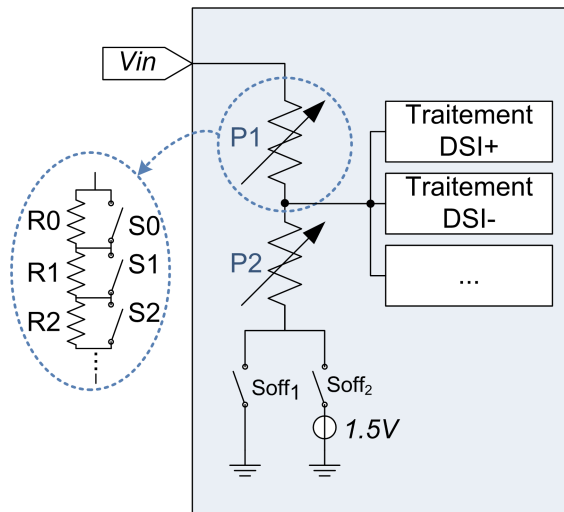


FIGURE 4.3 – Circuit d'adaptation d'impédance et de tension utilisant des potentiomètres numériques

Dans cette solution, plutôt que de concaténer les différents sous-circuits d'acquisition, ces derniers ont été partiellement « fusionnés » : deux échelles de résistances

P1 et P2 sont constituées de la même manière que le potentiomètre numérique présenté page 34. Ces deux résistances variables peuvent ensuite être branchées en pont diviseur de tension. Vu de l'entrée V_{in} , ce circuit a donc une impédance d'entrée Z_{in} égale à $Z_{in} = Z_{P1} + Z_{P2}$ et un gain G égal à $G = \frac{Z_{P2}}{Z_{P1} + Z_{P2}}$. En fonction des interrupteurs fermés sur chacun des potentiomètres, il est possible de faire varier leur résistance et donc l'impédance et le gain de réduction de l'étage. Enfin, la tension d'offset peut être ajustée en commutant l'un des interrupteurs S_{off1} . En choisissant convenablement les valeurs des résistances composant P1 et P2 ainsi que les tensions d'offset, il est donc possible d'obtenir un ensemble de triplets (Z_{in}, G, V_{offset}) correspondant aux spécificités de tous les signaux traités.

Ce circuit présente l'avantage d'être facilement personnalisable, permettant théoriquement de proposer une très large gamme de gains, d'impédances et d'offset. Cependant il présente ici encore une importante limitation fonctionnelle, abordée dans la section 3.2 : la plage de tension admissible en entrée de ce circuit dépend toujours du type d'interrupteur utilisés dans la réalisation de P1 et P2. Ces interrupteurs peuvent être soumis à des tensions plus élevées que leurs tensions de commandes et d'alimentation. Comme nous l'avons vu à la page 38, cette situation provoque un dysfonctionnement des interrupteurs. Ici encore, la forte dynamique des signaux d'entrée invalide ce type de solution.

Enfin, une dernière limitation complique fortement la conception d'un circuit d'acquisition générique. Cette limitation se retrouve dans tout circuit analogique, et particulièrement dans les circuits différentiels. Tout composant analogique possède des caractéristiques propres (dimensions, résistance, courant de fuites etc), qui peuvent différer légèrement de leurs caractéristiques théoriques. Ces variations ont plusieurs causes :

- d'une part, les variations en température, le vieillissement, ou encore des variations dues au process de fabrication des circuits électroniques peuvent modifier de manière importante les caractéristiques des composants [61] ;
- d'autre part, au sein d'une même puce, les caractéristiques de deux composants identiques dans leur conception vont tout de même différer, car l'appairage (*matching*) des composants n'est pas parfait [62].

L'appairage incorrect de résistances est l'une des principales limitations à l'obtention d'une bonne réjection de mode commun dans les systèmes différentiels [63]. L'une des méthodes permettant d'y remédier consiste à ajuster les résistances le plus finement possible lors de la fabrication, le plus souvent en ayant recours à des procédés coûteux comme l'ajustement au laser (*laser trimming*). Cette méthode a fait ses preuves

[64][65][66][67] et est aujourd'hui souvent appliquée lorsqu'il s'agit de conjuguer forts modes communs et bonne réjection [68][69].

Si ce procédé n'est pas réalisable, un autre principe visant à améliorer la réjection de mode commun consiste à calibrer après fabrication les résistances, c'est à dire à modifier artificiellement leur valeur afin de les appairer.

C'est la solution proposée par exemple par Souza et coll. [37] pour rejeter du bruit de mode commun à 50 Hz du à une mauvaise adaptation d'impédance. Cette solution consiste généralement à rajouter une résistance en série ou en parallèle de la résistance à calibrer, au moyen d'interrupteurs analogiques. Ici encore, ce type de solution est irréalisable dans notre application, toujours pour les mêmes raisons : les fortes dynamiques des signaux aéronautiques compliquent sérieusement toute commutation.

Ce problème de dispersion des composants, ainsi que les limitations rencontrés dans les deux propositions précédentes nous montrent donc que :

- la conception d'un circuit d'acquisition générique ne peut pas se limiter à la concaténation de sous-circuits existants ;
- il est nécessaire d'étudier tous les cas de fonctionnement possible, afin de s'assurer qu'un élément « désactivé » ne perturbe pas le fonctionnement d'un autre élément du circuit d'acquisition générique ;
- le principe de la commutation, qu'il s'agisse de résistances, de capacités, ou de circuits complets, semble incompatible avec l'utilisation de hautes tensions ;
- tout composant analogique a des caractéristiques réelles qui peuvent différer de ses caractéristiques théoriques, et ces dispersions doivent absolument être prises en compte pour des applications requérant un minimum de précision.

Nous proposons donc dans les sections suivantes une nouvelle architecture d'interface que nous appelons interface versatile. Celle-ci viendrait donc remplacer les interfaces dédiées présentes actuellement dans les calculateurs, comme le montre la FIGURE 4.4.

Tout comme les interfaces dédiées à un signal en particulier, l'interface versatile comprend du conditionnement analogique et du traitement numérique. Cependant, l'interface versatile que nous souhaitons proposer permet de changer ces caractéristiques, afin de s'adapter et donc de faire l'acquisition de tous les signaux aéronautiques décrits précédemment.

Notre solution fait appel à différentes méthodes qui permettent d'une part d'assurer son fonctionnement malgré les fortes dynamiques des signaux, et d'autre part d'obtenir une bonne précision lorsque cela est nécessaire, malgré les dérives des

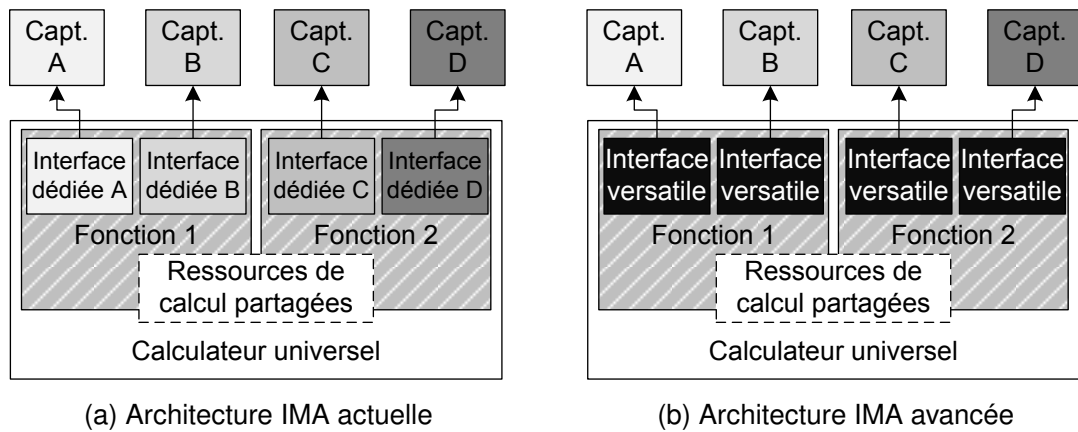


FIGURE 4.4 – Introduction du concept d'interface versatile

composants analogiques. L'architecture de cette interface versatile fait l'objet des sections qui vont suivre.

4.2 Architecture de l'interface avionique versatile

L'interface versatile que nous proposons se décompose en deux sous parties, tout comme les circuits d'interfaçage présentés dans la section 2.3. Une première partie, dédiée à la réduction des hautes tensions, est alimentée par une alimentation symétrique $[-15V; +15V]$. Une seconde partie, alimentée en $[0V; +3.3V]$, constitue le coeur basse tension du circuit. Notre circuit d'interfaçage, représenté sur la FIGURE 4.5, est composé d'un ensemble de sous-fonctions, dont le rôle est détaillé dans les sections suivantes.

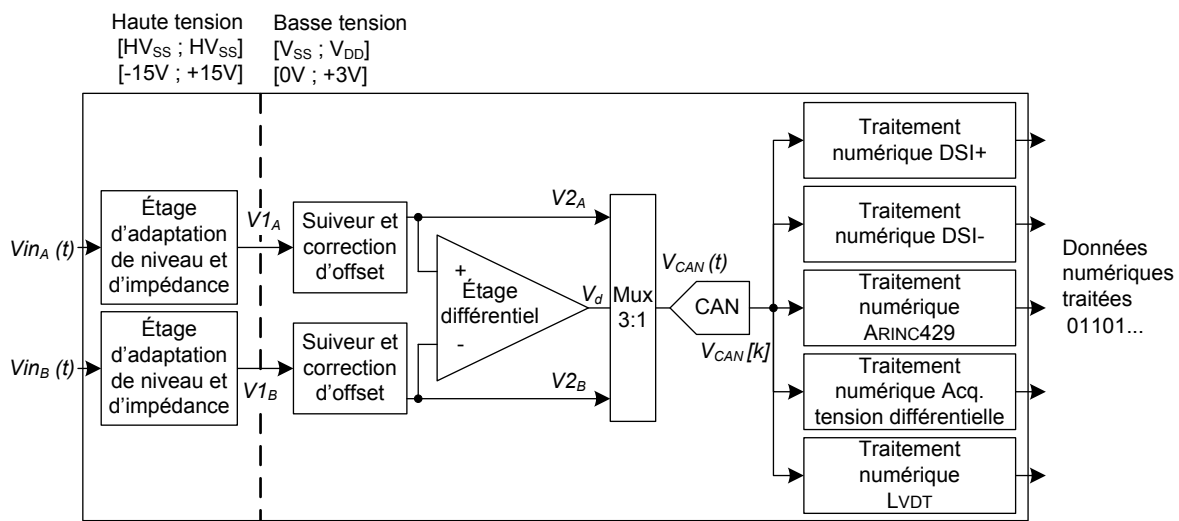


FIGURE 4.5 – Architecture de l'interface reconfigurable

4.2.1 Étages d'adaptation de niveau et d'impédance

Ces deux étages constituent les étages frontaux de l'interface, et sont donc directement soumis aux fortes tensions des signaux V_{in} . Leur rôle est de ramener ces tensions au domaine basse tension $[V_{SS}; V_{DD}]$, en leur appliquant un gain réducteur G ainsi qu'une éventuelle tension d'offset V_{offset} . Pour cela, ces circuits utilisent le principe des ponts diviseurs de tension, basés sur les résistances R1 à R6 (cf. FIGURE 4.6).

Les dynamiques des différents signaux étant différentes, le gain et la tension d'offset qu'il est nécessaire de leur appliquer va varier d'un signal à l'autre. Ainsi, il est possible de configurer ces étages en « activant » ou en « désactivant » certaines portions du circuit, à l'aide des interrupteurs analogiques PSw, HVSw, Sw1 et Sw2. Nous

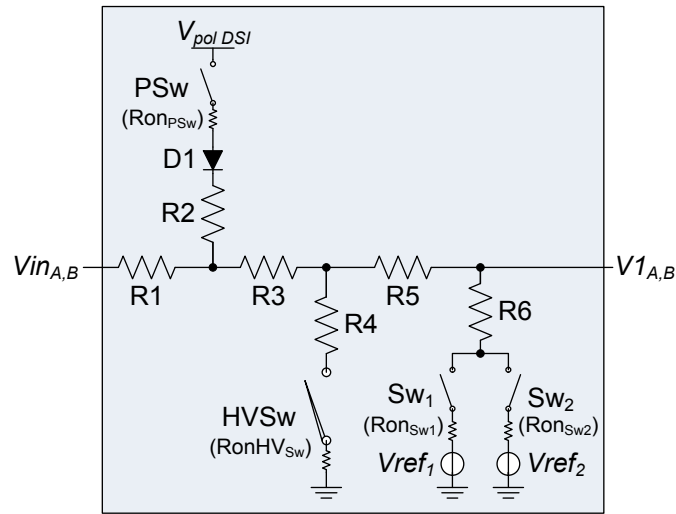


FIGURE 4.6 – Circuit d'adaptation d'impédance et de tension

avons vu précédemment que la commutation de résistances sous des tensions importantes nécessite un soin particulier. Pour cette raison, les interrupteurs de cet étage ne sont pas de simples interrupteurs analogiques : ils diffèrent dans leur structure ainsi que dans leur fonctionnement. La section 4.4 détaille comment ces interrupteurs parviennent à opérer malgré les fortes tensions mises en oeuvre. Ce circuit et les méthodes mises en oeuvre pour en assurer le fonctionnement ont fait l'objet d'un dépôt de brevet [70].

4.2.2 Étage suiveur et correction d'offset

Cet étage est constitué d'un amplificateur opérationnel U1 monté en suiveur (FIGURE 4.7). Quel que soit le type de signal à traiter, à ce point du circuit, les tensions $V1_A$ ou $V1_B$ ont été réduites à l'intervalle basse tension $[V_{SS}; V_{DD}]$. Le suiveur permet d'isoler les deux parties hautes et basses tensions du circuit, en faisant office de tampon pour présenter une faible impédance aux étages suivants dans la chaîne d'acquisition.

Le suiveur peut éventuellement posséder une tension d'offset parasite, représentée par une tension continue $o1_{A,B}$, en série avec l'une de ses entrées. Cette tension d'offset peut perturber les mesures effectuées par notre interface. Pour cette raison, cet étage comprend deux interrupteurs Sw3 et Sw4 : lorsque Sw3 est fermé et Sw4 ouvert, l'étage fonctionne normalement. En ouvrant Sw3 et en fermant Sw4, il est alors possible d'injecter une tension nulle au reste de la chaîne d'acquisition, afin de mesu-

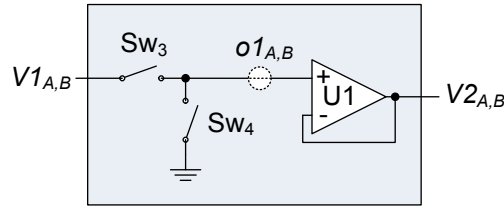


FIGURE 4.7 – Circuit de correction d'offset

rer l'offset $o1_{A,B}$. Une méthode de correction d'erreur faisant usage de cette fonctionnalité est détaillée dans la section 4.3.4. On peut remarquer que ces interrupteurs sont situés dans la zone basse tension du circuit, et peuvent donc être conçus comme des interrupteurs analogiques classiques, similaires à celui présenté sur la FIGURE 3.4.

4.2.3 Étage différentiel

L'étage différentiel représenté sur la FIGURE 4.8 est conçu pour rejeter le mode commun des tensions $V2_A$ et $V2_B$, et pour en extraire la composante différentielle. Cet étage est conçu à partir d'un amplificateur opérationnel U2 monté en amplificateur différentiel, au moyen des résistances R7a, R7b, R8a et R8b.

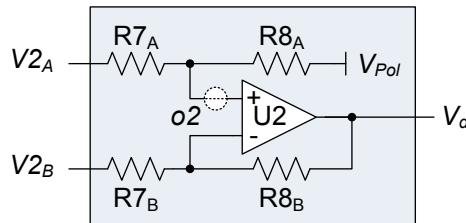


FIGURE 4.8 – Circuit différentiel

L'amplificateur U2 peut éventuellement admettre une tension d'offset parasite $o2$, qui peut-être corrigée par l'algorithme présenté en section 4.3.4.

4.2.4 Multiplexeur

Ce multiplexeur analogique comprend trois entrées et une sortie. Il permet de connecter au choix les sorties des étages d'adaptation de niveau et d'impédance $V2_A$ et $V2_B$ ou la sortie de l'étage différentiel V_d à l'entrée $V_{CAN}(t)$ du convertisseur analogique numérique (cf. FIGURE 4.9).

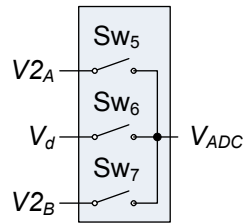


FIGURE 4.9 – Multiplexeur

Le multiplexeur est situé dans la zone « basse tension » de l'ASIC mixte de conversion, et peut donc être conçu à partir de trois interrupteurs analogiques classiques.

4.2.5 Convertisseur analogique/numérique

Les étages précédents ont maintenant conditionné le signal, pour le ramener systématiquement dans la plage de tensions numérisables par le convertisseur. Ce dernier a maintenant pour fonction de convertir la tension analogique $V_{CAN}(t)$ que lui applique le multiplexeur, en une suite d'échantillons numériques $V_{CAN}[k]$.

4.2.6 Traitements numériques

Après avoir été conditionnés puis numérisés, les signaux $V_{CAN}[k]$ sont ensuite traités numériquement, par des processus propre à chaque type de signal. Ces différents processus sont chargés d'extraire l'information utile du signal, qu'il s'agisse d'une valeur discrète dans le cas des signaux numériques (DSI+, DSI- et ARINC429), ou d'une grandeur analogique (Tension différentielle pour l'acquisition de tension, déplacement x pour les signaux LVDT).

Les fonctionnalités de l'interface reconfigurable ayant été décrites, nous pouvons maintenant étudier plus en détail son fonctionnement. La section suivante explique donc, pour chaque signal, comment l'interface reconfigurable parvient à conditionner, numériser puis extraire l'information utile.

4.3 Détail des différents modes de fonctionnement

4.3.1 Acquisition d'un capteur discret DSI+

Dans ce premier mode de fonctionnement, l'interface reconfigurable est configurée pour faire l'acquisition d'un capteur « discret alimentation/circuit ouvert » (cf. FIGURE 2.6). Le capteur est connecté à l'entrée V_{inA} ou V_{inB} de l'interface. Le convertisseur analogique numérique numérise alors directement la tension $V1$ sortant de l'étage d'adaptation. Cette tension est alors traitée numériquement pour extraire l'information utile, dans ce cas l'état — ouvert ou fermé — du capteur discret.

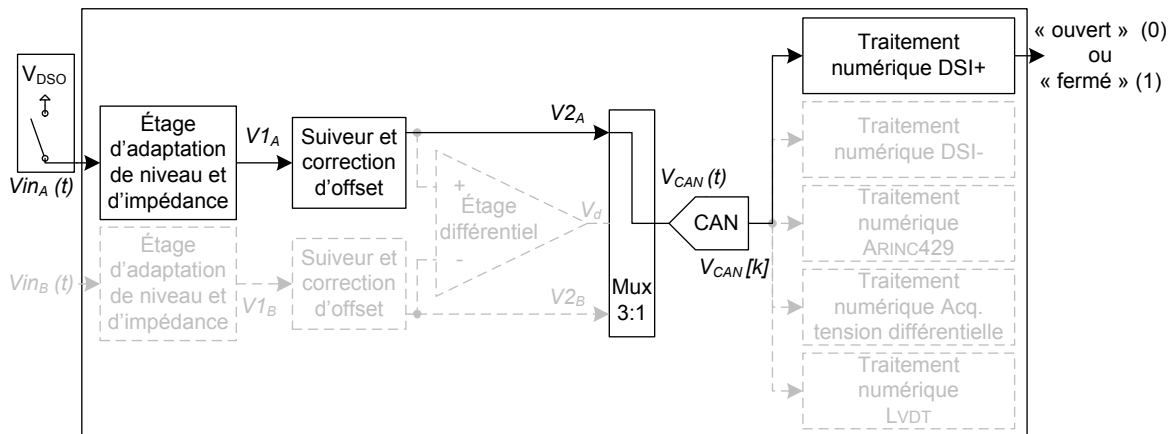


FIGURE 4.10 – Interface configurée pour un signal DSI+ branché sur la voie A

4.3.1.1 Conditionnement analogique du signal DSI+

Dans cette configuration, seul l'interrupteur HVSw de l'étage d'adaptation est fermé (cf. FIGURE 4.11). L'étage d'adaptation se résume alors au pont diviseur constitué des résistances $R1$, $R3$ et $R4$, ainsi que de la résistance de l'interrupteur du capteur R_{DSO} et de celle de l'interrupteur HVSw.

La fonction de transfert de l'étage est alors donnée par :

$$V1 = V_{DSO} \times \frac{R4 + Ron_{HVSw}}{R_{DSO} + R1 + R3 + R4 + Ron_{HVSw}} \quad (4.1)$$

Pour un capteur ouvert ($R_{DSO} = R_{off_{DSO}} \gg R1 + R3 + R4 + Ron_{HVSw}$), on obtient donc :

$$V1 \approx V_{DSO} \times \frac{R4 + Ron_{HVSw}}{R_{off_{DSO}}} \approx 0V \quad (4.2)$$

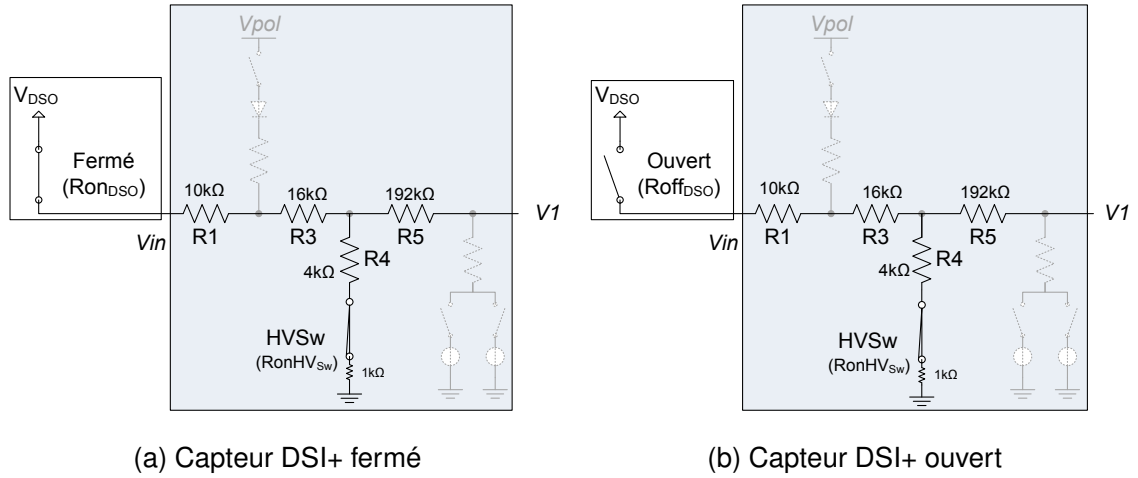


FIGURE 4.11 – Étage d'adaptation configuré en mode DSI+

Pour un capteur fermé ($R_{DSO} = R_{on_{DSO}} \ll (R1 + R3 + R4 + R_{on_{HVS_{w}}})$) on obtient en $V1$ une fraction de V_{DSO} dont la valeur exacte dépend des valeurs de $R1$, $R3$ et $R4$:

$$V1 \approx V_{DSO} \times \frac{R4 + R_{on_{HVS_{w}}}}{R1 + R3 + R4 + R_{on_{HVS_{w}}}} \approx V_{DSO} \times \frac{5k}{31k} \approx V_{DSO} \times 0.16 \quad (4.3)$$

À titre d'exemple, on mesure dans ce cas une tension $V1$ égale à 2.9V pour une tension de polarisation V_{DSO} de 18V.

En mesurant cette tension $V1$ et en la comparant avec un seuil référence, il est donc possible de détecter si le capteur est ouvert ou fermé. L'impédance d'entrée Z_{in} dans ce mode est égale à $R1 + R3 + R4 + R_{on_{HVS_{w}}} = 31k\Omega$, ce qui correspond à l'impédance requise par ce type de capteur (voir page 16).

4.3.1.2 Traitement numérique du signal discret DSI+

Le traitement numérique associé aux signaux discrets DSI+ se décompose en trois étapes :

1. une étape de filtrage ;
2. une étape de détection de niveau, par comparaisons à seuils ;
3. une deuxième étape de filtrage de type anti-rebond.

Ces différentes étapes sont représentées sur la FIGURE 4.12.

Le premier filtrage est imposé par les différentes spécifications des concepteurs d'avions, qui requièrent un filtrage passe-bas d'ordre un, de fréquence de coupure

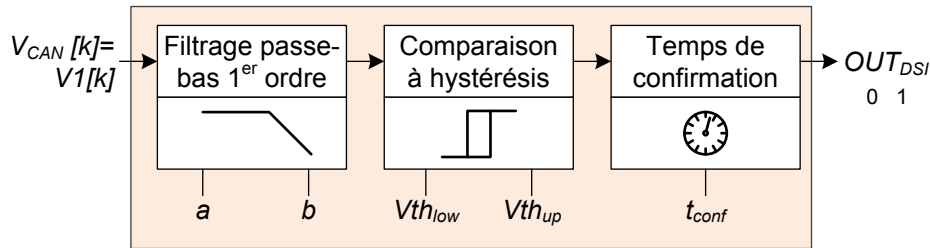


FIGURE 4.12 – Traitement numérique d'un signal discret

d'une centaine voire d'une dizaine de Hertz, la valeur exacte requise n'étant pas la même pour tous les fabricants d'avions. En filtrage analogique, une fréquence de coupure si faible requiert généralement l'utilisation de condensateurs de capacité importante, au minimum quelques micro farads. De telles capacités, pourtant tout à fait classiques en composants discrets, sont plus difficiles à concevoir en circuit intégré, en raison de la surface de silicium qu'elles occuperaient. Pour cette raison, nous avons décidé d'appliquer un filtrage numérique et non pas analogique aux signaux discrets. Cette décision a de plus l'avantage de permettre un réglage aisé de la fréquence de coupure. Le filtrage appliqué est donc de type à réponse impulsionnelle infinie, de la forme $y[n] = a \cdot y[n - 1] + b \cdot x[n - 1]$, les paramètres a et b définissant la fonction de transfert et la fréquence de coupure du filtre [71].

L'étape suivante consiste à comparer la tension $V1$ à un seuil bas Vth_{down} et à un seuil haut Vth_{up} , ces deux seuils permettant d'obtenir une hystérésis. Une comparaison analogique, à l'aide d'un trigger de Schmidt par exemple, comprend des seuils fixes et non modifiables. Or, ici encore, la valeur exigée de ces seuils de comparaison peut différer d'un avionneur à l'autre. C'est pourquoi nous avons préféré appliquer ici une comparaison numérique, solution nous offrant bien plus de flexibilité.

Enfin, le dernier filtrage consiste, à chaque commutation, à démarrer un timer, et à commuter effectivement la sortie OUT_{DSI} uniquement lorsqu'un certain temps, appelé temps de confirmation, s'est écoulé sans nouvelle commutation. Ce filtrage agit donc comme un filtre anti-rebond, et permet donc de filtrer les dernières commutations parasites qui auraient pu passer au travers du premier filtrage et de la comparaison à hystérésis. Le temps de confirmation doit pouvoir être facilement modifié ; ici encore, réaliser cette fonction de manière numérique permet plus de souplesse.

Après avoir effectué ces différentes étapes, l'interface produit donc un signal de sortie OUT_{DSI} égal à 0 lorsqu'un niveau inférieur à Vth_{down} est détecté, c'est à dire lorsque le capteur DSI+ est ouvert, ou égal à 1 pour un niveau supérieur à Vth_{up} , significatif d'un capteur fermé.

4.3.2 Acquisition d'un capteur discret DSI-

Cette configuration est globalement similaire à l'acquisition d'un capteur DSI+, à l'exception qu'il faut maintenant détecter l'état d'un capteur connecté à la masse (0V) et non plus à une source de tension V_{DSO} .

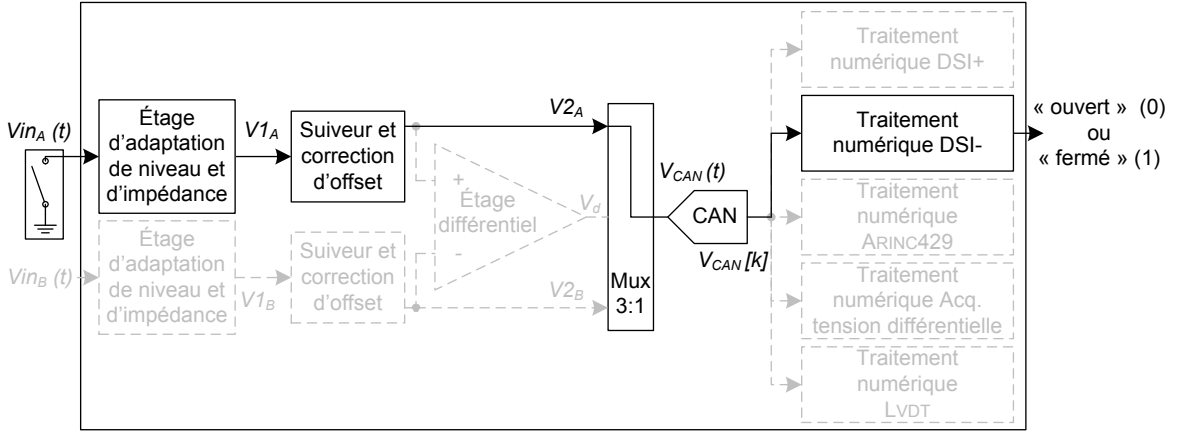


FIGURE 4.13 – Interface configurée pour un signal DSI- branché sur la voie A

La seule utilisation d'un pont diviseur n'est donc pas possible, la sortie $V1$ de l'étage étant alors toujours nulle, et ce quel que soit l'état du capteur. L'étage d'adaptation ne peut donc pas avoir le même comportement que précédemment.

4.3.2.1 Conditionnement analogique du signal discret DSI-

Afin de pouvoir différencier efficacement les deux états, une polarisation est donc ajoutée en fermant maintenant l'interrupteur PSw, comme le montre la FIGURE 4.14.

Dans ces conditions, pour un capteur ouvert ($R_{DSO} = R_{offDSO}$), on obtient en $V1$ une tension approximativement égale à :

$$V1 \approx (V_{pol} - V_{thD1}) \times \frac{R4}{R2 + R3 + R4} \approx (14.7) \times \frac{4k}{23k} \approx 2.55V \quad (4.4)$$

où V_{thD1} est la tension de seuil de la diode D1.

Si le capteur est fermé ($R_{DSO} = R_{onDSO}$), le potentiel $V1$ est légèrement tiré vers le bas par la masse appliquée au travers de R1. $V1$ devient donc égale, aux R_{on} des interrupteurs près à :

$$V1 \approx (V_{pol} - V_{thD1}) \times \frac{(R1 + R2) \cdot (R3 + R4) + R1 \cdot R2}{R1 \cdot (R3 + R4)} \times \frac{R4}{R3 + R4} \approx 2.01V \quad (4.5)$$

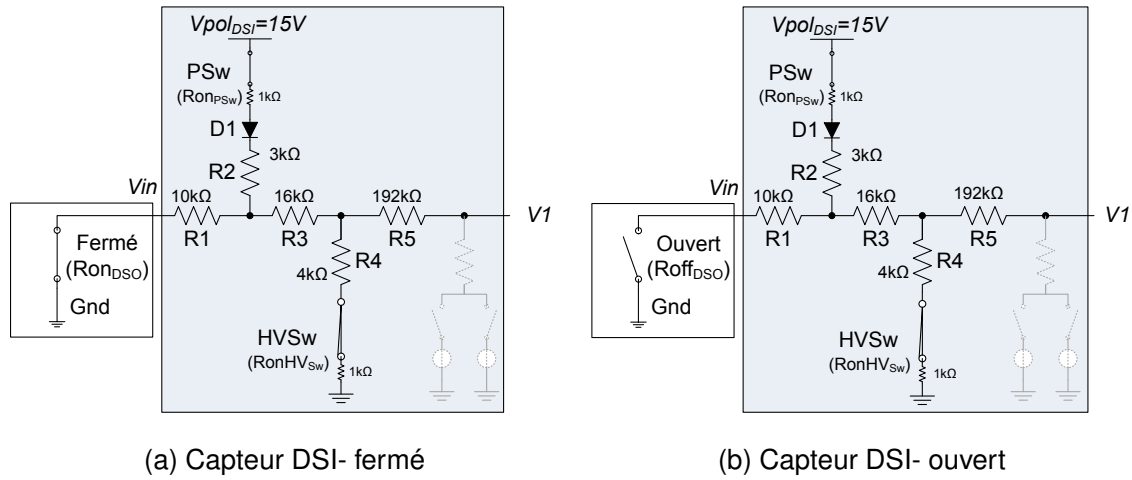


FIGURE 4.14 – Étage d'adaptation configuré en mode DSI-

Ces deux tensions peuvent ici encore être différenciées par comparaison à un seuil de référence bien choisi. On peut cependant remarquer que l'écart entre les valeurs de $V1$ à l'état ouvert et à l'état fermé est plus faible dans le cas du signal DSI- que pour le signal DSI+. Ceci réduit la marge d'immunité au bruit. Cependant, il s'agit du prix à payer pour pouvoir supporter la pleine dynamique du signal d'entrée, lorsqu'une fluctuation de masse apparaît entre le capteur DSI- et notre circuit d'acquisition.

Le courant sortant de l'interface est donné par $I_{gnd} \approx \frac{V_{pol} - V_{th_{D1}}}{R2 + R1} \approx 1mA$, ce qui correspond au courant requis par le capteur discret (voir page 19).

4.3.2.2 Traitement numérique du signal discret DSI-

Le traitement numérique du signal discret DSI- est en tout point identique à celui d'un signal discret DSI+, à l'exception des seuils de comparaison qui peuvent être amenés à changer. Après les trois étapes de traitement numérique représentées sur la FIGURE 4.12, le circuit d'acquisition produit donc une sortie OUT_{DSI} égale à 1 lorsqu'un niveau inférieur à $V_{th_{down}}$ est détecté ce qui signifie que le capteur DSI- est fermé, ou égale à 0 pour un niveau supérieur à $V_{th_{up}}$, correspondant à un état ouvert du capteur.

4.3.3 Acquisition de tension différentielle simple :

Ici, l'interface reconfigurable est configurée pour faire l'acquisition d'une tension analogique différentielle Vin_{diff} . Une paire torsadée porte donc deux tensions Vin_A et Vin_B . Chacune de ces tensions comprend une composante différentielle, ainsi qu'une éventuelle tension de mode commun Vin_{mc} , de sorte que

$$Vin_A = Vin_{mc} + \frac{1}{2} \cdot Vin_{diff} \quad (4.6)$$

et

$$Vin_B = Vin_{mc} - \frac{1}{2} \cdot Vin_{diff} \quad (4.7)$$

Le but de notre circuit générique est donc ici de parvenir à retrouver une estimation Vin_{diff}^* de la tension différentielle d'entrée Vin_{diff} , avec la meilleure précision possible. Pour cela, les deux fils de la tension différentielle sont connectés aux deux entrées Vin_A et Vin_B de l'interface. Les deux étages d'adaptation sont utilisés pour produire des tensions $V1_A$ et $V1_B$ compatibles avec le coeur basse tension du circuit. L'étage différentiel est ensuite chargé de rejeter le mode commun, et de produire une tension Vd qui sera ensuite numérisée par le convertisseur analogique numérique. Enfin, un traitement numérique dédié est chargé d'en extraire l'information utile, ici l'estimation Vin_{diff}^* .

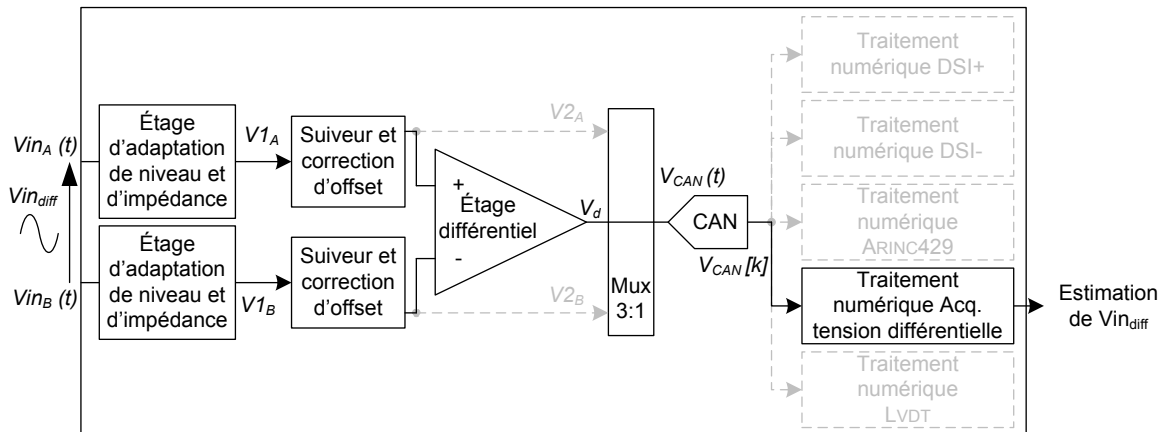


FIGURE 4.15 – Interface configurée pour l'acquisition d'une tension différentielle

4.3.3.1 Conditionnement analogique d'un signal différentiel

Dans ce mode de fonctionnement, les étages d'adaptation « activent » un nouveau pont diviseur de tension, constitué des résistances R1, R3, R5 et R6, comme le montre

la FIGURE 4.16. Ce pont est chargé d'abaisser les tensions $V_{in_{A,B}}$. Deux sources de tension V_{ref1} et V_{ref2} ajoutent une composante continue au signal résultant, ce qui permet de ramener la dynamique initialement symétrique ($V_{in_{A,B}} \in [-30V; +30V]$) à un intervalle non symétrique ($[0V; 3V]$).

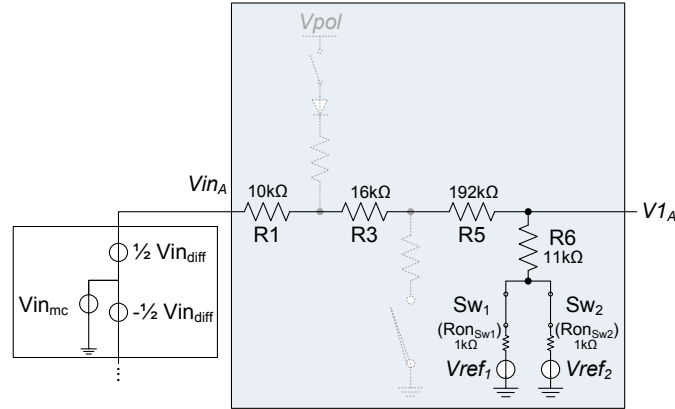


FIGURE 4.16 – Étage d'adaptation configuré pour l'acquisition d'un signal différentiel

Les sources de tension V_{ref1} et V_{ref2} sont connectées en parallèle au travers des résistances R_{on} des interrupteurs, qui limitent le courant débité de V_{ref2} à V_{ref1} à quelques centaines de microampères.

La fonction de transfert de l'étage est alors donnée par :

$$V1 \approx Vin \cdot G^{th} + \left(\frac{V_{ref1} + V_{ref2}}{2} \right) \cdot (1 - G^{th}) \quad (4.8)$$

ou encore en raisonnant en termes de tensions différentielles et de mode commun :

$$V1_A = \frac{1}{2} \cdot Vin_{diff} \cdot G^{th} + Vin_{mc} \cdot G^{th} + \left(\frac{V_{ref1} + V_{ref2}}{2} \right) \cdot (1 - G^{th}) \quad (4.9)$$

et

$$V1_B = -\frac{1}{2} \cdot Vin_{diff} \cdot G^{th} + Vin_{mc} \cdot G^{th} + \left(\frac{V_{ref1} + V_{ref2}}{2} \right) \cdot (1 - G^{th}) \quad (4.10)$$

avec

$$G^{th} = \frac{R6 + 0.5 \cdot (Ron_{Sw1,2})}{R1 + R3 + R5 + R6 + 0.5 \cdot (Ron_{Sw1,2})} \approx \frac{12k}{230k} \approx 0.052$$

Les deux tensions résultantes $V1_A$ et $V1_B$ sont ensuite recopiées en $V2_A$ et $V2_B$ par les suiveurs $U1_A$ et $U1_B$ (cf. FIGURE 4.7), et sont ensuite traitées par l'étage différentiel

(cf. FIGURE 4.8), dont la fonction de transfert est :

$$V_d = (V_{2A} - V_{2B}) \times K^{th} + V_{pol} \quad (4.11)$$

en supposant $R_{7A} = R_{7B} = R_7$ et $R_{8A} = R_{8B} = R_8$, avec K^{th} un gain égal à $K^{th} = \frac{R_8}{R_7}$.

La tension V_{CAN} qui sera numérisée par le convertisseur analogique numérique est donc finalement égale à :

$$V_{CAN}(t) = V_{in_{diff}} \cdot G^{th} \cdot K^{th} + V_{pol} \quad (4.12)$$

L'ensemble du circuit applique donc un gain total $G^{th} \cdot K^{th}$ au signal différentiel d'entrée, ainsi qu'une polarisation V_{pol} . Le mode commun est rejeté par l'étage différentiel. Ainsi, il est aisé, connaissant la dynamique d'entrée du signal différentiel à traiter, de choisir correctement les valeurs de G , K et V_{pol} de manière à ce que la dynamique de V_d corresponde à la dynamique d'entrée $V_{CAN}(t)$ du convertisseur. Enfin, l'impédance d'entrée de l'étage dans cette configuration est égale à $Z_{in} \approx R_1 + R_3 + R_5 + R_6 = 230k\Omega$, ce qui est largement supérieur au minimum requis.

4.3.3.2 Traitement numérique de l'acquisition de tension différentielle

Nous sommes maintenant en présence d'une valeur numérique $V_{CAN}[k]$, représentative de la tension $V_{in_{diff}}$ à estimer. Connaissant G^{th} , K^{th} , et V_{pol} , il est alors aisé d'estimer la valeur de $V_{in_{diff}}$, tout simplement à partir de l'équation (4.12) :

$$V_{in_{diff}}^* = \frac{V_{CAN}[k] - V_{pol}}{G^{th} \cdot K^{th}} \quad (4.13)$$

4.3.3.3 Limites de cette estimation

Nous avons vu dans la section 2.3, que cette estimation doit être effectuée avec une précision meilleure que 0.15% de la pleine échelle du signal. La méthode proposée au paragraphe précédent semble plutôt simple à effectuer, et pourrait suffire pour une estimation n'ayant pas forcément besoin d'une bonne précision, mais se montre insuffisante pour nos besoins. En effet, cette méthode est valable dans le cas où les valeurs de G^{th} , K^{th} et V_{pol} sont parfaitement connues. Lors de la conception des différents éléments du circuit, les valeurs théoriques G^{th} et K^{th} des gains sont déterminées par le choix des résistances les constituant.

En pratique cependant, plusieurs facteurs rendent caduque la méthode de calcul précédente :

- le process de fabrication, ou encore les variations de température au sein de l'avion peuvent largement modifier les valeurs absolues des résistances ;
- l'appairage imparfait des résistances fait que deux résistances identiques dans leur conception ne le sont pas réellement une fois fabriquées ;
- enfin, les trois amplificateurs présents dans le circuit admettent une tension d'offset, qu'il convient de prendre en compte dans nos calculs.

Ces différentes sources d'imprécision vont donc conduire à des valeurs de gain qui diffèrent d'une part de la valeur absolue théorique G^{th} ou K^{th} , mais qui diffèrent aussi d'une voie à une autre, de sorte que nous sommes en réalité en présence d'un gain G_A et d'un gain G_B distincts, et d'un gain K_A et K_B . En prenant en compte ces disparités, ainsi que les éventuelles tensions d'offset des trois amplificateurs, la tension V_{CAN} donnée par l'équation (4.12) devient alors :

$$\begin{aligned}
 V_{CAN}^{rel} = & Vin_{diff} \cdot \frac{K_A \cdot G_A + K_B \cdot G_B}{2} \\
 & + Vin_{mc} \cdot (K_A \cdot G_A - K_B \cdot G_B) \\
 & + \frac{V_{ref1} + V_{ref2}}{2} \cdot [K_A \cdot (1 - G_A) - K_B \cdot (1 - G_B)] \\
 & + V_{pol} \cdot (1 - K_A + K_B) \\
 & + o1_A \cdot K_A - o1_B \cdot K_B + o2
 \end{aligned} \tag{4.14}$$

avec

$$\begin{aligned}
 G_A &= \frac{R6_A + Ron_{SwA}}{R1_A + R3_A + R5_A + R6_A + Ron_{SwA}} \\
 G_B &= \frac{R6_B + Ron_{SwB}}{R1_B + R3_B + R5_B + R6_B + Ron_{SwB}} \\
 K_A &= \frac{R8_A}{R7_B} \cdot \frac{R7_B + R8_B}{R7_A + R8_A} \\
 K_B &= \frac{R8_B}{R7_B}
 \end{aligned}$$

Il est possible de déterminer le taux de réjection de mode commun (TRMC) global du circuit par la formule suivante :

$$TRMC_{total} = 20 \log \left| \frac{K_A \cdot G_A + K_B \cdot G_B}{2 \cdot (K_A \cdot G_A - K_B \cdot G_B)} \right| \text{ dB} \tag{4.15}$$

On remarque donc que plus les valeurs $K_A \cdot G_A$ et $K_B \cdot G_B$ sont éloignées, plus le TRMC global de l'interface est dégradé.

En effectuant le simple calcul de l'équation (4.13), notre estimation de $V_{in_{diff}}$ serait donc faussée par plusieurs sources d'erreurs :

- une portion du mode commun $V_{in_{mc}}$ non rejetée, due à la dégradation du TRMC ;
- une erreur provenant de la tension de polarisation V_{ref1} ;
- une portion parasite de la tension de polarisation V_{pol} ;
- les différentes tensions d'offset $o1_A$, $o1_B$ et $o2$;
- et finalement une erreur due à la tension différentielle $V_{in_{diff}}$, celle là-même que l'on cherche justement à estimer !

Il est donc important de prendre en compte ces différentes variations entre les composants, sous peine de voir notre estimation finale largement biaisée. Nous avons vu page 55 qu'il existe des méthodes permettant de minimiser ces erreurs. Ces méthodes visent en général à calibrer les composants, c'est à dire à modifier physiquement leurs caractéristiques, afin de réduire les erreurs à leur source. Nous avons aussi vu que hormis la coûteuse calibration au laser, cette calibration pouvait se faire de manière active en commutant des résistances de calibration, mais qu'en raison des hautes tensions présentes dans notre application, ces méthodes n'étaient pas applicables à notre circuit. Pour cette raison, nous avons suivi une autre approche, à contre courant des différentes méthodes de calibration permettant de s'affranchir malgré tout des erreurs dues à la dispersion des composants analogiques. Cette méthode fait l'objet de la prochaine section.

4.3.4 Correction d'erreurs dynamique

Le principe que nous proposons pour s'affranchir des dispersions analogiques consiste non pas à réduire en amont les sources d'erreurs, mais à les corriger *a posteriori*. Pour cela, nous effectuons une série de mesures M_i , que nous savons faussées. À partir de cet ensemble de mesures, nous déterminons ensuite les paramètres réels de la chaîne d'acquisition : gains, offsets, tension de mode commun, pour aboutir finalement à une estimation correcte de la tension $V_{in_{diff}}$ recherchée.

Ce mode de fonctionnement de notre interface d'acquisition est un peu particulier, puisque contrairement aux autres applications, la configuration des différents étages n'est pas figée, mais va évoluer en fonction des mesures M_i . La configuration à appliquer pour chaque mesure est donnée par le tableau de l'annexe A. Une représentation de chacune de ces configurations est ensuite visible en annexe B.

Cette méthode fait appel à l'utilisation des deux tensions de référence V_{ref1} et V_{ref2} et d'une tension de polarisation V_{pol} , que nous supposons parfaitement connues par la suite. Deux composants des voies A et B, théoriquement identiques, ont maintenant chacun leur valeur propre, de sorte que par exemple $R1_A \neq R1_B$.

Les paragraphes suivants détaillent le principe de cette correction d'erreurs.

4.3.4.1 Correction de l'erreur de gain des étages d'adaptation :

Cette première étape consiste à déterminer les gains réels G_A et G_B des étages d'adaptation de niveau et d'impédance décrits dans la section 4.2.1. Pour chacun des gains, le principe consiste à mesurer deux fois la tension $V1_{A,B}$, mais en activant à chaque mesure l'une ou l'autre des références de tension, comme le montre la FIGURE 4.17 ainsi que l'ANNEXE B.1.

La première mesure, « $M1$ », effectuée en activant V_{ref1} sur l'étage d'adaptation de la voie A, nous donne :

$$M_1 = Vin_A \times G_A + V_{ref1} \times (1 - G_A) + o1_A \quad (4.16)$$

La seconde mesure M_2 effectuée en activant cette fois-ci V_{ref2} nous donne :

$$M_2 = Vin_A \times G_A + V_{ref2} \times (1 - G_A) + o1_A \quad (4.17)$$

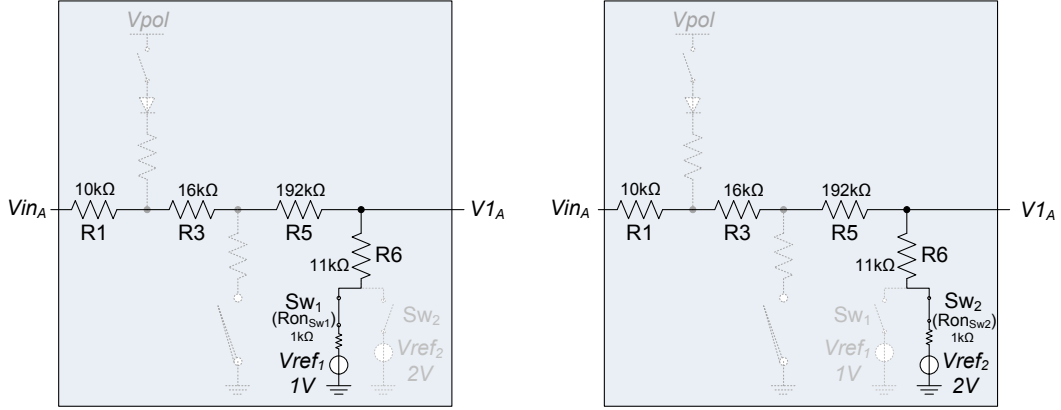


FIGURE 4.17 – Étage d'adaptation configuré pour les mesures M_1 (gauche) et M_2 (droite)

La résolution partielle du système constitué des équations (4.16) et (4.17) donne :

$$G_A^* = 1 - \frac{M_2 - M_1}{V_{ref2} - V_{ref1}} \quad (4.18)$$

De la même manière, il est possible d'estimer la valeur réelle de G_B à l'aide de deux mesures supplémentaires M_3 et M_4 , effectuées en activement successivement V_{ref1} puis V_{ref2} sur la voie B. Nous obtenons alors :

$$G_B^* = 1 - \frac{M_4 - M_3}{V_{ref2} - V_{ref1}} \quad (4.19)$$

Ces quatre mesures nous permettent donc *in fine* de retrouver la valeur réelle des deux gains des étages d'adaptation. Afin de gagner précision, les gains sont filtrés dans le temps, par un filtre moyenneur par exemple.

4.3.4.2 Algorithme de correction d'erreurs simplifié

À ce stade, les mesures $M1$ à $M4$ nous permettent d'estimer avec précision les valeurs des gains. Cependant, à partir de ce même jeu de mesures, nous sommes aussi en mesure de retrouver une valeur approchée de V_{inA} et V_{inB} :

$$\frac{M_2 \cdot V_{ref1} - M_1 \cdot V_{ref2}}{(M_2 - M_1) - (V_{ref2} - V_{ref1})} = V_{inA} - \frac{ol_A}{G_A} \approx V_{inA}^* \quad (4.20)$$

$$\frac{M_4 \cdot V_{ref1} - M_3 \cdot V_{ref2}}{(M_4 - M_3) - (V_{ref2} - V_{ref1})} = V_{inB} - \frac{ol_B}{G_B} \approx V_{inB}^* \quad (4.21)$$

Ainsi, en combinant les équations (4.6), (4.7), (4.20) et (4.21), nous pouvons en déduire une valeur approchée de Vin_{mc} ainsi que de Vin_{diff}

$$Vin_{mc}^* = \frac{Vin_A^* + Vin_B^*}{2} \quad (4.22)$$

$$Vin_{diff}^* = Vin_A^* - Vin_B^* \quad (4.23)$$

À partir de ces quatre mesures, cet algorithme, résumé sur la FIGURE 4.18, permet donc de corriger les dérives des gains G_a et G_b et d'estimer correctement la tension différentielle Vin_{diff} .

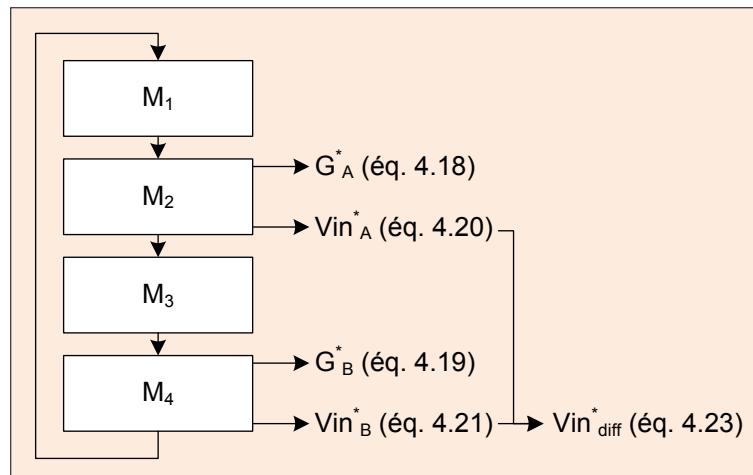


FIGURE 4.18 – Algorithme de correction d'erreur simplifié

Cet algorithme présente néanmoins deux limitations :

- la tension différentielle Vin_{diff} est estimée à partir des tensions $V1_{A,B}$ numérisées directement. Comme le montrent les équations (4.6) et (4.7), chacune de ces tensions est constituée d'une part non négligeable de mode commun. La pleine dynamique de l'ADC est donc mise à contribution aussi bien pour numériser ce mode commun parasite que la tension différentielle utile. L'ensemble {ADC+étages d'adaptation} voit donc sa « résolution effective » réduite d'un nombre de bits égal à

$$\log_2 \left(\frac{\text{dynamique différentielle}}{\text{dynamique différentielle} + \text{dynamique mode commun}} \right)$$

Dans le cas où la dynamique de mode commun est non négligeable devant la dynamique différentielle, cette diminution de résolution peut devenir très importante. À titre d'exemple, nos signaux différentiels présentent une dynamique de

$\pm 10V$, superposés à une dynamique de $\pm 20V$ de mode commun, menant à une perte de résolution globale de 1.7 bits.

- dans cet algorithme, Vin_A et Vin_B sont estimés en négligeant les offsets $o1_A$ et $o1_B$. De plus, comme le montrent les équations (4.20) et (4.21), ces offsets sont ici multipliés par un facteur $1/G$. Les gains $G_{A,B}$ étant des gains *réducteurs* (inférieurs à 1), les tensions d'offsets sont donc amplifiées dans cet algorithme. À titre d'exemple, pour $G_{A,B} = 0.05$ et des offsets $o1_A = -o1_B = 2mV$, l'erreur commise sur Vin_{diff} atteint 85mV, soit presque un pourcent de la pleine échelle du signal d'entrée.

Pour limiter la perte de résolution, il est intéressant de rejeter de manière analogique le mode commun, de manière à ce que l'ADC numérise la tension différentielle sur sa pleine échelle. C'est pour cette raison qu'a été mis en place l'étage différentiel présenté dans la section 4.2.3. Les étages de correction d'offset permettent quant à eux de réduire les erreurs statiques.

4.3.4.3 Correction des erreurs de gain de l'étage différentiel

L'étage différentiel proposé précédemment permet idéalement de rejeter le mode commun en appliquant aux tensions $V2_A$ et $V2_B$ la fonction de transfert (4.11). Cependant, les imperfections d'appairage s'appliquent tout autant à cet étage différentiel qu'aux étages d'adaptation d'impédance. L'existence d'un gain K_A et K_B distincts en est l'illustration. Notre méthode de correction vise donc à corriger cette nouvelle erreur de gain, en cherchant à estimer les valeurs réelles de K_A et K_B , à l'aide de trois nouvelles mesures M_5 , M_6 et M_7 , associées chacune à une configuration de l'interface (cf. ANNEXE B.2). En prenant en compte les offsets et erreurs d'appairage, les fonctions de transfert associées à ces trois mesures s'écrivent :

$$\begin{aligned}
 M_5 = Vin_{diff} \cdot \frac{K_A \cdot G_A + K_B \cdot G_B}{2} + Vin_{mc} \cdot (K_A \cdot G_A - K_B \cdot G_B) \\
 + V_{ref1} \cdot [K_A \cdot (1 - G_A)] - V_{ref2} \cdot [K_B \cdot (1 - G_B)] \\
 + V_{pol} \cdot (1 - K_A + K_B) + o1_A \cdot K_A - o1_B \cdot K_B + o2
 \end{aligned} \tag{4.24}$$

$$\begin{aligned}
 M_6 = Vin_{diff} \cdot \frac{K_A \cdot G_A + K_B \cdot G_B}{2} + Vin_{mc} \cdot (K_A \cdot G_A - K_B \cdot G_B) \\
 + V_{ref1} \cdot [K_A \cdot (1 - G_A) - K_B \cdot (1 - G_B)] \\
 + V_{pol} \cdot (1 - K_A + K_B) + o1_A \cdot K_A - o1_B \cdot K_B + o2
 \end{aligned} \tag{4.25}$$

$$\begin{aligned}
 M_7 = & Vin_{diff} \cdot \frac{K_A \cdot G_A + K_B \cdot G_B}{2} + Vin_{mc} \cdot (K_A \cdot G_A - K_B \cdot G_B) \\
 & + V_{ref2} \cdot [K_A \cdot (1 - G_A)] - V_{ref1} \cdot [K_B \cdot (1 - G_B)] \\
 & + V_{pol} \cdot (1 - K_A + K_B) + o1_A \cdot K_A - o1_B \cdot K_B + o2
 \end{aligned} \quad (4.26)$$

Nous pouvons maintenant estimer K_A et K_B à l'aide de ces trois nouvelles équations, ainsi que des gains G_A^{*f} et G_B^{*f} estimés et filtrés obtenus précédemment :

$$K_A^* = \frac{M_7 - M_6}{(V_{ref2} - V_{ref1}) \cdot (1 - G_A^{*f})} \quad (4.27)$$

$$K_B^* = \frac{M_6 - M_5}{(V_{ref2} - V_{ref1}) \cdot (1 - G_B^{*f})} \quad (4.28)$$

Ici encore, les gains $K_{A,B}^*$ estimés sont ensuite filtrés par un filtre moyennneur pour gagner en précision.

4.3.4.4 Correction des erreurs d'offset

Cette dernière étape consiste à évaluer les offsets des trois amplificateurs composant le circuit, au moyen de trois nouvelles mesures M_8 , M_9 et M_{10} , associées à une configuration détaillée en ANNEXE B.3.

Les interrupteurs Sw3 et Sw4 des étages suiveurs et de correction d'offset permettent d'isoler complètement les entrées des suiveurs des tensions $V1_{A,B}$, et d'injecter une tension nulle à la place, comme le montre la FIGURE 4.19

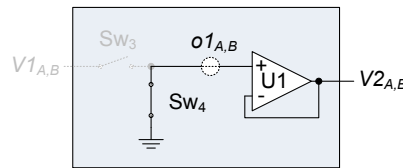


FIGURE 4.19 – Étages de correction d'offset configurés pour les mesures M_8 à M_{10}

Ainsi, les mesures M_8 et M_9 permettent de numériser directement l'offset. Leur estimation est donc immédiate :

$$o1_A^* = M_8 \quad (4.29)$$

$$o1_B^* = M_9 \quad (4.30)$$

L'estimation de l'offset de l'amplificateur différentiel quant à elle se fait au moyen de la mesure M_{10} , pour laquelle les deux entrées des suiveurs ont été mises à la masse.

On obtient alors :

$$M_{10} = +o1_A \cdot K_A - o1_B \cdot K_B + o2 \quad (4.31)$$

d'où

$$o2^* = M_{10} - o1_A^* \cdot K_A^{*f} + o1_B^* \cdot K_B^{*f} \quad (4.32)$$

4.3.4.5 Algorithme complet de correction d'erreurs

Nous sommes maintenant en mesure d'estimer les paramètres G_A , G_B , K_A , K_B , $o1_A$, $o1_B$ et $o2$ du système. V_{ref1} , V_{ref2} ainsi que V_{pol} sont connus. La tension de mode commun peut-être elle aussi estimée à l'aide de l'équation (4.22). Après cette importante série de mesure, nous sommes donc finalement en mesure d'obtenir une bonne estimation de V_{indiff} , à partir de l'une des mesures M_5 , M_6 ou M_7 au choix. En utilisant par exemple M_6 :

$$\begin{aligned} V_{indiff}^* = \frac{2}{K_A^{*f} \cdot G_A^{*f} + K_B^{*f} \cdot G_B^{*f}} \cdot [& M_6 - V_{in_{mc}}^* \cdot (K_A^{*f} \cdot G_A^{*f} - K_B^{*f} \cdot G_B^{*f}) \\ & - V_{ref1} \cdot (K_A^{*f} \cdot (1 - G_A^{*f}) - K_B^{*f} \cdot (1 - G_B^{*f})) \\ & - V_{pol} \cdot (1 - K_A^{*f} + K_B^{*f}) \\ & - o1_A^* \cdot K_A^{*f} + o1_B^* \cdot K_B^{*f} - o2^*] \end{aligned} \quad (4.33)$$

L'algorithme complet de correction d'erreur, représenté sur la FIGURE 4.25 (à la fin de cette section) est ensuite composé de deux phases :

Phase d'estimation : dans cette première phase, tous les paramètres de la chaîne d'acquisition sont déterminés à l'aide des dix mesures décrites précédemment. Leur valeur peut ensuite être conservée en mémoire, pour être réutilisée par la suite. Ces paramètres sont des paramètres intrinsèques de l'interface, et leur valeur est normalement fixe, ou susceptible d'évoluer très lentement devant nos vitesses d'échantillonnage (variations en température par exemple). Ainsi, la phase d'estimation peut être déclenchée à intervalles réguliers, toutes les secondes ou minutes par exemple, pour compenser les éventuelles dérives en température de l'interface.

Phase de mesure : une fois tous les paramètres de la chaîne d'acquisition estimés et stockés en mémoire, il est alors possible de procéder à la phase de mesure proprement dite. Dans cette phase sont maintenant estimées les grandeurs évoluant plus rapidement, à savoir V_{indiff} et $V_{in_{mc}}$. Ces dernières grandeurs né-

cessitent bien moins de mesures pour être déterminées. Vin_{mc} requiert deux mesures, par exemple M_2 et M_3 , et Vin_{diff} ne nécessite qu'une mesure au choix parmi M_5 , M_6 ou M_7 . Les phases de mesure peuvent donc s'enchaîner plus rapidement, sans avoir besoin d'intercaler trop de mesures inutiles.

Ces deux phases peuvent aussi être fusionnées en une seule afin de simplifier la gestion des différentes configurations : les estimations de Vin_{mc} et Vin_{diff} se font alors à partir des mesures M_2 , M_3 et M_6 tirées de la phase d'estimation.

4.3.4.6 Limitations de la méthode de correction d'erreurs

La première limitation de cette méthode concerne le principe même mis en œuvre : corriger des erreurs à l'aide d'une importante série de mesures. En effet, nous avons fait l'hypothèse, que durant toute la durée de la phase d'estimation, aucune donnée ne changeait, comme si le temps s'était figé entre la mesure M_1 et la mesure M_{10} .

Penchons nous plus attentivement sur l'équation (4.18), permettant d'estimer le gain G_A , à partir des mesures M_1 et M_2 . Cette équation vise à annuler des termes inconnus — $Vin_A \times G_A$ et $o1_A$ en l'occurrence — en effectuant une différence. Ces termes s'annulent effectivement, sous réserve que entre la mesure M_1 et la mesure M_2 , la valeur de $o1_A$ et de Vin_A n'aient pas changé. L'offset est un paramètre physique de l'amplificateur et ne change donc pas, sinon très lentement. L'hypothèse se vérifie donc aisément dans ce cas. Concernant Vin_A , la contrainte est beaucoup plus forte : Vin_A étant constitué d'une part de mode commun et d'une part de mode différentiel, aucune de ces tensions ne doit varier entre les deux mesures.

Dans les faits, chacune d'elle varie légèrement. Afin de minimiser l'erreur qui en résulte, il convient donc de rapprocher un maximum les deux mesures l'une de l'autre, ou de limiter fortement la bande passante du signal, autant en mode commun qu'en mode différentiel. Fort heureusement, cette bande passante est connue et dans le cas de signaux avioniques, est très faible, puisque de l'ordre de la centaine de Hertz. C'est cette caractéristique propre à notre application — une bande passante faible, combinée à des mesures très rapprochées (et donc un échantillonnage rapide devant la fréquence maximum du signal) — qui nous permet de proposer cet algorithme.

Les erreurs d'estimation résultant de cette variation des grandeurs d'une mesure à l'autre peuvent de plus être efficacement en filtrant les différents paramètres estimés par filtre moyennneur par exemple, comme nous le proposons 73. Concernant cette limitation, notons qu'il n'est pas nécessaire que toutes les grandeurs soient parfaitement figées durant toute la phase d'estimation. La phase d'estimation étant en fait

elle-même constituée d'un ensemble de plusieurs courtes phases distinctes (détermination de G_A , puis G_B , puis K_A et K_B , et enfin des offsets $o1_A$, $o1_B$ et $o2$), nous cherchons à minimiser les variations au sein de ces courtes phases, et pas forcément de l'une à l'autre.

Pour cela, l'ordre dans lequel sont effectuées les différentes mesures est primordial : par exemple, K_A est déterminé à partir de M_5 et M_6 , puis K_B à partir de M_6 puis M_7 . En effectuant les trois mesures M_5 , M_6 et M_7 dans cet ordre, nous assurons que les variations des tensions d'entrées seront minimales pendant les deux phases d'estimation de K_A et K_B .

Une deuxième limitation est liée à la correction des offsets. Comme le montrent les équations (4.29) et (4.30), dans ces deux configurations, le convertisseur analogique numérique numérise directement les offsets $o1_A$ ou $o1_B$. Ceci n'est bien évidemment possible que si le convertisseur en est capable, c'est à dire dispose de la résolution suffisante. Dans le cas où l'offset est plus faible qu'un LSB du convertisseur, cette correction n'est donc plus possible.

Enfin, la dernière limitation concerne la complexité de l'algorithme. La calibration physique des composants n'étant pas possible dans notre application, nous avons mis en place des mécanismes plus complexes, faisant intervenir un nombre non négligeable d'opérations. Le circuit mixte doit être capable de commuter suffisamment rapidement d'une configuration à une autre, et le circuit numérique doit lui pouvoir effectuer différents calculs, faisant intervenir les quatre opérations arithmétiques de base —dont la division— sur des nombres décimaux. Tous les circuits numériques n'en sont pas nécessairement capables...

4.3.4.7 Simulations de l'algorithme de correction d'erreurs

L'algorithme de correction d'erreur a été implémenté et testé sous Matlab. Dans la simulation suivante, la fréquence d'échantillonnage du convertisseur a été fixée à 1Msps, et sa résolution à 12 bits, pour une dynamique de 3V. Les phases de mesure et d'estimation ont ici été fusionnées, et se succèdent à une fréquence de 50kHz. Les gains G^{th} et K^{th} ont été fixés à des valeurs respectives de 0.0522 et 1. Nous avons utilisé comme stimuli un ensemble de tensions sinusoïdales représentatives des signaux que l'on pourrait retrouver dans un avion :

$$Vin_{diff}(t) = 2 + 8 \sin(2\pi \times 5 \times t)$$

$$Vin_{mc}(t) = 20 \sin(2\pi \times 100 \times t) + 12 \sin(2\pi \times 180 \times t)$$

Ces tensions sont représentées sur la FIGURE 4.20.

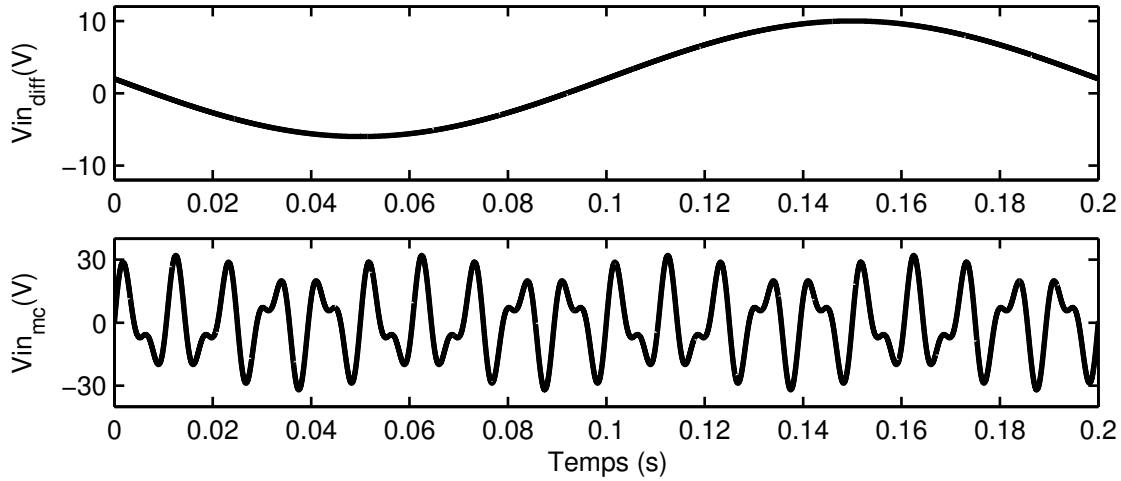


FIGURE 4.20 – Tensions différentielle et de mode communs utilisées comme stimuli

La FIGURE 4.21 ensuite montre Vin_A , l'une des tensions résultantes appliquées sur les voies de l'interface. Les différentes phases d'estimation de l'algorithme, constituées des mesures $\{M_1-M_{10}\}$ peuvent être observées sur un court intervalle temporel. Comme le montre la figure, pendant une phase d'estimation, la tension Vin_A évolue quelque peu. En rapprochant un maximum les mesures M_1 à M_{10} (fréquence d'échantillonnage rapide), il est ainsi possible de limiter cette variation de tension pendant la phase d'estimation des paramètres.

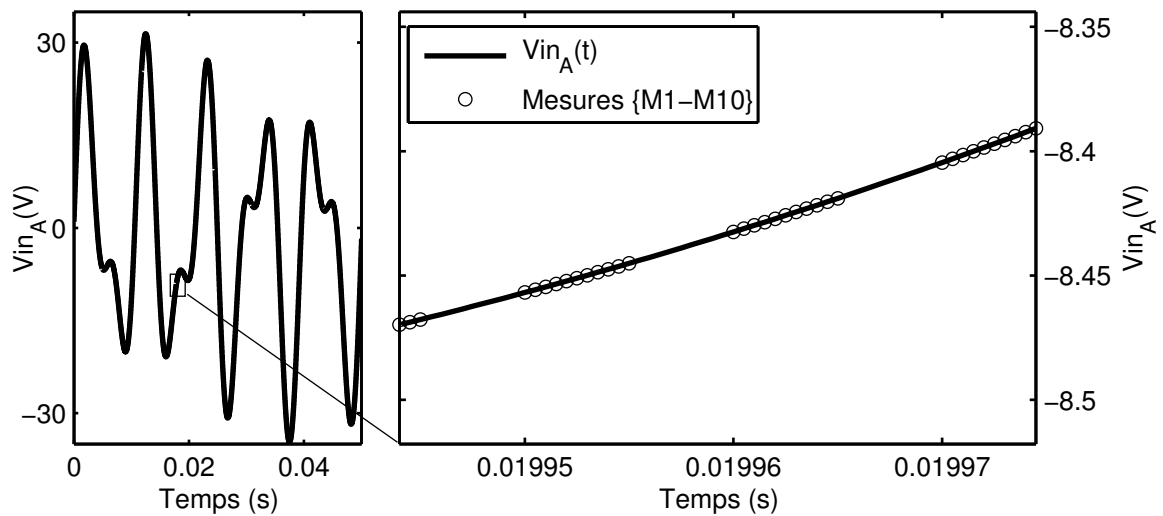


FIGURE 4.21 – Tension Vin_A appliquée à la voie A

Le TABLEAU 4.1 résume les différents paramètres de l'interface (gains et offsets). Chacune des résistances composant le circuit a été modélisée en tenant compte des défauts d'appairage. Les valeurs présentées dans ce tableau sont donc un tirage aléatoire, représentatif des gains et offsets réels que l'on pourrait retrouver dans un circuit effectivement fabriqué. Avec ces valeurs de gains, le circuit d'interfaçage présente un TRMC global de 21 dB ! Ce taux de réjection désastreux montre bien l'impact que peuvent avoir quelques pourcents de *mismatch* entre les résistances composant le circuit.

	G_A	G_B	K_A	K_B	$o1_A$	$o1_B$	$o2$
Valeur théorique	0.0522	0.0522	1	1	0 mV	0 mV	0 mV
Valeur réelle	0.0537	0.0495	0.9978	0.9964	-1.1 mV	2.12 mV	-1.13 mV
Écart relatif	2.9%	-5%	-0.2%	-0.4%			

TABLE 4.1 – Paramètres de simulation de l'algorithme de correction d'erreurs

La FIGURE 4.22 montre l'effet de l'algorithme de correction d'erreur, avec l'estimation des différents paramètres de l'interface.

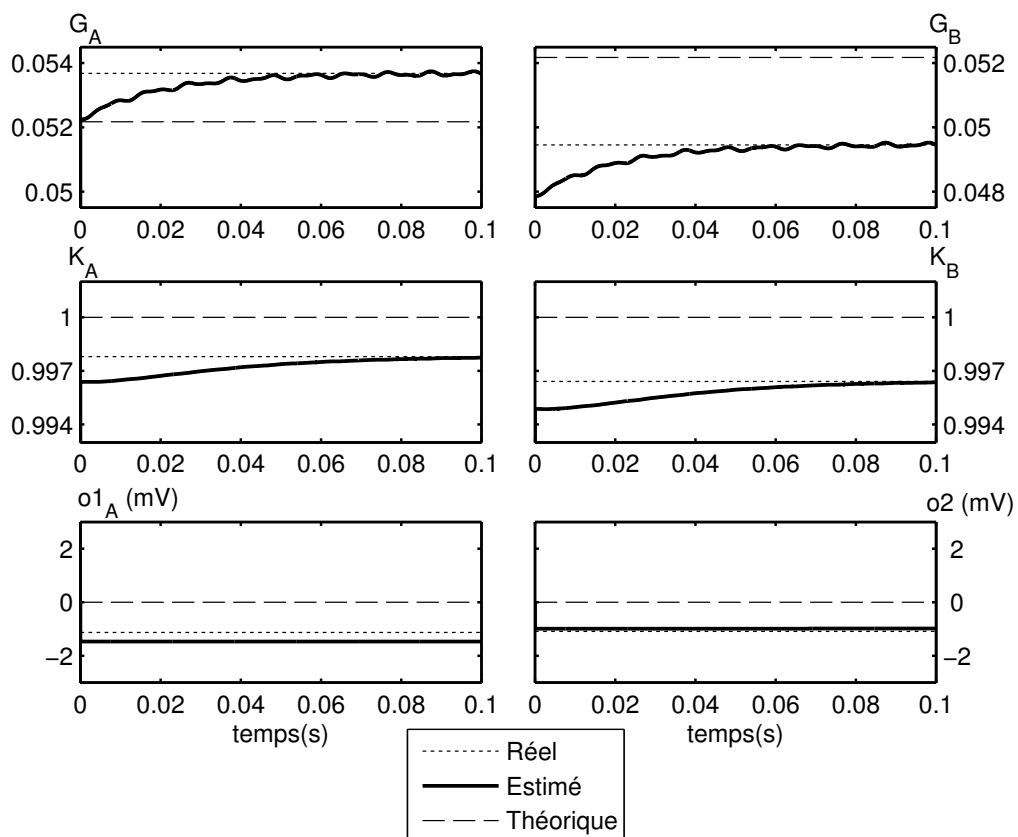


FIGURE 4.22 – Estimation des paramètres de l'interface

Notons que dans l'algorithme, un filtrage numérique IIR d'ordre 1 a été appliqué à chacun de ces gains, afin de lisser les principales erreurs d'estimation. Il est de plus remarquable de comparer les temps de convergence des différents paramètres

- Les gains $K_{A,B}$ sont plus longs à estimer que les gains $G_{A,B}$. Cela est dû au fait que pour déterminer $K_{A,B}^*$, nous utilisons les valeurs estimées puis filtrées des gains $G_{A,B}$ (équ. (4.27) et (4.27)). Par conséquent, K_A et K_B ne peuvent être effectivement estimés qu'après que G_A et G_B l'aient été.
- Les offsets quant à eux sont quasiment instantanément estimés. Ceci est dû au fait que leur estimation est en fait une mesure directe de leur valeur réelle. Il est cependant intéressant d'observer les effets de la limitation décrite page 79 : la précision de l'estimation des offsets est directement limitée par la résolution du convertisseur analogique-numérique. Cette limite s'observe sur l'estimation de $o1_A$ notamment, où l'offset à estimer (-1.1mV) est du même ordre de grandeur qu'un LSB du convertisseur (0.73mV). L'erreur statique résultante est donc ici bien une erreur de quantification.

La FIGURE 4.23 quant à elle, montre la deuxième phase de l'algorithme, à savoir l'estimation de la valeur de la tension différentielle V_{in_diff} . Pour pouvoir mieux ap-

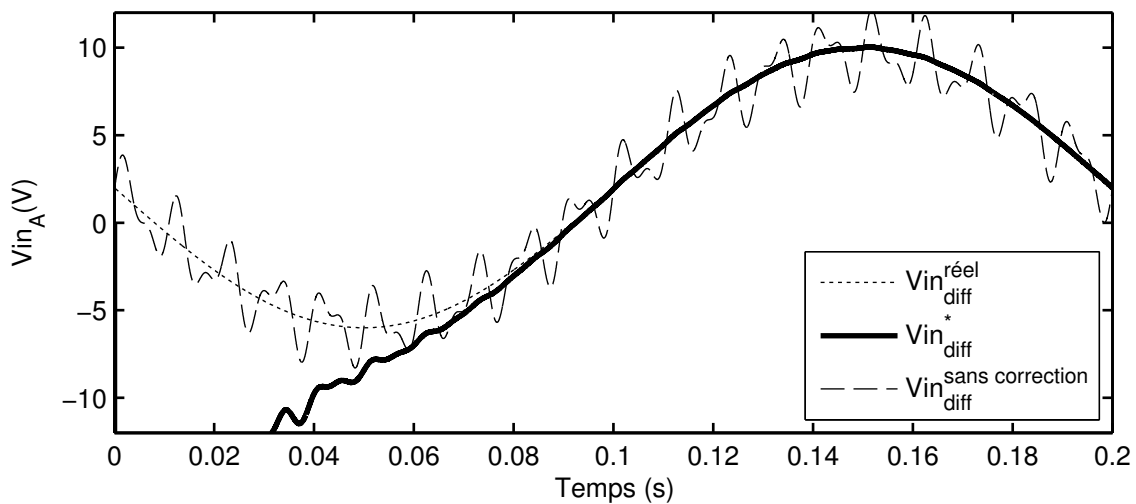


FIGURE 4.23 – Estimation de la tension différentielle $V_{in_diff}^*$ (convergence volontairement ralentie)

précier l'impact de l'estimation des paramètres, la convergence de l'algorithme a été volontairement ralentie. La figure montre de plus quelle aurait été la tension que l'on obtiendrait, sans effectuer de correction d'erreur. Cette dernière comprend notamment une forte composante de mode commun bien visible, due au mauvais TRMC de l'interface. Nous pouvons observer que tant que tous les paramètres de l'interface n'ont

pas été correctement estimés, notre estimation de $V_{in_{diff}}$ est erronée. Au fur et à mesure que les estimations s'affinent, la valeur recomposée de $V_{in_{diff}}$ tend vers la tension de consigne.

Les dernières courbes présentées sur la FIGURE 4.24 montrent finalement l'erreur résultante obtenue avec notre méthode de correction. Cette erreur est comparée à celle que l'on obtiendrait sans aucun traitement de correction. Nous pouvons voir qu'une variation des valeurs de gains de quelques pourcents uniquement se répercute en une erreur bien plus importante sur l'estimation de la tension différentielle. De $\pm 15\%$ sans correction, nous sommes parvenus à réduire cette erreur à moins de $\pm 0.1\%$ de la pleine échelle. Ainsi, nous avons montré qu'il est possible de compenser des erreurs analogiques par un traitement mixte, mettant en œuvre des mécanismes aussi bien analogiques (commutations de résistances et de sources de tension) que numériques. L'ensemble de cette procédure de correction d'erreurs a fait l'objet d'un dépôt de brevet [72].

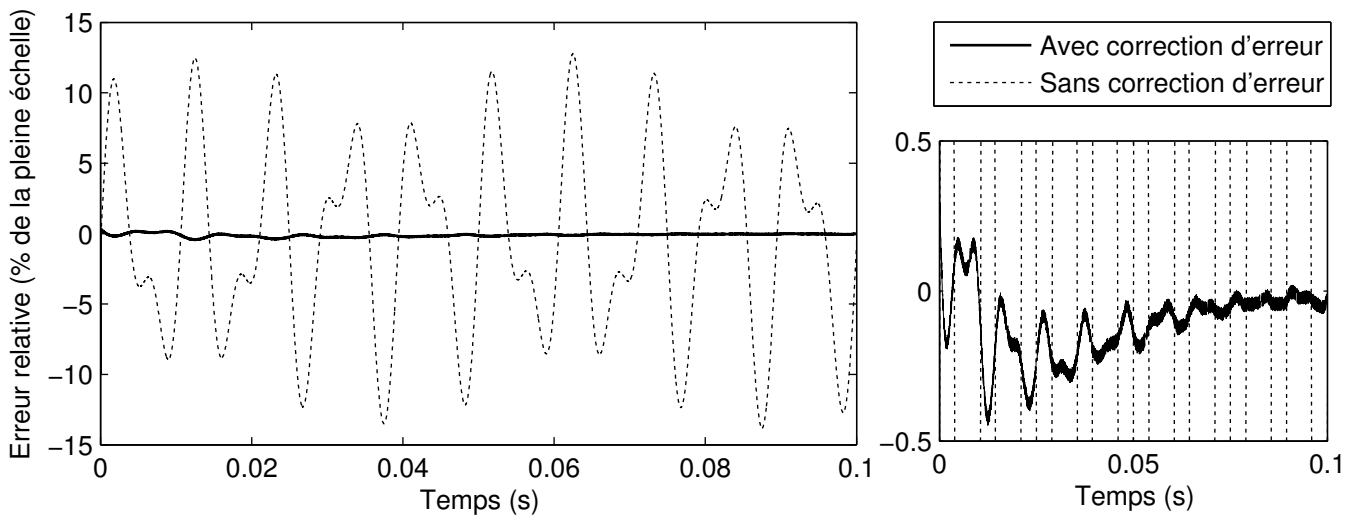


FIGURE 4.24 – Erreur résultante après estimation des paramètres

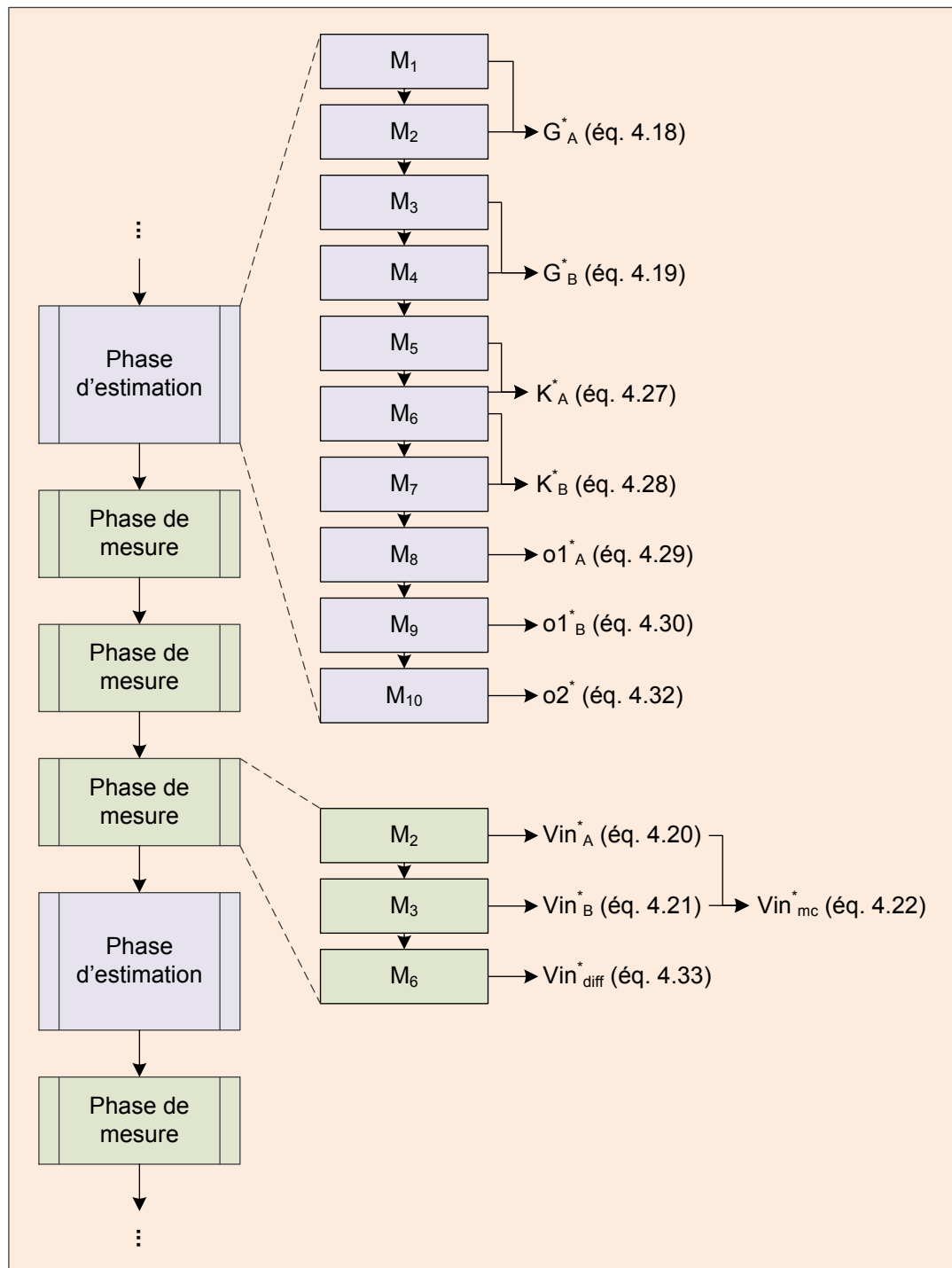


FIGURE 4.25 – Algorithme de correction d'erreur complet

4.3.5 Acquisition d'un capteur inductif de déplacement

L'acquisition VDT consiste à déterminer l'amplitude x du déplacement du noyau constituant le capteur. Cette acquisition diffère des acquisitions précédentes, dans la mesure où elle fait intervenir non pas une mais deux chaînes d'acquisitions analogiques complètes, comme celle présentée FIGURE 4.5. Chacune de ces chaînes comprend ses étages d'adaptation de niveaux, son étage différentiel et son convertisseur analogique numérique. Le capteur VDT fournit deux tensions différentielles V_{in_diff1} et V_{in_diff2} , aux bornes de deux enroulements. Chacune de ces tensions différentielles est conditionnée puis numérisée par un convertisseur. Chaque convertisseur fournit donc une tension numérisée $V_{CAN\ 1}[k]$ et $V_{CAN\ 2}[k]$, qui constituent les signaux d'entrée du traitement numérique. La FIGURE 4.26 illustre cette application particulière.

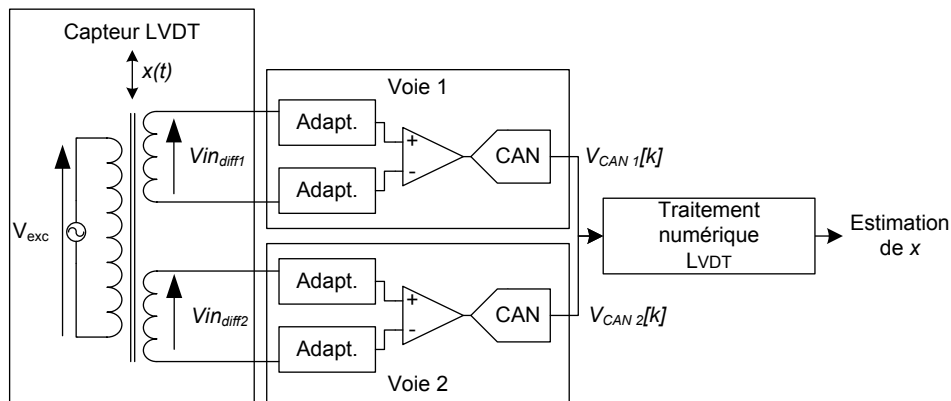


FIGURE 4.26 – Interface configurée pour l'acquisition d'un capteur VDT

4.3.5.1 Estimation des tensions d'entrée

Afin de déterminer le déplacement du noyau, il convient tout d'abord de retrouver les tensions différentielles V_{in_diff1} et V_{in_diff2} fournies par le capteur. Nous pourrions pour cela imaginer appliquer le même algorithme que présenté précédemment. Cependant, les signaux provenant du capteur VDT sont trop rapides pour cela (cf. section 2.3), et d'autre part, nous verrons par la suite qu'il n'est pas forcément nécessaire d'avoir une très grande précision dans cette estimation préliminaire. Pour cette première étape, nous utilisons donc l'acquisition de tension différentielle simple, décrite dans la section 4.3.3. Dans cette configuration, en première approximation, les deux voies fournissent une tension $V_{CAN\ 1,2}$ définie par l'équation (4.12), qui nous permettent d'estimer V_{in_diff1} et V_{in_diff2} grossièrement grâce à l'équation (4.13). Nous

avons vu dans la section précédente qu'en réalité, en raison des imprécisions dues au process de fabrication, chaque voie possédait son propre gain, de sorte que la tension obtenue par l'équation (4.13) est en réalité égale à :

$$Vin_{diff\ 1,2}^* \approx Vin_{diff\ 1,2} \cdot \frac{G_{1,2} \cdot K_{1,2}}{G^{th} \cdot K^{th}} = Vin_{diff\ 1,2} \times H_{1,2} \quad (4.34)$$

Ainsi, les estimations de Vin_{diff1} et Vin_{diff2} sont en réalité faussées par un gain H_1 ou H_2 .

La démodulation VDT classique proposée page 21 n'est pas robuste à ces erreurs de gain, et ne permet donc pas dans ces conditions de déterminer convenablement le déplacement x . De plus, suivant la manière dont la détection d'amplitude des sinusoïdes est effectuée, cette méthode peut aussi se montrer très sensible à un éventuel déphasage entre les deux voies du capteur [73][74]. La méthode de démodulation proposée ci-après permet quant à elle de déterminer avec précision la valeur du déplacement x , et ce malgré la présence d'erreurs de gain ou de déphasage pouvant être apportées par le capteur lui même ou par les chaînes d'acquisition analogiques.

4.3.5.2 Modélisation des tensions d'entrée

En présence d'un déphasage, le capteur VDT fournit deux tensions sinusoïdales pouvant s'exprimer sous la forme :

$$Vin_{diff1}(t) = (1 + x) \times \sin(\omega t + \phi_1) \quad (4.35)$$

$$Vin_{diff2}(t) = (1 - x) \times \sin(\omega t + \phi_2) \quad (4.36)$$

Après l'estimation préliminaire décrite précédemment, nous avons donc deux tensions estimées égales à :

$$Vin_{diff1}^*(t) = H_1 \times (1 + x) \times \sin(\omega t + \phi_1) \quad (4.37)$$

$$Vin_{diff2}^*(t) = H_2 \times (1 - x) \times \sin(\omega t + \phi_2) \quad (4.38)$$

Le rôle de l'algorithme de traitement VDT consiste donc à déterminer la valeur de x à partir de ce système de deux équations, admettant cinq inconnues : x , H_1 , H_2 , ϕ_1 et ϕ_2 .

4.3.5.3 Algorithme de démodulation VDT

Évaluation des paramètres globaux par la méthode des moindres carrés : Les deux tensions Vin_{diff1}^* et Vin_{diff2}^* ont été échantillonnées par le circuit mixte de conversion, à une fréquence $f_e = 1/T_e$. En temps discret, les signaux numérisés s'écrivent donc

$$Vin_{diff1}^*[k] = H_1 \times (1 + x) \times \sin(\omega.k.T_e + \phi_1) = a_k \quad (4.39)$$

$$Vin_{diff2}^*[k] = H_2 \times (1 - x) \times \sin(\omega.k.T_e + \phi_2) = b_k \quad (4.40)$$

Ces deux numérisations fournissent chacune une suite d'échantillons, notées respectivement a_k et b_k . Nous appliquons alors sur ces suites d'échantillons un algorithme reposant sur la méthode des moindres carrés. En développant l'expression du sinus dans l'équation (4.39), nous obtenons

$$Vin_{diff1}^*[k] = H_1.(1+x).\sin(\omega.k.T_e).\cos(\phi_1) + H_1.(1+x).\cos(\omega.k.T_e).\sin(\phi_1) \quad (4.41)$$

ou encore

$$Vin_{diff1}^*[k] = l_1.\sin(\omega.k.T_e) + m_1.\cos(\omega.k.T_e) \quad (4.42)$$

avec

$$l_1 = H_1.(1+x).\cos(\phi_1) \quad (4.43)$$

$$m_1 = H_1.(1+x).\sin(\phi_1) \quad (4.44)$$

Ainsi, on peut remarquer que

$$l_1^2 + m_1^2 = K^2.(1+x)^2 = t_1^2 \quad (4.45)$$

L'algorithme consiste à évaluer les coefficients l_1 et m_1 qui minimisent l'erreur quadratique err_{l_1, m_1} entre le modèle théorique (tensions estimées) et expérimental (tensions effectivement mesurées). Cette erreur s'exprime comme suit :

$$\sum_{j=k-N}^k (l_1.\sin(\omega.j.T_e) + m_1.\cos(\omega.j.T_e) - a_k)^2 = err_{l_1, m_1} \quad (4.46)$$

où N le nombre d'échantillons sur lequel est effectuée la méthode des moindres carrés. Les l_1 et m_1 minimisant cette erreur sont obtenus en résolvant les équation

suivantes :

$$\frac{\partial err_{l_1, m_1}}{\partial l_1} = 0 \quad (4.47)$$

$$\frac{\partial err_{l_1, m_1}}{\partial m_1} = 0 \quad (4.48)$$

La résolution de ces deux équations mène à

$$m_1 = \frac{\sum_{j=k-N}^k [a_j \cdot \sin(\omega \cdot j \cdot T_e)] \cdot \sum_{j=k-N}^k [\sin(\omega \cdot j \cdot T_e) \cdot \cos(\omega \cdot j \cdot T_e)] - \sum_{j=k-N}^k [a_j \cdot \cos(\omega \cdot j \cdot T_e)] \cdot \sum_{j=k-N}^k [\sin^2(\omega \cdot j \cdot T_e)]}{\sum_{j=k-N}^k [\sin(\omega \cdot j \cdot T_e) \cdot \cos(\omega \cdot j \cdot T_e)]^2 - \sum_{j=k-N}^k [\cos^2(\omega \cdot j \cdot T_e)] \cdot \sum_{j=k-N}^k [\sin^2(\omega \cdot j \cdot T_e)]} \quad (4.49)$$

$$l_1 = \frac{\sum_{j=k-N}^k [a_j \cdot \cos(\omega \cdot j \cdot T_e)] \cdot \sum_{j=k-N}^k [\sin(\omega \cdot j \cdot T_e) \cdot \cos(\omega \cdot j \cdot T_e)] - \sum_{j=k-N}^k [a_j \cdot \sin(\omega \cdot j \cdot T_e)] \cdot \sum_{j=k-N}^k [\cos^2(\omega \cdot j \cdot T_e)]}{\sum_{j=k-N}^k [\sin(\omega \cdot j \cdot T_e) \cdot \cos(\omega \cdot j \cdot T_e)]^2 - \sum_{j=k-N}^k [\cos^2(\omega \cdot j \cdot T_e)] \cdot \sum_{j=k-N}^k [\sin^2(\omega \cdot j \cdot T_e)]} \quad (4.50)$$

Ce calcul étant relativement complexe, il est intéressant de remarquer qu'il peut être grandement simplifié en effectuant ces sommes sur un nombre entier N_p de périodes T_{exc} du signal d'excitation V_{exc} (soit $N = N_p \cdot \frac{T_{exc}}{T_e}$). Les équations (4.49) et (4.50) deviennent alors

$$m_1 = \frac{-2 \cdot \sum_{k=n-N}^n [a_n \cdot \sin(\omega \cdot k \cdot T_e)]}{N_p \cdot T_{exc}} \quad (4.51)$$

$$l_1 = \frac{-2 \cdot \sum_{k=n-N}^n [a_n \cdot \cos(\omega \cdot k \cdot T_e)]}{N_p \cdot T_{exc}} \quad (4.52)$$

Nous obtenons finalement la valeur de t_1 par le calcul suivant

$$t_1 = \sqrt{l_1^2 + m_1^2} = H_1 \cdot (1 + x) \quad (4.53)$$

Le même raisonnement effectué sur la voie 2 — numérisée en une suite d'échantillons b_n — permet d'évaluer successivement m_2 , l_2 et enfin t_2 :

$$t_2 = \sqrt{l_2^2 + m_2^2} = H_2 \cdot (1 - x) \quad (4.54)$$

Les calculs précédents, basés sur un nombre N d'échantillons des voies 1 et 2, nous permettent donc de déterminer deux quantités t_1 et t_2 , dépendantes des seuls

paramètres H_1 , H_2 et x , et non plus des déphasages ϕ_1 et ϕ_2 . Cette méthode est donc valide quelque soit les déphasages induits par des défauts du capteur.

Détermination des paramètres du système : l'étape suivante de l'algorithme consiste à évaluer les paramètres H_1 et H_2 , ainsi que le déplacement x , et ce à l'aide des deux équations (4.53) et (4.54). Il convient donc de trouver une troisième équation afin de déterminer ces trois inconnues. Pour cela, nous pouvons remarquer que

$$-\frac{dt_2}{dt_1} = -\frac{d(H_2 \cdot (1-x))}{d(H_1 \cdot (1+x))} = \frac{H_2}{H_1} \cdot \frac{dx}{dx} = \frac{H_2}{H_1} = \lambda, \forall dx \neq 0. \quad (4.55)$$

Cette dernière équation est vraie pour $dx \neq 0$. Physiquement, ceci se traduit par un mouvement — même infime — du noyau mobile du capteur. Ainsi, lorsque le capteur est parfaitement immobile, il convient de considérer les résultats obtenus avec prudence.

Nous pouvons finalement résoudre le système complet et retrouver ainsi les valeurs de H_1 , H_2 et x à l'aide des trois calculs suivants :

$$\lambda = -\frac{dt_2}{dt_1} = \frac{H_2}{H_1} \quad (4.56)$$

$$x^* = -\frac{\lambda \cdot t_1 - t_2}{\lambda \cdot t_1 + t_2} \quad (4.57)$$

$$H_1 = -\frac{t_1}{1+x} \quad (4.58)$$

Cette méthode de démodulation VDT est résumée par la FIGURE 4.27 et a fait l'objet d'un dépôt de brevet [75].

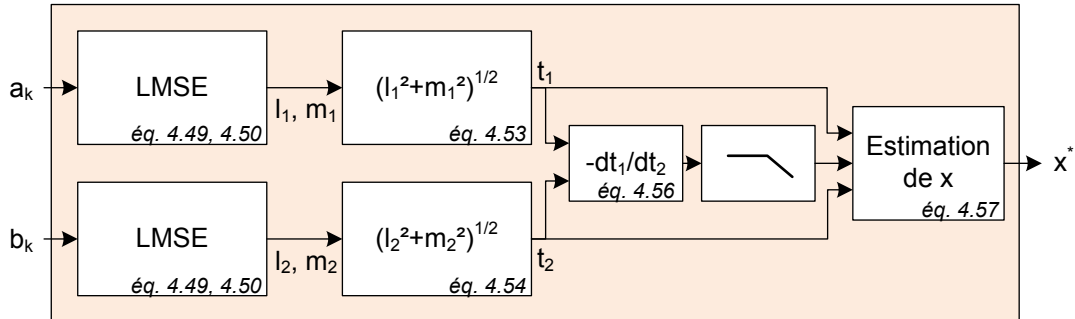


FIGURE 4.27 – Algorithme de démodulation VDT

Simulations de l'algorithme de démodulation VDT : ce traitement numérique a été modélisé et simulé sous Matlab. Les paragraphes suivants visent donc à illustrer le fonctionnement de l'algorithme, ainsi que ses bénéfices en terme de robustesse vis à vis des erreurs de gain et de déphasage. Dans cette simulation, le convertisseur a une résolution de 12 bits et échantillonne à une vitesse de 1MSPS. Le capteur VDT est excité par une tension sinusoïdale d'amplitude 10V, et de fréquence 3kHz. Le noyau effectue lent mouvement d'oscillation à 50Hz, et l'algorithme de démodulation tente d'estimer ce déplacement x .

La FIGURE 4.28 montre l'estimation de λ par l'équation (4.55). Nous pouvons y voir en parallèle l'évolution de dt_1 . Il est remarquable de noter que lorsque $dt_1 = 0$, l'estimation de λ diverge, comme cela a été évoqué dans le paragraphe précédent. Cette figure montre comment un simple seuillage sur la valeur de dt_1 , suivi d'un moyennage des valeurs de λ , permet d'atténuer cet effet indésirable. Pour des raisons de visibilité, nous avons volontairement choisi d'appliquer un léger moyennage (50 échantillons) sur cette simulation, afin de pouvoir mieux appréhender l'impact de ce traitement numérique. Un moyennage plus important (intégration sur au moins une période de dt_1) permet d'estimer λ avec une précision de l'ordre de 0.1%.

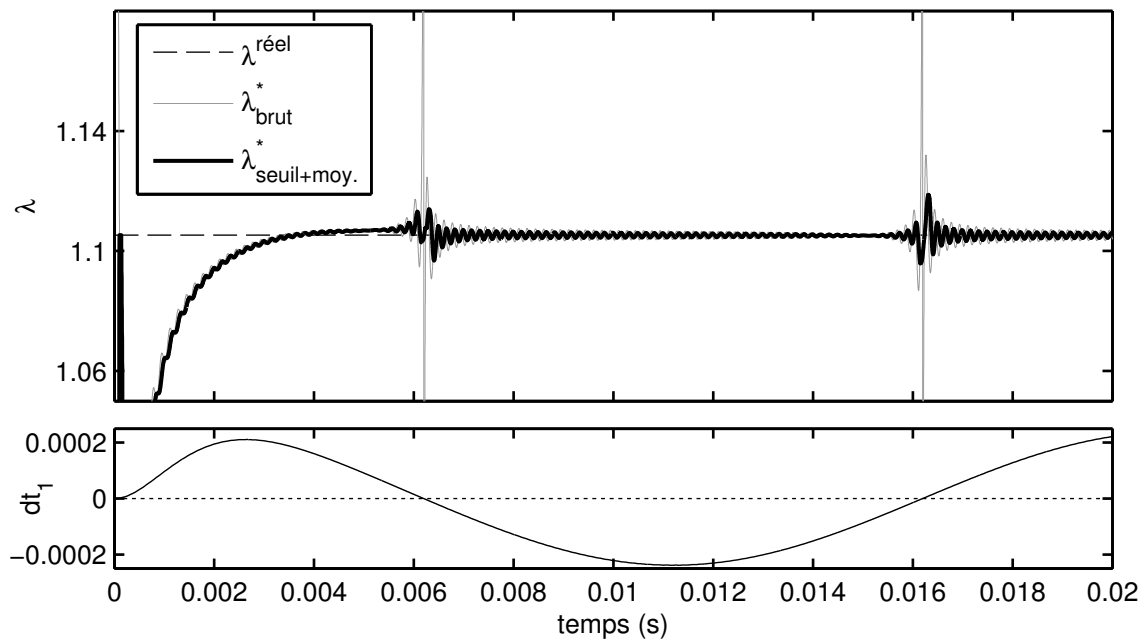


FIGURE 4.28 – Estimation du paramètre λ

La FIGURE 4.29 montre quant à elle l'estimation de x . Nous pouvons voir que cette estimation est fautive pendant la première phase de l'algorithme, le temps que l'estimation de λ ait convergé. Une fois λ correctement déterminé, x^* suit la consigne x , et ce même en présence d'une erreur de gain, ou d'un déphasage. À contrario, la démodulation classique est perturbée par l'erreur de gain (cf. FIGURE 4.29b)

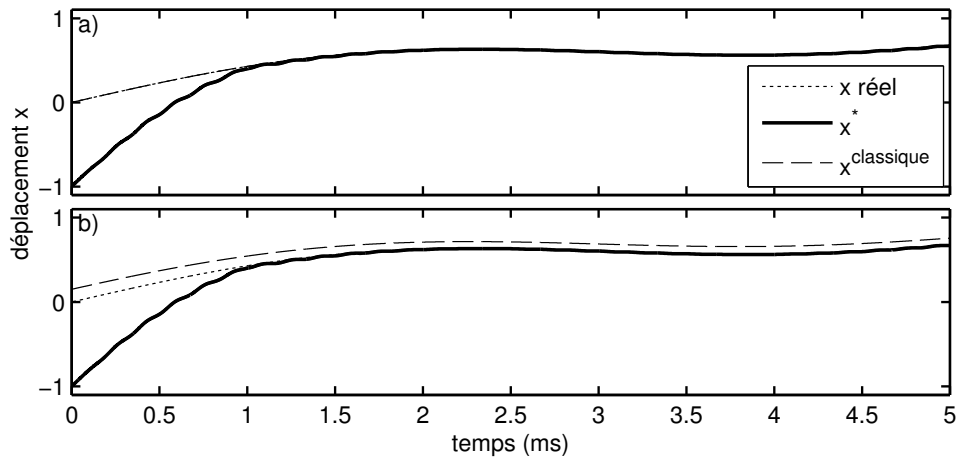


FIGURE 4.29 – Estimation du déplacement x^*

a) Pas d'erreur de gain, ni de déphasage

b) Erreurs de gain : $H_1 = 1.15$; $H_2 = 0.85$. Déphasage : $\phi_1 = -30^\circ$; $\phi_1 = +20^\circ$

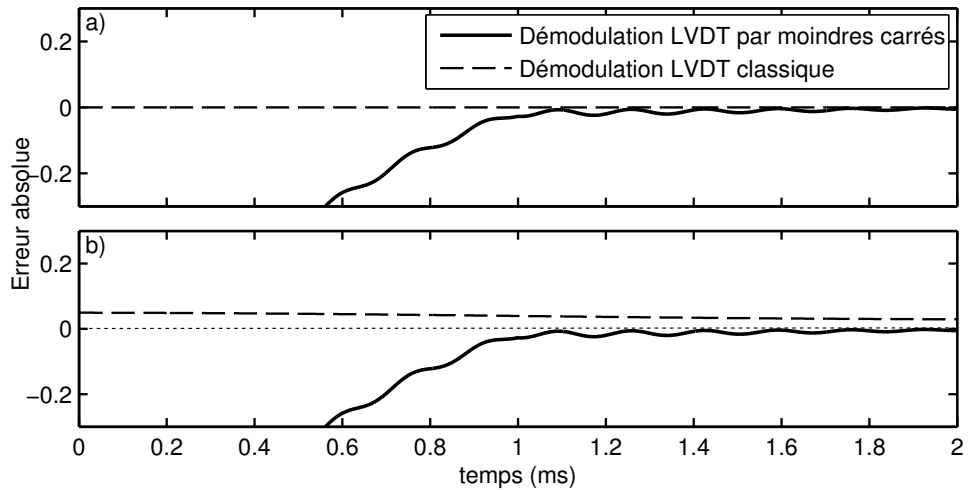


FIGURE 4.30 – Erreur effectuée sur l'estimation

a) Pas d'erreur de gain, ni de déphasage

b) Erreurs de gain : $H_1 = 1.15$; $H_2 = 0.85$. Déphasage : $\phi_1 = -30^\circ$; $\phi_1 = +20^\circ$

Enfin, la FIGURE 4.30 montre l'erreur résultante dans nos estimations, dans les mêmes conditions que précédemment. Sans erreurs de gain ou de déphasage, les deux méthodes d'extraction de x se valent, en produisant une erreur inférieure à 0.1%. Une erreur de gain de 15% induit une erreur finale de 10% avec une démodulation classique, alors que notre méthode de démodulation conserve une erreur inférieure à 0.1%. Nous pouvons remarquer de plus que le déphasage entre les deux secondaires ne perturbe pas notre estimation.

Au prix d'un temps de convergence plus élevé, et surtout d'une série de calculs plus complexes et donc requérant un minimum de puissance de calcul, la méthode que nous proposons représente donc un moyen efficace de s'affranchir des erreurs de gain ou de déphasage que pourrait présenter la chaîne d'acquisition, qui si elles ne sont pas prises en compte ont un impact non négligeable sur la précision de la mesure.

4.3.6 Acquisition d'un signal ARINC429

Dans ce mode de fonctionnement, l'interface reconfigurable est configurée pour faire l'acquisition d'un signal numérique ARINC429. La paire différentiel portant le signal est alors connectée aux deux entrées Vin_A et Vin_B . Ces deux tensions sont conditionnées par les étages d'adaptation. L'étage différentiel rejette alors le mode commun, et fournit une tension V_d au convertisseur analogique numérique. Un traitement numérique traite alors cette tension V_d numérisée, afin d'en extraire l'information utile, ici un bit ARINC429 0 ou 1.

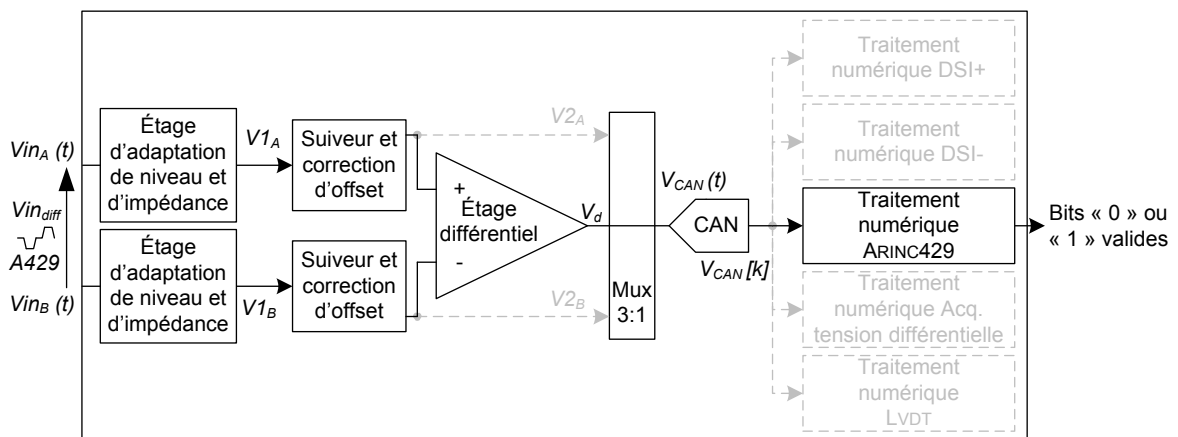


FIGURE 4.31 – Interface configurée pour un signal ARINC429

4.3.6.1 Conditionnement analogique du signal ARINC429

Le conditionnement analogique de la tension différentielle porteuse du signal est ici en tout point identique à celui abordé dans la section 4.3.3. Dans cette configuration, le convertisseur analogique numérique fournit des échantillons $V_{CAN}[k]$ directement représentatifs de la tension différentielle Vin_{diff} , suivant l'équation (4.12).

4.3.6.2 Traitement numérique du bus ARINC429

Le traitement numérique dédié à la réception de trames ARINC429 consiste à contrôler l'intégrité de la forme d'onde spécifique du signal (cf. FIGURE 2.4) et à en extraire les bits 0 ou 1. Le contrôle de l'intégrité du bit se décompose en deux volets, décrits par la FIGURE 4.32 :

- vérifier que les tensions de chaque niveau *HIGH*, *NULL* et *LOW* sont respectées et détecter une éventuelle surtension ;

- vérifier que les temps spécifiques du signal sont corrects : temps de montée, de descente, longueur du demi bit et longueur du bit.

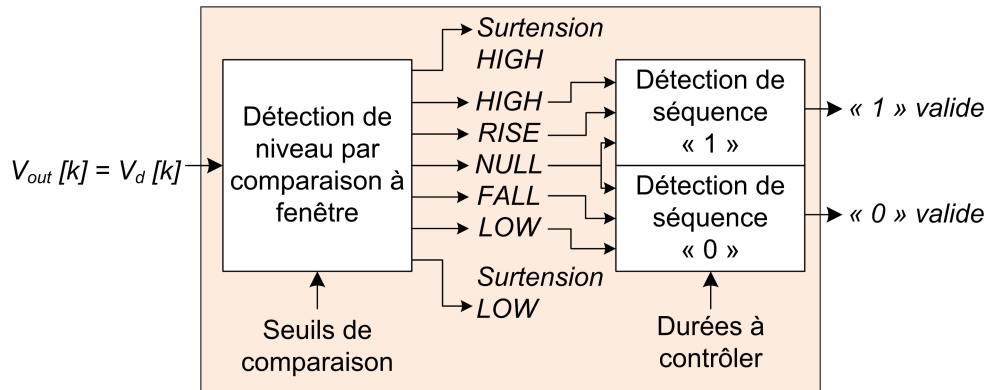


FIGURE 4.32 – Traitement numérique d'un signal ARINC429

La première étape consiste simplement à comparer l'échantillon $V_{CAN}[k]$ à un ensemble de seuils. Cette comparaison permet de situer l'échantillon dans l'une des sept zones caractérisant une tension ARINC429. Si l'échantillon est détecté comme étant en surtension, il est alors rejeté et une alerte peut-être donnée. Une fois l'échantillon « classé » dans l'une des zones nominales, il est alors envoyé aux blocs fonctionnels suivants, chargés de détecter une séquence d'échantillons particulière. La séquence d'un « 1 » par exemple est constituée d'un ensemble d'échantillons « *RISE* », suivis d'échantillons « *HIGH* », de nouveaux échantillons dans la zone « *RISE* » et finalement d'un état « *NULL* ». Pendant cette détection de séquence, les durées de chaque phase sont mesurées et comparées aux durées spécifiées dans la norme ARINC429 [5].

Cette détection de séquence ainsi que le contrôle des durées peuvent être parfaitement exécutés à l'aide de machines d'état par exemple.

4.4 Fonctionnement en haute tension

Nous avons vu au chapitre 3 que la commutation de composants — résistances ou autres — en présence de tensions importantes soulevait d'importants problèmes. Or, l'interface reconfigurable que nous proposons dans la section 4.2 est malgré tout basée sur ce principe, et fait donc usage d'interrupteurs. Les étages d'adaptation font notamment appel à trois types d'interrupteurs différents.

En fonction de leur localisation, ces trois interrupteurs ont des rôles et des conditions d'utilisation différentes. Pour savoir quel type d'interrupteur utiliser à quel endroit, il convient d'étudier pour chacun d'eux tous les cas possibles de fonctionnement, aussi bien lorsque l'interrupteur est activé (fermé) que désactivé (ouvert), et de déterminer notamment dans chaque cas quels potentiels sont développés sur leur terminaux. En effet, nous avons pu voir dans le chapitre 3 que lors de l'application de tensions importantes, un interrupteur, quelle que soit son état de commande, peut être amené à fonctionner de manière anormale. Cette section décrit donc précisément le cadre d'utilisation de chacun de ces composants ainsi que le choix du type d'interrupteur qui en découle.

4.4.1 Interrupteurs « basse tension » Sw

Afin de déterminer quel type d'interrupteur doit-être utilisé pour réaliser les interrupteurs Sw1 et Sw2, commençons par déterminer leur mode de fonctionnement, en fonction des différentes configurations de l'interface. Les interrupteurs Sw1 et Sw2 sont à l'état passant dans les configurations correspondant à une acquisition différentielle (ARINC429, LVDT, acquisition de tension différentielle simple ou avec correction d'erreur). Ils sont par contre à l'état bloqué dans les configurations discrètes (DSI+ et DSI-).

- Lorsqu'ils sont fermés, ces interrupteurs permettent d'« activer » le pont diviseur constitué de {R1 R3 R5 R6}, ce qui a pour conséquence de ramener la tension $V1$ dans l'intervalle basse tension $[V_{SS}; V_{DD}]$. Ainsi, dans ce mode de fonctionnement, Sw1 et Sw2 ne sont jamais soumis à des tensions inférieures à V_{SS} ou supérieures à V_{DD} .
- À l'état bloqué maintenant, ces interrupteurs ont à leur borne V_{ref1} et V_{ref2} d'un côté, et la tension $V1$ de l'autre. Dans cette configuration, les ponts diviseurs de la configuration discrète, situés plus en amont du circuit, sont chargés

d'abaisser ici encore la tension V_1 à l'intervalle $[V_{SS}; V_{DD}]$. Ainsi, ici encore, ces interrupteurs ne sont pas soumis à des tensions hors de $[V_{SS}; V_{DD}]$.
 Quelle que soit la configuration de l'interface, Sw1 et Sw2 ne seront donc jamais soumis à des tensions hors de $[V_{SS}; V_{DD}]$, ce qui justifie donc l'usage d'interrupteurs « parallèles » classiques, alimentés et commandés par les tensions V_{SS} et V_{DD} . Pour ces interrupteurs, ainsi que pour tous les autres interrupteurs situés dans la partie basse tension de l'interface (étages suiveurs ou multiplexeur par exemple), nous utilisons donc une architecture basée sur un transistor P-MOSFET MP1 et un transistor N-MOSFET MN2 montés en parallèle, avec leur substrats polarisés respectivement à V_{DD} et V_{SS} , comme le montre la FIGURE 4.33. Les tensions V_{DD} et V_{SS} sont aussi utilisées comme tensions de commande des transistors MP1 et MN2.

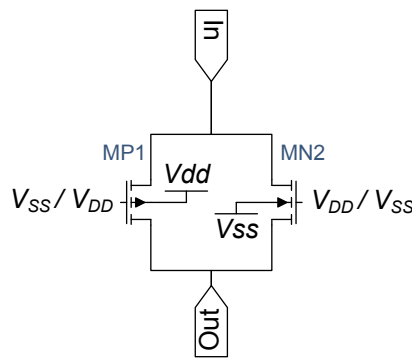


FIGURE 4.33 – Architecture des interrupteurs basse tension Sw

L'utilisation de ce type d'interrupteur à cette localisation offre de plus un avantage conséquent : à l'état fermé, ces interrupteurs présentent une impédance bien plus faible et bien plus constante que tout autre type d'interrupteur. Ces caractéristiques sont particulièrement importantes pour la mesure de tension différentielle dans laquelle ils sont impliqués, qui réclame une précision accrue.

4.4.2 Interrupteur « haute tension » HVSw

Intéressons nous maintenant aux modes de fonctionnement de l'interrupteur HVSw. Ce dernier est passant dans les deux configurations discrètes, et bloqué dans les configurations différentielles.

- Lorsque HVSw est bloqué, les résistances $\{R1..R6\}$ sont chargées de diminuer la tension présente sur l'entrée V_{in} . Dans cette configuration, la quasi-intégralité de la tension V_{in} est alors chutée dans la résistance R5, située *après* HVSw (cf. FIGURE 4.6). Nous retrouvons donc aux bornes de HVSw quasiment la tension

V_{in} . En mode différentiel, la dynamique de cette tension d'entrée peut aisément dépasser les tensions d'alimentation HV_{SS} ou HV_{DD} (cf. TABLEAU 2.3).

- À l'état passant, l'interrupteur HVsw est utilisé pour « activer » le pont diviseur constitué de {R1 R3 R4}. Ce pont est conçu de manière à assurer que la tension V_1 soit dans l'intervalle basse tension $[V_{SS}; V_{DD}]$. Ainsi, dans cette configuration, une faible tension, toujours inférieure à V_{DD} , sera appliquée à la borne supérieure de HVSw.

En résumé, cet interrupteur est donc soumis à des hautes tensions lorsqu'il est ouvert, tandis que sa localisation au plus près de la masse lui assure de ne voir que de faibles tensions lorsqu'il est fermé. Pour ces raisons, un interrupteur « parallèle » classique ne convient pas.

Nous proposons alors d'utiliser un interrupteur moins conventionnel de type « série » tel que celui décrit dans la section 3.4, malgré ses mauvaises caractéristiques générales. Un tel interrupteur montre de mauvaises performances spécialement lorsque qu'il est passant, avec une plage de tensions admissibles très limitée, ainsi qu'une résistance R_{on} relativement importante et fortement non linéaire dans cette plage de fonctionnement (cf. FIGURE 3.18).

En revanche, de tels interrupteurs ont un excellent comportement en mode bloqué : ils parviennent à conserver une excellente isolation quelle que soit la valeur de la tension qui leur est appliquée. Cette isolation peut même s'étendre au delà des tensions d'alimentations si des méthodes semblables à celles proposées dans la section 3.3.3 sont appliquées. L'utilisation de ce type d'interrupteur est ici rendue possible par une typologie de circuit bien particulière, et par l'acceptation de certaines limitations :

- En mode passant, l'interrupteur série a une très faible dynamique, comme nous l'avons vu dans la section 3.4. L'utilisation de cet interrupteur à cet endroit n'est donc possible que parce que ce dernier est placé au plus près de la masse. De cette manière, la tension à ses bornes se limite au courant qui le traverse, multiplié par son impédance R_{on} à l'état passant. Si R_{on} est faible devant R_1+R_3 , cette tension reste donc proche de 0V.
- Sur sa plage de fonctionnement en mode passant, l'impédance de l'interrupteur série n'est pas constante comme le montre la FIGURE 3.18, ce qui a pour effet de provoquer une importante non-linéarité dans la fonction de transfert de l'étage d'adaptation. Ce compromis est ici acceptable car la configuration discrète sur laquelle cette non-linéarité a un impact ne nécessite pas une importante précision.

L'interrupteur $HVSw$ est finalement composé d'un transistor P-MOSFET MP1 et d'un transistor N-MOSFET MN2 connectés en série. Ces transistors sont polarisés respectivement aux tensions d'alimentation hautes HV_{DD} et HV_{SS} au travers d'une diode, afin d'empêcher leur clamp lors de l'application de hautes tensions à leurs bornes. Les tensions d'alimentations HV_{DD} et HV_{SS} sont aussi utilisées comme tensions de commande sur les grilles de MP1 et MN2.

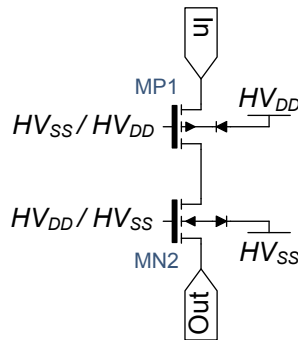


FIGURE 4.34 – Architecture des interrupteurs haute tension $HVSw$

4.4.3 Interrupteur de polarisation PSw

Enfin, le dernier interrupteur PSw n'est passant que dans la configuration DSI-, et bloqué dans toutes les autres configurations.

- À l'état passant, les résistances $\{R1\ R3\ R4\}$ abaissent la tension V_{in} . L'interrupteur PSw a donc son port supérieur connecté à la tension de polarisation V_{pol} , et son port inférieur connecté à un potentiel plus faible. L'usage d'un simple transistor P-MOSFET est donc tout à fait indiqué pour cette situation.
- Dans l'état bloqué cependant (configurations différentielles notamment), le port inférieur de l'interrupteur peut être soumis à des tensions importantes, proches de V_{in} . Si ces tensions sont amenées à dépasser la tension de commande de PSw, celui se met alors à conduire de manière intempestive, ainsi que nous l'avons expliqué dans le chapitre 3. L'ajout de la diode D1 permet d'éviter cette mise en conduction, et d'assurer que l'interrupteur reste bloqué dans ce cas de figure.

Ce dernier interrupteur est donc simplement constitué d'un transistor P-MOSFET, en série avec la diode D1.

Chapitre 5

Implémentation et réalisation

SOMMAIRE

5.1	IMPLÉMENTATION DE L'INTERFACE	100
5.2	RÉALISATION DU CIRCUIT MIXTE DE TEST	101
5.2.1	Spécificité de la technologie CMOS <i>High Voltage</i>	103
5.2.2	Réalisation des étages d'adaptation	104
5.2.3	Réalisation du multiplexeur	108
5.2.4	Implémentation du convertisseur analogique numérique	109
5.2.5	Synthèse	111
5.3	IMPLÉMENTATION DES TRAITEMENTS NUMÉRIQUES	113
5.3.1	Description des modules de traitement	113
5.3.2	Architecture générale du FPGA	115
5.4	DESCRIPTION DU BANC DE TEST	116

5.1 Implémentation de l'interface

Notre interface versatile comprend des fonctions analogiques (conditionnement du signal), des fonctions mixtes (conversion), et des fonctions purement numériques (traitements numériques des différents signaux). L'intégralité de ces fonctions pourrait donc être idéalement intégrée en un seul circuit mixte. Bien que séduisante, cette solution nécessiterait une technologie ayant certaines caractéristiques dans les deux domaines de l'électronique mis en œuvre :

- analogique : la technologie doit pouvoir fonctionner sous les hautes tensions propres aux signaux aéronautiques ;
- numérique : la technologie doit pouvoir intégrer des fonctions numériques complexes, notamment les algorithmes de correction d'erreur ou d'acquisition LVDT présentés précédemment.

Bien souvent, les technologies de circuits intégrés sont dédiées à un type d'application particulière. Les technologies numériques les plus récentes intègrent des centaines de millions de transistors au cm^2 , leur permettant d'intégrer des fonctionnalités très complexes (processeurs par exemple). Cependant, elles ne sont alors plus du tout conçues pour intégrer la moindre fonction analogique.

En effet, la microélectronique analogique est quant à elle consommatrice de surface, pour la réalisation des composants (condensateurs ou résistances par exemple), ou encore pour des besoins de puissance.

Ces caractéristiques font qu'en règle générale, électronique numérique et analogique sont antinomiques, et leur intégration au sein du même circuit nécessite de faire des compromis sur les deux domaines.

Pour cette raison, nous avons décidé de scinder notre interface versatile en deux circuits distincts, l'un purement numérique, le second mixte, comme le montre la FIGURE 5.1.

Le premier circuit est donc un ASIC mixte, qui intègre les fonctions de conditionnement analogique, ainsi que la fonction de conversion analogique numérique. Le second circuit est quant à lui un FPGA, qui intègre les différents traitements numériques introduits dans la section 4.2.6. En plus de son importante capacité d'intégration, la possibilité de reprogrammer le FPGA permet beaucoup plus de flexibilité et d'évolutivité, caractéristiques appréciables dans la réalisation d'une interface reprogrammable.

Les sections suivantes présentent maintenant chacun de ces deux circuits.

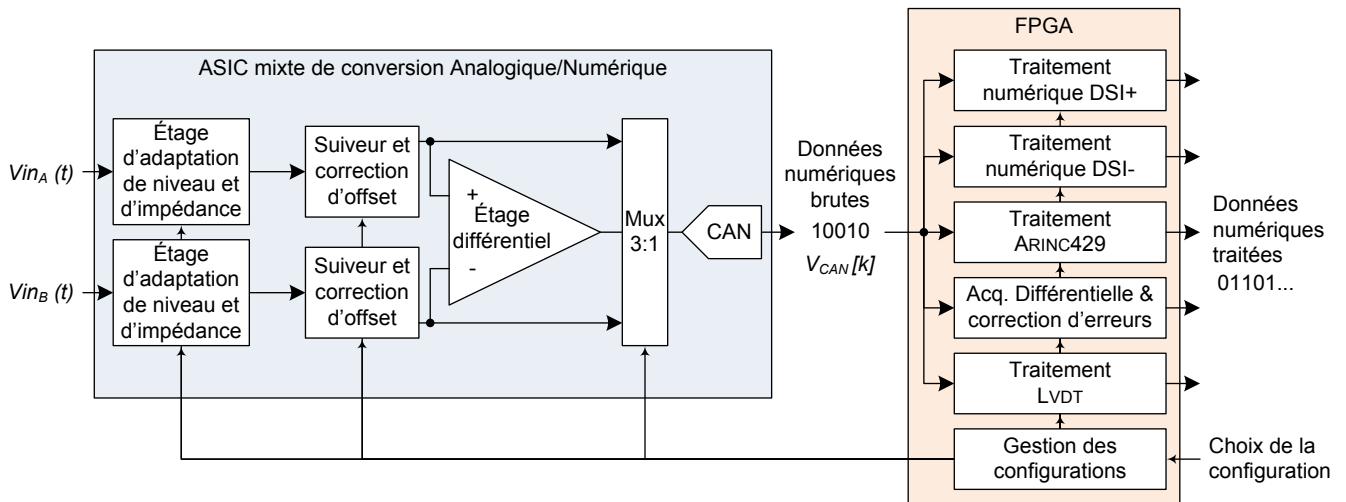


FIGURE 5.1 – Décomposition de l'interface en deux composants

5.2 Réalisation du circuit mixte de test

Un circuit de test a été réalisé afin de valider nos travaux. Ce dernier a été conçu dans une technologie dite « CMOS High Voltage » (AMS H35 [76]). Cette technologie, aujourd'hui mature, offre la possibilité de combiner des fonctions numériques d'une relative compacité (noeud technologique $0.35\mu m$) à de l'électronique analogique pouvant supporter des tensions de l'ordre de 100V. Nous avons conçu et réalisé ce circuit de test non pas comme un prototype complet d'interface, mais plutôt dans l'optique de valider certains principes et fonctions en particulier :

- valider la possibilité d'appliquer sur les étages d'adaptation des tensions plus importantes que les tensions d'alimentation ;
- déterminer l'impact de l'appairage imparfait des composants ;
- confirmer la faisabilité de corriger les erreurs dues à cet appairage imparfait à l'aide de notre méthode de correction d'erreurs.

Ainsi, nous n'avons pas souhaité concentrer nos efforts sur la conception de fonctions classiques ou n'apportant pas d'idées nouvelles. Pour ces raisons, toutes les fonctions présentées dans la section 4.2 n'ont pas été implémentées, notamment les étages suiveurs et l'étage différentiel.

Le circuit effectivement réalisé comporte donc les éléments suivants :

- une voie *single ended*, conçue à des fins de tests, comprenant un étage d'adaptation, un étage de correction d'offset et un convertisseur analogique numérique. Tous ces éléments sont physiquement séparés et isolés, afin de pouvoir les tester séparément ;

- une voie « pseudo-différentielle », plus représentative de notre solution, comprenant deux étages d'adaptation, deux étages de correction d'offset et son propre convertisseur analogique numérique. L'absence de l'étage différentiel analogique sera compensée plus loin dans la chaîne d'acquisition, en effectuant une différence numérique, permettant malgré tout l'acquisition de signaux différentiels.

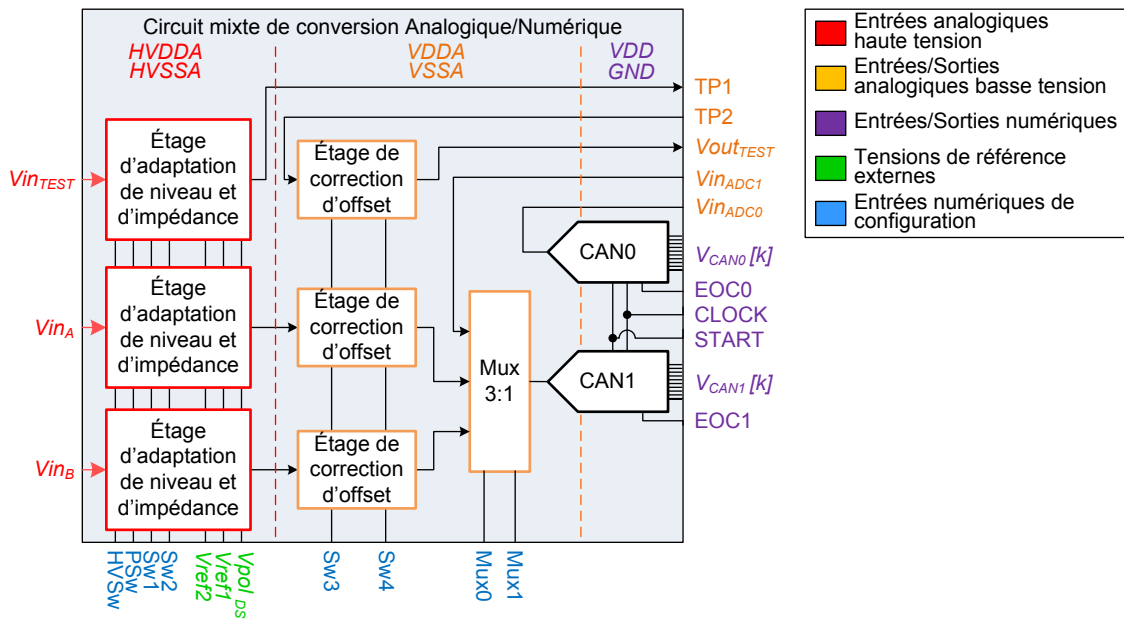


FIGURE 5.2 – Description du circuit mixte de test

Ces différents éléments sont visibles sur la FIGURE 5.2. L'ensemble du circuit comprend trois alimentations distinctes :

- une alimentation $[HV_{SS}; HV_{DD}]$ symétrique « haute tension », avec $HV_{SS} = -15V$ et $HV_{DD} = +15V$. Ces tensions sont utilisées essentiellement par les interrupteurs des étages d'adaptation, d'une part comme tensions de commande, d'autres part comme tensions de polarisation. Ainsi, seuls des courants de fuite, de l'ordre de quelques centaines de microampères au maximum, sont débités sur ces alimentations, limitant ainsi grandement la puissance dissipée par le circuit.
- une alimentation $[V_{SSA}; V_{DDA}]$ « basse tension » analogique où $V_{SSA} = 0V$ et $V_{DDA} = +3.3V$, dédiée à l'alimentation des composants analogiques situés après les étages d'adaptation (étages de correction d'offset, multiplexeur...).
- une alimentation $[V_{SS}; V_{DD}]$ numérique, avec $V_{SS} = 0V$ et $V_{DD} = +3.3V$, dédiée à l'alimentation des composants numériques rapides (convertisseurs ana-

logique numérique) afin de ne pas polluer les alimentations des composants analogiques.

Le circuit comprend des entrées analogiques hautes tensions, auxquelles nous appliquons les différents signaux d'entrée. D'autres entrées et sorties analogiques basses tensions permettent quant à elles de mesurer des tensions internes au circuit, ou d'injecter des stimuli à certains points du circuit. De plus, le circuit comprend des entrées et des sorties numériques, utilisées d'une part pour la gestion des convertisseurs (horloge, bus de données $V_{CAN\ 0,1}[k]$), et d'autre part pour la configuration des étages analogiques du circuit en fonction des signaux appliqués. Toutes ces entrées et sorties numériques sont conçues pour être compatibles avec des niveaux logiques CMOS $[0V; 3.3V]$. Enfin, les trois entrées analogiques V_{ref1} , V_{ref2} et V_{pol} accueillent trois tensions de référence externes.

5.2.1 Spécificité de la technologie CMOS *High Voltage*

La technologie utilisée pour la réalisation de ce circuit emploie des *wafers* naturellement dopés p , qui doivent donc être polarisés avec la tension la plus basse disponible. Dans un process CMOS classique, cette tension est $V_{SS} = 0V$.

Cependant, dans notre cas, pour assurer le fonctionnement de notre électronique haute tension, le substrat doit être polarisé au potentiel HV_{SS} ($-15V$).

Le cœur basse tension de l'ASIC est quant à lui alimenté en $[0V; 3.3V]$. Ainsi, pour fonctionner correctement, toute l'électronique basse tension, analogique comme numérique, doit être isolée du substrat. Cette isolation est rendue possible par l'utilisation de caissons spécifiques, représentés sur la FIGURE 5.3.

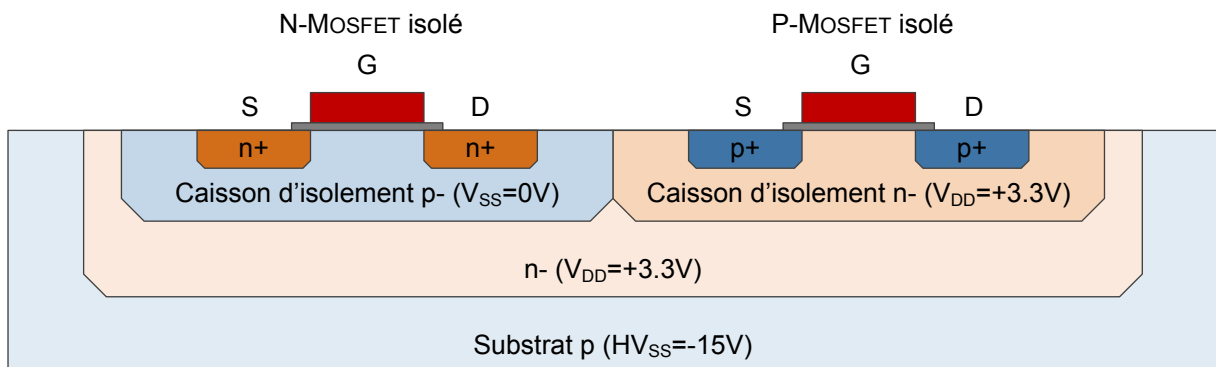


FIGURE 5.3 – Transistors basse tension en caissons isolés

Cette spécificité est à prendre en compte, car elle interdit réutiliser tels quels des blocs fonctionnels déjà réalisés dans un process CMOS classique.

5.2.2 Réalisation des étages d'adaptation

Le circuit d'adaptation de niveau et d'impédance est identique à celui proposé page 59. La FIGURE 5.4 montre de nouveau ce circuit, auquel ont été ajoutés les différentes entrées et sorties du circuit de test. Ce circuit comprend entre autres différentes ré-

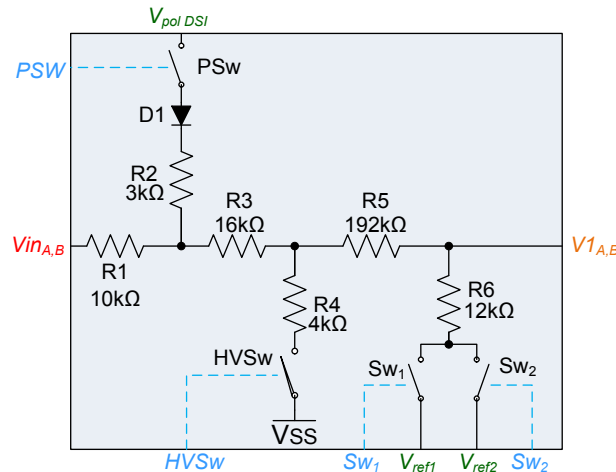


FIGURE 5.4 – Implémentation de l'étage d'adaptation d'impédance et de tension

sistances. Leurs dimensions et le choix de leur matériau de réalisation doivent être déterminés avec soin. En effet, certaines résistances ($R1$, $R2$ et $R3$) doivent pouvoir supporter un courant de quelques milliampères. Bien que relativement faibles, ces courants ne sont pas pour autant négligeables sur des applications microélectroniques. Leur section devra donc être relativement importante. Les résistances $R4$ à $R6$ quant à elles doivent avoir une forte valeur (plusieurs centaines de kilohms), sous des courants faibles. Elles seront donc constituées d'un matériau plus résistif, et auront une faible section afin de limiter la surface qu'elles occupent.

5.2.2.1 Interrupteur HVSw

L'interrupteur HVSw est conçu pour supporter des tensions élevées. Ce dernier est basé sur deux transistors MP1 et MN2, dont les oxides de grille ont été renforcés afin de leur permettre d'augmenter leurs tensions de commandes, et donc la plage de fonctionnement de l'interrupteur. Nous utilisons comme tensions de grille les tensions d'alimentation HV_{SS} et HV_{DD} . Cependant, les commandes de configuration du circuit mixte ont des niveaux trop faibles pour commander MP1 et MN2. Pour cette raison, l'interrupteur HVSw comprend deux circuits d'adaptation de niveaux logiques, comme le montre la FIGURE 5.5.

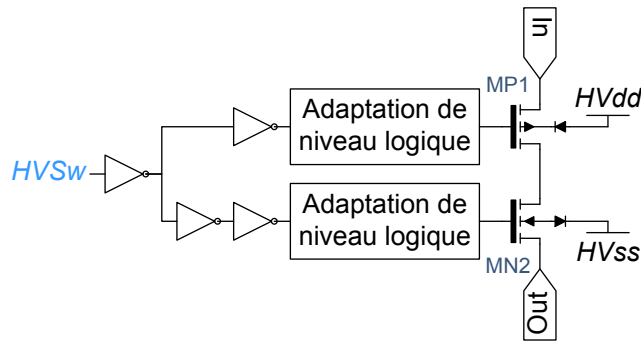


FIGURE 5.5 – Implémentation de l'interrupteur HVSw

Ces sous-circuits, représentés sur la FIGURE 5.6 ont donc pour fonction de convertir un niveau logique basse tension, compris entre V_{SS} et V_{DD} , en un niveau logique haute tension compris entre HV_{SS} et HV_{DD} .

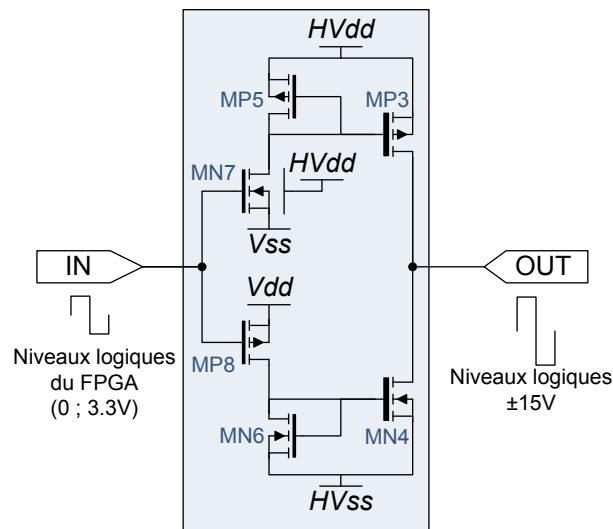


FIGURE 5.6 – Circuit d'adaptation de niveaux logiques

Ils comprennent deux transistors MP3 et MN4 chargés de tirer la sortie Com_{HV} aux potentiels HV_{SS} ou HV_{DD} . Le transistor MN7 peut lui être commandé par un niveau logique basse tension. Lorsqu'un niveau logique haut (V_{DD}) est appliqué sur sa grille, ce dernier tire le potentiel de grille de MP3 vers le bas, le rendant ainsi passant. La sortie *Out* est alors amenée au potentiel HV_{DD} . Le transistor MP5 permet de limiter la chute du potentiel de grille de MP3, en constituant un pseudo pont diviseur de tension avec MN7. Ceci permet de limiter la tension V_{gs} de MP3 à l'état passant, afin d'augmenter la durée de vie de ce transistor. De la même manière, les transistors MP8 et MN6 viennent relever le potentiel de grille de MN4, amenant la sortie *Out*

au potentiel HV_{SS} lorsqu'un niveau logique bas est appliqué sur la grille de MP8. Notons que les transistors MN7 et MP8 sont des transistors opérant à basse tension. Ils doivent donc être installés dans des caissons isolés, comme nous l'indiquons dans le paragraphe précédent.

La FIGURE 5.7 montre les masques réalisés pour l'implémentation de cet interrupteur.

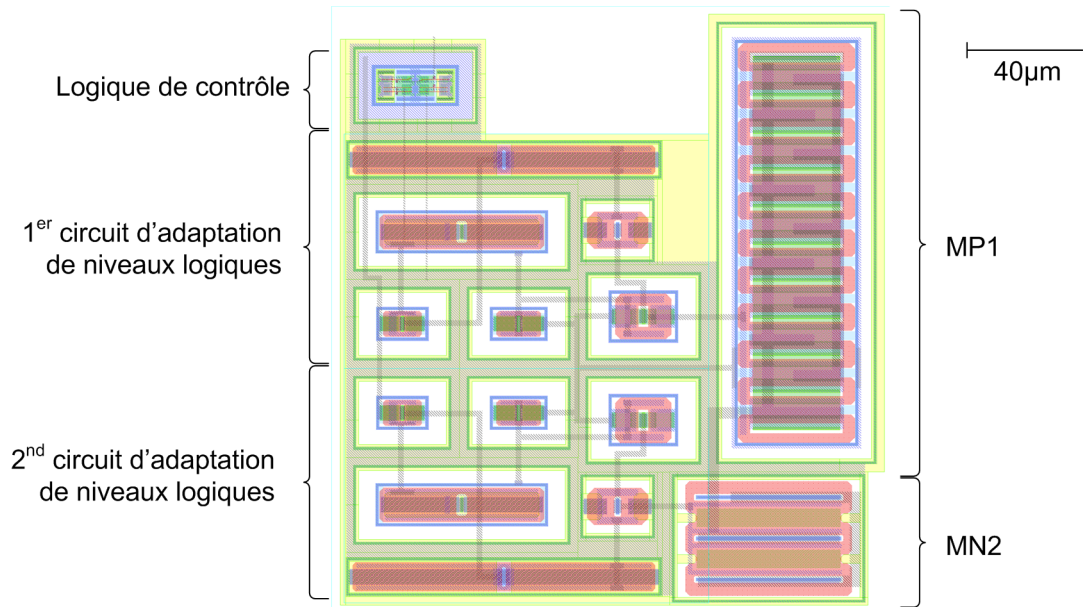


FIGURE 5.7 – Masques de l'interrupteur haute tension HVSw

Il est intéressant de noter sur ces masques l'importance de la surface occupée par les composants soumis aux hautes tensions (MP1, MN2 et circuits d'adaptation de niveaux logiques) par rapport à l'électronique basse tension (logique de contrôle). Nous pouvons aussi comparer la surface occupée par MP1 à celle de MN2 : ces deux transistors ont été dimensionnés pour avoir la même impédance à l'état passant ($R_{on_{MP1}} \approx R_{on_{MN2}} \approx 500\Omega$). Un canal P étant approximativement trois fois plus résistif qu'un canal N , la surface du transistor P-MOSFET doit être approximativement trois fois supérieure à celle d'un transistor N-MOSFET pour la même résistance R_{on} .

5.2.2.2 Interrupteur PSw

L'interrupteur PSw est lui aussi confronté à des hautes tensions, notamment à la tension de polarisation V_{pol_DSI} . Par conséquent, il comprend tout comme l'interrupteur HVSw un sous-circuit d'adaptation de niveaux logiques, ayant pour rôle d'appliquer

une forte tension de commande à MP1 à partir d'un signal logique basse tension (cf. FIGURE 5.8).

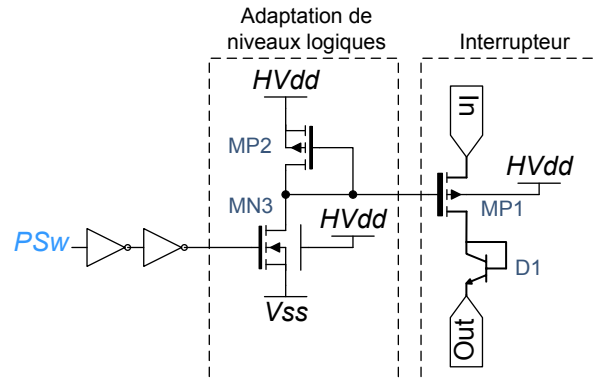


FIGURE 5.8 – Implémentation de l'interrupteur de polarisation PSw

Un transistor MN3 pouvant être commandé par un signal basse tension abaisse le potentiel de grille de MP1 sous la valeur seuil $V_{In} - V_{th}$ du transistor, le rendant ainsi passant. Un potentiel de grille trop faible (V_{SS} par exemple), assure la mise en conduction du transistor, mais induit un stress important sur l'oxide de grille du transistor, réduisant ainsi sa durée de vie. Par conséquent, le pont diviseur constitué de MP2 et MN3 permet d'ajuster ce potentiel, afin d'assurer la conduction tout en minimisant le stress auquel est soumis l'oxide. La diode D1, qui comme nous l'expliquons page 98 permet d'assurer le blocage de l'interrupteur dans les configurations différentielles, a été réalisée à partir d'un transistor NPN vertical, le seul composant bipolaire disponible dans la technologie CMOS High Voltage.

La FIGURE 5.9 illustre les masques réalisés pour l'implémentation de cet interrupteur de polarisation.

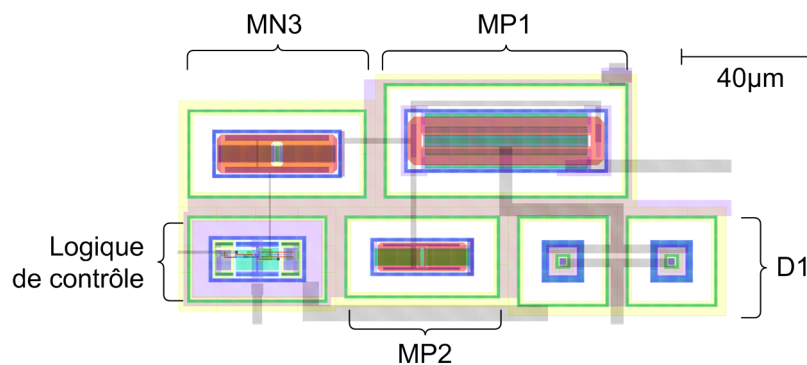


FIGURE 5.9 – Masques de l'interrupteur de polarisation PSw

5.2.2.3 Interrupteurs basse tension Sw

Les interrupteurs analogiques utilisés dans les sections basse tension du circuit sont constitués de deux transistors MP1 et MN2 connectés en parallèle. Les transistors choisis peuvent être commandés directement avec des signaux logiques basse tension. La logique de contrôle de l'interrupteur se résume donc à quelques inverseurs, chargés d'appliquer des tensions complémentaires sur la grille du transistor N-MOSFET et sur celle du transistor P-MOSFET, comme le montre la FIGURE 5.10.

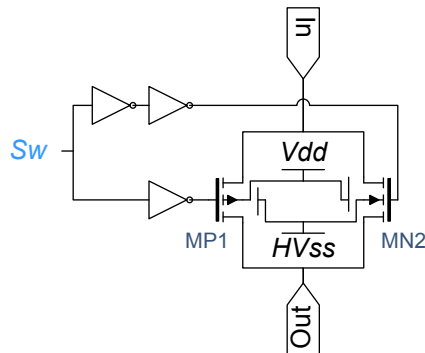


FIGURE 5.10 – Implémentation des interrupteurs analogiques basse tension Sw

les masques réalisés pour l'implémentation de ces interrupteurs sont visibles sur la FIGURE 5.11. Comme pour l'interrupteur HVSw, les transistors MP1 et MN2 ont été ici

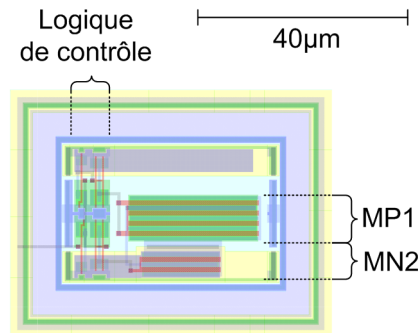


FIGURE 5.11 – Masques des interrupteurs basse tension Sw

dimensionnés de manière à avoir globalement la même impédance R_{on} , ici de l'ordre d'une centaine d'ohms.

5.2.3 Réalisation du multiplexeur

Le multiplexeur intègre trois portes de transmission, constituées chacune d'un transistor N-MOSFET et d'un transistor P-MOSFET en parallèle, ainsi que d'une logique

de contrôle. Il est conçu pour opérer avec des basses tensions, ainsi, tous ses composants peuvent être intégrés au sein d'un même caisson isolé du substrat, comme le montrent les masques représentés sur la FIGURE 5.12. Chaque porte de transmission a une impédance R_{on} de l'ordre de 500 ohms, une très faible impédance n'étant pas déterminante à ce niveau du circuit.

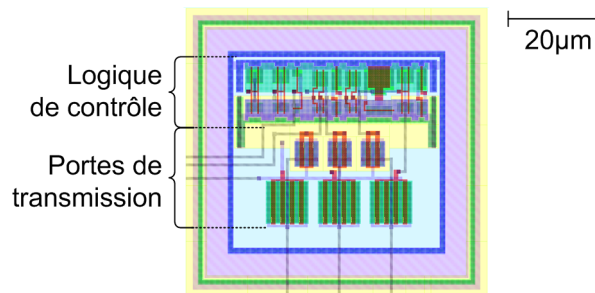


FIGURE 5.12 – Masques des interrupteurs basse tension Sw

5.2.4 Implémentation du convertisseur analogique numérique

Le choix du convertisseur analogique/numérique à implémenter dépend essentiellement de deux facteurs : la précision recherchée sur la mesure, qui définit la résolution nécessaire pour le convertisseur, et la bande passante des signaux à traiter, qui définit sa vitesse de numérisation. Dans notre application, le convertisseur est utilisé pour numériser des signaux de natures très différentes, ne nécessitant pas les mêmes performances sur ces deux critères :

5.2.4.1 Résolution du convertisseur

- Les entrées discrètes nécessitent uniquement de différencier deux états ; pour cela une grande précision n'est donc pas forcément nécessaire. Nous estimons qu'une numérisation sur 8 bits est donc amplement suffisante pour parvenir à distinguer ces deux états.
- Le bus ARINC429 nécessite de pouvoir différencier efficacement les trois états *HIGH*, *LOW* et *NULL*. Ici encore, une numérisation sur 8 bits suffit pour détecter ces trois états correctement.
- La résolution avec laquelle sont acquises les tensions nécessaire à l'acquisition LVDT n'est pas déterminante si notre méthode de démodulation LVDT est utilisée. Une résolution de 12 bits est ici amplement suffisante pour atteindre la précision requise sur l'estimation du déplacement du capteur.

- Enfin, l’acquisition de tension différentielle doit être effectuée avec une précision de 0.3% de la pleine échelle du signal. En supposant que les dynamiques d’entrée du CAN et que la dynamique de sortie de l’étage d’adaptation de niveau soient parfaitement ajustées, la résolution minimale requise pour numériser correctement ce signal est donc de 12 bits.

5.2.4.2 Vitesse du convertisseur

- Les entrées discrètes doivent être rafraîchies toutes les 10ms. Ainsi, un échantillon toutes les millisecondes est amplement suffisant pour ces entrées, ainsi une vitesse de numérisation de 1ksps peut suffire.
- Le bus ARINC429 quant à lui peut être configuré dans deux vitesses différentes : vitesse lente, à 12.5kbps, ou vitesse rapide, à 100kbps. Comme nous l’avons vu page 13, un bit ARINC429 comprend une phase de montée, une phase *HIGH* ou *LOW*, une phase de descente, et enfin une phase *NULL*. En vitesse rapide, l’ensemble de ce cycle dure 10 μ s. Afin d’être capable de contrôler efficacement l’intégrité d’un bit, nous souhaitons effectuer une dizaine de mesure durant la durée d’un bit. Pour cette raison, la vitesse minimale du CAN dans cette configuration doit être de 1Msps.
- L’algorithme de démodulation LVDT proposé nécessite de reconstruire correctement une sinusoïde d’une fréquence de l’ordre de 3kHz. Une centaine d’échantillons par période permet une bonne reconstruction. Ainsi, la fréquence d’échantillonnage du CAN doit être au moins égale à 300ksps.
- Les tensions différentielles à acquérir ont une bande passante d’une centaine de Hertz. Théoriquement, une vitesse de numérisation de 1ksps est donc amplement suffisante pour acquérir ce signal. Cependant, nous avons vu à la page 78 que l’algorithme de correction d’erreur est plus précis si la vitesse de numérisation est importante. Pour cette raison, une vitesse de numérisation de 1MSPS peut s’avérer intéressante.

Au vu de ces différentes exigences, un CAN 12 bits fonctionnant à 1 Msps permettrait donc de couvrir l’ensemble des besoins avioniques, et un CAN 14 bits à 2Msps assurerait une marge confortable tant en terme de résolution que de vitesse.

La FIGURE 5.13 ainsi que les synthèses de l’état de l’art actuel des convertisseurs analogiques numériques [77] nous montrent que notre cible se situe dans la zone où excellent les CAN à approximations successives (SAR). De plus, nos besoins sont largement en deçà des performances des meilleurs CAN du moment. Pour cette raison,

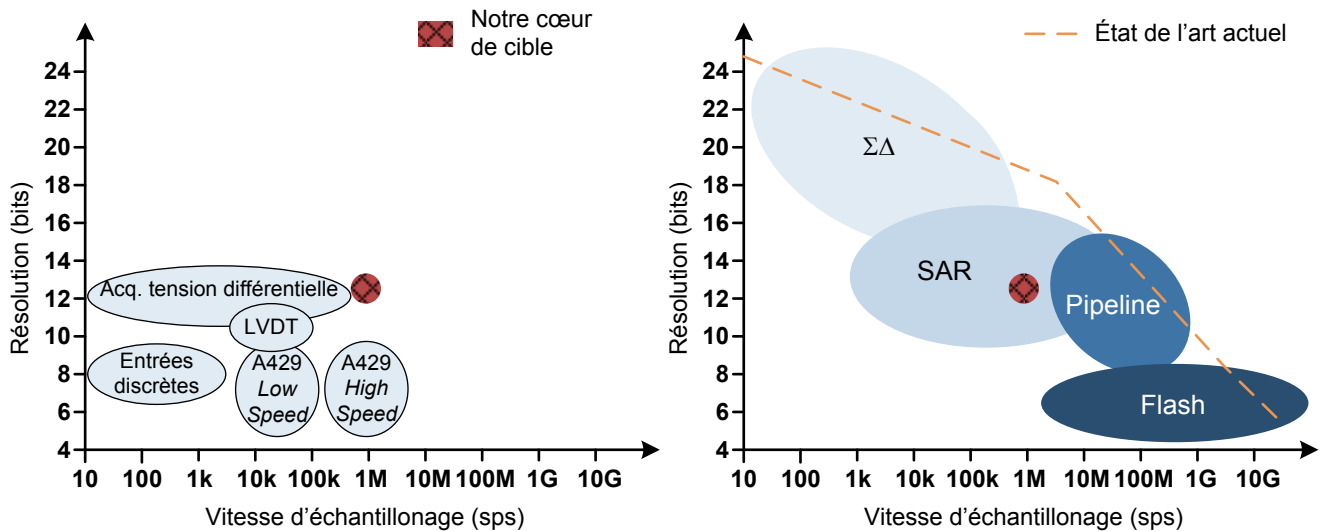


FIGURE 5.13 – Résolution et vitesse requise pour nos signaux avioniques (gauche).
État de l'art actuel des différents types de CAN (droite)

le développement d'un tel convertisseur ne représentait pas un réel intérêt, et n'a pas été abordé dans nos travaux.

Nous avons donc choisi d'implémenter dans notre circuit de test un convertisseur SAR 10 bits 100ksps déjà disponible dans le kit de développement de notre technologie [78]. Bien qu'ayant des performances inférieures à nos exigences, ce dernier permet tout de même de valider, au moins d'un point de vue qualitatif, la plupart des principes que nous proposons.

Ce convertisseur était développé pour un circuit ayant un substrat polarisé à $V_{SS} = 0V$. Nous l'avons donc modifié, incluant manuellement tous les transistors le constituant dans des caissons isolés, afin qu'il puisse fonctionner avec une polarisation négative de $-15V$. Ces modifications sont visibles sur les masques présentés sur la FIGURE 5.14.

5.2.5 Synthèse

Le circuit finalement réalisé occupe une surface totale de $2.5mm \times 2.7mm = 6.75mm^2$. Il a une consommation maximale d'environ 60mW, lorsque ses trois canaux sont configurés en mode DSI-, et fournissent alors chacun 1mA sous 15V.

Dans tout autre mode de fonctionnement, la consommation globale chute à environ 15mW. Cette consommation est essentiellement due aux courants de polarisation nécessaires au bon fonctionnement des interrupteurs analogiques.

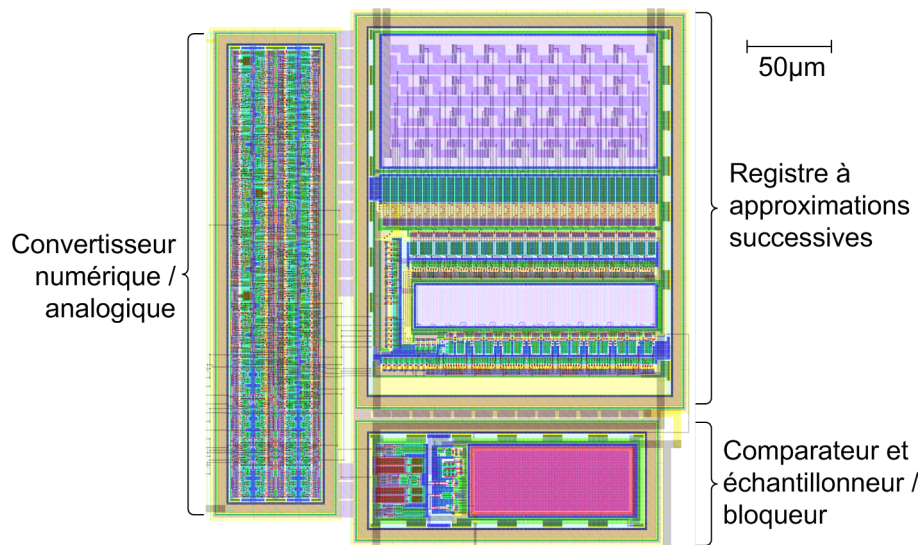


FIGURE 5.14 – Masques du convertisseur analogique numérique SAR

La *datasheet* du circuit proposée en annexe C présente plus de détails sur le circuit de test réalisé. La FIGURE 5.15 enfin montre le masque de plus haut niveau, ainsi qu’une microphotographie du circuit réalisé.

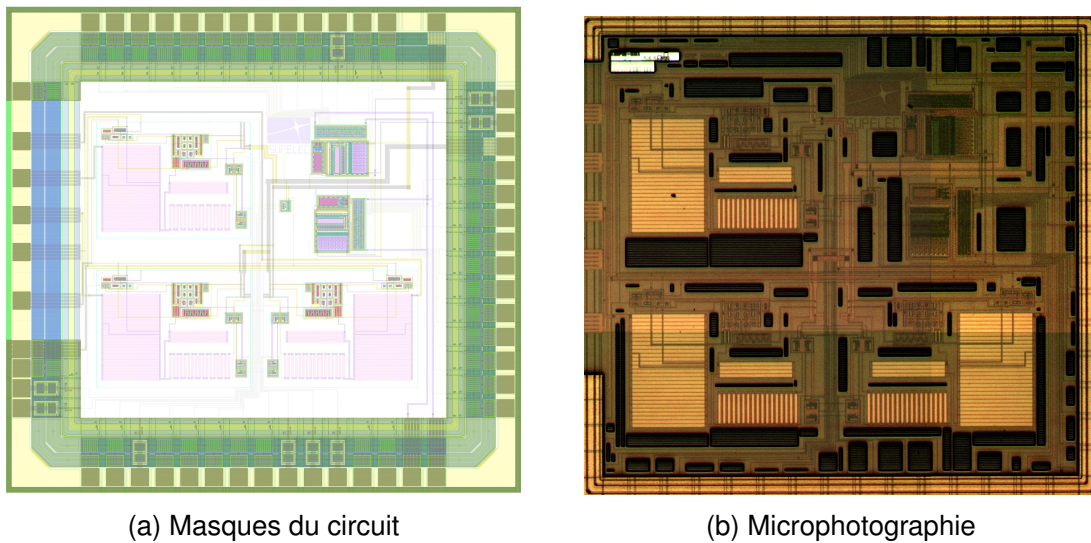


FIGURE 5.15 – Circuit de test complet

5.3 Implémentation des traitements numériques

Après avoir été numérisés par l'ASIC mixte, les signaux numériques sont ensuite transmis à un FPGA, dans lequel les différents traitements numériques ont été implémentés. Ce FPGA est aussi chargé de configurer les différents interrupteurs du circuit mixte.

Ces différentes fonctionnalités sont basées sur des « modules de traitement », dédiés à chaque type de signal. Le paragraphe suivant décrit donc ces modules, puis nous présentons l'organisation plus générale du FPGA.

5.3.1 Description des modules de traitement

Pour chacun des signaux avioniques, nous associons un « module » spécifique. L'architecture d'un de ces modules est représenté sur la FIGURE 5.16.

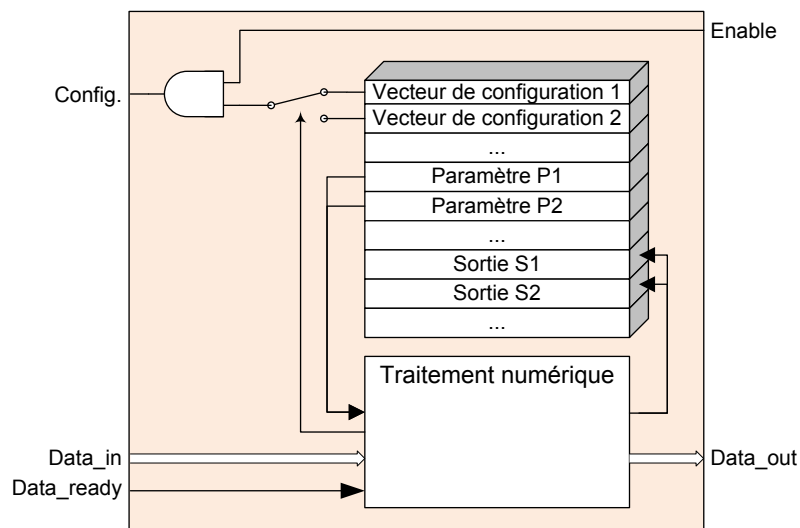


FIGURE 5.16 – Vue d'un module de traitement des données

Chaque module comprend notamment une fonction de traitement numérique. Cette dernière consiste en l'implémentation des différents traitements numériques décrits dans la section 4.3. Elle récupère les données *Data_in*, extrait l'information utile puis la retourne sur la sortie *Data_out*.

Certains traitements numériques requièrent des paramètres d'entrée P_i , tels que des coefficients de filtrage, ou des seuils de comparaisons.

D'autres traitements numériques génèrent quant à eux différentes données S_i qu'il peut-être nécessaire de conserver. C'est le cas par exemple des estimation des gains

et offsets générés par l'algorithme de correction d'erreur dynamique, que nous avons décrite dans la section 4.3.4.

Ces paramètres P_i et ces données S_i sont stockés dans une petite zone mémoire.

Un troisième type d'information est aussi stockée dans cette mémoire. En effet, à chaque signal est aussi associée une configuration du circuit mixte. Cette configuration peut être représentée par un vecteur qui décrit l'état de tous les interrupteurs de l'ASIC. Le TABLEAU 5.1 illustre par exemple le vecteur de configuration associé au module DSI-. D'autres exemples de vecteurs de configuration sont visibles sur le tableau de l'annexe A.

1	1	0	0	1	0	1	0	0
HVSW	PSW	SW1	SW2	SW3	SW4	SW5	SW6	SW7

TABLE 5.1 – Vecteur de configuration pour un signal DSI-

Le vecteur de configuration est envoyé en sortie du module, sous réserve que l'entrée d'activation *enable* soit active. Pour la plupart des signaux, la configuration de l'ASIC est fixe, et donc décrite par un vecteur unique, qui sera le seul stocké en mémoire. Néanmoins, certains modes de fonctionnement modifient de manière dynamique la configuration de l'ASIC. C'est typiquement le cas de l'acquisition différentielle avec correction d'erreurs. Dans ce cas, les différents vecteurs de configuration sont tous stockés en mémoire. Le traitement numérique sélectionne alors celui à transmettre en sortie du module.

5.3.1.1 Exemple d'application

Afin d'illustrer plus concrètement le contenu de ces modules, la FIGURE 5.17 montre le module correspondant au signal DSI-.

Sur cette figure, nous retrouvons donc le traitement numérique décrit page 64.

Le mode de fonctionnement DSI- est rattaché à une unique configuration. La mémoire comprend donc uniquement un vecteur décrivant cette configuration.

Le traitement numérique DSI- fait appel à cinq paramètres : deux coefficients de filtrage, deux seuils, et un temps de confirmation. Ces cinq paramètres sont stockés en mémoire.

Enfin, le traitement DSI+ ne génère pas de sortie autre que la sortie principale, ce qui explique pourquoi nous ne retrouvons pas de données S_i en mémoire.

Au moment du passage à 1 de l'entrée *enable*, la configuration présente dans le vecteur est transmise à la sortie *Config* du module.

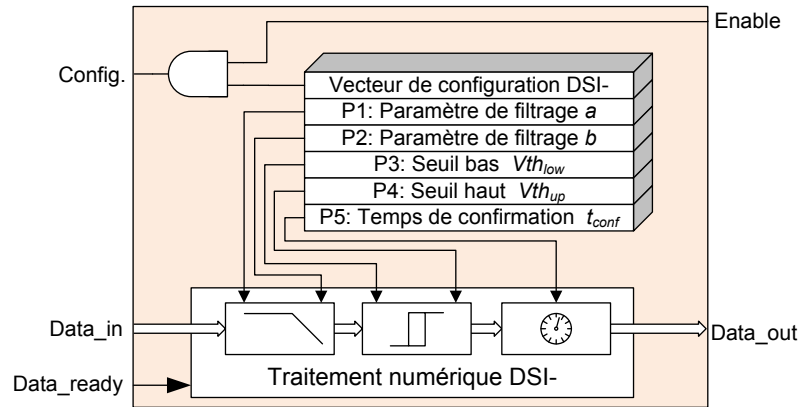


FIGURE 5.17 – Exemple d’application : implémentation du module de traitement d’un signal DSI-

5.3.2 Architecture générale du FPGA

Le fonctionnement générale des modules d’acquisition ayant été décrit, nous pouvons maintenant nous intéresser à l’organisation globale du FPGA, illustrée par la FIGURE 5.18.

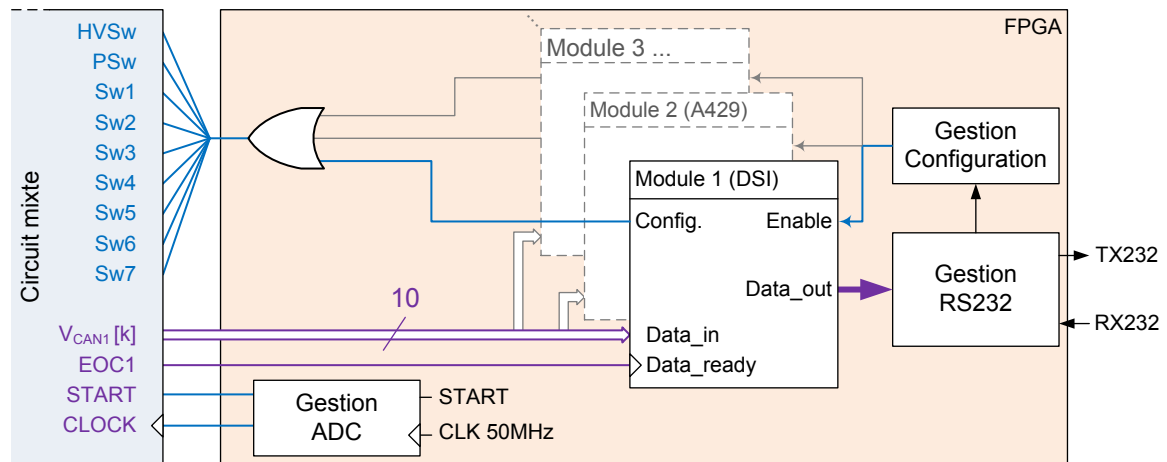


FIGURE 5.18 – Vue globale de l’implémentation des traitements numériques

Pour chaque type de signal, un module de traitement dédié est implémenté. Cette architecture modulaire permet une certaine évolutivité : dans l’avenir, si l’interface est amenée à faire l’acquisition d’un nouveau type de signal, il est très facile de rajouter dans cette architecture un module dédié à ce nouveau signal. Un module de gestion de la configuration active le module correspondant au signal que l’on souhaite acquérir :

seul ce module renvoie alors son vecteur de configuration, qui est alors directement appliqué aux interrupteurs de l'ASIC.

Le convertisseur analogique numérique est géré par un module séparé. Ce processus comprend notamment un compteur, destiné à générer les horloges des convertisseurs à partir de l'horloge du système à 50MHz. Ce module déclenche les conversions au moyen d'un signal *START*. En pratique, *START* est laissé à l'état haut car nous effectuons les conversions en continu, les unes à la suite des autres.

Enfin, le FPGA communique avec un ordinateur au moyen d'une liaison série. Cette dernière permet d'une part la transmission à l'ordinateur des données traitées par les modules d'acquisition ; et d'autre part de récupérer la configuration globale à appliquer à l'interface versatile.

À l'heure actuelle, les traitements numériques décrits dans la section 4.3 n'ont pas encore été tous implémentés dans le FPGA. Nous avons implémenté notamment les algorithmes dédiés aux signaux DSI+, DSI-, ainsi que l'acquisition de tension différentielle et sa correction d'erreur. Les traitements numériques des signaux ARINC429 et VDT ont quant à eux uniquement été simulés.

5.4 Description du banc de test

Afin de tester notre interface versatile, nous avons développé deux cartes de test, l'une supportant l'ASIC, la deuxième supportant le FPGA. Cette séparation physique permet notamment d'effectuer des tests en température uniquement sur le circuit mixte, tout en laissant le FPGA à température ambiante.

L'ensemble de l'interface est ensuite connecté à un ordinateur par une liaison RS232. Une interface graphique permet finalement de piloter dynamiquement l'interface depuis l'ordinateur, et de visualiser les données traitées par l'interface.

Ces deux cartes de test sont visibles sur les FIGURES 5.19 et 5.20.

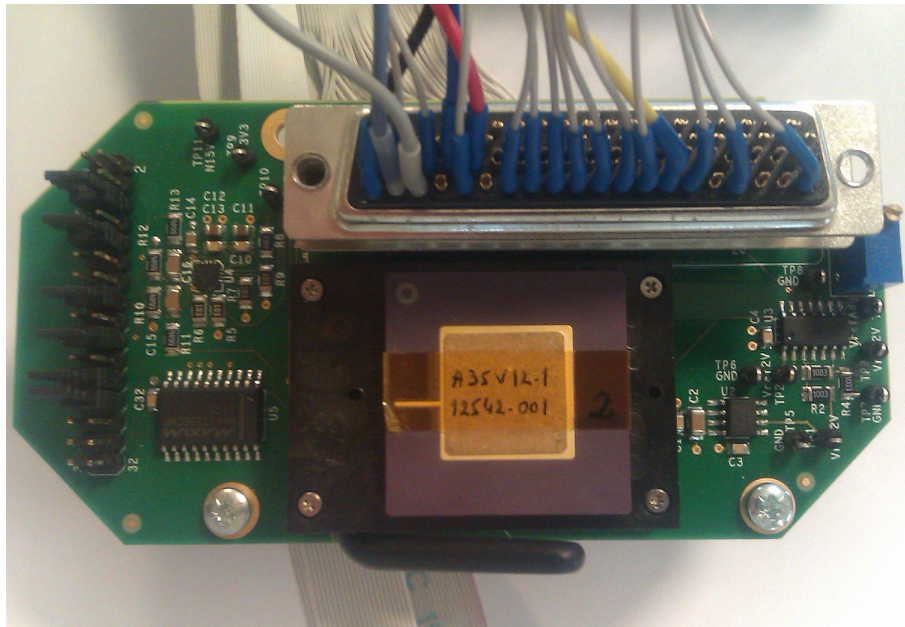


FIGURE 5.19 – Photographie de la carte de test de l'ASIC



FIGURE 5.20 – Photographie de la carte de test du FPGA

Chapitre 6

Validation et résultats expérimentaux

SOMMAIRE

6.1 INTRODUCTION	120
6.2 FONCTIONNEMENT DES DIFFÉRENTS INTERRUPTEURS	120
6.3 PERFORMANCES EN MODE ENTRÉE DISCRÈTE DSI+	121
6.3.1 Caractéristiques analogiques	121
6.3.2 Fonctionnement de la chaîne complète	122
6.4 PERFORMANCES EN MODE ENTRÉE DISCRÈTE DSI-	123
6.4.1 Caractéristiques analogiques	123
6.4.2 Fonctionnement de la chaîne complète	125
6.5 FONCTIONNEMENT EN MODE ARINC429 OU VDT	125
6.6 FONCTIONNEMENT EN MODE ACQUISITION DE TENSION DIFFÉREN-	
 TIELLE	126
6.6.1 Caractéristiques analogiques	126
6.6.2 Performances de la correction d'erreur	129
6.7 SYNTHÈSE	132

6.1 Introduction

Dans ce dernier chapitre, nous présentons quelques résultats expérimentaux.

Nous savons que notre circuit de test n'est qu'une première ébauche de l'interface versatile, et que les performances du convertisseur ne permettent pas de répondre aux exigences décrites dans le chapitre 2.3. Néanmoins, par ces résultats, nous souhaitons tester et valider les points critiques que nous avons pu identifier dans les chapitres précédents :

1. Parvient-on à reconfigurer l'interface, et notamment à modifier de manière dynamique les caractéristiques analogiques du circuit mixte ?
2. Le circuit mixte réussit-il à faire l'acquisition de tensions supérieures à ses tensions d'alimentation ?
3. Les caractéristiques analogiques du circuit mixte sont-elles bien en accord avec les caractéristiques théoriques ?
4. Quel est l'impact réel de la température sur les caractéristiques de notre circuit ?
5. La méthode de correction d'erreur proposée offre-t'elle un réel gain en terme de précision ?

Nous répondons à toutes ces questions dans les paragraphes suivants.

6.2 Fonctionnement des différents interrupteurs

Dans un premier temps, nous avons cherché à valider le fonctionnement global du circuit mixte, notamment la commutation des différents interrupteurs qui le constituent.

L'un des objectifs principaux de nos travaux était de parvenir à changer les caractéristiques analogiques du circuit mixte, à l'aide des différents interrupteurs décrits dans la section 4.4.

Comme nous l'avons vu précédemment, certains de ces interrupteurs doivent être commandés par des hautes tensions. Nous avons donc mis en place des circuits d'adaptation de niveaux logiques, qui permettent de convertir les signaux logiques basse tension fournis par le FPGA en signaux logiques haute tension, à destination des interrupteurs. Ces circuits nous permettent donc de commander indirectement tous les interrupteurs directement à l'aide des sorties du FPGA.

Dans un premier temps, nous avons donc commuté un à un ces interrupteurs, tout en mesurant de manière qualitative (ohmètre branché sur les entrées V_{in_A} et V_{in_B}), que les caractéristiques analogiques variaient effectivement à chaque commutation.

Ces vérifications effectuées, nous avons pu appliquer différentes configurations à notre interface versatile.

6.3 Performances en mode entrée discrète DSI+

Dans ce premier mode, l'interface est configurée pour interfacer un capteur DSI+. Dans nos travaux, nous avons conçu les étages d'adaptation pour un capteur possédant une polarisation $V_{DSO} = 18V$.

6.3.1 Caractéristiques analogiques

La fonction de transfert théorique du circuit dans ce mode est donnée par l'équation (4.1). Nous avons mesuré cette fonction de transfert de manière expérimentale :

- d'une part en faisant varier la tension de polarisation V_{DSO} , à résistance R_{onDSO} fixe ($R_{onDSO} \approx 0\Omega$),
- d'autre part, en faisant varier la résistance du capteur R_{onDSO} à tension de polarisation fixée ($V_{DSO} = 18V$).

Ces deux fonctions de transfert sont représentées sur la FIGURE 6.1.

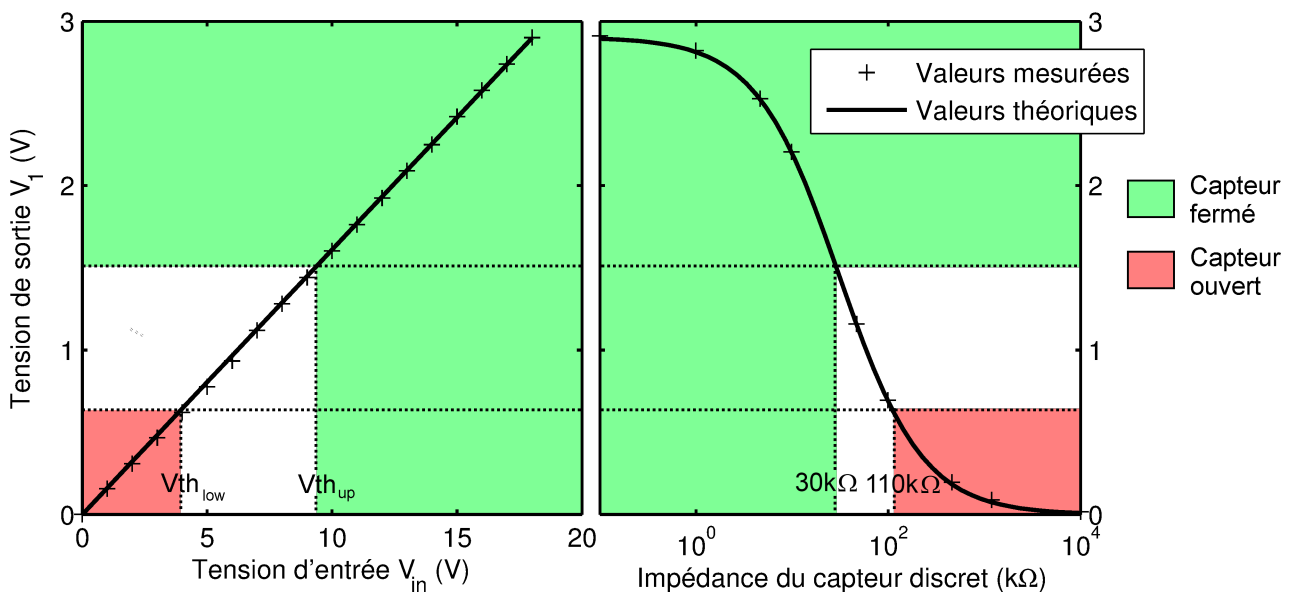


FIGURE 6.1 – Fonctions de transfert du circuit configuré en mode DSI+
a) commande en tension b) commande en impédance

De plus, l'impédance d'entrée de l'interface dans ce mode doit être comprise entre $27k\Omega$ et $33k\Omega$. La FIGURE 6.2 montre cette impédance d'entrée mesurée sur trois circuits différents.

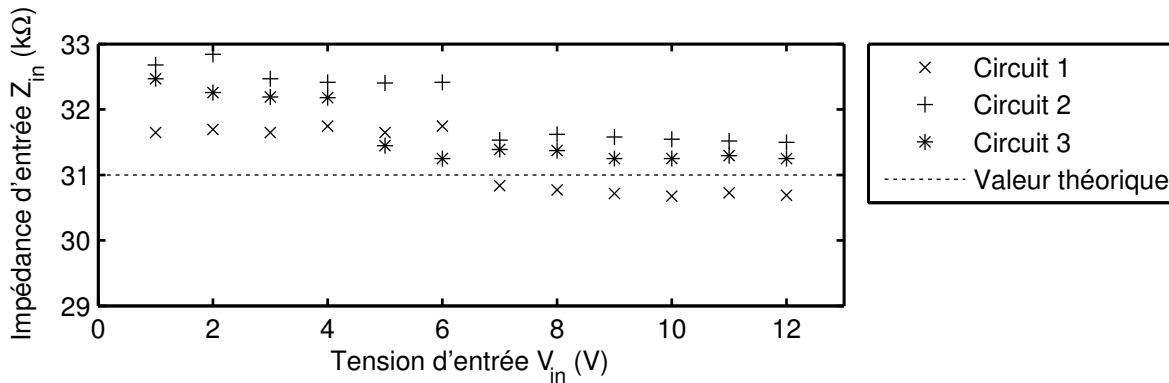


FIGURE 6.2 – Impédance d'entrée de l'interface en mode DSI+

Malgré de légères dérives d'un circuit à l'autre, dues au process de fabrication, les valeurs expérimentales concordent avec nos modèles théoriques, montrant ici notre capacité à configurer le conditionnement analogique de l'interface dans ce mode de fonctionnement.

6.3.2 Fonctionnement de la chaîne complète

La tension V_1 est effectivement ramenée dans la plage $[0V; 3V]$, puis numérisée par le convertisseur. Enfin, l'algorithme décrit page 63 retrouve l'état ouvert ou fermé du capteur. Pour cela, une comparaison à hystérésis est effectuée sur $V1[k]$. En règle générale, ces seuils sont définis par les avionneurs sur la tension de polarisation V_{DSO} . Un avionneur impose par exemple :

Une tension d'entrée inférieure à 4V doit mener à la détection d'un état ouvert, et une tension d'entrée supérieure à 9V doit mener à la détection d'un état fermé [7].

Nous avons donc utilisé ces seuils de 4V et 9V dans les paramètres du traitement numérique appliqué. Il est alors possible d'en déduire, à l'aide de la FIGURE 6.1, les seuils équivalents en terme d'impédance $R_{on_{DSO}}$.

Ainsi, avec ces seuils de comparaison, si le capteur présente une impédance inférieure à $30k\Omega$, l'interface détecte bien un état « fermé » ; et si le capteur présente une impédance supérieure à $110k\Omega$, l'interface détecte un état « ouvert ».

6.4 Performances en mode entrée discrète DSI-

Nous avons ensuite configuré l'interface pour faire l'acquisition d'un capteur DSI-. Ce mode de fonctionnement est similaire au premier, à l'exception que le capteur dont l'interface doit déterminer l'état est maintenant polarisé à la masse ($V_{in} = 0V$).

6.4.1 Caractéristiques analogiques

Dans ce mode de fonctionnement, l'interface doit fournir un courant d'environ 1 mA, pour un capteur fermé sur une source de tension nulle. La FIGURE 6.3 montre que ce courant est bien respecté.

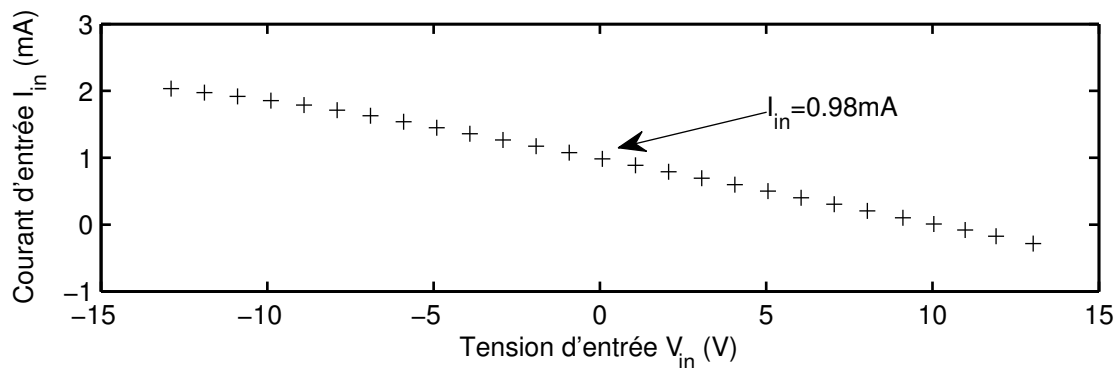


FIGURE 6.3 – Courant généré par l'interface en mode DSI-

La FIGURE 6.4 ensuite montre comme dans le cas précédent les deux fonctions de transfert de l'interface :

- à résistance $R_{on_{DSO}}$ fixe ($R_{on_{DSO}} = 0\Omega$), en faisant varier la tension d'entrée V_{in} ;
- à tension d'entrée fixe ($V_{in} = 0V$), en faisant varier la résistance du capteur $R_{on_{DSO}}$

Nous pouvons remarquer sur la fonction de transfert $V1 = f(V_{in})$, que la caractéristique présente toute d'abord une phase linéaire, puis a tendance à s'affaïssir pour des tensions d'entrées V_{in} très faible. Cette non linéarité est liée à l'interrupteur PSw, et au transistor P-MOSFET qui le compose. La tension V_{SD} de ce transistor augmente lorsque V_{in} diminue. Pour une tension d'entrée de l'ordre de 0V, le transistor P-MOSFET fournit un courant de l'ordre d'un milliampère. À des tensions V_{in} plus faibles, le transistor ne peut plus fournir beaucoup plus de courant. Il entre alors en mode saturé. Sa résistance R_{on} augmente, et la contribution de la source de tension $V_{pol_{DSI}}$ à la tension de sortie V1 est amoindrie. Une diminution de V_{in} entraîne donc une

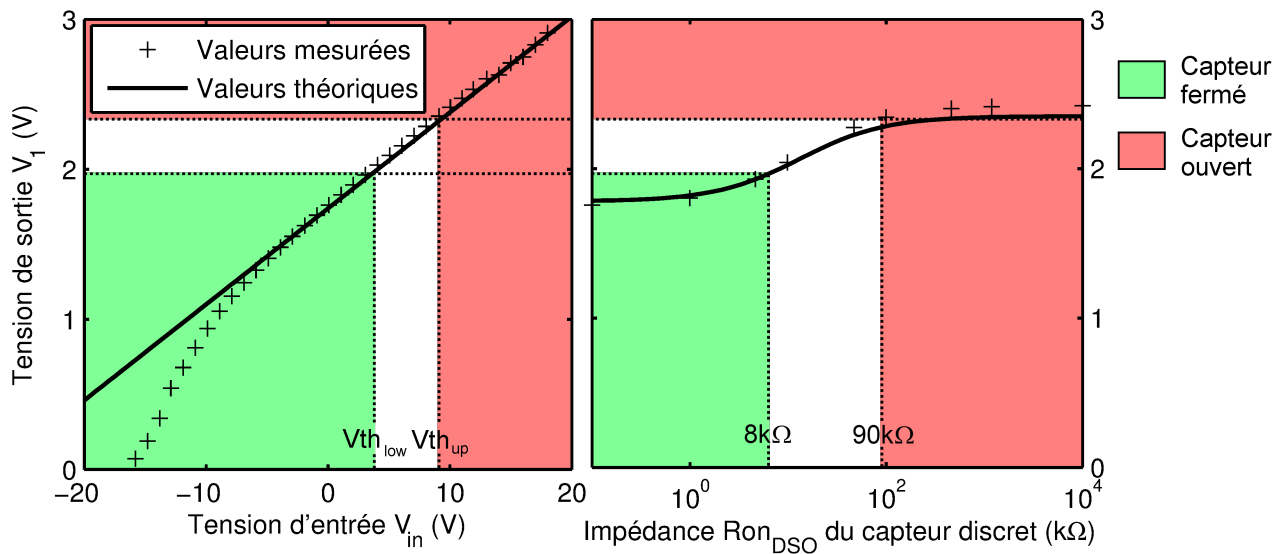


FIGURE 6.4 – Fonctions de transfert du circuit configuré en mode DSI-
a) commande en tension b) commande en impédance

diminution de V_1 d'autant plus forte que V_{in} est faible, ce qui se traduit par cette non linéarité sur la fonction de transfert.

Pour conserver une fonction linéaire sur toute la dynamique du signal, nous aurions pu limiter le courant débité par l'interface en augmentant par exemple la valeur de R_2 ou de R_1 . Cette solution n'est pas compatible avec les spécifications du signal, qui exige qu'un courant de l'ordre de 1mA soit débité sous 0V.

Nous aurions pu aussi augmenter le courant de saturation du transistor en augmentant son V_{GS} . Ceci est possible dans une certaine mesure, mais une tension V_{GS} trop importante risque d'endommager l'oxide de grille du transistor, et donc de limiter sa durée de vie.

Une troisième solution enfin consiste à augmenter encore le courant que peut fournir le transistor en saturation, en jouant sur ses dimensions cette fois-ci. Le courant $I_{D\ sat}$ étant directement proportionnel au rapport largeur/longueur, une augmentation de la largeur du transistor aurait permis de conserver une caractéristique linéaire.

Cette limitation provient donc d'un sous-dimensionnement du transistor PSw, que nous prendrons en compte dans la conception d'un nouveau circuit.

Néanmoins, dans la mesure ou le signal discret dont nous cherchons ici à faire l'acquisition n'a pas un grand besoin de précision (nous cherchons uniquement à distinguer deux états), cette non linéarité ne nous a pas empêché de valider le principe de fonctionnement de notre circuit de test pour les signaux DSI-.

6.4.2 Fonctionnement de la chaîne complète

Hormis le conditionnement analogique, nous avons vu dans la section 4.3 que le traitement qu'applique notre interface aux signaux DSI- est très similaire à celui appliqué aux signaux DSI+.

Comme dans le cas précédent, l'avionneur spécifie donc des seuils de comparaison sur la tension d'entrée V_{in} , par exemple :

Une tension d'entrée inférieure à 4V doit mener à la détection d'un état fermé, et une tension d'entrée supérieure à 9V doit mener à la détection d'un état ouvert [7].

En utilisant ces seuils de comparaison, ainsi que les caractéristiques $V_1 = f(V_{in})$ et $V_1 = f(Ron_{DSO})$ de la FIGURE 6.4, nous voyons que notre interface détectera donc un état fermé si le capteur présente une impédance inférieure à $8k\Omega$, et un état ouvert si le capteur a une impédance supérieure à $90k\Omega$.

Nous avons vu page 65 que la marge d'immunité au bruit semble plus faible pour les signaux DSI- que les signaux DSI+. Néanmoins, en terme d'impédance, les deux états se distinguent parfaitement l'un de l'autre, puisque plus d'une décade (20dB) les séparent.

Ces résultats montrent donc ici encore que l'interface est capable de changer ses caractéristiques afin d'acquérir correctement ce deuxième type de signal.

6.5 Fonctionnement en mode ARINC429 ou VDT

Les traitements numériques de ces signaux n'ayant pas encore été implémentés dans le FPGA, nous n'avons pas pu tester leur acquisition complète. Néanmoins, nous avons tout de même vérifié les caractéristiques analogiques du circuit mixte lorsqu'il est configuré pour ces signaux. La FIGURE 6.5 montre par exemple la fonction de transfert mesurée du circuit, dont la valeur théorique est donnée par l'équation (4.8).

Configurée ainsi, l'interface présente une impédance d'entrée de l'ordre de $230k\Omega$, ce qui est largement au dessus du minimum de $100k\Omega$ requis pour ces signaux.

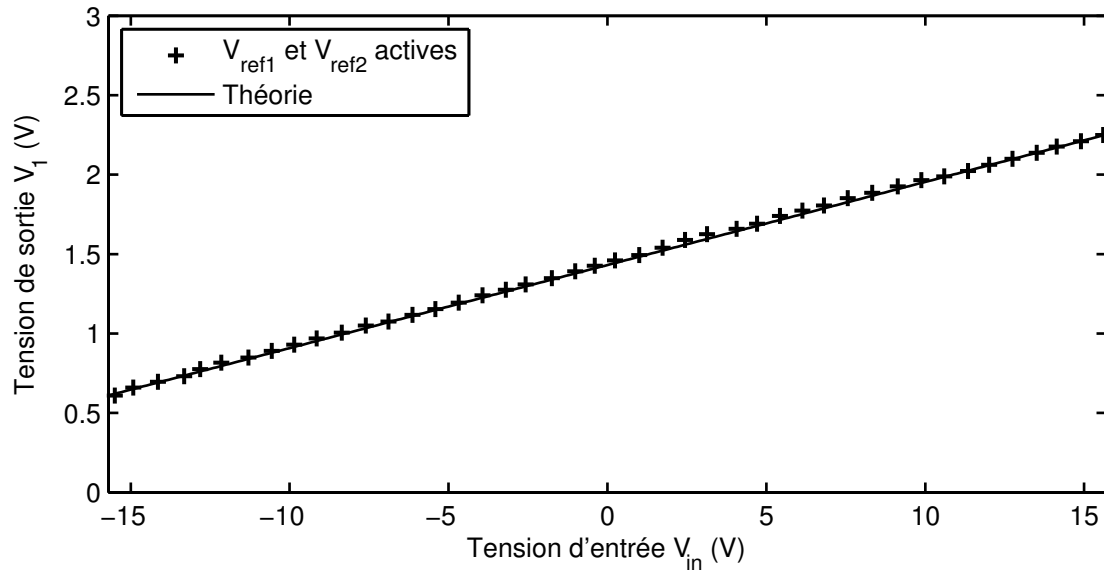


FIGURE 6.5 – Fonctions de transfert des modes ARINC429 ou VDT

6.6 Fonctionnement en mode acquisition de tension différentielle

Dans ce dernier mode de fonctionnement, nous cherchons à faire l'acquisition d'une tension différentielle, en appliquant la méthode de correction d'erreur simplifiée présentée page 74.

6.6.1 Caractéristiques analogiques

Les étages d'adaptation appliquent ici un gain $G_{A,B}$ à la tension d'entrée, et ajoutent une tension d'offset dépendante de la tension de référence V_{ref1} ou V_{ref2} que l'on a « activé » ; comme nous avons pu le voir sur les équations (4.16) et (4.17).

La FIGURE 6.6 montre donc les deux fonctions de transfert $V_1 = f(V_{in})$. Les valeurs mesurées semblent cohérentes avec nos modèles théoriques.

Néanmoins, en affinant un peu ces mesures, nous avons pu observer sur les paramètres de ces fonctions de transferts (gain et offset) une différence de quelques pourcents entre nos mesures et nos modèles théoriques.

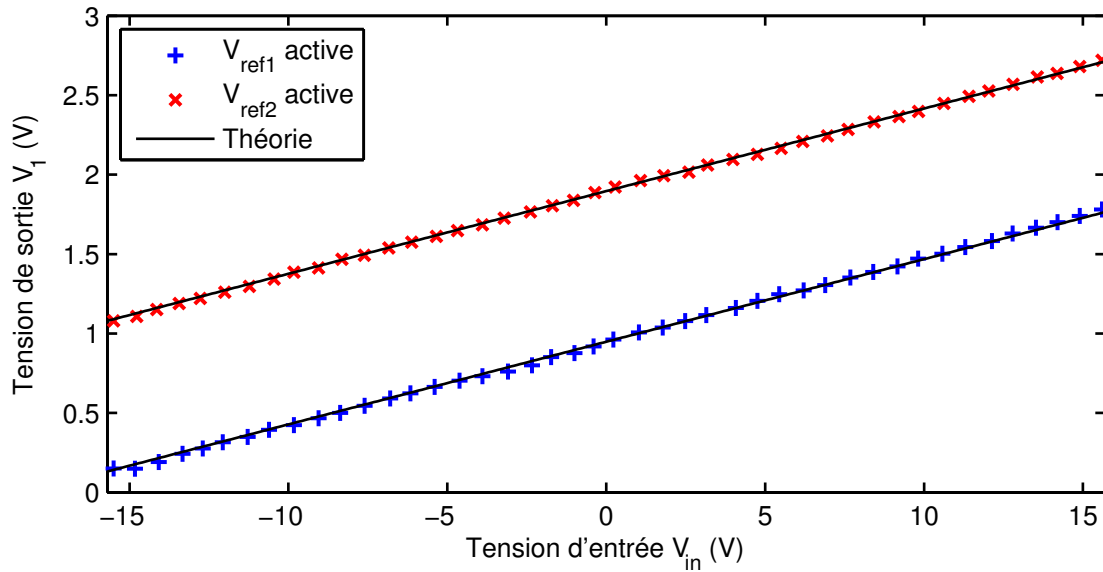
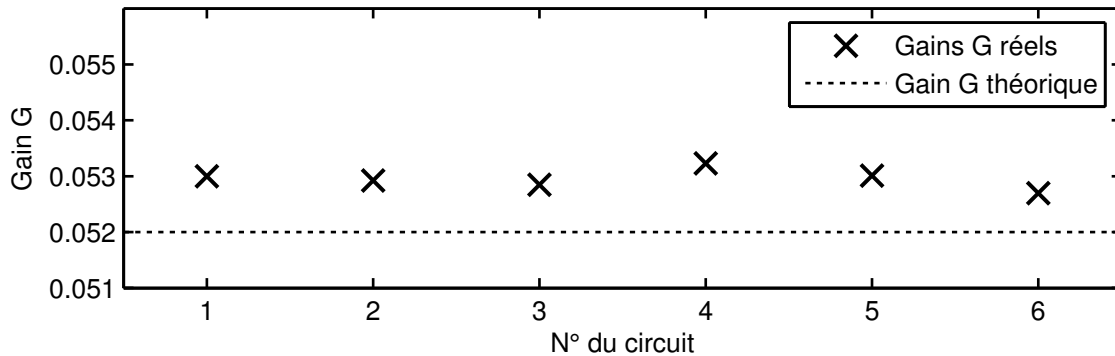


FIGURE 6.6 – Fonctions de transfert en mode acquisition différentielle

6.6.1.1 Dérives dues au procédé de fabrication

Nous avons donc souhaité connaître l'impact des variations dues au procédé de fabrication. Pour cela, nous avons mesuré précisément le gain G_A sur six circuits différents.


FIGURE 6.7 – Gains G_A de six circuits différents

Comme le montrent la FIGURE 6.7 et le TABLEAU 6.1, tous nos circuits possèdent un gain supérieur à la valeur théorique, avec une erreur comprise entre 1.34% et 2.37%. Cependant, ces résultats ne sont pas forcément significatifs, car ces six circuits proviennent du même lot de fabrication. Un autre lot de circuits, provenant d'un autre *wafer*, aurait probablement présenté des gains centrés sur une autre valeur, comprise entre -5% et +5% de la valeur théorique du circuit, d'après les données du fondeur

	Numéro du circuit						Modèle théorique
	1	2	3	4	5	6	
G_A	0.0530	0.0529	0.0528	0.0532	0.0530	0.0527	0.0520
Écart relatif	+1.92%	+1.78%	+1.63%	+2.37%	+1.94%	+1.34%	N/A

TABLE 6.1 – Erreurs de gain dues au procédé de fabrication

[62]. La fabrication a donc bien un impact sur les caractéristiques analogiques, et bien que légères, ces dérives sont suffisamment importantes pour perturber nos mesures puisqu'elles occasionnent une dégradation du monde commun, comme nous l'avons vu avec l'équation (4.15).

6.6.1.2 Impact des changements de température

Nous avons vu dans le chapitre 2.3.1.1 que l'électronique embarquée à bord des avions est soumise à des contraintes importantes en termes de température. Nous avons donc souhaité mesurer l'effet de cette température sur certaines caractéristiques analogiques.

La FIGURE 6.8 montre donc l'évolution du gain d'un circuit mixte, et de son impédance d'entrée, en faisant varier la température de -20°C à $+80^{\circ}\text{C}$.

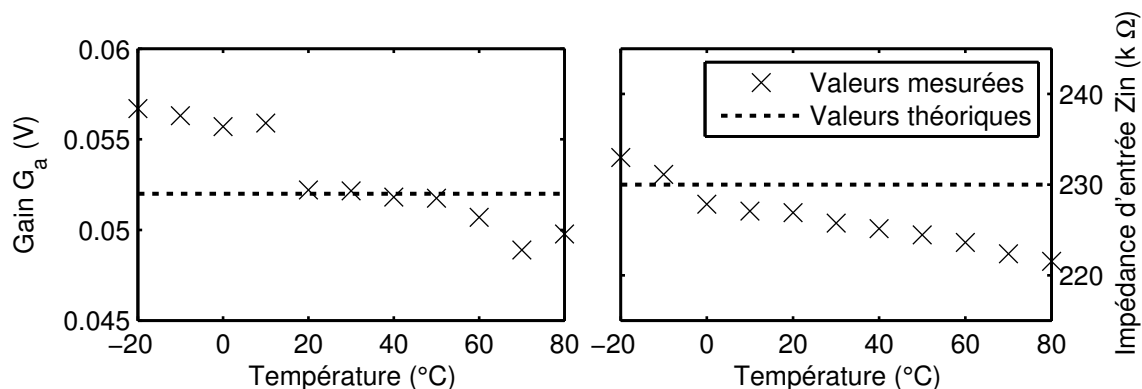


FIGURE 6.8 – Variation de différents paramètres analogiques en fonction de la température

La température a donc un impact bien plus important que les variations dues au procédé de fabrication. L'impédance par exemple, varie entre $221\text{k}\Omega$ et $233\text{k}\Omega$ soit une variation de 5%. Cette valeur reste néanmoins très largement supérieure à la valeur minimale requise pour les acquisitions différentielles ($100\text{k}\Omega$).

Le gain quant à lui prend sur cette plage de température des valeurs comprises entre 0.0567 et 0.0489, soit une variation de plus de 15%.

Ainsi, en cumulant les dérives dues au process et les variations en températures, les gains analogiques peuvent dériver de presque 20%, ce qui peut mener à d'importantes erreurs sur nos différentes acquisitions.

Ces erreurs ne sont pas nécessairement problématiques pour des signaux nécessitant peu de précisions (ARINC429 ou discrets par exemple), mais confirment l'intérêt d'utiliser des méthodes de compensation, telles que l'algorithme de démodulation VDT ou la méthode de correction d'erreurs proposés dans les chapitres 4.3.5.3 et 4.3.4.

6.6.2 Performances de la correction d'erreur

Dans ce paragraphe, nous cherchons à montrer d'une part l'impact des dérives analogiques sur le résultat final de nos mesures ; et d'autre part, qu'il est possible d'appliquer des méthodes permettant de corriger efficacement ces erreurs.

Nous avons donc implémenté et expérimenté la méthode de correction d'erreur simplifiée décrite page 74. La courbe 6.9 montre la première étape de cette méthode, qui consiste à partir de deux mesures, à estimer la valeur réelle du gain de l'étage d'adaptation.

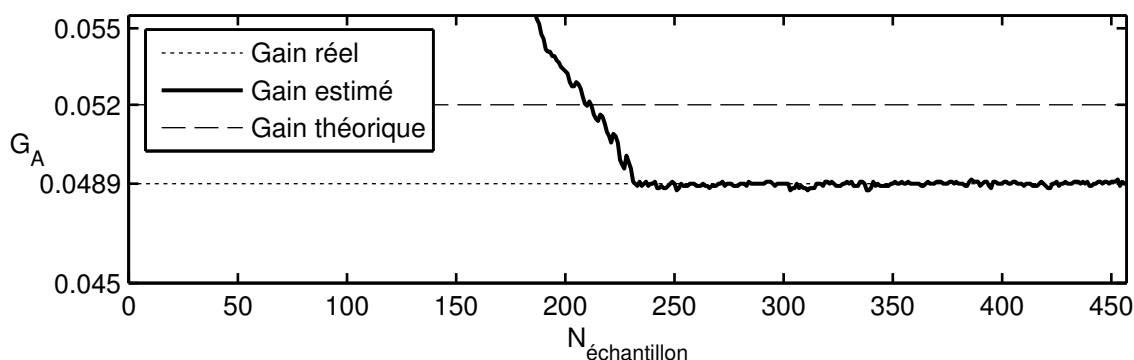


FIGURE 6.9 – Estimation du gain G_A

Nous avons choisi d'appliquer cette méthode sur des circuits placés en étuve à $+70^{\circ}\text{C}$, car c'est dans ces conditions que le gain dévie le plus de sa valeur théorique, et par conséquent que l'intérêt de la correction d'erreur est le plus visible.

Initialement, l'interface ne connaît pas du tout le gain réel de l'interface. Au fil des mesures, la valeur estimée G^* du gain tend vers sa valeur réelle, égale à 0.0489.

Les courbes présentées sur la FIGURE 6.10 montrent ensuite la deuxième étape de cette méthode, dans laquelle la tension d'entrée V_{in} est elle aussi estimée. Cette figure montre notamment notre estimation de la tension d'entrée s'affiner au fur et à mesure que le gain G est lui aussi estimé.

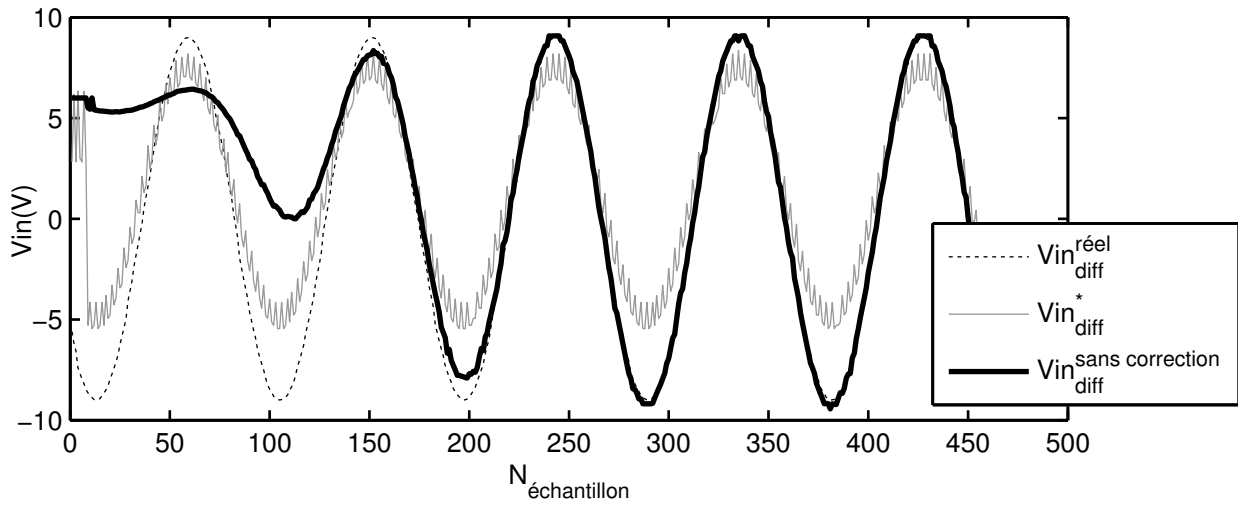


FIGURE 6.10 – Estimation de la tension d'entrée V_{in_A}

La FIGURE 6.11 enfin est la meilleure illustration des performances de notre méthode. Elle montre l'erreur finale que nous faisons dans notre estimation, et la compare à l'erreur que nous ferions si nous estimions la tension d'entrée à partir du gain théorique, égal lui à 0.052.

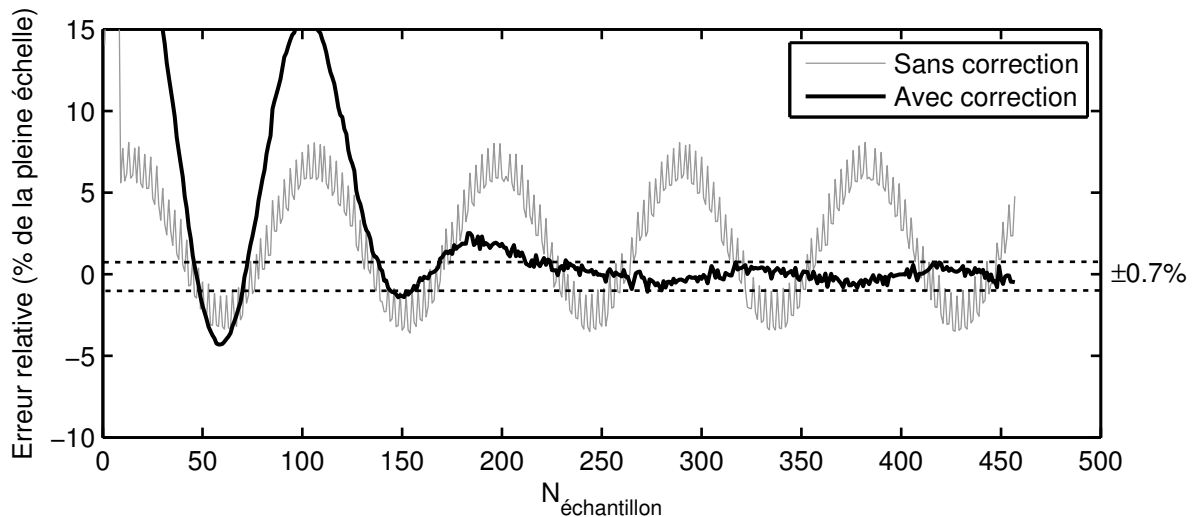


FIGURE 6.11 – Erreur résultante après estimation

Nous pouvons voir sur cette dernière courbe que l'erreur de gain (ici environ égale à 5%), mène à une mesure faussée d'environ 7%, si aucune correction ou calibration n'est effectuée.

Une fois que notre correction d'erreur converge, nous parvenons à réduire cette erreur à $\pm 0.7\%$.

Cette erreur finale est supérieure aux 0.15% que nous nous étions fixés comme objectif (voir page 20). Il est donc intéressant de comprendre comment la réduire encore. En réalité, le facteur limitant sur notre prototype d'interface est ici le convertisseur analogique numérique, dont la résolution efficace vaut environ 9.2 bits [78]. Les simulations effectuées sous Matlab nous montrent que l'implémentation d'un convertisseur offrant une résolution plus fine (supérieure à 12 bits), permettrait théoriquement de réduire cette erreur à des valeurs compatibles avec nos objectifs initiaux.

Le deuxième point remarquable sur ces différentes courbes concerne le temps de convergence de l'algorithme. Nous avons ici mis en place un filtrage passe bas sur nos estimations de gains. La FIGURE 6.9 montre que ce filtrage nous permet d'obtenir une excellente estimation des gains de l'interface après environ 200 échantillons, et nous a semblé être un bon compromis entre précision atteinte et temps de convergence (200 échantillons à 1MSPS représentent 0.2ms). Remarquons que dans ce cas, il s'agit de la toute première estimation du gain de l'interface, et que le nombre d'échantillons nécessaires à la convergence de l'algorithme en est donc augmenté. Pour une deuxième exécution de l'algorithme, la valeur estimée du gain pourrait être conservée en mémoire, et réutilisée comme valeur de départ de l'algorithme.

Malgré ces performances un peu en deçà de nos premières exigences, cette expérimentation nous permet tout de même de valider les principes mis en œuvre dans cette méthode, puisque nous sommes tout de même parvenus à diviser par dix l'erreur finale effectuée sur cette mesure.

6.7 Synthèse

La fabrication d'un circuit a été un atout précieux dans l'avancement de nos travaux. En effet, la possibilité de pouvoir tester certaines fonctionnalités de notre interface nous a permis de valider — ou d'infirmer — certains principes ou hypothèses parfois difficiles à modéliser.

Dans un premier temps, être parvenus à obtenir un fonctionnement général de la puce nous a conforté dans notre compréhension et notre maîtrise de la technologie utilisée. Cette technologie présente en effet des spécificités et des composants bien particuliers pour pouvoir supporter des tensions et courants considérés comme élevés dans le monde de la microélectronique.

Nous avons su transférer un bloc *IP* d'une technologie basse tension vers notre technologie haute tension au moyen d'une méthode essentiellement manuelle, minutieuse et fastidieuse, dont les résultats en situation réelles posaient question.

Dans un second temps, nous sommes parvenus à changer des caractéristiques analogiques, telles que des gains, des impédances ou des tensions d'offset, et ce, à partir de commandes numériques dont les niveaux logiques sont faibles. Cette capacité à modifier radicalement des paramètres analogiques nous a permis d'appliquer différents types de conditionnement analogiques, fournissant à notre interface un *front end* analogique réellement programmable, ce qui constitue la première étape pour pouvoir faire l'acquisition de signaux variés.

Nous avons de plus montré que l'utilisation d'interrupteurs spécifiques, en général mis de côté à cause de leurs piètres performances, permettait, en les utilisant dans des conditions bien particulières, de faire l'acquisition de tensions supérieures aux tensions d'alimentations du circuit. Nous avons entre autres réduit les tensions d'alimentation HV_{SS} et HV_{DD} à $\pm 10V$, et avons pu observer un fonctionnement correct des étages d'adaptation pour des tensions d'entrée supérieures à $\pm 30V$.

Nous avons pu confirmer que notre technologie, comme toute technologie à dominante analogique, est sensible notamment aux imperfections du procédé de fabrication, ainsi qu'à la température. Nous avons montré de plus que ces dérives pouvaient être la cause d'erreurs de mesures non négligeables, notamment dues aux dégradations qu'elles occasionnent sur le TRMC de circuits différentiels.

Nous avons montré l'intérêt que représente que notre méthode de correction d'erreurs. Cette dernière permet en effet de compenser efficacement les dérives analogiques, en mettant en œuvre des procédés d'électronique analogique autant que

numérique là où une calibration plus classique ou un trimmage par laser ne sont pas nécessairement possible.

La FIGURE 6.12 résume quels éléments de notre interface ont été testés et validés expérimentalement, et lesquels ont été simulés uniquement.

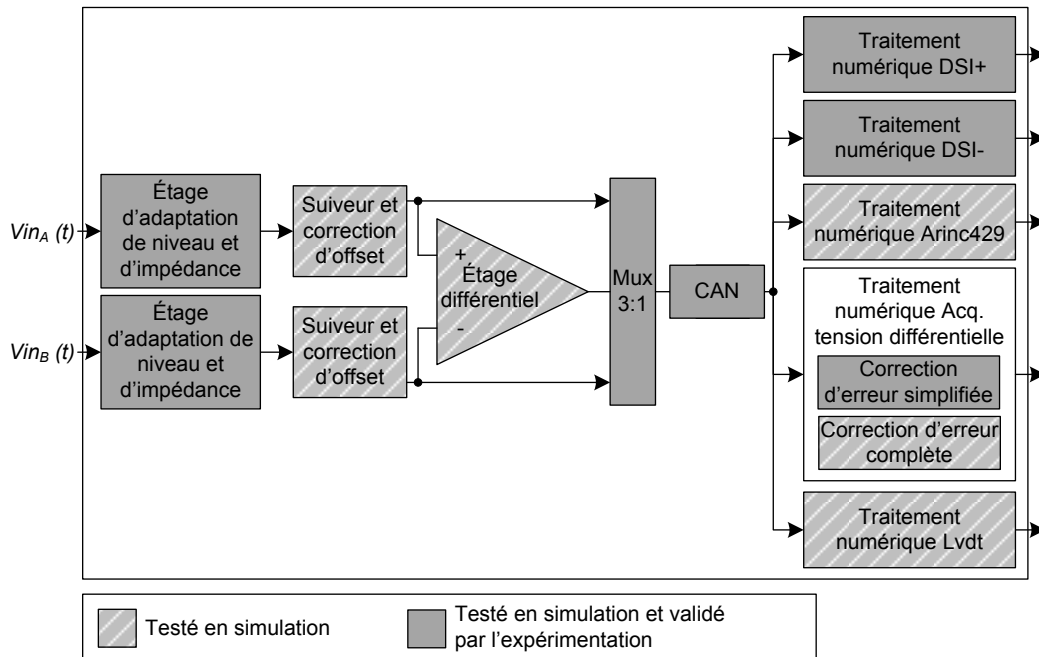


FIGURE 6.12 – Validation et simulation des différents éléments de l'interface

Grâce à ce circuit de test, nous avons pu observer que nos résultats expérimentaux étaient très proches des résultats obtenus par la simulation. Ceci nous conforte dans l'idée que nos modèles sont représentatifs de la réalité, et pourront être utilisés en toute confiance pour la réalisation d'un second circuit qui sera un réel prototype d'interface versatile, incluant toutes les fonctionnalités que nous avons décrites dans ce mémoire.

Chapitre 7

Conclusions et Perspectives

SOMMAIRE

7.1 BILAN	136
7.1.1 Contributions	137
7.1.2 Limites	138
7.2 PERSPECTIVES	139

7.1 Bilan

Le travail exposé dans ce mémoire s'inscrit dans l'évolution des systèmes avioniques. Afin de pouvoir gérer un ensemble toujours plus important de données, les avions modernes embarquent un nombre croissant de capteurs. Les circuits électroniques chargés de faire l'acquisition de ces capteurs brident aujourd'hui les fonctionnalités des ordinateurs de bord, et risquent donc de représenter dans un futur relativement proche un réel frein à l'évolution des systèmes.

À partir d'une étude approfondie de l'environnement particulier dans lequel les systèmes avioniques opèrent, nous avons souhaité proposer une alternative aux circuits d'acquisition actuels, en cherchant à les remplacer par des circuits d'acquisition plus flexibles, et moins consommateurs de surface.

En étudiant les caractéristiques des signaux électriques fournis par les différents capteurs, nous avons pu identifier une caractéristique qui leur est commune, et qui s'est avérée par la suite être l'une des principales difficultés à l'avancement de nos travaux. En effet, les signaux que nous avons étudiés s'étendent tous sur des tensions supérieures à plusieurs dizaines de volts. Or, nous avons pu voir que l'acquisition de ce type de tension n'est absolument pas triviale, *a fortiori* pour des circuits microélectroniques dont les tensions d'alimentation sont plus faibles.

En examinant différentes solutions de circuits reconfigurables — analogiques comme numériques — nous avons pu découvrir que la capacité d'un circuit à se configurer ou se reconfigurer est bien souvent liée à l'utilisation d'interrupteurs analogiques, utilisés pour « activer » ou « désactiver » certains blocs fonctionnels.

Ce principe de commutation est par essence même incompatible avec l'utilisation de tensions importantes. En effet, l'application de fortes tensions sur ces interrupteurs analogiques déclenche différents types de dysfonctionnements. Les mécanismes alors mis en œuvre sont relativement méconnus, puisqu'ils apparaissent en général dans des conditions sortant du cadre d'utilisation nominale des interrupteurs.

Nous avons donc cherché à identifier et à caractériser ces différents modes de panne, afin d'étudier différentes solutions qui permettraient d'augmenter le domaine de fonctionnement des interrupteurs analogiques.

Dans ce cadre, nous avons pu montrer que certaines solutions existent pour repousser voire annuler certains de ces mécanismes de faute, mais que ces solutions nécessitent généralement de faire des compromis, notamment sur la qualité de la résistance R_{on} des interrupteurs.

7.1.1 Contributions

Les différentes solutions de circuits reconfigurables étudiées ne répondant pas à toutes nos exigences, nous avons alors proposé une architecture d'interface versatile. Cette architecture comprend notamment des étages de conditionnement analogiques, chargés de formater les signaux en vue de leur conversion dans le domaine numérique.

Pour pouvoir faire l'acquisition de différents types de signaux, il est possible de modifier les caractéristiques du conditionnement analogique. La chaîne d'acquisition ainsi constituée est alors capable d'appliquer différents gains, offsets et impédances aux signaux à acquérir. Cette interface est basée elle aussi sur le principe de la commutation de blocs fonctionnels ; elle parvient à s'affranchir des limitations fonctionnelles des interrupteurs analogiques par l'utilisation judicieuse de différents types d'interrupteurs. La localisation particulière de chacun de ces interrupteurs permet d'exploiter leurs qualités, tout en minimisant leurs défauts.

Afin de valider l'architecture que nous proposons, nous avons réalisé un circuit de test, dans une technologie CMOS haute tension, spécialisée dans les applications électroniques faisant intervenir de l'analogique et du numérique.

Ce circuit de test a apporté une nouvelle dimension à nos travaux, puisqu'il nous a permis dépasser le cadre de la simulation, et de valider par l'expérience un nombre importants de principes que nous souhaitons mettre en œuvre.

Nous avons notamment pu confirmer notre capacité à modifier le type de conditionnement analogique appliqués aux signaux, et ainsi, à s'interfacer avec différents types de capteurs.

Nous sommes parvenus à faire l'acquisition de tensions supérieures aux tensions d'alimentation de notre circuit, tout en évitant les phénomènes de claquage ou de *clamping* qui se manifestent généralement dans ces conditions. Ceci nous a montré que notre proposition d'utiliser différents types d'interrupteurs analogiques dans des cas bien précis peut-être une réponse valable aux problèmes qui se posent lorsque l'on cherche à changer le comportement d'un circuit analogique malgré la présence de tensions importantes à ses bornes.

Les mesures effectuées sur plusieurs échantillons et dans différentes conditions de température ont confirmé nos doutes sur l'impact que peut avoir une légère désadaptation d'impédance sur une mesure différentielle. Les imprécisions du à un appareillage imparfait se ressentent en effet directement sur la capacité du circuit à rejeter l'éventuel mode commun parasite.

À cet effet, nous avons proposé une méthode de correction d'erreur, faisant appel à des mécanismes d'électronique analogique, d'électronique numérique et de traitement du signal. Cette méthode mixte nous a permis de réduire d'un facteur 10 l'erreur provoquée par les imprécisions de notre circuit analogique.

7.1.2 Limites

Ce circuit de test nous a aussi permis de mettre en lumière certaines limitations de nos travaux.

Nous avons notamment été en mesure de voir que dans certains cas (forte fluctuation de masse en mode DSI-), nous avons sous-estimé les courants susceptibles d'être générés dans notre interface. D'après nos simulations, une simple augmentation de la dimension de certains transistors permettrait de résoudre ce problème.

Par manque de temps, nous n'avons pas été en mesure d'implémenter dans le circuit de test toutes les fonctionnalités prévues dans l'interface versatile finale.

Ainsi, nous avons été contraints de remplacer l'étage différentiel analogique par une différence numérique. Au delà du fait que cette fonctionnalité n'a pas pu être testée concrètement, ce remplacement a eu un impact négatif sur les possibilités de notre interface, puisque nous avons été contraints de numériser l'intégralité du mode commun, qui aurait normalement dû être rejeté en grande partie par l'étage différentiel analogique. Cette limitation réduit notamment la précision effective que nous pouvons obtenir sur nos différentes mesures.

Le convertisseur analogique numérique implémenté n'affichait pas les performances suffisantes pour répondre à toutes nos exigences. Cette résolution insuffisante, couplée à la perte de précision due à l'absence de l'étage différentiel, font que notre circuit de test n'a pas été capable de répondre à toutes les exigences des avionneurs.

L'absence des étages suiveurs et de l'étage différentiel nous ont empêché de tester l'algorithme de correction d'erreur complet. Ce dernier n'a donc pu être validé que par la simulation. Néanmoins, les résultats expérimentaux obtenus sur l'algorithme de correction d'erreur simplifié laissent à penser que l'implémentation de l'algorithme complet ne devrait pas poser de problèmes.

Enfin, certains traitements numériques, comme le traitement dédié aux capteurs VDT ou celui dédié au bus ARINC429, ont été simulés, mais par manque de temps n'ont pas pu être testés de manière expérimentale.

Notre circuit de test avait néanmoins été conçu plus comme une éprouvette, permettant de valider des concepts, que comme un prototype complet d'interface versatile. À ce titre, nous estimons qu'il a tout à fait rempli son rôle.

7.2 Perspectives

Les perspectives d'évolution de notre interface versatile rayonnent dans plusieurs directions.

La première consiste bien évidemment à valider les éléments que nous n'avons pas pu tester de manière expérimentale, par la réalisation d'un prototype d'interface versatile complet, incluant toutes les fonctionnalités que nous avons prévues initialement.

Ce nouveau circuit devra donc intégrer les étages suiveurs et différentiels, mais aussi un convertisseur analogique numérique plus performant, possédant une résolution effective supérieure à 12 bits, et pouvant numériser à une vitesse supérieure à 1Mps. Ceci devrait nous permettre de valider le fonctionnement de l'interface en mode ARINC429, en mode discret, ainsi que l'algorithme de correction d'erreur complet, le tout en offrant les performances exigées par les différentes normes avioniques.

La validation du fonctionnement en mode VDT nécessitera quant à elle l'intégration de deux voies différentielles complètes au sein du même circuit, afin de pouvoir effectuer en parallèle l'acquisition des deux tensions différentielles fournies par le capteur.

Une deuxième possibilité d'évolution consiste à essayer d'étendre le spectre des possibilités de notre interface, notamment en étudiant la possibilité de faire l'acquisition d'autres signaux numériques, tel que le bus CAN, de plus en plus utilisé dans l'aéronautique. Ce type de signaux ne nécessitant peu ou pas de conditionnement analogique, une solution à étudier consisterait à mettre en place des mécanismes permettant simplement de « désactiver » tout conditionnement analogique ou numérisation pour ces signaux, afin de les transmettre tels quels au FPGA, qui serait alors chargé d'en extraire l'information utile. Le circuit mixte serait alors totalement passif, mais posséderait toujours sa capacité latente à interfacer un autre type de signal si nécessaire.

Enfin, la dernière possibilité d'évolution vise à passer d'une interface d'acquisition de signaux, à une interface d'acquisition *et* de génération de signaux. En effet, dans le cadre de ces travaux, nous nous sommes toujours limités à l'acquisition de signaux électriques. Cependant, les avions actuels possèdent des centaines de capteurs, mais aussi d'actionneurs, qui plus est à l'heure où les actionneurs hydrauliques tendent à

être remplacés par des actionneurs électriques. De plus certains capteurs, tels que les capteurs VDT que nous avons étudiés, nécessitent une excitation électrique pour fonctionner. Il serait très intéressant d'intégrer la génération de ces stimuli au sein de notre interface, afin de couvrir un spectre d'applications encore plus large. Dans ce cadre, il serait intéressant d'étudier la possibilité d'intégrer un convertisseur numérique analogique performant, suivi d'un étage d'amplification approprié, au sein du circuit mixte. Le choix entre acquisition ou génération de signal risque de soulever de nouvelles questions, toujours en raison des tensions importantes mises en œuvre. Nous espérons que les quelques éclaircissements que nous avons apporté sur la commutation sous des hautes tensions permettront d'y répondre efficacement.

Les travaux que nous avons présenté dans ce mémoire devraient représenter la première pierre dans l'intégration des interfaces versatiles dans les calculateurs aéronautiques à une échelle industrielle. Ces petits circuits, dérisoires à l'échelle d'un avion complet, contribueront à leur niveau, nous l'espérons, à augmenter les possibilités des avions de demain, pour rendre nos voyages plus sûrs, plus rapides et plus distrayants.

Nul doute que lorsqu'il volait au dessus de la Manche, il y a maintenant 103 ans, Louis Blériot n'aurait pu imaginer que si peu de temps après lui, des dizaines de milliers de personnes sillonneraient le ciel et l'espace à toute heure du jour et de la nuit...

Annexe A

Modes de fonctionnement de l'interface reconfigurable

Étage d'adaptation voie A				Offset voie A		Étage d'adaptation voie B				Offset voie B		Multiplexeur			Configuration
HVSw _A	PSw _A	Sw1 _A	Sw2 _A	Sw3 _A	Sw4 _A	HVSw _B	PSw _B	Sw1 _B	Sw2 _B	Sw3 _B	Sw4 _B	Sw5	Sw6	Sw7	
1	0	0	0	1	0	x	x	x	x	x	x	1	0	0	Voie A DSI +
1	1	0	0	1	0	x	x	x	x	x	x	1	0	0	Voie A DSI -
x	x	x	x	x	x	1	0	0	0	1	0	0	0	1	Voie B DSI +
x	x	x	x	x	x	1	1	0	0	1	0	0	0	1	Voie B DSI -
0	0	1	1	1	0	0	0	1	1	1	0	0	1	0	ARINC429 ou LVD T
0	0	1	0	1	0	x	x	x	x	x	x	1	0	0	M ₁
0	0	0	1	1	0	x	x	x	x	x	x	1	0	0	M ₂
x	x	x	x	x	x	0	0	1	0	1	0	0	0	1	M ₃
x	x	x	x	x	x	0	0	0	1	1	0	0	0	1	M ₄
0	0	1	0	1	0	0	0	0	1	1	0	0	1	0	M ₅
0	0	1	0	1	0	0	0	1	0	1	0	0	1	0	M ₆
0	0	0	1	1	0	0	0	1	0	1	0	0	1	0	M ₇
0	0	1	0	1	0	x	x	x	x	x	x	1	0	0	M ₈
x	x	x	x	x	x	0	0	0	1	0	0	1	0	0	M ₉
x	x	x	x	x	x	0	0	1	0	0	1	1	0	0	M ₁₀

TABLE A.1 – Table de configuration du circuit mixte de conversion

Correction
dérreurs
dynamique

Annexe B

Configuration de l'interface pour l'algorithme de correction d'erreurs

SOMMAIRE

B.1 CORRECTION DES ERREURS DE GAIN DES ÉTAGES D'ADAPTATION . .	144
B.2 CORRECTION DES ERREURS DE GAIN DE L'ÉTAGE DIFFÉRENTIEL . . .	145
B.3 CORRECTION DES ERREURS D'OFFSET	146

B.1 Correction des erreurs de gain des étages d'adaptation

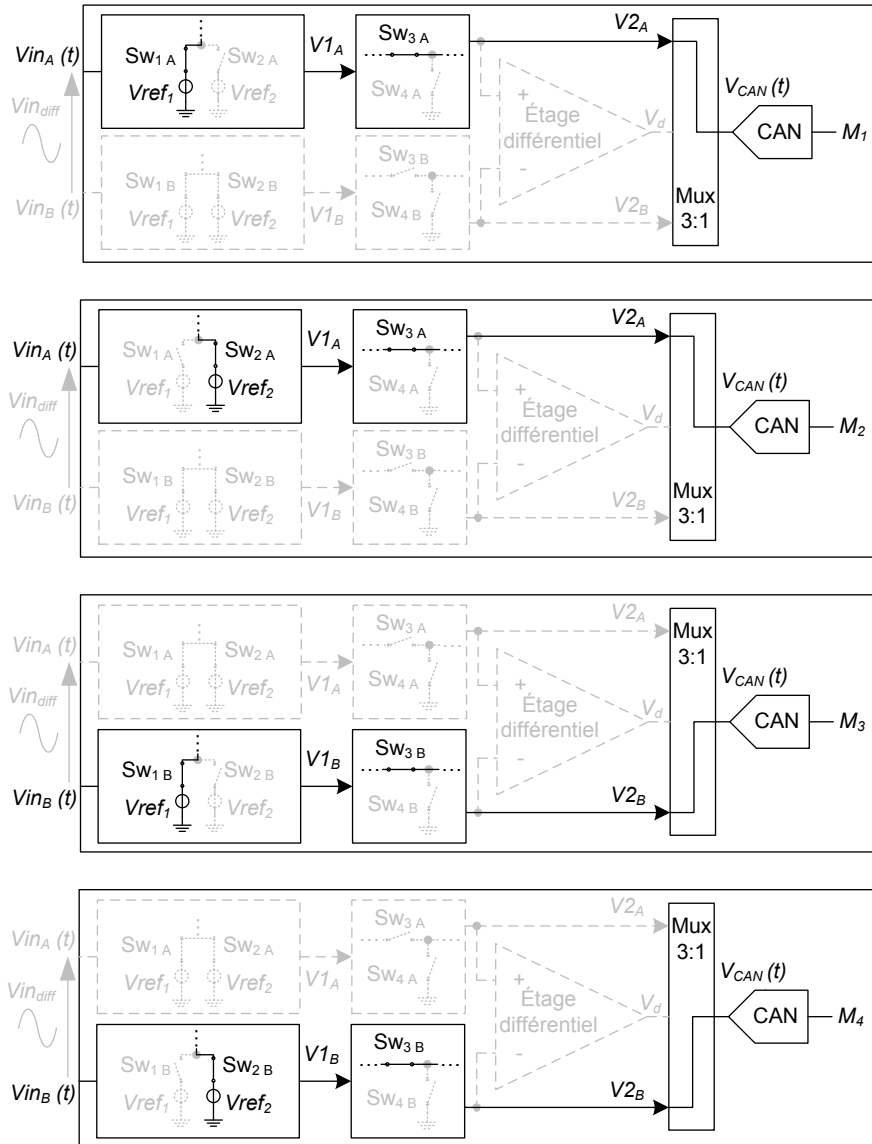


FIGURE B.1 – Interface configurée pour les mesures M_1 à M_4

B.2 Correction des erreurs de gain de l'étage différentiel

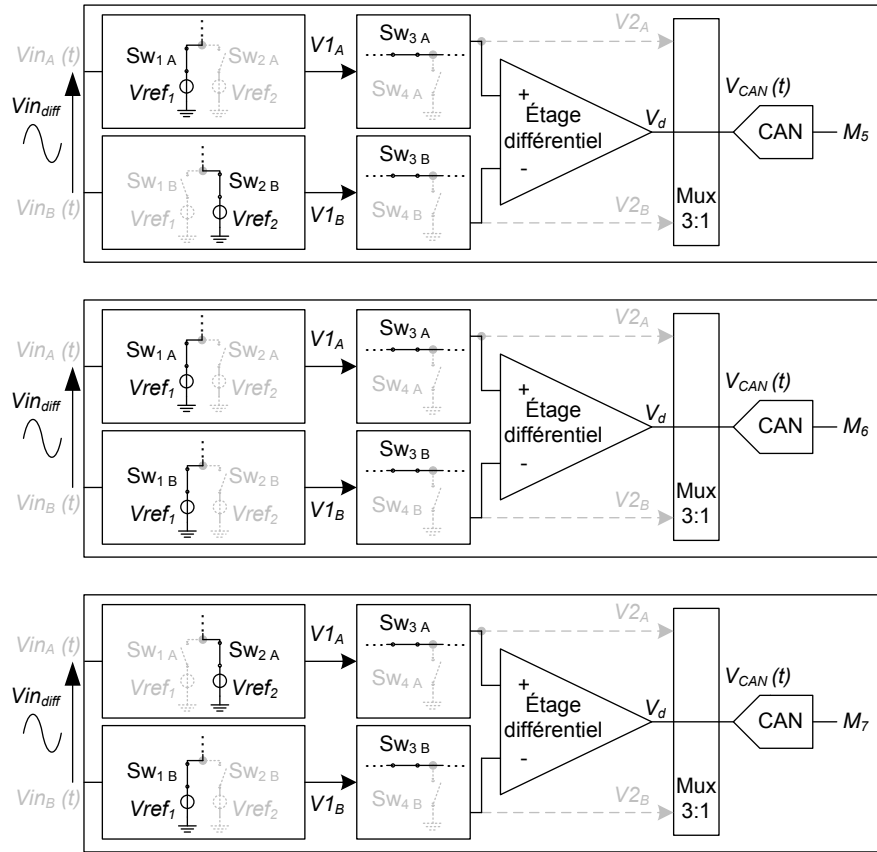


FIGURE B.2 – Interface configurée pour les mesures M_5 à M_7

B.3 Correction des erreurs d'offset

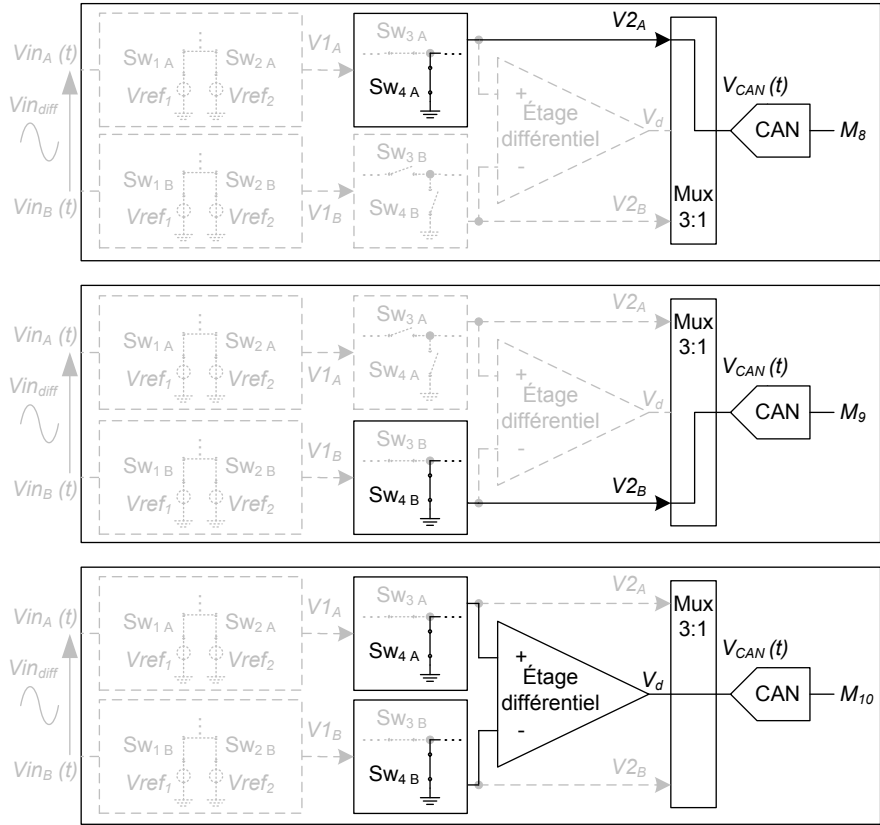


FIGURE B.3 – Interface configurée pour les mesures M_8 à M_{10}

Annexe C

***Datasheet* du circuit mixte de conversion**

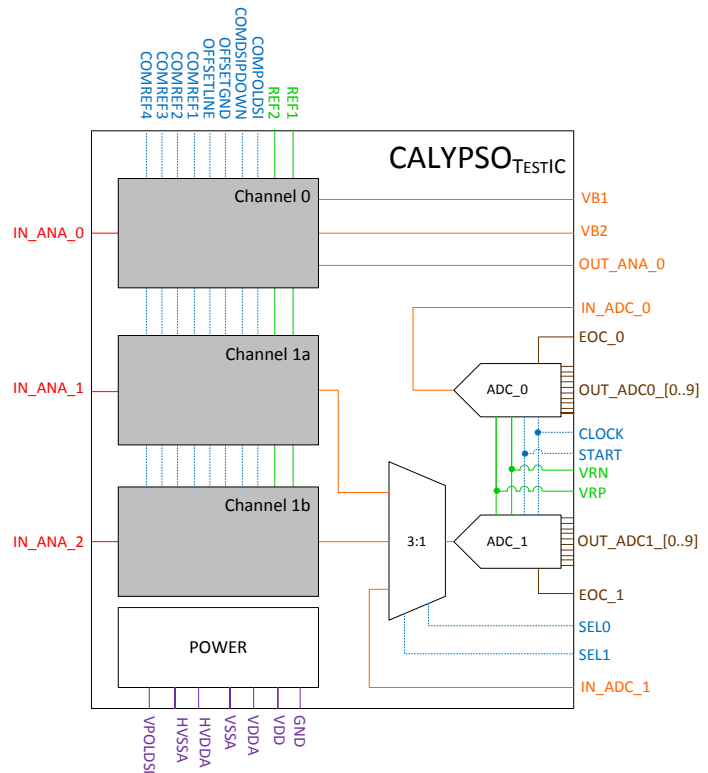
1 FEATURES

Reconfigurable gain and offset
 Error correction capability
 $\pm 15V$ Analog supply
 3.3V Digital supply
 $\pm 30V$ Input range (**TBD**)
 Typical power consumption 45mW
 Available in Ceramic PGA68

2 APPLICATIONS

Discrete Ground/Open sensors
 Discrete Vdd/Open sensors
 LVDT sensors
 A429 based communication systems
 DC analog acquisitions
 Current monitoring

3 FUNCTIONAL BLOCK SUMMARY



4 GENERAL DESCRIPTION

CALYPSO is a High Voltage CMOS interfacing solution dedicated to common avionics sensors such as LVDT and discrete sensors, or avionics field buses such as A429 or A453. CALYPSO comprises one complete differential acquisition chain, and one acquisition chain and ADC dedicated to test purposes. Channels can be configured to interface these sensors thanks to an adjustment of several parameters such as gain, offset, polarization or input impedance. CALYPSO offers the possibility of correcting permanent or temporary analog drifts such as process variations, aging or temperature variations.

The High Voltage CMOS process allows CALYPSO to have an input range of $\pm 30V$ **TBC** with a limited $\pm 15V$ supply voltage.

Liste des publications

Communications avec actes

- CANU A., FAURA D., TOILLON P., GATTI M., BENABES P., A versatile input interface for avionic computers, *IEEE/AIAA 30 th Digital Avionics Systems Conference (DASC'11)*, pp. 7A3-1-7A3-11, Seattle, WA, USA, October 16-20, 2011.
- CANU A., BENABES P., FAURA D., TOILLON P., GATTI M., "A High Voltage Programmable Input Interface for Avionic Equipment", *IEEE International Instrumentation and Measurement Technology Conference (IMTC'12)*, pp. 3464-2468, Graz, Austria, May 13-16, 2012.

Communications sans actes

- CANU A., BENABES P., FAURA D., TOILLON P., GATTI M., "A Reconfigurable Avionic Input Interface", *Avionics Europe*, Munich, Germany, March 21-23, 2011.

Brevets

- CANU A., BENABES P., FAURA D., GATTI M. "Dispositif d'interfaçage à gain en tension et impédance d'entrée programmable" . N° de Brevet BFF11P0131. 15 mai 2011.
- CANU A., BENABES P., GATTI M., "Procédé et dispositif de mesure de tension électrique avec correction d'erreur dynamique". N° de Brevet FR1202685, 08 octobre 2012.
- CANU A., BENABES P., GATTI M., "Procédé et dispositif de traitement des signaux de sortie d'un capteur inductif de déplacement". N° de Brevet FR1202552, 26 septembre 2012.

Bibliographie

- [1] BOEING, *Boeing 2012 Aviation Policy and Geopolitics Report*, 2012.
- [2] EUROCAE, "Do160-f. environmental conditions and test procedures for airborne equipment," EUROCAE and RTCA, 2008.
- [3] B. Li, "Etude de l'effet du vieillissement sur la compatibilité électromagnétique des circuits intégrés," Ph.D. dissertation, INSA Toulouse, 2011.
- [4] T. Avionics, "A350 xwb ata 42 input and output for ima components detailed functional specification," Company Confidential, 2008, v2.9.
- [5] ARINC, *Mark33 Digital Information Transfer System (Part1). ARINC SPECIFICATION 429P1*, 1995.
- [6] Holm, "Contribution to the theory of the contact between a carbon brush and a copper collector ring," *Journal of Applied Physics*, vol. 28, pp. 1171–1176, 1957.
- [7] Airbus, "Airbus directives 100.1.9 (abd 100) : Electronic. chapter 3 : Electronic interfaces requirements," 2008, rev H. Company Confidential.
- [8] T. Avionics, "Gulfstream gvi flight command control - critical item design specification io board," Company Confidential, 2008, rev 0.
- [9] Safran, "Fadec d dual channel engine electronic control unit specification," 2008, rev G. Company Confidential.
- [10] A. Kent, "A texas instrument application report : Mos programmable logic arrays ?" Bulletin CA-158, 1970.
- [11] M. Sivilotti, "A dynamically configurable architecture for prototyping analog circuits," *MIT VLSI*, pp. 237–258, 1988.
- [12] E. Lee and G. Gulak, "A cmos field-programmable analog array," *ISSCC Digest of Technical Papers*, pp. 186–188, 1991.
- [13] D. Anderson, D. Marcjan, C. Bersch, P. Hu, O. Palusinski, D. Gettman, I. Macbeth, and A. Bratt, "A field programmable analog array and its application," *IEEE Custom Integrated Circuits*, 1997.

- [14] D. Anderson and D. Garrity, "Programmable analog array and method for configuring the same," US Patent 5 680 070, 1997.
- [15] P. Gulak, "Field programmable analog arrays : Past, present and future perspectives," in *IEEE International Conference on Microelectronics*, 1995, pp. 123–126.
- [16] A. Aubert and C. Ruby, "Fpaa : Offre commerciale," *Techniques de l'Ingenieur*, vol. E2, no. 516, pp. 1–12, 2004.
- [17] Anadigm. (2010, March) Anadigm dynamically programmable analog signal processing. [Online]. Available : <http://www.anadigm.com>
- [18] P. Jariwala, "Sensor signal conditioning using field programmable analog arrays (fpaa)," in *Analog Signal Processing, 2004. ASP. Biennial Conference on*, 2004.
- [19] T. Hall, S. Twigg, C. Hasler, and D. Anderson, "Application performance of elements in a floating-gate fpaa," *IEEE International Symposium on Circuits and Systems*, vol. II, pp. 589–592, 2004.
- [20] T. Hall, "Field programmable analog array : A floating gate approach," Ph.D. dissertation, Georgia Institute of Technology, Atlanta., 2004.
- [21] P. Chow and P. Gulak, "A field-programmable mixed-analog-digital array," *3rd international ACM Symposium on Field Programmable Gate Arrays*, pp. 104–109, 1995.
- [22] Actel, "Smart fusion fpga | mixed signal fpga," Microsemi Soc Products Group, 2010. [Online]. Available : http://www.actel.com/documents/SmartFusion_DS.pdf
- [23] T. Genrich, D. Holsteen, B. Martinez, and D. Spellman, "Configurable interface module," US Patent 6 113 260, 2000.
- [24] —, "Configurable interface module," US Patent 6 292 923 B1, 2001.
- [25] S. Avritch, R. Poisson, and R. Bauer, "Reconfigurable input/output interface," US Patent 0 136 626A1, 2006.
- [26] A. Mitra, "Multiplatform multifunction avionics architecture," US Patent 6 867 727 B1, 2005.
- [27] M. Muukki, "Electronically configurable interface," US Patent 0 316 724 A1, 2009.
- [28] N. Aibe and M. Yasunaga, "Meta-i/o interface using reconfigurable Isis," in *Circuits and Systems, 2004. MWSCAS '04. The 2004 47th Midwest Symposium on*, vol. 1, july 2004, pp. I – 537–40 vol.1.
- [29] A. Peyton and V. Walsh, *Analog electronics with op amps : a source book of practical circuits*, 2nd ed. Press Syndicate of the University of Cambridge, 1993.

-
- [30] S. Hamilton, *An analog Electronics Companion*. Cambridge University Press, 2003.
- [31] W. Yang, "Combination of adc and dac to measure small variation with large standing signal," in *Advanced A/D and D/A Conversion Techniques and Their Applications, 1999. Third International Conference on (Conf. Publ. No. 466)*, 1999, pp. 97 –100.
- [32] A. Crooke and H. Wegener, "programmable general purpose analog filter," US Patent 3 987 293, 1976.
- [33] H. Klein, "Precision analog level shifter with programmable options," US Patent 6 717 451 B1, 2004.
- [34] S. Catunda, J.-F. Naviner, G. Deep, and R. Freire, "Measurement system gain and dc level shift programming," in *Instrumentation and Measurement Technology Conference, 2000. IMTC 2000. Proceedings of the 17th IEEE*, vol. 1, 2000, pp. 507 –511 vol.1.
- [35] —, "Designing a programmable analog signal conditioning circuit without loss of measurement range," *Instrumentation and Measurement, IEEE Transactions on*, vol. 52, no. 5, pp. 1482 – 1487, oct. 2003.
- [36] S. Catunda, J.-F. Naviner, R. Freire, and G. Pinheiro, "Programmable gain and dc level shift analog signal conditioning circuit : Microcontroller based implementation," in *Instrumentation and Measurement Technology Conference, 2005. IMTC 2005. Proceedings of the IEEE*, vol. 3, may 2005, pp. 1857 –1861.
- [37] I. S. Souza, "Mixed signal reconfigurable interface for medical instrumentation applications," Ph.D. dissertation, École Nationale Supérieure des Télécommunications (ENST), Paris, 2003.
- [38] D. Belfort, S. Catunda, F. de Sousa, J. Dantas, and R. Freire, "Programmable analog signal conditioning circuit for integrated systems," in *Instrumentation and Measurement Technology Conference Proceedings, 2008. IMTC 2008. IEEE*, may 2008, pp. 1848 –1852.
- [39] R. Rodriguez-Montanes, D. Munoz, L. Balado, and J. Figueras, "Analog switches in programmable analog devices : quiescent defective behaviour," in *On-Line Testing Workshop, 2002. Proceedings of the Eighth IEEE International*, 2002, pp. 99 – 103.
- [40] C. Fayomi, G. Roberts, and M. Sawan, "Low-voltage cmos analog switch for high precision sample-and-hold circuit," in *Circuits and Systems, 2000. Proceedings of the 43rd IEEE Midwest Symposium on*, vol. 2, 2000, pp. 710 –713 vol.2.

- [41] E. Sokolowska, N. Belabbes, and B. Kaminska, "Integrated analog switch matrix with large input signal and 46 db isolation at 1 ghz," in *Circuits and Systems, 1997. ISCAS '97., Proceedings of 1997 IEEE International Symposium on*, vol. 4, jun 1997, pp. 2789 –2792 vol.4.
- [42] S. Aghtar, J. Haslett, and F. Trofimenkoff, "Subthreshold analysis of an mos analog switch," *Electron Devices, IEEE Transactions on*, vol. 44, no. 1, pp. 89 –96, jan 1997.
- [43] E. Dubois and E. Robilliart, "Nonquasistatic transient model of fully-depleted soi mosfet and its application to the analysis of charge sharing in an analog switch," *Electron Device Letters, IEEE*, vol. 23, no. 1, pp. 43 –45, jan. 2002.
- [44] M. Berkhout, *Integrated audio amplifiers in BCD technology*. Kluwer Academic, 1997.
- [45] H. Ballan, "High voltage devices and circuits in standard cmos technologies," Ph.D. dissertation, EPFL, 1997.
- [46] M. Dessouky and A. Kaiser, "Rail-to-rail operation of very low voltage cmos switched-capacitor circuits," in *Circuits and Systems, 1999. ISCAS '99. Proceedings of the 1999 IEEE International Symposium on*, vol. 2, jul 1999, pp. 144 –147 vol.2.
- [47] B. Brandt, P. Ferguson, and M. Rebeschini, *Delta-Sigma Data Converters : Theory, Design and Simulation*, S. Northworthy, R. Schreier, and G. Temes, Eds. Wiley Interscience, 1997.
- [48] Y. Krouglov, V. Barinov, and A. Timoshenko, "The advanced boost circuit for mos analog switch," in *Circuits and Systems for Communications, 2008. ICCSC 2008. 4th IEEE International Conference on*, may 2008, pp. 568 –571.
- [49] L. Wang, Y. Li, L. Hou, L. Dong, X. Peng, and W. Wu, "A bootstrapped analog switch for rail-to-rail sampling," in *Solid-State and Integrated-Circuit Technology, 2008. ICSICT 2008. 9th International Conference on*, oct. 2008, pp. 1977 –1979.
- [50] Maxim, "Analog switches operate with 3v or 5v supplies," July 1998, application Note 130.
- [51] P. Gray, P. Hurst, S. Lewis, and R. Meyer, *Analysis and Design of Analog Integrated Circuits*, 4th ed. Wiley, 2001.
- [52] AMS, *0.35 um 50V CMOS Process Parameters*, Austria Microsystems, 2009, revision 6.0.

-
- [53] T. A. Last, "High current analog switches," *Review of Scientific Instruments*, vol. 53, no. 11, pp. 1793–1795, nov 1982.
- [54] A. Ludikhuizen, "A versatile 250/300-v ic process for analog and switching applications," *Electron Devices, IEEE Transactions on*, vol. 33, no. 12, pp. 2008–2015, dec 1986.
- [55] J. Plummer and J. Meindl, "A monolithic 200-v cmos analog switch," *Solid-State Circuits, IEEE Journal of*, vol. 11, no. 6, pp. 809–817, dec. 1976.
- [56] R. Co, K. Ouyang, and J. Liang, "High dc breakdown voltage field effect transistor and integrated circuit," US Patent 6 162 888, 1992.
- [57] Vishay, "Fault protection saves multiplexers, switches and downstream circuitry," August 2003, application Note 205.
- [58] Intersil, "Common questions concerning cmos analog switches," October 2005, application Note 532.1.
- [59] Maxim, "Fault protection saves multiplexers, switches and downstream circuitry," June 2002, application Note 1132.
- [60] F. Poucher and J. Quill, "Fault protected overvoltage switch employing isolated transistor tubes," US Patent 5 389 811, 1995.
- [61] AMS, *0.35 μ m CMOS C35 Design Rules*, Austria Microsystems, 2008, revision 8.0. Company Confidential.
- [62] —, *0.35 μ m CMOS C35 Matching Parameters*, Austria Microsystems, 2006, revision 2.0.
- [63] J. Ramirez-Angulo and R. Geiger, "New laser-trimmed film resistor structures for very high stability requirements," *Electron Devices, IEEE Transactions on*, vol. 35, no. 4, pp. 516–518, apr 1988.
- [64] R. Cadenhead, "Production trade-offs in laser trimming operations," *Solid State Technologies*, vol. 19, pp. 39–42, 1976.
- [65] M. Oakes, "An introduction to thick film resistor trimming by laser," *Optical Engineering*, vol. 17, no. 3, pp. 173217–173217–, 1978. [Online]. Available : <http://dx.doi.org/10.1117/12.7972219>
- [66] J. Ready, "Material processing – an overview," *Proceedings of the IEEE*, vol. 70, no. 6, pp. 533–544, june 1982.
- [67] M. Meunier, Y. Gagnon, A. Lacourse, M. Ducharme, S. Rioux, and Y. Savaria, "Precision resistor laser trimming for analog microelectronics," in *Quantum Electronics and Laser Science Conference, 2007. QELS '07*, may 2007, p. 1.

- [68] *High Common-Mode Voltage, Programmable Gain Difference Amplifier (AD628)*, Analog Devices, 2007, revision G.
- [69] A. Brokaw, "A monolithic conditioner for thermocouple signals," *Solid-State Circuits, IEEE Journal of*, vol. 18, no. 6, pp. 707–716, dec. 1983.
- [70] A. Canu, P. Bénabès, D. Faura, and M. Gatti, "Dispositif d'interfaçage à gain en tension ou impédance d'entrée programmable," FR Patent 1 101 362, mai 03, 2011.
- [71] A. Ambardar, *Analog and Digital Signal Processing*. CL Engineering, 1999.
- [72] A. Canu, P. Bénabès, and M. Gatti, "Procédé et dispositif de mesure de tension électrique avec correction d'erreur," FR Patent 1 202 685, octobre 08, 2012.
- [73] D. Crescini, A. Flammini, D. Marioli, and A. Taroni, "Application of an fft-based algorithm to signal processing of lvdv position sensors," *IEEE Transactions on Instrumentation and Measurement*, vol. 47, pp. 1119–1123, 1998.
- [74] A. Flammini, D. Marioli, A. Taroni, and E. Sisinni, "Least mean square method for lvdv signal processing," *IEEE Transactions on Instrumentation and Measurement*, vol. 56, pp. 2294–2300, 2007.
- [75] A. Canu, P. Bénabès, and M. Gatti, "Procédé et dispositif de traitement des signaux de sortie d'un capteur inductif de déplacement," FR Patent 1 202 552, septembre 26, 2012.
- [76] A. M. Systems, "High voltage selection guide," Jan 2012. [Online]. Available : <http://www.ams.com/eng/Products/Full-Service-Foundry/Process-Technology/High-Voltage/HV-Selection-Guide>
- [77] B. Murmann. (2012) Adc performance survey 1997-2012. [Online]. Available : <http://www.stanford.edu/~murmann/adcsurvey.html>
- [78] AMS, *ADC101 - CMOS 10 bit ADC*, Austria Microsystems, 2008, revision A. Company Confidential.