



**HAL**  
open science

# Analyse de l'apport des technologies d'intégration tri-dimensionnelles pour les imageurs CMOS : application aux imageurs à grande dynamique

Fadoua Guezzi Messaoud

► **To cite this version:**

Fadoua Guezzi Messaoud. Analyse de l'apport des technologies d'intégration tri-dimensionnelles pour les imageurs CMOS : application aux imageurs à grande dynamique. Electronique. Université Paris-Est, 2014. Français. NNT : 2014PEST1022 . tel-01124307

**HAL Id: tel-01124307**

**<https://theses.hal.science/tel-01124307>**

Submitted on 6 Mar 2015

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Université PARIS-EST  
École doctorale MSTIC

**THÈSE DE DOCTORAT**

Discipline : Electronique, Optronique et Systèmes

Présentée par

**Fadoua GUEZZI MESSAOUD**

---

**Analyse de l'apport des technologies d'intégration  
tridimensionnelles pour les imageurs CMOS :  
Application aux imageurs à grande dynamique**

---

Thèse dirigée par : **Antoine DUPRET**

**soutenue le : 26 Mai 2014**

devant le jury composé de :

M. Gilles SICARD	McF HDR, Univ Joseph Fourier, Rapporteur
M. Pierre MAGNAN	Pr ISAE, Rapporteur
M. Olivier SENTIEYS	Pr ENSATT Lannion, Examineur
M. Mohamed AKIL	Pr ESIEE-ESYCOM, Examineur
M. Arnaud DARMONT	Ingénieur, APHESA, Examineur
M. Arnaud PEIZERAT	Expert CEA, Encadrant CEA
M. Yves BLANCHARD	Pr Associé ESIEE, Encadrant ESIEE



# Table des matières

<b>1</b>	<b>Introduction</b>	<b>19</b>
1.1	Les capteurs d'images . . . . .	20
1.2	Caractéristiques et limitations des capteurs d'images 2D actuels . . . . .	24
1.3	Perspectives d'une intégration 3D . . . . .	26
1.4	Conclusion . . . . .	31
<b>2</b>	<b>État de l'Art</b>	<b>33</b>
2.1	Intégration 3D : Vue historique et capteurs d'images en technologie 3D . . . . .	34
2.2	La Grande Dynamique: Techniques d'extension et limitations dans les imageurs 2D actuels . . . . .	48
<b>3</b>	<b>Apport de l'intégration 3D</b>	<b>57</b>
3.1	Architecture cible: principe et paramètres de modélisation . . . . .	58
3.2	Imageur 2D: configuration considérée et évaluation de sa consommation . . . . .	61
3.3	Imageur 3D équivalent : configurations considérées et évaluation des consommations . . . . .	65
3.4	Évaluation du gain en consommation de la 3D par rapport au 2D . . . . .	71
3.5	Conclusion . . . . .	77
<b>4</b>	<b>Technique d'extension de la dynamique</b>	<b>79</b>
4.1	Principe théorique de la technique proposée . . . . .	80
4.2	Algorithme de Codage Mantissee-Exposant et résultats . . . . .	84
4.3	Choix de l'algorithme de Compression . . . . .	91
4.4	Conclusion . . . . .	100
<b>5</b>	<b>Imageur HDR: Architecture et Conception</b>	<b>103</b>
5.1	Objectifs de la conception et présentation du circuit . . . . .	104
5.2	Architecture et conception des différents blocs standards . . . . .	106
5.3	Le Convertisseur Analogique Numérique . . . . .	113
5.4	Traitement HDR: Architecture et conception des différents blocs . . . . .	118
5.5	Simulation . . . . .	130
5.6	Conclusion . . . . .	135
<b>6</b>	<b>Conclusion</b>	<b>137</b>
	<b>Bibliographie</b>	<b>143</b>
	<b>Production Scientifique</b>	<b>151</b>

<b>Annexes</b>	<b>154</b>
<b>A Impact des pixels morts sur la qualité d'image</b>	<b>154</b>
<b>B Architecture d'ajustement du temps d'exposition à base de WTA</b>	<b>157</b>
B.1 Présentation de l'architecture . . . . .	157
B.2 Solution Analogique du calcul de la mantisse maximale: Étude du WTA et évaluation de l'erreur induite . . . . .	159

# Table des figures

1.1	Schéma bloc d'un Capteur d'Images CMOS et de la chaîne de conversion des grandeurs mesurées . . . . .	21
1.2	Schéma d'un Pixel Actif 3T et 4T, [GE05] . . . . .	22
1.3	(a) Schéma du pixel à intégration (b) Évolution de la charge en fonction du temps d'exposition, [GE05] . . . . .	22
1.4	Chronogrammes d'un Pixel 3T . . . . .	23
1.5	Mode Rolling Shutter de lecture de la matrice de pixels 3T . . . . .	23
1.6	Modes de fonctionnement d'un capteur d'images, [Lab07] . . . . .	25
1.7	Exemple d'un Circuit 3D, [Don79] . . . . .	26
1.8	Plan de réalisations en technologie 3D, prévu par le MIT . . . . .	28
1.9	Répartition des efforts pour parvenir à fabriquer un produit 3D selon 12 critères représentatifs, [GBRea08] . . . . .	29
1.10	Traitement parallèle par groupe de pixels en 3D . . . . .	29
1.11	Courbes de prévisions du marché de la technologie 3D dans certains domaines, [EMB08] . . . . .	31
2.1	Prévision des délais caractéristiques d'une interconnexion globale et et du Métal 1 en fonction des nœuds technologiques, [ITR05] . . . . .	34
2.2	Exemples de SoC et SiP, [Tos] . . . . .	36
2.3	Packaging Multi-puces à 9 couches, Toshiba [Tos] . . . . .	36
2.4	Du SoC 2D au SoC 3D, [Sou09] . . . . .	37
2.5	Configurations possibles d'assemblage des 3D-IC, [PB08] . . . . .	38
2.6	Assemblage face à face, [TTSea06] . . . . .	39
2.7	Assemblage face à arrière, [TTSea06] . . . . .	39
2.8	Principe d'interconnexions par couplage capacitif et inductif dans un circuit 3D, [Fri09] . . . . .	40
2.9	Roadmap concernant la transition entre architecture 2D et architecture 3D pour quatre familles de produits, [Yol07] . . . . .	40
2.10	Comparaison qualitative entre trois solutions de packaging 3D adapté aux mémoires : Package-on-Package (PoP), empilement de puces par wire-bonding et empilement 3D, [Yol07] . . . . .	41
2.11	Imageur 3D Intelligent proposé en 1997, [KLNea99] . . . . .	42
2.12	Concept d'un imageur 3D à 3 couches avec traitement par groupe de pixels, [MNBea09] . . . . .	42
2.13	Rétine pour la détection de régions d'intérêt en technologie 3D, [SBFBea12] . . . . .	43
2.14	Capteur d'images en Technologie 3D, MIT 2005 [SBBea05] . . . . .	44
2.15	Schéma de l'Imageur CMOS 3D proposé en [SBCea09] . . . . .	44
2.16	Imageur 3D à deux couches, Sony 2013 [SUNea13] . . . . .	45

2.17	Amélioration des délais des interconnexions pour un FPGA 3D pour différents nœuds technologiques, [LGLea07]	46
2.18	Réduction de la puissance dynamique pour un FPGA 3D pour différents nœuds technologiques, [LGLea07]	47
2.19	Exemple d'un bio-capteur avec des technologies différentes en 3D, [Tem09]	47
2.20	Comparaison des coûts relatifs à la fabrication d'un SoC 45 nm et son équivalent 3D 45 nm / 0,8 μm en fonction de la surface du circuit considéré. (d) Rapport des coûts relatifs aux SoC et 3D-IC, [Fer08]	48
2.21	Fonction de transfert de la charge cumulée en fonction du courant photonique intégré, [Gam02]	49
2.22	SNR du capteur d'images à ajustement de la capacité d'intégration, [Gam02]	50
2.23	Techniques de réinitialisation conditionnelle, [YC02]	51
2.24	Technique à temps d'intégration multiples avec codage mantisse exposant, [RPJ09]	52
2.25	Pixel à fonctionnement linéaire et logarithmique, [VVSea11]	53
3.1	Imageur 3D à grande dynamique	59
3.2	Les différentes capacités d'une ligne de Métal	60
3.3	Capteur d'images 2D avec un CAN en pied de colonne	62
3.4	Schéma d'un pixel 3T	63
3.5	Capteur d'image 3D HDR proposé, 1 <sup>ère</sup> Configuration	66
3.6	Capteur d'images 3D avec traitement par macro-pixel, 2 <sup>ème</sup> configuration	68
3.7	Liaison entre un macro-pixel de la 1 <sup>ère</sup> couche et l'élément correspondant de la 2 <sup>ème</sup> couche, configuration (3D,2)	68
3.8	Liaison entre un macro-pixel de la 1 <sup>ère</sup> couche et l'élément correspondant de la 2 <sup>ème</sup> couche, configuration (3D,3)	70
3.9	Gain en Consommation liée aux Pixels	75
3.10	Gain en Consommation liée aux Interconnexions	76
3.11	Gain en Consommation Totale	77
4.1	Principe de la technique de compression à deux niveaux utilisée	80
4.2	Codage variable du temps d'intégration du pixel	81
4.3	Principe de Codage Mantisse-Exposant avec un exposant commun par macro-pixel	83
4.4	Algorithme de Codage Mantisse-Exposant de l'image	85
4.5	PSNR de l'image obtenue avec différentes méthodes d'exposant commun par macro-pixel	86
4.6	Évaluation du PSNR en fonction de la taille du macro-pixel pour les cas étudiés	87
4.7	Image d'entrée HDR, DR > 120 dB	88
4.8	Image HDR d'entrée: zones fortement éclairées (Gauche), zones faiblement éclairées (Droite)	88
4.9	Image des Exposant (E / pixel) (Gauche), E <sub>c</sub> / macro-pixel (Droite)	89
4.10	Image des Mantisses avant (gauche) et après (droite) codage Mantisse-Exposant avec un Exposant Commun par Macro-pixel	89

4.11	Image Originale (Gauche), Image Reconstituée avec $E_c$ / Macro-pixel (Droite)	90
4.12	Image Originale (Gauche), Image Reconstituée avec $E_c$ / Macro-pixel (Droite)	90
4.13	Image de l'erreur relative	91
4.14	Chaîne de codage JPEG et JPEG2000, [Bas]	92
4.15	Chaîne de compression proposée sans codeur entropique	93
4.16	Schéma bloc d'une DCT-2D pour un bloc de $8 \times 8$ pixels, [AJ03]	94
4.17	Structure de la décomposition de la transformée en ondelettes en 3 niveaux sur des blocs de $8 \times 8$ pixels, [TH07]	95
4.18	Application d'une transformée en ondelettes à 3 niveaux sur une image par bloc de $8 \times 8$ pixels, [GW02]	96
4.19	Comparaison entre la compression à base de DCT et d'Ondelettes avec application d'un masque dans les deux cas de figure	97
4.20	Comparaison entre la compression à base de DCT et d'Ondelettes avec application d'un masque pour obtenir un taux de compression de 75%	98
4.21	Courbe de PSNR en fonction de la précision des coefficients de la DCT, taux de compression de 75%	99
4.22	Image à échelle vers des luminances moyennes, image originale (gauche), Image reconstituée après DCT inverse (droite), Compression de 75% sur les mantisses, (coefficients de la DCT sur 8 bits)	99
4.23	Image à échelle vers des luminances élevées, image originale (gauche), Image reconstituée après DCT inverse (droite), compression de 75% sur les mantisses, (coefficients de la DCT sur 8 bits)	100
4.24	Compression d'un macro-pixel à l'aide de la DCT	101
4.25	Flot de traitement à intégrer dans chaque macro-pixel	101
4.26	Principe de la compression à deux niveaux proposée	102
5.1	Architecture du capteur d'images HDR 2D proposé	106
5.2	Schéma du pixel 3T conçu	107
5.3	Chronogrammes des signaux de contrôle du pixel 3T classique pour une matrice $4 \times 4$	107
5.4	Chronogrammes des signaux de contrôle du pixel 3T HDR proposé	108
5.5	Chronogrammes des signaux de contrôle d'un pixel 4T HDR	108
5.6	Distribution des signaux RST_HDR dans le macro-pixel en mode de capture progressive	109
5.7	Chronogrammes du signal RST_HDR dans le cas d'un Exposant codé sur 2 bits	110
5.8	Chronogrammes des signaux de contrôle générés dans le pixel mort, cas: Exposant = 1, Exposant codé sur 2 bits	111
5.9	Architecture de l'implémentation du générateur des signaux de reset dans le pixel mort	111
5.10	Vue de l'assemblage d'un macro-pixel conçu en $180 \text{ nm}$	112
5.11	Schéma bloc du registre à décalage pour l'adressage ligne	112
5.12	Méthodes de Conversion analogique numérique dans les imageurs 2D	114
5.13	Facteur de mérite pour différents types de CAN	116
5.14	Facteur de mérite propre aux imageurs pour différents types de CAN	117
5.15	Schéma blocs simplifié du pied d'une colonne de macro-pixels	118



5.16	Algorithme du traitement HDR . . . . .	119
5.17	Architecture de calcul du maximum par ligne de macro-pixel et chronogrammes des signaux de contrôle . . . . .	121
5.18	Architecture conçue de calcul du maximum par ligne de macro-pixel	121
5.19	Architecture proposée pour le calcul de la mantisse maximale du macro-pixel . . . . .	123
5.20	Principe de la mise à jour de l'exposant . . . . .	123
5.21	Architecture de la 2 <sup>ème</sup> étape du traitement: mise à jour de l'exposant	124
5.22	Chronogrammes de fonctionnement de la Mise à Jour de l'Exposant pendant le $(32 \cdot i + 1)$ <sup>ème</sup> temps ligne . . . . .	125
5.23	Chronogrammes de fonctionnement de la mise à jour de l'exposant pendant le $(32 \cdot i + 1)$ <sup>ème</sup> temps ligne, Cas de l'exposant calculé = 0 .	125
5.24	Architecture du Rexel, élément de génération du signal de commande RST_HDR . . . . .	126
5.25	Allure de l'horloge logarithmique pour un Exposant codé sur 2 bits .	127
5.26	Chronogrammes des signaux de contrôle du bloc de Génération du signal de commande RST_Tint . . . . .	128
5.27	Principe de communication entre le pied de la matrice et la matrice de Rexels . . . . .	129
5.28	Vue Globale des blocs en communication . . . . .	130
5.29	Méthodologie de simulation des blocs du traitement HDR . . . . .	131
5.30	Vue extérieure du circuit de $2 \times 2$ macro-pixels simulé . . . . .	132
5.31	Vue intérieure du circuit $2 \times 2$ macro-pixels simulé . . . . .	132
5.32	Méthodologie de simulation du circuit . . . . .	133
5.33	Chronogrammes des signaux de contrôle de LIRIS issus de la simulation	134
5.34	Résultats de simulation: Image originale (gauche), image reconstituée des mantisses (centre), image complète reconstituée (droite) . . . . .	134
5.35	Mesure de la consommation totale sous XA . . . . .	135
A.1	PSNR évalué pour 10 images, Cas: 64 pixels morts répartis sur la diagonale . . . . .	154
A.2	PSNR évalué pour 2 images en fonction du nombre de pixels morts rassemblé en bloc mort . . . . .	155
A.3	Introduction des pixels morts dans l'image HDR . . . . .	156
B.1	Architecture Proposée du Capteur d'Images 3D HDR . . . . .	157
B.2	Différentes Phases de fonctionnement pendant un temps Trame . . .	158
B.3	Chronogrammes des différents signaux du circuit proposé . . . . .	159
B.4	Schéma du WTA . . . . .	160
B.5	Tension de sortie du WTA en fonction de la Tension du Pixel . . . . .	163
B.6	Gain en tension de sortie du WTA en fonction de la tension d'entrée .	163

# Liste des tableaux

2.1	Récapitulatif des techniques d'extension de la dynamique des imageurs CMOS 2D actuels . . . . .	55
3.1	Tableau résumant les valeurs des gains des différentes configurations 3D par rapport à la configuration 2D pour le cas $N = 1024$ . . . . .	77
5.1	Comparaison entre les différentes implémentations des CAN . . . . .	114
5.2	Principales Architectures des CANs en pied de colonne . . . . .	115
B.1	Dimensions, transconductance et conductances des transistors du WTA (branche gagnante) . . . . .	162



# Remerciements

Il me sera très difficile de remercier tout le monde car c'est grâce à l'aide de nombreuses personnes que j'ai pu mener cette thèse à son terme.

Je tiens à remercier en premier lieu mon directeur de thèse, *M. Antoine DUPRET, ingénieur HDR au CEA*, pour sa supervision, sa disponibilité et ses conseils précieux tout au long de la thèse. Je tiens à souligner la qualité de ses observations pertinentes, sa grande rigueur scientifique et son investissement dans cette étude.

Je remercie vivement mon encadrant CEA, *M. Arnaud PEIZERAT, ingénieur expert au CEA*, pour le temps conséquent qu'il m'a accordé, ses qualités pédagogiques et scientifiques, sa franchise et sa sympathie. Je lui adresse ma gratitude pour son soutien durant ces années de travail.

Je souhaite adresser mes chaleureux remerciements à les membres du Jury : *M. Gilles SICARD, M. Pierre MAGNAN, M. Mohamed AKIL, M. Arnaud DARMONT et M. Olivier SENTIEYS* pour avoir accepté de présider, de rapporter et d'examiner ce travail. En acceptant d'évaluer mon travail, ils m'ont fait un grand honneur. Qu'ils trouvent ici toute ma gratitude.

J'adresse également mes remerciements à mon co-encadrant de thèse, *M. Yves BLANCHARD, Maître de Conférences à l'ESIEE*, pour sa disponibilité et ses conseils précieux. L'intérêt qu'il a porté envers mon projet de thèse et la confiance qu'il m'a accordée ont été importants.

Cette thèse a été réalisée au CEA-LETI au sein de l'équipe L3I. Je remercie *M. Michael TCHAGASPANIAN, chef du laboratoire L3I*, pour m'avoir accueillie durant ces années de thèse, de m'avoir permis de travailler dans de très bonnes conditions et mis à ma disposition tous les moyens nécessaires au bon déroulement de ma thèse. Je remercie également et très chaleureusement toute l'équipe du L3I pour l'ambiance sympathique et l'échange enrichissant.

Je remercie très particulièrement *mon cher mari Mehdi* pour sa compréhension, ses encouragements, sa patience et son aide tout au long de ces années de travail. Une petite pensée à mes deux soleils...Merci d'être là, à mes côtés. . .

J'exprime toute ma gratitude à mes proches que ce soit ma famille ou mes amis pour le soutien permanent et leur patience pendant ces trois années.



*"La reconnaissance est la mémoire du cœur".  
Hans Christian Andersen*

*Je dédie ce mémoire à :*

*Mon cher mari*

*Mes deux petits amours*

*Mes chers parents*

*Ma chère sœur*

*pour leur amour, leur confiance*

*leur soutien, leurs sacrifices...*



# Résumé

La poursuite de l'intégration de fonctions toujours plus complexes au sein d'un même circuit constitue un des principaux enjeux de la microélectronique. L'intégration tridimensionnelle par empilement de circuits (3D stacking) constitue une voie prometteuse pour y parvenir. Elle permet notamment de dépasser certaines limitations atteintes par les circuits actuels, plus particulièrement dans les circuits pour lesquelles les données sont distribuées et qui nécessitent des bandes passantes importantes. Néanmoins, à ce jour, très peu de travaux ont montré les avantages de l'intégration 3D, en particulier ceux s'appuyant sur des résultats expérimentaux et de circuits concrets notamment dans le domaine des imageurs.

Le présent travail de thèse a eu pour objectif d'exploiter la technologie 3D dans le cadre des capteurs d'images et dépasser la preuve de concept présentée dans l'état de l'art afin d'apporter une analyse concrète des apports de cette technologie dans le domaine des imageurs visibles. Nous avons identifié, d'une part l'extension de dynamique qui requiert un traitement proche pixel, d'autre part la compression locale, destinée à adresser les problèmes d'intégrité du signal, bande passante et consommation qui deviennent critiques avec l'augmentation des formats des imageurs. Ce choix permet d'apporter une réponse à la limitation de la dynamique des capteurs d'images 2D actuels, tout en gardant une architecture classique des pixels et en adressant le problème de la réduction de la quantité de données à transmettre. Une nouvelle méthode de codage flottant par groupe de pixels a été proposée et implémentée. Le principe s'appuie sur l'adaptation du temps d'intégration par groupe de pixels via l'application d'un exposant commun au groupe. Le temps d'intégration est ajusté à l'image suivante. Un premier niveau de compression est ainsi réalisé par le codage mantisse-exposant proposé. L'implémentation de cette technique a été validée sur un démonstrateur 2D au détriment de pixels sacrifiés aveugles de chaque groupe de pixels, comportant l'électronique de génération des signaux de commande de la HDR. La technique d'extension de dynamique proposée est suivie d'une compression à base de DCT ((Discrete Cosine Transform) permettant de réduire le flux de données en sortie de la puce imageur. Les deux niveaux de compression permettent d'atteindre des taux de compression élevés allant jusqu'à 93% en maintenant un PSNR de 30dB et une qualité d'image acceptable pour des post-traitements. Une étude théorique de l'apport de l'intégration 3D en termes de consommation a été élaborée. Enfin, un démonstrateur 2D a été réalisé en technologie CMOS 180 nm en vue de valider l'architecture grande dynamique proposée.

L'utilisation de la technologie 3D, dans la suite des travaux, permet l'implémentation d'une boucle courte, devenue possible grâce aux interconnexions verticales sans sacrifier des pixels morts. Le traitement local proche du pixel et la réduction de



## REMERCIEMENTS

---

la latence, du flux de données et de la consommation sont les apports majeurs de l'intégration 3D étudiés dans ce travail.

**Mots clés :** Imageur CMOS, Intégration 3D, apport de la technologie 3D, grande dynamique, codage mantisse-exposant, compression, DCT.

# Benefits of tri-dimensional integration for CMOS image sensors : case study of high dynamic range imagers



# Abstract

With the increase of systems complexity, integrating different technologies together has become a major challenge. Another challenge has traditionally been the limitation on the throughput between different part of the system coming from the interconnections. If traditional two dimensional integration solutions like System In a Package (SIP) bring heterogonous technologies together there is still limitations coming from the restricted number and lengths of interconnections between the different system components. Three Dimensional stacking (3D), by exploiting short vertical interconnections between different circuits of mixed technologies, has the potential to overcome these limitations. Still, despite strong interests for the 3D concepts, there is no advanced analysis of 3D integration benefits, especially in the field of imagers and smart image sensors.

This thesis study the potential benefits of 3D integration, with local processing and short feedback loops, for the realisation of a High Dynamic Range (HDR) image sensor. The dense vertical interconnections are used to locally adapt the integration time by group of pixels, called macro-pixels, while keeping a classic pixel architecture and hence a high fill factor.

Stacking the pixel section and circuit section enables a compact pixel and the integration of flexible and versatile functions. High Dynamic Range values producing an important quantity of data, the choice has been made to implement data compression to reduce the circuit throughout. A first level of compression is produced by coding the pixel value using a floating format with a common exponent shared among the macro-pixel. A second level of compression is proposed based on a simplified version of the Discrete Cosine Transform (DCT). Using this two level scheme, a compression of 93 % can be obtained with a typical PSNR of 30 *dB*.

A validation of the architecture was carried out by the development ; fabrication and test of a prototype on a 2D, 180 *nm*, CMOS technology. A few pixels of each macro-pixel had to be sacrificed to implement the high dynamic range control signals and emulate the 3D integration.

The test results are very promising proving the benefits that will bring the 3D integration in term of power consumption and image quality compared to a classic 2D integration.

Future realisations of this architecture, done using a real 3D technology, separating sensing and processing on different circuits communicating by vertical interconnection will not need the sacrifice of any pixel to adjust the integration time, improving power consumption, image quality and latency.

**Keywords :** CMOS Image Sensor, 3D integration, 3D integration benefits, High

## *REMERCIEMENTS*

---

Dynamic Range, mantissa-exponent coding, compression, DCT.

# Chapitre 1

## Introduction

De l'imagerie 2D à l'intégration 3D : Qu'apportera la technologie 3D à l'imagerie ? et quelle application choisir ?

### Sommaire

---

<b>1.1 Les capteurs d'images</b> . . . . .	<b>20</b>
1.1.1 Architecture d'un capteur d'images . . . . .	20
1.1.2 Le pixel Actif . . . . .	21
<b>1.2 Caractéristiques et limitations des capteurs d'images 2D actuels</b> . . . . .	<b>24</b>
1.2.1 Résolution Spatiale . . . . .	24
1.2.2 Facteur de remplissage et taille du pixel . . . . .	24
1.2.3 Le rapport Signal à Bruit (SNR) . . . . .	24
1.2.4 Dynamique du Capteur . . . . .	24
1.2.5 Modes de lecture des imageurs . . . . .	25
1.2.6 Consommation . . . . .	25
<b>1.3 Perspectives d'une intégration 3D</b> . . . . .	<b>26</b>
1.3.1 Motivation et défis de l'intégration 3D . . . . .	26
1.3.2 Apport de l'intégration 3D dans le domaine de l'imagerie . . . . .	29
<b>1.4 Conclusion</b> . . . . .	<b>31</b>

---

Les capteurs d'images électroniques, apparus avec la naissance des CCD (Charge Coupled Device) en 1969, n'ont cessé de se perfectionner depuis. Ils ont atteint maintenant des performances et un coût tel qu'ils sont présents dans des domaines allant des caméras destinées au grand public aux secteurs sensibles tels que la défense et la biologie avec les micro-caméras explorant le corps humain. Bénéficiant des développements continus de la technologie CMOS (Complementary Metal Oxide Semiconductor), les capteurs d'images CMOS actuels ont atteint des performances très élevées en termes de sensibilité, de dynamique et de qualité d'image. Des traitements complexes sont de plus en plus intégrés dans la puce imageur, voire dans le pixel lui-même. L'intégration de fonctions de prétraitement par l'ajout de transistor MOS au sein du pixel donne lieu au concept de la rétine électronique. L'élargissement de leur rôle à des fonctions « d'intelligence » est donc permis notamment par le biais de calculs entre pixels voisins. Ces capteurs avec intégration de systèmes de traitements au sein du pixel ont fait l'objet de très nombreux travaux (par exemple [RDCea99], [MGGea05], [DH05], [PMB99] et [Dud07]). Cependant, dans ce mémoire, nous n'aborderons pas l'aspect rétine mais nous nous focaliserons sur l'apport potentiel de la technologie d'intégration 3D pour des fonctions d'acquisition classique d'image. L'originalité des travaux présentés dans ce manuscrit repose sur le fait de garder une structure classique du pixel des imageurs afin de profiter de ses performances notamment en termes de facteur de remplissage et d'efficacité quantique tout en ajoutant à l'imageur de la grande dynamique et de la compression.

## 1.1 Les capteurs d'images

### 1.1.1 Architecture d'un capteur d'images

Un capteur d'images est un dispositif électronique permettant de convertir l'énergie lumineuse projetée sur un plan focal en une grandeur électrique exploitable qui est, dans la plus part des cas, convertie ensuite en une information numérique. Il est composé de capteurs électroniques sensibles à la lumière appelés **pixels**.

Le principe de fonctionnement d'un détecteur se résume donc dans les étapes suivantes :

- Faire converger la lumière vers la partie sensible de l'imageur, les pixels, via un dispositif optique approprié.
- Sélectionner une gamme de longueurs d'onde au moyen de filtres optiques.
- Convertir les photons en électrons via une photodiode.
- Amplifier et adresser/lire le signal électrique résultant.
- Convertir le signal analogique en donnée numérique.
- Évacuer les données vers la sortie du détecteur.

La combinaison des différents signaux issus de chaque pixel et leur traitement permet de construire l'image finale. Selon la complexité de l'imageur, ce traitement pourra être fait dans ou à l'extérieur de la "puce" capteur.

La Figure 1.1 illustre un schéma bloc typique d'un capteur d'images et de la chaîne

de conversion des différentes grandeurs concernées.

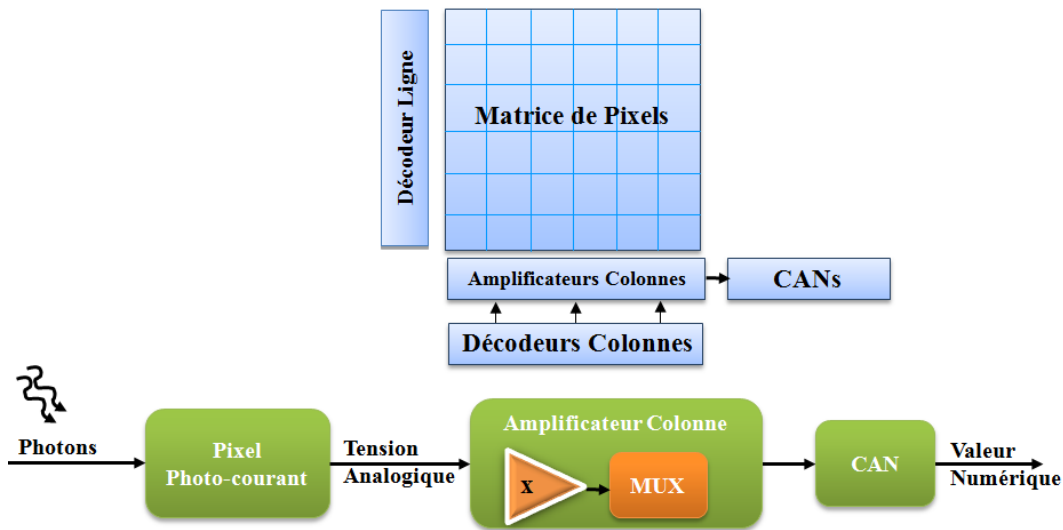


FIGURE 1.1 – Schéma bloc d'un Capteur d'Images CMOS et de la chaîne de conversion des grandeurs mesurées

Le pixel, partie élémentaire de la matrice, doit répondre à deux critères principaux :

- Être capable de convertir une quantité de photons en un signal électrique tout en restant fidèle à l'information d'origine.
- Avoir un pas faible afin de réduire le coût du capteur à nombre de pixels constant, le pas des pixels est actuellement de  $0,9 \mu m$  [IKMea09]. Ce critère est particulièrement crucial pour les applications grand public telles que les caméras pour téléphones.

Il existe deux grandes familles de pixels pour réaliser une matrice : Le pixel passif (PPS : Passif Pixel Sensors) et le pixel actif (APS : Actif Pixel Sensors). Le pixel actif est la structure de pixel la plus commune et utilisée dans la majorité des capteurs d'images. Le pixel passif n'est constitué que d'une photodiode et d'un transistor utilisé en interrupteur et permettant de connecter la photodiode au bus de lecture.

### 1.1.2 Le pixel Actif

L'idée d'intégrer un amplificateur dans le pixel passif [Fos97], [IMNea98], [Fos93], pour accroître les performances, est apparue très rapidement. L'amplificateur n'est actif que pendant le temps de lecture et la puissance moyenne consommée est très inférieure à celle du CCD. Le schéma d'un pixel actif est donné en Figure 1.2.



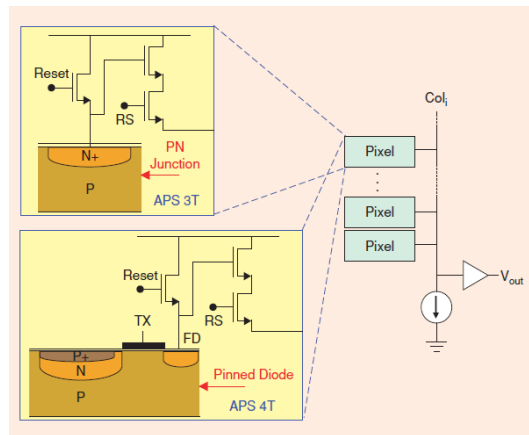


FIGURE 1.2 – Schéma d'un Pixel Actif 3T et 4T, [GE05]

Grâce à l'amplificateur intégré, la lecture de l'information est non destructive car après avoir intégré le signal dans la capacité équivalente de la photodiode, ce ne sont plus les charges qui sont transférées sur le bus de lecture mais une tension image de celles-ci. Or, la quantité de photons absorbés pendant le temps d'exposition est typiquement très faible, de l'ordre de quelques milliers. En mode d'intégration directe, le plus communément utilisé [GE05], les photoélectrons sont accumulés dans la photodiode pendant le temps d'exposition (encore appelé temps d'intégration). Via la capacité inverse de la photodiode ( $C_D$ ), cette quantité de charges génère une tension. Cette opération est illustrée par la Figure 1.3 qui montre un pixel opérant en intégration directe.

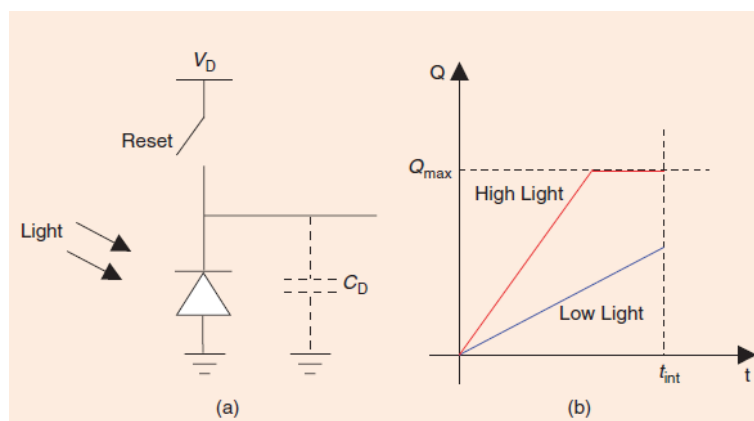


FIGURE 1.3 – (a) Schéma du pixel à intégration (b) Évolution de la charge en fonction du temps d'exposition, [GE05]

Deux types de pixels actifs sont fréquemment utilisés : le pixel 3T et le pixel 4T (Cf. Figure 1.2). Nous ne détaillerons pas le fonctionnement du pixel 4T. Nous retiendrons qu'en termes de fonctionnalité, la différence majeure entre les deux est la possibilité d'effectuer un CDS (Correlated Double Sampling). Dans un premier temps, la photodiode est réinitialisée à une tension  $V_D$ . Ensuite, le transistor de Reset est ouvert, le photo-courant ainsi que le courant d'obscurité sont intégrés au niveau de la capacité  $C_D$ . À la fin de l'intégration, la tension aux bornes de la capacité  $C_D$  est copiée sur le bus  $Col_i$  grâce au transistor monté en suiveur. Les chronogrammes

du pixel 3T illustrant ce fonctionnement sont donnés dans la Figure 1.4.

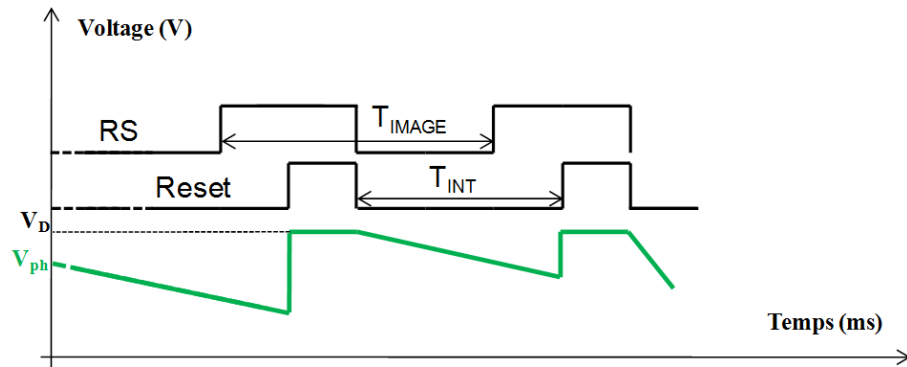


FIGURE 1.4 – Chronogrammes d'un Pixel 3T

Classiquement, la lecture de la matrice de pixels se fait en mode "capture progressive" appelé mode "Rolling Shutter" (Cf. Figure 1.5). Les signaux RS (Row Select) et Reset sont communs à toutes les lignes à un décalage dans le temps près, ce temps correspond au temps de lecture d'une ligne, noté dans la suite "temps ligne". Lorsque l'intégration est simultanée sur toute la matrice de pixels, ce mode est appelé "capture instantanée" ou aussi "Global Shutter". Cependant, la lecture s'effectue toujours séquentiellement ligne par ligne quel que soit le mode de capture. En conséquence, des éléments de mémorisation sont ajoutés au sein de l'imageur afin que le temps d'intégration soit identique pour tous les pixels de la matrice.

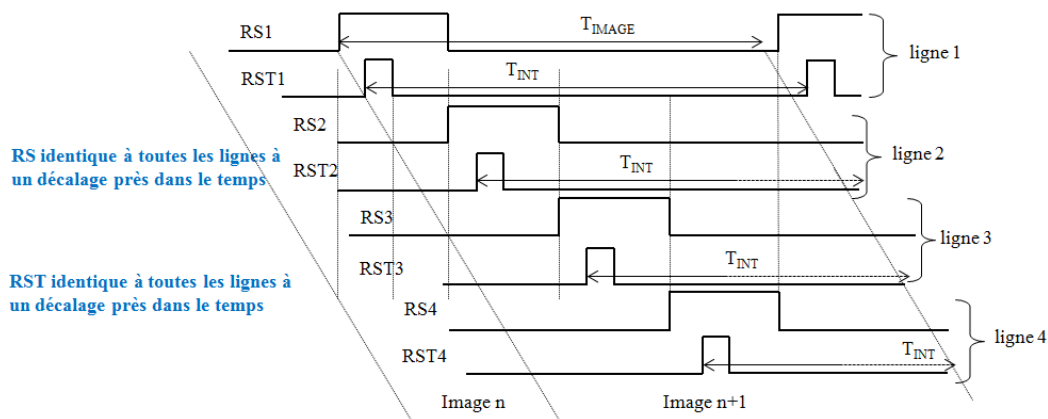


FIGURE 1.5 – Mode Rolling Shutter de lecture de la matrice de pixels 3T

Le rajout de transistors dans le pixel (Cf. Figure 1.2 ) diminue la surface dédiée à la photodiode et donc le facteur de remplissage (Rapport entre la surface photosensible et la surface totale du pixel).

## 1.2 Caractéristiques et limitations des capteurs d'images 2D actuels

### 1.2.1 Résolution Spatiale

La résolution spatiale d'un capteur d'image est définie par le nombre de pixels. Le nombre de pixels dans une matrice croît généralement avec la diminution du pas du pixel. Les capteurs d'images d'aujourd'hui comptent plusieurs millions de pixels [KWSea12].

### 1.2.2 Facteur de remplissage et taille du pixel

Le facteur de remplissage (« fill factor ») est le pourcentage de la surface photosensible (surface occupée par la photodiode) par rapport à la surface totale du pixel.

### 1.2.3 Le rapport Signal à Bruit (SNR)

Le rapport signal à bruit (SNR : Signal Noise Ratio) présente le rapport entre le signal maximal détectable et le signal minimal détectable limité par le bruit du capteur. L'ordre de grandeur typique de la dynamique d'un imageur CMOS est de  $60 - 70 \text{ dB}$ . Un bon rapport signal à bruit requiert une surface photosensible importante pour stocker un grand nombre d'électrons. Ceci implique une grande taille du pixel. Par conséquent, avec la miniaturisation des tailles et la complexité des pixels, ce critère devient de plus en plus sensible et limitant.

### 1.2.4 Dynamique du Capteur

Le SNR et la dynamique de l'imageur sont souvent liés. La dynamique de fonctionnement (« Dynamic Range » : DR) d'un capteur permet d'évaluer sa capacité à retransmettre une image comportant à la fois des parties très éclairées et des parties très sombres. Cette caractéristique définit alors l'aptitude de l'imageur à distinguer les détails dans les zones très sombres et très éclairées. Elle s'exprime en décibel et se calcule comme étant le rapport entre le plus grand signal d'entrée non saturé sur le plus petit signal d'entrée détectable :

$$DR = 20 \log \left( \frac{I_{\max}}{I_{\min}} \right) \quad (1.1)$$

Plusieurs techniques permettent l'optimisation et l'extension de la dynamique de fonctionnement, la faisant passer de  $60 \text{ dB}$  jusqu'à  $130 \text{ dB}$ . Ces techniques se basent généralement sur l'extension de la valeur du courant maximum intégré,  $I_{\max}$ , car le courant  $I_{\min}$  est limité par le courant d'obscurité et le bruit du capteur d'images. Les différentes techniques utilisées seront explicitées dans le chapitre 2. Nous verrons que la majorité de ces techniques détériorent le facteur de remplissage. Ceci présente alors une limitation fondamentale des capteurs d'images 2D actuels.

### 1.2.5 Modes de lecture des imageurs

Les imageurs peuvent fonctionner selon deux modes de fonctionnement. Le premier est le mode de capture progressive (ou Rolling Shutter) pour lequel l'acquisition d'une image est obtenue en décalant temporellement l'obturateur électronique (implémenté par le décalage temporel entre le signal d'initialisation et le signal de lecture) à chaque ligne de l'imageur. Un tel mode de fonctionnement évite d'avoir à stocker l'image avant sa lecture et permet d'étendre le temps d'exposition à un temps trame complet puisque la lecture d'une ligne s'effectue alors que les lignes précédentes sont encore en phase d'intégration.

Le second mode est la capture instantanée (ou global shutter) pour lequel l'acquisition d'une image est obtenue en ayant une simultanéité des signaux de l'obturateur électronique sur l'ensemble des lignes de l'imageur. Le signal d'initialisation et le signal de lecture sont donc distribués simultanément à toutes les lignes de l'imageur. Un tel mode de fonctionnement évite d'avoir des distorsions des images de scènes mobiles (Cf. Figure 1.6). En revanche, il est nécessaire de stocker l'image avant sa lecture puisque celle-ci intervient en décalé par rapport à l'acquisition et cela limite le temps d'intégration à un temps trame complet moins le temps de lecture.

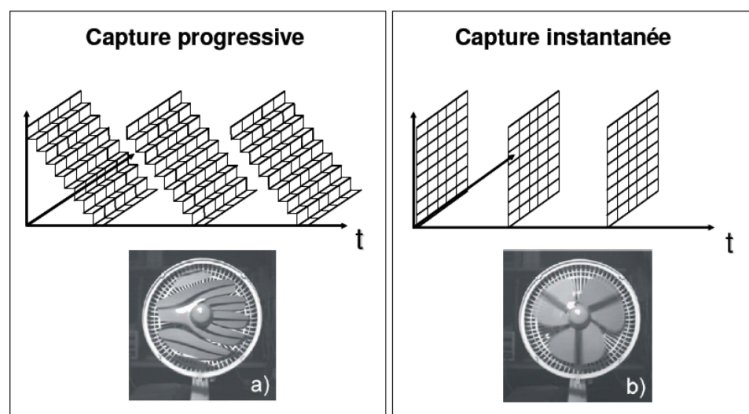


FIGURE 1.6 – Modes de fonctionnement d'un capteur d'images, [Lab07]

### 1.2.6 Consommation

La consommation est un paramètre important des imageurs. La partie de l'imageur qui consomme le plus est la conversion analogique numérique. Cette fonction peut être commune à toute la matrice, à une colonne de pixels ou à un seul pixel [BXSea05], [RJ03]. La consommation dépendra alors du fonctionnement parallèle ou série des convertisseurs et de la résolution spatiale du capteur d'images. En plus des convertisseurs, les fonctions de traitement tels que la détection de mouvement nécessitant des traitements numériques à horloge rapide peuvent participer à l'augmentation de la consommation selon leur complexité et leur implémentation analogique ou numérique. Le mode de capture instantanée nécessitant un stockage ou un traitement massivement parallèle implique aussi une consommation totale très importante.

Les caractéristiques des capteurs d'images sont très nombreuses, nous n'avons mentionné que celles abordées dans ces travaux.

Les capteurs d'images 2D actuels atteignent des limites dans certaines performances telles que la consommation, la taille de la puce et le facteur de remplissage. La technologie 3D serait-elle alors la solution pour dépasser ces limitations ?

## 1.3 Perspectives d'une intégration 3D

### 1.3.1 Motivation et défis de l'intégration 3D

Le concept de superposition de circuits sur l'axe vertical, appelé technologie 3D, a été posé à la fin des années 1960 dans le cadre du projet, appelé Tinkertoy [Hen56], dans lequel la technologie 3D a été adaptée au packaging des puces. Il a ensuite mûri dans les laboratoires de recherches pendant les années 1980, [AN86], [Aka86], pour tracer les premières lignes conceptuelles d'un circuit intégré en 3D assez proche des concepts développés aujourd'hui. Akasaka prévoyait le développement spécifique de la technologie 3D et la modification des règles de conception entre 1990 et 2000 pour une industrialisation à l'aube du XXIe siècle, [Aka86]. Depuis, plusieurs travaux de recherche se sont orientés vers cette technologie afin d'augmenter l'intégration des fonctions au sein des circuits. On citera dans le chapitre 2 quelques travaux et on se focalisera sur l'intégration 3D, particulièrement dans le domaine de l'imagerie. La Figure 1.7 présente le principe de concept générique d'un circuit 3D [Don79].

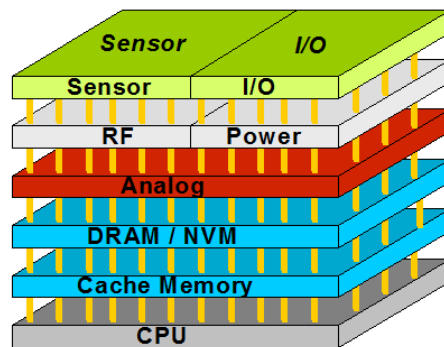


FIGURE 1.7 – Exemple d'un Circuit 3D, [Don79]

Yu [PB08] donne un exemple chiffré très explicite : si un processeur d'un centimètre de côté est coupé en quatre morceaux identiques empilés et les fonctions essentielles sont reliées dans la dimension verticale, la distance maximum que les électrons auraient à parcourir passerait de  $20000 \mu m$  à  $10 \mu m$ . Outre le gain en miniaturisation et même si cela conduit à une augmentation de la vitesse des dispositifs, la puissance consommée sera réduite au même titre que la puissance dissipée, [PB08]. Dans [BABea06], l'auteur montre que la superposition verticale de Dynamic Random Access Memory (DRAM) 32 MB permet d'augmenter considérablement la capacité de stockage des données dans la puce. En conséquence, le nombre de cycles d'accès à la mémoire est réduit de 13 % en moyenne avec une augmentation négligeable de la température de  $0.08^\circ C$ . La consommation et la bande passante en sortie de la puce sont réduites de 66 %. Il montre aussi qu'un plan de masse en 3D pour un microprocesseur de hautes performances peut simultanément réduire la puissance consommée de 15 % et augmenter les performances de 15 en dépit d'une légère augmentation de  $14^\circ C$  au niveau du pic de température ce qui reste dans la

zone de tolérance. Dans [LGLea07], l'auteur montre que par rapport à un FPGA 2D, un FPGA 3D peut atteindre une densité de portes logiques 3.2 fois supérieure, des délais sur le chemin critique 1.7 fois inférieurs et une puissance dynamique 1.7 fois inférieure, sachant que les deux FPGA sont conçus dans une même technologie CMOS 65 *nm*.

En résumé des avantages de l'intégration 3D, on cite :

- L'augmentation de la fréquence de travail.
- La réduction des délais et de la consommation dus aux interconnexions.
- L'augmentation de la densité d'assemblage de plusieurs circuits dans une même puce en gardant des tailles miniatures .
- L'utilisation des technologies hétérogènes sur la même puce en combinant sur une même carte des matériaux ou des fonctions de natures différentes.

L'intégration 3D rencontre à ce jour plusieurs défis avant d'atteindre la maturité d'une technologie SiP (System in Package) ou SoC (System on Chip). Parmi ces défis, on peut citer :

- Absence d'outils de conception et de vérification dédiés à la technologie 3D et de kits de conception propres aux technologies cibles : De nombreux travaux de recherches se concentrent sur la réalisation d'un outil CAO dédié à la technologie 3D. Le MIT avait prévu un plan pour la sortie d'un outil CAO en 2012, [Led10]. Mais jusqu'à aujourd'hui, aucun outil n'a encore été annoncé (Cf. Figure 1.8.)
- Dissipation thermique : dans son livre « Three-Dimensional Integrated Circuit Design » [PF10], Pavlidis résume l'ensemble des modèles créés afin de modéliser le transfert thermique dans les circuits 3D et la gestion dynamique de la chaleur. Ce problème de dissipation peut réduire énormément la vitesse maximale atteinte et affecte la fiabilité du système.
- Pas d'interconnexion : le pas de répétition des interconnexions 3D peut également constituer une limitation pour la technologie 3D. Ainsi, dans le cas des imageurs, un traitement à l'échelle du pixel, nécessite des pas de 1  $\mu m$  (cas des caméra-phones) à 5  $\mu m$ . Les réalisations à l'état de l'art sont assez loin de pouvoir répondre à ce critère puisque les travaux actuels atteignent à peine des pas de l'ordre de 10  $\mu m$  [Led08], [Led07].

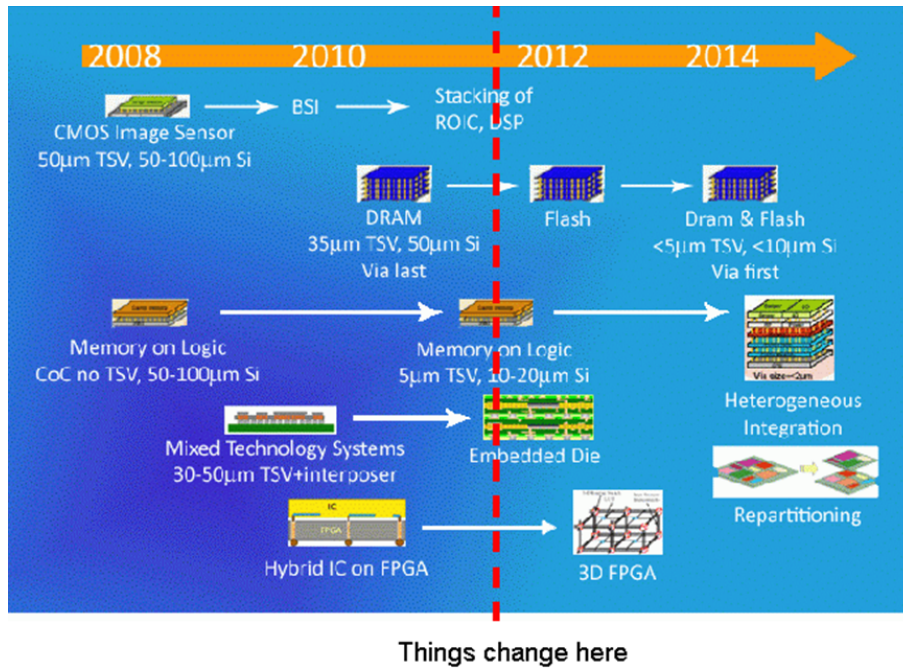


FIGURE 1.8 – Plan de réalisations en technologie 3D, prévu par le MIT

- Distribution de l'horloge : le signal d'horloge représente le cœur des systèmes synchrones. La distribution de ce signal constitue un des enjeux clefs des circuits planaires car les longueurs d'interconnexions ajoutent du délai au signal et doivent être gérées pour maintenir la synchronisation dans le circuit. Ce problème devient plus complexe dans le cas des circuits 3D puisque différents éléments, gérés par la même horloge peuvent se retrouver sur des puces différentes, hétérogènes ou non.
- Maturation du procédé de fabrication : peu de fonderies maîtrisent les procédés de fabrication de la technologie 3D et permettent d'atteindre le niveau de reproductibilité et de fiabilité requis pour industrialiser des circuits à grande échelle [Led08], [Led07].
- Rendement et coût : ce point rejoint le précédent car une des premières attentes d'une nouvelle technologie est qu'elle soit pertinente économiquement. Cela veut dire qu'elle doit avoir un rendement acceptable sans augmenter considérablement le coût de fabrication. Plusieurs études de rendement ont été élaborées. Beyne montre dans son article [Bey08] que le rendement d'une technologie 3D W2D (Wafer to Die) peut atteindre 90 %. Cette technologie permet d'augmenter considérablement le rendement mais en contre partie elle demande un temps énorme pour la réalisation du procédé. Elle représente, en ce sens, un coût prohibitif à l'échelle industrielle. En permettant de réduire l'empreinte des fonctions à empiler et d'éliminer les interconnexions externes, on attend également un gain notable en production. Les études faites sur le rendement d'une telle technologie restent théoriques. Une enquête réalisée par le Sematech [GBRea08] regroupe les niveaux minimum d'efforts restant à accomplir pour aboutir à un produit 3D performant. La Figure 1.9 illustre l'ensemble de ces efforts. On distingue douze catégories parmi lesquelles le développement des règles de conception, la définition de l'architecture du produit

et la modélisation thermique.

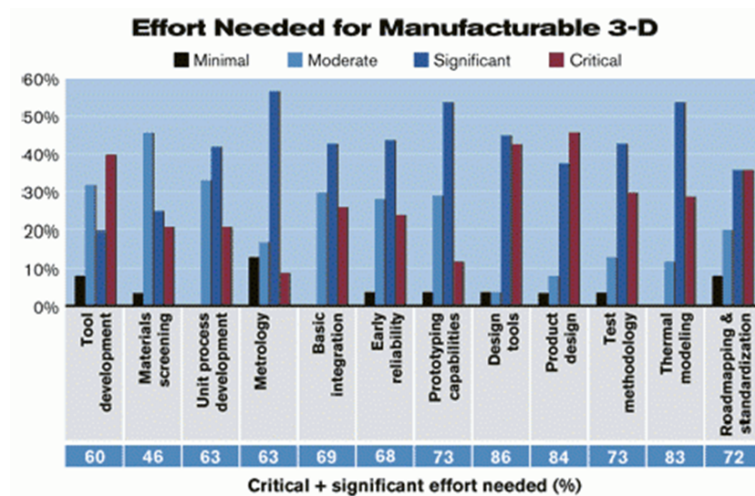


FIGURE 1.9 – Répartition des efforts pour parvenir à fabriquer un produit 3D selon 12 critères représentatifs, [GBRea08]

L'intégration 3D peut potentiellement offrir une solution aux limitations des circuits 2D actuels. Néanmoins, à ce jour, peu de travaux ont mis en évidence l'apport de l'intégration 3D dans le domaine des imageurs visibles. Dans le paragraphe suivant, nous présentons les avantages de l'intégration 3D mis en évidence et développés dans le présent travail de thèse.

## 1.3.2 Apport de l'intégration 3D dans le domaine de l'imagerie

### 1.3.2.1 Traitement local et parallèle

L'un des avantages de l'intégration 3D est le traitement local proche pixel (Cf. Figure 1.10).

Grâce à la superposition verticale d'une couche sur l'autre, la technologie 3D permet de rapprocher le traitement près du pixel tout en gardant dans le pixel lui-même le moins d'électronique possible. Par conséquent, ceci permet d'augmenter le facteur de remplissage et relâche les contraintes liées à la nécessité d'un stockage local de l'information.

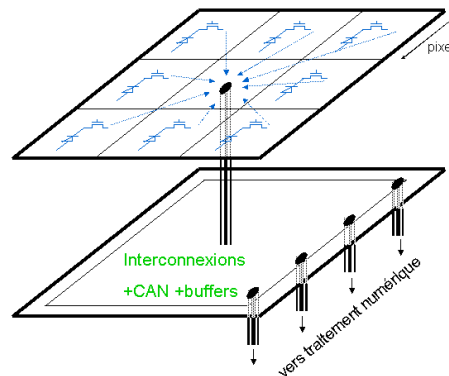


FIGURE 1.10 – Traitement parallèle par groupe de pixels en 3D



### 1.3.2.2 Boucle courte

Le principal avantage que nous avons identifié et exploité dans notre étude est la possibilité d'implémentation d'une boucle courte. Une boucle courte veut dire une rétroaction rapide du traitement sur le pixel afin d'adapter localement une des propriétés du pixel. La boucle courte devient possible avec l'intégration 3D grâce aux interconnexions verticales et au traitement local par pixel ou par groupe de pixels sur une couche différente de celle de l'acquisition, sans avoir à le faire au détriment du facteur de remplissage ou de la surface du pixel. Par rapport à un traitement en pied de colonne, effectué dans un imageur en technologie 2D, et qui permettrait également de conserver la surface et le facteur de remplissage, le temps de latence est considérablement réduit du fait de l'absence de sérialisation de l'information. La surface liée aux interconnexions supplémentaires, nécessaires à la rétroaction, est également susceptible d'être réduite.

### 1.3.2.3 Traitement complexe à intégrer proche pixel

Grâce à la possibilité de traitements parallèles et proches des pixels, l'intégration 3D rend possible l'implémentation de traitements plus complexes tels que la conversion analogique numérique à l'échelle d'un pixel ou groupe de pixels sans toucher au facteur de remplissage. Une application possible de traitement est alors la compression par groupe de pixels. Une telle approche permettrait de relaxer les contraintes sur les flux de données. En effet, l'augmentation du format induit une augmentation du flux de données en sortie des imageurs. Sur les architectures classiques, celle-ci constitue un problème lié à la consommation, essentiellement localisée au niveau des plots de sortie. La compression est également représentative d'une plus large classe d'algorithmes car elle s'appuie sur des opérations génériques telles que l'addition ou la multiplication, opérateurs que l'on retrouve dans de nombreuses classes d'algorithmes en traitement d'images. Ces opérations, ne nécessitant pas une grande surface, peuvent être implémentées proche du pixel ou groupe de pixels sur une couche au dessous de la couche photosensible. Ces opérateurs peuvent être appliqués, par exemple, à la détection de contours et la détection de mouvements.

### 1.3.2.4 Réduction possible de la consommation

Les couches d'un circuit 3D sont interconnectées via des connexions verticales telles que les TSV (Trough Silicon Via) ou les connexions Cu-Cu (Cuivre-Cuivre). Ces interconnexions permettent alors de diminuer la longueur des connexions planaires utilisées dans les capteurs d'images 2D. Si cette diminution de longueur se traduit par une réduction des capacités parasites, le passage à la 3D pourrait réduire la puissance dissipée dans les fils de transmission de données.

Le parallélisme des traitements, dont la conversion analogique numérique, devrait permettre de réduire considérablement la consommation. Néanmoins, effectuer une conversion analogique numérique proche du pixel peut entraîner une augmentation de la bande passante nécessaire à la lecture des grandeurs numérisées. Ce point peut cependant être levé par une compression après la conversion analogique numérique. L'implémentation d'un dispositif de compression doit être analysée pour déterminer son impact sur la consommation globale de l'imageur.

## 1.4 Conclusion

L'intégration 3D devient présente dans plusieurs domaines et suscite l'intérêt autant des chercheurs que des industriels. Des prévisions de Yole Développement (Cf. Figure 1.11) montre que les budgets consacrés à la technologie 3D, notamment pour les imageurs CMOS, les MEMS et les semi-conducteurs sont en constante croissance.

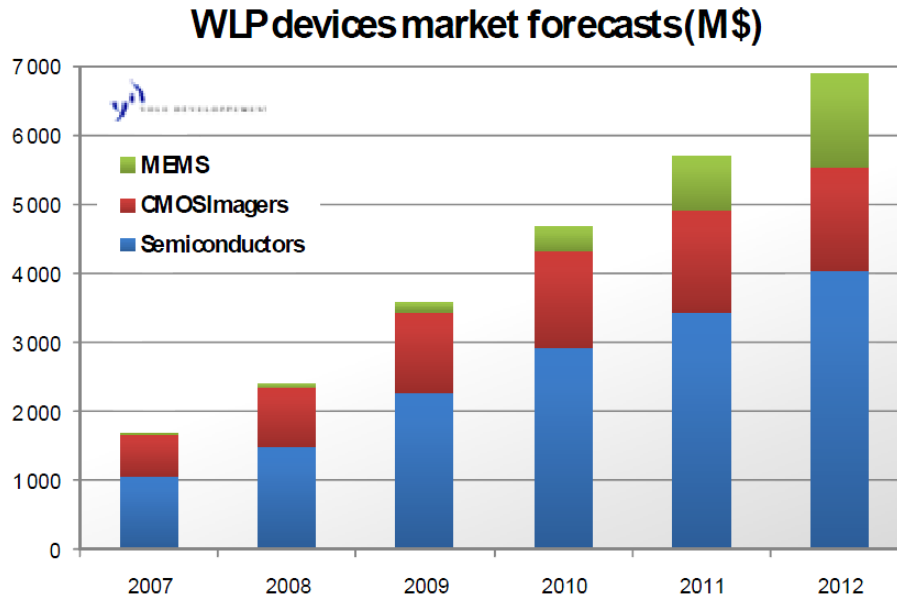


FIGURE 1.11 – Courbes de prévisions du marché de la technologie 3D dans certains domaines, [EMB08]

En effet, l'intégration 3D présente un important potentiel d'amélioration pour de nombreuses applications malgré de nombreux inconnus et défis qui demeurent. Dans le cas des imageurs de hautes résolutions (MégaPixels), le flux de données résultant et la bande passante deviennent critiques en 2D. La réduction du flux grâce à la compression de données permet d'améliorer ce point. Une autre limitation critique est la consommation, principalement liée à la conversion analogique numérique. Dans ce cas, les choix architecturaux, donc les performances des convertisseurs, sont liés aux contraintes topologiques des circuits 2D et peuvent être dé-contraints par une intégration 3D. Quant à la latence, elle aussi représente une limitation critique de la technologie 2D et sa réduction s'avère nécessaire afin d'avoir des temps de réponses inférieurs aux temps trames. L'intégration 3D permet de proposer des solutions architecturales pour lever ces limitations.

Ceci a permis alors d'orienter nos travaux de recherches vers la mise en œuvre de ces principaux apports de la technologie 3D qui sont, pour rappel, la réduction de la latence via la boucle courte, la possibilité de traitement d'images de grand formats et la réduction de la consommation. Puisque les travaux d'analyses et les preuves de ces apports majeurs de l'intégration 3D manquent à ce jour, cette thèse vise à élaborer une analyse de l'apport de l'intégration 3D. Nous avons alors cherché à identifier une application pertinente mettant en œuvre à la fois un traitement proche pixel, massivement parallèle et suivi d'une compression de flux de données. L'extension de la dynamique du capteur d'images s'est présentée comme un choix pertinent pour nos travaux. Constituant actuellement une limitation des capteurs d'images 2D, elle

nécessite une adaptation locale, si possible avec une faible latence, par exemple inférieure au temps trame. Ceci est possible via les interconnexions 3D sans altérer le facteur de remplissage de la matrice classique 2D. L'utilisation de la boucle courte est alors nécessaire afin d'adapter le temps d'intégration par pixel ou par groupe de pixels. Elle permettra la mise en œuvre d'une réponse rapide empêchant la saturation des pixels et diminuant ainsi la latence.

Dans le cadre de cette analyse, un capteur d'images à grande dynamique comportant une compression proche du pixel a été conçu. Il se base sur l'ajustement local du temps d'intégration par groupe de pixels. Compte-tenu du manque d'une technologie 3D mature, nous avons choisi de réaliser un prototype 2D reproduisant l'architecture 3D théorique telle qu'elle sera proposée dans cette étude.

Le manuscrit de la thèse est organisé de la façon suivante :

- Dans le premier chapitre, nous dressons l'état de l'art, notamment l'intégration 3D avec les avancées actuelles dans le domaine de l'imagerie. Les différentes techniques d'extension de la dynamique dans les capteurs d'images 2D sont également décrites. Les limitations de ces différentes techniques dans le cas des imageurs 2D sont mises en évidence.
- Dans le deuxième chapitre, nous exposons une étude théorique mettant en évidence les apports de l'intégration 3D notamment en termes de consommation.
- Ensuite, nous détaillons dans le troisième chapitre le principe de la technique de réduction de débit proposée à deux niveaux de compression et nous exposons les principaux résultats algorithmiques.
- Dans un dernier chapitre, nous présentons l'architecture complète de l'imageur HDR et nous abordons les étapes principales de sa conception ainsi que les résultats de simulation.
- La conclusion met en évidence les apports de l'intégration 3D conclus de notre prototype 2D et les perspectives du travail.

# Chapitre 2

## État de l'Art

Intégration 3D et techniques d'extension de la dynamique des imageurs en 2D

### Sommaire

---

<b>2.1</b>	<b>Intégration 3D : Vue historique et capteurs d'images en technologie 3D</b>	<b>34</b>
2.1.1	Introduction générale	34
2.1.2	Intégration 3D	37
2.1.3	Apport de l'intégration 3D pour les circuits numériques	40
2.1.4	Imageurs 3D dans l'état de l'art	41
2.1.5	Synthèse	45
<b>2.2</b>	<b>La Grande Dynamique: Techniques d'extension et limitations dans les imageurs 2D actuels</b>	<b>48</b>
2.2.1	Capteurs à temps d'intégration unique avec traitement post-intégration	49
2.2.2	Capteurs à temps d'intégration multiples	51
2.2.3	Capteurs logarithmiques	53
2.2.4	Conclusion	54

---

## 2.1 Intégration 3D : Vue historique et capteurs d'images en technologie 3D

### 2.1.1 Introduction générale

Au cours de la dernière décennie, la loi de Moore a été remise en question et deux tendances sont apparues pour continuer à développer la capacité de traitement des circuits en microélectronique sans pour autant remettre en cause la technologie MOSFET : une est appelée « More than Moore » [ZvRG05], [Dec05], dont l'objectif est d'augmenter les fonctionnalités des circuits, et l'autre est appelée « More Moore » et vise à poursuivre la miniaturisation des dispositifs CMOS. D'une part, un premier problème des circuits planaires est les interconnexions. Idéalement, ces connexions n'engendrent aucun délai de propagation du signal et n'affectent pas sa transmission. Mais l'expérience révèle une toute autre réalité puisqu'une grande partie de l'énergie totale dissipée dans un circuit est due au réseau d'interconnexion, [BSPea01]. l'augmentation de la longueur des interconnexions accroît la valeur de la capacité totale,  $C$ , inhérente au réseau d'interconnexion ce qui constitue un paramètre jouant directement sur la puissance dynamique consommée, exprimée par :

$$P \propto C.V_{dd}^2.f_c \quad (2.1)$$

Où  $f_c$  est la fréquence d'horloge et  $V_{dd}$  la tension d'alimentation.

La Figure 2.1 représente les évolutions des délais caractéristiques d'une interconnexion globale et du Métal 1 en fonction du nœud technologique. Par conséquent, la longueur des interconnexions devient un facteur limitant des circuits intégrés actuels.

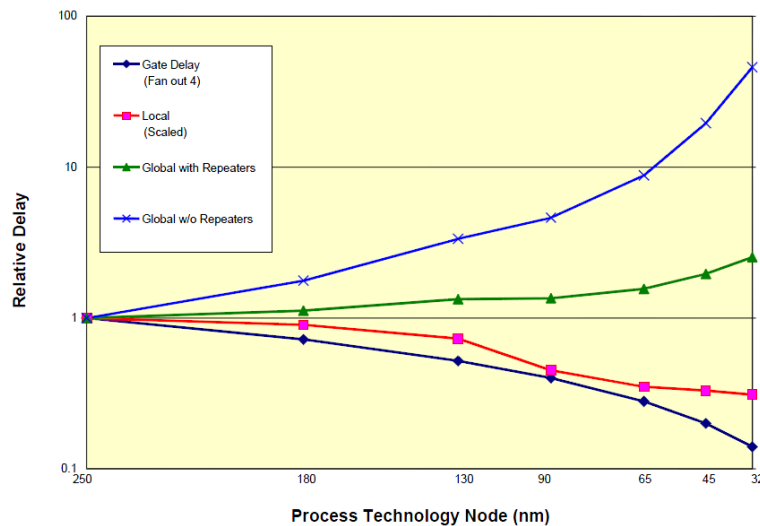


FIGURE 2.1 – Prédiction des délais caractéristiques d'une interconnexion globale et du Métal 1 en fonction des nœuds technologiques, [ITR05]

D'autre part, pour les générations précédentes, à chaque nouvelle génération de nœud technologique, la surface des circuits diminuait. Ainsi, l'élément clef des circuits, à savoir la cellule mémoire, était réduite de 50 %. Mais, en raison de l'augmentation des courants de fuite et de la variabilité des dispositifs, le gain en surface a été réduit à 25 % dans un premier temps, puis pour les nœuds inférieurs à 45 nm, les structures conventionnelles demandent des dimensions de transistors telles que

le gain tend à être annulé voire même à s'inverser [PB08]. Le coût des circuits étant lié à leur surface, ce paramètre constitue un obstacle à la poursuite de la réduction du nœud technologique.

Avant de présenter cette nouvelle famille de technologies d'intégration 3D, faisons un bref rappel des solutions relevant du "More than Moore" pour limiter les connexions hors boîtier, à savoir les systèmes sur une puce (SoC) et les systèmes dans un boîtier (SiP).

- **Le Système sur Puce (SoC) :** le principe du SoC (« System on Chip ») ou système sur puce est de regrouper sur un même circuit des composants fabriqués collectivement avec des procédés compatibles. Les systèmes sur puce récents peuvent ainsi comprendre plusieurs cœurs de microprocesseurs, de processeur de traitement de signal (DSP), associés à des opérateurs matériels, des mémoires, des interfaces d'entrée/sortie et des blocs de traitement analogique voire des micro-capteurs intégrés (MEMS), [PB08]. La Figure 2.2, extraite de la base de données électronique de Toshiba, met en évidence la différence entre les architectures d'un SoC et d'un SiP. Les SoC sont reconnus performants, fiables, compétitifs et difficilement copiables. Néanmoins, leurs coûts à la fois de conception et de fabrication ne les rendent financièrement rentables que pour des productions de masse (quelques dizaines de millions d'unités par an). De plus, leur conception devient extrêmement exigeante de par la nature même du SoC : intégrer un grand nombre de fonctions élaborées dans un même circuit requiert des moyens de calculs ainsi qu'un savoir-faire très avancés. Il s'agit là du principal frein au développement des SoC.
- **Le Système en Boîtier (SiP) :** le « System in Package » associe dans le même boîtier plusieurs circuits intégrés et/ou des composants discrets potentiellement réalisés dans des technologies différentes et de fonctions hétérogènes : CI, MEMS, RF... Il s'agit donc d'assembler plusieurs puces et de les interconnecter. De ce fait, la conception est simplifiée, les masques sont beaucoup moins chers en dépit d'un coût de production unitaire plus élevé et l'ajout à posteriori de la connectique pénalise la fiabilité et la vitesse des circuits, [BS06]. Le SiP a émergé industriellement de façon significative pour répondre principalement aux besoins de miniaturisation et intégration. C'est une technologie devenue mûre. Elle représente la bonne solution quand le délai de lancement (time-to market) est déterminant ou quand les quantités prévues rendent incertaine la rentabilité d'un SoC, [BS06]. Comparé au SoC, le système en boîtier se veut donc plus complet et représente un véritable système électronique intégré et un gain de place considérable sur la carte mère. La Figure 2.2 montre les architectures des deux systèmes SoC et SiP.

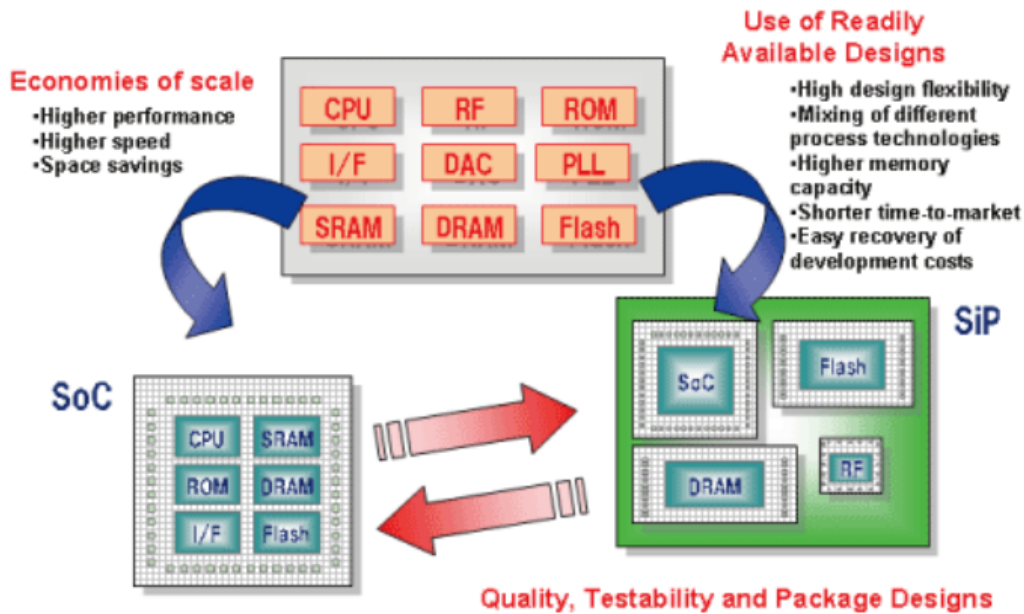


FIGURE 2.2 – Exemples de SoC et SiP, [Tos]

Les premières innovations industrialisables ont été les empilements de puces (3D Die Stacking), où les différents éléments sont reliés par des câblages externes (wire bonding Cf. Figure 2.3). Ce type de systèmes est en production depuis 1998, avec des produits phares tels que les empilements à deux niveaux de mémoires (SRAM/SRAM, SRAM/Flash, DRAM/Flash), [Gar05]. Ces circuits sont parfois dénommés 2,5D. Les principaux inconvénients du câblage externe sont la grande surface occupée et le faible nombre de configurations de câblage possibles entre les puces (pas de connexion possible au cœur de la puce, seulement en bordure).

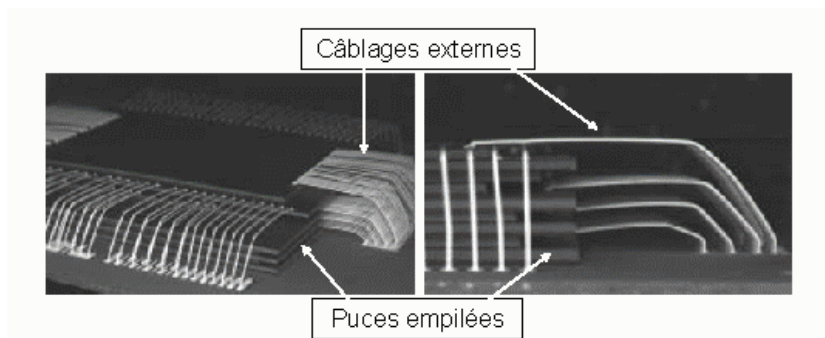


FIGURE 2.3 – Packaging Multi-puces à 9 couches, Toshiba [Tos]

Une grande innovation a été de considérer des interconnexions au cœur des circuits, ce qui implique des connexions inter circuits beaucoup plus denses. C'est le concept des circuits intégrés tridimensionnels actuellement émergents. Dans le paragraphe suivant, nous présentons l'intégration 3D avec les configurations possibles d'un circuit 3D et quelques données technologiques.

### 2.1.2 Intégration 3D

Un circuit 3D consiste à empiler plusieurs puces les unes sur les autres avec des fonctionnalités et des technologies pouvant être différentes (Cf. Figure 2.4). Dans une large majorité de cas, l'assemblage des niveaux fabriqués est fait de manière indépendante, l'approche est dite parallèle. À la différence des premiers circuits SiP empilés parfois considérés comme circuits 3D, les interconnexions dans un vrai circuit 3D passent à travers les couches et il n'y a pas de câblage externe. Ces interconnexions directes peuvent prendre différentes formes qui seront décrites par la suite.

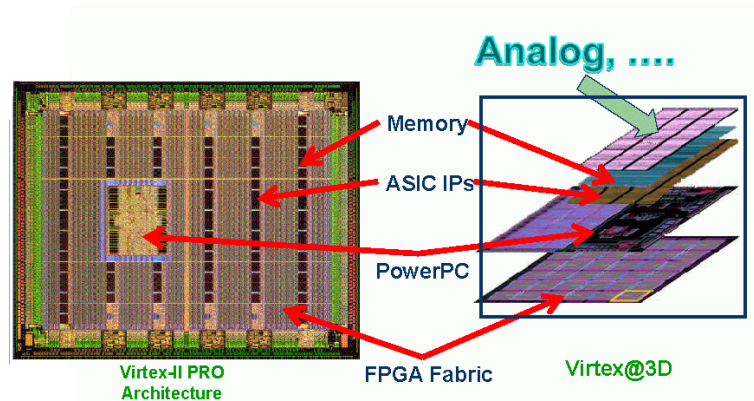


FIGURE 2.4 – Du SoC 2D au SoC 3D, [Sou09]

Plusieurs configurations, orientations et interconnexions sont possibles.

#### 2.1.2.1 Configurations possibles pour la réalisation d'un circuit 3D

Selon les études faites par Eric BEYNE, de l'IMEC [Bey06b], on classe les circuits 3D selon les configurations suivantes :

- **Le 3D-WLP (3D Wafer-Level-Packaging)**, [Bey06a] : l'intégration 3D est faite dans ce cas à l'échelle du Wafer. La co-intégration des circuits est faite après leur fabrication. La distinction entre les deux types d'intégration (Wafer ou Puce) vient des étapes technologiques d'alignement et de collage. Dans ce cas de packaging, deux configurations sont possibles :
  - *Assemblage W2W (Wafer to Wafer)* : les étapes d'alignement et de collage sont faites à l'échelle du Wafer. Cette technique présente l'avantage du faible temps d'assemblage. Son inconvénient réside dans son faible rendement ainsi que la forte contrainte sur la précision d'alignement.
  - *Assemblage D2W (Die to Wafer)* : ou encore Puce sur Substrat. Cette technique consiste à ne sélectionner que les puces fonctionnelles (Known Good Die – KGD) et les coller sur le substrat inférieur. Ce procédé a l'avantage d'augmenter le rendement technologique car il écarte d'emblée les puces défectueuses. Le principal inconvénient consiste à passer un temps considérable à placer et coller des puces sur un substrat de 300 mm et, par conséquent, représente un coût prohibitif à l'échelle industrielle, avec les techniques actuelles. Les cadences de placement des puces deviennent de plus en plus élevées si la contrainte sur la précision



d'alignement est d'autant plus relâchée. Il est donc nécessaire de trouver un compromis entre précision et vitesse d'alignement selon les spécifications techniques du produit final.

- **Le 3D-SIC (3D-Stacked IC)** : cette technique est basée sur l'assemblage D2D (Die to Die) répondant à l'appellation Die-Level) ou puce à puce. Elle permet d'avoir une densité d'interconnexions très élevée. A titre d'exemple, l'IMEC a utilisé cette technique dans son démonstrateur 3D, son approche, appelée « Cu-nail » consiste à utiliser des via silicium avec des prises en cuivre, [HLLea11]. L'inconvénient de la technique D2D est le temps nécessaire au montage des empilements qui est considérablement important et qui baisse le rendement total de fabrication bien qu'elle s'appuie sur la sélection des puces fonctionnelles.

La Figure 2.5 illustre l'ensemble des configurations d'assemblage, citées ci-dessus, possibles en intégration 3D.

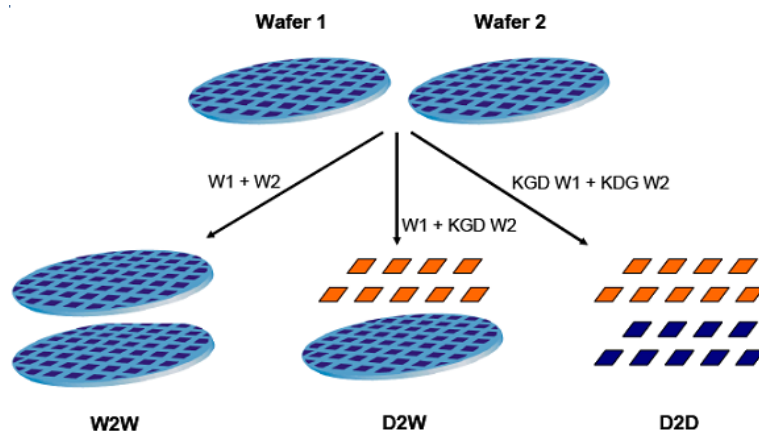


FIGURE 2.5 – Configurations possibles d'assemblage des 3D-IC, [PB08]

### 2.1.2.2 Orientations possibles dans les circuits 3D

L'orientation du ou des niveaux supérieurs par rapport au substrat de base constitue un point essentiel de l'architecture physique des circuits 3D. Le choix de l'orientation aura des conséquences technologiques sur le flot de réalisation du circuit 3D. Deux catégories d'assemblage selon l'orientation sont possibles :

- **Face à Face (Face to Face)** : il s'agit de coller les couches actives face à face. Cette technique permet une forte densité d'interconnexions entre les 2 circuits car celles-ci peuvent être faites en surface (par exemple par un collage moléculaire Cu-Cu, [HLLea12]. En contre partie, le nombre de couches à empiler est limité à deux. La Figure 2.6 illustre le principe de cet assemblage.
- **Face à arrière (Face to Back)** : Dans ce cas, les puces sont amincies et placées directement les unes sur les autres. Cette technique est parfaitement adaptée à l'intégration hétérogène de différentes puces. La densité des vias est moins élevée mais on peut empiler plus de deux couches. La Figure 2.7 montre la technique d'empilement Face to Back.

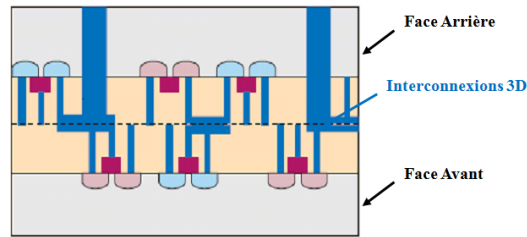


FIGURE 2.6 – Assemblage face à face, [TTSea06]

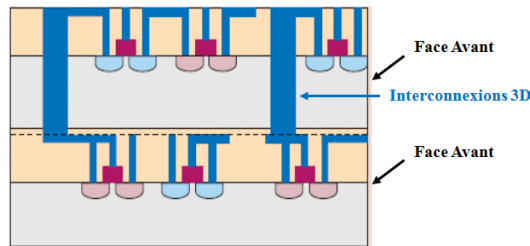


FIGURE 2.7 – Assemblage face à arrière, [TTSea06]

### 2.1.2.3 Les interconnexions 3D

Les interconnexions verticales entre les puces empilées constituent un des intérêts essentiels de l'intégration 3D comparé au SiP. Trois méthodes d'interconnexions sont possibles.

- **Les interconnexions métalliques par contact** : le collage métallique permet la connexion électrique directe des deux circuits, à travers leur dernier niveau de métallisation.
- **Les interconnexions par TSV (Through Silicon Via)** : la connexion 3D par vias traversant le silicium constitue l'approche la plus utilisée. Les TSV sont obtenus par gravure du silicium, le plus souvent sur une épaisseur de plusieurs dizaines de  $\mu m$ . Une densité élevée d'interconnexions impose un facteur de forme élevé, une gravure ionique réactive profonde (RIE) est employée. Le facteur de forme se situe typiquement entre 2 et 10 pour un diamètre de 1 à 10  $\mu m$ . Les diamètres minimum atteints actuellement sont de l'ordre de 5  $\mu m$ , [OMKea08].
- **Les interconnexions par couplage capacitif** : au-delà d'une communication 3D basée sur une connexion purement galvanique (vias 3D ou fils de câblage), les technologies de collage permettent d'implémenter une connexion par couplage capacitif sans contact. Comparé aux autres types d'interconnexions verticales, ce genre de connexions permet d'avoir une communication rapide sur des distances de l'ordre de 1  $\mu m$ . Il permet également d'avoir une bande passante large et une consommation de puissance réduite, [Fri09]. Cette technique n'est applicable que pour l'assemblage face à face. Elle reste difficile à implémenter car il faut avoir une surface uniforme pour garder une capacité constante. Par ailleurs, il faut pouvoir maîtriser l'uniformité de l'épaisseur du diélectrique, technologiquement complexe. La Figure 2.8 illustre le principe des connexions par couplage capacitif et inductif dans un circuit 3D.

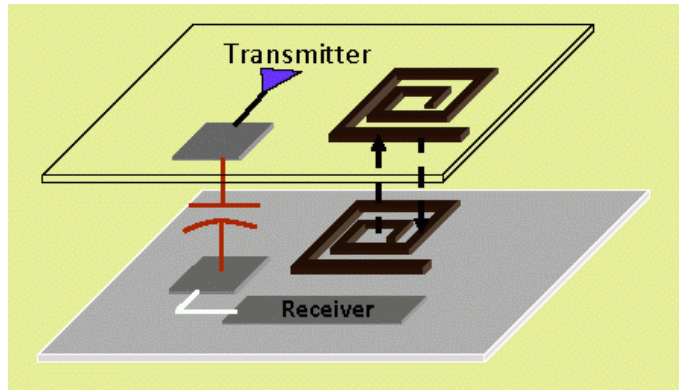


FIGURE 2.8 – Principe d'interconnexions par couplage capacitif et inductif dans un circuit 3D, [Fri09]

### 2.1.3 Apport de l'intégration 3D pour les circuits numériques

Toutes les applications n'ont pas encore atteint le seuil critique qui justifie l'utilisation de l'intégration 3D. La Figure 2.9 est une cartographie illustrant ce passage du 2D au 3D pour quatre familles de produits, à savoir les microprocesseurs, les mémoires (Flash et DRAM) et les empilements « logique + mémoire », et les avantages apportés par la technologie 3D à chaque type d'applications, [Yol07].

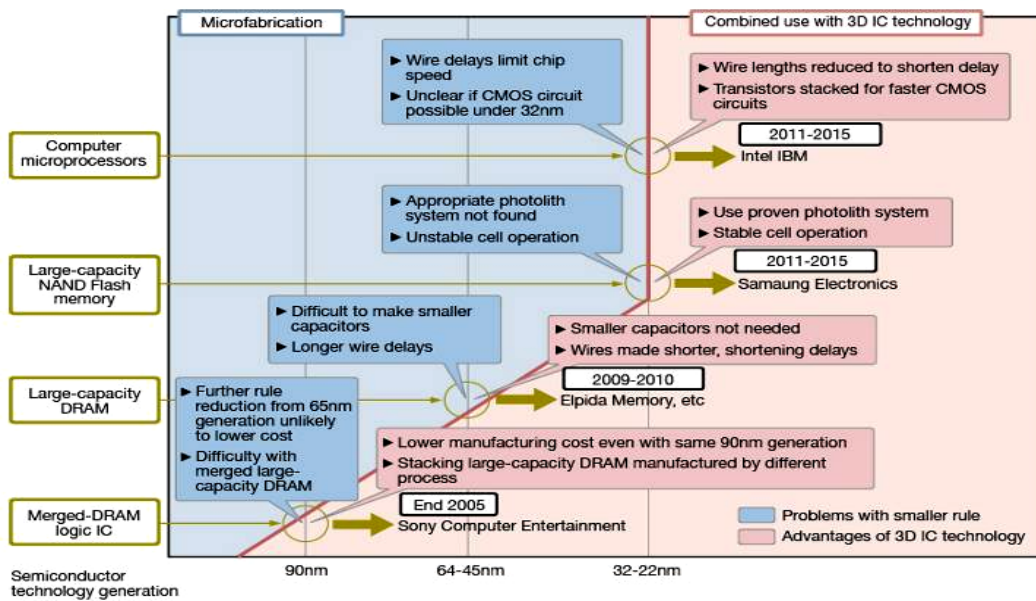


FIGURE 2.9 – Roadmap concernant la transition entre architecture 2D et architecture 3D pour quatre familles de produits, [Yol07]

Concernant les micro-processeurs, leurs performances augmentent plus rapidement que les vitesses d'accès à la mémoire. Pour s'affranchir de ces limitations propres aux architectures planaires, une réorganisation du système microprocesseur/mémoires sur plusieurs niveaux superposés réduirait considérablement les longueurs d'interconnexions qui relient les deux entités. Quant aux mémoires, ce sont des candidats parfaits pour l'intégration 3D avec les limitations atteintes par les SiP notamment en termes de bande passante, de compacité et d'épaisseur (Cf. Figure 2.10). La technologie TSV possède les qualités requises pour permettre à la

fois une intégration dense et une réduction de la taille des circuits convenant au marché des mémoires NAND, et également une amélioration des performances des interconnexions que demande le marché des mémoires DRAM, [GBRea08].

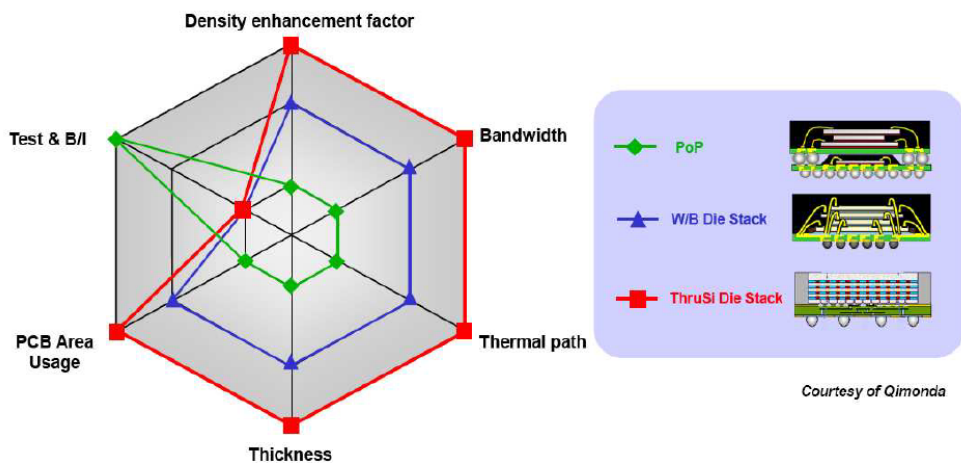


FIGURE 2.10 – Comparaison qualitative entre trois solutions de packaging 3D adapté aux mémoires : Package-on-Package (PoP), empilement de puces par wire-bonding et empilement 3D, [Yol07]

Une application importante de l'intégration 3D est le domaine des capteurs. En effet, les capteurs ont été les premières applications industrielles à passer sous architecture 3D, notamment les imageurs CMOS. Dans le but de miniaturiser les caméras pour les applications portatives, les systèmes de packaging couramment utilisés (comme le wire-bonding) peuvent être remplacés par des TSV. Ainsi, plusieurs procédés ont vu le jour depuis 2004 ([Gar06],[HJN08],[LT04],[TTTea04]) en présentant l'intégration des TSV comme remplaçant du câblage. D'un point de vue économique, les débouchés potentiels de cette technologie de packaging sont importants en termes de volume de production (téléphonie mobile, automobile, médical, etc.).

En résumé, plusieurs travaux de recherche se focalisent sur la réalisation de circuits 3D, notamment dans le domaine de l'électronique numérique où on parle de NoC (Network on Chip) 3D [JDH11], FPGA 3D [LGLea07] ou encore les DRAMs empilées verticalement [BABea06]. Dans le domaine de l'imagerie, plusieurs propositions de circuits ont été faites mais très peu de circuits concrets réalisés. Dans le paragraphe suivant, est présentée une vue de l'état de l'art des imageurs 3D.

### 2.1.4 Imageurs 3D dans l'état de l'art

Dans le domaine de l'imagerie, l'intégration 3D a rapidement suscité de l'intérêt. Plusieurs travaux de recherches ont présenté des concepts de capteurs d'images 3D. L'équipe japonaise de Koyanagi de l'Université de Tohoku est le précurseur en ce domaine avec le premier imageur 3D apparu en 1997,[KLNea97] et [KLNea99]. L'imageur 3D présenté est une preuve de la faisabilité technologique de l'intégration 3D. Il s'agit d'un circuit à 4 couches superposées et interconnectées via des interconnexions verticales très denses (Cf. Figure 2.11). La première couche est dédiée à la photo-détection, les 3 autres couches sont dédiées à la conversion analogique numérique et au traitement numérique. L'article [KLNea97] a montré un nouveau

concept et une preuve de réalisation technologique avec une étude de la carte de test sans analyser d'avantage l'apport d'une telle configuration.

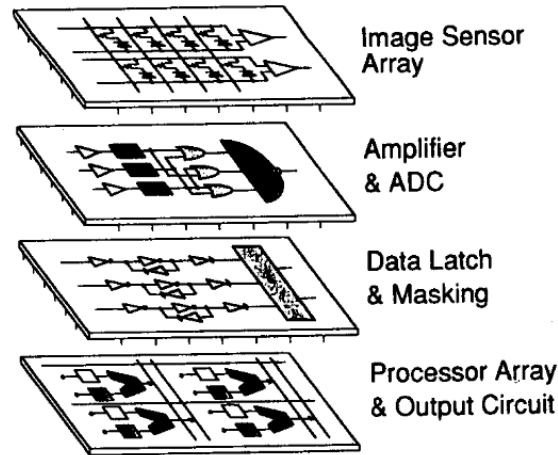


FIGURE 2.11 – Imageur 3D Intelligent proposé en 1997, [KLNea99]

Depuis, plusieurs concepts de réalisations sont apparus. Dans les travaux présentés en [HMHKea10] et [MNBea09], un capteur d'images 3D à 3 couches est décrit (Cf. Figure 2.12).

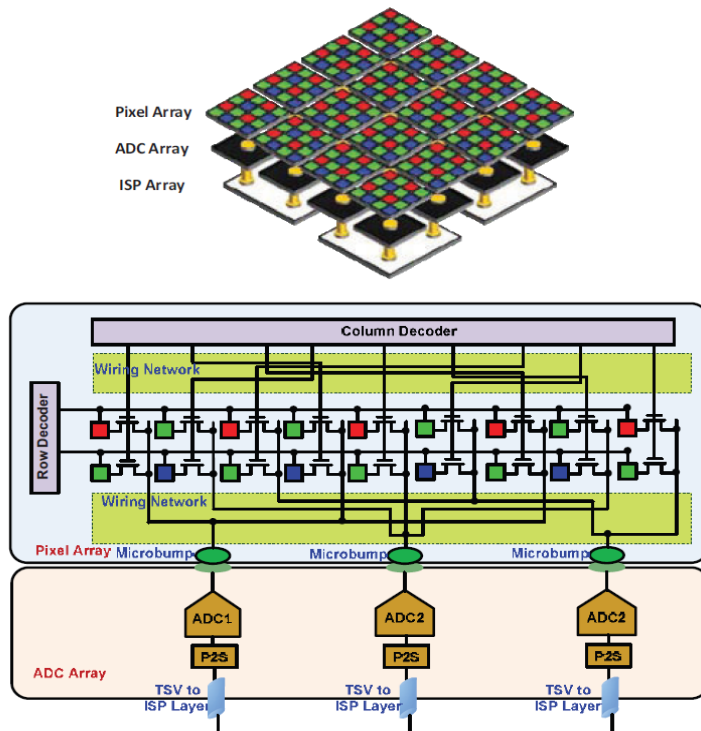


FIGURE 2.12 – Concept d'un imageur 3D à 3 couches avec traitement par groupe de pixels, [MNBea09]

La première couche est consacrée à la matrice de photo-détection avec un facteur de remplissage de 100 %. Sur la deuxième couche, une matrice de convertisseurs A/N est implémentée, chaque convertisseur traite un bloc de pixels. Sur la troisième

couche, un processeur est associé à chaque CAN. Les couches sont inter-connectées par des micro-billes, "micro-bumps". Ces articles proposent un schéma d'implémentation en étudiant l'erreur tolérée sur les interconnexions 3D (TSV et micro-bumps) afin d'éviter la perte de données liées à un bloc de pixels dont l'interconnexion verticale présente une faille (Cf. Figure 2.12).

D'autres travaux portent sur l'implémentation de rétines électroniques en technologie 3D. L'article [SBFBea12] présente un concept d'une rétine 3D à 2 couches en plus de la mémoire (Cf. Figure 2.13). Ce travail montre la possibilité d'intégration de traitements très complexes tels que la détection de régions d'intérêt via des algorithmes complexes de filtrage gaussien et de génération de pyramide gaussienne dans les imageurs 3D. Les résultats obtenus montrent notamment une amélioration de la vitesse de génération de la pyramide gaussienne d'un facteur 1000.

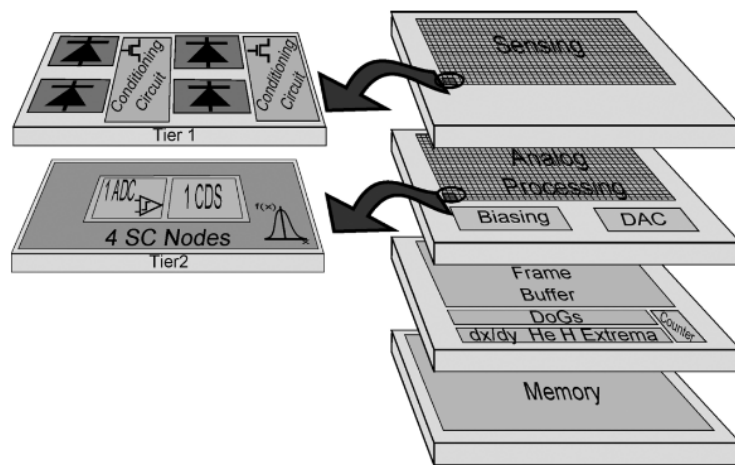


FIGURE 2.13 – Rétine pour la détection de régions d'intérêt en technologie 3D, [SBFBea12]

En termes de réalisations physiques, un premier circuit complet a été présenté par le laboratoire LINCOLN, MIT en 2005. Le circuit présenté en [SBBea05] est composé de deux couches (Wafer de diamètre 150 mm) empilés l'une sur l'autre (Cf. Figure 2.14). Des interconnexions par couplage capacitif sont utilisées car la deuxième couche est implémentée sur du SOI (Silicon On Insulator). La première couche est une matrice de  $1024 \times 1024$  pixels 3T. Elle est en illumination face arrière (ou BSI : Back Side illuminated) afin d'augmenter l'efficacité quantique de l'imageur. Le circuit de lecture est implémenté sur la 2<sup>ème</sup> couche. On atteint un facteur de remplissage de 100 % avec un pas du pixel de  $8 \mu m$ . Le pas de pixel est limité par la dimension des vias 3D. Ce circuit constitue une preuve de concept d'imageur 3D. En effet, faute d'effort technologique sur le pixel, ce circuit n'apporte pas de gain de performances par rapport aux capteurs d'images 2D actuels. Par ailleurs, s'agissant avant tout d'un démonstrateur technologique, aucune analyse de l'apport de la technologie 3D n'a été menée.

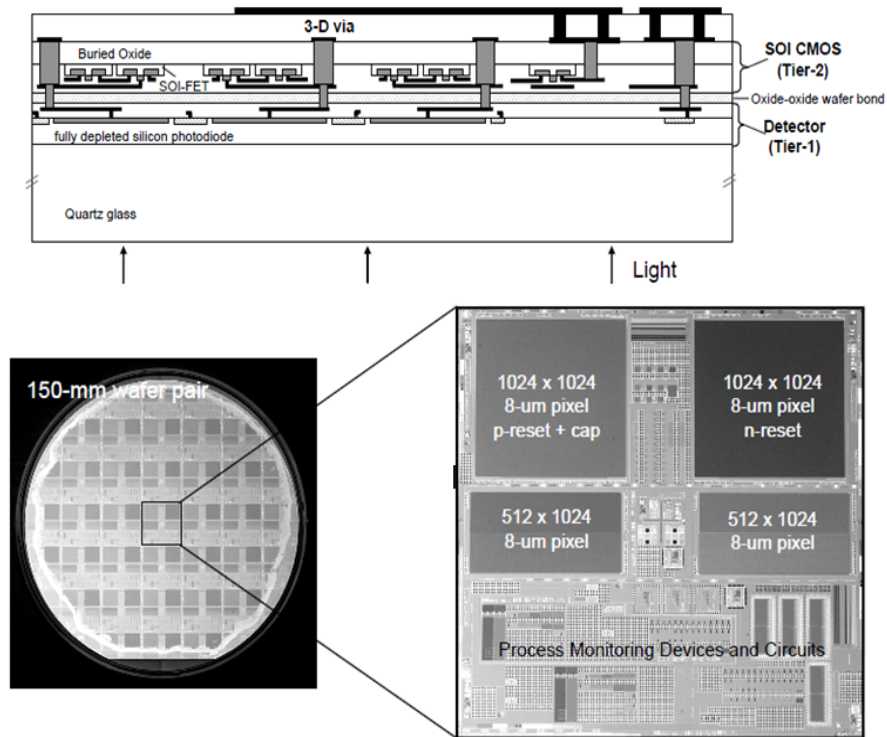


FIGURE 2.14 – Capteur d’images en Technologie 3D, MIT 2005 [SBBea05]

Ce travail a été poursuivi en 2009, [SBCea09]. Le même circuit est proposé et réalisé, avec une couche supplémentaire en silicium. Sur cette couche, 64 convertisseurs analogique numérique (CAN) pipeline ont été implémentés avec une partie de contrôle numérique (Cf. Figure 2.15).

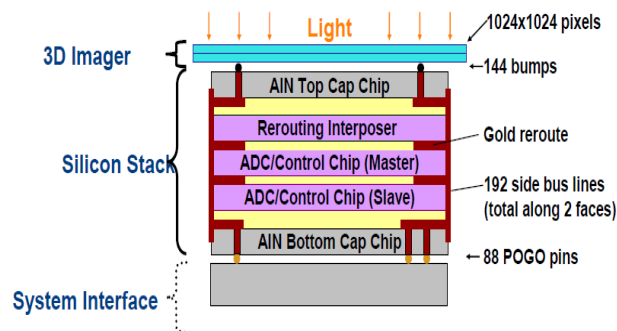


FIGURE 2.15 – Schéma de l’Imageur CMOS 3D proposé en [SBCea09]

Ce travail a montré la possibilité de réaliser des imageurs à flux de données très important ( $512 \text{ Mbits/s}$ ) évacuées par 64 canaux reliés à deux convertisseurs analogiques numériques pipeline 12 bits.

Une autre réalisation dans le domaine de l’imagerie a été récemment présentée par l’équipe de Sony à l’ISSCC 2013 [SUNea13] (Cf. Figure 2.16). C’est un imageur 3D 8 MégaPixels composé de deux couches : la première couche, réalisée en technologie CMOS  $90 \text{ nm}$ , est en technologie BSI contenant uniquement les pixels, la deuxième couche, conçue en technologie CMOS  $65 \text{ nm}$ , est dédiée aux traitements numériques. Le pixel a un pas très petit de  $1,12 \mu\text{m}$ . La puce imageur est programmable en

deux modes : mode ordinaire permettant d'avoir 60 *dB* de dynamique et un mode HDR rajoutant 24 *dB* de dynamique supplémentaire. Cet imageur a fait l'objet d'un produit commercialisé et a exploité le potentiel de l'intégration 3D en termes d'utilisation de technologies hétérogènes dans une même puce. Il montre en plus un gain de 30% en surface en passant de la technologie 2D à la technologie 3D.

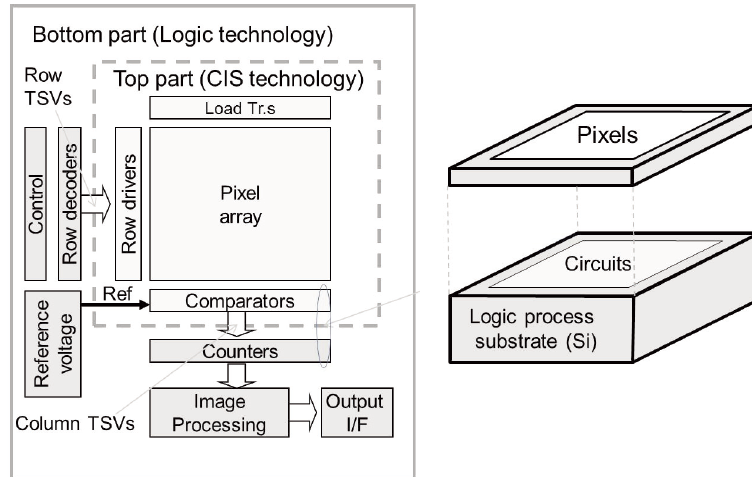


FIGURE 2.16 – Imageur 3D à deux couches, Sony 2013 [SUNea13]

Une autre réalisation récente a été présentée dans la même conférence ISSCC 2013, [ATKea13]. C'est un imageur 3D réalisé par une équipe d'Olympus. Il est composé de deux couches conçues en technologie 0,18  $\mu m$ . La première couche contient la matrice de pixels et le décodeur ligne. La deuxième couche contient une matrice de nœuds de stockage avec des décodeurs ligne/colonne, des amplificateurs colonne et un amplificateur de sortie. Les deux couches sont connectées par des microbilles (micro-bumps). Le pas des interconnexions est de 8,6  $\mu m$  et le pas du pixel est de 4,3  $\mu m$ . La taille globale de la puce imageur est de 6,5  $mm \times 6,5 mm$ . Elle permet de réduire le couplage de lumière parasite de 160 dB. Le principe s'appuie sur la combinaison de 4 images prises par chaque pixel en mode Rolling Shutter. Le mode de fonctionnement décrit permet de simuler le mode Global Shutter et d'éliminer la distorsion, connue sous le nom "Effet Jello", due à la capture d'objets en mouvement en mode Rolling Shutter. Il a permis aussi une amélioration de la qualité des nœuds de stockage des charges cumulées vue que la 2<sup>ème</sup> couche est protégée des photons incidents risquant de modifier la charge totale stockée.

Actuellement, on ne peut énumérer que ces quelques réalisations. Le réel apport de l'intégration 3D dans le domaine de l'imagerie n'a pas fait l'objet d'une analyse poussée, du moins dans la littérature ouverte. En effet, la mise en production par Sony de son capteur 3D laisse penser que les équipes de Sony ont mené leur propre analyse.

### 2.1.5 Synthèse

Les imageurs réalisés en technologie 3D n'ont pas fait l'objet de publication présentant une analyse formelle ou expérimentale de leur apport par rapport à des imageurs conçus en technologie 2D. Dans l'état de l'art, de nombreux avantages théoriques ont été mentionnés. On peut citer, en résumé, les avantages suivants concernant notamment les capteurs d'images CMOS :



- Les circuits 2D actuels atteignant des limites au niveau du temps de propagation dans les interconnexions inter-blocs, la technologie 3D est une solution permettant de réduire la longueur des connexions tout en réduisant la taille des puces, [BSPea01].

La conséquence directe de cette réduction est la diminution des délais de propagation. La figure 2.17, [LGLea07], illustre le facteur de réduction des délais en fonction du rapport de la longueur des interconnexions d'un FPGA 2D à son équivalent en 3D pour le nœud technologique 65 nm. La courbe est tracée pour différents types d'interconnexions définies dans le FPGA. On montre que l'intégration 3D amène un gain plus important en termes de délais de propagation pour les interconnexions longues (type : HEX-3, HEX-6 et Global) que dans le cas des interconnexions courtes (type : Single, Double) dans le cas présenté.

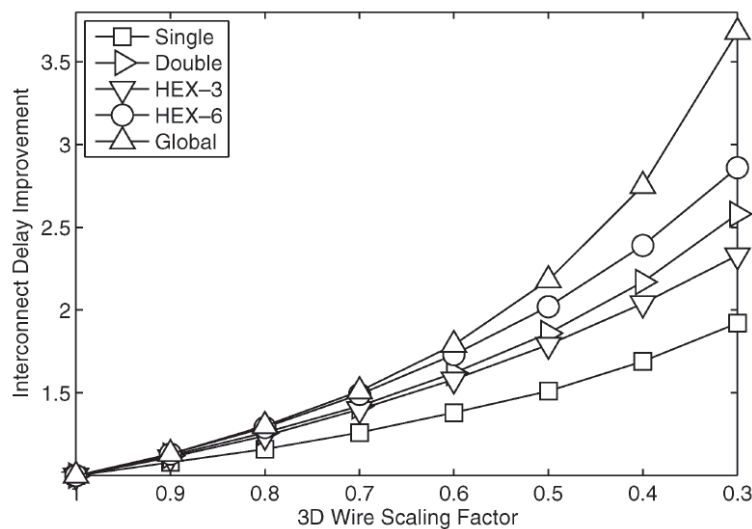


FIGURE 2.17 – Amélioration des délais des interconnexions pour un FPGA 3D pour différents nœuds technologiques, [LGLea07]

Une autre conséquence de la diminution des longueurs des interconnexions qui en découle est la réduction de la puissance dynamique dissipée dans le réseau des interconnexions. Cette diminution est bien évidemment valable si le circuit 2D et le circuit 3D fonctionnent à la même fréquence. Dans l'article [LGLea07], l'auteur montre que la réduction de la puissance dynamique dépend fortement du facteur du gain en longueur d'interconnexion en passant d'un FPGA 2D à un FPGA équivalent 3D. La figure 2.18 illustre la courbe du gain en puissance dynamique en fonction du facteur de gain en longueur d'interconnexion. L'auteur montre le gain important en puissance dynamique en cas de réduction des longueurs d'interconnexions. À titre d'exemple, si les interconnexions sont réduites à la moitié de longueur en passant d'un FPGA 2D à un FPGA 3D, la puissance dynamique dissipée peut être aussi réduite à la moitié.

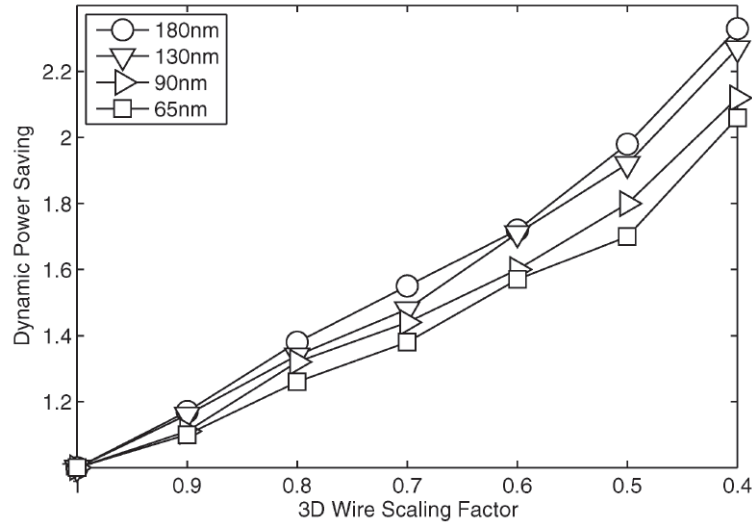


FIGURE 2.18 – Réduction de la puissance dynamique pour un FPGA 3D pour différents nœuds technologiques, [LGLea07]

- L'un des avantages de l'intégration 3D cités dans l'introduction est l'intégration de technologies hétérogènes sur une même puce. Cet avantage est très important pour les imageurs CMOS. En effet, une technologie imageur de type 180 nm ou plus peut être gardée pour la première couche dédiée à la photo-détection. Les performances analogiques sont ainsi très élevées, [Win10]. Sur les autres couches, différentes technologies plus agressives pourraient être utilisées notamment pour l'implémentation des fonctions numériques de traitement d'image ou aussi les mémoires (Cf. Figure 2.19). Cet avantage permet d'augmenter la vitesse des fonctions numériques et diminuer le bruit pour les opérations analogiques, [Tem09].

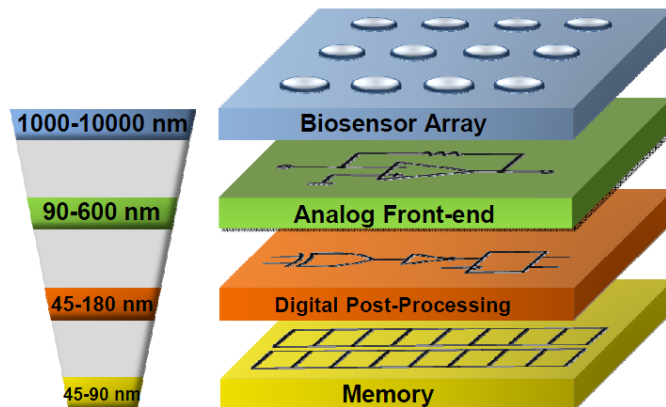


FIGURE 2.19 – Exemple d'un bio-capteur avec des technologies différentes en 3D, [Tem09]

- La possibilité d'intégration de fonctions de lecture et de traitement plus complexes en dessous du pixel, [Win10].
- La diminution de la latence grâce à la diminution de la longueur des interconnexions entre les différentes couches ainsi que l'augmentation de la bande

passante grâce à l'augmentation de la densité des interconnexions permettant ainsi le traitement d'images de plus grand format.

- Enfin, la diminution du coût de production représente un autre intérêt de l'intégration 3D. Il apparaît de plus en plus certain que le passage industriel à la 3D sera moins coûteux que le passage aux futurs nœuds technologiques (inférieur à  $45\text{ nm}$ ), ce qui constitue aujourd'hui un avantage important pour les circuits 3D par rapport aux systèmes sur puce (Cf. Figure 2.20).

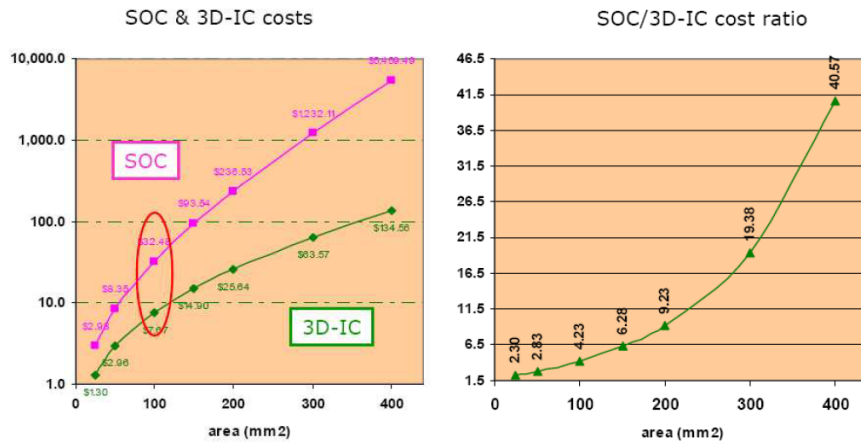


FIGURE 2.20 – Comparaison des coûts relatifs à la fabrication d'un SoC  $45\text{ nm}$  et son équivalent 3D  $45\text{ nm} / 0,8\ \mu\text{m}$  en fonction de la surface du circuit considéré.  
(d) Rapport des coûts relatifs aux SoC et 3D-IC, [Fer08]

Les performances optiques, fortement dépendantes de la technologie du dessin des pixels, sont peu impactées par le passage d'une intégration 2D à une intégration 3D. En revanche, la consommation constitue un des points critiques pour les imageurs, en particulier pour des imageurs de grand format, car la puissance dissipée a un impact sur le bruit, et de ce fait limite les fréquences trame. Nous avons donc choisi d'analyser l'apport de la 3D en termes de consommation. D'autre part, nous avons également choisi de vérifier l'intérêt de la technologie 3D en termes topologiques sur des fonctions nécessitant une "boucle courte". Comme mentionné dans le chapitre 1, l'application choisie est la grande dynamique permettant de mettre en œuvre les apports de la technologie 3D déjà cités ci-dessus.

Les différentes techniques d'extension de la dynamique utilisées à ce jour dans les imageurs 2D sont ainsi étudiées afin de définir la technique servant pour ces travaux. Dans le paragraphe suivant une vue de l'état de l'art de la grande dynamique concernant les capteurs d'images 2D actuels est présentée.

## 2.2 La Grande Dynamique : Techniques d'extension et limitations dans les imageurs 2D actuels

Dans les capteurs d'images standards, l'acquisition d'une image se fait en intégrant les charges générées par le flux lumineux. À la fin du temps d'intégration, les charges sont lues et converties. Ce temps d'intégration est un critère très important dans les capteurs d'images car il définit la dynamique de l'imageur. Plus il est long,

plus le capteur est sensible aux faibles luminosités mais avec un risque de saturation des pixels en cas de fortes luminosités. Si le temps d'intégration est réduit pour éviter la saturation, la sensibilité aux faibles luminosités diminue et le SNR est réduit. Ce temps, ne devant être à la fois ni très long pour les fortes luminosités ni très court pour les faibles luminosités, illustre la problématique de la dynamique des capteurs d'images et a été la source de nombreux travaux. Dans [Gam02], l'auteur présente la problématique de la dynamique de l'imageur et illustre les principales techniques d'extension de la dynamique des capteurs d'images. Ces techniques peuvent être classées en trois catégories de fonctionnement :

- Capteur à temps d'intégration unique avec un traitement post intégration.
- Capteur à temps d'intégrations multiples.
- Capteur logarithmique.

### 2.2.1 Capteurs à temps d'intégration unique avec traitement post-intégration

Pour étendre la dynamique d'un imageur, deux choix sont possibles : augmenter le courant maximum intégrable, et donc augmenter le temps d'intégration, ou diminuer le bruit du capteur afin de détecter le plus petit courant possible. La majorité des techniques se sont focalisées sur l'augmentation du courant maximum étant donné que le courant minimum reste toujours limité par le bruit du capteur et que le risque de saturation des pixels reste toujours présent. Dans [ASAea06], il est proposé d'ajouter une capacité dans le pixel ce qui permet d'intégrer le surplus de charges cumulées quand un pixel est saturé. Dans [DMBea98], il est proposé d'ajuster la capacité d'intégration selon la lumière reçue une ou plusieurs fois pendant le temps d'intégration fixe. Pour un pixel actif APS (Active Pixel Sensor), il s'agit de régler le signal de reset une ou plusieurs fois pendant le temps d'intégration. La Figure 2.21 montre la fonction de transfert de la charge cumulée en fonction du courant photonique intégré.

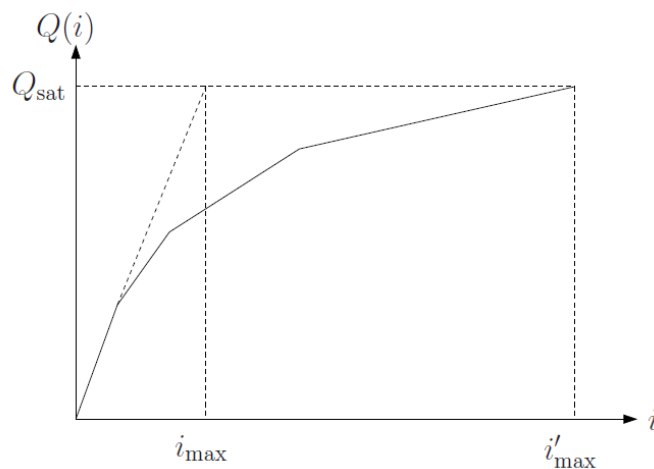


FIGURE 2.21 – Fonction de transfert de la charge cumulée en fonction du courant photonique intégré, [Gam02]

Sur la courbe de la Figure 2.21, chaque changement de pente correspond à un ajustement du signal du reset pour ajuster le courant intégré. La charge cumulée est compressée afin d'éviter la saturation du pixel et augmenter ainsi le courant maximum de saturation. Dans cette technique, le courant minimum intégré ne change pas mais le courant maximum est étendu permettant d'élargir la dynamique de l'imageur. Cette technique ne modifie pas l'architecture du pixel, c'est pourquoi elle se présente comme le concurrent principal de notre technique, présentée dans le chapitre 4. Néanmoins, elle présente deux inconvénients majeurs résidant dans le contrôle des pentes de la charge  $Q(i)$ , du fait des dispersions des valeurs de capacité ce qui entraîne également une dégradation du SNR au niveau des zones de raccordement (Cf. Figure 2.22). On peut noter d'autres inconvénients pour cette technique tels que l'augmentation du bruit et du Bruit Spatial Fixe (ou aussi FPN : Fix Pattern Noise).

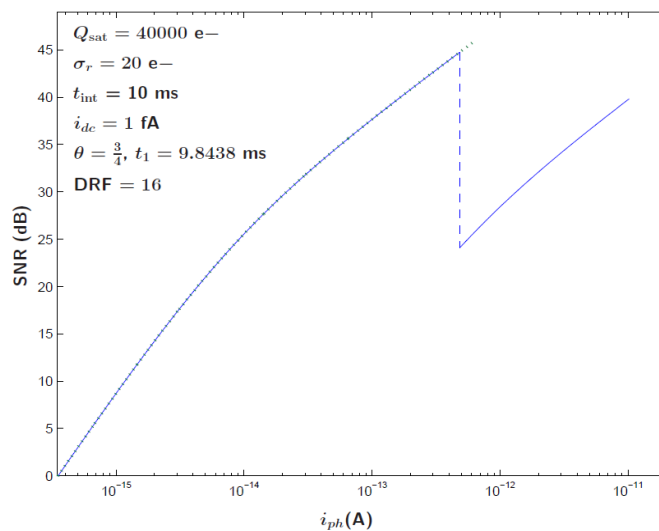


FIGURE 2.22 – SNR du capteur d’images à ajustement de la capacité d’intégration, [Gam02]

Dans [MK95], est présenté un pixel qui détecte la saturation. Ce pixel comporte deux photodiodes de tailles différentes, la plus petite détecte la saturation et déclenche ainsi la mémorisation du signal de la deuxième photodiode et du temps mis pour atteindre cette saturation. L’information d’illumination est ensuite reconstruite à partir du signal de sortie et du temps d’intégration.

L’article [LG03] propose un système de lectures multiples non destructives des pixels durant le temps d’intégration. l’information d’illumination est codée soit par la sortie du pixel s’il n’est pas saturé, soit par une estimation grâce aux différentes lectures effectuées durant l’intégration.

Les pixels proposés par [McI01] et [RJ03] sont inspirés des pixels « oscillateurs ». À chaque fois que le pixel s’approche de la saturation, il émet un bit provoquant l’initialisation de la photodiode. Un compteur compte tous les bits émis durant le temps d’intégration. L’information lumineuse est ensuite déduite à partir du nombre d’initialisations et de la dernière valeur du signal du pixel.

La majorité de ces techniques, notamment le réglage de la pente d’intégration via la capacité d’intégration, n’altère pas le facteur de remplissage mais délivre une caractéristique linéaire par morceau mais avec des problèmes de raccordement au niveau du changement de pente.

## 2.2.2 Capteurs à temps d'intégration multiples

Plusieurs autres travaux [YP99],[YC02], [ASMSa04] et [GMSMG07], proposent d'étendre la dynamique de l'imageur en attribuant des temps d'intégration différents selon l'éclairement reçu. La majorité de ces techniques se base sur le codage mantisse exposant. Certaines de ces techniques proposent des lectures multiples des pixels durant un certain temps d'intégration. Suite à ces lectures, le pixel sera initialisé ou pas selon le résultat de la comparaison effectuée.

Une analyse des avantages et inconvénients de ces méthodes, est présentée dans [YC02]. La Figure 2.23 montre le principe de la technique proposée et le pixel utilisé.

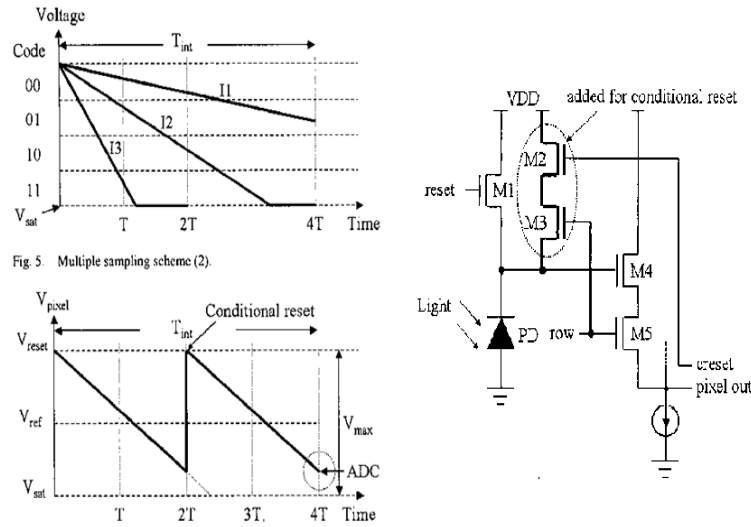


FIGURE 2.23 – Techniques de réinitialisation conditionnelle, [YC02]

Cette méthode repose sur la réalisation de plusieurs lectures à des instants prédéfinis  $T, 2 \cdot T, \dots, 2 \cdot k \cdot T$ . Quand la tension aux bornes de la photodiode  $V_{pixel}$  atteint la tension de référence du comparateur, mise en sortie du pixel,  $V_{ref}$ , la tension  $V_{pixel}$  est réinitialisée « conditionnellement » à la tension prédéfinie  $V_{reset}$  égale à  $(VDD - V_{TH})$ . En effet, le transistor M3 permet de sélectionner uniquement le pixel à réinitialiser sur la colonne considérée. D'où découle le nom "Reset conditionnel" qui dépend de l'état d'un pixel contrairement au reset du transistor M1 s'effectuant en fin de chaque intégration et commun à toute une ligne de pixels. L'instant correspondant au premier reset, appelé  $k$  ou aussi exposant, est mémorisé. À la fin du temps d'intégration, la valeur du pixel est numérisée. Deux valeurs sont ainsi obtenues constituant la mantisse et l'exposant permettant d'étendre la dynamique du pixel de  $k$  bits. Le signal de reset conditionnel est commun à toute une colonne de pixels mais le pixel est réinitialisé individuellement lorsque  $V_{pixel}$  atteint  $V_{ref}$ . À noter que la tension  $V_{ref}$  est choisie égale à la moitié de la plage dynamique disponible afin d'éviter le débordement, appelé blooming, des pixels.

Comme le montre la Figure 2.23, cette technique nécessite le rajout de deux transistors par pixel ce qui diminue le facteur de remplissage. En termes de signaux de commande, un seul signal supplémentaire par pixel est nécessaire pour imposer le "reset conditionnel". Afin d'extraire les différents exposants, cette technique impose toutefois plusieurs lectures de la matrice pour obtenir une seule image sacrifiant ainsi la vitesse d'affichage, [SHFca02]. En outre, les lectures successives constituent une grande source de consommation. Une matrice mémoire est nécessaire pour la mé-

morisation des informations du temps de réinitialisation par pixel nécessitant ainsi une grande surface. Afin de garder la même vitesse de lecture, il est proposé dans [YPF97] deux sorties par pixel et deux circuits d'amplification par colonne. La matrice est ainsi lue deux fois pendant un temps trame. L'avantage de cette technique consiste en la non-modification de l'architecture des pixels classiques et l'obtention d'une dynamique réglable. Ceci nécessite cependant une double lecture de toute la matrice qui reste une source de consommation importante.

Plus récemment, Rhee, [RPJ09], propose une autre variante de la méthode d'extension de la dynamique de l'imageur à temps d'intégration multiples avec codage mantisse exposant (Cf. Figure 2.24).

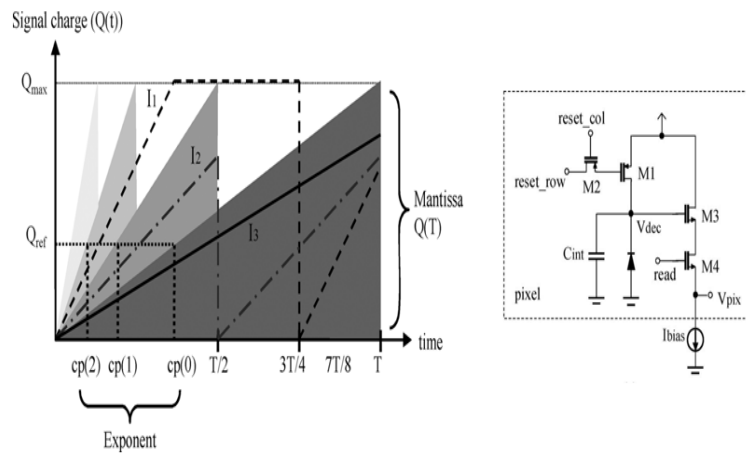


FIGURE 2.24 – Technique à temps d'intégration multiples avec codage mantisse exposant, [RPJ09]

La charge intégrée est comparée avec la valeur de référence  $n$  fois (3 fois) avec  $n$  le nombre d'exposant possible afin de déterminer le temps d'intégration optimum. Dans le cas de l'exemple de la Figure 2.24, pour une forte luminosité  $I_1$ , le pixel atteint le seuil prédéfini  $Q_{ref}$  à  $cp(2)$ , l'exposant, noté  $x$ , est ainsi égal à 2. L'intégration est alors bloquée dans ce cas jusqu'à la prochaine réinitialisation du pixel à l'instant  $(T - T/2^x)$  et une nouvelle intégration redémarre tout en garantissant la non-saturation de la mantisse. Si on considère maintenant une luminosité moyenne  $I_2$ , le pixel atteint la valeur de référence  $Q_{ref}$  à l'instant  $cp(1)$  et l'exposant est ainsi égal à 1. Le pixel est réinitialisé à  $T/2$  et redémarre une nouvelle intégration. Pour une faible luminosité  $I_3$ , le pixel n'atteint jamais la valeur de référence  $Q_{ref}$  et n'est ainsi jamais réinitialisé, la valeur de l'exposant correspondant est égale à 0. Pour les trois cas, la mantisse de chaque pixel est récupérée à la fin de la période totale d'intégration  $T$  sans qu'elle soit saturée. L'avantage majeur de cette technique est l'obtention d'un facteur de remplissage important grâce à l'ajout d'un seul transistor à l'architecture classique du pixel. Cependant, elle nécessite plusieurs lectures et une matrice mémoire pour stocker un exposant par pixel. De plus, il y a un risque d'erreur sur l'évaluation du temps d'intégration qui impacte à son tour le SNR. Il peut aussi induire à une saturation des pixels en cas de sous-estimation du temps d'intégration. Il y a donc une forte dépendance entre la fiabilité de la technique proposée et la précision choisie pour coder l'exposant (le nombre d'intervalles d'intégration possibles).

### 2.2.3 Capteurs logarithmiques

Les pixels à compression logarithmique permettent de convertir plusieurs ordres de grandeur du courant photo-généré en un seul ordre de grandeur de tension, à travers une relation logarithmique. Ce type d'architecture permet d'obtenir des dynamiques de fonctionnement supérieures à 100 dB tout en gardant une architecture de pixel simple (trois transistors).

Cependant la conversion logarithmique induit un écrasement des contrastes et ne présente pas une bonne sensibilité en très faible luminosité. De plus, cette structure logarithmique présente l'inconvénient d'un important bruit spatial fixe (de l'ordre de 50 % du signal). Ce bruit est dû aux variations des paramètres physiques des transistors, introduites durant la phase de fabrication. Le pixel logarithmique présenté par Ni, [NM01], se distingue dans cette catégorie d'extension de la dynamique de l'imageur par l'utilisation de la photodiode en mode photovoltaïque. Ce mode permet d'obtenir sur la cathode de la photodiode une tension  $V_s$  logarithmiquement proportionnelle au courant photo-généré. Les faibles niveaux de tensions liés au mode de fonctionnement photovoltaïque, en particulier à faible éclairément, conduisent à des SNR faibles.

Une autre technique récemment présentée, [VVSea11], consiste à combiner le pixel linéaire et le pixel logarithmique (Cf. Figure 2.25). Au début, le pixel fonctionne en mode linéaire. Le transistor M4 est responsable du mode Global Shutter. Les deux transistors M2 et M3, connectés en diodes, sont bloqués pendant cette phase. Quand la tension aux bornes de la photodiode atteint une tension de référence définie par  $V_{LOG}$ , les deux transistors M2 et M3 deviennent passants et tirent une partie du courant photo-généré vers leurs drains. Une compression logarithmique est ainsi déclenchée et une correction sur la pente d'intégration est alors effectuée permettant d'éviter la saturation du pixel et de passer en mode HDR. Si la tension de référence n'est pas atteinte, le pixel continue à fonctionner en mode linéaire. La Figure 2.25 illustre le schéma du pixel conçu ainsi qu'une vue globale du circuit composé d'une matrice de  $100 \times 100$  pixels.

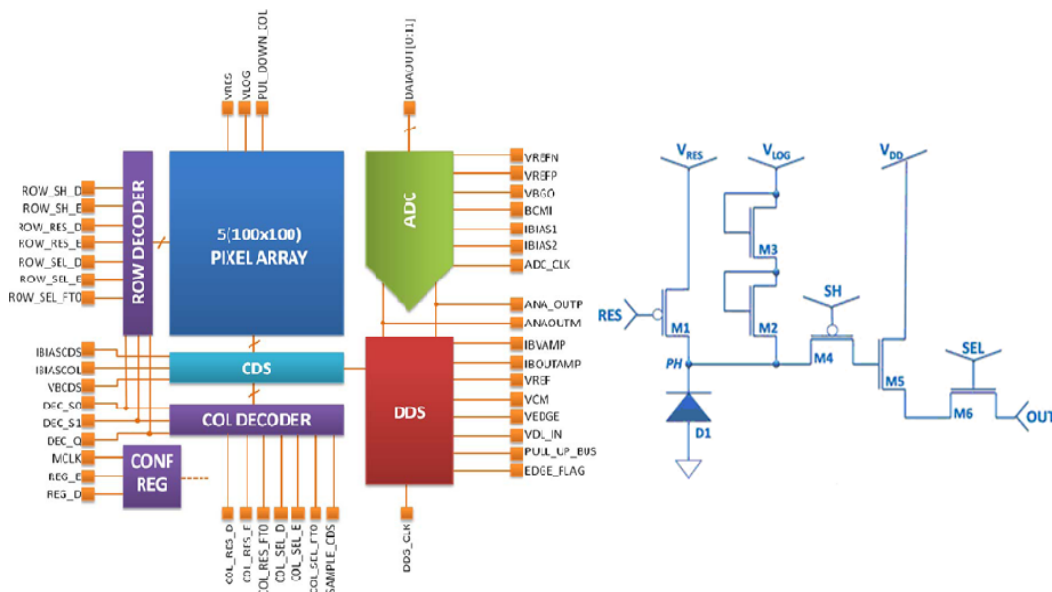


FIGURE 2.25 – Pixel à fonctionnement linéaire et logarithmique, [VVSea11]



La dynamique est réglable par ajustement de la tension  $V_{LOG}$ . L'avantage principal d'une telle technique réside en la diminution du bruit à motif fixe. Cependant la résolution du capteur reste faible dans les zones obscures et pas de possibilité de diminution du bruit kTC. Un inconvénient majeur est la modification de l'architecture du pixel par l'ajout des deux transistors M2 et M3 induisant un facteur de remplissage plus faible qu'un pixel classique.

### 2.2.4 Conclusion

Dans le Tableau 2.1, les principales techniques se rapprochant le plus de la technique développée dans nos travaux sont récapitulées. La comparaison entre les différentes techniques est basée sur les principales caractéristiques des imageurs, illustrées dans le Tableau 2.1. Le point commun entre toutes les techniques est évidemment la grande dynamique du capteur. Cependant, cette dynamique peut être obtenue au détriment d'autres caractéristiques telles que le facteur de remplissage et la consommation. Un autre critère, illustré dans le Tableau 2.1, est le nombre de transistors ajoutés pour implémenter la fonction de la grande dynamique. Ce nombre est calculé par rapport à une architecture d'un pixel 3T classique. La technique que nous avons développée, et présentée au chapitre 4, se rapproche de la technique de l'ajustement de la capacité d'intégration présentée en [DMBea98] car elle permet de garder une architecture classique du pixel sans y ajouter de transistor supplémentaire. Elle se distingue de cette technique par sa valeur de SNR élevée. La technique proposée se base sur des temps d'intégration multiples sans pour autant effectuer des lectures multiples induisant une forte consommation telles que proposées dans [RPJ09].

Référence	Nœud Technologique	DR	Vitesse de lecture	Facteur de Remplissage	Résolution (SNR)	Puissance Format	Pas du Pixel	Nbre de T (HDR)
[DMBea98]	0,8 $\mu m$	96 dB	-	49 %	-	52 mW 256 × 256	-	0
[YC02]	0,65 $\mu m$	N bits	moyenne	33,8 %	-	- 64 × 64	16 $\mu m$	2
[ASMSea04]	0,18 $\mu m$ 0,35 $\mu m$	> 60 dB	moyenne	39 %	35 dB	307 mW 640 × 480	7,5 $\mu m$	-
[YPF97]	0,5 $\mu m$	80 dB	moyenne	37 %	35 dB	3,71 mW 64 × 64	14,4 $\mu m$	-
[RPJ09]	0,5 $\mu m$	+50,5 dB	importante	42 %	32 dB	0,806 mW 32 × 24	21,6 $\mu m$	1
[VVSea11]	0,35 $\mu m$	112 dB	moyenne	30 %	55 dB	- 100 × 100	9,4 $\mu m$	2
[GMSMG07]	0,13 $\mu m$	> 100 dB	moyenne	25 %	60 dB	- 511 × 511	10 $\mu m$	39
Notre Technique	0,18 $\mu m$	> 120 dB	importante	-	60 dB	400 mW 800 × 512	5 $\mu m$	0

TABLE 2.1 – Récapitulatif des techniques d'extension de la dynamique des imageurs CMOS 2D actuels



# Chapitre 3

## Apport de l'intégration 3D

Étude de l'apport de l'intégration 3D dans le cas des capteurs d'images

### Sommaire

---

<b>3.1 Architecture cible: principe et paramètres de modélisation</b> . . . . .	<b>58</b>
3.1.1 Principe de l'architecture cible . . . . .	58
3.1.2 Modèles et paramètres considérés pour l'évaluation de la consommation . . . . .	59
<b>3.2 Imageur 2D: configuration considérée et évaluation de sa consommation</b> . . . . .	<b>61</b>
3.2.1 Configuration de l'imageur 2D considérée: vue et principe . . . . .	61
3.2.2 Évaluation de la consommation de l'architecture 2D . . . . .	62
<b>3.3 Imageur 3D équivalent : configurations considérées et évaluation des consommations</b> . . . . .	<b>65</b>
3.3.1 1 <sup>er</sup> cas : circuit 3D à 2 couches avec un CAN par colonne placé sur la première couche . . . . .	65
3.3.2 Circuit 3D à 2 couches avec une matrice de CANs placée sur la deuxième couche . . . . .	67
<b>3.4 Évaluation du gain en consommation de la 3D par rapport au 2D</b> . . . . .	<b>71</b>
3.4.1 1 <sup>er</sup> cas : Circuit 3D à 2 couches avec un CAN par colonne placé sur la première couche . . . . .	71
3.4.2 2 <sup>ème</sup> cas : Circuit 3D à 2 couches avec un CAN par macro-pixel . . . . .	72
3.4.3 3 <sup>ème</sup> cas : Circuit 3D à 2 couches avec Q CANs par macro-pixel . . . . .	73
3.4.4 Courbes de résultats et Analyse de l'apport de l'intégration 3D . . . . .	74
3.4.5 Tableau Récapitulatif . . . . .	77
<b>3.5 Conclusion</b> . . . . .	<b>77</b>

---

Superposer verticalement un pixel à la section de traitement offre un potentiel d'une plus grande compacité du pixel, d'une meilleure qualité de l'image et des cadences d'acquisition plus élevées grâce à la relaxation des contraintes sur la taille et le nombre de transistors dans le pixel. Néanmoins, la majorité de ces travaux, à ce jour, ne font pas l'analyse formelle de la comparaison chiffrée entre circuits 2D et 3D. Les quelques travaux qui effectuent cette analyse sont rappelés ci-après. Dans le domaine de l'imagerie, l'article présenté dans le chapitre 2, [SBFBea12] montre que le circuit réalisé en 3D présente des performances plus intéressantes que l'état de l'art en termes de vitesse de calcul de la pyramide gaussienne, consommation par pixel, vitesse de l'imageur (*fps*) et surface du pixel. À ce jour, on ne peut considérer que ce travail d'analyse dans le domaine de l'imagerie. Il s'agit toutefois d'un circuit de vision, c'est à dire un circuit destiné au traitement d'images.

Dans ce chapitre, nous présentons notre étude théorique de l'apport de l'intégration 3D pour un circuit d'acquisition d'images, notamment en termes de consommation. L'ajustement du temps d'intégration pour l'augmentation de la dynamique de l'imageur est le cas applicatif retenu. L'architecture de son implémentation, présentée dans ce chapitre, est celle développée pour le circuit 2D réalisé dans le cadre du présent travail de thèse. Le circuit et les choix architecturaux sont détaillés dans le chapitre 5. Pour la contrepartie 3D, nous explorons les différentes configurations possibles. Nous nous focaliserons sur l'architecture retenue pour le circuit 3D qui fait suite à ces travaux. Dans ce chapitre, les paramètres utilisés pour élaborer cette comparaison sont tout d'abord présentés. Ensuite, les principes des architectures, 2D et 3D, sont détaillés. Enfin, un système d'équations permet de mettre en évidence les résultats de la comparaison.

## 3.1 Architecture cible : principe et paramètres de modélisation

### 3.1.1 Principe de l'architecture cible

La Figure 3.1 donne une vue globale du circuit 3D proposé. Il s'agit d'un capteur d'images HDR composé de deux couches verticalement superposées et interconnectées par des interconnexions Cuivre-Cuivre (Cu-Cu). Le traitement HDR proposé est effectué par groupe de pixels, appelé dans la suite macro-pixel. Il permet d'ajuster le temps d'intégration par macro-pixel selon l'éclairement reçu. Nous verrons que la mutualisation de la valeur du temps d'intégration constitue une forme de compression du codage du signal. Un deuxième niveau de compression à base de DCT a été identifié et étudié afin d'être intégré dans la puce imageur permettant ainsi la réduction de flux de données à la fois sur les colonnes et sur les plots de sortie notamment pour les images de grand format.

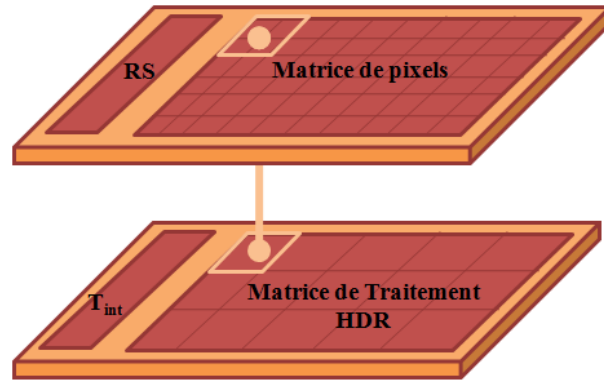


FIGURE 3.1 – Imageur 3D à grande dynamique

Idéalement, la première couche est dédiée uniquement à la photo-détection afin d'augmenter l'efficacité quantique. L'intégration d'un module de compression par macro-pixel implique d'avoir converti les grandeurs analogiques issues des pixels en données numériques. Cela revient à intégrer un CAN par macro-pixel. La configuration du capteur d'images 3D proposée en Figure 3.1 est compatible avec les deux modes de capture (Rolling Shutter et Global Shutter). Pour un mode de capture instantanée (Global Shutter), il est nécessaire de rajouter une fonction de mémorisation. Le nombre de connexions verticales disponibles constitue alors la principale limitation à l'implémentation de ce dernier mode de fonctionnement. Néanmoins, la contrainte imposée par le pas de l'interconnexion 3D possible aujourd'hui (voir 2.1) ne permet pas d'envisager une forte densité d'interconnexions par macro-pixel. En conséquence, la première couche pourrait être dédiée à la fois à la photo-détection et à la conversion analogique numérique.

Les différentes configurations possibles sont présentées dans la section 3.3. La matrice de pixels de la première couche est composée de pixels classiques (3T ou 4T). Ce choix a été effectué afin de conserver les performances d'un imageur 2D classique en termes de facteur de remplissage et d'efficacité quantique. La deuxième couche est dédiée au traitement HDR et au deuxième niveau de compression à base de DCT. Le temps d'intégration est calculé par macro-pixel sur la deuxième couche. Un signal de commande HDR est par la suite généré et envoyé à la première couche à travers l'interconnexion verticale.

Le circuit 2D accomplit la même fonction que le circuit 3D équivalent. La fonction HDR par macro-pixel a été intégrée dans l'imageur 2D sans modifier l'architecture des pixels classiques. Néanmoins, l'implémentation de cette fonction est effectuée sur des pixels, appelés par la suite pixels morts, dépourvus de photodiodes et de transistors d'initialisation et de lecture. Une vue de l'architecture 2D est présentée dans la section 3.2.

### 3.1.2 Modèles et paramètres considérés pour l'évaluation de la consommation

On suppose que les circuits 2D et 3D équivalents visent des performances identiques notamment en ce qui concerne le facteur de remplissage du pixel, la dynamique de l'imageur (120 dB) et la cadence. La qualité d'image obtenue sera discutée à la fin de ce chapitre. Les paramètres et les hypothèses suivants sont considérés :

- L'imageur considéré a une taille de  $M \times N$  pixels (N lignes et M colonnes). La matrice est divisée en en macro-pixels, c'est-à-dire en sous-matrices élémentaires composées de  $Q \times Q$  pixels, le traitement implémenté pour ajuster le temps d'intégration étant fait par macro-pixel.
- Le temps image est noté  $T_{trame}$ , et on notera  $T_{ligne}$  le temps nécessaire pour transférer une ligne complète de pixels en pied de colonne.  $T_{ligne}$  est donc défini tel que :

$$T_{ligne} = \frac{T_{trame}}{N} \quad (3.1)$$

- La tension d'alimentation de la partie analogique (Pixels) est notée  $V_{ddpix}$  et on note  $V_{dd}$  pour la tension d'alimentation de la partie numérique (CAN et traitement HDR).
- Chaque convertisseur analogique numérique (CAN) convertissant successivement N pixels (une colonne) à une fréquence de conversion,  $f_c$ , appelle une puissance totale notée  $P_{CAN}$ . La fréquence  $f_c$  est définie dans l'équation suivante :

$$f_c = \frac{1}{T_{ligne}} = \frac{N}{T_{trame}} \quad (3.2)$$

- Dans un circuit électronique, les capacités parasites sont une source de consommation supplémentaire importante. Les valeurs de ces capacités dépendent fortement du routage du circuit. Par ailleurs, on évalue l'ensemble de ces capacités pour le nœud technologique 180 nm. La Figure 3.2 montre l'ensemble des capacités prises en compte dans cette étude.

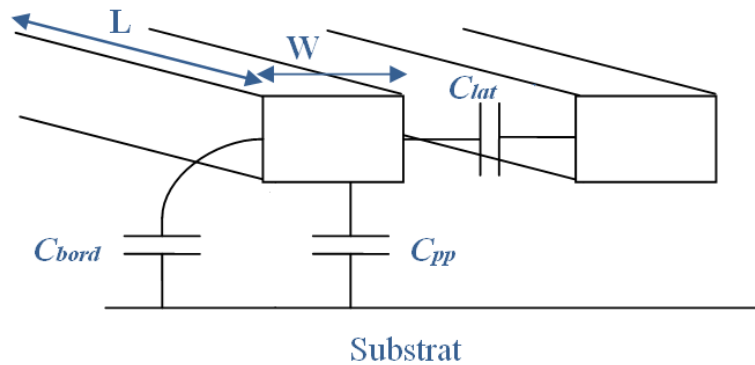


FIGURE 3.2 – Les différentes capacités d'une ligne de Métal

Dans ce cas, on considère une piste métallique d'un niveau donné, de largeur  $W$  et de longueur  $L$ . Cette piste introduit un ensemble de capacités parasites ( $C_{pp}$  : Capacité surfacique Métal/Substrat,  $C_{bord}$  : Capacité linéique Métal/Substrat,  $C_{lat}$  : Capacité linéique Métal/Métal) dont la somme est donnée par :

$$C_M = C_{pp} + C_{bord} + C_{lat} \quad (3.3)$$

Prenons l'exemple du Métal 1 : sa capacité parasite  $C_M$  est de l'ordre de  $0,5 \text{ fF}/\mu\text{m}$  pour le nœud technologique 180 nm. La capacité totale du bus

colonne vue du pixel est donc :

$$C_{col} = N \cdot Pitch_{Pixel} \cdot C_M \quad (3.4)$$

- Dans les deux cas de configurations, 2D et 3D, le traitement HDR sera effectué en deux étapes : une première étape pour l'évaluation de l'exposant adapté pour l'image en cours et une deuxième étape pour la génération du signal de commande de la HDR correspondant à l'exposant évalué. On notera alors  $P_{exp}$  la consommation d'une cellule de la première étape effectuant le traitement de  $N$  pixels.  $P_{rex}$  est la consommation d'une cellule de la 2<sup>ème</sup> étape effectuant le traitement de  $Q \times Q$  pixels.
- Les plots de sortie présentent aussi une source importante de consommation. On notera dans la suite la capacité équivalente d'un plot  $C_{plot}$ . Dans notre cas, avec la technologie 180 nm que nous avons utilisée, cette capacité est de l'ordre de 2 pF. Elle est équivalente à la capacité colonne  $C_{col}$  ( $\sim 1$  pF).

Dans le calcul de la consommation totale d'un circuit, la consommation liée au transfert des données du pixel du bus colonne vers le convertisseur analogique numérique CAN est d'abord considérée. Ensuite, la consommation liée à l'ensemble des convertisseurs CAN du circuit ainsi que la consommation liée à la partie de traitement HDR sont déterminées. Enfin, la contribution des interconnexions dans la puissance totale dissipée est prise en compte dans l'évaluation de la consommation totale. La consommation liée à l'évacuation des données vers la sortie de la puce est aussi étudiée.

## 3.2 Imageur 2D : configuration considérée et évaluation de sa consommation

### 3.2.1 Configuration de l'imageur 2D considérée : vue et principe

La Figure 3.3 donne une vue système du prototype 2D proposé et réalisé dans le présent travail de thèse. Le circuit 2D est un imageur à grande dynamique. Le principe d'extension de la dynamique se basant sur l'adaptation du temps d'intégration selon l'éclairement reçu est présenté dans le chapitre 4, le détail de la conception étant présenté chapitre 5. Le circuit 2D proposé est composé de :

- Une matrice de pixels 3T classiques de  $N$  lignes par  $M$  colonnes.
- Les registres de sélection RS de ligne de la matrice.
- Une ligne de CANs où chaque convertisseur est dédié à une colonne de pixels.
- Une première ligne de cellules de calcul HDR dédiée à l'évaluation de l'exposant, adapté pour l'image en cours, située en pied de la matrice. Chaque cellule est commune à une colonne de macro-pixels. En effet, la conversion analogique numérique est effectuée par colonne de pixels ce qui induit un traitement séquentiel des données. Par conséquent, un élément d'évaluation d'exposant par colonne de macro-pixels est suffisant.  $M/Q$  cellules élémentaires sont ainsi nécessaires pour cette première étape de traitement.



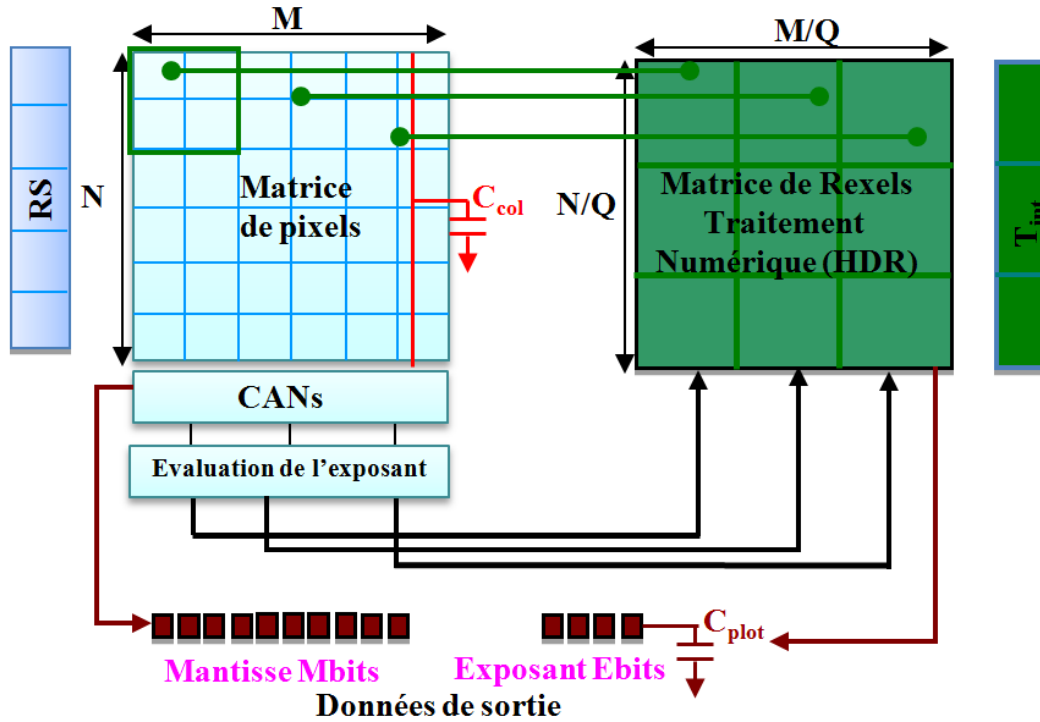


FIGURE 3.3 – Capteur d'images 2D avec un CAN en pied de colonne

- Une matrice de  $M/Q \times N/Q$  cellules effectuant la 2<sup>ème</sup> étape du traitement HDR. Chaque élément, appelé dans la suite Rexel, est responsable de la mémorisation de l'exposant et de la génération du signal de commande HDR du macro-pixel correspondant.
- Les registres de sélection du temps de référence,  $T_{int}$ , pour la matrice de Rexels.
- Les plots de sortie des données : on considère une mantisse à  $Mbits$  et un exposant à  $Ebits$ . l'évacuation des données se fait en série à la fréquence de  $100 MHz$ . Le choix de cette fréquence est justifié dans le chapitre 5 en section 5.1.2.1.

Comme précédemment mentionné, dans l'architecture 2D présentée en Figure 3.3, des pixels ont été sacrifiés pour introduire l'électronique de décalage des signaux commandant la HDR. Le nombre et la position des pixels morts, ainsi que leur impact sur la qualité de l'image, ont fait l'objet d'une étude présentée dans l'annexe A.

## 3.2.2 Évaluation de la consommation de l'architecture 2D

### 3.2.2.1 Étude de la consommation analogique du circuit liée aux pixels

Pour le calcul de la consommation des pixels, il faut d'abord définir le courant circulant dans chaque pixel. On rappelle le schéma d'un pixel 3T dans la Figure 3.4. Notre calcul s'appuie sur l'étude du suiveur de tension fonctionnant en saturation. La pulsation de coupure de suiveur s'exprime selon la relation suivante :

$$\omega_c = \frac{g_m}{\Sigma capacits} = \frac{g_m}{C_{col}} \quad (3.5)$$



moyennée sur un temps ligne,  $T_{ligne}$ , s'exprime comme suit :

$$P_{2D,Analog} = P_{col} \times Nbre\_colonnes = I_{pix} \cdot V_{ddpix} \cdot M = \frac{C_{col}}{2 \cdot X \cdot T_{ligne}} \cdot V_{ddpix} \cdot M \quad (3.11)$$

À noter que si on considère que le transfert de la valeur du pixel se fait sur toute la durée de temps ligne, le pixel consomme en moyenne la même valeur estimée ci-dessus.

### 3.2.2.2 Étude de la consommation numérique liée aux CANs et au traitement HDR

On considère que, pour le circuit 2D, le convertisseur analogique numérique se situe en pied de colonne, ce qui correspond à l'architecture classiquement rencontrée dans les imageurs grand format (Cf. Figure 3.3). Les pixels d'une même colonne partagent alors un même convertisseur. Chaque CAN fonctionne à la fréquence d'horloge  $f_c$  avec une consommation élémentaire notée  $P_{CAN}$ .

La consommation totale liée à tous les convertisseurs du circuit, mis en pied des colonnes, est donc :

$$P_{2D,CAN} = P_{CAN/col} \times Nbre\_colonnes = P_{CAN} \cdot M \quad (3.12)$$

Dans l'architecture proposée dans la Figure 3.3, deux blocs accomplissent le traitement HDR :

- Le bloc d'évaluation de l'exposant, mis en pied de la matrice, est constitué de  $M/Q$  éléments, chaque élément est propre à une colonne de  $N/Q$  macro-pixels.
- La matrice de Rexels est composée de  $(M \cdot N)/Q^2$  éléments dont chacun est associé à un macro-pixel.

En considérant les hypothèses de la section 3.1.2, la consommation de la partie de traitement HDR,  $P_{2D,HDR}$ , s'exprime par :

$$P_{2D,HDR} = \left( P_{exp} \times \frac{M}{Q} \right) + \left( P_{rex} \times \frac{M \cdot N}{Q^2} \right) \quad (3.13)$$

### 3.2.2.3 Étude de la consommation numérique liée aux interconnexions

En 2D, en considérant la configuration de la Figure 3.3, plusieurs connexions sont nécessaires :

- Les interconnexions du CAN vers les plots de sortie : dans les capteurs d'images 2D classiques, les plots sont généralement en pied de la matrice, juste après les CANs. Cette configuration est considérée dans notre étude. On suppose alors que la capacité du fil du CAN vers le plot de sortie est négligeable devant la capacité du plot  $C_{plot}$ .
- Les interconnexions entre la matrice de Rexels et la matrice de pixels transférant les signaux de commande de la HDR (Les fils verts de la Figure 3.3) : la longueur exacte de ces fils ne peut pas être définie avant la phase de layout. Néanmoins, dans nos calculs on peut prendre en compte la partie qui traverse

la matrice de pixels. La capacité équivalente de toutes les connexions transmettant les signaux de commande HDR à la matrice de pixels, en considérant qu'une connexion est nécessaire par macro-pixel, s'exprime comme suit :

$$C_{fils,HDR} = M \cdot \frac{C_{col}}{N} \cdot \frac{M \cdot N}{Q^2} = \frac{M^2}{Q^2} \cdot C_{col} \quad (3.14)$$

- Les interconnexions entre le bloc d'évaluation de l'exposant et la matrice de Rexels : la longueur de ces fils ne peut pas être déterminée par des éléments simplement modélisables, tels que le pas du pixel, mais dépend du routage et du plan de masse du circuit final.

La puissance totale dissipée par les fils des interconnexions s'exprime alors de la façon suivante :

$$\begin{aligned} P_{2D,interco} = & (C_{plot} \cdot Mbits \cdot V_{dd}^2 \cdot M \cdot f_c) \\ & + \left( (C_{plot} + C_{col}) \cdot Ebits \cdot \frac{M}{Q^2} \cdot V_{dd}^2 \cdot f_c \right) \\ & + (C_{fils,HDR} \cdot V_{dd}^2 \cdot \frac{f_c}{N}) \end{aligned} \quad (3.15)$$

En remplaçant  $C_{fils,hdr}$  (Voir équation (3.14)) par son expression et après simplification, la puissance dissipée par les connexions planaires s'exprime ainsi :

$$P_{2D,interco} = V_{dd}^2 \cdot M \cdot f_c \cdot \left[ C_{plot} \cdot \left( Mbits + \frac{Ebits}{Q^2} \right) + C_{col} \cdot \left( \frac{Ebits}{Q^2} + \frac{M}{N \cdot Q^2} \right) \right] \quad (3.16)$$

#### 3.2.2.4 Consommation totale

La consommation totale du circuit 2D s'écrit :

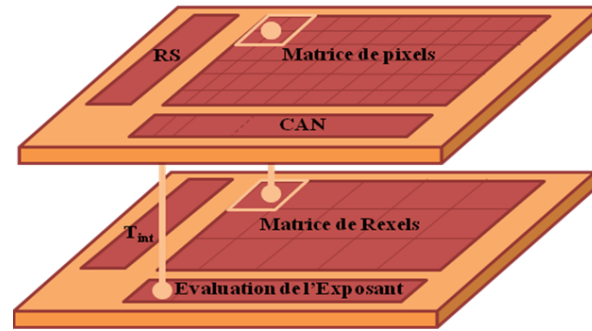
$$P_{2D,tot} = P_{2D,Analog} + P_{2D,CAN} + P_{2D,HDR} + P_{2D,interco} \quad (3.17)$$

Nous avons établi ainsi l'équation de la consommation totale de la configuration du circuit 2D réalisé dans ce présent travail de thèse. Dans la section suivante, toutes les configurations 3D équivalentes à la configuration 2D proposée ci-dessus sont présentées et le gain en consommation pour chaque configuration est par la suite étudié.

### 3.3 Imageur 3D équivalent : configurations considérées et évaluation des consommations

#### 3.3.1 1<sup>er</sup> cas : circuit 3D à 2 couches avec un CAN par colonne placé sur la première couche

La première configuration du circuit 3D proposé est composée de deux couches (Cf. Figure 3.5). La matrice de pixels, les CAN en pied de colonne de la matrice et le registre à décalage des signaux de commande de la matrice (RS) sont placés sur la première couche. La circuiterie de traitement numérique (HDR) est placée sur la 2<sup>ème</sup> couche.


 FIGURE 3.5 – Capteur d'image 3D HDR proposé, 1<sup>ère</sup> Configuration

On suppose que la technologie CMOS utilisée dans le circuit 2D proposé en Figure 3.3 est identique à celle utilisée pour les deux couches du circuit 3D quelle que soit la configuration considérée. En outre, la première couche du circuit 3D de la Figure 3.3 correspond à une architecture classique d'un capteur d'images 2D. Par conséquent, on peut considérer que la capacité colonne équivalente dans le circuit 2D est la même que celle de la première couche du circuit 3D. Étant donné que la cadence de conversion est identique dans les deux circuits, la consommation liée aux pixels et aux CANs ne change pas.

Les fonctions de calcul de l'exposant, de mémorisation et de génération du signal de commande HDR sont exécutées sur la 2<sup>ème</sup> couche et leur fonctionnement est similaire à celui des cellules implémentées dans le capteur 2D présenté en Figure 3.3. Ceci implique une consommation identique aux niveaux des cellules d'évaluation de l'exposant et des Rexels.

Dans le cas de cette configuration, la puissance totale dissipée par les fonctions principales est donc identique en 2D et en 3D. Néanmoins, des interconnexions 3D sont mises en place remplaçant ou s'ajoutant aux connexions planaires du circuit de la Figure 3.3. La consommation liée à ces interconnexions est calculée dans le paragraphe suivant.

### *Étude de la consommation numérique liée aux interconnexions*

Pour transférer l'information numérique et les signaux de commande HDR de la 1<sup>ère</sup> couche vers la 2<sup>ème</sup> couche, et inversement, des interconnexions 3D sont mises en place. La capacité parasite totale prend en compte la capacité introduite par ces interconnexions. Cette capacité rajoutée par l'empilement 3D dépend du type et du pas des interconnexions utilisées. Dans [BSPea01], la valeur typique de la capacité introduite par un TSV est de l'ordre de  $100 fF$ . d'autres interconnexions telles que les interconnexions par collage cuivre Cu-Cu ou les micro-bumps introduisent des capacités parasites de plus faibles valeurs. Dans notre étude, on considère que l'information est transmise à travers des interconnexions Cu-Cu qui ont une capacité de l'ordre de  $10 fF$  (Valeur typique obtenue avec les procédés développés au LétI). Les connexions planaires entre la matrice de Rexels et la matrice de Pixels sont remplacées par des interconnexions 3D. On considère une interconnexion 3D par macro-pixel. De même, les connexions planaires entre les CAN et le bloc d'évaluation de l'exposant, non prises en compte dans le calcul en 2D vu qu'elles sont très courtes, sont remplacées par des interconnexions verticales. On considère une connexion Cu-Cu par CAN, c'est-à-dire une interconnexion verticale par colonne.

La consommation totale liée à ces interconnexions s'écrit comme suit :

$$\begin{aligned}
 P_{3D,Via,1} &= (C_{Via} \times Nbre\_Via(macro - pixels)) \cdot V_{dd}^2 \cdot f_{trame} \\
 &+ (C_{Via} \times Nbre\_colonnes) \cdot V_{dd}^2 \cdot f_c \\
 &= C_{Via} \cdot \frac{M \cdot N}{Q^2} \cdot V_{dd}^2 \cdot f_{trame} + C_{Via} \cdot M \cdot V_{dd}^2 \cdot f_c \\
 &= C_{Via} \cdot M \cdot V_{dd}^2 \cdot f_c \cdot \left( \frac{N^2}{Q^2} + 1 \right)
 \end{aligned} \tag{3.18}$$

Concernant l'évacuation des données vers l'extérieur du circuit, on considère  $Mbits$  plots en pied des convertisseurs CAN de la première couche pour sortir les Mantisses numériques vers l'interface extérieure et  $Ebits$  plots en pied du bloc « Évaluation de l'Exposant » de la deuxième couche pour évacuer les Exposants. En supposant que la capacité du plot  $C_{plot}$  est la même qu'en 2D, la consommation liée à ces connexions planaires devient alors :

$$P_{3D,ME,1} = M \cdot V_{dd}^2 \cdot f_c \cdot \left[ C_{plot} \cdot \left( Mbits + \frac{Ebits}{Q^2} \right) + C_{col} \cdot \frac{Ebits}{Q^2} \right] \tag{3.19}$$

La puissance totale dissipée par les interconnexions 2D et 3D est donc :

$$\begin{aligned}
 P_{3D,interco,1} &= P_{3D,ME,1} + P_{3D,Via,1} \\
 &= M \cdot V_{dd}^2 \cdot f_c \left[ C_{Via} \cdot \left( \frac{N^2}{Q^2} + 1 \right) + C_{plot} \cdot \left( Mbits + \frac{Ebits}{Q^2} \right) + C_{col} \cdot \frac{Ebits}{Q^2} \right]
 \end{aligned} \tag{3.20}$$

Dans ce cas de figure, la consommation des via 3D remplace simplement la consommation des interconnexions 2D équivalentes en gardant la même configuration du circuit. La consommation totale du circuit de la Figure 3.5 s'écrit donc :

$$P_{3D,tot,1} = P_{2D,Analog} + P_{2D,CAN} + P_{2D,HDR} + P_{3D,interco,1} \tag{3.21}$$

### 3.3.2 Circuit 3D à 2 couches avec une matrice de CANs placée sur la deuxième couche

Ce 2<sup>ème</sup> cas de figure correspond au schéma donné dans la Figure 3.6. On associe à chaque macro-pixel un ou plusieurs CAN(s) et un élément de traitement numérique (HDR). On peut distinguer deux cas différents :

- Le CAN effectue la conversion de tous les pixels du bloc séquentiellement, une ou plusieurs connexions verticales Cu-Cu sont dans ce cas nécessaires pour transmettre l'information pixel du macro-pixel de la première couche vers l'élément correspondant de la 2<sup>ème</sup> couche.
- Un CAN est commun aux pixels d'une même colonne du macro-pixel, on associe alors  $Q$  CANs à chaque macro-pixel.

La consommation du système est évaluée pour les deux cas dans la partie suivante.

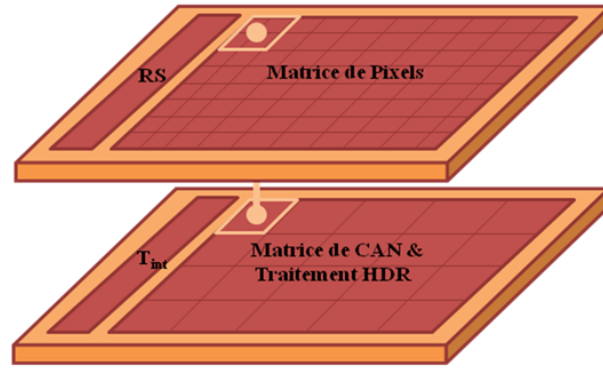


FIGURE 3.6 – Capteur d’images 3D avec traitement par macro-pixel, 2<sup>ème</sup> configuration

### 3.3.2.1 Circuit 3D à 2 couches avec un CAN par macro-pixel : 2<sup>ème</sup> cas

Comme mentionné ci-dessus, le convertisseur analogique numérique effectue séquentiellement la conversion de tous les pixels du bloc. La Figure 3.7 montre la liaison entre un macro-pixel de la première couche et l’élément correspondant de la deuxième couche.

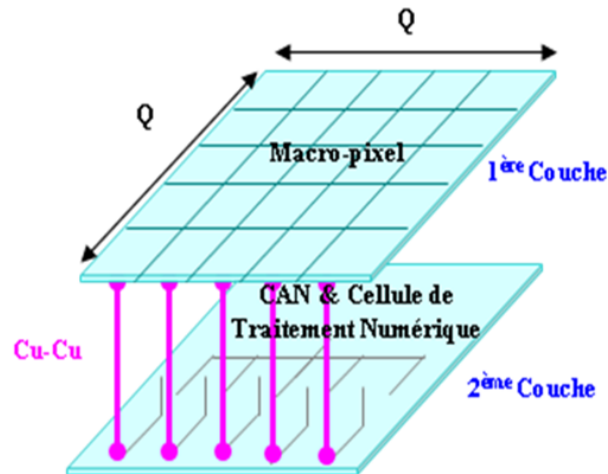


FIGURE 3.7 – Liaison entre un macro-pixel de la 1<sup>ère</sup> couche et l’élément correspondant de la 2<sup>ème</sup> couche, configuration (3D,2)

À noter que dans ce cas de figure, on dispose d’un temps image  $T_{trame}$  pour chaque macro-pixel. La valeur de  $\tau_{max}$  devient donc :

$$\tau_{max} = \frac{X \cdot T_{trame}}{5 \cdot Q^2} = \frac{X \cdot N \cdot T_{ligne}}{5 \cdot Q^2} \quad (3.22)$$

La valeur de  $X$  est identique à celle considérée en section 3.2.2.1, soit alors  $X = 0,1$ . Afin de garder l’architecture classique du pixel,  $Q$  interconnexions Cu-Cu sont dans ce cas nécessaires pour transmettre l’information pixel d’un macro-pixel de taille  $Q \times Q$  pixels de la première couche vers l’élément correspondant de la 2<sup>ème</sup> couche. En effet, si on se contente d’une seule interconnexion verticale, un transistor supplémentaire par pixel est alors indispensable pour sélectionner la colonne des pixels du macro-pixel dont les données analogiques sont à transmettre au CAN. On suppose alors qu’il y a une connexion Cu-Cu par colonne de pixels d’un même

macro-pixel (Cf. Figure 3.7). Les fils de connexion sur la deuxième couche vers le CAN sont supposés très courts. La capacité totale vue d'un pixel du bloc s'écrit donc :

$$C_{pix} = \frac{Q \cdot C_{col}}{N} + C_{Via} \quad (3.23)$$

La consommation analogique liée aux pixels de l'ensemble des macro-pixels s'exprime ainsi par :

$$\begin{aligned} P_{3D,Analog,2} &= P_{macro-pixel} \times Nbre\_macro - pixels = I \cdot V_{ddpix} \cdot \frac{M \cdot N}{Q^2} \\ &= \frac{Q^2 \cdot C_{pix}}{2 \cdot N \cdot X \cdot T_{ligne}} \cdot V_{ddpix} \cdot \frac{M \cdot N}{Q^2} \\ &= \frac{\frac{Q \cdot C_{col}}{N} + C_{Via}}{2 \cdot X \cdot T_{ligne}} \cdot V_{ddpix} \cdot M \end{aligned} \quad (3.24)$$

Le convertisseur analogique numérique, commun aux pixels d'un macro-pixel, fonctionne à la cadence  $T_{trame}/Q^2$ . Dans les imageurs grands formats, les contraintes de cadence, surface et consommation, conduisent à choisir le plus souvent des CAN à rampe. L'élément de base dans un CAN simple rampe étant l'amplificateur, une relation linéaire entre la consommation dynamique et la vitesse peut être considérée dans notre étude en supposant un  $SN(D)R$  constant ( $SNDR$  : Signal to Noise and Distorsion Ratio) constant. Cette hypothèse est démontrée dans les publications de Murmann. En effet, dans [Mur08], on montre que le rapport entre la puissance dissipée et la fréquence d'échantillonnage dans le cas des amplificateurs à transconductance, généralement utilisés dans les convertisseurs analogiques numériques à base de capacités commutées, suit la relation suivante :

$$\frac{P}{f_s} \propto \frac{1}{\alpha^2} \cdot \frac{1}{V_{DD}} \cdot \frac{1}{\frac{g_m}{I_D}} \cdot kT \cdot SNR \quad (3.25)$$

Dans l'équation (3.25), considérant  $\alpha$  et le point de polarisation ( $g_m/I_D$ ) constants, la relation entre la fréquence d'échantillonnage et la consommation du CAN devient linéaire pour un SNR fixe.

En conséquence, nous prendrons l'hypothèse que le CAN de la configuration proposée en Figure 3.7 consomme  $P_{CAN} \times Q^2/N$ . La consommation totale liée aux CANs s'écrit donc :

$$\begin{aligned} P_{3D,CAN,2} &= P_{macro-pixel} \times Nbre\_macro - pixels \\ &= P_{CAN} \cdot \frac{Q^2}{N} \cdot \frac{M \cdot N}{Q^2} \\ &= M \cdot P_{CAN} \end{aligned} \quad (3.26)$$

Quant à la partie du traitement HDR, les données sont séquentiellement traitées dans le circuit 2D de la Figure 3.3. Un seul bloc de calcul HDR peut ainsi traiter une colonne de macro-pixels. Dans le cas du circuit 3D, les macro-pixels fonctionnent en parallèle. Ceci mène à  $N/Q$  fois plus d'éléments mais ceux-ci fonctionnent à une cadence  $N/Q$  fois plus faible.

Du fait de la relation linéaire entre la consommation et la vitesse, la consommation totale liée à cette fonction du circuit s'écrit donc :

$$\begin{aligned} P_{3D,HDR,2} &= \left( \frac{P_{exp}}{\frac{N}{Q}} + P_{rex} \right) \times \frac{M \cdot N}{Q^2} \\ &= \left( P_{exp} \times \frac{M}{Q} \right) + \left( P_{rex} \times \frac{M \cdot N}{Q^2} \right) \\ &= P_{2D,HDR} \end{aligned} \quad (3.27)$$



Concernant les connexions, par rapport au circuit 2D présenté dans la Figure 3.3, on remplace dans cette configuration du circuit 3D les connexions planaires entre la matrice de pixels, les CAN, le bloc d'évaluation d'exposant et la matrice de Rexels par des interconnexions verticales. Les connexions vers les plots de sortie sont placées sur la 2<sup>ème</sup> couche en pied de la matrice «CAN et traitement numérique». La puissance totale dissipée par les interconnexions s'écrit donc :

$$\begin{aligned}
 P_{3D,interco,2} &= P_{3D,ME,2} + P_{3D,Via,2} \\
 &= \left[ \left( C_{fil} \cdot Q \cdot Pitch_{Pixel} \cdot \frac{N}{Q} + C_{plot} \right) \cdot \left( Mbits + \frac{Ebits}{Q^2} \right) \cdot M \cdot Vdd^2 \cdot f_c \right] \\
 &+ \left[ C_{Via} \cdot Q \cdot \frac{M \cdot N}{Q^2} \cdot Vdd^2 \cdot f_{trame} \right] \\
 &= \left[ (C_{col} + C_{plot}) \cdot \left( Mbits + \frac{Ebits}{Q^2} \right) + \frac{C_{Via}}{Q} \right] \cdot M \cdot Vdd^2 \cdot f_c
 \end{aligned} \tag{3.28}$$

La consommation totale de la configuration circuit 3D proposée dans ce paragraphe s'écrit donc :

$$P_{3D,tot,2} = P_{3D,Analog,2} + P_{3D,CAN,2} + P_{3D,HDR,2} + P_{3D,interco,2} \tag{3.29}$$

### 3.3.2.2 Circuit 3D à 2 couches avec $Q$ CANs par macro-pixel : 3<sup>ème</sup> cas

Dans cette troisième configuration du circuit 3D, on considère que les colonnes d'un macro-pixel forment un bus parallèle en pied du macro-pixel. Il y a alors  $Q$  convertisseurs analogique numérique par macro-pixel effectuant la conversion des colonnes de pixels du même bloc parallèlement. La Figure 3.8 montre la liaison entre un macro-pixel de la première couche et l'élément correspondant de la deuxième couche. À noter que dans ce cas de figure, on dispose d'un temps image pour chaque

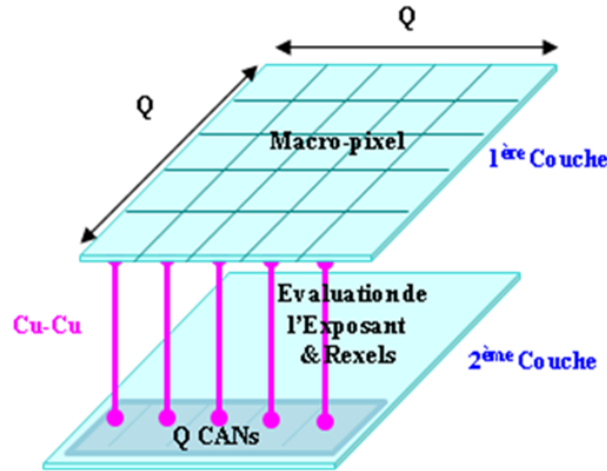


FIGURE 3.8 – Liaison entre un macro-pixel de la 1<sup>ère</sup> couche et l'élément correspondant de la 2<sup>ème</sup> couche, configuration (3D,3)

macro-pixel et les colonnes d'un même macro-pixel fonctionnent en parallèle. La valeur de  $\tau_{max}$  devient donc :

$$\tau_{max} = \frac{X \cdot T_{trame}}{5 \cdot Q} = \frac{X \cdot N \cdot T_{ligne}}{5 \cdot Q} \tag{3.30}$$

La partie analogique consomme dans ce cas :

$$\begin{aligned}
 P_{3D,Analog,3} &= P_{macro-pixel,3} \times Nbre\_macro - pixels = I \cdot V_{ddpix} \cdot \frac{M \cdot N}{Q^2} \\
 &= \frac{C_{tot}}{2 \cdot X \cdot T_{trame}} \cdot Q \cdot V_{ddpix} \cdot \frac{M \cdot N}{Q^2} \\
 &= \frac{\frac{Q \cdot C_{col} + C_{Via}}{N}}{2 \cdot X \cdot N \cdot T_{ligne}} \cdot Q \cdot V_{ddpix} \cdot \frac{M \cdot N}{Q^2} \\
 &= \frac{Q \cdot C_{col} + C_{Via}}{2 \cdot X \cdot T_{ligne}} \cdot V_{ddpix} \cdot \frac{M}{Q}
 \end{aligned} \tag{3.31}$$

Le convertisseur dans ce cas fonctionne à une Cadence  $N/Q$  fois plus faible mais il y a  $Q$  fois plus de CAN par macro-pixel. En considérant comme précédemment une relation linéaire entre la vitesse et la consommation d'un convertisseur, la consommation liée aux CAN est donc :

$$\begin{aligned}
 P_{3D,CAN,3} &= Q \times P_{CAN \text{ par colonnes\_de\_macro-pixels}} \times Nbre\_macro - pixels \\
 &= Q \cdot \frac{P_{CAN}}{\frac{N}{Q}} \cdot \frac{M \cdot N}{Q^2} \\
 &= M \cdot P_{CAN}
 \end{aligned} \tag{3.32}$$

Quant à la partie du traitement HDR, les macro-pixels fonctionnent en parallèle telle que dans la configuration du circuit 3D précédente (Configuration 3D,2). La consommation totale liée à cette fonction du circuit est alors la même :

$$\begin{aligned}
 P_{3D,HDR,3} &= \left( \frac{P_{exp}}{\frac{N}{Q}} + P_{rex} \right) \times \frac{M \cdot N}{Q^2} \\
 &= \left( P_{exp} \times \frac{M}{Q} \right) + \left( P_{rex} \times \frac{M \cdot N}{Q^2} \right) \\
 &= P_{2D,HDR}
 \end{aligned} \tag{3.33}$$

Concernant les interconnexions, on garde également le même nombre de via que dans la configuration du paragraphe précédent et la même disposition des macro-pixels. La puissance totale dissipée par les interconnexions est alors :

$$\begin{aligned}
 P_{3D,interco,3} &= P_{3D,ME,3} + P_{3D,Via,3} \\
 &= \left[ (C_{col} + C_{plot}) \cdot \left( Mbits + \frac{E_{bits}}{Q^2} \right) + \frac{C_{Via}}{Q} \right] \cdot M \cdot V_{dd}^2 \cdot f_c
 \end{aligned} \tag{3.34}$$

En sommant toutes les puissances dissipées détaillées dans ce paragraphe, la consommation totale de cette configuration du circuit 3D s'écrit donc :

$$P_{3D,tot,3} = P_{3D,Analog,3} + P_{3D,CAN,3} + P_{3D,HDR,3} + P_{3D,interco,3} \tag{3.35}$$

## 3.4 Évaluation du gain en consommation de la 3D par rapport au 2D

Dans ce paragraphe, on étudie le gain en consommation de chaque configuration 3D, proposée dans la section 3.3, par rapport à la configuration correspondante 2D proposée en section 3.2. On identifiera ainsi l'apport de la technologie 3D en termes de consommation.

### 3.4.1 1<sup>er</sup> cas : Circuit 3D à 2 couches avec un CAN par colonne placé sur la première couche

Le gain en consommation est étudié pour chaque partie du circuit séparément. On considère la configuration 3D de la Figure 3.5 et la configuration 2D donnée en

Figure 3.3. On étudie tout d'abord le gain en consommation analogique, défini par l'équation suivante :

$$G_{p,a,2,1} = \frac{P_{2D,Analog}}{P_{3D,Analog,1}} = 1 \quad (3.36)$$

Le gain en consommation liée aux CAN est aussi égal à 1, selon l'équation suivante :

$$G_{p,CAN,2,1} = \frac{P_{2D,CAN}}{P_{3D,CAN,1}} = 1 \quad (3.37)$$

De même, le gain en consommation liée à la partie HDR telle qui est présentée dans la première configuration du circuit 3D de la Figure 3.5 est unitaire.

$$G_{p,HDR,2,1} = \frac{P_{2D,HDR}}{P_{3D,HDR,1}} = 1 \quad (3.38)$$

Calculons maintenant le gain en consommation liée aux interconnexions :

$$\begin{aligned} G_{p,Interco,2,1} &= \frac{P_{2D,interco}}{P_{3D,interco,1}} \\ &= \frac{V_{dd}^2 \cdot M \cdot f_c \cdot \left[ C_{plot} \cdot \left( Mbits + \frac{Ebits}{Q^2} \right) + C_{col} \cdot \left( \frac{Ebits}{Q^2} + \frac{M}{N \cdot Q^2} \right) \right]}{M \cdot V_{dd}^2 \cdot f_c \cdot \left[ C_{via} \cdot \left( \frac{N^2}{Q^2} + 1 \right) + C_{plot} \cdot \left( Mbits + \frac{Ebits}{Q^2} \right) + C_{col} \cdot \frac{Ebits}{Q^2} \right]} \\ &= \frac{\left[ C_{plot} \cdot \left( Mbits + \frac{Ebits}{Q^2} \right) + C_{col} \cdot \left( \frac{Ebits}{Q^2} + \frac{M}{N \cdot Q^2} \right) \right]}{\left[ C_{via} \cdot \left( \frac{N^2}{Q^2} + 1 \right) + C_{plot} \cdot \left( Mbits + \frac{2 \cdot Ebits}{Q^2} \right) + C_{col} \cdot \frac{Ebits}{Q^2} \right]} \end{aligned} \quad (3.39)$$

Afin de simplifier l'équation (3.39), on considère les hypothèses suivantes :  $N = a \cdot Q$  et  $M = b \cdot Q$  et  $C_{col} = k \cdot C_{via} = C_{plot}$ , l'équation précédente se réduit à :

$$\begin{aligned} G_{p,Interco,2,1} &= \frac{C_{plot} \cdot \left[ Mbits + \frac{2 \cdot Ebits}{Q^2} + \frac{b}{a \cdot Q^2} \right]}{C_{plot} \cdot \left[ Mbits + \frac{Ebits}{Q^2} + \frac{a^2}{k} + \frac{1}{k} \right]} \\ &= \frac{\left[ Mbits + \frac{2 \cdot Ebits}{Q^2} + \frac{b}{a \cdot Q^2} \right]}{\left[ Mbits + \frac{Ebits}{Q^2} + \frac{a^2}{k} + \frac{1}{k} \right]} \end{aligned} \quad (3.40)$$

On dressera à la fin de la section 3.4 les courbes des gains de toutes les configurations et on conclura ainsi sur l'apport de l'intégration 3D dans chaque cas de figure.

### 3.4.2 2<sup>ème</sup> cas : Circuit 3D à 2 couches avec un CAN par macro-pixel

On considère maintenant la configuration 3D donnée en Figure 3.7 par rapport à la configuration 2D de la Figure 3.3. En faisant le rapport des équations (3.11) et (3.24), on obtient le gain en consommation analogique suivant en passant de la technologie 2D à la technologie 3D :

$$\begin{aligned} G_{p,a,2,2} &= \frac{P_{2D,Analog}}{P_{3D,Analog,2}} \\ &= \frac{C_{col}}{2 \cdot X \cdot T_{ligne}} \cdot V_{ddpix} \cdot M \\ &= \frac{\frac{Q \cdot C_{col}}{N} + C_{via}}{2 \cdot X \cdot T_{ligne}} \cdot V_{ddpix} \cdot M \\ &= \frac{C_{col}}{\left[ \frac{Q \cdot C_{col}}{N} + C_{via} \right]} \end{aligned} \quad (3.41)$$

Si on suppose comme dans le paragraphe précédent  $N = a \cdot Q$ ,  $M = b \cdot Q$  et  $C_{col} = k \cdot C_{via} = C_{plot}$  alors l'équation (3.41) devient :

$$G_{p,a,2,2} = \frac{1}{\left( \frac{1}{a} + \frac{1}{k} \right)} = \frac{a \cdot k}{(a + k)} \quad (3.42)$$

Le gain en consommation liée aux CANs est obtenu en faisant le rapport entre les équations (3.12) et (3.26) :

$$G_{p,CAN,2,2} = \frac{P_{2D,CAN}}{P_{3D,CAN,2}} = 1 \quad (3.43)$$

De même, on calcule le gain en consommation liée à la partie HDR. Soit donc le rapport entre les équations (3.13) et (3.27) qui donne :

$$G_{p,HDR,2,2} = \frac{P_{2D,HDR}}{P_{3D,HDR,2}} = 1 \quad (3.44)$$

Calculons maintenant le gain en consommation dissipée dans les interconnexions :

$$\begin{aligned} G_{p,Interco,2,2} &= \frac{P_{2D,interco}}{P_{3D,interco,2}} \\ &= \frac{V_{dd}^2 \cdot M \cdot f_c \cdot \left[ C_{plot} \cdot \left( Mbits + \frac{Ebits}{Q^2} \right) + C_{col} \cdot \left( \frac{Ebits}{Q^2} + \frac{M}{N \cdot Q^2} \right) \right]}{M \cdot V_{dd}^2 \cdot f_c \cdot \left[ (C_{plot} + C_{col}) \cdot \left( Mbits + \frac{Ebits}{Q^2} \right) + \frac{C_{via}}{Q} \right]} \\ &= \frac{\left[ C_{plot} \cdot \left( Mbits + \frac{Ebits}{Q^2} \right) + C_{col} \cdot \left( \frac{Ebits}{Q^2} + \frac{M}{N \cdot Q^2} \right) \right]}{\left[ (C_{plot} + C_{col}) \cdot \left( Mbits + \frac{Ebits}{Q^2} \right) + \frac{C_{via}}{Q} \right]} \end{aligned} \quad (3.45)$$

Or :  $N = a \cdot Q$  et  $M = b \cdot Q$  et si on pose :  $C_{col} = k \cdot C_{via} = C_{plot}$ , l'équation précédente se réduit à :

$$G_{p,Interco,2,2} = \frac{\left[ Mbits + \frac{2 \cdot Ebits}{Q^2} + \frac{b}{a \cdot Q^2} \right]}{\left[ 2 \cdot Mbits + \frac{2 \cdot Ebits}{Q^2} + \frac{1}{k \cdot Q} \right]} \quad (3.46)$$

### 3.4.3 3<sup>ème</sup> cas : Circuit 3D à 2 couches avec Q CANs par macro-pixel

On considère, dans ce paragraphe, le 3<sup>ème</sup> cas de configuration 3D de la Figure 3.8 par rapport à la configuration 2D de la Figure 3.3. Des équations (3.11) et (3.31) on déduit :

$$\begin{aligned} G_{p,a,2,3} &= \frac{P_{2D,Analog}}{P_{3D,Analog,3}} \\ &= \frac{\frac{C_{col}}{2 \cdot X \cdot T_{ligne}} \cdot V_{ddpix} \cdot M}{\frac{Q \cdot C_{col} + C_{via}}{2 \cdot X \cdot T_{ligne}} \cdot V_{ddpix} \cdot \frac{M}{Q}} \\ &= \frac{C_{col}}{\left[ \frac{C_{col}}{N} + \frac{C_{via}}{Q} \right]} \end{aligned} \quad (3.47)$$

On considère les mêmes hypothèses que les paragraphes précédents :  $C_{col} = k \cdot C_{via}$ , et  $N = a \cdot Q$ , alors l'équation précédente devient :

$$G_{p,a,2,3} = \frac{1}{\left( \frac{1}{a \cdot k} + \frac{1}{k \cdot Q} \right)} = \frac{a \cdot k \cdot Q}{(a + k)} \quad (3.48)$$

$(a \cdot k \cdot Q) > (a + k)$  si  $k > 1$ , ce type de configuration 3D apporte un gain très important, notamment pour les images grand-format, en termes de consommation analogique.

Quant au gain en consommation des CAN, on obtient un gain unitaire.

$$G_{p,CAN,2,3} = \frac{P_{2D,CAN}}{P_{3D,CAN,3}} = 1 \quad (3.49)$$

De même, on calcule le gain en consommation liée à la partie HDR. Il est défini par le rapport entre les équations (3.13) et (3.33) qui donne :

$$G_{p,HDR,2,3} = \frac{P_{2D,HDR}}{P_{3D,HDR,3}} = 1 \quad (3.50)$$

Calculons maintenant le gain en consommation dissipée dans les interconnexions. Étant donné que l'on garde le même nombre et type d'interconnexions que dans l'architecture précédente, le gain en consommation des interconnexions est le même que la configuration précédente.

$$\begin{aligned} G_{p,Interco,2,2} &= \frac{P_{2D,interco}}{P_{3D,interco,3}} \\ &= \frac{[C_{plot} \cdot (Mbits + \frac{Ebits}{Q^2}) + C_{col} \cdot (\frac{Ebits}{Q^2} + \frac{M}{N \cdot Q^2})]}{[(C_{plot} + C_{col}) \cdot (Mbits + \frac{Ebits}{Q^2}) + \frac{C_{Via}}{Q}]} \end{aligned} \quad (3.51)$$

En considérant les hypothèses précédentes avec les hypothèses suivantes :  $N = a \cdot Q$ ,  $M = b \cdot Q$  et  $C_{col} = k \cdot C_{via} = C_{plot}$ , l'équation (3.51) se réduit à :

$$G_{p,Interco,2,2} = \frac{\left[ Mbits + \frac{2 \cdot Ebits}{Q^2} + \frac{b}{a \cdot Q^2} \right]}{\left[ 2 \cdot Mbits + \frac{2 \cdot Ebits}{Q^2} + \frac{1}{k \cdot Q} \right]} \quad (3.52)$$

### 3.4.4 Courbes de résultats et Analyse de l'apport de l'intégration 3D

Dans les paragraphes 3.4.1 à 3.4.3, on a établi les équations de gain correspondant à chaque cas de configuration de l'architecture 3D par rapport à la configuration 2D de la Figure 3.3.

Afin d'établir des courbes de gain et simplifier toutes les équations, certaines hypothèses et cas de figures précis sont indispensables. Nous considérons ainsi :

- La taille des macro-pixels  $Q = 32$ , le choix de cette valeur est précisé dans le chapitre 4.
- $C_{plot} = C_{col} = 2 \text{ pF}$
- $Ebits = 4 \text{ bits}$  et  $Mbits = 10 \text{ bits}$
- $V_{dd} = 1,8 \text{ V}$  et  $V_{ddpix} = 3,3 \text{ V}$  (Technologie CMOS 180 nm)
- Format image xga :  $M/N = 5/4$
- $C_{Via} = 10 \text{ fF}$  soit  $k = 200$
- $T_{ligne} = 20 \text{ } \mu\text{s}$ ,  $f_c = 1/T_{ligne}$
- $X = 0,1$
- $P_{CAN} = 10 \times P_{pixels}$
- $P_{HDR} = (1/10) \times P_{Interco}$

Le choix de ces paramètres est basé sur les données technologiques, les résultats de simulations obtenus et les valeurs typiques mesurées lors des tests de circuits imageurs réalisés au sein de l'équipe. Ce sont des hypothèses empiriques qui peuvent varier d'un circuit à l'autre. Ces hypothèses se basent sur des rapports entre les consommations analogiques (Pixels et CANs) d'une part et les consommations numériques d'autre part (Traitement HDR et interconnexions). Pour vérifier ces hypothèses, nous supposons que la consommation du CAN n'est pas la même dans la configuration 2D et la configuration 3D équivalente. Cela revient à dire que l'architecture du CAN sera adaptée à la technologie considérée.

On fait varier le nombre de lignes  $N$ , c'est à dire la taille de l'image, de 480 à 2000 et on trace les différents gains établis précédemment.

Les Figures 3.9 et 3.10 présentent les courbes des gains des équations (3.36) à (3.52).

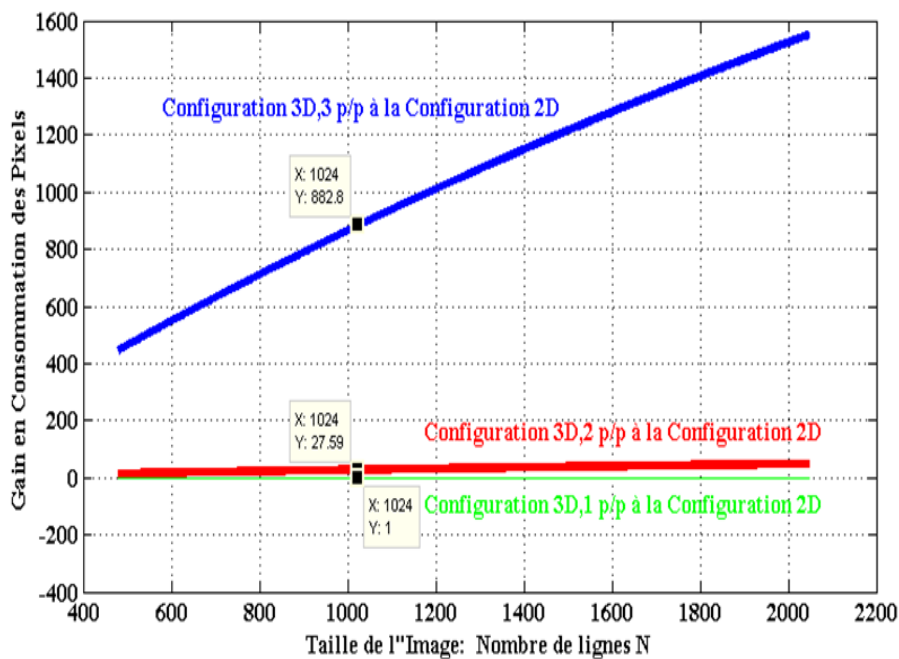


FIGURE 3.9 – Gain en Consommation liée aux Pixels

La Figure 3.9 montre que la configuration 3D,1 ne présente aucun gain en consommation liée aux pixels par rapport à la configuration 2D. Néanmoins, les deux autres configurations, (3D,2) et (3D,3), présentent des gains importants et notamment la 3<sup>ème</sup> configuration (3D,3). L'intérêt du traitement local proche pixel est alors prouvé en termes de gain en consommation liée aux pixels.

Les trois configurations 3D présentent un gain unitaire avec les hypothèses considérées. À noter que si on considère une relation plus complexe et non linéaire entre la vitesse du CAN et sa consommation, les données de ces courbes vont être modifiées de façon non négligeable. Quant à la partie du traitement HDR, le traitement est effectué quasiment de la même manière dans les 3 cas de configurations ce qui explique le gain unitaire obtenu.

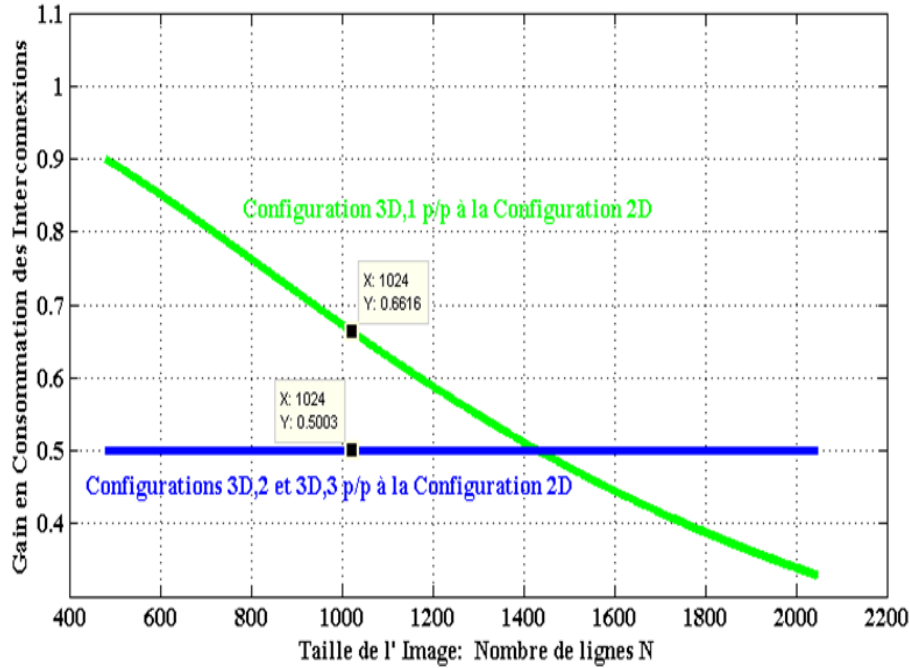


FIGURE 3.10 – Gain en Consommation liée aux Interconnexions

La Figure 3.10 montre qu'en terme de consommation liée aux interconnexions, les 3 configurations 3D proposées montrent une perte de gain d'un facteur d'environ 2. En analysant les équations (3.20), (3.28) et (3.34) des consommations des interconnexions des 3 configurations proposées, on peut remarquer que le terme dominant est lié à l'évacuation de la mantisse vers la sortie. En effet, les 10 bits de mantisse sont transmis via le bus colonne de la matrice des Rexels et sortent ensuite par les plots, notamment pour les configurations (3D,2) et (3D,3). Ceci induit une capacité équivalente importante ( $\approx (C_{col} + C_{plot})$ ) ce qui explique l'augmentation de la consommation liée aux interconnexions dans ces cas de figures. En faisant une compression locale, comme cela est présenté dans le chapitre 4, le nombre de bits de mantisse sera réduit localement. La consommation liée aux interconnexions pourrait être réduite d'avantage.

Nous avons également dressé la courbe du gain total pour chaque configuration proposée (Cf. Figure 3.11) à partir de l'équation suivante :

$$G_{p,2D,3D} = \frac{P_{2D,tot}}{P_{3D,tot,Configuration}} = 1 \quad (3.53)$$

La Figure 3.11 montre l'ordre de grandeur du gain en consommation apporté par l'intégration 3D. La configuration (3D,1) ne semble pas intéressante en terme de consommation par rapport à la configuration 2D proposée. Ceci s'explique par le fait qu'on transforme l'imageur 2D en 3D sans aucune modification ni aménagement apporté. Cependant, les deux configurations (3D,2) et (3D,3) semblent apporter un gain d'au moins de 2.5 dans le cas de  $N = 1024$ . Ce gain pourrait être notamment amélioré par la modification du type du CAN dans la version 3D et l'ajout d'une compression locale.

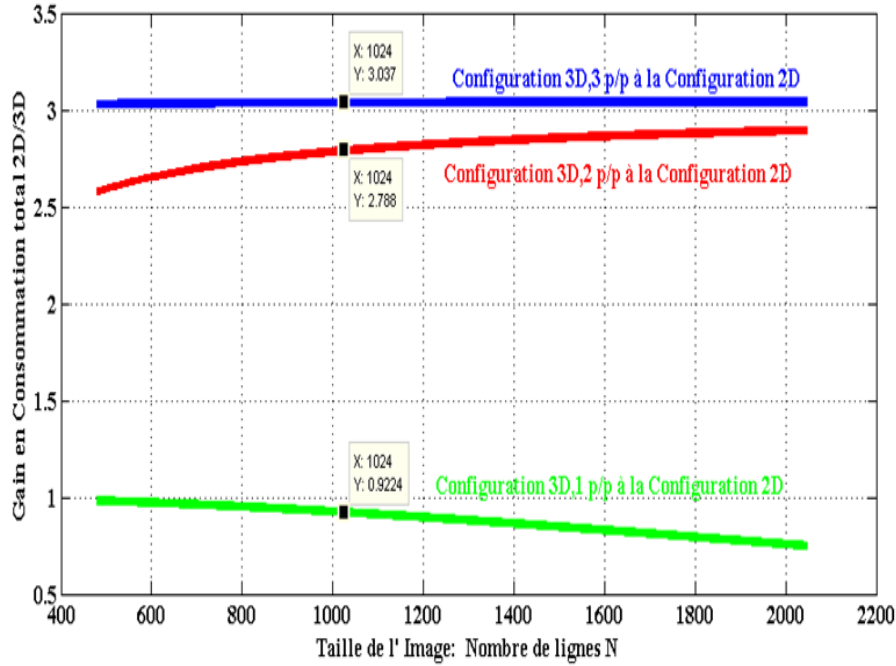


FIGURE 3.11 – Gain en Consommation Totale

En conclusion, l'apport de l'intégration 3D en termes de consommation, en considérant les configurations présentées dans cette section, est principalement lié à la partie analogique. Les deux dernières configurations prouvent un vrai intérêt de l'intégration 3D en termes de gain en consommation.

### 3.4.5 Tableau Récapitulatif

Nous résumons dans la tableau 3.1 l'apport de la technologie 3D en termes de consommation pour un imageur de taille  $1280 \times 1024$ . Nous considérons les hypothèses du paragraphe précédent et les 3 configurations présentées dans ce chapitre.

Configuration	Gain en Conso Pixels	Gain en Conso CANs	Gain en Conso HDR	Gain en Conso Interco	Gain en Conso Totale
3D,1 p/p 2D	1	1	1	0.66	0.92
3D,2 p/p 2D	27.5	1	1	0.5	2.78
3D,3 p/p 2D	882	1	1	0.5	3

 TABLE 3.1 – Tableau résumant les valeurs des gains des différentes configurations 3D par rapport à la configuration 2D pour le cas  $N = 1024$ 

## 3.5 Conclusion

Par rapport à la technologie 2D, la technologie 3D semble apporter un vrai gain en consommation notamment concernant la partie analogique. Cet apport dépend



fortement de la configuration de l'architecture proposée.

En outre, grâce à la possibilité d'intégration des technologies hétérogènes dans une même puce en 3D, on peut utiliser une technologie plus agressive que la technologie imageur sur la deuxième couche. Le traitement HDR pourrait être réalisé avec une technologie plus agressive, mieux adaptée au traitement numérique.

Un autre apport de l'intégration 3D s'avérant important à citer est la réduction du temps de propagation des signaux analogiques. En effet, le traitement par macro-pixel implique la réduction de la capacité parasite vue du pixel et de la résistivité équivalente des bus de données étant donné que l'on utilise des bus de données plus courts. Ceci mène à réduire la constante de propagation  $\tau = R \cdot C$  de  $N/Q$  fois en 3D. Le prototype 2D présenté dans le chapitre 5 correspond à la configuration 2D présentée en Figure 3.3.

Dans le chapitre suivant, le principe de la technique proposée pour le traitement de la grande dynamique est détaillé et les principaux résultats algorithmiques sont présentés.

# Chapitre 4

## Technique d'extension de la dynamique

Etude, Validation et Modélisation de la technique d'extension de la dynamique du capteur d'images proposé

### Sommaire

---

<b>4.1</b>	<b>Principe théorique de la technique proposée . . . . .</b>	<b>80</b>
4.1.1	Identification de la méthode de codage: le codage flottant	80
4.1.2	Présentation de la technique proposée . . . . .	82
<b>4.2</b>	<b>Algorithme de Codage Mantisse-Exposant et résultats .</b>	<b>84</b>
4.2.1	Présentation de l'algorithme implémenté sous Matlab . .	84
4.2.2	Détermination du type de l'exposant commun et de la taille du macro-pixel . . . . .	85
4.2.3	Résultat de l'algorithme proposé sur des images HDR . .	88
4.2.4	Conclusion . . . . .	91
<b>4.3</b>	<b>Choix de l'algorithme de Compression . . . . .</b>	<b>91</b>
4.3.1	Présentation des différentes transformées . . . . .	93
4.3.2	Choix des paramètres . . . . .	96
4.3.3	Implémentation des algorithmes choisis et résultats de simulation . . . . .	97
<b>4.4</b>	<b>Conclusion . . . . .</b>	<b>100</b>

---

L'application choisie pour démontrer l'intérêt de la technologie 3D étant la grande dynamique, nous avons étudié les différentes techniques utilisées pour étendre la dynamique des imageurs 2D actuels évoquées dans l'état de l'art. Afin de concilier faible bruit, pixel de petite taille et grande plage dynamique, nous avons exploré la piste du codage flottant. Ce type de codage permet à la fois de garder l'architecture et le mode de fonctionnement du pixel à la conversion analogique numérique et intégrer un traitement simple pour extraire le temps d'intégration.

Dans ce chapitre, la technique utilisée pour étendre la dynamique de l'imageur est présentée. Elle se base sur l'adaptation du temps d'intégration par groupe de pixels en rétroagissant sur l'ensemble des pixels via les interconnexions verticales. L'architecture HDR est couplée à un dispositif à deux niveaux de compression des données (Cf. Figure 4.1). Un premier niveau de compression est réalisé par un codage de la valeur du pixel avec une notation flottante, le deuxième par une Transformée en Cosinus Discrète (DCT : Discrete Cosine Transform). L'architecture des pixels classiques, 3T ou 4T, n'est pas modifiée ce qui permet d'étendre la dynamique de l'imageur en conservant ses anciennes caractéristiques telles que son facteur de remplissage, sa vitesse de lecture et son bruit. Le nombre de bits représentant l'image grande dynamique est alors réduit par la compression à deux niveaux.

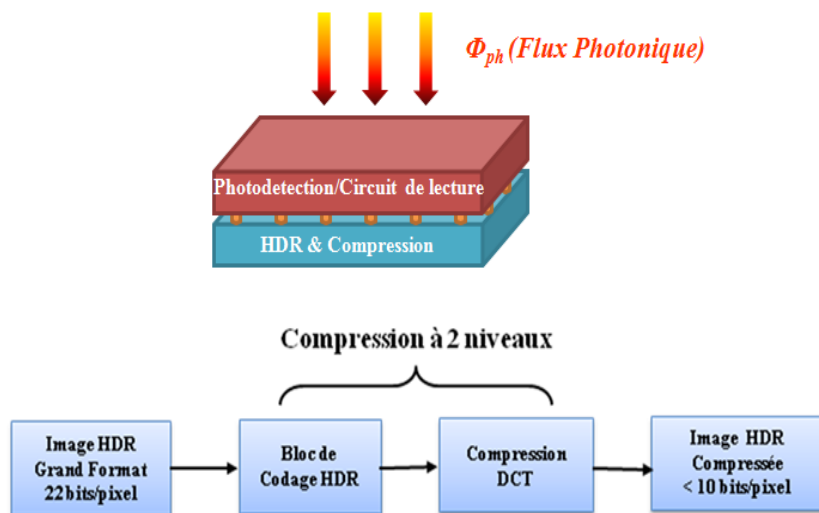


FIGURE 4.1 – Principe de la technique de compression à deux niveaux utilisée

## 4.1 Principe théorique de la technique proposée

### 4.1.1 Identification de la méthode de codage : le codage flottant

Le mode de fonctionnement des pixels 3T et 4T est l'auto-intégration dans la photodiode après chaque phase de remise à zéro. En effet, parmi l'ensemble des architectures de pixels, l'accumulation des charges résultant de la photo-transduction permet d'obtenir le niveau de bruit le plus faible. Or, la quantité maximale de charges qu'il est possible de stocker dans le pixel est directement proportionnelle à la capacité de la diode ainsi qu'à la tension maximale aux bornes de la photodiode. Exprimée en termes de charges, l'équation (1.1) devient :

$$DR = 10 \log \left( \frac{Q_{\max}}{Q_{\text{noise}}} \right) \quad (4.1)$$

avec

$$Q_{\max} = C \cdot \Delta V_{\max} \quad (4.2)$$

En ayant pour but de capitaliser sur les études complexes requises pour la conception de ces pixels, notre objectif est de proposer une architecture HDR qui préserve l'architecture du pixel, en particulier en ne modifiant pas la photodiode, donc la capacité d'intégration.

Parmi les différentes techniques existantes pour augmenter la dynamique, la variation logarithmique du temps d'exposition est l'une des solutions compatibles avec des architectures 3T ou 4T sous réserve que le contrôle du temps d'exposition soit effectué hors du pixel, [BK06]. Lorsque le temps d'exposition est ajusté en suivant une progression géométrique, un tel procédé est équivalent à un codage flottant de la valeur numérique du pixel de type Mantisse Exposant. Le temps d'intégration évalué pour chaque pixel est choisi parmi un ensemble de valeurs prédéfinies évoluant en puissance de 2 et dont le nombre dépend de l'extension choisie pour la dynamique. Il s'agit de coder le temps d'intégration sur  $k$  intervalles évoluant selon une suite géométrique de raison 2 :  $T_{\text{ligne}}$ ,  $2 \cdot T_{\text{ligne}}$ ,  $4 \cdot T_{\text{ligne}}$ ,  $8 \cdot T_{\text{ligne}}$ , ...,  $2^k \cdot T_{\text{ligne}}$  (le temps d'intégration double à chaque incrément de  $k$ ) (Cf. Figure 4.2). Chaque intervalle de temps correspond à une valeur d'exposant égale à  $(k_{\max} - \{0, 1, 2, 3, \dots, k\})$  avec  $k_{\max}$  la valeur maximale que peut prendre l'exposant. La relation entre le temps d'intégration et l'exposant s'exprime comme suit :

$$T_{\text{int}} = \frac{T_{\text{image}}}{2^E} = 2^k \cdot T_{\text{ligne}} \quad (4.3)$$

Sur la Figure 4.2, on montre les chronogrammes des signaux  $RST$  et de la tension  $V_{ph}$  aux bornes de la photodiode d'un pixel 3T selon le codage flottant considéré dans notre travail. À chaque courant photonique,  $I_{ph1}$ ,  $I_{ph2}$  ou  $I_{ph3}$ , un temps d'intégration, multiple du temps ligne  $T_{\text{ligne}}$ , est associé. Dans ce cas de figure,  $k_{\max} = 3$  et l'exposant peut prendre l'une des valeurs de  $k$  appartenant à  $\{0, 1, 2, 3\}$ , le temps image,  $T_{\text{image}}$ , étant égal à  $8 \cdot T_{\text{ligne}}$ .

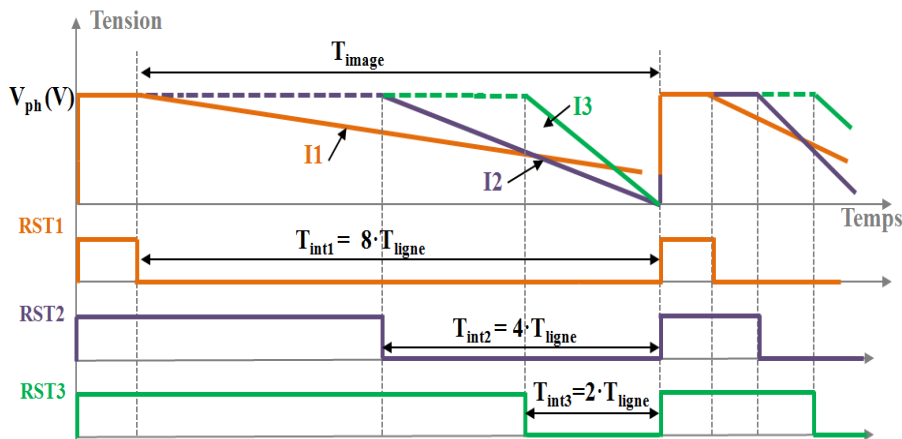


FIGURE 4.2 – Codage variable du temps d'intégration du pixel

La valeur du pixel s'écrit ainsi sous la forme suivante :

$$\text{Pixel\_Valeur} = M \cdot 2^E \quad (4.4)$$

La mantisse  $M$  représente la valeur numérisée et codée sur  $m$  bits du signal analogique issu du pixel à la fin de la période d'intégration,  $E$  étant codé sur  $\log_2(k)$  bits. Par exemple, si l'exposant est codé sur 4 bits, le temps d'intégration peut prendre l'un des 16 intervalles de temps.

On suppose une mantisse,  $M$ , codée sur 10 bits égale à "0001101010" et un Exposant,  $E$ , égal à 4. La mantisse contient 3 bits de poids fort (MSB) égaux à 0. Cela veut dire que la valeur de la mantisse n'est pas encore saturée. La précision sur la mantisse peut donc être améliorée en augmentant le temps d'intégration à

$$T_{int\_évalué} = (2^{E_{max}-4} \cdot T_{ligne}) \cdot 2^3 = (2^{15-4} \cdot T_{ligne}) \cdot 2^3 = \frac{T_{image}}{2^4} \cdot 2^3 \quad (4.5)$$

La nouvelle valeur de la mantisse sera sous la forme 1101010000 et sera recalculée dans l'image  $n + 1$  avec le nouveau exposant  $E_{évalué} = 4 - 3 = 1$ .

Ce type de codage permet d'obtenir une dynamique totale de  $(m + k)$  bits. Sur chacun des  $k$  temps d'intégration, le bruit de quantification est celui résultant d'une conversion sur  $m$  bits. On peut donc dire que le SNR de quantification est quasiment constant sur la plage de dynamique considérée.

#### 4.1.2 Présentation de la technique proposée

Dans ce travail, nous proposons d'utiliser la technique du codage flottant mantisse exposant. D'une part, l'originalité du travail réside en la non-modification de l'architecture classique du pixel et l'utilisation d'une seule lecture des pixels. D'autre part, cette originalité consiste à ajuster le temps d'intégration, en fonction de l'éclairément reçu, non pas individuellement par pixel mais par groupe de pixels.

Chaque groupe, noté dans la suite macro-pixel, n'aura plus qu'un seul exposant commun partagé par tous les éléments du groupe (Cf. Figure 4.3). En factorisant ainsi les Exposants de l'ensemble des pixels du même macro-pixel, les pixels ne se différencient alors que par leurs mantisses. Pour les zones sombres, les blocs de pixels auront un temps d'intégration long égal au maximum, soit égal au temps image. Quant aux zones les plus éclairées, les blocs de pixels auront un temps d'intégration le plus court égal au temps ligne.

Ce choix d'adaptation de temps d'intégration par macro-pixel permet de relâcher les contraintes sur le pas des interconnexions 3D et la surface afin de pouvoir intégrer des traitements locaux proches pixel. En effet, envisager une interconnexion verticale par pixel n'est pas possible aujourd'hui avec le pas actuel des interconnexions verticales atteint par les technologies 3D, notamment pour des pixels de petites tailles. Par contre, envisager une ou deux connexions verticales par groupe de pixels devient faisable même avec des pas de pixels très faibles. Quant au traitement, la surface disponible sous chaque macro-pixel est suffisante pour intégrer des opérations complexes propres au macro-pixel. Ceci rend possible l'implémentation de traitements massivement parallèle.

La valeur de chaque pixel s'écrit alors :

$$Pixel\_Valeur = M \cdot 2^{E_c} \quad (4.6)$$

$E_c$  représente la valeur de l'exposant commun à chaque macro-pixel.

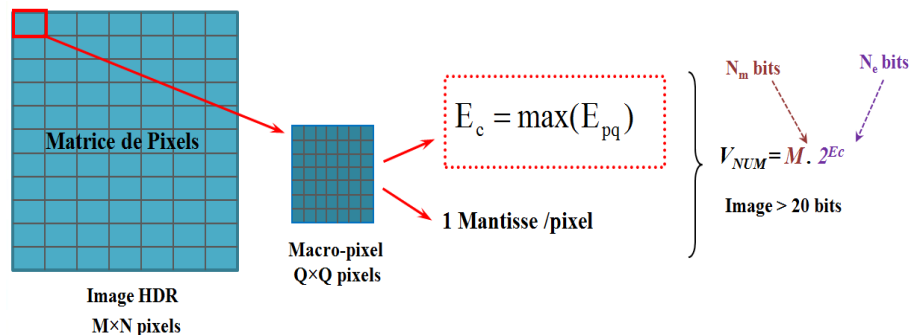


FIGURE 4.3 – Principe de Codage Mantisse-Exposant avec un exposant commun par macro-pixel

Le nombre de bits nécessaires pour coder la mantisse et l'exposant est d'abord étudié. Ensuite, le type d'exposant commun à appliquer à l'ensemble des pixels du macro-pixel et la taille du macro-pixel sont analysés et définis. Deux critères principaux sont considérés pour l'étude de la qualité des images reconstituées suite à l'application de la technique proposée : le PSNR (Peak Signal to Noise Ratio) et la qualité visuelle de l'image.

Nous entamons cette étude par la détermination du nombre de bits nécessaires pour coder la mantisse et l'exposant. Si  $N_{eq}$  représente le nombre de bits nécessaires pour un codage linéaire du signal dans toute sa dynamique, il existe plusieurs couples de nombre de bits d'exposants,  $N_e$ , et de nombre de bits de mantisses,  $N_m$ , couvrant la même plage de valeurs que  $N_{eq}$  bits linéaire. Le nombre de bits,  $N_m$ , de la mantisse détermine le SNR. Dans la plupart des applications d'acquisition d'images, les pixels sont codés sur 8 à 10 bits. Pour un bruit de quantification fixé,  $N_m$  est fixé et l'on détermine  $N_e$  par la relation suivante :

$$N_e = \lceil \log_2(-N_m + N_{eq}) \rceil \quad (4.7)$$

Dans notre cas, avec une dynamique de scènes de l'ordre de 120 dB, il faut disposer de l'équivalent d'un codage sur  $N_{eq} = 20$  bits. Par ailleurs, le SNR introduit par la quantification est fixé par le nombre de bits de la mantisse. Un SNR de 50dB constitue une limite basse pour les capteurs d'images et impose de coder la mantisse au moins sur 8 bits. L'équation (4.7) nous montre que la dynamique de 120 dB peut être atteinte en prenant  $N_m = 6$  bits et  $N_e = 5$  bits avec 16 valeurs distinctes de l'exposant ou  $N_m = 8$  ou 10 bits et  $N_e = 4$  bits avec 13 ou 11 valeurs distinctes de l'exposant. Par ailleurs, le choix du nombre de bits des mantisses doit être compatible avec l'implémentation d'un convertisseur compacte et à faible consommation, tel qu'un convertisseur à rampe, celui-ci devant également être intégré dans chaque macro-pixel. Pour tenir compte des performances accessibles simplement, nous retiendrons le choix d'une mantisse codée sur 10 bits.

Ce codage permet de passer de 20 bits par pixel à 12 ou 14 bits par pixel selon le nombre de bits  $N_m$  de la mantisse. Notre approche d'exposant commun par macro-pixel permet de limiter d'avantage le flux de données imposé par l'augmentation de la dynamique. Cette technique introduit un taux de compression dont l'expression est donnée par l'équation 4.8 :

$$T_c = \frac{\left(N_m + \frac{N_e}{Q^2}\right)}{N_e + N_m} \quad (4.8)$$

Où  $Q^2$  représente le nombre de pixels dans un macro-pixel.

Lorsque  $Q^2$  tend vers l'infini, la limite du taux de compression est :

$$T_{limite} = \frac{Nm}{Ne + Nm} \quad (4.9)$$

En pratique, au-delà de  $Q^2 = 16$  le taux de compression n'évolue plus de façon significative. L'algorithme proposé a été appliqué à une image HDR dont les pixels étaient codés linéairement sur 22 bits. Les résultats sont reportés dans la section 4.2.3.

## 4.2 Algorithme de Codage Mantisse-Exposant et résultats

### 4.2.1 Présentation de l'algorithme implémenté sous Matlab

Les données d'entrée de l'algorithme proviennent d'une image HDR ayant 22 bits de dynamique linéaire soit 130 *dB* de dynamique équivalente. L'algorithme, développé sous Matlab, qui a permis d'implémenter la technique de codage Mantisse-Exposant proposée se décompose selon les étapes suivantes (Cf. Figure 4.4) :

- Lecture de l'image HDR.
- L'ensemble des paramètres suivants est défini :
  - $Q$  : Taille d'un macro-pixel  $Q \times Q$
  - $Ne$  : Nombre de bits codant l'exposant
  - $Nm$  : Nombre de bits codant la mantisse
- L'image est redimensionnée pour être un multiple de la taille des macro-pixels.
- Le codage Mantisse-Exposant est effectué dans un premier temps, dans la base  $\log 2$ , en attribuant une mantisse et un exposant propre à chaque pixel.
- Le calcul de l'exposant maximum par bloc est dans un second temps effectué et on obtient une matrice de tous les exposants maximum de l'image.
- Enfin, chaque pixel d'un bloc voit sa mantisse ré-encodée selon l'exposant maximum commun évalué par macro-pixel de taille  $Q \times Q$  pixels. Et quelque part le nombre de bits des mantisses est ajusté.
- L'image finale est ainsi reconstruite à partir de la matrice des mantisses et la matrice des exposants communs maximum.

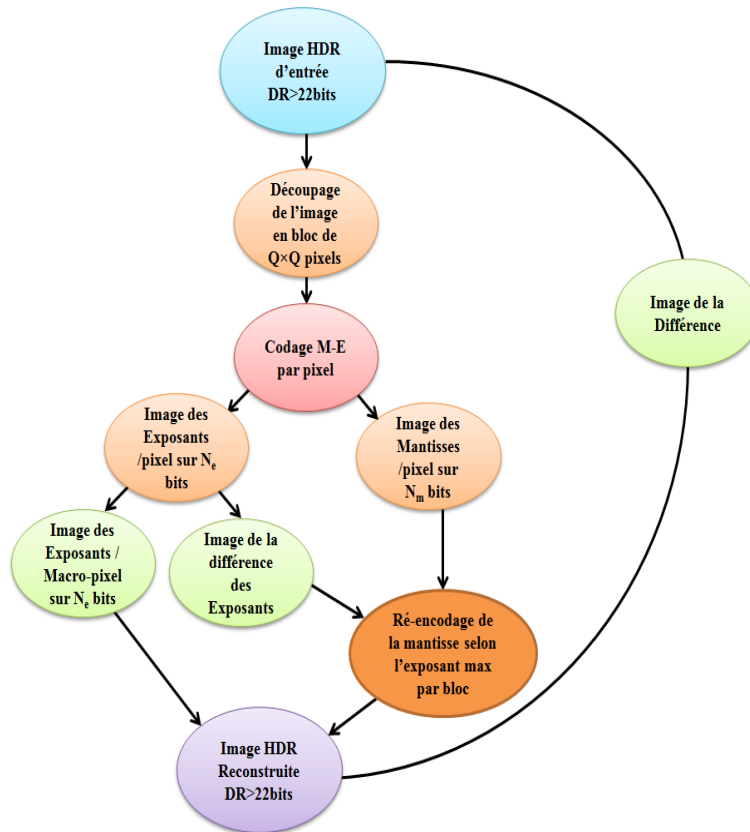


FIGURE 4.4 – Algorithme de Codage Mantissee-Exposant de l'image

Comme précédemment mentionné, le critère principal considéré est le PSNR. En effet, ce critère sert à évaluer la qualité de reconstruction de l'image en sortie d'une compression avec pertes. Pour le calculer, il faut calculer l'erreur quadratique moyenne  $MSE$  (Mean Squared Error) de la matrice  $I$  de taille  $m \times n$  au moyen de la formule suivante :

$$MSE = \frac{1}{m \cdot n} \sum_{i=0}^{m-1} \sum_{j=0}^{n-1} [I(i, j) - K(i, j)]^2 \quad (4.10)$$

Où,  $I(i, j)$  représente l'intensité du pixel d'origine  $(i, j)$  et  $K(i, j)$  la valeur obtenue par codage mantisse exposant de ce même pixel.

Le PSNR est donc calculé à partir de la formule suivante :

$$PSNR = 10 \cdot \log_{10} \left( \frac{MAX_I^2}{MSE} \right) = 20 \cdot \log_{10} \left( \frac{MAX_I}{\sqrt{MSE}} \right) \quad (4.11)$$

Où  $MAX_I$  est la valeur maximale de la matrice  $I$  et  $MSE$  est calculée à partir de l'équation (4.10).

## 4.2.2 Détermination du type de l'exposant commun et de la taille du macro-pixel

Le circuit de calcul du temps d'intégration est placé sous chaque macro-pixel. Il est donc nécessaire de déterminer la dimension maximale des macro-pixels qui permettent à la fois de réduire la quantité de données à transmettre, conserver un



PSNR supérieur à 50 *dB* et assurer une surface suffisante pour intégrer le circuit du calcul de temps d'intégration.

Le nombre de bits convenable pour coder la mantisse et l'exposant est un paramètre important qui permet de déterminer la dynamique finale de l'imageur. Les cas suivants ont été étudiés :

- La mantisse est codée sur 6 bits et l'exposant sur 5 bits.
- La mantisse est codée sur 8 bits et l'exposant sur 4 bits.
- La mantisse est codée sur 10 bits et l'exposant sur 4 bits.

Nous avons étudié par la suite le type d'exposant commun à appliquer au macro-pixel. Les méthodes suivantes ont été appliquées et étudiées :

- L'exposant commun est la moyenne de tous les exposants de l'ensemble de  $Q \times Q$  pixels du même macro-pixel.
- L'exposant commun est la médiane de tous les exposants de l'ensemble de  $Q \times Q$  pixels du même macro-pixel.
- L'exposant commun est le maximum de tous les exposants de l'ensemble de  $Q \times Q$  pixels du même macro-pixel.

La courbe de la Figure 4.5 montre les résultats de l'application de ces trois méthodes sur l'image HDR d'entrée de la figure 4.7 pour une mantisse codée sur 10 bits et un exposant sur 4 bits.

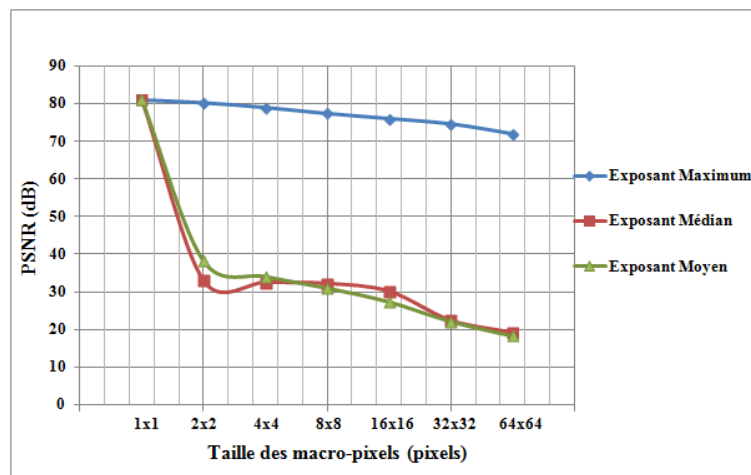


FIGURE 4.5 – PSNR de l'image obtenue avec différentes méthodes d'exposant commun par macro-pixel

L'application de l'exposant maximum à tous les pixels du macro-pixel montre des valeurs de PSNR plus élevées que les deux autres méthodes quel que soit le nombre de bits codant la mantisse et l'exposant. Pour un macro-pixel de  $32 \times 32$  pixels, le PSNR est supérieur à 70 *dB*.

La Figure 4.6 montre la courbe de PSNR en fonction de la taille du macro-pixel pour les différents cas de codage de la mantisse et de l'exposant, pour la même image d'entrée de la figure 4.7. La courbe affichée correspond au cas d'un exposant

commun représentant le maximum de tous les exposants des pixels appartenant à un même macro-pixel.

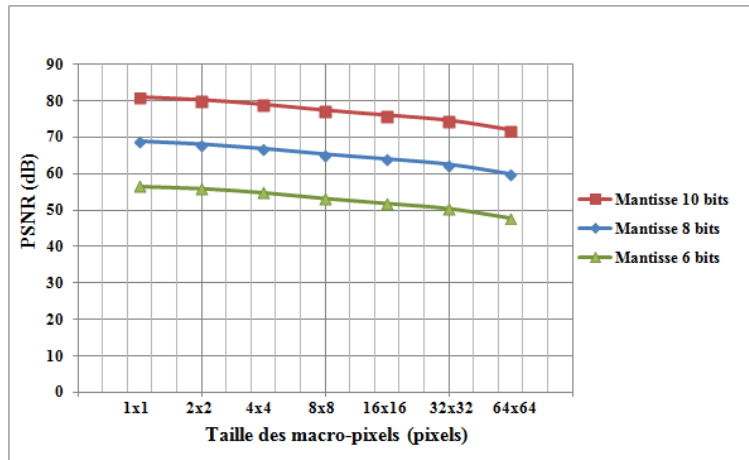


FIGURE 4.6 – Évaluation du PSNR en fonction de la taille du macro-pixel pour les cas étudiés

La courbe de la Figure 4.6 montre qu'il est plus pertinent de coder la mantisse avec au moins 8 bits et l'exposant avec 4 bits. En effet, le PSNR reste élevé même pour des tailles de macro-pixel importantes. Or plus la dimension des macro-pixels est importante, moins le problème du pas des interconnexions 3D est critique. À titre d'exemple, pour un macro-pixel de  $64 \times 64$  pixels, le PSNR atteint  $71 \text{ dB}$  pour une mantisse codée sur 10 bits et  $59,9 \text{ dB}$  pour une mantisse codée sur 8 bits, l'exposant étant codé sur 4 bits. Ceci reste largement au-dessus des valeurs typiques de PSNR situées entre  $30$  et  $50 \text{ dB}$  pour avoir une qualité d'image acceptable.

Suite à cette étude, notre choix s'est porté sur une mantisse codée sur 8 à 10 bits. Idéalement, avoir un nombre de bits effectifs de la mantisse de l'ordre de 10 bits permet d'avoir un exposant variant de 0 à 10 pour atteindre une dynamique totale de 20 bits. La valeur maximale absolue de l'exposant étant 10, le plus petit intervalle, défini par l'équation (4.12), reste raisonnable en termes de complexité d'architecture gérant le signal de commande HDR correspondant, c'est-à-dire un temps d'intégration de l'ordre de  $10 \mu\text{s}$  pour une cadence trame de  $100 \text{ images/s}$ .

$$T_{int} = \frac{T_{image}}{2^{10}} \quad (4.12)$$

À titre d'exemple, pour un imageur ayant 1024 lignes, le temps d'intégration le plus court est égal à :

$$T_{int} = T_{ligne} = \frac{T_{image}}{1024} \quad (4.13)$$

L'intervalle le plus court de temps d'intégration étant égal au temps ligne, l'architecture devient peu complexe vu que les signaux de commande d'un imageur classique sont généralement synchrones et multiples de l'horloge ligne. En outre, avoir une mantisse codée sur 8 ou 10 bits permet d'utiliser une architecture classique du CAN en ayant un nombre de bits effectif très proche de la résolution définie dans le cahier de charges du CAN. L'exposant est donc codé sur 4 bits.

Cette étude permet également de déterminer la taille du macro-pixel la mieux adaptée à notre application. Il apparaît que les macro-pixels peuvent atteindre des dimensions de  $32 \times 32$  pixels tout en conservant un PSNR élevé, c'est-à-dire supérieur

à 60 *dB*. Ceci permet de relâcher les contraintes sur le pas des interconnexions 3D et de rajouter des traitements supplémentaires à la suite du codage Mantisse-Exposant sans impacter significativement la qualité de l'image. La taille de  $32 \times 32$  pixels est donc retenue pour les macro-pixels du capteur d'images HDR proposé.

### 4.2.3 Résultat de l'algorithme proposé sur des images HDR

À l'issu de l'étude précédente, la taille du macro-pixel a été fixée à  $32 \times 32$  pixels, le nombre de bits codant respectivement la mantisse et l'exposant a aussi été fixé, 8 à 10 bits pour la mantisse et 4 bits pour l'exposant. Les valeurs de PSNR obtenues, à l'application de l'algorithme proposé, ont montré une bonne qualité d'image. Dans ce paragraphe, les résultats visuels obtenus sur l'image HDR sont affichés afin de confirmer le résultat obtenu grâce au PSNR. La Figure 4.7 présente l'image HDR d'entrée, affichée en échelle *LOG* en base 10 avec des fausses couleurs comme l'affichage d'une très grande dynamique n'est pas supportée par les écrans actuels.

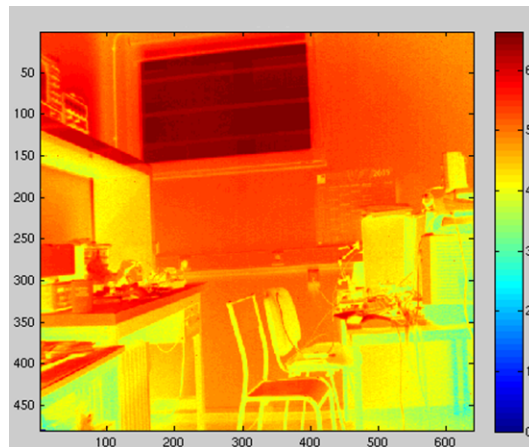


FIGURE 4.7 – Image d'entrée HDR, DR > 120 *dB*

Les images de la Figure 4.8 présentent respectivement les zones fortement et les zones faiblement éclairées de l'image HDR d'entrée, affichées en échelle linéaire.

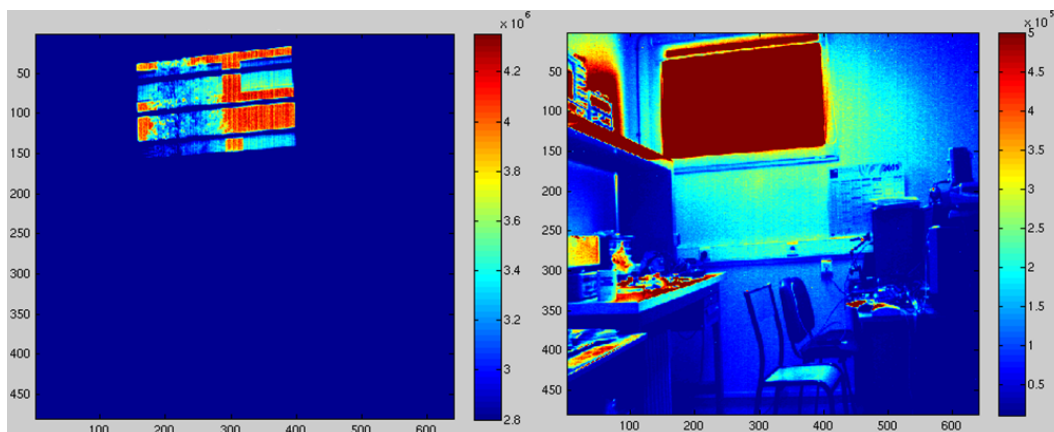


FIGURE 4.8 – Image HDR d'entrée : zones fortement éclairées (Gauche), zones faiblement éclairées (Droite)

Comme l'échelle complète de luminance n'est pas supportée par l'affichage, l'échelle est ajustée pour permettre un affichage lisible sur respectivement les zones fortement

éclairées et les zones faiblement éclairées de l'image.

L'algorithme de codage en Mantisse-Exposant a été appliqué à cette image. Afin de différencier le codage flottant classique et le codage proposé avec un exposant commun par macro-pixel, nous affichons, en Figure 4.9, l'image des exposants en gardant un exposant propre par pixel et l'image des exposants en appliquant l'exposant maximum au macro-pixel.

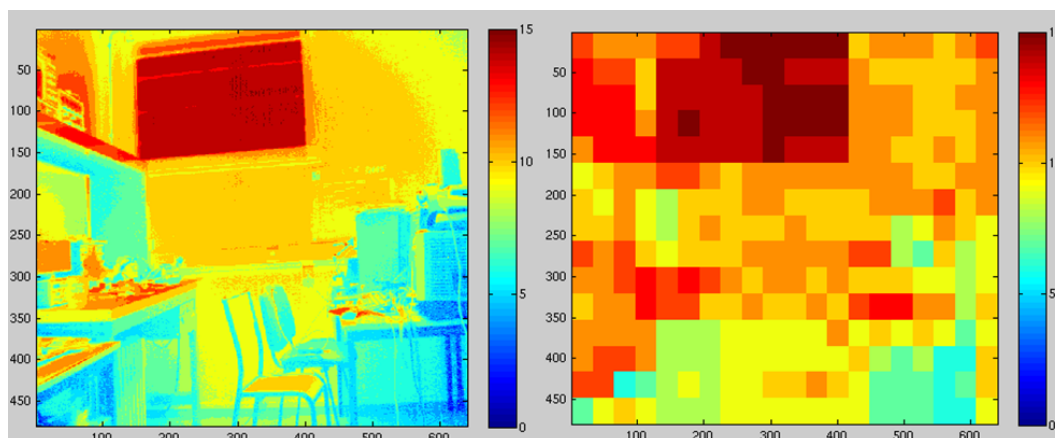


FIGURE 4.9 – Image des Exposant ( $E$  / pixel) (Gauche),  $E_c$  / macro-pixel (Droite)

L'image de droite de la Figure 4.9 montre le codage d'exposant commun par bloc et l'image de gauche correspond à l'image des exposants avec un exposant propre par pixel. L'image de gauche montre que les exposants modélisent une partie de l'image avec certains détails gardés contrairement à l'image des exposants communs par bloc ne montrant que des blocs de différentes valeurs d'exposants. Cependant, en combinant l'image des exposants communs avec l'image des mantisses propres obtenue en sortie du CAN (Cf. Figure 4.10), l'image complète est reconstituée.

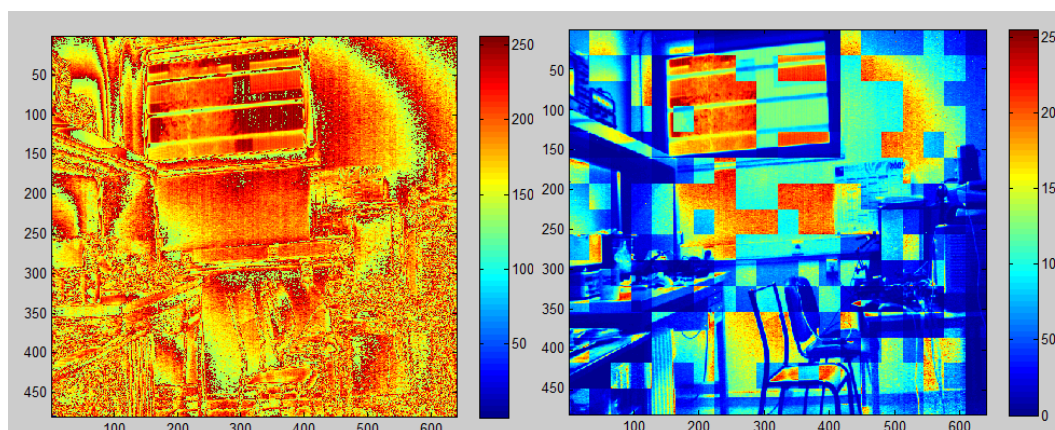


FIGURE 4.10 – Image des Mantisses avant (gauche) et après (droite) codage Mantisse-Exposant avec un Exposant Commun par Macro-pixel

Cet algorithme est fiable en termes de qualité visuelle de l'image car il reproduit l'image d'entrée en gardant tous les détails (Cf. Figure 4.11). Les différences entre les deux images ne sont pas facilement détectable par l'œil humain.

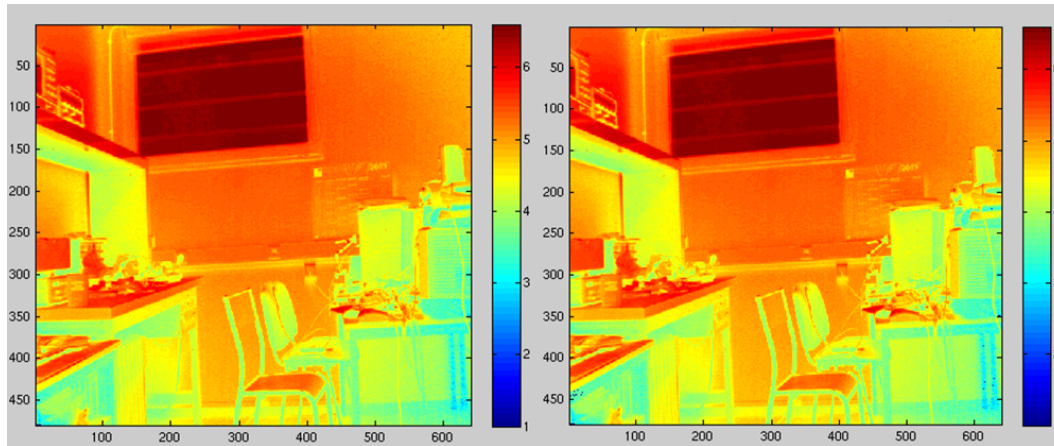


FIGURE 4.11 – Image Originale (Gauche), Image Reconstituée avec  $E_c$  / Macro-pixel (Droite)

Comme l'affichage des figures précédentes ne permet pas de voir l'image avec tous les détails, un zoom des parties très éclairées de l'image (haut de l'échelle de luminosité) est affiché sur la Figure 4.12. Le zoom autour de la fenêtre, considérée comme la zone la plus éclairée de l'image, montre que la technique de factorisation de l'exposant par groupe de  $32 \times 32$  pixels n'a qu'un faible impact sur la qualité visuelle des images ressentie par la valeur du PSNR correspondante. En examinant de plus près l'image reconstruite, des légers impacts apparaissent au niveau des zones de transition entre les zones de luminosités très différentes.

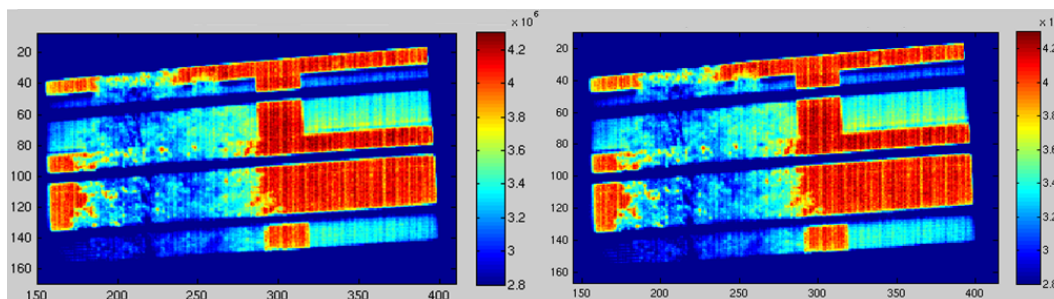


FIGURE 4.12 – Image Originale (Gauche), Image Reconstituée avec  $E_c$  / Macro-pixel (Droite)

La Figure 4.13 montre l'image de l'erreur relative calculée entre l'image HDR originale et l'image reconstruite après codage Mantisse-Exposant avec un exposant commun par macro-pixel, normalisée par rapport à l'image d'origine. Cette image d'erreur montre des différences de luminosité par bloc dues à l'application de l'exposant maximum et retrace les contours des différents objets. L'erreur maximale est de l'ordre de 1% ce qui prouve la bonne qualité de l'image obtenue.

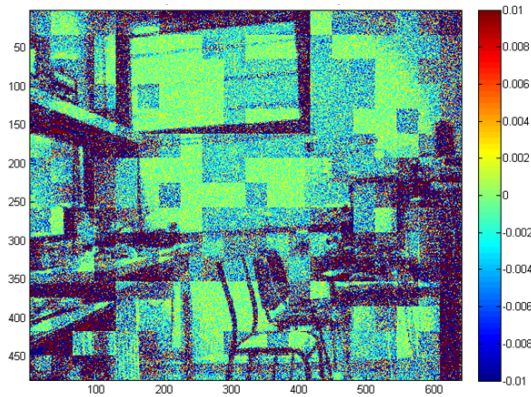


FIGURE 4.13 – Image de l'erreur relative

#### 4.2.4 Conclusion

En conclusion de cette partie, cette technique de factorisation permet de garder tous les détails de l'image avec une valeur de PSNR élevée. L'impact de cette technique n'est pas visible à l'œil humain sauf dans le cas d'images non homogènes. Le principe décrit a été vérifié sur plusieurs images HDR. En outre, cette nouvelle méthode de codage par exposant commun permet d'assurer un premier niveau de compression. Le choix de l'application du maximum n'est pas pertinent qu'en terme de PSNR mais aussi en terme d'implémentation physique ce qui est montré dans le chapitre 5. En effet, cette factorisation d'exposant permet d'avoir suffisamment de surface pour intégrer un bloc de calcul de temps d'intégration par macro-pixel. Ceci relâchera également les contraintes sur le pas des interconnexions 3D. Comme, montré dans la section 4.2, les valeurs de PSNR obtenues après codage Mantisse-Exposant avec un Exposant commun par bloc sont suffisamment élevées pour permettre un traitement en dépit de ce codage. Notre choix s'est orienté vers un deuxième niveau de compression afin de réduire le flux de données en sortie de l'imageur sans diminuer la dynamique de l'image. L'étude de ce traitement est présentée dans la section 4.3.

### 4.3 Choix de l'algorithme de Compression

Comme la donnée traitée est une image HDR, le flux de données en sortie de la puce est très important. Le codage mantisse exposant tel que proposé dans ce travail permet de réaliser un premier niveau de compression. Bien que les données soient classiquement évacuées en série, le traitement au sein de l'imageur proposé est en parallèle. Il est plus judicieux d'intégrer un traitement effectuant une compression de la donnée HDR et permettant de garder la structure parallèle du macro-pixel. L'étude du traitement est orientée donc vers la recherche d'une compression simple à intégrer dans le macro-pixel. Dans le choix du type de la compression, des contraintes fortes notamment en termes de consommation et de surface doivent être prises en compte. Il est ainsi proposé de mettre en œuvre un algorithme de compression simple ne se basant que sur des opérations de multiplications et d'additions. Cet algorithme effectue un deuxième niveau de compression après le codage Mantisse-Exposant. Il s'applique uniquement à la matrice de mantisses étant donné que la matrice d'exposants est déjà compressée.

La chaîne de traitement de compression d'une image est classiquement constituée d'une transformée qui va séparer les composantes hautes fréquences et basses fréquences. Cette transformée est suivie d'une quantification qui permet de réduire l'amplitude de ces coefficients. Enfin, un codeur entropique va les encoder avec un code à longueur variable. L'association de la quantification et du codeur à longueur variable permet ainsi d'obtenir la réduction du nombre de bits de l'image, mais c'est particulièrement la quantification qui permet de jouer sur le taux de compression et la qualité de l'image résultante en annulant plus ou moins de coefficients issus de la transformée. Dans le cas d'une compression pour transmission, l'ordre de parcours des coefficients est aussi très important car quand la capacité du canal est atteinte, la transmission des coefficients doit être arrêtée. La Figure 4.14 montre les chaînes classiques de compression *JPEG* (*Joint Photographic Expert Group*) et *JPEG 2000*.

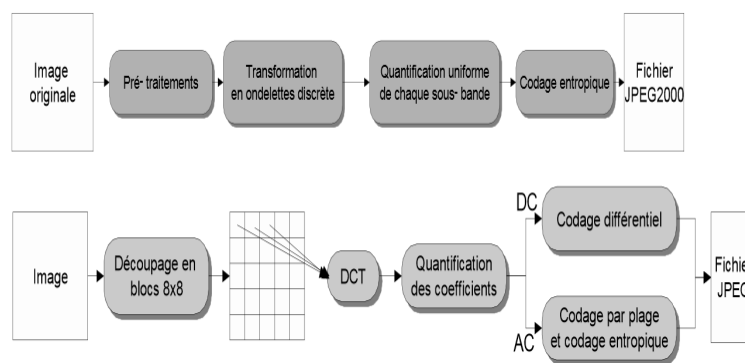


FIGURE 4.14 – Chaîne de codage JPEG et JPEG2000, [Bas]

La transformée est un élément clé dans la chaîne de compression. Cependant, la simple décomposition d'un signal ne permet pas de réaliser une compression de données : un vecteur à quatre entrées sera transformé en un autre vecteur à quatre entrées. Toutefois, pour certains types de signaux, la compression est effectuée grâce à l'application d'un seuil ; ainsi, plusieurs coefficients de la transformée appliquée seront quelque peu modifiés de sorte que la décomposition obtenue contienne des suites de 0. Ces suites de 0 seront alors stockées en utilisant un code à longueur variable, permettant ainsi de diminuer l'espace-mémoire nécessaire.

Comme précédemment mentionné, dans le cas de notre imageur cette chaîne doit être simplifiée pour tenir compte de la structure des macro-pixels et les contraintes locales et globales de l'architecture. La contrainte locale réside principalement dans la surface limitée due à la structure du macro-pixel. En effet, la compression doit se faire au sein du macro-pixel et doit donc tenir dans la surface d'un macro-pixel. Au niveau de l'architecture globale, les données issues et compressées dans chaque macro-pixel doivent ensuite être récupérées et réunies pour être transmises à l'extérieur de l'imageur. Pour atteindre ce résultat, la quantité de données transmise par chaque macro-pixel doit être constante et identique pour chaque macro-pixel de l'imageur. D'autre part, le type de compression à choisir doit permettre d'avoir un contrôle et une architecture simples. Ce résultat est obtenu en ne mettant pas de codeur entropique en sortie de la transformée. En effet, le codage entropique à longueur variable nécessite une surface importante et ne peut pas être introduit dans le flot de compression qui sera employé dans le circuit de ce travail de thèse.

La compression est donc obtenue par une quantification agressive en abandonnant

les coefficients hautes fréquences qui seront donc considérés comme étant égaux à zéro lors de la reconstruction (Cf. Figure 4.15).

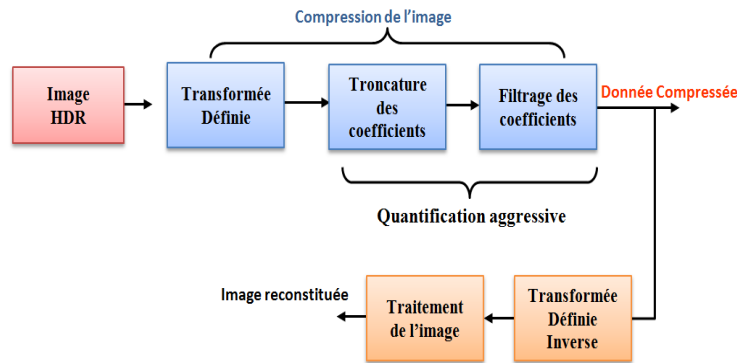


FIGURE 4.15 – Chaîne de compression proposée sans codeur entropique

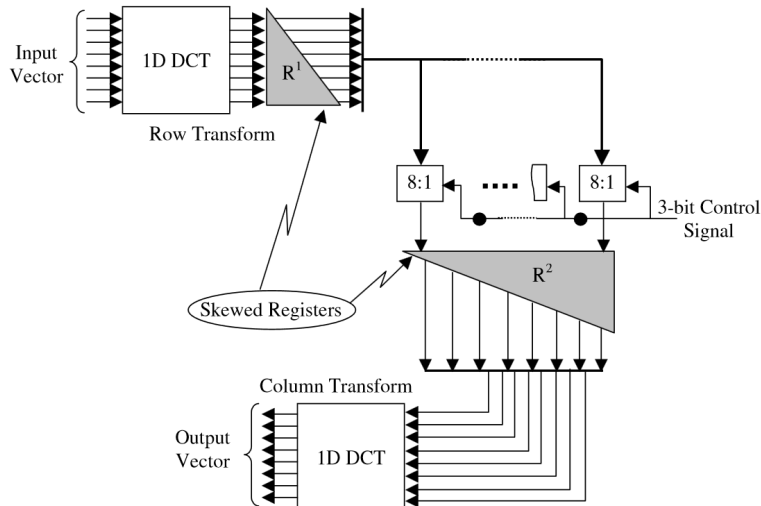
Il reste à définir la transformée à utiliser dans le flot proposé. Trois choix de transformée se présentent : ondelettes de Haar, transformée de Walsh-Hadamard, DCT (Transformée de Cosinus Discrète). Les Ondelettes de Haar et la transformée de Walsh-Hadamard sont équivalentes et font des décompositions sur des bases de formes d'ondes rectangulaires. La DCT fait une décomposition sur une base d'ondelettes (co)sinusoïdales. Bien que les transformées de Haar et Walsh-Hadamard aient l'avantage de ne pas avoir besoin de multiplications, seulement des additions/soustractions, ces techniques ont fortement besoin d'un codeur entropique et ne peuvent se contenter d'une simple décimation pour effectuer une compression avec une qualité d'image résultante "acceptable". Une comparaison entre ces deux transformées a été établie en se basant sur deux critères principaux : le PSNR et le taux de compression. Cette étude a permis de déterminer la technique de compression adaptée à notre application.

### 4.3.1 Présentation des différentes transformées

#### 4.3.1.1 La Transformée en Cosinus Discrète (DCT)

La DCT est une transformée travaillant sur un signal discret. Elle prend un ensemble de points d'un domaine spatial et le transforme en une représentation équivalente dans le domaine fréquentiel. La DCT 2D, classiquement utilisée pour transformer une image, peut être séparée en deux DCT unidimensionnelles. La première DCT-1D est utilisée pour transformer les lignes de la matrice image tandis que la deuxième DCT-1D est utilisée pour transformer les colonnes de la matrice image. La Figure 4.16 montre un exemple de DCT 2D composée en deux DCT-1D. La chaîne de transformée DCT-2D se fait sur trois étapes successives : Une première transformée DCT-1D des lignes de la matrice, une transposition de données par des registres et des multiplexeurs et une deuxième transformée DCT-1D des colonnes de la matrice.




 FIGURE 4.16 – Schéma bloc d'une DCT-2D pour un bloc de  $8 \times 8$  pixels, [AJ03]

La transformée DCT-1D appliquée sur les lignes et les colonnes suit généralement la même équation (4.14) :

$$z_k = \sqrt{\frac{2}{N}} \cdot c(k) \cdot \sum_{i=0}^{N-1} x_i \cdot \cos \frac{(2i+1) \cdot k \cdot \pi}{2N}, k = 0, 1, 2, \dots, N-1$$

$$c(k) = \begin{cases} \frac{1}{\sqrt{2}}, & k = 0 \\ 1, & k \neq 0 \end{cases} \quad (4.14)$$

$N$  est le nombre de lignes (ou colonnes).

Le calcul de la DCT est souvent appliqué sur des blocs carrés ou rectangulaires de quelques dizaines de pixels car effectuer le calcul sur l'image complète générerait des opérations complexes, en consacrant beaucoup de coefficients à des informations très basses fréquences. Appliquée à une image, la DCT concentre l'énergie vers les basses fréquences. Pour mémoire, ceci permet alors d'implémenter une quantification et un codeur entropique afin de retenir uniquement les coefficients pertinents après le filtrage. L'usage le plus courant de la DCT se fait sur des blocs de  $8 \times 8$  pixels, tel que utilisé dans la norme *JPEG*. La DCT est donc effectuée sur chaque sous-matrice  $8 \times 8$  de valeurs de pixels, et elle donne une matrice  $8 \times 8$  de coefficients de fréquence : l'élément  $(0, 0)$  représente la valeur moyenne du bloc, les autres indiquent la puissance spectrale pour chaque fréquence spatiale. La DCT est conservative si l'on ne tient pas compte des erreurs d'arrondis qu'elle introduit. Bien que cette technique s'avère pertinente en termes de transmission et de mémorisation d'image, l'implémentation de la transformée DCT est très coûteuse notamment en termes de surface et ne pourrait pas être implémentée telle quelle au sein du macro-pixel.

#### 4.3.1.2 La Transformée en Ondelettes

Les ondelettes sont utilisées afin de décomposer une fonction réelle (signal) en une combinaison linéaire de fonctions élémentaires (ondelettes). Il existe plusieurs familles d'ondelettes : ondelettes de Daubechies, ondelettes de Shannon, ondelettes de Maar, etc. Dans la perspective d'une implémentation compacte, nous utiliserons

la plus simple de toutes les familles d'ondelettes : les ondelettes de Haar. L'ondelette mère est définie par :

$$\psi(t) = \begin{cases} 1 & , \text{ si } & 0 \leq t \leq \frac{1}{2} \\ -1 & , \text{ si } & \frac{1}{2} \leq t \leq 1 \\ 0 & \text{ sinon.} \end{cases} \quad (4.15)$$

Selon le seuil appliqué aux coefficients résultants de la transformée, la compression à base d'ondelettes peut alors être sans ou avec pertes d'information. Comme le nom l'indique, aucun détail n'est perdu lors de la compression sans perte d'information. Une compression sans perte d'information peut être obtenue en utilisant un algorithme de type Lempel-Ziv-Welch (LZW) qui travaille sur les suites de mots répétées pour diminuer la taille des données.

Bien que l'image compressée soit une représentation exacte de l'image initiale, les taux de compression sont inférieurs à ceux obtenus lorsqu'on permet d'éliminer certains détails. Le flot de compression à base d'ondelettes se résume donc dans la décomposition du signal en coefficients de Haar ce qui génère des suites de coefficients de faibles valeurs ou nuls, l'application d'un seuil permettant ensuite d'avoir des suites de zéros (au prix d'une perte d'informations) pour augmenter le taux de compression, la quantification et enfin l'application d'un code de Huffman permettant de compresser la donnée d'entrée. La transformée en ondelettes est généralement utilisée jusqu'à l'ordre 3 de décomposition. Une ondelette supérieure à 3 ordres consécutifs est très complexe à implémenter. Pour cette raison, la compression à base d'ondelettes est classiquement utilisée sur des sous-matrices de  $8 \times 8$  pixels sur trois étapes. La Figure 4.17 illustre la façon de décomposition de la transformée en ondelettes en 3 niveaux sur des blocs de  $8 \times 8$  pixels.

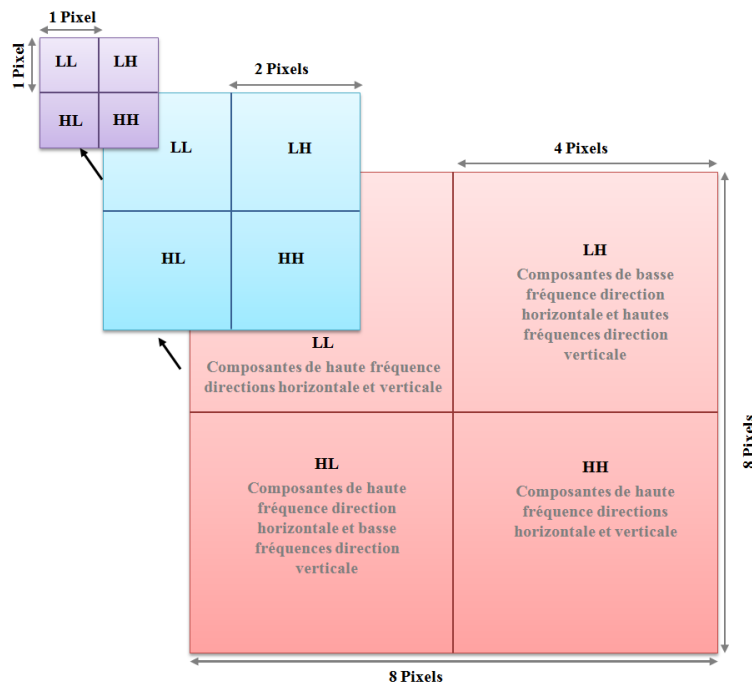


FIGURE 4.17 – Structure de la décomposition de la transformée en ondelettes en 3 niveaux sur des blocs de  $8 \times 8$  pixels, [TH07]

La Figure 4.18 montre un exemple d'image (image d'origine à gauche) décomposée en ondelettes à trois niveaux appliquées à des blocs de  $8 \times 8$  pixels (image à

droite).

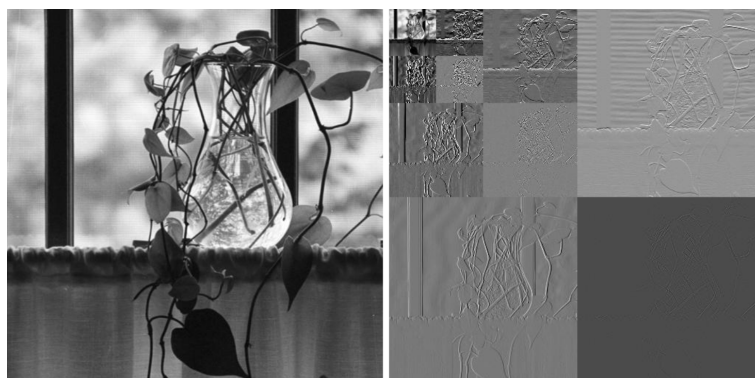


FIGURE 4.18 – Application d'une transformée en ondelettes à 3 niveaux sur une image par bloc de  $8 \times 8$  pixels, [GW02]

### 4.3.2 Choix des paramètres

Comme précédemment mentionné, le codeur entropique, pertinent dans la compression à base de DCT et dans celle à base d'ondelettes, est très coûteux en termes de surface et ne pourra pas être implémenté dans un macro-pixel. Il faut donc choisir un type de filtrage permettant à la fois de réaliser des taux de compression élevés tout en gardant suffisamment d'information dans l'image résultante pour qu'elle soit utilisable dans d'autres traitements. On peut appliquer un masque (ou filtre) sur l'image après la transformée permettant de retenir un nombre de coefficients déterminé et ainsi un taux de compression fixe. Une autre méthode consiste à arrondir les coefficients résultants de la transformée et ne retenir que quelques bits, cette troncature induit un taux de compression variable dépendant de la donnée d'entrée. La troncature et le filtre peuvent aussi s'associer ensemble pour augmenter d'avantage le taux de compression. Ces différents cas ont été étudiés et les résultats seront présentés dans la suite.

Dans l'étude réalisée, une plage dynamique de 8 à 10 bits pour la mantisse et 4 bits pour l'exposant ont été fixés. La taille du macro-pixel retenue pour le circuit est de  $32 \times 32$  pixels. Idéalement, la comparaison entre les deux transformées devrait s'établir sur des blocs de  $32 \times 32$  pixels. Cependant, la transformée en ondelettes ne peut pas être appliquée à un ordre supérieur à 3 à cause de la complexité d'implémentation physique. Elle ne focalisera pas ainsi l'énergie en une seule composante  $(0, 0)$  et elle induira forcément plus de composantes différentes de zéro. La comparaison pertinente entre la compression à base de DCT et la compression à base d'ondelettes se résume théoriquement dans un seul cas, soit une compression DCT sur un bloc de  $8 \times 8$  pixels et une compression en Ondelettes 3<sup>ème</sup> ordre sur le même bloc.

Les coefficients de la DCT sont codés sur 8 bits. Les algorithmes de compression ont été appliqués à l'image HDR de départ convertie en une image mantisse-exposant avec un exposant commun maximum par macro-pixel de  $32 \times 32$  pixels.

### 4.3.3 Implémentation des algorithmes choisis et résultats de simulation

Dans ce paragraphe, les principaux résultats obtenus suite à la comparaison entre la compression à base de DCT et à base d'ondelettes sont récapitulés. Les algorithmes de compression à base de DCT et d'ondelettes ont été élaborés sous Matlab. Différents cas de figure ont été simulés. Seuls les résultats du cas le plus intéressant sont illustrés dans ce paragraphe. Pour évaluer la pertinence de l'algorithme appliqué, les deux critères considérés sont le PSNR et le taux de compression. Une étude complémentaire a été également effectuée sur la transformée DCT afin de choisir correctement le nombre de bits codant les coefficients.

#### 4.3.3.1 Comparaison entre DCT et Ondelettes : application des algorithmes sur des blocs de $8 \times 8$ pixels

Dans ce premier cas de comparaison, un masque permettant de faire varier le taux de compression en ne retenant qu'un certain nombre de coefficients sortant de la transformée est appliqué dans les deux flots de compression : compression à base de DCT et compression à base d'ondelettes. Avant l'application du masque, une troncature sur les sorties de la transformée est mise en œuvre permettant de ne garder que les 8 bits de MSB. La courbe du PSNR de l'image reconstituée après transformée inverse en fonction du taux de compression est affichée sur la Figure 4.19.

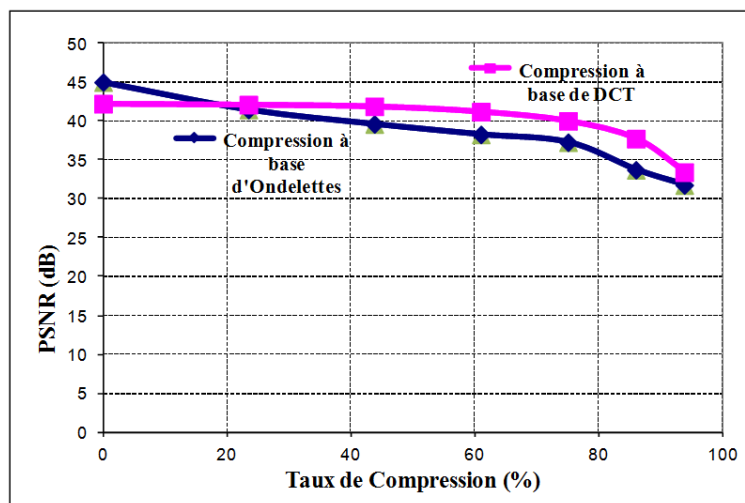


FIGURE 4.19 – Comparaison entre la compression à base de DCT et d'Ondelettes avec application d'un masque dans les deux cas de figure

La courbe de la Figure 4.19 montre que l'application du masque dans le cas de la compression à base d'ondelettes impacte le PSNR notamment pour des taux de compression élevés. À l'application de seulement une décimation dans les deux cas de transformées sans codeur entropique, la DCT devient plus pertinente que les Ondelettes. Un gain de quelques  $dB$  est alors possible avec la DCT pour un même taux de compression.

Le traitement à intégrer au sein de l'imageur a pour but de réaliser un 2<sup>ème</sup> niveau de compression après le codage mantisse exposant. Une étude a donc été faite en fixant

un taux de compression de 75% et en faisant varier la taille des blocs des transformées. Afin de simplifier l'implémentation, nous avons choisi d'appliquer un masque qui supprime les coefficients des moitiés supérieures des composantes fréquentielles. Cette méthode, brutale, est sous-optimale en ce qu'elle peut conduire à supprimer des coefficients pertinents. Cependant, elle répond au compromis à trouver pour avoir une implémentation compacte et une réduction de la quantité de données une fois la DCT effectuée. Les courbes de la Figure 4.20 illustrent le PSNR évalué en fonction de la taille du macro-pixel.

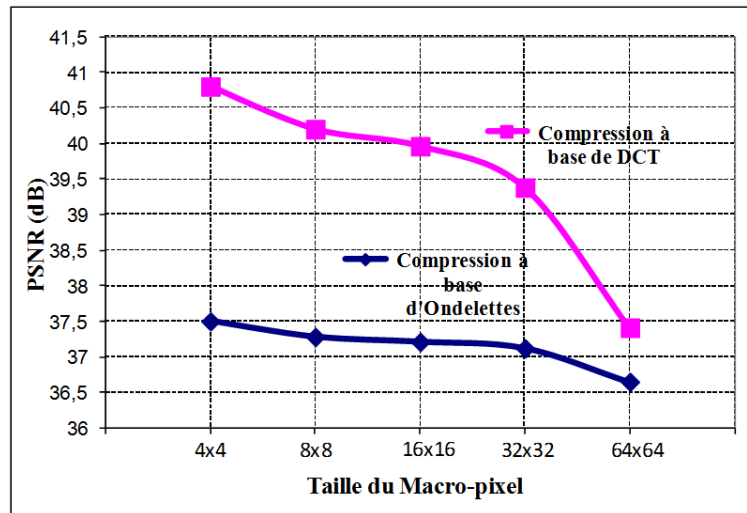


FIGURE 4.20 – Comparaison entre la compression à base de DCT et d'Ondelettes avec application d'un masque pour obtenir un taux de compression de 75%

En examinant les résultats obtenus, il paraît clair que la DCT s'avère plus pertinente dans notre cas, où le codeur entropique ne peut pas être implémenté, que les Ondelettes, et cela pour toute taille de macro-pixel.

Dans la première partie de ce chapitre, l'étude Mantisse-Exposant a permis de choisir la taille de  $32 \times 32$  pixels pour les macro-pixels, réunissant à la fois le compromis entre la surface, les contraintes en pas d'interconnexions 3D et la qualité d'image. Cette étude permet de valider qu'en rajoutant un deuxième niveau de compression, le PSNR reste acceptable et au-dessus des valeurs typiques pour une bonne qualité d'image.

#### 4.3.3.2 Complément d'étude de la compression à base de DCT

Afin de simplifier l'implémentation, nous avons cherché à déterminer l'impact, sur la qualité de l'image, de la réduction du nombre de bits codant les coefficients de la DCT.

Le PSNR est affiché sur la Figure 4.21 en fonction de la précision des coefficients de la DCT. Conformément à ce qui est prévu, plus le nombre de bits codant les coefficients de la DCT diminue plus le PSNR se dégrade. Pour avoir un PSNR acceptable au-dessus de 30 dB, la Figure 4.21 montre qu'au moins 5 bits sont nécessaires pour coder les coefficients de la DCT. Ce critère est important à étudier car il détermine la complexité des opérateurs à implémenter.

Un taux de compression sur les mantisses de 75 % peut être atteint tout en conservant une qualité d'image acceptable (PSNR d'environ 40 dB). Il est possible d'aller

jusqu'à un taux de compression de 93 % pour un PSNR de 30 dB, ce qui constitue la limite minimale acceptable permettant de garder certains détails pouvant servir à des post-traitements.

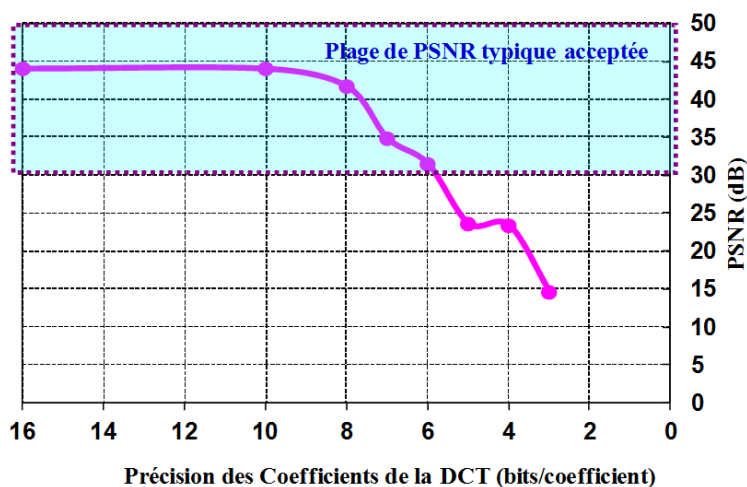


FIGURE 4.21 – Courbe de PSNR en fonction de la précision des coefficients de la DCT, taux de compression de 75%

Les figures 4.22 et 4.23 représentent le résultat d'une compression et une décompression avec un taux de 75 % sur les mantisses et des coefficients de la DCT sur 8 bits sur l'image HDR d'entrée. L'effet de bloc de  $32 \times 32$  devient visible et certains détails sont perdus, cependant l'image conserve sa grande dynamique et reste utilisable pour faire des post-traitements tels que de la détection de contours.

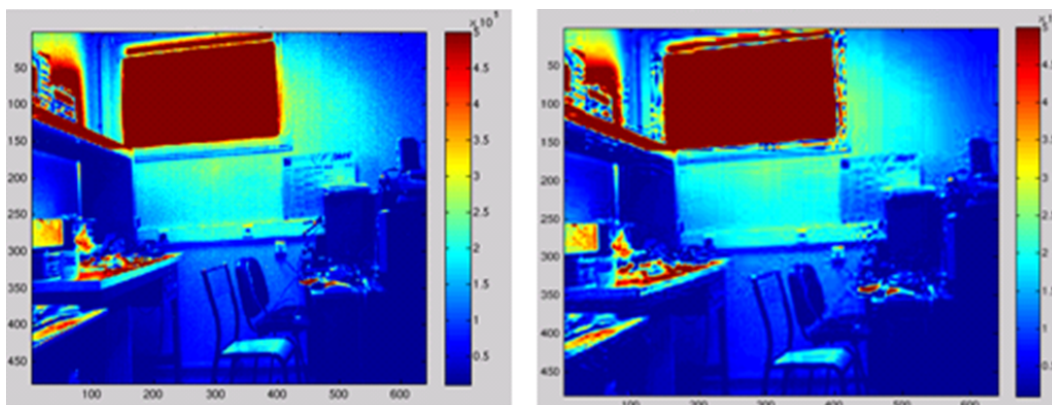


FIGURE 4.22 – Image à échelle vers des luminances moyennes, image originale (gauche), Image reconstruite après DCT inverse (droite), Compression de 75% sur les mantisses, (coefficients de la DCT sur 8 bits)

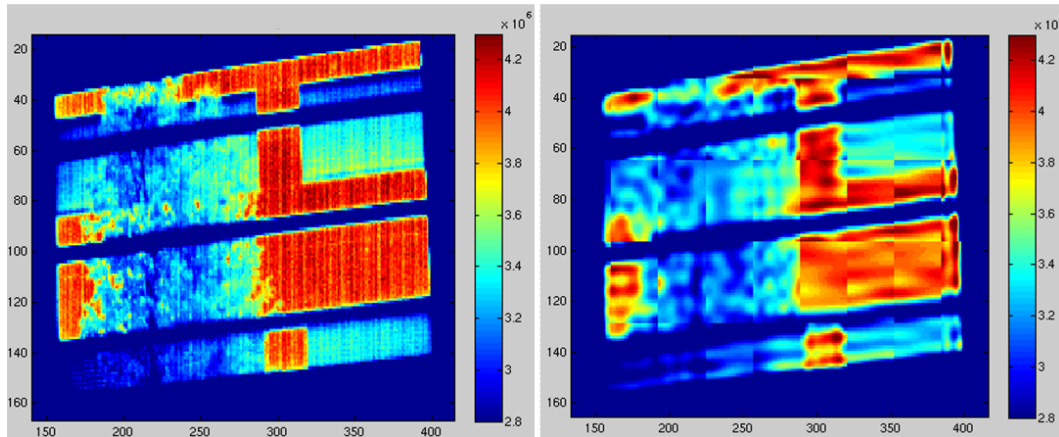


FIGURE 4.23 – Image à échelle vers des luminances élevées, image originale (gauche), Image reconstruite après DCT inverse (droite), compression de 75% sur les mantisses, (coefficients de la DCT sur 8 bits)

#### 4.3.3.3 Implémentation physique de la DCT32

La taille du macro-pixel étant fixé à  $32 \times 32$  pixels, la DCT est appliquée sur les mantisses de l'ensemble des pixels appartenant au même macro-pixel. L'étude a montré que pour la compression à base de DCT, un bon compromis entre la complexité de l'architecture et le PSNR était obtenu avec une DCT bidimensionnelle  $16 \times 16$ . Ceci revient à appliquer quatre calculs de DCT  $16 \times 16$  par macro-pixel. La précision des coefficients est également fixée à 3 bits, ce qui avec le bit de signe fait 4 bits pour stocker un coefficient.

La DCT est principalement basée sur des opérations de multiplications et additions. La multiplication entre deux mots binaires de longueurs  $n$  et  $m$ , le résultat est de longueur  $(n+m)$  bits. Si on considère donc un coefficient de DCT codé sur 3 bits et une mantisse codée sur 10 bits, le résultat de la première multiplication est codé sur 13 bits. Afin de simplifier l'implémentation physique, une troncature est effectuée sur les données résultantes de la multiplication. Pour la donnée résultante, seuls les 10 bits de MSB sont conservés.

## 4.4 Conclusion

Une transformée en cosinus discrète sera alors utilisée car elle offre d'une part une grande régularité de traitement et d'autre part elle peut être facilement reconfigurée pour que ses opérateurs soient utilisés dans d'autres types de filtrage. Classiquement ce type de transformée est appliqué sur des blocs de  $8 \times 8$  pixels. Dans le cas de l'imageur HDR proposé, elle sera appliquée sur les mantisses des macro-pixels comme illustrée sur la Figure 4.24, c'est donc une DCT  $16 \times 16$ , comme dit dans 4.3.3.3, qui sera utilisée. En plus d'éliminer les coefficients basses fréquences, la quantification en sortie de la DCT ramène les coefficients conservés sur le nombre de bits des mantisses de départ (8 bits). Pour un macro-pixel ce sont ces coefficients qui seront transmis en plus de l'exposant commun.

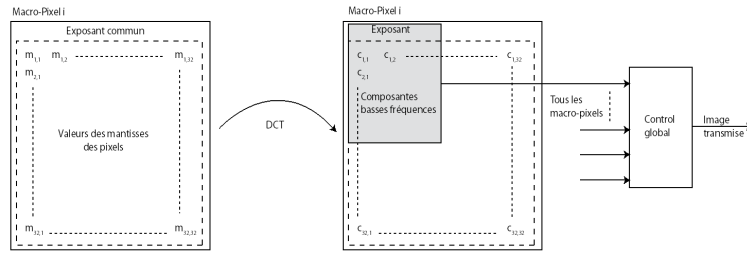


FIGURE 4.24 – Compression d'un macro-pixel à l'aide de la DCT

Le taux de compression est fixé à 75 % sur la matrice de mantisses. Nous avons choisi d'appliquer un masque qui ne conserve que les 1/4 des coefficients (à savoir ceux du quadrant supérieur gauche)(étape de filtrage dans la Figure 4.25). Le calcul de la transformée induit en sortie un nombre de bits supérieur au nombre de bits de la donnée d'entrée à cause des multiplications effectuées. Une troncature avant le filtrage est alors nécessaire pour ne garder que les 8 bits de MSB de la donnée transformée (Cf. Figure 4.25). Hors de l'imageur, l'image est reconstituée en faisant la DCT inverse sur les coefficients reçus complétés par des 0 pour les coefficients qui ont été éliminés puis en multipliant par l'exposant commun du macro-pixel.

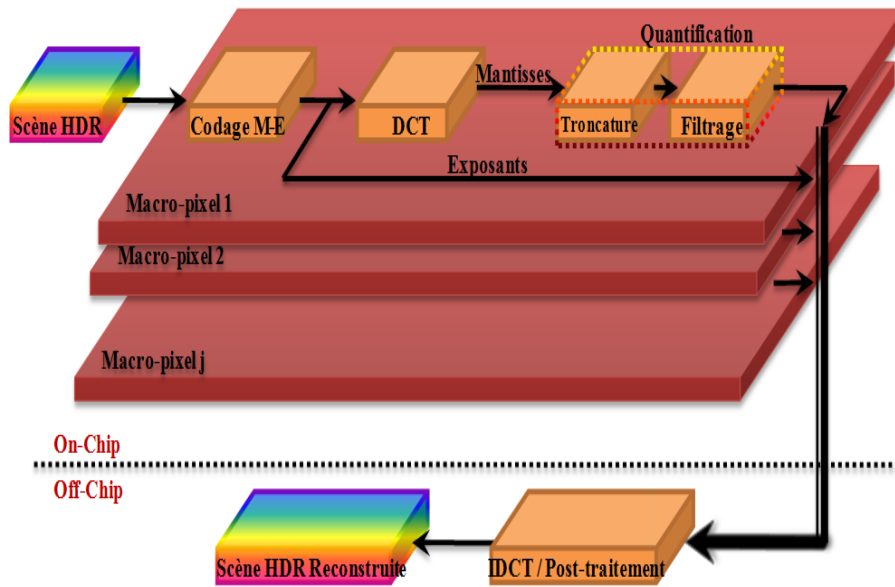


FIGURE 4.25 – Flot de traitement à intégrer dans chaque macro-pixel

Dans ce chapitre, nous avons proposé une technique originale de codage Mantisse Exposant permettant d'effectuer un premier niveau de compression tout en gardant une bonne qualité d'image. Un deuxième niveau de compression, effectué sur la matrice de mantisses, étant obtenu par DCT suivi de la suppression d'une partie des coefficients de quantification.

L'association du codage Mantisse-Exposant et la double compression permet de réduire le flux de données de 20 bits par pixel pour un codage grande dynamique linéaire à environ 2,5 bits par pixel (Cf. Figure 4.26) ce qui est équivalent à un taux de compression de 87,5 %, tout en gardant une dynamique supérieure à 120 dB et une qualité d'image acceptable (PSNR de l'ordre de 30 dB).



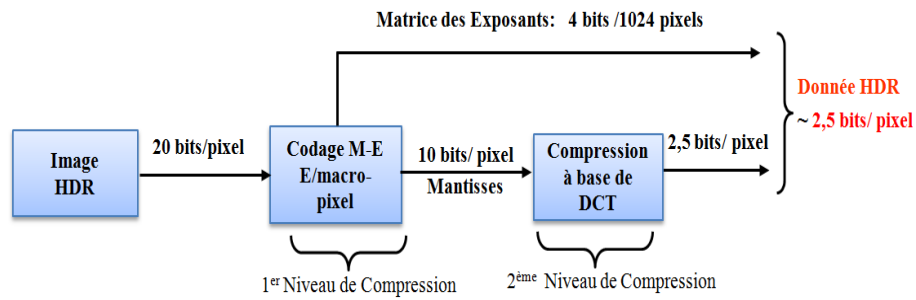


FIGURE 4.26 – Principe de la compression à deux niveaux proposée

Une vue de l'architecture de l'imageur HDR conçu dans le cadre de ces travaux de thèse est présentée dans le chapitre suivant. Nous mettrons l'accent sur l'implémentation de l'architecture accomplissant le calcul de l'exposant maximum et l'ajustement du temps d'intégration par macro-pixel. L'implémentation physique de la compression à base de DCT a fait l'objet d'une étude approfondie dirigée par l'équipe de l'ESIEE mais ne sera pas décrite dans ce manuscrit.

# Chapitre 5

## Imageur HDR : Architecture et Conception

Imageur à Grande Dynamique : Architecture proposée, étapes de conception et résultats de simulation

### Sommaire

---

<b>5.1</b>	<b>Objectifs de la conception et présentation du circuit</b>	<b>104</b>
5.1.1	Capteur d'images à grande dynamique: architecture en technologie 3D	104
5.1.2	Capteur d'images à grande dynamique en technologie 2D: cahier de charges et architecture du prototype	104
<b>5.2</b>	<b>Architecture et conception des différents blocs standards</b>	<b>106</b>
5.2.1	Le pixel	106
5.2.2	Adressage Ligne	112
<b>5.3</b>	<b>Le Convertisseur Analogique Numérique</b>	<b>113</b>
5.3.1	Choix du Convertisseur Analogique Numérique	113
5.3.2	Conception des registres de sortie	117
<b>5.4</b>	<b>Traitement HDR: Architecture et conception des différents blocs</b>	<b>118</b>
5.4.1	Calcul de la mantisse maximale	119
5.4.2	Mise à jour de la valeur de l'exposant	123
5.4.3	Génération du signal RST_HDR: adaptation du temps d'intégration	126
5.4.4	Communication bidirectionnelle entre les deux blocs de traitement HDR	128
<b>5.5</b>	<b>Simulation</b>	<b>130</b>
5.5.1	Méthodologie de simulation	130
5.5.2	Résultats de simulation	133
<b>5.6</b>	<b>Conclusion</b>	<b>135</b>

---

Les précédents chapitres nous ont conduit à faire des hypothèses et à développer des modèles qu'il s'agit de valider par une réalisation matérielle. Dans ce chapitre, nous présentons l'architecture d'un circuit 2D qui implémente l'extension de la dynamique de l'imageur. Les cellules le constituant sont identiques à celles utilisées pour le circuit 3D. Nous mettrons principalement l'accent sur l'implémentation du traitement HDR responsable de l'adaptation du temps d'intégration par macro-pixel.

## 5.1 Objectifs de la conception et présentation du circuit

### 5.1.1 Capteur d'images à grande dynamique : architecture en technologie 3D

L'architecture du circuit 3D a été présentée dans le chapitre 3 en Figure 3.5. L'objectif du démonstrateur 2D est de transposer en technologie 2D les cellules du circuit 3D et de valider la pertinence des hypothèses ayant servi dans les modèles proposés. Le circuit 2D doit donc s'approcher des caractéristiques d'un circuit 3D « utile », c'est-à-dire de format et de cadence d'acquisition représentatifs des circuits de l'état de l'art. Nous verrons que cette approche conduit à accepter des pixels morts dans l'imageur 2D.

### 5.1.2 Capteur d'images à grande dynamique en technologie 2D : cahier de charges et architecture du prototype

#### 5.1.2.1 Cahier de charges

Le circuit 2D qu'on propose de réaliser dans ce travail de thèse répond aux spécifications suivantes :

- Taille de la matrice :  $800 \times 512$  pixels, ce format résulte du compromis entre le coût de fonderie et un format suffisamment grand pour montrer d'une part le faible impact de la division de la matrice en macro-pixels et le traitement HDR qui la suit sur le PSNR et, d'autre part l'intérêt de la compression intégrée. Cette dernière fonctionnalité n'a finalement pas pu être intégrée.
- Pixel 3T de taille :  $5 \mu m \times 5 \mu m$  : l'objectif étant de conserver l'architecture classique du pixel afin de profiter de ses avantages en termes de facteur de remplissage et d'efficacité quantique, le choix est ainsi restreint entre deux architectures de pixels : 3T ou le 4T. Le choix du 3T a été dicté par des raisons financières, la taille a été choisie pour réduire la complexité du layout de l'électronique en « pied de colonne », notamment le CAN et les registres de sortie.
- Format des macro-pixels :  $32 \times 32$  pixels, cette taille est choisie suite à l'étude théorique présentée dans le chapitre 4 afin de concilier qualité d'image et surface suffisante pour intégrer le contrôle du temps d'exposition au sein du macro-pixel.
- CAN de 10 bits : l'étude faite dans le chapitre 4 a montré que d'une part pour avoir une dynamique de 20 bits linéaire, la mantisse doit être codée sur au

moins 8 bits, d'autre part, pour simplifier le traitement HDR, le temps d'intégration le plus court est choisi égal au temps ligne donc la valeur maximale attribuée à l'exposant est égale à 10. En effet, l'imageur proposé ne contient que 512 lignes mais les signaux de contrôle de la matrice se déroulent sur 1024 lignes en considérant 512 lignes virtuelles. En conséquence, la mantisse est codée sur 10 bits.

- Exposant codé sur 4 bits, seules les valeurs allant de 0 à 10 sont utilisées.
- Dynamique totale obtenue  $\geq 20$  bits soit 120 dB avec un SNR proche de 50 dB.
- Fréquence maximale des signaux numériques fixée à 100 MHz. En effet, 800 données numériques, mantisses, sont à évacuer pendant le temps de conversion égal à environ 12  $\mu s$ . Afin d'avoir le temps pour initialiser tous les registres, les remplir et évacuer les données vers les plots de sortie, l'horloge des registres de sortie est fixée à 100 MHz.
- Mode d'acquisition : Rolling Shutter.
- Vitesse de l'imageur (Frame Rate) : 50 images/s.
- Temps ligne de 20  $\mu s$ .
- Technologie CMOS 180 nm.
- Alimentation : 3,3 V pour la partie analogique et 1,8 V pour la partie numérique, cette alimentation est imposée par la technologie CMOS choisie.

#### 5.1.2.2 Capteur d'images HDR en 2D : architecture du circuit final

Par rapport au circuit 3D (Cf. Figure 3.5), sur le prototype 2D de l'imageur 3D, les signaux de commande de la HDR sont générés sur le bord de la matrice de pixels et non sous les macro-pixels (Cf. Figure 5.1).

Le circuit 2D réalisé est composé de :

- Une matrice de pixels 3T de 512 lignes par 800 colonnes.
- Des registres de sélection de ligne de la matrice, RS.
- Une ligne de polarisations des colonnes (Polar(s) Colonnes).
- Une ligne de CANs dont chaque convertisseur est dédié à une colonne de pixels.
- Un bloc de  $M/Q$  (800/32) cellules ("Calcul Max Ligne") dont chaque cellule calcule la mantisse maximale d'une ligne du macro-pixel.
- Deux lignes de registres de sortie pour l'évacuation des mantisses.
- Un bloc de  $M/Q$  cellules de mémorisation de la valeur de la mantisse maximale par ligne de macro-pixel calculée auparavant ("Mémorisation du Max/Macro-pixel").

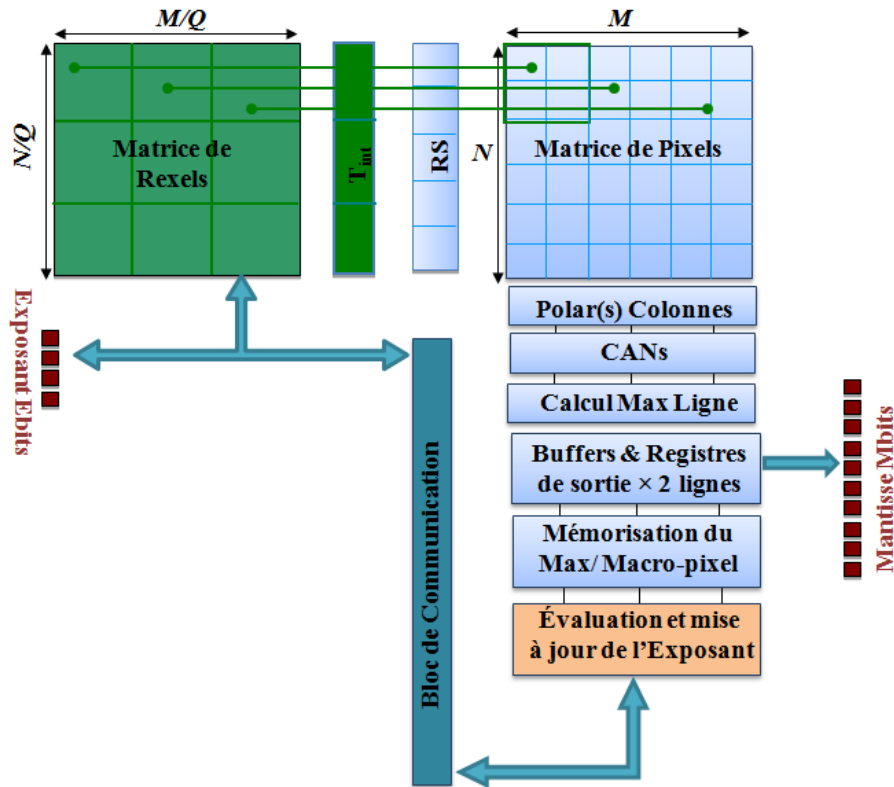


FIGURE 5.1 – Architecture du capteur d’images HDR 2D proposé

- Une première ligne de  $M/Q$  cellules de calcul HDR consacrée à l’évaluation de l’exposant, adapté pour l’image en cours, située en pied de la matrice. Chaque cellule est commune à une colonne de macro-pixels.
- Une matrice de  $M/Q \times N/Q$  soit  $25 \times 16$  Rexels effectuant la génération des signaux de commande du temps d’intégration.
- Des registres de sélection du temps de référence pour la partie HDR, noté  $T_{int}$ , pour la matrice de traitement numérique.
- Un bloc de communication bidirectionnelle entre les deux parties du calcul HDR.

Pour réduire les coûts et les risques, nous avons choisi d’utiliser autant que possible des architectures classiques et techniquement maîtrisées (la matrice de pixels, le CAN, les registres). La partie responsable du calcul HDR et de génération des signaux de commande HDR, tels que décrits dans la Figure 5.1, est effectuée en numérique.

## 5.2 Architecture et conception des différents blocs standards

### 5.2.1 Le pixel

En termes de contrôle, le pixel 3T ou 4T ne nécessitent qu’un seul signal de commande HDR qui est soit le signal RST (le signal de réinitialisation) dans le cas

du pixel 3T soit le signal TG (le signal de transfert de charges) dans le cas du pixel 4T. Comme précédemment mentionné, notre choix s'est porté sur un pixel 3T. La Figure 5.2 illustre le schéma du pixel 3T conçu avec les différents signaux de contrôle.

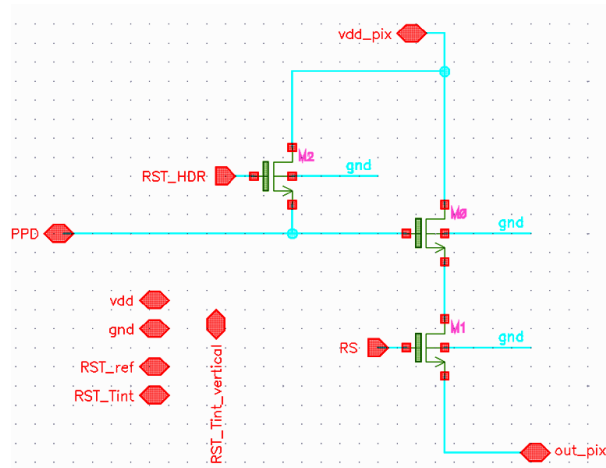


FIGURE 5.2 – Schéma du pixel 3T conçu

Le pixel est composé d'une photodiode (schématisée par l'entrée PPD dans la Figure 5.2) et de trois transistors NMOS. Les transistors  $M0$  et  $M1$  sont utilisés comme dans un pixel 3T classique. Le transistor  $M2$  est commandé par le signal **RST\_HDR** qui est équivalent au signal RST dans le pixel 3T classique (Cf. Figure 5.3). Lorsque ce signal est activé (niveau haut), l'intégration est arrêtée. Dans le cas contraire, le pixel est en phase d'intégration.

Afin de bien mettre en évidence la différence de fonctionnement entre le pixel 3T simple et le pixel 3T HDR proposé, les chronogrammes du pixel 3T classique sont rappelés en Figure 5.3 et ceux du pixel 3T HDR proposé sont donnés en Figure 5.4.

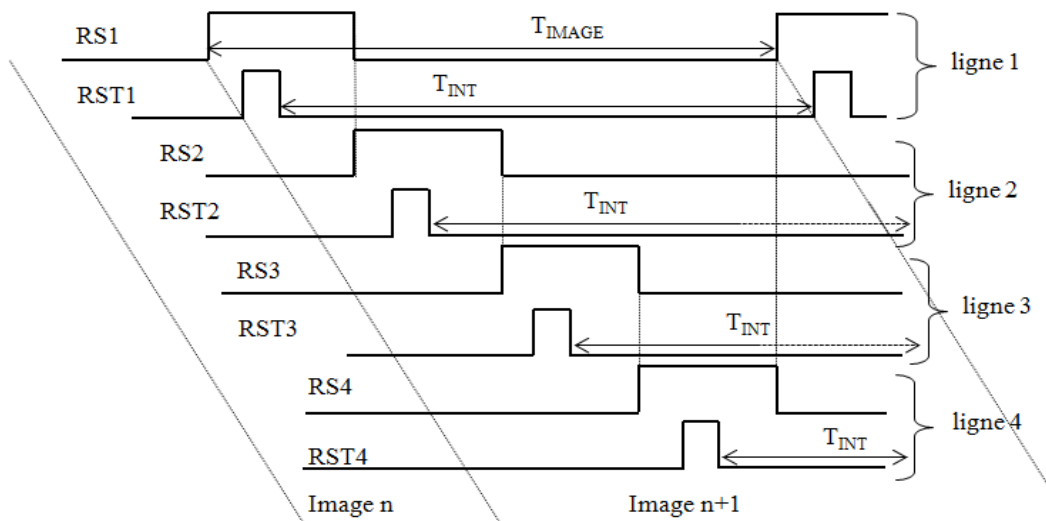


FIGURE 5.3 – Chronogrammes des signaux de contrôle du pixel 3T classique pour une matrice  $4 \times 4$

Rappelons qu'en mode Rolling Shutter avec des pixels 3T, le temps d'intégration est identique sur toute la matrice de pixels et fixé par l'intervalle de temps entre le signal de reset RST et le signal de lecture. De ce fait, pour prendre en compte le

temps de lecture de chaque ligne, les signaux de reset et de lecture sont temporellement décalés d'un temps ligne d'une ligne à l'autre, comme illustré sur la Figure 5.3.

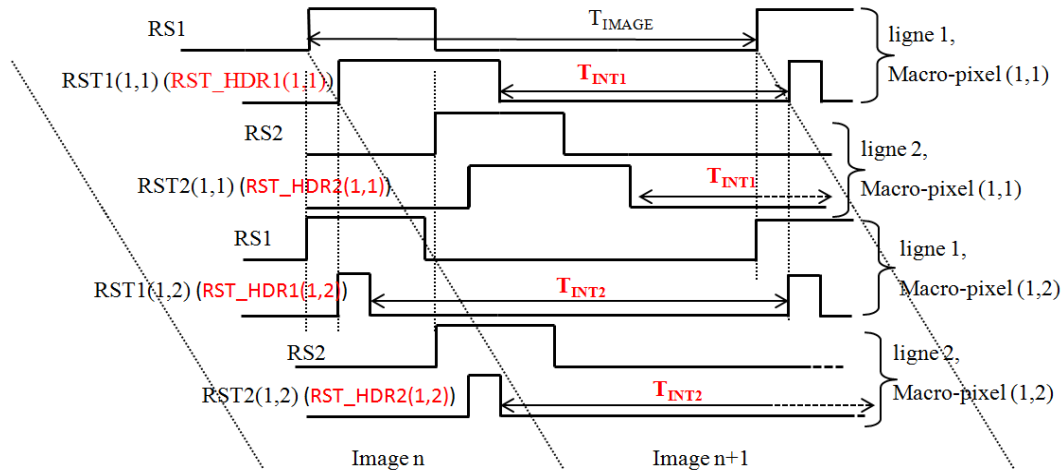


FIGURE 5.4 – Chronogrammes des signaux de contrôle du pixel 3T HDR proposé

Contrairement au pixel 3T classique, le pixel 3T HDR possède un signal de reset RST propre à chaque macro-pixel. L'application d'un signal RST par macro-pixel et non pas par ligne de pixels nécessite une commande spécifique par macro-pixel. En technologie 3D, une connexion verticale amène directement le signal de la deuxième couche vers la grille du transistor de reset situé sur la première couche. En technologie 2D, la solution la plus directe consiste à rajouter des signaux de contrôle dont l'emprunte diminue le Fill-Factor et modifie le dessin des masques du pixel 3T ou 4T. Pour être conforme à l'architecture 3D, nous avons choisi de ne pas modifier le layout du pixel au détriment de pixels dédiés aveugles.

Le traitement permettant de générer le signal de commande HDR fonctionne de façon identique pour un pixel 3T ou 4T. La Figure 5.5 montre les chronogrammes d'un pixel 4T HDR.

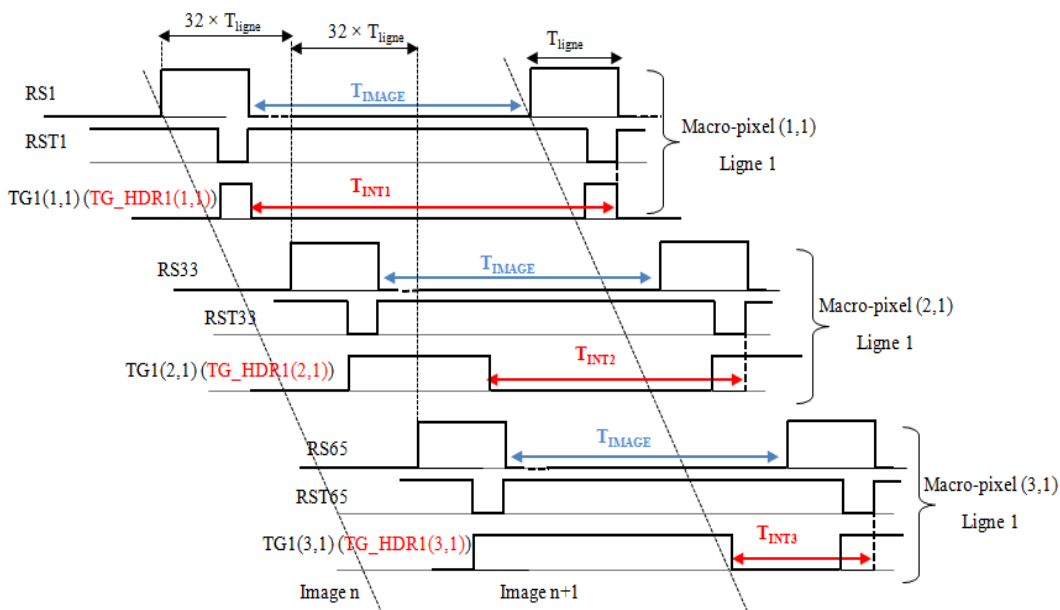


FIGURE 5.5 – Chronogrammes des signaux de contrôle d'un pixel 4T HDR

L'architecture proposée pour accomplir le traitement HDR n'a pas à être modifiée si le type de pixel change (pixel 3T ou pixel 4T). Ceci montre que le traitement proposé est générique.

Revenons au fonctionnement du pixel 3T HDR proposé (Cf. Figure 5.4), le signal RST\_HDR est propre à chaque macro-pixel et il doit être décalé d'une ligne à l'autre dans le macro-pixel lui même pour un fonctionnement en mode Rolling Shutter. La distribution des signaux de commande RST\_HDR est illustrée en Figure 5.6 en prenant le cas d'un macro-pixel de  $4 \times 4$  pixels.

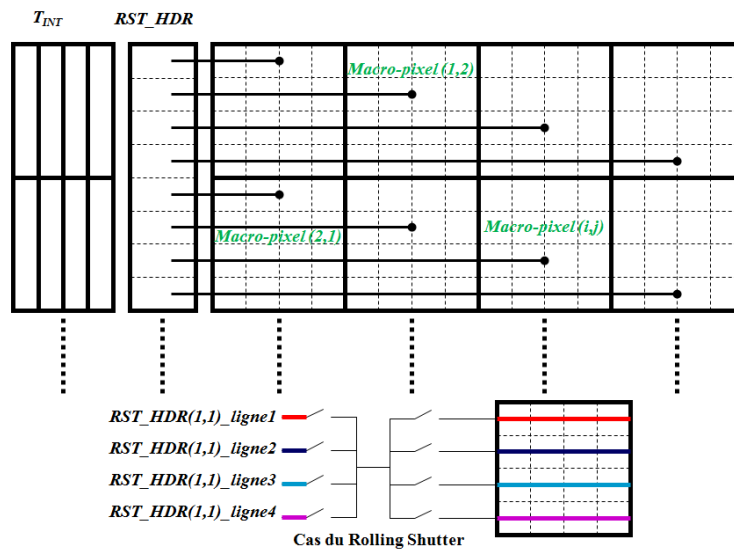


FIGURE 5.6 – Distribution des signaux RST\_HDR dans le macro-pixel en mode de capture progressive

Considérant notre cas, avec un macro-pixel de  $32 \times 32$  pixels et une ligne de matrice de 25 macro-pixels, il faut distribuer  $(32 \times 25)$  signaux de RST\_HDR sur une même ligne de macro-pixels en mode Rolling Shutter. Ceci mène à une grande complexité en termes de routage, voire plus pénalisant avec les technologies imageurs car celles-ci ne comportent généralement que 4 niveaux de routage. Étant donné que l'objectif, via ce capteur HDR, est d'étudier et montrer l'apport de l'intégration 3D dans le domaine des capteurs d'images, nous avons choisi d'intégrer l'électronique de génération du signal RST\_HDR, supposée placée sur la couche inférieure en technologie 3D, dans le macro-pixel en sacrifiant un ou plusieurs pixels. La complexité de distribution des signaux à travers la matrice de pixels est ainsi simplifiée au détriment de la qualité de l'image. Le nombre de pixels aveugles, appelés aussi pixels morts, par macro-pixel dépend de la fonction nécessaire pour décaler le signal de commande RST\_HDR de la Figure 5.7 d'un temps ligne. L'impact du nombre de pixels morts sur la qualité d'image a été étudié et présenté en Annexe A. Ceci a permis de fixer le nombre de pixels morts par macro-pixel. Cette même étude a conduit à choisir la position des pixels morts au sein d'un macro-pixel pour en réduire l'impact visuel après correction par interpolation des pixels morts.



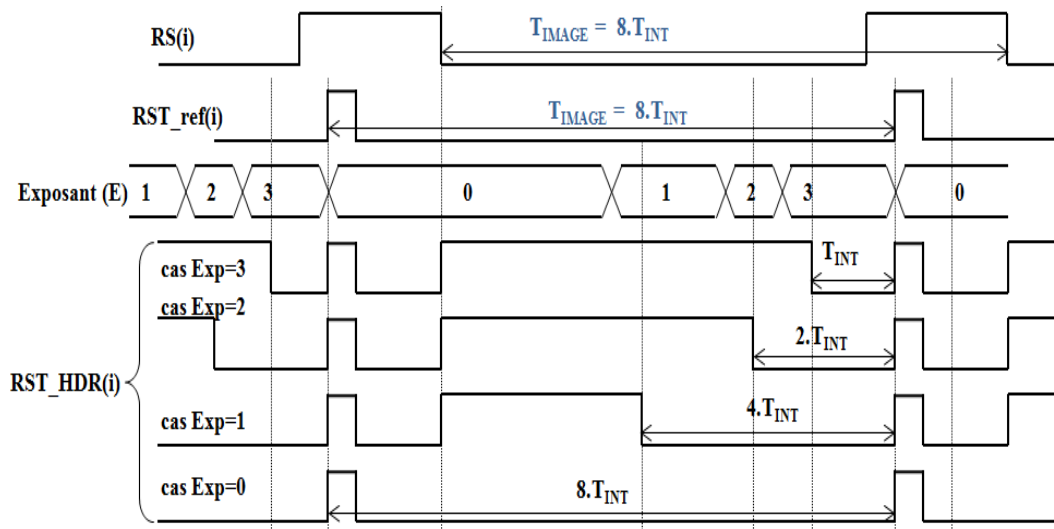


FIGURE 5.7 – Chronogrammes du signal RST\_HDR dans le cas d'un Expositant codé sur 2 bits

Dans la Figure 5.7, le signal RST\_HDR est représenté dans le cas d'un exposant codé sur 2 bits, ce qui revient à 4 intervalles de temps d'intégration possibles. Nous montrons cet exemple afin de simplifier l'explication des signaux. Suite au fonctionnement en mode Rolling Shutter, un décalage temporel égal au moins au (nombre de pixels par colonne de macro-pixel  $\times$  Temps\_ligne), soit dans notre cas 32 pixels, est nécessaire avant d'obtenir la nouvelle valeur d'exposant du macro-pixel correspondant, c'est-à-dire avant la mise à jour de l'ancienne valeur de l'exposant. Le mode Rolling Shutter impose ainsi un signal de commande RST\_HDR propre à chaque ligne du macro-pixel. Pour chaque macro-pixel, le signal RST\_HDR est envoyé à la première ligne du macro-pixel, le reste des signaux est généré dans le macro-pixel même par décalage du premier signal reçu. Ceci sera précisé par la suite. Une horloge deux fois plus rapide que l'horloge ligne est donc indispensable afin de détecter tous les fronts du signal de commande RST\_HDR et le décaler d'un temps ligne correctement.

Pour ne pas altérer la qualité des images par la distribution de signaux rapides près des pixels, nous choisissons d'utiliser les signaux classiquement envoyés à la matrice de pixels (RST classique) avec un signal supplémentaire qui est l'horloge RST\_CK. Ce dernier est distribué à l'ensemble des lignes de la matrice. Le pixel mort doit générer alors deux signaux :

- Le RST\_HDR(i) qui représente le signal de commande de la HDR de la ligne du macro-pixel en cours.
- Le RST\_Tint\_OUT qui est le signal comportant le temps d'intégration à appliquer à la ligne suivante (le signal RST\_Tint\_IN décalé d'un temps ligne), dans le même macro-pixel (Cf. Figure 5.8).

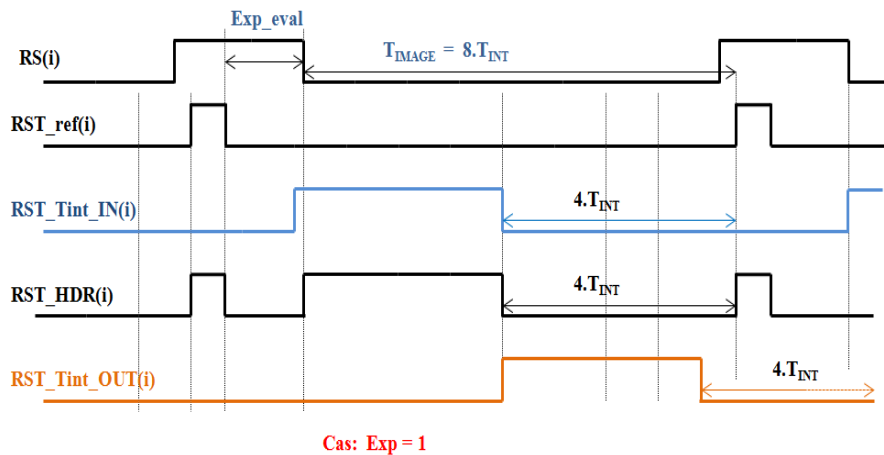


FIGURE 5.8 – Chronogrammes des signaux de contrôle générés dans le pixel mort, cas : Exposant = 1, Exposant codé sur 2 bits

Le pixel mort (Figure 5.9) est composé d’une bascule D statique gérée par l’horloge RST\_CK et un interrupteur. La bascule permet de décaler le signal RST\_Tint\_IN d’un temps ligne. Ce signal est ensuite envoyé à l’entrée de la bascule du pixel mort de la ligne suivante. Quant à l’interrupteur, il permet de combiner les deux signaux RST\_Tint\_IN(i) et RST\_ref(i) pour générer le signal RST\_HDR(i) de la ligne i. À noter que le signal RST\_Tint\_IN de la première ligne de chaque macro-pixel est généré par l’élément du traitement HDR, Rexel, correspondant (Cf. Figure 5.6).

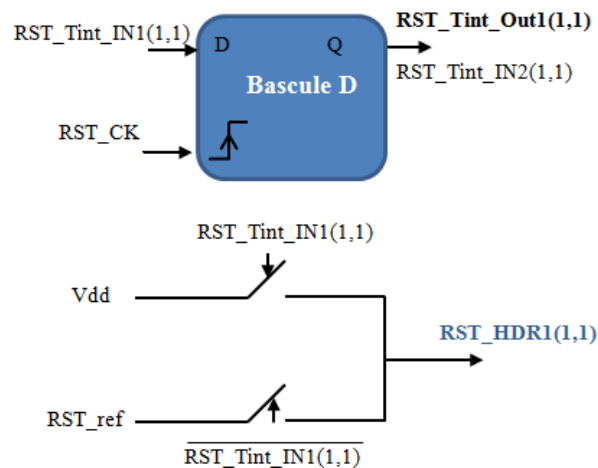


FIGURE 5.9 – Architecture de l’implémentation du générateur des signaux de reset dans le pixel mort

L’interrupteur est commandé par le signal RST\_Tint\_IN. En sa sortie, le signal RST\_HDR prend Vdd lorsque le RST\_Tint\_IN est à l’état haut. Dans le cas contraire, il prend le signal RST\_ref. Ceci permet de générer le signal RST\_HDR tel qu’il est illustré dans l’exemple de la Figure 5.8.

La surface occupée pour accomplir ce décalage représente deux pixels morts par ligne de macro-pixel, soit une surface de  $5 \mu m \times 10 \mu m$ . Au total, 64 pixels morts sont nécessaires pour assurer les fonctions de décalage et bufférisation dans chaque macro-pixel.

En résumé, le macro-pixel comporte 2 pixels dédiés au décalage du signal RST\_HDR

par ligne. D'une ligne à la suivante ces 2 pixels sont décalés d'un pixel vers la droite. Les pixels morts se retrouvent donc sur la diagonale de chaque macro-pixel. Il n'y a besoin en fait que de 63 pixels morts par macro-pixel car sur la dernière ligne de chaque macro-pixel, le signal RST\_Tint\_IN n'a pas à être décalé. En effet, la ligne suivante n'appartient pas au même macro-pixel. Le 64<sup>ème</sup> pixel mort est alors utilisé par des buffers permettant de régénérer les fronts de l'horloge RST\_CK. De ce fait, le retard et l'atténuation de pente du front du signal d'horloge sont minimisés. Le schéma du macro-pixel est donné en Figure 5.10. Les pixels en rouges correspondent aux pixels 3T actifs et les pixels verts sont les pixels morts contenant l'électronique du décalage du signal de commande HDR et les buffers.

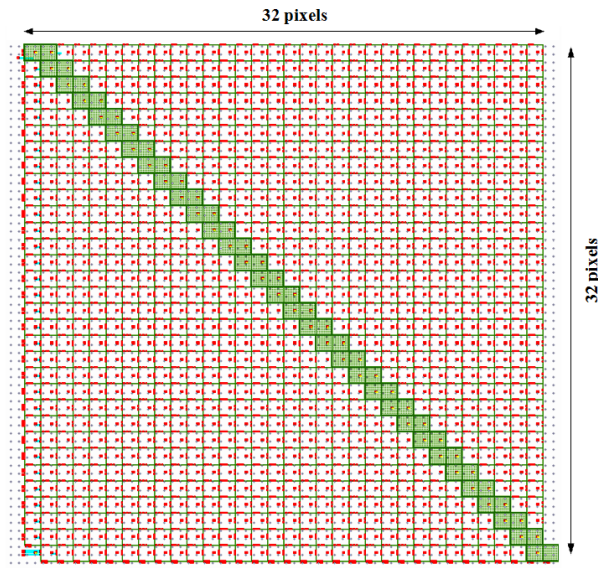


FIGURE 5.10 – Vue de l'assemblage d'un macro-pixel conçu en 180 nm

### 5.2.2 Adressage Ligne

Pour générer les signaux "RS" (Row Select) de sélection de la ligne de pixels ainsi que les signaux "RST" classiques, on a recours à un registre à décalage combiné à des portes logiques AND (Cf. Figure 5.11).

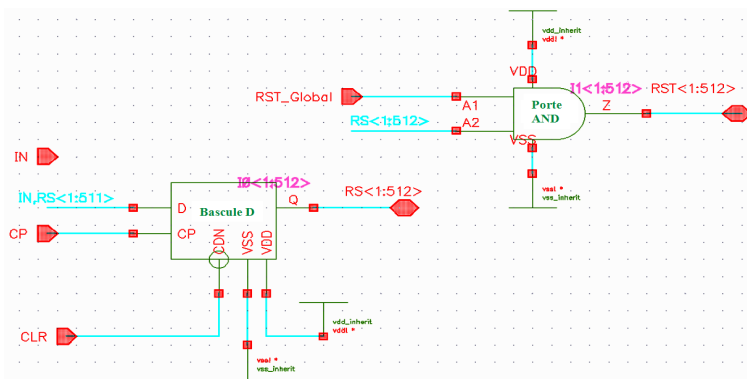


FIGURE 5.11 – Schéma bloc du registre à décalage pour l'adressage ligne

Le registre à décalage est constitué de bascules D statiques. Les signaux "RS" sont fournis par les bascules D tandis que les signaux "RST" sont les résultats

des opérations logiques AND entre les signaux "RS" correspondants et l'horloge RST\_CK. Dans une architecture classique d'imageur fonctionnant en mode Rolling Shutter, les signaux RS et RST sont générés par la propagation d'un jeton dans le registre à décalage décalant autant de fois que le nombre de lignes de la matrice. Ce jeton est alors théoriquement émis tous les 512 temps lignes au registre à décalage dans le cas du prototype réalisé. Cependant, le jeton est émis tous les 1024 temps lignes dont 512 uniquement seront actifs, les 512 temps lignes qui restent correspondent à des lignes virtuelles. En effet, l'exposant est codé sur 4 bits et au moins 11 valeurs sont nécessaires pour étendre la dynamique de 10 bits. En conséquence, le plus petit intervalle du temps (temps d'intégration le plus court) doit correspondre à un temps ligne pour diminuer la complexité de l'architecture. Le plus court intervalle étant alors égal à :

$$\tau = \frac{T_{image}}{2^{10}} = T_{ligne} \quad (5.1)$$

Il faut 1024 lignes pour atteindre ce temps souhaité. Étant donné que notre imageur est composé de 512 lignes, nous rajoutons donc 512 temps lignes virtuelles supplémentaires pendant les quels tous les pixels peuvent intégrer. Tous les signaux de contrôle sont ainsi générés tous les 1024 temps ligne.

## 5.3 Le Convertisseur Analogique Numérique

### 5.3.1 Choix du Convertisseur Analogique Numérique

Après la capture d'images, la conversion analogique numérique représente un maillon important de la chaîne de traitement de l'image pour exploiter les données reçues de la part des pixels. Le rôle du convertisseur analogique numérique dans le capteur d'images est de convertir la valeur du pixel en une valeur numérique directement évacuée vers la sortie du circuit, appelée mantisse dans notre cas. La conversion s'effectue, en général, sur la même puce que l'imageur afin de conserver l'intégrité du signal analogique entre le capteur et le CAN. Elle peut se produire à trois niveaux différents (Cf. Figure 5.12) :

- Conversion analogique numérique commune à toute la matrice de pixels. Dans ce cas le CAN se caractérise par sa rapidité.
- Conversion analogique numérique en pied de chaque colonne de pixels. Dans ce cas, la cadence de conversion est réduite mais la surface totale occupée par l'ensemble des CAN devient plus importante.
- Conversion analogique numérique au sein de chaque pixel. Moins de contraintes se posent sur la vitesse dans ce cas de configuration mais cette approche nécessite des pixels de grande surface et impacte le facteur de remplissage.

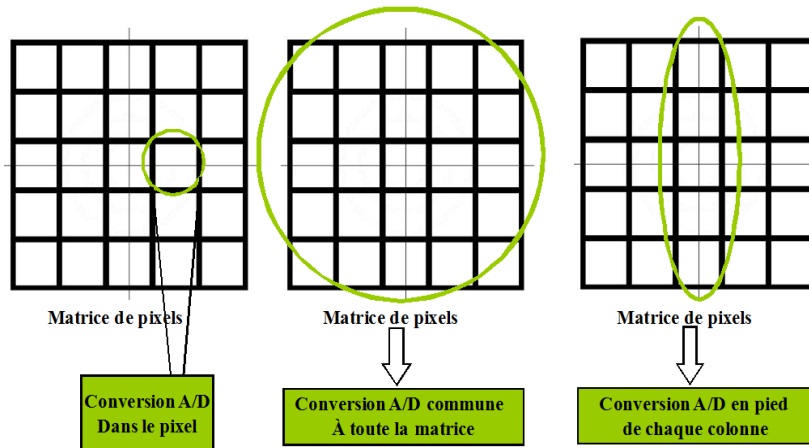


FIGURE 5.12 – Méthodes de Conversion analogique numérique dans les imageurs 2D

L'intérêt d'une méthode ou une autre dépend de l'application souhaitée étant donné que les domaines d'utilisation des imageurs CMOS sont très vastes et très différents l'un de l'autre. Dans le cadre de ce travail, l'implémentation d'un CAN commun à toute la matrice n'est pas envisageable étant donné que le traitement est effectué en parallèle par macro-pixel ou colonne de macro-pixels.

Nous résumons dans le Tableau 5.1 les méthodes possibles d'implémentation du CAN dans le circuit proposé suite à la division de la matrice en macro-pixels et les critères nécessaires pour chaque cas.

Type	Résolution ENOB	Temps de conversion	Vitesse Moyenne	Nombre dans une matrice de $800 \times 512$	Surface disponible
CAN par Macro-pixel	10 bits	$10 \mu s$	$100 kS/s$	400	à intégrer dans le Rexel de $160 \mu m \times 160 \mu m$
CAN en pied de colonne	10 bits	$20 \mu s$	$50 kS/s$	800	Contrainte en pas de $5 \mu m$
CAN par 32 colonnes	10 bits	$0,625 \mu s$	$1,5 MS/s$	25	Pas de $160 \mu m$

TABLE 5.1 – Comparaison entre les différentes implémentations des CAN

En examinant ce tableau, nous pouvons remarquer que le choix d'un CAN par 32 colonnes ne peut pas être envisageable pour le circuit HDR 2D. Car bien qu'il ne pose pas de contraintes en surface, sa vitesse très élevée nécessite une horloge très rapide et induit donc une consommation très élevée. Si on implémente un CAN par macro-pixel, 400 CAN travaillant à une vitesse de  $100 kS/s$  seraient nécessaires. Cependant, 800 CANs travaillant à une vitesse deux fois moins faible soit de  $50 kS/s$  sont nécessaires si on implémente le CAN en pied de colonne. Comme précédemment mentionné dans le chapitre 3, pour cette gamme de convertisseurs ayant des

résolutions et des cadences de conversion moyennes, la consommation et la vitesse de conversion suivent quasiment une relation linéaire. De ce fait, les solutions d’avoir un CAN par macro-pixel ou en pied de colonne présentent une consommation totale similaire. Toutefois, l’implémentation d’un CAN par macro-pixel présente moins de contraintes en surface que le CAN en pied de colonne.

Bien qu’elle soit avantageuse pour mettre en évidence l’intérêt de l’intégration 3D, du traitement massivement parallèle et de suppression de pixels morts, la disposition d’un CAN par macro-pixel induirait un changement radical au niveau de la lecture ordinaire de la matrice de pixels en passant à plusieurs lectures en parallèle par macro-pixel. En outre, le CAN par macro-pixel nécessitera l’implémentation d’un adressage ligne colonne par macro-pixel soit 25 décodeurs colonne et 16 décodeurs ligne pour un imageur de  $800 \times 512$  pixels. En outre, l’évacuation d’une mantisse de 10 bits en parallèle sur tous les macro-pixels induirait une complexité suprême en nombre et en distribution des fils planaires nécessaires.

Étant donné que l’objectif principal de ce travail est de prouver l’intérêt de l’intégration 3D via l’introduction du traitement HDR au sein de l’imageur par macro-pixel, la mise en place d’un CAN en pied de chaque colonne est alors décidée.

Le CAN doit répondre aux critères mentionnés dans le Tableau 5.1 en termes de temps de conversion de  $20 \mu s$ , de vitesse de  $50 kS/s$  et d’une résolution de 10 bits effectifs (ENOB).

Une étude comparative a été établie entre les différentes architectures de convertisseurs analogiques numériques afin de choisir l’architecture convenable à notre circuit. Dans le Tableau 5.2, les principales architectures des convertisseurs utilisées dans les imageurs CMOS et mis en pied de colonne sont récapitulées.

Référence	Technique du CAN colonne parallèle	Résolution (bits)	Technologie utilisée	Consommation par conversion ( $\mu W/Conv$ )	Temps de conversion ( $\mu s$ )
[CCSea11]	Sigma Delta	12	130 nm	40	2,3
[MBSea09]	Approximations successives	14	180 nm	41	3,2
[MVSea11]	Approximations successives	12	65 nm	1350	0,12
[SAMea07]	Rampes Multiples	12	250 nm	38	16
[Bil11]	Simple rampe	12	90 nm	6	18
[VDTP12]	Approximations successives	11	65 nm	375	0,325
[Mil09]	Pipeline	12	180 nm	100	0,125
[Gue10]	Sigma Delta	12	350 nm	220	2,3
[LCCea09]	Cyclique	10	180 nm	15840	0,125

TABLE 5.2 – Principales Architectures des CANs en pied de colonne

Plusieurs de ces convertisseurs, [Bil11], [VDTP12], [Mil09] et [Gue10], ont été conçus au sein de notre laboratoire lors de projets antérieurs.

Pour l’imageur HDR, les contraintes s’imposent fortement en termes de surface et de résolution, moins en termes de consommation. Cependant, le temps disponible

pour effectuer une conversion est assez important ( $\sim 10\mu s$ ). En prenant en compte la contrainte du temps de conversion maximum, l'emploi d'un facteur de mérite permet de donner un indicateur quantifié. Les facteurs de mérite définis ci-dessous permettent de prendre en compte les critères pertinents pour notre imageur :

- Le facteur de mérite classiquement utilisé pour l'évaluation des CANs :

$$FoM = \frac{P_m \times S_{CAN,180}}{2^{ENOB} \times F_s} \quad (5.2)$$

$P_m$  : Puissance dissipée par conversion

$F_s$  : Fréquence d'échantillonnage

$ENOB$  : Nombre de bits effectifs

$S_{CAN,180}$  : Surface du CAN ramenée en technologie 180 nm

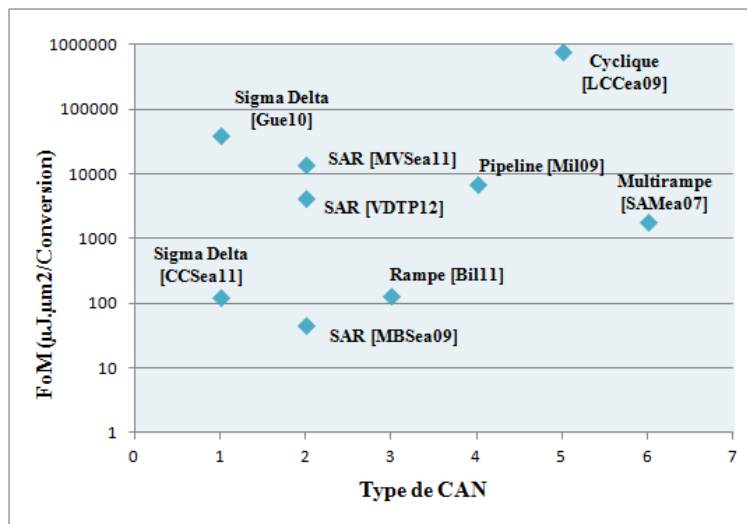


FIGURE 5.13 – Facteur de mérite pour différents types de CAN

La Figure 5.13 montre que les architectures Sigma delta de [CCSea11], le SAR de [MBSea09] et le CAN simple rampe de [Bil11] présentent des meilleurs compromis entre la vitesse d'échantillonnage, la résolution et la puissance consommée.

- Le facteur de mérite couramment utilisé dans les imageurs :

$$FoM = \frac{P_{imageur} \times S_{CAN,180}}{\text{Nombres\_pixels} \times fps} \quad (5.3)$$

$P_{imageur}$  : Puissance totale de l'imageur

$fps$  : Vitesse de l'imageur (frame rate par seconde)

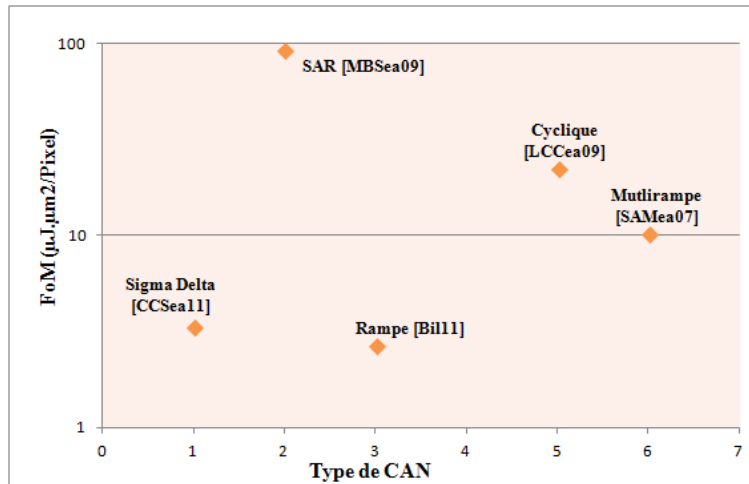


FIGURE 5.14 – Facteur de mérite propre aux imageurs pour différents types de CAN

Le graphe de la Figure 5.14 ne contient pas toutes les architectures citées dans le Tableau 5.2 à cause d'un manque d'information concernant les caractéristiques propres à l'imageur, principalement la puissance totale et la vitesse. Ce tableau met en évidence de façon claire que le CAN simple rampe [Bil11] et le CAN Sigma delta [CCSa11] présentent les meilleurs compromis entre consommation, surface et vitesse de l'imageur.

Le CAN Sigma delta est une structure avantageuse tant en résolution qu'en consommation et surface. Néanmoins, l'architecture du CAN simple rampe peut répondre au mieux aux critères de ce circuit étant donné qu'il n'y a pas de contraintes en vitesse. En outre, le CAN ne présente pas le cœur de ce travail de thèse, nous choisissons alors d'opter vers l'architecture du CAN simple rampe déjà conçue dans notre laboratoire et rapporter cette architecture [Bil11] vers le nœud technologique du circuit à réaliser, soit  $180\text{ nm}$ . Le temps nécessaire pour la conception du CAN sera ainsi réduit. Le convertisseur conçu est constitué d'un comparateur analogique faisant une surface de  $5\ \mu\text{m} \times 350\ \mu\text{m}$  fonctionnant avec une rampe analogique. À noter que le compteur fonctionne avec une horloge de  $100\text{ MHz}$  et possède un temps mort au début de chaque période de conversion. Ce temps correspond à la lecture de la valeur analogique du pixel et sa transmission sur le bus colonne.

### 5.3.2 Conception des registres de sortie

Les valeurs numérisées des mantisses des pixels sont stockées dans un registre à décalage grâce à l'activation du signal "Load" permettant de charger la valeur du compteur dans le registre correspondant (Cf. Figure 5.15). Ce signal est généré en sortie de chaque comparateur du CAN à rampe. Le convertisseur analogique numérique utilisé est conçu pour fonctionner sans temps mort afin d'optimiser le temps nécessaire pour la conversion et lisser la consommation totale. En conséquence, deux lignes de registres à décalage sont nécessaires. Les deux lignes sont appelées ligne paire et ligne impaire. Pendant que la ligne de pixels paire est en cours de conversion analogique numérique ce qui correspond au stockage de l'information numérisée dans la 1<sup>ère</sup> ligne de registres, la ligne de pixels impaire recommence une nouvelle intégration et les valeurs numérisées lors du temps ligne précédent sont évacuées de



la 2<sup>ème</sup> ligne de registres à décalage vers les plots de sortie, puis le cycle recommence.

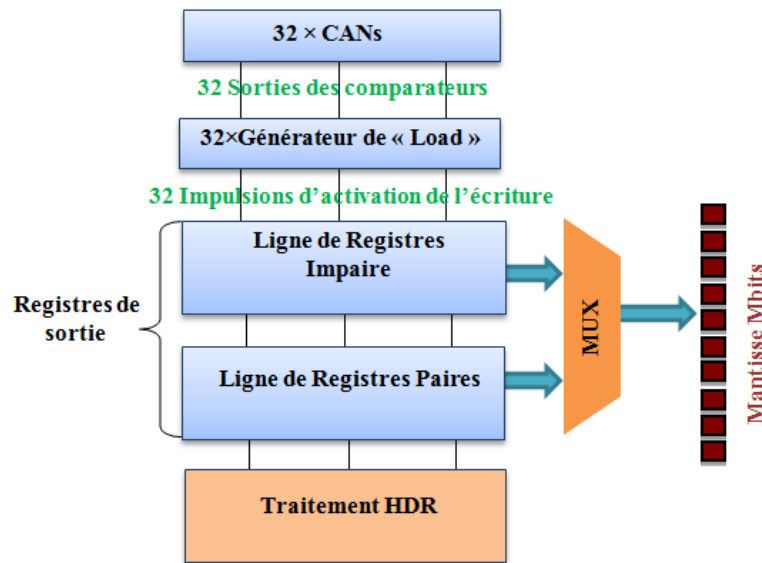


FIGURE 5.15 – Schéma blocs simplifié du pied d'une colonne de macro-pixels

Chaque ligne de registres est composée de 800 registres à décalages de 10 bits. Chaque registre à décalage est constitué de 10 bascules D statiques avec une entrée supplémentaire "BIT\_Load". À l'activation du signal "Load", correspondant au signal "LOAD\_OUT" en sortie du CAN, l'entrée "BIT\_load" est prioritaire et on vient écrire la valeur du compteur issue de la conversion analogique numérique dans la bascule qui servira comme mémoire jusqu'à l'activation de l'horloge et l'évacuation de la donnée vers la sortie.

L'évacuation s'effectue à chaque coup de l'horloge principale à 100 MHz. Pendant chaque temps ligne, 800 informations numériques de 10 bits sont évacuées à 100 MHz. Ces valeurs constituent la matrice de mantisses.

## 5.4 Traitement HDR : Architecture et conception des différents blocs

Le traitement HDR intégré dans le circuit conçu vise à étendre la dynamique de l'imageur d'au moins 10 bits supplémentaires grâce au codage mantisse exposant. En fonction de l'éclairement reçu lors de l'image en cours, l'adaptation du temps d'intégration est effectuée pour le temps image suivant. Le choix s'est porté sur l'application de l'exposant maximum à tous les pixels du même macro-pixel. L'identification de l'exposant maximum revient à la détermination de la mantisse maximale parmi toutes les mantisses obtenues des pixels du même macro-pixel après conversion analogique numérique.

Étant donné que l'imageur fonctionne en mode Rolling Shutter et que le macro-pixel est composé de 32 lignes, l'exposant maximum ne peut être calculé qu'à la fin de l'intégration des 32 lignes de pixels. Pour cette raison, le traitement est effectué en 4 étapes successives (Cf. Figure 5.16) :

- Détermination de la mantisse maximale parmi les 32 mantisses des 32 pixels d'une ligne du même macro-pixel, comparaison de la valeur déterminée avec la

valeur maximale de la ligne précédente et mémorisation de la valeur maximale parmi les deux valeurs comparées.

- Après 32 temps ligne, obtention de la mantisse maximale du macro-pixel complet.
- Mise à jour de l'exposant stocké lors de l'image précédente à partir de la mantisse maximale du macro-pixel.
- Génération du signal RST\_HDR correspondant à la valeur du temps d'intégration estimé optimal pour la trame suivante.

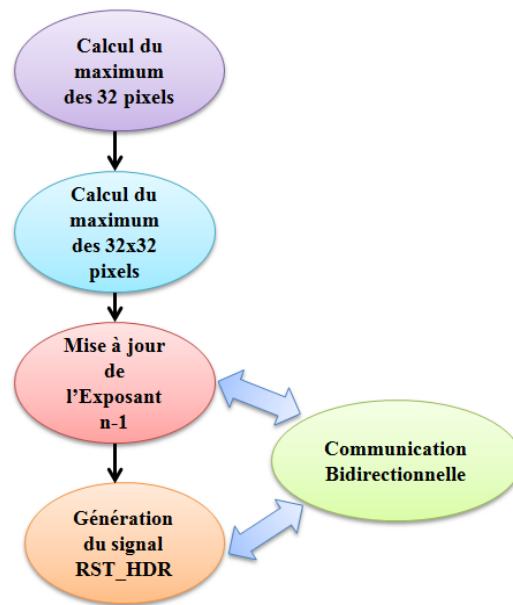


FIGURE 5.16 – Algorithme du traitement HDR

Les différentes étapes sont expliquées dans cette section. Les architectures proposées et conçues sont également présentées. Les deux premières étapes sont combinées en une seule qui correspond au calcul de la mantisse maximale de chaque macro-pixel.

### 5.4.1 Calcul de la mantisse maximale

Le calcul de la mantisse maximale, en vue de détermination de l'exposant maximum, peut être fait en analogique ou en numérique après la conversion analogique numérique. Les deux solutions étudiées et élaborées sont présentées dans ce paragraphe.

#### 5.4.1.1 Calcul la mantisse maximale : méthode analogique

Pour déterminer la plus forte intensité lumineuse reçue parmi tous les pixels d'un macro-pixel ainsi que la valeur de la chute de tension correspondante et en déduire le temps d'intégration optimal, la première solution possible repose sur l'utilisation d'un circuit Winner Take All, WTA. Ce circuit a été proposé pour la première fois par [LSMea98]. Il a pour rôle de calculer la tension maximale ou minimale parmi les  $N$  tensions d'entrée. Depuis, de nombreux travaux ont été menés pour améliorer

les performances des WTA notamment en termes de consommation et de précision, [CRAT00], [SKHea09], [LMCGea06]. Nous avons ainsi proposé et élaboré un nouveau circuit WTA dont le fonctionnement est détaillé dans [MDPB13] et mis en Annexe B. Une architecture d'évaluation de l'exposant a été proposée pour un pixel 4T intégré dans un imageur fonctionnant en mode Global Shutter. L'avantage d'une telle architecture est qu'elle est valable pour les deux modes de capture. Ce circuit est également compatible avec des pixels 3T ou 4T.

Cependant, le circuit n'est pas adapté au prototype 2D à concevoir. D'une part, le WTA doit permettre de distinguer des différences de tension proches de  $\Delta V/2^{ExpMax}$  lorsque  $\Delta V_{pixel}$  est inférieure ou égale à  $\Delta V/2^{ExpMax}$ . Ceci implique une forte contrainte sur la précision quand on code l'exposant sur 4 bits. D'autre part, le principal intérêt du WTA, sa compacité, n'a pas d'intérêt en pied de colonne alors que son implémentation au niveau macro-pixel aurait nécessiter plus de pixels morts. Enfin, évaluer l'exposant au sein du macro-pixel requiert des interconnexions supplémentaires pour en faire la lecture en pied de la matrice.

La conclusion de cette étude est que le WTA est une solution compacte en termes de ressources électroniques et simple à implémenter sur un circuit 3D, en utilisant la surface de la couche inférieure correspondant au macro-pixel mais ne se prête pas à une implémentation dans le prototype 2D et induit une dégradation de l'image en cas d'implémentation au sein du macro-pixel.

#### 5.4.1.2 Calcul de la mantisse maximale : méthode numérique

##### 5.4.1.2.1 Calcul de la mantisse maximale par ligne de macro-pixel

La méthode numérique du calcul de l'exposant maximum exploite les données en sortie du convertisseur analogique numérique. Afin de prélever la valeur maximale parmi les 32 valeurs numérisées de la ligne  $i$  du macro-pixel, l'idée que nous avons eu est d'exploiter les sorties des comparateurs des convertisseurs analogiques numériques simple rampe et de faire une combinaison logique entre ces signaux. En effet, on dispose d'un CAN en pied de chaque colonne soit alors 32 CANs convertissant en parallèle les pixels de la même ligne du macro-pixel. 32 signaux en sortie des comparateurs sont disponibles à la fin de chaque temps ligne. Les sorties des 32 comparateurs, pour un même macro-pixel, ne basculent pas au même instant. En conséquence, le dernier comparateur qui bascule correspond au pixel ayant la plus forte valeur de mantisse c'est à dire le code le plus élevé.

Une architecture simple est ainsi proposée (Cf. Figure 5.17 et Figure 5.18), composée de portes logiques et de bascules permettant de faire une opération logique entre les 32 signaux en sortie des comparateurs pour ne générer qu'une seule impulsion quand le comparateur correspondant au pixel ayant la plus forte valeur bascule. Cette impulsion, appelée "LOAD\_OUT", permet ensuite de stocker la valeur du compteur dans une mémoire 10 bits dédiée à la mantisse maximale propre à chaque macro-pixel. On dispose d'une mémoire 10 bits par colonne de macro-pixels. Cette mémoire est rafraîchie tous les 32 temps ligne. L'étape suivante se base sur l'exploitation de la mantisse maximale binaire de chaque ligne du macro-pixel afin de mettre à jour la valeur de l'exposant de l'image précédente. L'architecture proposée et implémentée pour évaluer la mantisse maximale parmi les 32 valeurs des mantisses disponibles après conversion analogique numérique est donnée en Figure 5.17. Sur la même figure, les chronogrammes des signaux principaux sont affichés.

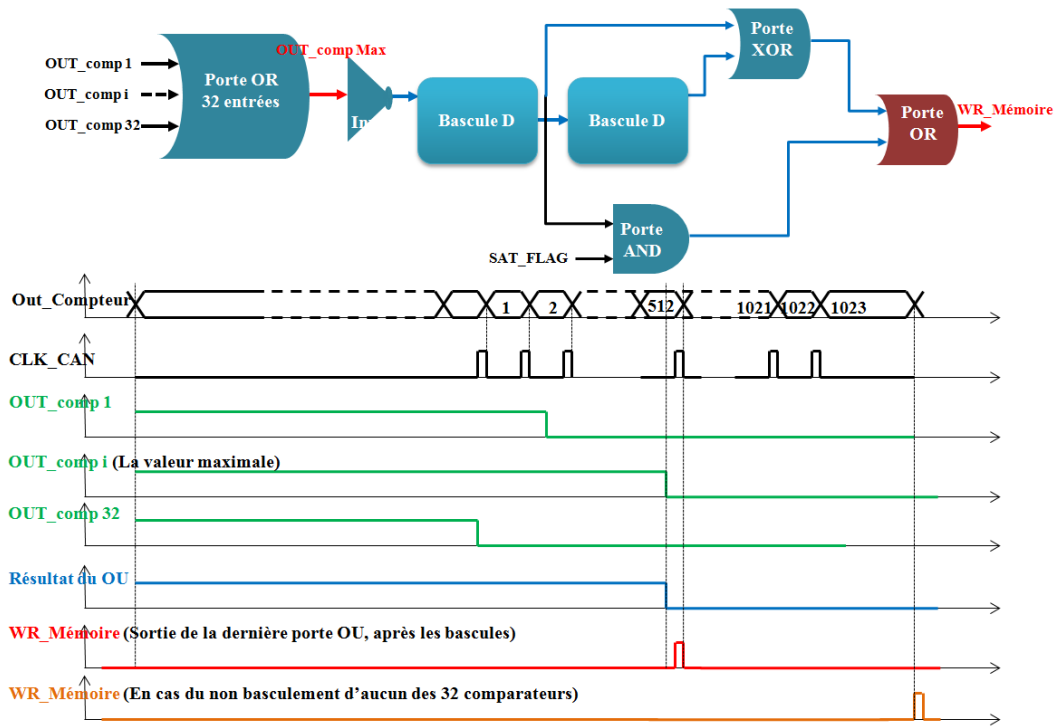


FIGURE 5.17 – Architecture de calcul du maximum par ligne de macro-pixel et chronogrammes des signaux de contrôle

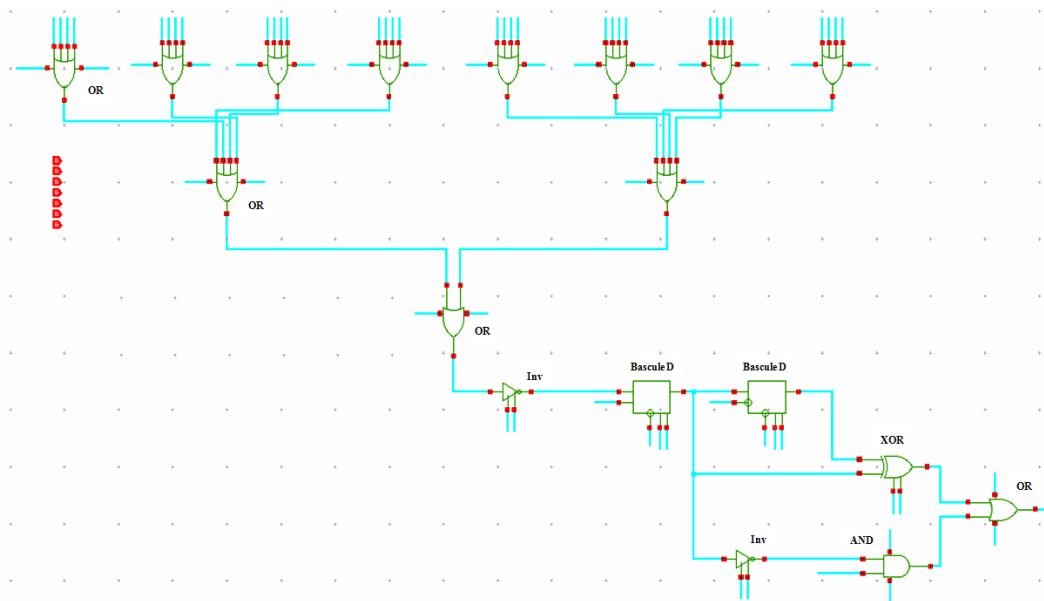


FIGURE 5.18 – Architecture conçue de calcul du maximum par ligne de macro-pixel

Les 32 signaux en sortie des 32 comparateurs, notés "OUT\_comp" en Figure 5.15, d'une ligne de pixels appartenant à un même macro-pixel présentent les entrées d'une porte "OU" logique. La sortie de la porte OU à 32 entrées correspond au signal en sortie du dernier comparateur ayant basculé. On génère une impulsion de la manière suivante : Deux bascules sont connectées, la première est sensible au front montant de l'horloge CLK\_CAN, la deuxième bascule est sensible au front descendant de la même horloge. L'opération logique "XOR" entre les sorties des deux

bascules permet de générer l'impulsion "WR\_Mémoire" dont le rôle est d'activer l'écriture dans la mémoire 10 bits de la valeur du compteur. Cette mémoire est commune à 32 colonnes de pixels. La valeur écrite correspond à la valeur maximale des 32 valeurs de mantisses venant juste d'être converties. Le cas du non-basculément de l'un des 32 comparateurs est traité par l'envoi du signal SAT\_FLAG à ce bloc. La valeur "1023" est ainsi stockée dans la mémoire 10 bits.

#### 5.4.1.2.2 *Mémorisation de la mantisse évaluée*

La mémoire est rafraîchie tous les temps ligne. Elle est accessible en lecture et en écriture. L'écriture peut être faite à n'importe quel moment à l'activation du signal approprié qui dépend de la valeur du pixel. La lecture est commandée soit par un signal externe, soit lorsque l'information mémorisée est requise pour le bloc suivant.

#### 5.4.1.2.3 *Calcul de la mantisse maximale du macro-pixel*

Dans la partie précédente, l'architecture permettant d'exploiter les sorties des comparateurs des CANs pour identifier la mantisse maximale parmi 32 mantisses de la même ligne du macro-pixel a été présentée. L'objectif étant de calculer l'exposant maximum par macro-pixel, il faut alors identifier la mantisse maximale du tout le macro-pixel. Si on dispose de la mantisse maximale de chaque ligne, il suffit alors de calculer la mantisse maximale parmi les 32 maxima identifiées. Le principe de la méthode proposée se base sur la mémorisation de la valeur de la mantisse maximale de la première ligne, pour un même macro-pixel, et sa comparaison avec chaque nouvelle valeur de mantisse maximale de la ligne suivante. Si la nouvelle valeur est supérieure à la première valeur stockée, cette dernière est mise à jour et remplacée par la nouvelle valeur de la mantisse maximale. Ainsi, après 32 temps ligne, on obtient la mantisse maximale du macro-pixel. Cette méthode de calcul séquentiel est favorisée par le mode de fonctionnement de l'imageur Rolling Shutter et elle permet d'optimiser davantage les ressources électroniques nécessaires pour effectuer le calcul. Une seule cellule de calcul est nécessaire par colonne de macro-pixels.

L'architecture proposée est donnée en Figure 5.19. La première partie du calcul, donnée en Figure 5.17, génère un signal WR\_Mémoire qui permet de stocker la mantisse maximale d'une même ligne du macro-pixel dans la mémoire 10 bits. Cette mémoire 10 bits est directement connectée au registre à décalage RD2 de la Figure 5.19. Le signal "Load\_ligne" est une impulsion externe permettant de transférer la valeur maximale contenue dans la mémoire 10 bits au registre à décalage RD2. c'est un registre à décalage PIPO (Parallel In Parallel Out). Il est constitué de 10 bascules et géré par l'horloge Clk\_Mhdr. Cette horloge est un signal externe programmé ayant 15 impulsions pendant un temps ligne et actif tout le temps image. L'architecture dispose également d'un deuxième registre à décalage RD1 de 10 bits PISO (Parallel In Single Out). Les sorties des deux registres RD1 et RD2 sont connectées à l'entrée d'un comparateur bit à bit dont les sorties sont connectées à des bascules.

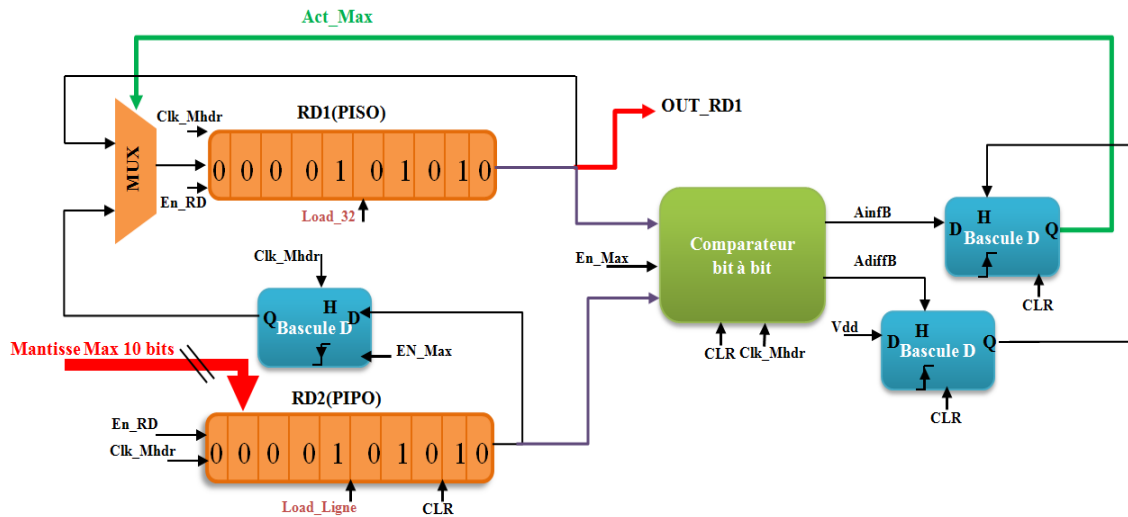


FIGURE 5.19 – Architecture proposée pour le calcul de la mantisse maximale du macro-pixel

À l'issue de cette étape, la valeur de la mantisse maximale de chaque macro-pixel est disponible dans le registre RD1. Elle est évacuée en série vers l'entrée du bloc suivant à l'activation du signal  $En\_RD$ .

### 5.4.2 Mise à jour de la valeur de l'exposant

La deuxième étape du calcul HDR consiste en la mise à jour de la valeur d'exposant de l'image précédente en exploitant la valeur de la mantisse maximale disponible dans le registre RD1 et calculée pendant la première étape du traitement HDR. Le principe de cette deuxième étape est illustrée en Figure 5.20.

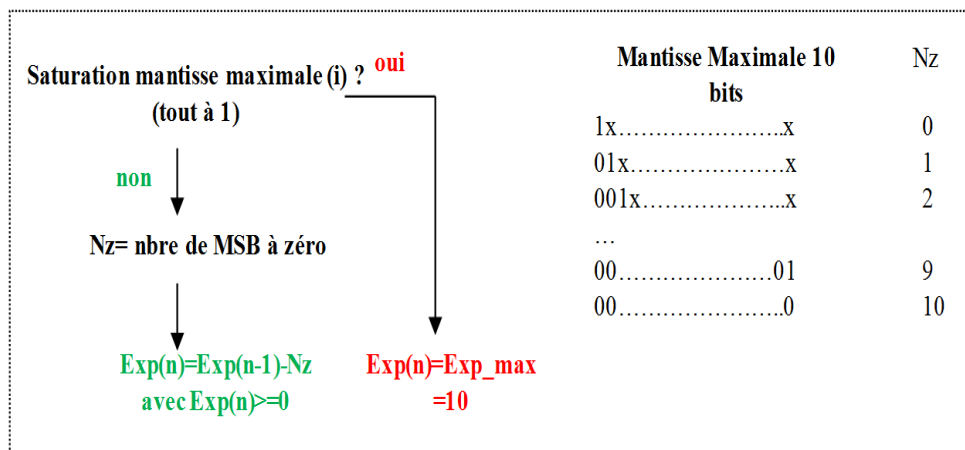


FIGURE 5.20 – Principe de la mise à jour de l'exposant

À partir de la valeur de la mantisse maximale du macro-pixel  $i$ , sur une même colonne de macro-pixels, le temps ligne  $(32 \cdot i + 1)$  est bloqué pour la mise à jour de l'exposant. Pendant ce temps, la valeur de la mantisse est présente dans le registre RD1. La méthode proposée consiste à calculer le nombre de bits de poids fort MSB qui sont à zéro, ce qui correspond à l'extension possible du temps d'intégration. Par exemple, si les deux MSB de la mantisse maximale sont à 0 alors on attribue à la

variable  $Nz$  la valeur 2. La valeur que peut prendre l'exposant dépend de la valeur de  $Nz$ . Pour atteindre une dynamique de 120 dB, la variable  $Nz$  prend des valeurs allant de 0 à 10. Il y a deux cas à traiter :

- Si la mantisse maximale n'est pas saturée, c'est à dire si au moins un des bits n'est pas à 1, alors la variable  $Nz$  est calculée. La valeur de l'exposant de l'image précédente est chargée pour être mise à jour. La nouvelle valeur d'exposant correspond alors à la valeur de l'exposant de l'image précédente moins la variable  $Nz$ . Un MSB de libre correspond à un décomptage de 1 de la valeur de l'exposant de l'image précédente qui revient à multiplier le temps d'intégration de l'image précédente par 2.
- Si la mantisse est saturée c'est à dire tous les bits sont à 1, alors l'exposant prend la valeur égale à 10 qui remplace l'ancienne valeur d'exposant. À chaque nouvelle image, on obtient une matrice de  $25 \times 16$  d'exposants stockés dans la matrice de Rexels.

L'architecture proposée pour effectuer cette deuxième étape de traitement est donnée en Figure 5.21.

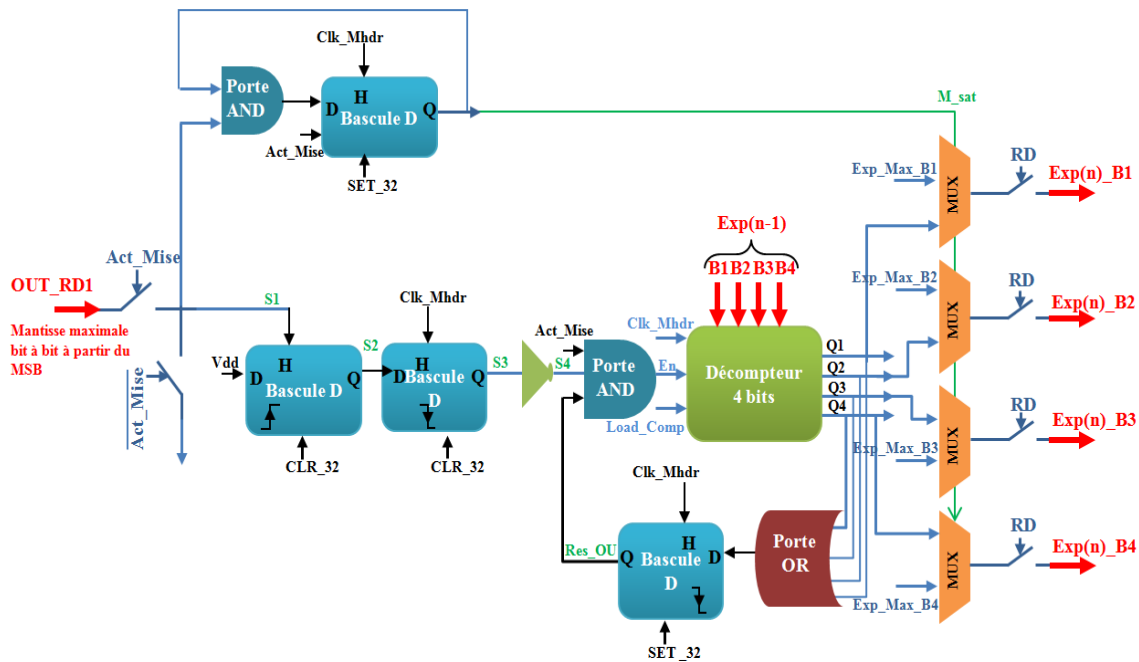


FIGURE 5.21 – Architecture de la 2<sup>ème</sup> étape du traitement : mise à jour de l'exposant

Les chronogrammes de la Figure 5.22 décrivent l'évolution des signaux de contrôle lors des différentes phases de fonctionnement. Pour ces chronogrammes, on prend l'exemple où on charge le décompteur avec un exposant égal à 5, deux bits de MSB dans la mantisse maximale sont libres et on peut alors multiplier par 4 le temps d'intégration ce qui correspond à soustraire 2 de l'ancienne valeur de l'exposant. Le nouvel exposant calculé est égal à 3. Il reste mémorisé dans le décompteur jusqu'à l'activation du signal RD pour le transférer vers l'élément Rexel correspondant effectuant la 3<sup>ème</sup> étape du traitement.

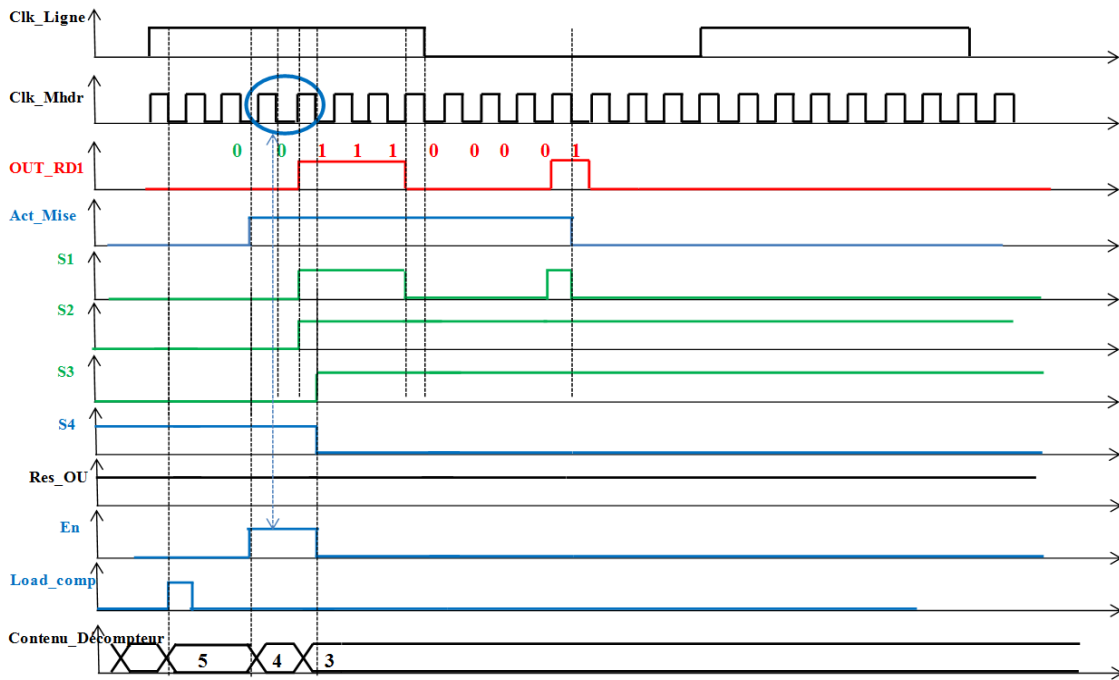


FIGURE 5.22 – Chronogrammes de fonctionnement de la Mise à Jour de l’Exposant pendant le  $(32 \cdot i + 1)^{\text{ème}}$  temps ligne

Lorsque le nombre de bits à zéro est supérieur à la valeur de l’exposant de l’image précédente, le nouvel exposant calculé est égal à 0 pour la raison expliquée ci-dessus. Les chronogrammes de la Figure 5.23 illustrent le cas de fonctionnement pour un exposant égal à 1 et une valeur  $Nz$  égale à 2.

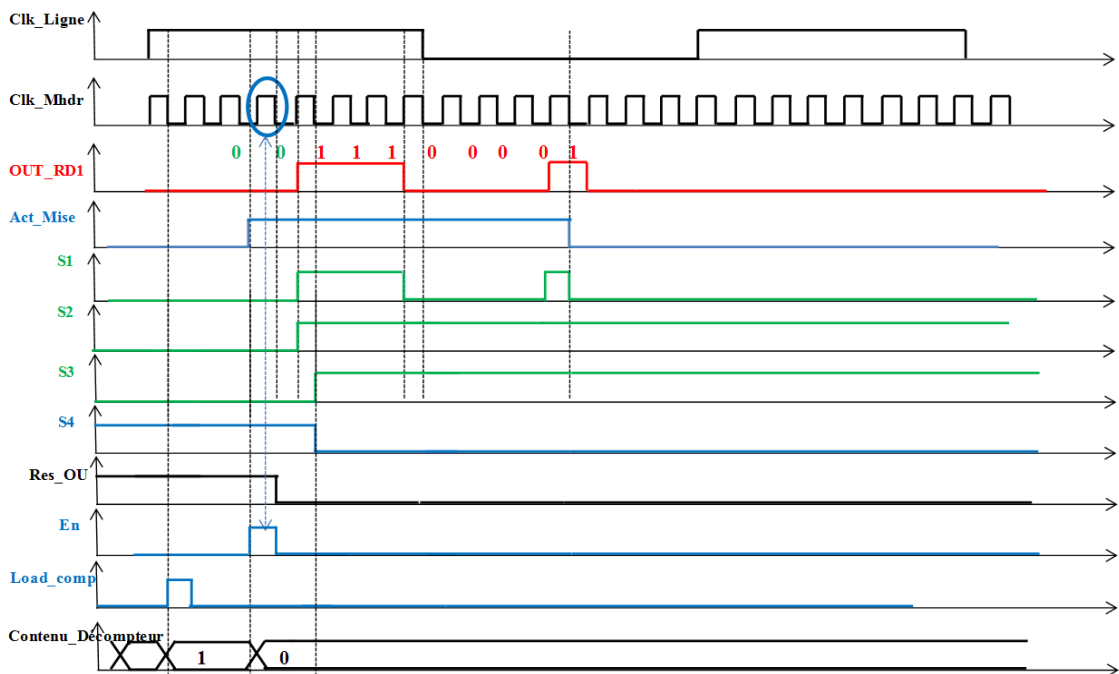


FIGURE 5.23 – Chronogrammes de fonctionnement de la mise à jour de l’exposant pendant le  $(32 \cdot i + 1)^{\text{ème}}$  temps ligne, Cas de l’exposant calculé = 0

Les blocs ont été conçus au niveau transistor. Les bascules D sont des bascules statiques avec une entrée horloge, une entrée D et un signal de réinitialisation.



Une bascule, synchronisant le signal  $M\_sat$  de détection de saturation de la mantisse maximale, est gérée par un signal supplémentaire d'activation (Enable), est la même que l'architecture des bascules utilisées pour le calcul de la mantisse maximale. Toutes les portes logiques ont été aussi conçues à l'échelle du transistor pour atteindre des dimensions minimales. Les délais ont été calculés pour assurer le bon fonctionnement de l'architecture. Concernant le décompteur, il est composé de 4 bascules D : La première bascule est gérée par un signal supplémentaire Enable qui permet d'activer ou désactiver le fonctionnement du décompteur, les trois autres bascules sont des bascules D statiques avec une entrée D, une entrée Bit\_load, une entrée horloge, un signal de commande Load et un signal de réinitialisation.

### 5.4.3 Génération du signal RST\_HDR : adaptation du temps d'intégration

La troisième et la dernière étape du traitement HDR proposé est la génération du signal de commande RST\_HDR permettant d'ajuster le temps d'intégration. Contrairement aux deux premières étapes communes à une colonne de macro-pixels, cette étape est propre à chaque macro-pixel. Elle est donc effectuée dans le Rexel. L'architecture proposée pour effectuer cette étape est donnée en Figure 5.24.

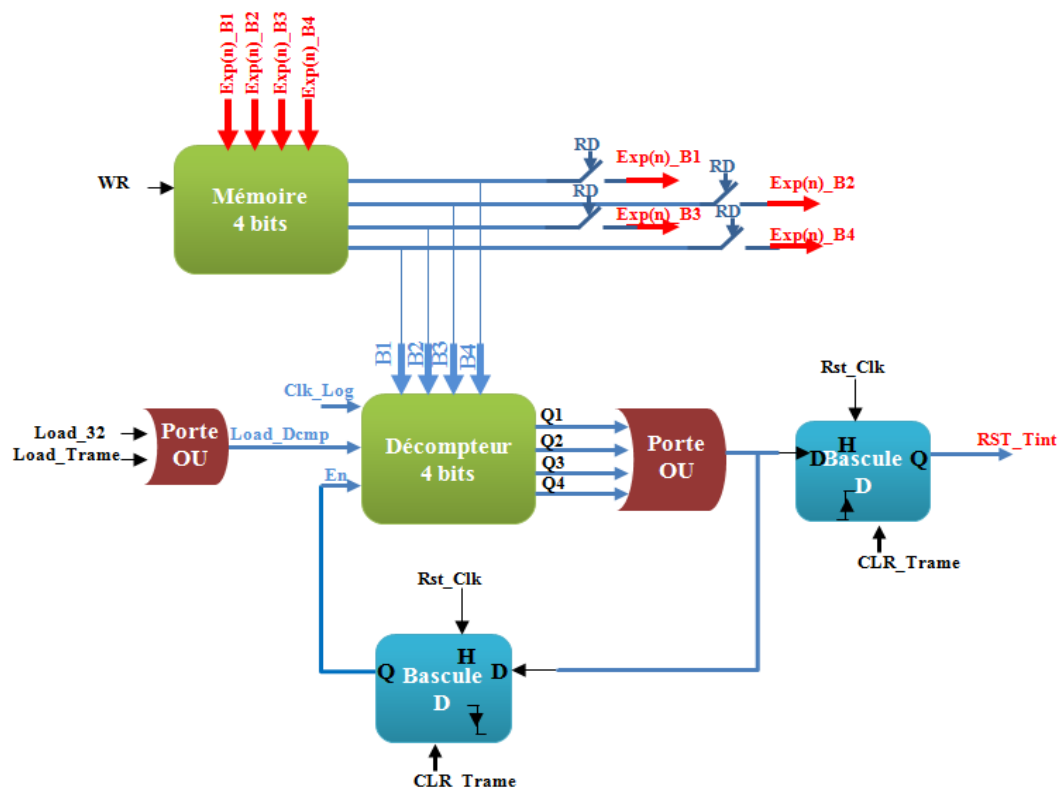


FIGURE 5.24 – Architecture du Rexel, élément de génération du signal de commande RST\_HDR

L'architecture est composée d'un décompteur 4 bits, une mémoire statique 4 bits, deux bascules D statiques, une porte "OU" à deux entrées, une porte "OU" à quatre entrées et des interrupteurs. Le décompteur est géré par une horloge « logarithmique » dont le rapport cyclique varie en  $\frac{T_{image}}{2^{Exp}}$  (Cf. Figure 5.25), un signal

d'activation En et enfin un signal Load\_Dcmp permettant de charger une valeur donnée dans les bascules du décompteur. Quant à la mémoire, elle est composée de 4 points mémoires qui sont des demi-bascules D statiques.

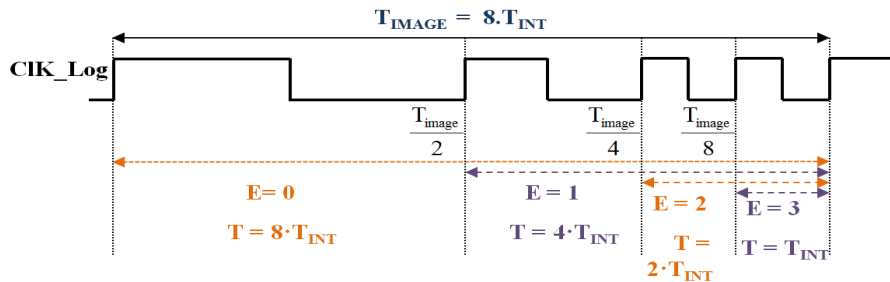


FIGURE 5.25 – Allure de l'horloge logarithmique pour un Exposant codé sur 2 bits

Le fonctionnement de ce bloc est le suivant : à la toute première image, notée image 0, la matrice de Rexels est initialisée. L'initialisation se fait par le chargement des valeurs d'exposants initiales dans toutes les mémoires 4 bits ainsi que dans les décompteurs 4 bits. Ceci permet de définir la matrice des Exposants initiaux. On peut choisir une valeur propre à chaque macro-pixel ou on applique la même valeur initiale à toute la matrice de Rexels. L'ajustement du temps d'intégration commence à partir du temps image suivant. Les bascules sont également initialisées et les états de mémoires sont effacés.

En raisonnant maintenant à partir de la première image, notée image 1, l'horloge logarithmique débute sur le front montant de l'horloge RST\_Clk (noté précédemment RST\_ref). Une impulsion "Load\_Trame" est envoyée au début de chaque temps image pour charger le contenu de la mémoire 4 bits dans le Décompteur 4 bits au sein du Rexel. En effet, à la fin de chaque temps image, le décompteur atteint la valeur zéro suite au processus mis en place. Pour cette raison, la valeur de l'exposant de l'image précédente est chargée au début du temps image suivant pour effectuer correctement l'initialisation de tous les blocs. À un instant bien précis, la valeur de la mémoire 4 bits est chargée dans l'élément correspondant du traitement HDR en pied de colonne avant la phase de mise à jour de l'exposant au  $(32 \cdot i + 1)^{ème}$  temps ligne. Après 33 temps ligne, la nouvelle valeur de l'exposant est disponible sur le bus 4 bits en sortie de chaque élément de traitement en pied de colonne. Cette valeur est transférée vers la mémoire et le décompteur 4 bits. Le décompteur commence à décompter sur le front montant de l'horloge Clk\_Log. Ainsi, même si la valeur correcte du temps d'intégration n'est reçue que 33 temps ligne plus tard, le fonctionnement reste valide car le premier front montant sur lequel le décompte arrive 512 temps ligne plus tard. Sur front montant de l'horloge RST\_Clk, le signal de commande RST\_Tint gérant le temps d'intégration passe à 1 au début de chaque temps image sauf dans le cas où l'exposant chargé est égal à zéro. Il reste à 1 jusqu'à ce que le décompte atteigne la valeur 0. En passant à zéro de nouveau, il permet de démarrer l'intégration au sein du macro-pixel pendant le temps d'intégration évalué selon l'exposant mis à jour. Les chronogrammes illustrant ce fonctionnement sont donnés en Figure 5.26.

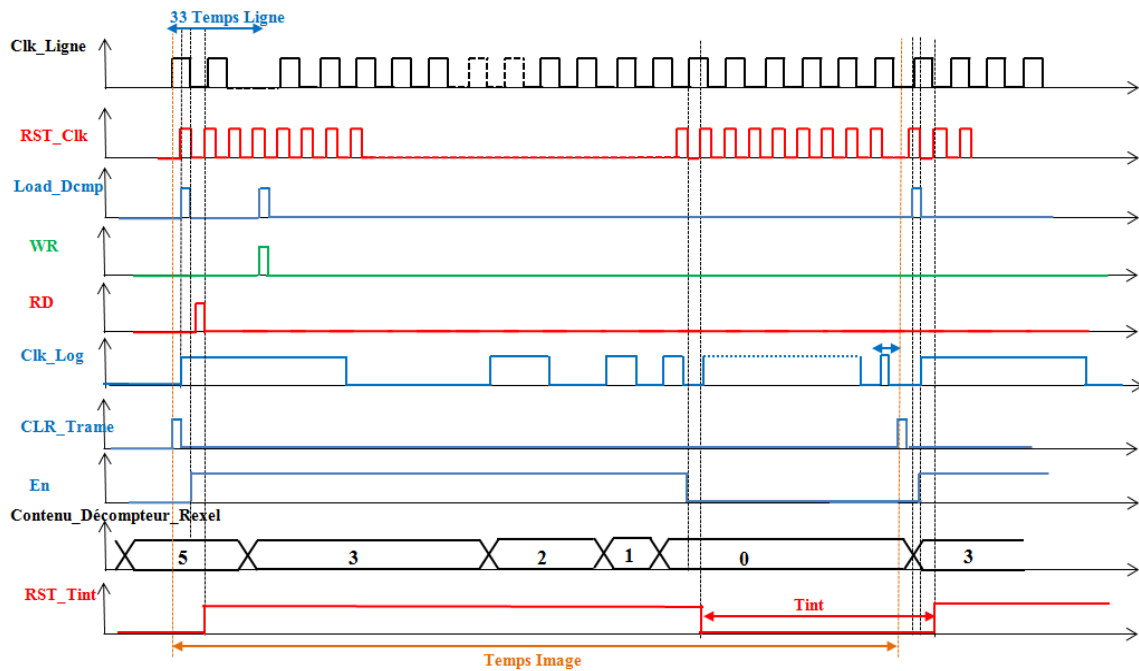


FIGURE 5.26 – Chronogrammes des signaux de contrôle du bloc de Génération du signal de commande RST\_Tint

Le signal RST\_Tint est envoyé au premier pixel mort du macro-pixel correspondant afin de générer le signal RST\_HDR propre à la 1<sup>ère</sup> ligne de macro-pixel. En résumé, trois étapes principales assurent le traitement HDR, dont deux sont effectuées par des blocs en pied de la colonne de macro-pixels, L'étape restante est effectuée dans des blocs (un par macro-pixel) situé sur le bord gauche de la matrice de pixels. L'exposant de chaque macro-pixel est stocké dans le Rexel correspondant. Une communication bidirectionnelle entre le bloc de mise à jour de l'exposant en pied de colonne et le Rexel est établie pendant chaque 32 temps ligne et en parallèle pour une ligne de Rexels à laquelle correspond la ligne de blocs de traitement en pied de la matrice. Dans le paragraphe suivant, la mise en œuvre de cette communication est expliquée.

#### 5.4.4 Communication bidirectionnelle entre les deux blocs de traitement HDR

Au cours du fonctionnement du traitement HDR, l'exposant est chargé deux fois avant et après la mise à jour du temps d'intégration pendant le  $(32.i+1)$ ème temps ligne. Avant la phase de mise à jour, l'exposant est chargé dans le décompteur 4 bits en pied de la colonne pour être mis à jour si nécessaire. Après la phase de mise à jour et pendant le calcul de la mantisse maximale du macro-pixel suivant, la nouvelle valeur de l'exposant est chargée vers la mémoire 4 bits et le décompteur 4 bits du Rexel. On déduit deux cycles de communication importants pendant les 32 temps ligne du calcul de la valeur de la mantisse maximale de la ligne de macro-pixel  $i$  :

- Chargement des nouvelles valeurs des exposants du pied de la matrice vers la ligne de Rexels  $i$  correspondants au début des 32 temps ligne.
- Chargement des valeurs des exposants de la ligne de Rexels  $i+1$  vers le pied de la matrice.

Pour un même macro-pixel, les deux cycles de communication de chargement de l'ancienne valeur et la nouvelle valeur de l'exposant se passent autour de la période  $(32 \cdot i + 1)^{\text{ème}}$  de mise à jour de l'exposant du macro-pixel correspondant. La Figure 5.27 illustre le principe de communication entre le pied de colonne et la matrice de Rexels.

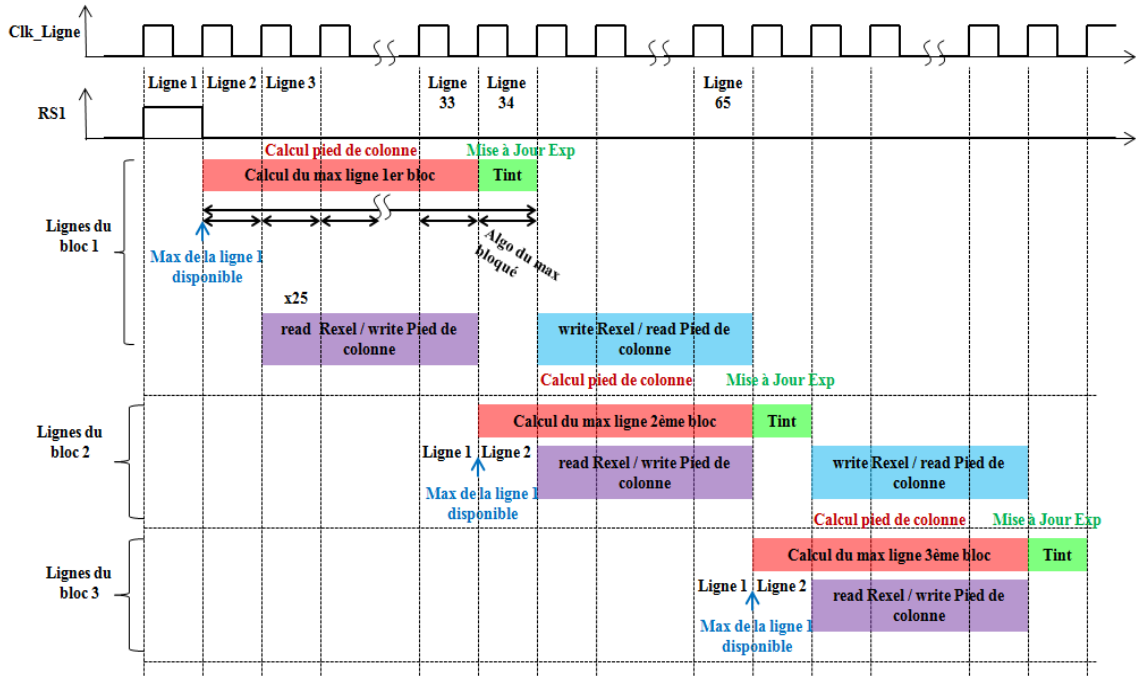


FIGURE 5.27 – Principe de communication entre le pied de la matrice et la matrice de Rexels

Sur la Figure 5.27, les étapes de communication sont illustrées pour 3 macro-pixels successifs de la même colonne. Le traitement en pied de la matrice de pixel étant effectué en parallèle, 25 valeurs d'exposant devront être chargées deux fois dans les deux sens de communication pendant 32 temps ligne. Afin de réduire la complexité de la communication et notamment le nombre de fils nécessaires, nous choisissons alors de mettre en place un seul bus 4 bits qui communiquera dans les deux sens et en série sur toute la ligne de blocs en pied de la matrice. Ainsi, les deux cycles de communication s'effectuent en série pendant 32 temps ligne.

Pendant chaque 32 temps ligne, la ligne de blocs de traitement HDR en pied de la matrice correspond à une ligne donnée de Rexels. En outre, à chaque bloc de la ligne en pied de la matrice correspond un Rexel. Il faut ainsi implémenter des signaux de sélection permettant de sélectionner les deux blocs (Bloc en pied de la matrice et Rexel) qui doivent entrer en communication dans un sens ou l'autre. Une architecture à base de registres à décalage, portes logiques et buffers bidirectionnels a été proposée et implémentée. Une vue globale de cette architecture avec les éléments autour est donnée en Figure 5.28.

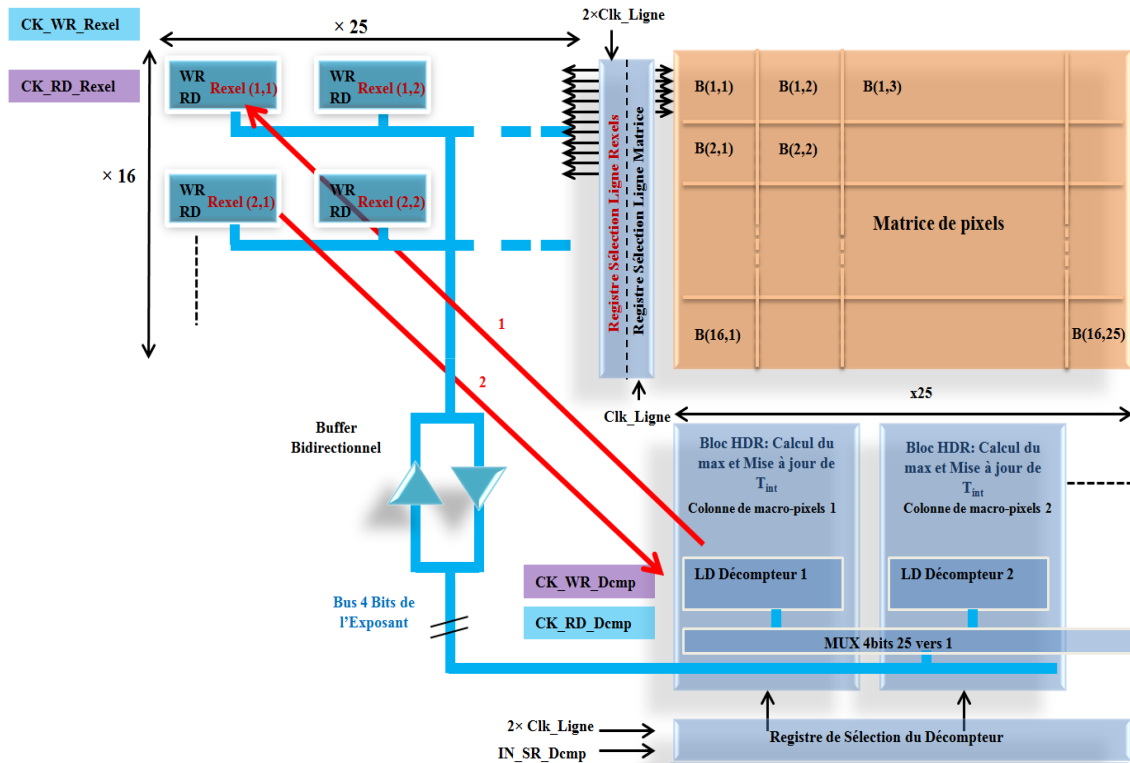


FIGURE 5.28 – Vue Globale des blocs en communication

## 5.5 Simulation

### 5.5.1 Méthodologie de simulation

Vu la complexité et la taille du circuit, appelé LIRIS, il était nécessaire de développer une méthodologie de simulation permettant de valider le fonctionnement de l'architecture, de résoudre les bugs et d'estimer certaines caractéristiques du circuit. La simulation a été procédée d'une manière ascendante en commençant par les petits blocs jusqu'au circuit entier. Les premiers blocs conçus et simulés ont été les blocs de traitement HDR vu qu'ils présentent la partie innovante du circuit. Le traitement HDR est composé de trois étapes principales, ces étapes ont été validées en simulation une à une et la boucle de rétroaction a été mise en place en imposant des entrées numériques à l'entrée du premier bloc HDR. Les blocs conçus pour assurer le traitement HDR ont été simulés et validés avec le simulateur analogique Eldo. Afin de confirmer la fiabilité des résultats obtenus concernant l'adaptation du temps d'intégration à partir de valeurs de mantisses connues au préalable, un modèle VHDL fonctionnel a été élaboré sous Modelsim. Ce modèle reproduit le principe de fonctionnement développé sous Matlab. Nous avons utilisé une nouvelle approche s'agissant de modéliser uniquement les fonctions de base, le plus proche possible du niveau transistor, avec le langage VHDL. Toute la connectique entre les blocs, les portes et le schéma "top" de test sont des vues schématiques décrites sous Eldo. C'est à dire, quand on utilise par exemple un décompteur 4 bits, le schéma Eldo utilisé est un schéma ordinaire au niveau bloc et uniquement le comportement de la bascule est décrit en VHDL au lieu de transistors. Cette approche nous a permis de considérablement gagner en temps de simulation et de résoudre certains bugs critiques ainsi que de valider le fonctionnement de l'architecture proposée. La mé-

thodologie de simulation du bloc de traitement HDR est illustrée en Figure 5.29. À l'issu des trois modèles élaborés et simulés, trois fichiers contenant l'ensemble des exposants ont été récupérés. Les trois méthodes de simulation ont donné les mêmes valeurs d'exposants.

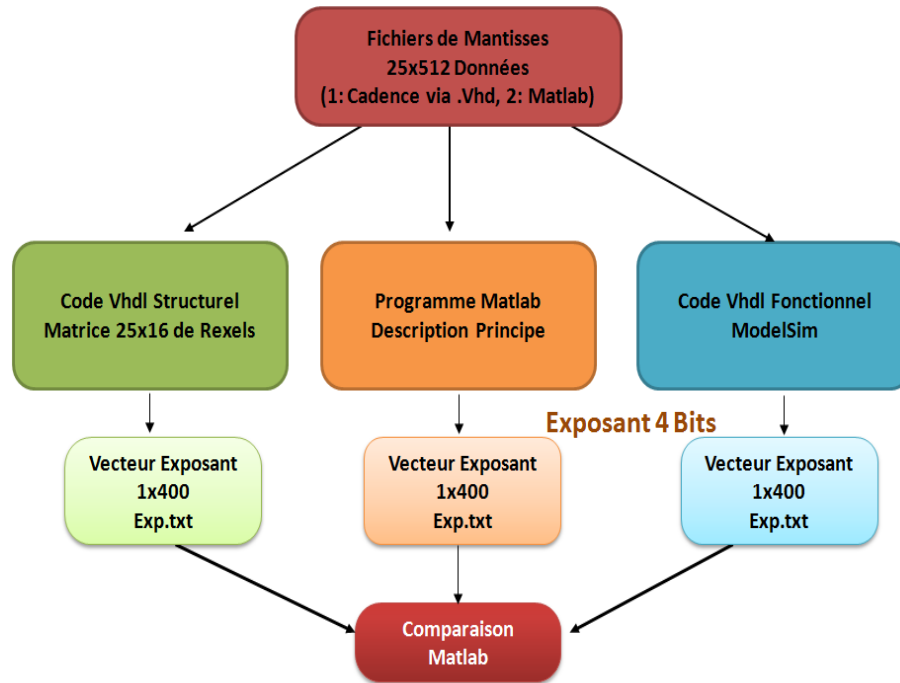


FIGURE 5.29 – Méthodologie de simulation des blocs du traitement HDR

Le pied de colonne a été ensuite assemblé et simulé. À cette étape de simulation, des entrées analogiques, images des sorties analogiques des pixels transmis sur les bus colonnes, ont été imposées à l'entrée du CAN. Cette étape a permis de valider le fonctionnement de tout le pied de colonne en partant du CAN jusqu'au traitement HDR.

Ensuite, le macro-pixel a été assemblé contenant les pixels actifs et les pixels morts. Une première simulation complète a contenu ainsi le macro-pixel, le pied de colonne et le rexel correspondant. Ceci a permis de simuler la boucle entière avec un seul macro-pixel.

Afin de valider le fonctionnement du circuit entier et principalement la communication entre les blocs, une sous-matrice de  $2 \times 2$  macro-pixels a été assemblée et simulée. Cette dernière étape de simulation a mis en œuvre tous les périphériques d'une matrice de  $800 \times 512$  pixels avec la couronne d'IOs. Les signaux de contrôle fonctionnent sur le temps image fixé dans le cahier de charges.

Les Figures 5.30 et 5.31 montrent le schéma du circuit entier simulé.

Toutes les fonctionnalités du circuit ont été séparément validées sous Eldo en simulation analogique. Ces différentes simulations permettent de valider le fonctionnement à l'échelle de transistor et d'extraire les différentes caractéristiques telle que la consommation et le bruit introduit par le CAN ou les délais de propagation des fonctions numériques (portes, bascules...). Cette étape permet de vérifier les transitions critiques et d'assurer le vrai fonctionnement, le plus proche du vrai circuit. Cependant, plus des fonctionnalités sont intégrées dans le schéma de simulation, plus le temps simulation devient lent. Il peut atteindre quelques jours en simulant

la boucle entière même avec un seul macro-pixel.

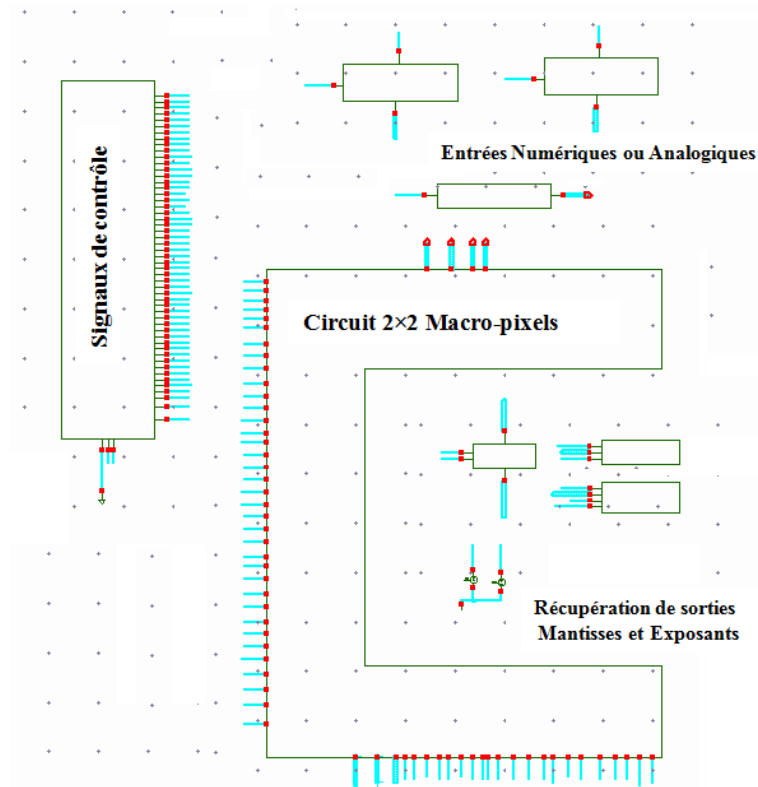


FIGURE 5.30 – Vue extérieure du circuit de  $2 \times 2$  macro-pixels simulé

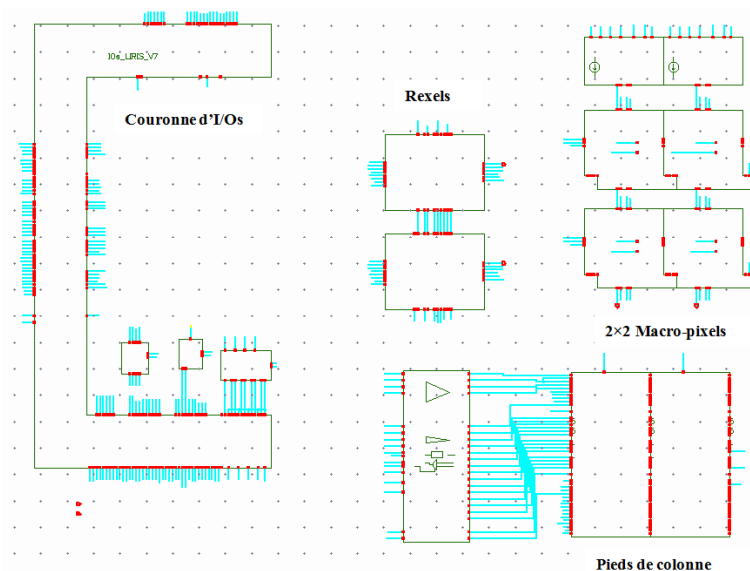


FIGURE 5.31 – Vue intérieure du circuit  $2 \times 2$  macro-pixels simulé

En conséquence, nous avons appliqué l'approche de simulation utilisée pour le traitement HDR pour tout le circuit. Des modèles comportementaux en VHDL ont été élaborés de tout le circuit (Pixel, CAN, fonctions de base...). Ce modèle de VHDL est un modèle structural très proche du niveau bas du circuit. Comme pour la partie HDR, que les fonctions de base ont été modélisées en VHDL, tous les autres niveaux

de connexions sont les vrais schémas du circuit. Afin de rapidement résoudre les différents bugs et valider le fonctionnement du circuit, deux simulations, de la sous matrice  $2 \times 2$  macro-pixels, en parallèle ont été menées :

- Une simulation numérique sous Advanced MS appelant les modèles VHDL bas niveaux.
- Une simulation analogique, sous le simulateur SPICE rapide XA, du circuit.

Ces deux simulations se basent sur le même schéma du circuit (Cf. Figure 5.31). Les entrées du circuit diffèrent selon le simulateur utilisé. Le simulateur est configuré pour appeler les vues VHDL ou Transistors. Une configuration sophistiquée de Advanced MS avec modification des netlists a permis de mettre en œuvre la simulation VHDL fonctionnel du circuit. La Figure 5.32 illustre la méthodologie utilisée pour simuler le circuit contenant  $2 \times 2$  macro-pixels.

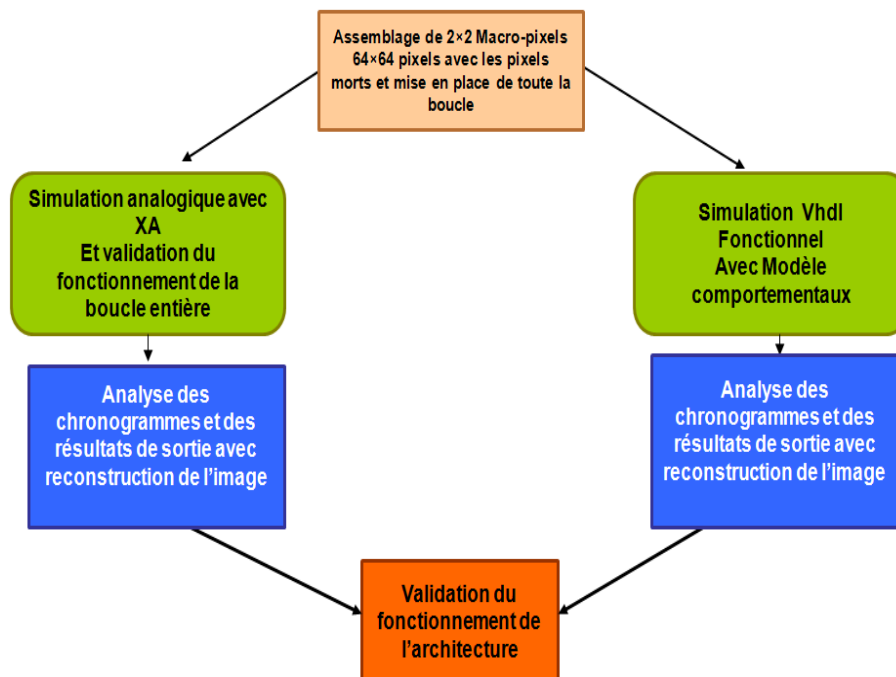


FIGURE 5.32 – Méthodologie de simulation du circuit

### 5.5.2 Résultats de simulation

Les simulations ont permis principalement de valider le fonctionnement de la boucle entière et vérifier le fonctionnement de circuit. Les différentes configurations de valeurs d'exposants maximales ont été simulées et selon la valeur de l'exposant, le signal RST\_HDR s'adapte permettant d'ajuster le temps d'intégration du macro-pixel correspondant.

La fonction des pixels morts a été, elle aussi, vérifiée ainsi que la distribution du signal RST\_Tint de l'ajustement du temps d'intégration tout au long de la diagonale du macro-pixel.

La Figure 5.33 montre quelques chronogrammes résultants de la simulation. Sur cette figure, l'allure du signal RST\_Tint et la valeur d'exposant correspondant sont illustrées.



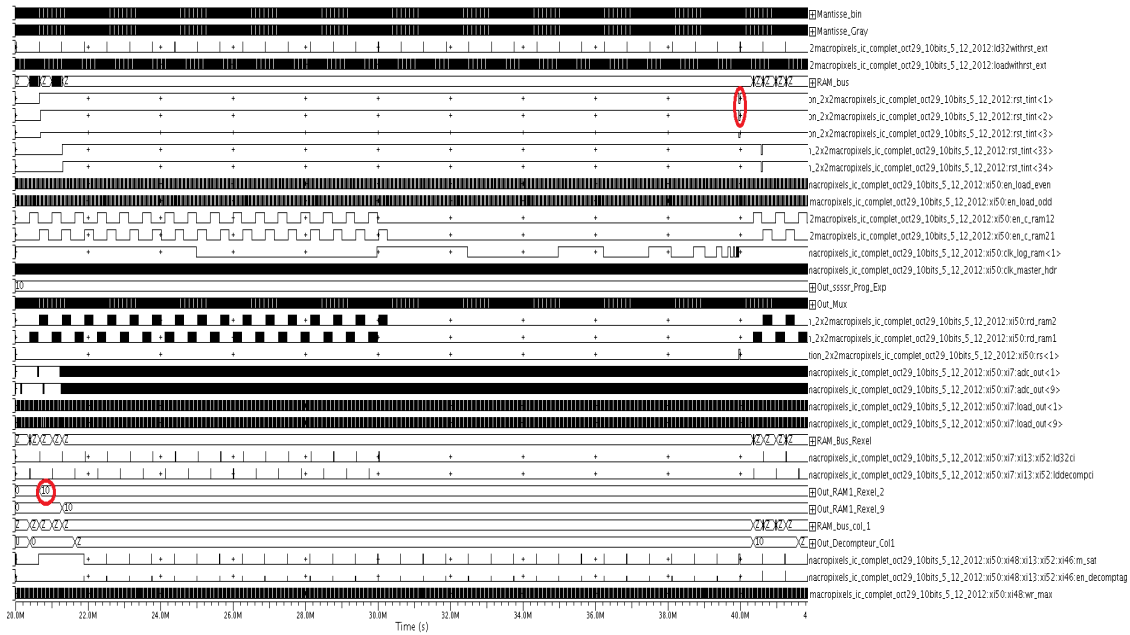


FIGURE 5.33 – Chronogrammes des signaux de contrôle de LIRIS issus de la simulation

L'entrée du circuit utilisée est l'image HDR de départ codée sur 22 bits (Cf. Chapitre 4). Nous avons prélevé plusieurs blocs de  $64 \times 64$  pixels sur des zones différentes de l'image et ces blocs ont servi comme motifs d'entrée du circuit de simulation. Des motifs simples ont été aussi élaborés sous Matlab contenant simplement des niveaux de gris. À l'issue de chaque simulation, un fichier contenant  $64 \times 64$  mantisses et un fichier contenant 4 exposants sont récupérés. Ces fichiers sont ensuite utilisés sous Matlab afin de reconstruire l'image finale. Les résultats obtenus n'ont pas pu être correctement finalisés à cause du manque du temps.

En Figure 5.34, nous montrons un exemple d'images reconstruites à l'issue des simulations mixtes. L'image des mantisses et l'image complète sont différentes car les 4 blocs ne présentent pas les mêmes valeurs d'exposants.

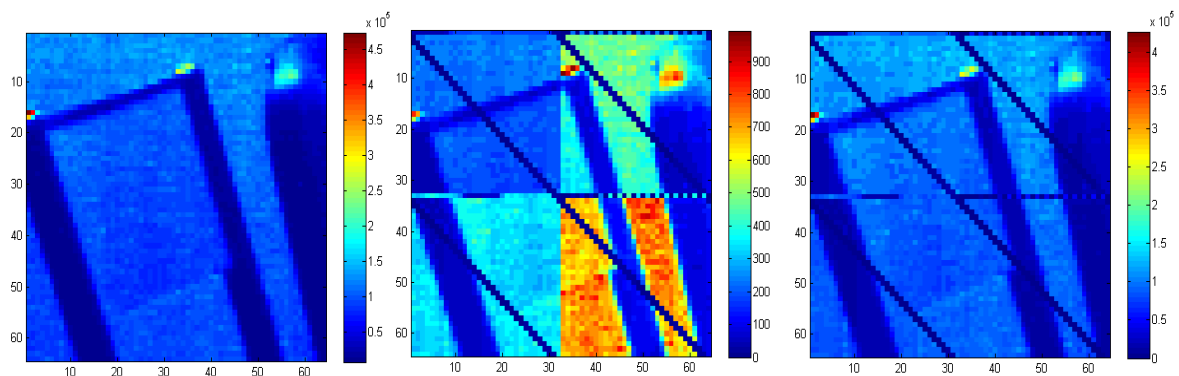


FIGURE 5.34 – Résultats de simulation : Image originale (gauche), image reconstituée des mantisses (centre), image complète reconstituée (droite)

Les images obtenues montrent la reconstruction de l'image originale en conservant tous les détails. Elle montre également les diagonales des pixels morts non

corrigés auxquels nous avons choisi d'attribuer la valeur basse de l'alimentation (la masse). Une ligne de pixels apparait entre les blocs qui est due à un problème dans la transmission de données vers les fichiers de sortie. Nous avons vérifié que ce problème venait de l'horloge et les signaux de contrôle des blocs VHDL de sortie mais faute de temps, les simulations n'ont pas pu être refaites.

La simulation analogique a permis de vérifier les mêmes résultats et de comparer les résultats obtenus avec les différents simulateurs. Les niveaux analogiques des signaux principalement les sorties des pixels lors de la transmission sur les bus colonnes ont été vérifiés. Une mesure de la consommation a été aussi effectuée mais à rappeler que le circuit simulé contient tous les périphériques d'une matrice de 800 pixels et uniquement  $64 \times 64$  pixels. Une estimation de la consommation totale est ainsi difficile (Cf. Figure 5.35).

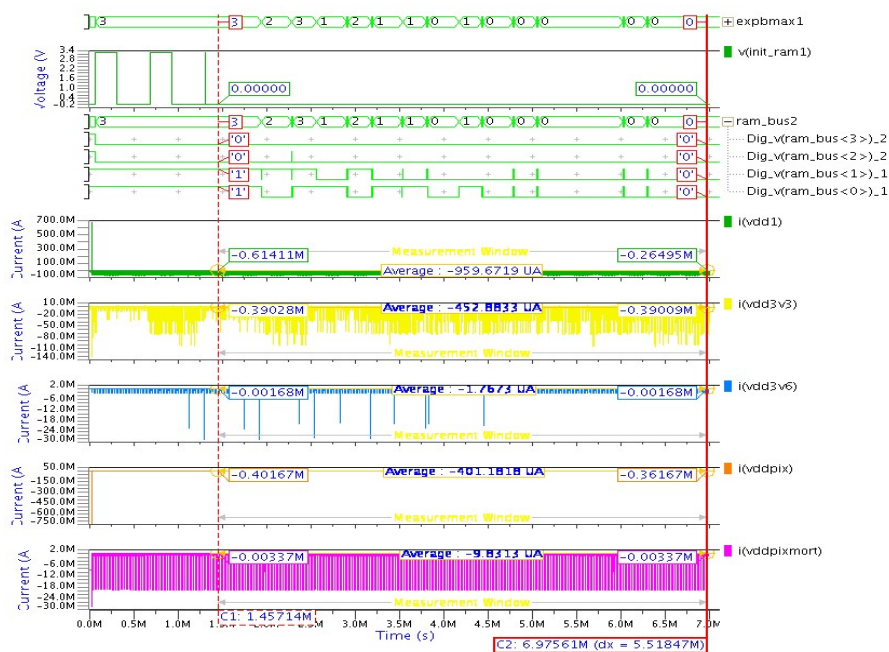


FIGURE 5.35 – Mesure de la consommation totale sous XA

Une erreur d'un code, soit un LSB a été détecté sur le convertisseur analogique numérique ce qui rentre largement dans le cahier de charges. Cette erreur peut être critique aux zones de transition entre les intervalles des différentes valeurs que peut prendre l'exposant et induire ainsi un faux calcul d'exposant. À titre d'exemple, si la valeur numérisée est de 512 au lieu de 511, la valeur d'exposant de l'ancienne image ne change pas et induit ainsi la non-utilisation de la dynamique entière de la mantisse. Cependant, le calcul se réadapte lors de l'image suivante et la valeur de l'exposant peut être corrigée. Les résultats de simulation ont été aussi vérifiés pour le cas du pixel 4T mais ne sont pas communiqués dans ce manuscrit.

## 5.6 Conclusion

L'architecture proposée a été optimisée dans le but d'avoir un minimum de signaux de contrôle, une petite surface et une faible consommation. Le circuit est complexe, à la fois en termes de nombres de cellules, du fait de la contre-réaction,

et du fait qu'il comporte à la fois des blocs numériques et analogiques. En plus de la conception et de la simulation des cellules en numérique et en analogique, il a été nécessaire de développer une méthodologie de simulation pour valider le fonctionnement correct de l'ensemble du circuit. Cette méthodologie a été compliquée à mettre en œuvre et a permis de valider le fonctionnement de l'architecture et résoudre les bugs avant l'envoi du circuit en fonderie.

# Chapitre 6

## Conclusion

Les travaux que nous avons présentés ont visé à étudier l'apport des technologies d'intégration 3D pour les capteurs d'images. En effet, l'étude bibliographique a permis de mettre en évidence le manque d'analyse de l'apport de cette nouvelle technologie dans les différents domaines notamment dans le domaine de l'imagerie. Par rapport aux technologies 2D planaires actuelle, deux des apports potentiels de l'intégration 3D consistent à permettre de réduire des longueurs d'interconnexions d'une part, et d'autre part à s'affranchir des latences introduites par la sérialisation des informations. En permettant de raccourcir la latence entre la lecture d'une valeur de pixel et l'ajustement d'un paramètre de contrôle, l'intégration 3D permet donc de faire émerger le concept de boucle courte. En examinant les imageurs 2D actuels, une limitation principale réside en la dynamique de l'imageur dont plusieurs techniques d'extension ont été proposées au détriment de d'autres performances telles que l'efficacité quantique, le facteur de remplissage et le bruit. Nous avons ainsi choisi la grande dynamique comme application permettant d'étudier l'apport de la technologie 3D aux imageurs 2D actuels. L'architecture proposée permet d'étendre la dynamique de l'imageur à plus de 120 dB tout en gardant une architecture classique d'un pixel 3T. Elle est également générique et valable pour le pixel 4T. L'intégration 3D permet d'assurer une rétroaction courte afin d'ajuster le temps d'intégration par groupe de  $32 \times 32$  pixels. L'implémentation de la boucle courte n'est possible que grâce à l'intégration 3D permettant de garder sur une première couche une architecture d'un imageur 2D classique et sur une deuxième couche un traitement numérique plus complexe permettant d'adapter le temps d'intégration. D'autres apports potentiels de l'intégration 3D consistent en la réduction possible de la consommation et l'implémentation de traitements massivement parallèles. L'architecture proposée intègre deux niveaux de compression : un premier niveau accompli par le codage flottant mantisse-exposant avec un exposant commun maximum par groupe de  $32 \times 32$  pixels et un deuxième niveau de compression à base de DCT, qui n'a pas pu être intégré dans le prototype réalisé. Pour des raisons financières, un prototype 2D a été réalisé et on s'est contenté d'une étude théorique du circuit 3D équivalent.

Dans un premier temps, nous avons procédé à l'étude des différentes techniques d'extension de la dynamique afin d'identifier la méthode adaptée à notre circuit. La majorité des techniques proposées dans les imageurs 2D actuels modifie l'architecture

du pixel et introduit de l'électronique supplémentaire dans celui-ci, au détriment du facteur de remplissage. Une seule technique, l'ajustement de la capacité d'intégration, conserve l'architecture classique du pixel. Cependant, cette technique étend la dynamique au détriment de la linéarité de la réponse du pixel et du SNR. Le codage flottant était un candidat pertinent pour notre application permettant de concilier faible bruit, pixel de petite taille et grande plage dynamique. Il permet d'intégrer un traitement simple pour extraire le temps d'intégration. La technique utilisée pour étendre la dynamique est ainsi basée sur l'adaptation du temps d'intégration par groupe de pixels en rétroagissant sur l'ensemble des pixels via les interconnexions verticales. L'application d'un exposant commun par groupe de pixels a été étudiée et l'exposant maximum est choisi. Il permet de conserver des valeurs de PSNR élevées et ainsi une bonne qualité d'image tout en imposant un temps d'intégration commun à un macro-pixel de  $32 \times 32$  pixels. La modélisation de la technique proposée sous Matlab a permis de valider le principe de cet algorithme. Un deuxième niveau de compression a été aussi étudié et modélisé sous Matlab. C'est une compression à base de DCT permettant de réduire le flux de données en sortie de l'imageur. Cette compression n'a pas pu être intégrée dans le prototype final pour des contraintes de temps. L'association du codage Mantisse-Exposant et le deuxième niveau de compression permet de réduire le flux de données de 20 bits par pixel pour un codage grande dynamique linéaire à environ 2,5 bits par pixel ce qui est équivalent à un taux de compression de 87,5%, tout en gardant une dynamique supérieure à 120 dB et une qualité d'image acceptable (PSNR de l'ordre de 30 dB). L'augmentation du nombre de bits pour représenter l'image grande dynamique est absorbée par la compression à deux niveaux.

Une étude théorique de l'apport de l'intégration 3D aux imageurs 2D actuels a été ensuite élaborée. Nous avons montré dans le chapitre 3 les différentes configurations possibles et les gains en consommation notamment par partie. Cette étude a permis d'amener une analyse partielle des avantages de la technologie 3D qui semble apporter un vrai intérêt en consommation notamment pour la partie analogique par rapport à la technologie 2D. Cet apport dépend fortement de la configuration de l'architecture proposée. Le cas démontré dans ce travail présente une équivalence simple entre deux configurations 2D et 3D. Cependant, l'exploitation des avantages de la technologie 3D tels que l'intégration des technologies hétérogènes dans une même puce en 3D peut permettre de gagner un facteur de 2 à 4 sur la consommation des CANs ou aussi la partie du traitement HDR grâce au facteur de réduction de la tension d'alimentation en passant d'un nœud technologique à un autre plus agressif. L'intégration 3D permet aussi la réduction du temps de propagation des signaux analogiques.

Une réalisation matérielle a ensuite vu le jour afin de valider les modèles et les hypothèses proposés dans la première partie de ce travail de thèse. L'architecture du circuit 2D proposée implémente l'extension de la dynamique de l'imageur. L'approche consiste à transposer les cellules du circuit 3D vers un prototype 2D afin de valider la pertinence des hypothèses ayant servi dans les modèles proposés. Le circuit 2D réalisé est composé d'une matrice de  $800 \times 512$  pixels, divisée en  $25 \times 16$  macro-pixels, avec tout le traitement numérique et les convertisseurs analogiques numériques. Il contient également des pixels morts remplaçant l'avantage apporté par les interconnexions 3D. Le pixel conçu est un pixel 3T de pas  $5 \mu m$ . Le cir-

cuit total fait une surface de  $5\text{ mm} \times 5\text{ mm}$ . Nous avons principalement présenté et expliqué l'architecture du traitement HDR responsable de l'adaptation du temps d'intégration car elle présente la partie innovante. L'architecture proposée a été optimisée dans le but d'avoir un minimum de signaux de contrôle, une petite surface et une faible consommation. Le circuit est complexe, à la fois en termes de nombres de cellules, du fait de la contre-réaction, et du fait qu'il comporte à la fois des blocs numériques et analogiques.

Afin de valider le fonctionnement de l'ensemble du circuit, il a été nécessaire de développer une méthodologie de simulation. Nous avons proposé une approche originale qui a permis de valider l'architecture. Cette méthodologie se base sur la modélisation comportementale des cellules de base tout en restant le plus proche possible du transistor et d'utiliser les mêmes schémas de simulation en analogique et en numérique. La simulation a permis de valider le fonctionnement de la boucle implémentée. En outre, les résultats de simulation ont montré des résultats prometteurs en termes de qualité d'image et de consommation totale comparable à la consommation d'un imageur 2D classique malgré la complexité des traitements intégrés.

Une caractérisation du circuit, en test actuellement au laboratoire, a été menée afin de déterminer les principales caractéristiques du circuit notamment en termes de consommation. Une consommation totale mesurée est estimée à  $7\text{ mA}$  pour le niveau d'alimentation des fonctions numériques  $1,8\text{ V}$  et  $7\text{ mA}$  pour le niveau d'alimentation analogique, des pixels principalement,  $3,3\text{ V}$  à une fréquence maximale de  $30\text{ MHz}$ . En conséquence, la consommation totale à la fréquence maximale prévue de fonctionnement,  $100\text{ MHz}$ , peut être approximée à  $21\text{ mA}$  pour le  $1,8\text{ V}$ .

Suite à ces travaux de thèse, l'architecture proposée et réalisée en technologie 2D a été transposée à la technologie 3D telle que la configuration proposée dans ces travaux de thèse. L'architecture a été conservée telle qu'elle notamment pour le traitement HDR. À l'avenir, l'intégration du deuxième niveau de compression pourrait faire l'objet de la nouvelle version du circuit 3D. L'étude et l'implémentation de la solution analogique notamment pour le calcul de la mantisse maximale pourrait aussi être complétée pour intégrer cette solution dans une prochaine version du circuit. Quant à l'étude de l'apport de l'intégration 3D, une comparaison entre la version 2D du circuit réalisée dans le cadre de ces travaux de thèse et la version 3D réalisée par la suite pourrait parfaire cette analyse.



# Bibliographie





Références Bibliographiques

- [AJ03] A. Agoun and I. Jalloh. Two dimensional dct/idct architecture. *IEEE Proceedings - Computers and Digital Techniques*, pages 2–10, 2003.
- [Aka86] Y. Akasaka. Three dimensional ic trends. *Proceedings of the IEEE*, 74-12 :1703–1714, 1986.
- [AN86] Y. Akasaka and T. Nishimura. Concept and basic technologies for 3-d ic structure. *IEDM 32*, 32 :488–491, 1986.
- [ASAea06] N. Akahane, S. Sugawa, S. Adachi, and et al. A sensitivity and linearity improvement of a 100-db dynamic range cmos image sensor using a lateral overflow integration capacitor. *IEEE Journal of Solid-State Circuits*, 41 :851–858, 2006.
- [ASMSa04] P.M. Acosta-Serafini, I. Masaki, C.G. Sodini, and et al. A 1/3 vga linear wide dynamic range cmos image sensor implementing a predictive multiple sampling algorithm with overlapping integration intervals. *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, 39 :1487 – 1496, 2004.
- [ATKea13] J. Aoki, Y. Takemoto, K. Kobayashi, and et al. A rolling-shutter distortion-free 3d stacked image sensor with -160 db parasitic light sensitivity in-pixel storage node. *IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC)*, pages 482–483, 2013.
- [BABea06] B. Black, M. Annavaram, N. Brekelbaum, and et al. Die stacking (3d) microarchitecture. *39th Annual IEEE/ACM International Symposium on Microarchitecture*, pages 469–479, 2006.
- [Bas] P. Bas. Compression d’images fixes et de sequences video. *EN-SERG/INPG*.
- [Bey06a] E. Beyne. 3d system integration technologies. *International Symposium on VLSI Technology, Systems, and Applications*, pages 1–9, 2006.
- [Bey06b] E. Beyne. The rise of the 3rd dimension for system integration. *Interconnect Technology Conference*, pages 1–5, 2006.
- [Bey08] E. Beyne. Solving technical and economical barriers to the adoption of through-si-via 3d integration technologies. *Electronics Packaging Technology Conference, EPTC*, pages 29–34, 2008.
- [Bil11] O. Billoint. A 5mpixel cmos image sensor with 1.4um pixel & sub-1v column-wise adc. *Rapport interne laboratoire L3I, CEA-LETI-DACLE*, 2011.
- [BK06] A. Bermak and A. Kitchen. A novel adaptive logarithmic digital pixel sensor. *IEEE Photonics Technology Letters*, 18 :2147 – 2149, 2006.

## RÉFÉRENCES BIBLIOGRAPHIQUES

---

- [BS06] M. Belleville and N. Sillon. Integration systeme : Etes-vous plutot sip ou soc? *CEA Technologies*, (82), 2006.
- [BSPea01] K. BANERJEE, S.J. Souri, K. Pawanand, and et al. 3-d ics : A novel chip design for improving deep-submicrometer interconnect performance and systems-on-chip integration. *Proceedings of the IEEE*, 89 :602–633, 2001.
- [BXSea05] A. Bermak, C. Xu, C. Shen, and et al. A digital-pixel sensor array with programmable dynamic range. *IEEE Transactions on Electron Devices*, 52 :2591–2601, 2005.
- [CCSea11] Y. Chae, J. Cheon, S. Seunghyun, and et al. A 2.1 m pixels, 120 frame/s cmos image sensor with column-parallel delta-sigma adc architecture. *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, 46 :236 – 247, 2011.
- [CRAT00] R.G. Carvajal, J. Ramirez-Angula, and J. Tombs. High-speed high-precision voltage-mode min/max circuits in cmos technology. *IEEE International Symposium on Circuits and Systems, Proceedings IS-CAS*, 36 :697 – 699, 2000.
- [Dec05] G. Declerck. A look into the future of nanoelectronics. *Symposium on VLSI Technology, Digest of Technical Papers*, pages 6–10, 2005.
- [DH05] P. Dudek and P.J. Hicks. A general-purpose processor-per-pixel analog simd vision chip. *IEEE Transactions on Circuits and Systems I : Regular Papers*, 52 :13–20, 2005.
- [DMBea98] S. J. Decker, R. D. McGrath, K. Brehmer, and et al. A 256x256 cmos imaging array with wide dynamic range pixels and column-parallel digital output. *IEEE Journal of Solid State Circuits*, 33 :2081–2091, 1998.
- [Don79] W. Donath. Placement and average interconnection lengths of computer logic. *IEEE Transactions on Circuits and Systems*, 26 :272–277, 1979.
- [Dud07] P. Dudek. Vision chips with pixel-parallel cellular processor arrays. *Information Technologies Conference*, 5 :1–8, 2007.
- [EMB08] J-C. Eloy, E. Mounier, and J. Baron. A markets and technology analysis of wlp solution for ics, cmos image sensors and mems. *IWLPC (Wafer-Level Packaging)*, 2008.
- [Fer08] R. Ferrant. 3d-ic integration costs and benefits. *Design For 3D Workshop, Minatec Crossroads 2008*, 2008.
- [Fos93] E. R. Fossum. Active pixel sensor : Are ccds dinosaurs? *SPIE Symposium on Electronic Imaging*, 1900 :2–14, 1993.
- [Fos97] E.R. Fossum. Cmos image sensor : Electronic camera on a chip. *IEEE Transaction on Electron Devices*, 44 :1689–1698, 1997.

## RÉFÉRENCES BIBLIOGRAPHIQUES

---

- [Fri09] Eby G. Friedman. Design challenges in high performance three-dimensional circuits. *3D Integration Minatec Workshop*, 2009.
- [Gam02] A. El Gamal. High dynamic range image sensors. *Tutorial ISSCC*, 2002.
- [Gar05] P. Garrou. Future ics go vertical. *Semiconductor International*, 2005.
- [Gar06] P. Garrou. Opto-wlp for cmos imaging sensors. *Semiconductor International*, 29 (13), 2006.
- [GBRea08] P. Garrou, C. Bower, P. Ramm, and et al. *Handbook of 3D Integration : Technology and Applications of 3D Integrated Circuits*. Wiley VCH, 2008.
- [GE05] A. El Gamal and H. Eltoukhy. Cmos image sensors. *IEEE CIRCUITS AND DEVICES MAGAZINE*, 21 :6–20, May/June 2005.
- [GMSMG07] A. Guilvard, P. Magnan, J. Segura, and P. Martin-Gonthier. A high dynamic range digital linlog cmos image sensor architecture based on event readout of pixels and suitable for low voltage operation. *International Image Sensor Workshop*, 2007.
- [Gue10] F. Guellec. Convertisseur sigma delta pour imageur infrarouge. *Rapport interne laboratoire L3I, CEA-LETI-DACLE*, 2010.
- [GW02] R. C. Gonzalez and R. E. Woods. Wavelet and multiresolution processing. 2002.
- [Hen56] R.L. Henry. A system of mechanized production of electronics based on modular design. *IRE Transactions on Production Techniques*, 1-1 :10–11, 1956.
- [HJN08] D. Henry, F. Jacquet, and M. Neyret. Through silicon vias technology for cmos image sensors packaging. *The Electronic Components and Technology Conference*, pages 556–562, 2008.
- [HLLea11] Y.H. Hu, C.S. Liu, M.J. Lii, and et al. 3d stacking using cu-cu direct bonding. *IEEE International 3D Systems Integration Conference (3DIC)*, pages 1–4, 2011.
- [HLLea12] Y. Y. H., C. S. Liu, M. J. Lii, and et al. 3d stacking using cu-cu direct bonding. *IEEE International 3D Systems Integration Conference (3DIC)*, pages 1–4, 2012.
- [HMHKea10] C. Hsiu-Ming, J-L. Huang, D-M. Kwai, and et al. An error tolerance scheme for 3d cmos imagers. *Design Automation Conference (DAC), 47th ACM/IEEE*, pages 917–922, 2010.
- [IKMea09] K. Itonaga, and T. Kataoka K. Mizuta, and et .al. 0.9um pitch pixel cmos image sensor design methodology. *IEEE International Electron Devices Meeting (IEDM)*, pages 1–4, 2009.

## RÉFÉRENCES BIBLIOGRAPHIQUES

---

- [IMNea98] Y. Iida, K. Mabuchi, N. Nakamura, and et al. Study of pixel structure and layout for active pixel image sensor. *SPIE, Solid State Sensor Arrays : Development and Applications II*, 3301 :158–167, 1998.
- [ITR05] ITRS. Interconnect. *THE INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS*, 2005.
- [JDH11] M.H. Jabbar, D.Houzet, and O. Hammami. 3d multiprocessor with 3d noc architecture based on tezzaron technology. *3D Systems Integration Conference (3DIC)*, pages 1–5, 2011.
- [KLNea97] H. Kurino, K. W. Lee, T. Nakamura, and et al. Three-dimensional integration technology for real time micro-vision system. *Second Annual IEEE International Conference on Innovative Systems in Silicon*, pages 203–212, 1997.
- [KLNea99] H. Kurino, K. W. Lee, T. Nakamura, and et al. Intelligent image sensor chip with three dimensional structure. *Electron Devices Meeting, IEDM '99. Technical Digest*, pages 879–882, 1999.
- [KWSea12] K. Kitamura, T. Watabe, T. Sawamoto, and et al. A 33-megapixel 120-frames-per-second 2.5-watt cmos image sensor with column-parallel two-stage cyclic analog-to-digital converters. *IEEE Transactions on Electron Devices*, 59 :3426–3433, 2012.
- [Lab07] Estelle Labonne. *CONTRIBUTIONS A LA CONCEPTION DE CAPTEURS DE VISION CMOS A GRANDE DYNAMIQUE*. PhD thesis, INSTITUT NATIONAL POLYTECHNIQUE DE GRENOBLE, 2007.
- [LCCea09] J-F. Lin, S-J. Chang, C-F. Chiu, and et al. Low-power and wide-bandwidth cyclic adc with capacitor and opamp reuse techniques for cmos image sensor application. *IEEE SENSORS JOURNAL*, 9 :2044 – 2054, 2009.
- [Led07] P. Leduc. What is 3d ic integration and what metrology is needed. *Conference on Frontiers of Characterization and Metrology for Nanoelectronics*, March 2007.
- [Led08] P. Leduc. 3d integration at cea-leti. *Workshop EMC3D*, 2008.
- [Led10] P. Leduc. 3d integration. In *Minatec WORKSHOP*, 2010.
- [LG03] X. Liu and A. El Gamal. Photocurrent estimation from multiple non-destructive samples in a cmos image sensor. *Sensors and Camera Systems for Scientific, Industrial, and Digital Photography Applications II, Proceedings of SPIE*, 4308, 2003.
- [LGLea07] M. Lin, A. El Gamal, Y. Lu, and et al. Performance benefits of monolithically stacked 3-d fpga. *IEEE Transactions On Computer-Aided Design Of Integrated Circuits And Systems*, 26(2) :216–229, 2007.

## RÉFÉRENCES BIBLIOGRAPHIQUES

---

- [LMCGea06] Lopez-Morillo, R.G. Carvajal, J. Galan, and et al. A low-voltage low-power qfg-based sigma-delta modulator for electroencephalogram applications. *IEEE Biomedical Circuits and Systems Conference, Bio-CAS*, pages 118 – 121, 2006.
- [LSMea98] J. Lazzaro, S.Ryckebusch, M.A. Mahowald, and et al. Winner take-all networks of o(n) complexity. *Technical Report CALTECH-CS-TR-21-88, California Institute of Technology*, 1998.
- [LT04] J. Leib and M. Toepper. New wafer level packaging technology using silicon vias contacts for optical and other sensor applications. *The Electronic Components and Technology Conference*, 1 :843–847, 2004.
- [MBSea09] S. Matsuo, T. J. Bales, M. Shoda, and et al. 8.9-megapixel video image sensor with 14-b column-parallel sa-adc. *IEEE TRANSACTIONS ON ELECTRON DEVICES*, 56, 2009.
- [McI01] L.G. McIlrath. A low-power low-noise ultrawide-dynamic-range cmos imager with pixel-parallel a/d conversion. *IEEE Journal of Solid-State Circuits*, 36 :846–853, 2001.
- [MDPB13] F. Guezzi Messaoud, A. Dupret, A. Peizerat, and Y. Blanchard. Capteur d’images a grande dynamique et compression integree pour technologie 3d. *Journal Traitement de Signal, Lavoisier*, 2013.
- [MGGea05] N. Massari, M. Gottardi, L. Gonzo, and et al. A cmos image sensor with programmable pixel-level analog processing. *IEEE Transactions on Neural Networks*, 16(Issue 6) :1673–1684, November 2005.
- [Mil09] L. Millier. Convertisseur pipeline en pied de colonne. *Rapport interne laboratoire L3I, CEA-LETI-DACLE*, 2009.
- [MK95] R. Miyagawa and T. Kanade. Integration-time based computational image sensors. *ITE Technical Report*, 19 :37–41, 1995.
- [MNBea09] M. Motoyoshi, H. Nakamura, M. Bonkohara, and et al. Current and future 3d-lsi technology for image sensor devices. *MATERIALS RESEARCH SOCIETY SYMPOSIA PROCEEDINGS*, 1112 :25–32, 2009.
- [Mur08] B. Murmann. A/d converter trends : Power dissipation, scaling and digitally assisted architectures. *Custom Integrated Circuits Conference, CICC , IEEE*, pages 105–112, 2008.
- [MVSea11] M.A. Marktani, S. Vivien, L. Simony, and et al. A successive-approximation adc for cmos image sensors. *International Conference on Multimedia Computing and Systems (ICMCS)*, pages 1–6, 2011.
- [NM01] Y. Ni and K. Matou. A cmos log image sensor with on-chip fpn compensation. *Solid-State Circuits Conference, Proceedings of the 27th European ESSCIRC*, pages 101–104, 2001.

## RÉFÉRENCES BIBLIOGRAPHIQUES

---

- [OMKea08] J. Van Olmen, A. Mercha, G. Katti, and et al. 3d stacked ic demonstration using a through silicon via first approach. *IEEE International Electron Devices Meeting, IEDM*, pages 1–4, 2008.
- [PB08] G. Poupon and M. BELLEVILLE. *Packaging avance sur silicium*. LA VOISIER, 2008.
- [PF10] Vasilis F. Pavlidis and Eby G. Friedman. *Three-dimensional Integrated Circuit Design*. Morgan Kaufmann, October 2010.
- [PMB99] F. Paillet, D. Mercier, and T.M. Bernard. Second generation programmable artificial retina. *welfth Annual IEEE International ASIC/SOC Conference*, pages 304–309, 1999.
- [RDCea99] E. Roca, S. Espejo and R. Dominguez-Castro, and et al. A programmable imager for very high speed cellular signal processing. *Journal of VLSI Signal Processing Systems archive*, Volume 23(Issue 2-3) :305–318, December 1999. Special issue on spatiotemporal signal processing with analog CNN visual microprocessors, Kluwer Academic Publishers.
- [RJ03] J. Rhee and Y. Joo. Wide dynamic range cmos image sensor with pixel level adc. *Electronics Letters*, 39 :360–361, 2003.
- [RPJ09] J. Rhee, D. Park, and Y. Joo. Analysis and design of a robust floating point cmos image sensor. *IEEE Sensors Journal*, 9 :578 – 585, 2009.
- [SAMEa07] M.F. Snoeij, J.P. Albert, K.A. A. Makinwa, and et al. Multiple-ramp column-parallel adc architectures for cmos image sensors. *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, 42 :2968 – 2977, 2007.
- [SBBea05] V. Suntharalingam, R. Berger, J. A Burns, and et al. Megapixel cmos image sensor fabricated in three-dimensional integrated circuit technology. *IEEE International Solid-State Circuits Conference, Digest of Technical Papers*, 1 :356–357, 2005.
- [SBCea09] V. Suntharalingam, R. Berger, S. Clark, and et al. A 4-side tileable back illuminated 3d-integrated mpixel cmos image sensor. *IEEE International Solid-State Circuits Conference, Digest of Technical Papers*, pages 38–39–39a, 2009.
- [SBFBea12] M. Suarez, V.M. Brea, J. Fernandez-Berni, and et al. Cmos 3d-smart imager architectures for feature detection. *IEEE JOURNAL ON EMERGING AND SELECTED TOPICS IN CIRCUITS AND SYSTEMS*, 2 :723–736, 2012.
- [SHFea02] O. Schrey, J. Huppertz, G. Filimonovic, and et al. A 1 kx1 k high dynamic range cmos image sensor with on-chip programmable region-of-interest readout. *IEEE Journal of Solid-State Circuits*, 37 :911 – 915, 2002.

## RÉFÉRENCES BIBLIOGRAPHIQUES

---

- [SKHea09] M. Soleimani, A. Khoei, K. Hadidi, and et al. Design of high-speed high-precision voltage-mode min/max circuits with low area and low power consumption. *European Conference on Circuit Theory and Design, ECCTD*, pages 351 – 354, 2009.
- [Sou09] D. Soudris. Architectures and cad tools for 3d-reconfigurable platforms. *D43D wotkshop, Minatec*, 2009.
- [SUNea13] S. Sukegawa, T. Umabayashi, T. Nakajima, and et al. A 1/4-inch 8mpixel back-illuminated stacked cmos image sensor. *IEEE International Solid-State Circuits Conference, Digest of Technical Papers*, pages 484–485, 2013.
- [Tem09] Y. Temiz. Exploring the 3rd dimension in integrated systems : Examples od recent results achieved at epfl. *D43D Workshop Minatec*, 2009.
- [TH07] K. H. Talukder and K. Harada. Haar wavelet based approach for image compression and quality assessment of compressed image. *IAENG International Journal of Applied Mathematics*, 36, 2007.
- [Tos] Toshiba. System-in-package. *Toshiba system catalog*.
- [TTSea06] A. W. Topol, D. C. La Tulipe, L. Shi, and et al. Three idimensional integrated circuits. *IBM*, 2006.
- [TTTea04] K. Takahashi, Y. Taguchi, M. Tomisaka, and et al. Process integration of 3d chip stack with vertical interconnection. *the Electronic Components and Technology Conference*, 1 :601–609, 2004.
- [VDTP12] A. Verdant, A. Dupret, M. Tchagaspanian, and A. Peizerat. Computational sar adc for a 3d cmos image sensor. *IEEE 10th International New Circuits and Systems Conference (NEWCAS)*, pages 337 – 340, 2012.
- [VVSea11] M. Vatteroni, P. Valdastri, A. Sartori, and et al. Linear-logarithmic cmos pixel with tunable dynamic range. *IEEE Transactions on Electron Devices*, 58 :1108–1115, 2011.
- [Win10] M. Winter. Achievements and perspectives of cmos pixel sensors for charged particle tracking. *1st International Conference on Technology and Instrumentation in Particle Physics*, 623 :192–194, 2010.
- [YC02] S-H. Yang and K-R. Cho. High dynamic range cmos image sensor with conditional reset. *Custom Integrated Circuits Conference, Proceedings of the IEEE*, pages 265 – 268, 2002.
- [Yol07] Yole. 3d ic andtsv report. *YOLE Developpement*, 2007.
- [YP99] O. Yadid-Pecht. Wide-dynamic-range sensors. *Optical Engineering, Image Sensors, SPIE*, 38 :1650–1660, 1999.



## RÉFÉRENCES BIBLIOGRAPHIQUES

---

- [YPF97] O. Yadid-Pecht and E.R. Fossum. Wide intrascene dynamic range cmos aps using dual sampling. *IEEE Transactions on Electron Devices*, 44 :1721 – 1723, 1997.
- [ZvRG05] G.Q. Zhang, F. van Roosmalen, and M. Graef. The paradigm of more than moore. *6th International Conference on Electronic Packaging Technology*, pages 17–24, 2005.

# Production Scientifique

## Articles de conférences internationales

- [1] F.Guezzi Messaoud, A. Peizerat, A. Dupret, and Y. Blanchard. On-chip compression for hdr image sensors. *Conference on Design and Architectures for Signal and Image Processing (DASIP)*, pages 176 – 182, 2010.
- [2] F.Guezzi Messaoud, A. Peizerat, A. Dupret, and Y. Blanchard. A novel 3d architecture for high-dynamic range image sensor and on-chip data compression. *Sensors, Cameras, and Systems for Industrial, Scientific, and Consumer Applications XII*, 7875 :1–4, 2011.
- [3] F.Guezzi Messaoud, A. Peizerat, A. Dupret, and Y. Blanchard. High dynamic range image sensor with self adapting integration time in 3d technology. *IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, pages 340 – 343, 2012.
- [4] F.Guezzi Messaoud, A. Peizerat, A. Dupret, and Y. Blanchard. Benefits of three-dimensional circuit stacking for image sensors. *New Circuits and Systems Conference (NEWCAS), 2013 IEEE 11th International*, pages 1–4, 2013.

## Articles de revue

- [1] F. Guezzi Messaoud, A. Dupret, A. Peizerat, and Y. Blanchard. Capteur d'images à grande dynamique et compression intégrée pour technologie 3d. *Journal Traitement de Signal, Lavoisier*, 30/6 :343–365, 2013.

## Brevet Européen

- [1] F. Guezzi Messaoud and A. Peizerat. Dispositif imageur a grande gamme dynamique, 01 2012.

---

# Annexes

# Annexe A

## Impact des pixels morts sur la qualité d'image

64 pixels par macro-pixel ont été sacrifiés en pixels aveugles afin d'inclure l'électronique de décalage du signal de commande HDR. Une méthode algorithmique de correction pourrait être développée afin d'atténuer l'effet de ces pixels sur l'image finale. Pour évaluer l'impact des pixels morts sur la qualité de l'image, on a considéré plusieurs images sur lesquelles on a réparti un ensemble de pixels morts en remplaçant les valeurs réelles des pixels par zéro. Ensuite, le PSNR de chaque image a été évalué pour différentes répartitions des pixels morts. L'étude a été faite sur des blocs de  $32 \times 32$  pixels. Nous présentons principalement les résultats obtenus pour 64 pixels morts distribués dans le macro-pixel. La Figure A.1 illustre le PSNR évalué pour 10 images différentes. Les images d'entrée ne sont pas des images grande dynamique. Elles sont simplement des images compressées en JPEG. La courbe représente le PSNR en fonction du numéro de l'image pour le cas de 64 pixels morts aléatoirement répartis dans le macro-pixel sans aucune correction faite.

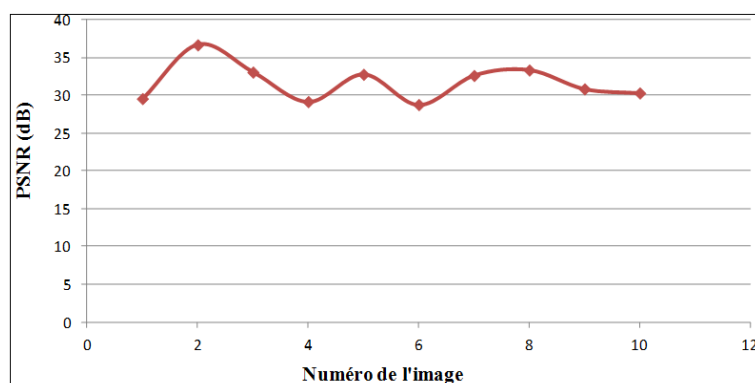


FIGURE A.1 – PSNR évalué pour 10 images, Cas : 64 pixels morts répartis sur la diagonale

La courbe affiche des valeurs de PSNR autour de 30 dB à cause des pixels morts non traités. Cependant, une correction simple peut nettement améliorer ces valeurs. La position des pixels morts dans le macro-pixel est à la fois très importante pour le codage mantisse-exposant et pour le post-traitement de correction. Nous montrons dans la Figure A.2 le cas de deux images dont les pixels morts ont été rassemblé

en bloc inclus dans chaque macro-pixel. La courbe affichée représente le PSNR en fonction du pourcentage des pixels morts.

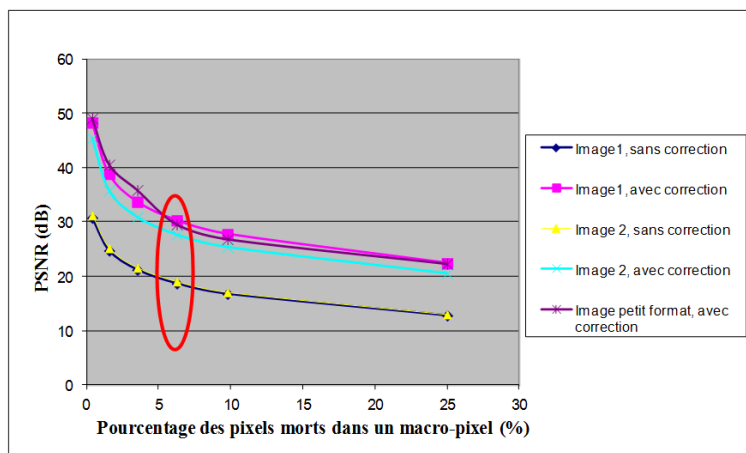


FIGURE A.2 – PSNR évalué pour 2 images en fonction du nombre de pixels morts rassemblé en bloc mort

Sur la Figure A.2, deux parties de courbes apparaissent : la partie basse correspond au PSNR des images avec des pixels morts de valeur nulle sans aucune correction apportée et la partie haute des courbes correspond au remplacement des pixels morts par la moyenne des 3 pixels voisins non morts, tout en commençant par les bords. Cette simple correction permet d'assurer un PSNR autour de 30 dB pour le cas de 64 pixels morts correspondant à 6% du macro-pixel. Cependant en comparant les deux figures A.1 et A.2, on remarque que les valeurs de PSNR des images avec des pixels morts non corrigés et aléatoirement répartis sont nettement plus élevées que dans le cas des images avec des pixels morts non corrigés rassemblés en bloc.

Afin d'améliorer la pertinence et simplifier l'algorithme de post-traitement pour la correction des pixels morts, il est judicieux de distribuer les pixels morts sur la diagonale du macro-pixel. Le nombre de pixels voisins non-morts est ainsi plus élevé ce qui assurera une meilleure correction. Ce choix s'avère aussi pertinent en terme d'implémentation physique vue la simplicité de la distribution des signaux en diagonale. La seule complexité introduite sera la distribution de l'alimentation supplémentaire des pixels morts sur toutes les colonnes de la matrice. Néanmoins, cette distribution permettra d'avoir un plan de métal homogène sur toute la matrice n'incluant donc pas de bruit supplémentaire.

Nous montrons dans la Figure A.3 le résultat de l'introduction de 64 pixels morts par macro-pixel de  $32 \times 32$  pixels dans l'image HDR d'entrée considérée dans notre travail. Les pixels sont répartis sur les deux diagonales et sont juxtaposés par deux sur une même ligne. En effet, la surface nécessaire de l'architecture proposée pour décaler le signal de commande HDR occupe deux pixels. Le cas montré correspond à un zoom sur un bloc de  $32 \times 32$  pixels de l'image HDR originale.

Les pixels morts ont été remplacés par des valeurs nulles. En réalité, leurs valeurs converties seront égales à 0 aussi. La correction effectuée est une simple moyenne des 3 pixels voisins non morts. Peu de différences visibles existe entre le bloc original et le bloc après correction des pixels morts introduits. Ceci est confirmé par la valeur de PSNR obtenue de 47,81 dB.

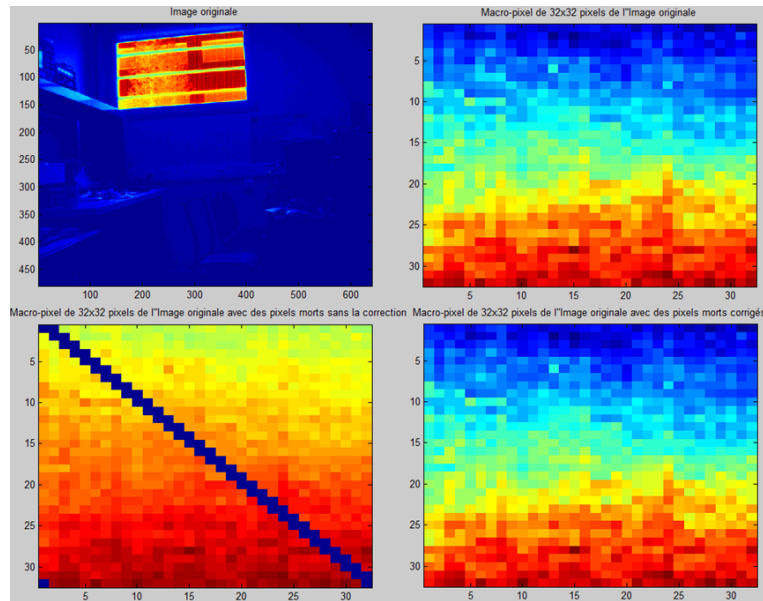


FIGURE A.3 – Introduction des pixels morts dans l'image HDR

En dépit de la dégradation de la qualité d'image introduite par les pixels morts, une correction en post-traitement en dehors de la puce, même une simple moyenne avec les voisins, pourra assurer une amélioration nette sur l'image de sortie. À noter qu'en 3D, ces pixels morts n'auront pas lieu car l'adaptation locale se fera sur la deuxième couche et le signal de commande convenable sera envoyé au macro-pixel via l'interconnexion verticale 3D. Ceci prouvera un apport important de l'intégration 3D consistant en l'amélioration de la qualité d'image dans le cas de notre circuit HDR.

## Annexe B

# Architecture d'ajustement du temps d'exposition à base de WTA

### B.1 Présentation de l'architecture

Nous partons de l'hypothèse qu'au sein de la scène, l'éclairage varie lentement vis-à-vis du temps trame. L'objectif est de fixer un temps d'intégration qui permet de garantir qu'aucun des pixels ne sature.

Pour déterminer la plus forte intensité lumineuse reçue parmi tous les pixels d'un macro-pixel ainsi que la valeur de la chute de tension correspondante et en déduire le temps d'intégration optimal, nous utilisons le circuit dont l'architecture est présentée en Figure B.1 et dont les chronogrammes correspondants sont donnés en Figure B.2.

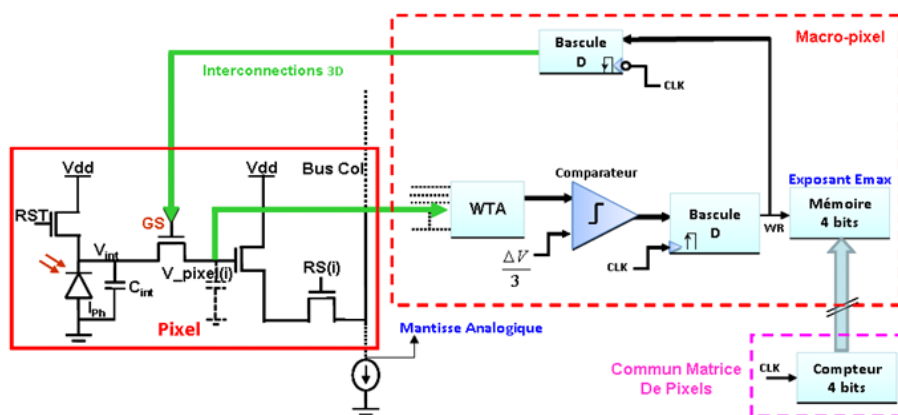


FIGURE B.1 – Architecture Proposée du Capteur d'Images 3D HDR

Nous nous appuyerons sur l'exemple d'un pixel 4T en mode Global Shutter. Dans une première phase, la photodiode et le nœud flottant de mémorisation de chaque pixel sont réinitialisés à  $V_{dd}$  via le signal de remise à zéro ( $RST$ ) qui est appliqué simultanément à tous les pixels de la matrice. Dans chaque pixel, le courant  $I_{ph}$  est intégré dans la capacité  $C_{int}$  ce qui produit une tension décroissante  $V_{int}$  proportionnelle au temps d'intégration et à l'intensité lumineuse reçue. Dans chaque macro-pixel, la chute de tension  $\Delta V$  maximale, correspondant au pixel qui reçoit la plus forte intensité lumineuse, est déterminée à l'aide d'un circuit Winner Take All. Classiquement utilisé dans les circuits neuromorphiques, le WTA (Winner-Take-



All) est un circuit permettant d'extraire la tension maximum parmi toutes celles présentes à ses entrées, [2-4].

Tant que la sortie du WTA reste inférieure à  $V_{ref} = \Delta V/3$ , le pixel continue à intégrer. Dès que ce seuil est atteint, l'exposant correspondant au temps d'exposition maximum est mémorisé. Au coup d'horloge suivant, le signal  $GS$  est activé. L'activation de ce signal bloque le transistor  $GS$  et, en isolant le nœud  $V_{pixel}$ , permet de mémoriser la tension du pixel dans le nœud flottant. En considérant que les fuites sont négligeables, cette tension sera figée jusqu'à la phase de réinitialisation.

Pour refléter le codage exponentiel, le temps d'intégration varie exponentiellement. Le compteur compte à la cadence d'une horloge logarithmique évoluant en  $1/2^i$  avec  $i$  allant de 0 à  $Ne$ . Au cours de la durée d'une trame, la fréquence d'horloge diminue exponentiellement en fonction du temps (Cf. Figure B.2). Chaque ligne  $i$  de pixels est lue en mode « fenêtre déroulante » (Rolling Shutter) lors de l'activation du signal  $RS(i)$  correspondant. Puisque l'intégration (signal  $GS$ ) se termine un demi coup d'horloge ( $1/2^{t_{com}}$ ) après la commutation du signal  $WR$ , cette commutation peut intervenir après un temps double ( $t_{com}$ ). Le choix de  $V_{ref} = \Delta V/3$  permet d'assurer que la variation de tension en fin de commutation est au plus de  $\Delta V$ . En effet, le front d'horloge suivant interviendra après un temps  $t_{com}$ . En supposant l'éclairement constant sur le temps total d'intégration, la tension du pixel n'aura pas variée de plus de  $\Delta V/3 + 2\Delta V/3 = \Delta V$ , ce qui permet d'éviter que le pixel recevant l'éclairement le plus fort ne sature (Cf. Figure B.2).

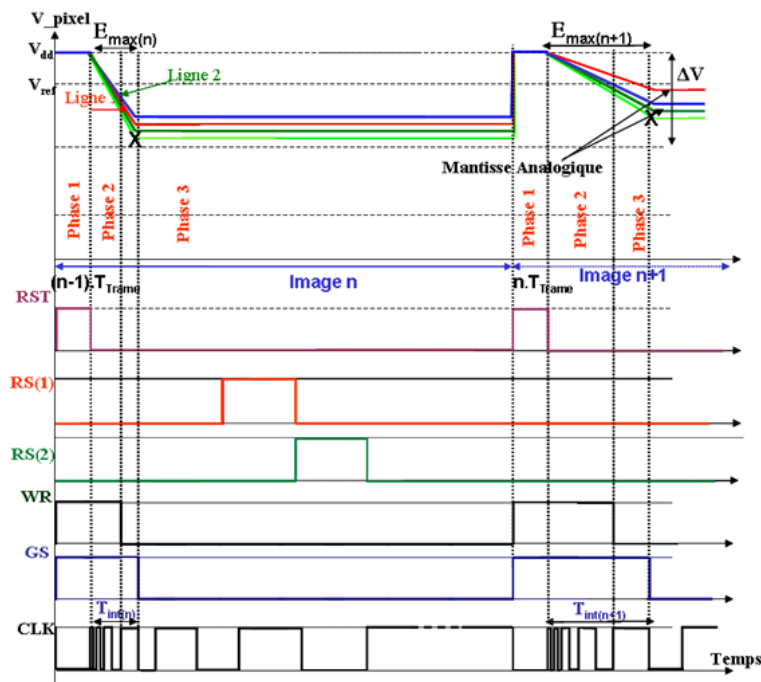


FIGURE B.2 – Différentes Phases de fonctionnement pendant un temps Trame

La Figure B.2 illustre ces différentes phases de fonctionnement pendant un temps trame pour le cas d'un macro-pixel  $2 \times 2$  (ligne 1 : pixels rouge et bleu, ligne 2 : pixel vert et vert clair).

Les différents opérateurs de cette architecture peuvent introduire des imperfections plus ou moins gênantes (Offset, gain, ...). L'objectif principal de cette partie d'architecture de l'imageur étant d'estimer l'exposant convenable à chaque macro-pixel, ces imperfections peuvent alors introduire une erreur sur l'estimation de l'exposant

approprié. Par conséquent, l'impact des non-idéalités sur l'évaluation de l'exposant est principalement étudié et le risque d'erreur est alors évalué. Dans le paragraphe suivant, on explicite cette étude.

## B.2 Solution Analogique du calcul de la mantisse maximale : Étude du WTA et évaluation de l'erreur induite

### Principe du WTA

Comme nous l'avons vu, le temps d'exposition est déterminé en un cycle trame. Toutes les tensions des pixels d'un même macro-pixel sont évalués simultanément. Le pixel ayant la plus forte variation de tension impose le temps d'exposition en fonction de sa chute de tension  $\Delta V_{pixel}$  (Cf. Figure B.3). Pour déterminer le temps d'intégration optimal, donc la valeur de l'exposant, le WTA doit pouvoir déceler une différence de tension au moins égale à la variation de tension correspondant au plus petit pas d'exposant, c'est-à-dire de distinguer des différences de tension proches de  $\Delta V/2^{ExpMax}$  lorsque  $\Delta V_{pixel}$  est inférieure ou égale à  $\Delta V/2^{ExpMax}$ .

En considérant une dynamique de tension  $\Delta V$  de 1V avec 10 bits codant la mantisse et 4 bits codant l'exposant, il faut au moins 11 valeurs distinctes (de 0 à 10) de l'exposant pour atteindre une dynamique de 120 dB équivalente 20 bits en linéaire. La précision théorique souhaitée du WTA est alors :

$$\text{précision\_WTA} = \frac{\text{Dynamique\_en\_tension}}{2^{ExpMax}} = \frac{\Delta V}{2^{10}} = 1mV \quad (\text{B.1})$$

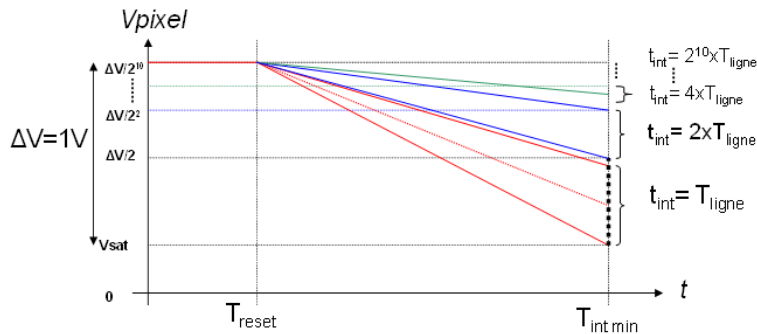


FIGURE B.3 – Chronogrammes des différents signaux du circuit proposé

Nous avons évalué les performances des architectures basées sur des Winner Take All. Depuis le travail cité dans [LSMea98], de nombreux travaux ont été menés pour améliorer les performances des WTA notamment en termes de consommation et de précision, [CRAT00], [SKHea09], [LMCGea06]. Nous considérons le circuit WTA présenté en Figure B.4, dont toutes les entrées  $V_{in i}$  sont connectées simultanément à tous les pixels du même macro-pixel. Comme le montre la Figure B.4, les  $n$  paires différentielles se partagent la même source de courant de polarisation. Les entrées non-inverseuses des paires différentielles sont connectées aux pixels tandis que les entrées inverseuses sont reliées entre elles et aux sorties des étages différentiels.

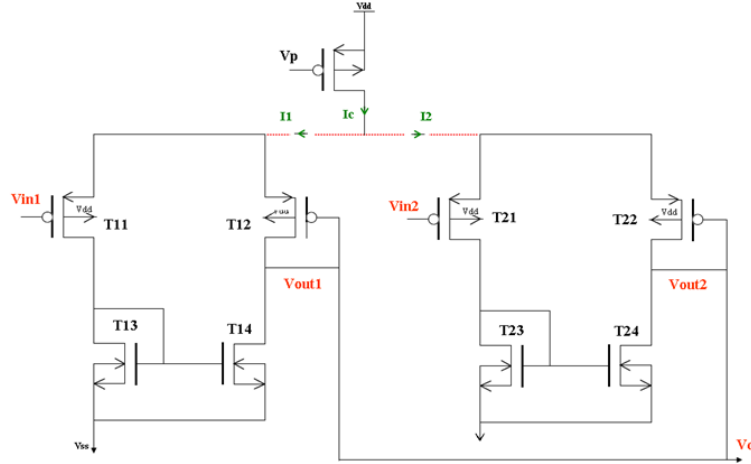


FIGURE B.4 – Schéma du WTA

Rappelons le principe de fonctionnement du WTA en nous appuyant sur le cas de deux pixels. Ce principe se généralise sans peine à  $N$  paires différentielles. On considère tout d'abord la condition initiale  $V_{in1} = V_{in2}$  ce qui induit  $I_1 = I_2 = I_c/2$  avec  $V_{in1}$  la tension en entrée de la 1<sup>ère</sup> paire différentielle,  $V_{in2}$  la tension en entrée de la 2<sup>ème</sup> paire différentielle,  $I_c$  le courant de polarisation,  $I_1$  et  $I_2$  les courants circulant respectivement dans les paires différentielles ( $T_{11}$ ,  $T_{12}$ ) et ( $T_{21}$ ,  $T_{22}$ ). Le même courant  $I_c/4$  circule dans chaque transistor des 2 paires différentielles. Dans cet état de repos, tous les transistors fonctionnent en régime de saturation.

Considérons maintenant que  $V_{in1}$  descende au-dessous de  $V_{in2}$ . Cela induit une augmentation du courant dans  $T_{11}$ .

Le potentiel  $V_c$  diminue alors et le courant absorbé dans les transistors  $T_{12}$  et  $T_{22}$  augmente. La tension différentielle ( $V_{GS21} - V_{GS22}$ ) augmente et tend à bloquer  $T_{21}$ . Par abus de langage, nous appellerons « paire » différentielle, le transistor  $T_{11}$  et l'ensemble des transistors  $T_{12}$ ,  $T_{22}$ ... qui se partagent le courant  $I_c$ . La « paire » différentielle gagnante fonctionne donc en suiveur tandis que les transistors  $T_{21}$ ,  $T_{31}$ ,... des autres « paires » différentielles sont bloquées.

Aux offsets, dispersions et erreurs de gain près, la tension  $V_c$  en sortie est identique à la tension d'entrée de la « paire » différentielle qui a absorbé tout le courant  $I_c$ . Ce raisonnement reste valable pour  $N$  paires différentielles connectées entre elles. Afin d'évaluer l'impact des offsets, dispersions et erreurs de gain, nous avons déterminé la relation entre  $V_c$  et  $V_{in}$ , donnée par :

$$V_c = G \times V_{in1} + V_{Offset} \quad (B.2)$$

$V_{Offset}$  peut être évalué de la façon suivante : Nous nous plaçons dans le cas où toutes les branches d'entrée des paires différentielles « perdantes » sont bloquées. Afin de réduire la consommation tout en gardant un gain  $G$  proche de 1, nous choisissons un courant de polarisation  $I_c$  tel que seuls les transistors bouclés en suiveurs de ces paires différentielles fonctionnent en faible inversion et aient alors un courant  $i$  de la forme :

$$i = I_s \times e^{\frac{V_{sg(i)} - V_{TH}}{n \cdot V_t}} + V_{Offset} = \frac{I_c}{2 \cdot N} \quad (B.3)$$

Avec

$$V_t = \frac{KT}{q} \quad (\text{B.4})$$

avec  $k$  la constante de Boltzmann,  $T$  la température et  $q$  la charge de l'électron. Cela permet de déterminer la tension  $V_{sg}(i)$  :

$$V_{sg}(i) = n \cdot V_t \cdot \ln \left( \frac{I_c}{2 \cdot N \cdot I_s} \right) + V_{TH} \quad (\text{B.5})$$

L'équation ci-dessus peut se réécrire :

$$V_{sg}(i) = n \cdot V_t \cdot \ln \left( \frac{I_c}{2 \cdot I_s} \right) + V_{TH} - n \cdot V_t \cdot \ln(N) \quad (\text{B.6})$$

La branche gagnante voit la moitié de courant de polarisation et fonctionne en limite régimes faible-forte inversion. Le courant de cette branche s'écrit alors :

$$i_w = I_s \times e^{\frac{V_{sgw} - V_{TH}}{n \cdot V_t}} = \frac{I_c}{2} \quad (\text{B.7})$$

D'où la tension  $V_{sgw}$  :

$$V_{sgw} = n \cdot V_t \cdot \ln \left( \frac{I_c}{2 \cdot I_s} \right) + V_{TH} \quad (\text{B.8})$$

En substituant l'équation (B.8) dans l'équation (B.6), l'expression de  $V_{gs}(i)$  devient :

$$V_{sg}(i) = V_{sgw} + n \cdot V_t \cdot \ln(N) \quad (\text{B.9})$$

La tension  $n \cdot V_t \cdot \ln(N)$  représente l'offset introduit par le WTA. Cette tension d'offset peut être compensée lors du calcul de l'exposant. L'impact des dispersions est réduit par la mise en parallèle d'un grand nombre de branches.

Le gain  $G$  est alors donné par :

$$G = \frac{V_c}{V_{inw}} = \left( \frac{g_{mw1}}{g_{mw3} + g_{dsw1} + g_{dsw3}} \right) \cdot \left( \frac{g_{mw4}}{\sum iN g_{mi2} + \sum iN g_{dsi2} + g_{dsw4}} \right) \quad (\text{B.10})$$

Où, d'après (B.3) et (B.7), les transconductances sont données par :

$$g_{mw1} = g_{mw3} = g_{mw4} = \frac{I_c}{2 \cdot n \cdot V_t} \quad (\text{B.11})$$

et

$$g_{mi2} = \frac{I_c}{2 \cdot N \cdot n \cdot V_t} \quad (\text{B.12})$$

Ce qui permet d'établir :

$$G = \frac{V_c}{V_{inw}} = \left( \frac{g_{mw1}}{g_{mw1} + g_{dsw1} + g_{dsw3}} \right) \cdot \left( \frac{g_{mw1}}{g_{mw1} + \sum iN g_{dsi2} + g_{dsw4}} \right) \quad (\text{B.13})$$

En première approximation, les transconductances sont grandes devant les conductances et l'expression du gain devient :  $G = 1$

En fait, avec la technologie choisie et en prenant des transistors de faibles dimensions (Cf. Tableau B.1) pour limiter l'encombrement du WTA, le rapport  $g_m/g_{ds}$  est voisin de 100. Dans ces conditions,  $G$  est proche de 0,98. Le calcul de l'expression

de la tension de sortie du WTA en fonction de la tension du pixel gagnant nous permet de vérifier que la tension de sortie du WTA est bien une expression linéaire de la tension du pixel gagnant. Dans la partie suivante, nous présentons les limites de ces calculs et l'impact sur la capacité du WTA à discriminer.

Transistor	Ti1	Ti2	Ti3	Ti4
W ( $\mu m$ )	0,5	0,5	0,36	0,36
L ( $\mu m$ )	0,35	0,35	1	1
$g_m$ ( $\mu S$ )	19,77	0,0197	19,77	20,19
$g_{ds}$ ( $nS$ )	171	0,262	217	202

TABLE B.1 – Dimensions, transconductance et conductances des transistors du WTA (branche gagnante)

### *Implémentation du WTA : Résultats et limitations et comment s'en affranchir*

Le circuit de la Figure B.4 a été conçu en technologie CMOS 32 nm double oxyde. Cette technologie permet en effet de concilier les caractéristiques d'une technologie CMOS 0,25  $\mu m$  pour les transistors fonctionnant en mode analogique, avec des densités d'interconnexions et d'intégrations élevées pour les fonctions numériques.

La caractéristique tension de sortie en fonction de la tension d'entrée du WTA, est obtenue en simulant le circuit pour différentes tensions d'entrée. On prélève ensuite la valeur de la tension d'entrée et la tension  $V_c$  en sortie du WTA. Les différentes simulations nous ont permis de tracer la courbe de la Figure B.5. L'équation caractéristique de la courbe obtenue montre un gain de 0,973 et une tension d'offset de 321 mV. Ces valeurs sont cohérentes avec les expressions analytiques déterminées ci-dessus. L'erreur due à l'offset peut être prise en compte dans l'évaluation de l'exposant car il s'agit d'une valeur constante. En revanche, comme le montre l'évolution de la dérivée de la tension de sortie du WTA par rapport à la tension d'entrée, en fonction de la tension pixel (Cf. Figure B.6), le gain du WTA n'évolue pas de manière linéaire.

Les résultats de la Figure B.6 confirment alors que l'erreur liée au gain dépend de la tension du pixel ayant gagné. Par conséquent, l'erreur du gain peut induire un décalage de la valeur analogique du signal lue vers un intervalle proche ce qui induit une erreur sur l'évaluation du temps d'intégration.

En conclusion, le WTA est une solution compacte en termes de ressources électroniques et simple à implémenter. Néanmoins, avec de faibles éclaircissements, elle peut donner lieu à des erreurs sur les valeurs d'exposant. Cette mesure peut être corrigée en allongeant le temps d'exposition pour les cellules concernées. Nous proposons donc d'effectuer le calcul de l'exposant en deux étapes. À chaque étape l'exposant est codé sur 3 bits en ne prenant que les valeurs de 0 à 5. Dans un premier temps, le temps d'intégration est fixé au minimum afin d'établir une évaluation grossière de l'exposant. À l'étape suivante, c'est-à-dire en introduisant une pseudo-trame suivante, le temps d'intégration des pixels avec l'exposant minimum est multiplié par 25. L'exposant est alors de nouveau estimé avec le WTA ce qui revient à en effectuer une évaluation fine. À l'issue des deux pseudo-trames, le temps d'intégration adapté est donc connu avec une précision compatible avec l'échelle de dynamique de 120 dB.

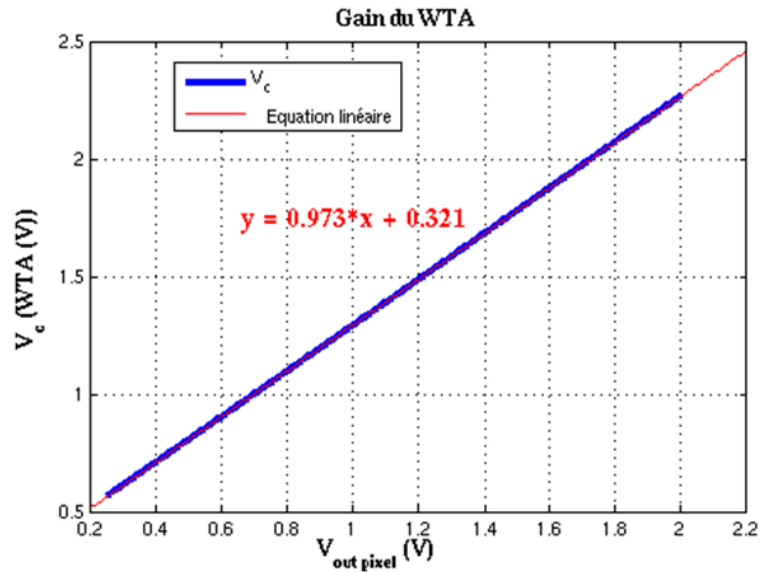


FIGURE B.5 – Tension de sortie du WTA en fonction de la Tension du Pixel

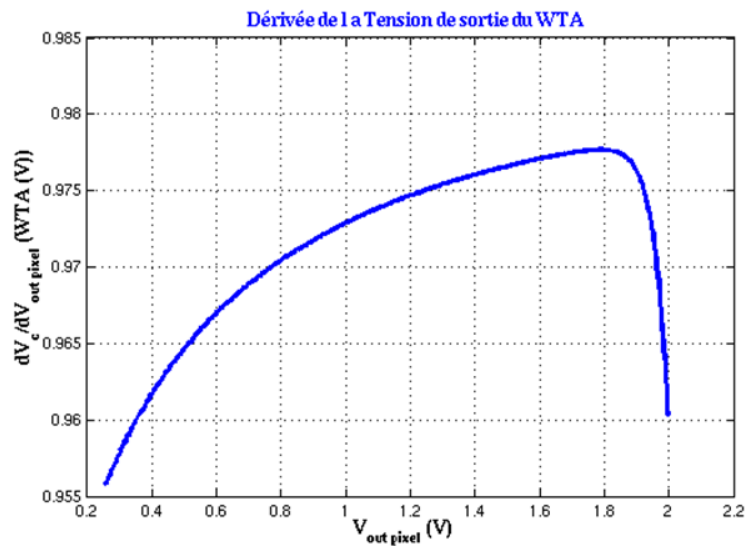


FIGURE B.6 – Gain en tension de sortie du WTA en fonction de la tension d'entrée

Enfin, la lecture de l'imageur est effectuée comme pour un imageur classique. La matrice des exposants est lue en même temps que l'imageur mais à une cadence  $Q$  fois plus lente afin que l'exposant reste constant pendant toute la durée de lecture de l'ensemble des pixels du macro-pixel.