



**HAL**  
open science

# **Vieillessement et mécanismes de dégradation sur des composants de puissance en carbure de silicium (SiC) pour des applications haute température**

Rémy Ouaida

► **To cite this version:**

Rémy Ouaida. Vieillessement et mécanismes de dégradation sur des composants de puissance en carbure de silicium (SiC) pour des applications haute température. Energie électrique. Université Claude Bernard - Lyon I, 2014. Français. NNT : 2014LYO10228 . tel-01127292

**HAL Id: tel-01127292**

**<https://theses.hal.science/tel-01127292>**

Submitted on 7 Mar 2015

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



THALES



Thèse

# VIEILLISSEMENT ET MÉCANISMES DE DÉGRADATION SUR DES COMPOSANTS DE PUISSANCE EN CARBURE DE SILICIUM (SiC) POUR DES APPLICATIONS HAUTE TEMPÉRATURE

*présentée devant*  
L'université Lyon 1

*pour obtenir*  
Le Grade de Docteur

Formation Doctorale : Génie Électrique  
École Doctorale Électronique, Électrotechnique, Automatique de Lyon

*par*  
**Rémy OUAIDA**  
Ingénieur Génie Electrique de l'Institut Nationale des Sciences Appliqués (INSA) de  
Lyon

Soutenu le 29 Octobre 2014 devant la Commission d'examen

Jury

Jose MILAN	Professeur, Laboratoire CNM, Barcelone	Président
Stéphane LEFEBVRE	Professeur, Satie-CNRS, ENS Cachan	Rapporteur
Olivier LATRY	Maître de conférences HDR, GMP-CNRS, Univ. ROUEN	Rapporteur
Christian MOREAU	Responsable expertises, DGA Rennes	Examineur
Charles JOUBERT	Professeur, Ampère CNRS, Univ. Lyon 1	Directeur
Pierre BROSELARD	Maître de conférences HDR, Ampère CNRS, INSA Lyon	Encadrant
Sébastien OGE	Ingénieur RD, THALES Microelectronics, Etrelles	Encadrant



---

A mon grand père



# Remerciements

Il est temps pour moi de rédiger cette partie intitulée "remerciement", située au début de ce manuscrit mais chronologiquement écrite à la fin de ces travaux (après plusieurs relectures et corrections). Je tiens donc à formuler des remerciements les plus exhaustifs possibles à l'image du soutien qui m'a été accordé durant ces trois années de recherches.

Les travaux présentés dans ce manuscrit ont été réalisés au laboratoire Ampère et à THALES Microelectronics. Je tiens à remercier Sébastien OGE, Pierre BROESSE-LARD et Charles JOUBERT, directeur et encadrant de la thèse, pour m'avoir donné la possibilité de travailler durant ces années sur ce sujet passionnant. Leurs conseils avisés, leurs rigueurs scientifiques et leurs inconditionnels soutiens resteront pour moi l'exemplarité à suivre pour la réalisation de futurs travaux. Avec ce témoignage de confiance et d'encouragement, j'ai vécu trois belles années qui ont contribué à l'aboutissement de cette thèse.

Je remercie les membres du jury qui ont pris le temps de lire et commenter ce manuscrit : Olivier LATRY (Maître de conférence INSA ROUEN, Laboratoire GPM), Stéphane LEFEBVRE (Professeur des universités au CNAM, Laboratoire SATIE), Jose MILAN (Professeur du CNM, Laboratoire IMB-CSIC) et Christian MOREAU (Responsable Expertises Direction Générale de l'Armement, division Matériaux Composants).

Je tiens aussi à remercier très chaleureusement toutes les personnes de THALES (Laurent, Georges, Gérard et Franck Bayle pour les cours de fiabilité), les personnes du CNM, les personnes du laboratoire AMPERE. En particulier, un très grand merci à Pascal pour sa réactivité sans faille, à Abder pour les cartes électroniques, Michelle, Sandrine et Maguy pour leurs bonnes humeurs et leurs soutiens administratifs, aux deux Dominiques (Tournier et Planson), Bruno, Lulu, Hervé, Maher, Cyril, Christian, Dominique et Fabien pour l'intérêt porté à ce projet et surtout pour toute l'aide qu'ils ont su m'apporter.

Je tiens à remercier tous mes collègues doctorants avec qui j'ai vécu de merveilleuses années. Merci à Stan, Raphael, Xavier, Fabien, Khalil, Patrick, Thibault, Maxime, Florian, Shiqin, Hassan, Bessar, Alaa, Aurélien, Mawad, Menad, Oualid, Ronand, Cyril et tous les autres. Merci pour la bonne ambiance qui régnait dans notre bureau !

Ce document n'aurait pas pu exister sans les personnes avec lesquelles j'ai pu découvrir le monde de la recherche depuis 4 ans et avec qui nous découvrons de

nouvelles choses. Néanmoins, je tiens à dédier ce manuscrit à mes proches pour le merveilleux soutien au quotidien : mon père Bassam qui m'a montré la voie scientifique à suivre et qui me fait déguster sa délicieuse cuisine, ma mère Marie-Andrée pour sa passion des mathématiques et son amour maternelle, ma soeur chérie Marianne et ma famille française (Roland, François, Julia, Laureline, Josephine, Michou, Marie) et libanaise (Nadine, Mira, Yara...).

Je tiens à remercier particulièrement mon grand père "Papi André" qui m'a incité à être curieux (j'espère que de là haut, tu es fier de la petite famille que tu as fondée) et ma grand mère Mamie Josette pour l'amour apporté dès mon plus jeune âge. Merci à toutes ces personnes ainsi que mes amis pour votre soutien sans faille, votre écoute, votre réconfort, votre patience et votre amour. Enfin j'aimerais dire merci ma petite chérie Déborah pour ses rires, sa bonne humeur et son optimisme. Sans elle, rien de cela ne serait possible.

Je vous aime...



\*\*\*

## Résumé

Dans les années 2000, les composants de puissance en carbure de silicium (SiC) font leur apparition sur le marché industriel offrant d'excellentes performances. Elles se traduisent par de meilleurs rendements et des fréquences de découpage plus élevées, entraînant une réduction significative du volume et de la masse des convertisseurs de puissance. Le SiC présente de plus un potentiel important de fonctionnement en haute température (>200°C) et permet donc d'envisager de placer l'électronique dans des environnements très contraints jusqu'alors inaccessibles. Pourtant les parts de marché du SiC restent limitées dans l'industrie vis à vis du manque de retour d'expérience concernant la fiabilité de ces technologies relativement nouvelles. Cette question reste aujourd'hui sans réponse et c'est avec cet objectif qu'a été menée cette étude axée sur le vieillissement et l'analyse des mécanismes de dégradation sur des composants de puissance SiC pour des applications haute température.

Les tests de vieillissement ont été réalisés sur des transistors MOSFET SiC car ces composants attirent les industriels grâce à leur simplicité de commande et leur sécurité "normalement bloqué" (Normally-OFF). Néanmoins, la fiabilité de l'oxyde de grille est le paramètre limitant de cette structure. C'est pourquoi l'étude de la dérive de la tension de seuil a été mesurée avec une explication du phénomène d'instabilité du  $V_{TH}$ . Les résultats ont montré qu'avec l'amélioration des procédés de fabrication, l'oxyde du MOSFET est robuste même pour des températures élevées (jusqu'à 300°C) atteintes grâce à un packaging approprié.

Les durées de vie moyennes ont été extraites grâce à un banc de vieillissement accéléré développé pour cette étude. Des analyses macroscopiques ont été réalisées afin d'observer l'évolution des paramètres électriques en fonction du temps. Des études microscopiques sont conduites dans l'objectif d'associer l'évolution des caractéristiques électriques par rapport aux dégradations physiques internes à la puce. Pour notre véhicule de test, la défaillance se traduit par un emballement du courant de grille en régime statique et par l'apparition de fissures dans le poly-silicium de la grille.

Pour finir, une étude de comparaison avec des nouveaux transistors MOSFET a été réalisée. Ainsi l'analogie entre ces composants s'est portée sur des performances statiques, dynamiques, dérive de la tension de seuil et sur la durée de vie moyenne dans le test de vieillissement.

Le fil rouge de ces travaux de recherche est une analyse des mécanismes de dégradation avec une méthodologie rigoureuse permettant la réalisation d'une étude de fiabilité. Ces travaux peuvent servir de base pour toutes analyses d'anticipation de défaillances avec une estimation de la durée de vie extrapolée aux températures de l'application visée.

## Mots clés

MOSFET SiC / **Fiabilité**, Robustesse d'oxyde, Dérive de la tension de seuil, emballement du courant de fuite de grille statique / **Mécanisme de défaillance**, Analyses microscopiques (MEB, FIB, RX), fissure de grille/ **Loi de vieillissement**, loi de Weibull-Arrhénius, facteur accélérant

\*\*\*

## Abstract

Since 2000, Silicon Carbide (SiC) power devices have been available on the market offering tremendous performances. This leads to really high efficiency power systems, and allows achieving significative improvements in terms of volume and weight, i.e. a better integration. Moreover, SiC devices could be used at high temperature (>200°C). However, the SiC market share is limited by the lack of reliability studies. This problem has yet to be solved and this is the objective of this study : aging and failure mechanisms on power devices for high temperature applications.

Aging tests have been realized on SiC MOSFETs. Due to its simple drive requirement and the advantage of safe normally-off operation, SiC MOSFET is becoming a very promising device. However, the gate oxide remains one of the major weakness of this device. Thus, in this study, the threshold voltage shift has been measured and its instability has been explained. Results demonstrate good lifetime and stable operation regarding the threshold voltage below a 300°C temperature reached using a suitable packaging.

Understanding SiC MOSFET reliability issues under realistic switching conditions remains a challenge that requires investigations. A specific aging test has been developed to monitor the electrical parameters of the device. This allows to estimate the health state and predict the remaining lifetime. Moreover, the defects in the failed device have been observed by using FIB and SEM imagery. The gate leakage current appears to reflect the state of health of the component with a runaway just before the failure. This hypothesis has been validated with micrographs showing cracks in the gate.

Eventually, a comparative study has been realized with the new generations of SiC MOSFET. This comparison has focused on static and dynamic characterization, threshold voltage instability and lifetime in the aging test.

This work has been achieved by building failure mechanism analyzes and methodologies. This work could be used as a foundation for further reliability investigations.

## Keywords

MOSFET SiC / **Reliability**, oxide robustness, Threshold voltage instability, gate leakage current / **Failure mechanism**, Microscopic Analysis (SEM, FIB, RX), gate cracks/ **Lifetime estimation**, Weibull-Arrhenius, accelerating factor

# Table des matières

<b>Remerciements</b>	<b>1</b>
<b>Table des matières</b>	<b>6</b>
<b>Table des figures</b>	<b>10</b>
<b>Liste des tableaux</b>	<b>15</b>
<b>Introduction générale</b>	<b>17</b>
<b>1 Enjeux</b>	<b>21</b>
1.1 Contexte . . . . .	21
1.1.1 Généralités . . . . .	21
1.1.2 Haute Température . . . . .	22
1.1.3 Applications . . . . .	25
1.1.3.1 Avionique . . . . .	25
1.1.3.2 Automobile . . . . .	27
1.1.3.3 Pétrolier . . . . .	29
1.1.3.4 Intégration . . . . .	29
1.2 Les semi-conducteurs . . . . .	31
1.2.1 Introduction . . . . .	31
1.2.2 Propriétés des semi-conducteurs . . . . .	32
1.2.2.1 Concentration intrinsèque des porteurs . . . . .	32
1.2.2.2 Courant inverse de jonction PN . . . . .	32
1.2.2.3 Mobilité des porteurs . . . . .	33
1.2.2.4 Bilan . . . . .	33
1.2.3 Comparaison entre semi-conducteurs . . . . .	34
1.2.3.1 Propriétés . . . . .	34
1.2.3.2 Facteur de mérite . . . . .	37
1.2.3.3 Bilan . . . . .	38
1.2.4 Structure . . . . .	39
1.2.4.1 JFET . . . . .	40
1.2.4.2 MOSFET . . . . .	42
1.2.4.3 BJT . . . . .	45
1.2.4.4 IGBT . . . . .	45
1.2.4.5 Conclusion . . . . .	46
1.3 Objectif et méthodologie de la thèse . . . . .	47
1.3.1 Objectif . . . . .	47
1.3.1.1 Fiabilité . . . . .	47

1.3.1.2	Durée de vie . . . . .	49
1.3.1.3	Mécanisme de dégradation . . . . .	51
1.3.2	Méthodologie . . . . .	51
1.3.2.1	État de l'art . . . . .	51
1.3.2.2	Approche choisie . . . . .	54
1.4	Conclusion . . . . .	55
<b>2</b>	<b>Véhicule Test</b>	<b>57</b>
2.1	Introduction . . . . .	57
2.2	Choix du Packaging . . . . .	58
2.2.1	Le boîtier . . . . .	60
2.2.2	Fonction d'isolation : le substrat . . . . .	61
2.2.2.1	Diélectrique . . . . .	63
2.2.2.2	Métallisation . . . . .	65
2.2.3	L'assemblage mécanique et les connexions électriques . . . . .	66
2.2.3.1	Procédés d'assemblage . . . . .	66
2.2.3.2	Connexions électriques . . . . .	68
2.2.3.3	Enrobage/Encapsulation . . . . .	70
2.2.3.4	Avenir . . . . .	71
2.2.4	Bilan du packaging . . . . .	72
2.3	Choix du composant . . . . .	73
2.3.1	Composants industrialisés . . . . .	73
2.3.2	Caractérisation . . . . .	73
2.3.2.1	Méthode . . . . .	73
2.3.2.2	Caractéristique courant-tension . . . . .	76
2.3.2.3	Caractéristique ID-VGS . . . . .	77
2.3.2.4	Courant de fuite . . . . .	80
2.3.2.5	Mobilité . . . . .	82
2.3.3	Comparaison . . . . .	83
2.4	Conclusion . . . . .	88
<b>3</b>	<b>Vieillessement Grille</b>	<b>89</b>
3.1	Introduction . . . . .	89
3.1.1	Justification . . . . .	89
3.1.2	Mise en place d'une stratégie de fatigue . . . . .	90
3.2	Vieillessement grille statique en palier de température . . . . .	90
3.2.1	Description du banc de test . . . . .	90
3.2.1.1	Stress électrique appliqué sur les composants . . . . .	91
3.2.1.2	Instrumentation du banc de test . . . . .	91
3.2.1.3	Contrôle de la température . . . . .	92
3.2.1.4	Monitoring des caractérisations électriques . . . . .	93
3.2.2	Analyse des résultats . . . . .	94
3.2.2.1	Évolution des paramètres électriques . . . . .	94
3.2.2.2	Dérive de la tension de seuil . . . . .	99
3.3	Vieillessement grille en commutation . . . . .	104
3.3.1	Description du banc de test . . . . .	104
3.3.1.1	Instrumentation du banc et monitoring des caractérisations électriques . . . . .	105
3.3.1.2	Contrôle de la température . . . . .	106

3.3.2	Analyse des résultats de l'instabilité de la grille (phénomène réversible) . . . . .	106
3.3.3	Analyse des résultats sur le vieillissement en commutation (phénomène irréversible) . . . . .	110
3.4	Conclusion . . . . .	112
<b>4</b>	<b>Application de puissance</b>	<b>115</b>
4.1	Introduction . . . . .	115
4.2	Description du banc de test . . . . .	116
4.2.1	Objectif . . . . .	116
4.2.2	Circuit de puissance . . . . .	116
4.2.3	Commande de grille . . . . .	117
4.2.4	Contrôle de la température . . . . .	117
4.2.5	Monitoring des paramètres électriques durant le vieillissement	118
4.2.6	Protection . . . . .	118
4.2.7	Estimation de l'auto-échauffement de la température de jonction . . . . .	119
4.2.8	Condition d'arrêt des MOSFETs . . . . .	119
4.3	Analyse macroscopique des mécanismes de dégradation . . . . .	120
4.3.1	Run 1 :250°C . . . . .	121
4.3.2	Run 2 :260°C . . . . .	123
4.3.3	Run 3 et 4 : 280°C et 300°C . . . . .	125
4.3.4	Loi de vieillissement . . . . .	127
4.3.4.1	Loi de Weibull-Arrhénius . . . . .	127
4.3.4.2	Estimation pour 200°C . . . . .	131
4.3.4.3	Estimation de durée de vie . . . . .	132
4.3.4.4	Énergie d'activation . . . . .	134
4.4	Analyse microscopique des mécanismes de dégradation . . . . .	134
4.4.1	Analyse de surface . . . . .	135
4.4.2	Localisation des défauts . . . . .	138
4.4.3	Analyse des défauts . . . . .	140
4.5	Bilan : Convergence des résultats . . . . .	146
<b>5</b>	<b>Comparaison MOSFET</b>	<b>149</b>
5.1	Introduction . . . . .	149
5.2	Caractérisation statique . . . . .	150
5.2.1	Résistance à l'état passant . . . . .	150
5.2.2	Transconductance . . . . .	151
5.2.3	Tension de seuil . . . . .	154
5.2.4	Mobilité . . . . .	154
5.3	Caractérisation dynamique à 250°C . . . . .	156
5.3.1	Banc de mesure . . . . .	157
5.3.2	Mesures . . . . .	158
5.3.3	Comparaison lors du turn-off à 250°C . . . . .	159
5.3.4	Comparaison lors du turn-on . . . . .	163
5.4	Instabilité de la grille . . . . .	165
5.4.1	Instabilité Réversible . . . . .	165
5.4.2	Irréversible . . . . .	166
5.5	Vieillessement dans l'application de puissance . . . . .	168
5.6	Bilan de la comparaison . . . . .	171

<i>TABLE DES MATIÈRES</i>	9
<b>Conclusion générale et perspectives</b>	<b>173</b>
<b>Annexe 1</b>	<b>175</b>
<b>Annexe 2</b>	<b>177</b>
<b>Bibliographie Personnelle</b>	<b>179</b>
<b>Bibliographie</b>	<b>181</b>

## Table des figures

1.1	Evolution du cours du pétrole BRENT en dollars constants par baril entre 1987 et 2012 [Ber14] . . . . .	22
1.2	Analyse prévisionnelle réalisée en 2011 par Yole Développement concernant la taille du marché des dispositifs embarquant du Carbone de Silicium [Dev11] . . . . .	23
1.3	Historique de projets dédiés à la haute température [EF12] . . . . .	24
1.4	Réalisation d'un module de puissance pour la haute température haute tension et hautes fréquences à base de MOSFET en carbure de silicium. Module réalisé au CPES en 2013 [CYB <sup>+</sup> 13] . . . . .	24
1.5	Applications de l'électronique de puissance [Den13] . . . . .	26
1.6	Plage des températures et du temps d'utilisation en 2014 pour les applications du pétrolier, de l'automobile, de l'aéronautique et du ferroviaire.	26
1.7	Évolution de la puissance électrique embarquée à bord des avions [Rob09]	28
1.8	Évolution de la température due à des cycles thermiques actifs et passifs sous un profil de mission automobile [Dup06] . . . . .	28
1.9	Domaine d'applications de la filière grand gap (SiC) [Dev11] . . . . .	30
1.10	Exemple de modules de puissance à base de composants en SiC . . . . .	30
1.11	Limite théorique de l'emballement thermique d'une jonction PN plane et infinie en silicium en fonction de la tension inverse [RTMP10] . . . . .	31
1.12	Concentration intrinsèque des porteurs en fonction de la température [RTMP10] . . . . .	35
1.13	Limite théorique de l'emballement thermique d'un jonction PN plane et infinie en fonction de la tension inverse [RTMP10] . . . . .	36
1.14	Comparaison des propriétés des semi-conducteurs [Dev11] . . . . .	37
1.15	Vue en coupe d'une cellule élémentaire VJFET . . . . .	41
1.16	Vue en coupe d'une cellule élémentaire VJFET normally-off . . . . .	41
1.17	Vue en coupe d'une cellule élémentaire d'un JFET deux canaux . . . . .	42
1.18	Vue en coupe d'un MOSFET latéral donnant le principe de fonctionnement du canal de conduction lorsque $V_{GS} > V_{TH}$ . . . . .	42
1.19	Structures MOSFET verticales : VMOS, DMOS, UMOS . . . . .	43
1.20	Inconvénients liés aux structures (a) U-MOS et (b) D-MOS [Sin06] . . . . .	44
1.21	Structures sur la gauche d'un MOSFET de chez CREE 1200V et à droite un MOSFET de chez ROHM 1200V [She14] . . . . .	44
1.22	Structure simplifiée d'un BJT 4H-SiC NPN [KAR <sup>+</sup> 05] . . . . .	46
1.23	Photo de deux filtres pour des fréquences différentes (influence de la fréquence sur le volume du filtre) . . . . .	47
1.24	Évolution du taux de défaillance au cours de la vie d'un produit . . . . .	49
1.25	Méthodologie d'évaluation prédictive de la durée de vie. . . . .	55

2.1	Structure classique d'un module de puissance [Riv14] . . . . .	59
2.2	Tenue en température des matériaux constituant un module de puissance classique [Kol13] . . . . .	59
2.3	Boîtier discret avec (a) vue écorchée, (b) photo d'un boîtier To 247 et (c) vue en coupe [But10] . . . . .	60
2.4	Boîtier discret to 247 en (a) EPOXY (b) metal . . . . .	62
2.5	Limitation dans le plan température tension d'un semi-conducteur en silicium en boîtier plastique [BPA <sup>+</sup> 11] . . . . .	62
2.6	Comparaison du taux de défaillance à 180°C en fonction du modèle d'encapsulant [MMOG00] . . . . .	63
2.7	Photo d'un substrat céramique $Si_3N_4$ de chez Kyocera . . . . .	64
2.8	Schéma des différents types de substrats (métallisation + céramique) . . . . .	65
2.9	Procédé de fabrication d'un DBC d'après [SH00] . . . . .	66
2.10	Schéma du brasure "classique" à gauche et par diffusion à droite [GOB <sup>+</sup> 12] . . . . .	67
2.11	Micro section de (a) la brasure par diffusion et (b) d'une attache par frittage d'argent [HGT <sup>+</sup> 14] . . . . .	68
2.12	Photo de la presse de frittage utilisée dans la réalisation des véhicules de test . . . . .	68
2.13	Schéma d'une séquence de câblage (a) wedge bonding et (b) ball bonding . . . . .	69
2.14	Interconnexion par ruban en or pour des applications haute température ( <i>source <a href="http://www.nist.gov">www.nist.gov</a></i> ) . . . . .	70
2.15	Effet de la température sur le gel encapsulant dans un boîtier (a) avant le cyclage thermique et (b) après le cyclage [SMR <sup>+</sup> 10] . . . . .	71
2.16	Représentation schématique d'un module de puissance 3D . . . . .	72
2.17	Représentation schématique du véhicule de test . . . . .	72
2.18	Photo du banc de test de caractérisation haute température . . . . .	76
2.19	Caractéristiques électriques statiques en polarisation directe du MOSFET CMF20120D pour des températures de 25°C et 250°C . . . . .	78
2.20	Résistance à l'état passant en fonction de la température pour une tension de grille de 20 V et un courant de drain de 5 A pour le MOSFET CMF20120D . . . . .	79
2.21	Transconductance pour plusieurs températures allant de 25°C à 250°C pour le MOSFET CMF20120D . . . . .	80
2.22	Schéma des résistances équivalentes dans le D-MOSFET . . . . .	80
2.23	Tension de seuil $V_{TH}$ en fonction de la température pour le MOSFET CMF20120D . . . . .	81
2.24	Coupe d'un MOSFET pour la mesure du courant de fuite . . . . .	81
2.25	Courant de fuite de drain en fonction de la température pour une tension drain-source de 600 V et une tension de grille de 0 V pour le MOSFET CMF20120D . . . . .	82
2.26	Image de la mobilité (Gm) en fonction de la température pour le MOSFET CMF20120D . . . . .	84
2.27	Comparaison des différentes résistances à l'état passant en fonction de la température pour tous les composants en SiC . . . . .	85
2.28	Comparaison des différentes résistances à l'état passant normalisée à la surface en fonction de la température pour tous les composants en SiC . . . . .	85
2.29	Comparaison des différents courants de fuite en fonction de la température pour tous les composants en SiC . . . . .	86
2.30	Diagramme de bande de matériaux semi-conducteurs et isolants qui composent le MOSFET [Tou13] . . . . .	86

2.31	Distribution de la résistance à l'état passant sur 15 échantillons de MOS-FETs et JFETs . . . . .	87
2.32	Photo initiale avant fermeture sous azote du véhicule de test avec technique d'assemblage (a) brasure (b) frittage (c) image RX de l'assemblage fritté . . . . .	88
3.1	Synopsis du test de vieillissement de grille statique en palier de température . . . . .	91
3.2	Photo des véhicules tests branchés sur le banc de vieillissement . . . . .	92
3.3	Source de tension pour (a) la puissance (Keithley 2410) et (b) la grille (BK precision 9110) . . . . .	92
3.4	Photo du banc de test . . . . .	93
3.5	Palier en température avec caractérisation réalisée à 25 °C . . . . .	93
3.6	Évolution de la résistance à l'état passant, en fonction du temps, mesurée à 25°C après les stress en palier . . . . .	95
3.7	Évolution du courant de fuite de drain, en fonction du temps, mesuré à 25°C après les stress en palier @ $V_{DS} = 600V$ . . . . .	96
3.8	Évolution du courant de fuite de grille, en fonction du temps, mesuré à 25°C après les stress en palier . . . . .	96
3.9	Évolution de la tension de seuil, en fonction du temps, mesurée à 25°C après les stress en palier . . . . .	97
3.10	Image réalisé avec un STEM de l'interface $SiO_2/SiC$ . On peut noter la non uniformité de l'interface en plus clair [ZLD <sup>+</sup> 08] . . . . .	99
3.11	Schéma qui présente les trois types de charge et leur localisation dans un MOSFET (adapté de [Con11]) . . . . .	100
3.12	Dérive de la tension de seuil normalisée par rapport à sa valeur initiale pour une tension de grille positive et négative . . . . .	101
3.13	Schéma des charges présentes dans le MOSFET avec une tension de grille positive . . . . .	102
3.14	Schéma des charges présentes dans le MOSFET avec une tension de grille négative . . . . .	103
3.15	Schéma d'un cycle du stress BTI représentant la tension de grille en fonction du temps . . . . .	105
3.16	Schéma de la série des cycles de stress de grille pour (a) l'instabilité et (b) le vieillissement . . . . .	106
3.17	Photo du banc d'essai BTI avec les SMU Keithley l'interface GPIB et l'étuve . . . . .	107
3.18	Mesure de ID-VGS pour le ramp-down et le ramp-up sur laquelle on mesure l'instabilité pour différents temps de stress . . . . .	107
3.19	Mesure de ID-VGS d'un MOSFET après la polarisation (a) positive et (b) négative pour différentes périodes de polarisation à 250°C . . . . .	108
3.20	Dérive de la tension de seuil en fonction du temps de polarisation . . . . .	109
3.21	Dérive de la tension de seuil en fonction du temps de polarisation et de la température . . . . .	110
3.22	Dérive de la tension de seuil en fonction du cycle de vieillissement de 1000s . . . . .	111
3.23	Mesure de l'instabilité en fonction du cycle de vieillissement de 1000s . . . . .	112
4.1	Synopsis du banc de vieillissement pour 3 MOSFET . . . . .	116
4.2	Photo du circuit de puissance avec (a) la charge résistive et (b) l'alimentation . . . . .	117

4.3	Photo du driver de commande du MOSFET . . . . .	118
4.4	Photo (a) d'un driver et (b) d'un MOSFET brulé sans protection électrique	119
4.5	Résultat de la simulation thermique sur les MOSFET avec le software ANSYS NTL . . . . .	120
4.6	Visualisation d'une commutation sur l'oscilloscope d'un MOSFET placé dans le banc de vieillissement . . . . .	120
4.7	Évolution de la tension de seuil, de la résistance à l'état passant, du courant de fuite de drain et du courant de fuite de grille en fonction du temps pour le test de vieillissement $T_{case} = 250^{\circ}C$ . . . . .	123
4.8	Évolution de la tension de seuil, de la résistance à l'état passant, du courant de fuite de drain et du courant de fuite de grille en fonction du temps pour le test de vieillissement $T_{case} = 260^{\circ}C$ . . . . .	124
4.9	Caractérisation du courant de grille statique en fonction de la tension de grille source pour les MOSFET après le test de vieillissement avec une $T_{case} = 260^{\circ}C$ . . . . .	125
4.10	Évolution de la tension de seuil, de la résistance à l'état passant, du courant de fuite de drain et du courant de fuite de grille en fonction du temps pour le test de vieillissement $T_{case}=300^{\circ}C$ . . . . .	126
4.11	Evolution du courant de grille statique en fonction du temps pour les trois température de boîtier . . . . .	127
4.12	Représentation des durées de vie des MOSFET en fonction de la température de jonction : loi de vieillissement par régression linéaire . . . . .	128
4.13	Représentation des durées de vie des MOSFET dans un graphique de Weibull pour les 3 températures . . . . .	130
4.14	Représentation des durées de vie des MOSFET dans un graphique de Weibull pour les 3 températures avec la méthode du maximum de vraisemblance . . . . .	131
4.15	Estimation de la loi de Weibull-Arrhénius pour une température de jonction de $200^{\circ}C$ ( $473K$ ) à partir des températures plus élevées . . . . .	132
4.16	Fonction densité de probabilité pour une température de $200^{\circ}C$ . . . . .	133
4.17	Loi de vieillissement qui donne la durée de vie en fonction de la température pour les MOSFET . . . . .	133
4.18	Photo MEB du boîtier MOSFET 3 ouverts post vieillissement . . . . .	135
4.19	Image RX avant et après le test de vieillissement à $250^{\circ}C$ . . . . .	136
4.20	Photo MEB de l'effet Latch-up sur le MOSFET 3 après 1000 heures à $250^{\circ}C$ de température de boîtier . . . . .	137
4.21	Photo des MOSFET ouverts assemblés en Argent Fritté . . . . .	137
4.22	Image RX (a) avant le vieillissement et (b) après pour les MOSFET assemblés en Argent fritté . . . . .	138
4.23	Infrarouge Thermographie . . . . .	139
4.24	Synopsis du test d'IR-LIT . . . . .	139
4.25	Image infra-rouge du (a) MOSFET 3 (b) MOSFET 5 et (c) MOSFET 6 sur lesquels la détection des défauts internes est représentée par les points chauds . . . . .	141
4.26	Image Infra-rouge de la zone défailante du MOSFET 3 . . . . .	142
4.27	Image Infra-rouge de la zone défailante du MOSFET 5 . . . . .	142
4.28	Image MEB (a) du défaut (b) zoom sur l'effet latch-up et (c) découpe FIB pour le MOSFET 5 . . . . .	144
4.29	Image MEB de la découpe FIB sur lesquelles on voit apparaître le défaut de grille . . . . .	145

4.30	Image MEB des fissures dans la grille . . . . .	145
4.31	Image MEB dans la grille après découpe plus profonde du FIB : absence de fissure . . . . .	146
5.1	Comparaison des résistances à l'état passant en fonction de la température . . . . .	150
5.2	Comparaison des résistances à l'état passant normalisée à la surface en fonction de la température . . . . .	151
5.3	Courbe ID/VGS pour les structures de MOSFET de chez CREE . . . . .	152
5.4	Courbe ID/VGS pour les structures de MOSFET de chez ROHM . . . . .	152
5.5	Courbe ID/VGS pour les structures de MOSFET de chez STMicroelectronic	153
5.6	Tension de seuil en fonction de la température pour tous les MOSFET .	153
5.7	Transconductance pour les structures de MOSFET de chez CREE . . . . .	154
5.8	Transconductance pour les structures de MOSFET de chez ROHM . . . . .	155
5.9	Transconductance pour les structures de MOSFET de chez STMicroelectronic . . . . .	155
5.10	(a) Schéma électrique du banc de mesure dynamique sur un montage de type hacheur (b) Photo du banc de test . . . . .	157
5.11	Illustration de la méthode de la double impulsion . . . . .	157
5.12	Chronogramme des signaux aux bornes du MOSFET CREE 1 gen pour plusieurs températures avec une résistance de grille de 20 $\Omega$ pour le (a) turn-off et le (b) turn-on . . . . .	160
5.13	Calcul des pertes pour les deux températures . . . . .	161
5.14	Chronogramme de la tension de grille pour les trois structures de MOSFET lors du turn-off à 250°C . . . . .	161
5.15	Chronogramme de la tension drain-source et du courant de drain pour les trois structures de MOSFET lors du turn-off à 250 °C ( $R_G = 10\Omega$ ) . . . . .	162
5.16	Chronogramme de (a) la tension drain-source et (b) du courant de drain pour les trois structures de MOSFET lors du turn-off à 250 °C . . . . .	164
5.17	Dérive de la tension de seuil avec le test d'instabilité en fonction du temps de polarisation pour les trois structures de MOSFET à 250°C . . . . .	165
5.18	Dérive de la tension de seuil avec le test d'instabilité en fonction de la température pour la 2ème génération de CREE . . . . .	167
5.19	Dérive de la tension de seuil en fonction du cycle de vieillissement pour les trois structures de MOSFET à 250°C . . . . .	167
5.20	Dérive de la tension de seuil en fonction du cycle de vieillissement pour les trois structures de MOSFET à 250°C . . . . .	168
5.21	Évolution de la tension de seuil, de la résistance à l'état passant, du courant de fuite de drain et du courant de fuite de grille en fonction du temps pour le test de vieillissement $T_{case} = 280^\circ\text{C}$ avec des MOSFET de chez ROHM . . . . .	169
5.22	Évolution de la tension de seuil, de la résistance à l'état passant, du courant de fuite de drain et du courant de fuite de grille en fonction du temps pour le test de vieillissement $T_{case} = 280^\circ\text{C}$ avec des MOSFET de chez CREE 2 génération . . . . .	170
5.23	Schéma électrique du driver développé pour piloter les MOSFET dans le banc de vieillissement . . . . .	176
5.24	Schéma électrique de la carte relais développée pour relier l'analyseur B1505A aux MOSFET dans le banc de vieillissement . . . . .	178

# Liste des tableaux

1.1	Limites en température des éléments d'électronique de puissance dans un module . . . . .	32
1.2	Évolution des caractéristiques des composants électroniques en fonction de la température [Won99] . . . . .	34
1.3	Comparatif des propriétés des matériaux semi-conducteurs . . . . .	36
1.4	Facteurs de mérite pour des matériaux "grand gap" comparés au silicium [CT94] . . . . .	39
1.5	Critères de défaillance pour les tests d'endurance . . . . .	52
1.6	Description des tests industriels de qualifications et fiabilités pour les modules embarquant des MOSFETs . . . . .	53
2.1	Principales propriétés des céramiques constituant les substrats de puissances [SC04] . . . . .	64
2.2	Propriétés physiques des matériaux considérés dans notre véhicule de test . . . . .	72
2.3	Résumé des différents transistors du commerce . . . . .	74
3.1	Récapitulatif du stress appliqué sur chaque MOSFET . . . . .	94
4.1	Récapitulatif des durées de vie des MOSFET dans les tests de vieillissement . . . . .	122
4.2	Récapitulatif des durées de vie des MOSFET pour différentes températures de jonction . . . . .	134
5.1	Récapitulatif des pertes pendant le turn-off pour les trois MOSFET à 250°C	163
5.2	Récapitulatif des durées de vie moyennes pour les structures de MOSFET à 280°C . . . . .	171



# Introduction générale

Notre génération et nos générations futures doivent faire face à ce qui représente le plus grand enjeux sociétal d'avenir : la gestion de l'énergie. En effet, nous avons enfin pris en compte l'épuisement du pétrole, les problématiques environnementales sur la maîtrise des dépenses énergétiques et l'importance d'un développement durable. Dans ce contexte, l'électronique de puissance apporte des contributions pour de nouvelles solutions alternatives qui répondent aux exigences croissantes. Par exemple, dans le domaine en pleine expansion des transports, où l'objectif est de réduire la consommation d'énergie fossile et la production de gaz à effet de serre, les industriels en partenariat avec les laboratoires de recherches tentent d'utiliser l'énergie électrique avec des systèmes principalement composés d'électronique de puissance.

Les dispositifs d'électronique de puissance ont subi de nombreux bouleversements technologiques permettant d'adapter leur utilisation aux contraintes environnementales. Dans les années 1970, les systèmes d'électroniques de puissance ont grandement bénéficié du progrès révolutionnaire des composants de puissance en silicium. L'introduction des MOSFET de puissance et des IGBT dans les années 1980-1990 a permis la conception de systèmes de plus en plus compacts avec un rendement élevé. Cependant, aujourd'hui les performances des composants silicium ont atteint leurs limites et ce malgré les fortes innovations actuelles. Un saut technologique est nécessaire pour pouvoir répondre aux nouveaux besoins de conversion d'énergie électrique, notamment dans les domaines du transport (aéronautique, ferroviaire, automobile) et de l'énergie (décentralisation des sources d'énergie, réseau de distribution High Voltage DC).

Afin de pallier aux problèmes rencontrés par les transistors en silicium (faible tenue en température et tension), la communauté scientifique s'est tournée très récemment vers une nouvelle filière de composant : le carbure de silicium (SiC). Les technologies à large bande interdite ou "grand gap" promettent depuis de nombreuses années des performances améliorées qui se traduisent par des rendements proches de 1, la réduction du volume et de la masse. Il est envisageable d'augmenter la fréquence de fonctionnement pour utiliser des éléments passifs aux dimensions réduites, augmenter la densité de puissance, accroître les tenues en tension et permettre l'utilisation à très haute température (supérieur à 250°C). Les nouvelles technologies grand gap associées aux nouvelles technologies d'assemblage haute température permettent d'envisager de placer l'électronique de puissance là où elle n'a jamais été. Par exemple en aéronautique, dans une nacelle du réacteur où la variation de température est très importante (-50°C, 250°C).

L'évolution des applications de l'électronique de puissance amène la société THALES Microelectronics à faire évoluer ses technologies de modules embarquant des composants de puissance pour étendre leur fonctionnement aux environnements sévères. Néanmoins, ces technologies relativement nouvelles offrent aujourd'hui peu de garanties sur la fiabilité de leur utilisation dans des applications où la sécurité est critique. Dans cet optique, il est nécessaire de comprendre les mécanismes de dégradation qui interviennent dans le vieillissement des modules pour trouver des indicateurs de défaillance. Cette fiabilité prédictive est fondamentale à la pénétration du marché des semi-conducteurs pour les technologies en carbure de silicium.

C'est dans cette optique que ces travaux de thèse, financés par THALES Microelectronics, ont été menés. Ils tentent de définir les niveaux de fiabilité des nouvelles générations de composants SiC associées à des technologies d'assemblage haute température, et d'identifier/modéliser les mécanismes de défaillance liés aux composants SiC, notamment MOSFETs.

Ce manuscrit se divise en cinq chapitres avec une première partie qui abordera les enjeux et le contexte de cette étude. Elle introduit les applications industrielles haute température et surtout, d'expliquer pourquoi le carbure de silicium est un semi-conducteur adapté pour répondre aux exigences sévères subies par le module de puissance. Les propriétés du semi-conducteur ainsi que les différentes structures de transistors en SiC sont présentées. Pour finir, les notions de fiabilité sont définies ainsi que les lois de vieillissement de type Weibull-Arrhénius et la démarche méthodologique est résumée.

Le deuxième chapitre décrit les véhicules de test utilisés dans le cadre de notre étude. Ils ont pour but de pouvoir explorer les limites des puces SiC en température grâce à l'utilisation d'un packaging adapté. Il est présenté un état de l'art des technologies actuelles pour les applications haute température avec une justification sur notre choix. C'est ainsi que le packaging final est constitué d'un boîtier métallique, un substrat  $Si_3N_4$  assemblé par de l'argent fritté. Le boîtier est fermé sous azote évitant ainsi la présence de gel isolant qui se dégrade rapidement sous l'effet de la température. Avec cet assemblage, le module peut atteindre des températures extrêmement chaudes (300°C), rarement atteintes dans la littérature.

Concernant maintenant le transistor, l'étude de comparaison s'est portée sur des composants industrialisés avec la caractérisation des performances intrinsèques. Ainsi, la résistance à l'état passant, le courant de fuite, la tension de seuil et l'image de la mobilité ont été mesurés. L'utilisation d'un transistor MOSFET dans notre véhicule de test est ainsi justifié. C'est donc sur ce type de structure que s'est orientée l'étude de fiabilité avec une focalisation particulière sur les problèmes de robustesse d'oxyde de grille, point limitant de ce type de structure.

Étant donné le manque d'études de fiabilité sur ces nouvelles technologies de semi-conducteur, il a été envisagé de faire des tests préliminaires de vieillissement sur le véhicule test. Le chapitre trois présente, dans un premier temps, des stratégies de fatigue avec un stress uniquement sur la grille en continu afin de déterminer l'influence de plusieurs paramètres comme par exemple la température. Ces tests permettent de comprendre les mécanismes de dégradation qui interviennent dans le MOSFET notamment avec la dérive de la tension de seuil. Dans un deuxième

temps et afin de se rapprocher un peu plus de ce que voit réellement le transistor dans une application industrielle, un test de fatigue de grille en commutation a été développé. La dérive de la tension de seuil est encore analysée pour comprendre si cette dégradation est prépondérante dans le vieillissement du MOSFET. Le phénomène de piégeage de charges est décrit incluant à la fois un effet réversible de va et vient des charges dans l'interface, et un effet irréversible lié à la quantité de pièges dans l'interface qui représente une réelle dégradation pour le composant.

Le chapitre 4 présente le banc de vieillissement qui a été conçu pour étudier l'évolution des paramètres électriques dans le MOSFET en fonction du temps dans une application industrielle aéronautique. Ce banc a pour objectif d'atteindre la défaillance du véhicule de test pour des températures élevées. L'analyse s'est divisée en deux grandes parties : la première étant une analyse macroscopique portée sur l'évolution des paramètres électriques et la deuxième étant une analyse microscopique portée sur l'analyse physique de mécanismes de dégradation.

Dans un premier temps, les résultats obtenus ont permis de conclure sur la possibilité d'obtenir un paramètre électrique qui reflète l'état de santé du transistor. Le courant de grille statique apparaît comme étant le meilleur indicateur de vieillissement pour le MOSFET de chez CREE. Il est apparu aussi que la température joue bien un rôle de facteur accélérant sur le vieillissement, puisque les durées de vie moyennes à 300°C sont plus courtes que pour une température de 250°C.

A partir de ces résultats, une analyse de fiabilité a été menée avec des lois de vieillissement qui permettent de modéliser la défaillance. Il est envisageable de prédire des durées de vie moyennes extrapolées à des températures plus faibles.

Dans un deuxième temps, une étude microscopique a été réalisée pour identifier des mécanismes de défaillances au niveau de la structure du MOSFET. Il a été nécessaire de réaliser une localisation du défaut par excitation électrique et caméra thermique de précision, effectuée à Barcelone au Centro Nacional de Microelectrónica (CNM), dans le cadre du laboratoire international associé WIDELAB. Le type de défauts observés permet relier les caractérisations électriques macroscopiques et les caractéristiques physiques microscopiques. Des moyens sont alors mis en œuvre pour accéder à ces informations (par microscopies optiques, RX, électronique à balayage et par sonde ionique focalisée (FIB)), révélant le détail de la structure à un degré de finesse élevé et fondamental pour assurer une analyse des défaillances internes. Les défauts apparaissent comme étant des fissures dans l'électrode de grille qui endommagent probablement l'oxyde. Ces défauts expliquent l'augmentation du courant de fuite de grille puisque le diélectrique ne remplit plus sa fonction isolante.

En raison de la pléthore des paramètres externes lors de test de vieillissement, il est difficile d'avancer de manière certaine la chronologie de la défaillance. Néanmoins plusieurs résultats convergents permettent de valider les hypothèses établies sur le défaut de grille qui se traduit par des fissures et une augmentation du courant de fuite de grille.

Durant cette étude, plusieurs industriels ont sorti de nouveaux MOSFET de puissance. Le dernier chapitre propose une comparaison de ces transistors en trois parties. La première concerne les caractérisations statiques et dynamiques qui donnent l'avantage au nouveau MOSFET de chez CREE. Puis la dérive de la tension de seuil est étudiée comme dans les chapitres précédents avec un net avantage pour la structure ROHM. Pour finir les composants ont été placés dans le banc de vieillis-

sement pour comparer les durées de vie moyennes. Le MOSFET ROHM apparaît comme étant le plus fiable pour les applications haute température alors que le MOSFET deuxième génération de chez CREE sera préféré pour les applications haute fréquence.

En conclusion, cette étude apporte une méthodologie pour étudier la fiabilité de composant de puissance avec plusieurs considérations (bibliographique, électrique, microscopique) qui convergent vers une analyse des mécanismes de défaillance.

# Chapitre 1

## Enjeux de la thèse

### 1.1 Contexte

#### 1.1.1 Généralités

L'électronique de puissance englobe tous les dispositifs électroniques qui permettent de convertir l'énergie électrique dans le but d'adapter toute source d'énergie électrique à tout type de récepteur. Elle comprend l'étude, la réalisation ainsi que la maintenance des composants de puissances, des structures des convertisseurs, de leur commande et l'application industrielle de ces convertisseurs.

L'électronique de puissance est une électronique dite de commutation : elle tire parti du fait qu'un interrupteur idéal ne dissipe aucune énergie et donc ne présente aucune perte. En effet, un interrupteur présente en théorie deux états : l'état fermé avec une résistance nulle ainsi qu'une tension nulle à ses bornes et l'état ouvert où la résistance est infinie et le courant qui le traverse est nul. Un convertisseur est donc composé d'interrupteurs complétés par des éléments de filtrage passifs et purement réactifs. Théoriquement les convertisseurs permettent de modifier la tension et/ou le courant sans pertes. En pratique, du fait des résistances parasites et de l'imperfection des interrupteurs, les pertes se divisent en deux catégories : les pertes en conduction et les pertes en commutation. Les pertes totales sont de l'ordre de 2 à 10% de la puissance totale [Lut11]. L'objectif des recherches est de diminuer ces pertes et de rendre les composants de puissance le plus fiable possible.

Les composants de puissance (diode, thyristor, transistor de puissance) se sont imposés dans tous les domaines où les pertes doivent rester faibles pour limiter l'échauffement et garder un rendement élevé [Heu90]. L'électronique de puissance a vu plusieurs facteurs accélérants s'ajouter à son évolution croissante. Le cours du marché des énergies fossiles lié à un accroissement de la demande, avec une augmentation du prix du pétrole brut (Fig 1.1) sont autant de causes conduisant au développement de l'électronique de puissance. Fort de ce constat, les semi-conducteurs de puissance ont vu une envolée du marché ces dernières années (Fig 1.2).

Depuis les années 1950, l'électronique de puissance s'est développée autour des semi-conducteurs en silicium. Aujourd'hui encore, l'industrie de l'électronique en générale et de l'électronique de puissance reste dominée par le silicium et il paraît réaliste que cela reste valable pour quelques années encore. En effet, aucun autre matériau semi-conducteur n'est actuellement aussi compétitif en termes de qualité de matériau, maturité technologique liée à la fabrication et coût de pro-

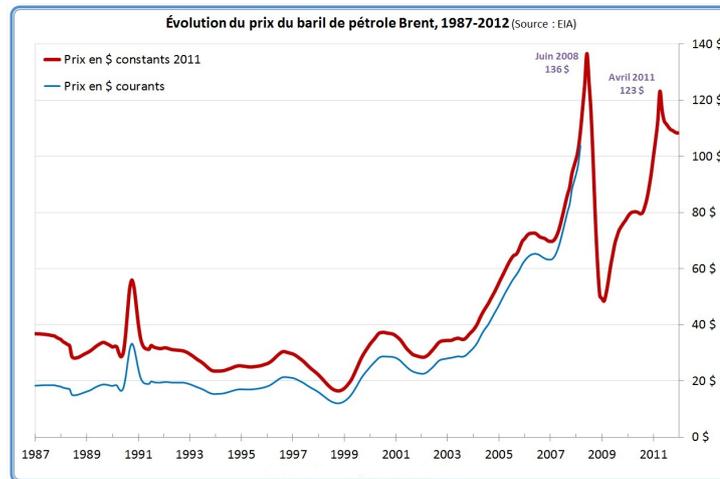


FIGURE 1.1 – Evolution du cours du pétrole BRENT en dollars constants par baril entre 1987 et 2012 [Ber14]

duction associé. Cependant, récemment, la recherche s'est tournée vers les semi-conducteurs appelés grand gap (Nitrure de Gallium et Carbure de Silicium) et force est de constater que l'amélioration de ces nouveaux matériaux a permis le renforcement des performances des convertisseurs de puissance (haute tension, fort rendement...) [MGP<sup>+</sup>13].

Des études récentes ont montré que toutes les portes sont ouvertes pour faire passer la technologie grand gap, et en particulier le Carbure de Silicium, d'une niche à une industrialisation mondiale [Dev11]. Les modules de puissance sont aujourd'hui présents dans de nombreux systèmes et l'un des enjeux majeur est de pouvoir étendre leur utilisation à des environnements sévères comme la haute température (définie pour des températures supérieures à 200°C).

### 1.1.2 Haute Température

Le paramètre température est un élément fortement impactant de la fiabilité et de la durée de vie sur les modules de puissance. En effet, les modules de puissance vont subir pendant leur utilisation des températures ambiantes élevées qui peuvent varier brutalement. Ces changements de température sont dus à l'environnement (cyclage passif) et à l'échauffement des composants lors de leur fonctionnement (cyclage actif) [ACD<sup>+</sup>05]. De plus les applications « haute température » sont majoritairement combinées avec des environnements sévères qui présentent du cyclage thermique, des chocs mécaniques ou des agents agressifs. La durée de vie et la fiabilité sont par conséquent fortement dégradées par la multiplication des contraintes environnementales.

A priori, il n'y a donc aucun intérêt à faire évoluer l'électronique à des températures élevées car la fiabilité s'en trouve fortement dégradée. Néanmoins, l'utilisation de composants de puissance fonctionnant à des températures de jonction élevées présente deux intérêts principaux :

- l'intégration de l'électronique dans des environnements chauds jusqu'alors inaccessibles (grande profondeur, proche des sources de chaleurs...)

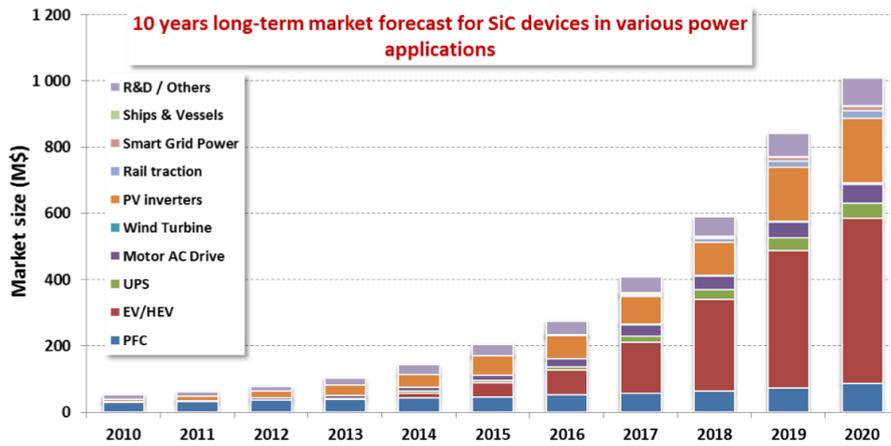


FIGURE 1.2 – Analyse prévisionnelle réalisée en 2011 par Yole Développement concernant la taille du marché des dispositifs embarquant du Carbone de Silicium [Dev11]

- densification massive et volumique des convertisseurs par réduction de la taille des systèmes de refroidissement ; aspect primordial pour toute application d'électronique embarquée (avionique, spatiale, matériel roulant, etc...)

Les technologies de composants grand gap présentent un potentiel de fonctionnement à températures élevées avec une fiabilité accrue par rapport aux solutions silicium. L'objet de cette étude est d'évaluer la fiabilité de ce type de composants en environnement haute température en utilisant des technologies d'assemblage adaptées développées par Thales Microelectronics.

Cet intérêt pour l'électronique de puissance haute température s'est traduit par une recherche florissante depuis les années 2000 dans l'industrie, dans le secteur académique et au sein de consortiums public-privé (comme l'illustre cette thèse en partenariat avec Thales Microelectronics et le laboratoire AMPERE). Des démonstrateurs de convertisseurs fonctionnant à haute température ambiante et/ou à haute température de jonction ont été réalisés [EFHB<sup>+</sup> 13]. Les diodes Schottky en carbure de silicium sont industrialisées depuis plusieurs années, et depuis peu les JFET (Semisouth, Infineon), BJT (Fairchild), MOSFET (CREE, ROHM) en SiC, ainsi que le HEMT en nitrure de gallium (HEXAGAN, ON-SEMI) sont disponibles commercialement.

Cet intérêt pour la haute température s'est traduit par le lancement de projets :

- SEFORA (Smart electrical actuators for harsh environment aeronautic application) : L'objectif du projet est de réaliser un module de puissance à base de JFET normalement passant en carbure de silicium pour des applications haute température. Ce projet est couplé avec le projet FNRAE COTECH qui a réalisé la composante driver en technologie SOI pour la haute température.
- CREAM (Innovative technological platform for compact and reliable electronic integrated in actuators and motors) : Ce projet européen s'est également tourné vers le module onduleur où l'intégration de driver en technologie CMOS SOI a été menée par l'industriel belge CISSOID.

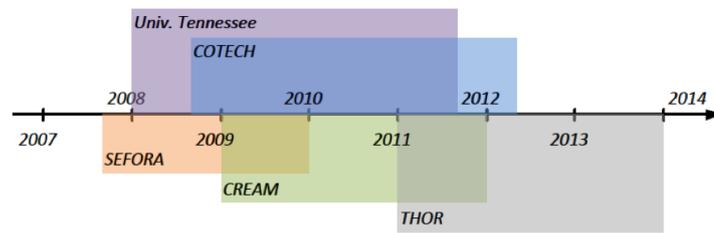


FIGURE 1.3 – Historique de projets dédiés à la haute température [EF12]

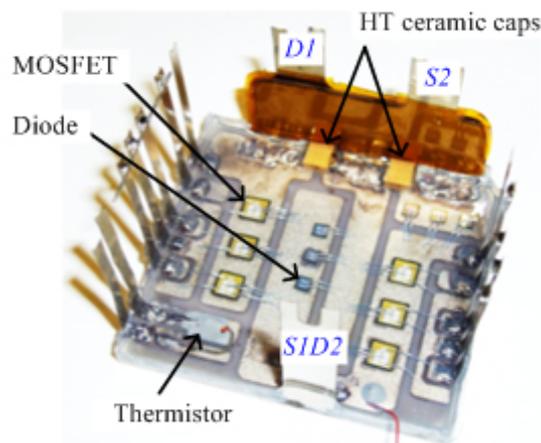


FIGURE 1.4 – Réalisation d'un module de puissance pour la haute température haute tension et hautes fréquences à base de MOSFET en carbure de silicium. Module réalisé au CPES en 2013 [CYB<sup>+</sup> 13]

- Le projet européen THOR reprend l'objectif du module de puissance dans une perspective de pré-industrialisation. L'image 1.3 montre la chronologie de ces différents projets.
- Le projet  $DG_2HT_2$  : l'objectif est de réaliser un convertisseur haute température à base de transistors SiC commandés par des drivers en technologie SOI.

Plusieurs centres de recherche ont mené et mènent des études sur les problématiques haute température :

- CPES (Center for Power Electronic Systems), USA : Centre de recherche situé aux États Unis. Cette structure a pour vocation la réalisation de travaux de toutes sortes concernant l'électronique de puissance (solutions d'intégration, assemblage, contraintes thermomécaniques, composants à semi-conducteurs de puissance, contrôle et capteurs). Les domaines d'applications visés sont multiples grâce au développement de systèmes d'intégration d'énergie électrique (automobile, avionique, militaire). La figure 1.4 montre une réalisation de ce centre de recherche.
- ECPE (European Center for Power Electronics), Europe : Centre de recherche

situé en Europe. Cette structure regroupe un grand nombre de laboratoires travaillant sur le développement de l'électronique de puissance. Les axes de recherches sont l'intégration de puissance 3D, la haute température et la haute tension.

Enfin le domaine de la haute température a vu des industriels proposer des solutions pour la réalisation de module de puissance :

- Quelques exemples d'industriels pour la haute température : Ipdia ([Idi14]) et Novacap ([Nov14]) pour les capacités et les composants haute fréquence, NASCENTechnology ([NAS14]) pour les inductances et transformateurs, Vishay ([Vis14]) pour les résistances, Xrel ([Xre14]) pour les systèmes de commande.

La présentation des acteurs utilisant l'électronique de puissance pour la haute température n'est pas exhaustive mais elle permet de mettre en avant le nouvel engouement pour les systèmes adaptés à ces contraintes thermiques. Les nouvelles technologies à large bande interdite ou « grand gap », associée aux technologies SOI et assemblage haute température permettent de placer l'électronique là où elle n'avait jamais été. Une possibilité de rupture technologique est offerte pour de nombreuses applications. La section suivante présente quelques exemples d'applications visées pour la haute température.

### 1.1.3 Applications

Ce paragraphe présente les domaines d'applications où la haute température est l'un des enjeux principal pour le développement de l'électronique de puissance [DBR<sup>+</sup>10, CJ96]. De manière générale, les applications des interrupteurs de puissances commandés se distribuent telles que représentées sur le diagramme 1.5 dans un plan puissance/temps. Cependant sur ce type de diagramme l'axe température n'est pas représenté. La figure 1.6 illustre les plages des températures des domaines d'application [Dup06, GB00].

#### 1.1.3.1 Avionique

Dans un contexte environnemental critique, le sujet de l'aéronautique fait débat [LZ07]. En effet, face à l'augmentation du trafic aérien qui ne cesse de croître [Del11], un consortium d'industriels du secteur avionique a établi des nouvelles stratégies de gestion d'énergie. Pour les avions de nouvelle génération, la consommation en carburant doit être réduite de 50% et le taux de rejet en monoxyde de carbone réduit de 80% d'ici 2020 [GKS08]. Dans cet objectif, l'industrie aéronautique tend à remplacer les circuits pneumatiques et hydrauliques présents dans les avions par des systèmes électroniques pour les applications autres que la propulsion [BMP<sup>+</sup>08]. C'est ainsi qu'on converge vers un avion plus électrique (more electric aircraft : MEA) adopté par la majorité des industriels du secteur avionique (Fig 1.7). En cinquante ans, la puissance électrique embarquée à bord des avions a été multipliée par 15 avec environ 40kW pour l'avion caravelle et 600kW pour l'avion A380 en 2004 [LFRP05].

Les principaux avantages qui conduisent à se diriger vers un avion plus électrique sont les suivants :

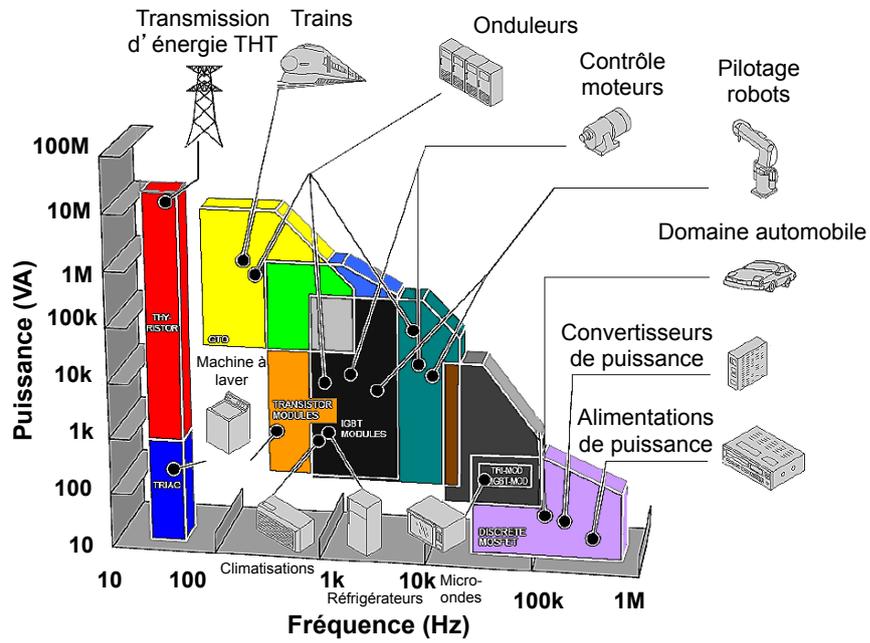


FIGURE 1.5 – Applications de l'électronique de puissance [Den13]

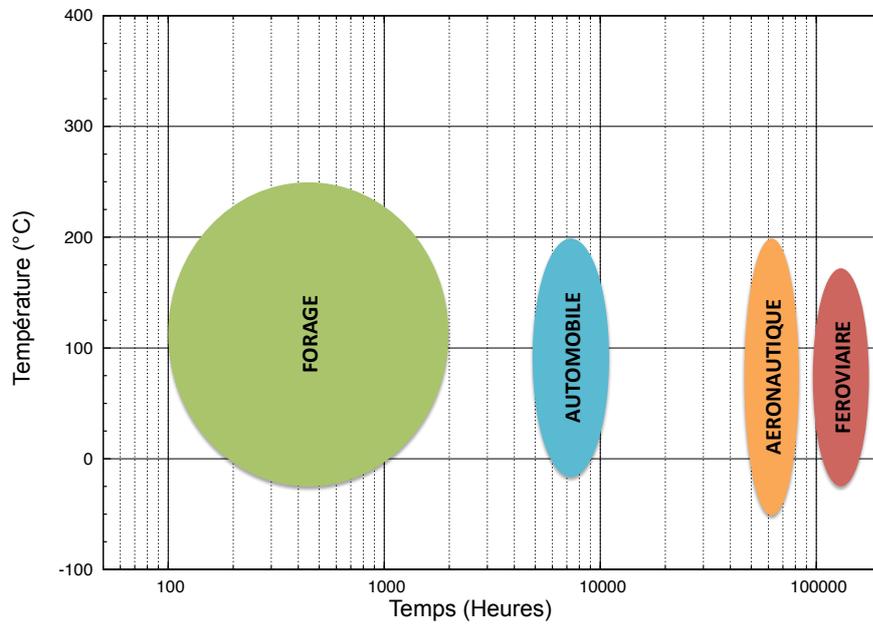


FIGURE 1.6 – Plage des températures et du temps d'utilisation en 2014 pour les applications du pétrolier, de l'automobile, de l'aéronautique et du ferroviaire.

- remplacement des actionneurs principalement hydrauliques et pneumatiques par un réseau électrique (électro-hydrauliques ou électro-mécanique) qui engendre une diminution du poids de l'avion de 20%.
- meilleur rendement pour les actionneurs électriques comparé aux actionneurs hydrauliques.
- réduction du nombre de réseaux de distribution présents dans l'avion ce qui permet de faciliter la maintenance et améliore le rendement.

Cependant, le remplacement des actionneurs hydrauliques en électriques soulève de nombreux verrous technologiques. En effet, il s'agit de placer l'électronique de puissance là où elle n'a jamais été avec les contraintes avioniques, un avion doit pouvoir voler durant 50 000 heures en toute sécurité dans des conditions sévères. Ces conditions sont liées à une variation de la température ambiante (au sol ou en altitude à côté des réacteurs), plus un auto-échauffement en utilisation (exemple : commande de frein). Lors d'un vol classique, la température à proximité des réacteurs varie entre  $-55^{\circ}\text{C}$  et  $+250^{\circ}\text{C}$  et il est évident que la technologie en carbure de silicium répond au challenge de l'avion plus électrique. Ces températures seront utilisées comme référentiel des contraintes en température dans cette thèse.

A titre d'exemple, on peut citer quelques programmes européens qui travaillent sur le développement de l'avion plus électrique :

- le programme POA (power optimized aircraft) et MOET (more open electrical technologies) sont un consortium d'industriels (dont Hispano-Suiza et Thales) ayant pour but de réduire de 5% la consommation en carburant et d'augmenter l'intégration et la fiabilité des systèmes embarqués
- le programme européen Innovative Technological Platform for Compact and Reliable Electronic integrated in Actuators and Motors qui travaille sur la fiabilité à des températures supérieures à  $200^{\circ}\text{C}$  des composants de puissance pour l'avion.

### 1.1.3.2 Automobile

La planète possède désormais plus de 1 milliard de voitures immatriculées [Pé10]. L'électronique embarquée à bord est de plus en plus importante avec une augmentation de la puissance. Cette électronique se situe parfois dans des enceintes chaudes comme à proximité du moteur.

Pour des raisons écologiques et économiques, il est désormais impératif de développer et d'employer des solutions qui utilisent des ressources différentes de celles issues des hydrocarbures. Le rendement d'un moteur thermique (rapport entre l'énergie disponible sur le vilebrequin et l'énergie disponible dans le carburant) équipant de nos jours les automobiles à moteur thermique est d'environ 30%. On comprend aisément que certains se soient penchés depuis longtemps sur une solution plus efficace pour la propulsion de nos véhicules. C'est ainsi que l'assistance partielle ou totale par des moteurs électriques se lance progressivement au sein de l'industrie automobile. Que ce soit pour les véhicules plus électriques ou même pour les nouveaux véhicules à moteur thermique, les systèmes électroniques vont jouer un rôle prépondérant dans le fonctionnement avec des problématiques de fiabilité importante. Le cycle de vie d'un semi-conducteur dans une application automobile est représenté figure 1.8. Outre la température extérieure, les composants sont soumis à du cyclage actif (auto-échauffement lié au fonctionnement) allant jusqu'à  $200^{\circ}\text{C}$ .

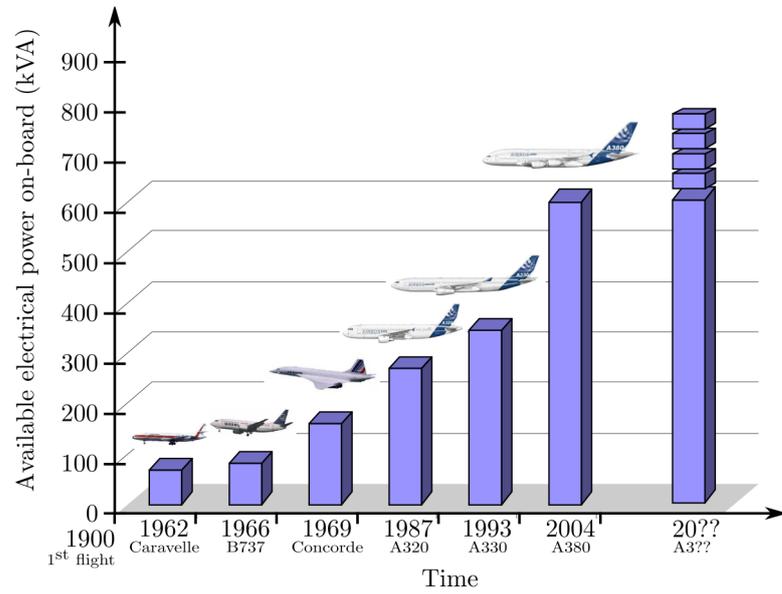


FIGURE 1.7 – Évolution de la puissance électrique embarquée à bord des avions [Rob09]

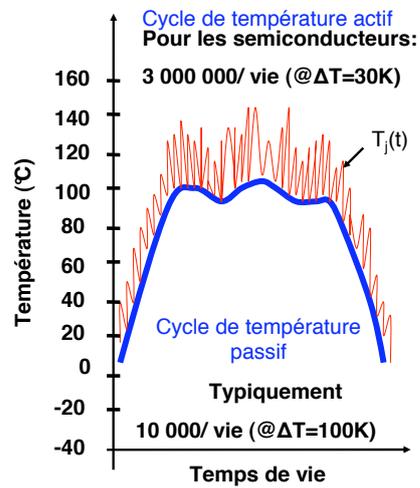


FIGURE 1.8 – Évolution de la température due à des cycles thermiques actifs et passifs sous un profil de mission automobile [Dup06]

### 1.1.3.3 Pétrolier

Le domaine de la prospection pétrolière est autre exemple d'application nécessitant des modules de puissance fonctionnant à haute température. L'épuisement des ressources mène en effet à creuser des puits de forage prospectifs de plus en plus profonds (jusqu'à 10km sous l'écorce terrestre) où la température ambiante est proche de 200-220°C.

Les nouvelles générations d'outil de prospection ont en outre cette particularité de pouvoir réaliser des mesures géophysiques du milieu tout en creusant. Ils embarquent donc nécessairement de l'électronique d'acquisition de données capable de supporter les températures élevées citées précédemment. La communication des données depuis le fond du puits vers la surface se fait par le moyen d'une onde de pression de la boue autour de l'outil de forage. Cette onde de pression est modulée en fréquence par le biais d'un moteur électrique embarqué dans la tête de l'outil et alimenté par un onduleur PWM supportant lui aussi les contraintes environnementales du milieu.

D'où un besoin en modules de puissance qui auront une durée de vie relativement courte (de l'ordre de 1000 heures) mais qui verront des contraintes extrêmement sévères (température ambiante >200°C, résistance aux chocs et vibrations, intégration dans 50 cm de diamètre). Le challenge principal de ces modules est l'étendue de leur performances dans le plan puissance/température afin d'augmenter le débit de télémétrie de l'outil et/ou explorer des profondeurs plus importantes.

### 1.1.3.4 Intégration

La présentation des applications utilisant l'électronique de puissance pour la haute température n'est pas exhaustive mais elle permet de mettre en avant l'importance de développer des systèmes adaptés à ces contraintes thermiques. Toutefois, il paraît réaliste de considérer ces applications comme une niche. Une étude de Yole (figure 1.9) positionne l'intérêt suscité par le Carbure de Silicium sur les différents domaines qui utilisent le plus l'électronique de puissance. Les applications haute température n'ont pas aujourd'hui de potentiel pour une industrialisation de masse en comparaison aux applications haute fréquence et fort rendement. Cependant, un aspect n'a pas été abordé quant à la possibilité d'utiliser le Carbure de Silicium à haute température. Dans un module de puissance, le système de refroidissement représente une grosse partie du volume final du convertisseur de puissance. La possibilité d'utiliser les composants en SiC à haute température permet de réduire l'effort de refroidissement et donc réduire le volume final, la masse et le coût global du système. On obtient ainsi des convertisseurs à plus grande densité de puissance. Les travaux conjoints entre ROHM et Norstel (figure 1.10) illustrent un gain de 70 en termes de densité de puissance pour le passage d'un convertisseur silicium ( $Dp = 0,1W/cm^3$ ) à un convertisseur hybride Si-SiC ( $Dp = 7W/cm^3$ ). La réalisation d'un convertisseur intégralement en SiC permet d'augmenter sensiblement ce gain.

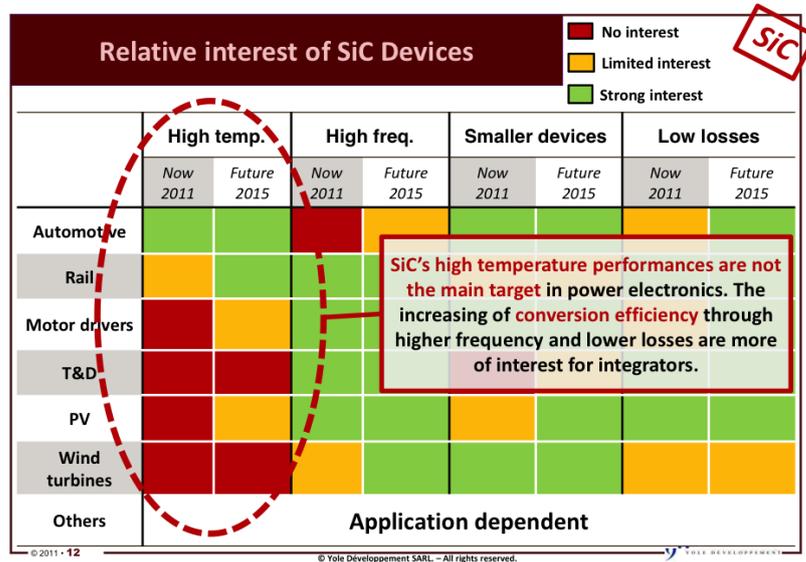
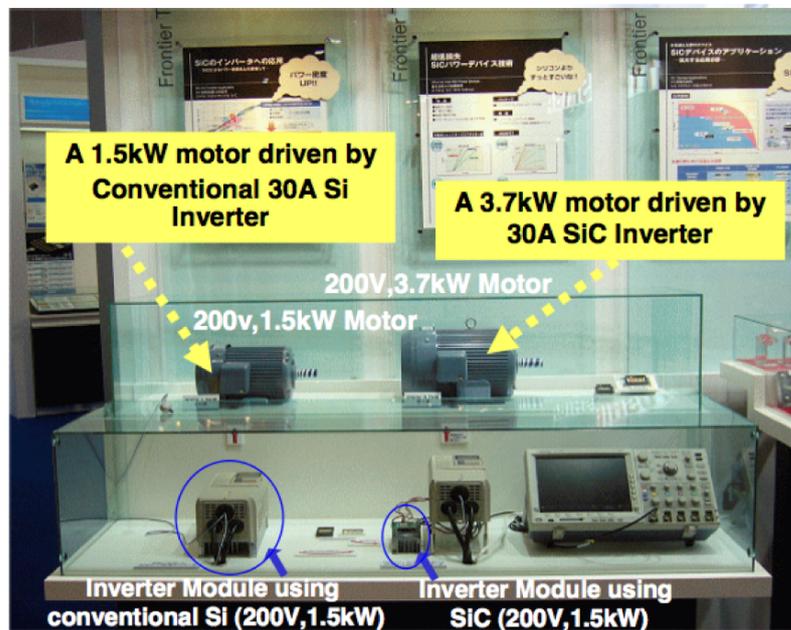


FIGURE 1.9 – Domaine d'applications de la filière grand gap (SiC) [Dev11]



Source: Rohm in collaboration with Yasukawa Electric

FIGURE 1.10 – Exemple de modules de puissance à base de composants en SiC

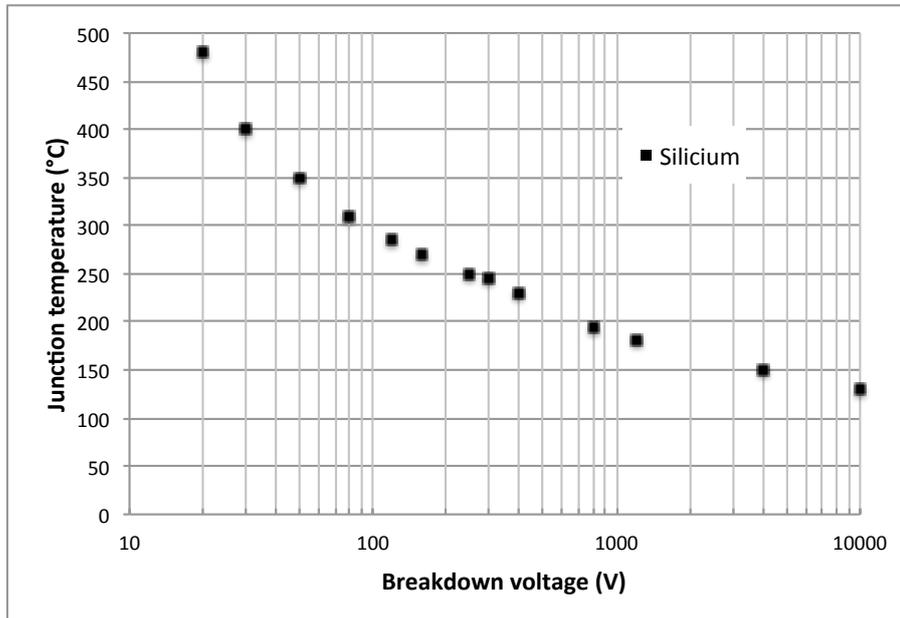


FIGURE 1.11 – Limite théorique de l'emballement thermique d'une jonction PN plane et infinie en silicium en fonction de la tension inverse [RTMP10]

## 1.2 Les semi-conducteurs

### 1.2.1 Introduction

Actuellement, le silicium est très largement utilisé pour la réalisation de composants de puissance dont la production industrielle est maîtrisée depuis plusieurs décennies [All06]. En effet ce matériau dit à petite « bande interdite » (bandgap) de 1,1 eV, est suffisant pour développer des composants travaillant à température ambiante allant jusqu'à 175 °C. Les applications dites « haute température » concernent un fonctionnement transitoire ou continu supérieur à 175°C. Les températures de jonction des composants à semi-conducteur en silicium ne dépassent pas 175 °C pour des composants de puissance traditionnels [Won99]. De plus l'élévation de température autorisée pour le dimensionnement d'un composant de puissance en silicium à haute température est antinomique avec l'augmentation du calibre en tension du composant (Fig 1.11). Sur la courbe, il apparaît clairement que l'utilisation de composants en silicium peut atteindre 200°C mais pour une tension inférieure à 600V.

Les applications haute température utilisant le silicium sont donc bornées à du signal ou à des convertisseurs de faibles puissances largement surdimensionnés par rapport à leur calibre en courant et en tension pour éviter l'emballement thermique. Le tableau 1.1 présente les limites d'utilisation du silicium dans un module de puissance ainsi que les éléments formant le module. Le silicium est l'élément limitant pour une utilisation à haute température (250°C) et haute tension (1kV).

Afin de pallier les problèmes rencontrés par les transistors en Si (faible tenue en température, et à haute tension), la communauté scientifique s'est tournée très

TABLE 1.1 – Limites en température des éléments d'électronique de puissance dans un module

Matériaux module de puissance	Température limite	Référence
Semi-conducteur (Silicium)	200°C	[NOC02]
Brasure	280°C	[MMOG00]
Substrat céramique	280°C	[CHW <sup>+</sup> 07]
Connexions électrique	300°C	[HHJ11]
Boîtier plastique	200°C	[BPA <sup>+</sup> 11]
Boîtier metal	600°C	[CHW <sup>+</sup> 07]
Capacités	350°C	[Rob11]

récemment vers de nouvelles technologies à large bande interdite appelées « grand gap » : nitrure de gallium (GaN) et carbure de silicium (SiC). Les sections suivantes montrent les propriétés intrinsèques des semi-conducteurs et établissent une comparaison entre eux.

## 1.2.2 Propriétés des semi-conducteurs

### 1.2.2.1 Concentration intrinsèque des porteurs

Le comportement des composants à semi-conducteur est basé sur le contrôle des porteurs présents dans le matériau. Il existe deux types de porteurs, les porteurs de la région dopée et les porteurs des couches inférieures que l'on appelle porteurs intrinsèques. Dans le silicium, l'ordre de grandeur de la concentration des porteurs due aux dopants ionisés est de  $10^{16}$  à  $10^{17} \text{ cm}^{-3}$ . D'autre part, les régions non dopées contiennent aussi des porteurs, de manière intrinsèque. Le niveau de concentration des porteurs intrinsèques ( $n_i$ ) augmente rapidement lorsque la température croît. Pour le silicium, l'expression analytique simplifiée de l'évolution de  $n_i$ , en fonction de la température, est présentée dans l'équation 1.1 [Won99].

$$n_i \approx \alpha \cdot T^{\frac{3}{2}} \cdot e^{-\frac{E_g}{2kT}} \quad (1.1)$$

Avec  $\alpha$  constante du matériau, T température absolue (K),  $E_g$  énergie gap du matériau (eV) et k constante de Planck.

### 1.2.2.2 Courant inverse de jonction PN

Comme vu précédemment, la plupart des composants de puissances sont formés de couche dopée N et P. La jonction PN est réalisée par la mise en contact de ces deux couches semi-conductrices. Dans une couche dopée N, les porteurs majoritaires sont des électrons alors que dans une couche dopée P, les porteurs majoritaires sont des trous. Si l'on applique une tension positive du côté de la région P, les porteurs majoritaires positifs (trous) sont repoussés vers la jonction. Dans le même temps, les porteurs majoritaires négatifs du côté N (électrons) sont attirés vers la jonction. Arrivés à la jonction, soit les porteurs se recombinent (un électron tombe dans un trou), soit ces porteurs continuent leur course au travers de l'autre semi-conducteur jusqu'à atteindre l'électrode opposée : le courant circule.

Si la différence de potentiel est inversée, les porteurs majoritaires des deux côtés s'éloignent de la jonction, bloquant ainsi le passage du courant. Néanmoins, les porteurs minoritaires (les trous pour la couche N et les électrons pour la couche P) vont être attirés vers la jonction pouvant créer un courant appelé courant de fuite. Pour assurer une bonne utilisation, le courant de fuite doit rester négligeable par rapport au courant qui circule dans le canal. Ce courant de fuite dépend de la température par la relation suivante 1.2.

$$j_R = A.n_i^2 + B.\frac{n_i}{\tau_g} \quad (1.2)$$

Avec  $n_i$  la concentration intrinsèque, A et B deux constantes indépendantes de la température.  $\tau_g$  est la constante de temps de génération décrite dans l'équation 1.3.

$$\tau_g \approx n_i e^{\frac{\Delta E}{kT}} \quad (1.3)$$

Avec E champ électrique (eV), T température (K) et  $k$  la constante de Planck.

### 1.2.2.3 Mobilité des porteurs

La mobilité des porteurs est le paramètre prépondérant pour les composants de puissance unipolaires car elle va définir la résistance à l'état passant, c'est à dire les pertes en conduction. La mobilité est inversement proportionnelle à la quantité de porteurs et va être influencée par des collisions que subissent les porteurs entre eux dans le cristal. Ces collisions proviennent de divers horizons. Elles peuvent être dues aux impuretés du matériau ou survenir entre les porteurs eux mêmes à cause de leur agitation thermique. A haute température, l'énergie thermique apportée engendre une augmentation des collisions et une diminution de la mobilité. La dépendance entre mobilité ou conductivité électrique et température est décrite dans l'équation 1.4.

$$\mu_n = AT^{-1,23} + B(p).T^{-2,38} \quad (1.4)$$

Cette équation donne la mobilité des électrons avec A une constante et B(p) une constante qui dépend de la concentration en porteurs.

$$\mu_p = AT^{-0,87} + B(n).T^{-2} \quad (1.5)$$

Cette équation donne la mobilité des trous avec A une constante et B(n) une constante qui dépend de la concentration en porteurs.

La baisse de la mobilité des porteurs engendre une augmentation de la résistivité.

### 1.2.2.4 Bilan

Cette partie permet de décrire les paramètres intrinsèques des transistors. Cette description est nécessaire pour analyser par la suite l'évolution des paramètres électriques dans nos tests de vieillissement futurs. Les parties précédentes montrent une forte dépendance des paramètres intrinsèques des matériaux semi-conducteurs à la température. Ce dernier peut influencer notablement les performances des composants électroniques. Le tableau 1.2 résume l'impact de la température sur

TABLE 1.2 – Évolution des caractéristiques des composants électroniques en fonction de la température [Won99]

Paramètres	Symboles	Dépendance à la température	Influence
Conductivité thermique	$\lambda_{th}$	$\lambda_{th} \approx T^{-1,6}$	Résistance thermique
Densité des porteurs	$n_i$	$n_i \approx \alpha . T^{\frac{3}{2}} . e^{\frac{E_g}{2kT}}$	Augmentation du courant de fuite
Courant inverse d'une jonction PN	$j_R$	$j_R = A . n_i^2 + B . \frac{n_i}{\tau_g}$	Augmentation du courant de fuite
Mobilité	$\mu_n$ $\mu_p$	$\mu_n = AT^{-1,23} + B(p) . T^{-2,38}$ $\mu_p = AT^{-0,87} + B(n) . T^{-2}$	Diminution de la conductivité électrique
Temps de recombinaison	$\tau_{rek}$	$\tau_{rek} = f(T^{\frac{-3}{2}} . T^{-2})$	Augmentation de la résistance On et des temps de commutation

ces paramètres et l'effet que cela va engendrer sur l'utilisation de la puce. Sur ce tableau, on constate que les composants actifs ont un fonctionnement limité par la température. Il est donc nécessaire de faire une étude en fonction de l'application visée et de ces contraintes thermiques afin de choisir le bon semi-conducteur. Dans les études effectuées jusqu'à aujourd'hui, il n'est pas présenté l'influence du temps sur ces paramètres en plus de l'aspect température. Ce vieillissement long terme est un des objectifs de cette thèse.

### 1.2.3 Comparaison entre semi-conducteurs

#### 1.2.3.1 Propriétés

L'objectif de cette partie est d'établir une comparaison entre les semi-conducteurs afin de déterminer celui qui sera utilisé pour les applications haute température. Le Carbure de Silicium (SiC) ou le Nitrure de Galium (GaN) sont par opposition au silicium, appelés matériaux à « grand gap » car l'énergie nécessaire pour passer entre deux états d'énergie est plus conséquente (respectivement 3,2eV et 3,4eV). Soulignons que cette valeur de bande interdite influence directement le comportement en température des matériaux à grand gap, notamment sur des paramètres comme la concentration intrinsèque des porteurs ou encore les courants de fuite.

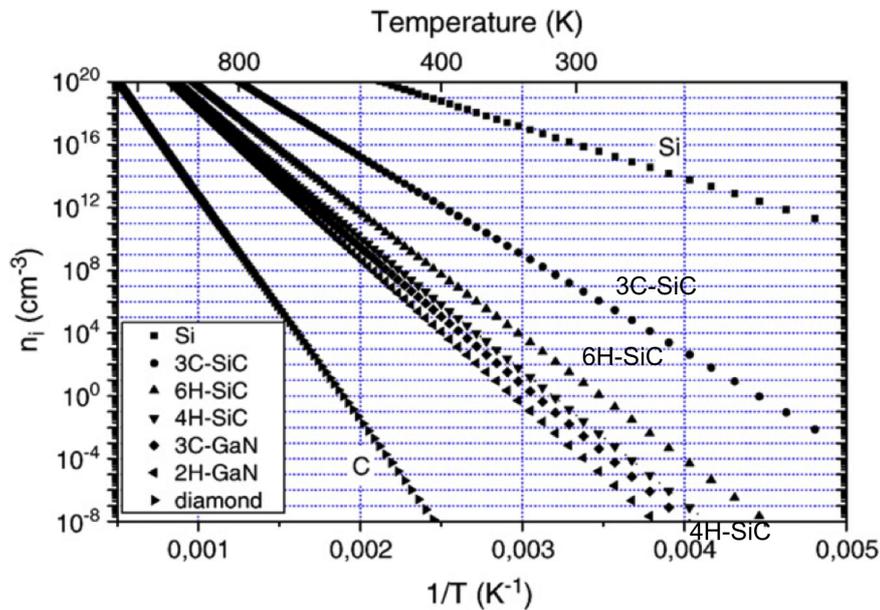


FIGURE 1.12 – Concentration intrinsèque des porteurs en fonction de la température [RTMP10]

Sur la figure 1.12, nous remarquons que la concentration intrinsèque du Carbone de Silicium et en Nitrure de Gallium est bien meilleure en fonction de la température que celle du Silicium. Il en résulte que l'emballement thermique interviendra à des températures supérieures à celles du silicium qui a une limite théorique de 150°C pour les dispositifs hautes tensions ( $V_{BR} = 1000\text{ V}$ ) (figure 1.13). Les semi-conducteurs grand gap peuvent fonctionner théoriquement jusqu'à 1200°C.

Concernant le courant de fuite, l'équation 1.2 montre qu'il est directement relié à la concentration intrinsèque des porteurs. Dès lors, le courant de fuite augmente avec la température. L'utilisation de matériau grand gap va réduire l'impact de la température sur la concentration intrinsèque limitant ainsi les courants de fuites. Le tableau 1.3 présente les principales propriétés des matériaux semi-conducteurs dans lequel on compare le silicium (Si) avec plusieurs polytypes de carbure de silicium (SiC) ainsi que le gallium (GaN) et le diamant (C). Le SiC et le GaN sont des matériaux relativement similaires. Le choix des composants "grand gap" impose de déterminer leur domaine respectif d'application à privilégier.

Les propriétés intrinsèques du GaN et du SiC sont nettement supérieures à celles du silicium à des températures plus élevées (1.14) [RTMP10].

Le carbure de silicium possède également une meilleure conductivité thermique que le silicium ainsi qu'une plus faible résistance à l'état passant (ou résistance spécifique). De plus, les composants unipolaires à base de semi-conducteurs à grand gap offrent des résistances à l'état passant satisfaisantes jusqu'à plusieurs kilovolts alors que la limite pour le silicium est autour de 900 V (cette tension prend en compte les nouvelles générations de CoolMOS<sup>TM</sup>). Les performances en commutation sont donc potentiellement très intéressantes par rapport à des composants tels que des IGBT en silicium, grâce à cette possibilité d'utiliser des composants

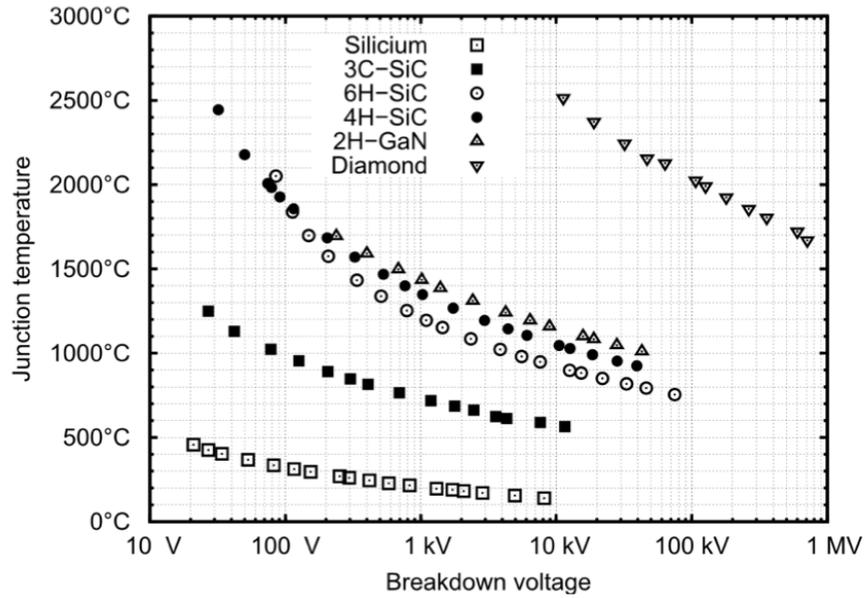


FIGURE 1.13 – Limite théorique de l'emballement thermique d'un jonction PN plane et infinie en fonction de la tension inverse [RTMP10]

TABLE 1.3 – Comparatif des propriétés des matériaux semi-conducteurs

	Si	3C-SiC	6H-SiC	4H-SiC	GaN	C
<b>Bande interdite <math>E_g</math> (eV)</b>	1,12	2,3	2,9	3,2	3,39	5,6
<b>Mobilité des électrons <math>\mu_n</math> (<math>cm^2.V^{-1}.s^{-1}</math>)</b>	1450	1000	415	950	1000	2200
<b>Mobilité des trous <math>\mu_p</math> (<math>cm^2.V^{-1}.s^{-1}</math>)</b>	450	45	90	115	350	1800
<b>Champ électrique critique <math>E_c</math> (<math>V.cm^{-1}</math>)</b>	$3.10^5$	$2.10^6$	$2,5.10^6$	$3.10^6$	$5.10^6$	$5,6.10^7$
<b>Vitesse de saturation <math>V_{sat}</math> (<math>cm.s^{-1}</math>)</b>	$10^7$	$2,5.10^7$	$2.10^7$	$2.10^7$	$2.10^7$	$3.10^7$
<b>Conductivité thermique <math>\lambda</math> (<math>W.cm^{-1}.K^{-1}</math>)</b>	1,3	5	5	5	1,3	20
<b>Permittivité <math>\epsilon_r</math> (<math>F.m^{-1}</math>)</b>	11,7	9,6	9,7	9,7	8,9	5,7

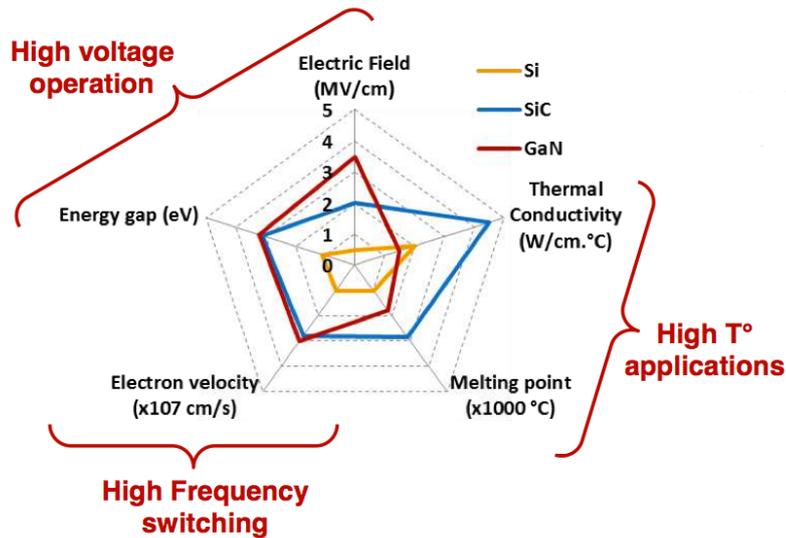


FIGURE 1.14 – Comparaison des propriétés des semi-conducteurs [Dev11]

unipolaires à des tensions plus élevées. Tous ces avantages convergent vers une diminution de l'auto-échauffement des modules de puissance et par conséquent une augmentation de la température d'utilisation.

### 1.2.3.2 Facteur de mérite

Afin de mieux comparer les matériaux semi-conducteurs, plusieurs études ont été réalisées pour établir des facteurs de mérite mettant ainsi en évidence les avantages de chacune de ces filières les unes par rapport aux autres. Les résultats permettent d'orienter notre étude avec des considérations physiques sur les propriétés des matériaux. Nous utiliserons ces facteurs de mérite dont les équations sont les suivantes :

- JFM : Facteur de mérite de Johnson [Joh65]. Il prend en compte le champ électrique critique et la vitesse de saturation des porteurs. Sa valeur nous informe sur les capacités du matériau à fonctionner à haute fréquence et forte puissance (1.6).
- KFM : Facteur de mérite de Keyes [Key72]. Il est calculé en prenant en compte la conductivité thermique du matériau, sa permittivité et la vitesse de saturation des porteurs. Il nous renseigne en même temps sur les performances thermiques et fréquentielles que peut atteindre le matériau (1.7).
- BFM : Facteur de mérite de Baliga [Bal82]. Il prend en compte la mobilité des porteurs, la permittivité du matériau ainsi que le champ électrique critique. Sa valeur nous apporte une appréciation de la tenue en tension et de la résistance à l'état passant (1.8).
- BHFMM : Facteur de mérite de Baliga pour les applications haute fréquence [Bal89]. Il prend en compte la mobilité des porteurs et le champ électrique critique. Il est utilisé dans les applications à haute fréquence et nous informe sur les pertes en commutation (1.9).

$$JFM = \frac{E_C \cdot v_{sat}}{2\pi} \quad (1.6)$$

$$KFM = \lambda \sqrt{\frac{c \cdot v_{sat}}{4\pi \cdot \epsilon_r}} \quad (1.7)$$

$$BFM = \epsilon_r \cdot \mu_n \cdot E_c^3 \quad (1.8)$$

$$BHFM = \mu_n \cdot E_c^2 \quad (1.9)$$

En calculant les différents facteurs de mérite des matériaux semi-conducteurs et en les comparant avec le silicium, on obtient le tableau 1.4. Sur ce tableau on voit que le diamant est de loin le matériau qui affiche les valeurs de coefficients les plus élevées avec les meilleures performances électriques et thermiques. Or à l'heure actuelle, c'est un matériau qui n'est qu'au stade de développement et il est impossible de le trouver dans des composants industrialisés. Le SiC et le GaN sont les matériaux qui répondent au besoin de l'électronique de puissance. Pour une valeur de tenue en tension donnée (1000V), le SiC aura une couche N d'épaisseur réduite d'un facteur 10 par rapport au silicium, avec un dopage plus important. La figure 1.14 positionne les principaux matériaux semi-conducteurs en fonction de leur domaine d'application et de leurs performances, relativement à la filière historique (Si) par rapport au facteur de mérite. L'avantage du silicium est actuellement remis en cause pour certaines applications telles que la haute tension, les hautes fréquences et la haute température. Sur la figure on peut facilement voir que le composant idéal pour les applications haute température est le carbure de silicium.

Concernant la problématique de la tenue en tension, aujourd'hui les composants en GaN commercialisés ont des niveaux de tension jusqu'à 800V [FPTB<sup>+</sup> 12, SMR<sup>+</sup> 14]. En effet jusqu'à présent, presque tous les efforts sur les composants GaN ont été concentrés sur les composants latéraux car il est extrêmement difficile d'obtenir de substrat en GaN de bonne qualité. Pour notre application visée, il est nécessaire de se focaliser sur les structures verticales pour les applications de puissance car d'une part les composants verticaux mènent à des puces de taille plus petite et d'autre part, il est possible de diminuer les pertes de puissance.

La technologie GaN offre un potentiel certain pour les applications limitées aux tensions de 600V, à fréquence élevée comme pour les applications faible bruit linéaire et non-linéaire. Cependant des coûts de production élevés ainsi qu'une fiabilité encore perfectible limitent à ce jour la portée du potentiel de cette technologie. C'est pourquoi en raison des niveaux de tension visés de 1200V, nous allons focaliser notre étude sur le semi-conducteur en carbure de silicium (SiC).

### 1.2.3.3 Bilan

Les études montrent que les composants de puissance en silicium sont bornés en température. Il est toutefois bon de rappeler que porter un composant Si à haute température, pendant un temps court, est toujours physiquement possible [XLWL11]. Mais les objectifs de recherche visent des solutions autorisant un fonctionnement sur la durée. Force est de constater que le silicium est aujourd'hui l'élément limitant des modules de puissance destinés aux applications visées impliquant à la fois haute température (>200°C) et haute tension (>600V).

TABLE 1.4 – Facteurs de mérite pour des matériaux "grand gap" comparés au silicium [CT94]

Figures de mérite	Si	4H-SiC	GaN	C	Critères du facteur
<b>JFM</b>	1	20	33	560	Haute fréquence, Tenue en tension
<b>KFM</b>	1	6	2	38	Haute température
<b>BFM</b>	1	543	2429	4.10 <sup>6</sup>	Résistance à l'état passant
<b>BHFM</b>	1	66	192	52 000	Fréquence de commutation

Les semi-conducteurs carbure de silicium présentent les propriétés intrinsèques les plus pertinentes ainsi que l'état de maturité technologique le plus avancé pour répondre au besoin de ces applications. C'est pourquoi nous nous focaliserons pour la suite de notre étude à l'utilisation exclusive de ces semi-conducteurs SiC.

#### 1.2.4 Structure

Les composants de puissance commandés constituent l'essentiel des interrupteurs de commutation dans les systèmes électronique de puissance. Les composants de puissance en carbure de silicium se placent en concurrent de ceux en silicium. A terme, ils pourraient les substituer pour les applications haute tension (supérieures à 600V), haute température (supérieures à 175°C) et haute fréquence grâce à leurs propriétés intrinsèques. Les composants doivent remplir un cahier des charges minimum :

- capacité à bloquer les fortes tensions avec des courants de fuites les plus petits possible
- capacité à passer un fort courant avec le minimum de chute de tension
- commuter rapidement entre l'état passant et bloqué avec le moins de pertes possible
- fonctionner de manière fiable, sans défaillance, pendant la durée de vie du dispositif

Aujourd'hui le cahier des charges est presque rempli pour les composants industrialisés en carbure de silicium sauf pour l'aspect fiabilité pour lequel nous avons encore peu de recul, d'où l'intérêt de cette étude.

Plusieurs structures de composants en carbure de silicium ont été réalisées et la section suivante présente ces structures. Elles devront remplir le cahier de charge précédent.

Les interrupteurs sont classés selon le type de porteur rentrant en jeu dans la conduction. Il existe deux types de transistors : les composants unipolaires ne faisant appel qu'à un seul type de porteur, et les composants bipolaires faisant appel à deux types de porteurs.

### 1.2.4.1 JFET

Le transistor JFET à effet de champ (Junction Field Effect Transistor) est un interrupteur de puissance commandé selon la polarisation de la jonction grille-source permettant ainsi de commuter entre l'état passant et l'état bloqué. Le courant peut circuler le long du canal conducteur entre drain et source et son contrôle se fait par modulation de la largeur de la zone de charge d'espace par la polarisation grille-source. Comme la conduction s'effectue par un seul type de porteur le JFET fait partie des transistors unipolaires. Il est dit de type N si ce sont les électrons qui assurent la circulation du courant dans un canal de type N. A l'inverse, il sera de type P si ce sont les trous qui assurent la circulation du courant dans un canal de type P. La mobilité des électrons étant supérieure à celle des trous, nous trouverons plus de composants de type N dans les applications de puissance.

Il existe plusieurs types de structures de JFETs (latérale, verticale, symétrique ou asymétrique, simple canal ou deux canaux) mais dans cette étude nous nous sommes focalisés aux JFETs à canal vertical et les JFETs à deux canaux.

Premièrement, le JFET en carbure de silicium à canal vertical (VJFET) est une structure utilisable pour les applications de puissance. Au début de cette étude, ces composants étaient commercialisés par Semisouth mais l'industriel a fermé en 2013. Depuis mars 2014, il est possible de trouver des JFETs à canal vertical chez United Silicon Carbide. La structure verticale présente l'avantage d'une grande densité d'intégration avec une très faible résistance à l'état passant. De plus la simplicité de réalisation de la structure réduit le coût de fabrication [BSWK11]. Contrairement au MOSFET, le SiC-VJFET ne possède pas d'oxyde de grille mais utilise la modulation de la largeur du canal par la jonction PN.

La figure 1.15 représente une vue en coupe d'une structure élémentaire de VJFET. Ces structures élémentaires seront mises en parallèle pour assurer la circulation de forts courants. La zone de drift, la région du canal et la source sont réalisées par croissance épitaxiale sur un substrat en carbure de silicium. La zone de drift est dopée  $N^-$ , elle est suivie par le canal qui est de type N. Le contact de la source est fait par une couche fortement dopée  $N^+$ . Le courant qui circule entre drain et source est modulé par l'implantation des couches P de la grille. Le contact du drain se trouve en face arrière du substrat dopé  $N^+$ . Cette conception permet le contrôle précis de la variation de la tension de pincement. Il existe deux types de transistors verticaux : les normally-on et les normally-off. Pour les transistors normalement passants, sans polarisation de la jonction grille-source le composant est court-circuité. Il faudra donc polariser en inverse avec une tension négative la jonction grille-source pour le bloquer [MCM<sup>+</sup>04]. L'utilisation de ces composants complexifie l'aspect commande car il faut établir des protections contre les courts-circuits. D'un point de vue sécurité, l'utilisation de ces composants dans les convertisseurs de puissance est critiquée. C'est pour ces raisons que des JFETs normally-off ont été développés.

Le canal d'un JFET normalement bloqué est totalement pincé par la zone de charge d'espace formée par les jonctions de grille sans polarisation de la jonction grille-source. Aucun courant ne circule entre drain et source en absence de polarisation. C'est en polarisant positivement que l'épaisseur de la zone de déplétion se réduit et un canal de conduction se crée entre drain et source (figure 1.16). Le niveau de tension appliqué sur la jonction grille-source pour rendre conducteur le composant ne doit pas être trop élevé afin de limiter au maximum la circulation d'un courant dans la grille. En effet dans la structure, il y a une diode entre grille et source et la

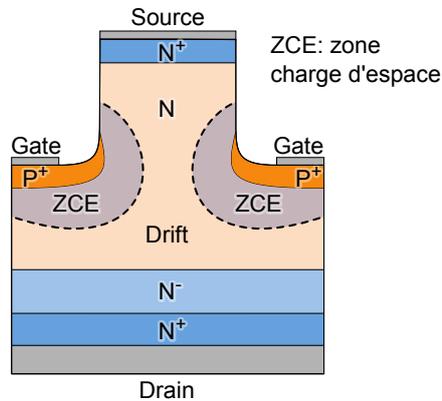


FIGURE 1.15 – Vue en coupe d'une cellule élémentaire VJFET

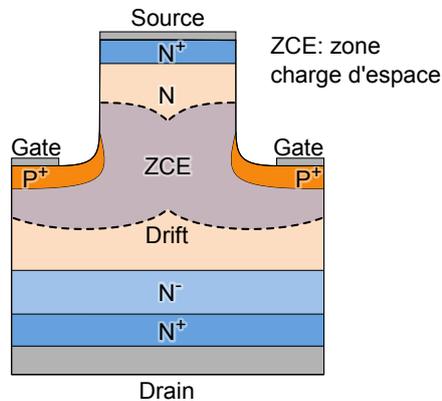


FIGURE 1.16 – Vue en coupe d'une cellule élémentaire VJFET normally-off

polarisation positive permet au courant de circuler [ABU10].

La deuxième structure de JFET réalisée par INFINEON est le JFET à deux canaux. Le nom de la structure double canal vient du fait que le JFET va contrôler sa mise en conduction dans un canal latéral et tenir la forte tension dans un canal vertical. La figure 1.17 montre la structure du JFET à deux canaux. Ils sont fabriqués sur un substrat 4H-SiC dopé N [Fri07, Fri08]. Dans la couche épitaxiée  $N^-$ , on vient implanter une couche enterrée de type  $P^+$ . Une deuxième couche P sera déposée pour former un canal latéral qui permettra de contrôler le courant traversant le composant. Sur la figure on note que ces couches  $P^+$  sont reliées à la grille et la source. La tenue en tension désirée dépend quant à elle du canal vertical indépendamment du canal latéral. Cette structure possède une diode interne entre drain et source utilisable comme diode de roue libre. La comparaison de ces deux types de structure a été réalisée en conduction et en commutation [ZT09]. L'influence de la température sur les pertes en commutation reste faible pour les deux structures. La différence apparaît sur les pertes en conduction avec un avantage pour la structure verticale pour des valeurs de température inférieures à 150°C. Au-delà de cette température, la structure deux canaux offre des pertes en conduction plus faibles. En effet la structure verticale a une résistance à l'état passant composée de

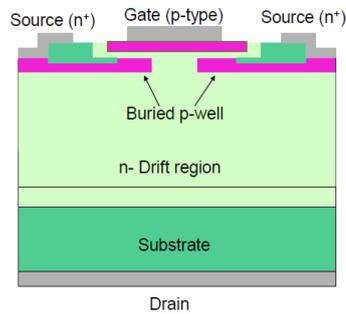
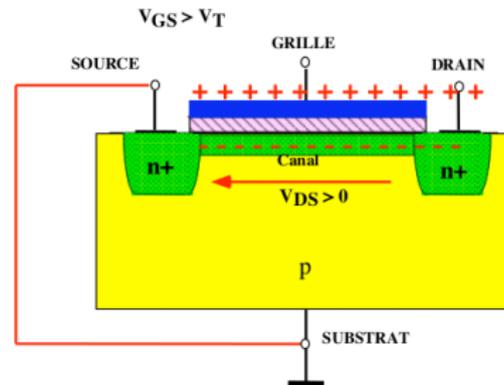


FIGURE 1.17 – Vue en coupe d'une cellule élémentaire d'un JFET deux canaux

FIGURE 1.18 – Vue en coupe d'un MOSFET latéral donnant le principe de fonctionnement du canal de conduction lorsque  $V_{GS} > V_{TH}$ 

la résistance de contact, la résistance du substrat et la résistance de drift du canal vertical. Pour la structure double canal, il faut rajouter la résistance du canal latéral. A faibles températures, les pertes sont donc plus faibles pour la structure verticale. Néanmoins avec la température, la résistance de drift augmente beaucoup alors que la résistance de canal latéral est moins influencé. Les pertes deviennent moins élevées pour la structure double canal à partir de 150°C.

#### 1.2.4.2 MOSFET

Le MOSFET est un composant unipolaire qui possède un oxyde de grille.

Quand il n'y a pas de tension appliquée à la grille, la surface de type P, "P-well" en contact avec l'oxyde de grille va jouer le rôle d'isolant. Il n'y a pas de circulation de courant entre la source et le drain. Si maintenant il y a une tension positive suffisamment grande appliquée à la grille, le "P-well" va voir un canal de conduction se former à proximité de l'oxyde de type N sous l'effet du champ électrique appliqué à la grille (figure 1.18). Ce canal va relier électriquement le drain et la source. Étant donné que l'électrode de grille est isolée électriquement du substrat, il n'y a pas de courant de grille en courant continu, et le canal N est couplé de façon capacitive à la grille par l'intermédiaire du champ électrique dans l'oxyde. La tension de grille

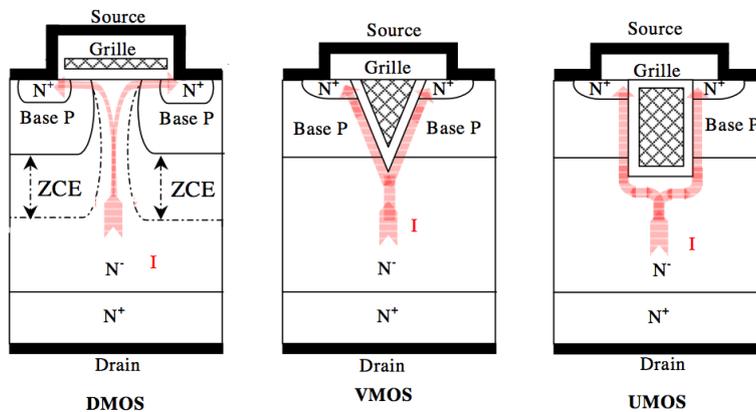


FIGURE 1.19 – Structures MOSFET verticales : VMOS, DMOS, UMOS

nécessaire pour mettre le MOSFET en conduction est la tension de seuil  $V_{TH}$ . Le MOSFET de puissance est un composant qui a été introduit de par les technologies des circuits intégrés utilisant un oxyde comme isolant. Il possède des attributs tels que sa rapidité de commutation et un comportement normally-off.

Les premiers MOSFETs développés sont de type latéral mais rapidement dans un but d'améliorer la tenue en tension et permettre le passage d'une gamme de courant plus grandes, des structures verticales ont été créées. Parmi elles, la structure VMOS, la structure DMOS et la structure UMOS (figure 1.19).

La structure DMOS comprend deux régions importantes, la région de type  $N^-$  pour la tenue en tension appelée zone de drift qui est en contact avec le drain en face arrière; et la région du canal qui contrôle l'état passant ou bloqué du composant grâce à l'oxyde qui se situe entre la source et la grille. Avec une polarisation positive entre drain et source et une tension nulle sur la grille, le composant se comporte comme un interrupteur ouvert empêchant ainsi la circulation du courant. En effet, la jonction PN est polarisée en inverse créant une zone de charge d'espace. Pour fermer l'interrupteur, il faut appliquer une tension positive sur la grille et ainsi former un canal de type n le long de l'oxyde à la surface de la base de type P. L'inconvénient de cette structure est l'effet JFET qu'elle engendre. L'effet JFET est une augmentation de la résistance due à un rétrécissement de la région active N- entre deux zones de charge d'espace P. Le courant qui circule dans la zone de drift (en contact avec le drain) va voir son canal se rétrécir dans la zone JFET (entre les zones P) alors que le niveau de dopage ne change pas. Cela produit donc une plus forte concentration d'électron dans la zone JFET avec une augmentation de la résistance (figure 1.20(b)). La structure VMOS se base sur les préceptes décrit précédemment en s'affranchissant de l'effet JFET par une création d'un canal vertical. La grille en forme de V permet de relier directement la source à la région active N- en gardant une largeur de canal constante pour la circulation du courant (pas de rétrécissement). Malheureusement, cette grille se fragilise avec l'apparition d'un fort champ électrique au sommet du triangle. C'est pourquoi la structure UMOS remplace la structure VMOS en s'inspirant des mêmes problématiques et en changeant la forme pointue de la grille cependant le champ électrique reste présent dans le diélectrique (figure 1.20(a)).

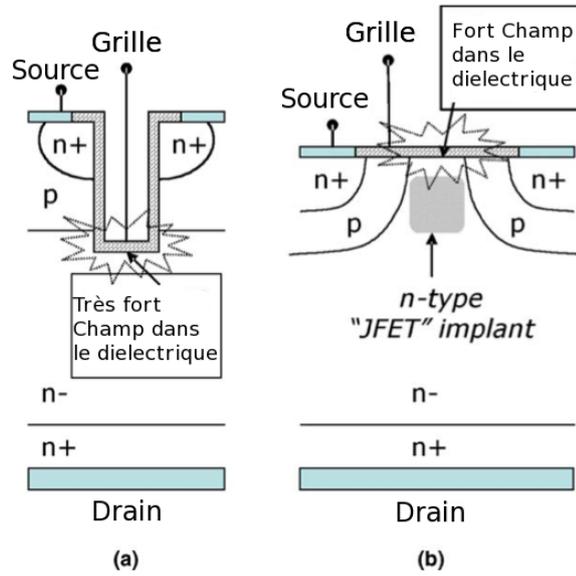


FIGURE 1.20 – Inconvénients liés aux structures (a) U-MOS et (b) D-MOS [Sin06]

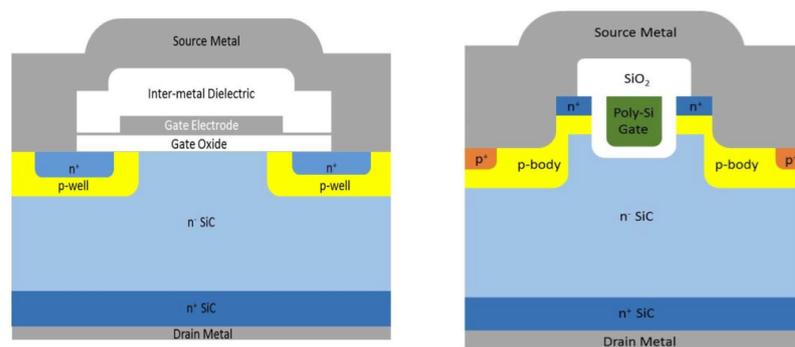


FIGURE 1.21 – Structures sur la gauche d'un MOSFET de chez CREE 1200V et à droite un MOSFET de chez ROHM 1200V [She14]

La figure 1.21 présente les structures de MOSFET qui sont commercialisés actuellement par le fournisseur CREE et ROHM. Sur cette figure, on peut voir les différentes stratégies de fabrication avec une structure DMOS pour CREE et UMOS pour ROHM.

Les MOSFET de puissance rencontrent des problèmes liés à la qualité de l'interface oxyde de champ/ semi-conducteur. Cette problématique sera traitée dans le chapitre 3. De nombreuses études sur l'amélioration de la mobilité sont effectuées notamment au centre de recherche de Barcelone CNM, portant généralement sur l'orientation cristalline du matériau [FMB<sup>+</sup>14]. L'augmentation des valeurs de mobilité du canal d'inversion est principalement due aux techniques de nitruration par  $NO$  et  $N_2O$  [CCGC09]. Aujourd'hui, les problématiques sont la transposition de ces gains, effectués sur des MOSFET latéraux, aux structures verticales. Le MOSFET est actuellement dans une dynamique industrielle avec l'apparition de nouvelles générations (CREE, Rohm, Mitsubishi, STmicroelectronics). L'objectif de cette étude est d'établir la fiabilité de ces composants.

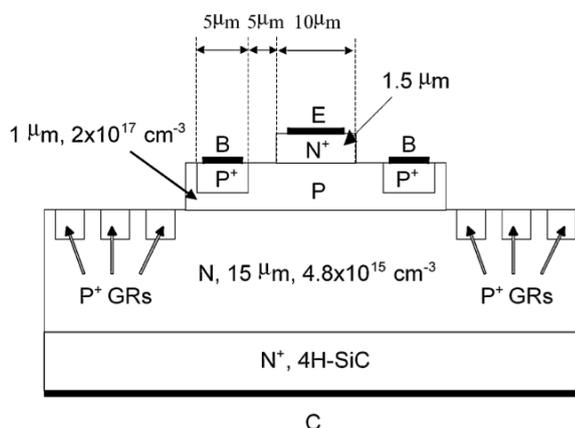
### 1.2.4.3 BJT

Les transistors bipolaires de puissance en silicium sont commercialement disponibles depuis plus de 50 ans. Ils formaient la majorité des interrupteurs de puissance avant l'apparition des IGBT de puissance. Mais le faible gain en courant et le retard sur l'amorçage le rendent peu attrayant par rapport au MOSFET ou à l'IGBT. Concernant la filière SiC, le transistor bipolaire est capable en théorie de résoudre ces problèmes grâce à une amélioration de la durée de vie des porteurs [SJGS14]. L'utilisation de ces composants est en théorie préférable pour les fortes valeurs de tension de 4kV. Ces applications de puissance constituent un marché de niche pour lequel le SiC est un excellent candidat [Dev11].

Les BJT en SiC-4H ont gagné une attention particulière par l'absence d'oxyde de grille qui reste un problème de fiabilité sans réponse pour les MOSFETs. De plus leur résistance à l'état passant a une faible dépendance à la température [MTB<sup>+</sup>12]. Cependant, le principale inconvénient du BJT est sa commande en courant continue sur sa base pour le contrôler. De plus, l'amélioration du gain est une problématique extrêmement importante aujourd'hui (gain passant de 22 à 55 [ARC<sup>+</sup>04]). L'amélioration s'est effectuée sur la passivation de la puce qui influence directement le gain  $\beta$ . La structure interne est décrite dans la figure 1.22. L'émetteur et le collecteur sont connectés sur une région de type  $N^+$  tandis que la base est reliée sur une région de type P formant le transistor NPN. Le BJT se commande en courant ce qui complexifie le driver par rapport au MOSFET.

### 1.2.4.4 IGBT

L'IGBT est une combinaison d'un transistor bipolaire et d'un MOSFET. Ces deux transistors ont des caractéristiques complémentaires puisque le premier présente des pertes en conduction faibles pour des fortes tensions alors que le second présente des pertes en commutation faibles de par ses propriétés unipolaires. Le fonctionnement d'un IGBT est le suivant : on utilise un MOSFET pour commander un transistor bipolaire (commandé en tension). Le composant profite des avantages des deux structures avec une commande en tension simplifiée par rapport au BJT. Les IGBT en SiC sont majoritairement réalisés sur des composants ayant un canal de type P car le substrat étant opposé au canal est le plus souvent dispo-

FIGURE 1.22 – Structure simplifiée d'un BJT 4H-SiC NPN [KAR<sup>+</sup>05]

nible sous la forme type N (substrat de type N avec un canal de type P en SiC). Comme vu précédemment, il y a une différence de mobilité et d'énergie d'ionisation entre une région de type P et une région de type N, un substrat de type  $P^+$  présente une résistance à l'état passant plus importante que celle d'un composant avec un substrat de type  $N^+$  [LJ01]. Aujourd'hui la fabrication industrielle d'IGBT en SiC rencontre de nombreux problèmes (coûts élevés, stabilisation de l'oxyde de grille). Cette structure offre une faible résistance à l'état passant comparé au MOSFET en SiC mais possède des pertes en commutation plus importantes. Les applications visées pour l'IGBT sont supérieures à 6kV puisque pour des niveaux de tension inférieurs le MOSFET présente de meilleures performances[MHB<sup>+</sup> 12]. De nombreux travaux sont en cours [DMF<sup>+</sup> 14], [BCO<sup>+</sup> 14], [KFT<sup>+</sup> 13] mais la commercialisation d'un IGBT en SiC n'est pas encore réalisée.

#### 1.2.4.5 Conclusion

L'apparition du carbure de silicium et la réalisation d'interrupteurs de puissance avec ce semi-conducteur viennent bouleverser l'utilisation traditionnelle des composants en silicium. Les applications haute tension jusqu'à 10 kV n'étaient possibles qu'avec une mise en série d'IGBT en Si. Dans un futur très proche, les transistors en SiC pourront remplacer ces composants avec une utilisation possible à plus haute fréquence. Les conditions d'utilisations définissent quelle sera la structure idéale. En effet, chaque transistor présente des avantages pour une application visée. Cependant, l'évolution du marché reste difficile à prévoir avec des fournisseurs de transistors de plus en plus nombreux. Dans ces différentes structures, le MOSFET semble être promis à un bel avenir si toutefois il présente de bon résultats aux tests de fiabilité.



FIGURE 1.23 – Photo de deux filtres pour des fréquences différentes (influence de la fréquence sur le volume du filtre)

### 1.3 Objectif et méthodologie de la thèse

#### 1.3.1 Objectif

Les semi-conducteurs à large bande interdite ou "grand gap" promettent depuis de nombreuses années une rupture technologique dans les applications de puissance. La réduction importante des systèmes de gestion des flux thermique permet une réduction du volume, de la masse et des coûts globaux. L'augmentation de la fréquence de fonctionnement engendre une réduction importante des éléments passifs (figure 1.23). La possibilité d'utiliser les puces à haute température influence la densité de puissance, la tenue en tension et le système de refroidissement.

L'industriel, qui conçoit ces objets, s'engage sur la réalisation de la fonction souhaitée par ses clients, avec des garanties de qualité, de fiabilité et de prix compétitifs. Cette thèse en partenariat avec Thales Microelectronics doit intégrer ces fonctions. Lorsqu'on regarde l'état de l'art sur les modules de puissance, on trouve des convertisseurs fonctionnant dans des conditions extrêmes [VMRM14], cependant le paramètre temps est rarement abordé. L'objectif est d'apporter une contribution scientifique sur le vieillissement de composants de puissance.

La fiabilité représente la capacité d'un système ou d'un composant de s'acquies de ses fonctions requises dans des conditions données pour une période de temps spécifiée. La durée de vie demandée aux systèmes d'électronique de puissance est rarement inférieure à 10 ans et peut atteindre 30 ans [Lut11]. Il est donc nécessaire de réaliser des tests de fiabilité sur du vieillissement accéléré.

##### 1.3.1.1 Fiabilité

Dans le vaste contexte de la sûreté de fonctionnement des systèmes, le guide FIDES [FID09] donne une évaluation réaliste de la fiabilité des produits électroniques, y compris dans les systèmes qui rencontrent des environnements sévères. Il exprime la fiabilité en ces termes :

*Aptitude d'une entité à accomplir une fonction requise, dans des conditions données, pendant un intervalle de temps donné. La fiabilité est généralement exprimée quantitativement par des caractéristiques appropriées. Dans certaines applications, l'une de ces caractéristiques est une expression de cette aptitude par une probabilité, appelée aussi fiabilité.*

L'étude s'appuie alors sur une analyse statistique et probabiliste de la défaillance, dont la mise en œuvre est bien souvent difficile à réaliser dans le domaine de l'intégration de puissance, en raison du coût unitaire des produits et de leur durée de vie recherchée.

La défaillance, définissant la perte de fonctionnalité d'un système, est la conséquence d'un mécanisme de défaillance, activée à partir d'un seuil critique d'origine mécanique, chimique ou électrique. Le taux de défaillance d'un composant à l'instant  $t$  est sa densité de probabilité de défaillance. Il permet de quantifier le risque en termes de probabilité qu'une entité qui fonctionne correctement depuis la durée  $t$  tombe en panne subitement à l'instant suivant  $t + dt$ . Afin d'illustrer cette notion, nous allons prendre un exemple sur une population de composants.

Considérons une population de  $N_0$  équipements, mise en service à l'instant 0. A l'instant  $t$ , il reste  $N_S(t)$  équipements. La fonction  $R(t)$  est la probabilité de n'avoir connu aucune défaillance jusqu'à l'instant  $t$  (rapport entre le nombre de composant fonctionnels à l'instant  $t$  et le nombre de composant à l'état initial).

$$R(t) = \frac{N_S(t)}{N_0} \quad (1.10)$$

La densité de probabilité  $f(t)$  correspond à la fréquence des défaillances observées pendant un intervalle de temps  $\Delta t$  :

$$f(t) = \frac{R(t) - R(t + \Delta t)}{\Delta t} \quad (1.11)$$

Le taux de défaillance instantané  $\lambda(t)$  (sachant que j'étais vivant à l'instant  $t$ ) s'exprime donc :

$$\lambda(t) = \lim_{\Delta t \rightarrow 0} \frac{P[t \leq T < t + \Delta t \mid T > t]}{\Delta t} = \frac{f(t)}{R(t)} \quad (1.12)$$

Avec  $T$  la variable aléatoire, et  $P$  la fonction de répartition. L'observation expérimentale montre que l'évolution du taux de défaillance pour un système en fonction du temps est illustrée figure 1.24. Cette courbe est dite "en baignoire" et fait apparaître trois types de défaillances distinctes, selon la durée de fonctionnement.

La vie d'un produit peut donc être divisée en trois périodes :

- Défaillances précoces pendant la période de jeunesse
- Taux de défaillance sensiblement constant pendant la période de vie utile
- Défaillance d'usure pendant la période de vieillesse

Lors de la période de jeunesse, le taux de défaillance diminue. La fiabilité du produit croît avec le temps. C'est la période où les défaillances sont dues à des problèmes de mise en place des procédés et au déverminage de la conception et des composants. La période de vie utile est représentée par un taux de défaillance constant. Le taux de défaillance est indépendant de l'âge du produit (ces pannes sont souvent qualifiées d'aléatoires pour cette raison). Cette période, souvent inexistante pour la mécanique, est celle de référence pour l'électronique. Lors de la

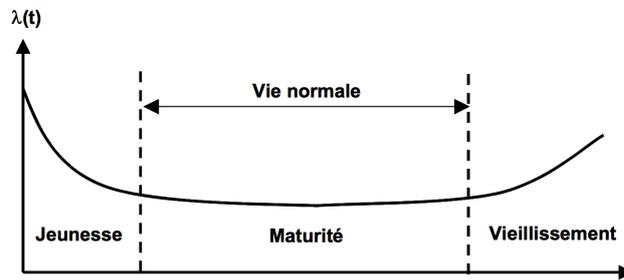


FIGURE 1.24 – Évolution du taux de défaillance au cours de la vie d'un produit

période de vieillesse, la fiabilité décroît avec le nombre d'heures de fonctionnement : plus le produit est vieux, plus il est probable d'avoir une défaillance. Ce type de comportement est caractéristique des articles soumis à usure ou autres détériorations progressives. Cela correspond à des taux de défaillance croissants.

Néanmoins, dans la plupart des cas, le taux de défaillance est supposé égal à la valeur constante de la phase de vie utile du produit entraînant un MTTF (Temps moyen avant apparition de la 1<sup>ère</sup> défaillance) égale à l'inverse du taux de défaillance (équation 1.13).

$$MTTF = \frac{1}{\lambda} \quad (1.13)$$

Ainsi, il est possible d'estimer, à partir d'une campagne de test, et pour un ensemble de contraintes, la durée de vie d'un produit et le taux de défaillance correspondant.

Pour réaliser des lois de fiabilité, nous utiliserons dans cette étude une loi de probabilité continue de type Weibull. Elle s'exprime :

$$\lambda(t) = \left(\frac{\beta}{\eta}\right) \left(\frac{t}{\eta}\right)^{\beta-1} \quad (1.14)$$

avec  $\beta > 0$  le facteur de forme (cinétique du vieillissement) et  $\eta > 0$  facteur d'échelle de la distribution (durée de vie caractéristique).

### 1.3.1.2 Durée de vie

Dans le domaine de l'électronique de puissance, les durées de vie maximales peuvent être très importantes pour les composants de puissance. C'est pourquoi il est extrêmement difficile d'effectuer des campagnes de tests sur des durées aussi importantes (avionique : 50 000 heures, ferroviaire 150 000 heures) ([BMP<sup>+</sup>08]). Concernant ces longues durées de vie des composants, il est possible de procéder à une accélération du vieillissement en venant actionner des leviers. Ces contributeurs appelés facteur accélérant de durée de vie sont la température, l'humidité, les vibrations ou les cyclages thermiques [PET01]. Les essais ne doivent néanmoins pas faire intervenir des mécanismes autres que ceux observés dans des conditions normales d'utilisation. Si cela est respecté, il est possible d'extrapoler les résultats accélérés vers des conditions normales. A titre d'exemple, la température est un des

facteurs d'accélération les plus employés en analyse de défaillance. Durant le fonctionnement d'un composant électronique, celui-ci subit des altérations qui modifient ses propriétés. Ces phénomènes physico-chimiques sont activés par la température et la loi qui régit ces effets est la loi d'Arrhenius [Jen95]. Cette loi a été établie par Svante Arrhenius afin de quantifier le taux de réaction d'un mélange chimique en fonction de sa température. Cette loi est la suivante :

$$r = A.exp \frac{-E_a}{K T}$$

- r : taux de réaction,
- T : température absolue,
- K : constante de boltzmann,
- $E_a$  : une énergie d'activation (entre 0,4 et 3 eV),
- A : facteur pré-exponentiel.

Il est possible de combiner à notre loi de fiabilité le paramètre de la température en obtenant la loi de Weibull-Arrhénius :

$$\lambda(t, \theta) = \left( \frac{\beta}{\eta(\theta)} \right) \left( \frac{t}{\eta(\theta)} \right)^{\beta-1} \quad (1.15)$$

Avec  $\eta(\theta)$  :

$$\eta(\theta) = A.exp \frac{-E_a}{K T} \quad (1.16)$$

Il est possible de définir un facteur accélérant (rapport de temps entre deux températures) :

$$\frac{t'}{t_V} = exp \left( \frac{E_a}{K} \left( \frac{1}{\theta_1} - \frac{1}{\theta_2} \right) \right)$$

- $t'$  : Temps extrapolé à  $\theta_1$  (exemple 25°C),
- $t_V$  : Temps de vie avec vieillissement accéléré à  $\theta_2$  (250°C),
- K : constante de boltzmann,
- $E_a$  : une énergie d'activation (entre 0,4 et 3 eV),
- $\theta_2$  : Température du vieillissement accéléré (250°C).
- $\theta_1$  : Température de fonctionnement (25°C).

La détermination de l'énergie d'activation, du facteur de forme et du facteur d'échelle se fait de manière expérimentale, à partir d'essais de fiabilité effectués avec différentes températures et sous les mêmes contraintes électriques. Une estimation du maximum de vraisemblance sera utilisé comme méthode statistique pour inférer les paramètres de la distribution de probabilité. Les résultats obtenus peuvent valider ou réfuter le modèle de la loi de probabilité utilisé.

### 1.3.1.3 Mécanisme de dégradation

L'analyse des mécanismes de dégradation est une science transversale de par la pluridisciplinarité qu'elle exige. Parmi les domaines concernés, l'électronique de puissance, la physique du composant, la métallurgie, la thermique et même la chimie en sont quelques exemples non-exhaustifs. Les exigences techniques qu'il faut maîtriser sont décrites ci dessous :

- L'électronique de puissance pour aborder l'approche système du boîtier, les topologies des circuits de puissance et les caractéristiques électriques des composants.
- La physique du composant pour appréhender les notions physiques de structures cristallographiques et pour connaître les géométries des structures des composants étudiés.
- La mécanique pour les mécanismes de dégradation liés au matériau du packaging et ses limites.
- La thermique pour comprendre les phénomènes liés aux transferts de chaleur (résistance thermique).
- La chimie pour interpréter les lois de vieillissement et les différentes réactions qui interviennent dans les mécanismes de dégradations.

En électronique de puissance, les niveaux de tension et courant étant élevés, les composants sont dédiés à des transformations et à des transferts d'énergie importants. Il est nécessaire de définir au préalable le cahier de charge et le profil de mission étudié pour connaître les niveaux d'environnements. La liste des mécanismes de défaillances dans des composants de puissance connus aujourd'hui sera présentée dans le chapitre 2.

## 1.3.2 Méthodologie

### 1.3.2.1 État de l'art

L'utilisation croissante de systèmes en électronique de puissance draine le besoin de grande fiabilité pour plusieurs raisons. La densité de puissance au sein des composants est de plus en plus importante ayant pour conséquence la hausse de température. L'environnement extérieur des systèmes de puissance devient de plus en plus sévère avec des cycles thermiques importants. Le nombre de composants par système augmente entraînant un risque plus élevé du taux de défaillance. Il est évidemment impossible de vérifier la fiabilité des modules de puissance dans des conditions de stress conforme, car ces essais dureraient aussi longtemps que la durée de vie de service des composants (de 10 à 30 ans). Ainsi les fabricants de module de puissance ont mis au point des procédures de tests accélérées qui sont purement empiriques. Ces tests permettent de qualifier la technologie sur la durée. Ils ont été mis en place depuis 30 ans et cette dimension historique pourrait rendre plus compréhensible le fait que les tests semblent identiques pour tous les fabricants au premier regard. Mais lorsqu'on regarde de plus près, chaque fabricant présente des différences considérables. Les normes internationales sont fixées mais les détails de la procédure de test restent ambiguës. Par conséquent, les fabricants établissent leur propre philosophie de test de vieillissement ce qui rend la comparaison difficile à faire. Il est donc important d'effectuer nos propres tests sur plusieurs technologies afin d'apporter un regard neutre en terme de durée de vie.

Le tableau 1.6 recueille l'ensemble des essais de qualification accélérés pour les IGBT et le MOSFET de puissance. Avant de décrire les tests présentés, nous de-

TABLE 1.5 – Critères de défaillance pour les tests d'endurance

Critères de défaillance	Symbole	IEC30747-9
Courant de fuite de grille	$I_{GSS}$	+100% LSH
Courant de fuite drain	$I_{DSS}$	+100% LSH
Résistance à l'état passant	$R_{DS(on)}$	+20% VIM
Tension de saturation	$V_{DS(sat)}$	+20% VIM
Tension de seuil	$V_{GS(th)}$	+20% LSH -20% LSB
LSH	Limite de Spécification Haute	
LSB	Limite de Spécification Basse	
VIM	Valeur Initialement Mesurée	

vons établir des critères de défaillance. La définition exacte du critère de défaillance est essentielle pour l'évaluation d'un test. Le tableau 1.5 énonce les critères de défaillance communs pour les tests de qualification et d'endurance, comme ils sont spécifiés par les normes internationales.

Le **High Temperature Reverse Bias Test** vérifie la stabilité à long terme des courants de fuite de la puce. Les puces sont stressées avec une tension continue drain source tandis ce que le composant est à l'état bloqué. La mesure est effectuée sur le courant de fuite qui révèle une dégradation de la passivation ou des interfaces. Les courbes représentant le courant de fuite en fonction du temps pour ce type de stress sera présenté dans le chapitre 3. Ce test accéléré effectué pendant 6 semaines permet de valider des durées de vie de composants allant jusqu'à 20 ans dans les conditions réelles.

Le **High Temperature Gate Stress Test** vérifie la stabilité de la grille notamment sur le courant de fuite et la qualité de l'oxyde. Le champ électrique appliqué dans une grille exempt de défaut entraîne un courant de fuite de grille stable dans le temps.

Le **High Temperature Storage Test** vérifie l'intégrité des matières plastiques, des matériaux en caoutchouc, de la passivation de la puce, du gel encapsulant, des métaux... Ces matériaux doivent conserver leurs propriétés chimiques et mécaniques au cours du temps (propriétés élastiques et plastiques).

Les écarts de température sont des conditions essentielles de stress pour les composants en électronique de puissance. De nombreuses applications vont voir leur module effectuer des cyclages de température liés à l'ambiance. C'est pourquoi le **Temperature cycling Test** vérifie la tenue pour différents cycles de température. Ce test est souvent réalisé avec deux chambres pour effectuer le changement de température ambiante. Les conditions nécessaires pour réaliser un bon test résident dans la durée d'un cycle qui doit être suffisamment long pour permettre à toutes les parties de l'assemblage d'atteindre la température fixée. Les principaux mécanismes de dégradation observés sont liés aux différents coefficients de dilata-

TABLE 1.6 – Description des tests industriels de qualifications et fiabilités pour les modules embarquant des MOSFETs

Nom	Symbole	Conditions	Standards
High temperature reverse bias test	HTRB	Composant à l'état bloqué Tension de bus appliquée Température ambiante à la limite opérationnelle Durée = 1000h	IEC60747-9 :1998
High temperature gate stress test	HTGS	Tension de grille appliquée positive ou négative Température ambiante à la limite opérationnelle Durée = 1000h	IEC60747-9 :1988
High temperature storage test	HTS	Température ambiante à la limite opérationnelle Durée = 1000h	IEC60068-2-2
Temperature cycling	TC	Chauffage/refroidissement externe $2 \text{ min} < t_{\text{cycle}} < 6 \text{ min}$ $\Delta T_c = 80K$ 2000/5000 cycles	IEC60749-9 :1998 IEC60747-2/6 Kap.IV
Power cycling	PC	auto-échauffement refroidissement externe $0.5 \text{ s} < t_{\text{cycle}} < 10 \text{ s}$ $60K < \Delta T_j < 100K$ $10,000 < \text{cycles} < 130,000$	IEC60747-9 :1988
Vibration	V	balayage sinusoïdale Accélération : 5g Durée : 2h par axe (x,y,z)	IEC60068-2-6 Test Fc
Mechanical shock	MS	Pulse Accélération : 30g 3 fois dans chaque direction	IEC60068-2-27 Test Ea

tion interne au boîtier et cela conduit à l'apparition de fissures et du décollement de couche.

Contrairement aux cycles thermiques réalisés par la température ambiante, dans le **Power Cycling Test**, c'est la puissance fournie à la puce qui va auto-échauffer le composant et réaliser des cycles thermiques. On appelle cette technique du cyclage actif contrairement au cyclage passif vu précédemment. On envoie un courant dans la puce qui chauffe le composant jusqu'à la température de consigne maximale, puis ce courant est coupé et la température va chuter pour atteindre sa température minimale grâce à un système de refroidissement. Lorsque la température est retombée à sa valeur initiale, cela conclut la réalisation d'un cycle.

### 1.3.2.2 Approche choisie

L'élaboration du profil de vie pour une prévision de fiabilité nécessite de se questionner sur ce qui va causer les pannes du produit durant sa vie. Il s'agit d'une démarche d'ingénierie de la fiabilité. Elle est cruciale pour les évaluations de fiabilité car elle conditionne totalement la fidélité des prévisions.

Dans l'électronique de puissance, les volumes de production sont relativement faibles comparativement au domaine de l'électronique numérique. Ce dernier point induit des composants à fort coût, limitant d'autant plus la faisabilité de campagnes de test à grande échelle. Les essais statistiques en grand nombre n'étant pas envisageables, nous avons choisi de développer l'étude physique des modes de défaillances et l'estimation de la durée de vie. Nous verrons qu'il est possible de corréler l'état de santé d'un composant par rapport à l'évolution des paramètres électriques mesurés. C'est donc à partir de campagnes expérimentales (accélérées), associées à des analyses de mécanismes de dégradation, que l'on cherchera à estimer la durée de vie de dispositifs en contraintes réelles de fonctionnements [Cia05] [KTD<sup>+</sup>05].

Afin de répondre à la problématique industrielle sur la durée de vie de composants en électronique de puissance, il est nécessaire de s'appuyer sur le maximum d'informations fournies par nos propres tests ou par les retours d'expériences. Cependant, la tâche reste délicate pour ces types d'approches. En effet, pour le retour d'expérience, l'authenticité des résultats apporte des connaissances floues sur l'historique des composants défaillants. Il est donc préférable d'utiliser la seconde voie qui consiste à décorréler l'impact des différents facteurs qui vont interagir sur le composant durant son cycle de vie. La chronologie des contraintes appliquées est donc connue et maîtrisée. Mais cette technique possède ses limites, car la séparation des stress appliqués sur le composant ne reflète pas les conditions réelles dans lesquelles les contraintes se superposent.

Les différents travaux réalisés dans le domaine de l'intégration de puissance ont démontré les mécanismes de défaillances d'origines physiques, thermomécaniques et physicochimiques. Les limites fonctionnelles relevées résultent principalement de dégradations portant sur l'assemblage (brasures, substrats), les connexions électriques (rupture ou augmentation de la résistance des contacts) et le semi-conducteur (dégradation de la tenue des oxydes et des métallisations). La figure 1.25 montre la démarche adoptée pour établir une évaluation prédictive de la durée de vie des boîtiers embarquant des composants de puissance. Cette démarche

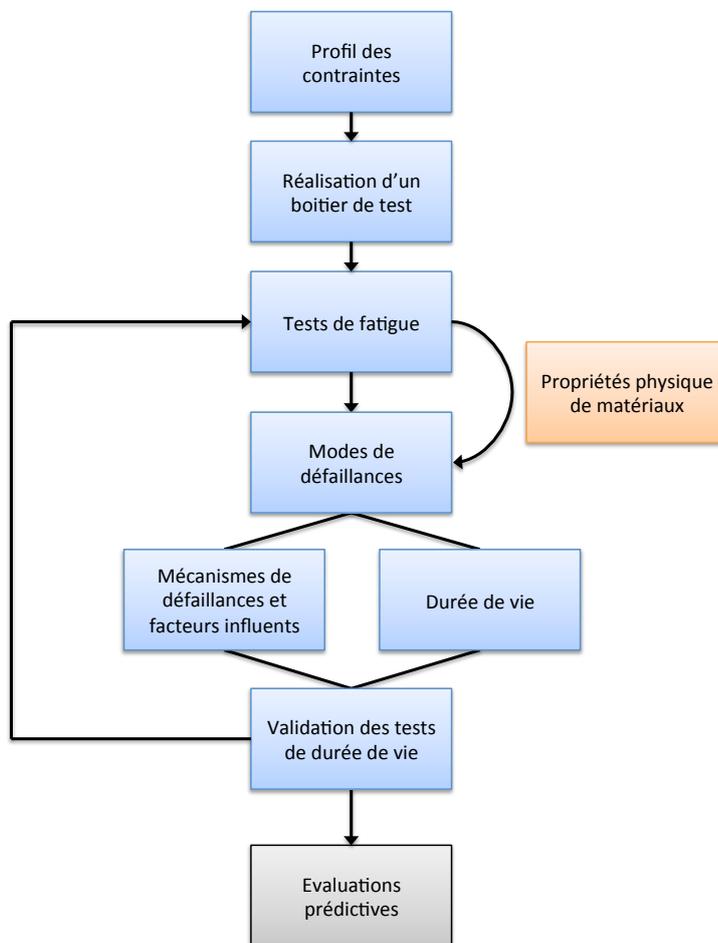


FIGURE 1.25 – Méthodologie d'évaluation prédictive de la durée de vie.

relativement fastidieuse suppose un délai d'étude qu'il faut réduire au mieux. Il y a une incertitude sur la quantité d'expériences réalisées car elles dépendent de la durée de vie des composants. Dans tout les cas, l'expression mathématique de la durée de vie reste empirique et est définie à partir des différentes campagnes de test menées pour les différents modes de défaillances. Nous n'attacherons que peu d'importance à la valeur quantitative du résultat mais plutôt à la méthodologie mise en place et aux mécanismes de défaillances observés.

#### 1.4 Conclusion

L'électronique de puissance est utilisée dans de nombreux domaines industriels et des besoins en haute température se font aujourd'hui ressentir soit par leurs environnements sévères (ambiance) soit par une forte intégration impliquant une forte densité de puissance (autoéchauffement). L'apparition des puces grand gap a bouleversé les limites conventionnelles propres au Silicium et il est possible

de placer l'électronique de puissance là où elle n'a jamais été envisagée. Différentes structures de composants en carbure de silicium ont vu le jour dans l'industrie avec pour chacune d'elles des avantages et des contraintes. Ces nouveaux transistors sont au cœur de recherches universitaires et industrielles.

La notion de vieillissement est toutefois rarement abordée dans la littérature scientifique. En effet le coût des boîtiers, les durées de vie conséquentes et la technologie récente sont autant de verrous pour obtenir des résultats fiables. C'est pourquoi dans cette étude, nous attacherons une importance à la compréhension des mécanismes de défaillance et l'identification de leurs origines dans des applications industrielles concrètes. Enfin, pour réaliser ces tests, il faut accélérer le temps, ce qui amène à définir des facteurs d'accélération thermique. Toute l'approche et l'expertise de l'analyse de défaillance revient à définir une méthodologie qui amènera à ordonner les plans de test, les outils d'investigations et les mécanismes de défaillance.

Ce premier chapitre décrit le contexte dans lequel intervient cette étude avec ses enjeux, ses objectifs et ses points durs. Le chapitre 2 présentera les différents choix effectués pour la réalisation d'un véhicule de test qui sera la base de nos lois de vieillissement. Ces choix porteront sur la nature du packaging et le choix de la puce industrielle placée dans le boîtier. Ces décisions seront appuyées et argumentées par des études scientifiques et par des tests réalisés au laboratoire AMPERE.

## Chapitre 2

# Description des véhicules de test

### 2.1 Introduction

Cette étude contribue à l'analyse des phénomènes de dégradation sur des composants de puissance placés en environnement haute température. Aujourd'hui, l'électronique de puissance suscite un intérêt majeur et croissant de la part de l'industrie mondiale en vu des nouvelles problématiques environnementales. Cependant, cette évolution extrêmement rapide entraîne de nombreux bouleversements que nous avons du prendre en compte aux cours de cette étude. En effet, le fort potentiel économique de l'électronique de puissance pousse de nombreux industriels à lancer sur le marché des nouveaux composants de puissance, de nouvelles techniques d'assemblage et de nouveaux modules de puissance. Cependant, même si le marché de l'électronique de puissance voit de nouveaux acteurs apparaître, il voit aussi de nombreux industriels stopper leurs activités. Ce va et vient industriel fût une des difficultés majeures ressentie durant ces trois années. A titre d'exemple, au cours de cette étude, deux entreprises de composants de puissance ont cessé de fabriquer leurs produits aujourd'hui (Semisouth pour les transistors JFET et Fairchild pour les transistors BJT). A contrario, le marché a vu l'apparition de composants tel que le "Super Junction Transistor" de l'industriel GENESIC, le transistor JFET de chez United Silicon Carbide et le transistor MOSFET de chez STMicroelectronics. Fort de ce constat, deux conclusions se dégagent pour réaliser au mieux cette étude. La première nécessite une veille technologique rigoureuse et constante tout au long des travaux. Cette mise à jour technologique passe forcément par des conférences mondiales, des études bibliographiques et une mise en relation directe avec les industriels concernés dans nos travaux. La deuxième conclusion concernant ce changement de technologie, porte sur l'intérêt de la méthodologie des tests réalisés. En effet cette étude a pour but de faire ressortir une procédure d'analyse des phénomènes de dégradation que nous avons réalisée sur des composants de puissance et qui pourra être transposable à d'autres technologies futures.

La suite des travaux concerne la réalisation d'un véhicule de test qui servira de référentiel tout au long des tests afin de réaliser la méthodologie pour l'analyse des phénomènes de dégradation dans un environnement haute température. Afin de réaliser le véhicule test, deux leviers sont mis à notre disposition. Le premier concerne l'assemblage appelé packaging qui constituera le boîtier de notre véhicule de test. Le deuxième porte sur la structure intrinsèque au transistor. En effet même si le semi-conducteur utilisé est le carbure de silicium, nous avons vu dans le chapitre

Il existe plusieurs structures avec ses avantages et ses contraintes. A partir de caractérisations réalisées, nous ferons un choix sur le type de composant à mettre en œuvre dans le boîtier test. La définition des véhicules de test prendra en considération les principaux aspects suivants :

- compatibilité des performances des puces avec les applications visées, notamment le calibre en tension (1200V) et en courant (5-25A)
- compatibilité des technologies d'assemblage avec les températures de test visées (jusqu'à  $T=300^{\circ}\text{C}$ )
- réalités économiques (disponibilité des puces, coût des véhicules de test)

Les parties ci dessous présentent les différents choix effectués pour réaliser un composant discret qui remplit les fonctions du cahier de charge.

## 2.2 Choix du Packaging

Un module de puissance à semi-conducteur intègre une ou plusieurs puces réalisant une fonction de conversion d'énergie au sein d'un assemblage, que l'on appelle aussi le "packaging". Cette section présente un bref état de l'art du packaging actuel et les choix effectués pour réaliser notre véhicule de test. L'ensemble des véhicules de test haute température utilisés dans le cadre de cette thèse ont été réalisés par Thales Microelectronics, spécialisé dans la maîtrise des assemblages micro-électroniques pour environnements sévères et/ou haute fiabilité.

De manière générale, un module de puissance se décompose en trois parties. La première, formée du ou des composants de puissance, assure la fonction électrique. La deuxième, l'assemblage, permet de connecter les puces entre elles et de les fixer sur le boîtier. Ce dernier représente la troisième partie du module qui sert à stabiliser mécaniquement le tout. Les fonctions principales du module sont :

- isoler électriquement la puce par rapport à la semelle du module montée sur le radiateur et évacuer du flux de chaleur lié aux pertes dans les puces vers la semelle : substrat
- amener du courant sur les puces via des connecteurs : fils de bonding et terminaux électriques
- protéger les puces, notamment vis à vis de la tenue en tension avec risque d'arc électrique : boîtier et gel encapsulant
- maintenir mécaniquement l'ensemble : brasures ou frittage.

La figure 2.1 montre un module de puissance avec les différents éléments qui le composent (semi-conducteur, substrat isolant, semelle, encapsulant, boîtier, connexions internes et externes). La tenue en température des matériaux constituant un module de puissance est représentée figure 2.2. Sur cette figure, on voit que la haute température apporte une contrainte en terme de coût. Cependant, le prix d'une technologie n'est pas fixe et diminue fortement avec le temps [MVS<sup>+</sup>05]. Ces dernières années, le coût unitaire des composants en SiC a nettement décru de par la réalisation de wafers de plus en plus grands [OGZ11].

La suite de ce chapitre propose une synthèse des principales technologies d'intégration de puissance, pour des applications avec de fortes contraintes thermiques. Nous séparons ici les composants en deux types : d'une part, les composants discrets (une puce par boîtier) et les modules (plusieurs puces par boîtier, formant une ou plusieurs fonctions élémentaires). Cette distinction s'explique par la structure interne des composants :

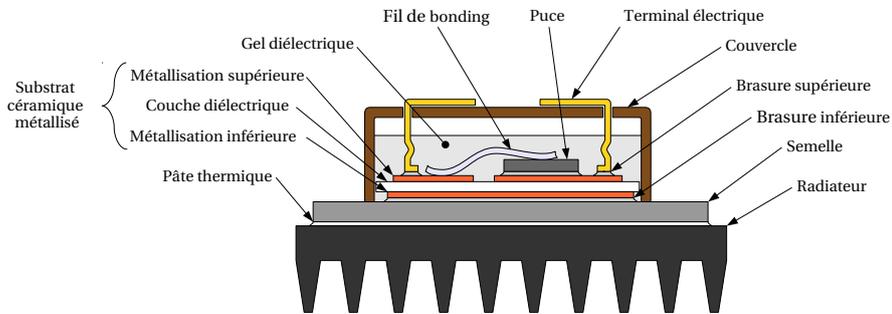


FIGURE 2.1 – Structure classique d'un module de puissance [Riv14]

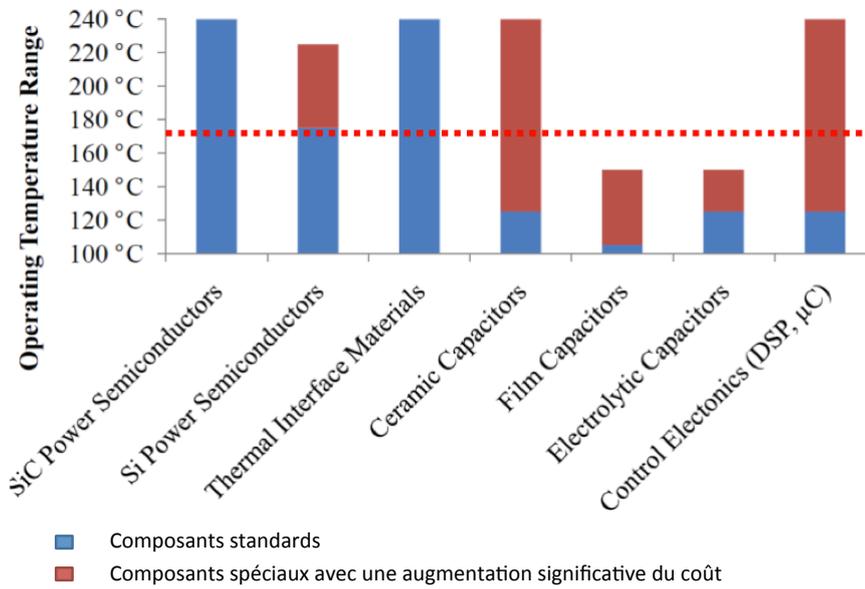


FIGURE 2.2 – Tenue en température des matériaux constituant un module de puissance classique [Kol13]

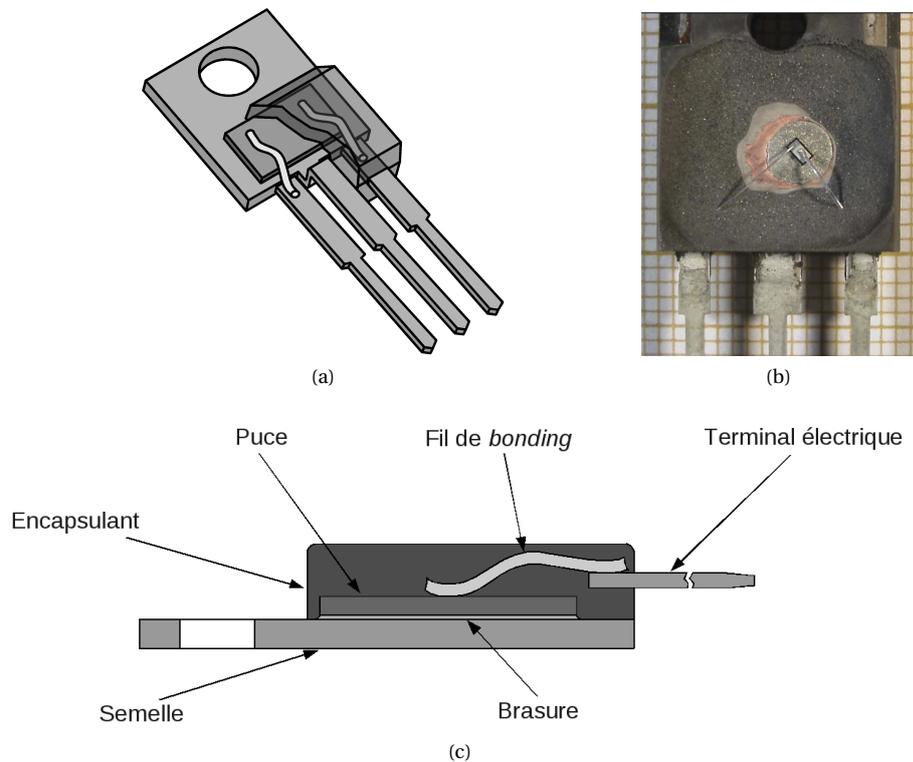


FIGURE 2.3 – Boitier discret avec (a) vue écorchée, (b) photo d'un boitier To 247 et (c) vue en coupe [But10]

- les composants discrets n'ont que deux (dans le cas d'une diode) ou trois (transistor, thyristor) terminaux, reliés directement aux terminaux de la puce.
- les modules ont un nombre de terminaux variable qui dépend de la fonction du convertisseur. Ces terminaux sont reliés aux puces et c'est le substrat qui joue le rôle d'isolant entre les composants.

Nous restreindrons notre étude au packaging de composants discrets ("single device") comme le montre la figure 2.3. Nous avons choisi d'illustrer le packaging d'un boitier par une représentation sur différents niveaux (niveau 0 : le boitier; niveau 1 : l'interface; niveau 2 : les connexions électriques et assemblage mécanique).

### 2.2.1 Le boitier

Le boitier est utilisé afin de fournir un support mécanique à notre module. Il doit donc disposer de bonnes propriétés mécaniques (résistance en flexion et traction), ainsi que d'un coefficient de dilatation thermique proche de celui du substrat. De manière générale, le coefficient de dilatation du substrat est compris entre 3 et 7 ppm/°C [SC04]. Si le matériau du boitier (ou semelle) se dilate de la même manière, on limitera les contraintes à l'interface semelle/substrat. Une autre propriété importante du boitier doit être prise en compte, la conductivité thermique. En effet, le matériau idéal pour un boitier doit être un excellent conducteur ther-

mique afin d'évacuer la chaleur dissipée par les composants de puissance vers l'extérieur du module. Pour les composants fortes puissances, la taille des puces utilisées nécessitent une encapsulation individuelle et une capacité de refroidissement thermique la plus direct possible.

Il est possible de distinguer deux principaux modes d'encapsulation avec d'une part, la solution économique résinée (figure 2.4a), et d'autre part, la mise en boîtier métallique (figure 2.4b). Le processus de fabrication des boîtiers résinés ("transistor outline" TO) se déroule par la réalisation d'un squelette de base qui sert de semelle et de terminaux (figure 2.3a). On vient ensuite braser la puce sur cette base, puis on vient placer les fils de bonding entre la face supérieure de la puce et les terminaux. Pour finir un encapsulant polymère est déposé sur la puce. Afin de produire une quantité importante de composants discrets, le squelette de base est constitué de plusieurs grappes de composants qu'on viendra découper à la fin pour les séparer. Cette méthode offre l'avantage d'un traitement par lots très bien adapté à la production de masse. Dans le commerce, les transistors en silicium sont packagés dans des boîtiers en plastique (epoxy). Cependant les boîtiers résinés sont mal adaptés dans le cas de fortes contraintes environnementales (température élevée, cyclage thermique)(figure 2.6). Les raisons sont la température de vitrification relativement basse (environ 200°C), la différence du coefficient thermique de dilatation entre la résine époxy et la puce élevée, et enfin une mauvaise résistance des résines époxy à l'humidité pour les hautes températures (effet "pop-corn") [Den13] [CF01]. En combinant la figure 1.11 avec les valeurs du packaging limitant, on obtient la figure 2.5. On voit que pour des faibles tensions (<800V) le limitant est le boîtier alors que pour les fortes tensions (>800V) le limitant devient le silicium. Pour nos applications visées haute température et haute tension, l'utilisation de composant grand gap ne porte aucun intérêt si le boîtier est en epoxy plastique puisque tous les avantages du semi-conducteur se limite à son maillon faible : le boîtier. Il est évident que pour notre application, nous devons utiliser un boîtier métallique.

La réalisation de boîtier métallique est beaucoup plus onéreuse liée d'une part à la matière première du boîtier et d'autre part au processus de fermeture hermétique du boîtier. Afin de réaliser une isolation électrique il est nécessaire de placer un substrat entre la puce et le boîtier. Les composants discrets pour la haute température doivent impérativement être packagés dans un boîtier de type métal qui résiste à plus de 600°C selon le matériau utilisé (Aluminium, Kovar, Nickel, Or, ...). Ainsi des alliages et composites à faible dilatation thermique font l'objet de recherches [BTD09].

### 2.2.2 Fonction d'isolation : le substrat

La conception des modules de puissance nécessite de réaliser une isolation électrique entre les parties actives du module (semi-conducteur) et le support mécanique (boîtier). Le substrat remplit celle d'évacuation de la chaleur de la puce vers l'extérieur du module. Le substrat idéal est un isolant électrique et un conducteur thermique. Il possède une bonne rigidité diélectrique ainsi qu'une excellente conductivité thermique. Le coefficient de dilatation thermique (CTE) du substrat doit être proche de celui de la puce et du boîtier (semelle) afin de limiter les contraintes à l'interface substrat/puce et substrat/semelle (CTE  $Si \approx 3\text{ppm}/^\circ\text{C}$  et CTE  $4H - SiC \approx 3,7\text{ppm}/^\circ\text{C}$ ) [SFH<sup>+</sup>11].

Le choix du substrat est fonction de la puissance à dissiper ainsi que de la température d'utilisation. Pour les composants discrets, on va placer une seule puce dans

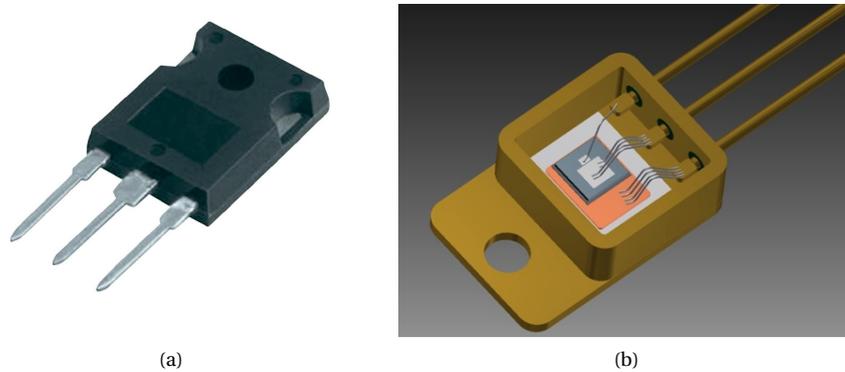


FIGURE 2.4 – Boîtier discret to 247 en (a) EPOXY (b) metal

Pour notre étude, le choix du boîtier pour notre véhicule de test s'est orienté vers un boîtier de type TO-254 avec semelle Cuivre épaisseur 1,15 mm et murs Acier. Deux types de finitions sont disponibles en fonction des processus de report du substrat envisagés (brasure ou frittage) :

- boîtiers « Nickelés » : finition Nickel 2,5 $\mu\text{m}$  à 7,6  $\mu\text{m}$ .
- boîtiers « dorés » : finition Nickel 2,5 $\mu\text{m}$  à 7,6  $\mu\text{m}$  + Flash-Or 0,1 à 0,5 $\mu\text{m}$ .

L'utilisation de ce type de boîtier permet de s'affranchir des limitations liées à l'époxy évoquées précédemment. Cela permet de rendre le packaging externe le plus transparent possible pour nos essais dans le but de se focaliser sur les performances des puces uniquement.

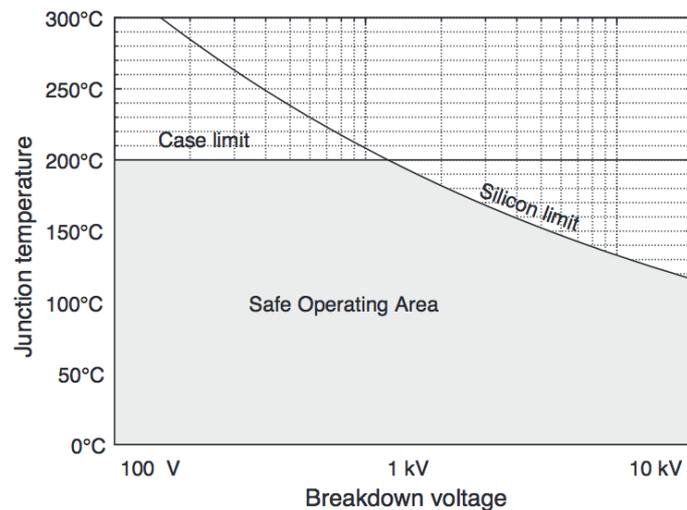


FIGURE 2.5 – Limitation dans le plan température tension d'un semi-conducteur en silicium en boîtier plastique [BPA<sup>+</sup> 11]

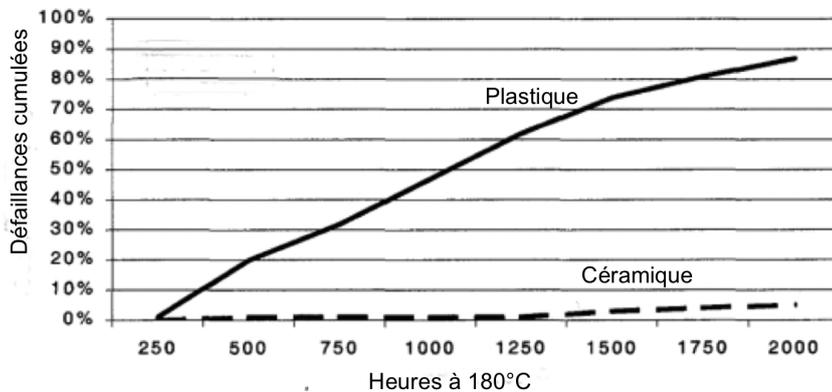


FIGURE 2.6 – Comparaison du taux de défaillance à 180°C en fonction du modèle d'encapsulant [MMOG00]

le boîtier. Il n'est pas nécessaire de réaliser des substrats qui relient électriquement les différents composants en surface (dans un module de puissance, le substrat a pour but de faire transiter le courant entre les différentes puces). Dans les applications basse puissance et basse température, les composants discrets n'ont pas forcément de substrat et la puce peut être directement brasée sur la semelle. Néanmoins, pour les applications fortes puissances et hautes températures, les substrats céramiques métallisés sont utilisés. Ils sont constitués d'un diélectrique céramique recouvert d'une couche de cuivre ou d'aluminium de chaque côté que l'on appelle métallisation.

### 2.2.2.1 Diélectrique

Il est très difficile de trouver un matériau qui concilie à la fois de bonnes propriétés mécaniques, thermiques et électriques. De manière générale, le choix d'un substrat de puissance repose sur un compromis entre chacune de ces propriétés. Les principaux diélectriques utilisés aujourd'hui sont :

- **L'alumine** ( $Al_2O_3$ ) est la céramique la plus commune et la moins coûteuse. C'est un matériau dont les procédés de fabrication et de mise en forme sont bien maîtrisés [HCBB05]. En raison de sa conductivité thermique assez faible (environ  $30W/m.K$  [SC04]), l'alumine est limitée aux applications faible température ( $< 175^\circ C$ ). Il est possible d'obtenir une résistance thermique raisonnable en diminuant l'épaisseur de la céramique mais cela se fait aux dépens de la rigidité diélectrique et de la tenue mécanique.
- **Le nitrure d'aluminium** ( $AlN$ ) présente une bien meilleure conductivité thermique que l'alumine (environ  $180W/m.K$  [CHW<sup>+</sup>07]) ainsi qu'un coefficient de dilatation thermique plus proche de celui des puces de puissance ( $\approx 5ppm/^\circ C$ ). Cependant le CTE du cuivre est de  $18 ppm/^\circ C$  et donc le nitrure d'aluminium aura une faible résistance au cyclage thermique. Le coût d'un substrat à base d' $AlN$  est plus élevé que celui d'un substrat en Alumine.
- **L'oxyde de béryllium** ( $BeO$ ) présente de très bonnes propriétés cependant ce matériau est toxique sous forme de poudre et de vapeur ce qui limite son

TABLE 2.1 – Principales propriétés des céramiques constituant les substrats de puissances [SC04]

Propriétés physiques	Al <sub>2</sub> O <sub>3</sub>	AlN	BeO	Si <sub>3</sub> N <sub>4</sub> (Kyocera)
CTE (ppm/°C)	6,8	4,7	7	2,5
Conductivité thermique (W/m.K)	24	150-180	270	70
Rigidité diélectrique (KV/mm)	12	15	10	12
Contrainte max en flexion (Mpa)	317	360	250	932
Coût relatif à l'Alumine	1	4	5	2,5

FIGURE 2.7 – Photo d'un substrat céramique Si<sub>3</sub>N<sub>4</sub> de chez Kyocera

utilisation.

- **Le nitrure de silicium** (Si<sub>3</sub>N<sub>4</sub>) possède une bonne conductivité thermique (70W/m.K) ainsi qu'un coefficient de dilatation thermique quasi identique à celui des puces de puissance. La résistance en flexion de ce matériau étant élevée, il est possible de l'utiliser sans ajouter de semelle ce qui présente un intérêt du point de vue thermique. En revanche son coût est élevé comparé à l'alumine.

Le tableau 2.1 récapitule les principales propriétés de céramiques utilisées en tant que diélectrique dans les substrats de puissance. La photo 2.7 montre un substrat de chez Kyocera pour un module. Dans le cas de composants discrets le substrat est plus simple puisqu'il n'a pas à relier les différentes puces entre elles. Son rôle se limite à faire l'isolation électrique entre la puce et le boîtier.

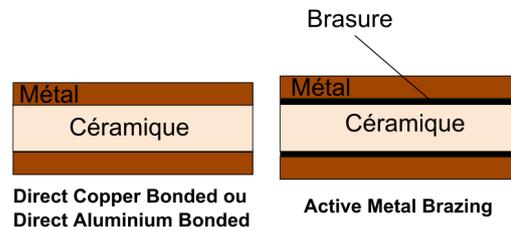


FIGURE 2.8 – Schéma des différents types de substrats (métallisation + céramique)

### 2.2.2.2 Métallisation

Dans les modules de puissance, la métallisation a pour objectif de relier électriquement les différents composants qui les constituent. Dans le cas de composants discrets, la métallisation sert de support d'attache afin de fixer la puce. Cette métallisation se situe au dessus et en dessous de la céramique afin de compenser les contraintes induites par la différence de CTE entre le métal et la céramique. Généralement, les céramiques sont métallisées avec du cuivre, de l'aluminium, de l'argent ou de l'or. Il existe plusieurs techniques de métallisation pour réaliser des modules mais dans le cas de composants discrets, il existe deux méthodes (figure 2.8) :

- Le **Direct Bonded Copper (DBC)** est le procédé le plus répandu. Il consiste à créer des liaisons chimiques entre la céramique (Alumine ou AlN) et une feuille de cuivre. La technique de fabrication des DBC consiste à chauffer une feuille de cuivre sous  $O_2$  à  $1065^\circ C$ . Ce gaz va créer une couche d'oxyde à l'interface céramique/cuivre nécessaire pour permettre une forte adhésion. Pour l'AlN, la céramique est préalablement oxydée à  $1200^\circ C$  formant une couche d'alumine (cette étape n'est donc pas nécessaire pour la céramique alumine) (figure 2.9). La résistance mécanique d'un tel assemblage est d'environ 50MPa en cisaillement et 150MPa en traction [SH00]. Cette technique a néanmoins un inconvénient pour l'AlN, car l'oxygène ajouté créant la couche d'oxyde réduit la conductivité thermique [SC04]. Il existe une autre méthode d'assemblage similaire à celui du DBC qui s'appelle Direct Aluminium Bonded dans laquelle on va remplacer le cuivre par de l'aluminium. Récemment Curamik propose des substrats à base de nitrure de silicium ( $Si_3N_4$ ) avec une technique DBC mais ce procédé est peu utilisé puisque la technique de brasure active (AMB) est préférée.
- La **Active Metal Braze (AMB)** est la méthode la plus courante pour métalliser le nitrure de silicium ( $Si_3N_4$ ). Généralement, les brasures n'adhèrent pas suffisamment sur la céramique et de ce fait on utilise un élément actif (Ti, Zr, Be) qui permettra d'obtenir un assemblage de bonne qualité. Le titane possède de bonnes propriétés d'adhérence entre la céramique et le métal notamment en cyclages thermiques.

Pour notre véhicule de test, le substrat utilisé est de type AMB  $Si_3N_4$  de fabrication Kyocera avec comme épaisseur de cuivre  $300\ \mu m$  top et bottom (coté supérieur et inférieur) avec un diélectrique de  $320\ \mu m$  d'épaisseur. Deux types de finitions sont disponibles en fonction des technologies de reports envisagées :

- substrats « Nickelés » : finition Nickel  $4\ \mu m$  (+/-  $2\ \mu m$ ).
- substrats « dorés » : finition Nickel  $4\ \mu m$  (+/-  $2\ \mu m$ ) + Flash-Or <  $0,1\ \mu m$ .

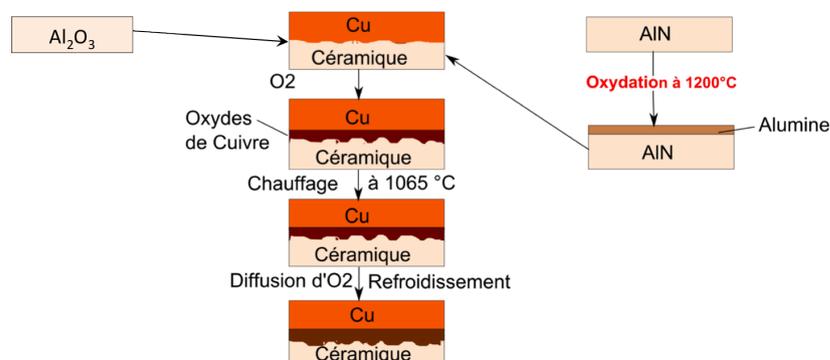


FIGURE 2.9 – Procédé de fabrication d'un DBC d'après [SH00]

Les dimensions du substrat sont de (10,1 mm x 8,5mm) avec motifs de cuivre symétriques en surfaces supérieures et inférieures. Les puces de puissance sont implantées sur ce substrat par une technique d'assemblage et reliées électriquement.

## 2.2.3 L'assemblage mécanique et les connexions électriques

### 2.2.3.1 Procédés d'assemblage

La prochaine étape consiste à fixer le semi-conducteur (contact ohmique pour les composants de puissance verticaux) sur la semelle. Une brasure est le lien entre la face arrière des puces et le substrat ou encore entre le substrat et la semelle. Les brasures doivent développer une bonne conductivité thermique pour évacuer la chaleur, une bonne résistance mécanique pour limiter la fatigue en cyclage (fissures), et une faible résistance électrique. Selon l'application visée, une grande importance sera attachée à la température à laquelle cette attache pourra être utilisée, ainsi qu'à sa cinétique de dégradation. L'alliage le plus répandu pour la brasure est un alliage étain/plomb (Sn/Pb) avec plus ou moins de plomb en fonction de la température d'utilisation [SC04]. Plus la température de fonctionnement est haute et plus l'alliage est composé de plomb. Toutefois, la directive RoHS (Restriction of the Use of Certain Hazardous Substances in electrical and electronic equipment) vise à en limiter l'utilisation. Ainsi de nouveaux alliages de brasures ne contenant pas de plomb ont vu le jour (Sn-Ag-Cu, Au-Sn ou encore Au-Ge). La brasure reste toutefois un maillon faible au sein du module [BB08].

Le principe de la brasure consiste en un dépôt de l'alliage dont le point de fusion est suffisamment bas pour ne pas endommager les composants, mais suffisamment élevé par rapport à la température d'utilisation du composant dans l'application considérée. Lorsque l'alliage fond, il va mouiller les surfaces à assembler. Il est évident qu'une grande attention doit être apportée à la compatibilité métallurgique des différents matériaux du système.

La température est une cause importante de la dégradation d'une brasure. Au delà, d'un certain niveau, ses attributs se modifient et ses propriétés diminuent (conductivité thermique, tenue mécanique). Afin de conserver son intégrité, il ne faut pas dépasser une certaine température maximale d'utilisation bien inférieure à sa température de fusion. Il s'agit de la température homologuée. Elle se calcule de

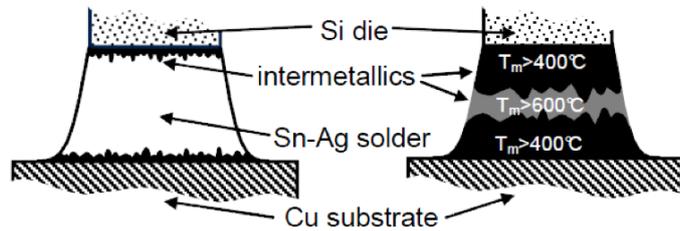


FIGURE 2.10 – Schéma du brasage "classique" à gauche et par diffusion à droite [GOB<sup>+</sup>12]

la façon suivante :

$$T_h = \frac{T_{nom}}{T_{fusion}} \quad (2.1)$$

Avec  $T_h$  la température homologue,  $T_{nom}$  la température nominale de fonctionnement de la brasure (K) et  $T_{fusion}$  la température de fusion de la brasure (K). Pour les applications en électronique de puissance, ce rapport a été arbitrairement fixé à 0,8 maximum [Dup06]. Par exemple, une brasure dont la température de fusion est de 300°C (573 K), aura une température limite d'utilisation de 185°C. On comprend pourquoi il faut trouver d'autres solutions d'assemblages.

Des puces hautes températures sont disponibles sur le marché. Néanmoins, les techniques d'assemblage courantes ne sont pas adaptées à des applications haute température et il devient nécessaire d'étudier des solutions alternatives. Le frittage d'argent est une solution qui émerge progressivement pour les applications hautes températures [HJC11]. Cette technique permet d'obtenir un matériau massif à partir d'une pâte chauffée en dessous de son point de fusion. En ce qui concerne les attaches de puces, la pâte est composée de particules d'argent et de produits chimiques (appelés liant et solvant). Un chauffage modéré (250°C) permet d'éliminer les produits chimiques de la pâte et de réaliser son frittage. A cette température nettement inférieure à la température de fusion de l'argent (960°C), les particules s'agglomèrent (processus de frittage) pour former un solide faiblement poreux. Théoriquement, le frittage a donc une température de fusion de 960°C. Cependant, la migration de l'argent à haute température est identifiée comme une source potentielle de défaillance de la connexion [RBAB13]. De nouvelles approches de frittage sont en cours de travaux avec des mélanges d'argent et d'or afin de baisser le niveau de pression d'attache et limiter la migration d'argent [BMS<sup>+</sup>14, CLL<sup>+</sup>08].

Très récemment, une nouvelle méthode d'attache plus adaptée aux méthodes de brasages actuelles fait son apparition. Cette technique développée par INFINEON est la brasure par diffusion entre le substrat et la puce. Selon la métallisation de la puce et le matériau de brasure, des inter-métalliques Cu-Sn ou Ni-Sn seront formés comme des fines couches d'interfaces pendant la brasure (figure 2.10 et 2.11). Pour l'inter-métallique Cu-Sn la brasure va voir apparaître des liaisons  $Cu_3Sn$  et  $Cu_6Sn_5$  qui possèdent des températures de fusion de 673°C et 415°C. Cette technique d'assemblage semble être prometteuse [DSF<sup>+</sup>14] et des études de comparaison entre frittage "Low Temperature Joining Technology" (LTJT) et brasure par diffusion sont encore en cours [HGT<sup>+</sup>14].

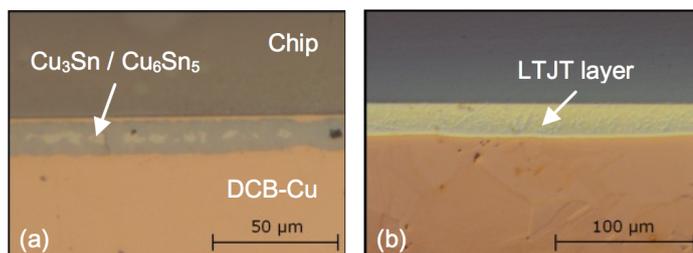


FIGURE 2.11 – Micro section de (a) la brasure par diffusion et (b) d'une attache par frittage d'argent [HGT<sup>+</sup> 14]



FIGURE 2.12 – Photo de la presse de frittage utilisée dans la réalisation des véhicules de test

Dans un premier temps, pour le développement de notre véhicule de test, tous les boîtiers seront équipés de joints de brasure de type HMP (High Melting Point) Pb(92.5%)/Sn(5%)/Ag(2.5%) qui présentent un point de fusion proche de 280°C. Nous avons que cette température de fusion ne permet pas d'explorer le comportement des puces à haute température. Afin d'atteindre des valeurs plus élevées, notamment jusqu'à 300°C, un autre type de report sera effectué à l'issue des premiers tests de vieillissement avec de l'argent fritté. La photo 2.12 montre la presse utilisée pour le frittage des véhicules de test de cette étude.

### 2.2.3.2 Connexions électriques

La connexion entre le boîtier de puissance et l'extérieur est réalisée par des broches que l'on nomme terminal électrique. Dans le packaging plastique les broches font parties du squelette de base (2.2.1). Les connexions externes doivent posséder une bonne conductivité électrique, une résistance à l'oxydation, et une bonne tenue mécanique. Par conséquent, le choix d'un cuivre allié (cuivre étain...) ou d'un

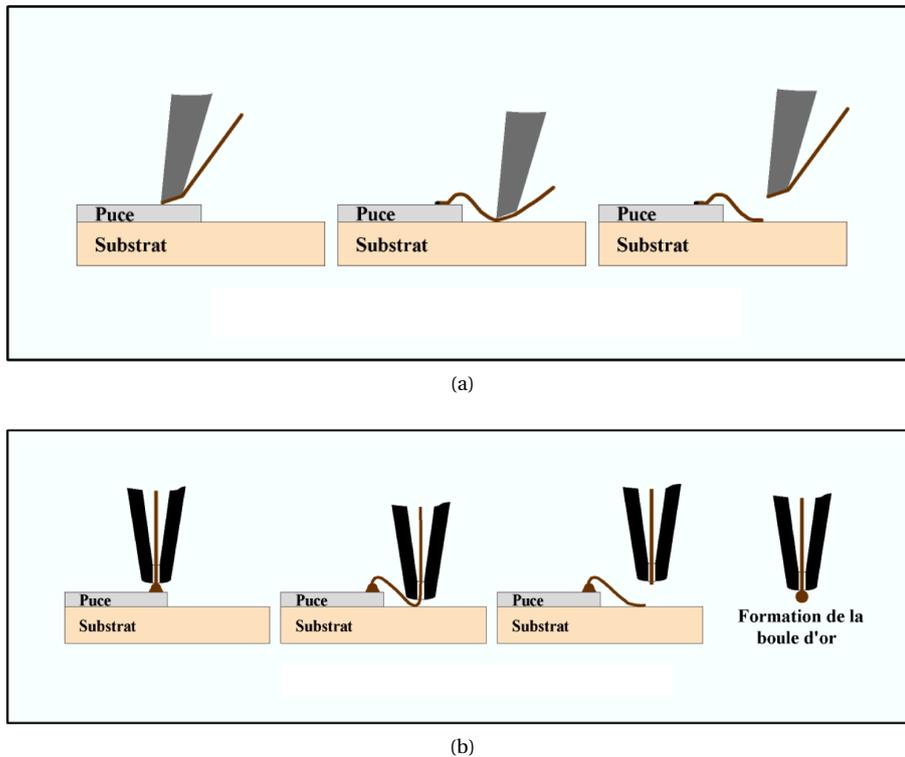


FIGURE 2.13 – Schéma d'une séquence de câblage (a) wedge bonding et (b) ball bonding

alliage à base de nickel convient.

Le fil de bonding est une connexion interne du module de puissance. Il permet de réaliser des interconnexions entre l'extérieur et la puce. En électronique de puissance, le fort courant commuté par les puces nécessite d'avoir des interconnexions de très faibles résistivités. Pour répondre à cette exigence, de nombreux fils de bondings peuvent être mis en parallèle. Ces fils sont réalisés en or, en aluminium, en argent ou en cuivre. Généralement, le matériau le plus utilisé est l'aluminium car il offre une résistivité acceptable et un coût faible. Il est complété par du nickel afin de limiter la corrosion. De manière générale, la métallisation de la puce et les fils de bonding sont choisis de même nature pour des raisons de dilatation mécanique.

Deux techniques de connexion de la puce aux terminaux électriques (broches) sont employées dans la fabrication [BAM10] : le "wedge bonding" et le "ball bonding".

Le "wedge bonding" correspond à une soudure ultrasonique à température ambiante. Cette soudure est une connexion sans inter-métallique et est adaptée à des applications hautes fréquences. La soudure ultrasonique est communément mise en œuvre, le bénéfice étant d'autant plus grand lorsqu'une démultiplication de fils de bonding en parallèle est utilisée pour réduire la résistivité de ce contact. Il est possible de réaliser des chainettes : succession de soudure pour un même fil. La figure 2.13a résume l'utilisation du wedge bonding. L'inconvénient de cette tech-

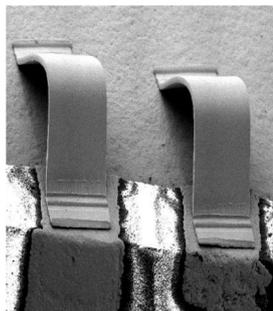


FIGURE 2.14 – Interconnexion par ruban en or pour des applications haute température (source *www.nist.gov*)

nique est le manque de mobilité car le fil doit se trouver dans l'axe de la soudure.

A contrario la technique "ball bonding" consiste à passer un fil de bonding à travers un capillaire chauffé entre 100 et 200°C. Cette technique est largement utilisée de par sa facilité d'automatisation avec une forte cadence de machine. De plus cette technique a l'avantage d'être multi directionnelle dans la continuité du fil. La figure 2.13b résume l'utilisation du ball bonding. L'inconvénient du "ball bonding" est l'utilisation de la chaleur pour atteindre son point de fusion.

Des alternatives aux fils de liaison sont étudiées à haute température de fonctionnement [Cha09, Rea10]. Les billes et les rubans commencent à se commercialiser permettant d'obtenir de meilleurs résultats d'attaches. Le bonding avec des fils en or est une solution pour améliorer la fiabilité des connexions. Le problème est l'approvisionnement en puce avec une métallisation adéquate (en or). Des travaux utilisant une finition Au/Ta/Al sur des puces ainsi qu'une barrière tri-métallique (par exemple avec un alliage en kovar) ont montré des résultats intéressants avec une ambiante à 300°C. La figure 2.14 montre une interconnexion par ruban en or sur une puce GaN avec une finition Au/Ta/Al, ne montrant pas de défaillance après 100h à 300°C. De nombreuses finitions en métal noble de puces SiC sont étudiées [OELM10].

Pour la réalisation du véhicule de test, le câblage des puces est de type Wedge Aluminium diamètre 150  $\mu\text{m}$ . La grille est câblée avec 1 seul fil, alors que la source présentent 4 fils en parallèle pour passer les courants de puissance (6A max par fil).

### 2.2.3.3 Enrobage/Encapsulation

Les puces reportées sur le substrat nécessitent une isolation électrique que va apporter l'encapsulation en plus de la protection contre les agents extérieurs nocifs (humidité, produits chimiques et gaz). Le matériau d'encapsulation est souvent sous forme de gel (silicone). Il remplit l'intérieur du boîtier avant fermeture et doit répondre aux exigences suivantes :

- Être chimiquement compatible avec les puces
- Avoir de bonnes propriétés thermiques (CTE) et supporter des températures entre -50°C et 300°C.
- Avoir une rigidité diélectrique élevée
- Mise en œuvre rapide et simple

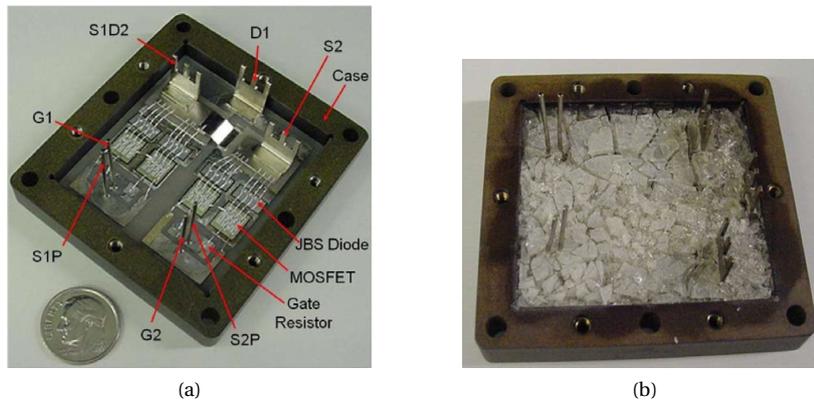


FIGURE 2.15 – Effet de la température sur le gel encapsulant dans un boîtier (a) avant le cyclage thermique et (b) après le cyclage [SMR<sup>+</sup>10]

Les gels actuels ont des températures d'utilisation proches de 200°C ce qui limite leur utilisation pour les applications hautes températures (figure 2.15). Des matériaux ont été récemment mis en avant notamment le parylène, présentant une fiabilité intéressante pour les environnements sévères. En effet, comme le montre [CHW<sup>+</sup>07], la durée de vie du parylène est supérieure aux autres matériaux. Il est déposé par phase vapeur uniformément sur la surface exposée. Il peut fonctionner à des températures allant jusqu'à 350°C.

A terme, une solution gel permettra de produire des modules à coût raisonnable pour des séries importantes. Mais en l'absence de solution qualifiée pour les températures de test visées nous décidons de ne pas utiliser de gel encapsulant. Nous utiliserons des boîtiers hermétiques fermés sous azote ( $N_2$ ) qui assurent la protection des puces contre les agents extérieurs polluants.

Les caractérisations électriques en température jusqu'à 1200V des véhicules de test ont en outre démontré que la rigidité diélectrique du  $N_2$  était suffisante à garantir la tenue en tension des puces testées dans le cadre de notre étude.

#### 2.2.3.4 Avenir

Les recherches actuelles en électronique de puissance ont pour ambition de créer des modules de puissance plus compacts avec d'excellentes performances électriques, thermiques et mécaniques. L'objectif est d'augmenter la densité de puissance ayant des répercussions directes sur le packaging. Ce dernier doit dissiper une quantité de chaleur de plus en plus importante dans un espace de plus en plus petit. Pour répondre à ces nouveaux besoins, de nouvelles solutions permettant une intégration tridimensionnelle voient le jour (figure 2.16). L'utilisation de la troisième dimension permet d'améliorer les propriétés thermiques (refroidissement double face). Cependant, en terme de fiabilité, l'état de l'art présente des lacunes sur l'interconnexion 3D [WKR11]. Peu de tests ont été réalisés et un énorme travail reste encore à réaliser [Lau11].

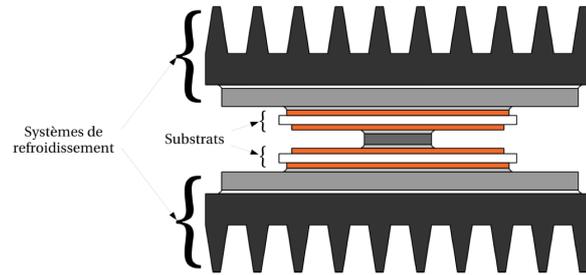


FIGURE 2.16 – Représentation schématique d'un module de puissance 3D

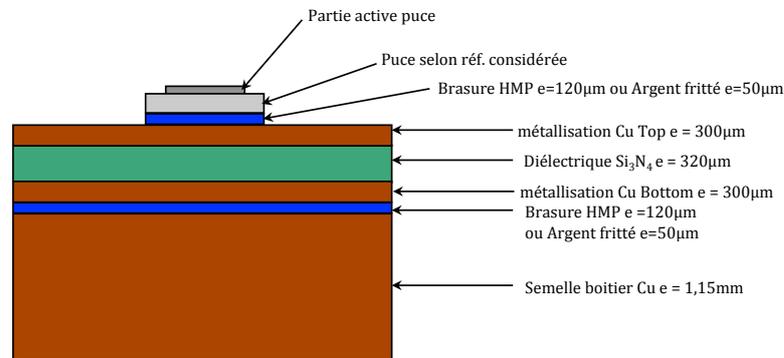


FIGURE 2.17 – Représentation schématique du véhicule de test

TABLE 2.2 – Propriétés physiques des matériaux considérés dans notre véhicule de test

Matériau	Cond. Thermique à 25°C (W/m.K)	Cond. Thermique à 200°C (W/m.K)
SiC	250	170
Cuivre	393	380
Aluminium	238	230
$Si_3N_4$	55	44

#### 2.2.4 Bilan du packaging

Les véhicules de test utilisés dans le cadre de la thèse se présentent sous la forme d'un boîtier métallique type TO-254 embarquant un substrat AMB  $Si_3N_4$  sur lequel est implantée une puce de puissance SiC micro-câblée. La figure 2.17 présente un résumé de l'assemblage final. Le tableau 2.3 donne les propriétés physiques des matériaux considérés dans notre véhicule de test et nous les utiliserons pour la réalisation de simulation thermique.

## 2.3 Choix du composant

Pour des applications haute température, nous avons fait un choix sur le packaging dans la partie précédente. Maintenant notre choix s'oriente sur la puce que nous allons assembler dans le boîtier. Comme expliqué dans l'introduction, nous devons choisir des composants en carbure de silicium commercialisés avec les problématiques de disponibilité. Dans un premier temps, nous avons regroupé les composants disponibles sur le marché des semi-conducteurs. Nous avons par la suite réalisé des campagnes de caractérisations électriques allant de 25°C jusqu'à 250°C. Le choix du composant sera donc justifié à partir des performances électriques et de la disponibilité du composant sur le marché.

### 2.3.1 Composants industrialisés

L'étude a commencé en 2011 et depuis beaucoup de changement ont eu lieu concernant la disponibilité des puces en carbure de silicium dans le commerce. Les composants comparés sont résumés dans le tableau 2.3. On voit bien que cette étude a fortement été bouleversée et nous avons dû nous adapter à ces évolutions. Sur le tableau, il est possible de voir que le seul composant disponible durant toute la durée de la thèse (2011 - 2014) est le MOSFET CMF20120D. Nous avons donc effectué la majorité des travaux sur ce composant même si toutes les puces présentes dans le tableau ont été caractérisées.

### 2.3.2 Caractérisation

La phase de caractérisation est une étape indispensable avant toute utilisation de ces nouveaux composants. Cette étape permet de déterminer le comportement des composants dans les conditions réelles de fonctionnement. La caractérisation permet de déterminer les paramètres importants du composant (tension de seuil, courant de fuite, résistance à l'état passant,...). A partir de ces paramètres, une estimation des conditions limites externes imposées sur le composant sera possible (commande, charge, température,...).

Nous présenterons les méthodes utilisées pour réaliser les caractérisations. Dans un deuxième temps nous présenterons la caractérisation complète effectuée sur un MOSFET CMF20120D de chez CREE et nous détaillerons les principaux paramètres électriques qui se dégagent. Pour terminer nous ferons une comparaison complète pour tous les composants pré sélectionnés en fonction des paramètres électriques définis précédemment. Ceci permettra de définir le composant choisi en fonction des performances de ce dernier et de sa disponibilité sur le marché.

#### 2.3.2.1 Méthode

La caractérisation en statique est essentielle pour obtenir des informations sur le comportement des composants. En effet, la technologie SiC étant très récente, il est nécessaire de connaître la maturité des process de fabrication des composants fournis par les industriels. Pour cela, il est possible de comparer les caractéristiques de plusieurs composants identiques. Il est envisageable aussi de comparer avec les données de la datasheet (quand elle est disponible) et voir si les performances annoncées sont bien réelles. Enfin, les tests en températures permettront de connaître les variations des paramètres des composants au delà des datasheet

TABLE 2.3 – Résumé des différents transistors du commerce

Transistor	Fabricant	Référence	Taille de la puce ( $mm^2$ )	Date de commercialisation	Disponibilité en 2014
VJFET On	Semisouth	SJDC120R085	5,25	2011	NON depuis janv 2013
VJFET Off	Semisouth	SJDC120R085	9	2011	NON depuis janv 2013
JFET On	INFINEON	IJW120R070T1	X	2013	OUI sous forme de WAFER
JFET On	USCI	UJN1208ZW	9	2013	Contact direct USCI
MOSFET	CREE	CMF20120D	16,6	2011	OUI
MOSFET	CREE	C2M0080120D	10,4	Fevrier 2013	OUI
MOSFET	ROHM	Confidentielle	Confidentielle	Confidentielle	OUI
MOSFET	STMicroelectronic	SCT30N120	12,96	2013	OUI
BJT	Fairchild	BT1220AB-P1	20,5	2012	NON depuis janv 2014

qui se limitent aux températures inférieures à 175°C, puisque les applications visées sont qualifiées jusqu'à 250°C. Cette phase de caractérisation permettra donc de déterminer les plages de tension et de température dans lesquelles les différents composants SiC peuvent fonctionner et de conclure sur le ou les composants les plus à même d'être fonctionnels et de répondre aux contraintes du cahier des charges.

Afin de réaliser les caractéristiques nous avons utilisé des appareils de mesure du laboratoire AMPERE. Nous proposons dans cette section une brève description des systèmes utilisés.

Les mesures effectuées demandent plusieurs types d'appareil de mesure afin de mener la caractérisation d'un composant. Pour la plupart des mesures, on utilisera des SMU (Source and Measurement Unit) qui permettent en même temps d'alimenter le composant et de mesurer le courant le traversant et la tension à ses bornes. Pour s'affranchir de la résistance des fils de mesure, on utilisera une mesure Kelvin (4 points). Lors de toutes les mesures effectuées, les fils de force (mesure de courant) et de sense (mesure de tension) sont reliés au plus près du composant.

#### **Analyser Agilent B1505A**

L'analyser Agilent B1505A est un appareil de mesure complet que nous avons utilisé au cours de nos études. Il s'agit d'un système de mesure courant-tension (I-V). Plusieurs instruments complémentaires (SMU) peuvent être associés à la configuration de base pour étendre les fonctionnalités. Les logiciels installés sur cet équipement permettent aussi de piloter une station de mesure sous pointes et sur plaque, avec positionnement spatial automatique à des emplacements pré-définis sur la plaque de composants. Ils rendent possible une grande variété de modes de caractérisations pré-configurés, aussi bien en régime continu (DC) qu'en régime pulsé. Le High Power SMU avec une tension maximum de 200V avec un courant jusqu'à 1A est utilisé pour la commande. Le High Voltage SMU a une tension de 3000V avec un courant de 8 mA et permet la mesure de tenue en tension et courant de fuite. Le high Current SMU permet de faire des mesures de fort courant en pulsé avec des tensions de 20V et un courant de 20A. Le mode pulsé permet de diminuer l'auto-échauffement inhérent au passage du courant. Les pulses peuvent atteindre des valeurs de 50  $\mu s$ .

#### **Stress thermique**

Pour effectuer la montée en température des composants, on utilisera un conditionneur de température à air pulsé Thermonics T2500E/300. Le composant est placé dans ce four dont on fait varier la température par réglage du flux d'air pulsé. Ce système permet une meilleure homogénéisation de la température du composant par rapport à une plaque chauffante. La température du conditionneur peut monter à 300°C. Lors des mesures, à chaque palier de température, on laisse le composant chauffer 10 min pour négliger l'effet dynamique de la diffusion de la chaleur. En effet il faut 5 min pour faire passer le composant de sa température initiale à sa température cible.

#### **Support mécanique**

Le support mécanique du Device Under Test (DUT) a été développé pour réaliser les mesures en température. Il permet d'utiliser des composants en boîtier TO-254 ou équivalent et d'effectuer des mesures 4 points au plus près du composant (me-

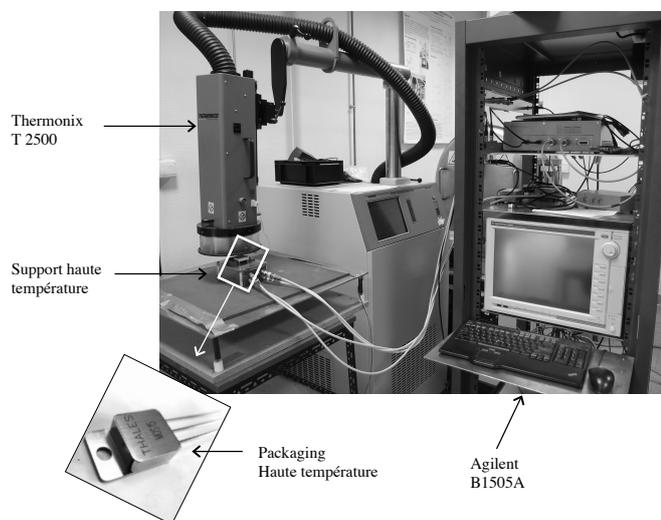


FIGURE 2.18 – Photo du banc de test de caractérisation haute température

sure Kelvin). Les connexions entre le support et l'analyseur B1505A sont réalisées avec des connecteurs coaxiaux BNC 50 Ohms haute température. Ce support est identique pour tous les composants afin d'avoir une comparaison indépendante du montage. La photo 2.18 présente le banc de caractérisation avec le conditionneur à air pulsé, l'analyseur et le support mécanique. Les sections qui suivent présentent les caractérisations effectuées sur un MOSFET CMF20120D de chez CREE. Ces caractérisations permettent d'extraire des paramètres électriques (résistance à l'état passant, tension de seuil..) qui définissent les performances du composant.

### 2.3.2.2 Caractéristique courant-tension

La caractérisation en courant-tension s'obtient en appliquant une tension  $V_{DS}$  ou  $V_{CE}$  positive pour différentes tensions de polarisation de grille ou de base. La figure 2.19 montre les caractéristiques courant-tension réalisées sur un MOSFET CMF20120D de chez CREE.

Sur ces courbes, on peut observer que le fonctionnement du MOSFET en direct peut être divisé en trois régimes :

- Le régime linéaire, appelé également le régime ohmique. Ce régime correspond à une évolution quasi linéaire du courant de sortie  $I_D$  pour de faibles valeurs de la tension de drain  $V_{DS}$  (pour un  $V_{GS}$  donné). En effet la section du canal N conducteur dans le "P-Well" est presque uniforme puisqu'elle dépend principalement de la commande de grille. Dans cette zone, le MOSFET se comporte comme une résistance contrôlée par la tension  $V_{GS}$ . Dans la région ohmique, la résistance à l'état passant représente l'inverse de la pente du courant de drain à faible  $V_{DS}$ . Par définition cette résistance est appelée la résistance à l'état passant ( $R_{DS,on}$ ).
- Le régime sous linéaire. En augmentant la tension de polarisation  $V_{DS}$ , il va y avoir une déformation du canal N dans le "P-Well" par différence de tension entre grille-source et grille-drain. Cette déformation devient donc significa-

tive et la conductance diminue. Le courant présente alors une variation sous linéaire avec la tension  $V_{DS}$  et amorce une saturation.

- Le régime de saturation. Le canal conducteur N possède une épaisseur limitée et le courant atteint sa vitesse maximale saturante.

A partir de cette caractérisation courant-tension, nous avons tracé la résistance à l'état passant en fonction de la température. Cette résistance représente les pertes en conduction puisque lorsque le composant est passant, la puissance dissipée est égale au courant au carré qui le traverse multiplié par la résistance.

La résistance à l'état passant a été mesurée pour une valeur de  $V_{GS} = 20V$  pour un courant  $I_D$  de 5 A. La valeur du courant est défini arbitrairement par rapport à notre cahier des charges de l'application visée. La figure 2.20 présente l'évolution de la résistance à l'état passant ( $R_{DS,ON}$ ) en fonction de la température de  $-25^\circ C$  jusqu'à  $250^\circ C$ . Nous avons volontairement étendu les mesures aux températures négatives pour voir certains phénomènes liés à la structure interne du MOSFET. Sur la courbe on voit que la résistance dépend de la température (paramètre thermosensible). L'évolution du paramètre se divise en deux parties, tout d'abord la résistance diminue pour les basses températures puis augmente pour les températures supérieures à  $25^\circ C$ . La résistance à l'état passant dans un MOSFET se décompose en trois résistances élémentaires : la résistance du canal N, la résistance de la zone JFET et la résistance de la région de drift qui assure la tenue en tension. Ces trois résistances réagissent différemment avec la température. La résistance du canal diminue avec la température car elle est liée à la tension de seuil qui diminue aussi avec la température. Cela s'explique aussi par l'apport en énergie thermique qui facilite la création du canal N. A contrario, les résistances de la zone JFET et drift augmentent avec la température liées à l'agitation thermique des électrons qui en se percutant font diminuer la mobilité. Lorsqu'on superpose les variations des résistances par rapport à la température, on conclut que pour les faibles températures, le MOSFET se pilote à l'état passant par le canal N et que pour les températures supérieures à  $25^\circ C$ , les résistances du JFET et du drift deviennent prépondérantes avec une croissance globale de la  $R_{DS,ON}$ . Pour les structures qui ne possèdent pas d'oxyde et donc pas de canal N, il n'y a pas de zone décroissante de la résistance à l'état passant ce qui se traduit par un dépendance croissante de la  $R_{DS,ON}$  en fonction de la température. En venant changer la structure interne du MOSFET et notamment l'épaisseur du canal N, on va changer la variation de la résistance à l'état passant. Ce paramètre nous donne donc des informations sur la structure interne du MOSFET.

### 2.3.2.3 Caractéristique ID-VGS

La caractéristique ID-VGS représente la variation du courant de drain en fonction de la tension de commande de grille sous une polarisation drain source arbitraire. Pour nos mesures, nous avons placé le composant avec une tension  $V_{DS} = 10 mV$  pour obtenir une répartition homogène du canal N entre grille et source. Il est possible aussi de se placer à des tension drain-source plus importantes afin de voir comment le composant réagit pour les courants de saturation. Les deux types de mesures ont été réalisées dans cette étude. Les différentes courbes  $I_D - V_{GS}$  en fonction de la température ont été tracées sur la figure 2.21 pour une tension  $V_{DS} = 10 mV$ . Sur le graphe, on voit que les courbes se décalent sur la gauche avec la température et voient un courant de saturation qui baisse. La dérive sur la gauche des courbes ID-VGS est principalement due à une mise en conduction du composant

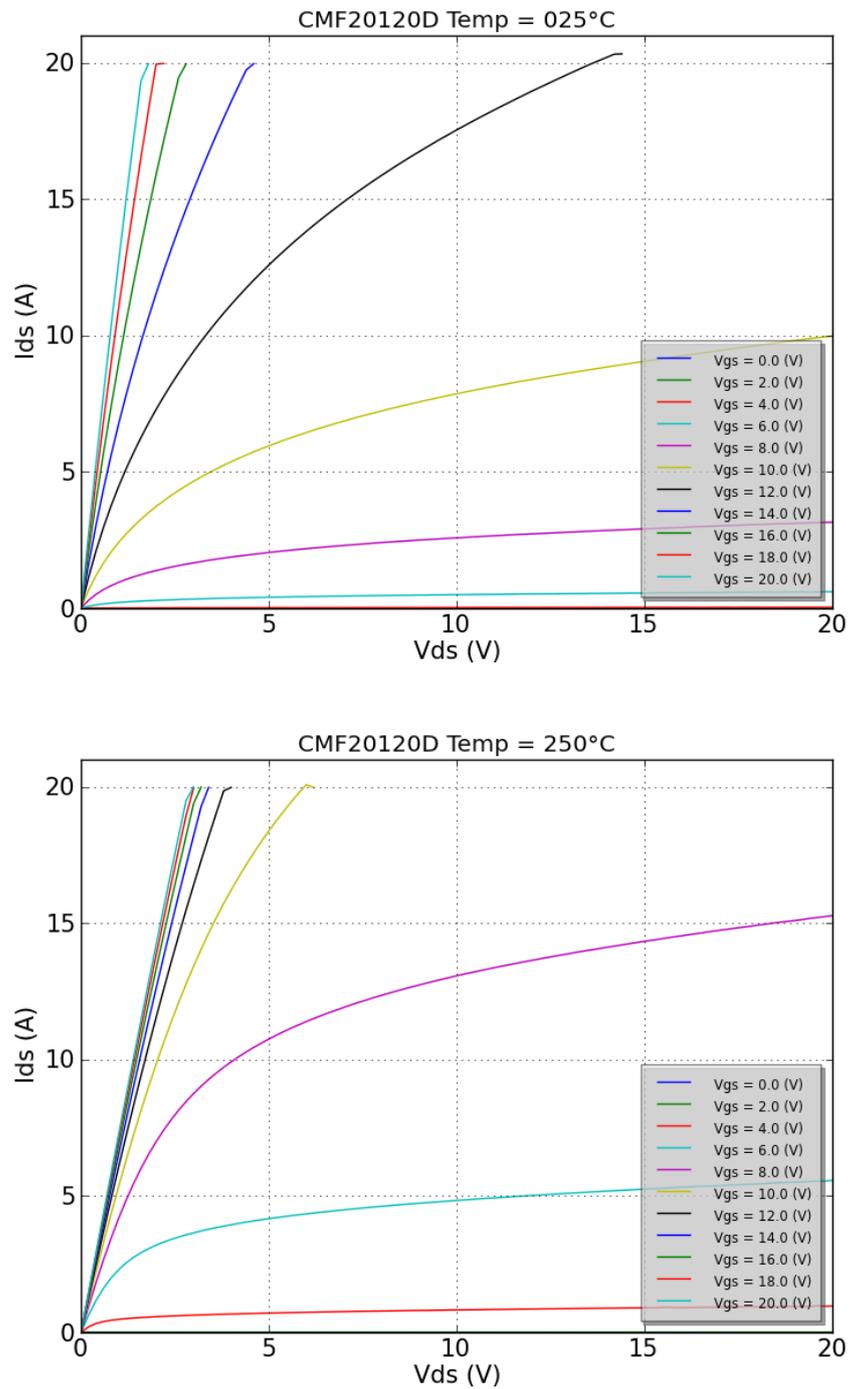


FIGURE 2.19 – Caractéristiques électriques statiques en polarisation directe du MOSFET CMF20120D pour des températures de 25°C et 250°C

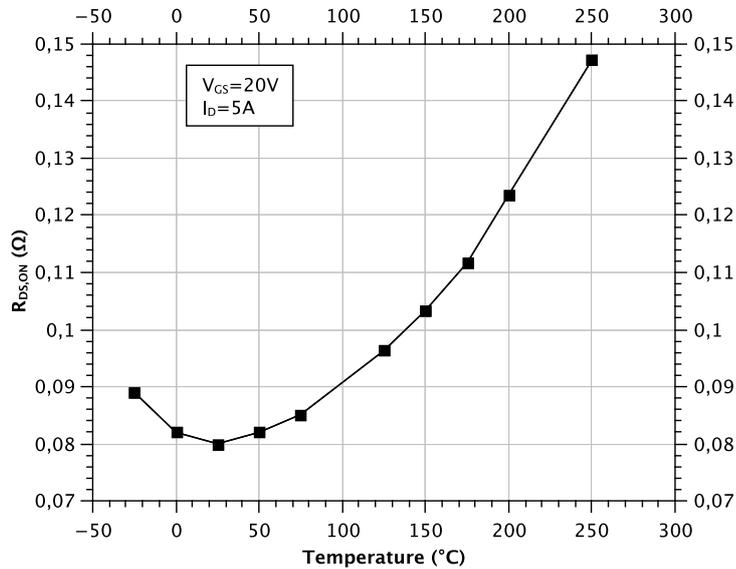


FIGURE 2.20 – Résistance à l'état passant en fonction de la température pour une tension de grille de 20 V et un courant de drain de 5 A pour le MOSFET CMF20120D

avec une tension grille-source plus faible qui est compensée par un apport en énergie thermique. La diminution du courant de saturation est liée à la structure verticale et plus exactement de par les résistances de drift et JFET qui servent de limiteur de courant avec la tension drain-source. En effet sur le schéma 2.22, on voit que la résistance du canal N dépend de la tension grille-source. Lorsque le composant est passant cette résistance est quasiment négligeable et le courant  $I_D$  qui circule dans le transistor est définie par la résistance de drift. Comme vu dans la section précédente, cette résistance augmente avec la température et va entraîner une diminution du courant de saturation. A partir de ces courbes il est possible de remonter à la résistance à l'état passant ( $R_{DS,ON}$ ).

Le paramètre important obtenu à partir de la caractéristique  $I_D - V_{GS}$  est la tension de seuil. En effet, la tension de seuil est une des caractéristiques la plus importante dans l'utilisation du MOSFET. Elle est généralement décrite comme étant la tension de grille à fournir pour voir apparaître une circulation significative du courant entre drain et source. Dans les modèles traditionnels, il s'agit plutôt de la tension de grille à fournir au canal pour avoir une inversion des charges. Plusieurs méthodologies existent concernant le calcul de la tension de seuil résumées dans le papier de M.ORTIZ-CONDE [OCGSM<sup>+</sup>13]. Dans les datasheets fournies par les industriels, chaque fabricant définit de manière différente le calcul de la tension de seuil. Dans notre étude nous considérerons que la tension de seuil représente la tension de grille appliquée sur la commande pour obtenir un courant de drain de  $100\mu A$  sous une polarisation drain-source de 10 mV. Cette méthode est souvent utilisée dans l'industrie de par sa simplicité. L'objectif est de garder une définition fixe pour la tension de seuil afin de pouvoir effectuer une comparaison identique entre les composants.

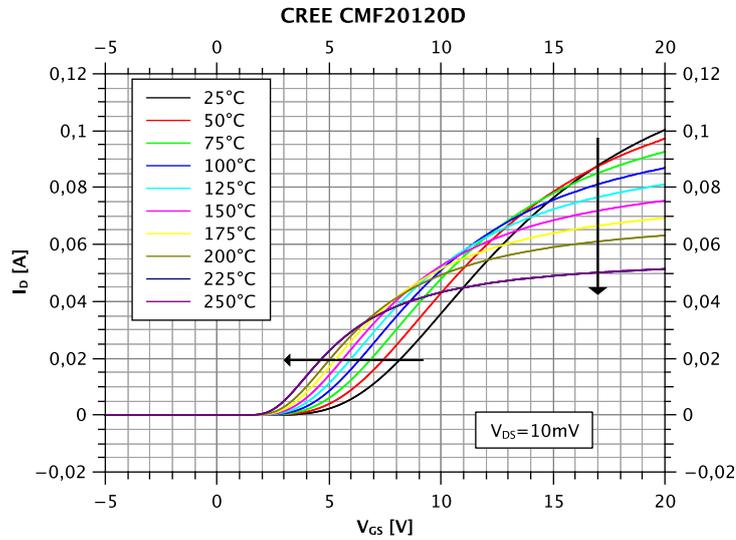


FIGURE 2.21 – Transconductance pour plusieurs températures allant de 25°C à 250°C pour le MOSFET CMF20120D

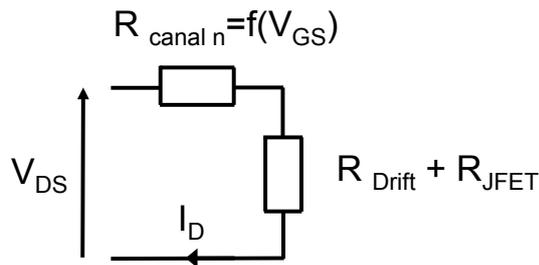


FIGURE 2.22 – Schéma des résistances équivalentes dans le D-MOSFET

L'évolution de  $V_{TH}$  en fonction de la température est illustrée par la figure 2.23. La tension de seuil a le même comportement que la résistance du canal N et décroît avec la température. L'énergie thermique va créer des charges dans l'oxyde et une diminution de la résistivité dans le canal N. Il faudra fournir une tension moins importante pour permettre au courant de circuler dans le canal N. Cette diminution reste toutefois acceptable puisque le composant garde ces propriétés de normalement bloqué jusqu'à 250°C ( $V_{TH} > 0V$ ).

#### 2.3.2.4 Courant de fuite

La résistance à l'état passant représente les pertes à l'état passant. Le courant de fuite représente les pertes à l'état bloqué du composant. En effet, cette caractéristique consiste à mesurer le courant de drain lorsque le composant est commandé à l'état bloqué avec une tension  $V_{DS} = 600V$ . Nous utilisons donc la HVSMU de l'analyseur Agilent B1505A et la HPSMU sur la grille avec une tension  $V_{GS} = 0V$ . La figure 2.24 représente une coupe d'un MOSFET dans ces conditions de test.

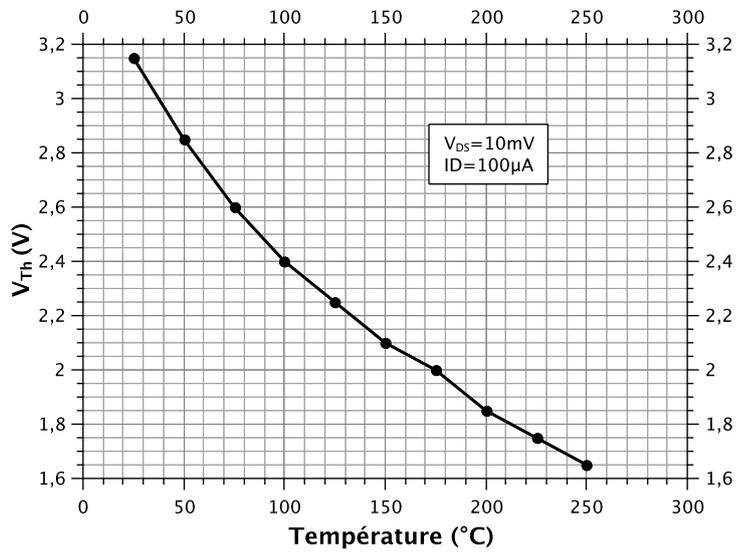


FIGURE 2.23 – Tension de seuil  $V_{TH}$  en fonction de la température pour le MOSFET CMF20120D

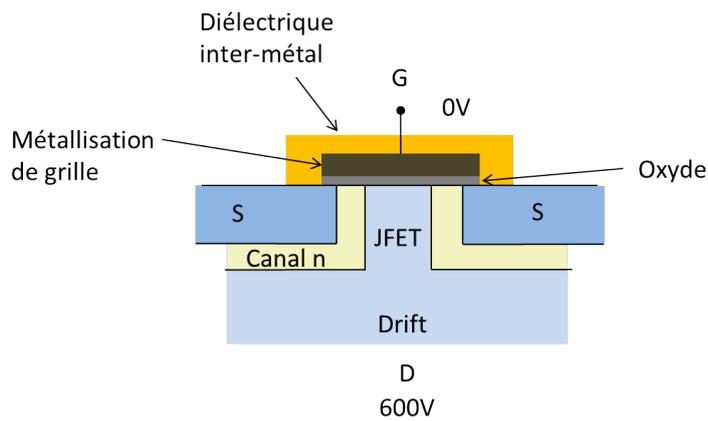


FIGURE 2.24 – Coupe d'un MOSFET pour la mesure du courant de fuite

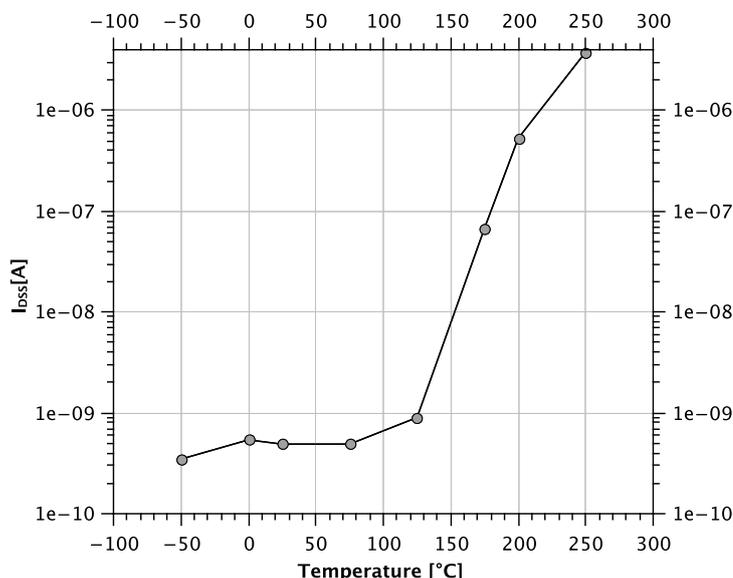


FIGURE 2.25 – Courant de fuite de drain en fonction de la température pour une tension drain-source de 600V et une tension de grille de 0V pour le MOSFET CMF20120D

La courbe 2.25 présente le courant de fuite de drain en fonction de la température. La tension de grille de 0V correspond à un cas fortement défavorable car le MOSFET peut être bloqué avec une tension de -5V. Malgré ces conditions volontairement non optimales, et même si le courant de fuite augmente avec la température, le MOSFET montre des performances tout à fait intéressantes avec des pertes à l'état bloqué (courant de fuite multiplié par la tension de bus) à 250°C de  $22,8\mu W$ . L'augmentation du courant de fuite en fonction de la température est principalement due à la diminution de la tension de seuil sous l'augmentation de la température (génération des porteurs). En effet, il est possible de définir une tension virtuelle de jonction de blocage par la valeur absolue de la relation  $V_{GS}-V_{TH}$ . Plus cette valeur absolue est élevée, plus le composant est bloqué. Dans notre cas la tension de grille à l'état bloqué est fixe ( $V_{GS}=0V$ ) alors que la tension de seuil diminue avec la température. La valeur absolue de la tension virtuelle de blocage diminue avec la température augmentant ainsi le courant de fuite. Il existe donc un lien direct entre tension de seuil et le courant de fuite.

### 2.3.2.5 Mobilité

La mobilité des porteurs de charge est une notion qui relie la vitesse d'un porteur par rapport au champ électrique qu'il subit. Dans les transistors à effet de champ (Field Effect Transistor) la mobilité reflète la qualité du matériau qui va être traversé par les porteurs. Dans un MOSFET, cela reflète la qualité du canal N et de sa rugosité lors de la croissance épitaxiale [FKHK06]. En effet lorsqu'on soumet le transistor à un champ électrique, les électrons sont accélérés par ce champ mais ils vont être soumis aux interactions avec les atomes et les impuretés du matériau. Plus l'impureté est importante plus l'électron va perdre de la vitesse en présence

de fort champ. Des modèles ont été développés donnant la vitesse des électrons et l'expression de la mobilité dans les transistors FET en carbure de silicium (modèle de mobilité de Lombardi [LMSV88, AA01]). Dans [PTBG<sup>+</sup>06], les auteurs définissent la mobilité dans un MOSFET par :

$$\mu_{FE} = \frac{L}{WC_{OX}V_{DS}} \left( \frac{\partial I_{DS}}{\partial V_{GS}} \right) \quad (2.2)$$

Avec  $\mu_{FE}$  la mobilité en  $cm^2/V.s$ ,  $C_{OX}$  la capacité de l'oxyde de grille par unité de surface ( $F.cm^2$ ),  $W$  et  $L$  sont la longueur et la largeur de la grille (cm),  $V_{DS}$  la tension drain-source,  $I_D$  le courant de drain et  $V_{GS}$  la tension grille-source.

Les paramètres de la largeur et la longueur de grille sont des données difficiles à obtenir (analyse de structure par coupe microscopique), tout comme la valeur de la capacité mais étant donné que ces valeurs sont constantes l'image de la mobilité sera représentée par le terme :

$$Gm = \frac{\partial I_{DS}}{\partial V_{GS}} \quad (2.3)$$

A partir des courbes ID-VGS, et faisant la dérivé du courant de drain, on obtient bien l'image de la mobilité avec un offset. La courbe 2.26 représente l'image de la mobilité en fonction de  $V_{GS}$  pour plusieurs températures. Pour une température donnée, on peut partager la courbe en deux parties, avec une partie croissante et une autre partie décroissante. La première représente la vitesse des porteurs qui augmente par la mise en conduction du canal N le long de l'oxyde de grille (augmentation de la tension grille-source) jusqu'à atteindre une saturation. Pour la température de 25°C, on voit que le maximum est atteint pour une tension  $V_{GS} \approx 10V$  alors que pour une température de 250°C  $V_{GS} \approx 4V$ . Cette décroissance est due à l'apport thermique qui vient accélérer les porteurs pour une tension grille-source plus faible. Après ce maximum on observe une décroissance de la mobilité qui est liée à la résistance de drift jouant son rôle de limiteur sur le courant de drain. L'aspect intéressant que nous montre la figure est la valeur maximale de la mobilité constante après augmentation de la température. Les charges gardent la même vitesse même à haute température ce qui n'est pas le cas pour toutes les structures de MOSFET, reflétant ainsi un process de fabrication du canal N de bonne qualité.

### 2.3.3 Comparaison

Nous avons présenté les caractérisations sur le composant MOSFET CMF20120D de chez CREE en raison de sa disponibilité tout au long de cette étude. Néanmoins ces caractérisations ont été réalisées sur tous les composants industrialisés sauf le JFET de chez INFINEON (non disponible sous forme de single device). Toutes ces caractérisations ont pour but de réaliser une comparaison des performances statiques de chaque composant afin de déterminer la puce qui sera placée dans notre véhicule test.

Le premier critère de comparaison est la résistance à l'état passant qui représente les pertes en conduction. La figure 2.27 présente les différentes valeurs de résistance à l'état passant en fonction de la température pour tous les composants en carbure de silicium. Nous pouvons voir sur ce graphe que le BJT possède une résistance plus faible sur toute la gamme des températures. A 250°C, les MOSFETs de chez CREE 1ere génération et de chez ST-Microelectronics ont une résistance

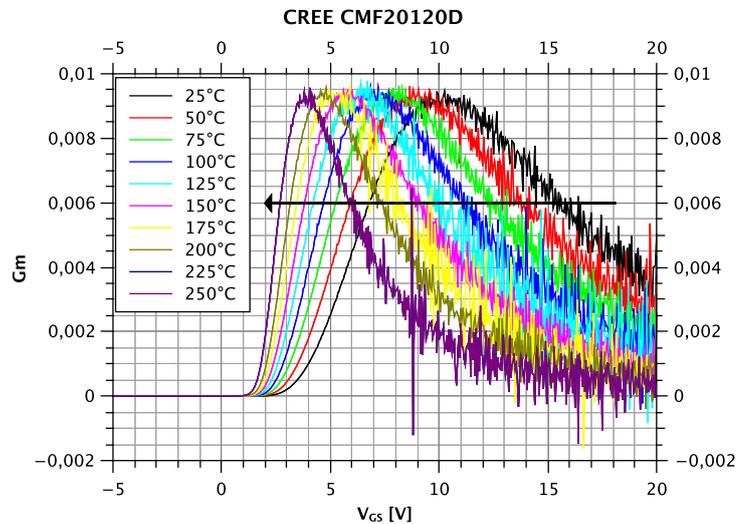


FIGURE 2.26 – Image de la mobilité ( $G_m$ ) en fonction de la température pour le MOSFET CMF20120D

inférieure à  $150m\Omega$ . Alors que pour les autres composants la résistance est supérieure à  $220m\Omega$  ce qui représente une augmentation sur les pertes en conduction de 46%. Cependant comme le montre la légende, la taille de la puce diffère entre les industriels. La résistance à l'état passant peut être diminuée par une mise en parallèle de plusieurs cellules élémentaires, soit une plus grande surface de puce. Pour effectuer une comparaison normalisée à la taille de la puce, nous avons multiplié les valeurs de résistance à la surface de la puce. Cette résistance normalisée est représentée figure 2.28. On peut voir maintenant que la structure JFET-ON de chez Semisouth possède de bonnes performances en température alors que la structure MOSFET de chez RHOM a les moins bonnes performances pour les températures supérieures à  $100^\circ\text{C}$ .

Regardons maintenant le courant de fuite pour une tension  $V_{DS} = 600V$  lorsque le composant est bloqué. Sur la figure 2.29 nous pouvons différencier les structures JFETs qui ont un courant de fuite supérieur aux structures MOSFET et BJT. Les MOSFETs possèdent de bonnes performances au blocage puisque avec une tension nulle sur la grille, ils ont un courant de fuite inférieur à  $10\mu A$  à  $250^\circ\text{C}$ .

Lorsqu'on regarde les performances en statique pour des applications en haute température, le composant qui possède les meilleurs performances est le BJT de chez Fairchild. Des études récentes montrent les mêmes résultats [DUMU13]. Cependant, les transistors BJT-SiC présentent une dégradation de leurs caractéristiques avec le temps de fonctionnement très rapidement (10 heures) [CCB<sup>+</sup>13]. Cette dégradation apparaît comme une réduction du gain en courant, une augmentation de la résistance dans la région de saturation et une augmentation de l'effet Early [AKR<sup>+</sup>06].

L'autre composant qui présente des bonnes caractéristiques en température est le MOSFET. Fortement apprécié de la part des industriels grâce à son comportement normally-off et à sa simplicité de commande, il est un bon candidat pour répondre à notre cahier des charges haute température. Cependant, le point faible du MOSFET est l'oxyde de grille. En effet, si l'on considère le diagramme de bande

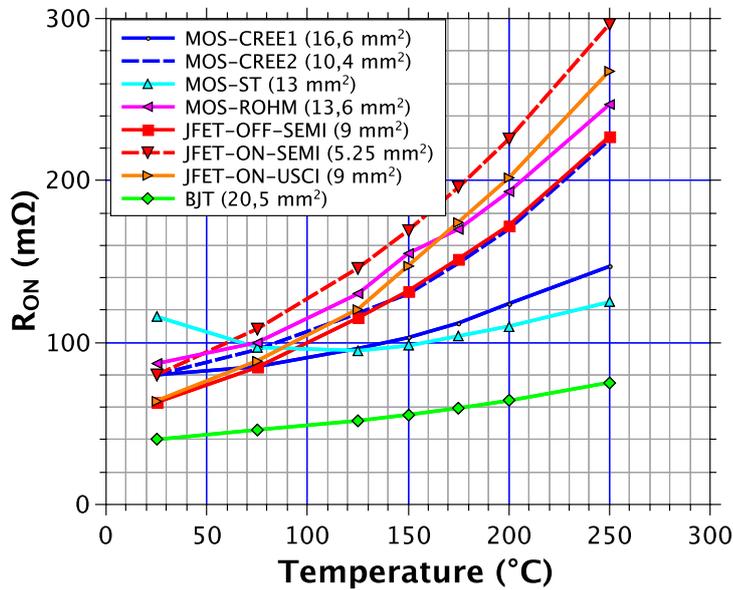


FIGURE 2.27 – Comparaison des différentes résistances à l'état passant en fonction de la température pour tous les composants en SiC

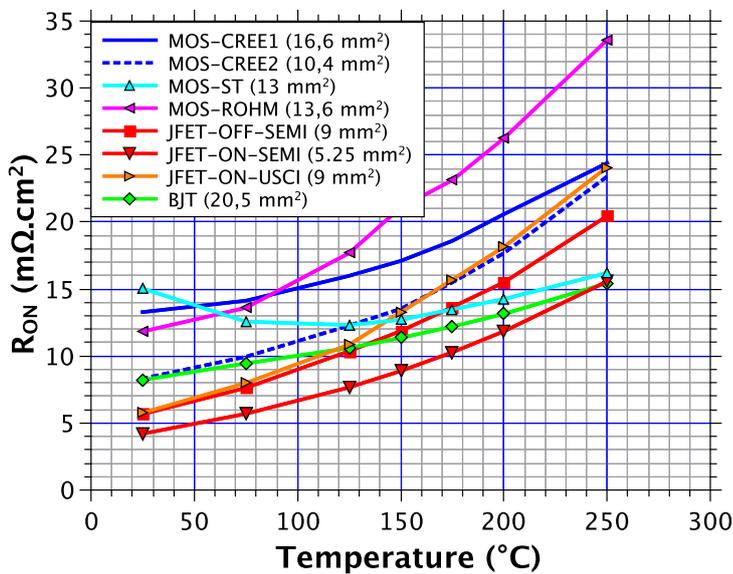


FIGURE 2.28 – Comparaison des différentes résistances à l'état passant normalisée à la surface en fonction de la température pour tous les composants en SiC

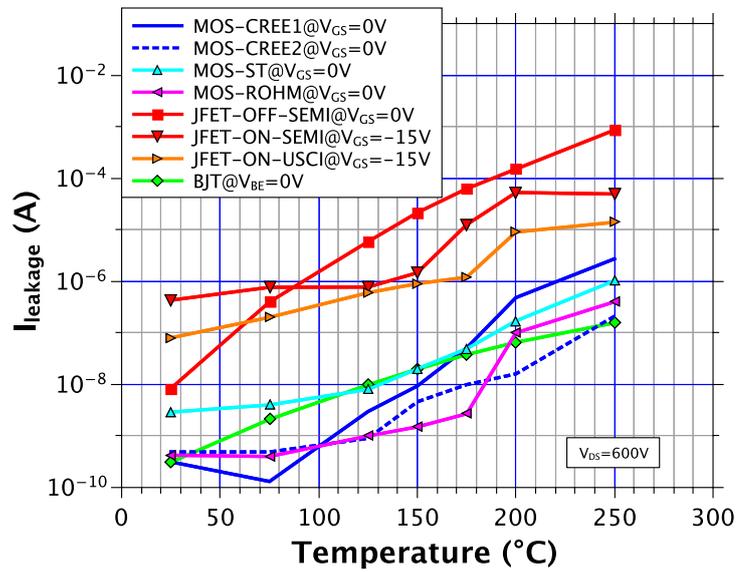


FIGURE 2.29 – Comparaison des différents courants de fuite en fonction de la température pour tous les composants en SiC

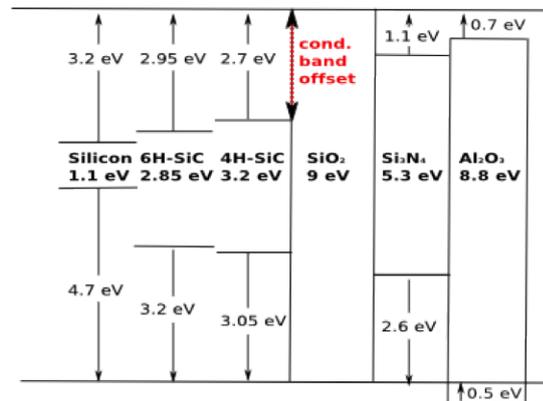


FIGURE 2.30 – Diagramme de bande de matériaux semi-conducteurs et isolants qui composent le MOSFET [Tou13]

des semi-conducteurs et des isolants (2.30), la faible différence d'énergie entre la bande de conduction du SiC-4H et celle de l'oxyde  $\text{SiO}_2$  est à l'origine des défauts de robustesse de la grille. Cette faible différence de niveau d'énergie facilite la circulation d'un courant tunnel engendrant des pièges dans l'oxyde et à l'interface SiC/ $\text{SiO}_2$ . L'amélioration du processus de fabrication de la grille est la problématique actuelle du MOSFET et de nombreux progrès ont été réalisés en terme de fiabilité [DHR<sup>+</sup>12].

La dernière structure est le JFET et elle présente des caractéristiques moins avantageuses concernant les courants de fuite. Cependant l'utilisation pour la haute température a déjà été prouvée [XJW<sup>+</sup>11] et cette structure peut répondre à notre

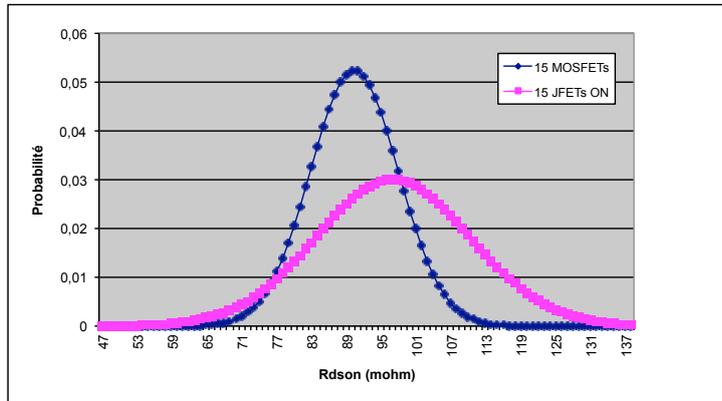


FIGURE 2.31 – Distribution de la résistance à l'état passant sur 15 échantillons de MOSFETs et JFETs

cahier des charges. Il y a toutefois quelques contraintes à prendre en compte comme la tension de seuil qui varie avec la température entraînant une augmentation du courant dans la jonction pn de la grille. Le phénomène d'avalanche de la grille peut entraîner aussi la casse du composant [DBT<sup>+</sup> 13].

Dans tous les cas, même si les performances se dégradent avec la température pour les différentes structures, les pertes engendrées sont globalement compensées par les gains en terme de densité de puissance comparés aux structures silicium classique. Le choix du composant s'effectue donc principalement sur la disponibilité des composants au début de cette étude. Dans le tableau 2.3, trois composants étaient disponibles dans l'industrie : les deux JFETs de chez Semisouth et le MOSFET de chez CREE 1ere génération. Nous avons donc fait packager 15 puces de MOSFETs et de JFET-ON pour réaliser des caractérisations sur les échantillons. L'objectif est d'observer la reproductibilité au sein du lot vis à vis des paramètres électriques ce qui nous donnera une information sur la qualité du processus de fabrication. La figure 2.31 montre la distribution de la résistance à l'état passant sur le lot de 15 MOSFETs et 15 JFETs-ON. Sur ce graphe on voit que la gaussienne pour les MOSFETs a un écart type plus faible avec une  $R_{DS,ON}$  plus faible ( $90m\Omega$ ). A l'inverse pour les JFETs, on observe une gaussienne plus aplatie qui montre une disparité de la résistance sur le lot. Le processus de fabrication des MOSFETs est sûrement mieux maîtrisé que pour les JFETs de chez Semisouth qui a clôturé son activité en janvier 2013. Fort de ce constat, nous choisissons donc de placer un MOSFET CREE 1 ere génération dans nos véhicules tests. Lorsqu'on regarde le va et vient des fournisseurs de composants de puissance en carbure de silicium, le MOSFET CREE 1 ere génération est la seule puce qui est restée disponible durant toute cette étude.

Le choix du MOSFET nous poussera donc à étudier l'élément limitant d'une telle structure lié à l'oxyde de la grille et aux différents pièges formés à l'interface SiC/SiO<sub>2</sub>. Les tests de fiabilité présentés dans cette étude, apportent des réponses aux mécanismes de dégradation qui interagissent dans l'oxyde de grille. Nous présenterons aussi les résultats sur les tests de vieillissement effectués sur nos véhicules tests.

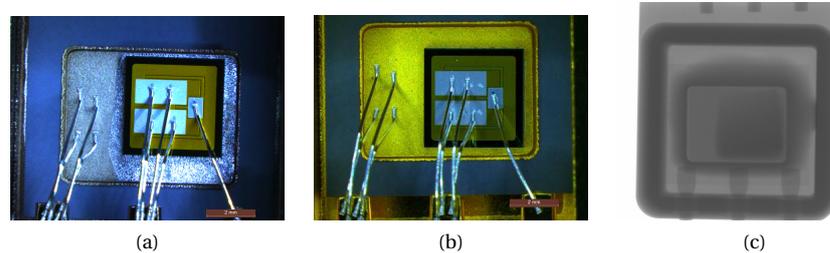


FIGURE 2.32 – Photo initiale avant fermeture sous azote du véhicule de test avec technique d'assemblage (a) brasure (b) frittage (c) image RX de l'assemblage fritté

## 2.4 Conclusion

Ce chapitre a pour objectif de définir un véhicule de test répondant à notre cahier de charge haute température sur lequel nous allons effectuer des tests de vieillissements et une analyse des mécanismes de dégradation. Le véhicule se décompose en deux parties : la première étant le packaging servant de support mécanique, connecteur électrique et conducteur thermique ; la deuxième est la puce de puissance en carbure de silicium. Après avoir défini l'assemblage réalisé chez THALES Microelectronics, nous avons fait le choix de placer un MOSFET de chez CREE à partir des caractérisations statiques et surtout concernant la disponibilité de la structure. Lors de la fabrication du véhicule test chaque composant est soumis à une photo à l'état initial ainsi qu'une image Rayon-X afin de vérifier si l'assemblage est valide. En effet si la brasure n'est pas bien réalisée, nous pourrions voir une absence de matière ("voids") à l'image RX et les caractéristiques thermiques en seront modifiées. La vérification systématique permet de valider la reproductibilité du packaging permettant d'enlever l'incertitude sur l'assemblage. Les photos 2.32 montrent l'image initiale avant fermeture sous azote d'un MOSFET assemblé par brasure puis par frittage sur le substrat. La dernière photo montre l'image RX initiale.

Depuis le début de la thèse d'autres structures MOSFETs sont apparues et nous verrons dans les chapitres suivants une comparaison des résultats de vieillissement sur les nouvelles générations de MOSFETs. Le MOSFET semble être aujourd'hui une structure de composant de puissance qui intéresse les industriels de par ses propriétés normally-off et de par la réalisation de driver de commande simplifié comparé aux drivers de JFET (protection court circuit [DBR<sup>+</sup>11, DBB<sup>+</sup>12]). De nombreux fabricants de semi-conducteur se lancent dans l'élaboration de MOSFET de puissance en SiC et la réalisation de test de vieillissement donne des réponses essentielles sur la fiabilité de ces composants.

## Chapitre 3

# Vieillessement du MOSFET soumis à des stress de grille

### 3.1 Introduction

#### 3.1.1 Justification

L'estimation de l'état de santé d'un composant (Prognostics and Health Management) est une discipline d'ingénierie qui se concentre sur l'état d'un système et la prédiction de sa durée de vie restante avant la panne (Remaining Useful Life). Ces informations sont essentielles dans l'augmentation de la sécurité des opérations et l'amélioration du taux de réussite de la mission avec une diminution des maintenances non planifiées [CWV<sup>+</sup>10]. Dans le domaine de l'aéronautique, il est indispensable d'avoir des technologies informant l'état de santé des appareils. Ces systèmes doivent diagnostiquer avec précision les défauts, anticiper les échecs et prédire la durée de vie restante. Dans l'avion, l'électronique est de plus en plus présente et elle joue un rôle prépondérant en fonctionnement. Il est donc indispensable de répondre à ces problématiques concernant les composants de puissance.

L'objectif de ce chapitre est de présenter les premiers travaux de vieillissement réalisés sur notre véhicule de test défini dans le chapitre 2 embarquant une puce de MOSFET en SiC. La technologie du carbure du silicium étant très récente, très peu d'études sur le vieillissement des composants MOSFET SiC existaient au début de nos travaux. Nous nous sommes donc appuyés sur des préceptes établis sur la technologie en silicium concernant les tests de vieillissement accélérés. Néanmoins, nous avons effectué des tests préliminaires justifiant l'utilisation de facteurs accélérant comme la température.

Effectuer des tests de vieillissement accélérés est probablement la voie la plus utilisée pour évaluer expérimentalement la fiabilité des convertisseurs de puissance. Appliquer cette méthode d'investigation nécessite de relever le défi de recréer le plus fidèlement possible les conditions de stress en puissance que subiront les semi-conducteurs dans leur applications dédiées. Les facteurs accélérant le vieillissement sont souvent liés à une augmentation de la température, de la pression, des niveaux de tension, du courant et de la fréquence. Dans cette étude, nous avons principalement utilisé le facteur thermique pour accélérer nos tests de vieillissement. Il existe deux manières d'utiliser la température comme facteur cinétique. La première consiste à appliquer des contraintes thermiques cycliques avec des niveaux de températures élevées suivis d'une phase de refroidissement. Ce type

de contrainte va accélérer le processus de vieillissement principalement sur le packaging [Dup06]. La raison principale de la défaillance du packaging au niveau des interfaces est souvent liée à la différence de coefficient thermique d'expansion (CTE). De ce fait, les parties en contact intime sont extrêmement sensibles au cyclage thermique. On peut observer des décollements ou des fissures de bonding, des craquelures dans le substrat et dans les procédés d'attaches (brasure ou frittage) [Den13].

Dans notre étude, nous nous intéressons au vieillissement d'un point de vue composant, c'est pourquoi nous ne pouvons pas utiliser le cyclage thermique comme facteur accélérant. Nous placerons le composant dans des conditions thermiques en statique. La température constante va limiter les contraintes sur l'assemblage et les dégradations seront plutôt localisées sur le semi-conducteur.

### 3.1.2 Mise en place d'une stratégie de fatigue

Afin de réaliser des tests de vieillissement accélérés et de répondre aux problématiques sur la prédiction de l'état de santé du composant, nous devons établir une stratégie de vieillissement. Étant donné le manque d'études sur le vieillissement des composants en carbure de silicium, nous avons dû effectuer des tests préliminaires afin de décorrélérer les stress électriques et thermiques que voit la puce pendant son utilisation. La stratégie mise en place s'inscrivant dans un plan de test de vieillissement accéléré global comprend 3 phases :

- **Test de grille statique avec des paliers en température** : Cette campagne de test est orientée uniquement vers les performances puces. Nous polariserons la puce par une excitation électrique statique positive et négative sur la grille avec des paliers de température jusqu'à 250°C seront appliqués sur les composants. Le but est de déterminer quels sont les paramètres électriques utilisables comme indicateurs de vieillissement des puces et le niveau de température optimal pour les tests de vieillissement suivants.
- **Test de grille en commutation à température constante** : Dans un deuxième temps, nous nous rapprocherons de l'utilisation industrielle du composant avec un stress de grille en commutation à haute température (fixée par le test précédent). Nous observerons l'évolution des paramètres électriques en fonction du temps.
- **Test de vieillissement en commutation de puissance** : Les tests préliminaires nous permettent de définir le test final de vieillissement en application de puissance décrit dans le chapitre 4 dans lequel le composant est soumis à un stress de grille en commutation couplé à un stress de puissance entre drain et source.

## 3.2 Vieillissement grille statique en palier de température

### 3.2.1 Description du banc de test

Le premier test de vieillissement réalisé dans cette étude est le test de grille statique en palier de température. Lorsque le composant est placé dans une application industrielle, il va passer par 4 étapes de fonctionnement. La première est la phase de conduction avec une tension de grille positive et un courant qui circule entre drain et source. La deuxième phase est la commutation à l'état bloqué (turn-off) dans laquelle on vient décroître la tension de grille jusqu'à une valeur négative.

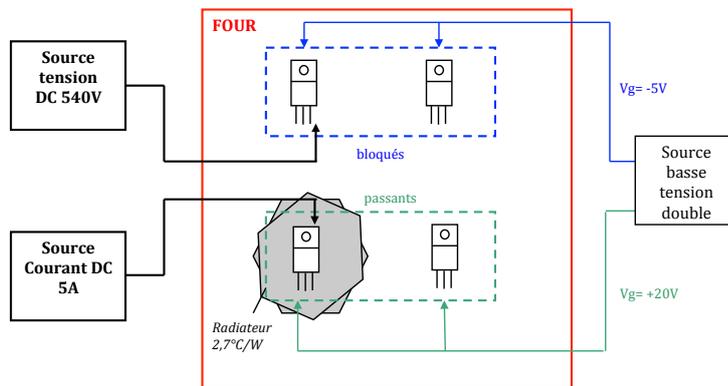


FIGURE 3.1 – Synopsis du test de vieillissement de grille statique en palier de température

Le canal N dans lequel circulait le courant de drain se ferme rendant le composant bloqué. La troisième phase est la phase d'état bloqué où le courant ne peut plus circuler puisque la tension de grille est négative. Pour finir la quatrième phase correspond à la commutation à l'état passant (turn-on) dans laquelle la tension de grille augmente pour permettre au composant de retrouver son état passant. Dans notre test de vieillissement nous avons séparé ces différentes étapes. C'est pourquoi nous appliquons un stress de grille constant sur la grille positif et négatif. Certains véhicules de test ont subi un stress électrique uniquement polarisé sur la grille sans le circuit de puissance afin d'observer les mécanismes de dégradation liés à la polarisation de l'oxyde. Puis d'autres composants ont été polarisés avec un ajout du courant entre drain et source pour l'état passant et une tension de blocage pour l'état bloqué afin de se placer dans des conditions plus réalistes.

### 3.2.1.1 Stress électrique appliqué sur les composants

Les véhicules tests MOSFET ont une tension de commande qui varie entre  $-5V$  pour l'état bloqué et  $+20V$  pour l'état passant. Nous allons utiliser ces niveaux de tension fournis par la datasheet constructeur pour établir nos stress de grille constant. Le banc de test en température mis en place pour dérouler les essais permet de faire vieillir simultanément 4 véhicules tests dans un unique four et appliquer des stress électriques distincts. La figure 3.1 présente un synopsis du banc de test et la photo 3.2 montre les véhicules tests. Le synopsis montre les véhicules de test à l'état bloqué avec et sans puissance et les véhicules de test à l'état passant avec et sans puissance. A noter que les composants soumis au test de conduction continu à 5A sont intégrés sur un dissipateur pour maintenir la jonction des puces à une température acceptable. Il est néanmoins inévitable que ces véhicules voient un stress thermique supérieur aux autres en raison de leur dissipation.

### 3.2.1.2 Instrumentation du banc de test

Les niveaux de tension de grille sont imposés par des sources de tension BK precision 9110 et les niveaux de puissance sont ceux d'une application aéronautique (540V, 5A) imposés par une SMU 2410 Keithley pour la tension et une source de courant 5A BK precision 9110 (photo 3.3).



FIGURE 3.2 – Photo des véhicules tests branchés sur le banc de vieillissement

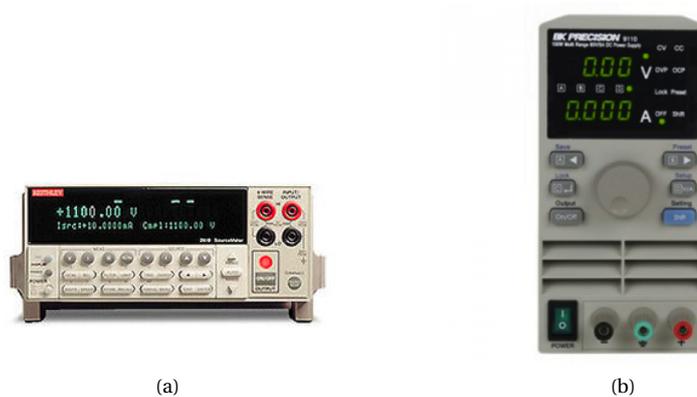


FIGURE 3.3 – Source de tension pour (a) la puissance (Keithley 2410) et (b) la grille (BK precision 9110)

### 3.2.1.3 Contrôle de la température

La principale contrainte pour l'intégration du banc est la haute température. Le banc a été intégralement réalisé avec des matériaux adaptés : plaque en mica, fils haute température, connexions électriques réalisées par des attaches mécaniques comme le montre la photo 3.2. Tous les véhicules sont placés dans une étuve VENTICELL E09524 qui impose la température (photo 3.4). L'objectif de ce premier test est d'identifier l'influence de la température sur les dégradations électriques du MOSFET.

Les paliers de températures choisis sont 50°C, 100°C, 150°C, 200°C et deux fois 250°C. Chaque palier a une durée de 48h pendant lequel le véhicule est soumis à l'un des stress électriques décrits précédemment. Entre chaque palier, une caractérisation complète des composants à 25°C est réalisée afin de détecter un éventuel indicateur de vieillissement (figure3.5).



FIGURE 3.4 – Photo du banc de test

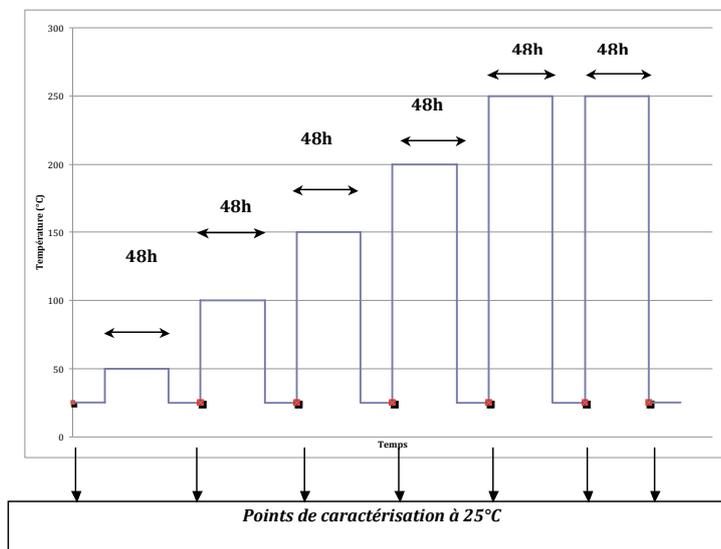


FIGURE 3.5 – Palier en température avec caractérisation réalisée à 25 °C

### 3.2.1.4 Monitoring des caractérisations électriques

Le véhicule de test est stressé électriquement sous une température fixée par l'étuve pendant 48h. S'ensuit alors une phase de refroidissement du composant pour atteindre 25°C. Une caractérisation complète est effectuée. L'objectif est d'observer l'évolution en fonction du temps et de la température de :

- la résistance à l'état passant
- la tension de seuil
- le courant de fuite de drain à l'état bloqué
- le courant de fuite de grille statique

Les caractérisations ont été réalisées avec l'analyseur B1505A Agilent avec les mêmes pré-réglages que ceux utilisés dans le chapitre 2. La résistance à l'état passant est obtenue pour une tension de grille de 20V et un courant de drain de 5A. La

TABLE 3.1 – Récapitulatif du stress appliqué sur chaque MOSFET

MOSFET	Tension de grille	$V_{DS} / I_D$
MOSFET 1	$V_{GS} = +20V$	Pas de tension/courant
MOSFET 2	$V_{GS} = -5V$	Pas de tension/courant
MOSFET 3	$V_{GS} = -5V$	$V_{DS} = 540V$
MOSFET 4	$V_{GS} = +20V$	$I_D = 5A$

tension de seuil est obtenue sous une polarisation de drain de 10mV est un courant de drain arbitraire de  $100\mu A$ . Le courant de fuite est obtenu avec une tension de blocage drain-source de 600V et une tension de grille de 0V. Le courant de fuite de grille statique est obtenu lorsqu'on applique une tension de grille de 5V.

### 3.2.2 Analyse des résultats

#### 3.2.2.1 Évolution des paramètres électriques

Ce paragraphe donne les résultats de vieillissement obtenus sur les véhicules de test embarquant des MOSFET en SiC. Le tableau 3.1 récapitule le stress subi par chaque MOSFET.

L'ensemble des composants a vu un vieillissement d'une durée totale de 288 heures. Trois MOSFETs sont toujours opérationnels à la fin du test tandis ce que le dernier, qui était placé dans les conditions de grille bloqué avec une tenue en tension de 540V, est défectueux. En effet le composant ne remplit plus ces fonctions d'interrupteur ouvert et nous allons le voir sur les caractérisations suivantes.

#### Résistance à l'état passant

Le premier paramètre que nous avons observé est la résistance à l'état passant mesurée à 25°C après le stress en température. La figure 3.6 présente l'évolution de la  $R_{DS,ON}$  en fonction du temps. Cette courbe montre les deux stress effectués uniquement sur la grille en positif et négatif et les stress sur lesquels on accumule la puissance, 540V pour l'état bloqué et 5A pour l'état passant.

L'évolution de la résistance augmente pour les MOSFET qui ont une tension de grille positive passant de  $89m\Omega$  au début du stress à une résistance supérieure à  $100m\Omega$  après le deuxième palier à 250°C avec une augmentation de 13% pour le stress de grille uniquement et 15% pour le stress avec la puissance. Le courant qui circule entre le drain et la source amplifie la dérive de la résistance par échauffement du composant. En effet le MOSFET va voir la température ambiante du four (passif) en plus de son propre auto échauffement (actif). La tension de grille positive fait évoluer le paramètre de la résistance à l'état passant et la température est un facteur accélérant de cette dégradation car plus le palier est chaud avant caractérisation, plus la pente de la dérive augmente.

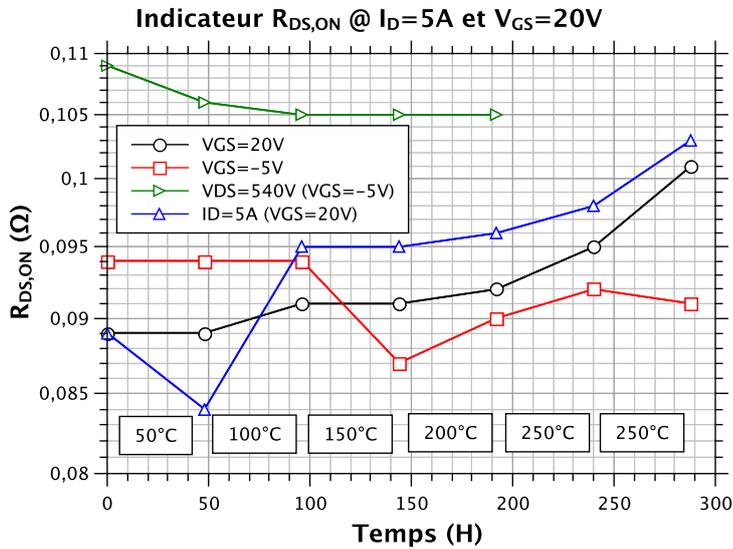


FIGURE 3.6 – Évolution de la résistance à l'état passant, en fonction du temps, mesurée à 25°C après les stress en palier

L'évolution de la résistance diminue pour les MOSFET qui ont une tension de grille négative avec comme valeur initiale 94m $\Omega$  pour le stress de grille sans puissance et 110m $\Omega$  avec la puissance. A la fin du test on mesure 91m $\Omega$  dans le premier cas correspondant à 3% de diminution et 104m $\Omega$  dans le deuxième cas correspondant à une diminution de 5%. Encore une fois, la tenue en tension de 540V amplifie la dérive. Néanmoins la dérive négative observée pour les deux MOSFET est moins marquée que pour la dérive positive. Cela s'explique par le champ électrique appliqué sur la grille plus fort pour la tension positive (20V) que la tension négative (-5V). Ces valeurs étant fournies par le constructeur, nous nous plaçons dans les conditions d'utilisations réelles.

Vis à vis du composant qui est défectueux (MOSFET 3), on voit que sa résistance à l'état passant au début du test est supérieure aux autres MOSFET. Cela montre les dispersions technologiques de fabrication.

### Courant de fuite sur le drain

Nous nous intéressons maintenant au courant de fuite de drain lorsqu'on polarise le composant à l'état bloqué et qu'on applique une tension drain source de 600V. La figure 3.7 présente l'évolution dans le temps de ce paramètre électrique. Sur cette courbe, on voit que le composant MOSFET 3 (tenue en tension) a un courant de fuite qui augmente après le stress à 200°C. Le MOSFET est défectueux car il a un courant de fuite trop important avec des pertes à l'état bloqué élevées. Pour les trois autres MOSFET, le courant de fuite reste stable. Pour ce paramètre, nous ne voyons pas l'effet de la température sur le vieillissement car le courant de fuite évolue faiblement, néanmoins ce paramètre permet de connaître si un composant est défectueux à l'inverse de la résistance à l'état passant.

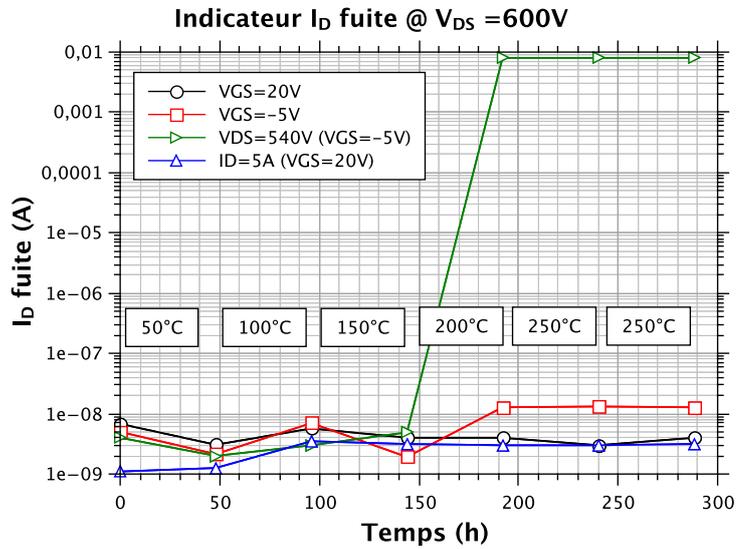


FIGURE 3.7 – Évolution du courant de fuite de drain, en fonction du temps, mesuré à 25°C après les stress en palier @  $V_{DS} = 600V$

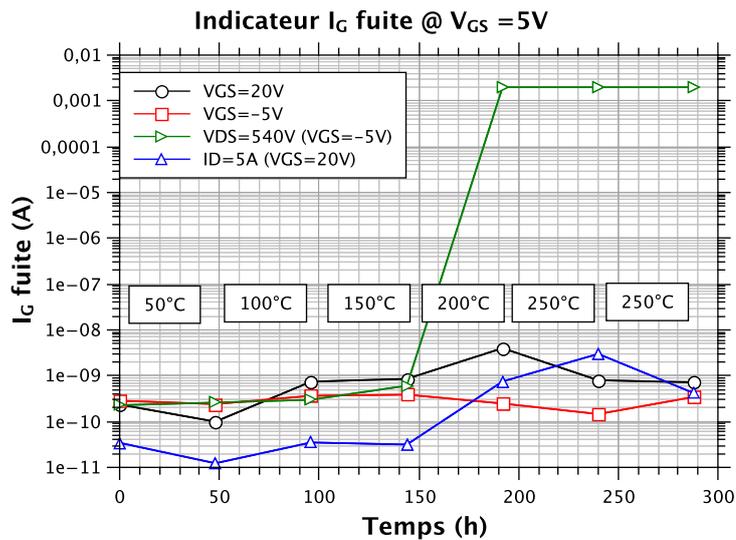


FIGURE 3.8 – Évolution du courant de fuite statique de grille, en fonction du temps, mesuré à 25°C après les stress en palier

### Courant de fuite sur la grille

Le troisième paramètre caractérisé est le courant statique de grille. Dans un MOSFET la grille est un oxyde qui se modélise par une capacité. En statique le courant de grille est très faible. Dans nos mesures il est obtenu en polarisant la grille avec une tension de 5V. La figure 3.8 présente l'évolution du courant de grille dans le temps. Comme le courant de fuite de drain, on observe peu d'évolution pour les

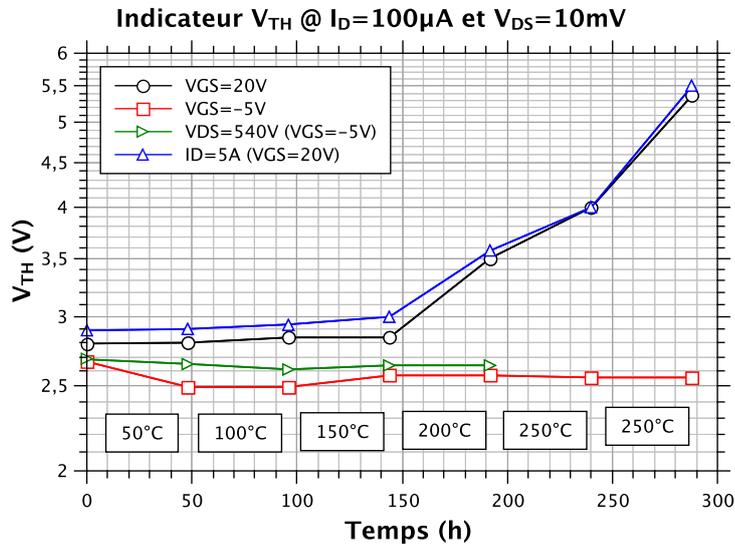


FIGURE 3.9 – Évolution de la tension de seuil, en fonction du temps, mesurée à 25°C après les stress en palier

MOSFET toujours opérationnels et une augmentation du courant pour le MOSFET défectueux. Le courant de grille informe si le composant est toujours fonctionnel et comme pour le courant de drain, la température n'impacte pas son évolution.

Le courant de fuite de drain pour la puce défectueuse a une valeur de 80mA et le courant de fuite de grille vaut 1 mA, donc la fuite est en majorité répartie dans le canal de puissance. La fuite de grille indique que l'oxyde jouant un rôle d'isolant, ne remplit plus sa fonction. Nous verrons par la suite que cette dégradation se traduit par des fissures dans l'oxyde. Les électrons qui circulent entre drain et source vont passer dans les fissures contournant l'isolation du P-Well. A partir de ces courbes de courant de fuite, nous faisons une première hypothèse qui énonce que le courant de fuite de grille semble être lié à la qualité de l'oxyde. Si les défauts dans l'oxyde deviennent trop importants et nombreux, il est possible que les jonctions grille-source et grille-drain soient court-circuitées entraînant une augmentation du courant de fuite de drain.

### Tension de seuil

Le dernier paramètre caractérisé est la tension de seuil du composant. La courbe 3.9 montre l'évolution de ce paramètre dans le temps. La caractérisation du MOSFET défectueux ne peut pas être réalisée pour la tension de seuil après la casse, car le courant de drain est trop important à cause de la fuite. Concernant la tension de seuil, ce paramètre se rapproche de l'évolution obtenue par la résistance à l'état passant.

L'évolution de la tension de seuil augmente pour les MOSFET qui ont une tension de grille positive passant de 2,8V au début du stress à 5,5V après le deuxième palier à 250°C. Cela correspond à une augmentation de 96%. Cette dérive est d'autant plus marquée qu'on augmente la température. Cette dérive est un phénomène de dégradation différent de celui observé pour le courant de fuite de grille.

A contrario l'évolution de la tension de seuil diminue pour les MOSFET qui ont une tension de grille négative. La tension de seuil passe de 2,7V à 2,5V correspondant à une diminution de 7%. Comme avec la résistance à l'état passant, cette dérive est moins marquée pour la tension de grille négative liée à sa plus faible valeur.

L'évolution de la tension de seuil est similaire à celle de la résistance à l'état passant sur ces courbes de vieillissement. La résistance à l'état passant se calcule théoriquement par l'équation suivante pour des  $V_{DS}$  faibles :

$$R_{DS,ON} = \frac{1}{\frac{\partial I_D}{\partial V_{DS}}}, \quad (3.1)$$

En combinant avec l'équation :

$$I_D = \frac{W}{L} \mu C_{ox} (V_{GS} - V_{TH} - \frac{1}{2} V_{DS}) \cdot V_{DS} \quad (3.2)$$

Avec  $\mu$  la mobilité en  $cm^2/V.s$ ,  $C_{ox}$  la capacité de l'oxyde de grille par unité de surface ( $F.cm^2$ ),  $W$  et  $L$  sont la longueur et la largeur de la grille (cm),  $V_{DS}$  la tension drain-source,  $I_D$  le courant de drain,  $V_{GS}$  la tension grille-source et  $V_{TH}$  la tension de seuil.

On obtient donc que la transconductance vaut :

$$\frac{\partial I_D}{\partial V_{DS}} = \frac{W}{L} \mu C_{ox} (V_{GS} - V_{TH} - V_{DS}) \quad (3.3)$$

Pour le calcul de  $R_{DS,ON}$  on fixe  $V_{DS}$  on peut dire que :

$$R_{DS,ON} = f\left(\frac{1}{V_{GS} - V_{TH}}\right) \quad (3.4)$$

A partir de l'équation 3.4, on voit bien que la résistance à l'état passant est reliée à la tension de seuil. Si  $V_{TH}$  augmente pour une même valeur de tension de grille (20V), alors  $R_{DS,ON}$  augmente et inversement. C'est pourquoi sur nos caractérisations électriques, on retrouve une évolution similaire pour ces deux paramètres électriques, l'un étant la conséquence de l'autre.

## Bilan

Grâce à ce premier test de vieillissement, nous avons observé deux types de dégradation. Le premier type est lié à l'évolution du courant de fuite de grille et le courant de fuite de drain qui indique que le composant est toujours apte à commuter. En effet, si le niveau est bas le composant est opérationnel et si on a un emballement du paramètre alors le composant est défectueux. L'évolution de ces courants de fuites reste stable en fonction de la température même si l'apport thermique peut jouer un rôle de facteur accélérant sur l'apparition du défaut.

Le deuxième type de dégradation observé correspond à la dérive de la tension de seuil qui engendre une dérive de la résistance à l'état passant. Cette dépendance est intéressante car il est plus facile de mesurer la résistance à l'état passant que la tension de seuil. Ces deux paramètres électriques évoluent dans le temps de manière monotone avec une dépendance à la température qui se traduit par une augmentation de la dérive. Des études ont été réalisées sur l'instabilité de la tension de

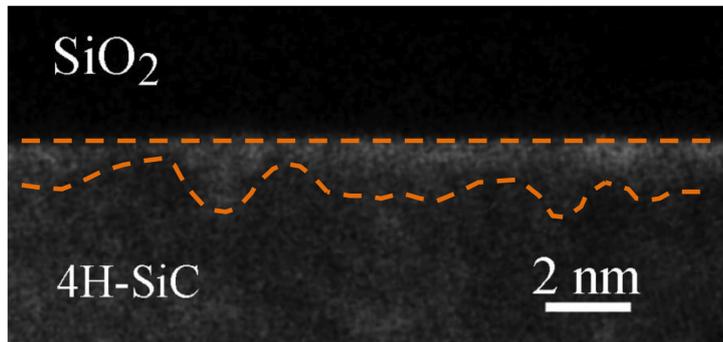


FIGURE 3.10 – Image réalisé avec un STEM de l'interface  $\text{SiO}_2/\text{SiC}$ . On peut noter la non uniformité de l'interface en plus clair [ZLD<sup>+</sup>08]

seuil qui donne des informations sur la qualité de l'oxyde notamment vis à vis des charges qui se piègent à l'interface.

Globalement, les premiers résultats de tests sur le MOSFET sont encourageants quant à sa robustesse en température.

### 3.2.2.2 Dérive de la tension de seuil

La problématique de la fiabilité de l'oxyde de grille dans les MOSFET en carbure de silicium nous pousse à approfondir les résultats obtenus sur la dérive de la tension de seuil dans notre premier test de vieillissement.

#### L'interface $\text{SiO}_2/\text{SiC}$

A partir du carbure de silicium (SiC), il est possible d'oxyder thermiquement la surface du semi-conducteur pour former une couche de  $\text{SiO}_2$ . Ce film d'oxyde ainsi déposé, fournit l'occasion unique de réaliser un MOS (Metal Oxide Semiconductor). Les MOSFET utilisés dans cette étude possèdent l'interface  $\text{SiO}_2/\text{SiC}$  qui est appropriée pour la haute puissance. Cependant, la densité d'interface de pièges à l'interface  $\text{SiO}_2/\text{SiC}$  ( $10^{11} \text{ cm}^{-2}$ ) est beaucoup plus important que pour le silicium ( $10^{10} \text{ cm}^{-2}$ ) [ZLD<sup>+</sup>08]. L'image 3.10 illustre la difficulté à réaliser la couche d'oxydation avec une épaisseur d'interface inégale (en clair sur l'image) qui peut être corrélée à l'excès d'éléments carbonés (en sombre dans la région 4H-SiC) répartis irrégulièrement dans le semi-conducteur. Ces défauts d'interfaces ont plusieurs origines possibles [Con11] :

- Des liaisons pendantes causées par des problèmes de structure entre le SiC et le  $\text{SiO}_2$  qui sont présentes aussi dans l'interface Si/ $\text{SiO}_2$ .
- Des blocs de carbone
- Des pièges d'interface localisés dans l'oxyde

Des efforts sont réalisés en permanence pour réduire ces défauts d'interface et des solutions ont vu le jour apportant une réduction drastique des pièges d'interface. La technique la plus efficace qui augmente la qualité du film d'oxyde est le processus de nitruration avec des techniques de recuit post-oxydation sous  $\text{N}_2\text{O}$  ou NO [FSV<sup>+</sup>13].

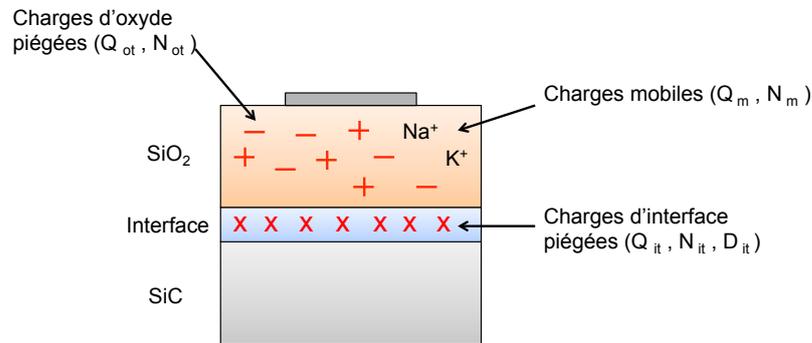


FIGURE 3.11 – Schéma qui présente les trois types de charge et leur localisation dans un MOSFET (adapté de [Con11])

### Défauts d'interface et charge d'oxyde

Les défauts d'interface sont liés à des impuretés, des défauts structuraux ou chimiques dans l'oxyde. Ils peuvent affecter de manière significative les propriétés électriques du MOSFET avec une dérive de la tension de seuil qui influence la fiabilité des composants. Il existe trois catégories de charges présentes dans l'oxyde d'une structure MOSFET :

- Les charges mobiles sont liées au processus d'oxydation et aux impuretés ioniques telles que les ions  $\text{Na}^+$ ,  $\text{K}^+$  et  $\text{Li}^+$ . Ces charges peuvent bouger en présence de champ électrique notamment entre grille et source, entraînant une modification des caractérisations électriques [PTBG<sup>+</sup>06].
- Les charges d'oxyde piégées (négatives ou positives) sont liées à des porteurs piégés à cause d'impuretés, ou des dégâts d'irradiations ([GLU<sup>+</sup>14]) ou des porteurs chauds dans l'oxyde. Il est important de séparer les notions de quantité de pièges dans l'oxyde et les charges piégées dans l'oxyde. La quantité de piège est liée à la qualité de l'oxyde, si le nombre de pièges augmente par un phénomène de vieillissement, cette dégradation est irréversible. De l'autre côté, les charges piégées vont se placer dans ces impuretés sous l'effet d'un courant, d'un champ électrique ou de la chaleur. Ces charges peuvent se libérer en inversant le champ électrique ou par apport thermique d'énergie, autrement dit les pièges présents dans l'oxyde peuvent accueillir des charges négatives (électrons) ou positives (trous). La quantité de charges piégées influence les paramètres électriques mesurés cependant il est possible de retrouver les propriétés initiales en libérant ces charges. Ce phénomène est réversible. Nous verrons dans la section suivante que ces pièges vont créer une hystérésis sur la mesure ID-VGS.
- Les charges à l'interface (négatives ou positives) sont liées à des porteurs piégés dans l'interface provenant du semi-conducteur. Ces charges sont similaires à celles piégées dans l'oxyde et il est possible de les charger ou les décharger en fonction de la polarisation appliquée. En effet ces niveaux peuvent être facilement chargés et déchargés avec une constante de temps nettement plus rapide que celle des charges d'oxyde à cause de leur niveau de profondeur. Les charges d'interface se situent à proximité du semi-conducteur et l'énergie à fournir pour les piéger est moins importante que celles des charges

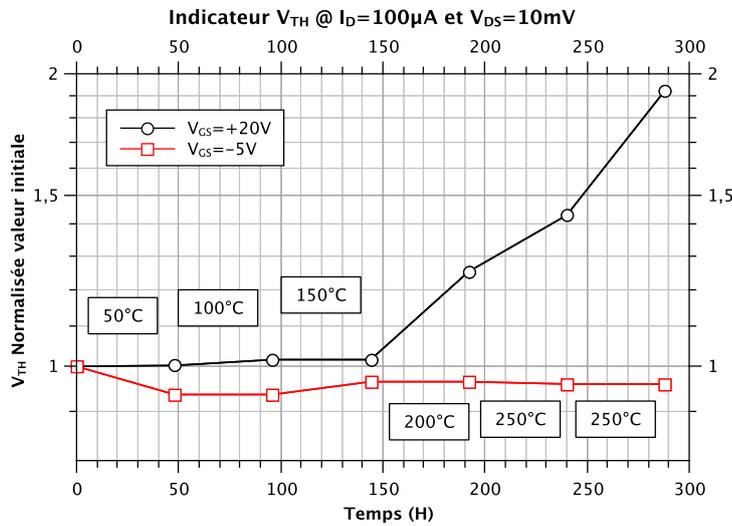


FIGURE 3.12 – Dérive de la tension de seuil normalisée par rapport à sa valeur initiale pour une tension de grille positive et négative

d'oxyde.

La figure 3.11 représente les différentes charges à l'interface, dans le semi-conducteur et dans l'oxyde.

### Conséquence sur la caractérisation de la tension de seuil

Dans notre test de vieillissement, nous avons observé, sur l'évolution de la tension de seuil dans le temps, une dérive positive sous une polarisation de grille de +20V et une dérive négative moins marquée sous une polarisation de -5V. A partir des considérations établies dans le paragraphe précédent, nous pouvons donner une explication physique du phénomène observé. La courbe 3.12 présente la dérive de la tension de seuil normalisée par rapport à sa valeur initiale lorsque le composant est polarisé avec une tension de grille constante positive et négative. On observe une augmentation de 98% pour un  $V_{GS} = 20V$  entre le deuxième palier à 250°C et la valeur initiale. Ces mesures sont réalisées à 25°C après le stress, nous avons donc changé les propriétés du composant.

Lorsque le MOSFET est polarisé avec une tension de grille de 20V, le canal N conducteur se crée dans le P-Well et le courant peut circuler entre drain et source. Le schéma 3.13 présente l'ensemble des charges dans la structure MOSFET lorsqu'on applique une tension de grille positive. La polarisation de grille crée un champ électrique et repousse les charges positives situées dans l'oxyde vers l'interface  $SiO_2/SiC$ . Cette zone chargée positivement va attirer les charges négatives du semi-conducteur et créer le canal N qui permet au courant de circuler entre drain et source. Malheureusement, certaines charges négatives vont aller se piéger dans l'interface et même dans l'oxyde à cause des charges positives qui exercent une force attractive (force de Coulomb). Ce phénomène s'appelle l'effet tunnel qui explique le va et vient des électrons dans les pièges d'interface et d'oxyde [LHGG12]. Plus l'énergie fournie aux électrons du semi-conducteur est importante, plus ces charges négatives

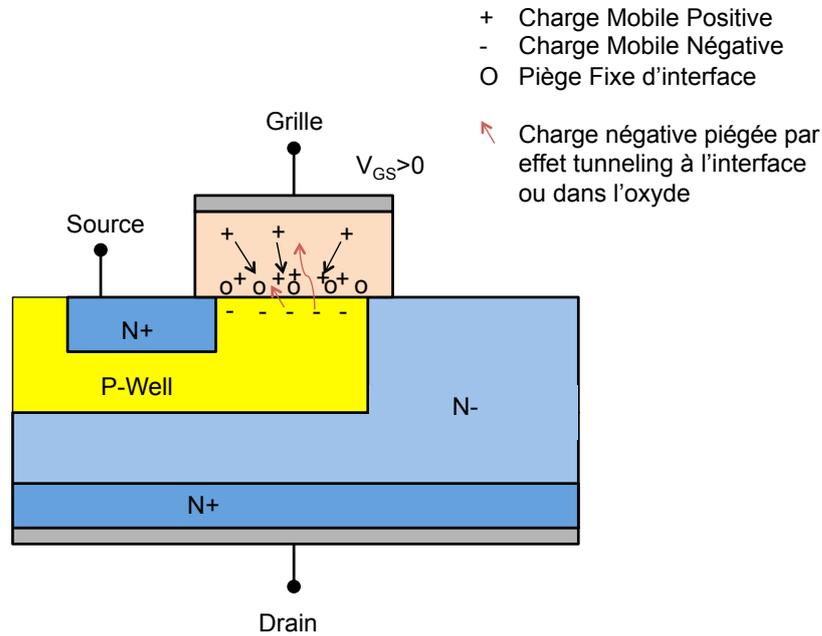


FIGURE 3.13 – Schéma des charges présentes dans le MOSFET avec une tension de grille positive

tives vont se piéger dans l'interface en profondeur et en grand nombre. Cette énergie est fournie par un champ électrique entre grille-source ou par la température. En effet, on voit sur la courbe 3.12 que la dérive de la tension de seuil est plus importante pour la température de 250°C.

Essayons maintenant de comprendre pourquoi la tension de seuil augmente lorsqu'on polarise en positif la grille. Si l'on calcule la charge moyenne de l'interface avant l'effet tunnel avec une tension  $V_{GS} = 20V$ , on obtient une valeur moyenne positive forte. En effet, comme le montre le schéma 3.13, les charges positives sont repoussées de la grille et attirées à l'interface. L'interface a donc une polarisation moyenne positive. Maintenant avec l'effet tunnel, des charges négatives vont venir se piéger dans l'interface et dans l'oxyde. La polarisation moyenne diminue puisque les charges négatives compensent les charges positives. Le niveau de polarisation de l'interface définit la capacité du composant à laisser passer le courant (état passant) et plus le niveau est positif plus le MOSFET est passant. Dans notre cas avec l'effet tunnel, on diminue la valeur moyenne de polarisation et donc on diminue la capacité à faire circuler le courant entre drain et source. Le composant devient plus facilement bloqué avec une tension de seuil plus élevée. Une autre manière de comprendre ce phénomène est de se placer d'un point de vue atomique. Nous savons que des charges de même signe s'opposent. Dans notre interface, les charges négatives piégées vont repousser les électrons du courant qui circulent entre drain et source. Le courant circule moins bien en présence de ces charges négatives piégées. Le MOSFET passe à l'état bloqué plus facilement et donc la tension de seuil est plus élevée. Si en plus d'une tension positive, on vient faire circuler un fort courant entre drain et source, l'apport thermique du courant et l'apport en électrons va accentuer le phénomène de tunnel entraînant une dérive de la

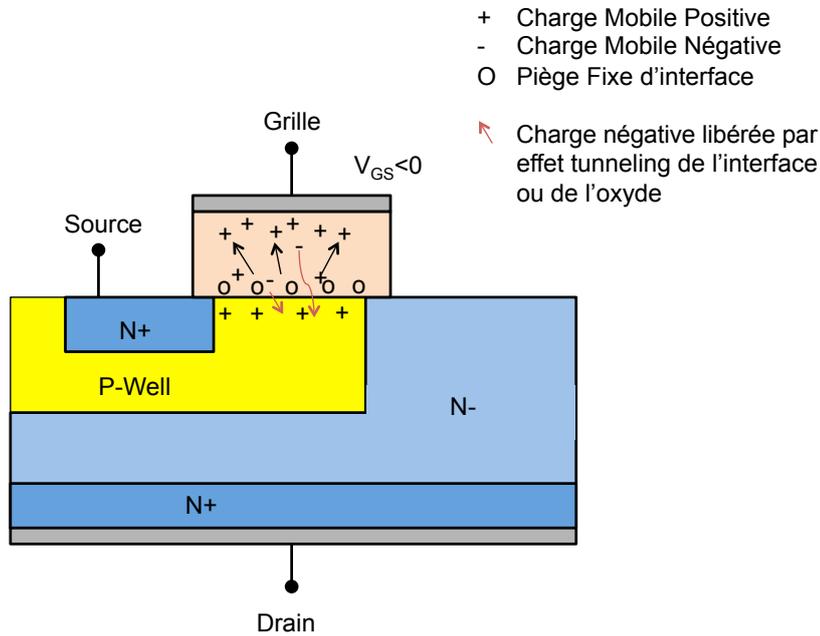


FIGURE 3.14 – Schéma des charges présentes dans le MOSFET avec une tension de grille négative

tension de seuil.

Maintenant, nous appliquons une tension de grille négative. Le schéma 3.14 présente l'ensemble des charges dans la structure MOSFET avec une tension de grille négative. Le phénomène est identique sauf que cette fois-ci le champ électrique repousse les charges négatives situées dans l'oxyde vers l'interface. Les charges positives sont du côté semi-conducteur et par effet tunnel les charges négatives vont circuler de l'interface vers le semi-conducteur et les charges positives du semi-conducteur vers l'interface. Globalement, la polarisation de l'interface est négative et après l'effet tunnel, on ajoute des charges positives. La polarisation augmente par compensation des charges. On a vu précédemment que la polarisation est inversement proportionnelle à l'évolution de la tension de seuil. Par conséquent l'augmentation du niveau de polarisation de l'interface sous une tension de grille négative fait diminuer la tension de seuil. La libération des charges négatives de l'interface vers le semi-conducteur dépend du niveau de tension négatif de la grille et de la température.

Il est important de séparer dès à présent deux paramètres. Le premier paramètre est le nombre de charges piégées dans l'interface qui dépend du temps de polarisation, du niveau de la tension grille-source et de la température. Ce paramètre fait appel à l'effet tunnel qui est réversible puisque pour une tension de grille positive ou négative, l'effet est antinomique. Le deuxième paramètre est le nombre de pièges présents dans l'interface et dans l'oxyde. Ce phénomène est irréversible et dépend principalement de la qualité de l'oxyde lors du processus de fabrication du composant.

Dans une application industrielle, le MOSFET est utilisé en commutation avec des niveaux de tension de grille positifs et négatifs. La dérive de la tension de seuil

s'appelle l'instabilité de la grille et fait l'objet de la partie suivante.

### 3.3 Vieillessement grille en commutation

Dans cette section nous proposons d'analyser la dérive de la tension de seuil reconnue comme l'instabilité dans un MOSFET avec un stress de grille en commutation. L'intérêt de ces tests est de se rapprocher un peu plus d'une application industrielle dans laquelle le composant commutera sur une charge (objet du chapitre 4). Dans cette section nous n'utiliserons pas la partie puissance en se focalisant uniquement sur le stress de grille. Les résultats permettent de fournir des données sur la fiabilité de l'oxyde de grille qui est présentée comme le facteur limitant dans les études. Concernant les publications scientifiques, il est possible de trouver des études avec des opinions contradictoires sur la fiabilité des MOSFET. Dans le papier de M.Kaplar [KDM<sup>+</sup>12] et le papier de M. DasGupta [DBK<sup>+</sup>11], les auteurs montrent une dégradation de la tension de seuil alors que plus récemment M.Kaplar [KHA<sup>+</sup>13] et M. Das [DHR<sup>+</sup>12], les auteurs démontrent une bonne durée de vie avec des caractéristiques stables. Il est donc important de fournir des résultats de fiabilité pour savoir si le MOSFET peut être utilisé dans des applications haute température. Dans un premier temps, nous réaliserons les tests d'instabilité de la grille qui montrent la quantité de charges piégées par effet tunnel et l'influence de la température, du temps lorsqu'on polarise la grille en commutation. Nous observerons le va et vient des charges se bloquant dans les pièges d'interface et d'oxyde. Dans un deuxième temps, nous étudierons si la quantité de pièges dans l'interface évolue dans le temps avec un test de vieillissement en commutation.

#### 3.3.1 Description du banc de test

Le premier test réalisé s'intéresse à la dérive de la tension de seuil lorsqu'on applique une tension de grille en commutation. Ce test s'appelle l'instabilité mesurée pour plusieurs températures (Bias Temperature Instability BTI). Il est classiquement utilisé pour caractériser la qualité des interfaces MOS des composants latéraux [LHG<sup>+</sup>08]. Cependant le test BTI ne nécessite que l'accès à la grille, à la source et au drain du MOSFET de tel sorte qu'il peut également être utilisé sur les structures verticales. L'instabilité se mesure en appliquant des périodes successives de polarisation positive et négative sur la grille avec le drain et la source mise à la masse. Un cycle typique de BTI se divise en plusieurs étapes (figure 3.15) :

- **Étape 1** : Initialement la tension grille-source effectue une rampe du niveau négatif (-5V) au positif (+20V) durant laquelle on vient appliquer une tension drain-source de 10 mV afin d'effectuer une mesure ID-VGS. On profite de cette rampe pour mesurer la tension de seuil que nous définissons comme précédemment avec un courant de drain arbitraire de  $100\mu A$ .
- **Étape 2** : Ensuite un stress positif (+20V) est appliqué sur la grille pendant un temps variable ( $T_{HIGH}$ ) alors que le drain et la source sont reliés à la masse.
- **Étape 3** : Une fois le stress positif effectué, la tension de grille-source effectue une rampe du niveau positif (+20V) au négatif (-5V) durant laquelle on vient appliquer une tension drain-source de 10 mV pour réaliser la mesure ID-VGS. On trouve donc une nouvelle valeur de tension de seuil que nous allons comparer à celle obtenue précédemment. Nous appellerons dorénavant ramp-up la mesure ID-VGS de négatif à positif et ramp-down la mesure ID-VGS de positif à négatif.

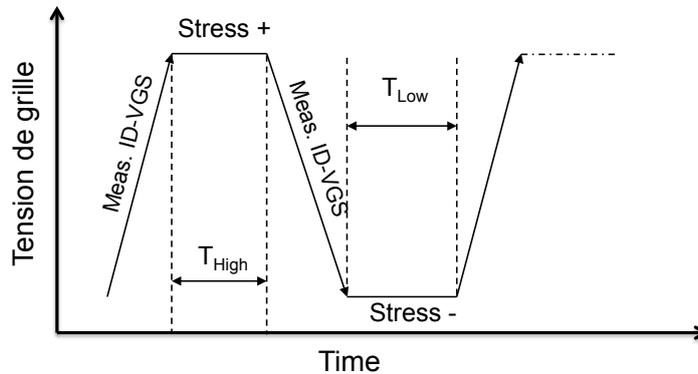


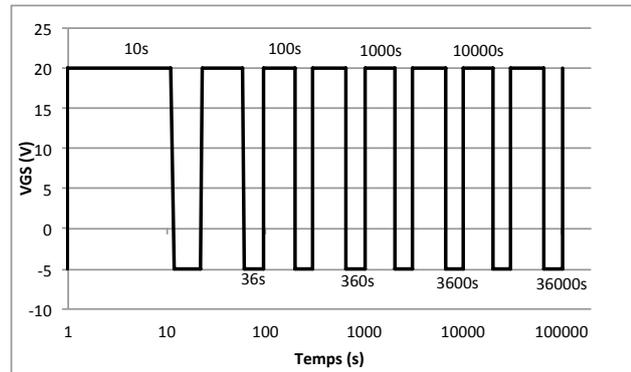
FIGURE 3.15 – Schéma d'un cycle du stress BTI représentant la tension de grille en fonction du temps

- **Étape 4** : Ensuite un stress négatif (-5V) est appliqué sur la grille pendant un temps variable ( $T_{LOW}$ ) alors que le drain et la source sont reliés à la masse.
- **Étape 5** : Finalement, la tension de grille effectue de nouveau une ramp-up pour mesurer la tension de seuil.

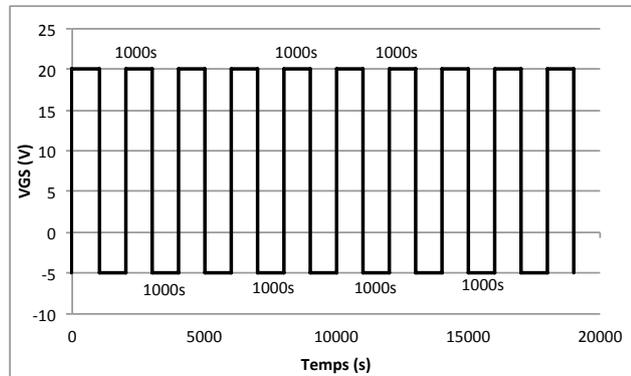
### 3.3.1.1 Instrumentation du banc et monitoring des caractérisations électriques

L'objectif du test BTI est de mesurer la dérive de la tension de seuil lorsque le composant a subi un stress positif ou négatif avant la caractérisation. Cependant le phénomène du piégeage et dé-piégeage des charges est rapide [LHS<sup>+</sup>08], il est nécessaire de faire un balayage ID-VGS le plus rapide possible avec toutefois une résolution raisonnable pour voir plus d'instabilité [OAGR08]. Afin de réaliser ces mesures, nous avons utilisé deux SMU Keithley 2410 contrôlées par l'interface GPIB avec un logiciel de mesure IVMeasure développé par Maxime BERTHOU (laboratoire AMPERE). Le temps d'intégration est de 20 ms et le retard de mesure de 1 ms. Nous avons réduit le nombre de points à 50 par rampe pour une durée totale de moins d'une seconde sur la caractérisation ID-VGS. Les niveaux des tensions de la grille sont ceux fournis par le fabricant -5V/+20V.

Pour le test de BTI, les temps de stress de grille positifs et négatifs ont été répartis en 8 cycles incrémentés (10s, 36s, 100s, 360s, 1000s, 3600s, 10 000s, 36 000s). Cette configuration permet de connaître l'influence du temps de polarisation de grille sur la dérive de la tension de seuil. Dans un deuxième temps, nous nous intéresserons à la quantité de pièges d'interface et nous réaliserons 20 cycles de 1000s pour faire du vieillissement. L'évolution de la dérive informera sur l'apparition de pièges avec une détérioration de l'oxyde. La figure 3.16 résume les différents cycles effectués pour le premier test d'instabilité et pour le test de vieillissement. Dans le premier test, nous regarderons comment évoluent les charges piégées et dans le deuxième nous regarderons comment évolue la quantité de pièges dans l'oxyde et à l'interface.



(a)



(b)

FIGURE 3.16 – Schéma de la série des cycles de stress de grille pour (a) l'instabilité et (b) le vieillissement

### 3.3.1.2 Contrôle de la température

Afin de faire une étude de l'instabilité en température, nous avons placé le composant dans l'étuve VENTICELL précédemment utilisée. Le banc est conçu avec des matériaux adaptés haute température avec des attaches mécaniques. La photo 3.17 présente le banc d'essai BTI utilisé. Les températures choisies sont 175°C représentant la limite entre les applications basse et haute température (limite du packaging epoxy) et 250°C notre température du cahier des charges. Ces deux températures permettront d'étudier l'impact de la température sur l'instabilité.

### 3.3.2 Analyse des résultats de l'instabilité de la grille (phénomène réversible)

#### Instabilité en fonction du temps du stress

Cette section présente les résultats du test d'instabilité en fonction de la durée des stress appliqués pour une température de 250°C. La figure 3.18 présente des cycles de caractérisations ID-VGS réalisées pour deux périodes de stress de polarisation (1000s et 3600s). Initialement, le MOSFET a une tension de seuil de 1,7V

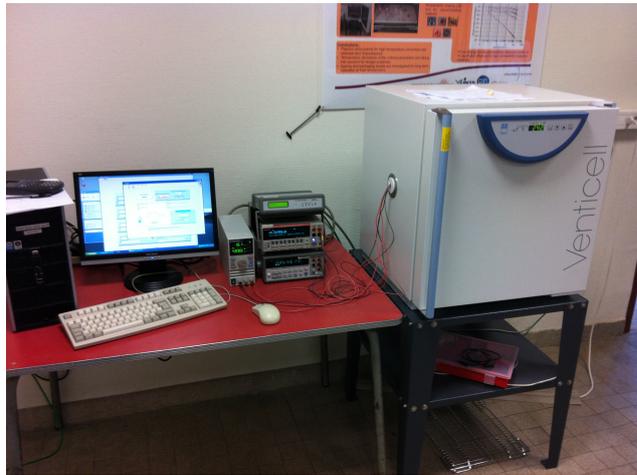


FIGURE 3.17 – Photo du banc d’essai BTI avec les SMU Keithley l’interface GPIB et l’étuve

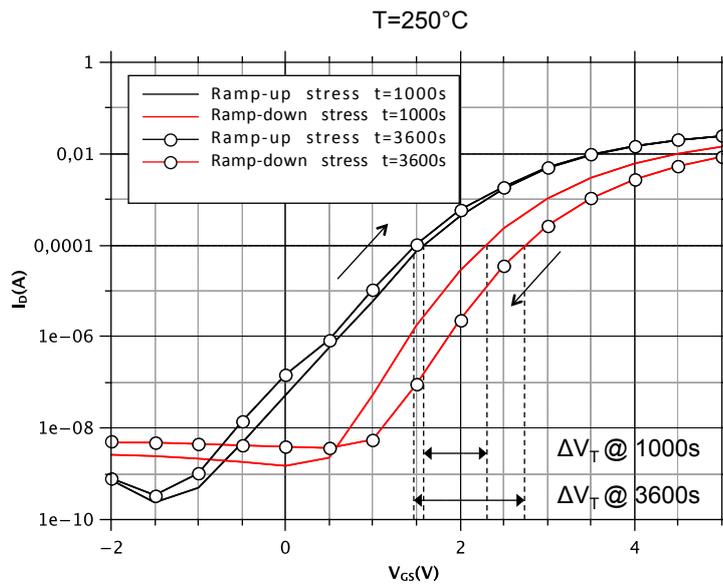


FIGURE 3.18 – Mesure de  $I_D$ -VGS pour le ramp-down et le ramp-up sur laquelle on mesure l’instabilité pour différents temps de stress

à 250°C (caractérisation chapitre 2 figure 2.23). Nous pouvons voir d’une part que la contrainte de polarisation positive a provoqué un changement positif de la tension de seuil. En effet  $V_{TH} = 2,2V$  pour un stress de 1000s (augmentation de 30%) et  $V_{TH} = 2,7V$  pour un stress de 3600s (augmentation de 60%). Cependant après la polarisation négative, la tension de seuil retrouve sa valeur initiale avec même un léger décalage négatif ( $V_{TH} = 1,5V$  pour le stress de 3600s).

Afin de quantifier le seuil d’instabilité, on définit  $\Delta VT$  comme étant la soustraction de la tension de seuil mesurée pour le stress positif et pour le stress négatif

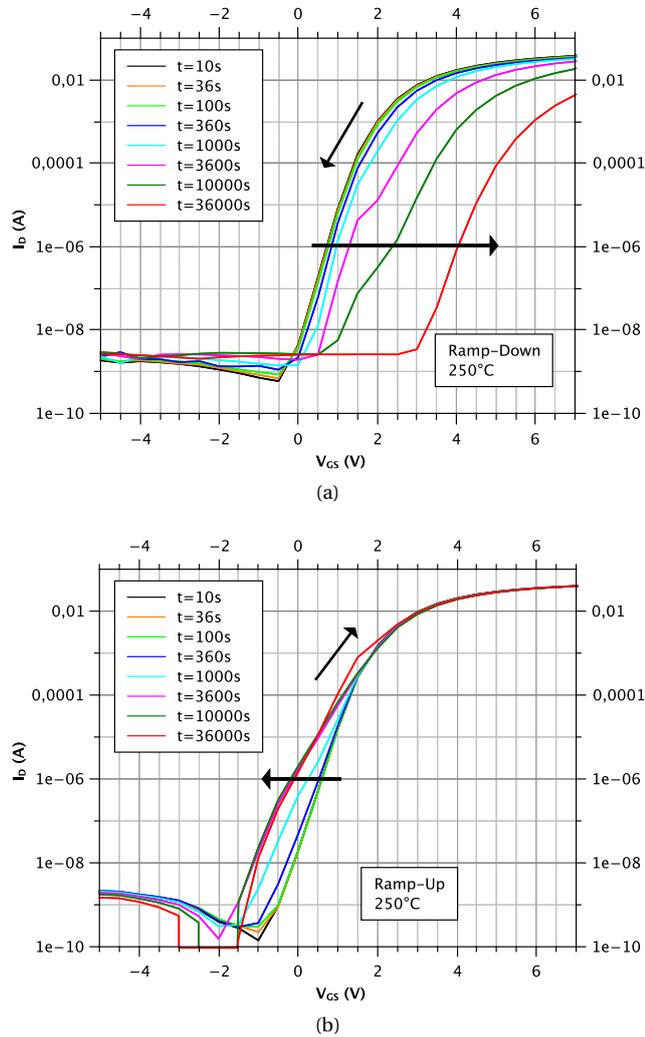


FIGURE 3.19 – Mesure de ID-VGS d'un MOSFET après la polarisation (a) positive et (b) négative pour différentes périodes de polarisation à 250°C

dans un même cycle. Cette relation est décrite par l'équation suivante :

$$\Delta VT = V_{TH}(\text{ramp-down}) - V_{TH}(\text{ramp-up}) \quad (3.5)$$

$$\Delta VT_{1000s} = 2,25 - 1,55 = 0,7V \quad (3.6)$$

$$\Delta VT_{3600s} = 2,75 - 1,45 = 1,3V \quad (3.7)$$

Sur la courbe 3.18,  $\Delta VT$  est égale à 0,7V pour la période de 1000s et 1,3V pour la période de 3600s. On voit donc que l'instabilité dépend du temps de polarisation car la période de 3600s provoque une forte augmentation de 85% par rapport à la période de 1000s. Ce phénomène est lié aux piégeages des charges dans l'interface.

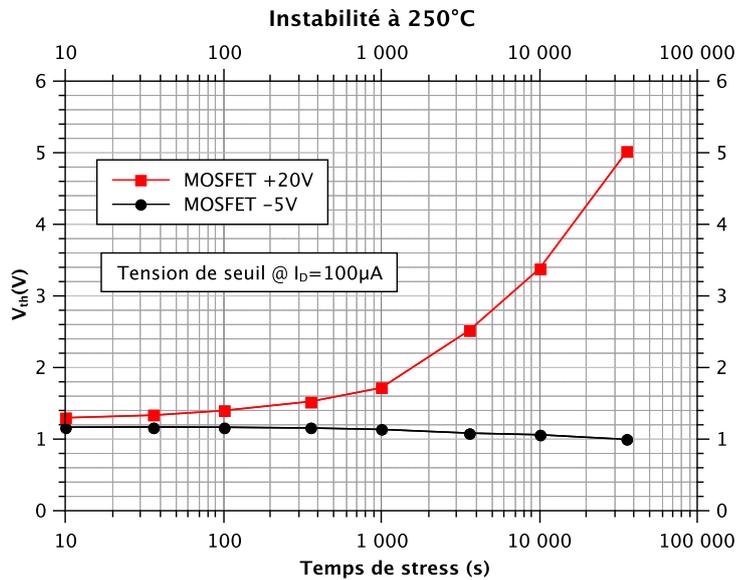


FIGURE 3.20 – Dérive de la tension de seuil en fonction du temps de polarisation

La figure 3.19 montre toutes les mesures ID-VGS pour les différentes périodes de polarisation positives et négatives. L'effet du temps de polarisation amplifie la dérive de la tension de seuil. Une autre manière de représenter cette dérive est illustrée sur la courbe 3.20. Lorsqu'une tension positive est appliquée sur la grille, le composant bascule en mode d'inversion. Les charges positives de la métallisation de grille repoussent les trous à l'interface SiO<sub>2</sub>/SiC et une couche d'appauvrissement apparaît. Dans le P-well la couche d'inversion apparaît avec la présence d'électrons. Ces charges négatives sont capturées à l'interface et dans l'oxyde par effet tunnel. Lorsqu'une tension négative est appliquée sur la grille, les trous sont déplacés vers la métallisation de grille. Les électrons capturés dans les pièges d'interface sont libérés et peuvent se recombiner avec les trous du P-Well.

Nous pouvons donc conclure que la polarisation positive de grille entraîne une dérive positive de la tension de seuil et une polarisation négative entraîne une dérive négative. Cette effet est expliqué par la décharge et la charge des électrons dans les pièges d'interface et d'oxyde en réponse au champ électrique. La dérive de la tension de seuil en fonction des pièges d'interface ( $\Delta N_{it}$ ) et des pièges d'oxyde ( $\Delta N_{ox}$ ) est donnée dans l'équation suivante :

$$\Delta V_T = \frac{q\Delta N_T}{C_{ox}} = \frac{q(\Delta N_{it} + \Delta N_{ox})}{C_{ox}} \quad (3.8)$$

Dans la thèse de Aurore Constant [Con11], un rapprochement est démontré entre la dérive de la tension de seuil et la qualité de traitement de surface avant l'oxydation de la grille. Cette étude a été réalisée sur des MOSFET latéraux et elle montre qu'un recuit sous H<sub>2</sub> réduit les défauts initiaux d'interface et d'oxyde par rapport au recuit sous O<sub>2</sub> ou NH<sub>3</sub>. Par conséquent, le contrôle de la surface avant l'oxydation est la clé pour améliorer la stabilité de la grille.

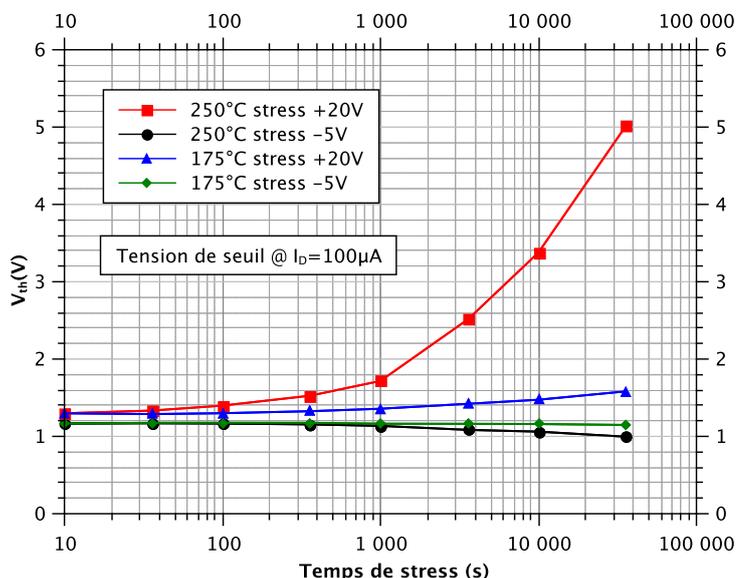


FIGURE 3.21 – Dérive de la tension de seuil en fonction du temps de polarisation et de la température

### Instabilité en fonction de la température

Afin d'évaluer l'influence de la température sur l'instabilité de la tension de seuil, un autre test a été réalisé à 175°C et la figure 3.21 montre la comparaison de la dérive. Sur la courbe on voit bien l'influence de la température sur l'instabilité avec une tension de seuil initiale de 1,2V pour le ramp-down qui finit à 1,6V à 175°C. En parallèle à 250°C, initialement  $V_{TH} = 1,2V$  et à la fin  $V_{TH} = 5V$ . L'apport en énergie thermique contribue au phénomène de piégeage des charges dans l'interface et dans l'oxyde. Dans le papier de Okayama [OAGR08], l'auteur montre que la dérive reste extrêmement faible pour des températures de 30°C. Il faut donc fournir une énergie minimum pour activer les charges mobiles en plus de la polarisation de grille.

Cependant, même si ces tests d'instabilités montrent une grande dérive de la tension de seuil pour les températures supérieures à 200°C, la polarisation négative de la grille permet une récupération quasi initiale des propriétés du semi-conducteur (phénomène réversible). On ne peut donc pas conclure sur une éventuelle dégradation de la grille avec ces tests. Nous cherchons donc à savoir si la quantité de pièges dans l'interface et dans l'oxyde reste constante dans le temps avec un phénomène irréversible. Pour cela, nous allons répéter une période de temps fixe et mesurer l'évolution de l'instabilité. Ce test permettra de conclure sur l'augmentation de pièges significatifs d'une dégradation de l'oxyde irréversible.

### 3.3.3 Analyse des résultats sur le vieillissement en commutation (phénomène irréversible)

Au début du test les pièges d'interface et d'oxyde sont vides d'électrons et donc remplis de trous. Le déplacement d'électrons peut entraîner d'autres défauts et

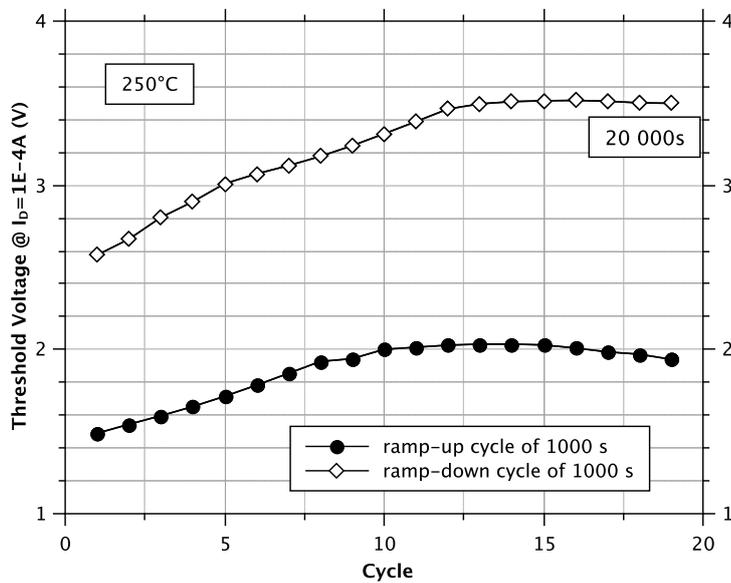


FIGURE 3.22 – Dérive de la tension de seuil en fonction du cycle de vieillissement de 1000s

l'apparition de nouveaux pièges dans l'interface. L'objectif de ce test est d'étudier l'évolution de la quantité de piège d'interface en appliquant 20 cycles de période 1000s fixe (figure 3.16b). Si la mesure de la tension de seuil montre une dérive qui fluctue dans le temps alors que les périodes de charges sont fixes et identiques cela signifie qu'il y a eu apparition de nouveaux pièges.

La figure 3.22 montre l'évolution de la tension de seuil après polarisation négative et positive d'une durée de 1000s pour 20 cycles. La courbe montre une tension de seuil de 2,57V après le stress positif de grille de +20V et une tension de seuil de 1,49V après le stress négatif de grille de -5V. Pour le ramp-up et le ramp-down, la tension de seuil mesurée augmente avec le temps ce qui signifie que la dégradation est plus liée au piégeage des charges négatives dans l'interface après le stress positif de grille. Nous pouvons donc en déduire que le mécanisme de libération des charges dans l'interface (polarisation de grille négative) est plus lent que celui du piégeage (effet tunnel). L'amplitude du champ négatif de grille est moins importante que celle du champ positif de par les niveaux de polarisation +20/-5. Il est donc normal de trouver ses résultats. Mais concernant la quantité de pièges, il faut mesurer l'instabilité  $\Delta V_{TH}$ . Initialement, on mesure une instabilité de 1,08V et nous allons voir son évolution pendant ce test de vieillissement. La figure 3.23 montre l'instabilité  $\Delta V_{TH}$  durant le test de vieillissement. On remarque une augmentation de  $\Delta V_{TH}$  passant de 1,08V à 1,56V (44%) significative d'une plus grande quantité de charges piégés. Or le temps de polarisation étant fixé, cette augmentation est liée à la création de pièges. Ce phénomène de dégradation est irréversible et peut avoir des conséquences désastreuses (cf 4). Nous voyons aussi que le niveau de polarisation choisi pour commander le composant est extrêmement important puisqu'il permet de faire le va et vient des charges dans l'interface. Si nous avions commandé le MOSFET entre +20V et 0V, la dérive positive aurait été plus importante encore du fait de l'absence d'un champ négatif qui libère les charges

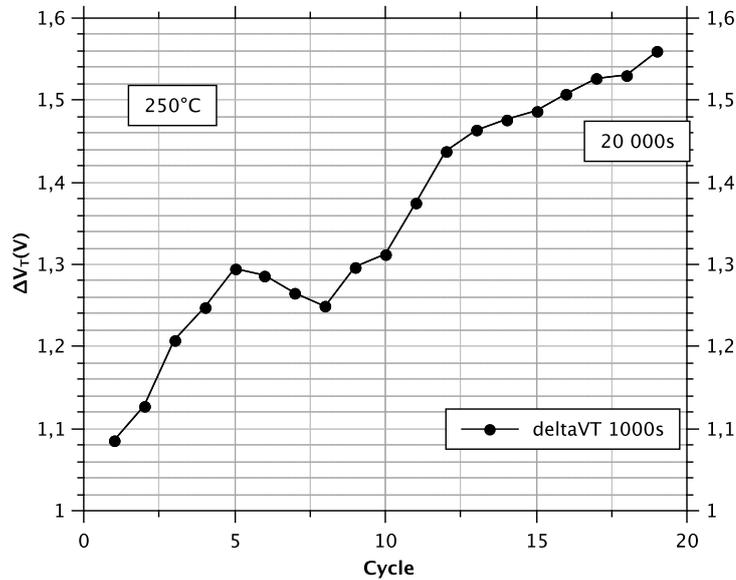


FIGURE 3.23 – Mesure de l'instabilité en fonction du cycle de vieillissement de 1000s

piégés dans l'interface. Il y a une optimisation de commande dans laquelle la polarisation positive vient compenser la polarisation négative et les charges piégées pendant le stress de grille positif sont toutes libérées lors du stress négatif. Comme précédemment, ce phénomène s'amplifie avec la température de manière exponentielle et c'est pourquoi lorsque les MOSFET en SiC sont utilisés dans des applications classiques (nettement inférieures à 175°C), nous ne prévoyons quasiment pas de dégradation BTI. En plus, comme la qualité de fabrication de la grille est le facteur prépondérant de l'instabilité, nous pouvons penser qu'avec l'amélioration des processus d'oxydation, les phénomènes BTI vont diminuer (chapitre 5). Pour finir, dans notre test d'instabilité, nous avons choisi volontairement des temps de polarisation longs pour mettre en évidence la dérive de la tension de seuil. Lorsque le MOSFET se trouve dans une application, les commutations s'effectuent à des fréquences bien plus élevées et donc ce phénomène est moins marqué. Ces différents tests de vieillissement apportent des réponses sur la fiabilité du MOSFET et notamment de l'oxyde de grille cependant il est nécessaire de réaliser un vieillissement dans des conditions réalistes qui reste un challenge difficile méritant des travaux plus approfondis [KHA<sup>+</sup> 13]. C'est l'objectif du prochain chapitre.

### 3.4 Conclusion

Ce chapitre a présenté les premiers travaux de vieillissement réalisés sur notre véhicule test défini dans le chapitre 2 embarquant une puce de MOSFET en SiC. Par la suite, nous avons proposé une perspective d'analyse des mécanismes de défaillance avec une identification de leurs origines. Ces tests tentent de répondre à la fiabilité de MOSFET aux contraintes en température très élevée (250°C). Bien des travaux ont déjà été menés en rapport avec le vieillissement et la fiabilité du packaging d'assemblage et par conséquent nous avons porté nos études sur le com-

posant semi-conducteur MOSFET sur lequel peu d'études ont été réalisées. Nous avons donc placé le composant dans des conditions thermiques en statique.

Le premier test consiste à séparer les différents stress électrique que va subir le semi-conducteur. Nous avons polarisé la puce par une excitation électrique statique positive et négative sur la grille et des paliers de température jusqu'à 250°C ont été appliqués sur les composants. Le but est de déterminer quels sont les paramètres électriques utilisables comme indicateurs de vieillissement des puces et le niveau de température optimal pour les tests de vieillissement suivants. Nous avons pu observer deux phénomènes de dégradations. Le premier phénomène de vieillissement est relié aux paramètres électriques du courant de fuite de drain et de grille qui donnent une indication sur l'état de santé du MOSFET. En effet lorsque le courant de fuite statique de la grille reste faible, le composant est opérationnel et si on observe un emballement de ce paramètre, alors le composant devient défectueux ne remplissant plus sa fonction de commutation. Le deuxième phénomène de vieillissement concerne cette fois les paramètres de la résistance à l'état passant et la tension de seuil qui sont reliés dans la structure MOSFET. Cette dégradation est progressive car l'augmentation de la tension de seuil n'entraîne pas forcément la casse du composant. L'évolution de la tension de seuil fait partie des problèmes prépondérant de la fiabilité du MOSFET en SiC notamment vis à vis de la qualité de l'oxyde de grille. L'interface SiO<sub>2</sub>/SiC apporte par le niveau d'énergie du semi-conducteur grand gap une plus grande instabilité.

Le deuxième test réalisé dans ce chapitre focalise sur la problématique de l'oxyde de grille et de sa fiabilité. Nous avons mesuré l'évolution de la tension de seuil en fonction de la durée de polarisation de la grille en positif et en négatif. Ce phénomène de variation s'appelle l'instabilité (test BTI) et fournit des informations sur la quantité de charges qui se piègent dans des défauts d'interface par effet tunnel. Ce phénomène est réversible puisque nous pouvons retrouver l'état initial du composant en libérant les charges par polarisation d'un champ électrique opposé sur la grille. Plus l'oxyde a des impuretés et plus les pièges sont nombreux. La dérive de la tension de seuil est donc dépendante de la quantité de pièges. Nous avons pu définir le niveau d'instabilité de notre véhicule de test en fonction de la température. Afin de connaître le niveau de fiabilité de l'oxyde, nous avons fait par la suite un test de vieillissement en commutation sur la grille. L'évolution de l'instabilité dans le temps nous montre qu'il y a création de nouveaux pièges d'interface. Ce phénomène est lui irréversible et dégrade les performances du semi-conducteur.

Les premiers tests de vieillissement réalisés nous ont permis de connaître l'évolution des paramètres électriques dans le temps et de relier les dégradations aux propriétés électriques. La détérioration de la grille dans le temps semble être l'élément limitant de la structure MOSFET en SiC. Ces premiers tests apportent des réponses sur les phénomènes de dégradation, cependant ils ne représentent pas les conditions d'utilisations des modules dans lesquelles les MOSFET commutent à plus haute fréquence avec de la puissance. Il est donc nécessaire de réaliser un vieillissement dans des conditions réalistes de notre cahier des charges. C'est l'objectif du prochain chapitre.



## Chapitre 4

# Vieillessement du MOSFET dans une application de puissance

### 4.1 Introduction

Les contraintes thermiques, électriques et mécaniques que subissent les modules de puissance sont à l'origine des défaillances. Notre objectif est de s'orienter vers la fiabilité prédictive des MOSFET en SiC par des essais accélérés. Dans le chapitre précédent, nous avons observé des dégradations liées à l'oxyde de grille qui se traduisent par une dérive de la tension de seuil et/ou par une fuite du courant statique de grille si le composant est défectueux. Même si les résultats obtenus montrent des progrès en terme de qualité d'oxyde de grille, il est nécessaire de poursuivre les tests de fiabilité dans des conditions réelles. En effet dans une application de puissance, le système nécessite des interrupteurs faisant passer des forts courants, des fortes tensions le tout à des fréquences de 10 kHz. Lors des commutations, les états transitoires engendrent des pics de tension et de courant qui peuvent accélérer les phénomènes de dégradation. Afin de répondre à notre problématique de fiabilité des MOSFET, nous devons reconstituer le plus fidèlement possible les conditions de notre application aéronautique.

L'objectif final est de déterminer des indicateurs de suivi de vieillissement du MOSFET dans son environnement applicatif. Les mécanismes de dégradation en lien avec l'assemblage ont déjà fait l'œuvre de travaux et de nombreux progrès ont été réalisés dans l'amélioration du packaging [YAJ13]. Dans cette étude, nous avons bénéficié d'une technologie d'assemblage spécialisée pour les applications haute température (supérieures à 300°C), ce qui nous permet de rendre le packaging le plus transparent possible dans les tests de vieillissement et de nous concentrer sur les problèmes de fiabilité liés au MOSFET lui même.

Les indicateurs de vieillissement, que nous souhaitons trouver, sont d'ordre électrique. Ainsi, ces paramètres dont nous suivrons l'évolution au cours du vieillissement du composant nous permettront d'analyser en temps réel la mise en défaut des composants de puissance jusqu'à qu'ils soient complètement non fonctionnels. Cela nous permettra d'effectuer un diagnostic de l'état du MOSFET avec en perspective la notion d'anticipation de la casse ("Health Monitoring").

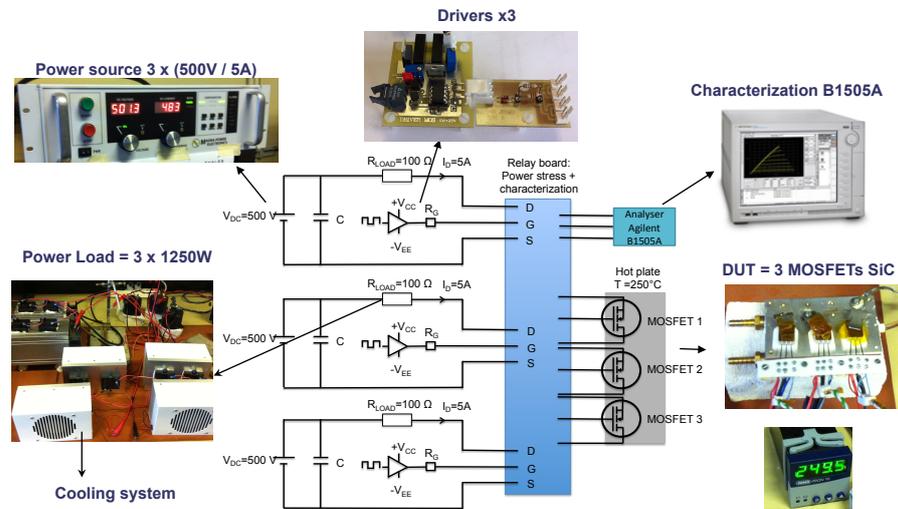


FIGURE 4.1 – Synopsis du banc de vieillissement pour 3 MOSFET

## 4.2 Description du banc de test

### 4.2.1 Objectif

Afin d'étudier le vieillissement des MOSFET, un banc de test a été réalisé répondant au cahier des charges d'une application de puissance. Le niveau de tension est fixé à 500V avec un courant de 5A pour une fréquence de 10kHz. Le composant est commandé avec les niveaux de tension de la datasheet du constructeur et doit avoir une température ambiante élevée pour accélérer le processus de vieillissement. Les informations sur la durée de vie des composants nous permettront d'établir une loi de vieillissement de type Weibull-Arrhénius. Nous voulons trouver des indicateurs de vieillissement, il faut donc monitorer les paramètres électriques du MOSFET tout en maintenant la température constante car le cyclage thermique apporte des contraintes sur le packaging. Pour finir les tests de vieillissement doivent durer pendant de longue durée sans interruption jusqu'à ce que le composant soit défectueux.

Vis à vis de ces contraintes, il est évident que la mise en place du banc a représenté une grosse partie du temps imparti pour cette étude. Par rapport au coût des composants et du volume des systèmes de refroidissement, notre banc de vieillissement a été conçu pour mettre en parallèle 3 MOSFET. La figure 4.1 présente un synopsis du banc de vieillissement. Les sections suivantes présentent les différents éléments qui constituent le banc de vieillissement.

### 4.2.2 Circuit de puissance

Notre cahier des charges fixe les niveaux de tension et courant de 500V et 5A fournis par une alimentation. Le circuit de puissance se compose uniquement d'un banc de charge résistif de 100Ω. De plus une capacité de lissage a été placée en parallèle de l'alimentation. Nous avons volontairement fait commuter le MOSFET sur une charge purement résistive. Avec une charge inductive, il est nécessaire de pla-

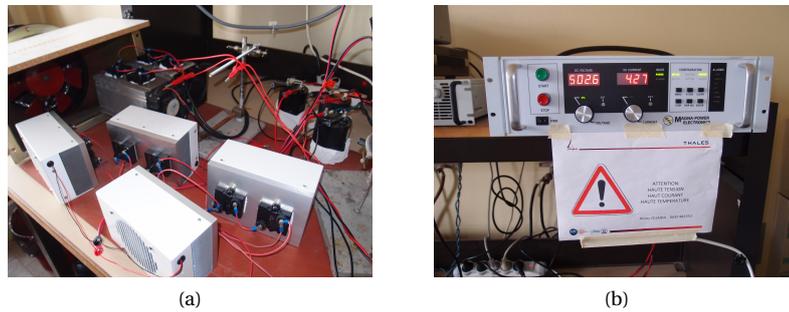


FIGURE 4.2 – Photo du circuit de puissance avec (a) la charge résistive et (b) l'alimentation

cer une diode de roue libre afin de faire circuler un courant inverse dans le circuit lorsque le composant est à l'état bloqué. Or dans cette étude, nous nous intéressons uniquement au vieillissement du MOSFET et non pas au système transistor plus diode (ni même transistor avec la body diode). En effet la présence de la diode va influencer les capacités internes et parasites avec du recouvrement de charge (influence sur les pertes du MOSFET). Notre banc est conçu pour étudier le transistor et l'évolution des paramètres électriques.

Sur la photo 4.2a, on voit les capacités d'entrée avec les résistances de puissance montées sur des dissipateurs. Les pertes dissipées dans les résistances produisent de la chaleur qu'il faut évacuer par des radiateurs et des ventilateurs. Cette puissance calorifique est estimée à 3750W (1250W fois 3 systèmes) et c'est pourquoi un extracteur d'air envoi la chaleur produite à l'extérieur de la pièce. La photo 4.2b montre l'alimentation de puissance.

### 4.2.3 Commande de grille

Un driver IXDD609PI commande le transistor de puissance MOSFET. Afin de pouvoir ajuster au mieux les niveaux de tension de la grille, nous avons conçu un driver avec une tension de commande variable. Les niveaux de la datasheet sont -5V/+20V. La photo 4.3 présente le driver conçu pour réaliser la fonction de commande. On peut voir les alimentations isolées des niveaux haut et bas de commande ajustables grâce au potentiomètre. Le signal en créneau 10kHz (PWM) est fourni par un optocoupleur. Le driver permet de régler le courant en charge et décharge (vitesse de commutation) grâce aux résistances placées en série des diodes. Les diodes ont pour but de contrôler indépendamment la résistance de grille pour le turn-on et le turn-off.

### 4.2.4 Contrôle de la température

Afin de fixer une température élevée pour accélérer le vieillissement sur le MOSFET, nous avons construit une plaque chauffante avec une cartouche chauffante et un bloc d'aluminium. Seuls les trois MOSFET sont à haute température et le reste du montage reste à température ambiante. La régulation de la température s'effectue grâce à un contrôleur qui est relié à un thermocouple fixé à proximité des puces.

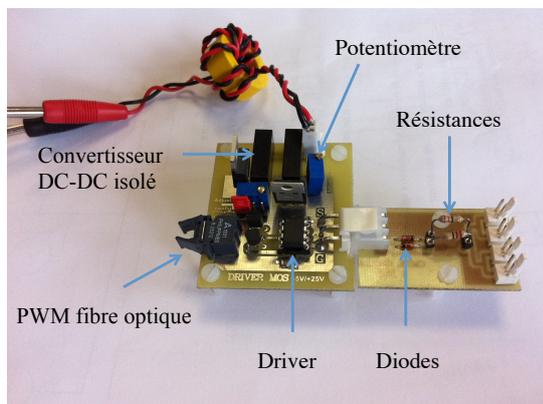


FIGURE 4.3 – Photo du driver de commande du MOSFET

#### 4.2.5 Monitoring des paramètres électriques durant le vieillissement

L'objectif de la manipulation est de réaliser un vieillissement sur les transistors MOSFETs afin d'obtenir une durée de vie du composant en fonction de la température. En parallèle, il est nécessaire de faire des caractérisations électriques afin d'observer l'évolution des paramètres électriques de la puce en fonction du temps. Ce suivi a été réalisé avec un analyseur B1505 Agilent directement relié sur l'installation. Pour éviter toute modification de la configuration du stress et le déplacement des MOSFET pendant le test, nous utilisons une carte de relais pour arrêter le test de commutation et procéder à la caractérisation statique des composants tout en maintenant la température sur le boîtier. De ce fait, le temps de mesure étant très faible devant la durée du vieillissement, il est possible de négliger les caractérisations sur la durée de vie finale.

Nous avons choisi différents indicateurs de vieillissement typiques pour l'étude des MOSFET :

- Comme vu précédemment et en raison du caractère sensible de l'interface d'oxyde de grille, le premier paramètre est la tension de seuil.
- La dégradation de l'oxyde peut créer des courants de fuite, nous surveillerons donc le courant de grille statique pour une tension  $V_{GS}=5V$ .
- Les dérives de la mobilité ou dégradation ohmique vont influencer la résistance à l'état passant qui sera donc monitorée avec une tension  $V_{GS}=20V$  et un courant  $I_D=5A$ .
- Les défauts de grille peuvent engendrer des fuites sur le drain. Le courant de fuite de drain sera mesuré avec  $V_{GS}=0V$  et  $V_{DS}=600V$ .

#### 4.2.6 Protection

Le test de vieillissement ne doit pas subir d'arrêt auquel cas la durée de vie avant défaillance n'est plus mesurable. Le banc doit fonctionner 24h/24 et 7jours/7. Pour cela, des protections ont été mises en place notamment sur deux aspects. Le premier concerne les hautes températures présentant un risque d'emballage thermique. Un thermocouple est fixé sur le bloc chauffant et s'il mesure un écart de  $20^{\circ}C$  par rapport à la consigne envoyée il coupe l'alimentation de la cartouche chauffante. Cette protection empêche un emballement thermique du composant

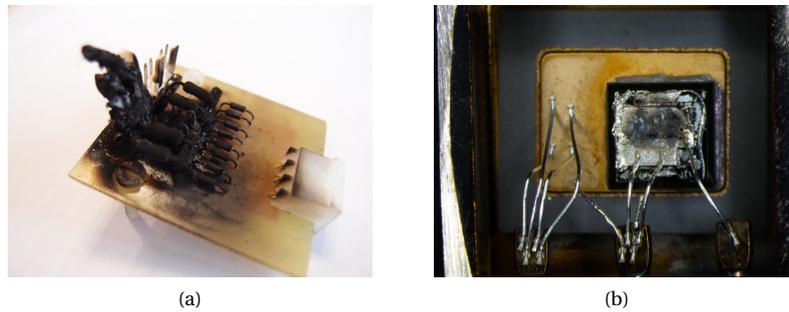


FIGURE 4.4 – Photo (a) d'un driver et (b) d'un MOSFET brulé sans protection électrique

ou un éventuel décollage du thermocouple. Le deuxième type de protection est d'ordre électrique avec de forte puissance dissipée. Les alimentations ont été programmée pour ouvrir le circuit si le courant dépasse 5A. En effet, en cas de court circuit l'augmentation du courant est détectée et la puissance est stoppée. Ces protections sont nécessaires pour réaliser un banc de vieillissement pour la protection du personnel mais aussi pour éviter que le MOSFET ne s'emballe thermiquement en cas de défaillance. Nous avons effectué des tests de vérification des protections et l'image 4.4 montre un MOSFET sans protection de puissance qui a subi un emballement thermique avec son driver de commande.

#### 4.2.7 Estimation de l'auto-échauffement de la température de jonction

Durant l'essai de vieillissement, chaque puce commute un courant de drain de 5A provoquant de l'échauffement. La température de jonction de la puce est plus élevée que celle du boîtier et va accélérer le processus de vieillissement. Il est donc important d'estimer la température de jonction vue par le MOSFET. Nous avons effectué des simulations thermiques en utilisant le software ANSYS NTL Pro. Les dimensions du packaging sont récupérées du chapitre 2 et modélisées en 3D en fonction des matériaux du boîtier. La puce est considérée comme étant un bloc en carbure de silicium. En utilisant les caractérisations des chapitres précédents, la puissance dissipée dans chaque puce est estimée à 4,1W dans les conditions de notre banc de test. La résistance thermique entre la jonction de la puce jusqu'à son boîtier a été évaluée à 2,32°C/W pour la température de 250°C. La figure 4.5 montre les résultats de la simulation thermique avec un étalement de la chaleur dans notre véhicule test. Avec une température de boîtier de 250°C, on a une température de jonction proche de 260°C.

#### 4.2.8 Condition d'arrêt des MOSFETs

Dans le chapitre 1, nous avons présenté les conditions d'arrêt des tests de vieillissement standard par rapport aux indicateurs mesurés. Cependant dans un but d'identification des mécanismes de dégradation, nous stopperons le composant dès qu'il ne pourra plus remplir sa fonction de commutation. Le test est non borné en fin de vie.

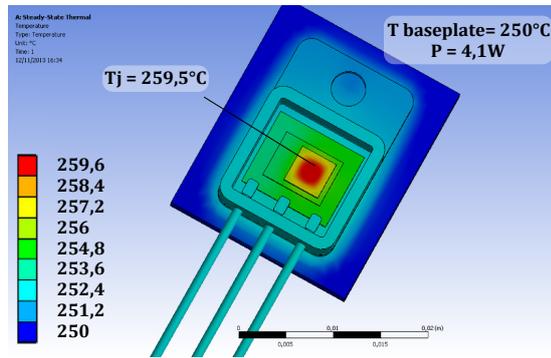


FIGURE 4.5 – Résultat de la simulation thermique sur les MOSFET avec le software ANSYS NTL

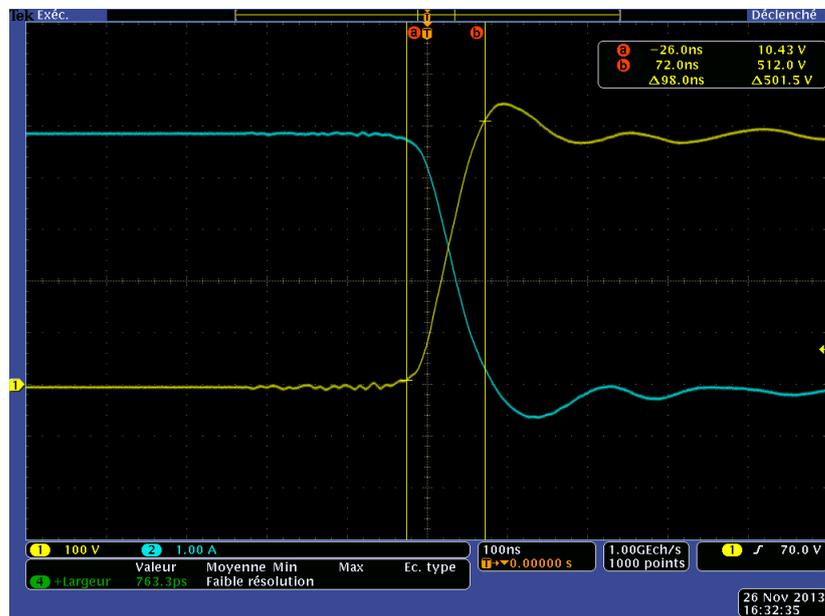


FIGURE 4.6 – Visualisation d'une commutation sur l'oscilloscope d'un MOSFET placé dans le banc de vieillissement

### 4.3 Analyse macroscopique des mécanismes de dégradation

Une fois le banc mis en place, nous avons réalisé des campagnes de tests pour plusieurs températures de boîtier. La première campagne a été effectuée à 250°C avec une technologie de report de puce en brasure haute température. Afin d'atteindre des températures de boîtier plus importantes, nous avons migré vers une technologie d'assemblage en argent fritté. Les campagnes suivantes ont été réalisées à 260°C, 280°C et 300°C. Dans la littérature, peu de tests ont été réalisés à ces températures élevées de boîtier. La figure 4.6 présente la visualisation de l'oscilloscope sur une commutation du MOSFET placé dans le banc de vieillissement pour une température de 280°C de boîtier. On retrouve un  $V_{DS} = 500V$  et  $I_D = 5A$ .

Le tableau 4.1 résume toutes les valeurs de durée de vie moyenne ainsi que les températures de boîtiers et jonctions. Les sections suivantes présentent les résultats obtenus pour ces différentes températures.

#### 4.3.1 Run 1 :250°C

Le test à 250°C a été réalisé sur 3 MOSFET qui ont été défectueux autour de 1000 heures. Durant tout le test, nous avons effectué 13 mesures de caractérisation. La figure 4.7 montre l'évolution des différents paramètres électriques surveillés pendant le stress. Il est intéressant de constater que les paramètres de vieillissement évoluent de manière différente pour les 3 MOSFET sauf pour le courant de fuite de grille en statique.

Effectivement, prenons dans un premier temps la tension de seuil. Nous notons une diminution du  $V_{TH}$  pour deux des trois dispositifs de 22% alors que le troisième reste stable. Contrairement au test d'instabilité, nous observons une dégradation raisonnable puisque compte tenue de la température élevée, les composants ont gardé leur propriété normally-off ( $V_{TH} > 0$ ). La tension de seuil ne reflète pas l'état de santé du composant car après 1000 heures, les MOSFET sont défectueux et le  $V_{TH}$  mesuré n'indique pas de défaillance. Le mécanisme de dégradation responsable de la casse des puces n'est pas relié au paramètre de la tension de seuil.

En ce qui concerne la résistance à l'état passant, un seul véhicule montre une faible dégradation (augmentation de 6%). Nous remarquerons que le MOSFET voyant sa résistance augmenter et le même qui a subi une dégradation sur la tension de seuil. Normalement, la tension de seuil évolue dans le même sens que la résistance à l'état passant (chapitre 3). Dans notre vieillissement, la  $R_{DS,ON}$  a une évolution antinomique à celle du  $V_{TH}$  ce qui implique une dégradation de l'oxyde et la présence de charges piégées à l'interface. La diminution du courant de drain dans le canal N entraîne une hausse de la résistance à l'état passant. Cependant ce phénomène reste faible et nous le constatons que sur un seul véhicule test.

Pour le courant de fuite de drain à l'état bloqué, chaque MOSFET évolue différemment. Un véhicule ne montre pas d'augmentation du courant de fuite durant le stress puis un emballement avant la défaillance. Les deux autres ont une augmentation avant la casse de la puce à des instants différents du stress. De plus, pour ces composants aucun autre paramètre n'évolue en synchronisation à cette augmentation du courant de drain. Il est donc difficile de faire une hypothèse sur cette évolution. Pour les composants, le courant de fuite de drain à l'état bloqué reste inférieur à  $100\mu A$ . Il semble difficile de considérer ce paramètre comme un indicateur de vieillissement.

Enfin, l'évolution du courant de fuite de grille statique est le seul indicateur qui caractérise la défaillance des MOSFET pour les trois véhicules de test. On note un courant de grille stable inférieur à  $1\mu A$  durant tout le test avant l'emballement. Juste avant la défaillance, le courant de grille augmente de 30 000% ce qui représente l'augmentation la plus marquée de tous les paramètres mesurés. Cet indicateur reflète donc l'état de santé du composant et peut être considéré comme un indicateur de vieillissement. Nous allons donc porter une grande attention à cette mesure pour les prochains run de vieillissement pour confirmer notre postulat. La fuite du courant de grille statique peut être liée à la qualité du diélectrique de l'oxyde de grille. Nous devons faire une étude post-mortem pour analyser le mécanisme de dégradation engendrant l'emballement du courant de grille. L'étude

TABLE 4.1 – Récapitulatif des durées de vie des MOSFET dans les tests de vieillissement

MOSFET n°	Température de boîtier	Température de jonction	Durée de vie (en heures)	Dernière inspection (en heures)	Technique d'assemblage
MOSFET 1	250°C / 523K	259,5°C / 532,5K	1024	1000	HMP
MOSFET 2	250°C / 523K	259,5°C / 532,5K	995	971	HMP
MOSFET 3	250°C / 523K	259,5°C / 532,5K	1000	976	HMP
MOSFET 4	260°C / 533K	270°C / 543K	910	886	Ag fritté
MOSFET 5	260°C / 533K	270°C / 543K	886	862	Ag fritté
MOSFET 6	260°C / 533K	270°C / 543K	935	911	Ag fritté
MOSFET 7	280°C / 533K	292°C / 565K	580	556	Ag fritté
MOSFET 8	280°C / 533K	292°C / 565K	520	496	Ag fritté
MOSFET 9	280°C / 533K	292°C / 565K	480	456	Ag fritté
MOSFET 10	300°C / 533K	315°C / 588K	285	261	Ag fritté
MOSFET 11	300°C / 533K	315°C / 588K	126	126	Ag fritté
MOSFET 12	300°C / 533K	315°C / 588K	320	296	Ag fritté

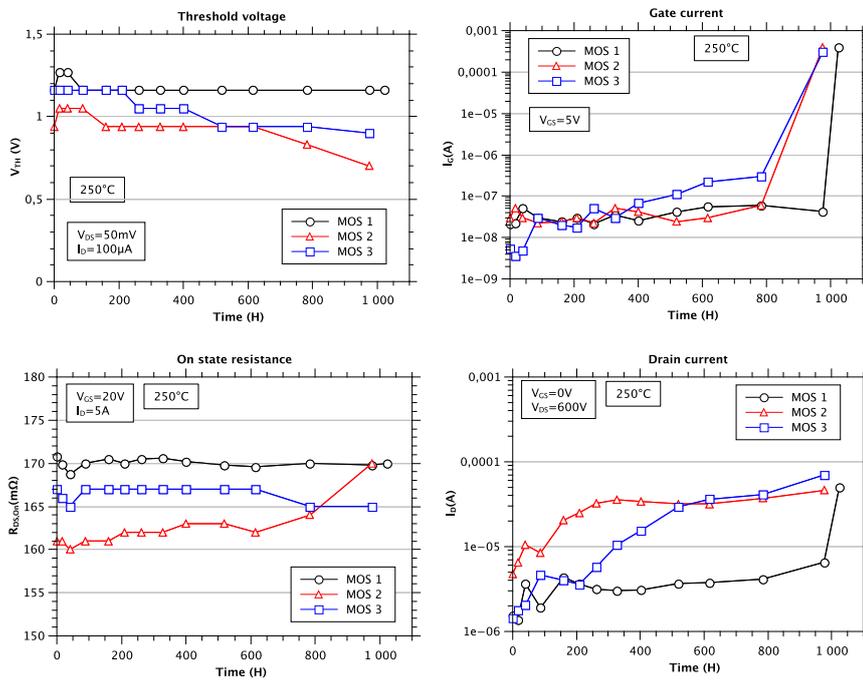


FIGURE 4.7 – Évolution de la tension de seuil, de la résistance à l'état passant, du courant de fuite de drain et du courant de fuite de grille en fonction du temps pour le test de vieillissement  $T_{case} = 250^{\circ}C$

macroscopique est accompagnée d'une étude microscopique présentée dans ce chapitre.

### 4.3.2 Run 2 : 260°C

Le test à 260°C a été réalisé sur 3 MOSFET qui ont été défectueux autour de 900 heures. Durant tout le test, nous avons effectué 8 mesures de caractérisation. La figure 4.8 montre l'évolution des différents paramètres électriques surveillés pendant le stress.

Comme précédemment à 250°C, on remarque une augmentation du courant de fuite statique pour les trois véhicules de test. Pour les autres paramètres, leur évolution ne permet pas de conclure sur une tendance commune aux 3 MOSFET. Par contre, il est intéressant de constater que l'augmentation de la température de boîtier augmente l'amplitude des dérives des paramètres mesurés. En effet pour la tension de seuil, nous observons une diminution allant jusqu'à 60% pour le MOSFET 5. La tendance pour tous les composants est une baisse du  $V_{TH}$  sans toutefois atteindre un seuil critique puisque la tension de seuil reste supérieure à zéro. La résistance à l'état passant a plutôt tendance à augmenter illustrant le même phénomène de vieillissement que pour 250°C. L'augmentation est de 13% pour la  $R_{DS,ON}$  du MOSFET 6. Le courant de fuite de drain augmente de façon significative au moment de la défaillance. L'apport en énergie thermique semble avoir apporté une amplification du défaut de courant de fuite de grille qui influence le courant de

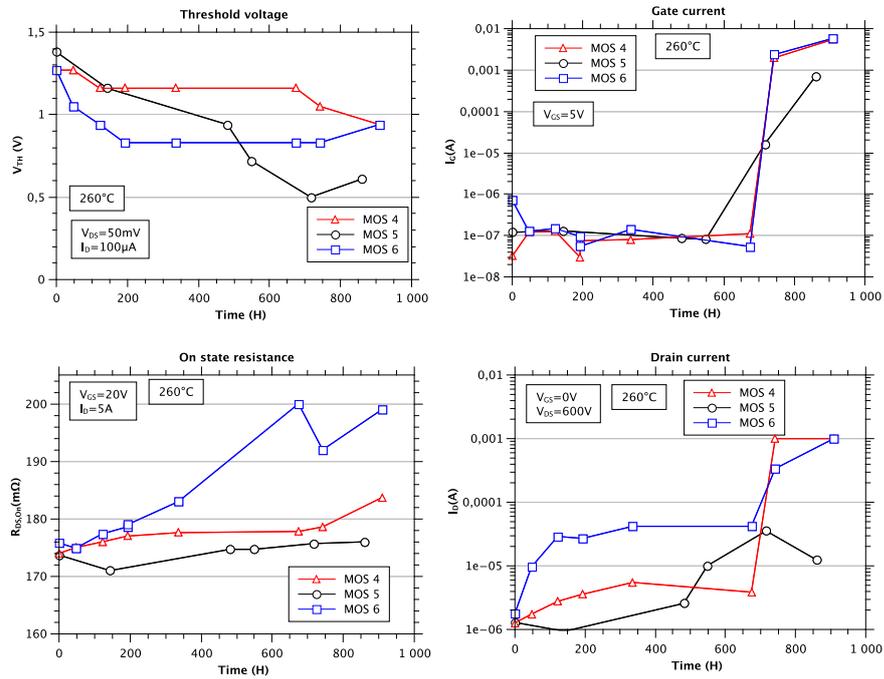


FIGURE 4.8 – Évolution de la tension de seuil, de la résistance à l'état passant, du courant de fuite de drain et du courant de fuite de grille en fonction du temps pour le test de vieillissement  $T_{case} = 260^{\circ}\text{C}$

fuite de drain. Cette hypothèse doit néanmoins être validée par une étude des mécanismes de dégradation. Tous ces indicateurs sont donc influencés par l'aspect thermique mais la défaillance des MOSFET est toujours liée à un défaut sur la grille qui a pour signature l'emballement du courant de grille. Concernant le courant de fuite de grille en statique, nous avons essayé de trouver une explication sur la circulation de ce courant. Nous avons donc effectué des caractérisations de courant de grille en fonction de la tension de grille-source.

La figure 4.9 présente la courbe  $I_G$  en fonction de  $V_{GS}$  pour les MOSFET qui ont subi le test de vieillissement à  $260^{\circ}\text{C}$  de température de boîtier. La jonction capacitive grille source ne permet pas au courant statique de circuler lorsque le composant est fonctionnel quelle que soit la tension de grille. La courbe montre que la défaillance dans le MOSFET se traduit par la présence de courant de grille statique d'où une jonction devenue résistive. On remarque que le MOSFET 5 a une défaillance moins marquée que les MOSFET 4 et 6. En effet, lorsqu'on regarde sur les courbes des indicateurs, on observe un courant de fuite de drain plus faible au moment du défaut avec  $I_D = 10\mu\text{A}$ . Nous porterons notre étude microscopique sur le MOSFET 5, car le stress de vieillissement a été arrêté au début de l'emballement du courant de fuite statique de grille.

L'analyse des premiers résultats nous permet de voir que le courant de fuite de grille semble être le phénomène précurseur de la dégradation puisque certains composants (MOSFET 1,2,3,5) n'ont pas un courant de fuite de drain important

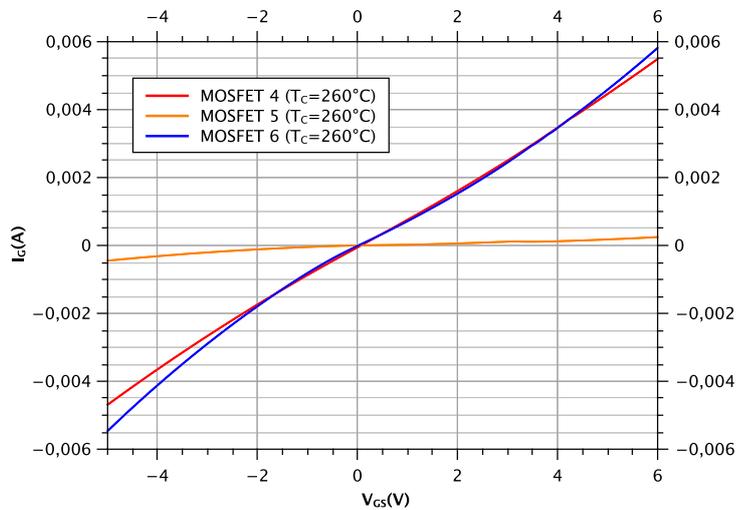


FIGURE 4.9 – Caractérisation du courant de grille statique en fonction de la tension de grille source pour les MOSFET après le test de vieillissement avec une  $T_{case} = 260^{\circ}\text{C}$

(inférieur à  $100\mu\text{A}$ ). Lorsqu'on accélère le vieillissement par augmentation de la température les composants (MOSFET 4 et 6) ont un courant de fuite de drain qui augmente.

### 4.3.3 Run 3 et 4 : $280^{\circ}\text{C}$ et $300^{\circ}\text{C}$

Nous avons réalisé le test de vieillissement sur deux températures de boîtiers différentes à  $280^{\circ}\text{C}$  et  $300^{\circ}\text{C}$ . Ces températures sont extrêmement chaudes et n'ont jamais été atteintes, à notre connaissance, jusqu'à aujourd'hui. Toutes ces expériences nous permettent par la suite de modéliser le vieillissement afin de faire une loi de vieillissement. Pour les températures de  $280^{\circ}\text{C}$  et  $300^{\circ}\text{C}$ , l'évolution des paramètres monitorés confirme les résultats précédents avec un courant de grille qui s'emballé avant la défaillance. Le courant de fuite de drain est important comme pour les MOSFET 4,5 et 6 (1mA). Les autres paramètres varient plus sous l'apport d'énergie thermique comme la tension de seuil qui diminue fortement. Sur la figure 4.10 on voit que pour le test à  $300^{\circ}\text{C}$  (MOSFET 11 et 12), la tension de seuil devient inférieure à zéro ce qui rend le composant normalement passant. Nous avons fortement dégradé les propriétés intrinsèques de ce composant. Ce phénomène est lié à l'instabilité de la grille et nous pouvons conclure que ce composant ne possède pas le même mode de défaillance que les autres MOSFET.

Afin de confirmer la signature du défaut, la courbe 4.11 montre l'évolution du courant de fuite de grille statique pour tous les MOSFET. On retrouve notre conjecture sur le mécanisme de défaillance pour tous les composants avec le MOSFET 11 qui a une signature en courant moins amplifiée que les autres.

L'évolution des paramètres électriques pendant le vieillissement des MOSFET est décrite ci dessous :

- La tension de seuil décroît avec le temps par l'effet d'instabilité mesuré dans le chapitre précédent. Si la tension de seuil décroît, cela signifie que l'effet

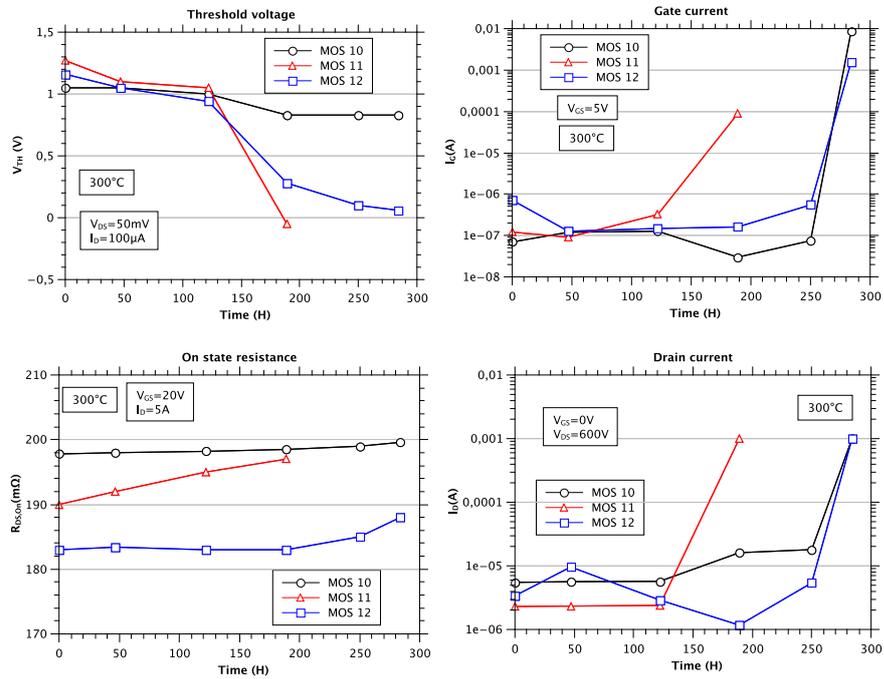


FIGURE 4.10 – Évolution de la tension de seuil, de la résistance à l'état passant, du courant de fuite de drain et du courant de fuite de grille en fonction du temps pour le test de vieillissement  $T_{case}=300^\circ\text{C}$

prépondérant sur cette dérive est la décharge des pièges profonds dans l'interface. L'effet tunnel dégrade donc l'oxyde sous l'application de la tension de grille négative. Cette dérive n'est pas la raison de la défaillance sauf pour le MOSFET 11. L'apport thermique amplifie ce phénomène.

- La résistance à l'état passant augmente avec le temps ce qui est antinomique avec l'évolution naturelle de la tension de seuil. Cette évolution montre la dégradation du composant mais les conclusions sont difficiles à établir étant donné la faible évolution.
- Le courant de fuite de drain reste stable durant le test tant que le composant est opérationnel. Lorsque le composant devient défaillant la fuite augmente et il semble que cet emballement soit lié au courant de fuite de grille.
- Le courant de fuite de grille statique est le paramètre électrique qui informe sur l'état de santé du MOSFET. On remarque systématiquement un emballement du courant avant la défaillance pour toutes les températures qui jouent un rôle accélérant sur le vieillissement.

Dans l'ensemble, nous obtenons de bons résultats de durée de vie avec une utilisation jusqu'à  $300^\circ\text{C}$  de boîtier pendant 250 heures. Les MOSFET étudiés font partie de la première génération du fournisseur CREE avec des résultats déjà très intéressants pour des applications haute température à  $250^\circ\text{C}$ . Nous verrons dans le chapitre suivant les comparaisons avec les autres générations de MOSFET. Les dégradations d'instabilité observées sur la dérive de la tension de seuil dans le

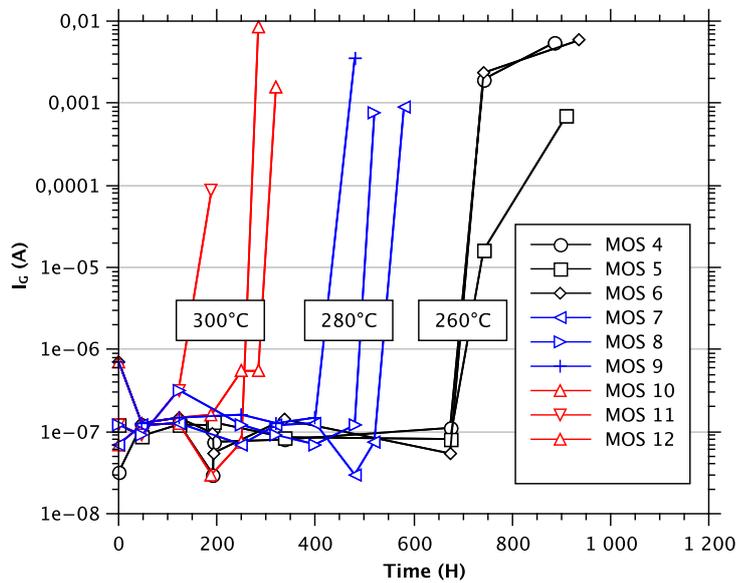


FIGURE 4.11 – Evolution du courant de grille statique en fonction du temps pour les trois température de boîtier

chapitre précédent n'ont pas d'impact prédominant et ils se traduisent par une diminution de la tension de seuil. Nous pouvons conclure que la décharge des pièges profonds dans l'interface et dans l'oxyde a une influence prépondérante sur le vieillissement avec une dérive négative de la tension de seuil. Cet effet tunnel peut détériorer la grille en fissurant l'oxyde et nous allons analyser ce phénomène dans les sections suivantes. D'un point de vue macroscopique, la signature de notre mécanisme de dégradation provoquant la défaillance du MOSFET se traduit par une fuite du courant de grille. La jonction grille source se comporte comme une résistance. Nous allons poursuivre notre analyse des mécanismes de dégradation d'un point de vue microscopique. Mais avant cela, une étude de fiabilité a été réalisée sur les résultats de durée de vie des composants pour extraire une loi de vieillissement.

#### 4.3.4 Loi de vieillissement

##### 4.3.4.1 Loi de Weibull-Arrhénius

A partir des résultats obtenus dans nos tests de vieillissement, nous allons extraire des paramètres pour réaliser une étude de fiabilité sur le MOSFET et établir une loi de vieillissement. Pour réaliser l'étude de fiabilité, nous devons estimer la température de jonction des composants. Cette estimation a été réalisée avec le logiciel de simulation ANSYS. De plus il faut noter les valeurs des durées de vie de chaque composant avant la défaillance. Les caractérisations électriques ont été réalisées à différents intervalles de temps, avec une vérification que le composant est toujours opérationnel, effectuée toutes les 24 heures. L'ensemble des durées de vie contient des données censurées par intervalle ce qui signifie que nous prenons en compte l'incertitude sur le temps de défaillance. Nous informons donc la

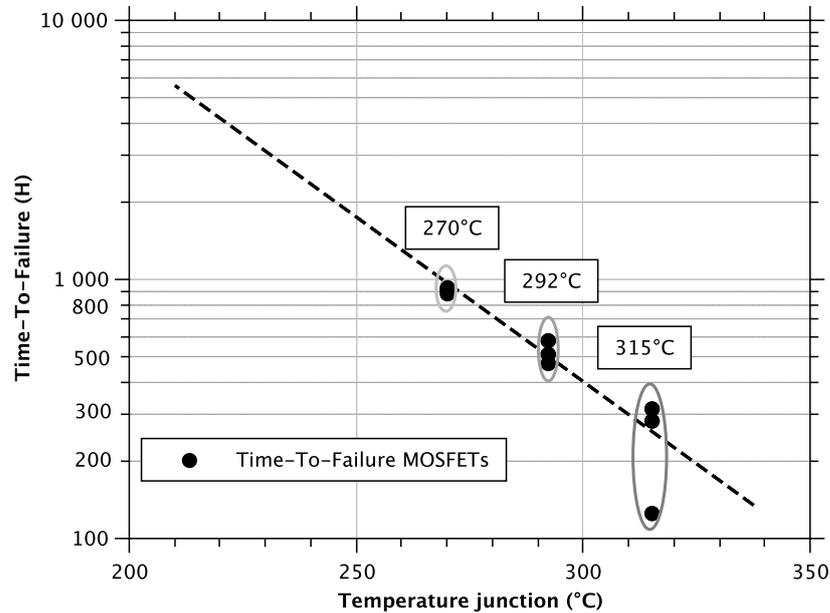


FIGURE 4.12 – Représentation des durées de vie des MOSFET en fonction de la température de jonction : loi de vieillissement par régression linéaire

dernière inspection réalisée sur les MOSFET dans le calcul de la durée de vie. Le tableau 4.1 résume les températures de chaque composant avec le temps de vie avant casse et l'incertitude de mesure.

Une méthode simple, pour réaliser une loi de vieillissement, est de placer sur un graphique la durée de vie des MOSFET en fonction de la température de jonction. On obtient la courbe 4.12 et il est possible d'extraire les durées de vie pour des températures plus basses. Simple est de constater que cette méthode extrêmement simpliste engendre une imprécision de mesure forte sans aucune hypothèse de modélisation de fiabilité.

Afin de répondre aux exigences de la loi de vieillissement, nous allons utiliser une loi de probabilité de type Weibull-Arrhénus [BM10]. Le modèle d'Arrhénus utilise une loi exponentielle d'accélération. Il est utilisé pour les contraintes thermiques. La distribution de Weibull fait partie des distributions les plus utilisées dans l'ingénierie de fiabilité du fait des nombreuses formes qu'elle peut prendre pour différentes valeurs de Béta (pente). Il s'agit d'une distribution adaptable qui peut donc modéliser de nombreuses caractéristiques de durée de vie. La fonction Weibull-Arrhénus s'exprime ainsi :

$$h(t, \theta) = \left( \frac{\beta}{C e^{\frac{\varepsilon a}{K \theta}}} \right) \left( \frac{t}{C e^{\frac{\varepsilon a}{K \theta}}} \right)^{\beta-1} \quad (4.1)$$

Avec  $h(t, \theta)$  le taux de défaillance instantané,  $\beta$  le facteur de forme (pente),  $\theta$  le facteur d'échelle,  $\varepsilon a$  l'énergie d'activation,  $K$  la constante de Boltzman, et  $C$  constante à déterminer qui dépend du matériaux.

Une estimation du maximum de vraisemblance est utilisée comme méthode statistique pour inférer les paramètres de la distribution de probabilité avec le lo-

giciel de modélisation en fiabilité ALTA 9 pro de chez Reliasoft (synthesis) (réalisé dans les locaux de THALES Valence avec M.BAYLE expert en fiabilité).

L'étude de fiabilité permet de valider les hypothèses de modélisation, notamment sur les mécanismes de dégradations qui interviennent dans le vieillissement des composants. Ainsi le nombre de composants pour réaliser une étude statistique est une hypothèse à valider et l'utilisation d'une loi de type Weibull-Arrhénius pour les MOSFET sera réfutée ou non.

Deux techniques d'assemblages sont présentes sur les MOSFET dans les tests de vieillissement avec de l'argent fritté et de la brasure. Pour établir une loi de vieillissement, il ne faut pas changer de paramètre et donc utiliser le même procédé d'assemblage. Afin d'atteindre des hautes températures, nous avons choisi les MOSFET en argent fritté. Nous modélisons donc notre phénomène de dégradation par une loi de Weibull-Arrhénius. Pour cela on définit la fonction de répartition associée à la loi de Weibull appelée aussi défiabilité :

$$F(t) = 1 - e^{-\left(\frac{t}{\eta}\right)^\beta} \quad (4.2)$$

En changeant les paramètres on trouve :

$$\ln(-\ln(1 - F(t))) = \beta \ln(t) - \beta \ln(\eta) \quad (4.3)$$

Avec :

$$X = \ln(t) \quad (4.4)$$

et :

$$Y = \ln(-\ln(1 - F(t))) \quad (4.5)$$

On obtient :

$$Y = \beta X - \beta \ln(\eta) \quad (4.6)$$

La dernière équation obtenue est l'équation d'une droite. Le paramètre  $\beta$  est le coefficient directeur de cette droite. On peut donc déterminer graphiquement les paramètres de la loi de Weibull en collectant les données de durée de vie  $t$  des MOSFET, puis on détermine la probabilités cumulées  $F(t)$  par la formule des rangs médians (nombre d'échantillons  $< 20$ ) :

$$F_i = \frac{i - 0,3}{N + 0,4} \quad (4.7)$$

Avec  $i$  le nombre de composants défailants et  $N$  le nombre total de composants.

Par exemple le MOSFET 7 a pour les coordonnées  $t = 480$  heures et  $F(t) = \frac{1-0,3}{3+0,4} = 0,2059$

Il est possible de placer les points sur le diagramme de la figure 4.13. Les MOSFET en argent fritté ont été représentés pour les 3 températures sur un graphique de Weibull qui donne la défiabilité en pourcentage par rapport au temps de défaillance en heures.

Chaque température est représentée par une couleur différente. Pour une température donnée, les points sont alignés sauf pour la température 300°C de boîtier (588K) où on voit un non alignement. Il est possible pour chaque température de tracer une droite par régression linéaire dont la pente représente le facteur de forme  $\beta$ . Ce facteur est l'image du type de dégradation. Si la pente est faible ( $\beta < 2$ )

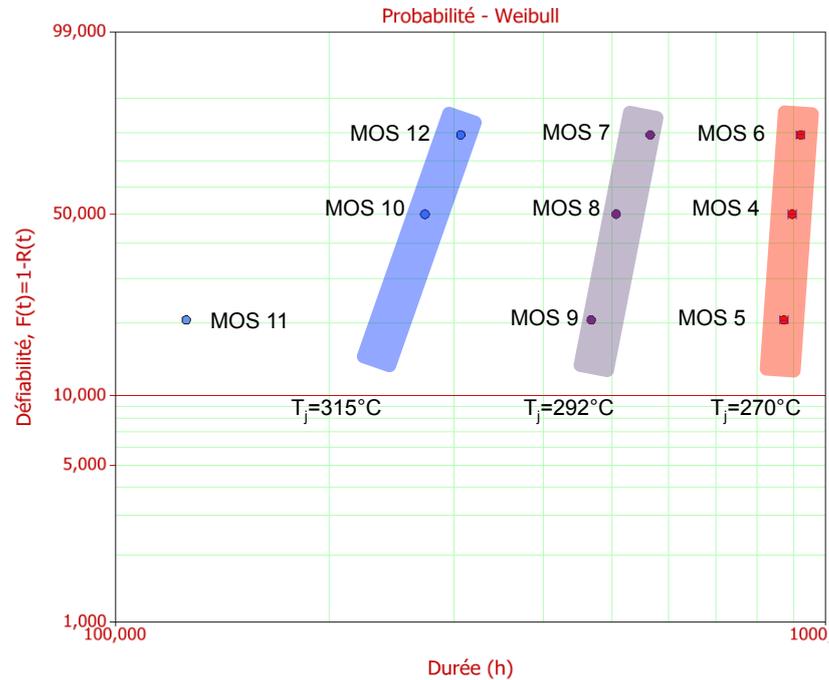


FIGURE 4.13 – Représentation des durées de vie des MOSFET dans un graphique de Weibull pour les 3 températures

alors il y a un grand écart sur les durées de vie et il faut un grand nombre de composants pour réaliser la loi de vieillissement. Si la pente est forte ( $\beta \gg 2$ ) alors les composants sont défaillants dans un intervalle de temps réduit et un petit nombre d'échantillons suffit pour définir la loi de vieillissement. Lorsqu'on regarde tous les MOSFET sauf le MOSFET 11 on peut constater que chaque droite par température possède une pente similaire. Cela signifie que le mécanisme de dégradation pour tous les composants est le même sauf pour le MOSFET 11. En effet si on regarde les paramètres électriques pour ce dernier composant sur la figure 4.10, la tension de seuil chute et le composant devient normalement passant tandis que le courant de fuite de grille ne s'emballe pas autant que les deux autres composants. La loi de Weibull correspond à nos mesures vis à vis des caractérisations électriques.

Hormis le composant 11, les autres composants possèdent une pente élevée et pour connaître la valeur de la pente nous avons utilisé la méthode du maximum de vraisemblance avec le logiciel ALTA 9. La figure 4.14 montre les droites et le logiciel nous renvoie les paramètres de la loi de Weibull. On obtient un  $\beta = 8,02$  (supérieur à 2) donc on peut considérer que trois composants étaient suffisants pour les essais. Néanmoins une loi avec plus de composants peut être intéressante pour la température 300°C. L'hypothèse d'avoir un seul mécanisme de dégradation lié au courant de fuite de grille est validée aussi par le parallélisme des droites sauf pour le composant 11. La pente étant élevée ( $\beta = 8,02$ ), cela signifie aussi que les composants deviennent defectueux dans la dernière partie de la courbe en baignoire : période de vieillesse. Cela montre une certaine maturité dans le processus de fabrication puisque la technologie est récente. Tous nos composants sont defectueux en

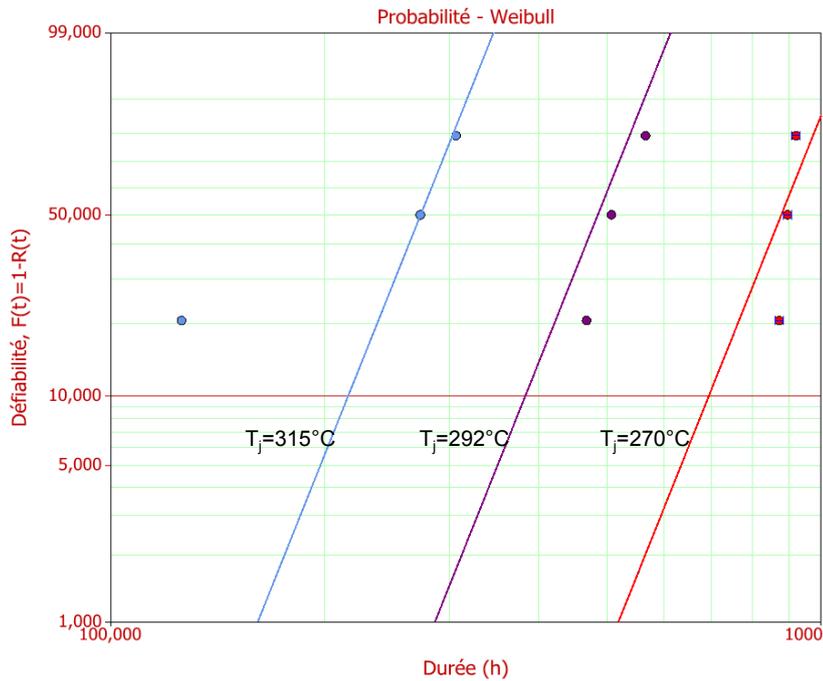


FIGURE 4.14 – Représentation des durées de vie des MOSFET dans un graphique de Weibull pour les 3 températures avec la méthode du maximum de vraisemblance

période de vieillesse et la loi de vieillissement peut être établie à partir de ces résultats.

Le modèle de Weibull correspond à notre mécanisme de dégradation et le paramètre température est bien un facteur accélérant. Nous pouvons donc dorénavant extraire la durée de vie pour des températures plus faibles. Le logiciel trouve les paramètres suivants du taux de défaillance pour la loi Weibull-Arrhénius :

$$h(t, \theta) = \left( \frac{\beta}{C e^{\frac{\varepsilon_a}{K \cdot \theta}}} \right) \left( \frac{t}{C e^{\frac{\varepsilon_a}{K \cdot \theta}}} \right)^{\beta-1} \quad (4.8)$$

Avec

- $\beta = 8,015980$
- $K = 8,6173324 \cdot 10^{-5} \text{ eV} \cdot \text{K}^{-1}$
- $C = 0,000214$
- $\varepsilon_a = 0,714704 \text{ eV} \cdot \text{mol}^{-1}$

On nomme parfois le rapport  $E_a/K$  par une constante  $b$  qui vaut  $b = 8293$ .

#### 4.3.4.2 Estimation pour 200°C

Nous avons validé notre modèle de fiabilité par une loi de Weibull-Arrhénius et nous pouvons extrapoler les durées de vie à des températures plus faibles. Dans un premier temps nous allons estimer la durée de vie des composants pour une température de jonction de la puce de 200°C soit 473K. Le postulat de base est de considérer le mécanisme de dégradation identique pour toutes les températures avec un

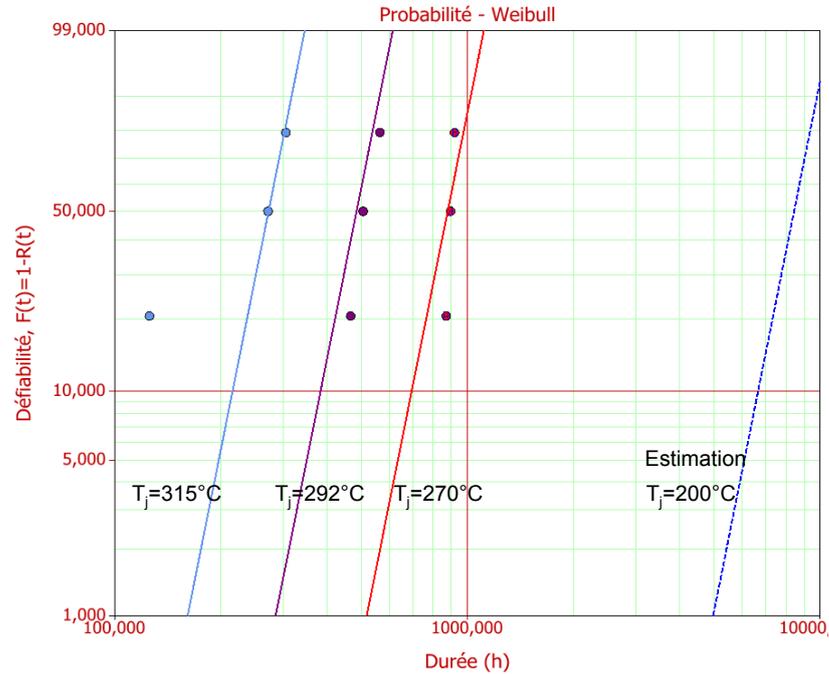


FIGURE 4.15 – Estimation de la loi de Weibull-Arrhénius pour une température de jonction de 200°C (473K) à partir des températures plus élevées

$\beta$  identique. La courbe 4.15 présente l'estimation de la loi pour une température de 200°C à partir des autres températures. La température de 200°C est représentée en pointillé sur la figure. On peut aussi représenter la densité de probabilité comme le montre la figure 4.16.

A partir de cette courbe on calcule la durée de vie estimée pour une température de jonction de 200°C. Deux valeurs peuvent être estimées avec le logiciel ALTA, la valeur de la durée de vie moyenne et la durée de vie avec un intervalle de confiance au seuil de risque de 10%. La durée de vie moyenne vaut 8306 heures pour une température de 200°C de jonction et la durée de vie fiable à 90% vaut 6660 heures. Le facteur accélérant entre la température de 200°C (473K) et le premier test à 270°C (543K) de jonction vaut 9,587.

#### 4.3.4.3 Estimation de durée de vie

Il est donc possible d'extraire la durée de vie pour toutes les températures inférieures et la figure 4.17 présente la loi de Weibull-Arrhénius.

Les valeurs de durée de vie sont résumées dans le tableau 4.2. Sur ce tableau l'estimation de la durée de vie moyenne vaut 1180 heures pour une température de jonction de 259,5°C ce qui correspond à la température vue par les MOSFET avec un assemblage brasé HMP. Nous avons trouvé une valeur de durée de vie expérimentale de 1000 heures. La différence de durée de vie n'est pas suffisamment franche pour conclure si l'assemblage joue un impact sur la fiabilité du module. Néanmoins la brasure est limitée en température et nous n'aurions pas pu réaliser de loi de vieillissement avec cette technologie.

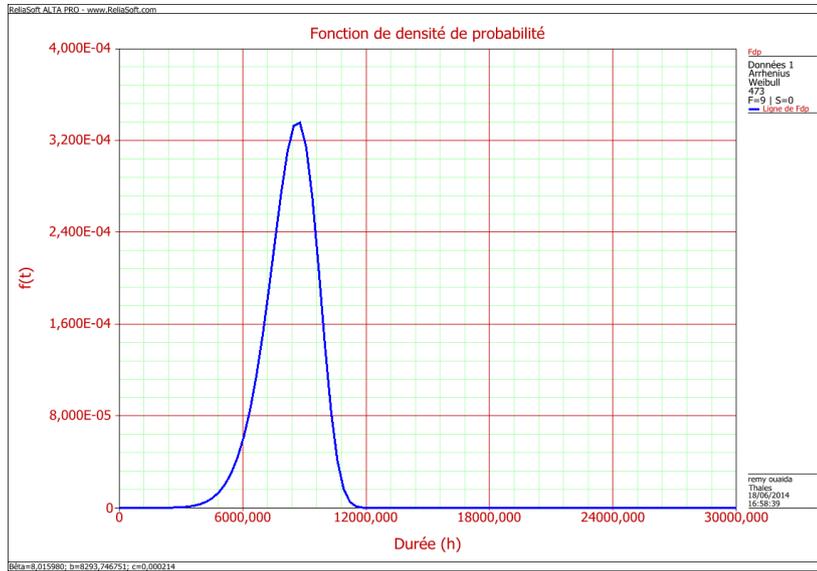


FIGURE 4.16 – Fonction densité de probabilité pour une température de 200°C

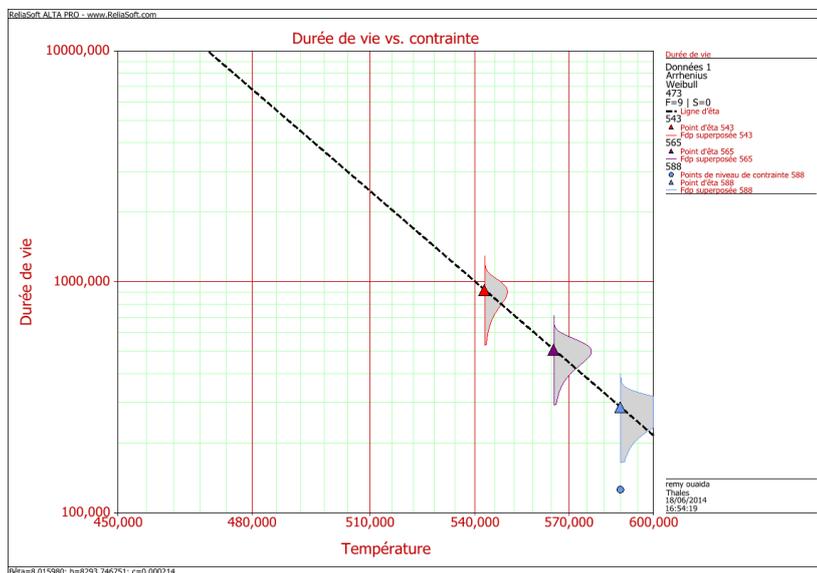


FIGURE 4.17 – Loi de vieillissement qui donne la durée de vie en fonction de la température pour les MOSFET

TABLE 4.2 – Récapitulatif des durées de vie des MOSFET pour différentes températures de jonction

Température de jonction	Durée de vie moyenne	Durée de vie (taux de confiance 90%)
150°C / 423K	65997 heures	52921 heures
175°C / 448K	22097 heures	17719 heures
200°C / 473K	8306 heures	6660 heures
225°C / 498K	3444 heures	2761 heures
250°C / 523K	1553 heures	1245 heures
259,5°C / 532,5K	1180 heures	952 heures

#### 4.3.4.4 Énergie d'activation

L'énergie d'activation est une notion introduite par le scientifique Svante August Arrhénius qui décrit l'évolution d'une vitesse de réaction avec la température [BM10]. Elle représente l'énergie qu'il faut fournir à un système pour que la réaction ait lieu. Le phénomène de dégradation observé dans nos tests de vieillissement se traduit par une augmentation du courant de fuite de grille. Grâce à notre étude expérimentale nous obtenons de façon empirique une énergie d'activation  $\varepsilon_a = 0,714704 eV.mol^{-1}$ . Dans la littérature, les énergies d'activation sont en générale comprises entre 0,4 et 1,2. Notre résultat est donc en adéquation avec ces valeurs et les hypothèses, établies pour réaliser la loi de vieillissement, ne peuvent être rejetées.

### 4.4 Analyse microscopique des mécanismes de dégradation

L'analyse macroscopique des phénomènes de dégradation du MOSFET dans les tests de vieillissement se traduit par une signature sur le courant de grille. On mesure un emballement du courant de fuite de la grille en statique peu avant la défaillance. Nous pouvons émettre l'hypothèse d'une localisation du défaut dans l'oxyde de grille qui perd ses propriétés diélectriques. Afin de valider cette hypothèse, une étude microscopique a été réalisée. Tout d'abord, nous avons utilisé un microscope optique pour observer des éventuels défauts de surface. Ensuite, nous avons réalisé une observation en coupe avec un microscope électronique à balayage (MEB) et une sonde ionique focalisée (Focused Ion Beam [FIB]).

Dans un MEB, les électrons émis par la source arrachent des électrons de l'échantillon observé sans que les atomes qui le composent ne subissent de modifications notables. Ces électrons (secondaires) fournissent ainsi une information sur la topographie et la structure du matériau au point d'impact du faisceau d'électrons primaires [Den13]. Un balayage sur l'objet à examiner permet d'obtenir une image globale de la surface. La microscopie électronique à balayage a été utilisée pour observer plusieurs zones susceptibles d'être à l'origine de la défaillance.

Dans le FIB, la source d'électrons du MEB est remplacée par un canon à ions

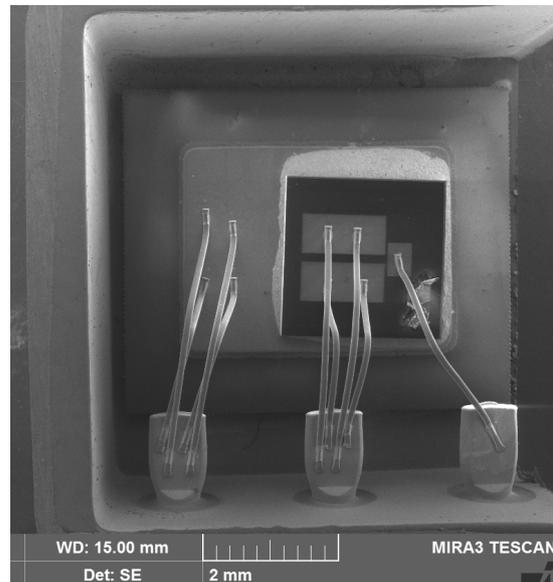


FIGURE 4.18 – Photo MEB du boîtier MOSFET 3 ouverts post vieillissement

gallium. Les ions Ga ont une masse beaucoup plus élevée que les électrons et leur interaction avec l'échantillon est ainsi beaucoup plus forte. Un tel canon permet d'arracher, de manière très précise, la matière à la surface d'un échantillon. Parallèlement, ce bombardement d'ions gallium arrache lui aussi des électrons secondaires à l'échantillon, ce qui permet d'obtenir une image dite ionique grâce aux détecteurs d'électrons secondaires du MEB. Le FIB nous a permis d'observer des défauts de structure interne.

#### 4.4.1 Analyse de surface

Les types de défauts observables peuvent se décliner en trois catégories.

- Les défaillances d'interfaces souvent liées à une différence de coefficients thermiques (décollement de bonding). Étant donné que nous n'avons pas fait subir de cycle thermique au boîtier dans notre test de vieillissement, nous vérifierons avec le microscope optique que ce type de défaut n'est pas présent.
- Les défaillances structurales souvent liées à un défaut de procédé de fabrication. En effet même si les procédés sont maîtrisés, ils ne sont pas exempts de créer des défauts de structure ou des artefacts de fabrication. Ces défauts latents engendrent des anomalies et des fragilités.
- Les défaillances intrinsèques liées aux conditions environnementales sévères. L'intégrité de la structure a été dégradée par une surcharge, sollicitant les limites des caractéristiques physiques du système. Ce type de défaut peut être présent en surface ou dans la puce. Le microscope optique permet d'observer les défauts de surface et les solutions de type FIB permettent d'observer des défauts de structure interne.

Avant chaque fermeture des véhicules tests, une photo a été prise faisant référence de notre instant  $T_0$ . Une fois le vieillissement réalisé sur les MOSFET, nous avons ouvert les boîtiers pour faire une observation optique.

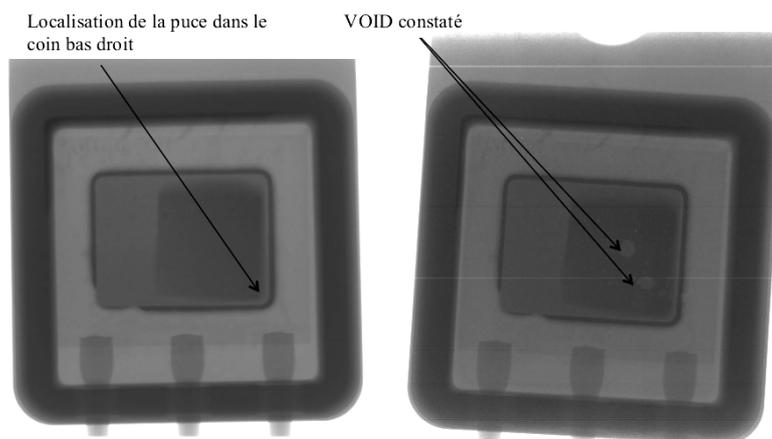


FIGURE 4.19 – Image RX avant et après le test de vieillissement à 250°C

Le premier MOSFET que nous avons étudié, est le MOSFET 3 avec une technologie d'assemblage brasure haute température. Il a subi un test de vieillissement avec une température de boîtier de 250°C pendant 1000 heures. La photo 4.18 montre l'ouverture réalisée sur le MOSFET 3 où le couvercle a été enlevé ainsi qu'un mur du boîtier. Nous pouvons voir que la puce est détériorée en surface en dessous de la métallisation de grille avec une zone brûlée. Par contre, aucun défaut de décollement de bonding n'est observé. Cette analyse de surface est accompagnée par des images RX qui ont été faites avant et après le stress comme le montre l'image 4.19. Le défaut de surface est situé dans le coin en bas à droite. Lorsque la puce a été brasée, elle a été placée dans ce coin du substrat. La répartition de la chaleur est plus forte dans les coins ce qui explique la localisation de la zone brûlée. Néanmoins nous ne savons pas ce qui a provoqué cette augmentation de chaleur. Les images RX nous indiquent l'apparition de vide dans la brasure ce qui signifie que la température a atteint son point de fusion (280°C). La température de la jonction de puce est estimée à 260°C par les modélisations précédentes. Il y a donc un phénomène de dégradation dans la puce qui engendre un emballement thermique faisant fondre la brasure et créant un défaut en surface. Ce type de brûlure est similaire au phénomène de "Latchup" rencontré dans les IGBT [Cia02]. Le Latch-up est un phénomène associé à une perte de contrôle par la grille engendrant une circulation du courant allant jusqu'à 5 fois sa valeur nominale [BAG<sup>+</sup>12]. Il en résulte une destruction du composant. Ce phénomène est provoqué par des surcharges en courant, un fort taux de croissance de la tension d'anode et présente une forte sensibilité à la température [DMNN11]. Nous avons réalisé des zoom sur cette zone brûlée comme le montre les images 4.20.

Chronologiquement, nous avons un défaut que nous n'avons pas encore localisé qui engendre une augmentation du courant de grille. La jonction grille source devient résistive et nous avons une perte de contrôle de la commande. Ceci engendre un auto-échauffement de la puce supérieur à la température de fusion de la brasure (280°C) qui rentre en fusion. L'image 4.20b montre une boule de brasure en fusion qui a refroidi. On peut distinguer le fil qui la relie à son emplacement initial. La distance de ce fil correspond au lieu du défaut de surface. Nous émettons l'hypothèse que la brasure en fusion a envoyé une boule sur la surface court-circuitant

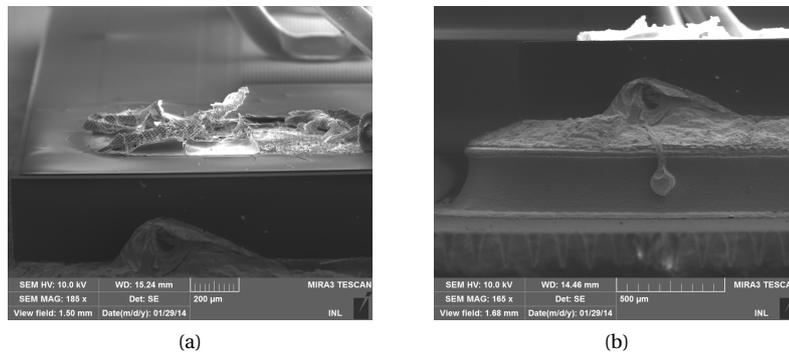


FIGURE 4.20 – Photo MEB de l'effet Latch-up sur le MOSFET 3 après 1000 heures à 250°C de température de boîtier



FIGURE 4.21 – Photo des MOSFET ouverts assemblés en Argent Fritté

électriquement la puce. En effet la face arrière est reliée électriquement au drain (500V). Le court circuit a provoqué le défaut de surface et a projeté la boule de brasure qui a refroidi. Nous constatons que la perte de commande engendre un emballement thermique qui atteint des températures supérieures à celle de la brasure.

Intéressons nous maintenant aux MOSFET assemblés avec la technique d'argent fritté. Les boîtiers ont été ouverts (photo 4.21) et aucun défaut de surface n'est présent ni de décollement de bonding. La température de fusion de l'argent fritté avoisine les 600°C et le phénomène de latch-up avec la perte de la commande de grille n'est pas visible sur les nouveaux véhicules de tests. L'image RX 4.22 pré test et post test montre une stabilité de l'assemblage avec l'absence de vide. La fusion de l'argent n'est pas atteinte. Il est donc impossible de voir des défauts de structure au MEB. Nous devons passer à une étude des défauts de structure interne.

Afin de trouver les défauts qui provoquent la fuite du courant de grille, nous allons réaliser une étude pour observer les défaillances dans le semi-conducteur. Cependant l'observation "classique" de surface ne permet pas de localiser de défaut en profondeur. Il est donc impossible de savoir où faire la coupe avec les méthodes précédentes. C'est pourquoi nous allons utiliser des méthodes d'analyse intrinsèque sur nos composants.

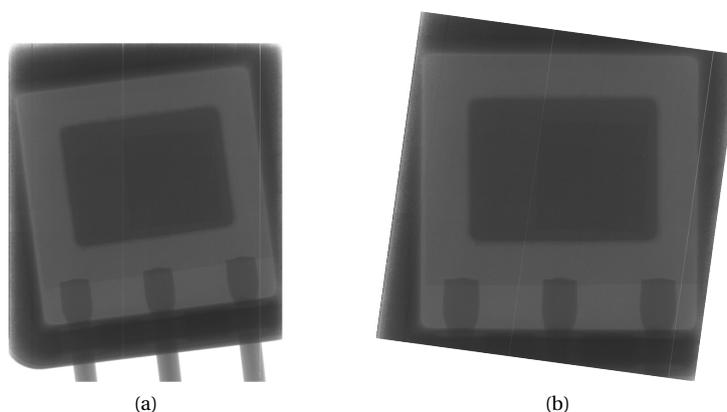


FIGURE 4.22 – Image RX (a) avant le vieillissement et (b) après pour les MOSFET assemblés en Argent fritté

#### 4.4.2 Localisation des défauts

La localisation des défauts intrinsèques doit être non destructive. Elle débute par une prise de connaissance de l'historique du composant défaillant et pour nos tests elle s'oriente vers une analyse liée à l'augmentation du courant de grille statique dans le MOSFET. Nous cherchons donc un défaut de structure d'oxyde de grille. Il existe plusieurs techniques pour observer des défaillances intrinsèques faisant appel à des techniques de stimulations thermiques. La première consiste à utiliser un laser (Thermal Laser Stimulation) avec un échauffement local sous l'application d'un rayon laser Near-InfraRed. Les propriétés électriques s'en trouvent modifiées en termes de résistivité. En monitorant les paramètres tension et courant, il est possible de localiser une zone de résistivité singulière. Plusieurs méthodes utilisent ce principe tel que SEI (Seebeck Effect Imaging), TIVA (Thermally Induced Voltage Alteration) et OBIRCh (Optical Beam Induced Resistance Change).

Une deuxième technique consiste à utiliser des microscopes acoustiques (en anglais Scanning Acoustic Microscopy : SAM) et qui permet principalement de confirmer la présence de délamination de certaines interfaces. Le principe est le suivant : l'échantillon à analyser est introduit dans une cuve d'eau déminéralisée et soumis à des ondes ultra-sonores générées par un transducteur acoustique, qui a fonction d'émetteur et de récepteur.

Enfin la technique que nous avons utilisée dans cette étude est l'analyse de l'émissivité de la puce par une caméra thermique (InfraRouge Lock-in Thermographie : IR-LIT) [LBP<sup>+</sup> 14]. En effet les systèmes IR-LIT sont couramment utilisés pour détecter et localiser la signature de défaillance physique. Les réponses thermiques de nos puces sont évaluées dans le domaine fréquentiel. Chaque composant est branché électriquement pour faire circuler de la puissance afin d'auto échauffer le semi-conducteur avec une fonction périodique. Les sources de chaleur sont détectées par une caméra thermique synchronisée sur la fréquence d'excitation de la puce (principe du Lock-in) (figure 4.23). Le banc de test utilisé est décrit sur le schéma 4.24. Cette analyse a été réalisée à Barcelone au Centre Nacional de Microelectronica.

Sur ce schéma, les différents éléments du test IR-LIT sont présentés. Le MOS-

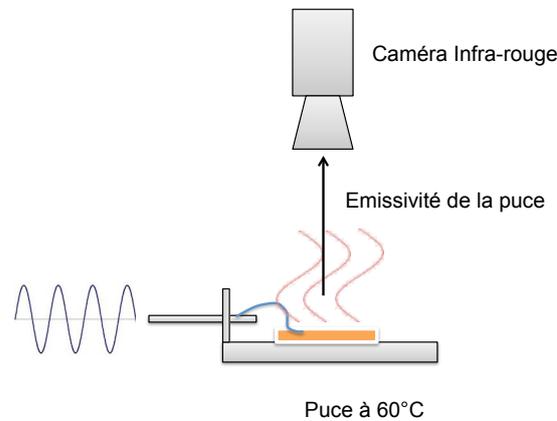


FIGURE 4.23 – Infrarouge Thermographie

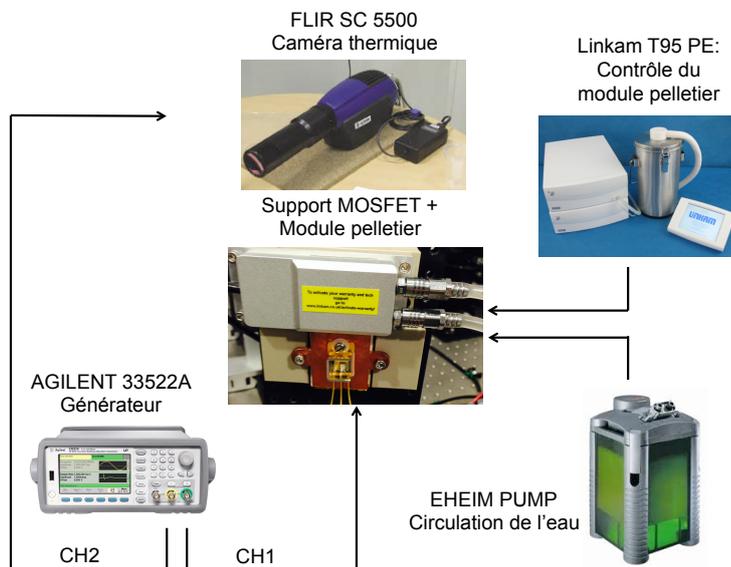


FIGURE 4.24 – Synopsis du test d'IR-LIT

FET est fixé sur un support relié à un bloc chauffant. Grâce au module pelletier Linkam T95 PE et à la circulation d'eau EHEIM PUMP, la température de la puce est élevée pour atteindre l'optimisation de résolution de la caméra (pic de sensibilité du capteur optique). La caméra thermique FLIR SC 5500 ( $320 \times 256$  pixels) possède une résolution de  $0,001^\circ\text{C}$  et va prendre une succession d'image de la puce polarisée électriquement. La fréquence du capteur de la caméra est synchronisée avec la fréquence de polarisation électrique du composant. L'excitation électrique est appliquée par un générateur Agilent 33522A qui provoque un auto échauffement.

La signature du défaut que nous voulons observer se traduit par une augmentation du courant de grille. Nous allons donc utiliser cette fuite pour polariser notre MOSFET. L'excitation s'effectue sur la grille. La figure 4.9 montre le courant de fuite

de la grille en fonction de la tension de grille. On peut voir que le MOSFET 5 présente le plus faible courant de fuite et nous porterons donc une attention plus particulière à ce composant. Les niveaux de polarisation doivent être choisis avec attention car il ne faut pas accentuer le mécanisme de dégradation tout en chauffant suffisamment la puce pour observer des points chauds. Nous avons appliqué sur le MOSFET 5 une tension sinusoïdale  $V_{pp} = 4V$ ,  $V_{DC} = 2V$ , alors que pour le MOSFET 6 une tension sinusoïdale  $V_{pp} = 1V$ ,  $V_{DC} = 0,5V$  et pour le MOSFET 3 une tension sinusoïdale  $V_{pp} = 0,1V$ ,  $V_{DC} = 0,05V$ . Ces valeurs ont été obtenues en augmentant progressivement le niveau de tension jusqu'à observer les points chauds..

A partir de ces niveaux de polarisation de grille, les images 4.25 ont été obtenues. Les photos ont été obtenues avec les paramètres :

- Fréquence de la tension de grille = 24 Hz
- Nombre d'image par seconde = 376 (Frame Rate)
- Temps en microseconde où la caméra accumule les informations infra-rouge pour une image = 800 (Exposition)
- Nombre d'images totales capturées pour réaliser la photo finale = 25000

La localisation des points chauds permet de placer en surface le défaut pour chaque MOSFET. Sur le composant MOSFET 3, on retrouve le défaut au niveau des brûlures de surface observé précédemment avec le MEB. Deux points chauds sont révélés de différentes intensités. Ces défauts de structure sont les images d'un emballage thermique qui est remonté à la surface pour l'assemblage brasé. Pour le MOSFET 6 qui est assemblé en argent fritté, deux points chauds apparaissent le long de la métallisation de surface de la grille. On a aussi des défauts internes à la puce mais l'emballage thermique n'est pas remonté à la surface grâce à la température de fusion élevée de l'argent fritté. Pour les deux composants, deux points chauds ont été révélés tandis que pour le MOSFET 5, un seul point chaud apparaît, confirmant les courants de fuites obtenues précédemment. Le niveau de défaillance pour le MOSFET 5 est moins marqué et nous allons étudier ce composant en particulier dans l'analyse FIB.

Il s'agit maintenant de localiser avec précision le point chaud pour venir faire à posteriori une découpe FIB. Un nouvel objectif de caméra est utilisé pour zoomer sur la zone défaillante. L'image 4.26 montre le zoom effectué sur la zone de défaillance sur laquelle on peut voir le défaut de surface. Le point chaud est fortement étalé ce qui empêche de localiser avec précision l'origine du défaut interne. Néanmoins la localisation du défaut correspond à l'effet Latch-up de surface ce qui valide la technique d'observation utilisée. Nous avons bien localisé le défaut.

L'image 4.27 correspond au zoom du défaut pour le MOSFET 5 qui présente la défaillance la moins marquée. Le point chaud est beaucoup plus concentré et se situe au dessus du fil de bonding de la métallisation de source. Nous avons donc localisé et nous pouvons à présent faire une observation interne de la puce avec une découpe FIB.

#### 4.4.3 Analyse des défauts

Dans la section précédente, nous avons localisé le défaut du MOSFET 5 qui se traduit électriquement par une fuite du courant de grille. A présent, nous allons effectuer une découpe FIB de la zone défaillante. Pour réaliser une découpe FIB, les murs du composant ont été enlevés et les métallisations ont été mises à la masse pour décharger les électrons primaires envoyés par le MEB.

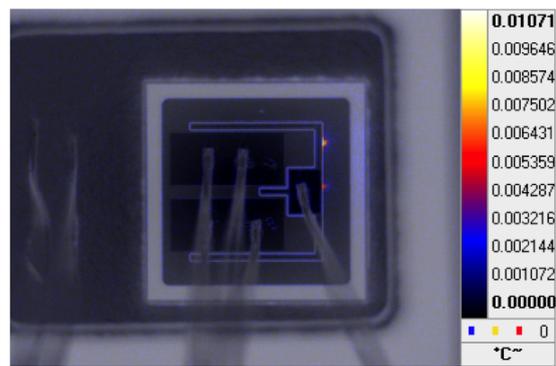
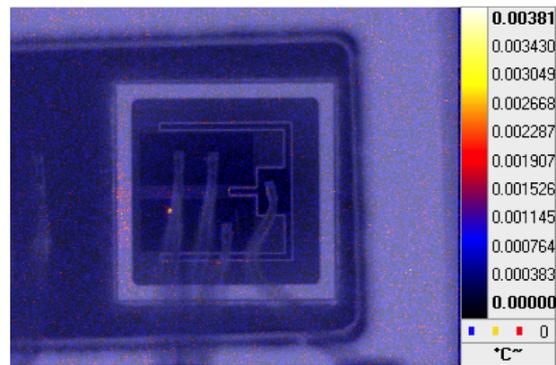
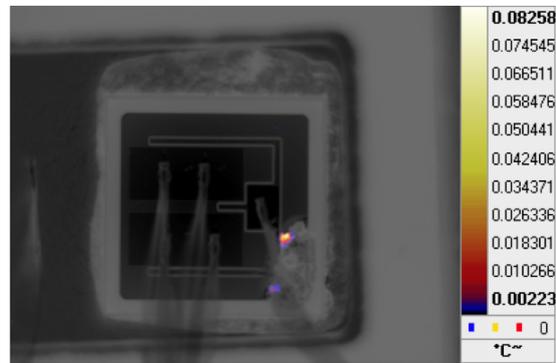


FIGURE 4.25 – Image infra-rouge du (a) MOSFET 3 (b) MOSFET 5 et (c) MOSFET 6 sur lesquels la détection des défauts internes est représentée par les points chauds

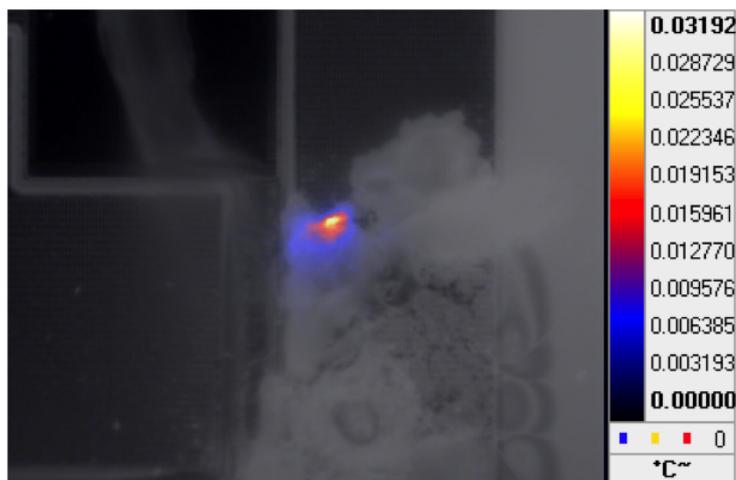


FIGURE 4.26 – Image Infra-rouge de la zone défailante du MOSFET 3



FIGURE 4.27 – Image Infra-rouge de la zone défailante du MOSFET 5

La figure 4.28a présente l'image MEB du défaut localisé avec sur la gauche le fil de bonding. On peut observer les traces de la technique wedge bonding. Le défaut est visible en surface avec un effet latch-up très localisé de  $20\mu\text{m}$  (image 4.28b). L'image 4.28c présente la découpe FIB réalisée au niveau du défaut pour observer les défaillances de structure interne. On peut voir sur ces images la mise en parallèle des structures élémentaires du MOSFET.

Une fois la découpe FIB réalisée, nous avons observé la structure avec le MEB. L'image 4.29 illustre la vue en coupe du MOSFET 5. La photo du haut montre une coupe générale de trois structures élémentaires avec la métallisation de source en surface séparée de la métallisation de grille par le diélectrique en blanc. On voit l'effet latch-up en surface qui se traduit par une brûlure de part et d'autre de la métallisation de source. Sur la structure de droite, on voit que la grille est fissurée contrairement à la structure élémentaire du milieu. La deuxième image montre

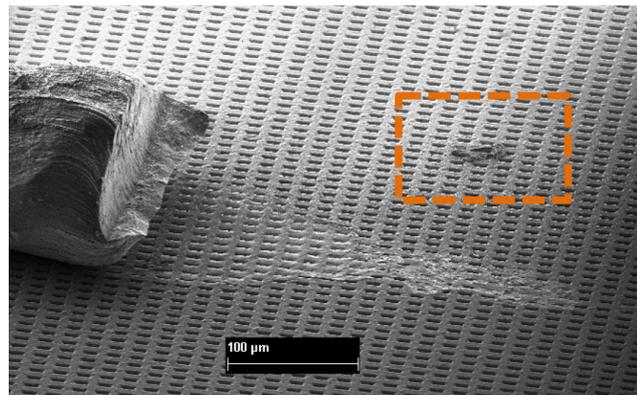
avec une autre polarisation d'observation du MEB l'apparition des zones de dopage avec la mise en évidence du canal P-Well, de la zone  $N^+$  reliée à la source et la zone  $N^-$  reliée à la face arrière du drain.

Nous avons fait par la suite une focalisation sur le défaut de grille. L'image 4.30 montre les défauts présents dans la structure interne du MOSFET. Ces défauts se traduisent par des fissures dans l'électrode de grille poly-silicium et des zones où la structure interne a bougé. Il y a trois fissures sur la vue en coupe qui peuvent être issues d'une fissure commune en amont. L'oxyde de grille est très fin (50 nm) et difficile à observer. Néanmoins la fissure de gauche coupe l'électrode de grille ainsi que l'oxyde reliant le potentiel de la source et celui de la grille. Nous pouvons émettre l'hypothèse que cette fissure est la conséquence du champ électrique grille-source. En effet dans la zone dopée  $N^+$  reliée à la métallisation de source, on a un effet de pointe à l'extrémité droite frontalière avec le P-Well. Le champ électrique entre grille-source est le plus fort dans cette région ce qui a provoqué la fissure de gauche. L'apparition de cette craquelure permet au courant circulant entre grille et source de traverser la jonction ce qui la rend résistive. Ce courant auto-échauffe la zone et peut engendrer un grossissement de la fissure ou même créer l'apparition de nouvelles fissures. L'élévation de la température localisée peut atteindre des valeurs suffisamment hautes pour sublimer le polysilicium créant ainsi les fissures observées. Sur la gauche de la grille on voit un défaut de structure avec des zones modifiées. On peut avancer l'hypothèse que ces défauts de structure sont de type migration. Cependant il est impossible de valider cette conjecture. Une image EDX (energy dispersive X-ray spectrometry) permet de connaître la composition chimique et pourrait apporter des réponses à la matière observée cependant le microscope utilisé ne possédait pas le détecteur EDX.

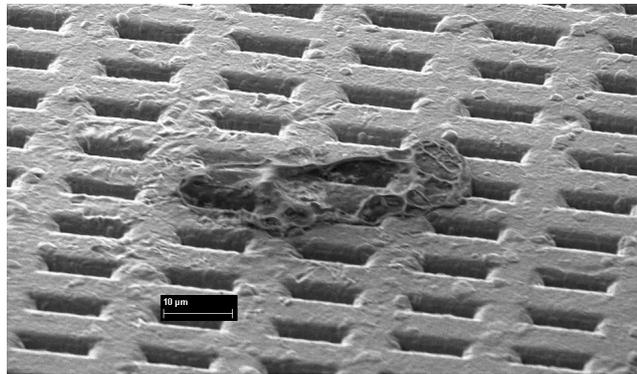
Sur l'image, on peut voir que la fissure de droite ne relie pas complètement la métallisation de grille avec la zone  $N^-$  du drain. Sur nos précédentes mesures du MOSFET 5, le courant entre drain et source ne fuit pas autant que les MOSFET 6 et 4. Néanmoins si cette fissure s'agrandit, le courant pourra circuler entre source et grille et entre grille et drain. Les fissures peuvent se modéliser comme une jonction résistive entre grille et source ou entre grille et drain.

Nous avançons l'hypothèse suivante sur la chronologie des événements. Tout d'abord, en raison du fort champ entre grille et source et par un effet de pointe la première fissure apparaît dans la grille reliant électriquement la jonction grille-source. C'est pourquoi les MOSFET 1,2,3 et 5 ont un courant de fuite de grille élevé mais pas encore de fuite importante sur le courant de drain (inférieur à  $100\mu A$ ). Par la suite la résistance induite va provoquer un échauffement localisé qui accentue la dégradation et amplifie le phénomène de faille avec des défauts de structure à la frontière grille-source. Les fissures sont plus nombreuses et plus grosses. Il est possible donc que la jonction grille-drain soit elle aussi reliée. Le courant peut donc circuler entre source et drain. Les MOSFET 4,6,10 et 12 ont un courant de fuite de drain élevé. Ces composants ont en effet subi une dégradation plus marquée de part l'augmentation de la chaleur sur le phénomène de vieillissement. Les jonctions grille-source et grille-drain peuvent être modélisées par une résistance. Le lien entre l'apparition des fissures et la fuite du courant de grille et par la suite du courant de drain reste à être démontrée par des mesures électriques. Il faudrait réaliser des caractérisations avec un intervalle de temps réduit pour voir l'évolution des paramètres électriques.

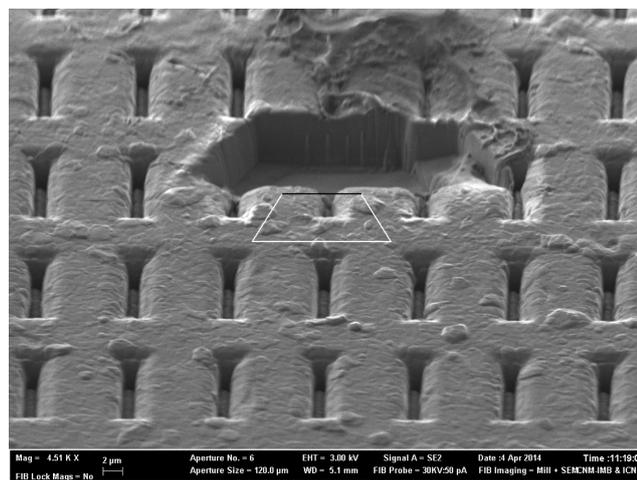
Il n'y a que le MOSFET 11 qui possède un courant de fuite de grille inférieur à celui du courant de fuite du drain ce qui remet en cause notre hypothèse chrono-



(a)



(b)



(c)

FIGURE 4.28 – Image MEB (a) du défaut (b) zoom sur l'effet latch-up et (c) découpe FIB pour le MOSFET 5

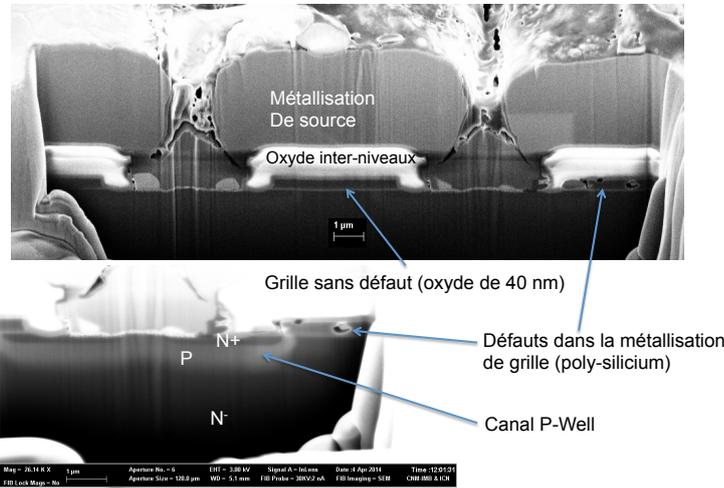


FIGURE 4.29 – Image MEB de la découpe FIB sur lesquelles on voit apparaître le défaut de grille

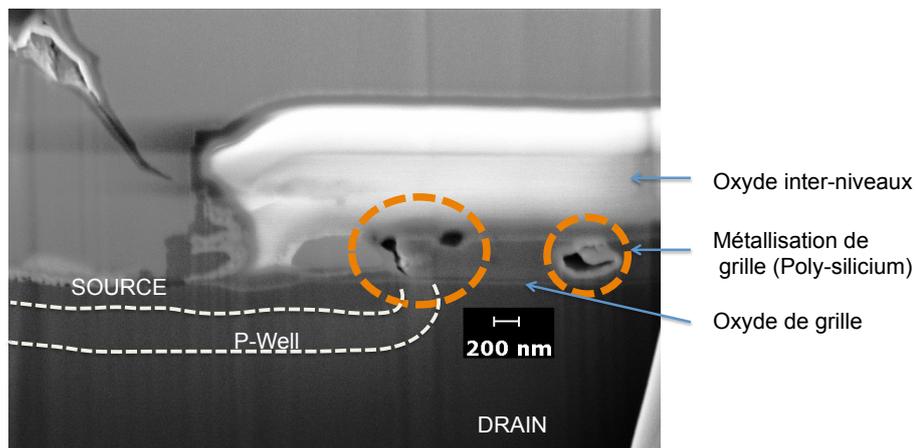


FIGURE 4.30 – Image MEB des fissures dans la grille

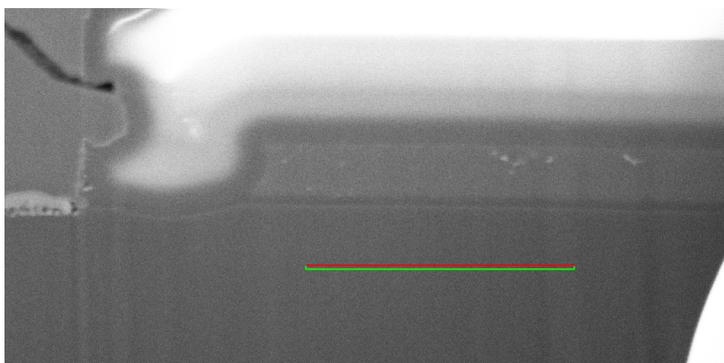


FIGURE 4.31 – Image MEB dans la grille après découpe plus profonde du FIB : absence de fissure

logique. Néanmoins, il semblerait que le mécanisme de dégradation de ce composant soit lié à l'instabilité de la tension de seuil puisque la puce devient normalement passante. Effectivement comme nous l'avons montré avec les lois de vieillissement, ce composant ne fait pas intervenir les mêmes mécanismes de dégradation.

Ces images de dégradations sur la grille sont opportunes car la taille des défauts est extrêmement petite. Lors de la visualisation des fissures nous avons voulu faire une autre découpe FIB légèrement plus profonde pour voir si les failles se rejoignent. L'image 4.31 montre la photo MEB de la nouvelle découpe. On remarque l'absence de fissure alors que la découpe a été réalisée à  $1\mu m$  de profondeur. Nous avons eu de la chance d'observer les fissures dans la grille.

Grâce à l'analyse microscopique nous avons observé les défauts de structure interne à la puce de MOSFET qui se traduisent par des fissures. Cela converge avec les résultats macroscopiques et en particulier avec l'augmentation du courant de fuite de grille puisque la jonction grille-source est relié physiquement par une faille. Nous n'avons pas trouvé aujourd'hui d'étude présentant les défauts de structure du MOSFET ce qui illustre l'originalité de ces travaux.

#### 4.5 Bilan : Convergence des résultats

Ce chapitre rend compte de travaux expérimentaux sur la fiabilité des MOSFET en carbure de silicium. Des analyses de défaillances menées suivant une méthodologie rigoureuse et pluridisciplinaire ont permis de comprendre finement les mécanismes de défaillance initiés par des contraintes en température élevée. Cette étude s'est divisée en deux parties : la première concernant l'aspect macroscopique avec l'analyse de l'évolution des paramètres électriques pendant le vieillissement et la seconde concernant l'aspect microscopique avec une observation du défaut interne dans la puce MOSFET.

L'étude macroscopique a été réalisée sur un banc de test de vieillissement qui a fonctionné au total pour la première génération de MOSFET pendant 3000 heures. Différents paramètres électriques, extraits pendant le vieillissement, permettent de suivre l'état d'évolution du composant. La signature du mécanisme de défaillance se traduit par une augmentation du courant de fuite de grille. Plusieurs enseigne-

ments sont ressortis de ces campagnes de test, dont la fiabilité remarquable des MOSFET par rapport aux températures appliquées et la stabilisation de la tension de seuil qui ne décroît pas en dessous de 0V pour la quasi totalité des composants. Cette étude macroscopique s'est poursuivie par une étude de fiabilité avec une modélisation du phénomène de dégradation par une loi de Weibull-Arrhénius. Les hypothèses effectuées pour établir cette loi ne sont pas rejetées au regard de nos résultats nous permettant ainsi de définir une loi de vieillissement. Plusieurs temps de durée de vie ont été extraits pour des températures plus faible ce qui est impossible à mesurer expérimentalement en raison de la durée du test.

L'étude microscopique permet de répondre à l'analyse des mécanismes de dégradation dans le MOSFET. Des moyens d'investigation de pointe sont ensuite employés pour identifier un défaut physique, qui n'est pas forcément visible en surface. Une technique de caméra infrarouge par excitation fréquentielle a amené à localiser des défauts internes à la puce. Une fois localisé, le FIB permet de découper dans la profondeur le semi-conducteur et les images de la structure sont réalisées. Il est possible de voir dans la structure interne du MOSFET des défauts dans l'oxyde de grille qui se traduisent par des fissures dans l'électrode et dans l'oxyde. A partir des informations de dégradations physiques, une reconstruction de la chronologie du déroulement du mécanisme de défaillance est possible, et conduit à une hypothèse solide sur l'origine. En effet les fissures expliquent le phénomène de fuite sur le courant de grille car la dégradation de structure se situe entre la grille et la source. Ainsi une corrélation est établie entre l'analyse macroscopique et microscopique. Des résultats avec une analyse plus fine sur l'évolution des paramètres physiques permettraient de confirmer ces conjectures.

Les deux analyses convergent vers un défaut de grille de l'oxyde du MOSFET qui se traduit par une augmentation du courant de fuite de grille et part des fissures dans l'oxyde de grille. Le phénomène d'instabilité de la tension de seuil mesuré dans le chapitre précédent, n'est pas le paramètre limitant puisque à part le MOSFET 11, tous les autres MOSFET sont défectueux par une fuite du courant de grille. Néanmoins l'instabilité de la tension de seuil peut refléter la robustesse de l'oxyde. En effet la défaillance observée a lieu dans l'oxyde et le poly-silicium de grille. Le problème de fiabilité du MOSFET est donc aujourd'hui lié à la qualité de son oxyde. L'interaction entre les phénomènes de dégradations est fortement probable et le limitant aujourd'hui pour le MOSFET est lié la robustesse de la grille.

Le test de vieillissement a montré que les premières générations de MOSFET de chez CREE présentent des durées de vie estimées de 8300 heures pour des températures de jonction de 200°C. Ces résultats montrent le potentiel des MOSFET en SiC pour des applications haute température. Des progrès ont été réalisés dans le traitement de la qualité de l'interface SiO<sub>2</sub>/SiC permettant un fonctionnement normalement fermé même à haute température, ce qui est impossible pour les composants en Silicium "classique". CREE et Rohm ont sorti récemment de nouvelle structure de MOSFET en SiC avec de nouvelles techniques de fabrication d'oxyde de grille. C'est pourquoi dans le chapitre suivant nous allons effectuer une comparaison avec les nouvelles générations de MOSFET.

Nous avons trouvé la signature du mécanisme de défaillance dans le MOSFET. Il est possible d'envisager une mise en œuvre d'un pronostic sur la gestion de la santé du composant de type Health Monitoring qui pourrait être intégré dans la partie commande (driver intelligent). En effet grâce aux tests de vieillissement, il est possible d'utiliser un changement mesurable du courant de fuite de grille qui reflète l'état de santé du MOSFET. Afin de développer des algorithmes de pronostic,

les mécanismes physiques doivent être bien connus. La dégradation de l'oxyde de grille doit être plus approfondie et d'autres tests doivent être effectués.

## Chapitre 5

# Comparaison des nouvelles générations de MOSFET

### 5.1 Introduction

Cette étude contribue à l'analyse des phénomènes de dégradation dans des tests de vieillissement longue durée sur des composants de puissance placés en environnement haute température. Aujourd'hui, l'électronique de puissance suscite un intérêt majeur et croissant de la part de l'industrie mondiale au vu des nouvelles problématiques environnementales. Cependant, cette évolution extrêmement rapide entraîne de nombreux bouleversements avec l'apparition de nouveaux composants. En effet, le fort potentiel économique de l'électronique de puissance pousse de nombreux industriels à lancer sur le marché des nouveaux transistors, et en particulier les MOSFET. En effet, cette structure est très appréciée par le domaine industriel pour deux raisons : son pilotage et sa structure dite Normally-OFF. Ainsi l'entreprise CREE a commercialisé une nouvelle génération de MOSFET en carbure de silicium en février 2013. L'entreprise ROHM sort des MOSFET depuis 2012. L'entreprise STMicroelectronics a développé aussi son MOSFET. Nous avons essayé de nous procurer le maximum de puces afin de les packager dans notre véhicule de test.

La nouvelle génération de CREE a été obtenue ainsi que chez ROHM et nous avons réalisé des véhicules de test pour faire une étude comparative par rapport à la première génération de MOSFET étudiée. En raison d'un manque évident de temps, nous n'avons pas pu refaire toute l'étude de fiabilité sur les nouvelles générations, néanmoins nous avons essayé de faire quelques tests typiques pour répondre à la question suivante : est ce que les nouvelles générations ont vu une amélioration du processus de fabrication notamment sur la qualité de l'oxyde. Nous avons obtenu aussi des MOSFET de chez STMicroelectronics mais en packaging epoxy basse température. C'est pourquoi les caractérisations statiques sur une courte durée de temps sont réalisables jusqu'à 250°C mais pour les autres tests, il est impossible de monter le boîtier plastique à de telles températures car avec le temps, l'epoxy fond.

Dans un premier temps, nous verrons la caractérisation statique de tous ces MOSFET ainsi qu'une caractérisation dynamique jusqu'à 250°C. Ensuite, nous avons effectué une étude comparative d'instabilité pour connaître la robustesse de l'oxyde de grille concernant le piégeage des charges. Enfin, nous avons réalisé le test de

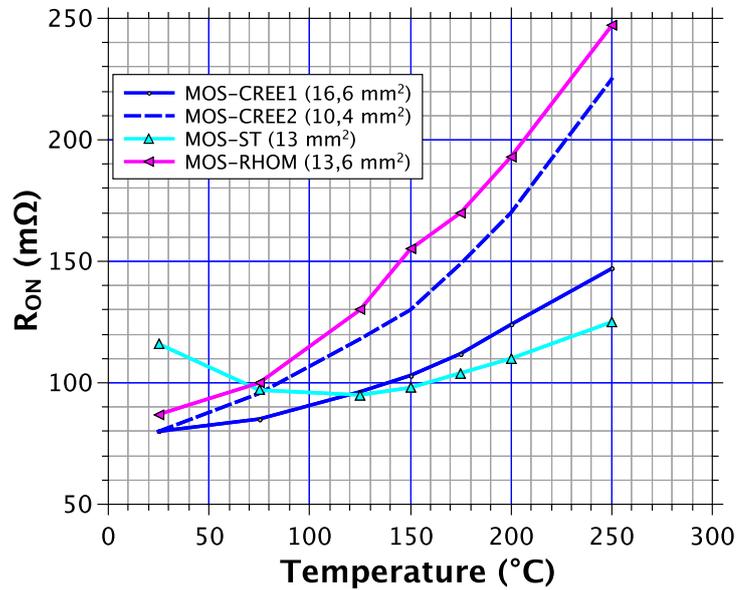


FIGURE 5.1 – Comparaison des résistances à l'état passant en fonction de la température

vieillessement en condition réaliste sur les nouvelles générations de MOSFET.

## 5.2 Caractérisation statique

Les MOSFET ont été caractérisés suivant les procédures décrites au chapitre 2. L'objectif est de faire une comparaison et des conclusions sur les performances intrinsèques des composants. Ces performances définissent le niveau des pertes du transistor avec les pertes en conduction et à l'état bloqué.

### 5.2.1 Résistance à l'état passant

Intéressons nous tout d'abord à la résistance à l'état passant qui est l'image des pertes en conduction. La figure 5.1 présente la résistance en fonction de la température pour les différentes structures de MOSFET et la courbe 5.2 présente ces mêmes valeurs normalisées à la taille du semi-conducteur. La nouvelle puce de chez CREE possède une résistance supérieure par rapport à l'ancienne génération mais une surface plus petite. La résistance normalisée de la deuxième génération est meilleure ce qui montre une amélioration du processus de fabrication en terme d'intégration de puissance. La cellule élémentaire du MOSFET permet de faire circuler plus de courant avec une résistance réduite. Les deux générations sont de type D-MOSFET.

Pour la structure en Trench de ROHM (U-MOSFET), on observe une résistance supérieure aux autres structures avec une forte dépendance à la température. La  $R_{DS,ON}$  est deux fois plus élevée pour le MOSFET ROHM que pour le MOSFET ST à

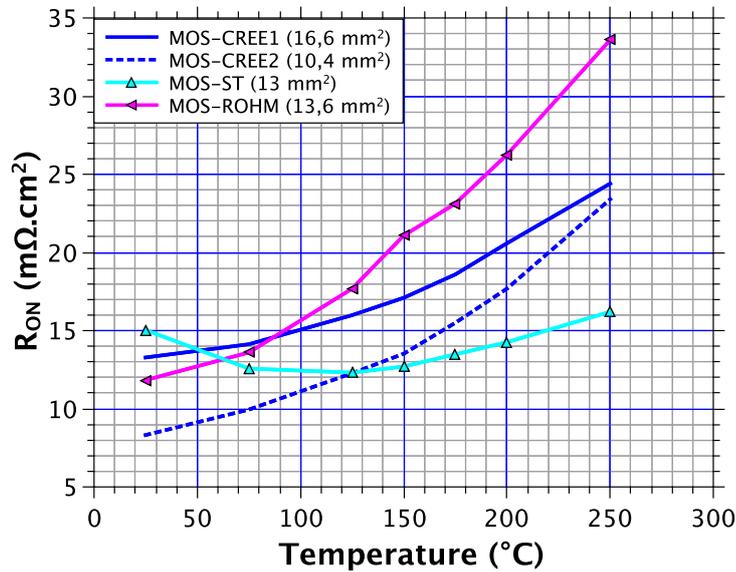


FIGURE 5.2 – Comparaison des résistances à l'état passant normalisée à la surface en fonction de la température

250 $^{\circ}C$ . Ce dernier composant a un comportement particulier avec une diminution de la résistance jusqu'à 125 $^{\circ}C$  puis une augmentation jusqu'à 250 $^{\circ}C$ . Ce transistor a la plus faible augmentation de la résistivité par rapport à la température. Cela signifie que la résistance à l'état passant est fortement influencé par la résistance du canal N qui vient compenser l'augmentation de la résistance de drift et JFET. La surface du canal N est plus importante pour ce MOSFET de par la structure Trench.

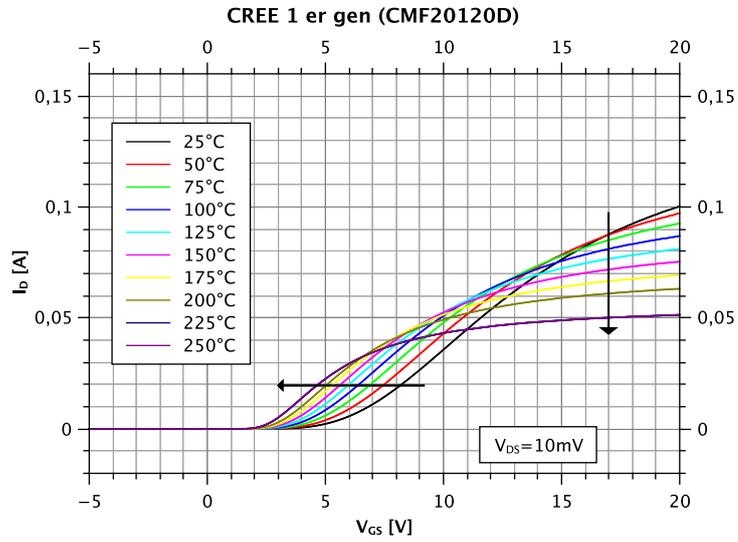
Pour les pertes en conduction, la structure de chez STMicroelectronics est la plus performante pour les applications haute température alors que pour des températures ambiantes les structures de chez CREE ont les meilleurs propriétés. Néanmoins, on remarque des valeurs de résistance à l'état passant relativement faibles pour toutes les structures. On peut toutefois se poser la question suivante : en raison du marché de niche que représente les applications haute température, est-ce que les industriels développent des composants pour avoir de bonnes performances à ces niveaux de température ? En effet, la nouvelle génération de MOSFET de chez CREE apporte des améliorations pour les températures inférieures à 175 $^{\circ}C$ . Les applications visées semblent être plutôt orientées haute fréquence.

### 5.2.2 Transconductance

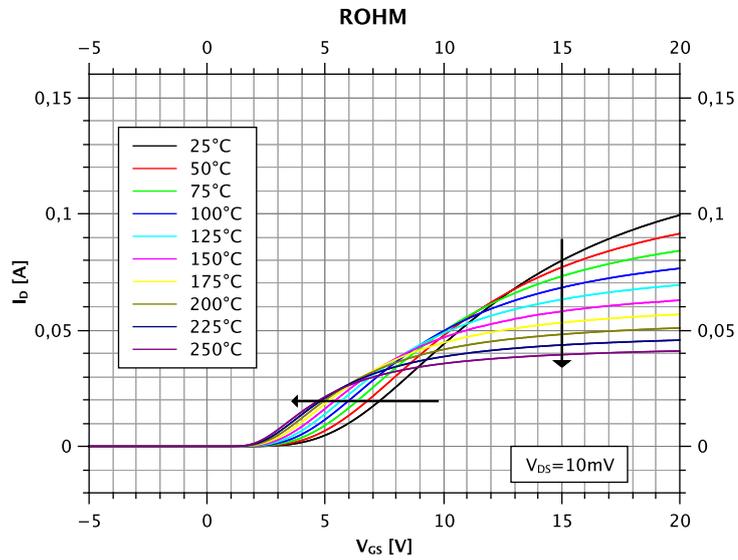
Étudions maintenant la courbe  $I_D/V_{GS}$  de chaque structure. Il est possible d'extraire plusieurs informations de cette caractérisation : la tension de seuil et la mobilité.

#### CREE

La figure 5.3 présente la courbe  $I_D/V_{GS}$  des MOSFET CREE.

FIGURE 5.3 – Courbe  $I_D/V_{GS}$  pour les structures de MOSFET de chez CREE**ROHM**

La figure 5.4 présente la courbe  $I_D/V_{GS}$  des MOSFET ROHM.

FIGURE 5.4 – Courbe  $I_D/V_{GS}$  pour les structures de MOSFET de chez ROHM**STMicroelectronic**

La figure 5.5 présente la courbe  $I_D/V_{GS}$  des MOSFET STMicroelectronic.

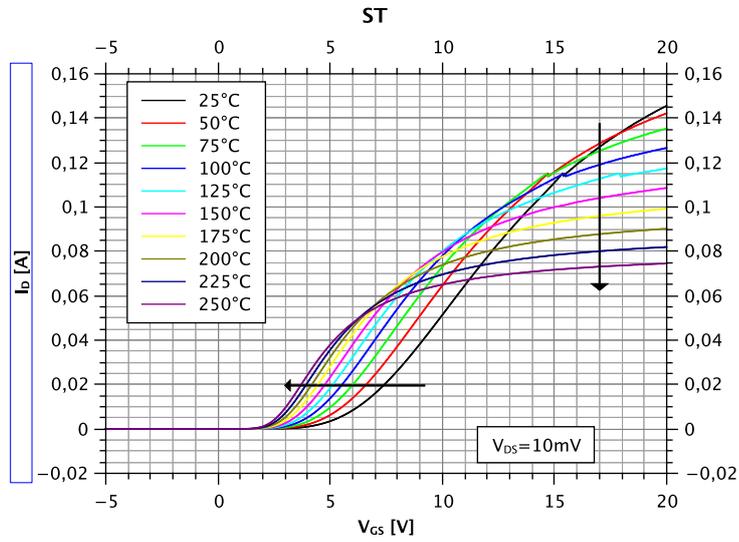


FIGURE 5.5 – Courbe  $I_D/V_{GS}$  pour les structures de MOSFET de chez STMicroelectronic

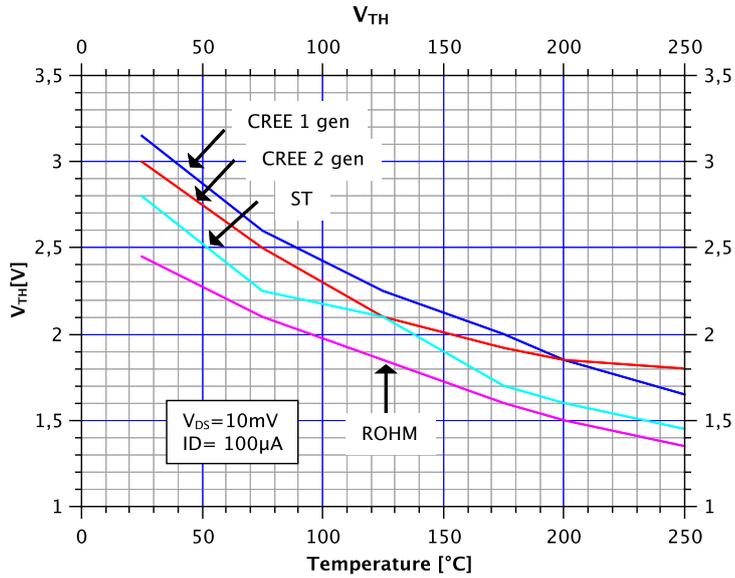


FIGURE 5.6 – Tension de seuil en fonction de la température pour tous les MOSFET

A partir de ces courbes, il est possible de remonter aux valeurs de la résistance à l'état passant. En effet en divisant la tension de drain source de 10 mV par le courant de saturation, on obtient la résistance. C'est pourquoi le courant de saturation est plus important pour la structure de chez STMicroelectronic.

### 5.2.3 Tension de seuil

La tension de seuil est le paramètre critique pour le MOSFET car elle diminue avec la température. Si cette tension devient inférieure à zero, le composant perd ses propriétés normally-Off. Nous avons tracé cette tension en fonction de la température pour tous les composants (figure 5.6). Toutes les structures gardent une tension de seuil supérieure à 1 V avec une décroissance moins marquée pour la nouvelle génération de CREE. En effet la deuxième génération de CREE a une diminution de 40% entre 250°C et 25°C, pour la première génération de CREE une diminution de 48%, 44% pour ROHM et 48% pour STMicroelectronic. Il y a une meilleure stabilité de la tension de seuil en fonction de la température pour les nouvelles générations de chez CREE.

Le MOSFET de chez ROHM a une résistance à l'état passant supérieure aux autres structures et une tension de seuil plus faible. Ce résultat est logique car  $R_{DS,ON}$  augmente quand  $V_{GS} - V_{TH}$  décroît (cf équation 5.1)

$$R_{DS,ON} = f\left(\frac{1}{V_{GS} - V_{TH}}\right) \quad (5.1)$$

Si la tension de seuil diminue alors la résistance à l'état passant augmente ce qui correspond à nos résultats.

### 5.2.4 Mobilité

Comme dans le chapitre 2, nous avons tracé la transconductance ( $G_m$ ) qui représente l'image de la mobilité à partir des courbes de  $I_D/V_{GS}$ .

#### CREE

La figure 5.7 présente une image de la mobilité des MOSFET CREE.

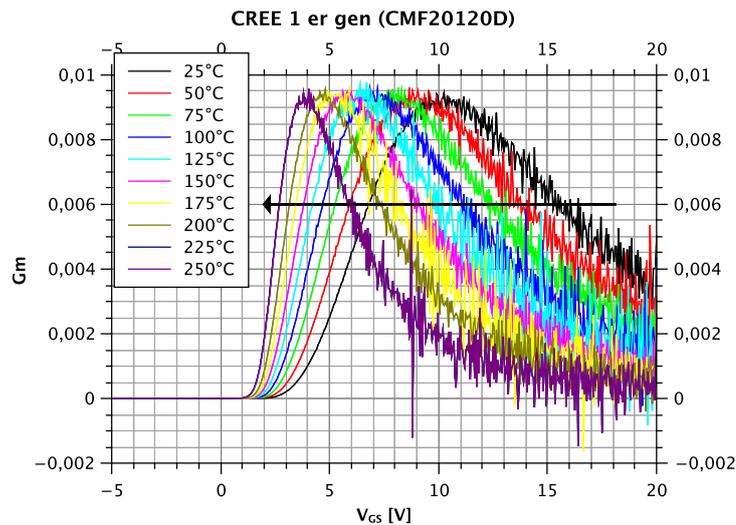


FIGURE 5.7 – Transconductance pour les structures de MOSFET de chez CREE

**ROHM**

La figure 5.8 présente une image de la mobilité des MOSFET ROHM.

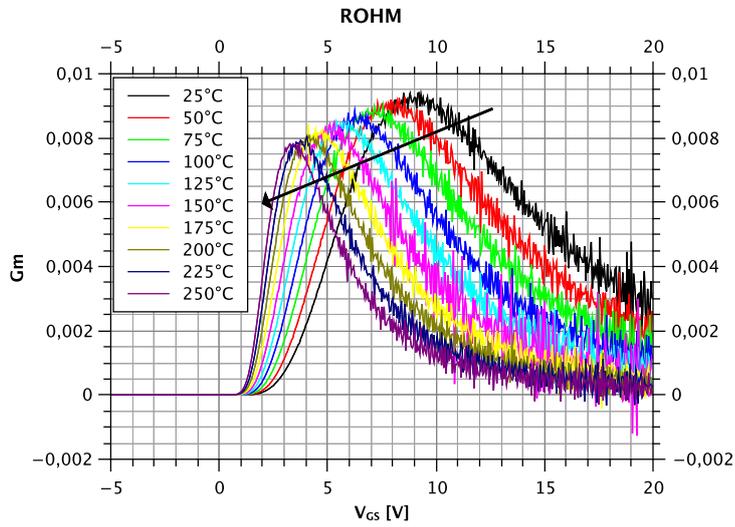


FIGURE 5.8 – Transconductance pour les structures de MOSFET de chez ROHM

**STMicroelectronic**

La figure 5.9 présente une image de la mobilité des MOSFET STMicroelectronic.

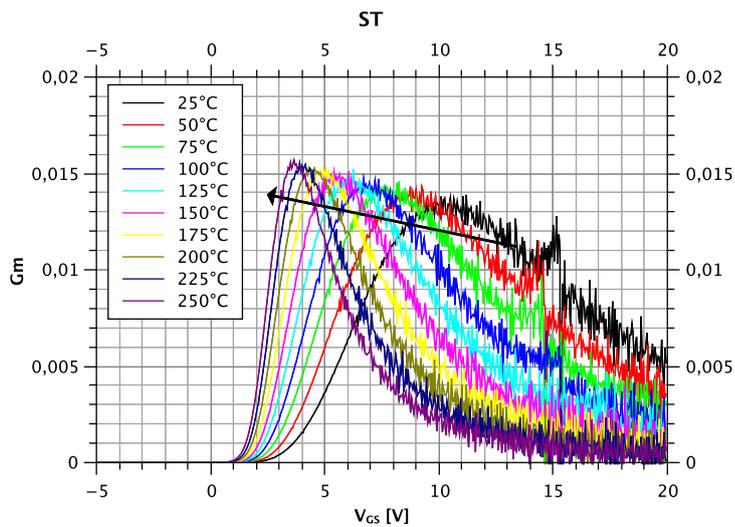


FIGURE 5.9 – Transconductance pour les structures de MOSFET de chez STMicroelectronic

Pour toutes les structures, on peut retrouver un comportement similaire de l'image de la mobilité. Il est possible de partager la courbe en deux parties, avec une partie croissante et une autre partie décroissante. La première représente la vitesse des porteurs qui augmente par la mise en conduction du canal N le long de l'oxyde de grille (augmentation de la tension grille-source) jusqu'à atteindre une saturation. Cette vitesse de saturation est obtenue pour une tension grille source qui décroît avec la température. Après ce maximum on observe une décroissance de la mobilité qui est liée à la résistance de drift jouant son rôle de limiteur sur le courant de drain. Néanmoins même si la mobilité présente un comportement identique pour chaque structure, il existe des divergences relatives au processus de fabrication et à l'implémentation du canal N. En effet, sur les MOSFET de chez CREE, on observe une vitesse de saturation indépendante de la température. Les charges gardent leur propriété cinétique même à haute température reflétant un processus de fabrication du canal N de bonne qualité ce qui n'est pas le cas des autres structures. Les MOSFET de chez ROHM et STMicroelectronic ont un comportement opposé avec une réduction de la vitesse de saturation pour ROHM et une augmentation de la vitesse de saturation pour ST. La diminution de la vitesse des charges s'explique par la structure en Trench avec la grille en profondeur et une plus grande surface d'oxyde. Cette surface apporte un atout en terme de robustesse de grille mais des inconvénients en termes de caractéristiques statiques. On voit que la structure ROHM possède les performances les moins bonnes en statique avec une résistance élevée et une vitesse de saturation qui décroît avec la température. Nous verrons par la suite que, néanmoins, cette structure possède les meilleures performances en terme de stabilité d'oxyde de par sa robustesse et sa géométrie d'implémentation.

Le MOSFET de chez STMicroelectronic présente, quant à lui, une amélioration de la vitesse des porteurs avec la température avec des valeurs initialement hautes. Comme pour ses bonnes caractéristiques statiques, cette structure présente de bonnes performances pour les applications haute température.

### 5.3 Caractérisation dynamique à 250°C

Après avoir caractérisé les MOSFET en statique, nous allons à présent caractériser toutes les structures en commutation. Le passage d'un état de conduction à un état bloqué (et inversement) d'un transistor ne se fait pas instantanément. Durant ce laps de temps, le transistor dissipe plus d'énergie qu'en régime permanent car le composant voit à la fois une forte tension et un fort courant. Il est donc nécessaire de minimiser la durée de cette transition. Cependant, une trop faible durée de commutation associée à la présence d'éléments parasites internes au boîtier (capacités et inductances) provoque l'apparition de surtensions et de sur-courants. La conséquence directe est l'augmentation des énergies de commutation et donc des pertes lors des commutations. Il existe donc un compromis à trouver entre le temps de commutation et les dépassements en courant et en tension afin de minimiser les énergies dissipées.

La caractérisation dynamique est essentielle pour obtenir les paramètres tels que le temps de commutation et l'énergie dissipée lors du régime transitoire. Après avoir effectué ces mesures, on peut en déduire les performances des différents MOSFET en régime de commutation.

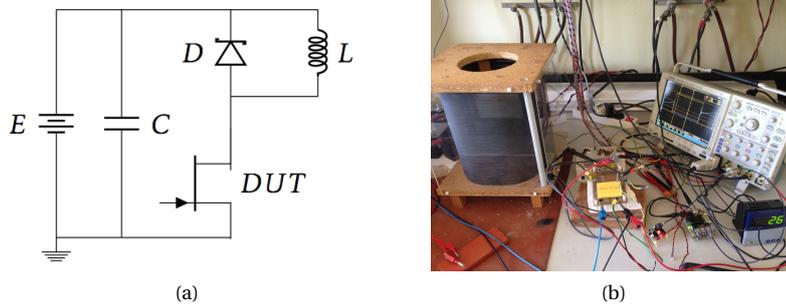


FIGURE 5.10 – (a) Schéma électrique du banc de mesure dynamique sur un montage de type hacheur (b) Photo du banc de test

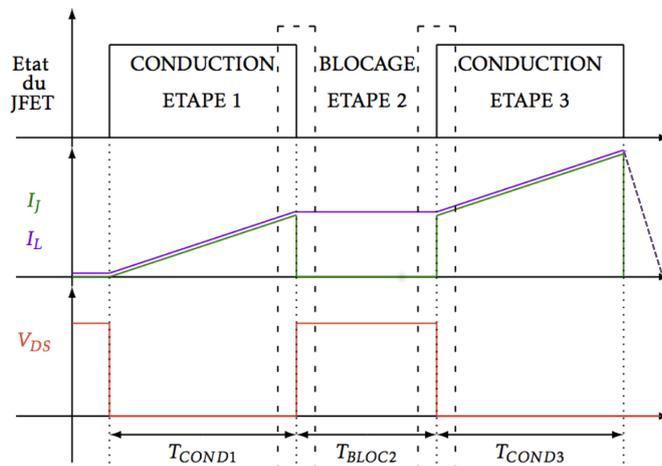


FIGURE 5.11 – Illustration de la méthode de la double impulsion

### 5.3.1 Banc de mesure

Pour réaliser la mesure en dynamique, un banc de test a été mis en place. Le MOSFET sous test est placé dans un montage généralement de type hacheur muni d'une charge inductive. La nature inductive de la charge implique que le courant de sortie ne doit pas subir de discontinuité notamment lors des commutations. Pour remplir cette fonction, on place une diode en parallèle de la charge. Le schéma du montage hacheur est présenté sur la figure 5.10a.

La température de la puce peut être un facteur important. Pour contrôler ce paramètre, la mesure des énergies de commutation se fait en utilisant le principe de la double impulsion. En effet lorsqu'un courant circule dans le composant, il y a de l'auto-échauffement et la température de la jonction de la puce n'est plus maîtrisée. La double impulsion permet au composant de faire circuler la puissance pendant une durée très courte évitant ainsi l'échauffement. Le schéma qui illustre la double impulsion est présentée figure 5.11.

Durant la première étape, le MOSFET reçoit un ordre de fermeture de la part du driver. Le courant s'établit dans la charge inductive jusqu'à atteindre une valeur

égale à :

$$I_L = E \frac{T_{COND1}}{L} \quad (5.2)$$

Nous allons fixer  $T_{COND1}$  pour obtenir le  $I_L$  souhaité.

Durant la deuxième étape, le MOSFET est bloqué durant la période  $T_{BLOC2}$ . Le transistor voit donc une tension à ses bornes équivalente à la tension de bus d'entrée. Le courant circule dans la diode de roue libre. Il est donc possible d'évaluer l'énergie dissipée par le composant lors de son ouverture :

$$E_{OFF} = \int_0^{T_{OFF}} V_{DS}(t)I(t) dt \quad (5.3)$$

Le choix de la durée  $T_{BLOC2}$  doit permettre de réaliser une commutation tout en évitant une diminution du courant de sortie. Dans notre banc de test, nous avons choisi un  $T_{BLOC2} = 10\mu s$ .

Durant la troisième et dernière étape, le MOSFET redevient passant avec un courant établi dans la charge. Avec les grandeurs de tension et de courant on peut estimer l'énergie dissipée par le composant lors de la fermeture :

$$E_{OFF} = \int_0^{T_{ON}} V_{DS}(t)I(t) dt \quad (5.4)$$

La durée  $T_{COND3}$  doit permettre la visualisation de la commutation du MOSFET tout en évitant un courant  $I_L$  trop important pour la charge et/ou le transistor ( $T_{COND3} < T_{COND1}$ ).

La carte, développée pour le banc de caractérisation dynamique, est montrée sur la photo 5.10b. On peut voir sur la gauche l'inductance de puissance, au centre la carte conçue pour minimiser les inductances parasites, le driver de commande et l'oscilloscope. Le MOSFET est déporté légèrement sur l'extérieur pour pouvoir placer le transistor sur une plaque chauffante et effectuer des caractérisations à haute température. La configuration de test a été conçue dans le but d'avoir une faible inductance parasite de boucle du condensateur jusqu'au MOSFET. Pour toutes les mesures, la tension est maintenue constante à 500 V et chaque transistor est testé pour un courant de 5A. Le circuit de test reste inchangé pour toutes les mesures sur tous les MOSFET. Les mesures ont été effectuées avec un oscilloscope Tektronix MS04104 (5 GS/s) 1 GHz en utilisant une sonde de tension Tekprobe pour mesurer la tension de grille et la tension drain-source. Un shunt est utilisé pour remonter à la valeur du courant. Le signal de commande utilisé pour la commutation provient d'un générateur d'impulsion FPGA réalisé au laboratoire.

Les paramètres du banc de test sont définis :

- Inductance de puissance = 1,1 mH
- Résistance de grille = 10  $\Omega$ , 20  $\Omega$
- $V_{BUS} = 500$  V
- Température = 25°C, 250°C

### 5.3.2 Mesures

Les mesures en commutation s'effectuent pour plusieurs températures de boîtier avec une tension de grille de -5V / +20V. La première série de mesures compare

les performances de commutation de la première génération de MOSFET de chez CREE en fonction de la température. La figure 5.12 présente la tension drain-source et le courant de drain pendant la mise en conduction et à la fermeture pour 25°C et 250°C avec une résistance de grille de 20  $\Omega$ . On observe une pente  $\frac{di}{dt}$  et  $\frac{dv}{dt}$  qui augmente pendant la mise en conduction (turn-on) avec la température alors que la pente décroît pour la mise à l'ouverture (turn-off). Le temps de commutation pour le turn-on diminue alors qu'il augmente pour le turn-off. Ces phénomènes s'expliquent par la décroissance de la tension de seuil avec la température. En effet, si la tension de seuil décroît lors de la mise en conduction, la tension de grille étant fixée à +20V,  $(V_{GS} - V_{TH})$  augmente. Cette différence de tension fictive permet au composant de commuter plus rapidement. A l'inverse pour la tension de grille négative fixe de -5V, si la tension de seuil diminue l'écart entre ces deux tensions diminue et le composant commute moins rapidement. La diminution de la tension de seuil entraîne donc une amélioration des performances en commutation pour le turn-on et détériore les performances lors du turn-off.

A partir des courbes de tension et de courant, on peut calculer les pertes en commutation. Elles sont obtenues en faisant l'intégrale de la puissance instantanée. La figure 5.13 présente le calcul des pertes pour les deux températures. On peut voir que les pertes restent stables avec la température car l'augmentation des pertes pour le turn-off sont compensées pendant le turn-on. Il est possible d'améliorer ces valeurs en diminuant la valeur de la résistance de grille.

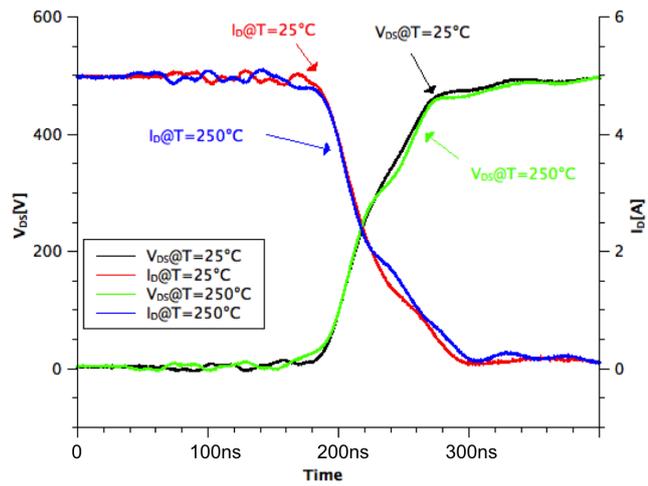
De manière générale, on observe une stabilité dans les courbes avec peu de dépendance à la température. En effet, les courbes de tension et de courant sont quasi superposées avec des temps de commutation identiques. Ce résultat n'est pas étonnant car la capacité d'entrée du MOSFET dépend peu de la température. Cette capacité d'entrée a été mesurée avec  $V_{DS} = 500V$  :  $C_{iss} = 1920pF$  pour une température de 25°C et  $C_{iss} = 2012pF$  pour une température de 250°C. Nous avons fait la comparaison entre les différentes technologies de MOSFET à 250°C avec cette fois ci une résistance de grille de 10  $\Omega$ .

### 5.3.3 Comparaison lors du turn-off à 250°C

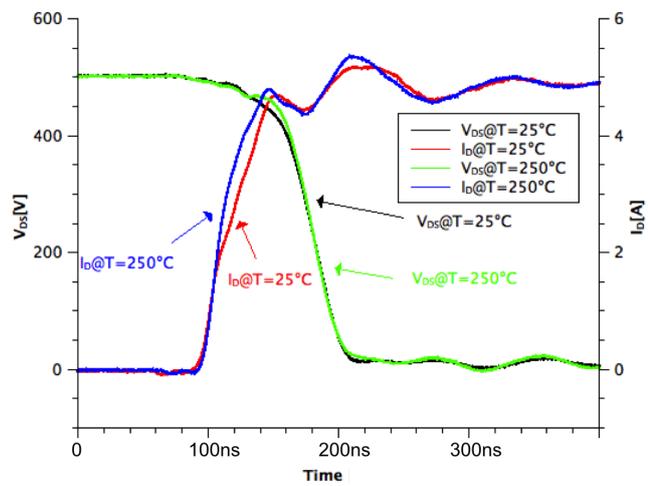
#### Tension de grille

La comparaison des performances en commutation à 250°C pour les différentes structures de MOSFET est étudiée lors de la mise à l'ouverture (le turn-off). La première comparaison a lieu sur la tension de grille avec une résistance de grille de 10 $\Omega$ . La courbe 5.14 présente la tension de grille pendant le turn-off passant de +20V à -5V pour les trois structures de MOSFET. La diminution de la résistance de grille permet aux composants de commuter plus rapidement par rapport aux tests précédents. On remarque que la vitesse de commutation de la grille est plus rapide pour le MOSFET CREE 2 gen qui commute en 40 ns. Pour le CREE 1 gen la commutation s'effectue en 80 ns (100 ns avec une  $R_G = 20 \Omega$ ) alors que le MOSFET de chez ROHM commute en 160 ns. Ces temps de commutation de la tension de grille sont l'image de la capacité d'entrée du transistor et comme le composant de chez ROHM possède une surface de grille plus importante, il a donc une capacité d'entrée plus élevée. Les capacités d'entrées ( $C_{iss} = C_{GD} + C_{GS}$ ) ont été mesurées sur les trois structures avec  $V_{DS} = 500V$ , la capacité de sortie ( $C_{oss} = C_{GD} + C_{DS}$ ) et la capacité de transfert ( $C_{rss} = C_{GD}$ ).

- CREE 1 gen  $C_{iss} = 2012pF$ ,  $C_{oss} = 192pF$ ,  $C_{rss} = 20pF$  à 250°C



(a)



(b)

FIGURE 5.12 – Chronogramme des signaux aux bornes du MOSFET CREE 1 gen pour plusieurs températures avec une résistance de grille de  $20\ \Omega$  pour le (a) turn-off et le (b) turn-on

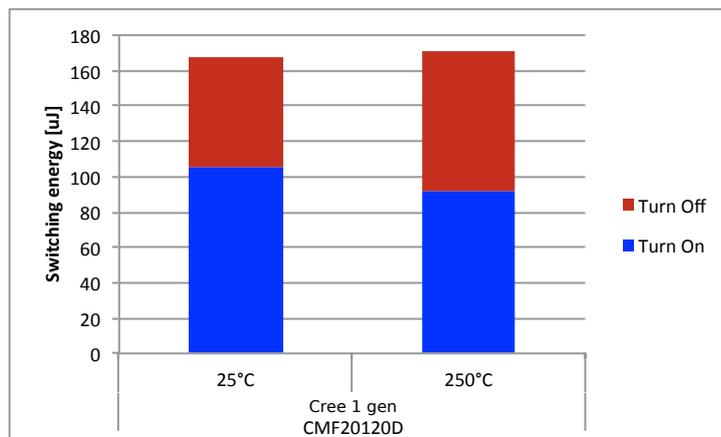


FIGURE 5.13 – Calcul des pertes pour les deux températures

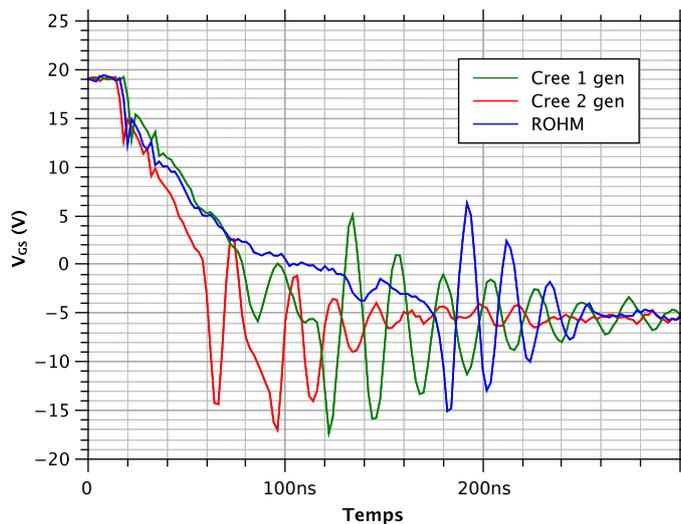


FIGURE 5.14 – Chronogramme de la tension de grille pour les trois structures de MOSFET lors du turn-off à 250°C

- CREE 2 gen  $C_{iss} = 990\text{pF}$ ,  $C_{oss} = 143\text{pF}$ ,  $C_{rss} = 11\text{pF}$  à 250°C
- ROHM  $C_{iss} = 4565\text{pF}$ ,  $C_{oss} = 370\text{pF}$ ,  $C_{rss} = 42\text{pF}$  à 250°C

Il est possible d'améliorer le temps de commutation en diminuant la résistance de grille mais cela engendre des oscillations sur la commande. Il y a donc une optimisation entre rapidité de commutation et amortissement. Intéressons nous maintenant à la tension drain-source et au courant de drain.

### Tension drain-source et courant de drain

La courbe 5.15 présente les chronogrammes de la tension drain-source et du courant de drain pour les trois structures de MOSFET lors du turn-off à 250°C.

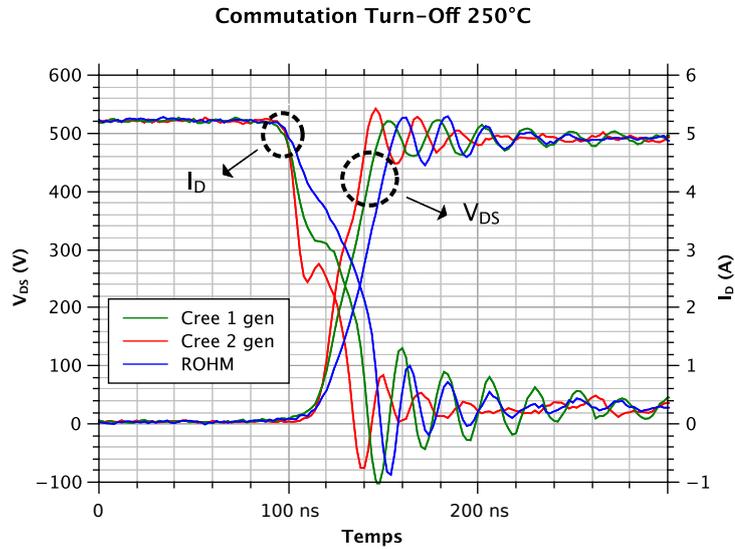


FIGURE 5.15 – Chronogramme de la tension drain-source et du courant de drain pour les trois structures de MOSFET lors du turn-off à 250 °C ( $R_G = 10\Omega$ )

Comme pour la tension de grille, on remarque un temps de commutation plus rapide pour le MOSFET CREE 2 gen puis le MOSFET CREE 1 gen et enfin le MOSFET ROHM. Ce résultat est cohérent vis à vis de la tension de grille de commande. Le temps de commutation pour le courant vaut 40 ns (2 gen), 50 ns (1 gen) et 60 ns (ROHM). Sur une vue d'ensemble, on peut voir que les pertes durant le turn-off sont les moins importantes pour la nouvelle génération de chez CREE et les plus importantes pour les MOSFET de chez ROHM.

### Calcul des pertes

A partir des courbes précédentes, il est possible de calculer les pertes durant le turn-off en intégrant la puissance instantanée. Ces résultats ne sont pas précis car ils ne prennent pas en compte d'éventuels déphasages de sonde. En effet, mesurer avec exactitude les pertes en commutation fait l'objet d'études poussées [CSM13] et dans notre cas nous attacherons plus d'importance à la comparaison des résultats.

Le tableau 5.1 présente les résultats des énergies. On peut voir que la diminution de la résistance de grille améliore les pertes avec des pertes au turn-off pour la première génération de CREE égales à 85  $\mu J$  pour un  $R_G = 20\Omega$  et 68  $\mu J$  pour un  $R_G = 10\Omega$ . Maintenant, entre les différentes structures de MOSFET, la nouvelle génération de CREE présente les pertes les plus faibles. Une application visée peut être la haute fréquence pour ce type de structure. Le MOSFET de chez ROHM présente les pertes les plus importantes qui sont deux fois plus élevées par rapport à la structure précédente.

TABLE 5.1 – Récapitulatif des pertes pendant le turn-off pour les trois MOSFET à 250°C

MOSFET	Énergie turn-off @ 250°C
CREE 1 gen	68 $\mu J$
CREE 2 gen	50 $\mu J$
ROHM	96 $\mu J$

### 5.3.4 Comparaison lors du turn-on

A présent, la comparaison des performances en commutation à 250°C pour les différentes structures de MOSFET est étudiée lors de la mise en conduction : le turn-on. La résistance de grille est toujours égale à 10  $\Omega$ . La figure 5.16 présente les formes d'ondes de la tension drain-source et du courant pour les trois structures de MOSFET.

Sur la figure, le courant subit un pic lors de la mise en conduction. Cette surintensité est liée au recouvrement de charge de la diode de roue libre. Plus le temps de commutation est rapide et plus la surintensité sera importante. Ensuite, on voit des ondulations pour le MOSFET CREE 2 gen. Une des limitations de la vitesse de commutation du transistor est la présence de la capacité parasite  $C_{GD}$ . Cette capacité implique un stockage d'énergie lorsque le transistor est bloqué. Lors d'un changement d'état de conduction, l'énergie stockée entre la jonction grille-drain donne naissance à un courant parasite  $I_{DG}$  dont la valeur dépend de la valeur de la capacité  $C_{GD}$ , des tensions  $V_{DS}$  et  $V_{GS}$  ainsi que du temps de commutation  $dt$  :

$$I_{GD} = C_{GD} \frac{d(V_{GS} - V_{DS})}{dt} \quad (5.5)$$

On observe un temps de commutation plus rapide pour la deuxième génération de chez CREE comme pour le turn-off néanmoins le courant ondule beaucoup plus et le pic de courant est bien plus important. L'amélioration de la vitesse de commutation n'est donc pas mise en valeur car il aurait fallu améliorer les inductances parasites du montage. Cet exemple illustre les difficultés à atteindre les performances de ces nouveaux transistors qui sont aujourd'hui limités par le packaging et le layout. Dans notre montage, les pertes au turn-on sont plus importantes pour la deuxième génération de CREE de par un manque d'optimisation du montage. Néanmoins on voit bien que le composant est intrinsèquement meilleur puisque les vitesses de commutation sont plus rapides pour la tension et le courant.

Concernant les mesures en commutation, on voit bien que la deuxième génération de MOSFET de chez CREE possède les meilleures performances avec des temps de commutation les plus courts. Le MOSFET de chez ROHM présente quant à lui les moins bonnes performances en statique et en dynamique avec les pertes les plus élevées. Néanmoins ces pertes restent faibles par rapport aux composants en silicium. Une des difficultés rencontrées est l'optimisation de la conception du circuit avec des inductances parasites qui doivent rester extrêmement faibles pour ne pas parasiter les performances des composants nouvelles générations.

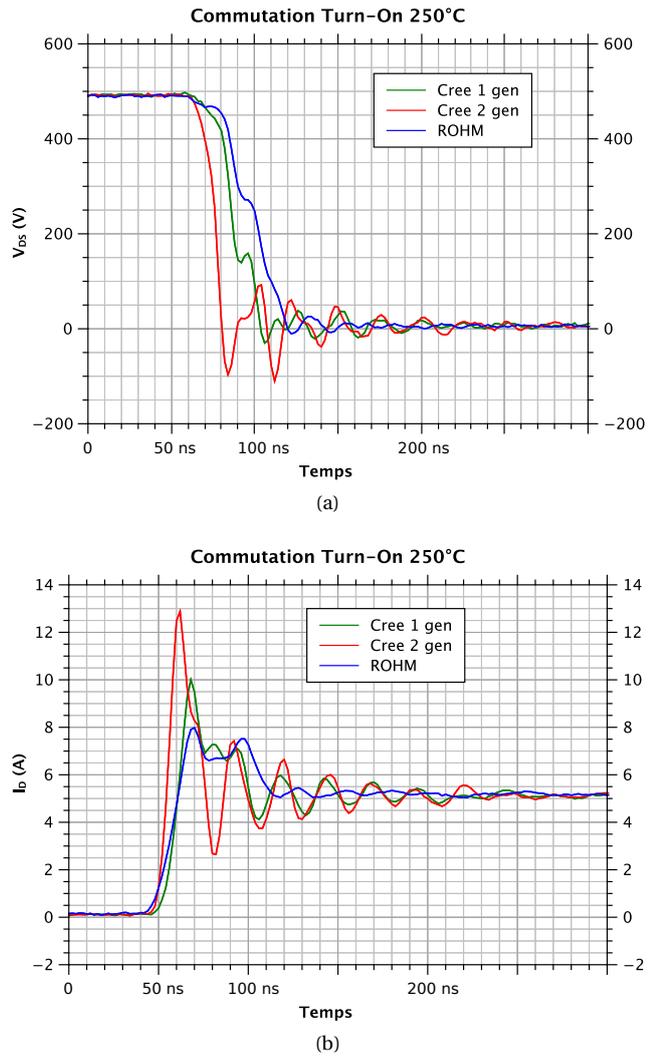


FIGURE 5.16 – Chronogramme de (a) la tension drain-source et (b) du courant de drain pour les trois structures de MOSFET lors du turn-off à 250 °C

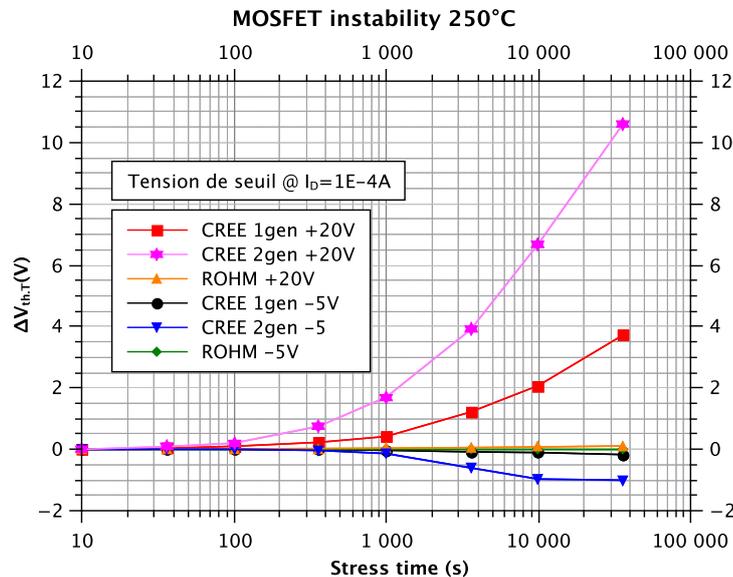


FIGURE 5.17 – Dérive de la tension de seuil avec le test d'instabilité en fonction du temps de polarisation pour les trois structures de MOSFET à 250°C

Nous allons à présent regarder la stabilité de la grille, puisque les structures présentent des conceptions d'implémentation de la grille différentes. On a pu voir que la taille de la grille pour le MOSFET ROHM est plus importante avec des performances en statique et en dynamique amoindries. Néanmoins, il se peut que la taille de la grille devienne un avantage dans la robustesse de l'oxyde avec le test d'instabilité. C'est l'objet de la partie suivante.

## 5.4 Instabilité de la grille

### 5.4.1 Instabilité Réversible

La comparaison des performances des MOSFET nouvelle génération se focalise maintenant sur le test d'instabilité de la grille. Précédemment, nous avons constaté que les structures étaient différentes pour chaque transistor avec une géométrie d'implémentation de l'oxyde de grille propre à chacun. L'épaisseur et la surface de l'oxyde vont jouer un rôle prépondérant dans la robustesse de la grille.

L'objectif du test est de comparer la dérive observée en polarisant la grille comme dans le test d'instabilité effectué dans le chapitre 3. Nous pouvons ainsi positionner la qualité de chaque oxyde et d'interface entre les transistors. Les charges sont piégées dans les défauts d'interface par la présence d'impuretés lors du processus d'oxydation.

La figure 5.17 présente les résultats de la dérive de la tension de seuil en fonction du temps de polarisation de la grille pour le test d'instabilité. Nous représentons toujours  $\Delta V_{TH, T} = V_{TH} - V_{TH0}$  : la tension de seuil mesurée après la polarisation de grille moins la tension de seuil initiale.

Chaque structure de MOSFET a subi le test et les tensions de seuil ont été reportées. Dans les caractérisations statiques et dynamiques, la structure CREE généra-

tion 2 présentait les meilleures performances. Cependant pour le test d'instabilité, on peut constater que la dérive est la plus marquée pour ce transistor. En effet, la dérive positive affiche une augmentation de 700% passant de 1,4V à 12V et la dérive négative diminue de 90% passant de 1,1V à 0,1V. Cet aspect est critique puisque la tension de seuil est proche de 0V pour une polarisation de grille négative après 36 000 secondes à 250°C, ce qui signifie que le composant devient presque normalement passant. Les autres structures de MOSFET présentent quant à elles des dérives moins marquées en particulier pour ROHM qui subit une augmentation et une diminution de la tension de seuil de seulement 5%.  $V_{TH}$  passe de 1,11V à 1,17V pour la dérive positive et 1,06V à 1,05V pour la dérive négative. Il y a donc une très bonne stabilité de grille pour ce transistor avec très peu de charges piégées dans l'interface et dans l'oxyde.

Lors des caractérisations statiques et dynamiques, nous avons vu que le MOSFET CREE 2<sup>ème</sup> génération, possédait les meilleures performances avec une capacité d'oxyde faible. A l'inverse le transistor de ROHM présentait les moins bonnes performances. Sur ce test de robustesse de grille, la tendance s'est inversée. Nous faisons donc l'hypothèse suivante. La surface de l'oxyde de grille définit les propriétés intrinsèques électriques du transistor par l'équation d'un condensateur plan :

$$C = \frac{\epsilon S}{e} \quad (5.6)$$

Avec C la capacité,  $\epsilon$  la permittivité diélectrique, S la surface et e l'épaisseur.

La capacité d'oxyde intervient dans la valeur de la capacité  $C_{GS}$  et donc la capacité d'entrée  $C_{iss}$ . Plus l'oxyde a une surface faible, plus la capacité d'oxyde et donc la capacité d'entrée seront faibles avec une amélioration des performances en commutation. La résistance du canal N est plus faible ce qui entraîne une diminution de la résistance à l'état passant. Cependant, la dérive de la tension de seuil (quantité de charges piégées) dans l'interface dépend de la capacité d'oxyde par la relation suivante :

$$\Delta V_T = \frac{q \Delta N_T}{C_{ox}} \quad (5.7)$$

On comprend que plus la capacité d'oxyde est faible, plus la dérive de la tension de seuil sera importante comme sur la deuxième génération de CREE. On retrouve les résultats de caractérisation avec les transistors ROHM qui ont une capacité d'entrée élevée avec des temps de commutation plus élevés, une résistance à l'état passant plus élevée mais une dérive bien moins marquée.

Les industriels doivent donc faire un compromis entre performance en statique/dynamique et dérive de la tension de seuil. La deuxième génération de CREE semble donc être promise aux applications haute fréquence avec une température inférieure à 175°C dans laquelle l'instabilité est beaucoup moins marquée (figure 5.18). Le MOSFET de chez ROHM est un transistor pour des applications haute température où la dérive de la tension n'a presque pas lieu. Afin de confirmer ces hypothèses, il faudrait faire des analyses de microscope électronique en transmission pour visualiser les épaisseurs d'oxyde.

#### 5.4.2 Irréversible

Nous avons fait le même test de vieillissement sur la grille en commutation comme dans le chapitre 3. Les temps de stress de grille dure 1000 secondes à 250°C

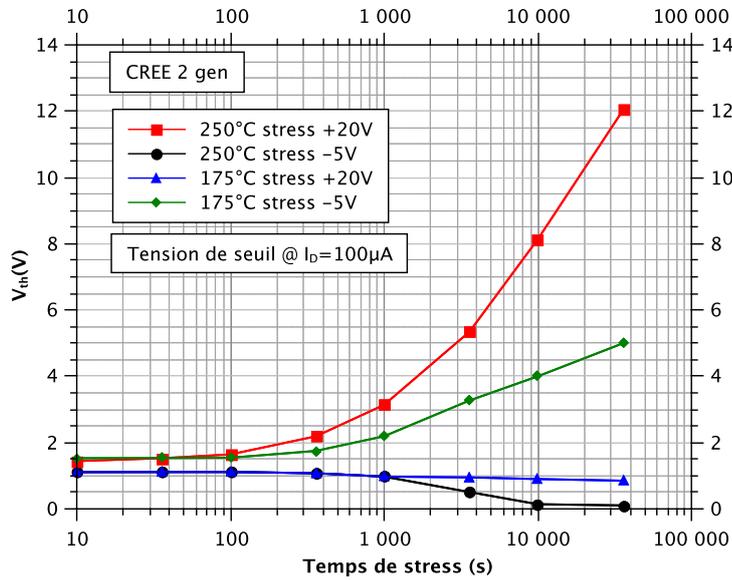


FIGURE 5.18 – Dérive de la tension de seuil avec le test d'instabilité en fonction de la température pour la 2ème génération de CREE

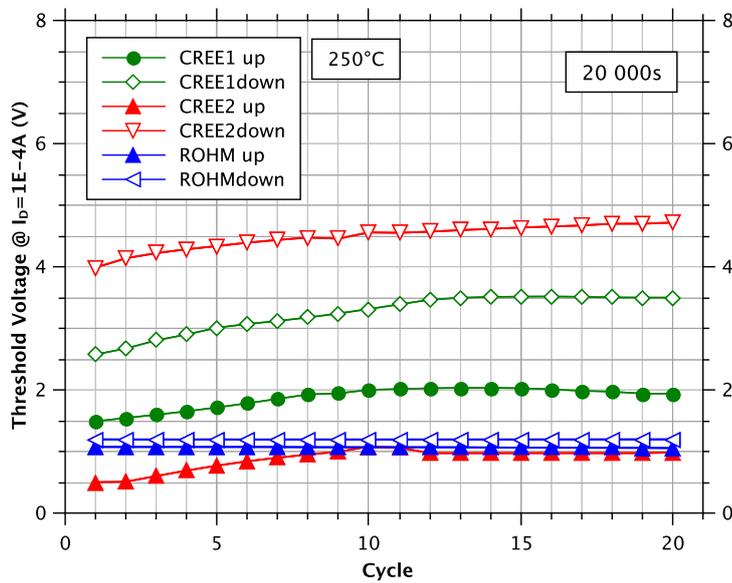


FIGURE 5.19 – Dérive de la tension de seuil en fonction du cycle de vieillissement pour les trois structures de MOSFET à 250°C

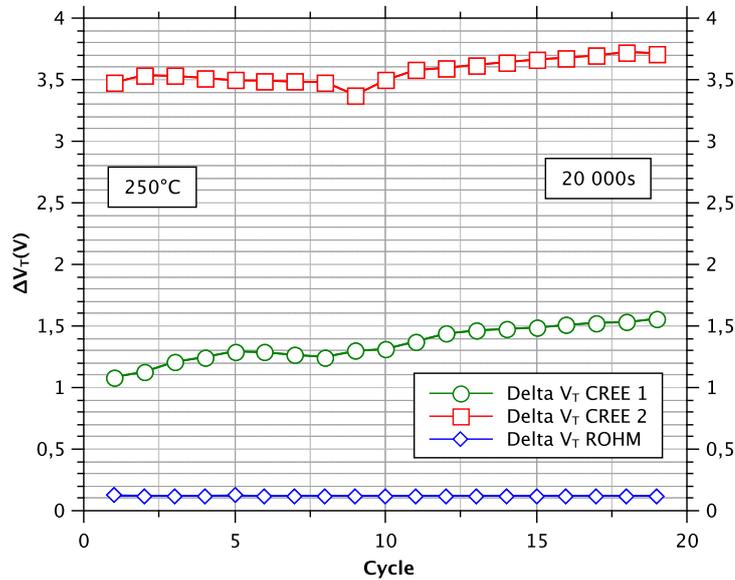


FIGURE 5.20 – Dérive de la tension de seuil en fonction du cycle de vieillissement pour les trois structures de MOSFET à 250°C

et on vient réaliser des mesures de tension de seuil lors du ramp-up et du ramp-down. La figure 5.19 représente les résultats du test de vieillissement de grille. On voit que la différence de tension de seuil entre le ramp-up et le ramp-down est beaucoup plus marquée pour la seconde génération de CREE. Le transistor de chez ROHM a une instabilité moins marquée. Cependant pour toutes les structures, on remarque que lors du vieillissement, la dérive de la tension de seuil reste stable ce qui signifie qu'il y a peu de création de nouveaux pièges dans l'interface et dans l'oxyde. Une autre manière de représenter cette évolution est de tracer  $\Delta V_T$  en fonction des cycles du vieillissement (figure 5.20) :

$$\Delta V_T = V_{THramp-down} - V_{THramp-up} \quad (5.8)$$

On voit que la valeur de  $\Delta V_T$  est plus importante pour le transistor CREE génération 2 mais qu'il reste relativement stable dans le temps. Le MOSFET ROHM présente toujours les meilleures performances pour ce test avec une valeur de  $\Delta V_T$  très basse et stable.

Nous devons regarder à présent la durée de vie de ces transistors dans le banc de vieillissement dans l'application de puissance. La comparaison de la durée de vie pour une température de 280°C de boîtier permettra de comprendre quels sont les paramètres prépondérants pour la fiabilité des MOSFET.

## 5.5 Vieillessement dans l'application de puissance

L'objectif du prochain test consiste à placer les nouvelles générations de MOSFET dans notre banc de vieillissement qui répond au cahier des charges de l'application de puissance. Le niveau de tension est fixé à 500V avec un courant de 5A pour une fréquence de 10kHz. Le composant est commandé avec les niveaux de tension

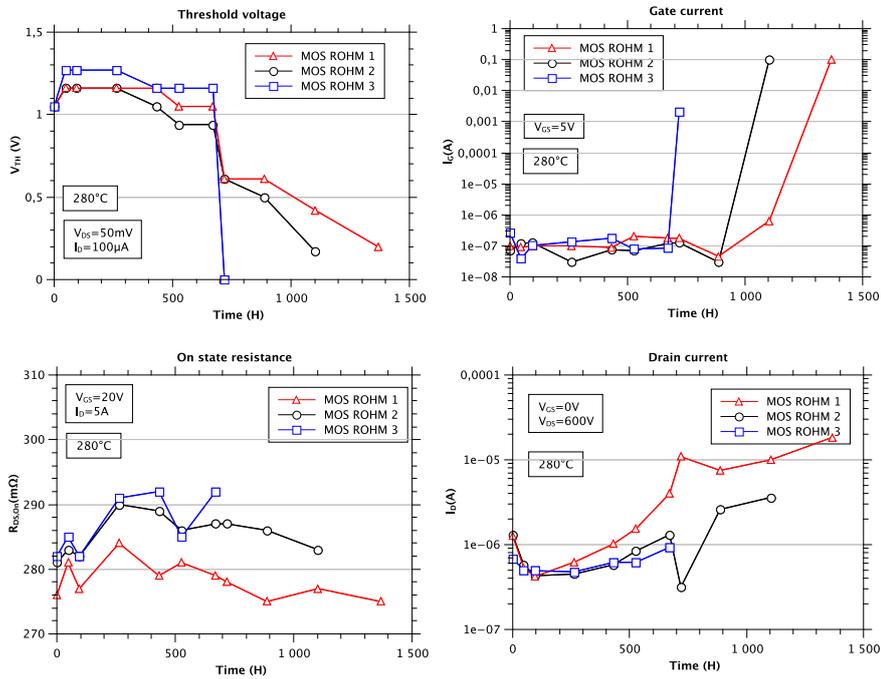


FIGURE 5.21 – Évolution de la tension de seuil, de la résistance à l'état passant, du courant de fuite de drain et du courant de fuite de grille en fonction du temps pour le test de vieillissement  $T_{case}=280^\circ C$  avec des MOSFET de chez ROHM

-5V/+20V pour faire une comparaison dans les mêmes conditions avec une température ambiante élevée pour accélérer le processus de vieillissement. La température de référence est de  $280^\circ C$  de boîtier et elle présente une durée de vie moyenne de 500 heures pour les transistors CREE première génération. Les informations sur la durée de vie des composants nous permettront d'établir une comparaison sur la loi de vieillissement.

Nous avons placé 3 MOSFET ROHM dans le banc de test et les résultats sur l'évolution des paramètres électriques est présentée sur la figure 5.21.

Le premier constat qui est établi est l'augmentation de la durée de vie moyenne par rapport à la première génération de CREE passant de 500 heures à 1000 heures en moyenne (voir tableau 5.2). On note aussi une plus grande disparité dans les temps jusqu'à la défaillance avec un écart de 700 heures entre le premier MOSFET défaillant et le dernier. Ce résultat n'est pas surprenant car la technologie ROHM étant plus récente, la maturité des composants n'est sûrement pas autant établie que pour les CREE génération 1.

Concernant l'évolution des paramètres électriques, le courant de fuite de grille est toujours un paramètre qui reflète l'état de santé du composant avec un emballement avant la défaillance. Néanmoins, on voit aussi une dérive de la tension de seuil négative atteignant la valeur critique de 0V pour un transistor. Les deux autres MOSFET subissent une décroissance jusqu'à 0,2V de la tension de seuil. La résistance à l'état passant reste relativement stable. On notera une légère augmentation

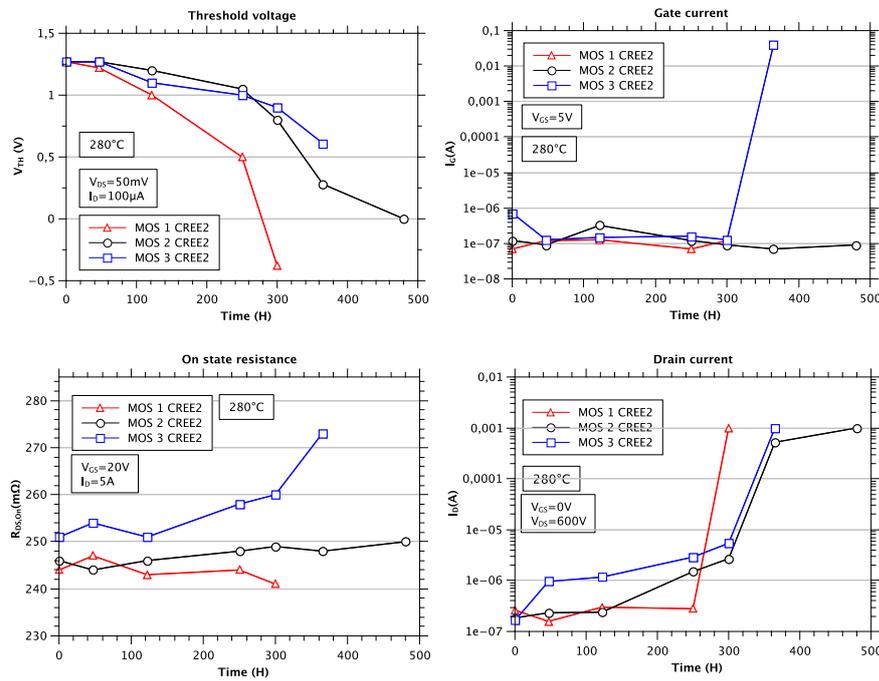


FIGURE 5.22 – Évolution de la tension de seuil, de la résistance à l'état passant, du courant de fuite de drain et du courant de fuite de grille en fonction du temps pour le test de vieillissement  $T_{case}=280^{\circ}C$  avec des MOSFET de chez CREE 2 génération

du courant de fuite de drain.

Pour la technologie ROHM, l'augmentation de la surface d'oxyde dans la structure dégrade les performances en statique/dynamique (résistance, temps de commutation) mais améliore la stabilité de l'interface (dérive de la tension de seuil). La conséquence sur le banc de vieillissement est une amélioration de la durée de vie pour les hautes températures. Les pertes en conduction et en commutation sont donc plus élevées, mais la durée de vie est plus élevée. Le compromis fait par cet industriel est de favoriser la robustesse de la grille ce qui est un réel atout pour les applications haute température.

Nous avons placé 3 MOSFET CREE génération 2, dans le banc de test et les résultats sur l'évolution des paramètres électriques est présentée sur la figure 5.22.

Pour ce transistor, la durée de vie moyenne est de 380 heures (voir le tableau 5.2) ce qui est plus faible que pour la première génération. Ce qui est intéressant dans l'évolution des paramètres dans le temps est de voir un nouveau mode de défaillance. En effet pour la première fois, on ne remarque pas d'emballement du courant de grille statique avant la casse pour les trois MOSFET. Un seul transistor a une augmentation de  $I_G$  avant la défaillance tandis que les deux autres sont défaillants à cause de la tension de seuil.  $V_{TH}$  est inférieure ou égale à 0V ce qui rend le composant normalement passant. Les composants ne tiennent plus la tension à l'état bloqué avec une mesure du courant de drain de 1 mA. Cette valeur est une limitation de notre mesure réalisée par l'analyseur B1505A pour protéger le tran-

TABLE 5.2 – Récapitulatif des durées de vie moyennes pour les structures de MOSFET à 280°C

MOSFET	Durée de vie moyenne à 280°C
CREE 1 gen	500 heures
CREE 2 gen	380 heures
ROHM	1000 heures

sistor, ce qui signifie qu'en réalité le courant est bien plus important. Il y a une corrélation entre tension de seuil et courant de fuite de drain. Si  $V_{TH}$  diminue alors le courant de fuite  $I_D$  augmente ce qui correspond à nos résultats.

Cette nouvelle génération fait donc intervenir un autre phénomène de dégradation. Ce résultat n'est pas surprenant puisque cette structure a montré de mauvais résultats en terme de dérive de la tension de seuil. Le vieillissement a donc un impact plus important sur la tension de seuil ce qui rend le composant normalement passant.

La deuxième génération de CREE présente de bonnes performances en statique/dynamique (résistance à l'état passant, temps de commutation) néanmoins la dérive de la tension de seuil est importante de par la faible capacité d'oxyde qui a un impact prépondérant sur le vieillissement du MOSFET. Ce composant est donc clairement conçu pour les applications haute fréquence avec des températures inférieures à 175°C.

## 5.6 Bilan de la comparaison

La comparaison sur les nouvelles générations de MOSFET s'est divisée en quatre parties :

- une caractérisation statique avec une comparaison sur la résistance à l'état passant, la tension de seuil et la mobilité.
- une caractérisation dynamique pour comparer les temps de commutation et les pertes.
- une mesure d'instabilité avec la comparaison des dérives de la tension de seuil
- une comparaison de l'évolution des paramètres dans notre banc de test de vieillissement avec une comparaison des durées de vie moyenne.

Au final, la deuxième génération de chez CREE présente les meilleures performances pour les deux premières parties avec une résistance à l'état passant normalisée faible et des temps de commutation rapides. Ces propriétés sont obtenues par une diminution de la capacité d'oxyde ce qui diminue la capacité d'entrée et les pertes par commutation. Cependant, pour mettre à profil ces bonnes performances, il est nécessaire de réaliser un circuit avec le minimum d'inductance parasite. Le MOSFET de chez ROHM présente les moins bonnes performances sur les caractérisations statiques et dynamiques avec une résistance à l'état passant normalisée la plus haute et des temps de commutation les plus longs. La structure en Trench oblige les constructeurs à réaliser une plus grande surface d'oxyde ce qui

augmente la capacité d'oxyde et capacité d'entrée. Le canal N étant plus long, la résistance à l'état passant est plus élevée.

Cependant, pour les tests d'instabilités, la dérive de la tension de seuil présente les meilleures performances pour le MOSFET de chez ROHM avec une bonne stabilité, ce qui n'est pas le cas pour la structure CREE génération 2 qui a la dérive la plus marquée. Ces résultats sont en adéquation avec la modélisation de la dérive de la tension de seuil qui est inversement proportionnelle à la valeur de la capacité d'oxyde. Ce qui était un avantage pour les caractérisations statiques et dynamiques devient un inconvénient pour la dérive du  $V_{TH}$ . Il faut donc faire un compromis entre performance en statique/dynamique et robustesse de la grille. Pour les applications haute température où le phénomène de dérive est accentué par l'apport en énergie thermique, on remarque une durée de vie moins bonne pour la deuxième génération de CREE. Le constructeur CREE prévoit sûrement de viser les applications haute fréquence avec la deuxième génération de MOSFET puisque la première génération peut répondre aux besoins de la haute température. Les MOSFET de chez ROHM présentent quant à eux les meilleurs temps avant défaillance. Il est nécessaire de poursuivre ces travaux sur ces nouvelles générations afin d'obtenir une loi de vieillissement identique à celle établie sur la première génération CREE.

Nous avons effectué une première comparaison entre les différentes structures de MOSFET en carbure de silicium. On voit bien qu'il n'y a pas de solution "miracle" pour obtenir des bonnes performances sur tous les plans et un compromis doit être effectué pour les applications visées. Les applications haute température sont aujourd'hui un marché de niche, ce qui explique pourquoi certains constructeurs ne s'orientent pas vers l'amélioration des performances pour des températures élevées, comme le montre la dernière génération de chez CREE. Néanmoins, il est possible de remarquer un réel engouement pour ces nouveaux transistors qui possèdent d'excellentes propriétés en terme de rendement, de fréquence et de plage de température. De nombreux travaux ont débuté chez des industriels pour l'étude de solution en MOSFET SiC durant ces trois dernières années et l'étude de la fiabilité est indispensable pour valider la possibilité d'utiliser ces nouveaux transistors.

## Conclusion générale et perspectives

L'ensemble des travaux de thèse s'inscrit dans le cadre d'une démarche globale visant la compréhension des mécanismes de défaillance et la prédiction de la durée de vie des transistors de puissance en carbure de silicium pour des applications industrielles haute température.

La technologie en carbure de silicium apparaît sur le marché de l'électronique de puissance comme étant révolutionnaire grâce à ses performances exceptionnelles. Pourtant les parts de marché restent limitées dans l'industrie. On peut se poser légitimement la question sur le point limitant. Aujourd'hui, peu de retour d'expérience confirme une grande fiabilité sur ces technologies avec une incertitude sur la maîtrise des processus de fabrication des semi-conducteurs. Ce point peut faire défaut et c'est dans cette démarche de fiabilité que s'inscrit cette étude.

Ainsi, nous nous sommes imprégnés de la problématique complexe de la fiabilité des modules de puissance avec un calcul de la durée de vie basé sur des tests de vieillissement accélérés. La contribution de ce mémoire s'intègre dans les problématiques de fiabilité prédictive en se basant sur l'exploitation de paramètres électriques du transistor dans son environnement applicatif pour remonter à l'état physique structural de ce dernier.

Pour cela, une approche méthodologique nous a progressivement poussé à établir un véhicule de test avec un assemblage adapté à l'environnement sévère des applications visées. Le choix du transistor s'est porté sur une structure de type MOSFET de chez l'industriel CREE. Le véhicule de test défini, des tests de vieillissement dans des conditions représentatives d'une application réelle de conversion d'énergie ont été réalisés.

Grâce à cette méthodologie, nous avons développé des outils permettant d'exploiter l'évolution des paramètres électriques pendant des tests de vieillissement longue durée accélérés dans son environnement applicatif. Il a été possible d'établir un lien entre la défaillance du transistor et l'emballement du courant de fuite de grille. Cette étude d'analyse prédictive de défaillance a été accompagnée par une étude de fiabilité sur la modélisation du vieillissement avec des résultats concluant sur le modèle et la maturité technologique du MOSFET SiC.

Afin de relier l'évolution électrique avec la nature du défaut physique, une étude fine microscopique a été menée pour observer les défaillances de structure. Dans le MOSFET, l'élément critique est l'oxyde de grille de par ses propriétés de densité du niveau d'énergie entre le  $SiO_2$  et le  $SiC$ . Il a donc fallu effectuer une observation

fine de la défaillance au niveau de la grille. Pour cela, après désencapsulation du boîtier, nous avons polarisé la puce par une excitation électrique avec une image par caméra thermique ce qui révèle les zones défaillantes. Grâce à une découpe par sonde ionique focalisée (FIB) et une image au microscope à balayage (MEB), nous avons observé le défaut physique dans la grille. Cela se traduit par des fissures dans l'électrode silicium poly-cristallin et dans l'oxyde ce qui explique l'augmentation du courant de fuite statique de grille. Le diélectrique ne remplit plus sa fonction isolante. L'hypothèse de la reconstruction chronologique inverse du déroulement du mécanisme de défaillance a été établie.

L'engouement pour le MOSFET en carbure de silicium est certain puisque durant les trois dernières années, le marché industriel a vu apparaître de nouveaux transistors et de nouveaux fournisseurs. Afin de rendre l'étude la plus complète, nous nous sommes procurés le maximum de puces pour réaliser de nouveaux véhicules de tests. Nous avons donc réalisé une étude comparative des performances dans différents domaines applicatifs. Il apparaît donc que le MOSFET le plus fiable pour les applications haute température est le transistor de chez ROHM. Le nouveau MOSFET de chez CREE présente, lui, un grand intérêt pour les applications haute fréquence. Les transistors STMicroelectronics possèdent aussi de très bonnes propriétés mais les tests de vieillissement n'ont pas été réalisés dans le temps imparti. Le packaging epoxy ne permettait pas de monter en température. Il est donc envisageable de poursuivre ces travaux en récupérant sous forme de puce ces composants de puissance et de les assembler avec les technologies de notre véhicule test haute température.

Les tests réalisés ont apporté une contribution significative à l'étude de la fiabilité des composants MOSFET SiC en environnement haute température, avec des durées de fonctionnement observées à des températures supérieures à 300°C pendant des durées non négligeables de plusieurs centaines d'heures. En raison du coût encore élevé des véhicules de tests et donc du manque certain de composants pour réaliser des lois de vieillissement, nous ne pouvons pas prétendre à des estimations exhaustives sur les durées de vie à température plus basse. Néanmoins, par une modélisation du vieillissement et une valeur du coefficient de forme (beta) élevé dans la loi de Weibull-Arrhénius, les résultats présentés ne peuvent être rejetés. La méthodologie reste toujours applicable sur des lots de transistors plus importants.

Les résultats obtenus sont encourageants, car on peut raisonnablement prévoir la durée de vie des MOSFET en Carbure de Silicium et utiliser l'évolution du courant de fuite de grille pour effectuer des solutions de diagnostic en temps réel. Ainsi, il est envisageable de proposer des systèmes de type "health monitoring" avec une anticipation de la défaillance. L'avenir du SiC passe indéniablement par des travaux de fiabilité complémentaires qui doivent être poursuivies au fur et à mesure de l'évolution rapide des technologies de semi-conducteurs et des procédés d'assemblage.

## **Annexe 1**

La figure 5.23 présente le schéma électrique du drivers utilisé dans le banc de vieillissement pour commander les MOSFET.



## **Annexe 2**

La figure 5.24 présente le schéma électrique de la carte relais utilisée dans le banc de vieillissement pour permettre de réaliser des caractérisations pendant le stress sans enlever le MOSFET de son bloc chauffant.

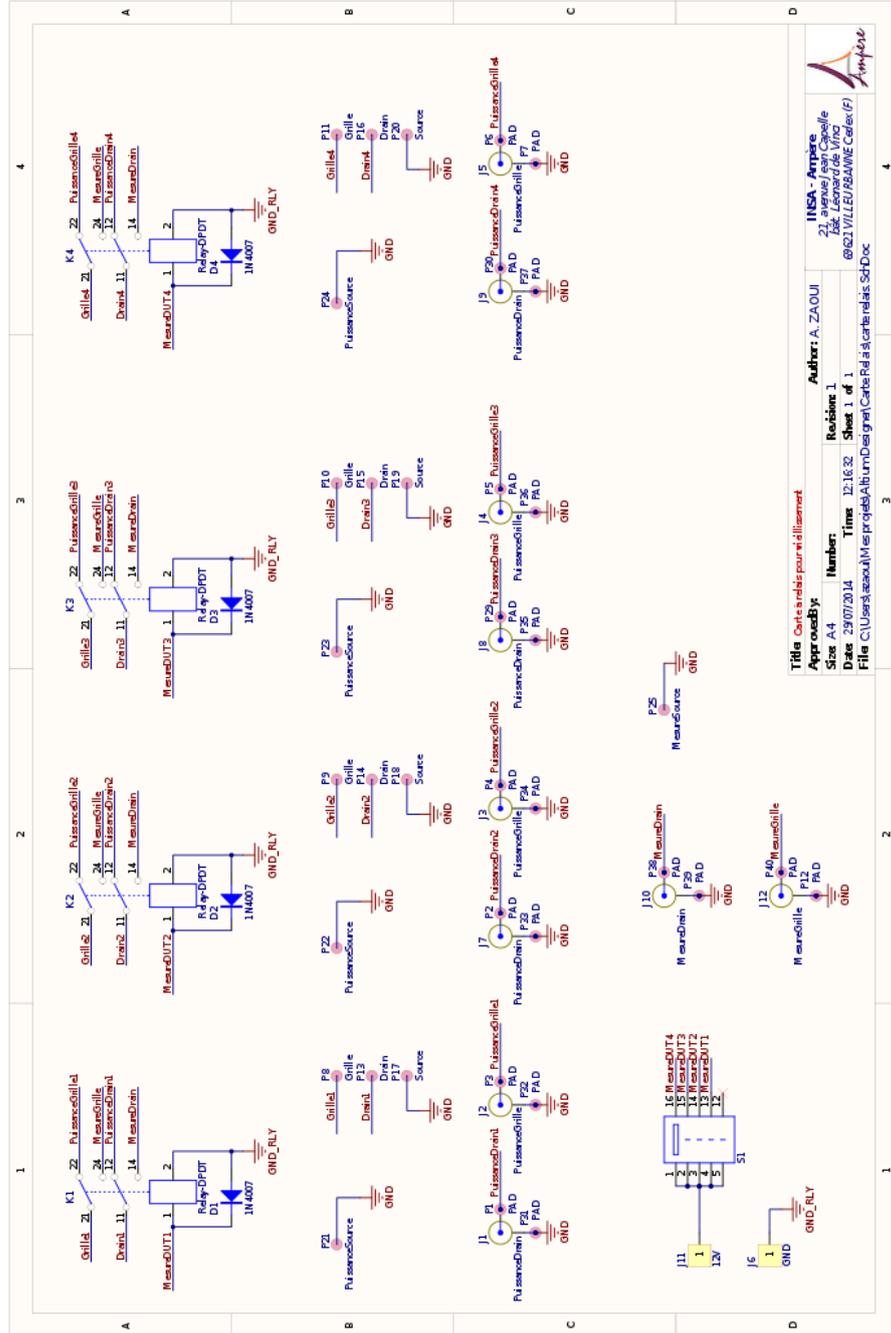


FIGURE 5.24 – Schéma électrique de la carte relais développée pour relier l’analyseur B1505A aux MOSFET dans le banc de vieillissement

## Bibliographie Personnelle

Bergogne, D. ; Buttay, C. ; Robutel, R. ; Dubois, F. ; Ouaida, R. ; Morel, H. & others Electro-Thermal Behaviour of a SiC JFET Stressed by Lightning Induced Over-Voltages. EPE Journal, 2013, 23, 5-12.

Buttay, C. ; Ouaida, R. ; Morel, H. ; Bergogne, D. ; Raynaud, C. & Morel, F. Thermal Stability of Silicon Carbide Power JFETs. IEEE, 2013.

Oge, S. ; Ouaida, R. ; Brosselard, P. & Peyresoubes, G. SiC Mosfet for high temperature motor driving Applications. PCIM Europe 2014 ; International Exhibition and Conference for Power Electronics, 2014, 1-8.

Ouaida, R. ; Buttay, C. ; Riva, R. ; Bergogne, D. ; Raynaud, C. ; Morel, F. & Allard, B. Thermal stability of SiC JFETs in conduction mode Power Electronics and Applications. EPE, 2013 15th European Conference on, 2013, 1-8.

Ouaida, R. ; Buttay, C. ; Hoang, A. ; Riva, R. ; Bergogne, D. ; Morel, H. ; Raynaud, C. & Morel, F. Thermal Runaway Robustness of SiC VJFETs. Materials Science Forum, 2013, 740, 929-933.

Ouaida, R. ; Buttay, C. ; Hoang, A. ; Riva, R. ; Bergogne, D. ; Morel, H. ; Raynaud, C. & Morel, F. Thermal Runaway Robustness of SiC VJFETs. ECSCRM, 2013,.

Brosselard, P. ; Ouaida, R. ; Calvez, C. ; Chailloux, T. & Tournier, D. 1200V SiC transistors electrical characteristics for power applications. Hitech, 2013.

Ouaida, R. ; Calvez, C. ; Podlejski, A.-S. & Brosselard, P. Evolution of Electrical Performance in New Generation of SiC MOSFET for High Temperature Applications. Integrated Power Systems (CIPS), 2014 8th International Conference on, 2014, 1-5.

Ouaida, R. ; Fonteneau, X. ; Dubois, F. ; Bergogne, D. ; Morel, F. ; Morel, H. & Oge, S. SiC vertical JFET pure diode-less inverter leg. Applied Power Electronics Conference and Exposition (APEC), 2013 Twenty-Eighth Annual IEEE, 2013, 512-517.

Ouaida, R. ; Berthou, M. ; Brosselard, P. ; Oge, S. ; Bevilacqua, P. & Joubert, C. Étude sur les transistors MOSFET en Carbure de Silicium-Potentiel d'utilisation dans les Applications Hautes Températures. Symposium de génie électrique (SGE), 2014.

Ouaida, R. ; Berthou, M. ; Leon, J. ; Perpina, X. ; Oge, S. ; Brosselard, P. ; Joubert, C., "Gate Oxide Degradation of SiC MOSFET in Switching Conditions," *Electron Device Letters, IEEE*, vol.35, no.12, pp.1284,1286, Dec. 2014 doi : 10.1109/LED.2014.2361674.

## Bibliographie

- [AA01] Emil Arnold and Dev Alok. Effect of interface states on electron transport in 4h-sic inversion layers. *Electron Devices, IEEE Transactions on*, 48(9) :1870–1877, 2001.
- [ABU10] Ibrahim Abuishmais, Supratim Basu, and Tore Undeland. On driving sic power jfets. In *Power Electronics and Motion Control Conference (EPE/PEMC), 2010 14th International*, pages 134–138. IEEE, 2010.
- [ACD<sup>+</sup>05] B. Allard, G. Coquery, L. Dupont, Z. Khatir, M. Lazar, S. Lefebvre, R. Meuret, H. Morel, and D. Planson. Composants à semi-conducteur de puissance pour des applications à haute température de fonctionnement. *J3eA*, 4(HORS SÉRIE 1) :010, 2005.
- [AKR<sup>+</sup>06] Anant K Agarwal, Sumi Krishnaswami, Jim Richmond, Craig Capell, Sei Hyung Ryu, John W Palmour, Bruce Geil, Dimos Katsis, Charles J Scozzie, and Robert E Stahlbush. Influence of basal plane dislocation induced stacking faults on the current gain in sic bjts. In *Materials science forum*, volume 527, pages 1409–1412. Trans Tech Publ, 2006.
- [All06] Bruno Allard. L'électronique de puissance : Bases, perspectives, guide de lecture. *Techniques de l'ingénieur. Génie électrique*, 4(D3060), 2006.
- [ARC<sup>+</sup>04] Anant K Agarwal, Sei Hyung Ryu, Craig Capell, Jim Richmond, John W Palmour, Howard Bartlow, T Paul Chow, Skip Scozzie, W Tipton, Stephen Baynes, et al. Sic bjt technology for power switching and rf applications. In *Materials Science Forum*, volume 457, pages 1141–1144. Trans Tech Publ, 2004.
- [BAG<sup>+</sup>12] Douglas W Brown, Manzar Abbas, Antonio Ginart, Irfan N Ali, Patrick W Kalgren, and George J Vachtsevanos. Turn-off time as an early indicator of insulated gate bipolar transistor latch-up. *Power Electronics, IEEE Transactions on*, 27(2) :479–489, 2012.
- [Bal82] BJ Baliga. Semiconductors for high-voltage, vertical channel field-effect transistors. *Journal of applied Physics*, 53(3) :1759–1764, 1982.
- [Bal89] B Jayant Baliga. Power semiconductor device figure of merit for high-frequency applications. *Electron Device Letters, IEEE*, 10(10) :455–457, 1989.
- [BAM10] V Bley, B Allard, and L Ménager. Conditionnement des modules de puissance. *Techniques de l'ingénieur*, 2010.

- [BB08] Mounira Bouarroudj-Berkani. *Etude de la fatigue thermo-mécanique de modules électroniques de puissance en ambiance de températures élevées pour des applications de traction de véhicules électriques et hybrides*. PhD thesis, École normale supérieure de Cachan-ENS Cachan, 2008.
- [BCO<sup>+</sup>14] EV Brunt, L Cheng, M O’Loughlin, C Capell, C Jonas, K Lam, J Richmond, V Pala, S Ryu, ST Allen, et al. 22 kv, 1 cm<sup>2</sup>, 4h-sic n-igbts with improved conductivity modulation. In *Power Semiconductor Devices & IC’s (ISPSD), 2014 IEEE 26th International Symposium on*, pages 358–361. IEEE, 2014.
- [Ber14] Olivier Berruyer. <http://www.les-crises.fr/meteo-petroliere/>, fevrier 2014.
- [BM10] F Bayle and A Mettas. Temperature acceleration models in reliability predictions : Justification & improvements. In *Reliability and Maintainability Symposium (RAMS), 2010 Proceedings-Annual*, pages 1–6. IEEE, 2010.
- [BMP<sup>+</sup>08] Dominique Bergogne, Hervé Morel, Dominique Planson, Dominique Tournier, Pascal Bevilacqua, Bruno Allard, Régis Meuret, Sébastien Vieillard, Stéphane Raël, and Farid MeibodyTabar. Towards an airborne high temperature sic inverter. In *Power Electronics Specialists Conference, 2008. PESC 2008. IEEE*, pages 3178–3183. IEEE, 2008.
- [BMS<sup>+</sup>14] Bianca Boettge, Benjamin Maerz, Jan Schischka, Sandy Klengel, and Matthias Petzold. High resolution failure analysis of silver-sintered contact interfaces for power electronics. In *Integrated Power Systems (CIPS), 2014 8th International Conference on*, pages 1–7. VDE, 2014.
- [BPA<sup>+</sup>11] Cyril Buttay, Dominique Planson, Bruno Allard, Dominique Bergogne, Pascal Bevilacqua, Charles Joubert, Mihai Lazar, Christian Martin, Hervé Morel, Dominique Tournier, et al. State of the art of high temperature power electronics. *Materials Science and Engineering : B*, 176(4) :283–288, 2011.
- [BSWK11] Juergen Biela, Mario Schweizer, Stefan Waffler, and Johann W Kolar. Sic versus si—evaluation of potentials for performance improvement of inverter and dc–dc converter systems by sic power semiconductors. *Industrial Electronics, IEEE Transactions on*, 58(7) :2872–2882, 2011.
- [BTD09] Gérard BERANGER, Jean-François TIERS, and François DUFFAUT. Invar : Famille d’alliages fonctionnels. *Techniques de l’ingénieur. Matériaux fonctionnels*, 2(N2750), 2009.
- [But10] Cyril Buttay. Modules et boîtiers de puissance (packaging). *Techniques de l’Ingénieur*, 2010.
- [CCB<sup>+</sup>13] Thibaut Chailloux, Cyril Calvez, Pascal Bevilacqua, Dominique Planson, and Dominique Tournier. Experimental investigation of electro-thermal stress impact on sic-bjts electrical characteristics. In *Proceeding of the International Conference on High Temperature Electronics Network (HiTEN)*, 2013.

- [CCGC09] A Constant, N Camara, P Godignon, and J Camassel. Benefit of h<sub>2</sub> surface pretreatment for 4h-sic oxynitridation using n<sub>2</sub>o and rapid thermal processing steps. *Applied Physics Letters*, 94(6) :063508–063508, 2009.
- [CF01] Dana Crowe and Alec Feinberg. *Design for reliability*. CRC press, 2001.
- [Cha09] Harry K Charles. Advanced wire bonding technology : Materials, methods, and testing. In *Materials for Advanced Packaging*, pages 113–179. Springer, 2009.
- [CHW<sup>+</sup>07] L Coppola, D Huff, F Wang, R Burgos, and D Boroyevich. Survey on high-temperature packaging materials for sic-based power electronics modules. In *Power Electronics Specialists Conference, 2007. PESC 2007. IEEE*, pages 2234–2240. IEEE, 2007.
- [Cia02] Mauro Ciappa. Selected failure mechanisms of modern power modules. *Microelectronics reliability*, 42(4) :653–667, 2002.
- [Cia05] Mauro Ciappa. Lifetime prediction on the base of mission profiles. *Microelectronics Reliability*, 45(9) :1293–1298, 2005.
- [CJ96] JB Casady and R Wayne Johnson. Status of silicon carbide (sic) as a wide-bandgap semiconductor for high-temperature applications : A review. *Solid-State Electronics*, 39(10) :1409–1422, 1996.
- [CLL<sup>+</sup>08] Jesus N Calata, GQ Lu, TG Lei, MG Koebke, and BG Low. Temperature sintering of a nanoscale silver-gold paste for high temperature chip attachment. In *Proceeding of the International Conference on High Temperature Electronics (HiTEC)*, 2008.
- [Con11] Aurore Constant. *SiC oxidation processing technology for MOSFETs fabrication*. PhD thesis, Montpellier 2, 2011.
- [CSM13] Bernardo Cougo, Henri Schneider, and Thierry Meynard. Accurate switching energy estimation of wide bandgap devices used in converters for aircraft applications. In *Power Electronics and Applications (EPE), 2013 15th European Conference on*, pages 1–10. IEEE, 2013.
- [CT94] T Paul Chow and Ritu Tyagi. Wide bandgap compound semiconductors for superior high-voltage unipolar power devices. *Electron Devices, IEEE Transactions on*, 41(8) :1481–1483, 1994.
- [CWV<sup>+</sup>10] José R Celaya, P Wysocki, V Vashchenko, Sankalita Saha, and Kai Goebel. Accelerated aging system for prognostics of power semiconductor devices. In *AUTOTESTCON, 2010 IEEE*, pages 1–6. IEEE, 2010.
- [CYB<sup>+</sup>13] Z. Chen, Y. Yao, D. Boroyevich, K. Ngo, P. Mattavelli, and K. Rajashekara. A 1200 v, 60 a sic mosfet multi-chip phase-leg module for high-temperature, high-frequency applications. *Power Electronics, IEEE Transactions on*, PP(99) :1–1, 2013.
- [DBB<sup>+</sup>12] Fabien Dubois, Dominique Bergogne, Cyril Buttay, Hervé Morel, Régis Meuret, et al. Normally-on sic jfets : Active protections. *EPE Journal*, 22(3) :6–13, 2012.

- [DBK<sup>+</sup>11] Sandeepan DasGupta, Reinhard Brock, Robert Kaplar, Matthew Marinella, Mark Smith, and Stanley Atcitty. Extraction of trapped charge in 4h-sic metal oxide semiconductor field effect transistors from subthreshold characteristics. *Applied Physics Letters*, 99(2) :023503, 2011.
- [DBR<sup>+</sup>10] Fabien Dubois, Dominique Bergogne, Damien Risaletto, Remi Robertel, Herve Morel, Regis Meuret, Sonia Dhokkar, et al. High temperature inverter for airborne application. In *Proceedings 2010 IMAPS International Conference and Exhibition on High Temperature Electronics*, 2010.
- [DBR<sup>+</sup>11] Fabien Dubois, Dominique Bergogne, Damien Risaletto, Rémi Perrin, Abderrahime Zaoui, Hervé Morel, and Régis Meuret. Ultrafast safety system to turn-off normally on sic jfets. In *Power Electronics and Applications (EPE 2011), Proceedings of the 2011-14th European Conference on*, pages 1–10. IEEE, 2011.
- [DBT<sup>+</sup>13] Fabien Dubois, Dominique Bergogne, Dominique Tournier, Cyril Buttay, Régis Meuret, and Hervé Morel. Analysis of the sic vjfet gate punch-through and its dependence with the temperature. In *Power Electronics and Applications (EPE), 2013 15th European Conference on*, pages 1–10. IEEE, 2013.
- [Del11] Daniel Delahaye. Modélisation et optimisation du trafic aérien. 2011.
- [Den13] Patrick Denis. *Mécanismes et origines de défaillance de diodes Schottky en carbure de silicium soumises à contraintes thermiques et électrostatiques*. PhD thesis, 2013.
- [Dev11] Yole Developpement. Sic market and industry update. *Proceedings - ISiCPEAW 2011 - Sweden*, 2011.
- [DHR<sup>+</sup>12] Mrinal K Das, Sarah K Haney, Jim Richmond, Anthony Olmedo, Q Jon Zhang, and Zoltan Ring. Sic mosfet reliability update. In *Materials Science Forum*, volume 717, pages 1073–1076. Trans Tech Publ, 2012.
- [DMF<sup>+</sup>14] Tadayoshi Deguchi, Tomonori Mizushima, Hiroyuki Fujisawa, Kensuke Takenaka, Yoshiyuki Yonezawa, Kenji Fukuda, Hajime Okumura, Manabu Arai, Atsushi Tanaka, Syuji Ogata, et al. Static and dynamic performance evaluation of > 13 kv sic p-channel igbts at high temperatures. In *Power Semiconductor Devices & IC's (ISPSD), 2014 IEEE 26th International Symposium on*, pages 261–264. IEEE, 2014.
- [DMNN11] Jens Due, Stig Munk-Nielsen, and Rasmus Nielsen. Lifetime investigation of high power igbt modules. In *Power Electronics and Applications (EPE 2011), Proceedings of the 2011-14th European Conference on*, pages 1–8. IEEE, 2011.
- [DSF<sup>+</sup>14] Rainer Dudek, Peter Sommer, Andreas Fix, Joerg Trodler, Sven Rzepka, and Bernd Michel. Reliability investigations for high temperature interconnects. *Soldering & Surface Mount Technology*, 26(1) :27–36, 2014.

- [DUMU13] T Daranagama, N Udugampola, R McMahon, and F Udrea. Comparative analysis of static and switching performance of 1.2 kv commercial sic transistors for high power density applications. In *Wide Bandgap Power Devices and Applications (WiPDA), 2013 IEEE Workshop on*, pages 48–51. IEEE, 2013.
- [Dup06] Laurent Dupont. *Contribution à l'étude de la durée de vie des assemblages de puissance dans des environnements haute température et avec des cycles thermiques de grande amplitude*. PhD thesis, École normale supérieure de Cachan-ENS Cachan, 2006.
- [EF12] Khalil El Falahi. *Contribution à la conception de driver en technologie CMOS SOI pour la commande de transistors JFET SiC pour un environnement de haute température*. PhD thesis, INSA de Lyon, 2012.
- [EFHB<sup>+</sup>13] Khalil El Falahi, Stanislas HASCOet, Cyril Buttay, Pascal Bevilacqua, Luong Viet Phung, Dominique Tournier, Bruno Allard, Dominique Planson, et al. High temperature, smart power module for aircraft actuators. In *Proceedings of the conference on High Temperature Electronics Network*, 2013.
- [FID09] Groupe FIDES. Méthodologie de fiabilité pour les systèmes électroniques. *Guide FIDES*, 2009.
- [FKHK06] Kenji Fukuda, Makoto Kato, Shinsuke Harada, and Kazutoshi Kojima. High inversion channel mobility of 4h-sic mosfets fabricated on c (000-1) epitaxial substrate with vicinal (below 1°) off-angle. In *Materials science forum*, volume 527, pages 1043–1046. Trans Tech Publ, 2006.
- [FMB<sup>+</sup>14] Matthieu Florentin, Josep Montserrat, Pierre Brosselard, Anne Henry, and Philippe Godignon. Rapid thermal oxidation of si-face n and p-type on-axis 4h-sic. In *Materials Science Forum*, volume 778, pages 591–594. Trans Tech Publ, 2014.
- [FPTB<sup>+</sup>12] A Fontseré, A Perez-Tomas, V Banu, P Godignon, J Millán, H De Vleeschouwer, JM Parsey, and P Moens. A hfo 2 based 800v/300° c au-free algan/gan-on-si hemt technology. In *Power Semiconductor Devices and ICs (ISPSD), 2012 24th International Symposium on*, pages 37–40. IEEE, 2012.
- [Fri07] Peter Friedrichs. Silicon carbide power devices—status and upcoming challenges. In *Power Electronics and Applications, 2007 European Conference on*, pages 1–11. IEEE, 2007.
- [Fri08] Peter Friedrichs. Silicon carbide power semiconductors—new opportunities for high efficiency. In *Industrial Electronics and Applications, 2008. ICIEA 2008. 3rd IEEE Conference on*, pages 1770–1774. IEEE, 2008.
- [FSV<sup>+</sup>13] P Fiorenza, LK Swanson, M Vivona, F Giannazzo, C Bongiorno, A Frazzetto, and F Roccaforte. Comparative study of gate oxide in 4h-sic lateral mosfets subjected to post-deposition-annealing in n2o and pocl3. *Applied Physics A*, pages 1–7, 2013.

- [GB00] B. Gingerich and P. Brusius. Applications targeted by reliable high temperature electronics. *Proceedings - HITEC*, 2000.
- [GKS08] Christophe Gouel, Nina Kousnetzoff, and Hassan Salman. Commerce international et transports : tendances du passé et prospective 2020. Technical report, 2008.
- [GLU<sup>+</sup>14] Ronald Green, Aivars Lelis, Damian Urciuoli, Marc Litz, and James Carroll. Radiation-induced trapped charging effects in sic power mosfets. In *Materials Science Forum*, volume 778, pages 533–536. Trans Tech Publ, 2014.
- [GOB<sup>+</sup>12] K Guth, N Oeschler, L Böwer, R Speckels, G Strotmann, N Heuck, S Krasel, and A Ciliox. New assembly and interconnect technologies for power modules. In *Integrated Power Electronics Systems (CIPS), 2012 7th International Conference on*, pages 1–5. IEEE, 2012.
- [HCBB05] JM Haussonne, C Carry, P Bowen, and J Barton. Céramiques et verres principes et techniques d'élaboration : Vol. 16. *Traité des Matériaux, Presse Polytechniques et Universitaires Romandes, Lausanne*, 2005.
- [Heu90] K. Heumann. Power electronics-state of the art. In *Proceedings of International Power Electronics Conference*, pages 2–6, 1990.
- [HGT<sup>+</sup>14] N Heuck, K Guth, M Thoben, A Mueller, N Oeschler, L Boewer, R Speckels, S Krasel, and A Ciliox. Aging of new interconnect-technologies of power-modules during power-cycling. In *Integrated Power Systems (CIPS), 2014 8th International Conference on*, pages 1–6. VDE, 2014.
- [HHJ11] Ping Hagler, Phillip Henson, and R Wayne Johnson. Packaging technology for electronic applications in harsh high-temperature environments. *Industrial Electronics, IEEE Transactions on*, 58(7) :2673–2682, 2011.
- [HJC11] Ping Hagler, R Wayne Johnson, and Liang-Yu Chen. Sic die attach metallurgy and processes for applications up to 500. *Components, Packaging and Manufacturing Technology, IEEE Transactions on*, 1(4) :630–639, 2011.
- [Idi14] Idia. <http://www.ipdia.com/>, 2014.
- [Jen95] Finn Jensen. *Electronic component reliability: fundamentals, modeling, evaluation, and assurance*. Wiley, 1995.
- [Joh65] EO Johnson. Physical limitations on frequency and power parameters of transistors. In *IRE International Convention Record*, volume 13, pages 27–34. IEEE, 1965.
- [KAR<sup>+</sup>05] Sumi Krishnaswami, Anant Agarwal, Sei-Hyung Ryu, Craig Capell, James Richmond, John Palmour, Santosh Balachandran, T Paul Chow, Stephen Bayne, Bruce Geil, et al. 1000-v, 30-a 4h-sic bjts with high current gain. *Electron Device Letters, IEEE*, 26(3) :175–177, 2005.
- [KDM<sup>+</sup>12] RJ Kaplar, S DasGupta, MJ Marinella, B Sheffield, R Brock, MA Smith, and S Atcitty. Degradation mechanisms and characterization techniques in silicon carbide mosfets at high temperature operation.

- Proc. Electrical Energy Storage Applications and Technologies*, pages 121–124, 2012.
- [Key72] RW Keyes. Figure of merit for semiconductors for high-speed switches. *Proceedings of the IEEE*, 60(2) :225–225, 1972.
- [KFT<sup>+</sup>13] Shuji Katakami, Hiroyuki Fujisawa, Kensuke Takenaka, Hitoshi Ishimori, Shinji Takasu, Mitsuo Okamoto, Manabu Arai, Yoshiyuki Yonezawa, and Kenji Fukuda. Fabrication of a p-channel sic-igbt with high channel mobility. In *Materials Science Forum*, volume 740, pages 958–961. Trans Tech Publ, 2013.
- [KHA<sup>+</sup>13] R.J. Kaplar, D.R. Hughart, S. Atcitty, J.D. Flicker, S. DasGupta, and M. J. Marinella. Performance and reliability characterization of 1200 v silicon carbide power mosfets at high temperatures. In *IMAPS Conference and Exhibition on High Temperature Electronics Network (HiTEN)*, pages 1–6, 2013.
- [Kol13] JW Kolar. Power electronics 2.0. In *Proceedings of CNRS Seminar On Integration*, 2013.
- [KTD<sup>+</sup>05] B Khong, Patrick Tounsi, Ph Dupuy, X Chauffleur, M Legros, A Deram, C Levade, G Vanderschaeve, J-M Dorkel, and J-P Fradin. Innovative methodology for predictive reliability of intelligent power devices using extreme electro-thermal fatigue. *Microelectronics Reliability*, 45(9) :1717–1722, 2005.
- [Lau11] John H Lau. *Reliability of ROHS-compliant 2D and 3D IC Interconnects*. McGraw-Hill, 2011.
- [LBP<sup>+</sup>14] J León, M Berthou, X Perpiñà, V Banu, J Montserrat, M Vellvehi, P Godignon, and X Jordà. Structural analysis of sic schottky diodes failure mechanism under current overload. *Journal of Physics D : Applied Physics*, 47(5) :055102, 2014.
- [LFRP05] O Langlois, E Foch, X Roboam, and H Piquet. De l’avion plus électrique à l’avion tout électrique : état de l’art et prospective sur les réseaux de bord. *J3eA*, 4(HORS SÉRIE 1) :001, 2005.
- [LHG<sup>+</sup>08] Aivars J Lelis, Daniel Habersat, Ronald Green, Aderinto Ogunniyi, Moshe Gurfinkel, John Suehle, and Neil Goldsman. Time dependence of bias-stress-induced sic mosfet threshold-voltage instability measurements. *Electron Devices, IEEE Transactions on*, 55(8) :1835–1840, 2008.
- [LHGG12] Aivars J Lelis, Daniel B Habersat, Ronald Green, and Neil Goldsman. Two-way tunneling model of oxide trap charging and discharging in sic mosfets. In *Materials Science Forum*, volume 717, pages 465–468. Trans Tech Publ, 2012.
- [LHS<sup>+</sup>08] Ming-Fu Li, Darning Huang, Chen Shen, T Yang, WJ Liu, and Zhiying Liu. Understand nbtj mechanism by developing novel measurement techniques. *Device and Materials Reliability, IEEE Transactions on*, 8(1) :62–71, 2008.

- [LJ01] Chungpin Liao and Dar-Chang Juang. Method of making power mosfet and igt with optimized on-resistance and breakdown voltage, 2001. US Patent 6,190,970.
- [LMSV88] Claudio Lombardi, Stefano Manzini, Antonio Saporito, and Massimo Vanzi. A physically based mobility model for numerical simulation of nonplanar devices. *Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on*, 7(11) :1164–1171, 1988.
- [Lut11] Josef Lutz. *Semiconductor power devices : physics, characteristics, reliability*. Springer, 2011.
- [LZ07] Frédéric Leriche and Jean-Marc Zuliani. L'industrie aéronautique toulousaine et la déplétion pétrolière : quelles perspectives? *Géographie, économie, société*, 9(1) :19–38, 2007.
- [MCM<sup>+</sup>04] Michael S Mazzola, Jeff B Casady, Neil Merrett, Igor Sankin, WA Draper, Douglas Seale, Volodymyr Bondarenko, Yaroslav Koshka, James Gafford, and R Kelly. Assessment of " normally on " and " quasi on " sic vjfet's in half-bridge circuits. In *Materials Science Forum*, volume 457, pages 1153–1156. Trans Tech Publ, 2004.
- [MGP<sup>+</sup>13] J. Millan, P Godignon, X. Perpinya, A. Perez-Tomas, and J. Rebollo. A survey of wide band gap power semiconductor devices. *Power Electronics, IEEE Transactions on*, PP(99) :1–1, 2013.
- [MHB<sup>+</sup>12] Sachin Madhusoodhanan, Kamalesh Hatua, Subhashish Bhattacharya, Scott Leslie, Sei-Hyung Ryu, Mrinal Das, Anant Agarwal, and David Grider. Comparison study of 12kv n-type sic igt with 10kv sic mosfet and 6.5 kv si igt based on 3l-npc vsc applications. In *Energy Conversion Congress and Exposition (ECCE), 2012 IEEE*, pages 310–317. IEEE, 2012.
- [MMOG00] Patrick McCluskey, Kofi Mensah, Casey O'Connor, and Anthony Gallo. Reliable use of commercial technology in high temperature environments. *Microelectronics Reliability*, 40(8) :1671–1678, 2000.
- [MTB<sup>+</sup>12] Jean-Francois Mognotte, Dominique Tournier, Pascal Bevilacqua, Philippe Godignon, and Dominique Planson. Design of an integrated power converter in wide band gap for harsh environments. *ETG-Fachbericht-CIPS 2012*, 2012.
- [MVS<sup>+</sup>05] Natalia A Moguilnaia, Konstantin V Vershinin, Mark R Sweet, Oana I Spulber, Merlyne M De Souza, and EM Sankara Narayanan. Innovation in power semiconductor industry : Past and future. *Engineering Management, IEEE Transactions on*, 52(4) :429–439, 2005.
- [NAS14] NASCENTechnology. <http://www.nascenttechnology.com/>, 2014.
- [NOC02] Philip G Neudeck, Robert S Okojie, and Liang-Yu Chen. High-temperature electronics-a role for wide bandgap semiconductors? *Proceedings of the IEEE*, 90(6) :1065–1076, 2002.
- [Nov14] Novacap. <http://www.novacap.com/>, 2014.
- [OAGR08] T Okayama, SD Arthur, JL Garrett, and MV Rao. Bias-stress induced threshold voltage and drain current instability in 4h-sic dmosfets. *Solid-State Electronics*, 52(1) :164–170, 2008.

- [OCGSM<sup>+</sup>13] Adelmo Ortiz-Conde, Francisco J García-Sánchez, Juan Muci, Alberto Terán Barrios, Juin J Liou, and Ching-Sung Ho. Revisiting mosfet threshold voltage extraction methods. *Microelectronics Reliability*, 53(1) :90–104, 2013.
- [OELM10] Robert S Okojie, Laura J Evans, Dorothy Lukco, and Joseph P Morris. A novel tungsten–nickel alloy ohmic contact to sic at 900. *Electron Device Letters, IEEE*, 31(8) :791–793, 2010.
- [OGZ11] M. Ostling, R. Ghandi, and C. M Zetterling. Sic power devices : Present status, applications and future perspective. In *Power Semiconductor Devices and ICs (ISPSD), 2011 IEEE 23rd International Symposium on*, pages 10–15, 2011.
- [PET01] Jean-Pierre PETIT. Dissipation thermique dans les systèmes électroniques. *Techniques de l'ingénieur. Electronique*, 5(E3952) :E3952–1, 2001.
- [PTBG<sup>+</sup>06] Amador Pérez-Tomás, P Brosselard, P Godignon, J Millán, N Mestres, MR Jennings, James A Covington, and Philip A Mawby. Field-effect mobility temperature modeling of 4h-sic metal-oxide-semiconductor transistors. *Journal of applied physics*, 100(11) :114508, 2006.
- [Pé10] Patrick Pélat. L'avenir de l'auto se construit dans la crise. *Sociétal*, (70) :39–47, 2010.
- [RBAB13] Raphaël Riva, Cyril Buttay, Bruno Allard, and Pascal Bevilacqua. Migration issues in sintered-silver die attaches operating at high temperature. *Microelectronics Reliability*, 53(9) :1592–1596, 2013.
- [Rea10] D.T. Read. Interconnect metal damage mechanisms and reliability : Current practice, recent research on accelerated stress testing, and future needs. In *IEEE workshop on accelerated stress testing and reliability*, 2010.
- [Riv14] R. Riva. *Solution d'Interconnexions pour la Haute Température*. PhD thesis, 2014.
- [Rob09] X. Roboam. roboam réseaux de bord électriques en aéronautique : tendances, évolutions. In *Proceedings of Journées électrotechniques club EEA : systèmes électriques pour véhicules du futur*, 2009.
- [Rob11] Rémi Robutel. *Etude des composants passifs pour l'électronique de puissance à haute température' : application au filtre CEM d'entrée*. PhD thesis, INSA de Lyon, 2011.
- [RTMP10] Christophe Raynaud, Dominique Tournier, Hervé Morel, and Dominique Planson. Comparison of high voltage and high temperature performances of wide bandgap semiconductors for vertical power devices. *Diamond and related materials*, 19(1) :1–6, 2010.
- [SC04] William W Sheng and Ronald P Colino. *Power electronic modules : design and manufacture*. CRC Press, 2004.

- [SFH<sup>+</sup>11] Vanessa Smet, Francois Forest, J Huselstein, Frédéric Richardeau, Zoubir Khatir, Stéphane Lefebvre, and Mounira Berkani. Ageing and failure modes of igt modules in high-temperature power cycling. *Industrial Electronics, IEEE Transactions on*, 58(10) :4931–4941, 2011.
- [SH00] Jürgen Schulz-Harder. Dbc substrates as a base for power mcm's. In *Electronics Packaging Technology Conference, 2000. (EPTC 2000). Proceedings of 3rd*, pages 315–320. IEEE, 2000.
- [She14] Krishna Shenai. Wide bandgap (wbg) power devices for high-density power converters - excitement and reality. In *Applied Power Electronic Conference (APEC), 2014, Industry session*, 2014.
- [Sin06] Ranbir Singh. Reliability and performance limitations in sic power devices. *Microelectronics Reliability*, 46(5) :713–730, 2006.
- [SJGS14] Siddarth G Sundaresan, Stoyan Jeliaskov, Brian Grummel, and Ranbir Singh. Rapidly maturing sic junction transistors featuring current gain ( $\beta$ ) > 130, blocking voltages up to 2700 v and stable long-term operation. In *Materials Science Forum*, volume 778, pages 1001–1004. Trans Tech Publ, 2014.
- [SMR<sup>+</sup>10] James D Scofield, J Neil Merrett, James Richmond, Anant Agarwal, and Scott Leslie. Performance and reliability characteristics of 1200 v, 100 a, 200 c half-bridge sic mosfet-jbs diode power modules. In *International Conference on High Temperature Electronics, Albuquerque, NM*, 2010.
- [SMR<sup>+</sup>14] Thorsten Stubbe, Regine Mallwitz, Roland Rupp, Gianmauro Pozzovivo, Wolfgang Bergner, Oliver Haerberlen, and Mike Kunze. Gan power semiconductors for pv inverter applications? opportunities and risks. In *Integrated Power Systems (CIPS), 2014 8th International Conference on*, pages 1–6. VDE, 2014.
- [Tou13] D. Tournier. *Des composants de puissance aux systèmes intégrés haute température en technologie Grand-Gap*. PhD thesis, 2013.
- [Vis14] Vishay. <http://www.vishay.com/>, 2014.
- [VMRM14] Javier Antonio Valle-Mayorga, Ashfaqur Rahman, and Homer Alan Mantooh. A sic nmos linear voltage regulator for high temperature applications. 2014.
- [WKR11] Banqiu Wu, Ajay Kumar, and Sesh Ramaswami. 3d ic stacking technology. 2011.
- [Won99] W. Wondrak. Physical limits and lifetime limitations of semiconductor devices at high temperatures. *Microelectronics Reliability*, 39(6) :1113–1120, 1999.
- [XJW<sup>+</sup>11] Fan Xu, Dong Jiang, Jing Wang, Fred Wang, Leon M Tolbert, Timothy J Han, and Sung Joon Kim. Characterization of a high temperature multichip sic jfet-based module. In *Energy Conversion Congress and Exposition (ECCE), 2011 IEEE*, pages 2405–2412. IEEE, 2011.

- [XLWL11] Zhuxian Xu, Ming Li, Fred Wang, and Zhenxian Liang. Investigation of si igbt operation at 200 c for traction application. In *Energy Conversion Congress and Exposition (ECCE), 2011 IEEE*, pages 2397–2404. IEEE, 2011.
- [Xre14] Xrelsemiconducteur. <http://www.x-relsemi.com/>, 2014.
- [YAJ13] Li Yang, P.A. Agyakwa, and C.M. Johnson. Physics-of-failure lifetime prediction models for wire bond interconnects in power electronic modules. *Device and Materials Reliability, IEEE Transactions on*, 13(1) :9–17, March 2013.
- [ZLD<sup>+</sup>08] Tsvetanka Zheleva, Aivars Lelis, Gerd Duscher, Fude Liu, Igor Levin, and Mrinal Das. Transition layers at the sio<sub>2</sub>/sic interface. *Applied Physics Letters*, 93(2) :022108–022108, 2008.
- [ZT09] Hui Zhang and Leon M Tolbert. Efficiency of sic jfet-based inverters. In *Industrial Electronics and Applications, 2009. ICIEA 2009. 4th IEEE Conference on*, pages 2056–2059. IEEE, 2009.