HAL
open science

Optimisation de l'efficacité énergétique des applications numériques en technologie FD-SOI 28-14nm

Bertrand Pelloux-Prayer

To cite this version:

Bertrand Pelloux-Prayer. Optimisation de l'efficacité énergétique des applications numériques en technologie FD-SOI 28-14nm. Micro et nanotechnologies/Microélectronique. Université de Grenoble, 2014. Français. NNT : 2014GRENT082 . tel-01130989

HAL Id: tel-01130989

https://theses.hal.science/tel-01130989

Submitted on 25 Mar 2015

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

UNIVERSITÉ DE GRENOBLE

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **Nano Electronique et Nano Technologies**

Arrêté ministériel : 7 août 2006

Présentée par

Bertrand PELLOUX-PRAYER

Thèse dirigée par **Amara AMARA** et
codirigée par **Philippe FLATRESSE** et **Alexandre VALENTIAN**

préparée au sein du **Laboratoire CEA LETI**
dans **l'École Doctorale Electronique, Electrotechnique, Automatique et Traitement du Signal**

Optimisation de l'efficacité énergétique des applications numériques en technologie FD-SOI 28-14nm

Thèse soutenue publiquement le **17 décembre 2014**,
devant le jury composé de :

M. Gérard GHIBAUDO
Directeur de recherche au CNRS, Président
M. Christian PIGUET
Professeur à l'EPFL, Rapporteur
M. Jean-Didier LEGAT
Professeur à l'UCL, Rapporteur
M. Amara AMARA
Professeur à l'ISEP, Directeur de thèse et Membre
M. Philippe FLATRESSE
Chef de projet chez STMicroelectronics, Membre
M. Jean-Michel PORTAL
Professeur à l'IM2NP, Membre
M. Alexandre VALENTIAN
Ingénieur chercheur au CEA LETI, Invité
M. Marc BELLEVILLE
Directeur de recherche au CEA LETI, Invité

« La science, c'est ce que le père enseigne à son fils. La technologie, c'est ce que le fils enseigne à son papa. »

Michel SERRES

Remerciements

Ce travail de thèse a été réalisé dans le cadre d'une convention CIFRE au sein de la société STMicroelectronics à Crolles, en collaboration avec le laboratoire CEA LETI situé sur le campus Minatec de Grenoble.

Mes premiers remerciement vont naturellement à mon encadrant industriel, Philippe FLATRESSE, pour m'avoir accordé toute sa confiance à m'investir sur ce travail de recherche passionnant. Je remercie Philippe pour son suivi quotidien, son expertise technique en technologie SOI ainsi que sa détermination à me faire avancer et réfléchir au-delà des barrières conventionnelles. Philippe a fortement contribué à la réussite de cette thèse grâce à ses nombreux conseils qui m'ont permis de progresser très rapidement.

Je remercie particulièrement mon encadrant de laboratoire, Alexandre VALENTIAN, pour s'être rendu très disponible à mon égard, pour ses conseils techniques judicieux et son soutien lors des périodes critiques.

Je remercie chaleureusement mon directeur de thèse, Amara AMARA, professeur à l'ISEP, qui m'a suivi et accompagné tout au long de cette thèse malgré la distance qui nous a séparée.

Je tiens à remercier tous les membres du jury qui me font l'honneur d'évaluer mon travail de recherche : Gérard GHIBAUDO qui a accepté de présider le jury de thèse, les professeurs Christian PIGUET et Jean-Didier LEGAT qui ont accepté d'être les rapporteurs de ce travail et enfin Jean-Michel PORTAL, Philippe FLATRESSE et Amara AMARA qui ont accepté d'être membre du jury.

Mes remerciements s'adressent également à l'ensemble des personnes de STMicroelectronics avec lesquelles j'ai eu la chance de travailler durant ces 3 années. Je pense notamment à Can, Miki, Hani, Matthieu, Jean-Philippe et Julien qui m'ont accompagné et judicieusement conseillé. Plus particulièrement, je tiens à remercier chaleureusement l'équipe de Philippe ROCHE, pour leurs nombreux conseils pertinents, tant au niveau technique qu'humain. Cela a été un réel plaisir de travailler avec cette remarquable équipe. Je n'oublierais pas les extras, comme les sorties de ski de rando, les parties de foot ou encore

les croissants du vendredi matin. Je pense évidemment à Sylvain, Gilles, Jean-Marc, Fady, Cyril, Maximilien, Mehdi, Martin, Dimitri, Dominique, Benjamin et tous ceux que j'oublie. Je tiens à remercier tout particulièrement Fady pour sa disponibilité sans limite, ses analyses techniques pertinentes, son expérience et pour ses qualités humaines qui m'ont permis de réaliser un travail de qualité. Je le remercie pour la confiance qu'il m'a portée et qui m'a amené à défendre avec fierté l'une de ces publications à la conférence internationale S3S, à Monterey.

Mes remerciements s'adressent aussi à toute l'équipe du CEA LETI, du *Laboratoire Intégration Silicium et Architecture Numériques* (LISAN), qui m'a accueilli et aidé à la réalisation d'un DSP lors de ma 3ème année de thèse. Je pense évidemment à Alexandre, Edith, Florent, Bastien, Sébastien, Ivan et Yvain. Je tiens à remercier particulièrement Yvain pour avoir travaillé sans relâche sur mon DSP pendant 2 semaines.

Enfin, il me reste à remercier les personnes qui me sont les plus chères et qui ont largement contribuées au bon déroulement de ce travail de thèse. Je pense évidemment à ma famille, tout particulièrement à ma tendre et douce femme, Mylène, et à mes deux petits garçons : Baptiste et Lucas. Ils ont su s'adapter à mon rythme de travail ce qui n'a pas toujours été évident.

Je tiens également à remercier mes parents, mes sœurs, ma belle-famille et mes amis qui m'ont toujours soutenu dans ce travail de recherche.

Ces trois années de thèses ont été pour moi une expérience extraordinairement enrichissante, tant sur le point professionnel que personnel.

Table des matières

REMERCIEMENTS 5
TABLE DES MATIÈRES 7
INTRODUCTION GÉNÉRALE 11
CHAPITRE 1 EVOLUTION TECHNOLOGIQUE DU TRANSISTOR MOS 17
1.1 INTRODUCTION 19
1.2 MOTIVATIONS 20
1.2.1 LES EXIGENCES TECHNOLOGIQUES DU MARCHÉ ACTUEL 20
1.2.2 LES LIMITATIONS DU TRANSISTOR MOS SUR SILICIUM MASSIF 21
1.2.2.1 LES AMÉLIORATIONS APPORTÉES AU TRANSISTOR 21
1.2.2.2 CONTRÔLE ÉLECTROSTATIQUE 22
1.2.2.3 VARIABILITÉ DE LA TENSION DE SEUIL 24
1.3 EVOLUTION VERS DES TECHNOLOGIES À FILM MINCE 26
1.3.1 CHOIX DE LA TECHNOLOGIE 27
1.3.2 CARACTÉRISTIQUES DU TRANSISTOR UTBB FD-SOI EN 28NM 29
1.3.2.1 SUBSTRAT SILICIUM SUR ISOLANT 29
1.3.2.2 ARCHITECTURE DU TRANSISTOR 29
1.3.2.3 AMÉLIORATION DU CONTRÔLE ÉLECTROSTATIQUE ET DE L'EFFET CANAL COURT 31
1.3.2.4 UNE VARIABILITÉ MAÎTRISÉE 34
1.3.2.5 UNE TECHNOLOGIE HYBRIDE 36
1.3.2.6 PLATEFORME MULTI-V_T 37
1.3.3 UNE TECHNOLOGIE FLEXIBLE 40
1.3.3.1 MODULATION DYNAMIQUE DES PERFORMANCES PAR POLARISATION DE LA FACE ARRIÈRE 40
1.3.3.2 MODULATION ÉTENDUE DE LA LONGUEUR DU CANAL 44
1.3.3.3 COMPORTEMENT À TRÈS BASSE TENSION 45
1.4 COMPARAISON TECHNOLOGIQUE 47
1.4.1 COÛTS DE CONCEPTION ET DE FABRICATION 47
1.4.2 PERSPECTIVES POUR LES NŒUDS INFÉRIEURS À 28NM 50
1.5 CONCLUSION 52
1.6 RÉFÉRENCES BIBLIOGRAPHIQUES 53
CHAPITRE 2 ANALYSE DES PERFORMANCES DE LA TECHNOLOGIE UTBB FD-SOI 28NM 57
2.1 INTRODUCTION 59
2.2 MÉTHODE D'ÉVALUATION DES TECHNOLOGIES 60
2.2.1 MODÈLE SPICE 60
2.2.2 SIMULATION D'UN CHEMIN CRITIQUE EXTRAIT D'UN ARM CORTEX-A9 61
2.2.2.1 DESCRIPTION DU CHEMIN LOGIQUE 61
2.2.2.2 STIMULI ET EXTRACTION DES RÉSULTATS 62
2.2.2.3 ANALYSE PARAMÉTRIQUE AUTOMATISÉE PAR SCRIPT 64
2.2.2.4 LIMITES DE LA MÉTHODE UTILISÉE 66
2.3 ANALYSE DU GAIN TECHNOLOGIQUE : FD-SOI VS. BULK 67
2.3.1 GAIN INTRINSÈQUE DE LA TECHNOLOGIE 67
2.3.2 MODULATION DE LA POLARISATION DES CAISSONS : UN LEVIER SUPPLÉMENTAIRE 70
2.4 MÉTHODOLOGIE D'OPTIMISATION ÉNERGÉTIQUE 73

2.4.1 PUISSANCE DISSIPÉE DANS LES CIRCUITS INTÉGRÉS NUMÉRIQUE ... 73
2.4.1.1 PUISSANCE DYNAMIQUE ET STATIQUE ... 73
2.4.1.2 EVOLUTION DE LA PUISSANCE AVEC LES TECHNOLOGIES ... 74
2.4.2 RÉDUCTION DE LA PUISSANCE STATIQUE ... 76
2.4.2.1 LA PUISSANCE STATIQUE ... 76
2.4.2.2 RÉDUCTION DE L'ALIMENTATION V_{DD} ... 77
2.4.2.3 MODULATION DE LA TENSION DE POLARISATION DU SUBSTRAT ... 78
2.4.2.4 AJUSTEMENT DE LA LONGUEUR DE GRILLE ... 80
2.4.2.5 CO-INTÉGRATION MULTI-V_T ... 81
2.4.2.6 UTILISATION D'INTERRUPTEURS DE PUISSANCE ... 82
2.4.3 RÉDUCTION DE LA PUISSANCE DYNAMIQUE ... 85
2.4.3.1 LA PUISSANCE DYNAMIQUE ... 85
2.4.3.2 RÉDUCTION DE L'ALIMENTATION V_{DD} ... 86
2.4.3.3 MODULATION DE LA TENSION DE POLARISATION DU SUBSTRAT ... 88
2.4.4 RÉDUCTION DE LA PUISSANCE TOTALE ... 89
2.4.4.1 LA PUISSANCE TOTALE ... 89
2.4.4.2 OPTIMUM ÉNERGÉTIQUE PAR AJUSTEMENTS DES TENSIONS [V_{DD} ; V_{BB}] ... 89
2.4.4.3 ULTRA LARGE MODULATION DE LA TENSION D'ALIMENTATION ... 91
2.5 CONCLUSION ... 92
2.6 RÉFÉRENCES BIBLIOGRAPHIQUES ... 93
CHAPITRE 3 TECHNIQUES DE CO-INTÉGRATION DE CELLULES STANDARD MULTI-V_T EN FD-SOI 95
3.1 INTRODUCTION ... 97
3.2 LA CO-INTÉGRATION MULTI-V_T EN FD-SOI ... 98
3.2.1 RUPTURE ENTRE LES TECHNOLOGIES BULK ET FD-SOI ... 98
3.2.1.1 MÉTHODOLOGIE D'INTÉGRATION STANDARD ... 98
3.2.1.2 LA PROBLÉMATIQUE EN FD-SOI ... 99
3.2.2 SOLUTIONS DE CO-INTÉGRATION PAR LIGNE DE V_T ... 101
3.2.2.1 POLARISATION STATIQUE DES CAISSONS ... 101
3.2.2.2 POLARISATION DYNAMIQUE DES CAISSONS ... 102
3.2.3 LA STRUCTURE À CAISSON UNIQUE : UNE OPPORTUNITÉ SPÉCIFIQUE À LA TECHNOLOGIE SOI 107
3.2.3.1 CONCEPTION DE CELLULES À CAISSON UNIQUE ... 107
3.2.3.2 CRÉATION D'UN V_T SUPPLÉMENTAIRE ... 108
3.2.3.3 COMPENSATION PROCÉDÉ ET TEMPÉRATURE ... 110
3.2.3.4 LES APPLICATIONS ADAPTÉES AU CAISSON UNIQUE ... 112
3.2.4 SOLUTIONS PERMETTANT UNE CO-INTÉGRATION FINE CLASSIQUE ... 114
3.2.4.1 EXPLOITATION DU V_T SUPPLÉMENTAIRE ISSU DE L'APPROCHE À CAISSON-N UNIQUE ... 114
3.2.4.2 CRÉATION D'UNE CELLULE STANDARD REGULAR-V_T CO-INTÉGRABLE ... 115
3.2.4.3 LES AVANTAGES ET LES INCONVÉNIENTS ... 117
3.3 RÉSULTATS SILICIUM DES SOLUTIONS DE CONCEPTION ... 119
3.3.1 PLACEMENT DES V_T : COURANT STATIQUE VS. FRÉQUENCE ... 119
3.3.2 EFFICACITÉ ÉNERGÉTIQUE DU CAISSON UNIQUE ... 120
3.3.3 CO-INTÉGRATION MULTI-V_T SUR UNE MÊME LIGNE ... 122
3.4 CONCLUSION ... 124
3.5 RÉFÉRENCES BIBLIOGRAPHIQUES ... 125
CHAPITRE 4 CONCEPTION DE CIRCUITS EN FD-SOI 28NM ... 127
4.1 INTRODUCTION ... 129
4.2 PORTAGE D'UN CIRCUIT LDPC EN 28NM FD-SOI ... 130
4.2.1 DESCRIPTION DU CIRCUIT ... 130

4.2.2 STRATÉGIES DE CONCEPTION MISES EN ŒUVRE 132
4.2.3 RÉSULTATS SILICIUM FD-SOI VS. BULK 134
4.2.3.1 GAIN EN FRÉQUENCE 134
4.2.3.2 EFFICACITÉ ÉNERGÉTIQUE 135
4.2.4 ANALYSE DE DÉFAILLANCE TECHNOLOGIQUE 137
4.2.4.1 COURANT STATIQUE ANORMAL À TRAVERS LES CAISSONS 137
4.2.4.2 PERÇAGE DU BOX PAR LES CONTACTS 139
4.3 RÉALISATIONS D'UN MICROPROCESSEUR DSP 142
4.3.1 DESCRIPTION DU CIRCUIT 142
4.3.1.1 CARACTÉRISTIQUES DU DSP 142
4.3.1.2 LE CHALLENGE À RELEVER 144
4.3.2 CONCEPTION À PARTIR DE CELLULES STANDARD DE TYPE LVT 145
4.3.2.1 OPTIMISATION DES CELLULES STANDARD 145
4.3.2.2 RÉSULTATS SILICIUM 146
4.3.3 CONCEPTION DU PREMIER CIRCUIT ENTIÈREMENT « SINGLE-WELL » 150
4.3.3.1 CONSTRUCTION DES LIBRAIRIES STANDARD 150
4.3.3.2 COMPARAISON DES MESURES SILICIUM DU DSP SNW VS. LVT 152
4.4 CONCLUSION 157
4.5 RÉFÉRENCES BIBLIOGRAPHIQUES 159
CONCLUSION GÉNÉRALE 161
BREVET ET PUBLICATIONS 167

Introduction générale

Ces dernières années, les applications mobiles ont connu une évolution spectaculaire avec l'arrivée des téléphones portables et autres tablettes numériques intégrant des fonctions avancées de traitement de l'information. Selon les analystes, le marché des systèmes sur puce (SoC pour System on Chip) exploités pour la conception de ces appareils devrait ainsi continuer sa croissance exponentielle jusqu'en 2016. Ces systèmes conçus avec des technologies nanométriques nécessitent des vitesses de fonctionnement très élevées pour offrir de hautes performances tout en minimisant la consommation. Une course à la performance est ainsi lancée depuis quelques années et n'est pas sans rappeler celle qu'avaient connue les processeurs des ordinateurs de bureau dans les années 90, avec cette fois une gestion contraignante de la consommation à considérer. Pour cela, l'industrie de la microélectronique s'appuie depuis près d'un demi-siècle sur la célèbre loi de Moore qui vise à doubler le nombre de transistors tous les 18 mois sur une surface identique. Ainsi, la simple réduction d'échelle a permis aux industriels d'améliorer sans discontinuité les performances et les fonctionnalités des produits utilisant des circuits intégrés.

Cependant, depuis les nœuds technologiques inférieurs à 100nm, les transistors MOS sur silicium massif sont confrontés à une dégradation de leurs caractéristiques électriques qui a pour conséquence de freiner la miniaturisation de ses dimensions. En effet, en raison des géométries proches de l'échelle atomique, de nombreux phénomènes physiques parasites apparaissent. Ceux-ci ont pour conséquence de dégrader le comportement des transistors, rendant les circuits sensibles aux phénomènes de fluctuations des procédés de fabrication et peu efficaces au niveau énergétique. Pour pallier aux limites de cette technologie, de nombreuses solutions technologiques et de conception ont été développées. Ces innovations ont permis de maintenir la technologie sur silicium massif attractive jusqu'au nœud 32nm. Pour les nœuds inférieurs, cette technologie fait aujourd'hui face à un vrai mur causé par la dégradation de l'électrostatique des transistors, l'empêchant de répondre aux besoins agressifs du marché actuel.

Pour adresser ce marché qui allie haute vitesse et basse consommation, les principaux acteurs de la microélectronique ont été contraints de se tourner vers de nouvelles technologies. Ainsi, Intel a officiellement annoncé le 4 mai 2011 la mise en production de transistors MOS de type FinFET pour le nœud technologique 22nm. D'autres sociétés, telles

que STMicroelectronics, se sont quant à elles orientées vers des transistors MOS de type FD-SOI sur oxyde enterré (BOX) mince dès le nœud 28nm. Ces transistors à film mince offrent un meilleur contrôle électrostatique de la grille sur le canal, améliorant ainsi la pente sous le seuil et les effets canaux courts. Il en résulte un courant de saturation plus élevé, à courant statique égal, ce qui leurs permet d'atteindre des vitesses de commutation bien supérieures. De plus, l'utilisation d'un film mince non dopé offre à ces transistors moins de fluctuations au niveau de la tension de seuil, permettant ainsi d'atteindre une tension minimale de fonctionnement globale plus faible. Cet aspect est essentiel dans une optique de réduction de la consommation d'un circuit.

La technologie FinFET se différencie du FD-SOI par son architecture verticale en rupture avec la technologie planaire sur silicium massif. D'un point de vue électrostatique, le fait que la grille du transistor FinFET entoure le canal sur 3 côtés lui permet de contrôler efficacement les courants circulant entre les jonctions source et drain. De leur côté, les transistors FD-SOI disposent d'un contrôle électrostatique légèrement inférieur au FinFET mais présente le grand avantage d'être planaire, tout comme la technologie précédente. Ainsi, le portage de circuits sur silicium massif en FD-SOI peut être réalisé de manière quasiment directe. D'un point de vue layout, les deux technologies sont très similaires, la principale différence se situe au niveau des procédés de fabrication. Par ailleurs, l'utilisation d'un BOX mince permet une modulation de la tension de seuil des transistors par la face arrière, de manière similaire aux transistors MOS sur silicium massif. Cela offre la possibilité de réutiliser la plupart des techniques de gestion de la consommation et de la compensation du procédé de fabrication déjà développées. D'autre part, cette fine couche isolante permet d'étendre largement cette technique sur les transistors FD-SOI et constitue véritablement un nouveau bras de levier mis à disposition du concepteur. Ainsi, en modulant la tension de seuil des transistors par polarisation du substrat, il est possible d'augmenter les performances d'un circuit, de réduire ses courants de fuite ou encore d'améliorer considérablement son efficacité énergétique.

Néanmoins, les technologies à film mince non dopé ne sont pas compatibles avec la technique d'ajustement de la tension de seuil par dopage du canal exploitée jusqu'alors. C'est pourquoi, l'utilisation de différents matériaux de grille en face avant ainsi que le type et le niveau de dopage de la couche en face arrière constituent les deux procédés permettant

d'adapter le V_T des transistors. Ce dernier, spécifique à la technologie FD-SOI, engendre des contraintes lors de l'aboutement de cellules logiques disposant de tensions de seuil différentes. Ainsi, la technique de co-intégration multi-V_T classique est devenue un véritable challenge.

L'objectif du travail de recherche mené tout au long de cette thèse a été de proposer des solutions visant à optimiser l'efficacité énergétique des circuits. Pour cela, différentes solutions ont été proposées pour résoudre le problème de co-intégration multi-V_T en technologie 28nm FD-SOI. Cette méthode de réduction de la puissance par co-intégration de V_T a également été confrontée aux techniques classiques, communes à la technologie sur silicium massif, ainsi qu'aux approches spécifiques au FD-SOI. Par exemple, la large modulation de la polarisation du substrat a été précisément étudiée afin de fournir aux concepteurs des recommandations lors de son utilisation. Pour cela, de nombreuses analyses ont été réalisées afin de fixer des limites à cette technique et d'estimer les gains en fréquence et en consommation en fonction du type de circuit ciblé.

Ce travail de recherche a été réalisé en collaboration entre la société STMicroelectronics et le laboratoire CEA-LETI. Celui-ci a donné lieu à de nombreuses publications, communications et à un brevet dont les références sont regroupées à la fin de ce manuscrit de thèse. Aujourd'hui, la majorité des résultats obtenus sont exploités chez STMicroelectronics pour les nœuds 28 et 14nm.

Dans le premier chapitre, nous allons présenter les limites que rencontrent les transistors MOS sur silicium massif depuis ces dix dernières années. Puis, nous identifierons les nombreux atouts de la technologie planaire FD-SOI par rapport à la technologie sur silicium massif ainsi qu'à la technologie FinFET, pour les nœuds inférieurs à 32nm. Enfin, une étude comparative des technologies sera proposée afin d'évaluer les différentes options disponibles en vue des prochains nœuds technologiques.

Dans le second chapitre, nous allons proposer une méthode permettant d'extraire rapidement les performances des transistors FD-SOI et sur silicium massif pour le nœud technologique 28nm. Les gains intrinsèques liés à la technologie FD-SOI sont présentés ainsi que les résultats consécutifs à la modulation des tensions appliquées sur le substrat. Puis,

plusieurs techniques permettant la réduction des puissances dynamique et statique au sein d'un circuit seront exposées dans ce chapitre.

Dans le troisième chapitre, nous allons identifier précisément les contraintes qui ne permettent plus la co-intégration fine de cellules standard disposant de tensions de seuil différentes. Ensuite, plusieurs solutions seront proposées afin de résoudre le problème de co-intégration multi-V_T en FD-SOI. Dans cette optique, la conception de cellules à caisson unique sera présentée et les résultats silicium exposés en fin de chapitre.

Enfin, dans le quatrième et dernier chapitre, nous allons présenter les conceptions de plusieurs circuits réalisés en technologie 28nm FD-SOI. Le premier circuit proposé est issu d'un portage direct de la technologie sur silicium massif en FD-SOI. Ainsi, une comparaison équitable a pu être réalisée permettant d'évaluer les gains intrinsèques apportés par la technologie FD-SOI. Ensuite, la conception d'un DSP optimisé pour la technologie à film mince est présentée. Celui-ci permet notamment l'exploitation étendue de la modulation des polarisations du substrat. Enfin, ce même DSP a été synthétisé une seconde fois avec des cellules standard intégrant uniquement un caisson-n. Les résultats silicium de ces trois circuits sont présentés dans ce chapitre.

Chapitre 1

Evolution technologique du transistor MOS

1.1 Introduction

Depuis près de quarante ans, le Transistor à Effet de Champ, Métal Oxyde Semi-conducteur, appelé « MOSFET », est utilisé comme brique de base pour la réalisation de circuits intégrés. Sa faculté de miniaturisation a permis d'augmenter la densité d'intégration du transistor MOS et de rendre les circuits intégrés de plus en plus performants. A cela vient s'ajouter un procédé de fabrication planaire permettant de réaliser de tels dispositifs à un coût très compétitif.

Néanmoins, depuis le nœud technologique 90nm, de nombreux effets parasites, appelés effets canaux courts, sont apparus. Ces effets sont provoqués par le rapprochement devenu critique des jonctions source et drain du transistor. Ceci a pour conséquence de limiter le gain en vitesse des transistors et d'augmenter leur courant de fuite. Pour ralentir ce phénomène, des solutions ont été apportées aux procédés de fabrication afin de maintenir pour quelques nœuds technologiques la structure classique du transistor MOS. Cependant, ces nouvelles étapes complexifient grandement la fabrication des circuits intégrés et génèrent un surcoût important.

C'est pourquoi, l'industrie du semi-conducteur est contrainte aujourd'hui de se tourner vers de nouvelles technologies. Ainsi, le remplacement du transistor sur silicium massif permettra à la fois de poursuivre la croissance exponentielle des performances tout en maitrisant la consommation des appareils mobiles.

L'objectif de ce premier chapitre est, dans un premier temps, d'identifier précisément les limites du transistor MOS sur silicium massif, pour les nœuds technologiques avancés. Dans un second temps, les atouts de la technologie planaire UTBB FD-SOI seront présentés, permettant de prolonger la loi de Moore pour les nœuds inférieurs à 32nm.

1.2 Motivations

1.2.1 Les exigences technologiques du marché actuel

Le passage d'une génération technologique CMOS à la suivante permet aux concepteurs de circuits intégrés d'obtenir une amélioration de la densité des circuits. Cette réduction des dimensions a pour avantage d'augmenter les vitesses de commutation des transistors et de diminuer leur puissance dynamique et statique. Par conséquent, cela se traduit sur les performances globales d'un circuit par l'augmentation de la fréquence de fonctionnement ainsi qu'une puissance totale maitrisée.

En outre, les téléphones portables et autres tablettes numériques qui connaissent une croissance exponentielle, intègrent des fonctions avancées toujours plus performantes. En effet, les appareils mobiles de dernière génération sont engagés dans une course qui réclame une augmentation des performances des CPU et autres circuits intégrés tout en assurant un budget énergétique le plus faible possible (Figure 1.1).

Figure 1.1 Augmentation exponentielle des performances requises à puissance consommée constante.

Cependant, nous allons voir dans la partie suivante que l'architecture du transistor MOS sur silicium massif ne répond plus aux exigences du marché actuel. Il est donc nécessaire pour l'industrie de migrer vers des technologies plus efficaces.

1.2.2 Les limitations du transistor MOS sur silicium massif

1.2.2.1 Les améliorations apportées au transistor

Le transistor MOS fabriqué en technologie planaire sur silicium massif a fait l'objet de nombreuses améliorations, en particulier ces dix dernières années (Figure 1.2). Ces modifications ont permis de remédier à la faible augmentation des performances provoquée par l'apparition des effets parasites dans le canal du transistor MOS [Den'74] [Bac'84].

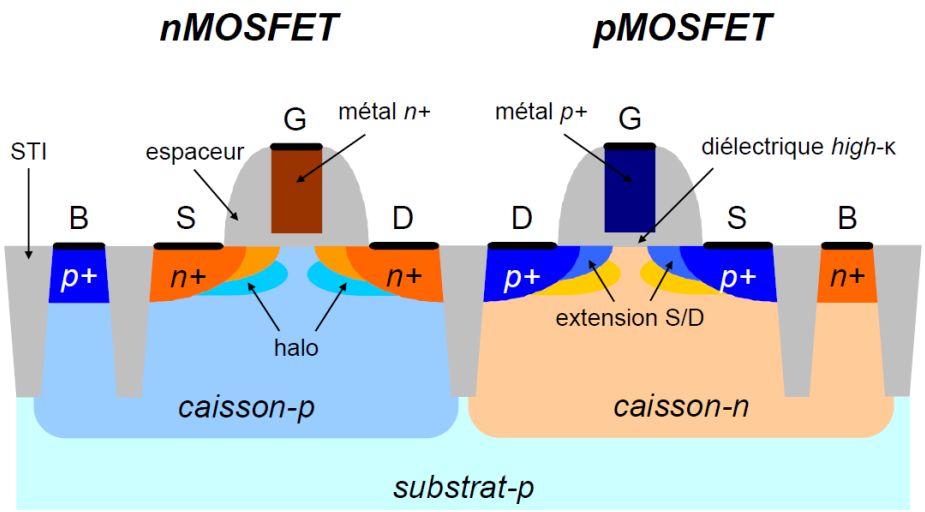


Figure 1.2 Vue en coupe d'un transistor n-MOS (gauche) et d'un transistor p-MOS (droite) en technologie planaire sur silicium massif dans un nœud avancé.

La fabrication des transistors s'est donc complexifiée avec l'optimisation de certains procédés de fabrication déjà présents ainsi que l'ajout indispensable de nouvelles étapes. Le but de ces améliorations vise à conserver, pour les nœuds avancés, une maitrise de l'ouverture et de la fermeture du canal la plus efficace possible. Cela se traduit au niveau circuit par la capacité à atteindre des fréquences de fonctionnement élevées tout en disposant d'un courant de fuite le plus faible possible.

Pour cela, l'une des premières améliorations importantes a consisté à introduire une contrainte mécanique sur le canal afin d'augmenter la mobilité des porteurs de charges, et donc le courant de fonctionnement (I_{ON}) [Bai'04]. Cet ajustement permet ainsi d'augmenter la vitesse de chargement de la capacité connectée aux bornes de sortie d'une porte logique. Puis, dans le but de diminuer le courant de fuite de grille et d'améliorer le contrôle électrostatique du canal, l'isolant de grille a été remplacé par un matériau possédant une constante diélectrique élevée ($\varepsilon_{isolant}$ >40), communément appelée high-κ. De plus, le matériau

de grille en poly-silicium a également été remplacé par un matériau métallique permettant de supprimer l'effet de poly-déplétion [Mis'07] [Nat'08]. Cet effet a pour conséquence d'augmenter l'épaisseur équivalente de l'oxyde de grille, et donc de diminuer le contrôle électrostatique du canal par la grille.

Concernant les effets parasites liés aux canaux courts, une amélioration notable vise à étendre des zones source/drain (S/D) moins dopées vers le canal, communément appelées LDD (Lightly Doped Drain). Cet ajustement permet de limiter l'extension de la zone de charges d'espace (ZCE) des S/D dans le caisson, et donc d'améliorer le contrôle électrostatique. Des implantations de même nature que le caisson, appelées halo, sont aussi réalisées au niveau des jonctions S/D-caisson sous le canal pour empêcher la ZCE de la source et du drain de se rejoindre et de créer un canal parasite. Cependant, ces implantations ont un effet négatif puisque leur fort niveau de dopage a pour effet d'augmenter le courant GIDL (Gate-Induced Drain Leakage) au niveau des jonctions S/D-caisson [Yua'08]. Il est à noter que ce comportement a tendance à se renforcer à chaque nouveau nœud technologique dû à l'augmentation du niveau de dopage des caissons.

1.2.2.2 Contrôle électrostatique

Malgré toutes les améliorations apportées au transistor MOS sur silicium massif, le contrôle électrostatique du canal par la grille se dégrade de plus en plus à chaque nouveau nœud technologique à cause des effets canaux courts.

L'effet canal court traduit la diminution de la tension de seuil par la réduction de la longueur de la grille du dispositif. Il est lié au fait que le potentiel électrostatique entre la source et le canal et entre le canal et le drain n'est pas abrupt mais graduel à cause des ZCE situées le long des jonctions. Lorsque la distance entre la source et le drain atteint l'ordre de grandeur des zones de charge d'espace, la barrière de potentiel dans le canal chute et engendre une baisse de la tension de seuil appelée SCE (Short Channel Effect). La figure 1.3 illustre clairement l'impact du rétrécissement avancé de la longueur de grille (b) sur le comportement du potentiel dans le canal par rapport à un canal long (a).

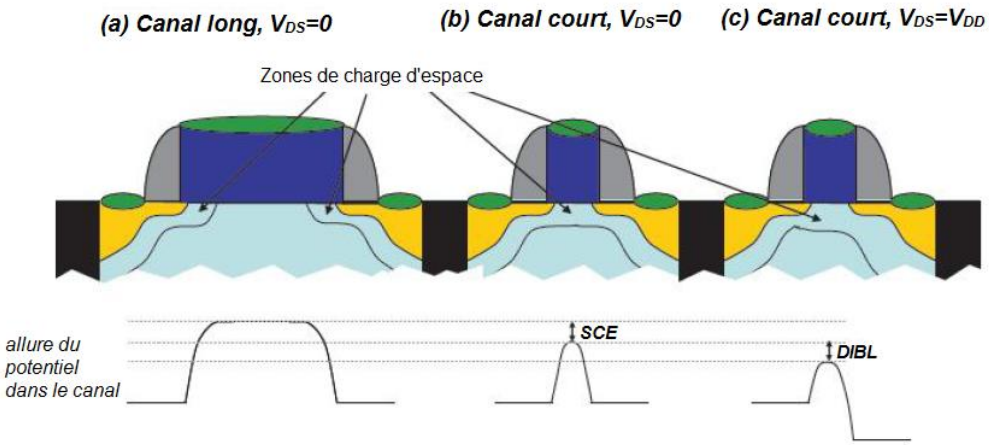


Figure 1.3 Principe de l'abaissement de la barrière de potentiel engendré par la réduction de la longueur de la grille du transistor.

En plus de cet effet SCE, la polarisation du drain influence également la profondeur de la zone de charge d'espace de ce côté. L'effet canal court est alors accentué par la polarisation du drain (Figure 1.3.c). Cet effet spécifique est appelé DIBL (Drain Induced Barrier Lowering). La dénomination « effets canaux courts » correspond donc aux deux effets combinés SCE et DIBL.

Ces phénomènes ont pour conséquence de limiter la fermeture du canal et donc d'augmenter le courant de fuite (I_{OFF}). Pour évaluer l'impact de ces effets sur les performances globales d'un transistor, la caractéristique I_{ON}/I_{OFF} est adaptée puisqu'elle permet d'analyser la capacité du transistor à ouvrir et à fermer son canal (Figure 1.4).

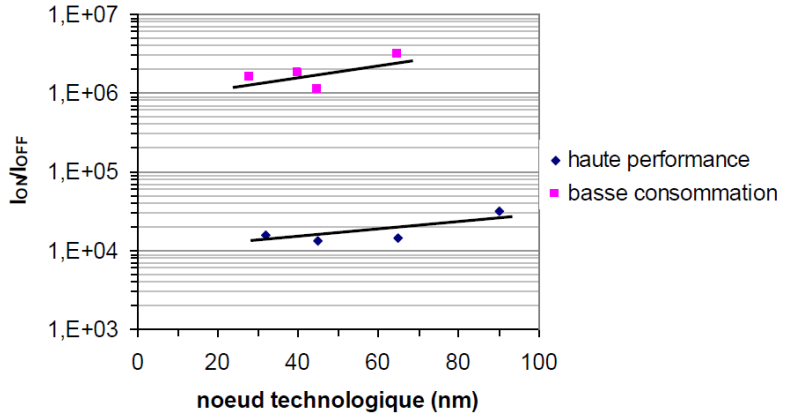


Figure 1.4 Evolution du rapport de courants I_{ON}/I_{OFF} de transistors MOS fabriqués en technologie planaire sur silicium massif en fonction du nœud technologique.

L'augmentation du courant de fuite s'observe clairement sur la figure ci-dessus par une diminution du rapport I_{ON}/I_{OFF} à chaque nouveau nœud technologique. Pourtant, le but

recherché par les technologues est de maintenir ce ratio constant. L'idéal serait même de le voir augmenter, traduisant un fort courant actif ainsi qu'un faible courant de fuite. Cependant, malgré toutes les améliorations apportées à la fabrication du transistor, le contrôle électrostatique du canal par la grille continue de se dégrader de plus en plus à cause des effets canaux courts.

De plus, le ralentissement de la réduction de la tension d'alimentation (V_{DD}) dans le but d'améliorer le courant de fonctionnement empêche aussi la diminution de la puissance statique (P_{STAT}). Celle-ci est proportionnelle à la tension d'alimentation comme le décrit l'équation suivante :

$$P_{STAT} \infty V_{DD} \times I_{OFF} \quad \textbf{(1)}$$

1.2.2.3 Variabilité de la tension de seuil

En plus des effets canaux courts, un autre phénomène mène à la dégradation des caractéristiques électriques du transistor MOS. Il s'agit de la réduction du nombre de dopants dans le canal avec la réduction de la longueur de grille. En effet, un transistor MOS ayant une longueur de grille inférieur à 100nm possède seulement quelques dizaines de dopants dans son canal (Figure 1.5).

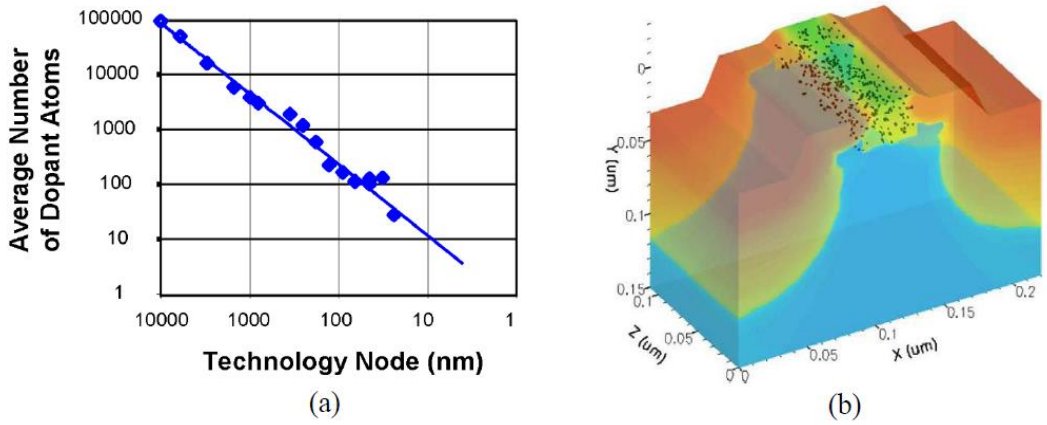


Figure 1.5 (a) Evolution du nombre moyen de dopants dans le canal d'un transistor MOS fabriqué en technologie planaire sur silicium massif en fonction du nœud technologique [Kuh'08]. (b) Vue 3D d'un modèle numérique de transistor MOS simulant le nombre de dopant dans le canal dans les nœuds technologiques 65nm et 45nm [Kuh'07].

La tension de seuil (V_T) d'un transistor est définie, en partie, par ce nombre de dopants dans le canal, ce qui la rend très sensible à leur variation. Cette variation aléatoire, connue sous le nom de RDF (Random Dopant Fluctuation), est devenue aujourd'hui une source importante de variabilité de la tension de seuil (σV_T) [Miz'94] comme le montre la figure 1.6 [Ase'07].

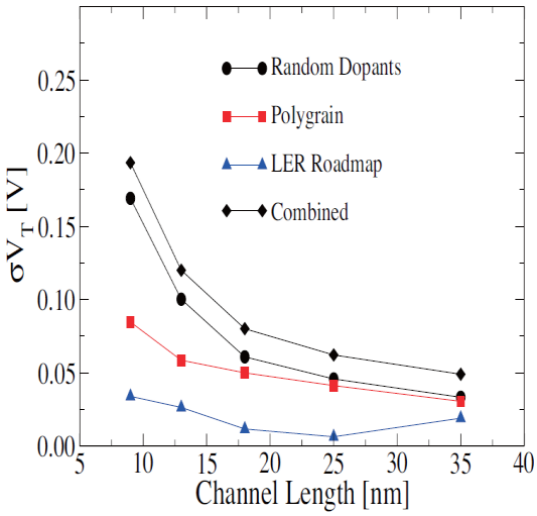


Figure 1.6 Evolution de la variabilité de la tension de seuil (σV_T) en fonction de la longueur de grille d'un transistor MOS fabriqué en technologie planaire sur silicium massif [Ase'07].

Ce phénomène a pour conséquence de limiter la diminution de la tension d'alimentation dans les circuits critiques en termes de variabilité, comme les circuits SRAM. De ce fait, cela empêche donc aussi la réduction de la puissance statique des circuits (cf. Equation 1).

1.3 Evolution vers des technologies à film mince

Pour remédier aux nombreux problèmes rencontrés par le transistor MOS sur silicium massif et ainsi franchir la barrière du nœud technologique 32nm, les industriels se sont tournés vers des technologies à film mince plus performantes.

Deux solutions ont donc émergées de l'industrie : les transistors de type FD-SOI et FinFET (Figure 1.7). Intel a annoncé en mai 2011 qu'elle utiliserait des transistors de type FinFET pour la fabrication de ses prochains micro-processeurs dans le nœud technologique 22nm [NYT'11]. De son côté, STMicroelectronics accompagné d'autres sociétés ont préféré faire le choix des transistors planaire FD-SOI (Fully Depleted Silicon On Insulator). Grâce à cette technologie, STMicroelectronics a su proposer rapidement une solution compétitive afin de satisfaire le marché des smartphones, tablettes numériques et autres produits mobiles.

Toutefois, que l'on considère les transistors FD-SOI ou FinFET, le principal avantage de ces transistors à film mince de silicium non dopé est de bénéficier d'un bien meilleur contrôle électrostatique du canal par la grille. Par conséquent, les courants sous le seuil et les effets de canaux courts sont réduis. De cette amélioration résulte un courant effectif, correspondant à la moyenne des courants I_{ON} et I_{OFF}, plus élevé (à même courant de fuite) que celui des transistors MOS sur silicium massif. Cela permet d'obtenir un gain en vitesse conséquent. Enfin, l'utilisation d'un film mince de silicium non dopé permet également de réduire fortement la variation de la tension de seuil des transistors et ainsi travailler à des tensions d'alimentation plus faibles.

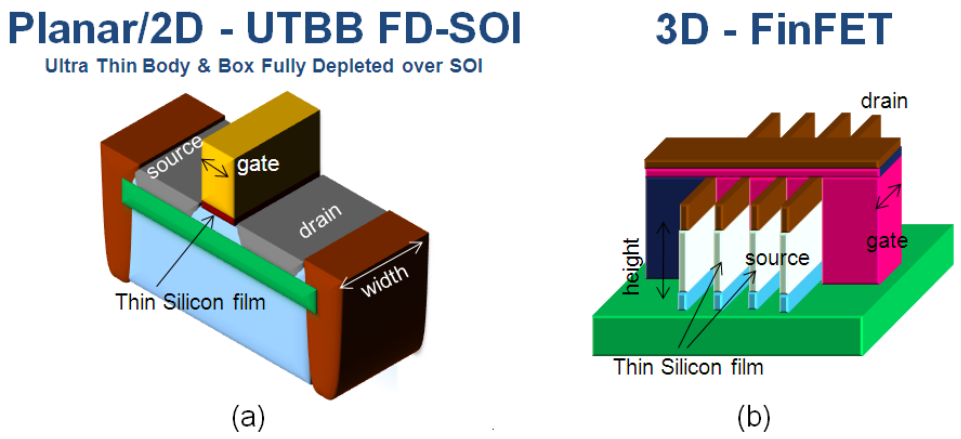


Figure 1.7 Représentation schématique d'un transistor (a) planaire FD-SOI et d'un transistor (b) 3D FinFET.

1.3.1 Choix de la technologie

D'un point de vue électrostatique, les transistors de type FinFET sont légèrement supérieurs aux transistors planaire FD-SOI grâce à une grille qui vient englober sur 3 côtés le canal du transistor. Néanmoins, ce type de transistor reste bien plus difficile et coûteux à fabriquer [Hu'11]. Ainsi, l'utilisation d'un procédé de fabrication planaire pour la réalisation de transistors FD-SOI permet de réduire le temps de développement technologique.

De plus, l'architecture planaire des transistors FD-SOI, similaire à celle des transistors sur silicium massif, permet de migrer rapidement des circuits de type « BULK » avec peu d'effort de conception à prévoir. En effet, les règles de dessin étant très proches, la plupart des dispositifs peuvent être simplement portés, sans aucune modification layout. En revanche, pour la technologie FinFET, la reprise en conception de tous les dispositifs est à prévoir en prenant en compte de nouvelles règles de dessin, bien plus contraignantes.

Le développement de la technologie FD-SOI est le fruit d'un travail collaboratif entre STMicroelectronics et le CEA-LETI. Depuis plus de 20 ans, ces deux entités travaillent sur l'élaboration d'une solution SOI répondant aux contraintes du marché actuel. Pour cela, plusieurs versions de conception ont été analysées (Figure 1.8) avant de sélectionner celle qui remplacera finalement le transistor sur silicium massif.

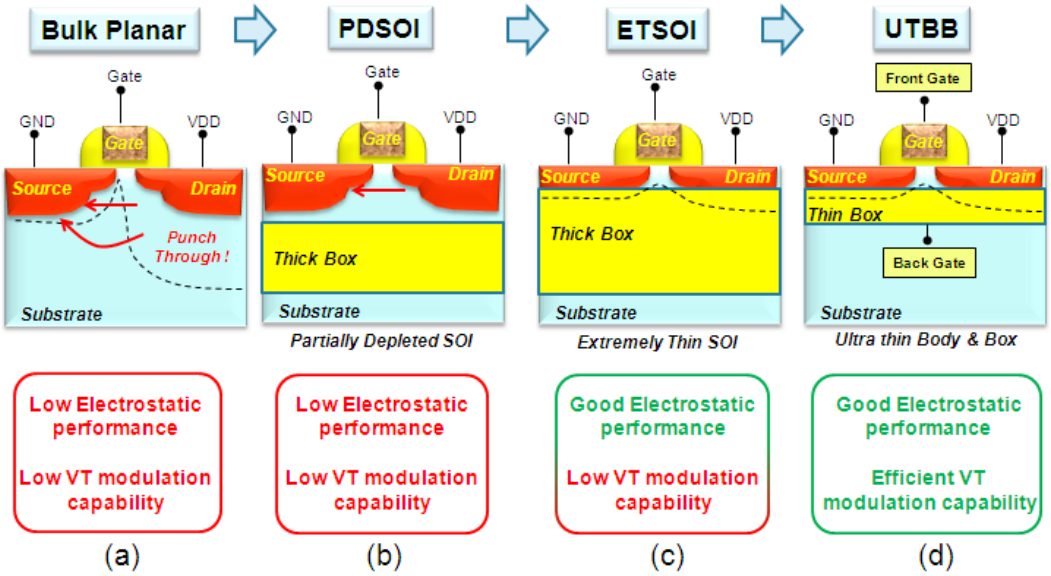


Figure 1.8 Vues en coupe d'un (a) transistor sur silicium massif, (b) transistor partiellement déserté, (c) transistor totalement déserté avec un BOX épais et d'un transistor totalement déserté (d) avec un BOX mince.

La figure ci-dessus présente une illustration des différentes approches étudiées pour remplacer le transistor BULK (Figure 1.8.a). La première option consiste à utiliser un transistor PD-SOI (Partially Depleted SOI) disposant d'un canal partiellement déserté ainsi qu'une large épaisseur d'isolant (Figure 1.8.b). Cette solution a été intégrée dans plusieurs démonstrateurs par STMicroelectronics ce qui a permis d'accéder à des gains en performance séduisants. Cependant, un effet d'histoire dû à l'accumulation et à l'évacuation de charges sous le canal entraîne une fluctuation de la tension de seuil des transistors en fonction de l'activité antérieure [Nar'01]. Ce phénomène non maitrisable n'a pas permis à cette technologie de s'imposer. Pour remédier à ce problème, IBM a développé une solution intéressante, appelée ETSOI (Extremely thin SOI) qui consiste à réduire l'épaisseur du film de silicium du canal pour le rendre complètement déserté (Figure 1.8.c). Ainsi, l'effet d'histoire est supprimé et le contrôle électrostatique du canal par la grille encore amélioré.

Mais c'est finalement grâce à l'avancée technologique dans la réalisation des plaques SOI que l'architecture UTBB (Ultra thin Body and BOX) FD-SOI a vu le jour. Le transistor présenté figure 1.8.d combine à la fois un canal complètement déserté ainsi qu'une fine épaisseur d'isolant permettant une modulation de la tension de seuil des transistors par polarisation du caisson. Grâce à ces nombreux avantages, cette dernière approche a été choisie par STMicroelectronics pour succéder au transistor sur silicium massif. STMicroelectronics propose donc aujourd'hui une solution performante avec un coût de fabrication similaire à la technologie sur silicium massif.

1.3.2 Caractéristiques du transistor UTBB FD-SOI en 28nm

1.3.2.1 Substrat silicium sur isolant

Contrairement à la technologie conventionnelle BULK, le substrat en technologie silicium sur isolant (SOI pour Silicon-On-Insulator) est constitué de deux couches de silicium : le silicium actif, d'épaisseur t_{Si} et le substrat de dopage intrinsèque de type P isolées l'une de l'autre par une couche d'oxyde enterrée (BOX pour Burried OXide) comme le montre la figure 1.9. Ce type de substrat est obtenu grâce au procédé de fabrication appelé « Smart-Cut » [Soi'13] [Del'09]. L'intérêt est d'obtenir une couche de silicium supérieure mince et isolée.

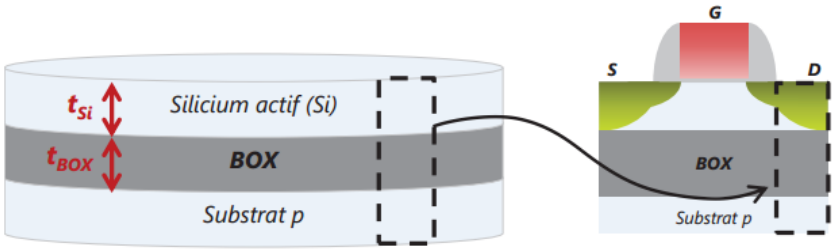


Figure 1.9 Vue de profile du substrat silicium sur isolant [Soi'13].

Initialement conçue pour le domaine militaire et spatial grâce à sa robustesse aux radiations [Sch'03] [Roc'05], cette technologie offre aujourd'hui une solution haute performance et basse consommation [Ber'00]. En effet, l'ajout d'une couche isolante associé à la réduction de l'épaisseur du film de silicium permet de réduire les capacités de jonction et d'augmenter le contrôle électrostatique du canal. Ainsi, les vitesses de commutation sont améliorées tout en diminuant la consommation dynamique.

1.3.2.2 Architecture du transistor

En fonction de l'épaisseur du silicium actif t_{Si}, le substrat SOI peut offrir deux types de technologie : la technologie silicium sur isolant partiellement désertée (PD-SOI pour Partially Depleted SOI) et la technologie silicium sur isolant totalement désertée (FD-SOI pour Fully Depleted SOI).

Si l'épaisseur t_{Si} est supérieure à la profondeur maximale de la zone de désertion sous la grille ($t_{Si} > X_{Dmax}$), le transistor est dit partiellement déserté (Figure 1.10.b). Il en résulte la formation d'une zone où le champ électrique est neutre, communément appelée substrat flottant (FB pour Floating Body).

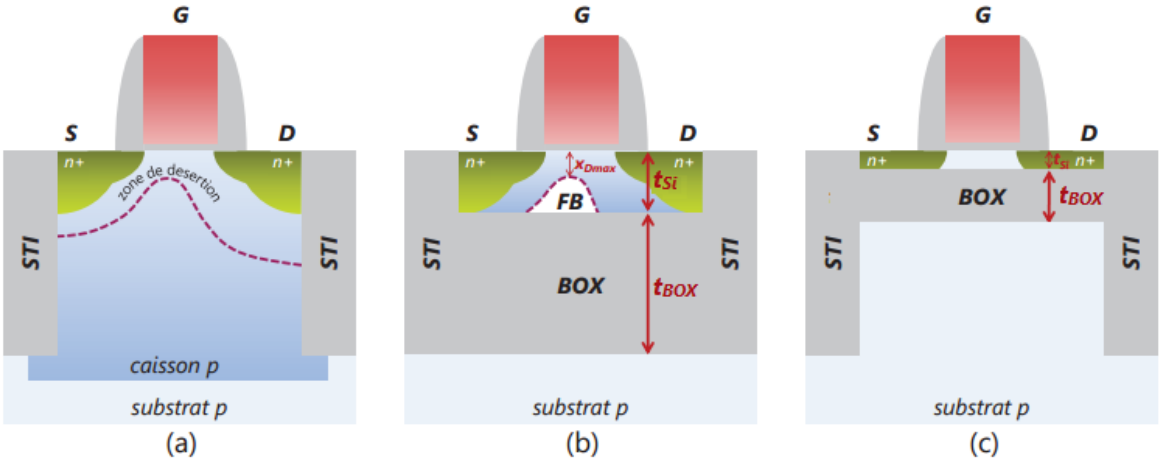


Figure 1.10 Vues en coupe d'un transistor n-MOS en technologie (a) BULK, (b) PD-SOI et (c) UTBB FD-SOI.

Dans le cas d'un transistor de type n-MOS, le déplacement des porteurs négatifs du canal se fait de la source au drain. Les trous qui sont proches du drain vont majoritairement se déplacer vers la source mais également vers le substrat flottant. En BULK, la connexion du substrat permet une évacuation totale des trous qui se recombinent dans celui-ci. En PD-SOI, le substrat connecté à la masse est isolé du substrat flottant par le BOX. Les charges n'ont donc pas d'autre choix que de s'accumuler dans le la zone FB. Cette accumulation a pour conséquence d'augmenter la tension du substrat flottant et donc d'abaisser la tension de seuil du transistor. Par conséquent, cet effet améliore la vitesse de commutation du transistor [LeC'11] [All'99]. Cependant, il induit par la même occasion des effets d'histoire [Nar'01] qui provoquent une incertitude et une variation de la tension de seuil dans le temps. Ainsi, un transistor n'aura pas les mêmes caractéristiques électriques selon son état initial ou selon son rapport cyclique et sa fréquence [Lio'06]. C'est pourquoi, pour les nœuds inférieurs à 65nm, le transistor PD-SOI a été remplacé par le FD-SOI qui a l'avantage de ne pas souffrir d'effet d'histoire [Sak'06].

En effet, le transistor FD-SOI a quant à lui un canal totalement déserté ($t_{Si} < X_{Dmax}$). Pour le nœud 28nm, l'épaisseur t_{Si} correspond à environ 8nm. Par conséquent, la zone de désertion s'étend complétement jusqu'à la surface supérieure du BOX, ce qui permet de supprimer les effets indésirables liés au substrat flottant (Figure 1.10.c). De plus, ce film mince est non dopé, cela a pour conséquence de réduire la variation du V_T, contrairement aux transistors BULK où la fluctuation du nombre de dopants impacte directement la tension de seuil.

La consommation dynamique des transistors FD-SOI présente également un avantage important. En effet, l'isolant formé par l'oxyde enterré permet de réduire en profondeur la surface des diffusions source et drain. Cette caractéristique conduit à une réduction des capacités de jonction. Ainsi, l'étage précédent du circuit voit une plus faible valeur capacitive à ses bornes de sortie. Par conséquent, l'énergie nécessaire pour faire commuter une porte logique est réduite. Il est alors possible d'augmenter la fréquence, en comparaison avec le BULK, pour une même consommation dynamique [Col'94].

Enfin, grâce à la fois à l'utilisation d'isolation verticale appelée STI (Shallow Trench Isolation) et horizontale (BOX), les transistors sont isolés électriquement les uns des autres ainsi que du substrat. Par conséquent, les transistors bipolaires parasites formés en BULK par les zones actives à travers la juxtaposition des caissons de type opposés [Sch'03], sont supprimés. L'effet indésirable de « latch-up » est donc éliminé dans les technologies SOI grâce à l'isolation des zones émettrices.

1.3.2.3 Amélioration du contrôle électrostatique et de l'effet canal court

Grâce à son film mince non-dopé, la technologie planaire FD-SOI permet d'améliorer significativement le contrôle électrostatique du canal par la grille par rapport à la technologie planaire sur silicium massif qui souffre des effets canaux courts.

La première conséquence de cette amélioration est la diminution de la pente sous le seuil, communément appelée SS (Subthreshold Slope). Ce paramètre reflète la capacité de la grille à contrôler la création du canal, et dans le cas de la technologie planaire FD-SOI, à contrôler le film mince de silicium non dopé. Sa valeur minimale théorique est de 60mV/dec, ce qui veut dire qu'une augmentation de 60mV de la tension de grille dans la région sous le seuil entraîne l'accroissement d'une décade du courant sous le seuil (I_{sub}). Le but est donc de maintenir cette pente la plus proche possible de cette valeur idéale. En FD-SOI, la pente sous le seuil est décrite par l'équation suivante [Col'97] :

$$SS = \frac{kT}{q}\ln(10) \times \left(1 + \frac{EOT}{T_{BOX} + \frac{\varepsilon_{OX}}{\varepsilon_{Si}} T_{Si}}\right) \quad \textbf{(2)}$$

Pour diminuer sa valeur, et donc renforcer le contrôle de la grille avant sur la grille arrière, il est nécessaire de diminuer l'épaisseur équivalente de l'oxyde de grille avant (EOT pour Equivalent Oxide Thickness) ou alors d'augmenter celle du BOX (T_{BOX}).

La deuxième conséquence de l'augmentation du contrôle électrostatique du canal par la grille est la réduction des effets canaux courts, notamment du DIBL. Le tableau 1.1 présente les équations du DIBL en technologies BULK et SOI (respectivement les équations (3 et (4). La profondeur des jonctions S/D « X_j » et la zone de déplétion « T_{dep} » présentent dans le substrat en BULK, sont remplacées par l'épaisseur du film mince « T_{Si} ». Cette spécificité de la technologie FD-SOI a pour conséquence de réduire l'effet DIBL.

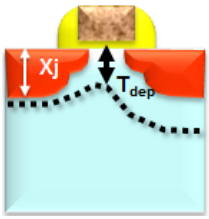
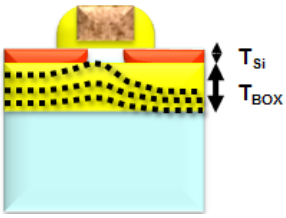
Technologie	Vue en coupe	(mV/V)
BULK		$DIBL = 0.8\frac{\varepsilon_{Si}}{\varepsilon_{ox}}\left(1+\frac{X_j^2}{L_{el}^2}\right)\frac{T_{ox}}{L_{el}}\frac{T_{dep}}{L_{el}}V_{DS}$ **(3)**
FD-SOI		$DIBL = 0.8\frac{\varepsilon_{Si}}{\varepsilon_{ox}}\left(1+\frac{T_{Si}^2}{L_{el}^2}\right)\frac{T_{ox}}{L_{el}}\frac{T_{Si}}{L_{el}}V_{DS}$ **(4)**

Tableau 1.1 Comparaison de l'effet DIBL pour les technologies BULK et FD-SOI.

Cet affaiblissement entraîne une moins forte diminution de la tension de seuil pour les faibles longueurs de grille, comme le décrit l'équation (5) :

$$V_T^{court} = V_T^{long} - SCE - DIBL \quad \textbf{(5)}$$

Dans la littérature, le DIBL est une des figures de mérite choisies pour quantifier l'efficacité du contrôle électrostatique. Il se calcule de la manière suivante et s'exprime en mV/V :

$$DIBL = \frac{V_{TLIN} - V_{TSAT}}{V_{DD} - 0.05} \quad \textbf{(6)}$$

V_{TLIN} correspond à la tension de seuil quand V_D=50mV et V_{TSAT} est la tension de seuil lorsque V_D=V_{DD}. Comme l'expose la figure 1.11.a, à V_D=50mV, seule l'effet canal court (SCE)

est présent. Pour mesurer l'effet DIBL, il est alors nécessaire d'augmenter la tension du drain jusqu'à V_{DD} et de mesurer la différence. Cette caractéristique illustre clairement l'impact des effets canaux courts lorsque la longueur de grille L_G diminue.

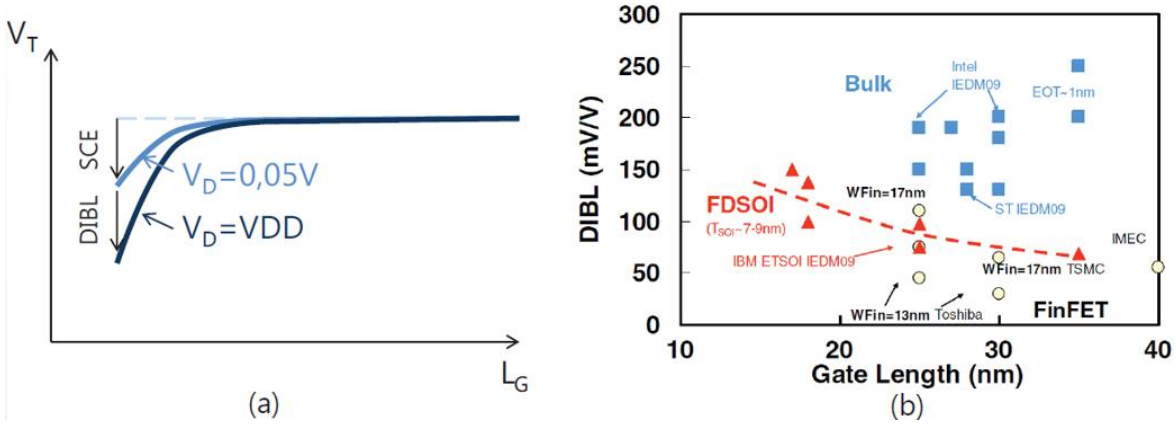


Figure 1.11 (a) Evolution du V_T en fonction de la longueur de grille quand V_D=0.05V et V_D=1V. (b) Comparaison des valeurs de DIBL obtenues en FD-SOI, BULK et FinFET [Fay'11].

Une comparaison des différentes valeurs de DIBL obtenues pour les technologies BULK (carrés), FD-SOI (triangles) et FinFET (ronds) a été réalisée figure 1.11.b. Il est intéressant de noter les faibles valeurs de DIBL pour les technologies disposant d'un film mince.

La diminution des effets canaux courts, associée à celle de la pente sous le seuil, permet ainsi de diminuer sensiblement le courant sous le seuil, comme décrit par l'équation suivante :

$$\log(I_{sub}) = \log(I_T) - \frac{V_T^{court}}{SS} = log\left(\frac{W}{L_{Geff}}10^{-7}\right) - \frac{V_T^{court}}{SS} \quad \textbf{(7)}$$

De plus, le non-dopage du film mince de silicium limite également le courant GIDL. Ce courant est donc très faible dans cette technologie et avoisine ainsi quelques pA/µm [Che'09a] [Che'09b] [Cai'08]. Il est à noter que le fait d'isoler complètement les jonctions S/D du substrat par le BOX permet de supprimer totalement le courant de fuite des jonctions S/D-substrat. Ainsi, la technologie planaire FD-SOI permet de minimiser grandement les courants de fuite préjudiciables en technologique BULK, comme le montre la figure 1.12.

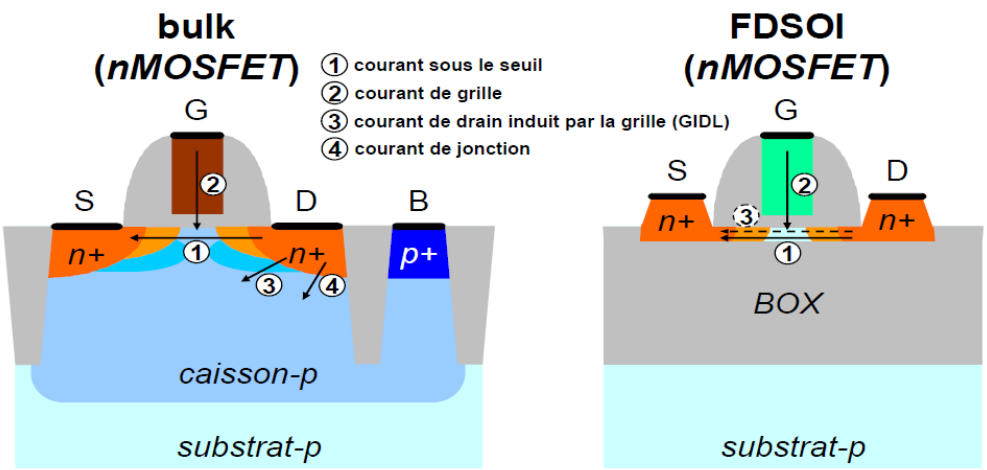


Figure 1.12 Vue en coupe schématique d'un transistor n-MOS fabriqué en technologie planaire sur silicium massif (gauche) et en technologie planaire FD-SOI à BOX épais (droite) montrant les différentes contributions des courants de fuite.

1.3.2.4 Une variabilité maîtrisée

La variabilité est à considérer comme un problème majeur pour la conception de circuit et plus particulièrement pour les mémoires où la densité d'intégration est un facteur important. Deux transistors positionnés côte-à-côte et supposés avoir le même comportement électrique peuvent être sujets à des dérives en termes de V_T pouvant dégrader la stabilité de la mémoire.

La technologie FD-SOI apporte une amélioration majeure par la suppression de la fluctuation aléatoire de dopants dans le canal (RDF). Celle-ci est la plus importante source de variabilité de la tension de seuil en technologie planaire sur silicium massif [Ase'07]. Ainsi, pour une même longueur de grille, un transistor MOS en FD-SOI possède un coefficient de variabilité de la tension de seuil (A_{VT}), ou coefficient de Pelgrom [Pel'89], deux à trois fois plus faible que celui du transistor MOS en technologie BULK [Che'09b]. Ce coefficient est reporté pour plusieurs technologies sur la figure 1.13. Elle démontre que la technologie FD-SOI est moins sujette aux variations locales du V_T que la technologie BULK [Fay'10].

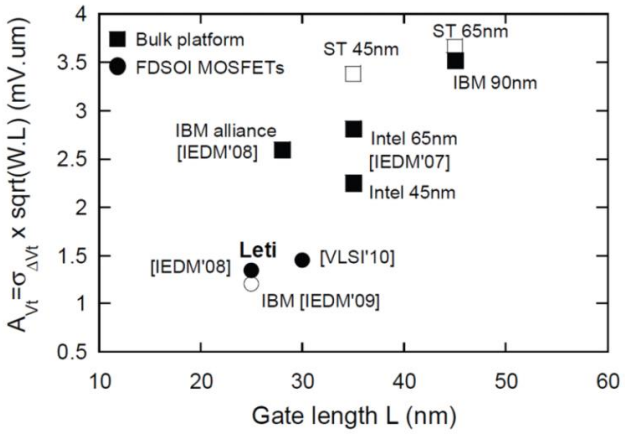


Figure 1.13 Comparaison des coefficients de Pelgrom dans différentes technologies en fonction de la longueur de grille [Fay'10].

La figure 1.14 expose un exemple concret des conséquences de la variabilité de la tension de seuil sur les performances de plusieurs cellules standard. A gauche, les résultats de simulation (CAD) et silicium sont issus de la technologie 28nm BULK alors qu'à droite, les résultats sont extraits de la technologie 28nm FD-SOI. Ces deux figures révèlent clairement le resserrement en FD-SOI des corners procédé fast et slow vers le corner nominal (appelé aussi corner typique).

Cette faible variabilité a pour conséquence d'améliorer les performances des circuits réalisés en FD-SOI. En effet, le premier intérêt de ce recentrage est de pouvoir diminuer la tension minimale d'alimentation des circuits critiques, comme les mémoires SRAM [Liu'11]. Le second avantage se situe lors de la conception d'un circuit. En effet, l'outil de synthèse est contraint de rajouter des marges de temps afin d'assurer le bon fonctionnement du circuit au détriment de la fréquence maximale. Grâce au resserrement des performances, ces marges sont réduites ce qui permet d'accéder à des fréquences de fonctionnement plus élevées.

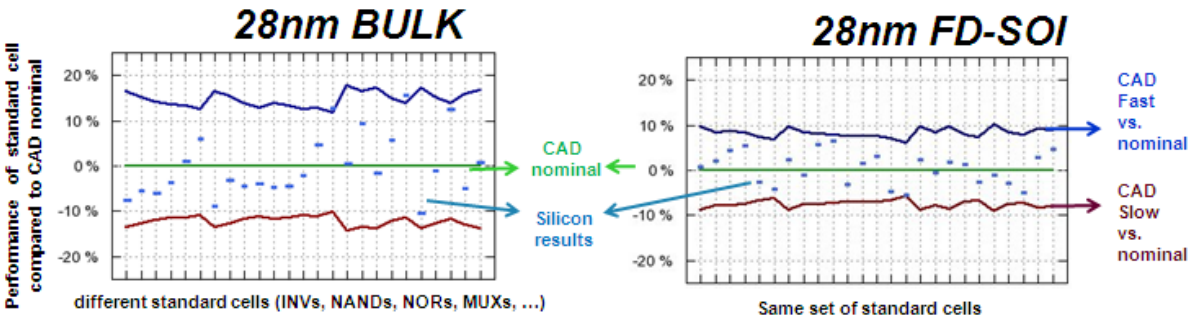


Figure 1.14 Résultats CAD (traits pleins) et silicium (points) des performances extraites d'un échantillon de cellules standard.

1.3.2.5 Une technologie hybride

L'utilisation d'un isolant enterré (BOX) en technologie FD-SOI contribue largement à l'amélioration des caractéristiques électriques des transistors MOS. Cependant, cette couche d'oxyde constitue un véritable inconvénient pour la conception des dispositifs nécessitant une connexion au substrat. Par exemple, certaines structures ESD (ElectroStatic Discharge) permettant de protéger un circuit des décharges électrostatiques, intègrent des diodes de protection implantées entre les zones actives et le substrat. L'oxyde enterré limite donc grandement les performances de ces dispositifs.

Pour remédier à ce problème, les technologies BULK et FD-SOI ont été rendu co-intégrables. Ainsi, il est possible de supprimer localement l'oxyde enterré par gravure, appelé zone hybride, dans laquelle les dispositifs occupant la profondeur du silicium peuvent être implantés (Figure 1.15). Par conséquent, des dispositifs FD-SOI et BULK peuvent être avantageusement co-intégrés sur un même silicium [Fen'09].

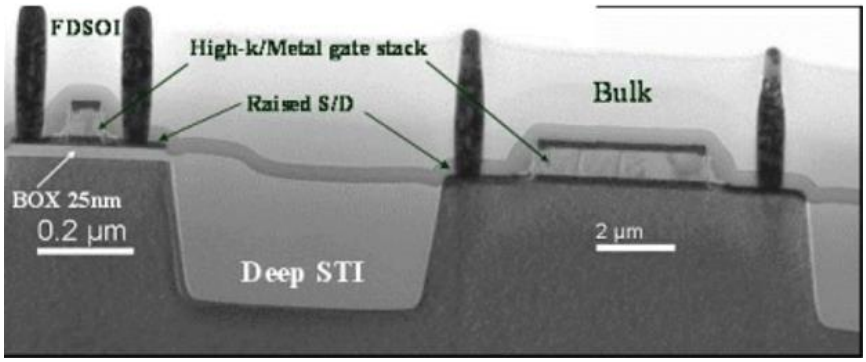


Figure 1.15 Vue en coupe d'un transistor MOS en technologie FD-SOI à BOX mince co-intégré avec un transistor BULK après ouverture du BOX [Fen'09].

Cette faculté à pouvoir percer le BOX sur certaines zones précises constitue un atout essentiel pour la conception de circuits intégrés. Ainsi, il est possible de positionner côte-à-côte les dispositifs FD-SOI et BULK. Dans sa plateforme de conception pour le nœud technologique 28nm, STMicroelectronics a réparti en deux catégories les différents dispositifs nécessaire à la conception de circuits : les dispositifs reposants sur du SOI et ceux nécessitant la profondeur du silicium massif (Tableau 1.2).

Device Type	UTBB FD-SOI	BULK
Logic	2Vt / PB0-16nm*	
SRAM	✓	
Capacitance, Varactor	✓	
Drift MOS (OTP)		✓
Digital I/O	✓	
Analog MOS	✓	
RF MOS	✓	
Resistors	✓ (Poly)	✓ (Active)
Diodes (antenna)		✓
ESD Devices	✓ (FET)	✓ (FET, diode, SCR)
Vertical Bipolar		✓

Tableau 1.2 Liste des dispositifs implantés sur SOI et sur BULK.

1.3.2.6 Plateforme multi-V_T

La plupart des dispositifs FD-SOI listés précédemment intègrent des transistors MOS élémentaires. En fonction des caractéristiques de chaque structure, le concepteur privilégiera des transistors disposant d'une tension de seuil élevée afin de maîtriser leur courant de fuite, ou faible lorsqu'une vitesse élevée de commutation est souhaitée.

Pour cela, la technologie 28nm UTBB FD-SOI proposée par STMicroelectronics est dotée d'une plateforme de conception composée de deux niveaux de V_T : le RVT (Regular-V_T) et le LVT (Low-V_T). A l'instar du BULK, la valeur du V_T peut être déterminée soit par le type de dopage dans le canal, soit par le type de grille utilisé. Ces deux options n'ont pas été retenues en FD-SOI. En effet, la première dégrade la variabilité des transistors et la seconde engendre une complexité et un coût de fabrication accrus.

Néanmoins, la technologie UTBB FD-SOI rend possible une troisième option grâce à la finesse des films utilisés. Celle de l'oxyde enterré permet, outre l'ouverture du BOX localisée, de doper le silicium sous l'oxyde à un fort niveau de concentration ($N_{BP} \approx 10^{18} cm^{-3}$). Cela a pour effet de former une couche en face arrière nommée BP (Back Plane). Cette technique a été initiée pour améliorer l'intégrité électrostatique du canal [Ern'99]. Depuis, elle est exploitée pour donner au transistor MOS un niveau de V_T en fonction du type de dopage de la face arrière. L'équation suivante met en évidence les différents paramètres permettant d'ajuster la tension de seuil d'un transistor n-MOS FDSOI ayant un film mince de silicium non

dopé. Le paramètre r correspond au coefficient de couplage capacitif entre la grille avant et la grille arrière, q est la charge d'un électron et kT/q la tension thermique.

$$V_T = \Delta\Phi_m + \frac{kT}{q} ln\left((1+r)\frac{kT}{q}C_{OX}\frac{1}{qn_iT_{Si}}\right) + r\left(\Delta\Phi_{BP} + \frac{kT}{q} ln\left((1+r)\frac{kT}{q}C_{OX}\frac{1}{qn_iT_{Si}}\right) - V_{BS}\right) \quad (8)$$

Il est donc possible en utilisant qu'un seul type de grille métallique de type *mid-gap* ($\Delta\Phi_m = 0$), d'ajuster la tension de seuil du transistor en modulant uniquement le type et le niveau de dopage du BP ($\Delta\Phi_{BP}$) ainsi que sa polarisation (V_{BS}). De la même manière, il est également possible d'ajuster le V_T du transistor p-MOS en ajustant les mêmes paramètres. La différence fondamentale réside dans le fait que les deux types de BP vont avoir des effets inverses entre un transistor n-MOS et p-MOS. L'équation (8) se transforme donc de la manière suivante :

$$V_T = \Delta\Phi_m - \frac{kT}{q} ln\left((1+r)\frac{kT}{q}C_{OX}\frac{1}{qn_iT_{Si}}\right) + r\left(\Delta\Phi_{BP} - \frac{kT}{q} ln\left((1+r)\frac{kT}{q}C_{OX}\frac{1}{qn_iT_{Si}}\right) - V_{BS}\right) \quad (9)$$

Ainsi, lorsque le BP est de type opposé aux source/drain du transistor, sa tension de seuil augmente. Cette architecture permet d'obtenir un transistor de type RVT dans la technologie actuelle (Figure 1.16).

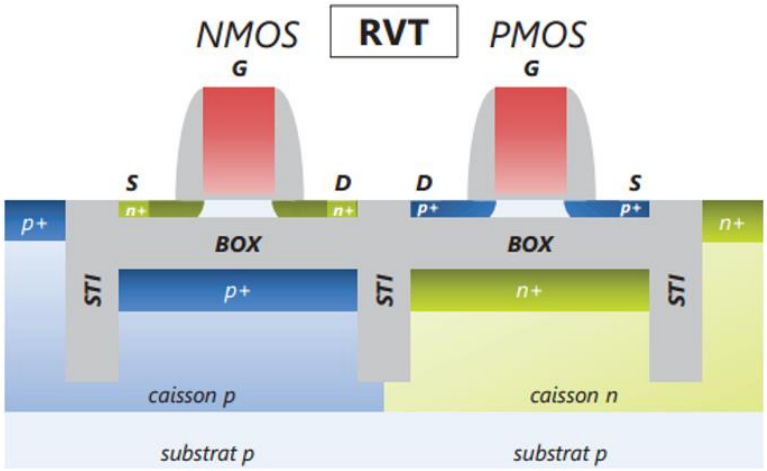


Figure 1.16 Vue schématique de deux transistors de type RVT. Un transistor n-MOS (gauche) et un p-MOS (droite).

Il est intéressant de constater que l'architecture des transistors associée à l'option RVT est parfaitement compatible avec la topologie des circuits CMOS existants. Ainsi, aucune modification n'est à prévoir lors de la transition de cellules BULK en FD-SOI.

A l'inverse de l'option RVT, lorsque le BP et les source/drain du transistor sont de même type, son V_T reprend une valeur plus faible. Il en résulte cette fois un transistor de type LVT, comme le montre la figure 1.17. L'opération réalisée ici consiste donc simplement à permuter les Wells (caissons + BP). Cette structure est communément appelée architecture « flip-Well ».

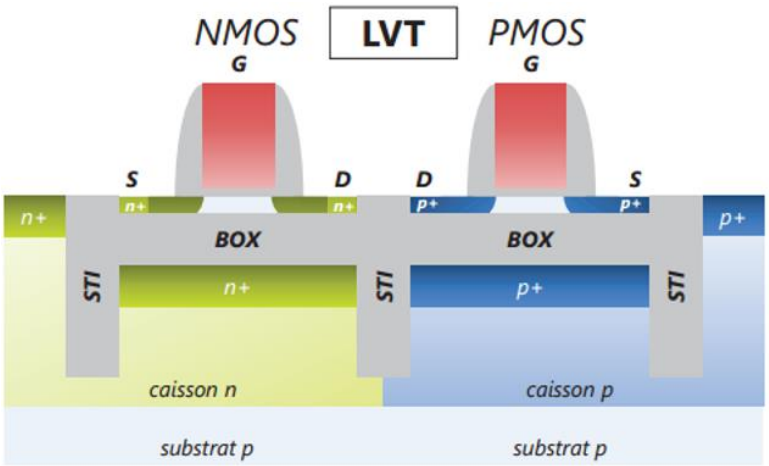


Figure 1.17 Vue schématique de deux transistors de type LVT. Un transistor n-MOS (gauche) et un p-MOS (droite).

Comme il a été présenté ci-dessus, il est également possible de faire évoluer le V_T des transistors en modulant le potentiel de la face arrière (V_{BS}) [Noe'11]. Cette technique est rendue possible grâce aux ouvertures de BOX permettant le contact des caissons par les prises dopées du même type (Figure 1.16 et 1.17). Cet aspect essentiel de la technologie FD-SOI est développé en détail dans la section suivante.

1.3.3 Une technologie flexible

1.3.3.1 Modulation dynamique des performances par polarisation de la face arrière

Comme il a été expliqué précédemment, la tension de seuil des transistors FD-SOI peut être modulée par le type et le niveau de dopage des BP ainsi que par leur polarisation. Contrairement aux ajustements lors de la fabrication, la polarisation des caissons a l'avantage de ne pas être définitive. En effet, il est possible de moduler dynamiquement la tension V_{BS} de chacun des transistors.

Cette caractéristique constitue l'un des intérêts majeurs de la technologie UTBB FD-SOI. Elle permet notamment aux concepteurs de moduler efficacement les performances de leurs circuits en faisant évoluer la polarisation du substrat. Cette option est rendue possible grâce à la finesse de l'oxyde enterré, qui se comporte comme une deuxième grille placée sur la face arrière du transistor (Figure 1.18). Ceci permet de moduler le canal du transistor en appliquant un potentiel V_{BS} à l'interface du BOX, grâce aux prises caissons localisées dans les zones hybrides.

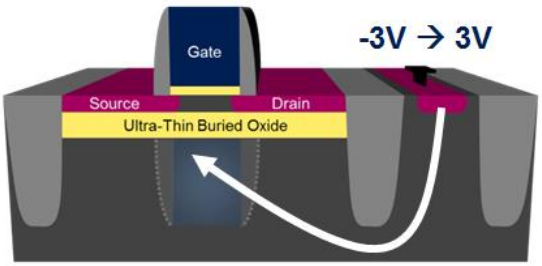


Figure 1.18 Vue en coupe d'un transistor FD-SOI avec prise substrat.

Cette technique, appelée communément back-biasing, permet d'ajuster à la demande le compromis entre la vitesse, proportionnelle au courant I_{ON}, et la consommation statique I_{OFF}. De cette manière, il est envisageable d'augmenter la fréquence, d'optimiser l'efficacité énergique ou encore de réduire la consommation statique d'un circuit. La figure 1.19 présente les effets de la modulation de V_{BS} sur la tension de seuil des transistors et sur leur courant de drain. Par exemple, en appliquant une tension V_{BS} positive côté n-MOS et négative côté p-MOS, le V_T de ces deux transistors diminue (FBB pour Forward Back-Biasing). Par conséquent, pour une même tension de grille (V_{GS}), Le transistor dispose d'un courant I_D plus élevé. A

l'inverse, la polarisation négative de V_{BSn} et positive de V_{BSp} permet de réduire le courant de drain (RBB pour Reverse Back-Biasing).

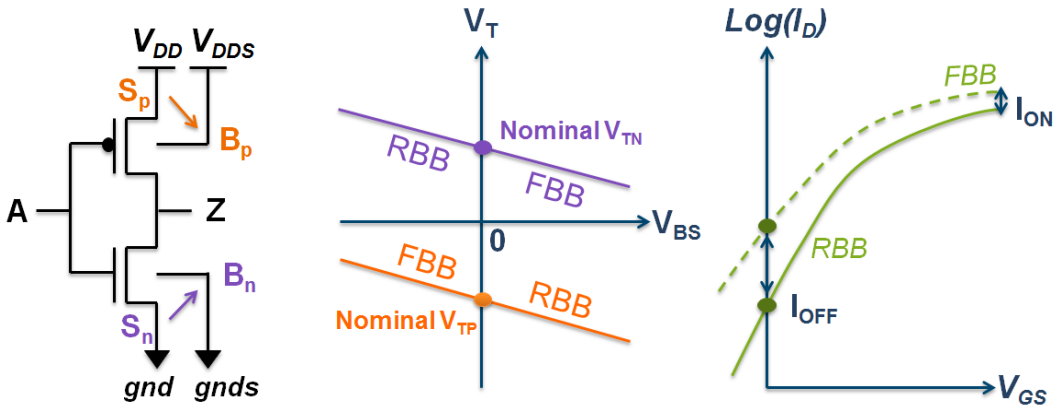


Figure 1.19 Evolution des courants I_{ON} et I_{OFF} grâce à la modulation de la tension V_{BS}.

En technologie BULK, la modulation du V_T par back-biasing est limitée à ±300mV pour éviter les effets indésirables liés à l'activation des jonctions S/D [Kur'96]. Pour un transistor n-MOS sur silicium massif, l'application d'une tension positive sur le substrat (FBB) permettra de réduire légèrement le V_T en plaçant en direct la jonction PN (substrat/source). Cela provoque une augmentation du courant statique ainsi qu'un risque élevé de latch-up. A l'inverse, lorsqu'une tension négative est appliquée sur le substrat (RBB), le V_T augmente au prix d'un courant GIDL élevé, tel que présenté tableau 1.3.

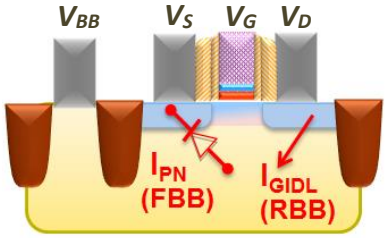
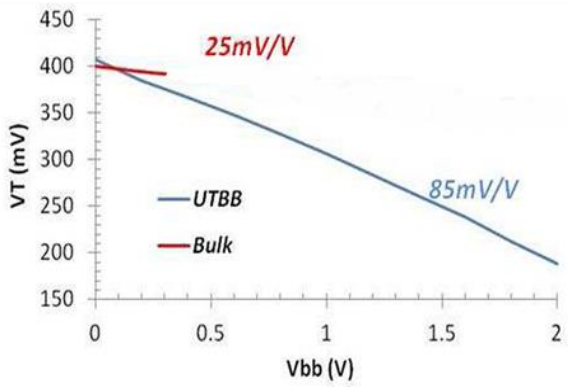
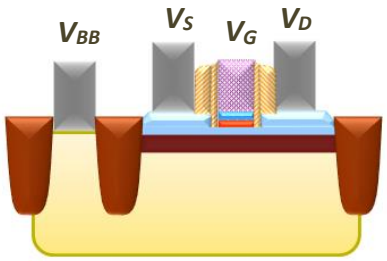
Technologie	Vue en coupe	Variation du V_T (mV) vs. V_{BB} (V)
BULK		
FD-SOI		

Tableau 1.3 Effet du back-biasing sur les technologies BULK et FD-SOI.

En comparaison, grâce à l'isolation des jonctions source et drain avec le substrat, le transistor FD-SOI dispose de deux avantages majeurs. Le premier est un meilleur coefficient de couplage capacitif entre la grille avant et la grille arrière, correspondant à l'effet substrat en technologie sur silicium massif. Cette amélioration permet de moduler efficacement la tension de seuil avec une pente en FD-SOI de 85mV/V contre 25mV/V en BULK (Tableau 1.3). Le second avantage est l'augmentation de la plage de back-biasing, où l'unique limitation de la polarisation est engendrée par la diode formée à l'interface de deux caissons de type opposé. Cette contrainte apparaît lors de l'aboutement d'un transistor n et p-MOS, comme illustré figure 1.20.b.

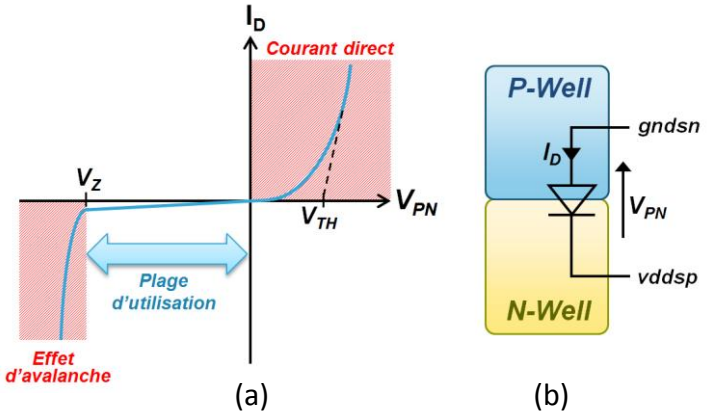


Figure 1.20 (a) Caractéristique de la diode formée entre les deux types de substrat. (b) Représentation de la jonction PN formée par les caissons de type opposé.

Le concepteur doit donc faire en sorte de toujours maintenir la diode P/N-Well en inverse [V_Z ; 0] afin d'éviter des courants de fuite importants entre les caissons. Cependant, il est toléré de moduler la polarisation des caissons jusqu'à la tension de seuil V_{TH} de la diode (0.6V), qui n'impacte que faiblement la consommation totale. A l'opposé, la tension d'avalanche (V_Z) est d'environ -7V ce qui fixe la limite de back-biasing (V_{BB}) à ±3V. Il est à noter qu'une tension V_{BB} positive permettra d'augmenter les performances (FBB) en abaissant le V_T, alors qu'un V_{BB} négatif réduira les courants de fuite (RBB) en augmentant la tension de seuil.

La figure 1.21 propose une vue simplifiée des deux configurations de caisson, correspondant aux deux niveaux de V_T en FD-SOI, ainsi que la plage de back-biasing disponible pour chacune des structures.

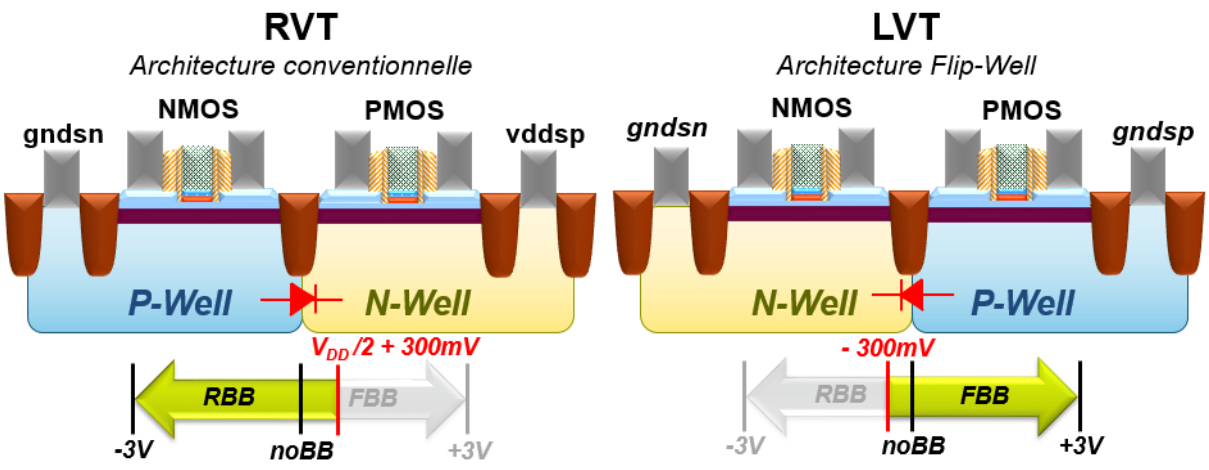


Figure 1.21 Schématique des transistors RVT (gauche) et LVT (droite) ainsi que leur plage de back-biasing.

Les transistors RVT, généralement utilisés pour obtenir des performances modérées ainsi qu'un courant de fuite réduit, ont la même polarisation initiale des caissons qu'en technologie BULK : le caisson du n-MOS est connecté à GND alors que celui du p-MOS est connecté à V_{DD}. Cette configuration correspond au mode « noBB » sur la figure 1.21 (gauche). Il est alors possible d'appliquer, soit du FBB jusqu'à « V_{DD}/2 + 300mV » permettant d'accroître la vitesse de commutation des transistors, soit du RBB jusqu'à -3V (limite V_Z) de manière à couper la consommation statique des transistors.

Les transistors LVT sont, quant à eux, positionnés sur des Wells de type opposé (Figure 1.21 droite). L'utilisation d'un seul type de grille en FD-SOI a ainsi conditionné le type de dopage des BP et maintenant la polarisation de ceux-ci. En effet, dans le but d'obtenir une tension de seuil pour le transistor LVT p-MOS équivalentes au n-MOS, le substrat de celui-ci est polarisé à GND et non plus à V_{DD}. Le mode « noBB » correspond donc à la mise en court-circuit de la diode. Dans cette configuration, il est possible d'appliquer un FBB jusqu'à 3V (limite VZ) permettant de booster les performances des transistors LVT. Ces transistors sont utilisés dans les chemins critiques où la vitesse est requise. Le tableau 1.4 synthétise les équations des tensions à appliquer sur la face arrière des transistors BULK et FD-SOI.

Technologie	MOS	RVT	LVT
BULK	N_{BIAS}	$gnds_n = GND + V_{BB}$	
	P_{BIAS}	$vdds_p = V_{DD} - V_{BB}$	
FD-SOI	N_{BIAS}	$gnds_n = GND + V_{BB}$	
	P_{BIAS}	$vdds_p = V_{DD} - V_{BB}$	$gnds_p = GND - V_{BB}$

Tableau 1.4 Equations de polarisation des caissons pour les transistors BULK et FD-SOI.

1.3.3.2 Modulation étendue de la longueur du canal

Grâce au meilleur contrôle électrostatique apporté par la technologie FD-SOI, les courants de fuite des transistors à canaux courts ont été fortement réduits. De ce fait, il a été décidé de diminuer la longueur de grille minimale des transistors FD-SOI à 24nm de manière à obtenir le même courant de fuite que les transistors BULK. Ainsi, la consommation statique des transistors FD-SOI est identique au BULK alors que ces derniers disposent d'une longueur de grille minimale de 28nm (Figure 1.22).

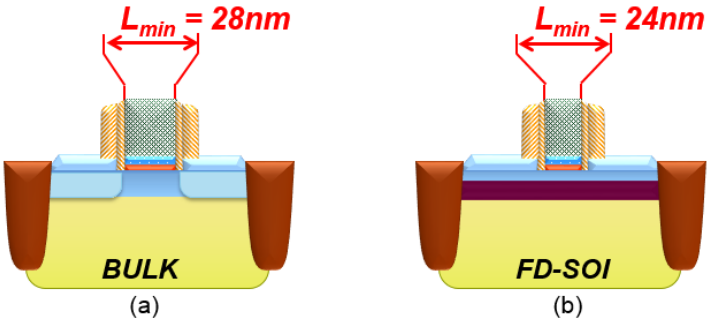


Figure 1.22 Longueurs de grille minimales en BULK (a) et FD-SOI (b) pour un courant statique égal.

La réduction du L_{min} a pour intérêt d'augmenter le courant actif I_{DS} des transistors. Ce courant, défini par l'équation (10), circule à travers le canal de forte inversion. Les paramètres sont μ_n la mobilité, C_{OX} la capacité de l'oxyde de grille, W et L respectivement la largeur et longueur du MOSFET.

$$I_{DS} = \frac{W}{L} \times \mu_n C_{OX} \times (V_{GS} - V_T - \frac{V_{DS}}{2}) \times V_{DS} \quad \textbf{(10)}$$

Cette diminution a également une conséquence intéressante sur la modulation de la longueur de grille, aussi appelé poly biasing (PB). Le poly biasing consiste à augmenter la longueur de grille afin de réduire les courants de fuite provoqués par les effets de canaux courts. De manière générale, les transistors placés sur les chemins non-critiques d'un circuit vont voir leur longueur de grille s'élargir de quelques nanomètres permettant la diminution de la consommation statique du circuit sans impacter ses performances. Ainsi, plus la gamme de modulation est importante, plus les cellules pourront être adaptées aux performances locales du circuit.

Il faut savoir que les cellules standard utilisées dans la conception de circuits numériques sont dessinées avec un intervalle entre deux grilles (poly pitch) de 136nm. Ainsi,

l'élargissement des longueurs de grille (L) réduit l'espacement initial entre deux grilles (Figure 1.23). Cependant, les règles de dessin limitent cette modulation. En effet, celles-ci imposent un espacement minimal entre deux grilles de 96nm. Cela permet donc au concepteur d'élargir la longueur de grille des transistors jusqu'à obtenir un L_{max} de 40nm. Puisque les transistors FD-SOI disposent d'un L_{min} de 24nm, il est donc possible d'élargir leur longueur de grille jusqu'à 16nm (PB16). En comparaison, les transistors sur silicium massif ne peuvent l'augmenter que de 10nm (PB10) car leur L_{min} est plus grand.

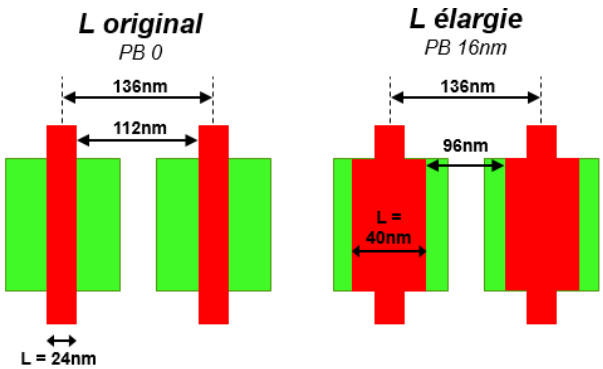


Figure 1.23 Vue layout de l'élargissement de 16nm de la longueur de grille des transistors FD-SOI.

Par conséquent, les cellules standard en technologie FD-SOI disposent à la fois de performances accrues grâce à l'augmentation de son courant actif ainsi qu'une gamme de PB élargie. Par rapport à la technologie BULK, le FD-SOI offre ainsi au concepteur une plus grande flexibilité dans l'optimisation de circuits.

1.3.3.3 Comportement à très basse tension

Les nombreuses améliorations apportées par la technologie UTBB FD-SOI ont évidemment une influence remarquable à très basse tension. Ses bonnes performances font de cette technologie une solution adéquate à la conception de circuits basse consommation. En effet, il faut savoir que cette gamme de tension réduite est de plus en plus exploitée par les applications contraintes à fonctionner avec une consommation d'énergie faible. Les systèmes concernés sont les capteurs, les moniteurs médicaux ou encore les prochaines générations de consoles de jeux portables qui disposeront d'un budget de puissance réduit. Le meilleur moyen de diminuer cette consommation d'énergie est de réduire la tension d'alimentation V_{DD} qui est directement indexée aussi bien sur la consommation dynamique que statique d'un circuit.

La figure 1.24 illustre la réduction d'énergie par opération en fonction de la tension d'alimentation. Elle démontre notamment l'intérêt de se positionner dans la zone dite « sous le seuil », où la tension d'alimentation du circuit est inférieure au V_T des transistors. Ainsi, il est possible d'atteindre un point de consommation énergétique minimale (MEP pour Minimum Energy Point).

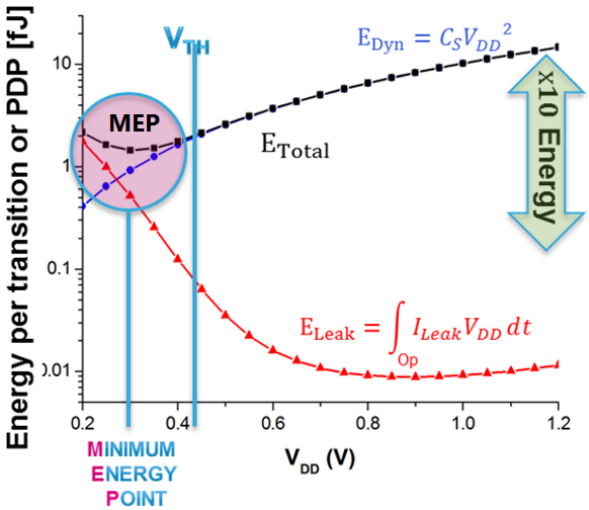


Figure 1.24 Evolution de l'énergie consommée en fonction de la tension d'alimentation V_{DD}.

Cependant, ce MEP est très difficile à atteindre car la forte variabilité des transistors à basse tension provoque généralement le non-fonctionnement de certaines cellules sensibles. Ainsi, il est difficile pour les circuits numériques en technologie BULK de réduire la tension en deçà de 0.6V. Néanmoins, les bénéfices de la technologie FD-SOI, exposés dans les sections précédentes, ont un impact positif à basse tension. En effet, grâce à l'amélioration du contrôle électrostatique, les transistors FD-SOI disposent d'un courant I_{ON} bien supérieur à son concurrent BULK. Cela lui permet d'avoir une tension d'alimentation réduite pour une même vitesse de fonctionnement. Ainsi, sans modifier la fréquence du circuit, cette technologie offre une diminution de la puissance totale consommée.

Une seconde amélioration majeure permet d'obtenir un bon rendement à très basse tension. En effet, les transistors FD-SOI disposent d'une variabilité réduite grâce à son film de silicium non dopé. Cet aspect s'avère primordial car la variabilité impacte de manière accrue les performances des transistors évoluant à faibles tensions. En conclusion, le V_{min} des circuits UTBB FD-SOI a donc été fortement réduit permettant de se rapprocher considérablement du MEP.

1.4 Comparaison technologique

1.4.1 Coûts de conception et de fabrication

Pour réaliser un circuit intégré au niveau industriel, il est nécessaire de disposer d'une plateforme de conception (DP pour Design Platform). Pour l'élaboration de son nœud technologique 28nm, STMicroelectronics a développé une DP comprenant un ensemble complet de bibliothèques ainsi qu'un flot de conception dédié. Pour cela, STMicroelectronics a bénéficié d'un effort de conception modéré en faisant le choix d'une technologie à film mince planaire. En effet, la topologie des circuits CMOS existants en BULK est compatible en FD-SOI comme il a été expliqué dans les parties précédentes. La proximité de ces deux technologies rend donc possible la réutilisation du flot de conception classique. De même, les outils de CAO utilisés pour la conception de circuits sont identiques à ceux généralement exploités dans l'industrie (Figure 1.25).

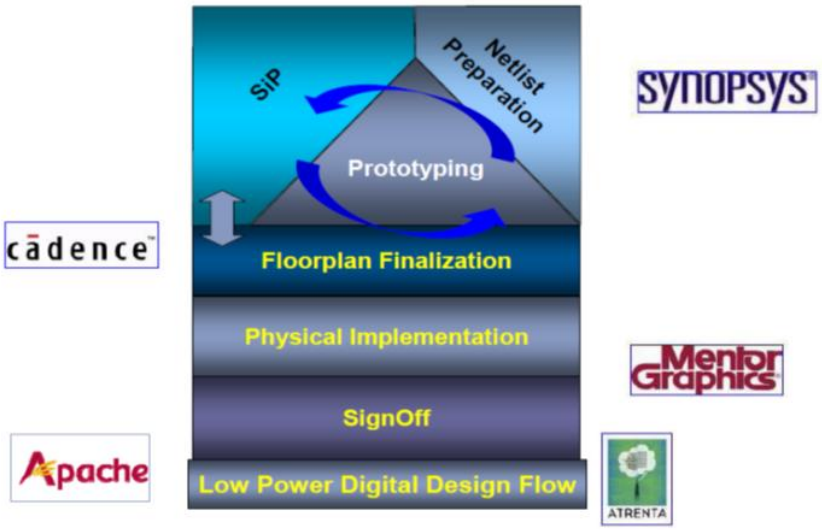


Figure 1.25 Flot de conception classique permettant la réalisation de circuits intégrés.

Sur le contenu de la plateforme de conception, il est équivalent à celui mis au point pour les technologies précédentes. Il contient un premier ensemble d'IP tel que les cellules standard des bibliothèques logiques, des librairies d'interrupteurs de puissance ainsi que des compilateurs de mémoire qui ont l'avantage d'être directement portable du BULK, sans aucune modification. Ceci est rendu possible grâce au maintien du ratio N/P-MOS entre les deux technologies, facilement réalisable par ajustement du procédé.

En ce qui concerne la deuxième série d'IP, telles que les Entrées/Sorties (E/S), les dispositifs ESD, les IP analogiques ou encore les fusibles, une simple retouche ou une nouvelle

conception est nécessaire afin de prendre en compte les nouvelles caractéristiques électriques des dispositifs FDSOI (Figure 1.26).

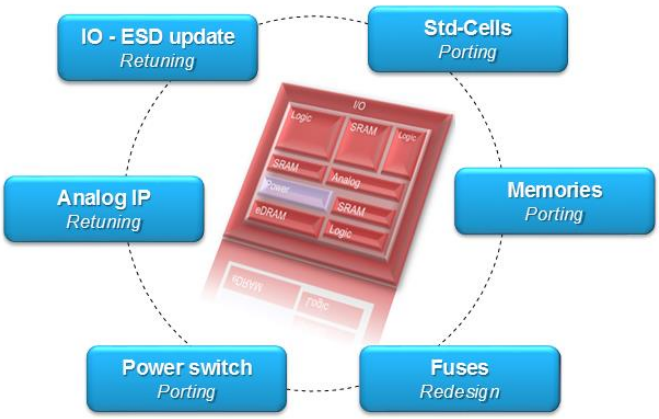


Figure 1.26 Synthèse des différents dispositifs nécessaires à la conception de circuits intégrés.

Le fait de pouvoir porter directement du BULK au FD-SOI certaines libraires permet de gagner un temps de développement considérable. Pour ces bibliothèques, seule la caractérisation avec un modèle SPICE dédié à la technologie FD-SOI est nécessaire.

Le procédé de fabrication des transistors FD-SOI connait quelques modifications en comparaison avec le BULK. Par exemple, l'utilisation d'un seul type de grille métallique a pour avantage de réduire la complexité du procédé de fabrication. De plus, il permet également de réduire son coût grâce à la suppression d'un masque critique. La figure 1.27.a présente une vue en coupe TEM d'un transistor n-MOS fabriqué en technologie planaire FDSOI BOX épais. Son procédé de fabrication est significativement simplifié par rapport à la technologie sur silicium massif grâce notamment à la suppression de plusieurs étapes d'implantation dans le substrat, inutile lorsque les transistors sont fabriqués sur SOI (Figure 1.27.b).

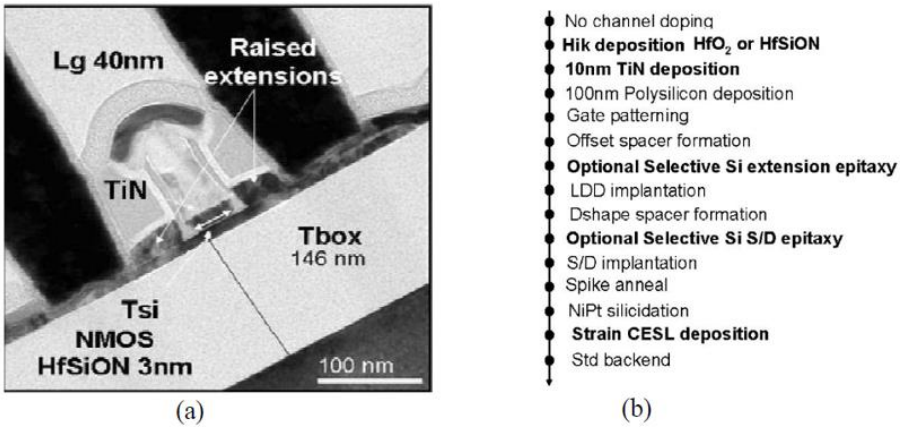


Figure 1.27 (a) Vue en coupe TEM d'un transistor n-MOS fabriqué en technologie planaire FD-SOI à BOX épais dans le nœud technologique 45nm [Fen'07]. (b) Flot du procédé de fabrication de transistors MOS en technologie planaire FD-SOI à BOX épais dans le nœud technologique 45nm [Fen'07].

Pour le nœud 28nm, la technologie UTBB FD-SOI requiert l'utilisation de seulement 38 masques, pour 8 niveaux de métaux, alors que la technologie BULK-LP en nécessite 45. Cette diminution de 7 masques permet de réaliser une économie financière sur la fabrication de 11% par rapport au BULK. Cependant, le prix du wafer SOI étant plus élevé, le coût de revient global est équivalent entre les deux technologies, comme le montre la figure 1.28. La technologie FD-SOI apporte donc de nombreux avantages en termes de performances sans surcoût de fabrication.

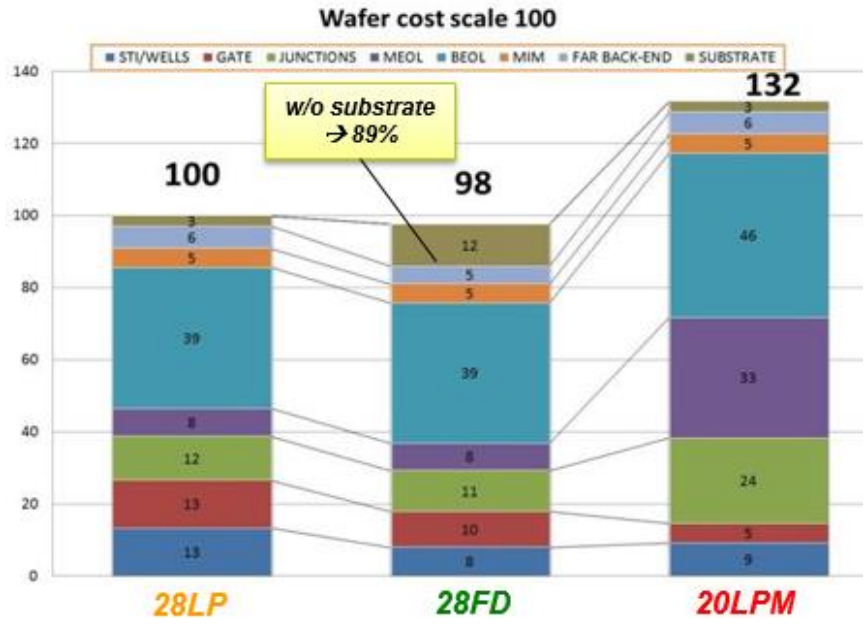


Figure 1.28 Evaluation des coûts de fabrication relatif aux technologies 28LP, 28FD et 20LPM.

La fabrication de circuits en technologie FD-SOI permet de réduire de 15% le nombre d'étapes nécessaire en comparaison avec le BULK (Figure 1.29). Cela a pour conséquence d'accélérer les phases d'ajustement de la technologie et de réduire le temps de cycle entre les prototypes ou les produits. De plus, 90% des étapes de fabrication des circuits FD-SOI sont identiques à celles du BULK, ce qui limite les risques et les surcoûts.

Finalement, aussi bien pour la conception que pour la fabrication, la technologie FD-SOI offre une solution avantageuse pour une transition en douceur du BULK vers les technologies à film mince. La figure 1.29 synthétise à la fois les bénéfices engendrés par la technologie FD-SOI et la bonne compatibilité avec la technologie BULK du processus de fabrication.

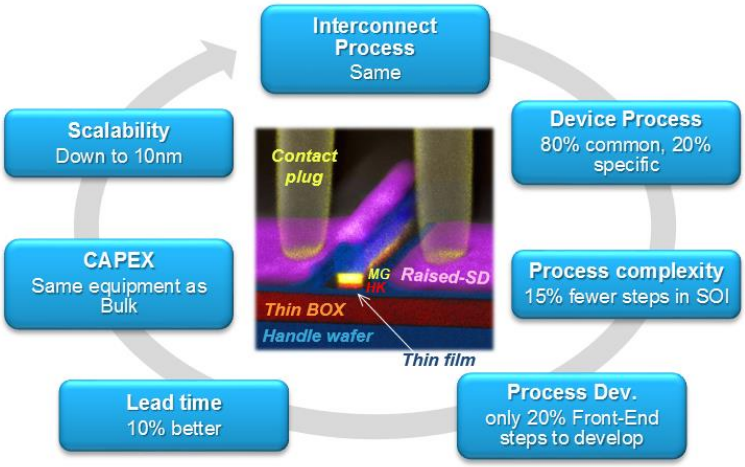


Figure 1.29 Synthèse des différences de fabrication en technologie FD-SOI en comparaison au BULK.

1.4.2 Perspectives pour les nœuds inférieurs à 28nm

Afin de poursuivre la miniaturisation des transistors en suivant la loi de Moore, il est essentiel pour les industriels de développer une technologie capable d'augmenter ses performances sur plusieurs générations technologiques tout en maîtrisant sa fabrication et son coût. Il a été démontré dans ce chapitre que la technologie BULK classique souffrait de problèmes d'effets canaux court, un temps compensés par des artefacts procédé, mais qui ne lui permettent plus d'accroître ses performances pour les nœuds inférieurs à 28nm. C'est pourquoi, l'évolution vers les technologies à film mince est indispensable afin de poursuivre l'amélioration des performances des transistors. Deux candidats se démarquent à la succession de la technologie sur silicium massif : les transistors FD-SOI et FinFET. Ces 2 options sont confrontées sur la figure 1.30, en termes de performances et de coûts, aux technologies sur silicium massif.

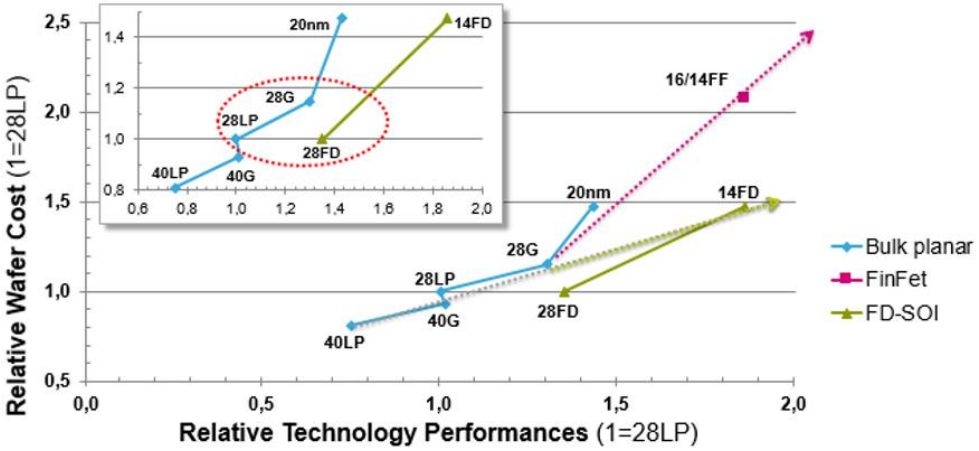


Figure 1.30 Evolution du coût de fabrication en fonction de la performance en technologie planaire BULK (bleu) et FD-SOI (vert) et de la technologie 3D FinFET (violet).

Concernant le nœud 28nm, la technologie BULK 28LP (Low Power) possède un coût de fabrication équivalent au FD-SOI (28FD) mais avec des performances bien inférieures. En revanche, la technologie 28G, orientée pour les applications mobiles, dispose quant à elle de performances proches du 28FD. Cependant, celle-ci souffre d'un coût de fabrication nettement supérieur. La solution FD-SOI bénéficie donc d'un compromis coût-performance attractif qui lui permet d'être compétitif sur le nœud 28nm.

Pour les nœuds suivants, la figure 1.30 montre l'intérêt de la technologie FinFET en 14nm. Cette solution apparaît comme une alternative sérieuse au FD-SOI grâce à des performances élevées. En effet, les transistors FinFET disposent d'un contrôle électrostatique efficace grâce à une grille verticale qui encadre le canal sur 3 côtés. Cependant, cette architecture est très complexe à exploiter car elle souffre d'un coût et d'une complexité de fabrication élevés avec peu de possibilité de ré-exploiter les étapes procédés issues de la technologie BULK planaire. De plus, elle requiert un effort de conception important, comprenant une augmentation des contraintes de dessin qui la rend beaucoup moins accessible que la technologie UTBB FD-SOI. Enfin, le positionnement d'un tel transistor sur du silicium massif rend cette technologie moins flexible, sans possibilité de polarisation du substrat.

Enfin, le tableau 1.5 synthétise les performances des technologies pour différents critères essentiels à la réalisation de circuits intégrés. La technologie FinFET propose des résultats intéressants. Cependant, cette technologie souffre d'un coût de fabrication très élevé. La technologie FD-SOI offre pour sa part des performances attractives sur l'ensemble des différents points abordés. Son seul point faible se situe au niveau de la dissipation de la chaleur. En effet, il faut savoir que l'isolant formé par l'oxyde enterré limite la dissipation de la chaleur des transistors dans le substrat. Malgré cela, cette couche isolante apporte de nombreux avantages. En effet, c'est grâce au BOX que les transistors disposent d'une immunité aux radiations élevée. Il contribue également aux bonnes caractéristiques électriques des transistors. La technologie UTBB FD-SOI se dégage donc, au vu du tableau ci-dessous, comme une solution incontournable pour les nœuds 28 et 14nm.

Good · Limited · Fair · Poor

	Bulk		FD-SOI	FD-SOI	FinFET
	28 LP	28 G mobile	28FD	14FD	14FF
Power Efficiency in high performance mode	Limited	Good	Good	Good	Limited
Power Efficiency in low power mode	Fair	Limited	Good	Good	Fair
Extended DVFS	Limited	Limited	Good	Good	Good
ULV capability	Limited	Limited	Good	Good	Good
Cost	Good	Fair	Good	Good	Poor
Process Simplicity	Good	Fair	Good	Good	Limited
SER immunity	Limited	Limited	Good	Good	Limited
Heat dissipation	Fair	Fair	Fair	Fair	Limited
Analog Performance	Fair	Fair	Good	Good	Fair

Tableau 1.5 Evaluation des technologies BULK, FD-SOI et FinFET sur différents critères spécifiques à la conception de circuits intégrés.

STMicroelectronics a ainsi fait le choix en 2011 de basculer sur la technologie FD-SOI afin de proposer une solution compétitive à ses clients sur au moins deux générations technologiques.

1.5 Conclusion

La technologie planaire UTBB FD-SOI se dégage comme une candidate incontournable à la succession de la technologie planaire sur silicium massif et une alternative intéressante à la technologie FinFET. En effet, grâce à son film mince de silicium non dopé, combiné à une « pseudo » grille arrière lui permettant de moduler efficacement la tension de seuil des transistors, cette technologie est armée de solides atouts pour diminuer de façon efficace les courants de fuite et la variabilité de la tension de seuil. De plus, la relative simplicité de son procédé de fabrication lui permet de ne pas avoir de surcoût grâce à l'économie de certains masques critiques utilisés pour la technologie planaire sur silicium massif.

Dans le chapitre suivant, des simulations sont réalisées afin d'évaluer les gains apportés par les transistors FD-SOI par rapport aux transistors sur silicium massif pour le nœud 28nm. Ensuite, l'étude de différentes techniques permettant de réduire les puissances dynamique et statique au sein d'un circuit est proposée.

1.6 Références bibliographiques

[All'99] Aipperspach, A.G.; Allen, D.H.; Cox, D.T.; Nghia V.Phan; Storino, S.N., "*A 0.2-µm, 1.8-V, SOI, 550-MHZ, 64-b PowerPC microprocessor with copper interconnects,*" Solid-State Circuits, IEEE Journal of , vol.34, no.11, pp.1430,1435, Nov 1999

[Ase'07] Asenov, A., "*Simulation of Statistical Variability in Nano MOSFETs,*" VLSI Technology, 2007 IEEE Symposium on , vol., no., pp.86,87, 12-14 June 2007

[Bac'84] Baccarani, G.; Wordeman, M.R.; Dennard, R.H., "*Generalized scaling theory and its application to a ¼ micrometer MOSFET design,*" Electron Devices, IEEE Transactions on , vol.31, no.4, pp.452,462, Apr 1984

[Bai'04] Bai, P. et al., "*A 65nm logic technology featuring 35nm gate lengths, enhanced channel strain, 8 Cu interconnect layers, low-k ILD and 0.57 µm2 SRAM cell,*" Electron Devices Meeting, 2004. IEDM Technical Digest. IEEE International , vol., no., pp.657,660, 13-15 Dec. 2004

[Ber'00] Bernstein, K & Rohrer, N.J. "*SOI Circuit Design Concepts*" Kluwer Academic Publishers, Dordrecht, the Netherlands, 2000

[Cai'08] Jin Cai et al., "Will SOI Have a Life for the Low-Power Market ?," IEEE International SOI Conference Proceedings, 2008, pp. 15-16

[Che'09a] K. Cheng et al., "*Fully Depleted Extremely Thin SOI Technology Fabricated by a Novel Integration Scheme Featuring Implant-Free, Zero-Silicon-Loss, and Faceted Raised Source/Drain,*" Symposium on VLSI Technology Digest of Technical Papers, 2009, pp. 212-213

[Che'09b] K. Cheng et al., "*Extremely Thin SOI (ETSOI) CMOS with Record Low Variability for Low Power System-on-Chip Applications,*" IEDM, 2009, pp. 49-52

[Col'94] Colinge, J.-P. "*Recent advances in SOI technology,*" International Electron Devices Meeting, p.817-820, 1994

[Col'97] Jean-Pierre Colinge, "*Silicon-On-Insulator Technology: Materials to VLSI,*" 3rd Edition, Springer, 1997

[Del'09] Delprat, D. et al., "*SOI substrate readiness for 22/20 nm and for fully depleted planar device architectures,*" SOI Conference, 2009 IEEE International , vol., no., pp.1,4, 5-8 Oct. 2009

[Den'74] Dennard, R.H. et al., "*Design of ion-implanted MOSFET's with very small physical dimensions,*" Solid-State Circuits, IEEE Journal of , vol.9, no.5, pp.256,268, Oct 1974

[Ern'99] T. Ernst et al., "*Buried oxide fringing capacitance: a new physical model and its implication on SOI device scaling and architecture,*" in SOI Conference, 1999. Proceedings. 1999 IEEE International, 1999, pp. 38 –39

[Fay'10] O. Faynot, et al., "*Planar Fully depleted SOI technology: A powerful architecture for the 20nm node and beyond,*" in Electron Devices Meeting (IEDM), 2010 IEEE International, 2010, pp. 3.2.1 –3.2.4

[Fay'11] O. Faynot, "*Benefits and challenges of FDSOI technology for 14nm node,*" in SOI Conference (SOI), 2011 IEEE International, 2011, pp. 1 –21

[Fen'07] C. Fenouillet-Beranger, et al., "*Fully-depleted SOI technology using high-k and single-metal gate for 32 nm node LSTP applications featuring 0.179 µm2 6T-SRAM bitcell,*" in Electron Devices Meeting, 2007. IEDM 2007. IEEE International, 2007, pp. 267–270

[Fen'09] C. Fenouillet-Beranger, et al., "*Hybrid FDSOI/bulk High-k/metal gate platform for low power (LP) multimedia technology,*" in Electron Devices Meeting (IEDM), 2009 IEEE International, 2009, pp. 1–4

[Hu'11] Chenming Hu, "*New sub-20nm transistors — Why and how,*" Design Automation Conference (DAC), 2011 48th ACM/EDAC/IEEE , vol., no., pp.460,463, 5-9 June 2011

[Kuh'07] Kuhn, K.J., "*Reducing Variation in Advanced Logic Technologies: Approaches to Process and Design for Manufacturability of Nanoscale CMOS,*" Electron Devices Meeting, 2007. IEDM 2007. IEEE International , vol., no., pp.471,474, 10-12 Dec. 2007

[Kuh'08] Kuhn, Kelin et al., "*Managing Process Variation in Intel's 45nm CMOS Technology,*" Intel Technology Journal, vol. 12, no. 2, pp.93-109, June. 2008

[Kur'96] T. Kuroda, et al., "*A 0.9-V, 150-MHz, 10-mW, 4 mm2, 2-D discrete cosine transform core processor with variable threshold-voltage (VT) scheme,*" IEEE Journal of Solid-State Circuits, vol. 31, no. 11, pp. 1770 –1779, Nov. 1996

[LeC'11] Le-Coz, J. et al., "*Comparison of 65nm LP bulk and LP PD-SOI with adaptive power gate body bias for an LDPC codec,*" Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2011 IEEE International , vol., no., pp.336,337, 20-24 Feb. 2011

[Lio'06] V. Liot, "*Etude de l'effet d'histoire et optimisation des circuits logique s en technologie SOI partiellement désertée 130 et 65nm,*" Thèse de l'Institut national polytechnique de Grenoble, 2006

[Liu'11] Q. Liu et al., "*Impact of Back Bias on Ultra-Thin Body and BOX (UTBB) Devices,* " Symposium on VLSI Technology Digest of Technical Papers, 2011, pp. 160-161

[Mis'07] Mistry, K. et al., "*A 45nm Logic Technology with High-k+Metal Gate Transistors, Strained Silicon, 9 Cu Interconnect Layers, 193nm Dry Patterning, and 100% Pb-free Packaging,*" Electron Devices Meeting, 2007. IEDM 2007. IEEE International , vol., no., pp.247,250, 10-12 Dec. 2007

[Miz'94] Mizuno, T. et al., "*Experimental study of threshold voltage fluctuation due to statistical variation of channel dopant number in MOSFET's,*" Electron Devices, IEEE Transactions on , vol.41, no.11, pp.2216,2221, Nov 1994

[Nar'01] Narendra, S. et al., "*Comparative performance, leakage power and switching power of circuits in 150 nm PD-SOI and bulk technologies including impact of SOI history effect,*" VLSI Circuits, 2001. Digest of Technical Papers. 2001 Symposium on , vol., no., pp.217,218, 14-16 June 2001

[Nat'08] Natarajan, S. et al., "*A 32nm logic technology featuring 2nd-generation high-k + metal-gate transistors, enhanced channel strain and 0.171µm2 SRAM cell size in a 291Mb array,*" Electron Devices Meeting, 2008. IEDM 2008. IEEE International , vol., no., pp.1,3, 15-17 Dec. 2008

[Noe'11] J.-P. Noel, et al., *"Multi-Vt UTBB FDSOI Device Architectures for LowPower CMOS Circuit,"* Electron Devices, IEEE Transactions on, vol. 58, no. 8, pp. 2473 –2482, Aug. 2011

[NYT'11] The New York Times, "*Inter increases Transistors Speed ny Building Upward,*" May 4th 2011

[Pel'03] Pelloie, J.-L., "*Reliability issues in SOI technologies and circuits,*" Bipolar/BiCMOS Circuits and Technology Meeting, 2003. Proceedings of the , vol., no., pp.151,155, 28-30 Sept. 2003

[Roc'05] Roche, P.; Gasiot, G., "*Impacts of front-end and middle-end process modifications on terrestrial soft error rate,*" Device and Materials Reliability, IEEE Transactions on , vol.5, no.3, pp.382,396, Sept. 2005

[Sak'06] Sakurai, T.; Matsuzawa, A. & Douseki, T. *"Fully-Depleted SOI CMOS Circuit and Technology For Ultra Low-Power Applications"* Springer, 2006

[Sch'03] Schwank, J.R. et al., "*Radiation effects in SOI technologies,*" Nuclear Science, IEEE Transactions on , vol.50, no.3, pp.522,538, June 2003

[Soi'13] http://www.soitec.com/en/technologies/smart-cut/

[Yua'08] Xiaobin Yuan et al., "*Gate-Induced-Drain-Leakage Current in 45-nm CMOS Technology,*" Device and Materials Reliability, IEEE Transactions on , vol.8, no.3, pp.501,508, Sept. 2008

Chapitre 2

Analyse des performances de la technologie UTBB FD-SOI 28nm

2.1 Introduction

Dans le premier chapitre, nous avons passé en revue toutes les améliorations apportées par la technologie FD-SOI, permettant de poursuivre l'augmentation des performances par la réduction des dimensions du transistor MOS. Il est maintenant nécessaire d'évaluer le gain technologique au niveau circuit afin d'exploiter de façon optimale le FD-SOI dans les futures conceptions.

Ainsi, dans ce chapitre, une méthode d'évaluation des performances est présentée permettant de comparer plusieurs technologies. Le but de ce travail est de mesurer les performances en termes de fréquence et de consommations dynamique et statique de la technologie UTBB FD-SOI, par rapport à la technologie BULK-LP sur silicium massif pour le nœud 28nm. Les gains intrinsèques obtenus grâce aux transistors FD-SOI seront ainsi proposés.

La seconde partie de ce chapitre aborde la question de la consommation énergétique des circuits. En effet, afin de préserver l'autonomie des appareils mobiles, les concepteurs doivent intégrer des solutions efficaces pour minimiser la consommation des circuits. Pour cela, les principales techniques de réduction des puissances statique et dynamique, communes à toutes les technologies ou propres au FD-SOI, seront présentées.

Enfin, une méthode d'optimisation de la puissance totale, spécifique à la technologie FD-SOI, sera abordée dans la dernière partie de ce chapitre permettant d'atteindre une efficacité énergétique optimale.

2.2 Méthode d'évaluation des technologies

2.2.1 Modèle SPICE

Pour simuler une simple porte logique ou caractériser une librairie complète, il est nécessaire de disposer d'un modèle SPICE dédié à la technologie UTBB FD-SOI. D'un point de vue de la liste d'interconnexions, communément appelée netlist, aucune modification n'est à prévoir car les transistors FD-SOI sont modélisés de la même manière que les transistors BULK qui intègrent 4 terminaux. Néanmoins, les équations décrivant le comportement électrique des transistors FD-SOI sont différentes de celles utilisées pour les transistors BULK. Par conséquent, un modèle SPICE spécifique a été développé par le laboratoire du CEA-Leti, nommé « UTSOI Spice Model » [Let'14]. La structure de ce dispositif est illustrée dans la figure 2.1. Ce modèle a la particularité d'intégrer la création d'une potentielle couche d'inversion à l'interface arrière du film de silicium (Si-SiO_2, canal-BOX). Cette caractéristique rend le model capable de décrire physiquement le comportement des transistors FD-SOI pour de larges gammes de polarisations de la face arrière des transistors.

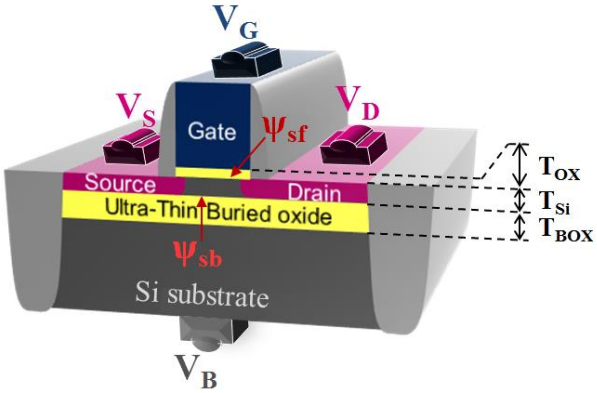


Figure 2.1 Représentation du model SPICE développé par le CEA-Leti.

Dans le cadre du développement de son nœud technologique 28nm, STMicroelectronics a sélectionné ce modèle qui dispose d'une architecture similaire à celle des modèles utilisés pour les technologies conventionnelles. Cela permet une intégration aisée du modèle dans la chaîne d'outils de conception de circuits et, par conséquent, une migration rapide des blocs existants vers la technologie FDSOI. Il est désormais intégré dans tous les grands simulateurs disponibles dans le commerce, tels que ELDO de Mentor, HSPICE de Synopsys et XA ou SPECTRE de Cadence.

Enfin, l'extraction des parasites créés par les interconnections a également été modifiée pour la technologie FD-SOI. En effet, grâce à la réduction des capacités et résistances de jonction par rapport aux transistors BULK, moins de courant est nécessaire pour faire commuter une porte logique. Ainsi, l'ajustement de tous ces outils permet d'évaluer de manière réaliste les performances des technologies BULK-LP et FD-SOI pour le nœud technologique 28nm.

2.2.2 Simulation d'un chemin critique extrait d'un ARM Cortex-A9

2.2.2.1 Description du chemin logique

Afin d'évaluer le comportement électrique des transistors MOS au niveau circuit, il est nécessaire d'utiliser un chemin intégrant diverses portes logiques, de manière à générer des résultats comparables à ceux d'un circuit complet. Pour ce faire, un chemin critique, extrait d'un processeur ARM Cortex-A9, est utilisé intégrant les parasites RC liés au routage. Celui-ci est composé d'un ensemble de cellules standard de différents types (NOT, NAND, NOR, etc…) constituant un chemin de données avec une profondeur logique de 24 cellules, cadencé à l'aide d'une bascule en entrée et en sortie (Figure 2.2). De plus, les portes logiques environnantes ont été conservées de manière à maintenir une charge en sortie réaliste.

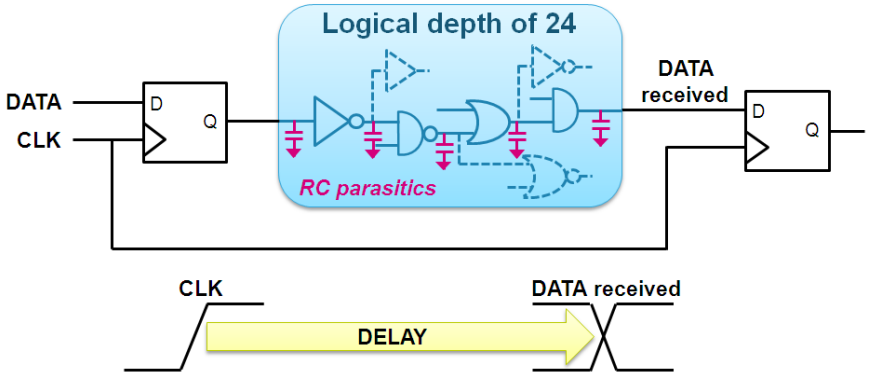


Figure 2.2 Schéma global du chemin critique, extrait d'un ARM Cortex-A9, utilisé pour l'évaluation de la technologie UTBB FD-SOI 28nm.

Grâce à cette architecture, il est possible d'extraire le délai et la consommation dynamique des portes logiques pendant une activité, ainsi que le courant statique lorsque le circuit est inactif.

2.2.2.2 Stimuli et extraction des résultats

Intéressons-nous maintenant à la génération des stimuli d'entrée ainsi qu'à la méthode d'extraction des données. Dans le but d'être le plus réaliste possible, la bascule pilotant le chemin logique n'est pas attaquée par le signal d'horloge issu du simulateur mais par quatre inverseurs en série. Ce type de montage permet de maintenir en permanence un signal « CLK » en entrée de bascule, adapté au PVT simulé. Ceci rend donc la simulation robuste face aux importantes variations de tensions. La figure 2.3 présente l'évolution du signal d'horloge jusqu'à l'entrée de la bascule.

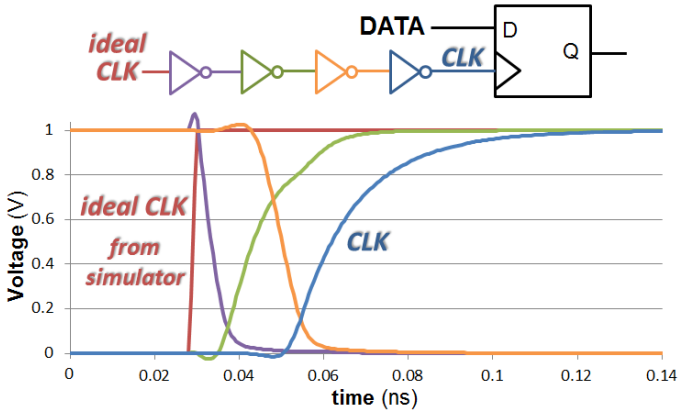


Figure 2.3 Évolution du signal d'horloge idéal (rouge) issu du simulateur jusqu'au signal « CLK » en entrée de bascule, adapté au PVT simulé (bleu).

Pour extraire les données du circuit, la méthode consiste à envoyer une donnée de la bascule d'entrée vers celle de sortie et de mesurer son temps de propagation ainsi que l'énergie consommée. La figure 2.4 illustre le comportement du chemin de données par l'envoi d'un '0' logique au premier coup d'horloge, puis d'un '1' logique au second coup d'horloge. L'envoi de deux différentes données permet de prendre en compte les deux états logiques des portes constituant ce chemin et ainsi obtenir un résultat moyenné.

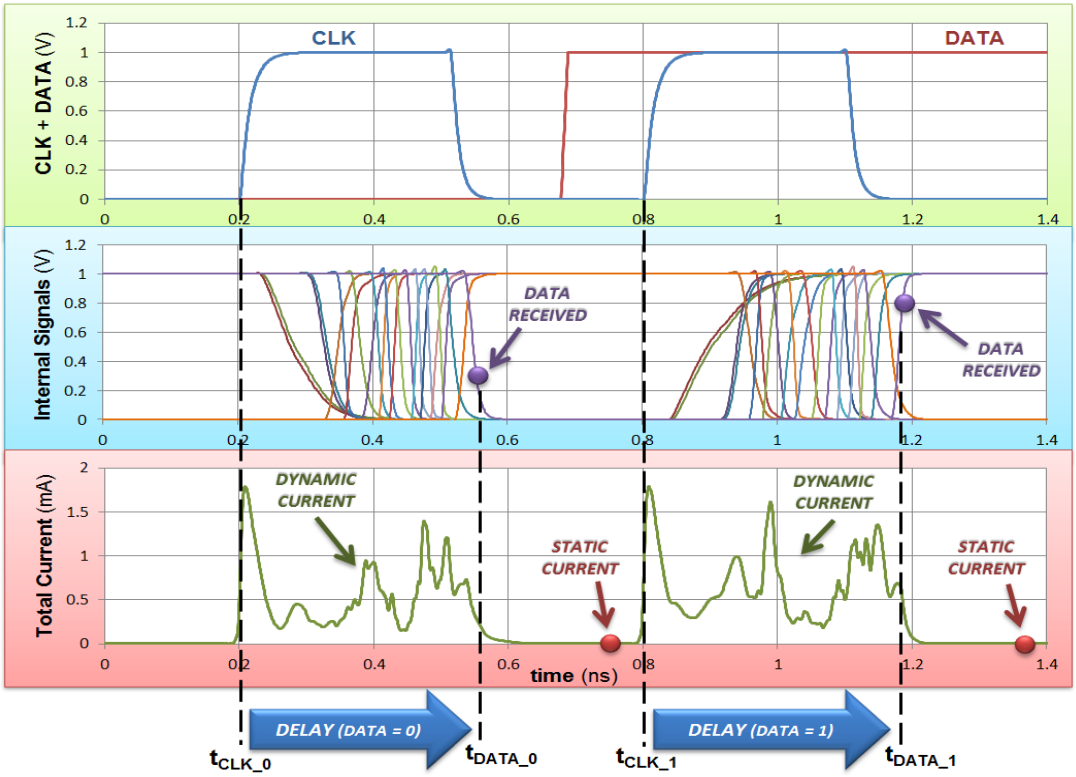


Figure 2.4 Comportement des stimuli d'entrée (haut), des signaux internes liés à la commutation des portes logiques (milieu) et de la consommation de courant aux bornes de l'alimentation V_{DD} (bas).

Lorsque la bascule d'entrée détecte le front montant du signal d'horloge, une donnée est envoyée, ce qui provoque la commutation de toutes les portes constituant le chemin logique (Figure 2.4, encadré bleu). De ce processus, il est possible de mesurer le délai en réalisant une simple soustraction entre le temps de réception de la donnée et le front du signal d'horloge (Equation 11).

$$Delay = t_{DATA} - t_{CLK} \tag{11}$$

La commutation des portes logiques provoque une forte hausse du courant délivré par le générateur qui alimente l'ensemble du circuit. L'évolution de ce courant en fonction de l'activité du circuit est exposée dans l'encadré rouge, au bas de la figure 2.4. Ainsi, il est possible d'extraire la puissance totale moyenne consommée, en intégrant ce courant comme le montre l'équation ci-dessous :

$$P_{TOTAL} = \frac{V_{DD}}{Delay} \int_{t_{CLK}}^{t_{DATA}} i_{vdd} dt \tag{12}$$

Quant au courant statique, aussi appelé courant de fuite, il est mesuré lorsqu'aucune activité n'est détectée. Pour cela, la mesure est réalisée à seulement quelques picosecondes

avant une nouvelle commutation de l'horloge afin de garantir une mesure correcte, comme présenté dans la figure 2.4.

$$P_{STATIC} = i_{vdd}(idle) \times V_{DD} \quad \textbf{(13)}$$

Les puissances totale et statique étant mesurées, il est dorénavant possible de calculer la puissance dynamique qui correspond à la différence de ces deux puissances :

$$P_{DYNAMIC} = P_{TOTAL} - P_{STATIC} \quad \textbf{(14)}$$

Maintenant que la méthode d'extraction des données est posée, il est nécessaire d'automatiser la simulation afin d'obtenir une base de données conséquente, exploitable pour de futures analyses.

2.2.2.3 Analyse paramétrique automatisée par script

Ce type de structure, comprenant seulement quelques dizaines de portes logiques, a l'avantage d'être facilement simulable. En effet, pour un point de simulation donné, plus communément appelé PVT (Process Voltage Temperature), le temps de simulation est d'environ 2 à 3 minutes. De ce fait, en utilisant un script constitué de plusieurs boucles imbriquées, il est possible de simuler une multitude de combinaisons différentes et ainsi créer une base de données très complète. Le tableau 2.1 présente une synthèse des différentes variables qui ont été modulées afin de couvrir l'intégralité des possibilités pour chacune des technologies, ainsi qu'une estimation du temps de simulation.

Paramètres d'entrée	Plage de valeurs	Nombre de cas
Model SPICE	*{28LP ; 28FD}*	*2*
V_T des transistors	*{RVT ; LVT}*	*2*
Corner Process	*{TT ; FF ; SS}*	*3*
Température (°C)	*{-40 ; 0 ; 30 ; 55 ; 85 ; 125}*	*6*
Poly-biasing (nm)	*{0 ; 4 ; 6 ; 10 ; 16}*	*4 (28LP)* *5 (28FD)*
Tension d'alimentation V_{DD} (V)	*[0.5 ; 1.3] par pas de 100mV*	*9*
Tension face arrière V_{BB} (V)	*{-0.3 ; 0 ; 0.3} → 28LP* *[-3 ; V_{DD}/2] ou [0 ; 3] → 28FD* *Par pas de 0.5V*	*3 (28LP)* *6 (28FD)*
Nombre total de combinaisons différentes		**13608**
Estimation du temps de simulation (2min/simu)		**19j**

Tableau 2.1 Synthèse des variables de simulation et leur plage de fonctionnement associée dans le but de créer une base de données complète.

Dans le but d'automatiser cette simulation, un découpage par blocs s'avère avantageux. Ainsi, un fichier principal contenant les variables d'entrée à moduler (tensions, température, technologie, etc.) fait ensuite appel à des sous-blocs fixes (Figure 2.5). De cette manière, à l'aide d'un script, il est aisé de balayer l'intégralité des paramètres d'entrée du circuit présentés dans le tableau 2.1. Enfin, les résultats de simulation sont inscrits dans un fichier de sortie unique, contenant toutes les données collectées.

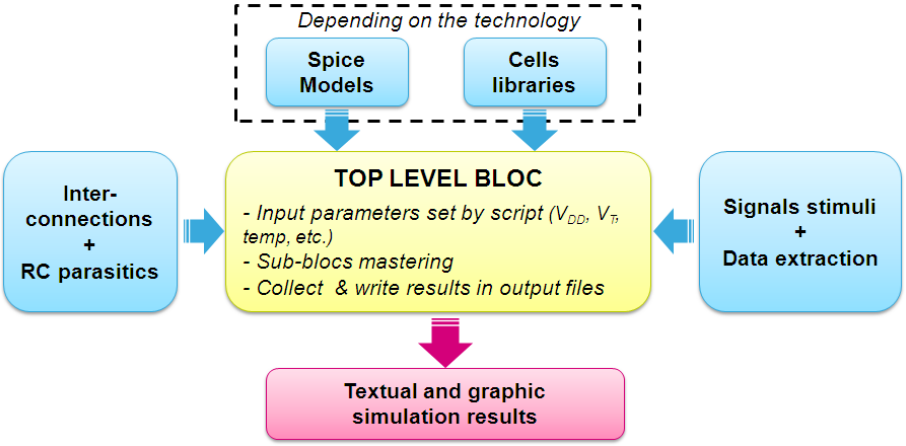


Figure 2.5 Représentation simplifiée de la méthode de simulation avec ELDO du chemin critique.

Ce travail a permis de générer une base de donnés conséquente, contenant l'ensemble des résultats en termes de consommations dynamique et statique ainsi que les temps de propagation des données. Grâce à ce travail, il est très facile de manipuler ces résultats afin d'évaluer les gains liés à la technologie ou encore d'étudier les ajustements possibles dans une optique d'optimisation énergétique.

Il faut savoir que ce type d'exercice est impossible à envisager sur un circuit entier. En effet, cela nécessiterait la caractérisation de l'intégralité des librairies utilisées pour chacun des PVTs. Ce travail demanderait un nombre d'heures de simulation colossal ainsi qu'une importante puissance machine.

2.2.2.4 Limites de la méthode utilisée

La méthode décrite dans la partie précédente est efficace pour l'évaluation des technologies en constituant une base de données fournie. Il est donc possible de comparer pour une même structure les performances des transistors MOS au niveau circuit.

Cependant, le comportement des technologies étudiées peut varier en fonction du type de portes implémentées, des dimensions de la grille ou encore du taux d'activité appliqué. De ce fait, l'aspect unique de la conception du chemin critique exploité ne permet pas d'obtenir un résultat aussi précis qu'une analyse rigoureuse d'un circuit entier. Néanmoins, ce chemin logique intégrant un ensemble représentatif de portes logiques, permet d'obtenir une bonne estimation des gains en consommation et en fréquence, liés à la technologie.

Dans la partie « 2.4.4 Réduction de la puissance totale » de ce chapitre, une méthode permettant de dépasser cette limitation sera proposée. Ainsi, en extrapolant les résultats de simulations obtenus, il sera possible d'estimer les performances d'un circuit entier, en fonction des spécifications du circuit ciblé.

2.3 Analyse du gain technologique : FD-SOI vs. BULK

2.3.1 Gain intrinsèque de la technologie

Les transistors de type FD-SOI bénéficient de caractéristiques électriques tout à fait remarquables en comparaison avec la technologie BULK. En effet, grâce à deux différences majeures dans la fabrication des transistors, cette technologie a su s'imposer comme l'une des plus compétitives du marché. Ainsi, il est possible de réaliser des circuits fonctionnant à des fréquences toujours plus élevées, ou encore consommant une très faible puissance.

La première différence essentielle réside dans la création d'un canal complètement déserté. Cette caractéristique est rendue possible grâce à la finesse du film de silicium mesurant seulement 7-8nm. De ce fait, le contrôle électrostatique du canal par la grille est amélioré et les effets de canaux courts minimisés. Ainsi, la pente sous le seuil et les courants de fuite sont réduits. De plus, le canal est non dopé, ce qui permet de s'affranchir de la fluctuation du nombre de dopant qui impacte fortement la technologie BULK. De ce fait, la variabilité est maîtrisée permettant la réalisation de circuits plus performants. Ceci est d'autant plus vrai à très basse tension où la faible variabilité conjuguée à l'excellent contrôle électrostatique permet de réduire considérablement le V_{min} d'un circuit. Ainsi, cette technologie offre la possibilité d'accéder à des circuits de très faible puissance tout en conservant une fréquence de fonctionnement modérée.

La seconde caractéristique majeure du FD-SOI réside dans l'ajout d'une couche d'isolant entre le canal du transistor et le substrat. Cet oxyde enterré a l'avantage de réduire la puissance dynamique nécessaire lors de la commutation des transistors. En effet, le BOX agit comme une barrière venant stopper les zones de diffusion des actives, permettant ainsi de diminuer les capacités de jonctions S/D. Ainsi, moins de courant est nécessaire pour charger la capacité de sortie vue aux bornes d'un transistor. De plus, la couche d'isolant a pour effet de supprimer totalement le courant de fuite jonctions-substrat présent en BULK. Ceci a donc pour conséquence de réduire la consommation statique d'un circuit.

Enfin, le choix de l'épaisseur du BOX a été choisi de manière à obtenir un coefficient de couplage optimal [Noe'11]. De cette façon, il est possible d'utiliser la face arrière des transistors comme seconde grille afin d'ajuster la valeur du V_T. Cette option offre à cette

technologie un moyen supplémentaire pour ajuster les performances d'un circuit. Les résultats produits par la polarisation du substrat sont proposés dans la partie suivante (Paragraphe 2.3.2).

La figure 2.6 présente la puissance statique en fonction de la fréquence extraite par simulation. Ces deux métriques fondamentales permettent d'évaluer rapidement les performances d'une technologie. Ainsi, pour l'ensemble des longueurs de grille exploitées dans les cellules standard (PB), la technologie BULK à 1V est confrontée au FD-SOI à 0.92V afin de comparer ces deux technologies à même niveau de puissance. L'amélioration des caractéristiques électriques des transistors FD-SOI est ici perceptible.

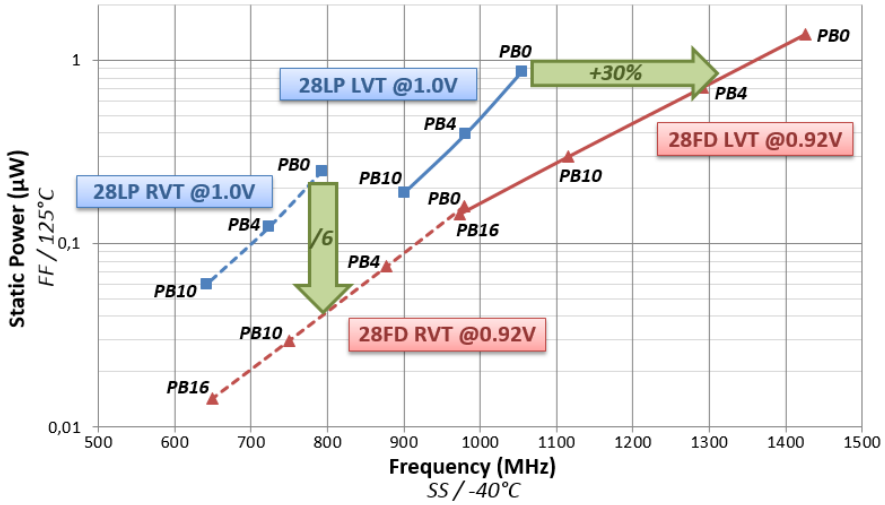


Figure 2.6 Evaluation de la puissance statique en fonction de la fréquence pour différentes valeurs de longueur de grille. Comparaison de la technologie BULK à 1V (bleu), par rapport au FD-SOI à 0.92V (rouge).

Pour l'ensemble des valeurs de PB, la technologie FD-SOI dispose, à même fréquence, d'une puissance statique bien inférieure au BULK, que ce soit en RVT ou en LVT. A la fréquence de 800MHz, l'utilisation de transistors FD-SOI permet de diviser par 6 la puissance statique. Ce résultat montre l'opportunité d'accroître efficacement l'autonomie d'une batterie sans impacter les performances de l'appareil. De plus, la technologie FD-SOI offre également la possibilité d'augmenter la fréquence de fonctionnement à même puissance statique. Ainsi, la fréquence atteinte par les transistors BULK LVT avec une longueur de grille minimale (PB0) peut être augmentée de 30% pour une consommation statique fixe de 0.85µW.

Il est intéressant d'observer le gain en fréquence grâce aux dispositifs FD-SOI, malgré une tension d'alimentation V_{DD} inférieure au BULK. Cette diminution génère une réduction de la consommation dynamique qui est proportionnelle au carré de la tension d'alimentation

(Equation 15). Ainsi, pour une fréquence de fonctionnement donnée, la puissance consommée est inférieure en FD-SOI.

$$P_{DYNAMIC} \infty C_L \times V_{DD}^2 \times F_{CLK} \quad \textbf{(15)}$$

Ce propos est illustré figure 2.7. L'énergie consommée par opération est tracée en fonction du temps de propagation du signal à travers un chemin logique. Plus la courbe se situe proche de l'angle inférieur-gauche, meilleure est l'efficacité énergétique. La technologie FD-SOI permet donc de se rapprocher de cet idéal et d'optimiser l'énergie nécessaire pour une opération par rapport au BULK. Pour une tension fixe de 1V, le FD-SOI enregistre une diminution de 30% du temps de propagation ainsi qu'une réduction de 6% de l'énergie nécessaire. A faible tension, cette tendance est amplifiée permettant à 0.6V de multiplier par 2 la fréquence de fonctionnement tout en économisant 12% d'énergie.

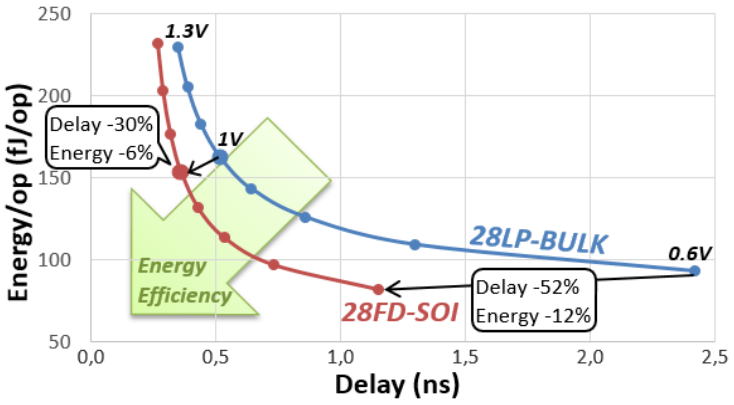


Figure 2.7 Courbe d'énergie consommée par opération en fonction du temps de propagation du signal pour une tension V_{DD} allant de 0.6 à 1.3V.

La technologie FD-SOI s'inscrit donc comme une technologie efficace et adaptée pour les applications mobiles contraintes par des performances élevées avec un budget puissance limité.

2.3.2 Modulation de la polarisation des caissons : Un levier supplémentaire

En plus du gain intrinsèque lié à la technologie, il est encore possible d'améliorer les performances des transistors FD-SOI en utilisant la méthode appelée « back-biasing ». Cette technique consiste à faire varier la tension de seuil des transistors (V_T) en modulant la polarisation des caissons situés sous le BOX [Nuo'12]. Ainsi, en faisant varier la tension V_{BS} en mode direct (forward back-biasing) ou en inverse (reverse back-biasing), il est possible de modifier les caractéristiques électriques des transistors. Plus précisément, les courants I_{ON} et I_{OFF} peuvent être ajustés afin d'adapter les performances aux besoins d'un circuit.

Le courant I_{ON} décrit par l'équation (16) correspond au courant I_{DS} lorsque V_{GS}=V_{DS}=V_{DD}. Il est intéressant de noter que pour une géométrie de transistor donnée (W, L et T_{OX}), le courant I_{ON} ne dépend plus que de la tension de seuil en régime saturé (V_{T_sat}). Ainsi, en diminuant la valeur V_{T_sat}, on augmente le courant actif.

$$I_{ON} = \frac{1}{2}\frac{W}{L}\mu C_{OX} \times \left(V_{DD} - V_{T_{sat}}\right)^2 \quad \textbf{(16)}$$

Par conséquent, l'augmentation du courant I_{ON} permet de minimiser le temps de commutation d'une porte logique (τ_p) comme le décrit l'équation ci-dessous :

$$\tau_p \infty \frac{C_L \times V_{DD}}{I_{ON}} \quad \textbf{(17)}$$

où C_L représente la capacité de charge du circuit CMOS considéré.

En revanche, lorsqu'un circuit est en veille, il est nécessaire de réduire sa puissance statique afin de prolonger l'autonomie de la batterie (Equation 18).

$$P_{STAT} \infty V_{DD} \times I_{OFF} \quad \textbf{(18)}$$

Le courant I_{OFF} correspondant au courant I_{DS} lorsque V_{GS}=0 et V_{DS}=V_{DD} est décrit par l'équation (19). Dans le but de réduire ce courant statique, il est nécessaire cette fois-ci, d'augmenter la valeur de V_{T_sat}.

$$\mathrm{Log}(I_{OFF}) = \log(I_T) - \frac{V_{T_{sat}}}{SS_{sat}} = \log\left(\frac{W}{L_{eff}}10^{-7}\right) - \frac{V_{T_sat}}{SS_{sat}} \quad \textbf{(19)}$$

Il est à noter que, pour une géométrie de transistor donnée (L, W et T_{OX}), le courant I_{OFF} ne dépend plus que de la tension de seuil (V_{T_sat}) et de la pente sous le seuil (SS_{sat}) en régime saturé.

En technologie BULK, la variation de V_{BS} est limitée à seulement ±300mV pour éviter les risques de latch-up et de courants de fuite à travers le substrat (cf. Chapitre 1). Grâce à la couche d'oxyde enterrée présente en technologie FD-SOI, le canal et les fonctions S/D du transistor sont complètement isolés du substrat. Il est ainsi possible d'étendre largement la tension appliquée sur les caissons-n et p à ±3V sans aucun risque technologique.

Les résultats silicium extraits de structures simples sont présentés figure 2.8. Les blocs logiques constitués de transistors de type RVT et LVT sont représentés en très plein pour une tension d'alimentation de 1V. Les traits en pointillé représentent l'ajustement des performances grâce au back-biasing. Il est intéressant d'observer qu'au-delà du gain intrinsèque lié à la technologie, il est possible d'adresser une très large gamme de performances grâce à la polarisation des caissons en directe (FBB) ou en inverse (RBB).

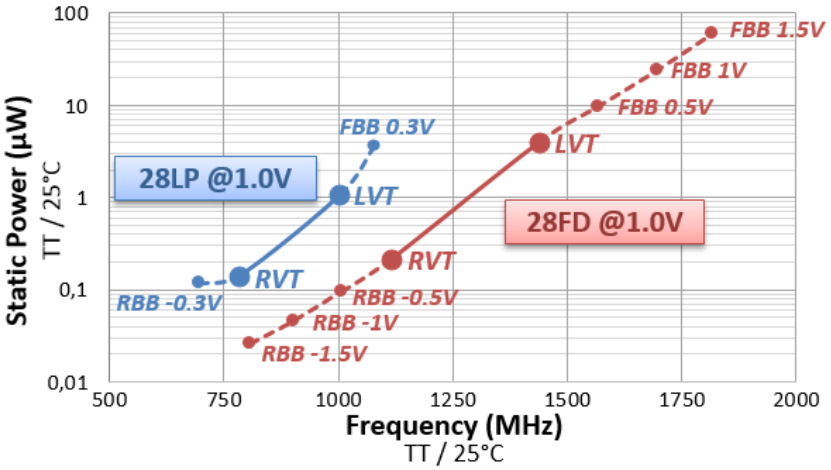


Figure 2.8 Evolution de la puissance statique en fonction de la fréquence à V_{DD}=1V, en technologie BULK et FD-SOI. En pointillé, l'extension de la gamme de performance grâce au back-biasing [-1.5 ; 1.5V].

La figure ci-dessus démontre la flexibilité des transistors FD-SOI à fonctionner avec une gamme de performances étendue. Il est également intéressant d'analyser l'impact de cette modulation sur les tensions d'alimentation faible et élevée, couramment exploitées dans les applications mobiles. La figure 2.9.a présente les fréquences atteintes en BULK (rouge), en FD-SOI (bleu) et en FD-SOI avec un FBB de 3V (vert) pour les tensions V_{DD} = 0.5V, 1V et 1.3V. Le back-biasing permet d'augmenter encore la fréquence de fonctionnement jusqu'à un facteur

5.5x à basse tension en prenant comme référence le FD-SOI sans back-biasing (noBB). Ce phénomène s'explique par l'évolution de la différence des tensions $(V_{DD} - V_T)^2$ qui compose l'équation du courant I_{ON} d'un transistor (Equation 16) et par conséquent qui détermine sa vitesse de commutation τp (Equation 17). En effet, la même variation de la tension de seuil à faible ou à fort V_{DD} n'aura pas les mêmes conséquences sur le courant actif débité. C'est pour cette raison que le gain en fréquence évolue en fonction de la tension d'alimentation.

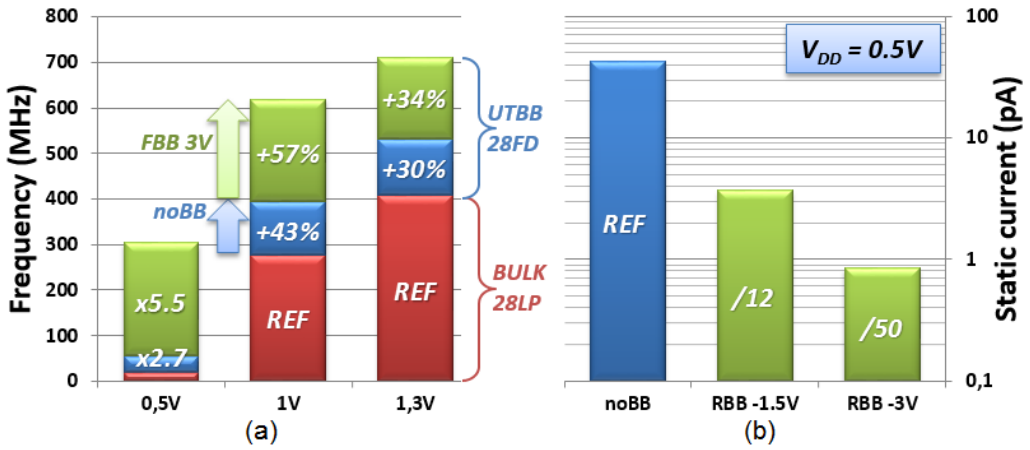


Figure 2.9 (a) Gain en fréquence de la technologie FD-SOI et FD-SOI avec FBB 3V par rapport au BULK pour 3 tensions d'alimentation. (b) Réduction du courant statique par application de RBB à V_{DD}=0.5V.

A l'inverse, lorsque la performance n'est pas requise, il est souhaitable de réduire la consommation statique en appliquant une tension de back-biasing inverse (RBB). Cela a pour conséquence d'augmenter la tension de seuil du transistor V_{T_sat} et ainsi réduire le courant I_{OFF} (Equation 19). Comme l'expose la figure 2.9.b, en polarisant les caissons avec un RBB de -3V, le courant statique est divisé par 50 pour une tension d'alimentation de 0.5V, généralement utilisée en mode veille.

2.4 Méthodologie d'optimisation énergétique

2.4.1 Puissance dissipée dans les circuits intégrés numérique

2.4.1.1 Puissance dynamique et statique

La puissance totale se définit comme la puissance dissipée nécessaire au traitement et au maintien de l'information. Le traitement de l'information est assuré par la puissance dynamique alors que la puissance nécessaire au maintien de l'information correspond à la puissance statique. Les équations (20) et (21) décrivent respectivement les puissances dynamique et statique.

$$P_{DYNAMIC} = P_{TRAN} + P_{SC}$$

$$P_{DYNAMIC} = p_t\left(\frac{1}{2}C_L \times V_{DD}^2 \times F_{CLK} + t_{SC} \times I_{SC} \times V_{DD} \times F_{CLK}\right) \quad \textbf{(20)}$$

$$P_{STATIC} = I_{DDQ} \times V_{DD} \quad \textbf{(21)}$$

p_t est à la probabilité qu'une porte commute. En effet, toutes les portes logiques ne commutent pas à chaque cycle d'horloge. C_L correspond à la capacité de chargement, V_{DD} est la tension d'alimentation du circuit, F_{CLK} la fréquence, t_{SC} et I_{SC} respectivement le temps et le courant de court-circuit et I_{DDQ} le courant de fuite.

La puissance totale d'un circuit numérique CMOS correspond donc à la somme de ces deux puissances, comme le montre l'équation (22) [Cha'92].

$$P_{TOTAL} = P_{DYNAMIC} + P_{STATIC} \quad \textbf{(22)}$$

La puissance consommée est une information importante dans l'évaluation d'un circuit mais il est également indispensable d'étudier son énergie. Il faut bien distinguer la différence entre les deux : l'énergie correspond à la puissance consommée pour un travail donné et se caractérise par le produit de la puissance moyenne dissipée avec le temps. La figure 2.10 montre que, dans le cas du traitement de l'information, l'énergie consommée est égale au temps T_D durant lequel le circuit est actif multiplié par la puissance moyenne dissipée P_D. De la même manière, l'énergie de maintien de l'information est le produit de la puissance statique P_S par le temps durant lequel le circuit est inactif T_S.

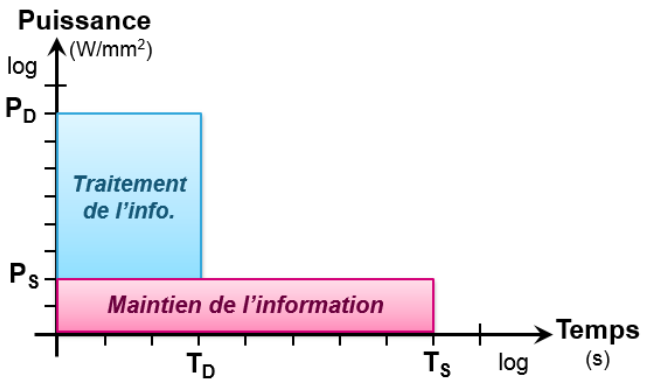


Figure 2.10 Interprétation graphique de la puissance et de l'énergie consommées dans un circuit

L'énergie totale d'un circuit en fonction des puissances dynamique et statique, mais aussi des temps d'activité et de veille, est donc représentée par l'équation ci-dessous :

$$E_{TOTAL} = P_{DYNAMIC} \times T_D + P_{STATIC} \times T_S \quad \textbf{(23)}$$

Il est à noter que le temps actif T_D est variable. En effet, il correspond au temps nécessaire pour effectuer une ou plusieurs successions de tâches. Il dépend de la fréquence et du nombre de cycles. Ces paramètres vont donc dépendre du type d'application visé.

2.4.1.2 Evolution de la puissance avec les technologies

Jusqu'au nœud technologique 90nm, la consommation électrique d'un circuit en fonctionnement était principalement liée à la puissance dynamique. Il suffisait alors de réduire cette puissance dynamique pour réduire la puissance totale consommée. Ce constat n'est plus vrai pour les technologies développées depuis 2007, dont la longueur de grille est inférieure à 90nm. En effet, la part de la puissance statique dans l'équation de la puissance totale est de plus en plus importante, estimée à 31% en 2011 et augmentant jusqu'à 48% en 2026, comme l'atteste la projection de l'ITRS (International Technology Roadmap for Semiconductor), figure 2.11 :

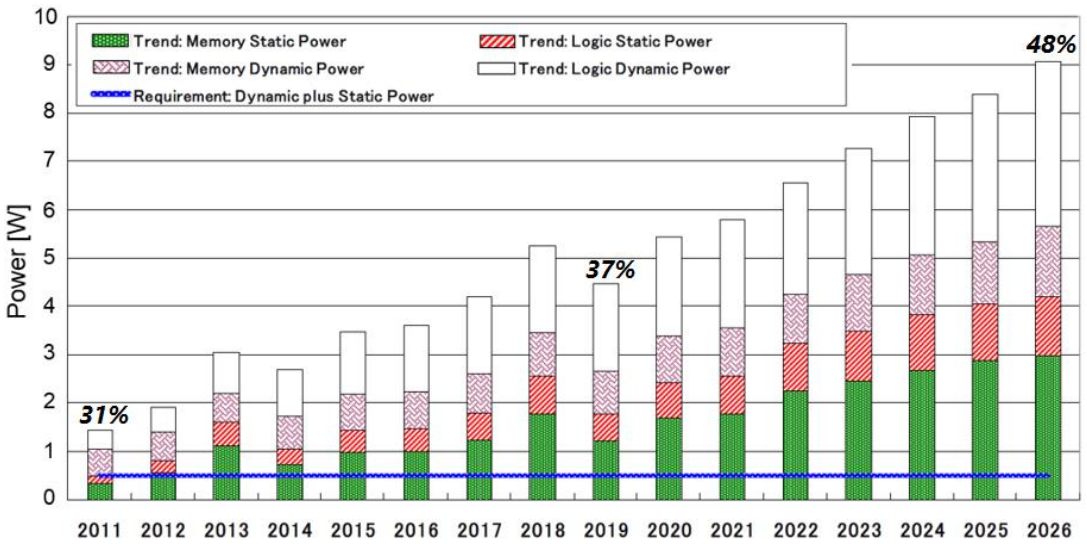


Figure 2.11 Représentation de la puissance totale, comprenant les parties logique et mémoire, prévue par l'ITRS en 2011, pour les applications mobiles

La diminution du ratio entre les puissances dynamique et statique impose aux designers une approche différente dans la conception de circuits intégrés mobiles. Ainsi, la composante statique n'est plus à négliger et son traitement fait partie intégrante des méthodes de réduction de la consommation électrique totale d'un circuit. Le passage de la technologie BULK au FD-SOI a permis de réduire de 5 à 10 fois le courant statique pour une même performance. Cependant, la réduction de la consommation électrique totale reste un challenge pour toutes ces technologies.

A chaque nouveau nœud technologique, une réduction de la tension d'alimentation V_{DD} est fondamentale afin de ne pas dégrader la fiabilité des transistors, mais aussi pour diminuer la puissance dynamique (Equation 20). De plus, pour améliorer les performances, la tension de seuil des transistors est réduite dans le but de maintenir un rapport V_{DD}/V_T constant [Van'04].

2.4.2 Réduction de la puissance statique

2.4.2.1 La puissance statique

L'augmentation de la puissance statique est principalement liée à la réduction de la tension de seuil des transistors. Pour les technologies BULK, cette diminution est obtenue par le rapprochement des jonctions S/D ainsi que la réduction du nombre de dopants dans le canal. La technologie FD-SOI ne pouvant exploiter le dopage du canal, c'est uniquement en ajustant le travail de sortie des grilles en face avant et arrière que le V_T est défini.

La puissance statique dépend majoritairement du courant de fuite sous le seuil du canal I_{DS}, exprimé dans l'équation (24) en fonction de la tension de seuil V_T [Aga'05].

$$I_{DS} = \mu_n C_{OX} \left(\frac{kT}{q}\right) \times \frac{W}{L} \times e^{\frac{V_{GS}-V_T}{n\frac{kT}{q}}} \times \left(1 - e^{\frac{-V_{DS}}{\frac{kT}{q}}}\right) \quad \textbf{(24)}$$

D'autres courants de fuite contribuent également à l'augmentation de la consommation mais avec des proportions bien moindres. Il est donc essentiel de se concentrer sur ce courant de fuite du canal sous le seuil pour V_{GS}=0 qui croît de manière exponentielle avec la réduction de la longueur de grille des transistors. Il est donc essentiel pour les concepteurs de circuits intégrés de développer des techniques de réduction de la consommation statique, comme pour la puissance dynamique.

Dans les parties suivantes, plusieurs techniques de réduction de la puissance statique, comme la co-intégration multi-V_T, la modulation de la longueur de grille ou encore la diminution de l'alimentation, vont être présentées. Ces techniques restent aujourd'hui les principales et les plus utilisées.

2.4.2.2 Réduction de l'alimentation V_{DD}

L'un des moyens les plus efficaces pour diminuer la puissance statique consiste à réduire la tension d'alimentation V_{DD} d'un circuit, comme exposé dans le premier chapitre, équation (1). La technique appelée « dynamic voltage scaling » s'inscrit dans cette perspective puisqu'elle consiste à adapter la tension d'alimentation en fonction de l'activité d'un circuit. Il est donc possible de diminuer modérément la tension V_{DD}, lorsque le circuit ne requiert pas toute la puissance de calcul. Il est même envisageable, lorsque le circuit est inactif, de le mettre en veille en réduisant largement la tension d'alimentation dans un mode de rétention. Dans ce cas, la tension V_{DD} peut être abaissée jusqu'à une tension V_{min} n'assurant plus que le maintien de l'information dans les registres et les mémoires.

La figure 2.12 présente la puissance statique (barres) et la fréquence (trait continu) en fonction de l'alimentation d'un circuit de moyenne complexité, réalisé en technologie 28nm UTBB FD-SOI. Depuis la tension nominale 1V, il est possible de réduire la consommation statique d'un facteur 3 en abaissant V_{DD} de 200mV. Ce circuit dispose d'une tension V_{min} de 0.5V, ce qui lui permet de diviser par 21 la puissance statique tout en assurant l'intégrité des informations stockées. De la même manière, il est possible d'augmenter de manière ponctuelle la tension V_{DD} à 1.2V permettant une hausse des performances du circuit grâce à un boost en fréquence de 26%.

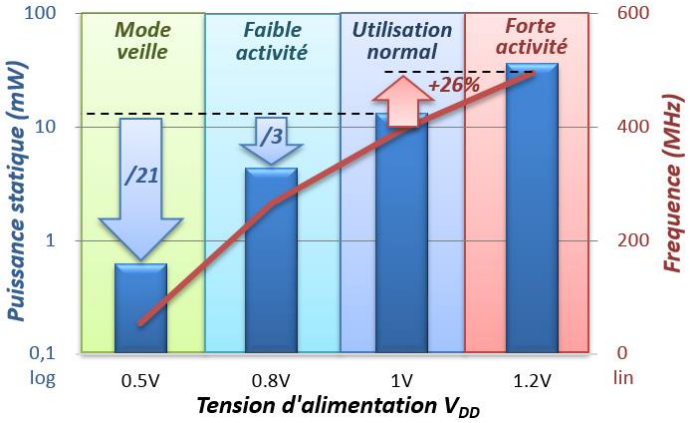


Figure 2.12 Evolution logarithmique de la puissance et linéaire de la fréquence dans un circuit complexe en technologie 28nm UTBB FD-SOI en fonction de V_{DD}.

Cette technique offre au concepteur la possibilité d'ajuster temporairement les performances des transistors aux besoins du circuit. Une seconde technique visant également à adapter les caractéristiques électriques des transistors est proposée ci-dessous. Celle-ci consiste à moduler la tension de seuil des transistors par polarisation du substrat.

2.4.2.3 Modulation de la tension de polarisation du substrat

La polarisation des caissons dans le cas de la technologie BULK ou FD-SOI est une autre méthode permettant la réduction de la puissance statique d'un circuit. En comparaison avec les techniques de conception figées, comme le multi-L_G ou multi-V_T qui seront présentées dans les parties suivantes, cette solution est plus flexible car elle peut être définie de manière temporelle par l'utilisateur. Ainsi, il est possible, grâce à un générateur de tension dédié, de moduler dynamiquement la tension des caissons afin d'ajuster les performances du circuit.

D'un point de vue physique, cette technique a pour objectif de faire varier la valeur de la tension de seuil V_T des transistors, en fonction du potentiel V_{BS} appliqué sur le substrat et du facteur de body β (Equation 25). V_{T0} est la tension de seuil initiale lorsqu'aucune polarisation sur le substrat n'est appliquée.

$$V_T = V_{T0} - \beta \times \sqrt{V_{BS}} \quad \textbf{(25)}$$

L'ajustement de cette tension de seuil a pour conséquence de moduler le courant I_{DS} des transistors [Im'03]. De cette manière, il est possible en appliquant du RBB de réduire le courant statique consommé.

En technologie BULK, la modulation de la tension du substrat est bornée à ±300mV. De plus, le facteur de body β est réduit, ce qui limite son efficacité. Par conséquent, il n'est pas envisageable de réduire fortement le courant statique des transistors avec cette technologie en exploitant le RBB. En pratique, la modulation du V_T en BULK est essentiellement utilisée pour de la compensation de procédé et de température, afin de maintenir une tension de seuil constante.

En revanche, la technologie FD-SOI offre la possibilité d'exploiter largement cette technique grâce à un excellent facteur de body et surtout une plage d'utilisation étendue de ±3V. Ainsi, il est possible d'exploiter la modulation de la tension de seuil des transistors, aussi bien pour compenser les variations de procédé et de température, mais également dans le but d'augmenter les performances d'un circuit ou, dans notre cas, de réduire sa puissance statique. Cette caractéristique spécifique à la technologie FD-SOI constitue l'un de ses principaux intérêts.

L'utilisation de transistors RVT permet une polarisation en inverse importante grâce au positionnement classique de ses caissons-n et p. Ainsi, l'application d'un RBB de -3V permet de diviser par 50 le courant statique consommé (cf. figure 2.9.b). Cependant, dans le cas d'une structure constituée de transistors LVT, la diode formée par les caissons à l'interface des transistors n et p-MOS (Figure 2.13.b) ne permet pas d'appliquer un RBB de -3V sur la face arrière (cf. Chapitre 1). Néanmoins, il est tout de même avantageux d'appliquer un RBB modéré, de manière à rester sous le seuil de la diode, où le courant en direct n'est pas encore significatif. Ainsi, il est possible de réduire la puissance statique consommée par les transistors en maitrisant le courant de fuite dans le substrat.

La figure 2.13.a illustre le comportement des courants issus des alimentations V_{DD} et GNDS ainsi que le courant total consommé. Ces résultats sont obtenus par simulations SPICE, réalisées sur un chemin critique. Il est intéressant d'observer la réduction de 28% du courant total grâce à un RBB de -200mV. Au-delà de cette tension, l'augmentation exponentielle du courant de diode ne permet plus de réduire la consommation statique.

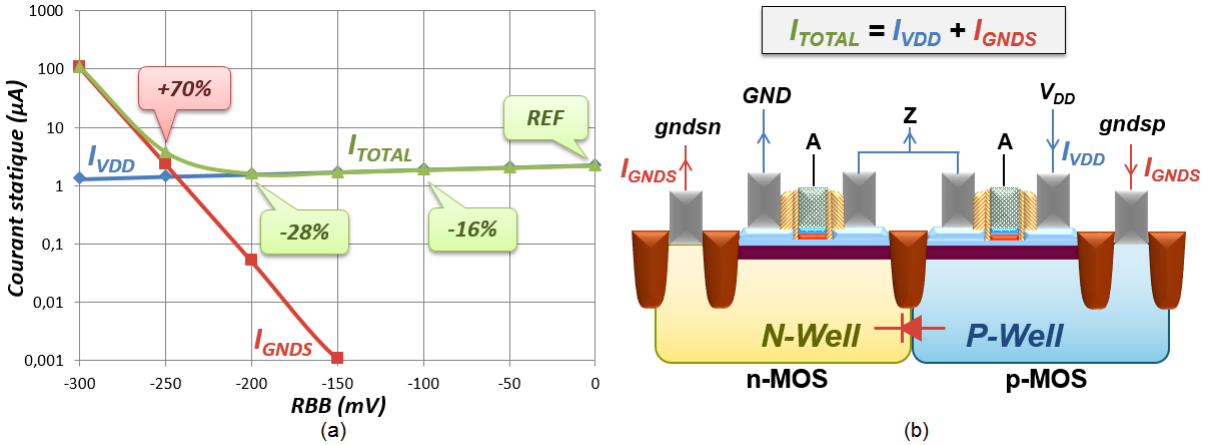


Figure 2.13 (a) Evolution des courants statiques en fonction du RBB sur un chemin logique constitué de transistors LVT et alimenté à V_{DD}=1V. (b) Illustration des courants circulant dans un inverseur unitaire.

Afin de confirmer ce résultat, une structure simple constituée de 100 inverseurs en série a été réalisée sur silicium en FD-SOI. L'application d'un RBB de 200mV a permis de réduire de 36% le courant statique total consommé, dans les mêmes conditions que la simulation. Ce résultat montre l'intérêt du RBB dans le cas des structures intégrant des transistors LVT, ainsi que la bonne concordance des résultats de simulation et des mesures silicium.

Les deux premières techniques décrites permettant la réduction de la puissance statique ont l'avantage d'être applicable de manière temporaire. Une troisième technique, cette fois-ci définitive, va maintenant être présentée. En effet, celle-ci agit sur la longueur de la grille des transistors. Néanmoins, elle n'impacte pas la fréquence maximale du circuit et peut être combinée avec les solutions précédentes.

2.4.2.4 Ajustement de la longueur de grille

Il a été montré dans le premier chapitre que la réduction de la longueur de grille des transistors entraînait une augmentation importante de son courant de fuite. Une solution intéressante pour le réduire consiste donc à ré-augmenter volontairement la longueur de grille de quelques nanomètres. Cela permet de diminuer le courant statique I_{DS} grâce à l'augmentation du paramètre L, mais aussi à celle de la tension de seuil V_T, provoquée par la réduction des effets de canaux courts (Equation 24).

La figure 2.14 présente les consommations statiques pour des longueurs de grille de 24, 28 et 40nm. Ainsi, l'augmentation du canal de quelques nanomètres permet de réduire jusqu'à 28 fois la puissance statique consommée.

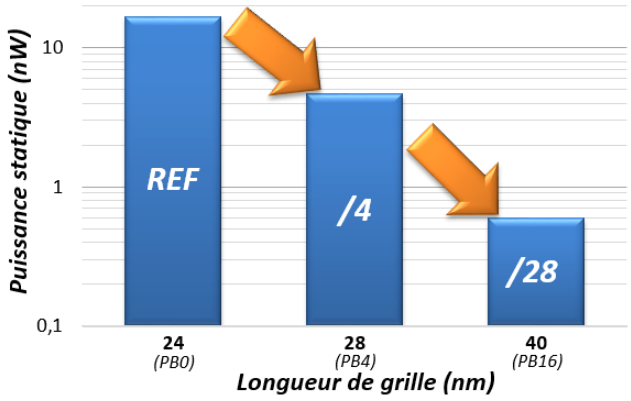


Figure 2.14 Réduction de la puissance statique consommée pour 100 inverseurs LVT en série, par élargissement de la longueur de grille de 4 et 16nm (V_{DD}=1V, 25°C).

Cependant, l'augmentation de la longueur de grille dégrade le courant I_{ON} des transistors et donc leur vitesse de commutation. C'est pourquoi, une solution avantageuse consiste à introduire du multi-L_G [Cla'04] afin de conserver une fréquence de fonctionnement élevée. En pratique, c'est lors des phases d'optimisation « timing » et « power » que les outils du flot de conception cherchent à minimiser la puissance en remplaçant les cellules ayant une

longueur de grille minimale par des cellules élargies là où les chemins sont non-critiques. De cette manière, il est possible de réduire la puissance statique d'un circuit sans modifier sa fréquence maximale. La figure 2.15 illustre l'intérêt de cette méthode par la réduction d'un facteur 3 de la puissance statique, en remplaçant 65% des cellules PB0 par des cellules PB16, sans impacter la fréquence maximale.

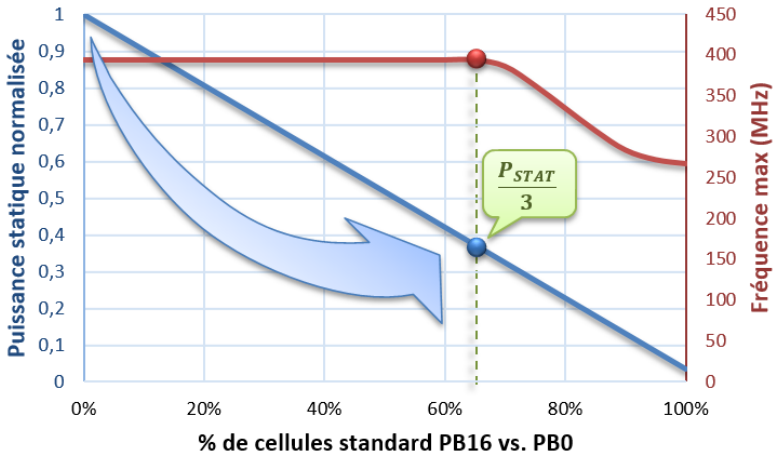


Figure 2.15 Evolution de la puissance statique et de la fréquence en fonction du pourcentage de cellules PB16 implémentées.

2.4.2.5 Co-intégration multi-V_T

Une technique similaire à celle décrite précédemment consiste à co-intégrer des transistors ayant non plus différentes longueurs de grille mais des tensions de seuil distinctes, dans le but d'allier de hautes performances et une faible consommation.

La tension de seuil d'un transistor lui confère des caractéristiques électriques bien particulières. Les transistors de type LVT, ayant un V_T faible, possèdent des performances plus élevées que leurs homologues de type HVT disposant d'un V_T élevé. Ceci s'explique en raison des performances liées au courant I_{DS}, fonction de $(V_{GS}-V_T)^2$. De ce fait, les transistors de type HVT seront bien moins fuyants que les transistors LVT, comme le décrit l'équation (24). Il existe également un autre type de transistor, RVT pour Regular-V_T, qui possède un V_T compris entre celui du LVT et du HVT et qui présente donc des performances et une consommation intermédiaires. La figure 2.16 illustre le courant I_{DS} de 3 n-MOS en technologie BULK ayant les mêmes dimensions, à 25°C et alimentés à $V_{DS}=V_{DD}$.

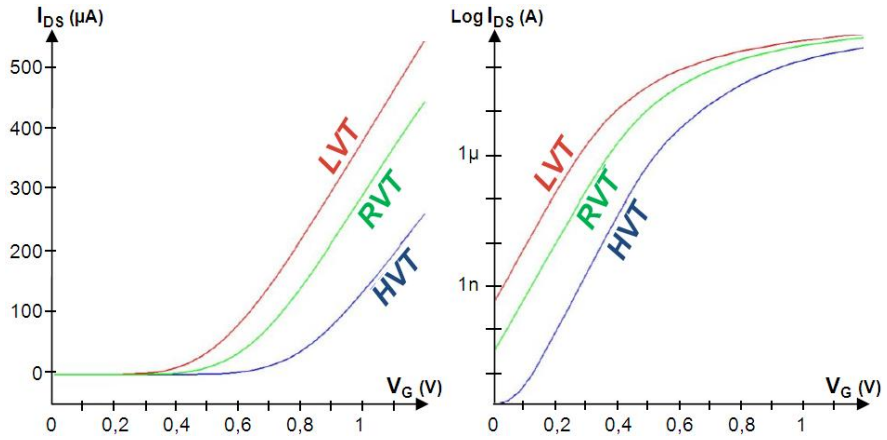


Figure 2.16 Evolution du courant de drain I_{DS} de 3 n-MOS : LVT, RVT et HVT sur une échelle linéaire et logarithmique en fonction de la tension de grille V_G.

La technique multi-V_T consiste donc à co-intégrer des portes logiques disposant de V_T différents. Selon [Luo'08], le principe de la conception multi-V_T consiste, dans un premier temps, à réaliser un circuit uniquement constitué de portes logiques de type RVT. Ensuite, les portes se trouvant sur des chemins critiques sont remplacées par des portes LVT, plus rapides, alors que les portes logiques des chemins non critiques sont remplacées par des portes HVT. De cette manière, la puissance statique d'un circuit peut être fortement réduite tout en maintenant une fréquence de fonctionnement maximale. A titre d'exemple, [Luo'08] présente un gain de 63,8% sur la consommation statique d'un circuit microprocesseur.

2.4.2.6 Utilisation d'interrupteurs de puissance

L'une des méthodes les plus efficaces pour la réduction de la puissance statique repose sur l'utilisation d'interrupteurs de puissance. Cette technique, appelée MTCMOS pour « Multi Threshold CMOS », consiste à utiliser un réseau de transistors de puissance de faible consommation statique afin d'alimenter la partie logique qui est, quant à elle, rapide et consommant une faible puissance dynamique (Figure 2.17.a).

En utilisant cette technique, [Mut'95] a divisé par 600 la consommation statique en technologie 0,5µm. Cette solution permet donc d'exploiter la pleine puissance de la technologie tout en coupant efficacement le courant statique lors des mises en veille.

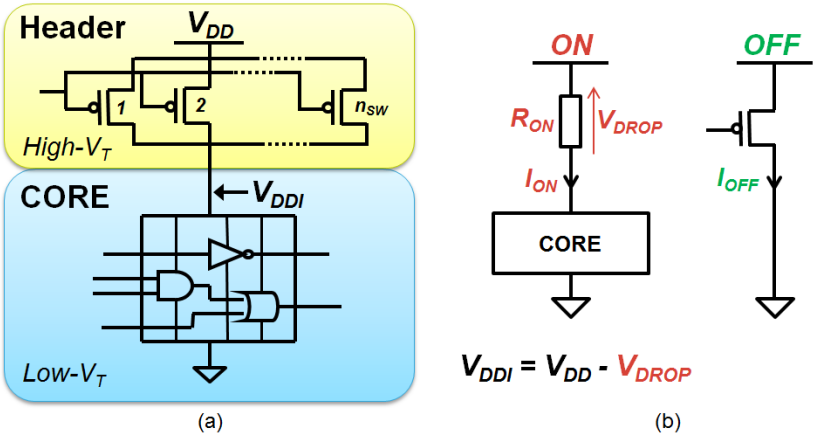


Figure 2.17 (a) Schéma blocs de la partie logique (CORE) et de puissance (Header) d'un circuit utilisant des interrupteurs de type en-tête. (b) Représentation simplifiée des blocs illustrés en (a) en fonction des états « ON » et « OFF » de l'alimentation.

Il existe deux méthodes d'implémentation du réseau d'interrupteurs de puissance : la première est de type « Header » (en-tête), comme illustré dans la figure 2.17.a. Le réseau d'interrupteurs est alors composé de transistors p-MOS placés entre l'alimentation V_{DD} et l'alimentation virtuelle V_{DDI}. La deuxième méthode utilise un réseau de type « Footer », constitué de transistors n-MOS localisés entre la masse extérieure GND et la masse virtuelle. En général, le réseau de type en-tête est privilégié car les transistors n-MOS disposent d'une fiabilité moindre et sont plus fuyants que les transistors p-MOS, présents dans la solution « Header ».

- *Fonctionnement et caractéristiques des interrupteurs :*

Dans le cas d'une implémentation en-tête, lorsque les interrupteurs sont passants (mode « ON »), l'alimentation virtuelle V_{DDI} de la partie logique est tirée vers V_{DD}, permettant d'alimenter et de rendre opérationnel le cœur logique. Celui-ci, constitué de transistors LVT pour ses bonnes performances, peut alors délivrer sa vitesse de calcul maximale. Lorsque le circuit est inactif, il est conseillé de désactiver la logique en commutant le réseau d'interrupteurs de puissance en mode « OFF ». Cette action a pour conséquence de sevrer le cœur logique de courant. En effet, les portes de type LVT qui constituent la partie logique consomment un courant statique important. Afin de minimiser la consommation statique du réseau d'interrupteurs de puissance, il est recommandé d'utiliser des transistors de type HVT pour leur faible courant de fuite. Le mélange des transistors LVT pour la partie logique avec des transistors HVT pour les interrupteurs de puissance justifie clairement le nom de cette technique : « Multi Threshold CMOS ».

Grâce à cette technique, la réduction de la consommation statique s'évalue à plusieurs décades. Cependant, l'implémentation des interrupteurs de puissance et du module de contrôle requière une surface accrue qui constitue un inconvénient non négligeable. De plus, l'abaissement de l'alimentation virtuelle par rapport à l'alimentation extérieure V_{DD} peut provoquer une légère réduction des performances du circuit pouvant aller jusqu'à la perte de données. Cette diminution de V_{DDI} est la conséquence de la chute de tension V_{DROP} aux bornes de la résistance équivalente R_{ON} du réseau d'interrupteurs (Figure 2.17.b).

- *Dimensionnement des interrupteurs :*

Le choix du nombre d'interrupteurs de puissance « n_{SW} » à intégrer dans le réseau est une décision importante car il va déterminer la capacité du réseau à couper les fuites I_{OFF}, ainsi que la chute de tension V_{DROP} engendrée par la résistance équivalente du réseau actif R_{ON_TOTAL} (Equations (26, (27 et (28). De plus, le nombre et la taille des transistors vont également impacter la surface du circuit. C'est pourquoi, il est nécessaire de trouver le meilleur compromis entre tous ces paramètres afin de satisfaire les besoins de l'application.

$$R_{TOTAL} = \frac{R_{UNITAIRE}}{n_{SW}} \quad \textbf{(26)}$$

$$I_{OFF} = \frac{V_{DD}}{R_{OFF_TOTAL}} \quad \textbf{(27)}$$

$$V_{DROP} = R_{ON_TOTAL} \times I_{ON} \quad \textbf{(28)}$$

Dans le but de rendre cette technique la plus efficace possible, il est nécessaire de minimiser le courant I_{OFF} ainsi que la valeur de la chute de tension V_{DROP}. Cependant, ces deux caractéristiques n'évoluent pas de la même manière en fonction du nombre d'interrupteurs n_{SW}. En effet, plus le nombre d'interrupteurs est important, plus le courant I_{OFF} est fort alors que la tension V_{DROP} est faible. Au contraire, plus le nombre d'interrupteurs est faible, plus le courant I_{OFF} sera faible, au prix d'un V_{DROP} important. Le dimensionnement consiste donc principalement à déterminer la longueur de grille optimale « L_{OPT} » et le nombre d'interrupteurs de puissance « n_{SW_OPT} » donnant le meilleur compromis entre une faible résistance R_{ON} et une forte résistance R_{OFF}. Il existe deux approches, la première considérant la chute de tension V_{DROP} et le courant de fuite I_{OFF} [Hwa'06], la seconde la dégradation de délai [Kao'97] introduit par l'implémentation de cette technique.

2.4.3 Réduction de la puissance dynamique

2.4.3.1 La puissance dynamique

La puissance dynamique constitue la composante dominante de la consommation électrique totale d'un circuit. De ce fait, il est essentiel de réduire cette puissance afin de prolonger significativement la durée d'utilisation des applications portables.

L'équation (20) de la puissance dynamique présentée précédemment, expose la somme de deux différents termes : Le premier est la puissance permettant de charger les capacités de grille des transistors ainsi que les capacités liées aux interconnections. Le second terme correspond à la puissance de court-circuit lorsque les deux transistors n et p-MOS sont passants. En effet, lors d'une transition logique, les transistors n et p-MOS sont activés simultanément aux alentours de $V_{DD}/2$ entraînant, durant un court instant, un courant de court-circuit I_{SC} entre l'alimentation V_{DD} et la masse (Figure 2.18). Néanmoins, pour les vitesses de transition classiquement rencontrées dans les circuits, ce courant de court-circuit reste négligeable par rapport au courant de commutation.

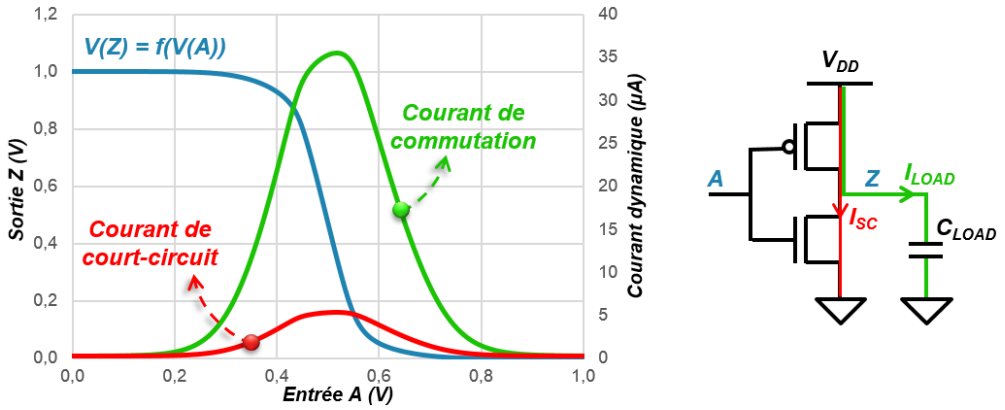


Figure 2.18 Illustration des courants circulant dans un inverseur lors d'une transition logique.

La puissance dynamique dépend donc de l'alimentation, du nombre de transistors, de la fréquence de fonctionnement et enfin de l'activité du circuit. Dans un circuit numérique synchrone, le traitement des données est rythmé par la fréquence d'horloge F_{CLK} grâce aux bascules situées en entrée et en sortie (Figure 2.19).

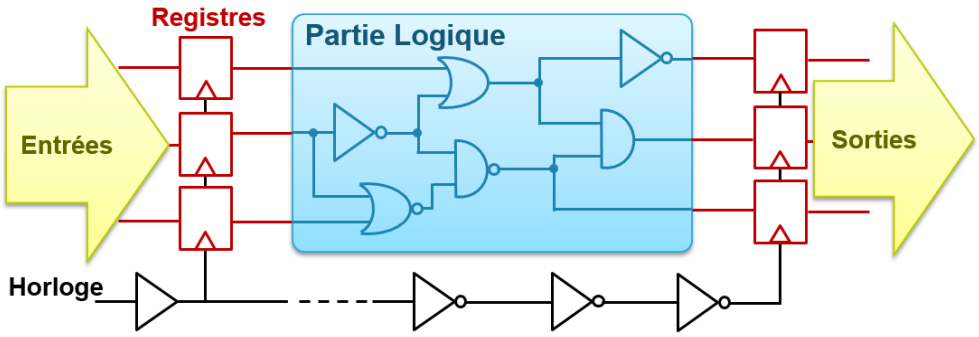


Figure 2.19 Vue schématique d'un circuit numérique synchronisé par l'horloge.

En général, le nombre de bascules dans les circuits numériques est conséquent. De ce fait, pour assurer une bonne distribution du signal d'horloge, celui-ci est propagé à travers un chemin constitué d'inverseurs et de suiveurs, nommé arbre d'horloge. Ainsi, l'ensemble des bascules est précisément contrôlé, assurant le bon transfert des données. La puissance dynamique correspond donc à la somme de la puissance dynamique du cœur logique, des bascules, de l'arbre d'horloge mais également des mémoires lors des cycles d'écriture et de lecture.

2.4.3.2 Réduction de l'alimentation V_{DD}

En reprenant l'équation de la puissance dynamique (20), le paramètre le plus efficace permettant de réduire la consommation dynamique est la tension d'alimentation V_{DD}. En effet, la diminution de cette tension appelée « voltage scaling », permet de réduire la puissance dynamique proportionnellement à V^2. Cependant, la modulation de l'alimentation va également impacter le courant I_{DS} des transistors qui permet de faire commuter les portes logiques d'un circuit (Equation 10). En effet, cet ajustement occasionne une réduction de la vitesse de commutation des portes logiques et donc de la fréquence maximale de fonctionnement (F_{MAX}).

De manière générale, lorsque la fréquence F_{MAX} est supérieure à la fréquence visée F_{CLK}, il est judicieux de diminuer la tension d'alimentation afin de réduire la consommation dynamique sans impacter les performances.

La figure 2.20 expose l'exemple d'un bloc logique dans lequel la fréquence maximale de fonctionnement F_{MAX} à 1.1V est supérieure à la fréquence visée F_{CLK}. Dans ce cas, la réduction de 100mV de V_{DD} permet d'économiser 29% de puissance dynamique tout en assurant une fréquence de fonctionnement de 300MHz.

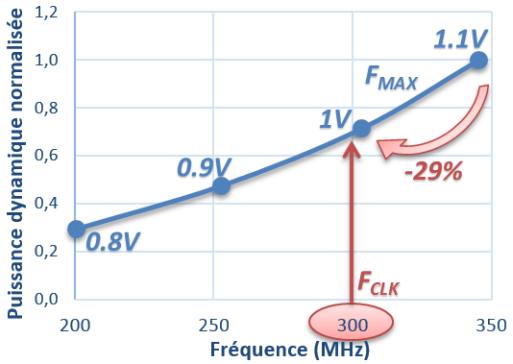


Figure 2.20 Evolution de la puissance dynamique en fonction de la fréquence par modulation de la tension d'alimentation V_{DD}.

Il est également possible de moduler dynamiquement la tension d'alimentation afin de compenser la variabilité des procédés et le changement de température, entraînant une fluctuation du V_T des transistors. Cette technique permet donc de compenser un abaissement de la tension de seuil en réduisant dynamiquement la tension d'alimentation. Ainsi, il est possible de maintenir un ratio V_{DD}/V_T constant [Mou'10].

La seconde technique qui est présentée dans la partie suivante permet également de réduire la puissance dynamique d'un circuit mais, cette fois-ci, sans en altérer ses performances. Cela est rendu possible grâce à la modulation à la fois de la tension d'alimentation et de la tension de seuil des transistors.

2.4.3.3 Modulation de la tension de polarisation du substrat

L'opportunité offerte par la technologie FD-SOI d'ajuster le V_T des transistors par modulation de la polarisation du substrat permet de compenser la perte de performance engendrée par la baisse de l'alimentation V_{DD}. Ainsi, en appliquant une polarisation directe sur les caissons-n et p, la tension de seuil des transistors diminue. Cette réduction du V_T a pour effet d'augmenter le courant actif I_{DS} des transistors (Equation 10) et par conséquent leur vitesse de commutation. Ainsi, grâce à l'ajustement de la tension de seuil, il est possible de réduire la puissance dynamique d'un circuit sans en altérer ses performances.

La figure 2.21 expose les résultats silicium d'une structure simple montrant l'évolution de la puissance dynamique en fonction du temps de propagation d'un signal logique pour différentes valeurs de back-biasing.

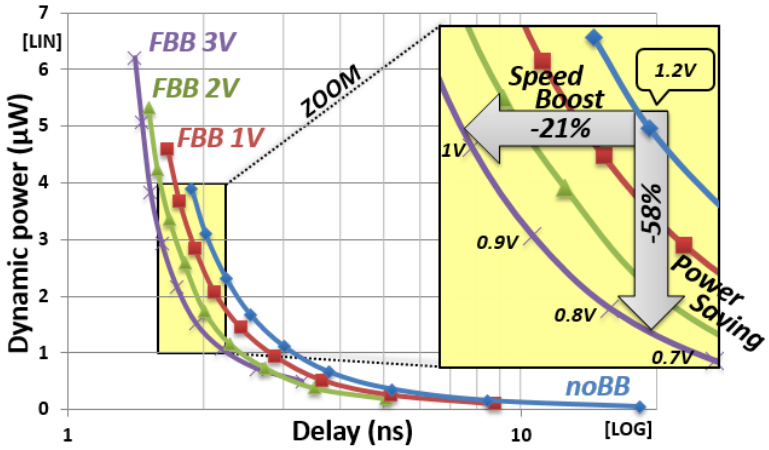


Figure 2.21 Evolution de la puissance dynamique en fonction du temps de propagation du signal pour différentes valeurs de back-biasing (0, 1, 2 et 3V).

En prenant comme référence les performances à V_{DD} = 1.2V, il est possible de réduire de 58% la puissance consommée tout en maintenant la même vitesse de commutation en ajustant le couple V_{DD} / V_{BB} [0.75V ; 3V]. Il est également intéressant pour un même budget de puissance de réduire le temps de propagation du signal de 21%, ce qui revient à accélérer la vitesse de commutation des portes et donc la fréquence de fonctionnement du circuit [1V ; 3V].

2.4.4 Réduction de la puissance totale

2.4.4.1 La puissance totale

La description des puissances statique et dynamique consommées par un circuit ont été décrites dans les parties précédentes. Dans le cadre de la réduction de la puissance totale, il est désormais nécessaire de considérer ces deux composantes simultanément. Avec l'augmentation de la composante statique pour les nœuds technologiques avancés (cf. figure 2.11), les concepteurs ne peuvent plus la négliger. Pire, l'optimisation des courants de fuite dans un circuit est même devenue une priorité.

Le concepteur a donc pour mission d'agir à la fois sur les puissances dynamique et statique en vérifiant que l'optimisation de l'une des composantes n'entraîne pas une détérioration de l'autre. Ainsi, il privilégiera les techniques d'optimisation adaptées aux caractéristiques du circuit à réaliser (taux d'activité, type de cellules implémentées, architecture, etc.) afin d'obtenir une efficacité énergétique optimale.

2.4.4.2 Optimum énergétique par ajustements des tensions [V_{DD} ; V_{BB}]

Il a été démontré dans la partie précédente (0) qu'il était avantageux d'ajuster le couple de tension [V_{DD} ; V_{BB}] afin de réduire la puissance dynamique consommée tout en maintenant la même vitesse de commutation des transistors. Ceci est rendu possible grâce à la réduction du V_T des transistors, opérée par modulation de la tension du substrat V_{BS} (Equation 25).

Cependant, cette action impacte la composante statique des transistors et par conséquent, la puissance totale consommée. En effet, lorsqu'une tension positive est appliquée sur la face arrière d'un transistor n-MOS, son V_T est amené à diminuer, ce qui a pour conséquence d'augmenter de manière exponentielle son courant statique I_{DS} (Equation 24). Autrement dit, lorsque le concepteur cherche à réduire la consommation dynamique de son circuit sans diminuer la fréquence de fonctionnement, il augmente par la même occasion la consommation statique de celui-ci. Il est donc essentiel d'évaluer à quel moment la composante statique devient assez importante pour impacter la puissance totale du circuit.

La figure 2.22 présentée ci-dessous illustre, pour une fréquence de fonctionnement de 1.8GHz, le comportement des composantes dynamique et statique constituant la puissance totale en fonction du couple [V_{DD} ; V_{BB}]. Ce résultat est obtenu par simulation d'un chemin critique extrait d'un circuit ARM Cortex-A9 comportant un taux d'activité de 50%.

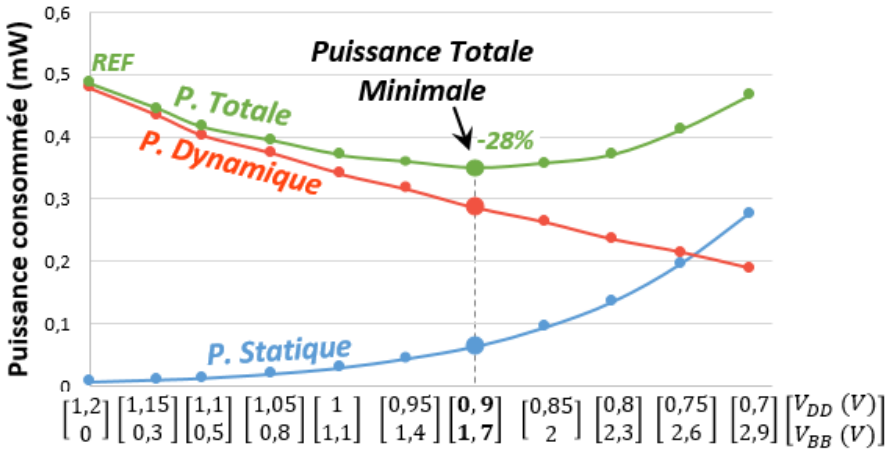


Figure 2.22 Caractéristique des puissances statique, dynamique et totale à fréquence constante (1,8GHz) pour un taux d'activité de 50%. Détermination du point de consommation minimale par modulation du couple [V_{DD} ; V_{BB}].

Grâce à la réduction de l'alimentation V_{DD}, la puissance dynamique diminue comme attendu, tandis que la puissance statique augmente de manière exponentielle en raison de la diminution de la tension de seuil. Dans le cas présent, la réduction de 300mV de la tension d'alimentation combinée à un FBB de 1.7V permet d'atteindre le point de consommation minimale, se caractérisant par une réduction de 28% de la puissance totale.

L'intérêt de cette technique d'optimisation par ajustement simultané des tensions V_{DD} et V_{BB} dépend principalement du taux d'activité du circuit à optimiser. Ainsi, en fonction du type de circuit visé, cette technique peut s'avérer avantageuse ou néfaste pour la consommation totale du circuit. Le Tableau 2.2 résume l'évolution optimale du couple [V_{DD} ; V_{BB}] en fonction du taux d'activité d'un circuit.

Taux d'activité	VDD	VBB	Gain Puissance totale
1%	*1.2V*	*0*	pas de gain
5%	*1.1V*	*0.5V*	3%
20%	*1V*	*1.1V*	17%
50%	*0.9V*	*1.7V*	28%
100%	*0.8V*	*2.3V*	37%

Tableau 2.2 Récapitulatif des couples [V_{DD} ; V_{BB}] optimaux ainsi que les gains réalisés en terme de puissance totale, en fonction du taux d'activité du circuit.

En conclusion, un circuit qui fonctionne avec un taux d'activité faible disposera d'une composante statique forte. Dans ce cas, appliquer une tension de back-biasing aura des conséquences négatives sur la consommation totale. En revanche, pour les circuits fonctionnant avec une forte activité, la forte composante dynamique pourra être optimisée grâce à cette technique qui se traduira par une réduction de la puissance totale consommée.

2.4.4.3 Ultra large modulation de la tension d'alimentation

Aujourd'hui, les applications mobiles de type smartphones ou tablettes tactiles, requièrent à la fois des performances élevées ainsi qu'une une consommation maîtrisée. Ces exigences ont obligé les concepteurs à intégrer dans leurs MPSoC (Multi-Processors SoC) des blocs de gestion de l'alimentation. Ces parties logiques permettent d'ajuster les tensions d'alimentation des sous-circuits de manière à adapter les performances de l'appareil aux besoins de l'utilisateur. Ainsi, lorsqu'une application nécessite une forte puissance machine comme les jeux vidéo, la tension d'alimentation est augmentée pour délivrer toute la puissance disponible. Au contraire, lorsqu'aucune activité n'est détectée, la tension peut être réduite jusqu'à sa valeur minimale « V_{min} » permettant de prolonger la durée de vie de la batterie sans détériorer l'intégrité des données. On parle alors de profils de mission qui se caractérisent souvent par 3 points de fonctionnement : veille, normal et haute performance.

Dans cette optique, la technologie FD-SOI offre l'intérêt d'exploiter plus largement cette technique d'optimisation comparée à la technologie BULK. En effet, grâce à sa faible variabilité à très basse tension, il est possible de repousser la tension minimale du circuit de plusieurs centaines de millivolts tout en conservant sa fonctionnalité. Ainsi, en technologie 28nm FD-SOI, le V_{min} d'un circuit peut descendre jusqu'à quelques 350-400mV, contre 600mV en technologie BULK-LP. En revanche, lorsqu'un pic d'activité est détecté, la tension d'alimentation est paramétrée à son maximum de manière à augmenter les performances du circuit. En plus de son gain intrinsèque, le FD-SOI offre la possibilité d'augmenter dynamiquement la fréquence de fonctionnement par application d'une polarisation directe sur les caissons des transistors pouvant atteindre 3V [Wil'14]. Ainsi, la technologie FD-SOI offre au concepteur l'opportunité de balayer une très large gamme de tension afin d'améliorer l'efficacité d'un appareil et l'autonomie de sa batterie.

2.5 Conclusion

Dans la première partie de ce chapitre, les performances de la technologie FD-SOI en 28nm ont été confrontées à celles de la technologie BULK, jusqu'ici utilisée. Ce travail a permis d'évaluer les gains intrinsèques apportés par la technologie, aussi bien en termes de fréquence que de puissance consommée. Ainsi, les transistors FD-SOI ont présenté une vitesse 30% supérieure au BULK pour une même consommation statique. De plus, les effets canaux courts étant réduit en technologie FD-SOI, la puissance statique est ainsi divisée par 6.

Ensuite, plusieurs méthodes permettant de réduire les puissances statique et dynamique d'un circuit ont été proposées. Parmi ces techniques, certaines sont communes aux deux composantes comme la réduction de la tension d'alimentation ou la modulation de la polarisation du substrat. Ainsi, il est envisageable de diviser par 50 la consommation statique en appliquant un RBB de -3V ou encore par 21 en réduisant l'alimentation de 1V à 0,5V. La puissance dynamique peut être, quant à elle, diminuée de 58% en ajustant les tensions V_{DD} et V_{BB} sans altérer la fréquence de fonctionnement. Enfin, d'autres techniques comme le multi-L_G, le multi-V_T ou l'implémentation d'interrupteurs de puissance permettent également de diminuer fortement la consommation statique.

En comparaison avec la technologie sur silicium massif, le FD-SOI offre un bras de levier supplémentaire dans les techniques de réduction de la puissance consommée grâce à sa capacité à moduler la tension de seuil des transistors. Cet avantage est crucial pour les prochains nœuds technologiques où il sera nécessaire d'adapter dynamiquement les performances d'un circuit à son besoin.

Toujours dans une optique d'optimisation de la puissance, le chapitre suivant traite la question de la co-intégration multi-V_T au sein d'un même circuit. Il est à noter que la différence structurelle des transistors FD-SOI a amené des contraintes de conception supplémentaires. Ces limites sont exposées dans le prochain chapitre et des solutions sont proposées.

2.6 Références bibliographiques

[Aga'05] Agarwal, A et al., "*Leakage power analysis and reduction: models, estimation and tools,*" Computers and Digital Techniques, IEE Proceedings - , vol.152, no.3, pp.353,368, 6 May 2005

[Cha'92] Chandrakasan, AP.; Sheng, S.; Brodersen, R.W., "*Low-power CMOS digital design,*" Solid-State Circuits, IEEE Journal of , vol.27, no.4, pp.473,484, Apr 1992

[Cla'04] Clark, L.T.; Patel, R.; Beatty, T.S., "*Managing standby and active mode leakage power in deep sub-micron design,*" Low Power Electronics and Design, 2004. ISLPED '04. Proceedings of the 2004 International Symposium on , vol., no., pp.274,279, 9-11 Aug. 2004

[Hwa'06] Chanseok Hwang; Changwoo Kang; Pedram, M., "*Gate sizing and replication to minimize the effects of virtual ground parasitic resistances in MTCMOS designs,*" Quality Electronic Design, 2006. ISQED '06. 7th International Symposium on , vol., no., pp.6 pp.,746, 27-29 March 2006

[Im'03] Im, Hyunsik; Inukai, Takashi; Gomyo, H.; Hiramoto, T.; Sakurai, T., "*VTCMOS characteristics and its optimum conditions predicted by a compact analytical model,*" Very Large Scale Integration (VLSI) Systems, IEEE Transactions on , vol.11, no.5, pp.755,761, Oct. 2003

[Kao'97] Kao, J.; Chandrakasan, A; Antoniadis, D., "*Transistor Sizing Issues And Tool For Multi-threshold Cmos Technology,*" Design Automation Conference, 1997. Proceedings of the 34th , vol., no., pp.409,414, 9-13 June 1997

[Let'14] http://www-leti.cea.fr/en/How-to-collaborate/Collaborating-with-Leti/UTSOI

[Luo'08] Tao Luo; Newmark, D.; Pan, D.Z., "*Total power optimization combining placement, sizing and multi-Vt through slack distribution management,*" Design Automation Conference, 2008. ASPDAC 2008. Asia and South Pacific , vol., no., pp.352,357, 21-24 March 2008

[Mou'10] Moubdi, N. et al., "*Voltage scaling and body biasing methodology for high performance hardwired LDPC,*" IC Design and Technology (ICICDT), 2010 IEEE International Conference on , vol., no., pp.82,85, 2-4 June 2010

[Mut'95] Mutoh, S.; Douseki, T.; Matsuya, Y.; Aoki, T.; Shigematsu, S.; Yamada, J., "*1-V power supply high-speed digital circuit technology with multithreshold-voltage CMOS,*" Solid-State Circuits, IEEE Journal of , vol.30, no.8, pp.847,854, Aug 1995

[Noe'11] JP. Noel, "*Optimisation de dispositifs FDSOI pour la gestion de la consommation et de la vitesse : application aux mémoires et fonctions logiques,*" Thèse de l'université de Grenoble, 2011

[Nuo'12] Nuo Xu et al., "*Impact of back biasing on carrier transport in ultra-thin-body and BOX (UTBB) Fully Depleted SOI MOSFETs,*" VLSI Technology (VLSIT), 2012 Symposium on , vol., no., pp.113,114, 12-14 June 2012

[Van'04] Van der Meer, P.R.; Van Staveren, A. & Van Roermund, A.H.M "*Low-Power Deep Sub-Micron CMOS Logic*" Kluwer Academic, 2004

[Wil'14] R. Wilson, et al., "*27.1 A 460MHz at 397mV, 2.6GHz at 1.3V, 32b VLIW DSP, embedding FMAX tracking,*" Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2014 IEEE International , vol., no., pp.452,453, 9-13 Feb. 2014

Chapitre 3

Techniques de co-intégration de cellules standard multi-V_T en FD-SOI

3.1 Introduction

Il a été présenté dans le chapitre 2 plusieurs techniques d'optimisation visant à réduire la puissance consommée au sein d'un circuit. Dans ce nouveau chapitre, nous nous intéresserons à l'une de ces méthodes largement utilisée par les concepteurs de circuit intégré : la co-intégration de plusieurs V_T. Cette technique qui vise à adapter le type de cellule en fonction des caractéristiques temporelles du chemin logique, est difficilement exploitable en technologie FD-SOI. En effet, le passage de la technologie BULK au FD-SOI occasionne des contraintes supplémentaires dans le placement des cellules intégrant différentes tensions de seuil.

Dans la première partie de ce chapitre, les principales disparités entre les technologies BULK et FD-SOI seront développées afin de localiser précisément l'origine de ces nouvelles contraintes. Dans un second temps, plusieurs solutions seront présentées permettant de dépasser ces limitations et de ré-exploiter le flot d'optimisation standard. Ainsi, en fonction des avantages et des inconvénients de chaque option, le concepteur aura à choisir l'approche la plus adaptée à son circuit.

Enfin, une solution spécifique à la technologie FD-SOI sera exposée : la conception à caisson unique, communément appelée « design single-WELL ». Cette approche permet à la fois de résoudre le problème de co-intégration multi-V_T en FD-SOI, mais apporte également de nombreux avantages en termes de performance énergétique. L'ensemble de ces caractéristiques sont développées dans ce chapitre et accompagnées de mesures silicium.

3.2 La co-intégration multi-V_T en FD-SOI

3.2.1 Rupture entre les technologies BULK et FD-SOI

3.2.1.1 Méthodologie d'intégration standard

En technologie planaire sur silicium massif, la tension de seuil des transistors est déterminée par le type et le niveau de dopage dans le canal ainsi que le matériau de grille utilisé (cf. chapitre 1). Ainsi, pour une tension de seuil faible ou élevée, le dessin des masques (layout) d'une cellule standard ne varie pas. Néanmoins, pour différencier la valeur du V_T à intégrer aux transistors, le concepteur applique un simple marqueur modifiant, lors de la fabrication, certaines étapes (Ex : dopage du canal). Ainsi, au sein d'une même ligne de cellules standard multi-V_T, tous les transistors n-MOS et p-MOS reposent respectivement sur le même caisson-p et caisson-n. De même, la polarisation des caissons est fixée à V_{DD} pour le caisson-n et à GND pour le substrat p afin de conserver pour chaque type de transistor une tension V_{BS} nulle. La figure 3.1.a illustre le dessin des masques d'une porte logique NAND2 valable pour n'importe quel V_T.

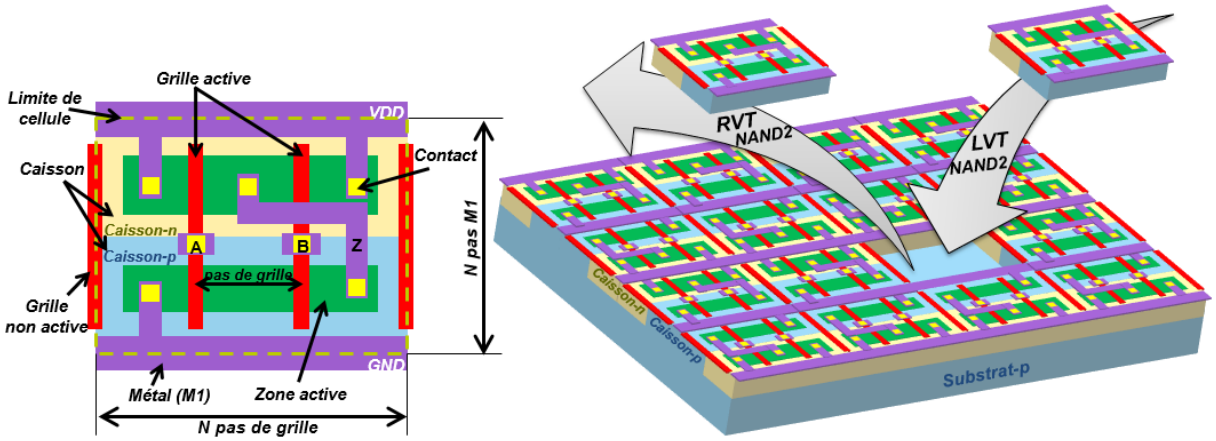


Figure 3.1 (a) Vue simplifiée du layout d'une porte logique de type NAND2. (b) Vue 3D d'une intégration et d'une optimisation standard dans un bloc logique, constitué de portes NAND2.

En pratique, ceux sont les outils du flot de conception qui décident du V_T optimal à utiliser pour chacune des portes logiques implémentées. En effet, lors des étapes d'optimisation « timing » et « power », les cellules standard peuvent être remplacées afin de répondre aux contraintes imposées par le concepteur. Ainsi, les cellules se trouvant sur des chemins non contraint en vitesse sont généralement remplacées par des cellules d'un plus haut V_T, réduisant le courant statique consommé.

En revanche, les portes localisées sur des chemins critiques, sont échangées par des cellules LVT plus rapides, permettant d'augmenter la fréquence de fonctionnement du circuit. La figure 3.1.b illustre un exemple de remplacement d'une cellule RVT par une LVT au cœur d'un bloc logique. Ce procédé est alors répété jusqu'à l'obtention d'une solution répondant à toutes les spécifications du circuit à réaliser (fréquence, puissance, surface, etc.).

3.2.1.2 La problématique en FD-SOI

Contrairement à la technologie sur silicium massif, le 28nm FD-SOI dispose de deux V_T affichant une différence fondamentale au niveau du layout. En effet, il a été montré dans le premier chapitre (Paragraphe 1.3.2.6) que les transistors LVT étaient positionnés sur des caissons inversés par rapport aux transistors RVT qui conservent, quant à eux, une structure classique. Par conséquent, les transistors LVT n-MOS et p-MOS sont positionnés respectivement sur un caisson-n et un caisson-p, comme illustré figure 3.2.

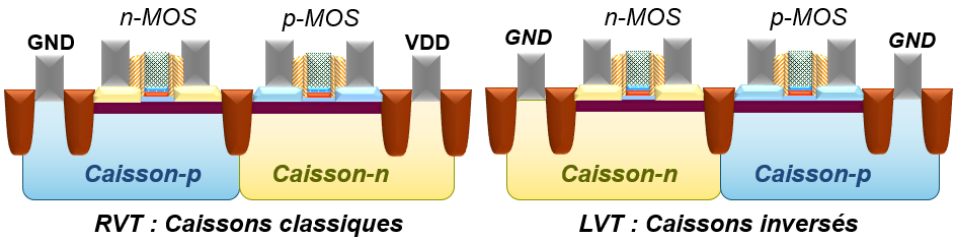


Figure 3.2 Position des caissons en fonction du V_T des transistors.

Cette différence engendre plusieurs types de problèmes : dans un premier temps, l'aboutement de cellules RVT et LVT sur une même ligne crée des points de singularité au niveau des jonctions de caissons n'assurant pas la continuité de leur polarisation (Figure 3.3.a). Une seconde difficulté peut apparaître dans certain cas, c'est la présence de surface de caisson trop petite ne respectant pas les règles de dessin exigées par la technologie. Ce problème se produit lorsqu'une cellule de petite taille se trouve entourée de cellules disposant d'un V_T différent, comme le présente la figure 3.3.a.

Mais le problème majeur se situe au niveau de la polarisation des caissons. En effet, les caissons des transistors RVT sont polarisés de la même manière qu'en BULK : les caisson-n et p sont connectés respectivement à V_{DD} et à GND. En revanche, les deux types de caissons situés sous les transistors LVT sont polarisés à GND. Par conséquent, l'aboutement de deux

cellules RVT et LVT produit un court-circuit entre les alimentations V_{DD} et GND à travers les caissons-n, comme illustré figure 3.3.b.

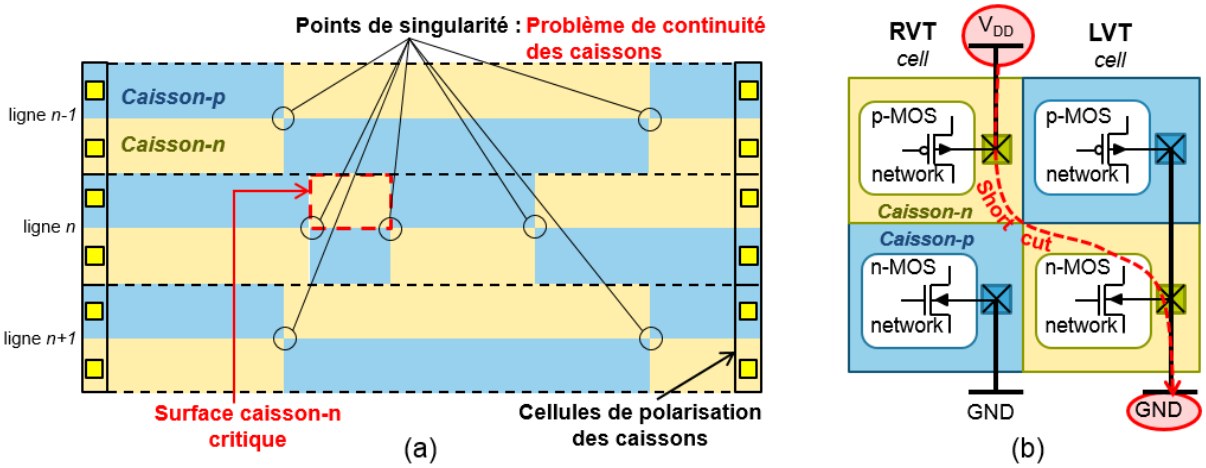


Figure 3.3 (a) Vue schématique du positionnement des caissons-n et p lors d'une co-intégration multi-V_T en 28nm FD-SOI. (b) Illustration du court-circuit engendré par les différentes polarisations des caissons-n.

En conclusion, les contraintes liées à la co-intégration multi-V_T à grain fin ne permettent pas d'exploiter cette technique d'optimisation avec les V_T standard proposés. Le concepteur devra donc faire le choix du V_T à utiliser avant la réalisation de son bloc logique. Néanmoins, l'optimisation de la puissance au sein d'un circuit est aujourd'hui assurée par la co-intégration multi-L_G. Comme il a été décrit dans le chapitre précédent, cette technique consiste à moduler la longueur de la grille des transistors afin d'augmenter ou de réduire les performances d'une cellule.

Dans ce travail de thèse, des solutions ont été explorées afin de permettre à nouveau l'exploitation de la co-intégration multi-V_T classique. Ainsi, des solutions sont proposées dans les parties suivantes permettant de résoudre les problèmes de caissons évoqués précédemment. Ces différentes approches offrent aux concepteurs une flexibilité supplémentaire dans l'optimisation de la puissance des circuits intégrés.

3.2.2 Solutions de co-intégration par ligne de V_T

3.2.2.1 Polarisation statique des caissons

L'une des solutions les plus simples à mettre en place consiste à réaliser une co-intégration par ligne. Dans cette configuration, l'aboutement horizontal de cellules disposant de différentes tensions de seuil n'est pas autorisé. Ainsi, chaque ligne est dédiée à un seul type de V_T ce qui permet d'assurer un positionnement des caissons continu ainsi qu'un nombre de cellules de polarisation réduit. En effet, grâce à l'isolation électrique latérale (STI) et horizontale (BOX), l'effet de latchup n'existe pas dans les technologies SOI [Sak'06], permettant d'étendre la distance entre deux cellules de polarisation. Il est alors possible d'optimiser le placement et le routage (PNR) des cellules standard. La figure 3.4 présente la vue schématique de cette co-intégration par ligne proposant ici une alternance de deux lignes dédiées à un type de VT puis à l'autre.

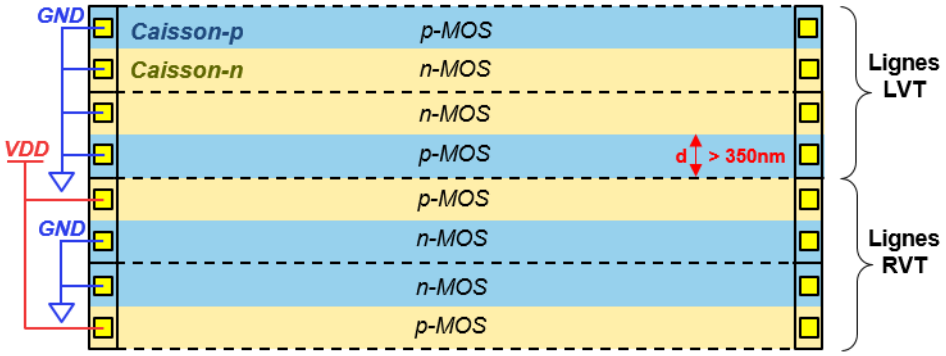


Figure 3.4 Vue schématique de l'implantation des caissons permettant une co-intégration multi-V_T par ligne.

Le fait d'alterner régulièrement les lignes RVT et LVT permet à l'outil de placement et de routage de ne pas déplacer une cellule trop loin de sa position initiale. Ainsi, il n'y a pas d'augmentation significative de la longueur des chemins de métaux.

Cette approche permet donc une co-intégration relativement fine tout en s'affranchissant du problème de court-circuit rencontré lors d'une optimisation classique. De plus, la polarisation spécifique des caissons en fonction du V_T est assurée comme illustré sur la figure ci-dessus. Il est à noter que la distance minimale à respecter entre 2 caissons-n polarisés à des tensions différentes doit être au minimum de 350nm. Les cellules « 12T » ou « 8T », classiquement utilisées dans l'industrie et qui correspondent à une hauteur respective de 1.2µm et 0.8µm, respectent donc amplement cette règle de dessin.

Cette solution séduisante a toutefois une limite si le concepteur cherche à exploiter la technique de back-biasing. En effet, cette approche ne dispose pas d'un caisson-n profond pour ne pas court-circuiter les différentes tensions appliquées sur les caissons-n. De ce fait, les caissons-p sont directement connectés au substrat-p et fixés à GND. En théorie, il est tout de même possible de moduler la tension sur les caissons-n mais cela reviendrait à déséquilibrer les transistors n-MOS et p-MOS. Pour remédier à cette limitation, une deuxième approche va être proposée dans la partie suivante permettant cette fois-ci d'exploiter entièrement le back-biasing de -3V à 3V.

3.2.2.2 Polarisation dynamique des caissons

L'un des intérêts majeurs de la technologie FD-SOI est de permettre un ajustement des performances d'un circuit grâce au back-biasing étendu. Il est donc essentiel d'apporter des solutions de conception permettant son entière exploitation. La figure 3.5 présentée ci-dessous propose une solution associant la co-intégration de V_T ainsi que la possibilité de moduler dynamiquement la tension appliquée sur les caissons-n et p.

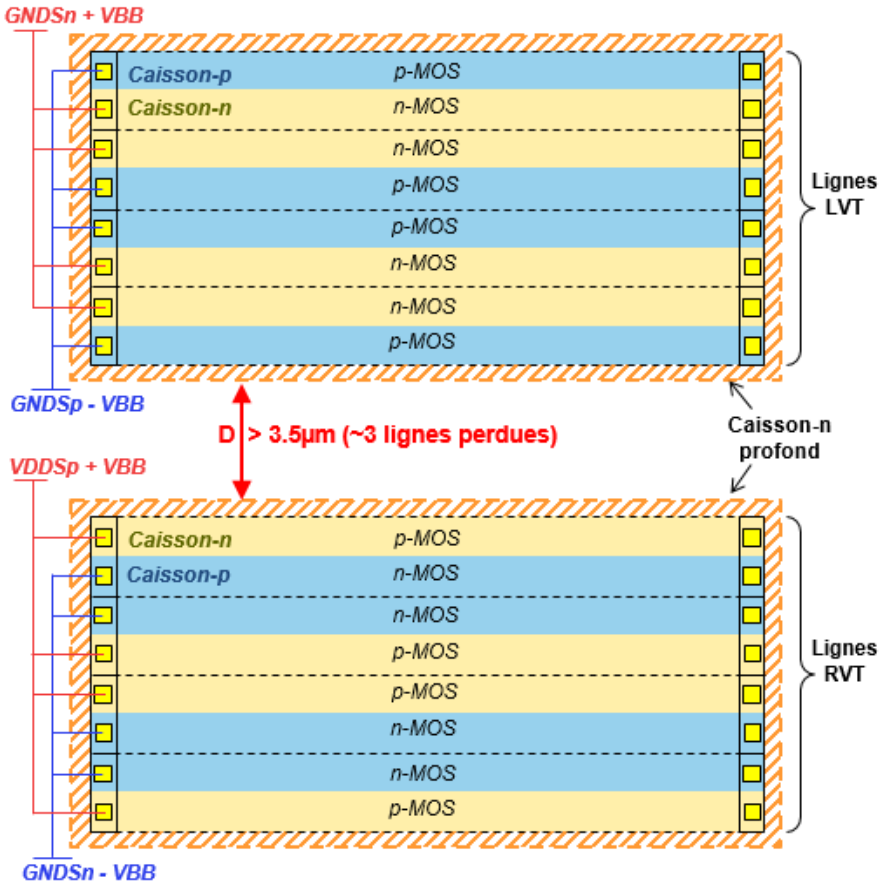


Figure 3.5 Vue schématique d'une co-intégration multi-V_T par groupes de lignes permettant l'exploitation du back-biasing dissocié pour chacun des V_T.

Cette approche est basée sur l'alternance de groupes de lignes LVT et RVT. Chaque groupe de V_T est placé sur un caisson-n profond permettant d'isoler électriquement les caissons-p du substrat-p. Ainsi, la modulation symétrique des tensions appliquées sur les caissons-n et p ne pose plus aucun problème. Dans cette configuration, il est donc possible de booster les performances des cellules LVT grâce à un back-biasing direct (FBB) allant jusqu'à 3V. Il est également envisageable de réduire la consommation statique en appliquant un back-biasing inversé (RBB) modéré de -0.2V (Chapitre 2, paragraphe 2.4.2.3).

De son côté, le groupe de lignes destiné aux cellules RVT peut également être soumis à l'application d'un back-biasing inversé ou direct. Ainsi, il est possible d'ajuster de -3V (RBB) à $V_{DD}/2$ (FBB) la tension des caissons. Il est même possible de dépasser cette limite jusqu'à $V_{DD}/2$ + 0.3V permettant d'augmenter un peu plus les performances du bloc logique en se plaçant juste au seuil de conduction de la diode formée par les caissons-p et n.

Grâce à cette solution, il est donc possible d'envisager un circuit optimisé par la co-intégration de plusieurs V_T ainsi que l'exploitation complète du back-biasing. Cependant, cette approche fait face à quelques contraintes conduisant à des difficultés lors de sa mise en œuvre. En effet, afin de suivre les règles de dessin dédiées à la technologie 28nm FD-SOI, une distance minimale de 3.5µm entre les deux caissons-n profonds doit être respectée. Cet intervalle entre deux groupes de V_T, correspondant à 3 lignes de cellules 12T, est donc perdu.

On se propose maintenant d'expérimenter cette solution afin d'évaluer la capacité des outils de conception à implémenter une telle structure. Pour cela, l'outil Encounter du flot de conception Cadence a été utilisé pour implémenter un DSP-core de 32bits, intégrant 200k portes logiques. La proportion des cellules LVT/RVT issue du résultat de synthèse physique, sans contrainte, a permis de déterminer le nombre de lignes à disposer dans chacun des groupes de V_T. Ainsi, le plan du circuit, plus communément appelé floorplan, a été réalisé avec une alternance des groupes de lignes LVT et RVT, comme illustré figure 3.6.

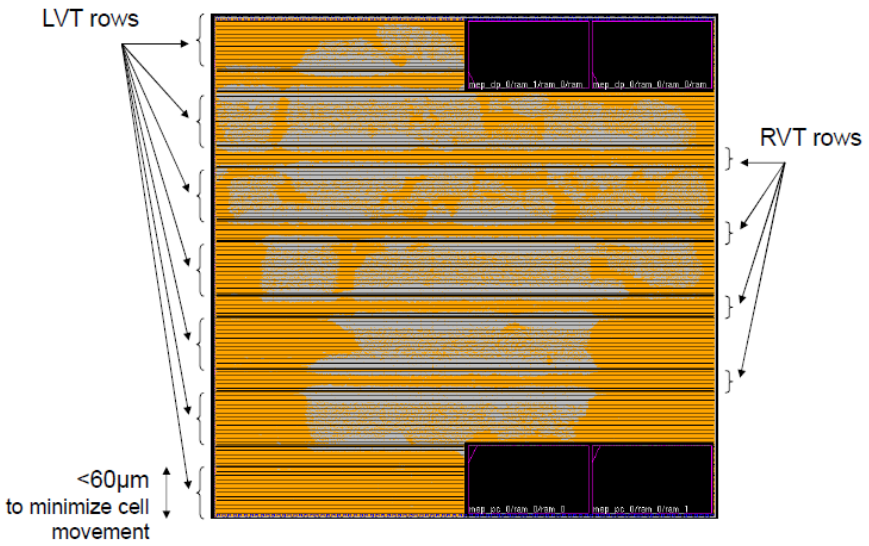


Figure 3.6 Floorplan d'un DSP-core en 28nm FD-SOI intégrant une co-intégration multi-V_T [Pel'13].

Différents essais ont montré que lorsqu'un groupe de V_T était composé de plus de 50 lignes, cela engendrait des déplacements de cellules standard trop importants lors des optimisations de délais. En effet, le remplacement d'une cellule se fait classiquement à la même position. Dans le cas d'une co-intégration comme celle-là, la cellule est déplacée dans un groupe disposant d'un V_T différent qui peut être éloigné, ajoutant donc des difficultés à l'outil pour converger vers une solution. Par conséquent, le nombre de lignes par groupe a été limité à 50.

Cette implémentation physique est confrontée à une méthode classique qui inclue uniquement des cellules standard LVT. Le tableau 3.1 présente les résultats obtenus par cette étude pour une même contrainte en surface et en fréquence (1GHz). Les valeurs en gras indiquent un résultat dégradé de la solution de co-intégration par rapport à l'implémentation de cellules LVT uniquement.

parameter		All LVT	legal Wells RVT/LVT
Total run time	(s)	22819	**70349**
Setup WNS @1 GHz	(ns)	0	**-0.109**
TNS	(ns)	0	**-14.106**
Hold WNS @1 GHz	(ns)	-0.011	-0.036
TNS	(ns)	-0.020	**-2.163**
Average wire length	(µm)	13.8	**22.5**
Total wire length	(m)	1.55	**2.65**
Bins w. density	in [0.9,1.0]	84.3%	**70.6%**
	in [0.5,0.9]	0.0%	**14.0%**
Leakage power	(µW)	11.35	9.85
Total power @ 1GHz	(mW)	127.4	**153.5**
Incl: - switching/wires	(mW)	57.6	**82.7**
- internal/cells	(mW)	69.8	70.8

Tableau 3.1 Evaluation des résultats d'implémentation issue de 3 stratégies différentes [Pel'13].

Le tableau ci-dessus révèle une augmentation considérable du temps de calcul lorsque des lignes spécifiques pour les cellules RVT et LVT sont introduites (facteur 3). Cela montre que les algorithmes intégrés dans l'outil d'implémentation physique ne sont pas adaptés pour de telles contraintes. De plus, lorsque l'outil cherche à optimiser un chemin en remplaçant le V_T d'une cellule, celle-ci ne peut pas être remplacée à sa place initiale. En effet, la nouvelle cellule est déplacée vers le groupe de lignes le plus proche accueillant les portes logiques avec un V_T différent. Ces remaniements de cellules génèrent des effets négatifs sur le circuit.

La première conséquence est l'augmentation de 70% de la longueur totale des fils de métaux (Tableau 3.1). En effet, la contrainte d'espacement entre deux groupes de V_T éloigne considérablement les cellules d'un même chemin logique. Ceci a pour effet d'augmenter la capacité des fils de métaux et donc d'accroître à la fois le temps de propagation des signaux ainsi que la puissance consommée pour faire commuter les portes logiques. Finalement, malgré la réduction de la puissance statique engendrée par l'insertion de portes logiques RVT, la puissance totale consommée est plus importante dans le cas d'une co-intégration multi-V_T.

Ces déplacements de cellules ne génèrent pas une répartition équilibrée des portes logiques sur la surface de silicium disponible. La méthode utilisée par l'outil génère une irrégularité de la densité de placement, compris entre 20 et 100%. En effet, la logique a tendance à se regrouper à proximité des frontières de groupe où les deux types de V_T sont disponibles. Cela crée alors une sur-occupation qui doit être régulièrement ajustée par étalement vers l'intérieur des groupes de ligne. Ceci contribue également à l'augmentation du temps d'exécution de l'implémentation. La figure 3.7 illustre clairement ce propos en présentant le placement des cellules standard dans les différents groupes de lignes LVT et RVT.

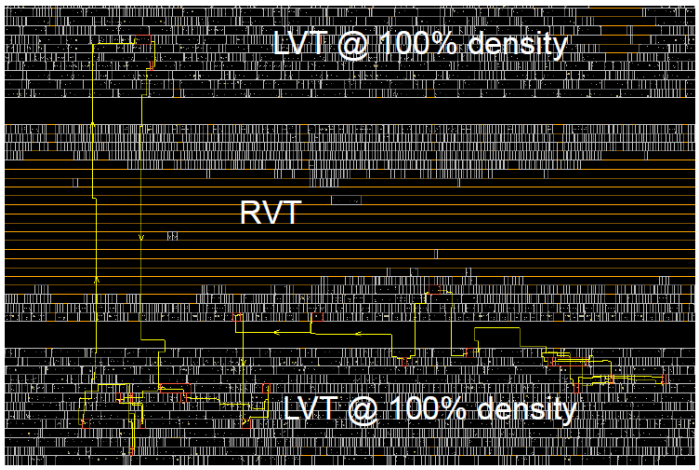


Figure 3.7 Détail du placement d'un chemin critique du DSP-core avec la technique de co-intégration [Pel'13].

Il est intéressant d'observer le parcours d'un chemin critique du DSP-core à travers les différents groupes de V_T (en jaune). Ce tracé illustre clairement l'étirement des chemins logiques causé par le déplacement des cellules standard à travers les différents blocs.

Finalement, en raison de tous ces phénomènes, chaque tentative d'optimisation du chemin critique peut entraîner un résultat dégradé en vitesse et en consommation ce qui peut même empêcher l'outil de converger vers une solution. Afin de ne pas faire face à ces difficultés, il est judicieux de ne pas autoriser un mélange des V_T au sein d'un même chemin de données. Ainsi, chaque chemin logique serait soit de type RVT ou LVT et solutionnerait les problèmes de densité de placement ainsi que l'augmentation des longueurs de fil connectant les cellules standard entre-elles.

3.2.3 La structure à caisson unique : une opportunité spécifique à la technologie SOI

3.2.3.1 Conception de cellules à caisson unique

La technologie SOI a la particularité de disposer d'une couche d'oxyde entre les jonctions S/D des transistors et les caissons constituant une isolation électrique. De ce fait, contrairement à la technologie sur silicium massif, il est possible de modifier les types de caisson sans compromettre le mécanisme de fonctionnement des transistors. Ainsi, la conception de cellule standard ne disposant que d'un seul type de caisson est envisageable en technologie FD-SOI. Ce type d'architecture, plus communément appelée single-Well, est simplement réalisée par association de transistors MOS RVT et LVT. En effet, en assemblant des transistors p-MOS de type RVT avec des transistors n-MOS LVT, une structure single n-Well (SNW) se crée, comme illustré sur la figure 3.8.c. De manière symétrique, il est également possible de concevoir une cellule single p-Well (SPW) en assemblant des transistors LVT p-MOS avec des transistors RVT n-MOS (Figure 3.8.d). Concrètement, pour concevoir une cellule de type single-Well à partir d'une cellule disposant d'un V_T standard, il suffit de permuter l'un des deux type de transistor par le V_T opposé.

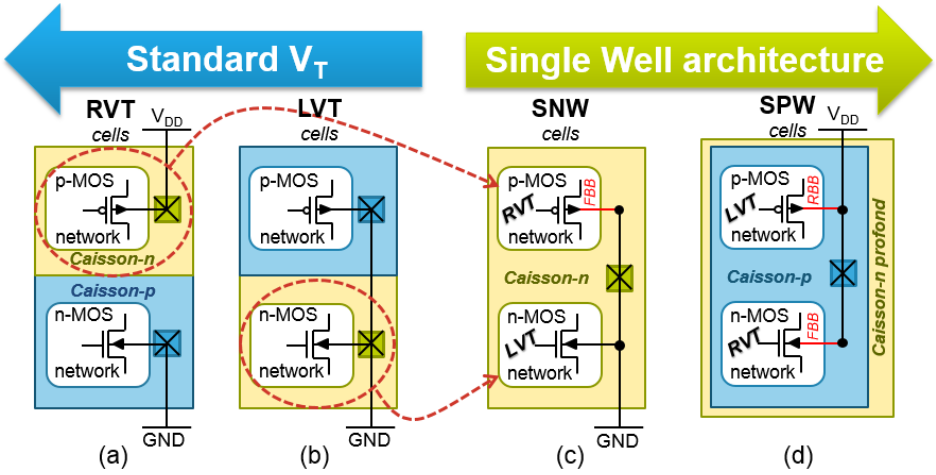


Figure 3.8 Représentation schématique des cellules disposant d'une architecture classique RVT (a) et LVT (b). Mélange des transistors standard pour concevoir une structure single n-WELL (c) et single p-Well (d).

Une fois la structure à caisson unique posée, il est nécessaire de réfléchir à quelle tension polariser ce caisson commun aux transistors n et p-MOS. Dans le cas présent, la volonté est de conserver un bon équilibre de performance entre les deux types de transistors qui disposent de V_T différents. Pour cela, le caisson-n de la solution SNW est fixé à GND. Ainsi,

les transistors LVT n-MOS conservent leurs caractéristiques initiales car la tension V_{BS} est maintenue à 0. En revanche, les transistors RVT p-MOS sont accélérés grâce à un back-biasing direct de V_{DD} permettant de réduire la tension de seuil des transistors p-MOS pour se rapprocher d'un V_T faible (LVT).

Le même principe est appliqué dans la solution SPW. Cette fois-ci, le caisson-p est polarisé à V_{DD} permettant d'accroître les performances des transistors RVT n-MOS (FBB) tout en réduisant légèrement celles des transistors LVT p-MOS (RBB). Ainsi, l'équilibre des transistors est maintenu par rapprochement des valeurs des tensions de seuil. Il est à noter dans ce cas précis qu'il est nécessaire d'utiliser un caisson-n profond (Figure 3.8.d) afin d'isoler le caisson-p polarisé à V_{DD} du substrat-p connecté à GND. Ce caisson profond devra être polarisé à une tension égale ou supérieure au caisson-p afin de maintenir la jonction PN en inverse. Il faut savoir que ces tensions de caisson correspondant au point d'équilibre optimal entre les transistors n et p-MOS ont été extraites par simulation et permettent d'obtenir les meilleures performances en vitesse et en consommation.

En conclusion, la conception de circuit avec des cellules standard disposant d'un caisson unique ouvre de nouvelles opportunités de conception. En effet, grâce à un seul générateur de tension de substrat, il est possible de moduler simultanément les tensions de seuil des transistors n et p-MOS de manière opposée. Ainsi, un équilibrage ou un déséquilibrage volontaire des transistors est facilement réalisable. Cela peut être intéressant pour des structures sensibles comme l'arbre d'horloge [Gir'13] ou encore la conception de circuit fonctionnant à très basse tension.

3.2.3.2 Création d'un V_T supplémentaire

Nous avons vu dans la partie précédente que l'équilibre des transistors était assuré par une polarisation adaptée du caisson commun aux transistors n et p-MOS. En effet, cet équilibre s'explique physiquement par le rapprochement des tensions de seuil faible (LVT) et standard (RVT) associées à chacun des deux types de transistor. Ainsi, les structures single-Well disposent d'un V_T supplémentaire par ajustement de la tension du substrat V_{BS}.

Pour mieux comprendre ce principe, considérons le cas de la structure SPW. Les transistors n-MOS, initialement de type RVT, disposent finalement d'un V_T réduit grâce à un FBB de V_{DD} (RVT+FBB). A l'inverse, les transistors LVT p-MOS subissent, quant à eux, une augmentation de leur tension de seuil provoquée par un RBB de V_{DD} (LVT-RBB). Ainsi, les V_T s'égalisent pour converger vers une tension de seuil intermédiaire, localisée entre le RVT et le LVT. Les caractéristiques des transistors MOS sont résumées dans un tableau et accompagnées d'une vue en coupe pour chacune des solutions (Figure 3.9).

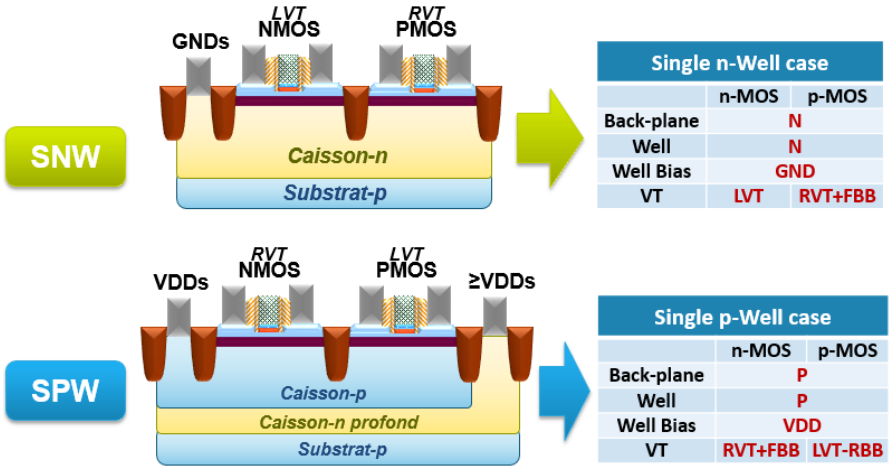


Figure 3.9 Vue en coupe des structures single-Well et le tableau récapitulatif de leurs configurations.

Concernant la structure SNW, les transistors n-MOS conservent leur tension de seuil initiale (LVT) car la tension de substrat vue par les transistors est inchangée (V_{BS}=0). Dans ce cas précis, c'est uniquement la réduction du V_T des transistors p-MOS qui permet d'équilibrer les transistors. En réalité, cette diminution n'est pas suffisante pour égaler la tension de seuil des transistors n-MOS. Il faudrait appliquer une tension de -0.2V sur le caisson-n pour être au parfait équilibre (à V_{DD}=1V). Toutefois, la différence de performance est négligeable et l'intégration d'un générateur de tension négative bien trop coûteuse en consommation et en surface. De ce fait, la tension de polarisation du caisson-n retenue est GND.

Il est maintenant opportun d'évaluer les performances obtenues par les cellules à caisson unique et de les confronter aux cellules disposant d'un V_T standard. Pour cela, un chemin logique a été simulé de 0.5V à 1.3V et les résultats extraits sont présentées figure 3.10.

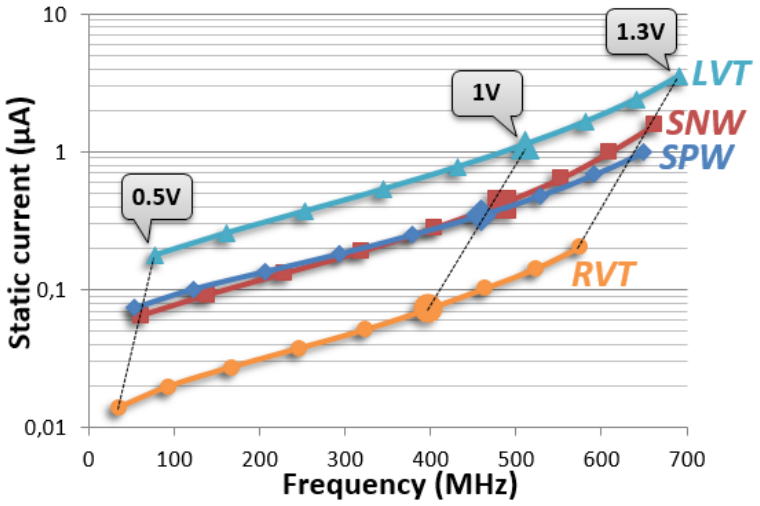


Figure 3.10 Evolution du courant statique en fonction de la fréquence pour les dispositifs RVT, SW et LVT.

Ce graphique illustre clairement le positionnement intermédiaire des solutions SNW et SPW par rapport aux V_T standard. Par exemple, à 1.3V, la logique composée de cellules à caisson-p unique présente une réduction de 3.6x du courant statique consommé pour une diminution de seulement 6% de la fréquence. Ou encore, à basse tension (0.5V), le SNW permet soit de diviser par 3 le courant statique par rapport au LVT, soit d'augmenter de 72% la fréquence de fonctionnement comparé au RVT.

Le concepteur de circuits intégrés dispose donc d'un V_T supplémentaire créé par design permettant d'étoffer le nombre de librairies standard disponibles pour la réalisation d'un circuit. De plus, la solution single-Well convient particulièrement bien aux techniques de compensation couramment utilisées dans la conception de circuit. Ce dernier point est développé dans la partie suivante.

3.2.3.3 Compensation procédé et température

Lors de la production de circuits intégrés, les transistors subissent des variations de fabrication pouvant modifier leurs dimensions (longueur et largeur de grille, épaisseur d'oxyde, etc.) et par conséquent leurs caractéristiques électriques. Cela a pour effet de modifier à la hausse ou à la baisse les performances d'un circuit ainsi que l'équilibre des transistors n-MOS et p-MOS. Ceci est d'autant plus vrai pour les nœuds technologiques inférieurs à 90nm où de faibles variations provoquent des écarts de performances importants.

Dans le but de rééquilibrer efficacement les transistors utilisés dans la conception d'un circuit, l'exploitation de cellules single-Well apparaît comme la plus adaptée et la plus simple à mettre en œuvre. En effet, l'un des intérêts majeurs de cette approche est la possibilité d'ajuster simultanément les tensions de seuil des transistors n et p-MOS de manière opposée à l'aide d'une seule tension de caisson. Ceci a pour conséquence de simplifier le routage de l'alimentation des caissons en s'affranchissant d'une des deux tensions utilisées classiquement. De plus, un seul générateur de tension est à prévoir, réduisant à la fois la consommation statique consommée ainsi que la surface de silicium nécessaire. Afin d'évaluer l'effet de la modulation de la tension V_{BS} sur les transistors n et p-MOS, un inverseur de type SNW a été simulé. Les résultats sont proposés figure 3.11 pour 3 tensions d'alimentation différentes.

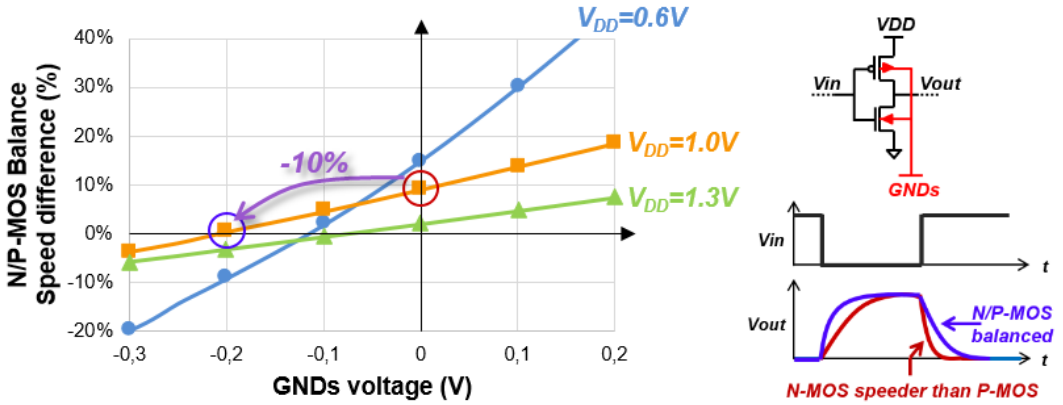


Figure 3.11 Evolution de l'équilibre entre les transistors n et p-MOS, d'un inverseur SNW, par modulation de la tension de substrat GNDs.

Ce graphique présente la différence de vitesse mis par chacun des transistors pour commuter d'un niveau logique à l'autre en fonction de la polarisation du substrat. Lorsque la courbe étudiée se situe au-dessus de l'axe des abscisses, le transistor n-MOS est plus rapide que le p-MOS. A l'inverse, lorsque la différence de vitesse est négative, c'est le transistor p-MOS qui est plus rapide. Un inverseur équilibré se situe donc sur l'axe des abscisses (0%). Il est intéressant d'observer qu'il suffit de moduler de quelques centaines de millivolts pour rééquilibrer les transistors d'une cellule standard. Par exemple, à V_{DD}=1V, la réduction de 200mV de la tension appliquée sur le caisson-n permet d'augmenter la vitesse du transistor p-MOS tout en réduisant celle du n-MOS pour obtenir un parfait équilibre. Pour les tensions d'alimentation plus faible, l'impact du back-biasing est encore plus important avec une réduction de 13% à 15% pour une variation de 100mV de la tension de caisson. Ceci peut être

intéressant pour les structures sensibles aux variations comme les arbres d'horloge où un bloc dédié à la compensation pourrait moduler dynamiquement la tension GNDs.

Les caractéristiques électriques des transistors MOS évoluent également en fonction de la température. A 125°C ou à -40°C, les transistors ne délivrent pas les mêmes performances. C'est pourquoi, il est envisageable d'exploiter de la même manière la structure à caisson unique qui a la faculté de réguler efficacement les variations de performances entre les transistors n et p-MOS.

3.2.3.4 Les applications adaptées au caisson unique

Il a été montré précédemment que les dispositifs single-Well étaient particulièrement adaptés dans le but de maintenir un bon équilibre entre les transistors. Cette caractéristique s'avère utile pour les applications exploitant une très large gamme de tension. En effet, ce type de circuit est conçu pour s'adapter aux besoins de l'utilisateur, fonctionnant à la fois à haute fréquence ainsi qu'à très basse tension. Cette modulation de la tension d'alimentation peut produire un déséquilibre important des transistors, particulièrement à basse tension, jusqu'à conduire au non-fonctionnement de certaines cellules sensibles. De ce fait, la réduction de la tension d'alimentation est limitée. C'est pourquoi, l'utilisation de cellules à caisson unique permet de réajuster dynamiquement l'équilibre des transistors et permet ainsi de réduire la tension d'alimentation au-delà du V_{min} standard.

Pour d'autres applications, il est parfois nécessaire de déséquilibrer volontairement les transistors n-MOS et p-MOS pour optimiser les performances. C'est le cas des blocs logiques réalisés avec des cellules intégrant une architecture « domino logic ». Cette technique consiste à utiliser un transistor p-MOS pour pré-charger la sortie et d'utiliser exclusivement des transistors n-MOS pour la réalisation de la fonction logique [Kar'11]. Ainsi, quand l'horloge est à '0', la sortie est chargée à '1' grâce au transistor p-MOS en-tête (header). Lorsque l'horloge passe à '1', le transistor n-MOS en-pied (footer) devient passant, permettant à la sortie de commuter en fonction du niveau logique appliqué sur les entrées. La figure 3.12.a illustre l'architecture « domino logic » d'une cellule standard NAND2.

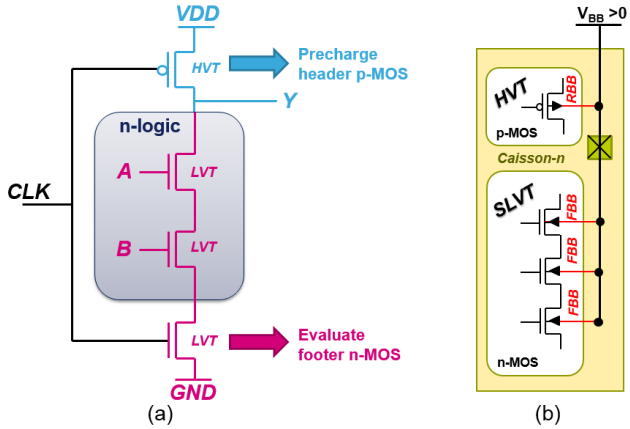


Figure 3.12 (a) Représentation d'une porte logique NAND2 intégrant une architecture de type domino logic classique. (b) Projection de l'approche domino logic sur une structure single n-Well.

Afin d'optimiser ce type de structure, il est judicieux d'utiliser des transistors n-MOS rapides permettant un temps de commutation faible de la sortie et des transistors p-MOS lent, consommant un courant statique faible. Pour cela, les transistors p-MOS disposent d'un V_T élevé et les transistors n-MOS d'un V_T faible. Par construction, la structure SNW satisfait parfaitement cette contrainte avec l'avantage supplémentaire de pouvoir moduler largement la différence de V_T en augmentant la tension du caisson-n. La figure 3.12.b illustre le positionnement des transistors MOS d'une porte logique NAND2 sur un caisson-n unique. En polarisant le caisson-n à une tension positive, le transistor p-MOS obtient une tension de seuil élevée (HVT) alors que les transistors n-MOS disposent d'un V_T très faible (SLVT).

3.2.4 Solutions permettant une co-intégration fine classique

3.2.4.1 Exploitation du V_T supplémentaire issu de l'approche à caisson-n unique

La solution SNW dispose d'une caractéristique très intéressante dans l'optique d'une co-intégration multi-V_T sur une même ligne. Il a été exposé en début de chapitre qu'il était impossible d'abuter une cellule RVT à une cellule LVT, essentiellement à cause des différentes tensions appliquées sur les caissons (Paragraphe 3.2.1.2). La structure single n-Well repose, quant à elle, sur un caisson-n polarisé à GND. Cette spécificité remarquable signifie qu'il est possible de positionner une cellule SNW à côté d'une cellule LVT qui a également ses deux caissons polarisés à GND. Par conséquent, plus aucun problème de court-circuit à travers les caissons n'est à craindre. La représentation d'une co-intégration classique constituée de cellules standard LVT et SNW est présentée figure 3.13.

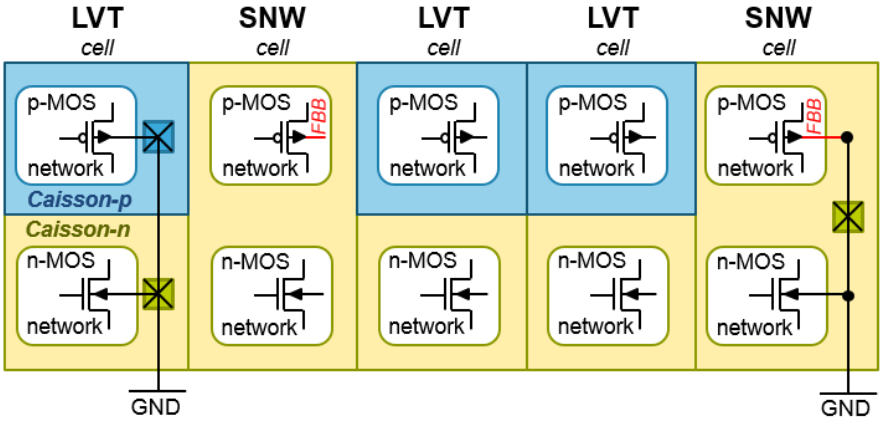


Figure 3.13 Schéma de co-intégration par aboutement de cellules LVT et SNW.

Il est à noter que la continuité du caisson-n est assurée par les cellules, quel que soit leur positionnement. En ce qui concerne les caissons-p, ils sont tous reliés entre eux grâce au substrat-p sur lequel ils reposent. L'utilisation d'un caisson-n profond est donc à proscrire dans cette configuration pour éviter d'éventuelles zones de caisson-p trop petites et isolées. Ainsi, la polarisation des caissons peut être réalisée simplement en bord de ligne à l'aide de cellules de connections standard.

La structure à caisson-n unique résout donc le problème de co-intégration multi-V_T sur une même ligne, présent en FD-SOI. Il est désormais envisageable de réutiliser les techniques d'optimisation classique, utilisées en technologique BULK, afin d'optimiser les temps de

propagation et la puissance consommée d'un circuit. Cependant, la différence de V_T n'est pas très importante entre les transistors LVT et SNW pour réduire significativement la puissance statique consommée. C'est pourquoi, il va être proposé dans la partie suivante, une solution innovante permettant d'exploiter des cellules RVT, co-intégrables aux cellules LVT et SNW.

3.2.4.2 Création d'une cellule standard Regular-V_T co-intégrable

Pour optimiser efficacement les chemins logiques d'un circuit, il est nécessaire de parvenir à co-intégrer des cellules standard disposant de tensions de seuil éloignées. De cette manière, lors des phases d'optimisation, l'outil sera en mesure d'atteindre des fréquences de fonctionnement élevées tout en réduisant fortement la composante statique d'un circuit. Dans le cas contraire, si les V_T sont proches, l'outil n'arrivera pas à converger avec des contraintes trop agressives. C'est pourquoi, il est proposé dans cette partie une solution de conception permettant de co-intégrer à nouveau des cellules de type RVT avec des cellules LVT et SNW sur une même ligne.

Pour cela, il faut résoudre le problème de court-circuit à travers le caisson-n présent lorsque les cellules standard RVT et LVT sont aboutées. L'option retenue est de connecter à GND les deux caissons des transistors RVT de la même manière qu'en LVT. Ainsi, tous les caissons sont connectés à la masse, quel que soit le V_T des transistors (RVT, LVT ou SNW). Pour ce qui est des transistors n-MOS, leurs caractéristiques électriques ne changent pas car ils reposaient déjà sur un caisson-p polarisé à GND.

En revanche, la mise à la masse du caisson-n initialement connecté à V_{DD} modifie les performances des transistors p-MOS. En effet, cet ajustement revient à diminuer la tension de seuil des transistors par modulation de la tension V_{BS} (Equation 25). De ce fait, les transistors p-MOS sont accélérés par un back-biasing direct de V_{DD}. Afin de compenser le gain en performance et retrouver les caractéristiques initiales des transistors, il est judicieux d'utiliser la technique de poly-biasing, consistant à augmenter de quelques nanomètres la longueur de la grille (Paragraphe 1.3.3.2). Ces deux modifications sont illustrées sur la figure

3.14.a. Le point (1) représente la mise à la masse du caisson-n et le point (2) l'élargissement de 6nm (PB6) de la longueur de la grille des transistors p-MOS.

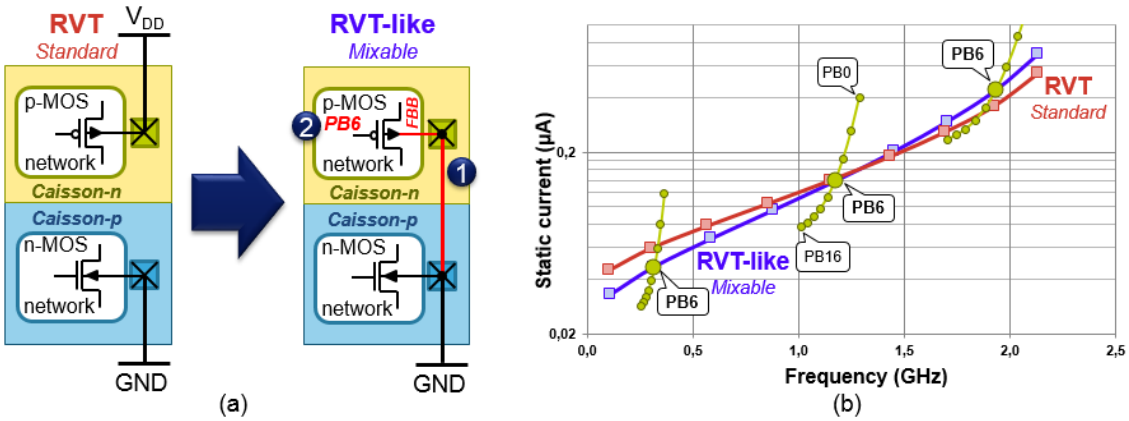


Figure 3.14 (a) Evolution d'une cellule de type RVT standard en une cellule RVT-like, co-intégrable.
(b) Caractéristique du courant statique en fonction de la fréquence pour les deux types de cellule RVT.

Pour déterminer avec précision l'ajustement à appliquer sur la grille des transistors p-MOS, des simulations ont été réalisées sur un chemin logique intégrant diverses portes logiques. Ainsi, l'évaluation des performances de la structure « RVT-like » avec plusieurs valeurs de poly-biasing a pu être réalisée et les résultats comparés à ceux de la structure RVT standard. La figure 3.14.b présente l'évolution du courant statique en fonction de la fréquence pour les solutions RVT standard (rouge) et RVT-like (bleue). Les 3 courbes verticales (jaune) représentent à V_{DD}=0.6V, 0.9V et 1.2V, l'évolution des performances de la solution RVT-like pour une modulation de la longueur de grille comprise entre 0 et 16nm. C'est ainsi qu'il a été choisi d'élargir de 6nm la grille afin d'égaler le plus précisément possible les performances initiales des cellules RVT.

3.2.4.3 Les avantages et les inconvénients

Grâce au V_T supplémentaire réalisé par conception et aux cellules RVT modifiées, il est désormais possible de co-intégrer sur une même ligne trois différents V_T. Ainsi, lors des étapes d'optimisation, l'outil peut remplacer les cellules originales par d'autres plus adaptées sans avoir à les déplacer. De ce fait, contrairement aux solutions de co-intégration par ligne, le remplacement d'une cellule n'engendre pas le repositionnement des portes logiques environnantes. Cela a pour conséquence de réduire fortement le temps de calcul machine et permet de converger plus facilement vers une solution. De plus, si les cellules ne sont pas déplacées, il n'y a pas d'augmentation des lignes de métaux pour assurer leur raccordement. En conclusion, l'exploitation possible de la co-intégration multi-V_T classique, permet de réduire considérablement le temps d'exécution, la capacité globale du circuit et enfin, la surface de silicium utilisée.

La figure 3.15 propose un exemple de co-intégration classique. Cette représentation schématique prouve que l'aboutement de cellules standard n'est plus problématique en FD-SOI grâce aux améliorations apportées.

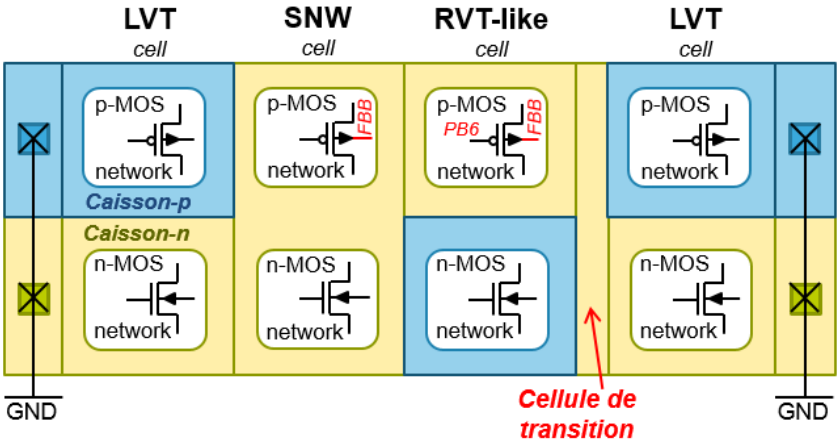


Figure 3.15 Représentation schématique d'une co-intégration multi-V_T classique (LVT, SNW et RVT-like).

Il est à noter qu'un ajustement peut être nécessaire lorsque des cellules RVT sont implantées. En effet, l'aboutement d'une cellule standard RVT avec une cellule LVT nécessite le rajout d'une bande verticale de transition. Ainsi, la continuité du caisson-n est assurée, évitant la création de zones isolées. Afin d'être compatible avec un layout régulier, la largeur de ces cellules de transition doit correspondre à un multiple du pas poly-à-poly (largeur minimale d'une cellule standard). Dans le cas où une cellule de type SNW vient s'interposer entre une cellule LVT et RVT, aucun problème de continuité n'est rencontré.

Au niveau circuit, la co-intégration multi-V_T permet de moduler en vitesse et en consommation statique les caractéristiques des cellules standard. Ainsi, la composante statique d'un circuit peut être réduite tout en maintenant une fréquence de fonctionnement élevée. Pour cela, la création d'un V_T supplémentaire a permis d'offrir au concepteur trois différents niveaux de V_T, comme en technologie BULK. Ci-dessous, la figure 3.16 présente les performances des 3 V_T en technologie 28nm BULK et FD-SOI pour une tension d'alimentation de 1V.

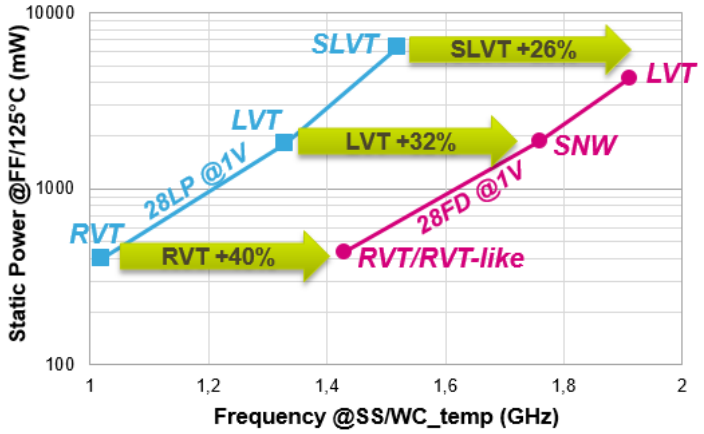


Figure 3.16 Caractéristique de la puissance statique en fonction de la fréquence dans les conditions pires cas à 1V. Positionnement des 3 V_T en technologie BULK et leur correspondance en FD-SOI.

Le graphique exposé ci-dessus montre clairement le gain de la technologie FD-SOI à même puissance statique que le BULK-LP. De plus, en intégrant 3 V_T bien distincts, la technologie FD-SOI peut prétendre de nouveau à exploiter les outils d'optimisation classique, dans le but d'améliorer efficacement les performances d'un circuit. Cependant, un inconvénient est tout de même à signaler. La co-intégration classique présentée dans cette partie n'est pas compatible avec les techniques de back-biasing. En effet, si les tensions des caissons sont modifiées, les transistors seront déséquilibrés ce qui n'apportera aucun gain en performance. Pire, le circuit peut devenir non-fonctionnel. Par conséquent, la modulation de la polarisation des caissons est à proscrire pour les blocs logiques utilisant la co-intégration à grain fin classique.

3.3 Résultats silicium des solutions de conception

Avant de réaliser un circuit complexe intégrant des cellules standard RVT-like et Single-Well, il est nécessaire de valider ces différentes approches sur silicium par le biais de structures simples. Pour cela, des oscillateurs bouclés, communément appelés ring-oscillators (RO), intégrant cent inverseurs en série ont été réalisés. L'intérêt de ce travail consiste donc à se confronter aux règles de dessins en vigueur et aux éventuelles contraintes de placement. De plus, l'utilisation de structures élémentaires permet de s'affranchir de nombreuses sources de problèmes présentes dans les circuits complexes. Ainsi, l'exploitation de ces nouvelles cellules peut être démontrée et les résultats obtenus par simulation confirmés grâce aux mesures silicium proposées dans la partie suivante.

3.3.1 Placement des V_T : Courant statique vs. Fréquence

La première étape de cette analyse consiste à vérifier que chaque V_T a un positionnement conforme aux résultats de simulation. Pour cela, les caractéristiques les plus significatives à analyser sont le courant statique consommé lorsque le circuit est alimenté sans activité, et la fréquence de fonctionnement lorsque le circuit est activé. Ainsi, la figure 3.17 présente les mesures de RO sur une gamme de tension V_{DD} comprise entre 0.5V et 1.3V.

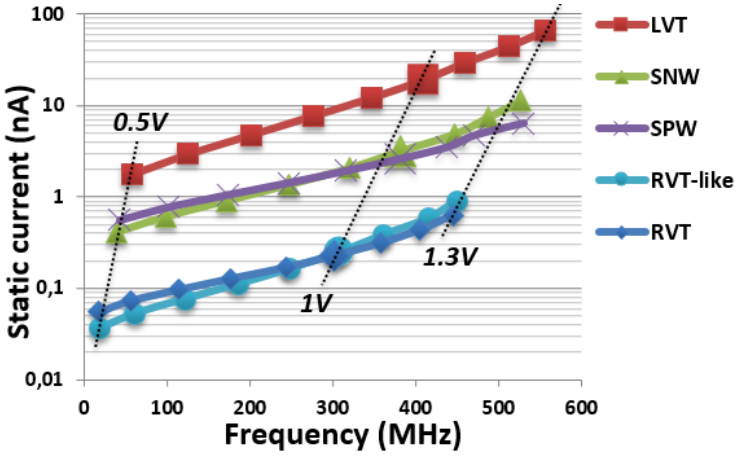


Figure 3.17 Positionnement des différents V_T en termes de consommation statique et de fréquence pour une tension d'alimentation comprise entre 0.5V et 1.3V.

La première observation qui ressort clairement de ce graphique est la bonne superposition des solutions RVT et RVT-like sur toute la gamme de tension. Cela prouve que la solution co-intégrable conserve bien les mêmes caractéristiques électriques que le V_T

standard. De plus, le choix du PB de 6nm avait été calculé afin que les performances de ces deux approches se croisent à 1V, ce qui est bien respecté. Ensuite, les deux solutions single-Well se situent comme prévu entre le V_T faible (LVT) et le V_T régulier (RVT). Cela montre par la même occasion qu'aucune fuite de courant n'est présente lorsque de tels circuits sont conçus, notamment à travers les caissons. Une comparaison des gains en performance mesurés et extraits par simulation est proposée dans le tableau 3.2.

	Gain en fréquence		***Facteur courant statique***	
	CAD	Silicium	CAD	Silicium
LVT vs. RVT	28%	36%	16x	84x
SPW vs. RVT	15%	26%	5x	11x
SPW vs. LVT	-10%	-7%	/3	/7

Tableau 3.2 Résumé des gains en fréquence et en courant statique à V_{DD}=1V en technologie 28nm FD-SOI.

Il est à noter que le centrage de ces 3 V_T est plus éloigné sur silicium qu'en simulation, notamment en consommation statique. Cela peut s'expliquer par la non-maturité à la fois des procédés de fabrication ainsi que du modèle SPICE utilisé au moment de la réalisation de ces circuits de test. Cependant, il est intéressant d'observer les performances de la solution SPW par rapport au LVT qui ne perd que 7% de fréquence à 1V pour un gain en consommation statique de 7x. Cela montre que la solution à caisson unique peut s'avérer essentielle lors de la réalisation de circuits intégrés ciblant de hautes performances avec un budget puissance limité.

3.3.2 Efficacité énergétique du caisson unique

Une fois que la consommation statique a été analysée, il est nécessaire d'étudier l'énergie consommée qui correspond à la puissance totale multipliée par le délai nécessaire à la réalisation d'une opération (Equation 23). Ainsi, pour une fréquence ciblée, il est possible d'évaluer l'efficacité énergétique de chaque solution pour réaliser un même travail. Evidemment, le but consiste à obtenir l'énergie la plus faible possible à une fréquence donnée. La figure 3.18 présente les caractéristiques énergétiques en fonction de la fréquence pour une tension d'alimentation comprise entre 0.5V et 1.3V. Cette figure présente deux taux d'activité opposés : 100% d'activité offre une composante dynamique totale et 2% d'activité propose à l'inverse, une composante statique importante.

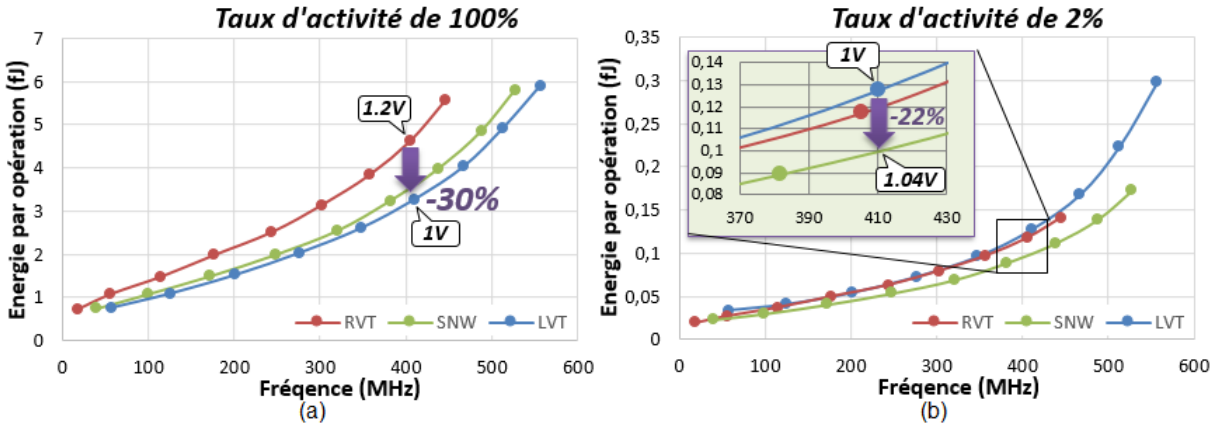


Figure 3.18 Courbes présentant l'énergie nécessaire par opération en fonction de la fréquence avec un taux d'activité de 100% (a) et de 2% (b).

Plusieurs éléments intéressants ressortent clairement de ces deux graphiques. Lorsque l'activité est importante (Figure 3.18.a), les transistors sont amenés à commuter fréquemment, ce qui nécessite une puissance dynamique conséquente. Dans ce cas, les solutions disposant d'un V_T faible sont avantagées car leur courant actif est supérieur, augmentant la vitesse de commutation des transistors. Ainsi, il est possible de réduire la tension d'alimentation de ces solutions pour obtenir la même fréquence de fonctionnement que les circuits disposant d'un V_T régulier. Par conséquent, la puissance dynamique qui est proportionnelle à V_{DD}^2 est réduite, tout comme l'énergie totale nécessaire à réaliser l'opération (Equation 20).

Sur la figure 3.18.a, pour une fréquence de 410MHz, la réduction de 200mV de la tension d'alimentation permet de réduire de 30% l'énergie consommée. Ce qui est intéressant ici, c'est que la solution à caisson-n unique dispose d'une efficacité énergétique comparable au LVT alors même que l'on se trouve dans le cas le plus favorable à la solution LVT. Cela s'explique par des performances en vitesse très proches entre ces deux options. En effet, une différence de seulement 40mV permet à la solution SNW d'atteindre la fréquence de 410MHz. Ainsi, la solution SNW consomme 23% d'énergie de moins qu'en RVT pour réaliser le même travail. Cependant, la solution SNW va se démarquer lorsque le taux d'activité du circuit diminue. En effet, il a été montré précédemment que la structure single-Well disposait d'un courant statique 7x inférieur au LVT. Cela entraîne des résultats intéressants lorsque la composante statique d'un circuit augmente.

En général, même si certaines parties d'un circuit disposent d'une activité élevée, le taux d'activité global d'un circuit reste relativement faible. C'est pour cette raison que les concepteurs cherchent à minimiser le nombre de cellules LVT qui intègrent un courant statique important. Ainsi, pour obtenir un optimum énergétique, il est nécessaire de disposer d'un V_T avec un courant statique modéré, mais à la fois suffisamment performant pour permettre la diminution de sa composante dynamique. Pour cela, la structure à caisson unique apparaît comme la solution la plus adaptée pour répondre à ces exigences. Pour évaluer ses performances, la figure 3.18.b présente les résultats énergétique obtenus pour un taux d'activité de 2%. Cette fois-ci, la solution SNW apparaît clairement comme l'approche la plus efficace proposant une réduction de 22% de l'énergie consommée par rapport à la solution LVT. Cela s'explique par un courant statique bien plus faible qu'en LVT et une efficacité dynamique supérieure aux cellules RVT. Les V_T régulier et faible disposent quant à eux d'une même efficacité énergétique. En effet, dans ce cas précis, le gain obtenu en puissance dynamique par les cellules LVT est tout simplement compensé par la surconsommation statique dont elles souffrent.

Pour conclure, la solution SNW est une approche efficace pour minimiser l'énergie consommée d'un circuit. En effet, pour un taux d'activité défavorable à cette solution, elle dispose d'une efficacité très proche de l'optimum atteint par les cellules LVT. Néanmoins, elle devient la solution la plus attractive pour les taux d'activité faibles, généralement rencontrés dans les applications actuelles.

3.3.3 Co-intégration multi-V_T sur une même ligne

Afin de valider la co-intégration multi-V_T par aboutement de portes logiques, les structures de test précédentes ont été adaptées de manière à permettre la comparaison des résultats ce ces approches aux structures initiales disposant d'une seule tension de seuil. Pour cela, l'oscillateur bouclé est réalisé en alternant la tension de seuil des cellules à chaque étage d'inversion. Ainsi, la répartition des cellules est équilibrée, ce qui doit logiquement conduire à des performances moyennées. La figure 3.19.a illustre cette conception permettant de valider la possible co-intégration de ces cellules standard.

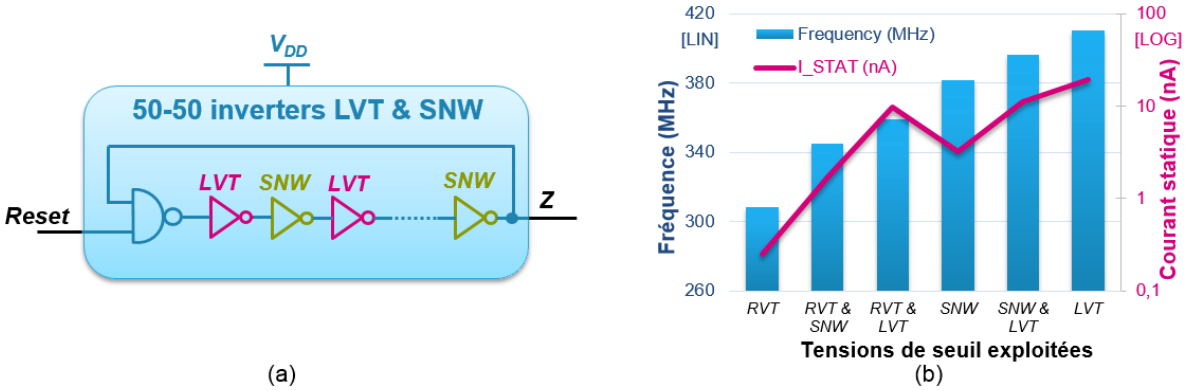


Figure 3.19 (a) Schéma de co-intégration par alternance de deux différents V_T. (b) Résultats en fréquence et en courant statique à V_{DD}=1V des circuits disposant soit d'une co-intégration de V_T, soit d'un seul V_T.

L'observation des résultats en fréquence et en consommation statique présentés figure 3.19.b, permet de tirer plusieurs enseignements. Il est tout d'abord intéressant d'observer que la fréquence atteinte par les circuits issus d'une co-intégration se positionne bien à la moyenne entre les structures disposant d'un V_T unique. Par exemple, la fréquence obtenue par le RO qui intègre des cellules RVT et LVT fonctionne à 357MHz. Cette fréquence est très proche de la moyenne des structures RVT et LVT seules fonctionnant respectivement à 308 et 410MHz. Ce constat est identique pour la consommation en courant statique. Cela démontre qu'il est possible de co-intégrer les 3 différentes tensions de seuil LVT, RVT-like et SNW, sans pâtir d'effets indésirables.

Ce travail permet également d'observer un deuxième résultat remarquable. En effet, la comparaison de la solution SNW avec l'approche co-intégrant des cellules RVT et LVT, on remarque que la fréquence de fonctionnement est supérieure de 6% pour le single-Well alors que sa consommation statique est inférieure d'un facteur 3x. Cela montre que l'évolution de la fréquence et du courant statique en fonction de la tension de seuil n'est pas du tout linéaire. De ce fait, en intégrant des cellules LVT aux cellules RVT, la fréquence est augmentée pour un coût en termes de consommation statique très important. Une fois de plus, cela montre que la solution SNW permet d'accéder à des performances attractives, grâce à un ratio I_{ON} sur I_{OFF} compétitif.

3.4 Conclusion

Dans ce chapitre, nous avons vu la problématique devant laquelle les concepteurs de circuit en FD-SOI sont confrontés lorsqu'ils souhaitent exploiter les techniques d'optimisation classiques. Pour dépasser ces limitations, plusieurs solutions uniques ont été exposées afin de permettre une co-intégration par ligne, en exploitant les deux V_T standard. En tenant compte des spécificités de chaque option, le concepteur aura à choisir la solution la plus adaptée aux caractéristiques du circuit ciblé.

Dans une seconde partie, la structure à caisson unique a été présentée. Cette approche spécifique à la technologie FD-SOI permet à la fois d'accéder à une nouvelle tension de seuil par conception, mais également à rendre de nouveau possible la co-intégration multi-V_T classique. Ainsi, les cellules LVT et SNW peuvent être aboutées sans difficulté. Enfin, pour proposer au concepteur une offre complète, une solution a été imaginée afin d'adapter les cellules RVT pour les rendre co-intégrables à leur tour. Ainsi, le concepteur dispose de 3 niveaux de V_T exploitables de manière classique sur une même ligne, comme en technologie BULK.

Enfin, les approches single-Well et RVT-like ont été évaluées sur silicium et comparées aux V_T standard à l'aide d'une structure de test élémentaire. Ainsi, les performances en fréquence et en consommations statique et dynamique de chaque option ont été analysées. Ce travail a permis de valider les performances identiques des solutions RVT et RVT-like ainsi que les excellentes caractéristiques électriques issues de l'approche à caisson unique.

3.5 Références bibliographiques

[Gir'13] Giraud, B.; Noel, J.P.; Abouzeid, F.; Clerc, S.; Thonnart, Y., "*Robust clock tree using single-well cells for multi-VT 28nm UTBB FD-SOI digital circuits,*" SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), 2013 IEEE , vol., no., pp.1,2, 7-10 Oct. 2013

[Kar'11] Kar, R.; Mandal, D.; Khetan, G.; Meruva, S., "*Low power VLSI circuit implementation using mixed static CMOS and domino logic with delay elements,*" Research and Development (SCOReD), 2011 IEEE Student Conference on , vol., no., pp.370,374, 19-20 Dec. 2011

[Meh'11] Meher, P.; Mahapatra, K.K., "*A high-performance circuit technique for CMOS dynamic logic,*" Recent Advances in Intelligent Computational Systems (RAICS), 2011 IEEE , vol., no., pp.338,342, 22-24 Sept. 2011

[Pel'13] Pelloux-Prayer, B.; Valentian, A.; Giraud, B.; Thonnart, Y.; Noel, J.-P.; Flatresse, P.; Beigne, E., "*Fine grain multi-VT co-integration methodology in UTBB FD-SOI technology,*" Very Large Scale Integration (VLSI-SoC), 2013 IFIP/IEEE 21st International Conference on , vol., no., pp.168,173, 7-9 Oct. 2013

[Sak'06] Sakurai, T.; Matsuzawa, A. & Douseki, T. "*Fully-Depleted SOI CMOS Circuit and Technology For Ultra Low-Power Applications*" Springer, 2006

[Sha'09] Sharroush, S.M.; Abdalla, Y.S.; Dessouki, A.A.; El-Badawy, E.-S.A., "*A novel low-power and high-speed dynamic CMOS logic circuit technique,*" Radio Science Conference, 2009. NRSC 2009. National , vol., no., pp.1,8, 17-19 March 2009

[Sri'05] Srivastav, M.; Rao, S.S.S.P.; Bhatnagar, H., "*Power reduction technique using multi-Vt libraries,*" System-on-Chip for Real-Time Applications, 2005. Proceedings. Fifth International Workshop on , vol., no., pp.363,367, 20-24 July 2005

Chapitre 4

Conception de circuits en FD-SOI 28nm

4.1 Introduction

Dans les trois chapitres précédents, les nombreux avantages de la technologie FD-SOI ainsi que des solutions de conception ont été présentés afin de gagner en efficacité énergétique. Après avoir validé l'aspect théorique, il est désormais nécessaire d'évaluer ces différents axes d'amélioration à travers la réalisation de circuits complexes en technologie 28nm FD-SOI. Ce quatrième et dernier chapitre a donc pour objectif de présenter les résultats silicium de quatre démonstrateurs susceptibles d'être exploités dans de futures applications mobiles.

Pour cela, deux circuits LDPC (pour Low Density Parity Check) identiques ont été réalisés en technologies BULK et FD-SOI. Ces conceptions ont permis d'évaluer les gains intrinsèques apportés par la technologie à film mince. De plus, la conception du premier circuit disposant de caissons inversés est présentée dans ce chapitre. Celui-ci a permis d'effectuer les premières analyses de modulation de la tension de seuil par back-biasing.

Dans la seconde partie de ce chapitre, deux conceptions d'un même circuit DSP (pour Digital Signal Processor) sont proposées. Le premier processeur est réalisé avec des cellules standard de type LVT optimisées pour fonctionner sur une très large gamme de tensions d'alimentation. Le second DSP présenté à la fin de ce chapitre est quant à lui réalisé exclusivement avec des cellules à caisson-n unique. Ainsi, l'analyse des performances en fréquence et en puissance de cette approche spécifique au FD-SOI est comparée aux résultats issus du circuit LVT.

4.2 Portage d'un circuit LDPC en 28nm FD-SOI

4.2.1 Description du circuit

Afin d'évaluer les gains de la technologie FD-SOI, tant en termes de fréquence que de réduction de la puissance, il convient de choisir un circuit applicatif complexe, représentatif de ce qui est intégré dans les applications portables actuelles. Ainsi, le choix s'est porté sur un circuit LDPC, dont l'acronyme signifie « Low Density Parity Check » ou « Vérificateur de parité à faible densité » [Gal'62]. Celui-ci intègre un correcteur d'erreurs linéaires utilisé pour transmettre un message à travers un canal de transmission bruité. En l'absence de correcteur, le bruit additionné au signal émis peut introduire des erreurs pseudo-aléatoires qui ne pourront pas être détectées par le récepteur et encore moins être corrigées.

Ainsi, ce type de codage/décodage est intégré au circuit LDPC afin de le rendre compatible avec le standard IEEE, 802.11n [I3e'09], utilisé dans les applications Wifi. Ce type de circuit est également implanté dans d'autres applications comme la transmission de signaux pour la télévision numérique « DVB-S2 » [Ets'09]. Chez STMicroelectronics, cette architecture a été utilisée comme circuit de test de référence pour évaluer différents nœuds technologiques, à savoir en BULK 0,13µm [Ura'05], 65nm [Ura'08] ou 45nm [Mou'10]. Il s'agit donc d'un circuit de test bien connu, idéal pour expérimenter des techniques de conception innovantes.

L'architecture du bloc LDPC choisi est principalement composée d'un codeur, d'un décodeur, de mémoires ainsi que d'un bloc d'autotest (Figure 4.1). Ce dernier permet d'effectuer une vérification fonctionnelle du bloc en interne par injection de bruit virtuel dans le canal de transmission, engendrant ainsi des erreurs. Du fait que ces erreurs soient connues, l'objectif de ce bloc consiste à vérifier la capacité de l'architecture à corriger le maximum de données erronées en fonction du taux d'erreur binaire, appelé BER pour « Bit Error Rate ». En effet, ce taux d'erreur est égal au nombre de bits erronés divisé par le nombre total de bits transmis. Celui-ci est engendré par les perturbations rencontrées sur le canal de transmission et mesuré à la réception du signal.

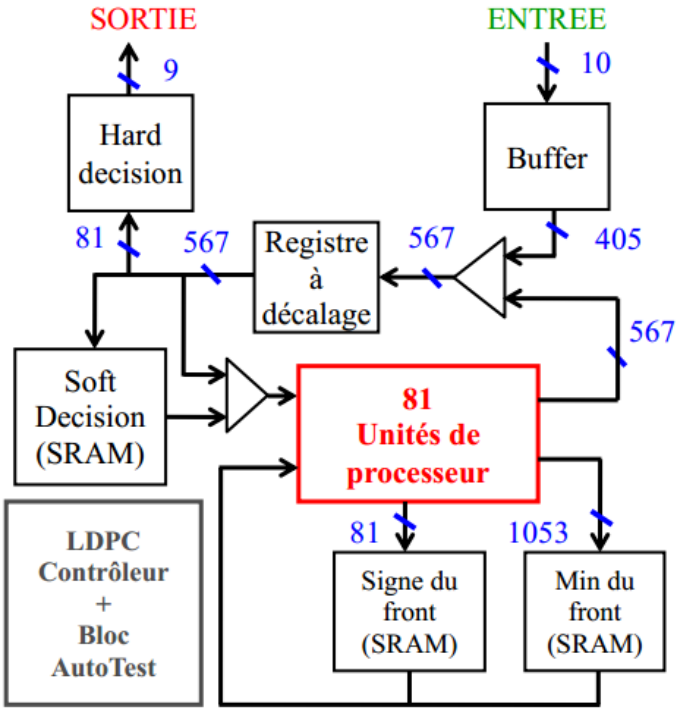


Figure 4.1 Architecture de la partie logique du LDPC

4.2.2 Stratégies de conception mises en œuvre

Pour réaliser un circuit en technologie FD-SOI, le moyen le plus rapide et le moins coûteux est de récupérer la version BULK et de la porter telle quelle en FD-SOI. Cette solution est envisageable grâce à l'équivalence des dessins des masques entre ces deux technologies. Cette approche a été suivie pour la conception des LDPC I et II. La seconde approche consiste à utiliser le flot de conception dédié à la technologie FD-SOI. Dans ce cas, l'ensemble des étapes du flot (synthèse, placement, routage, etc.) est à renouveler. De cette manière, il est possible d'exploiter des techniques de conception spécifiques à la technologie FD-SOI.

La figure 4.2 illustre les flots de conception des 4 LDPC réalisés en 28nm. Cette représentation montre clairement que la conception des LDPC I et II est réalisée à partir d'un seul et même fichier GDS, généré à partir de la plateforme BULK. La différence entre ces 2 circuits réside simplement de l'utilisation de mémoire SRAM dans le LDPC II. Ces deux démonstrateurs permettront une comparaison équitable des technologies BULK et FD-SOI puisque le circuit fabriqué est identique. Ainsi, il sera aisé d'évaluer les gains intrinsèques de la technologie 28nm FD-SOI.

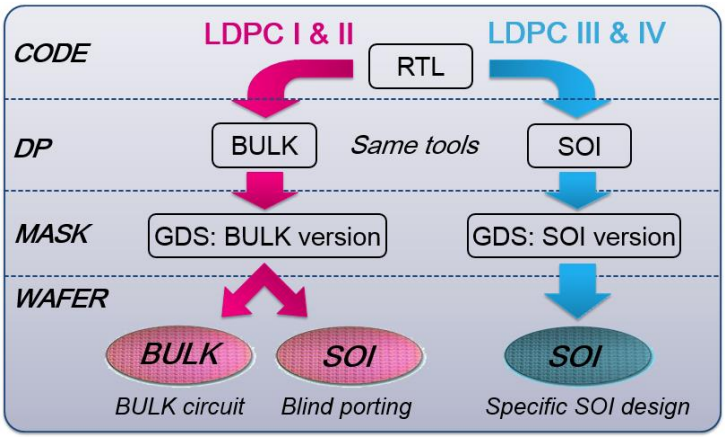


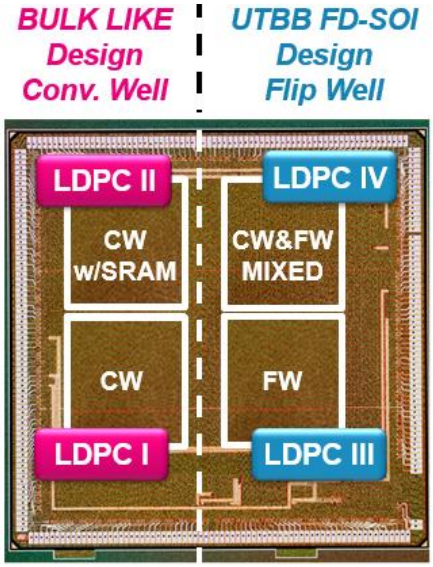
Figure 4.2 Flots de conception des différents circuits démonstrateurs

De son côté, le LDPC III se différencie par l'inversion de ses caissons-n et p. Il faut savoir que cette technique a tout d'abord été imaginée dans le but de dépasser les limites de back-biasing direct. En effet, la structure classique exploitée dans les LDPC I et II permet d'appliquer, au maximum, une tension V_{BB} de $V_{DD}/2$ (cf. paragraphe 1.3.3.1). Au-delà de cette limite, la diode formée par la jonction PN entre les deux types de caisson est mise en direct. Afin de

permettre une plus forte polarisation des caissons, il a ainsi été décidé d'inverser les caissons conduisant à l'inversion de cette diode.

Enfin, le quatrième et dernier LDPC a été réalisé avec l'objectif de réduire la consommation statique du circuit en autorisant la co-intégration classique des cellules RVT positionnées sur des caissons classiques, et des cellules LVT installées sur des caissons inversés. Pour cela, une solution de co-intégration multi-V_T sur une même ligne a été challengée.

Une photo silicium des 4 différents LDPC intégrés au circuit est présentée figure 4.3. Les LDPC I et II (rose) sont compatibles à la fois en BULK et en FD-SOI alors que les LDPC III et IV (bleu) sont issus d'une conception spécifique à la technologie FD-SOI.



Technologies	28nm LP BULK & FD-SOI
Transistors	150 Million RVT, LVT, EG
Interconnect	10 Cu Metal + AL RDL
Die size	10mm²
LDPC core	0.25mm²
V_{DD}	[0.35V; 1.5V]
V_{BB}	[-0.5V ; 1V]

Figure 4.3 Photographie du circuit réalisé intégrant 4 LDPC ainsi que ses caractéristiques.

4.2.3 Résultats silicium FD-SOI vs. BULK

4.2.3.1 Gain en fréquence

L'avantage majeur de ce travail est de pouvoir comparer les performances des LDPC I et II qui sont compatibles à la fois en BULK et en FD-SOI. Cela garantit une évaluation équitable de ces deux technologies. Ainsi, la fréquence de fonctionnement de ce circuit a été mesurée sur une plage de tension complète, commençant de la tension minimale supportée (V_{min}) jusqu'à 1.5V (Figure 4.4). Encore une fois, pour assurer une analyse la plus juste possible, la référence BULK a été mesurée avec un back-biasing direct (FBB) de 0.3V, ce qui correspond à la configuration la plus favorable. Les performances BULK ont ensuite été comparées au FD-SOI sans back-biasing (noBB) et avec un FBB de 1V.

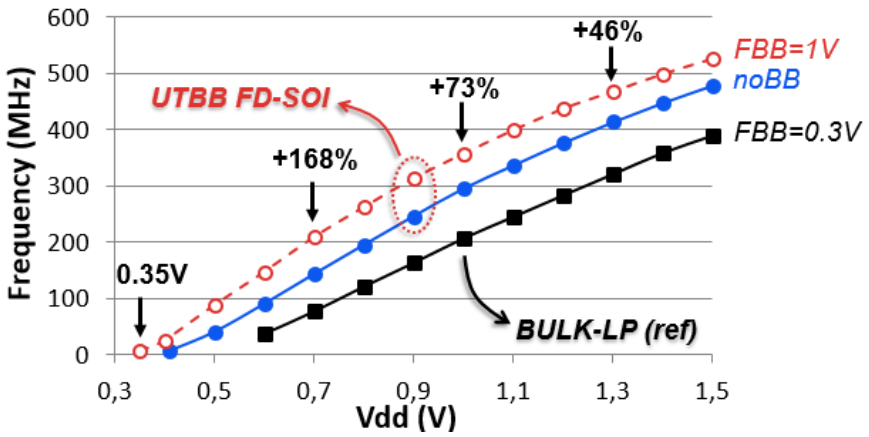


Figure 4.4 Evolution de la fréquence en fonction de la tension d'alimentation en 28nm BULK et FD-SOI.

Pour une même tension d'alimentation, la technologie FD-SOI parvient à atteindre une fréquence de fonctionnement bien supérieure au BULK. En effet, à tension nominale, il est possible de booster de 73% la fréquence en portant simplement un circuit du BULK au FD-SOI. Ce constat est considérablement amplifié à basse tension où la fréquence est multipliée par plus de 3 fois à 0.6V. De plus, grâce aux nombreux intérêts qui découlent de la structure FD-SOI (cf. chapitre 1), cette technologie dispose d'une capacité à évoluer sur une large gamme de tension lui permettant de fonctionner jusqu'à un V_{min} de 0.35V, là où en BULK elle se limite à 0.6V. Ainsi, il est possible de couvrir une gamme de fréquence étendue, allant de 6MHz (0.35V) à 525MHz (1.5V). Il est à noter que le LDPC II qui intègre le portage d'une mémoire 6T-SRAM est fonctionnelle jusqu'à 0.41V, ce qui est remarquable compte-tenu de sa non-optimisation.

4.2.3.2 Efficacité énergétique

Le gain en fréquence provenant du LDPC fabriqué en technologie FD-SOI a un impact positif sur la consommation totale du circuit. En effet, pour une fréquence de fonctionnement ciblée, il est possible de réduire la tension d'alimentation en FD-SOI afin d'égaler la vitesse du circuit BULK. Ceci a pour conséquence d'entraîner une importante réduction à la fois de la puissance dynamique, proportionnelle à V_{DD}^2 (Equation 20), ainsi que de la composante statique (Equation 21). Ce résultat est illustré figure 4.5 à travers la caractéristique de la puissance totale consommée par les deux technologies en fonction de la fréquence.

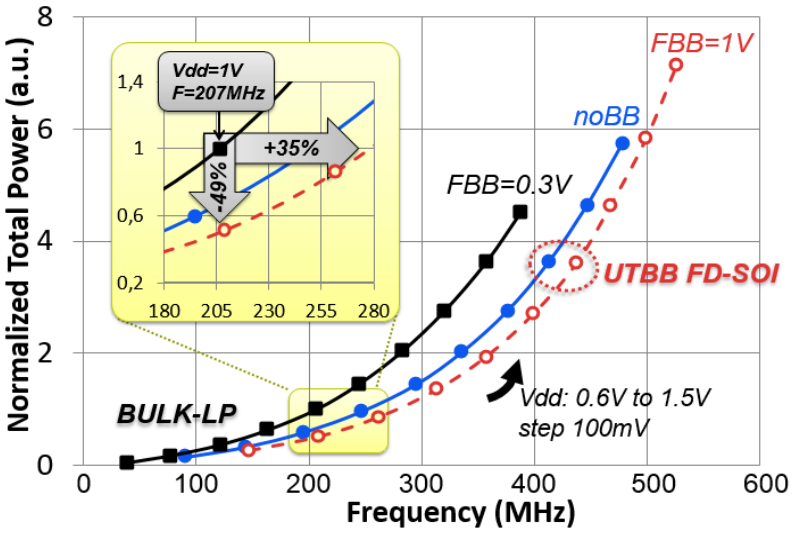


Figure 4.5 Evolution de la puissance totale consommée en fonction de la fréquence pour V_{DD} = [0.6 ; 1.5V].

Ce graphique montre clairement que le circuit réalisé en technologie FD-SOI sollicite moins de puissance pour réaliser une opération à une fréquence donnée. En effet, sur l'ensemble de la plage de tension, cette technologie démontre son excellente efficacité. Cette tendance est encore améliorée lorsque la tension V_{BS} des transistors est modulée. En effet, en appliquant un FBB de 1V, la tension de seuil des transistors est réduite permettant d'accroître la vitesse de commutation des transistors grâce à un courant I_{ON} supérieur (Equations (16 et (17). Ainsi, il est possible de diminuer encore un peu plus la tension d'alimentation et donc la puissance totale consommée. En prenant comme référence les performances du circuit BULK à 1V, il est possible de diviser par deux la puissance consommée en réduisant la tension d'alimentation de 300mV. Ou alors, en maintenant la même puissance, il est possible d'accroître de 35% la fréquence de fonctionnement passant de 207MHz à 280MHz.

Enfin, une caractéristique que les concepteurs de circuits ont l'habitude d'exploiter est l'énergie nécessaire à la réalisation d'une opération multipliée par le délai. Celle-ci dévoile les points de fonctionnement optimums à utiliser dans le but d'obtenir le meilleur rendement possible. Evidemment, les résultats qui découlent de cette analyse dépendent de nombreux paramètres comme l'architecture exploitée ou encore le taux d'activité du circuit.

Dans le cas présent, la puissance totale du LDPC est largement dominée par la composante dynamique. Dans cette configuration, la modulation de la polarisation du substrat a tout son intérêt. Néanmoins, il est nécessaire de refaire cette étude pour chaque nouvelle conception ou changement de technologie si la puissance statique devenait une composante notable. La figure 4.6 présente ainsi les résultats du produit énergie par le délai (EDP) en fonction du délai pour chacune des technologies.

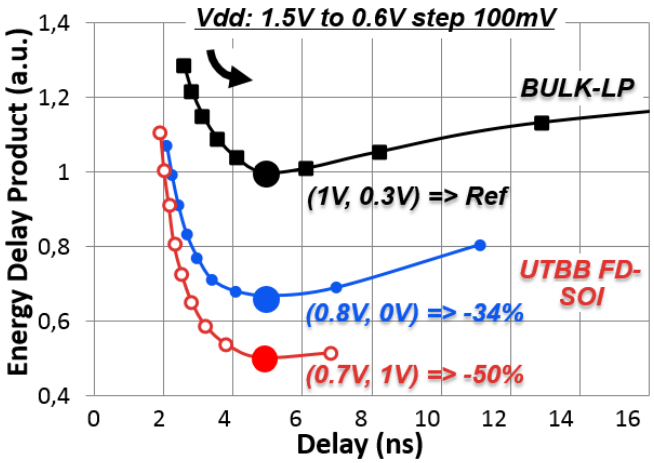


Figure 4.6 Optimisation du produit Energie par le délai grâce au back-biasing.

Il est intéressant de noter que le point de fonctionnement optimal évolue en fonction des technologies et de la valeur du back-biasing appliquée. En effet, l'EDP est réduite de moitié en FD-SOI avec un FBB de 1V. Ce résultat est tout à fait cohérent avec l'analyse précédente puisque l'optimum est obtenu pour un délai identique de 5ns. De ce fait, seule la puissance consommée évolue dans l'équation de l'EDP qui est égal à la puissance multipliée par le délai au carré.

4.2.4 Analyse de défaillance technologique

4.2.4.1 Courant statique anormal à travers les caissons

Les premières analyses réalisées sur les circuits LDPC ont permis d'observer des gains très satisfaisants lors du portage de la technologie BULK en FD-SOI. Néanmoins, la comparaison des performances estimées par les outils de conception et mesurées sur silicium ont révélé des divergences non négligeables. En effet, une réduction de près de 20% de la fréquence de fonctionnement a été observée sur silicium. C'est pourquoi, une campagne de mesure spécifique intégrant l'extraction de tous les courants a été réalisée dans le but d'appréhender la baisse de performance.

Les résultats obtenus ont démontré un courant statique anormalement élevé à travers les caissons-n. Le courant mesuré s'avère bien supérieur à celui estimé, au point d'atteindre une valeur proche du courant I_{DS}, circulant dans le canal. Pourtant, celui-ci devrait seulement correspondre au courant inverse de la diode formée par la jonction PN. Ce phénomène est particulièrement marqué sur le LDPC III disposant des transistors à caissons inversés. Les différents courants statiques mesurés sur les LDPC I et III sont présentés figure 4.7 ainsi que la structure des caissons associée.

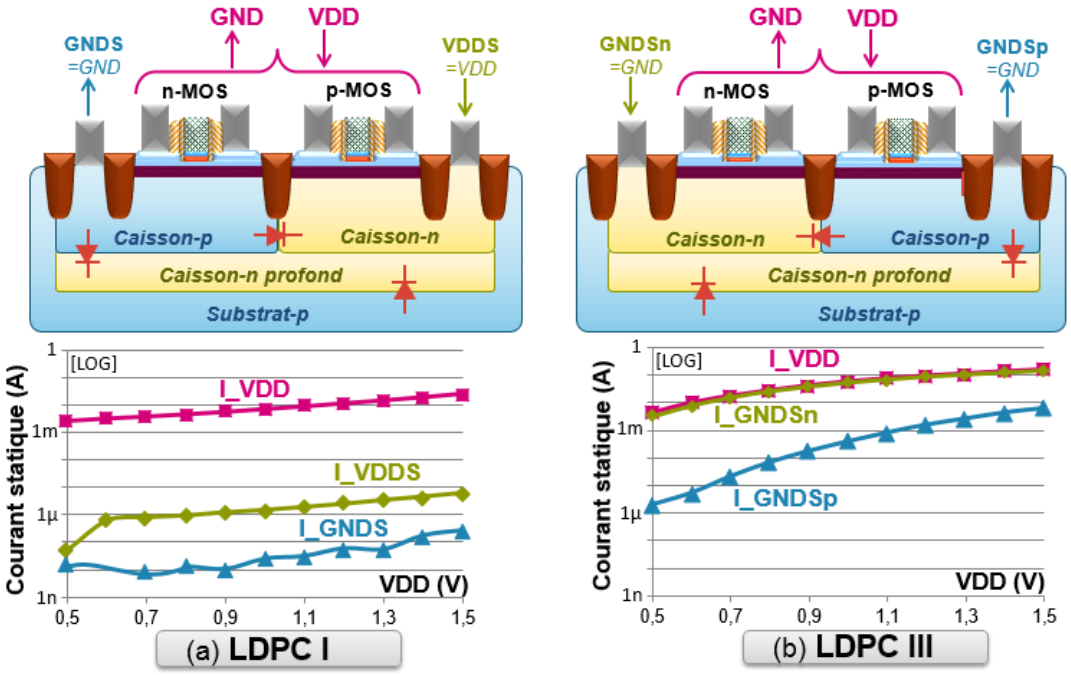


Figure 4.7 Représentation des structures utilisées dans les LDPC I (a) et III (b) ainsi que les mesures de courant statique correspondantes.

Sur la figure 4.7.a, le courant observé sur les caissons-n (I_VDDS) du LDPC I est plus important que la valeur attendue. En effet, celui-ci atteint plusieurs microampères alors qu'il devrait égaler la valeur du courant circulant dans les caissons-p (I_GND) et ne pas dépasser quelques nanoampères. Cependant, ce courant reste raisonnable compte-tenu de la non-maturité de ce premier silicium FD-SOI.

En revanche, le LDPC III exhibe un courant statique bien plus élevé (Figure 4.7.b). En effet, le courant circulant dans les caissons-n (I_GNDSn) est identique à celui débité par l'alimentation principale V_{DD}. Cela a pour conséquence de tirer vers le haut le courant I_GNDSp circulant dans les caissons-p. Ce constat met en évidence un problème majeur lors de la fabrication des transistors. En effet, grâce à l'oxyde enterré qui joue le rôle d'isolant, aucun courant ne devrait pouvoir transiter entre la face avant et la face arrière des transistors, ce qui n'est pas respecté. De plus, la tension appliquée sur les caissons-n et p est constante et égale à GND, ce qui devrait conduire à une consommation minimale puisque la diode formée par les caissons est court-circuitée. Malgré cela, ce courant évolue en fonction de la tension V_{DD} ce qui démontre la dépendance de la face arrière avec la face avant des transistors.

Afin de confirmer la localisation de ce problème, une mesure spécifique a été effectuée sur le LDPC III en fixant toutes les alimentations à GND. A partir de cette configuration, seule la tension GNDSn appliquée sur les caissons-n est modulée (Figure 4.8.a).

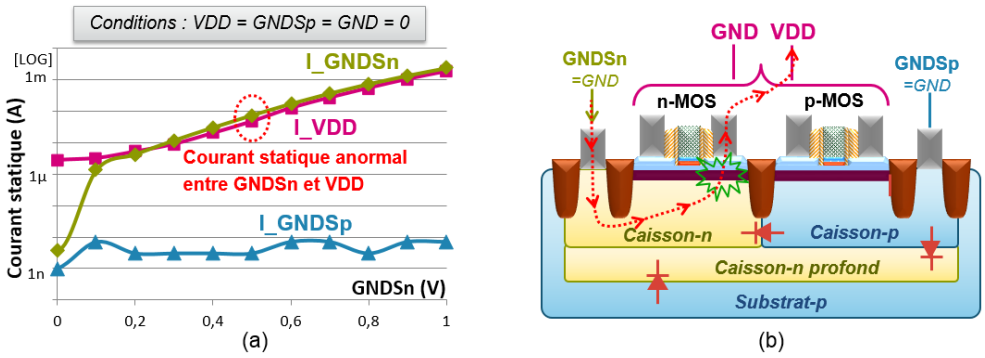


Figure 4.8 (a) Evolution des courants statiques en fonction de la tension GNDSn. (b) Représentation du courant circulant entre V_{DD} et GNDSn au sein du LDPC III.

Dès lors qu'une tension positive est appliquée sur les caissons-n, un courant anormal circule entre les alimentations V_{DD} et GNDSn s'apparentant à un court-circuit. Cela démontre clairement la présence d'un chemin entre les caissons-n et les contacts des actives S/D à travers le BOX comme l'illustre la figure 4.8.b.

4.2.4.2 Perçage du BOX par les contacts

Maintenant que le problème de fuite est ciblé, il est nécessaire d'effectuer une analyse eFA dont l'acronyme signifie « electrical Failure Analysis » ou « analyse de défaillance électrique ». Pour cela, la technique la plus adaptée consiste à repérer les zones où se situent les fortes consommations de courant par détection de photons émis lors de recombinaisons de paires électron-trou [Kol'92]. Cette méthode d'analyse, communément appelée EMMI pour « Emission Microscopy », est une technique sans contact et non destructive apparue à la fin des années 80 [Khu'86].

Dans le cas du LDPC III, cette technique a été exploitée en fixant l'alimentation V_{DD} à GND et en modulant uniquement la tension appliquée sur les caissons-n (GNDSn). De cette manière, le courant de fuite anormal présent dans les caissons n'est pas masqué par la consommation statique circulant dans le canal des transistors. Ainsi, le circuit a été placé dans les mêmes conditions que l'analyse précédente (Figure 4.8.a).

L'utilisation de la technique d'observation par photoémission a l'avantage de permettre une analyse en temps réel. Ainsi, les zones critiques s'éclaircissent dès la polarisation de quelques centaines de millivolts de la tension GNDSn appliquée sur les caissons-n. La figure ci-dessous présente deux photographies du LDPC III prises lors d'une analyse EMMI pour une tension GNDSn de 500mV et de 100mV respectivement.

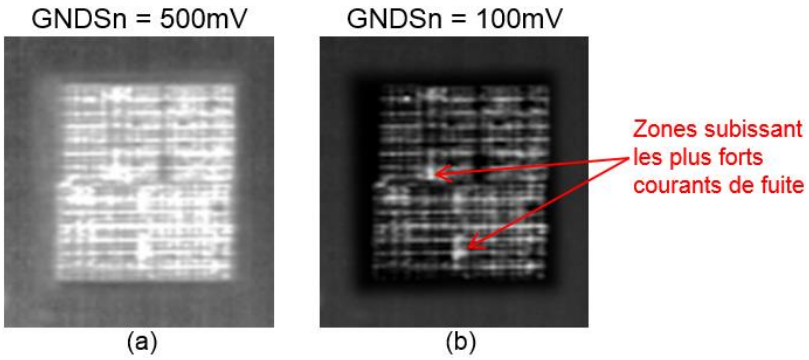


Figure 4.9 Photographies du LDPC III lors de l'analyse EMMI avec GNDSn égale à 500mV (a) et à 100mV (b).

La première image a permis de constater que le problème de fuite était généralisé à l'ensemble du circuit (Figure 4.9.a). Cela démontre que le courant consommé n'est pas la conséquence d'un problème de conception mais plutôt de la technologie. En effet, dans le cas d'une erreur de conception, la fuite serait localisée à l'emplacement de la cellule défectueuse.

Pour affiner l'analyse de défaillance, il est donc judicieux de se concentrer sur l'une des zones les plus affectées afin de comprendre la cause de ce court-circuit. Pour cela, la tension sur les caissons-n a été diminuée à 100mV afin de localiser avec précision les coordonnées du circuit qui subissait les plus forts courants de fuite. Grâce à ces coordonnées, il est envisageable de réaliser des photos en coupe des transistors présents aux endroits critiques. Ce travail a donné lieu à la réalisation d'images pertinentes comme le propose la figure ci-dessous.

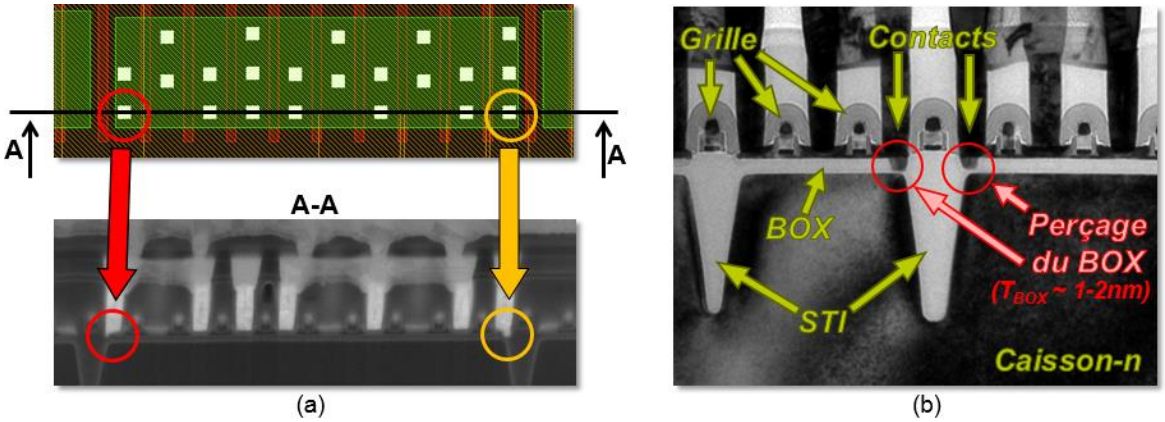


Figure 4.10 (a) Vue GDS de la cellule à observer avec le plan de coupe réalisé. En dessous, la photo silicium de la coupe. (b) Vue en coupe d'une cellule où le perçage est clairement visible.

La figure 4.10.a présente une vue GDS d'une cellule souffrant d'une fuite importante à travers les caissons-n. En-dessous, sur la photo silicium représentant la vue en coupe de cette cellule (A-A), on distingue une excroissance des contacts S/D qui traversent une partie de l'oxyde enterré (BOX). Il est à noter que ce phénomène n'apparaît qu'en bord de zone d'active, là où les tranches d'isolation verticales sont présentes (STI).

Une deuxième photo a été réalisée avec plus de précision afin de permettre une observation claire des différentes couches utilisées dans la fabrication des transistors (Figure 4.10.b). Cette photo démontre clairement qu'un défaut de fabrication se produit lors de l'implantation des contacts qui a pour conséquence de percer le BOX. En effet, l'oxyde enterré dont l'épaisseur est normalement de 25nm ne mesure plus qu'un à deux nanomètres avec cette anomalie. Cette finesse laisse donc la possibilité au courant de circuler entre le caisson et le contact.

Cette anomalie a également été retrouvée sur le LDPC I alors que les mesures de courant ne montraient qu'une légère surconsommation dans les caissons. Il est intéressant de comprendre pourquoi le défaut n'était pas visible sur les structures classiques. Dans le cas du LDPC intégrant des cellules à caissons classiques, les caissons-n situés sous les transistors p-MOS étaient connectés à V_{DD}. De cette façon, le défaut de perçage entre l'alimentation principale V_{DD} et les caissons-n connectés également à V_{DD} était court-circuité, ce qui a eu pour conséquence de le masquer. Pour confirmer cette théorie, de nouvelles mesures de courant ont été réalisées sur le LDPC I en fixant les caissons-n et p à GND. Cette fois, le LDPC I a dévoilé une importante fuite entre les caissons-n et V_{DD}, de la même manière que sur le LDPC III à caissons inversés.

Une fois le défaut ciblé, celui-ci a été partagé aux équipes en charge de la fabrication des circuits sur silicium. Ainsi, les procédés de fabrication de la technologie 28nm FD-SOI ont été améliorés, permettant la suppression du perçage de l'oxyde enterré par les contacts. De ce fait, la polarisation des caissons n'est plus affectée par la tension V_{DD} appliquée sur les jonctions S/D des transistors.

4.3 Réalisations d'un microprocesseur DSP

Au début de ce chapitre, la conception de plusieurs circuits LDPC ont été présentés dans le but d'analyser les gains de la technologie 28nm FD-SOI par rapport au BULK. Ce travail a permis d'obtenir des résultats de mesure séduisants sans aucune optimisation lors de la conception. L'ajustement de la tension de seuil des transistors par modulation de la polarisation des caissons était alors contraint par les plots d'entrée disponibles à ce moment-là. Ainsi, la polarisation était limitée à des valeurs comprises entre -0,5V et 1V.

Une fois que la technologie a gagné en maturité et que l'offre des dispositifs s'est étoffée, il était opportun de concevoir des démonstrateurs exploitant tous les avantages de la technologie FD-SOI. C'est dans ce contexte que deux circuits ont été réalisés dans le nœud 28nm. Le premier intègre des cellules standard de type LVT, disposant d'une vitesse de commutation élevée ainsi qu'une modulation étendue de la tension des caissons. Pour cela, les plots d'entrée ont été modifiés permettant une polarisation de ±2V. Le second circuit réalisé est très proche du précédent puisqu'il a été synthétisé à partir de la même description logique. La différence se situe au niveau des librairies standard qui ont été remplacées exclusivement par des cellules de type SNW. Cela fait de ce circuit le premier démonstrateur réalisé avec un seul et unique caisson.

4.3.1 Description du circuit

4.3.1.1 Caractéristiques du DSP

Le circuit sélectionné pour exploiter pleinement la technologie FD-SOI s'est porté sur un processeur de signal numérique, communément appelé DSP pour « Digital Signal Processor ». Ce microprocesseur est couramment utilisé dans les applications intégrant un traitement en temps réel comme, les modems, les téléphones portables, les appareils multimédia ou encore les récepteurs GPS. Sa fonction consiste à effectuer des opérations mathématiques usuelles comme la multiplication, l'addition ou la soustraction, couramment utilisées dans les algorithmes de traitement du signal. Pour cela, les DSP intègrent un jeu d'instructions optimisé leur permettant d'exécuter rapidement ces opérations. Par exemple, de nombreux algorithmes ont besoin d'effectuer des multiplications suivies d'une addition. Les DSP accélèrent ce type de calcul en fournissant des instructions capables de multiplier

deux nombres et d'en additionner un troisième en une seule fois. Le sous-circuit en charge de cette opération s'appelle un MAC, pour « Multiply–ACcumulate ». En intégrant ce type de fonction, les DSP sont ainsi capables d'effectuer plusieurs opérations en un seul cycle d'horloge.

Dans ce travail, le DSP sélectionné comme démonstrateur est destiné aux applications de télécommunication. Celui-ci intègre un chemin de données de 32 bits organisé autour d'un MAC dédié à l'arithmétique complexe ainsi qu'aux opérations scalaires (Figure 4.11). En plus du MAC, deux opérateurs spécifiques ont été intégrés : un bloc CORDIC/diviseur et un Comp/Select. L'opérateur CORDIC, dont l'acronyme signifie « COordinate Rotation DIgital Computer », est un algorithme de calcul des fonctions trigonométriques et hyperboliques. Celui-ci permet de déterminer le sinus ou le cosinus d'un angle donné en radians.

Afin de réaliser ces tâches, les données sont importées à travers une interface série. Celles-ci sont ensuite stockées soit dans des registres de 64x32bits, soit dans deux mémoires RAM de 1Kx32 (SRAM Prog / Data). Le bloc « Control » extrait quant à lui à partir de la mémoire d'instruction (Input/Output RAM) les informations à fournir au chemin de données et au générateur d'adresses. L'architecture complète de ce DSP présente une profondeur de 10 étages de pipeline, lui permettant d'atteindre une fréquence de fonctionnement supérieure à 1.5GHz à tension nominale, sans back-biasing.

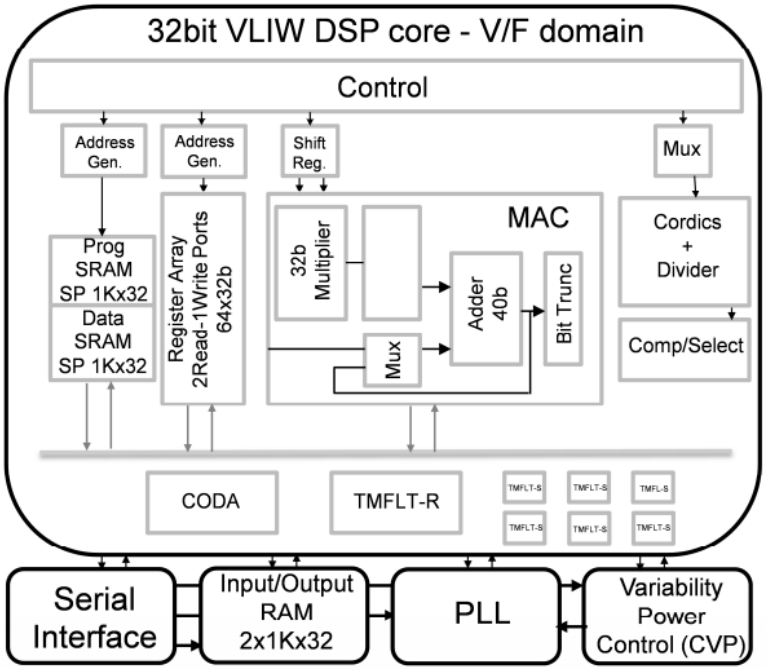


Figure 4.11 Architecture d'un DSP VLIW composé d'un chemin de données de 32-bit. Intégration des blocs CODA et FMFLT en charge de la recherche de la F_{MAX} et son contrôleur CVP.

4.3.1.2 Le challenge à relever

Afin de suivre les exigences croissantes des applications mobiles, il est indispensable de concevoir des circuits sachant fonctionner à très hautes vitesses. Cette caractéristique assure le bon fonctionnement de l'appareil au détriment de son autonomie. Pour remédier à ce problème, une solution efficace consiste à moduler largement la tension d'alimentation afin d'adapter les performances du circuit aux besoins de l'utilisateur. Cette technique, communément appelée UWVR pour « Ultra Wide Voltage Range », combine à la fois des performances élevées à tension nominale ainsi qu'une consommation réduite à basse tension. Il existe dans la littérature de nombreux circuits proposant une large gamme de tension [Gam'11] [Hsu'12] [Jai'12] : ceux-ci proposent des performances élevées à tension nominale mais souffrent de faibles capacités à plus basse tension.

Le premier objectif de ce circuit consiste donc à être capable de maintenir une fréquence de fonctionnement élevée sur l'ensemble de la plage d'alimentation. Pour cela, deux solutions de conception innovantes ont été intégrées afin de mesurer avec précision les marges de temps présents sur les chemins critiques [Wil'14]. En effet, lors de la conception de circuits intégrés, des marges conséquentes en termes de délais sont rajoutées afin d'assurer le bon fonctionnement du circuit, quelles que soient les variations de fabrication, de tension ou de température. Chaque configuration de ces trois paramètres constitue un PVT, pour « Process – Voltage – Temperature ». Ainsi, l'utilisation de PVT « pire cas » permet de garantir la fonctionnalité du circuit dans n'importe quelle configuration, au détriment de la fréquence qui est alors réduite.

Pour remédier à ce problème, les modules CODA et TMFLT, en charge de mesurer les marges de temps superflues, sont contrôlés par le sous-circuit CVP (Power-Variability Controler) qui enregistre et analyse les informations de délais capturées. En fonction de ces mesures, le DSP est capable d'augmenter la fréquence de fonctionnement en réduisant la période de l'horloge sans modifier la tension d'alimentation (puissance constante). Ou alors, il est en mesure de diminuer la puissance consommée sans impacter la fréquence de l'horloge, par réduction de la tension d'alimentation. Ainsi, il est possible de maintenir en permanence la fréquence maximale tolérée par le circuit pour chacune des configurations.

Le second objectif de ce circuit est de maintenir la meilleure efficacité énergétique possible. Pour cela, la combinaison des sous-blocs dédiés à la recherche de la fréquence maximale et à la gestion des alimentations permet de minimiser la puissance consommée de ce DSP. Ainsi, en fonction de l'activité du circuit, les tensions V_{DD} et V_{BB} sont dynamiquement modulées afin de conserver pour chaque point de fonctionnement la meilleure efficacité énergétique possible.

4.3.2 Conception à partir de cellules standard de type LVT

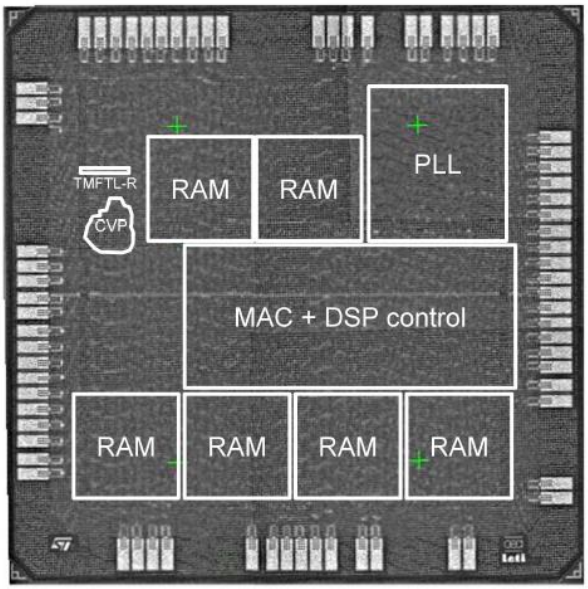
4.3.2.1 Optimisation des cellules standard

Pour réaliser ce DSP, un sous-ensemble de cellules a été sélectionné à partir de la plateforme de conception standard. Celles-ci ont ensuite été optimisées en termes de courant de fuite, d'énergie, de vitesse et de variabilité sur l'ensemble de la plage de tension ciblée. Pour cela, trois axes d'amélioration ont été suivis : (1) sélection d'un nombre optimal de fonctions à intégrer ainsi que leur capacité à alimenter d'autres cellules ; (2) optimisation des dimensions des transistors ; et (3) caractérisation des librairies aux tensions de fonctionnement visées. Il est à noter que le processus d'optimisation et de caractérisation des cellules standard est relativement coûteux en temps de développement. C'est pourquoi, la restriction à une soixantaine de cellules combinatoires permet de couvrir les besoins du circuit sans surplus.

En plus de la logique combinatoire, un effort de conception important a été placé sur les cellules les plus critiques d'un circuit, tel que les bascules synchrones (Flip-Flops) et les convertisseurs de tension (Level-shifters). En effet, ce type de cellules est sensible aux variations de tension qui peuvent dégrader fortement leurs caractéristiques électriques. Ainsi, ces dispositifs ont été améliorés de manière à atteindre la meilleure efficacité énergétique sur l'ensemble des tensions exploitées.

Pour valider le fonctionnement à la fois des cellules séquentielles et combinatoires, elles ont toutes été caractérisées sur un ensemble de 17 PVT extrêmes. Ainsi, le DSP est assuré de fonctionner pour une gamme de température pouvant varier de -40°C à 125°C, une variation maximale des procédés de fabrication et enfin sur une plage d'alimentation étendue

comprise entre 0.275V et 1.4V. Une fois les librairies achevées, elles ont été intégrées au flot d'implémentation qui a pu sélectionner les cellules adéquates en fonction des contraintes de puissance et d'horloge configurées. Ainsi, ce travail a permis de concevoir un DSP supportant une large modulation de la tension d'alimentation et sachant maintenir en permanence une efficacité énergétique optimale. La photographie ci-dessous du DSP présente ses principales sous-parties et caractéristiques.



Technology	UTBB FDSOI 28 nm
Transistors	Flip-Well (LVT) L=24nm
Core area	1 mm²
DSP benchmark	FFT 1024
VDD range	0.397V-1.3V
VBB range	0V/±2V

Figure 4.12 Photographie du DSP UWVR réalisé en technologie 28nm UTBB FD-SOI et ses principales caractéristiques.

4.3.2.2 Résultats silicium

Les résultats de mesure qui suivent vont permettre d'évaluer les performances du circuit réalisé avec des cellules LVT et servir de référence à la deuxième implémentation du DSP, intégrant exclusivement des cellules à caisson-n unique.

Ces mesures silicium ont été réalisées pendant l'exécution de transformé de Fourier rapide (FFT) comprenant 1024 points. Pendant cette opération, la fréquence de fonctionnement maximale a été extraite sur une large gamme de tensions comprise entre 0.4V et 1.3V. De plus, l'impact lié à la modulation des tensions appliquées sur les caissons a été observé aussi bien en termes de fréquence qu'en quantité d'énergie consommée. Toutes ces mesures sont présentées ci-dessous, à commencer par la figure 4.13 qui expose la fréquence en fonction de la tension d'alimentation, pour trois valeurs de back-biasing (FBB = 0V, 1V et 2V). La caractéristique la plus basse correspond à la polarisation par défaut des

caissons-n et p, tous les deux connectés à 0. Ainsi, les performances mesurées dans cette configuration sont considérées comme la référence des gains calculés.

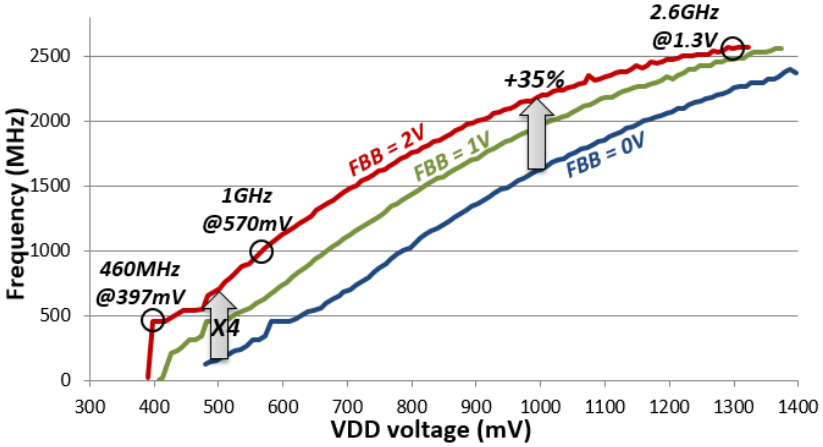


Figure 4.13 Mesures silicium de la fréquence maximale extraite en fonction de la tension d'alimentation, pour différentes valeurs de back-biasing.

Le premier constat est de noter le comportement continu et quasiment linéaire de la fréquence maximale sur l'ensemble de la plage de tensions ciblées. Cela démontre la capacité du circuit à évoluer efficacement aussi bien à très faibles tensions que pour des valeurs d'alimentation pouvant dépasser 1.3V. De cette manière, il est facilement envisageable d'adapter les performances du DSP aux besoins d'une application.

La seconde observation se situe au niveau de l'utilisation du back-biasing qui permet d'augmenter significativement la fréquence du circuit. En effet, la modulation de la polarisation des caissons permet d'accéder à des gains en vitesse considérables à faibles tensions. Par exemple, en appliquant un FBB de 2V sur la face arrière des transistors, la fréquence du DSP est multipliée par un facteur 4 à V_{DD} = 500mV. Ce gain se réduit pour les tensions d'alimentation plus élevées mais affiche tout de même une hausse de 35% à 1V. Ce phénomène s'explique par l'évolution de la différence des tensions $(V_{DD} - V_T)^2$ qui compose l'équation du courant I_{ON} d'un transistor (Equation 16) et par conséquent qui détermine sa vitesse de commutation τp (Equation 17). En effet, la même variation de la tension de seuil à faible ou à fort V_{DD} n'aura pas les mêmes conséquences sur le courant actif débité. C'est pour cette raison que le gain en fréquence évolue en fonction de la tension d'alimentation.

Cependant, un second phénomène vient s'ajouter au précédent lorsque le circuit fonctionne à des tensions élevées. En effet, l'impact positif d'un fort back-biasing tend à saturer pour ces tensions. Ce constat est facilement observable sur la figure ci-dessus où

l'évolution de la fréquence a tendance à se tasser au-delà de 1V, pour une polarisation directe des caissons établie à 2V. Plus précisément, si l'on observe l'évolution de la fréquence à V_{DD} = 1.3V, le gain est quasiment inexistant entre la polarisation avec un FBB de 1V ou de 2V. Il est donc judicieux de n'augmenter que modérément la tension appliquée sur les caissons pour les tensions d'alimentation supérieures à 1V.

Malgré ce phénomène de saturation rencontré dans les conditions extrêmes, la modulation des performances par l'utilisation du back-biasing permet à ce DSP d'accéder à des vitesses de calcul très élevées. Dans le cas d'une polarisation des caissons fixée à 2V, celui-ci est capable de maintenir une fréquence d'horloge de 460MHz pour une tension d'alimentation de 397mV. Il est également possible d'augmenter la fréquence de fonctionnement du circuit jusqu'à 2.6GHz lorsque la tension atteint 1.3V. On notera que la barre des 1GHz est atteinte pour une tension V_{DD} de seulement 570mV. Ce qui est remarquable sur ce démonstrateur, en comparaison avec les circuits présents dans la littérature [Hsu'12] [Jai'12], c'est qu'il est capable de conserver une fréquence de fonctionnement élevée sur l'ensemble de la large gamme de tension visée, notamment à très faible tension. Ceci est rendu possible grâce à la combinaison d'une technologie FD-SOI performante ainsi qu'aux solutions de conception intégrées qui permettent de réduire au maximum les marges de délai.

Maintenant que les performances en fréquence du DSP ont été appréciées, il est essentiel d'analyser la consommation d'un tel circuit. Il a été montré que l'application d'une forte polarisation sur la face arrière des transistors permettait de réduire leur tension de seuil et donc de booster les performances du circuit. Cependant, cet ajustement a également pour conséquence d'augmenter le courant statique I_{OFF} des transistors de manière exponentielle (Equation 19). Le back-biasing permet donc de réduire la puissance dynamique grâce à la réduction de la tension d'alimentation mais voit son courant statique augmenter. C'est pourquoi, il est intéressant de se concentrer sur l'énergie totale consommée par le DSP en fonction de la tension d'alimentation et des polarisations appliquées sur les caissons. Pour cela, la puissance totale du circuit a été mesurée puis multipliée par la période de l'horloge. Ainsi, la caractéristique de l'énergie par opération en fonction de la fréquence de fonctionnement est présentée figure 4.14 pour trois valeurs de FBB.

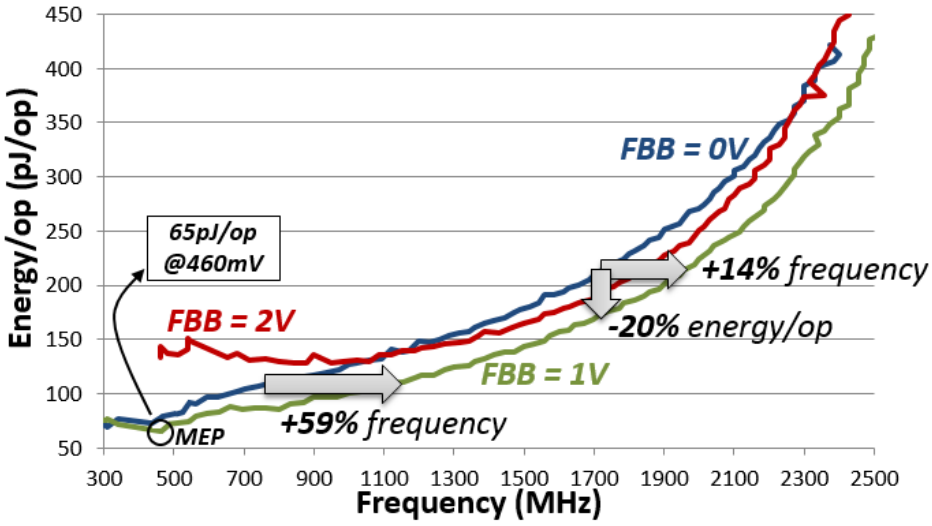


Figure 4.14 Mesures silicium de l'énergie consommée en fonction de la fréquence d'horloge, pour des valeurs de back-biasing égales à 0V, 1V et 2V.

En prenant comme référence la courbe bleue correspondant à la polarisation par défaut des caissons (FBB = 0), il est possible de réduire l'énergie totale consommée en conservant la même fréquence de fonctionnement. Par exemple, à 1.7GHz (V_{DD} = 1V), l'application d'un FBB de 1V sur les caissons permet de réduire de 20% l'énergie en diminuant la tension d'alimentation de 200mV. Il est également possible d'augmenter la fréquence de fonctionnement du circuit de 14% en conservant cette fois la même énergie consommée. A plus basse tension, une augmentation de 59% de la fréquence est envisageable pour une énergie constante de 110pJ/op. L'utilisation d'un back-biasing direct de 1V sur les caissons permet donc d'augmenter l'efficacité énergétique du DSP jusqu'à atteindre un minimum de 65pJ/op pour une tension d'alimentation de 460mV.

Lorsque l'on continue d'augmenter la tension appliquée sur les caissons au-delà de 1V, l'énergie consommée s'avère moins intéressante puisqu'elle se rapproche de nouveau de la caractéristique initiale. Ce constat va même s'amplifier à basse tension où l'énergie consommée devient supérieure aux autres caractéristiques. Ce résultat est la conséquence de l'augmentation exponentielle du courant statique qui devient prépondérant sur la composante dynamique d'un transistor. En conclusion, il est judicieux de moduler raisonnablement la tension appliquée sur les caissons lorsque l'on cherche à réduire la consommation énergétique d'un circuit. En revanche, un fort back-biasing peut être exploité lors d'un pic d'activité afin d'atteindre une fréquence de fonctionnement très élevée.

4.3.3 Conception du premier circuit entièrement « single-Well »

Dans le chapitre précédent, il a été présenté une solution de conception innovante visant à réaliser des cellules standard sur un caisson unique. Cette approche a été expérimentée à travers des structures simples et comparée aux V_T standard. A présent, il est essentiel de confirmer les bons résultats obtenus à travers la réalisation d'un circuit complexe. Pour cela, l'exploitation du même DSP que celui présenté dans la partie précédente permet de travailler à partir d'un démonstrateur connu. Ainsi, il a été possible de réutiliser le même flot de conception et surtout d'obtenir une comparaison équitable des résultats silicium entre le DSP de type LVT et à caissons-n unique (SNW).

La première tâche a consisté à transformer l'ensemble des librairies standard de type LVT en « single n-Well ». Ce point de départ essentiel est développé dans la partie ci-dessous. Ensuite, ces librairies ont été intégrées au flot de conception pour les étapes de synthèse et de placement routage. Ainsi, ce DSP est le premier circuit complexe intégrant exclusivement des cellules à caisson-n unique.

4.3.3.1 Construction des librairies standard

Dans le but de réduire au maximum le temps de conception de ce circuit, les cellules standard de type SNW ont été réalisées à partir des librairies LVT existantes. Pour cela, plusieurs étapes sont à prévoir pour obtenir une librairie exploitable au sein du flot de conception numérique. La première étape consiste à modifier la vue schématique de toutes les cellules standard. En effet, les portes logiques de type SNW sont constituées de transistors n-MOS de type LVT et de p-MOS de type RVT. A l'aide de scripts, le remplacement de tous les transistors p-MOS RVT par des LVT est relativement rapide. A cela, il faut rajouter la modification des labels GNDS et VDDS par une connexion unique des caissons nommée ici « Vn-Well ». Ainsi, ces modifications rendent possible la vérification finale entre les connections au niveau schématique et le dessin physique, plus communément appelé LVS pour « Layout Versus Schematic ».

La seconde étape consiste à transformer le dessin des masques des cellules LVT en SNW. Une fois de plus, l'utilisation d'un script permet de gagner un temps considérable puisque l'opération est constituée de 7 étapes et qu'elle est à répéter sur chacune des cellules, soit plusieurs centaines de fois. Pour cela, les marqueurs existants sont utilisés pour réaliser des copies et sont parfois supprimés s'ils n'ont plus d'utilité. Tous ces ajustements sont présentés figure 4.15.

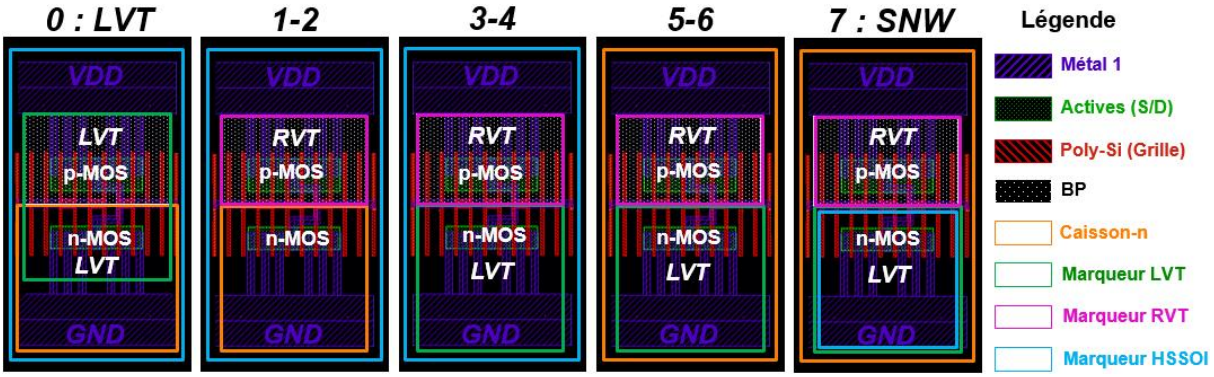


Figure 4.15 Illustration des 7 étapes nécessaires à la transformation d'une cellule LVT en SNW.

Les différentes étapes réalisées sont les suivantes : (1-2) suppression du marqueur LVT puis copie de la couche BP en marqueur RVT. Ainsi, les transistors p-MOS de type LVT deviennent RVT. (3-4) Copie de la couche Caisson-n en marqueur LVT puis suppression du Caisson-n. De cette manière, les transistors n-MOS sont marqués de type LVT. (5-6) Copie du marqueur HSSOI en Caisson-n puis suppression du HSSOI. Cela permet d'englober la cellule entière par un caisson-n unique. (7) Copie du marqueur LVT en HSSOI. Ces 2 marqueurs ne peuvent pas être dissociés. Ainsi, toutes ces étapes permettent de transformer une cellule standard LVT en SNW. Celle-ci respecte ainsi les règles de dessin en vigueur et correspond bien à la vue schématique réalisée précédemment.

Une fois les librairies permettant de réaliser les fonctions logiques (CORE) et l'arbre d'horloge (CLK) achevées, il ne reste plus qu'à modifier la librairie destinée au placement et au routage du circuit (PR). Cette dernière est constituée de cellules de remplissage, de connexions des caissons-n et p ou encore de diodes d'antenne placées lorsque les chemins de métaux sont trop longs. Ces cellules spécifiques ont été modifiées à la main et ajustées pour les rendre compatibles avec les règles de dessin de la technologie 28nm FD-SOI. Il faut noter que tout le circuit repose désormais sur un caisson-n unique. Cependant, il est nécessaire d'assurer la connexion à la masse du substrat-p, situé en dessous du caisson-n. Pour cela, des

petites ouvertures sont régulièrement effectuées afin de permettre une bonne polarisation du substrat. De plus, ce type d'accès est nécessaire pour positionner les diodes de protection d'antenne qui sont réalisées entre le substrat-p et une zone active de type n+.

4.3.3.2 Comparaison des mesures silicium du DSP SNW vs. LVT

Pour analyser rapidement les performances du DSP à caisson-n unique, celui-ci a été placé dans un boîtier afin d'être connecté à une carte de test. De cette manière, le circuit peut être piloté soit par ordinateur, soit par un écran tactile directement connecté à la carte électronique. Cette dernière option offre la possibilité d'observer l'évolution des performances du circuit en temps réel en ajustant la tension d'alimentation ainsi que la polarisation appliquée sur le caisson-n par de simples boutons. De cette manière, toutes les caractéristiques électriques sont tracées et les résultats obtenus enregistrés. Cette méthode de test avait déjà été utilisée pour le DSP de type LVT ce qui permet une comparaison équitable des deux circuits. Les résultats de mesure sont maintenant confrontés et analysés à travers diverses figures présentées ci-dessous.

La figure 4.16 propose la fréquence maximale en fonction de la tension d'alimentation pour les deux différentes conceptions du DSP. Les courbes rouge et bleu correspondent respectivement aux résultats des DSP LVT et SNW dans leur condition initiale (caissons fixés à 0V) et en vert le circuit SNW avec cette fois le caisson-n polarisé à -0,2V. Ces 3 caractéristiques sont tracées de la tension maximale 1.3V jusqu'à leur tension minimale de fonctionnement.

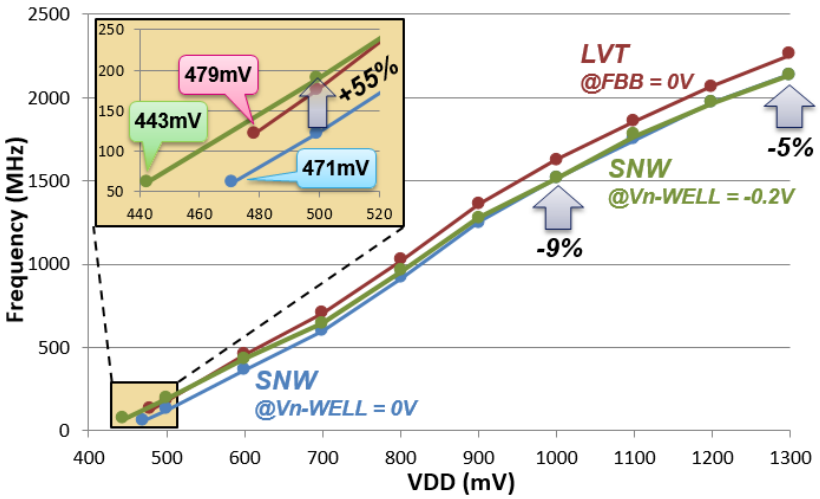


Figure 4.16 Caractéristique de la fréquence en fonction de la tension d'alimentation pour le DSP LVT et SNW.

Le graphique ci-dessus montre logiquement une fréquence de fonctionnement plus élevée de la part du DSP réalisé avec des cellules LVT. Plus précisément, le circuit SNW avec une polarisation du caisson-n à 0V affiche une baisse en vitesse comprise entre -5% à 1.3V et -30% à 0.5V. L'aggravation de la perte en fréquence lorsque la tension diminue s'explique par l'affaiblissement de la tension de back-biasing des transistors p-MOS. Comme il a été expliqué dans le paragraphe 3.2.3.1 du chapitre précédent, le V_T des transistors p-MOS est fonction de la tension V_{DD}. De ce fait, plus la tension d'alimentation diminue, plus la tension de seuil des transistors p-MOS augmente. Ceci conduit donc à un déséquilibre des performances des transistors n-MOS et p-MOS. Un moyen efficace de les rééquilibrer consiste à appliquer une tension négative sur le caisson-n. De cette manière, les transistors p-MOS sont accélérés et les n-MOS ralentis par l'ajustement opposé de leur tension de seuil. Comme le présente la figure ci-dessus, la polarisation à -0.2V du caisson permet d'augmenter de 55% la fréquence de fonctionnement à la tension de 0.5V. A cette basse tension d'alimentation, l'ajustement des tensions de seuil permet même de dépasser légèrement la fréquence du DSP LVT.

La seconde conséquence de ce simple rééquilibrage est de permettre une réduction de la tension minimale de fonctionnement. En effet, il faut savoir que certaines cellules, comme les bascules, sont sensibles au bon équilibre des transistors. Ainsi, en appliquant -0.2V sur le caisson-n, le DSP SNW diminue sa tension minimale de fonctionnement de 471 à 443mV contre 479mV en LVT (Figure 4.16). Il est envisageable de poursuivre cette ajustement jusqu'à trouver la polarisation optimale correspondant à un parfait équilibre des transistors. Pour cela, la tension appliquée sur le caisson-n a été modulée de 0.4V à -0.8V afin de visualiser l'effet du recentrage des performances sur la tension minimale de fonctionnement (Figure 4.17.a).

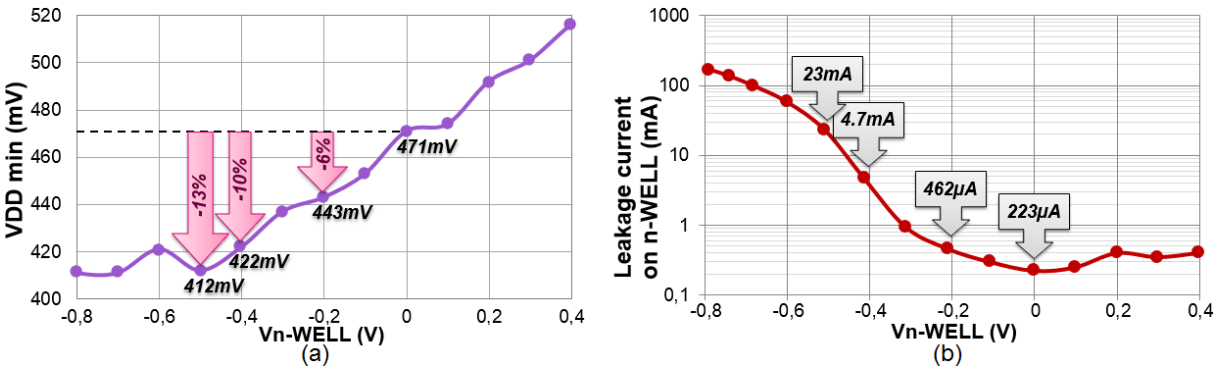


Figure 4.17 (a) Réduction de la tension d'alimentation minimale par ajustement de la polarisation du caisson-n. (b) Augmentation exponentielle du courant statique dans le caisson-n lorsque Vn-WELL est négatif.

La figure 4.17.a montre clairement l'impact de la polarisation du caisson-n sur la tension minimale du circuit. En effet, en appliquent -0.5V sur la face arrière des transistors, le DSP est capable de réduire de 13% sa tension d'alimentation par rapport aux conditions de polarisation initiales. Au-delà de cette valeur, un effet de saturation apparaît à cause de l'équilibre du gain obtenu d'un côté et de la perte subie de l'autre. Cependant, un problème majeur limite cette technique dans le cas d'un circuit à caisson-n unique. En effet, dès lors que le caisson est polarisé négativement, la diode formée entre le caisson-n et le substrat-p est mise en directe. De ce fait, l'augmentation du courant de fuite évolue de manière exponentielle comme l'atteste la figure 4.17.b. Ce phénomène est nuisible puisque l'augmentation de la composante statique s'avère rapidement prépondérante sur la partie dynamique du circuit, surtout à basse tension où les puissances consommées sont très faibles. C'est pourquoi, dans le cadre de ce démonstrateur, la tension de polarisation du caisson est limitée à -0.2V.

Il est intéressant de noter que cette limitation peut être facilement supprimée si le choix de conception se portait sur une solution à caisson unique de type « p ». En effet, en isolant le caisson-p du substrat-p par un caisson-n profond, il est possible de moduler largement la tension de polarisation du caisson-p sans activer la jonction PN (cf. Figure 3.9). Dans le cadre de ce démonstrateur, la contrainte de temps de conception n'a pas permis d'adopter cette approche.

Après avoir étudié le comportement en fréquence et en tension de ce DSP, il est essentiel d'observer la composante statique de chaque circuit. En effet, cette donnée conditionne l'autonomie d'un appareil mobile puisqu'il passe une grande partie de son temps en veille. Pour cela, les DSP SNW et LVT ont été placés dans un mode d'attente où les cellules standard sont alimentées mais inactives. Dans cette configuration, le courant statique a été extrait en fonction de la fréquence (Figure 4.18).

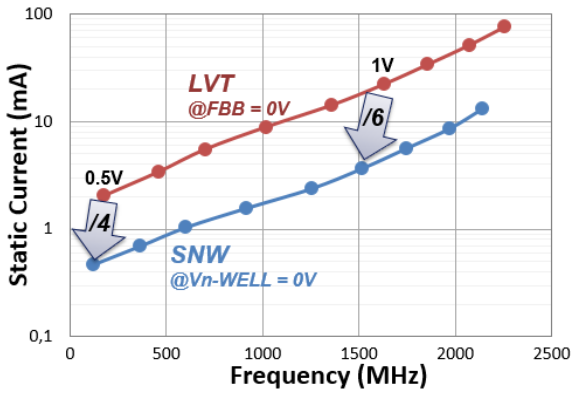


Figure 4.18 Comparaison du courant statique des solutions LVT et SNW en fonction de la fréquence.

La figure ci-dessus présente la réduction d'un facteur 4 à 6x du courant de fuite consommé grâce à l'utilisation de cellules SNW. L'information importante à extraire de ce résultat est d'observer que le simple remplacement des transistors LVT p-MOS par des RVT p-MOS boostés (FBB = V_{DD}) qui compose les cellules SNW, permet de réduire fortement la consommation statique pour un coup en fréquence modéré. Prenons l'exemple à tension nominale 1V, la solution SNW permet de diviser par 6 le courant statique pour une perte en fréquence de seulement 9% (Figure 4.16). Ce point remarquable met en évidence la surconsommation importante des transistors LVT pour accéder à des vitesses légèrement supérieures.

Lorsque les DSP sont basculés en mode actif, la composante dynamique du circuit rentre en jeu. Il est alors intéressant d'analyser le comportement en énergie qui combine à la fois la puissance totale consommée ainsi que la vitesse de fonctionnement du circuit. La figure 4.19 présente ainsi l'énergie nécessaire par opération en fonction de la fréquence.

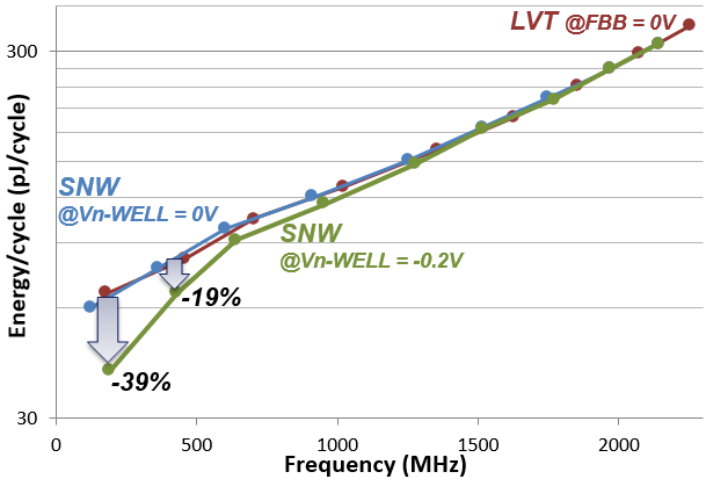


Figure 4.19 Caractéristique de l'énergie par opération en fonction de la fréquence pour les DSP LVT et SNW avec un ratio Pdyn/Pstat égale à 33 en LVT et à 181 en SNW pour une tension de 1V.

Deux résultats pertinents sont à relever au vu de ce graphique. Premièrement, l'efficacité énergétique des deux circuits est identique pour les fréquences supérieures à 1GHz (V_{DD} > 0.8V). Ce constat démontre que le gain obtenu en consommation statique par l'utilisation de cellules SNW est précisément compensé par sa perte en fréquence. Il est intéressant de noter que si le taux d'activité du circuit venait à diminuer, il est évident que l'efficacité de la solution SNW deviendrait supérieure au LVT puisque qu'elle dispose d'une consommation statique inférieure. Cela veut dire que l'analyse de l'énergie consommée dans un circuit est une caractéristique à réévaluer pour chaque nouveau circuit.

La seconde observation se situe pour les tensions d'alimentation inférieures à 0.8V. Dans cette configuration, le rééquilibrage des transistors permet d'améliorer grandement l'efficacité énergétique grâce au gain en fréquence que cela produit. De cette manière, il est envisageable de réduire jusqu'à 39% l'énergie consommée pour une tension de 0.5V en réduisant de 200mV la tension appliquée sur le caisson-n. Cette option permet ainsi d'atteindre un minimum énergétique de 42pJ par opération.

En résumé, le DSP SNW dispose à la fois d'une tension d'alimentation minimale plus faible qu'en LVT ainsi qu'un courant statique réduit. Ces deux caractéristiques lui garantissent une autonomie en veille bien supérieure. De plus, ses bonnes performances en fréquence lui permettent d'atteindre des fréquences proches du LVT. La combinaison de ces différentes caractéristiques apporte à l'approche SNW une consommation énergétique égale ou même inférieure à la conception de type LVT, sans back-biasing. Néanmoins, les cellules LVT autorisent l'utilisation d'un back-biasing direct lui permettant d'augmenter fortement ses performances. A l'inverse, la conception de type SNW ne permet qu'un rééquilibrage des transistors par ajustement de la polarisation du caisson unique. Ainsi, chaque option de conception dispose d'avantages et d'inconvénients à considérer en fonction du type de circuit à réaliser.

4.4 Conclusion

Dans ce dernier chapitre, plusieurs circuits complexes ont été présentés, accompagnés de leurs résultats silicium. Ces différentes réalisations montrent l'évolution à la fois des techniques de conception et du développement de la technologie. En effet, le premier circuit réalisé consiste au simple portage d'un LDPC BULK en technologie FD-SOI. Ce travail a permis d'apprécier le gain intrinsèque des transistors FD-SOI sans effort de conception. Afin de tirer au maximum profit de cette technologie, plusieurs techniques ont été ensuite expérimentées comme l'inversion des caissons-n et p (Flip-Well). Celle-ci a démontré son efficacité à réduire largement la tension de seuil des transistors par modulation des polarisations appliquées sur les caissons. Ainsi, des gains importants en fréquence et en énergie ont été observés.

Ces résultats prometteurs ont été obtenus alors même que les librairies n'aient été optimisées. C'est pourquoi, la conception d'un DSP performant a ensuite été présentée. Celui-ci intègre des dispositifs améliorés ainsi que des solutions de conception innovantes. Ainsi, ce démonstrateur a dévoilé des fréquences élevées comprises entre 460MHz et 2.6GHz sur une gamme de tension étendue de quelques centaines de millivolts à 1.3V. L'utilisation d'un large back-biasing de ±2V a contribué à obtenir des gains en fréquence et en efficacité énergétique importants.

Un second DSP a ensuite été présenté intégrant cette fois uniquement des cellules standard de type « single-Well ». Celui-ci se place comme une alternative au LVT avec des performances en fréquence très proches. Mais c'est surtout sa consommation statique bien inférieure qui le distingue du V_T standard. De plus, il a montré sa faculté à rééquilibrer finement les performances des transistors à l'aide d'une seule tension. Cet atout est important à basse tension car le déséquilibre des transistors peut mener au non fonctionnement des cellules sensibles. C'est donc en ajustant cette tension que le DSP est capable de réduire sa tension minimale de fonctionnement, dépassant ainsi celle du DSP LVT. Cela fait de cette option un excellent candidat pour les applications basse consommation.

Enfin, une analyse de défaillance de la technologie 28nm FD-SOI a été présentée dans ce chapitre consécutif aux courants de fuite excessifs circulant à travers les caissons. Pour cela, une méthode de mesure adaptée a été proposée de manière à localiser précisément la source

de cette surconsommation. Une fois maitrisé, le problème de perçage a été résolu grâce à l'ajustement des procédés de fabrication.

4.5 Références bibliographiques

[Ets'09] European Telecommunications Standard Institue (ETSI) "*Digital Vidéo Broadcasting (DVB), EN 302 307 V1.2.1*" www.etsi.org, 2009

[Gal'62] Gallager, R.G., "*Low-density parity-check codes,*" Information Theory, IRE Transactions on , vol.8, no.1, pp.21,28, January 1962

[Gam'11] Gammie, G. et al., "A 28nm 0.6V low-power DSP for mobile applications," Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2011 IEEE International , vol., no., pp.132,134, 20-24 Feb. 2011

[Hsu'12] Hsu, S. et al., "*A 280mV-to-1.1V 256b reconfigurable SIMD vector permutation engine with 2-dimensional shuffle in 22nm CMOS,*" Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2012 IEEE International , vol., no., pp.178,180, 19-23 Feb. 2012

[I3e'09] IEEE Standard for Information Technology "*IEEE Std 802.11n*" www.standard.ieee.org, 2009

[Jai'12] Jain, S. et al., "*A 280mV-to-1.2V wide-operating-range IA-32 processor in 32nm CMOS,*" Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2012 IEEE International , vol., no., pp.66,68, 19-23 Feb. 2012

[Kol'92] Kolzer, J.; Boit, C.; Dallmann, A.; Deboy, G.; Otto, J.; Weinmann, D., "*Quantitative emission microscopy,*" Journal of Applied Physics , vol.71, no.11, pp.R23,R41, Jun 1992

[Khu'86] Khurana, N.; Chiang, C.L., "*Analysis of Product Hot Electron Problems by Gated Emission Microscopy,*" Reliability Physics Symposium, 1986. 24th Annual , vol., no., pp.189,194, April 1986

[Mou'10] Moubdi, N. et al., "*Voltage scaling and body biasing methodology for high performance hardwired LDPC,*" IC Design and Technology (ICICDT), 2010 IEEE International Conference on , vol., no., pp.82,85, 2-4 June 2010

[Ura'05] Urard, P.; Yeo, E.; Paumier, L.; Georgelin, P.; Michel, T.; Lebars, V.; Lantreibecq, E.; Gupta, B., "*A 135Mb/s DVB-S2 compliant codec based on 64800b LDPC and BCH codes,*" Solid-State Circuits Conference, 2005. Digest of Technical Papers. ISSCC. 2005 IEEE International , vol., no., pp.446,609 Vol. 1, 10-10 Feb. 2005

[Ura'08] Urard, P.; Paumier, L.; Heinrich, V.; Raina, N.; Chawla, N., "*A 360mW 105Mb/s DVB-S2 Compliant Codec based on 64800b LDPC and BCH Codes enabling Satellite-Transmission Portable Devices,*" Solid-State Circuits Conference, 2008. ISSCC 2008. Digest of Technical Papers. IEEE International , vol., no., pp.310,311, 3-7 Feb. 2008

[Wil'14] Wilson, R. et al., "*A 460MHz at 397mV, 2.6GHz at 1.3V, 32b VLIW DSP, embedding FMAX tracking,"* Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2014 IEEE International , vol., no., pp.452,453, 9-13 Feb. 2014

Conclusion générale

Le travail de recherche de cette thèse consistait à démontrer les nombreux avantages apportés par la technologie FD-SOI, puis de les exploiter efficacement dans la conception de circuits numériques hautes performances et basse consommation. Pour atteindre cet objectif, nous nous sommes d'abord intéressés aux limites rencontrées par les transistors MOS sur silicium massif exploités jusqu'alors dans les circuits intégrés. Nous avons ainsi observé l'aggravation, à la fois des effets canaux courts, et de la variabilité de la tension de seuil des transistors MOS, pour les nœuds technologiques avancés. Ces deux points critiques ne permettent plus aux transistors sur silicium massif de répondre aux exigences actuelles des applications mobiles.

Il a ainsi été mis en évidence dans ce manuscrit les atouts de la technologie planaire FD-SOI qui possède tous les critères pour succéder à la technologie sur silicium massif. L'intérêt principal de cette technologie à film mince est l'amélioration du contrôle électrostatique du canal par la grille. Il a été montré que cette évolution permettait d'augmenter de 30% la fréquence de fonctionnement à puissance statique égale, ou encore de diviser cette puissance par 6 à vitesse constante. Le second avantage majeur engendré par un canal non dopé est la faible variabilité de la tension de seuil des transistors. Les bénéfices de cette caractéristique ont été observés par la capacité des cellules standard FD-SOI à fonctionner pour des tensions d'alimentation minimales réduites.

Au-delà des gains intrinsèques liés à la technologie, il a ensuite été présenté plusieurs approches permettant de réduire les consommations statique et dynamique d'un circuit. Parmi celles-ci, la technique qui consiste à moduler la tension de seuil des transistors par polarisation du substrat a dévoilé des résultats remarquables. En effet, cette méthode permet de diviser par 50 la consommation statique d'un circuit grâce à un RBB de -3V. Il a également été démontré que cette technique permettait de réduire jusqu'à 58% la puissance dynamique, à fréquence constante, en modulant simplement le couple de tensions V_{DD} et V_{BB}. Evidemment, lorsque des vitesses de fonctionnement élevées sont requises, l'augmentation jusqu'à 3V de la polarisation du substrat permet de booster de 34% la fréquence pour une tension d'alimentation de 1.3V et jusqu'à la multiplier plus de 5 fois à 0.5V.

Néanmoins, il a été démontré que la polarisation appliquée sur les caissons des transistors créait un court-circuit lors de l'aboutement de cellules disposant de tensions de seuil différentes. En conséquence, la co-intégration multi-V_T classique est rendue inexploitable en FD-SOI. L'un des challenges de ce travail de thèse consistait donc à proposer des solutions pour permettre à nouveau la co-intégration de V_T au sein d'un même bloc logique. Ainsi, plusieurs solutions ont été présentées, telle que la co-intégration par ligne, permettant de mélanger avec peu de contraintes l'ensemble des cellules de la plateforme de conception. Cependant, parmi les différentes approches proposées dans ce manuscrit, certaines sont difficiles à mettre en œuvre car les outils de placement ne sont pas adaptés à de telles contraintes. C'est pourquoi, nous nous sommes finalement concentrés à proposer une solution permettant de retrouver une co-intégration multi-V_T classique, identique à celle utilisée en technologie sur silicium massif.

Dans cette perspective, les cellules « RVT-like » et à caisson unique ont été proposées. La première approche permet, avec un simple ajustement layout, de rendre les cellules RVT standard co-intégrables aux portes logiques de type LVT. Ainsi, les cellules disposant d'un V_T régulier et faible peuvent être positionnées sur une même ligne. Une seconde option spécifique au FD-SOI a été proposée dans ce travail de recherche : les cellules à caisson unique. En plus d'être co-intégrable aux cellules LVT, cette approche offre aux concepteurs un V_T supplémentaire localisé entre le RVT et le LVT. Pour évaluer les performances de cette solution, deux DSP ont été réalisés, l'un conçu uniquement avec des cellules LVT, l'autre intégrant exclusivement des cellules à caisson-n unique. Ce dernier a présenté une consommation statique 4 à 6 fois inférieure au DSP de type LVT. Concernant la consommation énergétique de ces circuits, les deux solutions montrent une efficacité énergétique équivalente pour des tensions d'alimentation nominales. En revanche, le DSP à caisson-n unique requiert 39% d'énergie en moins à basse tension. Les caractéristiques électriques remarquables d'une telle structure en font une solution de conception attractive.

Il a également été démontré que l'utilisation de cellules à caisson unique apportait un atout capital dans la conception de circuits évoluant sur une très large gamme de tensions. En effet, la modulation de l'unique tension de substrat constitue un moyen efficace pour rééquilibrer les performances des transistors n et p-MOS. A faible tension, le déséquilibre des

transistors entraîne le non-fonctionnement des cellules les plus sensibles et donc du circuit entier. Il a ainsi été démontré dans ce travail de recherche qu'une modulation modérée du substrat permettait de réduire de 13% la tension minimale de fonctionnement. Ainsi, cette solution de conception permet d'accéder à des puissances consommées très faibles.

Enfin, l'analyse des mesures silicium issues des premiers circuits complexes réalisés dans le cadre de cette thèse a permis de déceler un courant de fuite anormal dans le substrat. Les investigations présentées ont mené à la localisation précise du problème puis, dans un deuxième temps, à l'ajustement de certaines étapes de fabrication. Ainsi, ce travail de recherche a contribué à l'amélioration des procédés de fabrication des transistors MOS en technologie 28nm FD-SOI.

Concernant le nœud suivant, la conception des transistors en technologique 14nm FD-SOI suivra les mêmes procédés qu'en 28nm. En effet, nous retrouverons l'inversion des caissons pour accéder à une tension de seuil faible, alors que les transistors disposant d'un V_T plus élevé seront positionnés sur des caissons classiques. Par conséquent, les technologies 28 et 14nm partagent les mêmes avantages et inconvénients. Ainsi, l'ensemble des solutions de conception proposées dans ce manuscrit peuvent être réutilisées pour le nœud 14nm. De même, la technique de modulation de la tension de seuil des transistors par polarisation du substrat ne change pas. Ainsi, les différentes analyses présentées dans ce manuscrit peuvent être réutilisées afin d'optimiser les circuits intégrés conçus en technologie 14nm FD-SOI.

Brevet et publications

Brevet déposé

« Circuit intégré comportant des transistors avec des tensions de seuil différentes », Philippe FLATRESSE, Bastien GIRAUD, Jean-Philippe NOEL, Bertrand PELLOUX-PRAYER *(FR 2996956)*.

Conférences internationales IEEE avec acte

[Abo'13] Abouzeid, F.; Clerc, S.; Pelloux-Prayer, B.; Roche, P., "*0.42-to-1.20V read assist circuit for SRAMs in CMOS 65nm,*" SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), 2013 IEEE, vol., no., pp.1,2, 7-10 Oct. 2013

[Aky'13] Akyel, K.C.; Ciampolini, L.; Thomas, O.; Pelloux-Prayer, B.; Kumar, S.; Flatresse, P.; Lecocq, C.; Ghibaudo, G., "*Multiple-pulse dynamic stability and failure analysis of low-voltage 6T-SRAM bitcells in 28nm UTBB-FDSOI,"* Circuits and Systems (ISCAS), 2013 IEEE International Symposium on , vol., no., pp.1452,1455, 19-23 May 2013

[Coc'14] Cochet, M.; Pelloux-Prayer, B.; Roche, P.; Autran, J.; Saligane, M.; Clerc, S.; Sylvester, D., "*Experimental Model of Adaptive Body Biasing for Energy Efficiency in 28nm UTBB FD-SOI,"* SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), 2014 IEEE

[Fla'13] Flatresse, P.; Giraud, B.; Noel, J.; Pelloux-Prayer, B.; Giner, F.; Arora, D.; Arnaud, F.; Planes, N.; Le Coz, J.; Thomas, O.; Engels, S.; Cesana, G.; Wilson, R.; Urard, P., "*Ultra-wide body-bias range LDPC decoder in 28nm UTBB FDSOI technology,*" Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2013 IEEE International , vol., no., pp.424,425, 17-21 Feb. 2013

[Lec'13] Le Coz, J.; Pelloux-Prayer, B.; Giraud, B.; Giner, F.; Flatresse, P., "*DTMOS power switch in 28 nm UTBB FD-SOI technology,*" SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), 2013 IEEE , vol., no., pp.1,2, 7-10 Oct. 2013

[Pel'13] Pelloux-Prayer, B.; Blagojevic, M.; Haendler, S.; Valentian, A.; Amara, A.; Flatresse, P., "*Performance analysis of multi-VT design solutions in 28nm UTBB FD-SOI technology,*" SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), 2013 IEEE , vol., no., pp.1,2, 7-10 Oct. 2013

[Pel'13] Pelloux-Prayer, B.; Valentian, A.; Giraud, B.; Thonnart, Y.; Noel, J.-P.; Flatresse, P.; Beigne, E., "*Fine grain multi-VT co-integration methodology in UTBB FD-SOI technology,*" Very Large Scale Integration (VLSI-SoC), 2013 IFIP/IEEE 21st International Conference on , vol., no., pp.168,173, 7-9 Oct. 2013

[The'13] Thewes, R.; Enders, G.; Hofmann, F.; Hoenlein, W.; Vollrath, J.; Ferrant, R.; Flatresse, P.; Pelloux-Prayer, B.; Allain, F.; Reimbold, G.; Mazure, C., "*Matching behavior of analog FDSOI n-MOS-transistors under large backgate voltage swing operating conditions,*" SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), 2013 IEEE , vol., no., pp.1,2, 7-10 Oct. 2013

[Tho'12] Thomas, O.; Zimmer, B.; Pelloux-Prayer, B.; Planes, N.; Akyel, K.-C.; Ciampolini, L.; Flatresse, P.; Nikolic, B., "*6T SRAM design for wide voltage range in 28nm FDSOI,*" SOI Conference (SOI), 2012 IEEE International , vol., no., pp.1,2, 1-4 Oct. 2012

[Wil'14] Wilson, R.; Beigne, E.; Flatresse, P.; Valentian, A.; Abouzeid, F.; Benoist, T.; Bernard, C.; Bernard, S.; Billoint, O.; Clerc, S.; Giraud, B.; Grover, A.; Le Coz, J.; Panades, I.M.; Noel, J.-P.; Pelloux-Prayer, B.; Roche, P.; Thomas, O.; Thonnart, Y.; Turgis, D.; Clermidy, F.; Magarshack, P., "*A 460MHz at 397mV, 2.6GHz at 1.3V, 32b VLIW DSP, embedding FMAX tracking,"* Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2014 IEEE International , vol., no., pp.452,453, 9-13 Feb. 2014

Conférence européenne avec acte

[Abo'12] Abouzeid, F.; Clerc, S.; Pelloux-Prayer, B.; Argoud, F.; Roche, P., "*28nm CMOS, energy efficient and variability tolerant, 350mV-to-1.0V, 10MHz/700MHz, 252bits frame error-decoder,*" ESSCIRC (ESSCIRC), 2012 Proceedings of the, vol., no., pp.153,156, 17-21 Sept. 2012

[Bei'13] Beigne, E.; Valentian, A.; Giraud, B.; Thomas, O.; Benoist, T.; Thonnart, Y.; Bernard, S.; Moritz, G.; Billoint, O.; Maneglia, Y.; Flatresse, P.; Noel, J.P.; Abouzeid, F.; Pelloux-Prayer, B.; Grover, A.; Clerc, S.; Roche, P.; Le Coz, J.; Engels, S.; Wilson, R., "*Ultra-Wide Voltage Range designs in Fully-Depleted Silicon-On-Insulator FETs,"* Design, Automation & Test in Europe Conference & Exhibition (DATE), 2013 , vol., no., pp.613,618, 18-22 March 2013

[Pel'12] Pelloux-Prayer, B.; Blagojevic, M.; Thomas, O.; Amara, A.; Vladimirescu, A.; Nikolic, B.; Cesana, G.; Flatresse, P., "*Planar fully depleted SOI technology: The convergence of high performance and low power towards multimedia mobile applications,*" Faible Tension Faible Consommation (FTFC), 2012 IEEE , vol., no., pp.1,4, 6-8 June 2012

[Pel'13] Pelloux-Prayer, B.; Blagojevic, M.; Saligane, M.; Abouzeid, F.; Clerc, S.; Noel J.; Cesana, G.; Giraud, B.; Thonnart, Y.; Valentian, A.; Amara, A.; Flatresse, P., "Single Well design solution in 28nm UTBB-FDSOI," EuroSOI 2013

[Sha'12] Shaik, K.A.; Amara, A.; Flatresse, P.; Giraud, B.; Noel, J.P.; Prayer, B.P.; Nagchoudhuri, D., "*Novel differential sensing for 0.5-V sub-32-nm UTBB FD-SOI SRAMs,"* Faible Tension Faible Consommation (FTFC), 2012 IEEE , vol., no., pp.1,4, 6-8 June 2012

Résumé

Ces dix dernières années, la miniaturisation des transistors MOS en technologie planaire sur silicium massif connait une augmentation considérable des effets parasites liés à la réduction de la longueur du canal. Ces effets canaux courts ont pour conséquence de dégrader les performances des transistors, rendant les circuits moins efficaces énergétiquement et plus sensibles aux phénomènes de fluctuations des procédés de fabrication. Ainsi, cette technologie fait face à une vraie barrière pour les nœuds inférieurs à 32nm.

Pour répondre aux besoins des dispositifs mobiles alliant hautes performances et basse consommation, la technologie planaire sur isolant complètement désertée (FD-SOI pour Fully depleted Silicon-On-Insulator) apparaît comme une solution adaptée. En effet, grâce à son film de silicium mince et non dopé, le transistor MOS dispose d'un meilleur contrôle électrostatique du canal et d'une faible variabilité de sa tension de seuil. De plus, cette technologie offre la possibilité de moduler la tension de seuil des transistors grâce à une polarisation étendue à ±3V des caissons situés sous la fine couche d'oxyde enterré. Ainsi, cette spécificité apporte aux concepteurs de circuits intégrés un levier supplémentaire permettant de moduler les performances d'un circuit ainsi que d'en optimiser son efficacité énergétique.

Le travail de recherche de thèse présenté dans ce mémoire a contribué au développement de la plateforme technologique FD-SOI pour les nœuds 28 puis 14nm. Dans un premier temps, l'exploitation d'un chemin critique extrait d'un cœur de processeur ARM Cortex-A9 a permis d'évaluer à la fois les gains intrinsèques apportés par la technologie FD-SOI ainsi que ceux produits par la modulation de la tension de seuil des transistors par polarisation du substrat. Cette technique permet ainsi de diviser jusqu'à 50 fois le courant statique d'un circuit lorsqu'il est inactif, ou encore par 2 l'énergie totale nécessaire à fréquence constante. Ces nombreuses analyses ont permis, dans un second temps, de proposer plusieurs solutions de conception visant une nouvelle fois à optimiser l'efficacité énergétique des circuits intégrés. Parmi celles-ci, la conception d'une structure à caisson unique permet notamment de résoudre les difficultés de co-intégration multi-V_T classique, présentes en FD-SOI. Cette approche offre également aux concepteurs une solution performante pour les circuits fonctionnant avec une très large gamme de tensions d'alimentation. En effet, à l'aide d'une seule tension de substrat, les transistors n et p-MOS peuvent être simultanément rééquilibrés permettant ainsi de réduire fortement la tension minimale d'alimentation du circuit.

Abstract

Over the last ten years, the scaling of MOSFETs in bulk planar technology is experiencing a significant increase in parasitic phenomenon driven by the reduction of the transistor channel length. These short-channel effects lead to the degradation of transistor performances, making circuits less energy efficient and more sensitive to the manufacturing process fluctuations. Therefore, this technology faces a real barrier for nodes beyond 32nm.

To meet the needs of mobile devices, combining high performances and low power consumption, the planar fully depleted silicon-on-insulator (FD-SOI) technology appears to be a suitable solution. Indeed, thanks to its thin-film of silicon and an undoped channel, MOS transistors have an excellent short-channel electrostatic control and a low variability of the threshold voltage given by an immunity to random dopant fluctuation. In addition, this compelling technology enables to adjust the threshold voltage of transistors by applying a wide ±3V back-bias voltage on Wells. Thus, this specific FD-SOI feature brings to IC designers an additional lever to modulate the performance and to optimize the energy efficiency of circuits.

The research work presented in this thesis has contributed to the development of FD-SOI technology platform for the 28 and 14nm nodes. Initially, a critical path extracted from an ARM Cortex-A9 processor was used to assess both the intrinsic gains provided by the FD-SOI technology and those produced by modulating the back-bias voltages. This technique enables to divide by up to 50 times the static current of circuits in standby mode, or by 2 the total energy consumption at same frequency. In the second phase, several design solutions are proposed in order to optimize the energy efficiency of circuits again. Among these, the design of a single-Well structure enables to solve the conventional multi-V_T co-integration issue, occurring in FD-SOI. Moreover, this novel approach also offers an efficient solution for integrated circuits operating over a wide supply voltage range. Indeed, thanks to a single back-bias voltage, both n and p-MOS transistors could be easily balanced enabling an outstanding minimal supply voltage.